

東芝 MOS 形デジタル集積回路 シリコンモノリシック シリコンゲート CMOS

256M ビット ネットワーク FCRAM1
 - 4,194,304 ワード × 4 バンク × 16 ビット
 - 8,388,608 ワード × 4 バンク × 8 ビット

無鉛製品

概要

TC59LM814/06CTG は、CMOS 技術を用いた 268,435,456 のメモリセルを有するダブルデータレートファーストサイクルランダムアクセスメモリ(FCRAM™)です。構成が異なる 2 製品をラインアップしており、TC59LM814CTG は、4,194,304 ワード×4 バンク×16 ビット構成、TC59LM806CTG は、8,388,608 ワード×4 バンク×8 ビット構成です。コマンド入力はクロックの立ち上がりエッジに同期して行われますが、データの入出力は DQS の立ち上がり及び立ち下りのエッジに同期して行われ、最大で 400M ワード/秒のデータ高速転送ができます。本製品は FCRAM™ 固有のコア構成の採用により、既存の標準的な DDR SDRAM と比較してより速いサイクルタイムで動作させることが可能です。

TC59LM814/06CTG は高速ランダムサイクル、大メモリ容量、低消費電流等が要求されるワークステーションのセカンダリキャッシュメモリやネットワークのルーター、スイッチ等のバッファメモリ、コントロールメモリに最適です。本製品は出力ドライバは軽い負荷環境下においても高速、高品質なデータ転送が可能です。

特長

主要特性		TC59LM814/06CTG	
		-50	-60
t _{CK} CLK サイクルタイム (最小)	CL = 3	5.5 ns	6.5 ns
	CL = 4	5 ns	6 ns
t _{RC} ランダムリード/ライトサイクルタイム (最小)		25 ns	30 ns
t _{RAC} ランダムアクセスタイム (最大)		22 ns	26 ns
I _{DD1S} 動作平均電流 (シングルバンク) (最大)		190 mA	170 mA
I _{DD2P} スタンドバイ平均電流 (パワーダウン) (最大)		2 mA	2 mA
I _{DD6} セルフリフレッシュ平均電流 (最大)		3 mA	3 mA

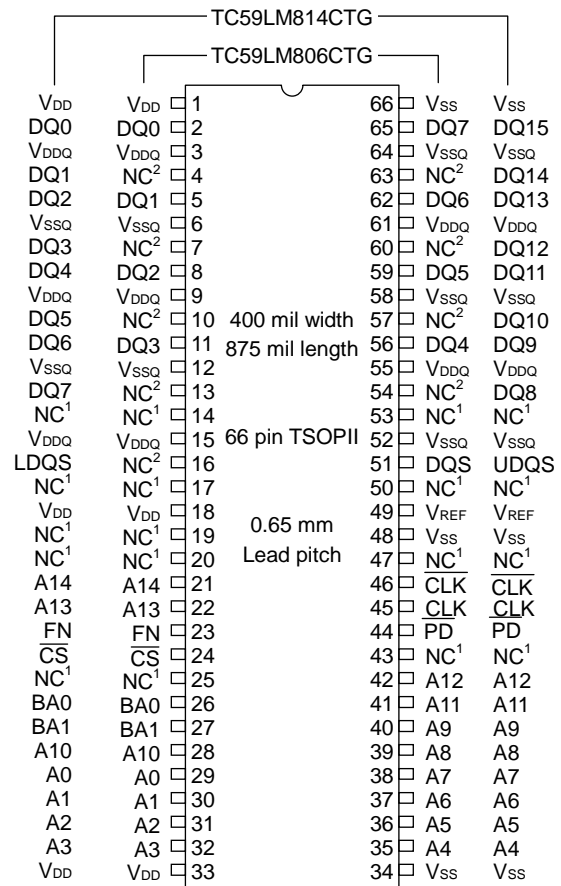
- 同期式オペレーション
 - 倍周期データレート (DDR)
データの入出力は DS/QS(ライト/リードデータストロブ)の立ち上がり/立ち下がりに同期して行われます。
 - 差動式クロック入力 (CLK & $\overline{\text{CLK}}$)
CS, FN 及び全てのアドレス入力信号は、CLK の立ち上がりエッジで取り込まれます
出力データ(DQS & QS)は CLK と $\overline{\text{CLK}}$ の交点を基準に出力されます。
全てのタイミングは CLK と $\overline{\text{CLK}}$ の交点から定義されます。
- 最大クロック周波数 : 200 MHz
最大データ転送レート : 400M ワード/秒
- 4 バンク独立動作
- 双方向性データストロブ信号
- セルフリフレッシュ
- 可変バースト長制御
- プログラマブル $\overline{\text{CAS}}$ レイテンシ/バースト長
 $\overline{\text{CAS}}$ レイテンシ = 3, 4
バースト長 = 2, 4
- 構成 TC59LM814CTG: 4,194,304 ワード × 4 バンク × 16 ビット
TC59LM806CTG: 8,388,608 ワード × 4 バンク × 8 ビット
- 電源電圧 VDD: 2.5 V ± 0.15 V
VDDQ: 2.5 V ± 0.15 V
- 入出力: SSTL_2 (Half strength driver)
- パッケージ: 400 × 875 mil、66 pin TSOPII、0.65 mm pin pitch (TSOPII66-P-400-0.65)
- 無鉛製品

注) “FCRAM”は富士通(株)の登録商標です。

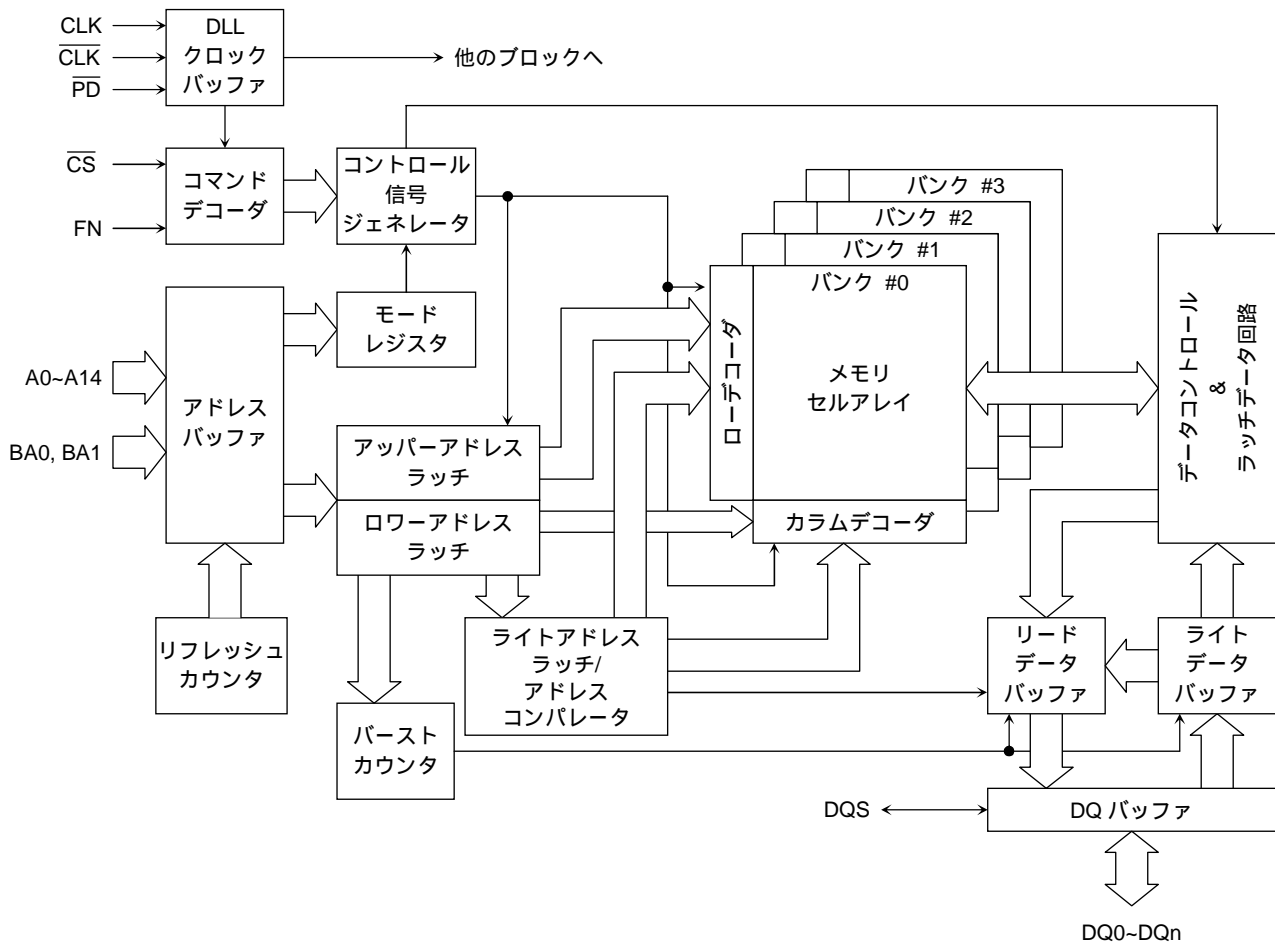
ピン名称

PIN	NAME
A0~A14	アドレス入力
BA0, BA1	バンクアドレス
DQ0~DQ7 (×8)	データ入出力
DQ0~DQ15 (×16)	
\overline{CS}	チップセレクト
FN	ファンクションコントロール
\overline{PD}	パワーダウンコントロール
CLK, \overline{CLK}	クロック入力
DQS (×8)	ライト/リードデータストロープ
UDQS/LDQS (×16)	
V _{DD}	電源 (+2.5 V)
V _{SS}	電源 (グラウンド)
V _{DDQ}	電源 (+2.5 V) (DQ バッファ用)
V _{SSQ}	電源 (グラウンド) (DQ バッファ用)
V _{REF}	基準電圧
NC ¹ , NC ²	無接続

ピン配置 (上面図)



ブロック図



注: TC59LM806CTG は 4 バンクの 32768 行 × 256 カラム × 8 DQ のセルアレイで構成されます。
 TC59LM814CTG は 4 バンクの 32768 行 × 128 カラム × 16 DQ のセルアレイで構成されます。

最大定格

記号	項目	定格	単位	注
V _{DD}	電源電圧	-0.3~ 3.3	V	
V _{DDQ}	電源電圧 (DQ バッファ)	-0.3~V _{DD} + 0.3	V	
V _{IN}	入力電圧	-0.3~V _{DD} + 0.3	V	
V _{OUT}	入力電圧 (DQ ピン)	-0.3~V _{DDQ} + 0.3	V	
V _{REF}	入力基準電圧	-0.3~3.3	V	
T _{opr}	動作温度 (雰囲気温度)	0~70	°C	
T _{stg}	保存温度	-55~150	°C	
T _{solder}	はんだ付け加熱温度 (10 秒)	260	°C	
P _D	消費電力	1	W	
I _{OUT}	出力短絡電流	±50	mA	

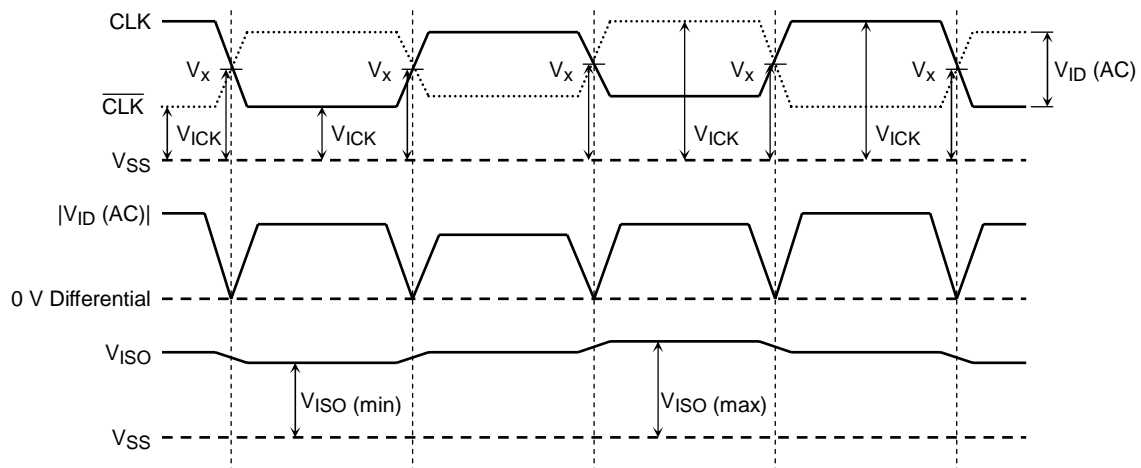
注: 最大定格表に記載された範囲を超える状況下ではデバイスに致命的な損傷をもたらす恐れがあります。本製品の動作は、本データシートに記述されている動作に関する種々の項目の範囲内でのみ保証されます。最大定格の範囲内であっても長期間最大定格条件にさらされた場合、デバイスの信頼性に致命的な影響を及ぼす可能性があります。

DC、AC 許容動作条件 (注: 1) (T_a = 0°~70°C)

記号	項目	最小	標準	最大	単位	注
V _{DD}	電源電圧	2.35	2.5	2.65	V	
V _{DDQ}	電源電圧 (DQ バッファ)	2.35	V _{DD}	V _{DD}	V	
V _{REF}	入力基準電圧	V _{DDQ} /2 × 96%	V _{DDQ} /2	V _{DDQ} /2 × 104%	V	2
V _{IH} (DC)	高レベル入力電圧 (DC)	V _{REF} + 0.2	—	V _{DDQ} + 0.2	V	5
V _{IL} (DC)	低レベル入力電圧 (DC)	-0.1	—	V _{REF} - 0.2	V	5
V _{ICK} (DC)	差動クロック DC 入力電圧	-0.1	—	V _{DDQ} + 0.1	V	10
V _{ID} (DC)	CLK、 $\overline{\text{CLK}}$ 入力電圧差 (DC)	0.4	—	V _{DDQ} + 0.2	V	7, 10
V _{IH} (AC)	高レベル入力電圧 (AC)	V _{REF} + 0.35	—	V _{DDQ} + 0.2	V	3, 6
V _{IL} (AC)	低レベル入力電圧 (AC)	-0.1	—	V _{REF} - 0.35	V	4, 6
V _{ID} (AC)	CLK、 $\overline{\text{CLK}}$ 入力電圧差 (AC)	0.7	—	V _{DDQ} + 0.2	V	7, 10
V _X (AC)	CLK、 $\overline{\text{CLK}}$ 交差電圧 (AC)	V _{DDQ} /2 - 0.2	—	V _{DDQ} /2 + 0.2	V	8, 10
V _{ISO} (AC)	CLK、 $\overline{\text{CLK}}$ 中間レベル (AC)	V _{DDQ} /2 - 0.2	—	V _{DDQ} /2 + 0.2	V	9, 10

注:

- (1) 全ての電圧は V_{SS} 、 V_{SSQ} を基準にしています。
- (2) V_{REF} レベルは V_{DDQ} (DC) のレベル変動に追従するようにして下さい。
 V_{REF} におけるノイズの最大振幅は V_{REF} (DC) $\pm 2\%$ を超えないようにして下さい。
- (3) オーバーシュート定格: パルス幅 5 ns 以下で $V_{IH}(\max) = V_{DDQ} + 0.9$ V 以内。
- (4) アンダーシュート定格: パルス幅 5 ns 以下で $V_{IL}(\min) = -0.9$ V 以内。
- (5) V_{IH} (DC) 及び V_{IL} (DC) は現行状態を維持するためのレベル規定です。
- (6) V_{IH} (AC) 及び V_{IL} (AC) は新しい論理状態へ変化させるためのレベル規定です。
- (7) V_{ID} は CLK 入力レベルと \overline{CLK} 入力レベルの電位差を意味します。
- (8) 最適な V_X (AC) は $V_{DDQ}/2$ です。
- (9) V_{ISO} は $\{V_{ICK}(\text{CLK}) + V_{ICK}(\overline{CLK})\} / 2$ を意味します。
- (10) 下図を参照下さい。



- (11) 外部終端する場合は、終端電圧(V_{TT})は V_{REF} (DC) ± 0.04 V の範囲にして下さい。

ピン容量 (V_{DD} , $V_{DDQ} = 2.5$ V, $f = 1$ MHz, $T_a = 25^\circ\text{C}$)

記号	項目	最小	最大	単位
C_{IN}	入力ピン容量(CLK、 \overline{CLK} 以外)	2.5	4.0	pF
C_{INC}	クロックピン容量(CLK、 \overline{CLK})	2.5	4.0	pF
$C_{I/O}$	入出力ピン容量(DQ、DQS)	4.0	6.0	pF
C_{NC}^1	NC^1 ピン容量	—	1.5	pF
C_{NC}^2	NC^2 ピン容量	4.0	6.0	pF

注: この項目は抜き取り検査のみで全数検査は実施しておりません。
 NC^2 ピンは隣接ピンとの容量調整の為、負荷容量を含んでおります。
 NC^2 ピンは電源及びグラウンドクランプダイオードが付いています。

電気的特性 (V_{DD}, V_{DDQ}=2.5V ± 0.15V, Ta = 0~70°C)

記号	項目	最大		単位	注
		-50	-60		
I _{DD1S}	動作平均電流 t _{CK} = min, I _{RC} = min, リード/ライトコマンドサイクリング 0 V ≤ V _{IN} ≤ V _{IL} (AC) (max), V _{IH} (AC) (min) ≤ V _{IN} ≤ V _{DDQ} , 1バンク動作、バースト長 = 4、 最小 I _{RC} の間にアドレス遷移は 2 回。	190	170	mA	1, 2
I _{DD2N}	スタンバイ平均電流 t _{CK} = min, $\overline{CS} = V_{IH}$, $\overline{PD} = V_{IH}$, 0 V ≤ V _{IN} ≤ V _{IL} (AC) (max), V _{IH} (AC) (min) ≤ V _{IN} ≤ V _{DDQ} , 全てのバンク: 非活性状態、 上述以外の入力信号は 4 × t _{CK} の間に 1 回遷移。	40	35		1, 2
I _{DD2P}	スタンバイ平均電流 (パワーダウン) t _{CK} = min, CS = V _{IH} , $\overline{PD} = V_{IL}$ (パワーダウン)、 0 V ≤ V _{IN} ≤ V _{DDQ} , 全てのバンク: 非活性状態	2	2		1, 2
I _{DD5}	オートリフレッシュ平均電流 t _{CK} = min, I _{REFC} = min, t _{REFI} = min, オートリフレッシュコマンドサイクリング 0 V ≤ V _{IN} ≤ V _{IL} (AC) (max), V _{IH} (AC) (min) ≤ V _{IN} ≤ V _{DDQ} , 最小 I _{REFC} の間にアドレス遷移は 2 回。	65	60		1, 2
I _{DD6}	セルフリフレッシュ平均電流 セルフリフレッシュモード $\overline{PD} = 0.2 V$, 0 V ≤ V _{IN} ≤ V _{DDQ}	3	3		2

記号	項目	最小	最大	単位	注
I _{LI}	入力リーク電流 (0 V ≤ V _{IN} ≤ V _{DDQ} 、測定以外のピンは 0 V)	-5	5	μA	
I _{LO}	出力リーク電流 (出力はディセーブル、0 V ≤ V _{OUT} ≤ V _{DDQ})	-5	5	μA	
I _{REF}	V _{REF} 電流	-5	5	μA	
I _{OH} (DC)	Normal Output Driver	出力電流 V _{OH} = V _{DDQ} - 0.4 V		mA	3
I _{OL} (DC)		出力電流 V _{OL} = 0.4 V			3
I _{OH} (DC)	Strong Output Driver	出力電流 V _{OH} = V _{DDQ} - 0.4 V			3
I _{OL} (DC)		出力電流 V _{OL} = 0.4 V			3
I _{OH} (DC)	Weaker Output Driver	出力電流 V _{OH} = V _{DDQ} - 0.4 V			3
I _{OL} (DC)		出力電流 V _{OL} = 0.4 V			3
I _{OH} (DC)	Weakest Output Driver	出力電流 V _{OH} = V _{DDQ} - 0.4 V			3
I _{OL} (DC)		出力電流 V _{OL} = 0.4 V			3

- 注: 1. これらは、t_{CK}、t_{RC} 及び I_{RC} を最小値でサイクリングさせた場合の電流です。電流は過渡的に流れる為、サイクルレートに強く依存します。
 2. これらの値は V_{DD} - V_{SS} 間の電流値を定義しています。
 3. 出力ドライバの選択はエクステンディッドモードレジスタにて行われます。

AC 許容動作条件及び特性 (注: 1, 2)

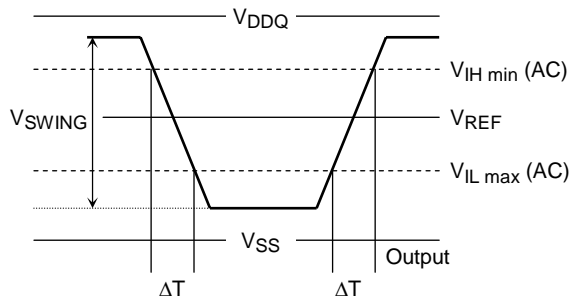
記号	項目	-50		-60		単位	注	
		最小	最大	最小	最大			
t _{RC}	ランダムサイクル時間	25	—	30	—	ns	3	
t _{CK}	クロックサイクル時間	C _L = 3	5.5	12	6.5		12	3, 9
		C _L = 4	5	12	6		12	3, 9
t _{RAC}	ランダムアクセス時間	—	22	—	26		3	
t _{CH}	クロック高レベル時間	0.45 × t _{CK}	—	0.45 × t _{CK}	—		3	
t _{CL}	クロック低レベル時間	0.45 × t _{CK}	—	0.45 × t _{CK}	—		3	
t _{CKQS}	DQS アクセス時間	-0.65	0.65	-0.85	0.85		3, 8	
t _{QSQ}	DQS - DQ スキュー	—	0.4	—	0.5		4	
t _{AC}	クロックアクセス時間	-0.65	0.65	-0.85	0.85		3, 8	
t _{OH}	出力データホールド時間	-0.65	0.65	-0.85	0.85		3, 8	
t _{QSPRE}	DQS (リード) プリアンブルパルス幅	0.9 × t _{CK} - 0.2	1.1 × t _{CK} + 0.2	0.9 × t _{CK} - 0.2	1.1 × t _{CK} + 0.2		3, 8	
t _{HP}	クロックハーフピリオド (t _{CH} , t _{CL} 実最小時間)	min(t _{CH} , t _{CL})	—	min(t _{CH} , t _{CL})	—		3	
t _{QSP}	DQS (リード) パルス幅	t _{HP} - 0.55	—	t _{HP} - 0.65	—		4, 8	
t _{QSQV}	出力データ有効時間	t _{HP} - 0.55	—	t _{HP} - 0.65	—		4, 8	
t _{DQSS}	DQS(ライト)立ち上がりエッジセットアップ時間	0.75 × t _{CK}	1.25 × t _{CK}	0.75 × t _{CK}	1.25 × t _{CK}		3	
t _{DSPRE}	DQS(ライト)プリアンブルパルス幅	0.4 × t _{CK}	—	0.4 × t _{CK}	—		4	
t _{DSPRES}	DQS(ライト)プリアンブルセットアップ幅	0	—	0	—		3	
t _{DSPREH}	DQS(ライト)プリアンブルホールド幅	0.25 × t _{CK}	—	0.25 × t _{CK}	—		3	
t _{DSP}	DQS(ライト)入力パルス幅	0.45 × t _{CK}	0.55 × t _{CK}	0.45 × t _{CK}	0.55 × t _{CK}		4	
t _{DSS}	DQS(ライト)立ち上がりエッジセットアップ時間	C _L = 3	1.3	—	1.5		—	3, 4
		C _L = 4	1.3	—	1.5		—	3, 4
t _{DSPST}	DQS(ライト)ポストアンブルパルス幅	0.45 × t _{CK}	—	0.45 × t _{CK}	—		4	
t _{DSPSTH}	DQS(ライト)ポストアンブルホールド時間	C _L = 3	1.3	—	1.5		—	3, 4
		C _L = 4	1.3	—	1.5		—	3, 4
t _{DSSK}	UDQS - LDQS スキュー(x16)	-0.5 × t _{CK}	0.5 × t _{CK}	-0.5 × t _{CK}	0.5 × t _{CK}			
t _{DS}	データ入力セットアップ時間	0.5	—	0.6	—		4	
t _{DH}	データ入力ホールド時間	0.5	—	0.6	—		4	
t _{DIPW}	データ入力パルス幅	1.5	—	1.9	—			
t _{IS}	コマンド/アドレス入力セットアップ時間	0.9	—	1.0	—	3		
t _{IH}	コマンド/アドレス入力ホールド時間	0.9	—	1.0	—	3		
t _{IPW}	コマンド/アドレス入力パルス幅	2.0	—	2.2	—			
t _{LZ}	出力ローインピーダンス時間	-0.65	—	-0.85	—	3, 6, 8		
t _{HZ}	出力ハイインピーダンス時間	—	0.65	—	0.85	3, 7, 8		

AC 許容動作条件及び特性 (注: 1, 2) (続き)

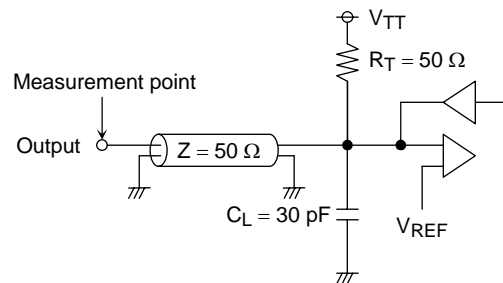
記号	項目	-50		-60		単位	注
		最小	最大	最小	最大		
t _{QSLZ}	DQS 出力ローインピーダンス時間	-0.65	—	-0.85	—	ns	3,6,8
t _{QSHZ}	DQS 出力ハイインピーダンス時間	-0.65	0.65	-0.85	0.85		3,7,8
t _{QPDH}	$\overline{\text{PD}}$ 高レベルホールド時間	0	—	0	—		
t _{PDEX}	パワーダウングジット時間	2	—	2	—		3
t _T	立ち上がり/立ち下がり時間	0.1	1	0.1	1		
t _{FPDL}	$\overline{\text{PD}}$ ロー入力タイミング (セルフリフレッシュ)	$-0.5 \times t_{\text{CK}}$	5	$-0.5 \times t_{\text{CK}}$	5		3
t _{REFI}	オートリフレッシュ間隔(8回平均)	0.4	7.8	0.4	7.8	μs	5
t _{PAUSE}	電源投入後安定時間	200	—	200	—		
I _{RC}	ランダムリード/ライトサイクル時間 (同一バンク)	C _L = 3	5	—	5	—	cycle
		C _L = 4	5	—	5	—	
I _{RCD}	RDAWRA-LAL コマンド間隔 (同一バンク)	1	1	1	1		
I _{RAS}	LAL-RDAWRA コマンド間隔 (同一バンク)	C _L = 3	4	—	4	—	
		C _L = 4	4	—	4	—	
I _{RBD}	ランダムバンクアクセス間隔 (他バンク間)	2	—	2	—		
I _{RWD}	RDA 後 LAL-WRA コマンド間隔 (他バンク間)	B _L = 2	2	—	2	—	
		B _L = 4	3	—	3	—	
I _{WRD}	WRA 後 LAL-RDA コマンド間隔 (他バンク間)	1	—	1	—		
I _{RSC}	モードレジスタセットサイクル時間	C _L = 3	5	—	5	—	
		C _L = 4	5	—	5	—	
I _{PD}	$\overline{\text{PD}}$ ロー入力・入力非活性時間	—	1	—	1		
I _{PDA}	$\overline{\text{PD}}$ ハイ入力・入力バッファ活性時間	—	1	—	1		
I _{PDV}	REF コマンド・パワーダウン間隔	C _L = 3	15	—	15	—	
		C _L = 4	18	—	18	—	
I _{REFC}	オートリフレッシュサイクル時間	C _L = 3	15	—	15	—	
		C _L = 4	18	—	18	—	
I _{CKD}	REF コマンド・クロック入力ディセーブル時間 (セルフリフレッシュエントリー時)	16	—	16	—		
I _{LOCK}	DLL 安定時間 (RDA コマンド間)	200	—	200	—		

AC テスト条件

記号	項目	定格	単位	注
$V_{IH} (min)$	高レベル入力電圧 (AC)	$V_{REF} + 0.35$	V	
$V_{IL} (max)$	低レベル入力電圧 (AC)	$V_{REF} - 0.35$	V	
V_{REF}	入力基準電圧	$V_{DDQ}/2$	V	
V_{TT}	終端電圧	V_{REF}	V	
V_{SWING}	入力信号最大振幅	1.0	V	
V_r	差動クロック入力基準電圧	$V_X (AC)$	V	
$V_{ID} (AC)$	CLK, \overline{CLK} 入力電圧差	1.5	V	
SLEW	入力信号最小移行レート	1.0	V/ns	
V_{OTR}	出力信号測定基準電位	$V_{DDQ}/2$	V	



$$SLEW = (V_{IH} min (AC) - V_{IL} max (AC)) / \Delta T$$



AC Test Load

注:

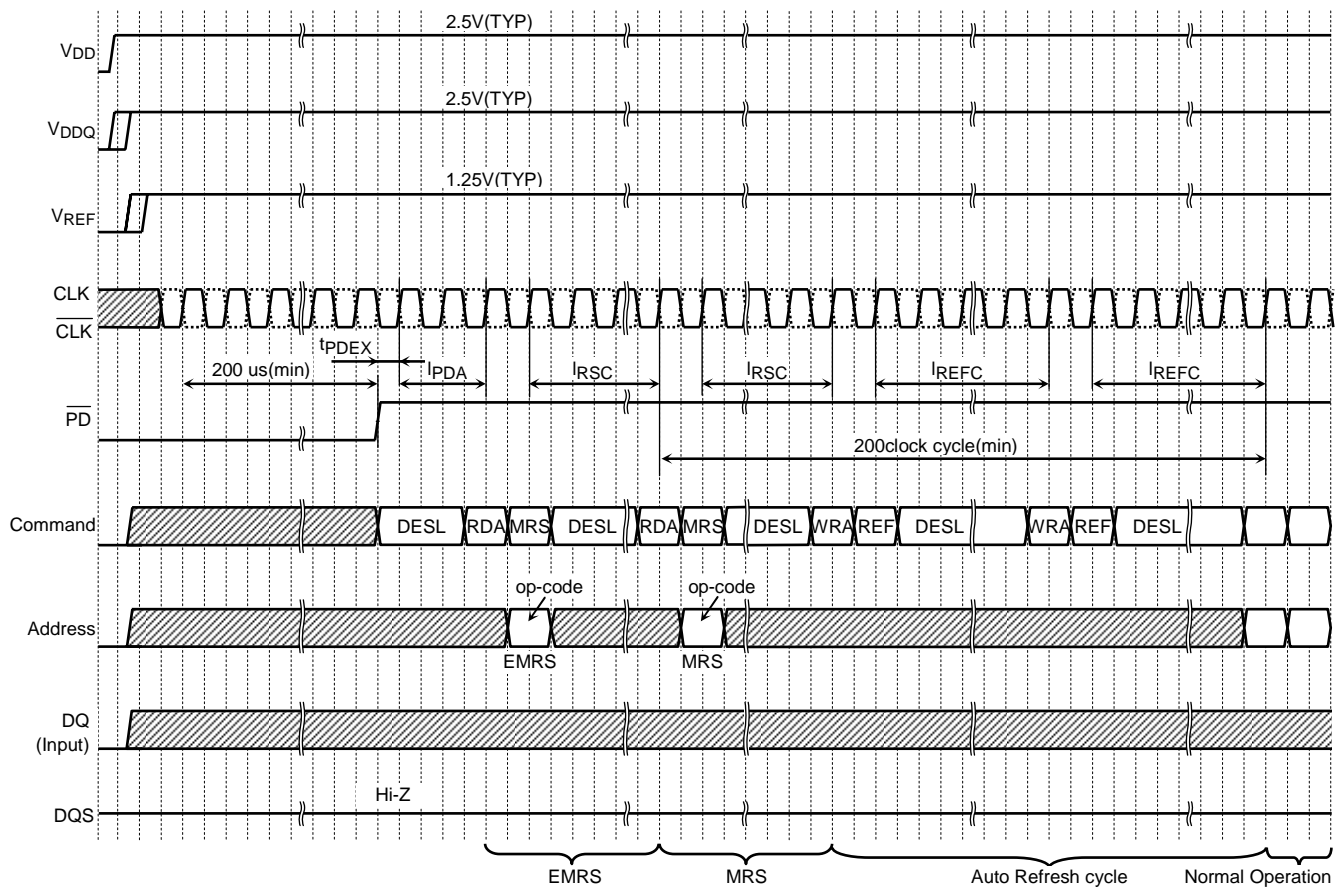
- (1) 立ち上がり、立ち下がり時間は $V_{IH} min (DC)$ と $V_{IL} max (DC)$ の間で定義されます。入力信号の立ち上がり、立ち下がりの傾きは一定とします。
- (2) 単位が Cycle で記述された項目の値は t_{CK} 値より計算されますが、小数点第 2 位以下は切り上げています。(例 : $t_{DQS} = 0.75 \times t_{CK}$, $t_{CK} = 5 ns$, $0.75 \times 5 ns = 3.75 ns \rightarrow 3.8 ns$.)
- (3) これらの項目は、差動クロック (CLK、 \overline{CLK}) の AC 交差点から定義されます。
- (4) これらの項目は、DQS の遷移信号が V_{REF} 電位と交差するポイントから定義されます。
- (5) $t_{REFI} (max)$ は均等分散リフレッシュの場合に適用されます。
 $t_{REFI} (min)$ 集中リフレッシュ及び分散リフレッシュのどちらにも適用されます。
 $t_{REFI} (min)$ は任意の連続した 8 回のオートリフレッシュコマンド間隔が常に 400ns 以上でなければいけません。言い換えると、 $3.2 \mu s (8 \times 400 ns)$ 内に実行可能なオートリフレッシュの回数は、最大で 8 回迄です。
- (6) ローインピーダンスの状態は $V_{DDQ}/2 \pm 0.2 V$ に達した状態です。
- (7) ハイインピーダンスの状態は出力バッファが駆動していない状態です。
- (8) これらの項目はクロックのジッターに依存します。これらの項目の値は安定したクロックにおいて測定された場合のものであります。
- (9) “-50”製品を 8.5ns ~ 12ns (117MHz ~ 83MHz) のクロックサイクルで使用される場合には“-60”製品のタイミング規定に従って下さい。

電源投入

- (1) 電源(VDD、VDDQ)を立ち上げる前に \overline{PD} をロー状態($\leq 0.2\text{ V}$)にします。
- (2) VDDQはVDDと同時にVDDより後に立ち上げます。
- (3) VREFはVDDQと同時ないしはVDDQよりも後に立ち上げます。
- (4) 電源が所望の電位に到達後、クロック(CLK、 \overline{CLK})を入力し、電源、クロック入力安定した状態で200 μs のポーズタイムをとります。
- (5) 電源とクロックが安定後、NOP状態(DESL)かつ \overline{PD} をハイ状態にします。
- (6) エクステンディッドモードレジスタセット(EMRS)コマンドでDLLをイネーブルにし、ドライバストレングスをセットします。(注1)
- (7) モードレジスタセット(MRS)コマンドにて \overline{CAS} レイテンシ(CL)、パースタイプ(BT)、パースト長(BL)をセットします。(注1)
- (8) 2回以上のオートリフレッシュを実行します。(注1)
- (9) EMRSより200クロック後に通常動作可能です。

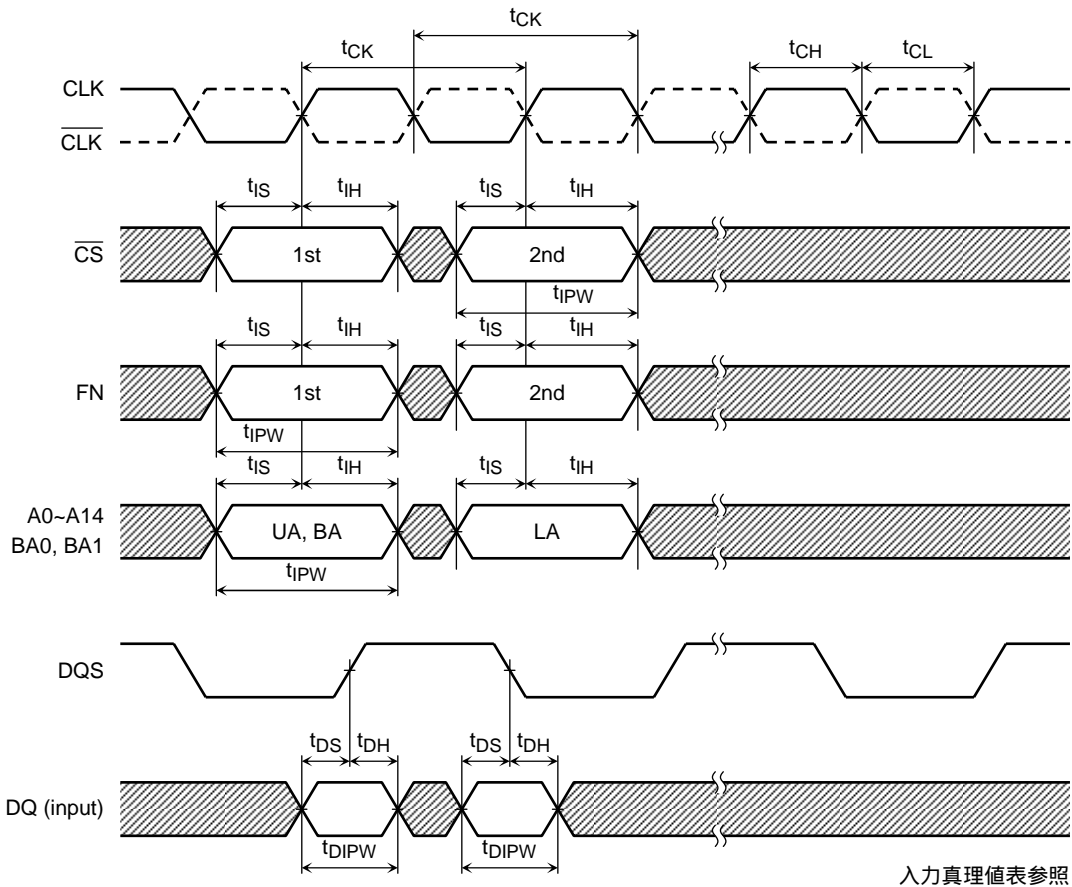
注:

- (1) ステップ(6)、(7)、(8)は順不同です。
- (2) “ロー”はロジック低レベル状態、“ハイ”はロジック高レベル状態を意味します。
- (3) 電源投入シーケンス中のDQ出力はハイインピーダンス状態になります。

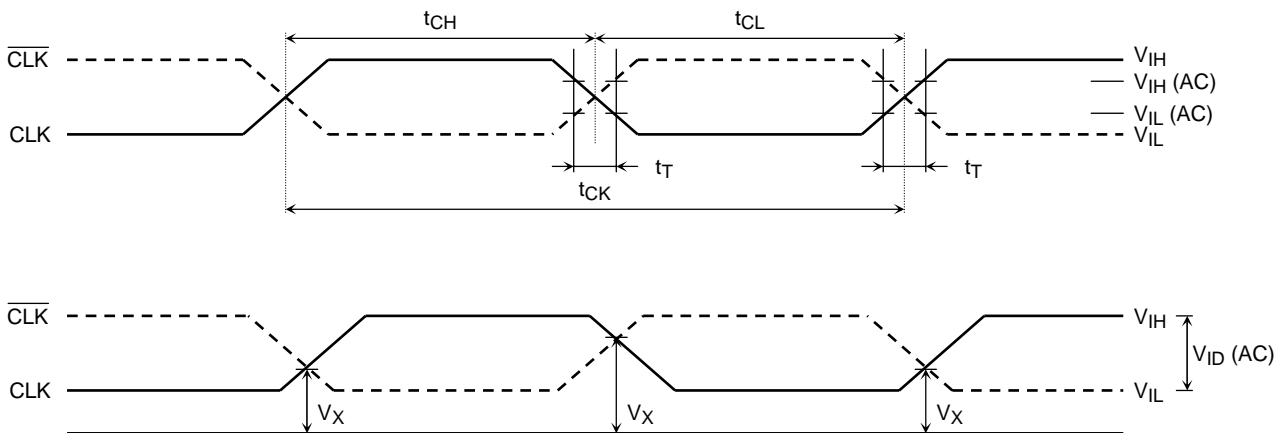


タイミング図

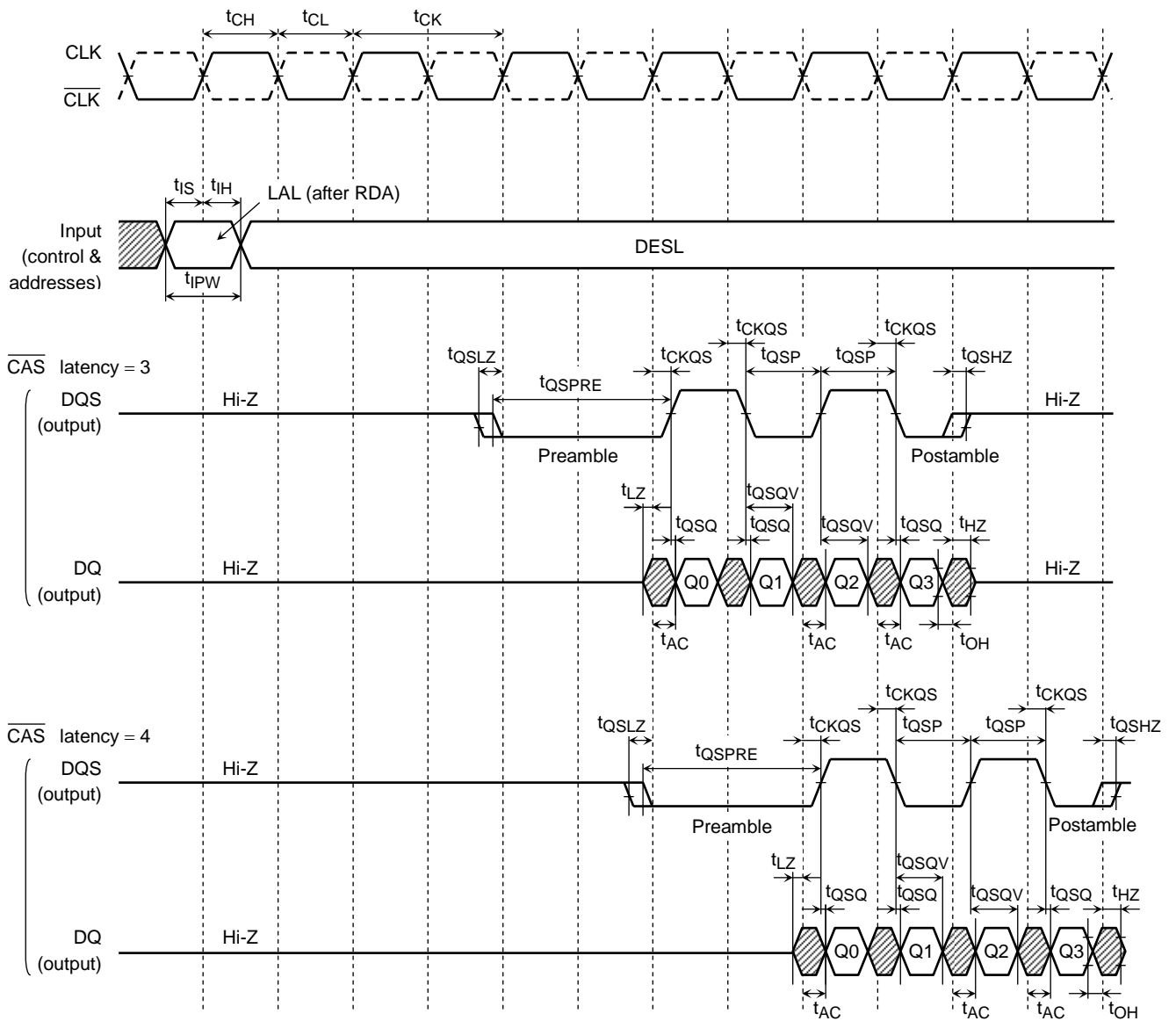
コマンド入力タイミング



CLK, \overline{CLK} タイミング



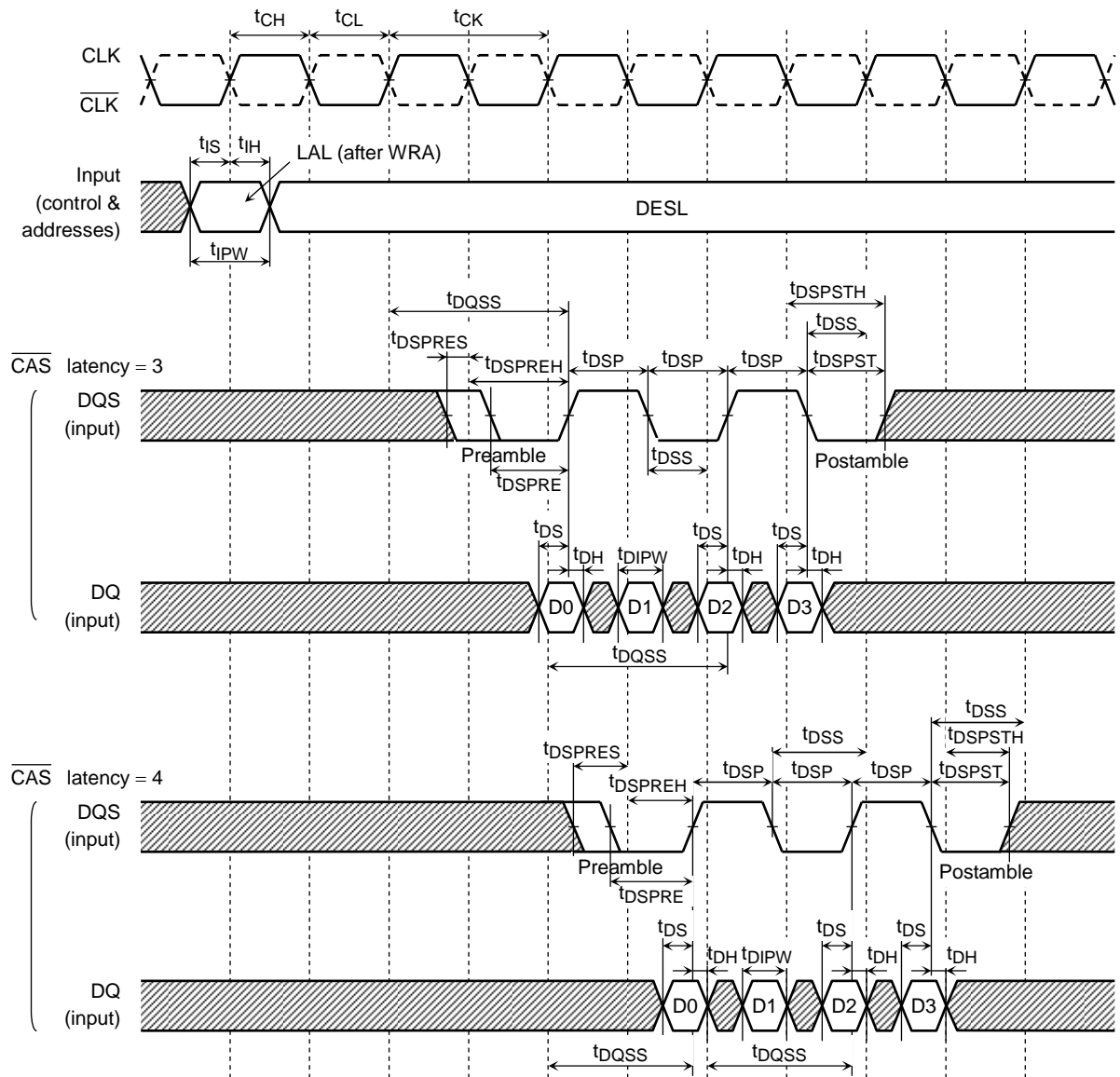
リードタイミング (Burst Length = 4)



注: LDQS、UDQS はそれぞれ以下の DQ に対応します。(TC59LM814CTG)

LDQS	DQ0-DQ7
UDQS	DQ8-DQ15

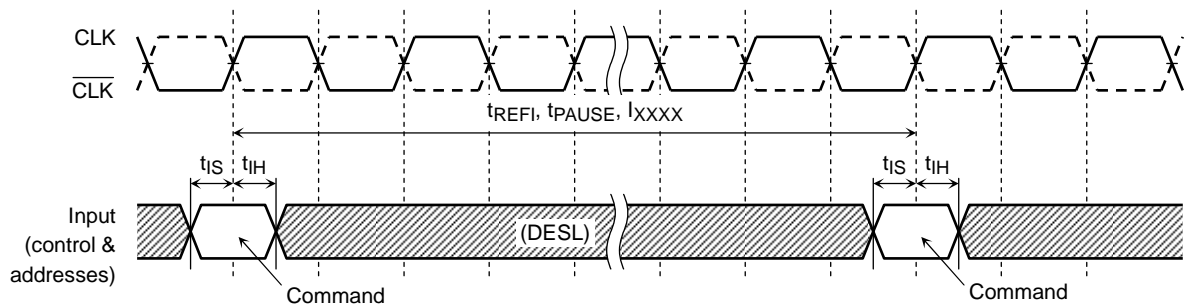
ライトタイミング(Burst Length = 4)



注: LDQS、UDQS はそれぞれ以下の DQ に対応します。(TC59LM814CTG)

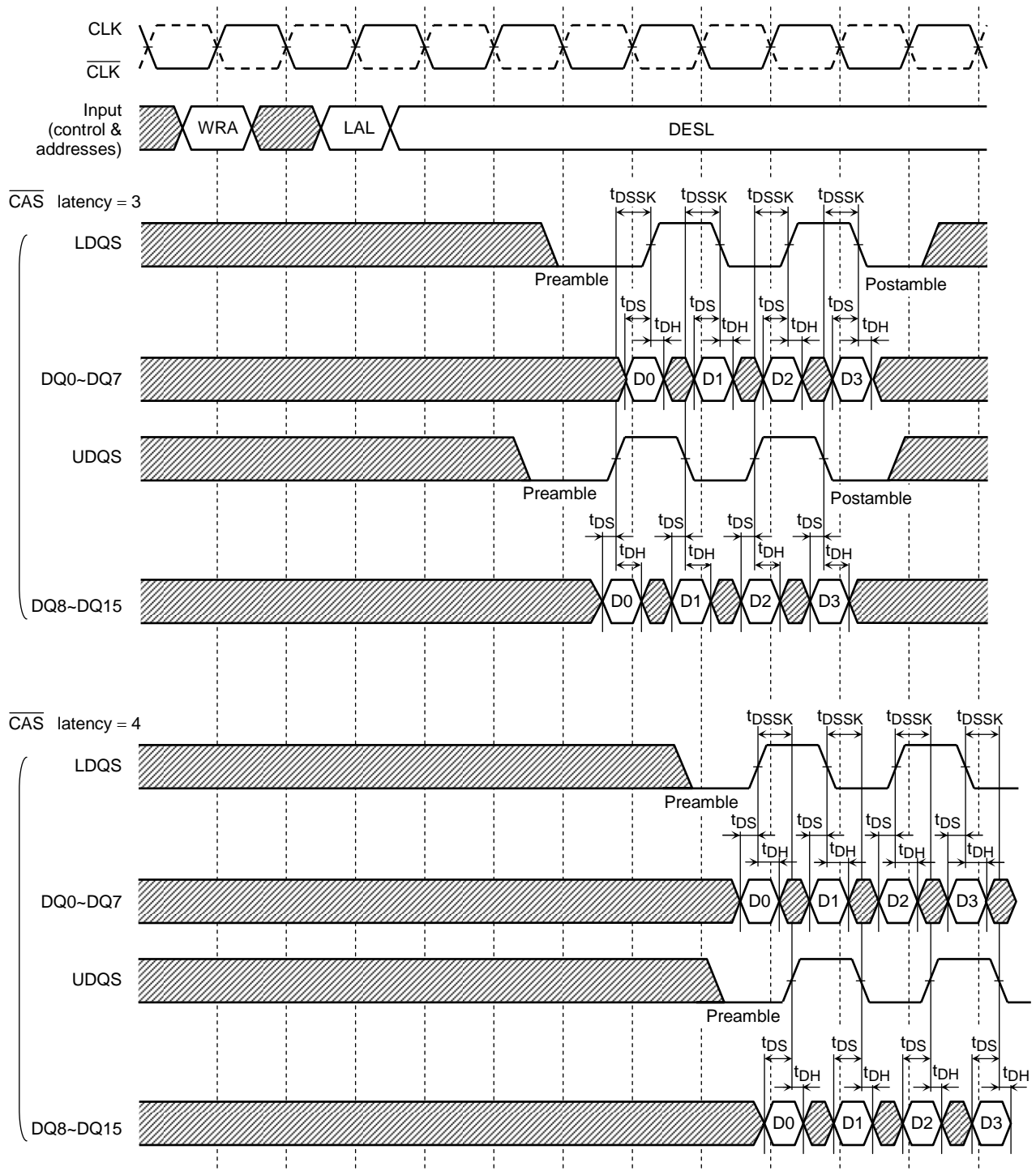
LDQS	DQ0-DQ7
UDQS	DQ8-DQ15

tREFI, tPAUSE, lXXXX タイミング



注: "lXXXX"は"lRC", "lRCD", "lRAS"等を意味します。

ライトタイミング (x16 品) (Burst Length = 4)



動作真理値表 (注: 1, 2, 3)

コマンド真理値表 (注: 4)

• 1st コマンド

記号	項目	\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0
DESL	Device Deselect	H	×	×	×	×	×	×
RDA	Read with Auto-close	L	H	BA	UA	UA	UA	UA
WRA	Write with Auto-close	L	L	BA	UA	UA	UA	UA

• 2nd コマンド

記号	項目	\overline{CS}	FN	BA1~BA0	A14~A13	A12~A11	A10~A9	A8	A7	A6~A0
LAL	Lower Address Latch (×16)	H	×	×	V	V	×	×	×	LA
LAL	Lower Address Latch (×8)	H	×	×	V	×	×	×	LA	LA
REF	Auto-Refresh	L	×	×	×	×	×	×	×	×
MRS	Mode Register Set	L	×	V	L	L	L	L	V	V

- 注: 1. L = Logic Low, H = Logic High, × = either L or H, V = Valid (specified value), BA = Bank Address, UA = Upper Address, LA = Lower Address
 2. 全てのコマンドは各コマンド入力にとって正当な状態で入力されるものとします。
 3. SELFX と PDEX を除く全てのコマンドは、CLK の立ち上がりにおける差動クロック入力交差点で取り込まれます。
 4. 動作モードは 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決まります。
 "状態遷移図"と以下のコマンド表を参照してください

リードコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	注
RDA (1st)	L	H	BA	UA	UA	UA	UA	
LAL (2nd)	H	×	×	×	×	LA	LA	5

- 注: 5. x16 品では、A7 は"×" (LまたはH)

ライトコマンド表

• TC59LM814CTG

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14	A13	A12	A11	A10~A9	A8	A7	A6~A0
WRA (1st)	L	L	BA	UA	UA	UA	UA	UA	UA	UA	UA
LAL (2nd)	H	×	×	LVW0	LVW1	UVW0	UVW1	×	×	×	LA

• TC59LM806CTG

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14	A13	A12	A11	A10~A9	A8	A7	A6~A0
WRA (1st)	L	L	BA	UA	UA	UA	UA	UA	UA	UA	UA
LAL (2nd)	H	×	×	VW0	VW1	×	×	×	×	LA	LA

- 注: 6. A14~ A11 はライト動作時のパリアブルライトバースト長制御に使用します。

動作真理値表 (続き)

バリアブルライト(VW)真理値表

記号	項目	VW0	VW1
BL=2	Write All Words	L	×
	Write First One Word	H	×
BL=4	Reserved	L	L
	Write All Words	H	L
	Write First Two Words	L	H
	Write First One Word	H	H

注: 7. x16品では、LVW0とLVW1はDQ0-DQ7の制御、UVW0とUVW1はDQ8-DQ15の制御。

モードレジスタセットコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	注
RDA (1st)	L	H	×	×	×	×	×	
MRS (2nd)	L	×	V	L	L	V	V	8

注: 8. “モードレジスタ表”を参照して下さい。

オートリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	注
			n-1	n								
Active	WRA (1st)	Standby	H	H	L	L	×	×	×	×	×	
Auto-Refresh	REF (2nd)	Active	H	H	L	×	×	×	×	×	×	

セルフリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	注
			n-1	n								
Active	WRA (1st)	Standby	H	H	L	L	×	×	×	×	×	
Self-Refresh Entry	REF (2nd)	Active	H	L	L	×	×	×	×	×	×	9, 10
Self-Refresh Continue	—	Self-Refresh	L	L	×	×	×	×	×	×	×	
Self-Refresh Exit	SELFX	Self-Refresh	L	H	H	×	×	×	×	×	×	11

パワーダウンコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	注
			n-1	n								
Power Down Entry	PDEN	Standby	H	L	H	×	×	×	×	×	×	10
Power Down Continue	—	Power Down	L	L	×	×	×	×	×	×	×	
Power Down Exit	PDEX	Power Down	L	H	H	×	×	×	×	×	×	11

注: 9. \overline{PD} は REF コマンドに対して t_{FPDL} の範囲内でロー状態にしなければなりません。
 10. \overline{PD} をロー状態にする時は、DQ ピンの状態がハイインピーダンス状態後にしてください。
 11. \overline{PD} をロー状態からハイ状態へ移行した場合、クロックに対して非同期動作となります。

動作真理値表 (続き)

現在の状態	PD		CS	FN	アドレス	コマンド	アクション	注
	n-1	n						
Idle	H	H	H	x	x	DESL	NOP	
	H	H	L	H	BA, UA	RDA	Row activate for Read	
	H	H	L	L	BA, UA	WRA	Row activate for Write	
	H	L	H	x	x	PDEN	Power Down Entry	12
	H	L	L	x	x	—	Illegal	
Row Active for Read	L	x	x	x	x	—	Refer to Power Down State	
	H	H	H	x	LA	LAL	Begin Read	
	H	H	L	x	Op-code	MRS/EMRS	Access to Mode Register	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	MRS/EMRS	Illegal	
Row Active for Write	L	x	x	x	x	—	Invalid	
	H	H	H	x	LA	LAL	Begin Write	
	H	H	L	x	x	REF	Auto-Refresh	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	REF (self)	Self-Refresh Entry	
Read	L	x	x	x	x	—	Invalid	
	H	H	H	x	x	DESL	Continue Burst Read to End	
	H	H	L	H	BA, UA	RDA	Illegal	13
	H	H	L	L	BA, UA	WRA	Illegal	13
	H	L	H	x	x	PDEN	Illegal	
Write	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
	H	H	H	x	x	DESL	Data Write&Continue Burst Write to End	
	H	H	L	H	BA, UA	RDA	Illegal	13
	H	H	L	L	BA, UA	WRA	Illegal	13
Auto-Refreshing	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Refer to Self-Refreshing State	
	H	H	H	x	x	DESL	NOP → Idle after IREFC	
	H	H	L	H	BA, UA	RDA	Illegal	
Mode Register Accessing	H	H	L	L	BA, UA	WRA	Illegal	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
	Power Down	L	x	x	x	x	—	Invalid
L		L	x	x	x	—	Maintain Power Down Mode	
L		H	H	x	x	PDEX	Exit Power Down Mode → Idle after tPDEX	
L		H	L	x	x	—	Illegal	
Self-Refreshing	L	H	L	x	x	—	Illegal	
	L	L	x	x	x	—	Maintain Self-Refresh	
	L	H	H	x	x	SELF	Exit Self-Refresh → Idle after IREFC	
	L	H	L	x	x	—	Illegal	

- 注: 12. 全てのバンクがアイドル状態でなければ禁止コマンドとなります。
 13. 指定された状態のバンクに対しての禁止コマンドです。
 バンクアドレスによって指定されたバンクによっては、正常な動作が可能です。
 14. tPDL 規定を満たさなければなりません。。

モードレジスタ表

MRS (レギュラーモードレジスタセット) (注: 1)

ADDRESS	BA1 ^{*1}	BA0 ^{*1}	A14~A8	A7 ^{*3}	A6~A4	A3	A2~A0
Register	0	0	0	TE	CL	BT	BL

A7	TEST MODE (TE)
0	Regular (default)
1	Test Mode Entry

A3	BURST TYPE (BT)
0	Sequential
1	Interleave

A6	A5	A4	CAS LATENCY (CL)
0	0	×	Reserved ^{*2}
0	1	0	Reserved ^{*2}
0	1	1	3
1	0	0	4
1	0	1	Reserved ^{*2}
1	1	×	Reserved ^{*2}

A2	A1	A0	BURST LENGTH (BL)
0	0	0	Reserved ^{*2}
0	0	1	2
0	1	0	4
0	1	1	Reserved ^{*2}
1	×	×	

EMRS (エクステンディッドモードレジスタセット) (注: 4)

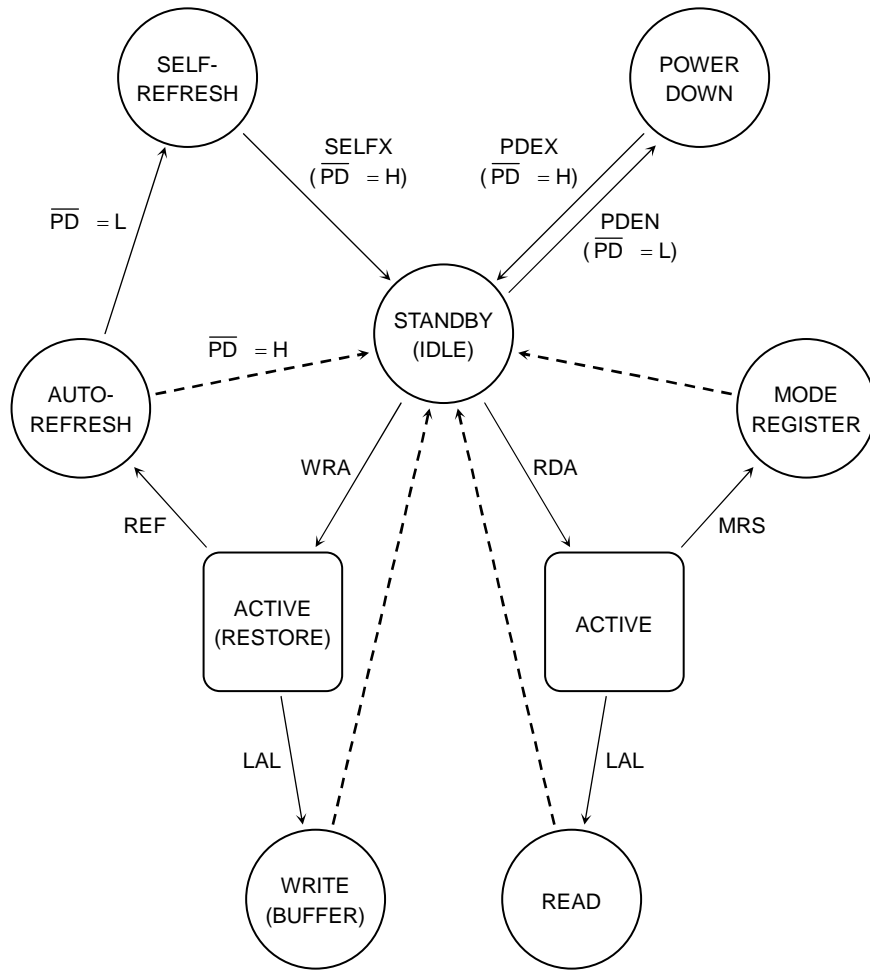
ADDRESS	BA1 ^{*4}	BA0 ^{*4}	A14~A7	A6	A5~A2	A1	A0 ^{*5}
Register	0	1	0	DIC	0	DIC	DS

A6	A1	OUTPUT DRIVE IMPEDANCE CONTROL (DIC)
0	0	Normal Output Driver
0	1	Strong Output Driver
1	0	Weaker Output Driver
1	1	Weakest Output Driver

A0	DLL SWITCH (DS)
0	DLL Enable
1	DLL Disable

- 注:
- レギュラーモードレジスタは BA0 = 0 と BA1 = 0 の組み合わせによって選択されます。
 - レギュラーモードレジスタ中の“Reserved”にはセットしないで下さい。
 - テストモードは特殊な動作モードの為、レギュラーモードレジスタの際の A7 は“0” (ロー状態) にセットして下さい。
 - エクステンディッドモードレジスタは BA0 = 1 と BA1 = 0 の組み合わせによって選択されます。
 - エクステンディッドモードレジスタ時の A0 は“0”(ロー状態) にセットして下さい。

状態遷移図

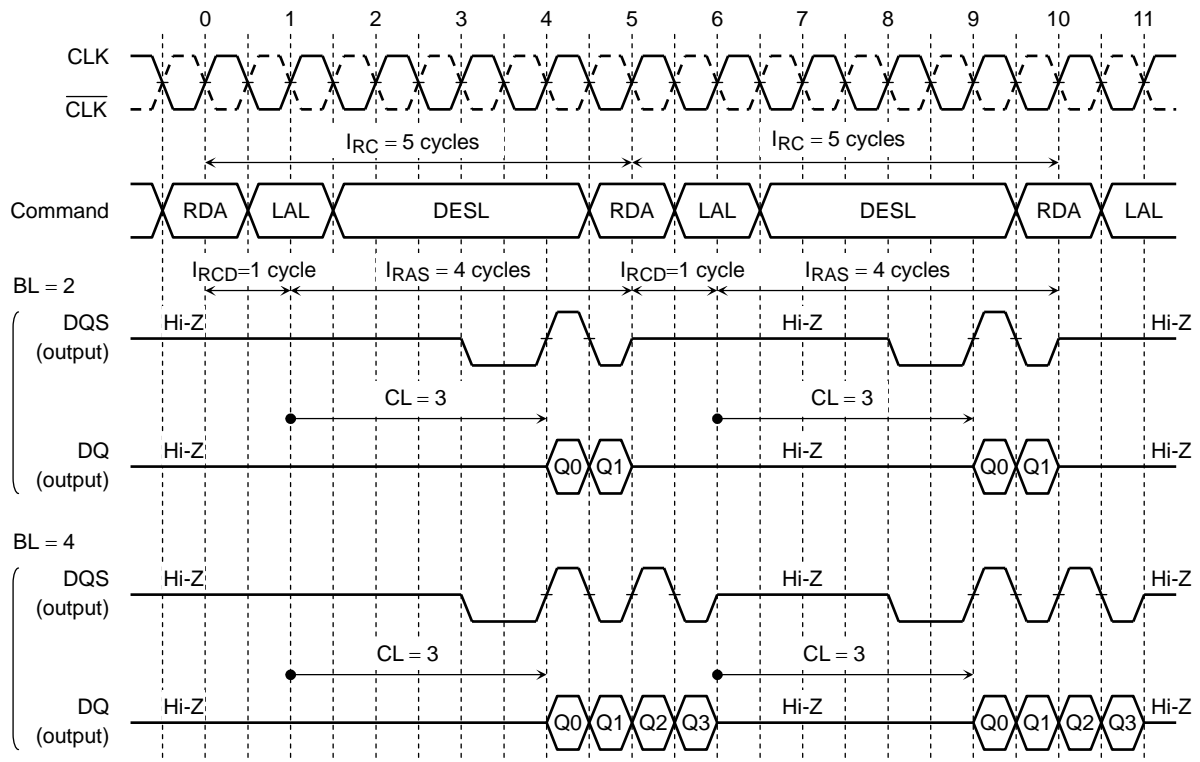


————> Command input
 - - - -> Automatic return

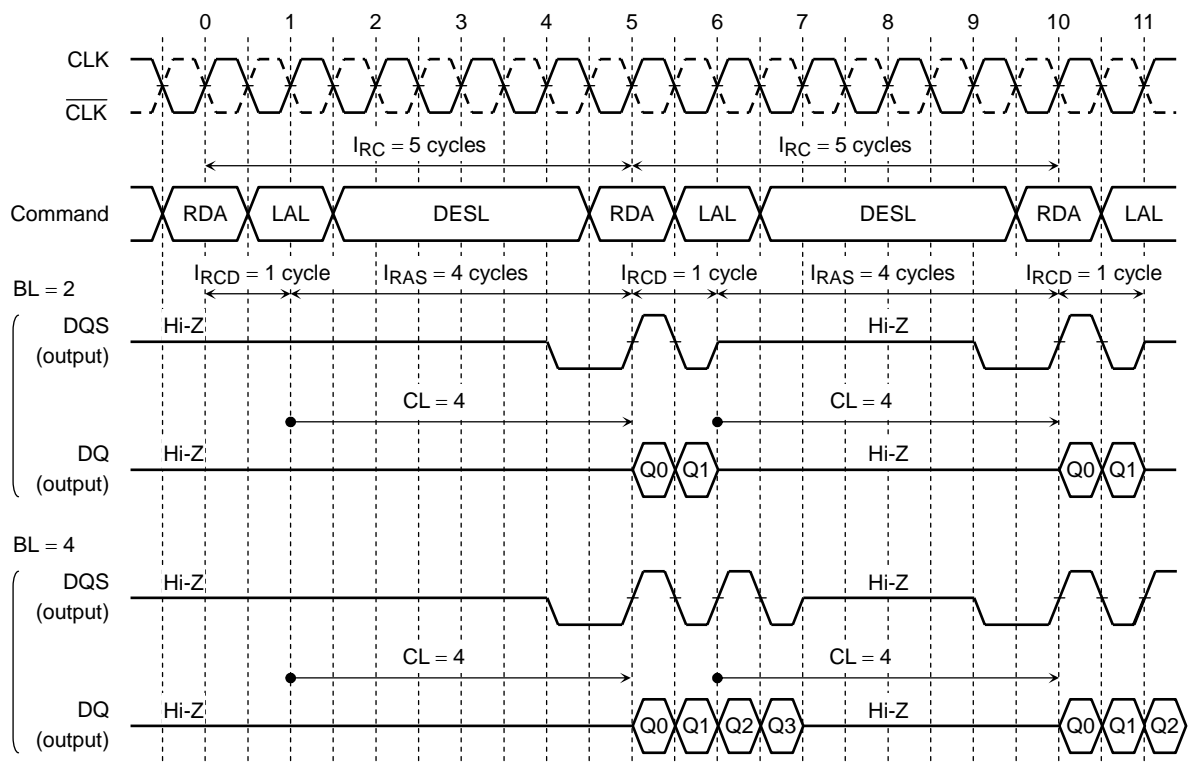
アクティブ状態における2番目のコマンドは、RDA または WRA コマンド入力から 1クロック後に入力されなければなりません。

タイミング図

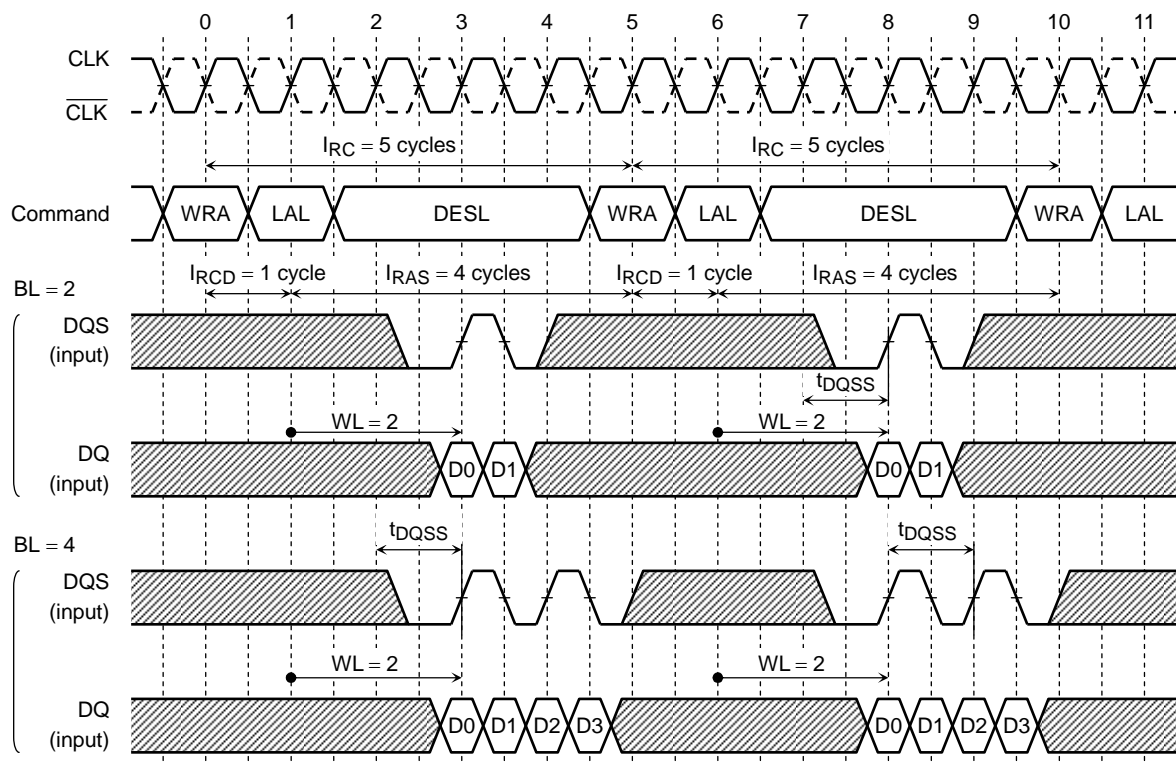
シングルバンクリードタイミング (CL = 3)



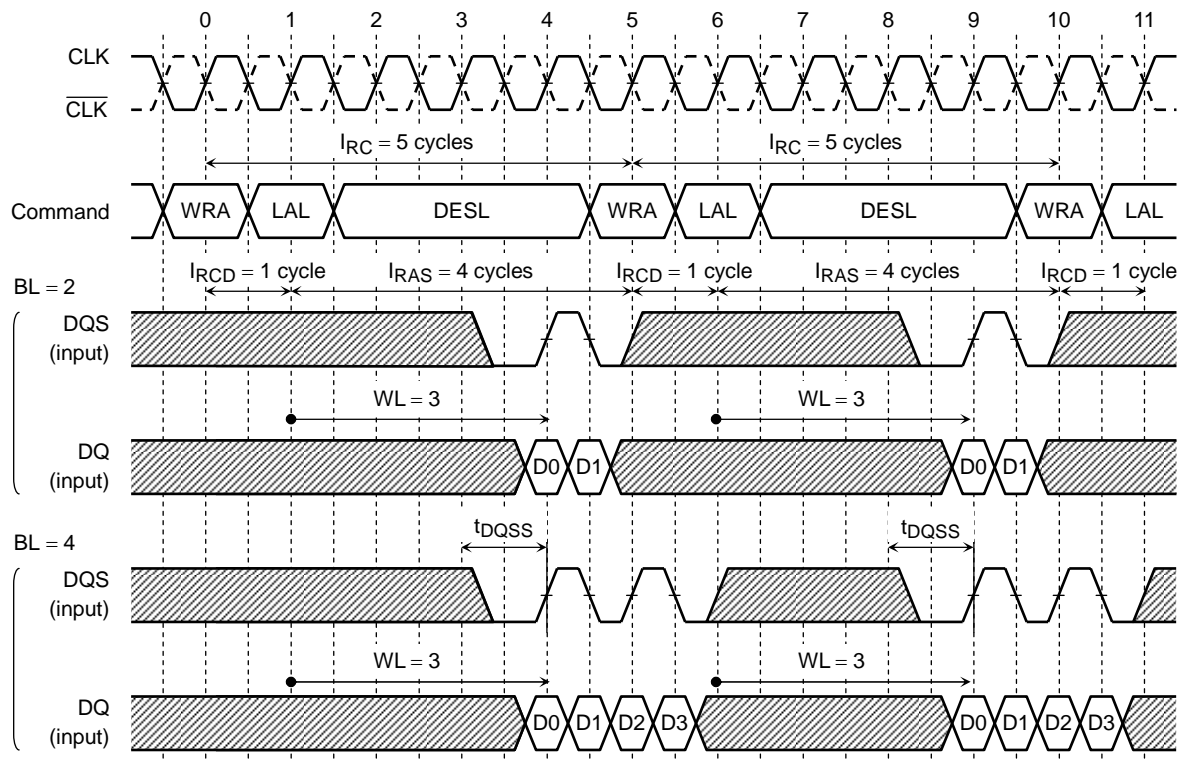
シングルバンクリードタイミング (CL = 4)




シングルバンクライトタイミング (CL = 3)

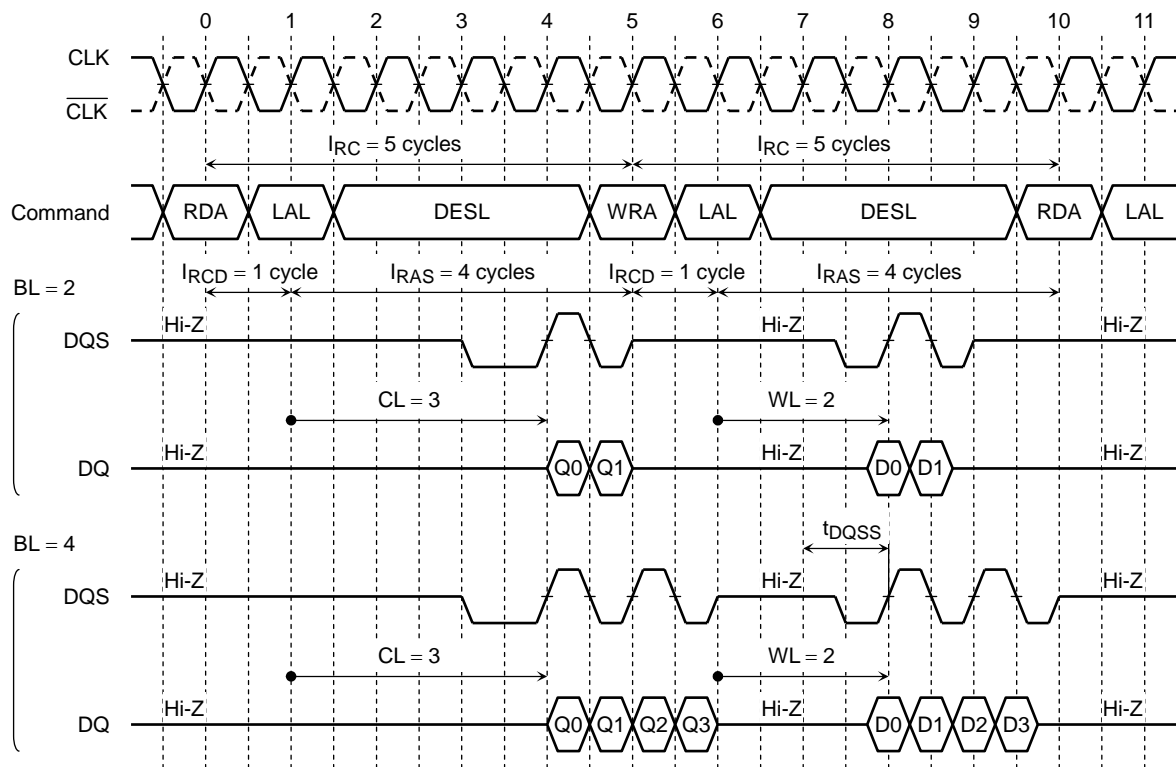


シングルバンクライトタイミング (CL = 4)

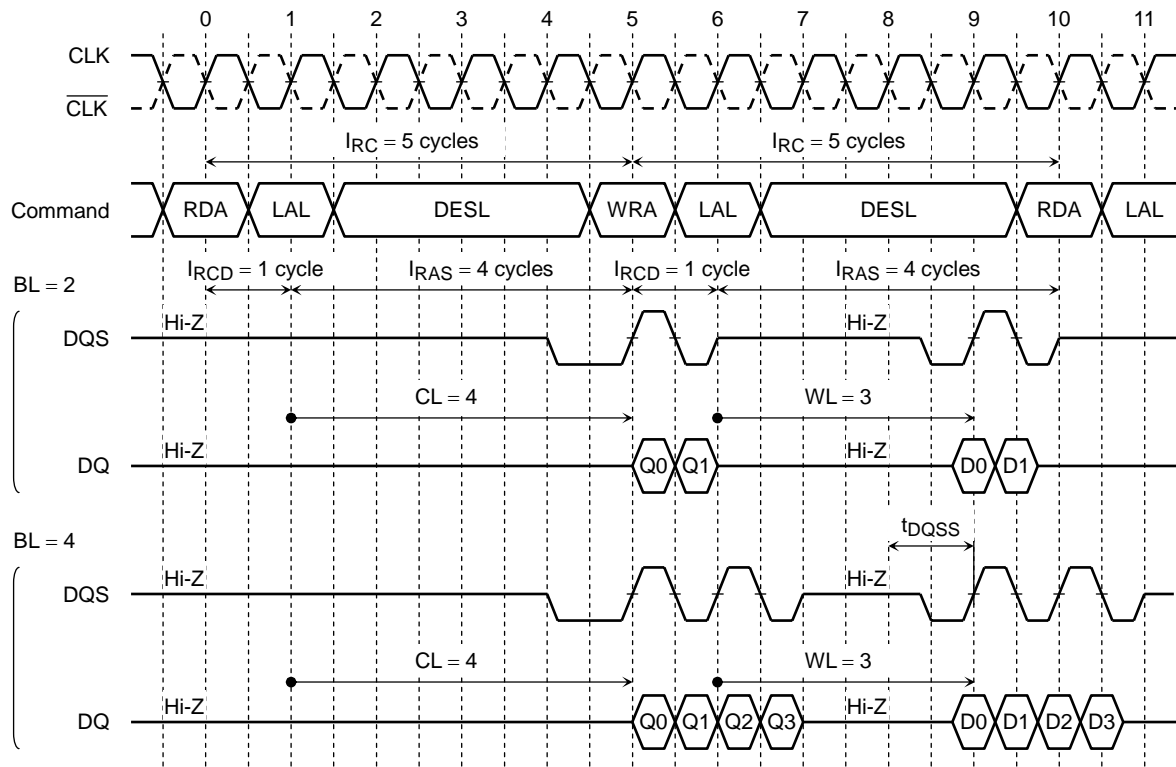


注:  は不定レベルを示します。

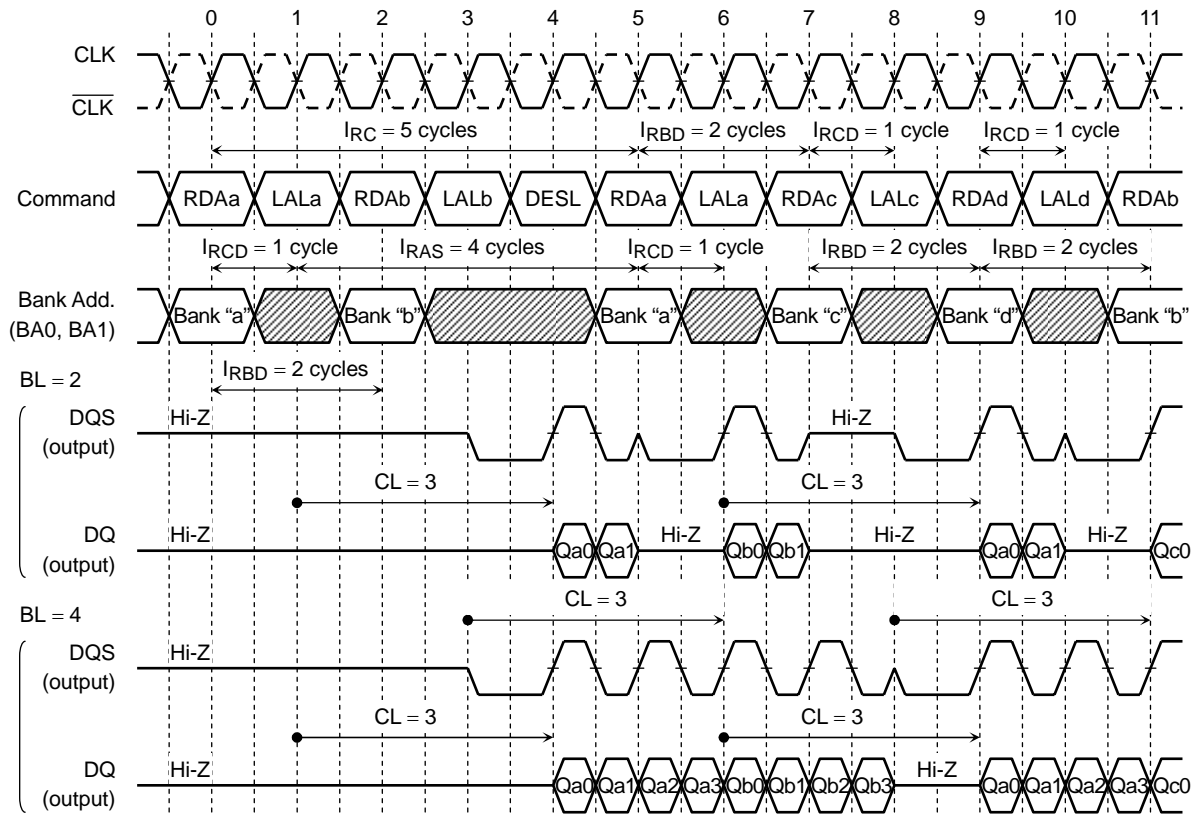
シングルバンクリード/ライトタイミング (CL = 3)



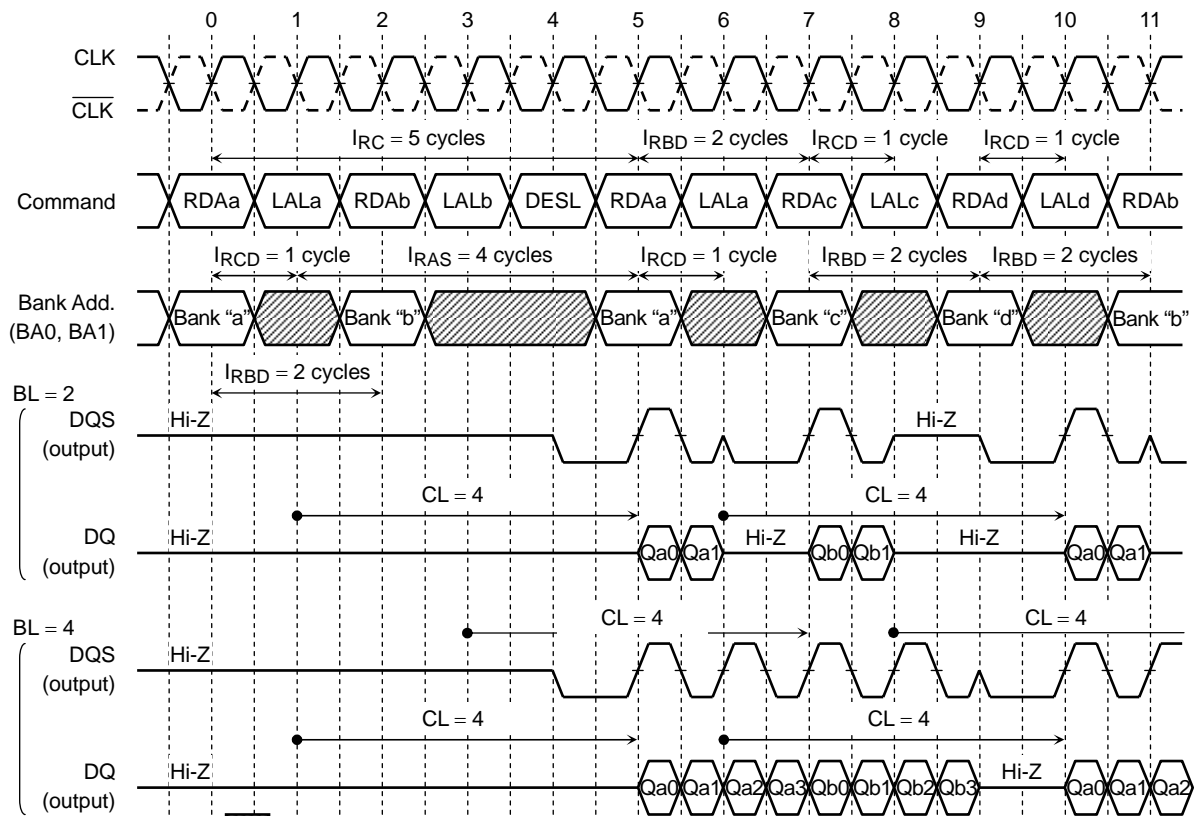
シングルバンクリード/ライトタイミング (CL = 4)




マルチバンクリードタイミング (CL = 3)

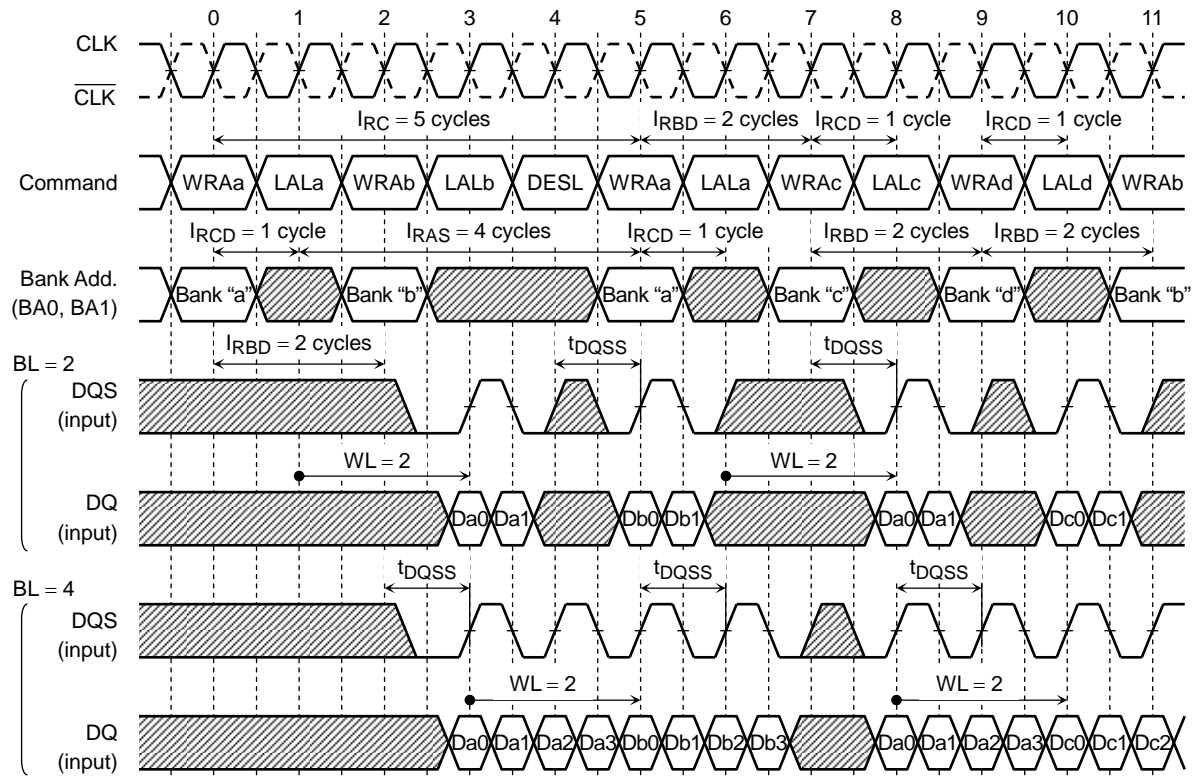


マルチバンクリードタイミング (CL = 4)

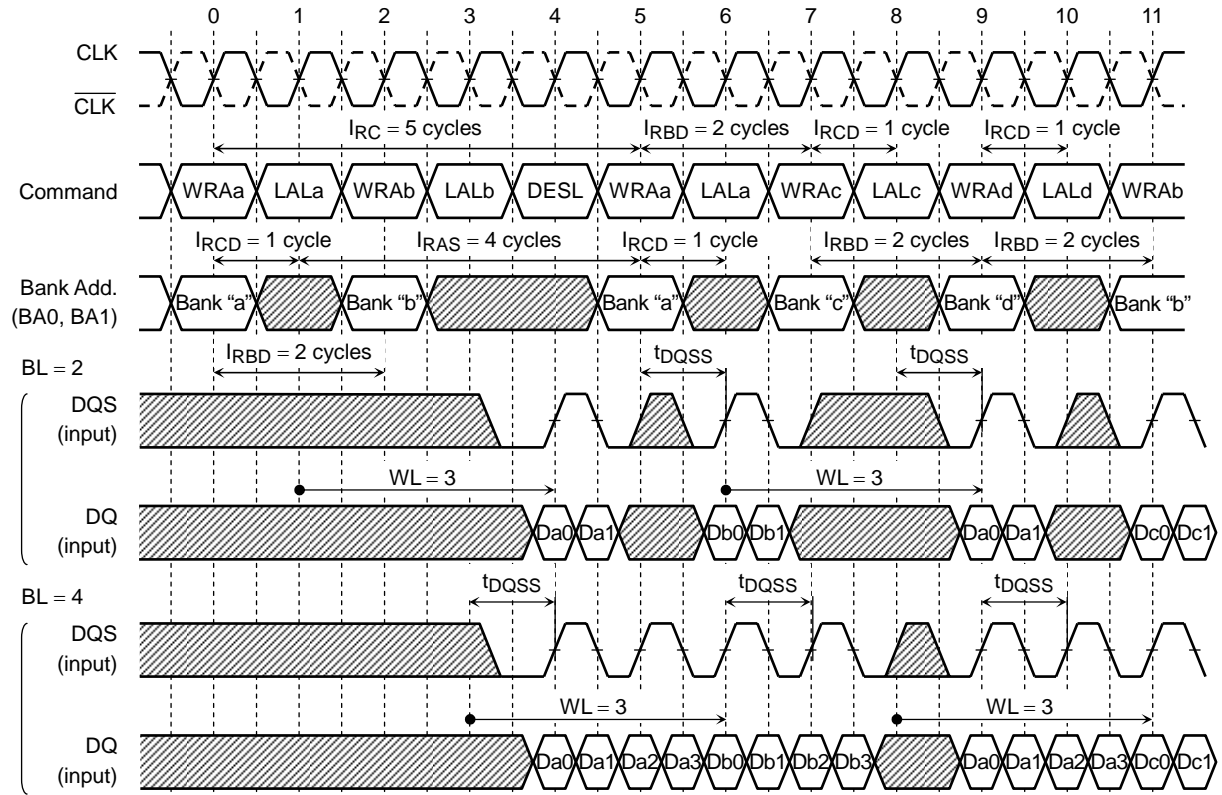



注:  部分は不定レベルを示します。
 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクライトタイミング (CL = 3)

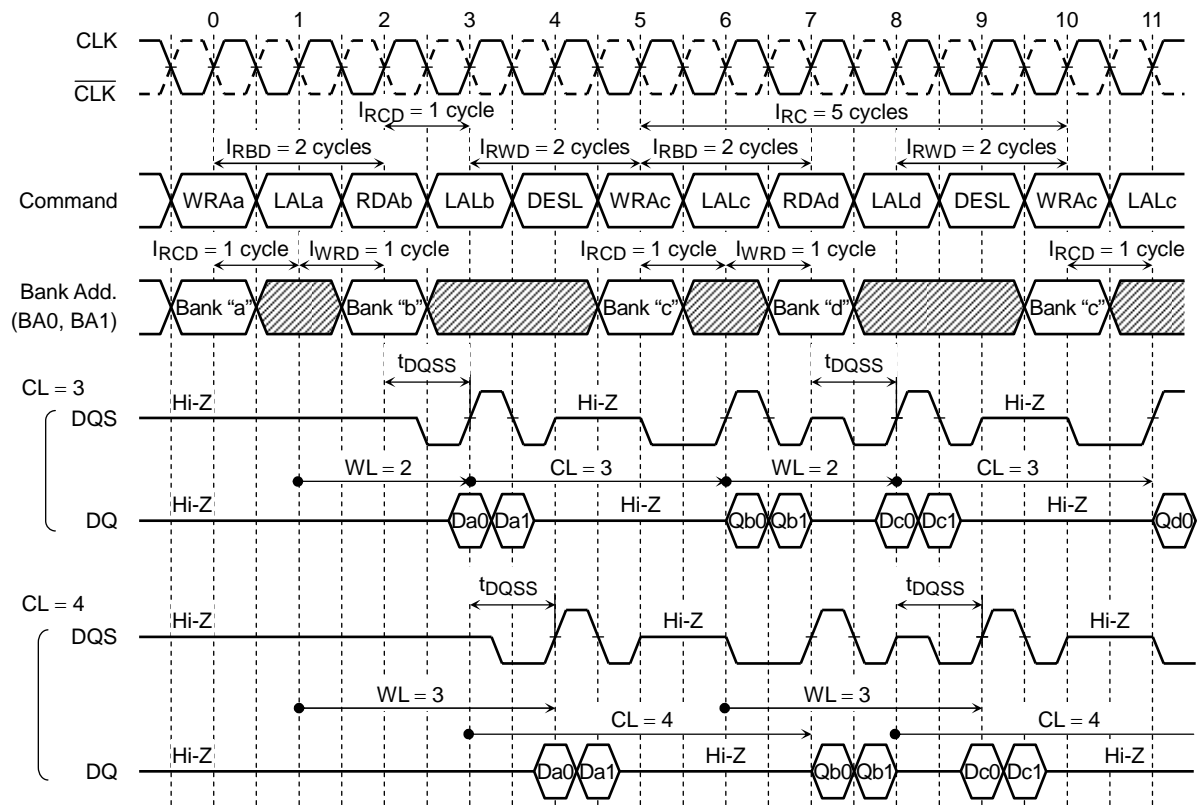


マルチバンクライトタイミング (CL = 4)

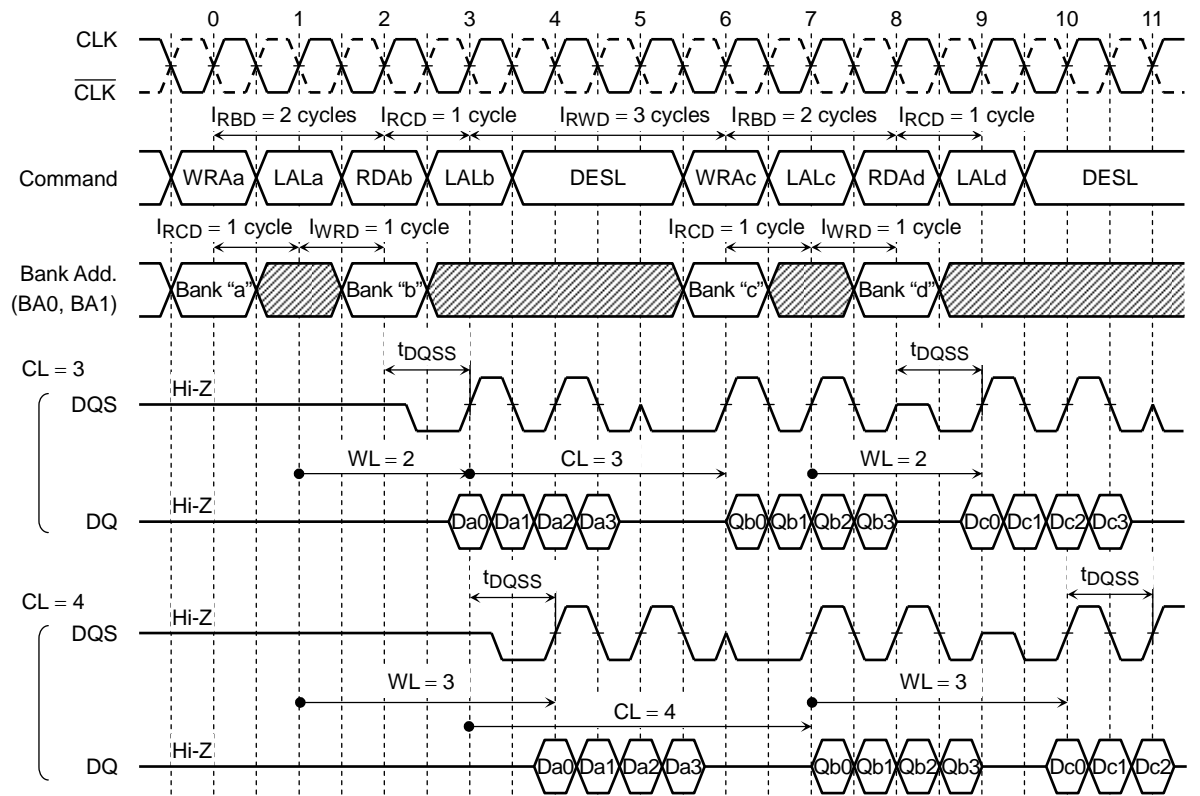



注:  は不定レベルを示します。
同一バンクに対しては IRC 規定を満たさなければなりません。

マルチプルバンクリード/ライトタイミング (BL = 2)

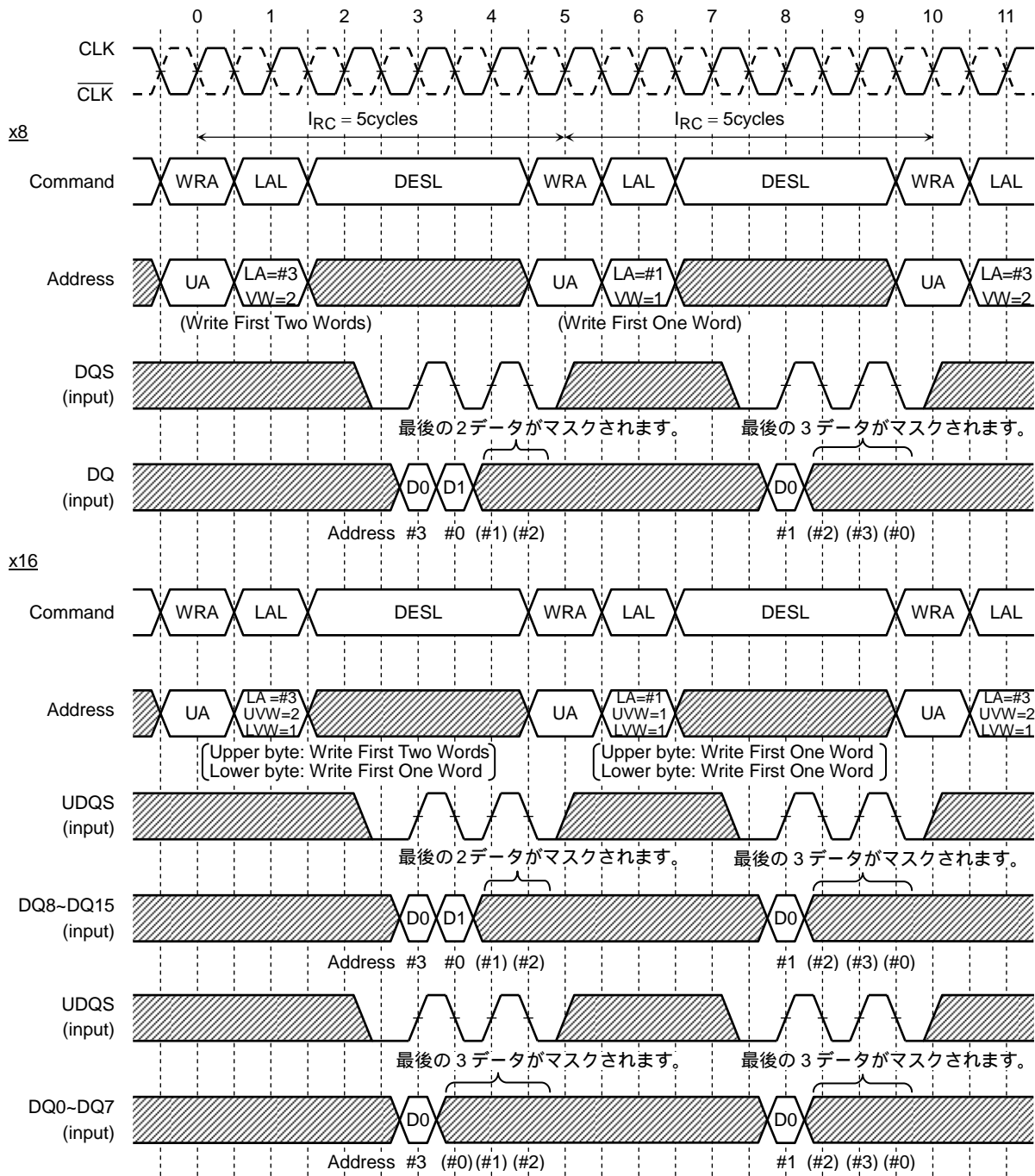


マルチプルバンクリード/ライトタイミング (BL = 4)



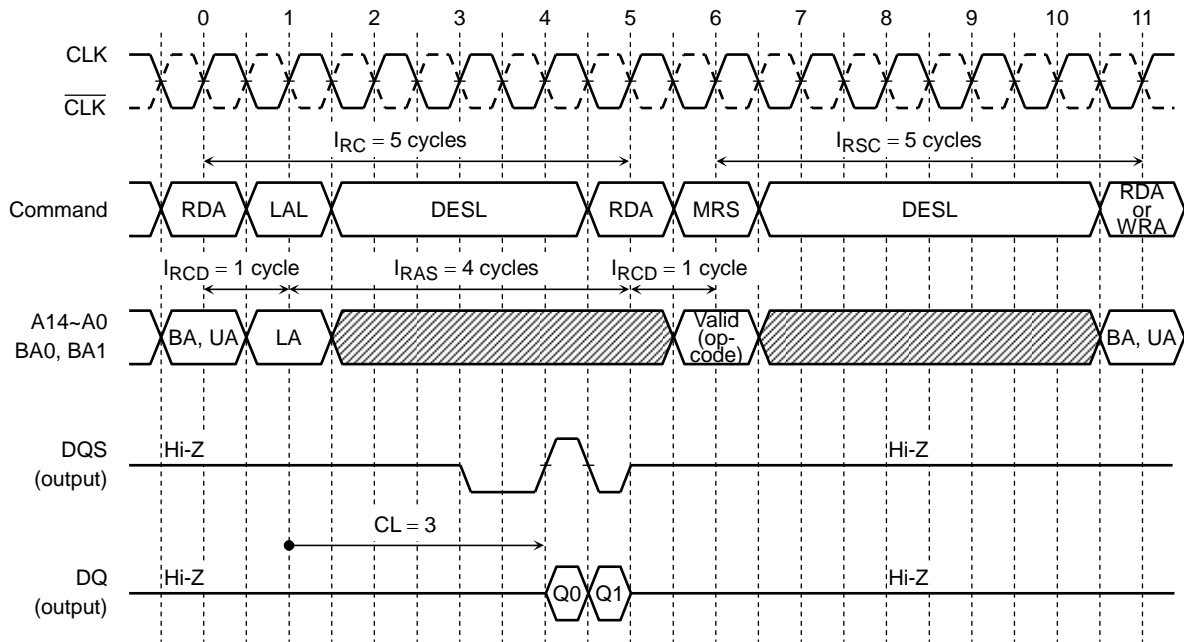
注:  は不定レベルを示します。
同一バンクに対しては I_{RC} 規定を満たさなければなりません。

バリアブルライト(VW)によるライトコントロール (CL = 3, BL = 4, Sequential モード)



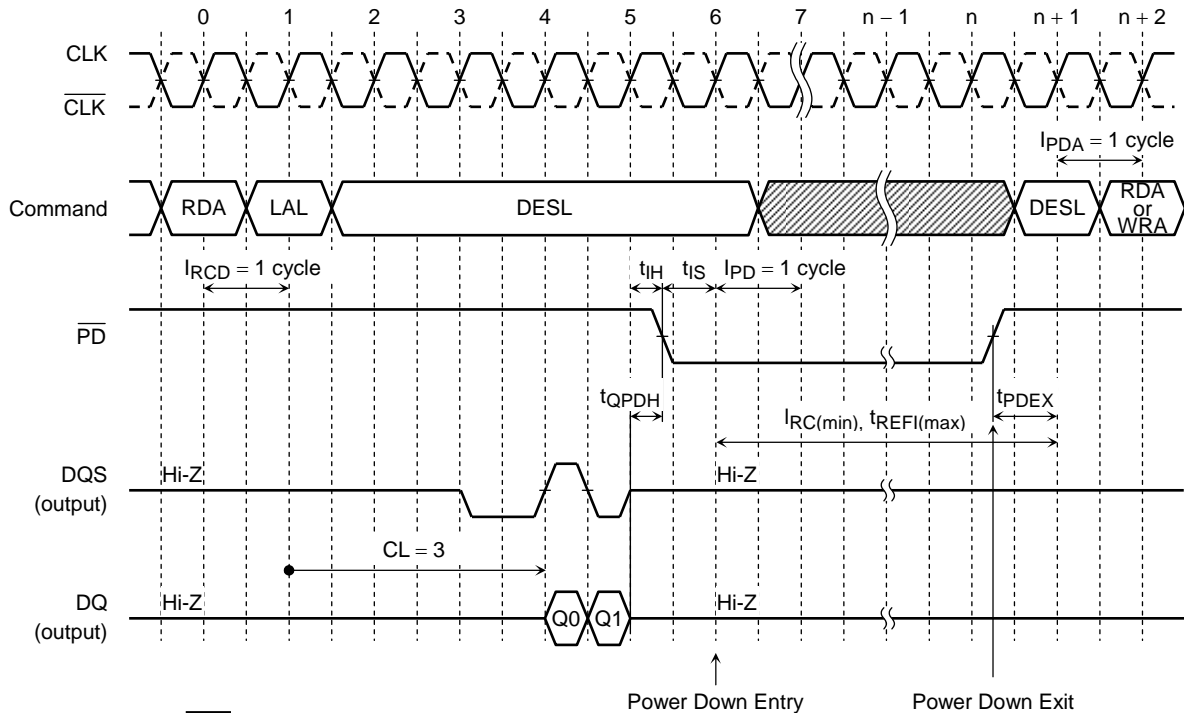
注: バースト長後半のデータがマスクされる場合でも、DQSの入力はMRSで設定されたバースト長分まで継続して下さい。


モードレジスタセットタイミング (CL = 3, BL = 2)



パワーダウンタイミング (CL = 3, BL = 2)

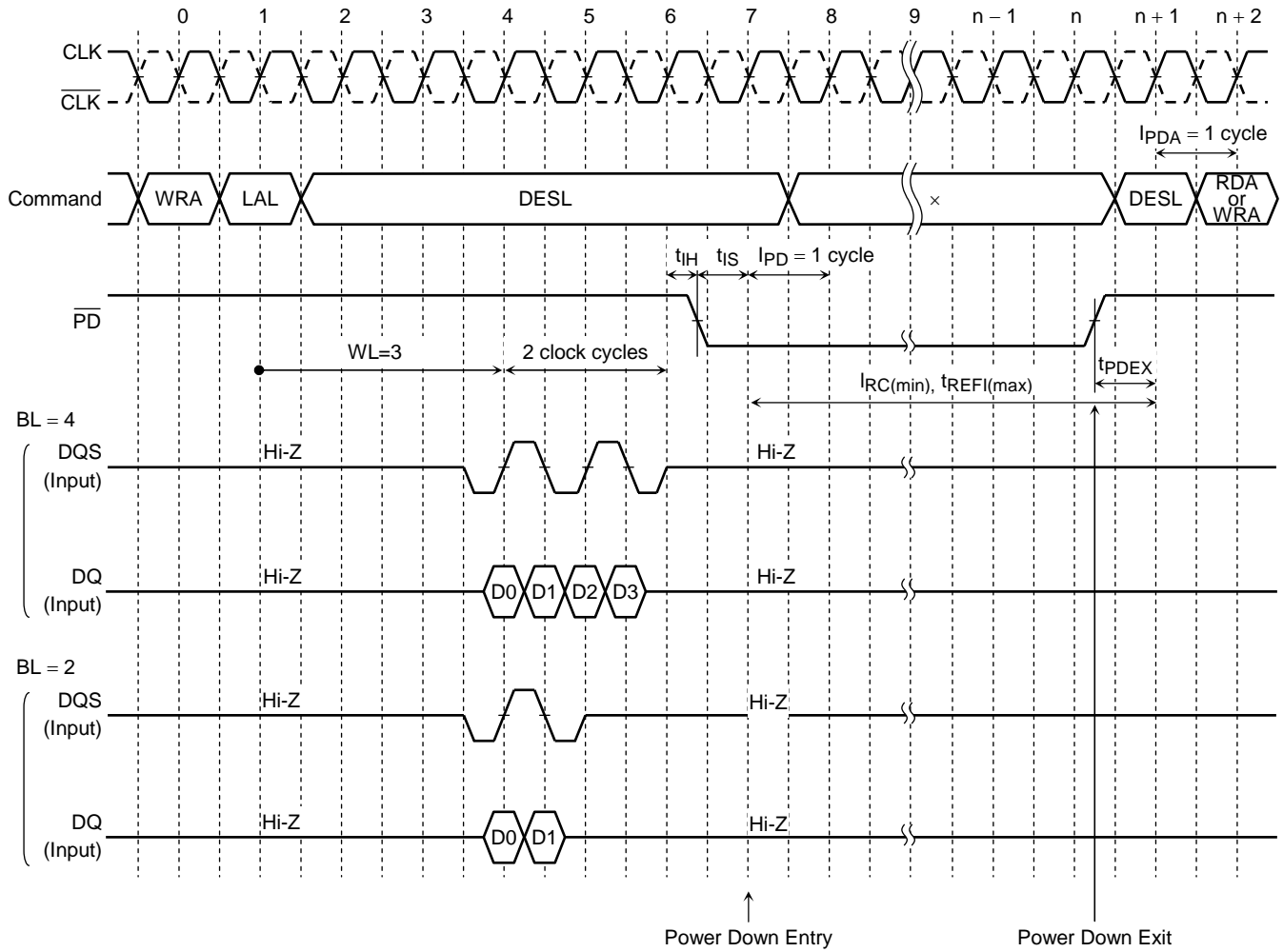
リードサイクルからのパワーダウンタイミング




注:  は不定レベルを示します。
 I_{PD} は \overline{PD} をロー状態にした後の最初の CLK 立ち上がりエッジから定義されます。
 I_{PDA} は \overline{PD} をハイ状態にした後の最初の CLK 立ち上がりエッジから定義されます。
 \overline{PD} はデータ出力が終了するまでハイ状態を維持しなければなりません。
 \overline{PD} はデータ保持の為 $t_{REFI(max)}$ 規定内でハイ状態にしなければなりません。

パワーダウンタイミング (CL = 4)

ライトサイクルからのパワーダウンタイミング

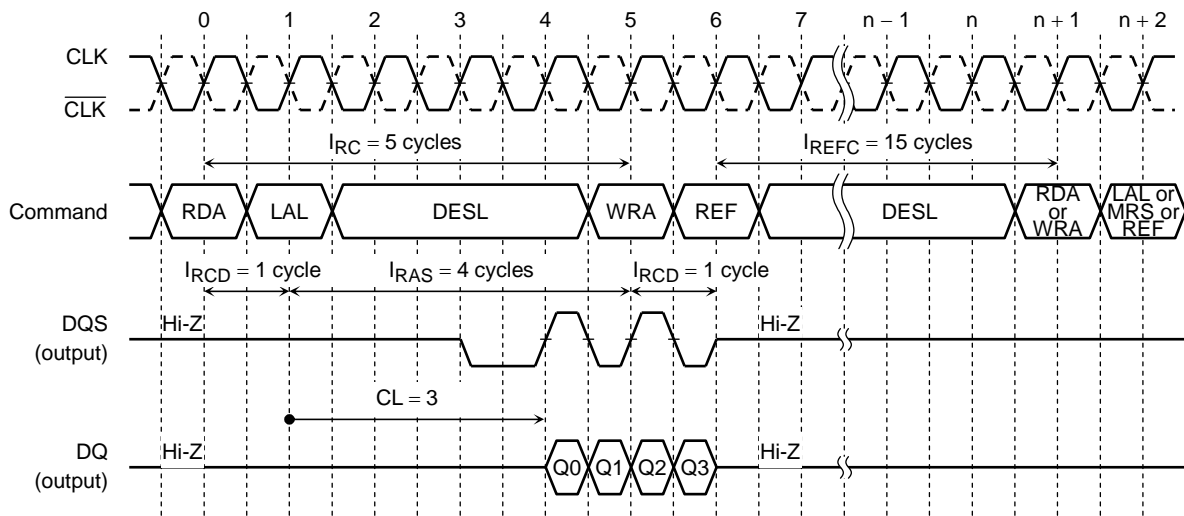


注:  は不定レベルを示します。

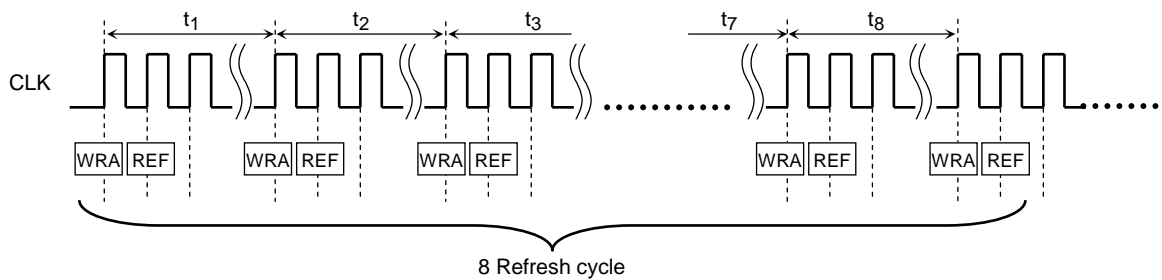
PD は LAL コマンドから WL+2 クロックまでハイ状態を維持しなければなりません。

PD はデータ保持の為 t_{REFI}(max) 規定内でハイ状態にしなければなりません。

オートリフレッシュタイミング (CL = 3, BL = 4)



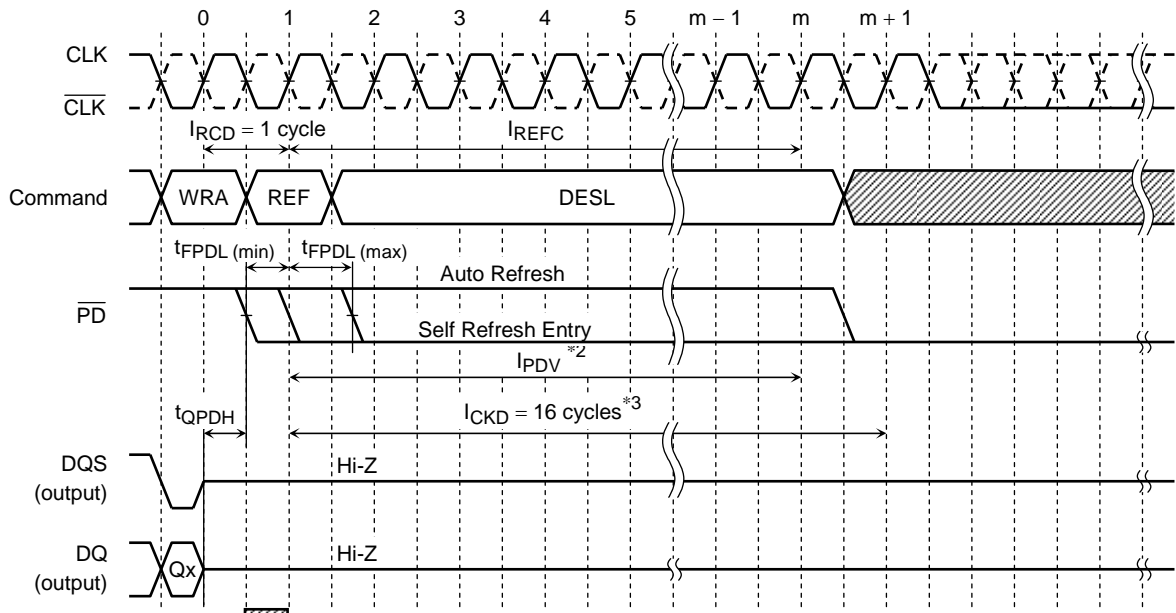
注: CL = 3 の場合、I_{REFC} は 15 クロックサイクル必要です。
 オートリフレッシュ動作を実行する場合は t_{REFI} で規定されているオートリフレッシュコマンドの総合的な平均間隔を満たさなければなりません。
 t_{REFI} は任意のサンプリングされた 8 回のオートリフレッシュにおけるコマンド平均間隔時間です。



$$t_{REFI} = \frac{\text{Total time of 8 Refresh cycle}}{8} = \frac{t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8}{8}$$

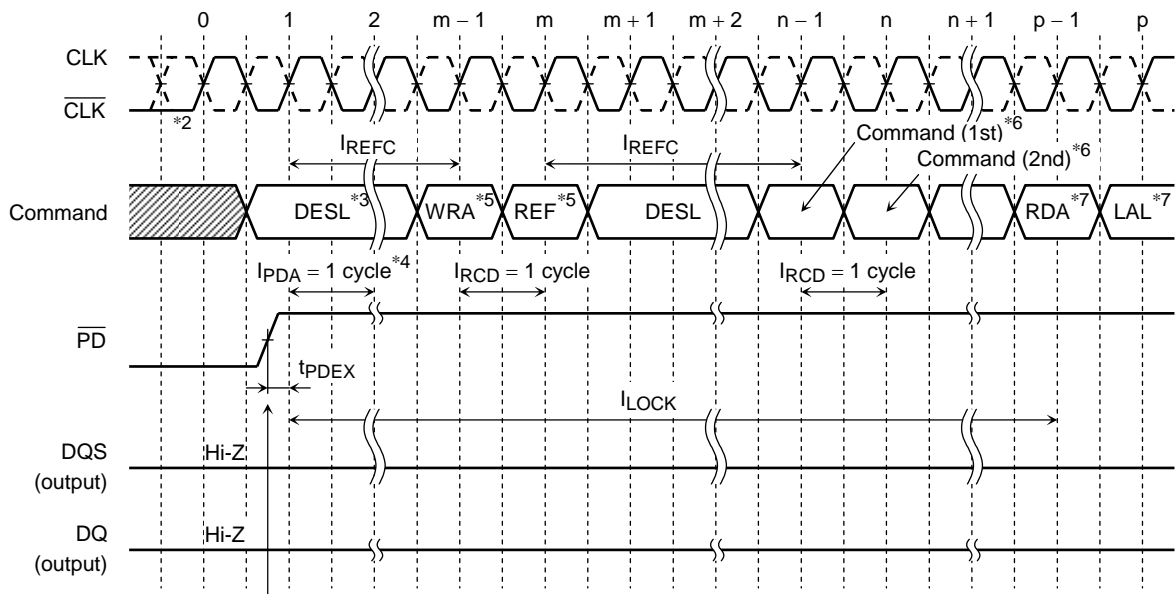
t_{REFI} はリードやライト動作よりも活性化する領域が大きいリフレッシュ動作で部分的に電流が集中する事を避けるために規定されています。

セルフリフレッシュエントリータイミング (CL = 3)



- 注:
1. は不定レベルを示します。
 2. セルフリフレッシュエントリーするには、 $t_{FPDL}(min)$ と $t_{FPDL}(max)$ の間でローにしてください。もし I_{PDV} 後にローにするとオートリフレッシュ実行後にパワーダウンにエントリーされます。
 3. セルフリフレッシュエントリーで \overline{PD} がロー状態になっていてもREFコマンドから少なくとも16クロックサイクル分はクロック入力続ける必要があります。

セルフリフレッシュイグジットタイミング



Self-Refresh Exit

- 注:
1. は不定レベルを示します。
 2. セルフリフレッシュ中にクロック入力を停止されている場合は、 \overline{PD} をハイ状態にする前にクロック入力を安定させてください。
 3. \overline{PD} をハイ状態にした後 I_{REFC} 相当分のDESLコマンドを入力してください。
 4. I_{PDA} は \overline{PD} をハイ状態にした後の最初のCLK立ち上がりエッジから定義されます。
 5. セルフリフレッシュイグジット直後、いかなる他の動作を実行するよりも前にオートリフレッシュサイクルを一回実行する必要があります。
 6. リードコマンドを除く他のコマンドは I_{REFC} 後から入力可能です。
 7. リードコマンド(RDA + LAL)は I_{LOCK} 後から入力可能です。

機能説明

Network FCRAM™

Network FCRAM™ はダブルデータレートファーストサイクルランダムアクセスメモリ(Double Data Rate Fast Cycle Random Access Memory)の略語です。Network FCRAM™ は高速ランダムコアアクセス、ローレイテンシ、低消費電力、高速データ転送能力を備えたメモリです。

ピン機能

クロック入力: CLK & $\overline{\text{CLK}}$

CLK と $\overline{\text{CLK}}$ 入力は同期式動作の基準クロックとして使用されます。 $\overline{\text{CS}}$ 、FN と全アドレス入力は、CLK の立ち上がりエッジと $\overline{\text{CLK}}$ の立ち下がりエッジの交差点で取り込まれます。DQS と DQ 出力データは、CLK と $\overline{\text{CLK}}$ の交差点から出力されます。差動クロックのタイミング基準点は、CLK と $\overline{\text{CLK}}$ の遷移信号が交差する点になります。

パワーダウン: $\overline{\text{PD}}$

$\overline{\text{PD}}$ 入力はアワードアウン及びセルフリフレッシュモードの制御に行います。 $\overline{\text{PD}}$ 入力は、標準 SDRAM の CKE 入力のようなクロックサスペンド機能は備えていません。そのため、リードやライト動作中に $\overline{\text{PD}}$ を低レベルにする事は避けてください。

チップセレクト&ファンクションコントロール: $\overline{\text{CS}}$ & FN

$\overline{\text{CS}}$ と FN 入力は FCRAM™ の動作コマンドを形成するための制御信号です。各動作モードは、 $\overline{\text{CS}}$ と FN 入力による 2 つの連続した動作コマンドの組み合わせによって決定します。

バンクアドレス: BA0 & BA1

BA0 と BA1 入力は、RDA コマンドや WRA コマンド入力時に取り込まれ、動作するバンクに選択されます。また、モードレジスタセットコマンドにおいて、どのモードレジスタへセットするかを選択します。

	BA0	BA1
Bank #0	0	0
Bank #1	1	0
Bank #2	0	1
Bank #3	1	1

アドレス入力: A0~A14

アドレス入力は、各バンクにおけるメモリセル領域の任意アドレスへアクセスするために使われます。アップーアドレスはバンクアドレスと共に RDA や WRA コマンド入力時に取り込まれ、ローアドレスは LAL コマンド入力時に取り込まれます。A0~A14 入力は、レギュラーモードレジスタセットやエクステンディッドモードレジスタセットにおけるデータセットにも使用されます。

	アップーアドレス	ローアドレス
TC59LM806CTG	A0~A14	A0~A7
TC59LM814CTG	A0~A14	A0~A6

データ入出力: DQ0~DQ7 または DQ15

DQ0~DQ15 の入力データは、DQS 入力信号の立ち上がり/立ち下がりの両エッジに同期して取り込まれます。DQ0~DQ15 の出力データは、DQS 出力信号の立ち上がり/立ち下がりの両エッジに同期して出力されます。

データストロープ: DQS または LDQS、UDQS

DQS は双方向信号です。DQS の立ち上がり/立ち下がりの両エッジは、データの入力及び出力の基準エッジとして使われます。LDQS はローバイト(DQ0~DQ7)データのために、UDQS はアップバイト(DQ8~DQ15)データのために割り当てられます。ライト動作では、入力信号として使用される DQS がライトデータの取り込みのために利用され、リード動作では出力信号 DQS が出力データのデータストロープ信号となります。

電源端子: VDD、VDDQ、VSS、VSSQ

VDD と VSS はメモリコアと周辺回路の電源端子です。
VDDQ と VSSQ は出力バッファ用の電源端子です。

入力電圧: VREF

VREF は入力における基準電圧です。

コマンド機能と動作

TC59LM814/06CTG は、2 つの連続したコマンド入力方式を採用しています。パワーダウンモードを除く各動作モードは、スタンドバイ状態のバンクに対する 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決定されます。

リード動作 (1 番目のコマンド + 2 番目のコマンド = RDA + LAL)

アイドル状態からのバンクに対してバンクアドレス/アッパーアドレスと共に RDA コマンドを入力する事により、バンクアドレスで指定されたバンクはリードモードに入ります。RDA コマンド入力の次のクロックサイクル(CLK 立ち上がりエッジ)においてロワーアドレスと共に LAL コマンドを入力することで、DQS 出力信号の立ち上がり/立ち下がり両エッジに同期して連続的にデータが出力されます(バーストリード動作)。最初の有効なリードデータは、LAL コマンドが入力されたクロックから CAS レイテンシ後に出力され、バースト長分のデータが連続して出力されます。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。リード動作中のバンクは、RDA コマンドから IRC 後に自動的にアイドル状態に戻ります。

ライト動作 (1 番目のコマンド + 2 番目のコマンド = WRA + LAL)

アイドル状態のバンクに対してバンクアドレス/アッパーアドレスと共に WRA コマンドを入力する事により、バンクアドレスで指定されたバンクはライトモードに入ります。そして、WRA コマンド入力後の次のクロックサイクル(CLK 立ち上がり)においてロワーアドレスと共に LAL コマンドを入力する事で、入力データは DQS 入力信号の立ち上がり/立ち下がり両エッジに同期して連続的にラッチされます(バーストライト動作)。データと DQS の入力信号は LAL コマンドが入力されたクロックから CAS レイテンシ-1 後のクロック入力と共に供給する必要があります。ライトのデータ長は LAL コマンド時のパリアブルライト(VW)の指定で決まります。DQS はバースト長分供給してください。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。ライト動作中のバンクは、WRA コマンドから IRC 後に自動的にアイドル状態に戻ります。

オートリフレッシュ動作 (1 番目のコマンド + 2 番目のコマンド = WRA + REF)

TC59LM814/06CTG は、標準 SDRAM と同様にリフレッシュ動作が必要です。WRA コマンドに続けて REF コマンドを入力する事でオートリフレッシュ動作が開始されます。オートリフレッシュモードは、全てのバンクがアイドル状態にある時のみ有効となります。WRA コマンドで開始されたライトモードは、WRA コマンドの次のクロック(CLK 立ち上がり)で LAL コマンドの代わりに REF コマンドが入力される事でキャンセルされます。オートリフレッシュコマンドから次のコマンドまでは IREFC で定義されています。オートリフレッシュコマンド入力の平均間隔については注意が必要です。オートリフレッシュコマンドは、最大で 7.8us に一回必要です。集中リフレッシュあるいはランダムな分散リフレッシュの場合には、任意の 8 回連続したオートリフレッシュコマンドは平均間隔が常に 400ns 以上になるようにしてください。言い換えると、3.2μs(8×400ns)以内で実行可能なオートリフレッシュサイクル数は最大 8 回までということになります。

セルフリフレッシュ動作 (1 番目のコマンド + 2 番目のコマンド = WRA + REF with $\overline{PD} = "L"$)

セルフリフレッシュ動作では、内部タイマを用いてリフレッシュ動作が自動的に実行されます。全てのバンクがアイドル状態であつ全ての出力がハイインピーダンス状態の時に、セルフリフレッシュコマンドを入力することによりセルフリフレッシュモードに入ります。セルフリフレッシュモードに入る為には、WRA コマンドの次の REF コマンドから tFPDL で定義されている時間内に \overline{PD} を "Low" にする必要があります。リフレッシュの周期を満足するために、セルフリフレッシュエントリーコマンドは、最後に挿入されたオートリフレッシュコマンドから 7.8μs 以内に入力する必要があります。一度セルフリフレッシュに入ると IREFC の期間分 DESL コマンドを続けなければなりません。加えて、クロック入力は ICKD で定義される期間継続して下さい。PD を "Low" 状態に保っている間だけセルフリフレッシュモードが維持されます。セルフリフレッシュモード中は、PD を除く全ての入出力バッファは非活性状態になりますので、消費電力を抑えることができます。セルフリフレッシュモードイグジットに関しては、PD は DESL コマンドと共に "Low" から "High" へ切り替えて下さい。DESL コマンドは IREFC で定義されるクロック数分絶え間なく入力する必要があります。セルフリフレッシュイグジットからちょうど IREFC 後に 1 回オートリフレッシュコマンドを入力する必要があります。

パワーダウンモード ($\overline{PD} = "L"$)

全てのバンクがアイドル状態であつ全ての出力が Hi-Z 状態の時に、 \overline{PD} を "Low" とすることでパワーダウンモードになります。パワーダウンモードに入ると、PD を除く全ての入出力バッファは一定時間後に非活性状態となりますので、消費電力を抑えることが可能となります。パワーダウンモードから抜けるには、PD を "High" に切替えます。PD を "High" にした直後の CLK 立ち上がりエッジには DESL コマンドを入力しなければなりません。パワーダウンイグジットは非同期動作です。

モードレジスタセット (1 番目のコマンド + 2 番目のコマンド = RDA + MRS)

全てのバンクがアイドル状態の時に、RDA コマンドに続いて MRS コマンドを入力することでモードレジスタに所望の動作モードを設定することができます。RDA コマンドで開始されたリードモードは、RDA コマンドの次のクロック (CLK 立ち上がりエッジ) で LAL コマンドの代わりに MRS コマンドが入力する事でキャンセルされます。モードレジスタへのデータは、A0~A14、BA0 及び BA1 のアドレス入力ピンを用いて設定することができます。レギュラーモードレジスタかエクステンディッドモードレジスタかは MRS コマンド時の BA0 か BA1 によって選択されます。レギュラーモードレジスタは、リードやライトサイクルの動作モードを指定します。レギュラーモードレジスタは、4 つの機能領域を持っています。

4 つの機能領域には以下のものがあります。

- (R-1) バーストデータ長を設定する為のバースト領域。
- (R-2) バーストサイクル中の下位アドレスのアクセス順序を指定するバーストタイプ領域。
- (R-3) クロックサイクルにおけるアクセス時間を設定する CAS レイテンシ領域。
- (R-4) テストモード領域。

一方エクステンディッドモードレジスタは 2 つの機能領域を持っています。

- (E-1) DLL のイネーブル/ディセーブルのどちらかを選択する為の DLL スイッチ領域。
- (E-2) アウトプットドライバコントロール領域。

モードレジスタ内のこれらの領域に 1 度設定されると、レジスタの内容は他の MRS コマンドで再びモードレジスタを設定するか電源を OFF にするまで維持します。パワーアップ後のレギュラー及びエクステンディッドモードレジスタの初期値は不定の為、所望の動作を行う前にモードレジスタセットコマンドで設定する必要があります。

- レギュラーモードレジスタ/エクステンディッドモードレジスタ切り替えビット(BA0, BA1)
これらのビットはレギュラーMRS がエクステンディッド MRS かを選択する為に使います。

BA1	BA0	Mode Register Set
0	0	Regular MRS
0	1	Extended MRS
1	x	Reserved

レギュラーモードレジスタ領域

(R-1) パースト長領域 (A2 ~ A0)

この領域は A2 ~ A0 を使用してカラムアクセスの為のデータ長を定義し、パースト長を 2 ワードか 4 ワードに設定します。

A2	A1	A0	BURST LENGTH
0	0	0	Reserved
0	0	1	2 words
0	1	0	4 words
0	1	1	Reserved
1	x	x	Reserved

(R-2) パーストタイプ領域 (A3)

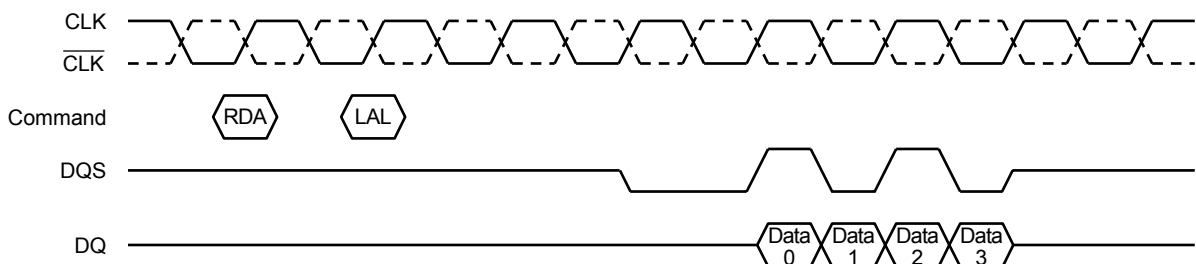
パーストタイプはインターリーブモードかシーケンシャルモードかを選択することができます。A3 に"0"を設定した場合にはシーケンシャルモードが選択され、A3 に"1"を設定するとインターリーブモードが選択されます。どちらのパーストタイプも 2 ワードと 4 ワード両方のパースト長に対応しています。

A3	BURST TYPE
0	Sequential
1	Interleave

シーケンシャルモード時のアドレッシング順序 (A3)

カラムアクセスは入力された下位アドレスから開始し、順に増加(+1)しながらアクセスしていきます。アドレスはパースト長によって下表のように移行していきます。

CAS Latency = 3



Addressing sequence for Sequential mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	n	2 ワード(アドレスビットは LA0) LA0 から LA1 へのキャリアーは無し 4 ワード(アドレスビットは LA1, LA0) LA1 から LA2 へのキャリアーは無し
Data 1	n + 1	
Data 2	n + 2	
Data 3	n + 3	

- インターリーブ時のアドレッシング順序
 カラムアクセスは入力された下位アドレスから開始し、下表に示すような順序でアドレスを挟み込むような形でアクセスしていきます。

Addressing sequence for Interleave mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	...A8 A7 A6 A5 A4 A3 A2 A1 A0	} 2ワード
Data 1	...A8 A7 A6 A5 A4 A3 A2 A1 $\bar{A}0$	
Data 2	...A8 A7 A6 A5 A4 A3 A2 $\bar{A}1$ A0	} 4ワード
Data 3	...A8 A7 A6 A5 A4 A3 A2 $\bar{A}1$ $\bar{A}0$	

(R-3) CAS レイテンシ領域 (A6 ~ A4)

この領域は、RDA コマンドに続く LAL コマンド入力から最初にリードデータが出力されるまでのクロックサイクル数を定義します。CAS レイテンシと CLK 周波数は互いに依存します。ライト動作モードでは、入力すべきライトデータまでのクロック数は LAL コマンドから CAS レイテンシ-1 となります。

A6	A5	A4	CAS LATENCY
0	0	0	Reserved
0	0	1	Reserved
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	Reserved
1	1	0	Reserved
1	1	1	Reserved

(R-4) テストモード領域 (A7)

このビットはテストモードに入る時に使う為の使用されますので、通常動作の際には"0"に設定しておかなければなりません。

(R-5) レギュラーモードレジスタでの予約領域

- 予約ビット (A8 ~ A14)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には"0"に設定して下さい。

エクステンディッドモードレジスタ領域**(E-1) DLL スイッチ領域 (A0)**

このビットは DLL を作動させる為に使われます。この A0 に"0"を設定することで DLL がイネーブルとなります。通常動作の際には"0"を設定しておかなければなりません。

(E-2) 出力ドライバコントロール領域 (A1 / A6)

この領域は出力ドライバストレングスを選択します。

A6	A1	OUTPUT DRIVER IMPEDANCE CONTROL
0	0	Normal Output Driver
0	1	Strong Output Driver
1	0	Weaker Output Driver
1	1	Weakest Output Driver

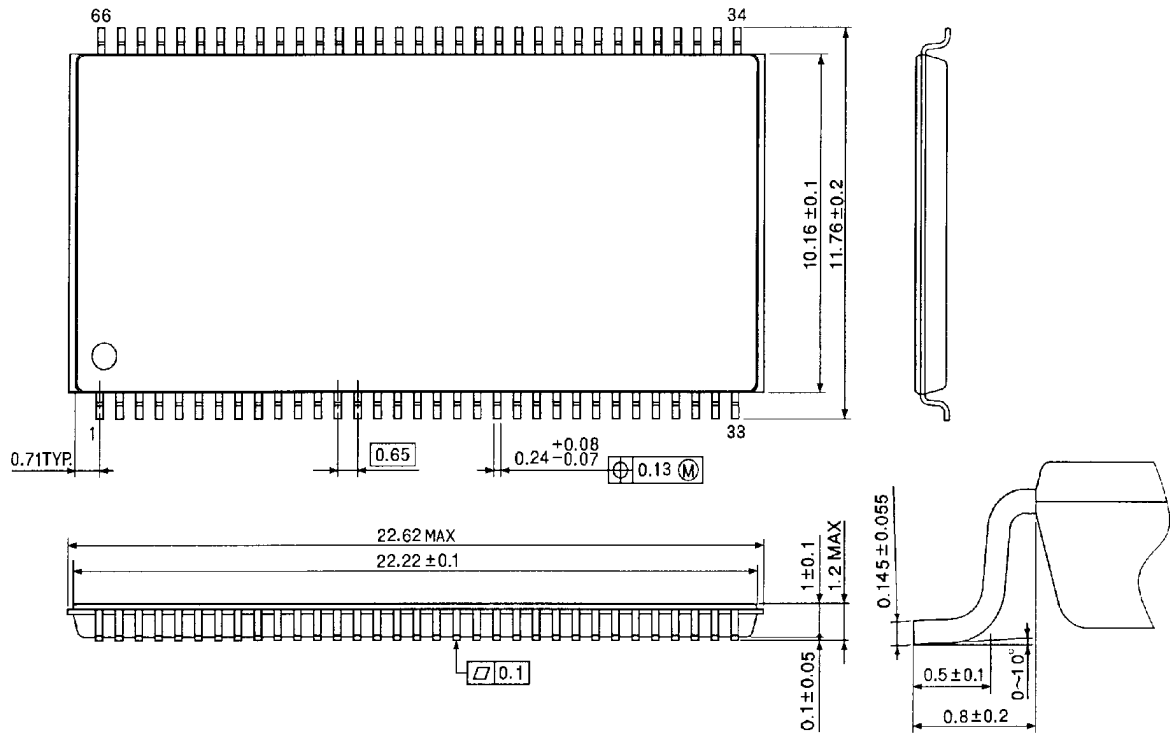
(E-3) 予約領域 (A2 ~ A5, A7 ~ A14)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には"0"に設定しておいて下さい。

外形圖

TSOP II 66-P-400-0.65

Unit : mm



重量: 0.51 g (標準)

変更履歴

- Rev 1.1 (2005 年 1 月 13 日)

- 鉛フリー製品 初版発行

- Rev 1.2 (2005 年 6 月 13 日)

- “-55” version を廃止 (“-50”で置き換え)。
- “-50”の下限周波数を 117MHz(tCK=8.5ns)から 83MHz(tCK=12ns)に変更し、117MHz 以下の場合には“-60”スペックに従うことを注意書きに追記(7,9 ページ)。

当社半導体製品取り扱い上のお願い

030519TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

Rev 1.2