

暫定資料

東芝 MOS 形デジタル集積回路 シリコンモノリシック シリコンゲート CMOS

288M ビット ネットワーク FCRAM2

- 4,194,304 ワード × 4 バンク × 18 ビット

無鉛製品

概要

TC59LM818DMG は CMOS 技術を用いた 301,989,888 のメモリセルを有するダブルデータレートファーストサイクルランダムアクセスメモリ(FCRAM™)です。TC59LM818DMG は 4,194,304 ワード×4 バンク ×18 ビット構成です。コマンド入力はクロックの立ち上がりエッジに同期して行われますが、データの入出力は DS/QS の立ち上がり及び立ち下がりエッジに同期して行われ、最大で 600M ワード/秒のデータ高速転送ができます。本製品は FCRAM™ 固有のコア構成の採用により、既存の標準的な DDR SDRAM と比較してより速いサイクルタイムで動作させることが可能です。TC59LM818DMG は高速ランダムサイクル、大メモリ容量、低消費電流等が要求されるワークステーションのセカンダリキャッシュメモリやネットワークのルーター、スイッチ等のバッファメモリ、コントロールメモリに最適です。本製品の出力ドライバは軽い負荷環境下においても高速、高品質なデータ転送が可能です。

特長

主 要 特 性		TC59LM818DMG	
		-33	-40
t _{CK} CLK サイクルタイム (最小)	CL = 4	4.5 ns	5.0 ns
	CL = 5	3.75 ns	4.5 ns
	CL = 6	3.33 ns	4.0 ns
t _{RC} ランダムリード/ライトサイクルタイム (最小)		22.5 ns	25 ns
t _{RAC} ランダムアクセスタイム (最大)		22.5 ns	25 ns
I _{DD1S} 動作平均電流 (シングルバンク) (最大)		235 mA	210 mA
I _{DD2P} スタンドバイ平均電流 (パワーダウン) (最大)		65 mA	60 mA
I _{DD6} セルフリフレッシュ平均電流 (最大)		15 mA	15 mA

- 同期式オペレーション
 - 倍周期データレート (DDR)
データの入出力は DS/QS(ライト/リードデータストロープ)の立ち上がり/立ち下がり同期して行われます。
 - 差動式クロック入力 (CLK & $\overline{\text{CLK}}$)
CS, FN 及び全てのアドレス入力信号は、CLK の立ち上がりエッジで取り込まれます
出力データ(DQ & QS)は CLK と $\overline{\text{CLK}}$ の交点を基準に出力されます。
全てのタイミングは CLK と $\overline{\text{CLK}}$ の交点から定義されます。
- 最大クロック周波数 : 300MHz
最大データ転送レート : 600M ワード/秒
- 4 バンク独立動作
- セクタブルデータストロープ
- セルフリフレッシュ
- 可変バースト長制御
- プログラマブル $\overline{\text{CAS}}$ レイテンシ/バースト長
 $\overline{\text{CAS}}$ レイテンシ = 4、5、6
バースト長 = 2、4
- 構成: 4,194,304 ワード × 4 バンク × 18 ビット
- 電源電圧 V_{DD}: 2.5 V ± 0.125 V
V_{DDQ}: 1.4 V ~ 1.9 V
- 入出力: SSTL_18 (Half strength driver) / HSTL
- パッケージ: 60Ball BGA, 1mm × 1mm Ball pitch (P-BGA60-0917-1.00AZ)
- 無鉛製品

注) “FCRAM”は富士通(株)の登録商標です。

Rev 1.4

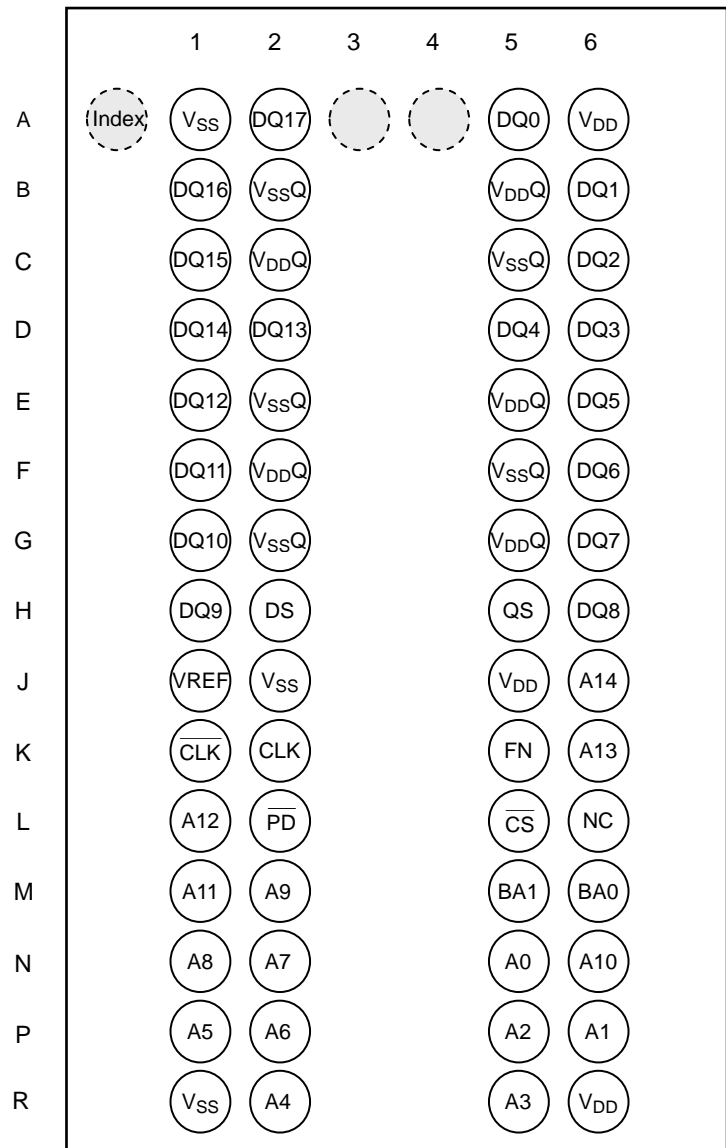
ピン名称

ピン	名称
A0~A14	アドレス入力
BA0, BA1	バンクアドレス
DQ0~DQ17	データ入出力
\overline{CS}	チップセレクト
FN	ファンクションコントロール
\overline{PD}	パワーダウンコントロール
CLK, \overline{CLK}	クロック入力
DS / QS	ライト/リードデータストロープ
V _{DD}	電源 (+2.5 V)
V _{SS}	電源 (グラウンド)
V _{DDQ}	電源 (+1.5 V, +1.8 V) (DQ バッファ用)
V _{SSQ}	電源 (グラウンド) (DQ バッファ用)
V _{REF}	基準電圧
NC	無接続

ピン配置 (上面図)

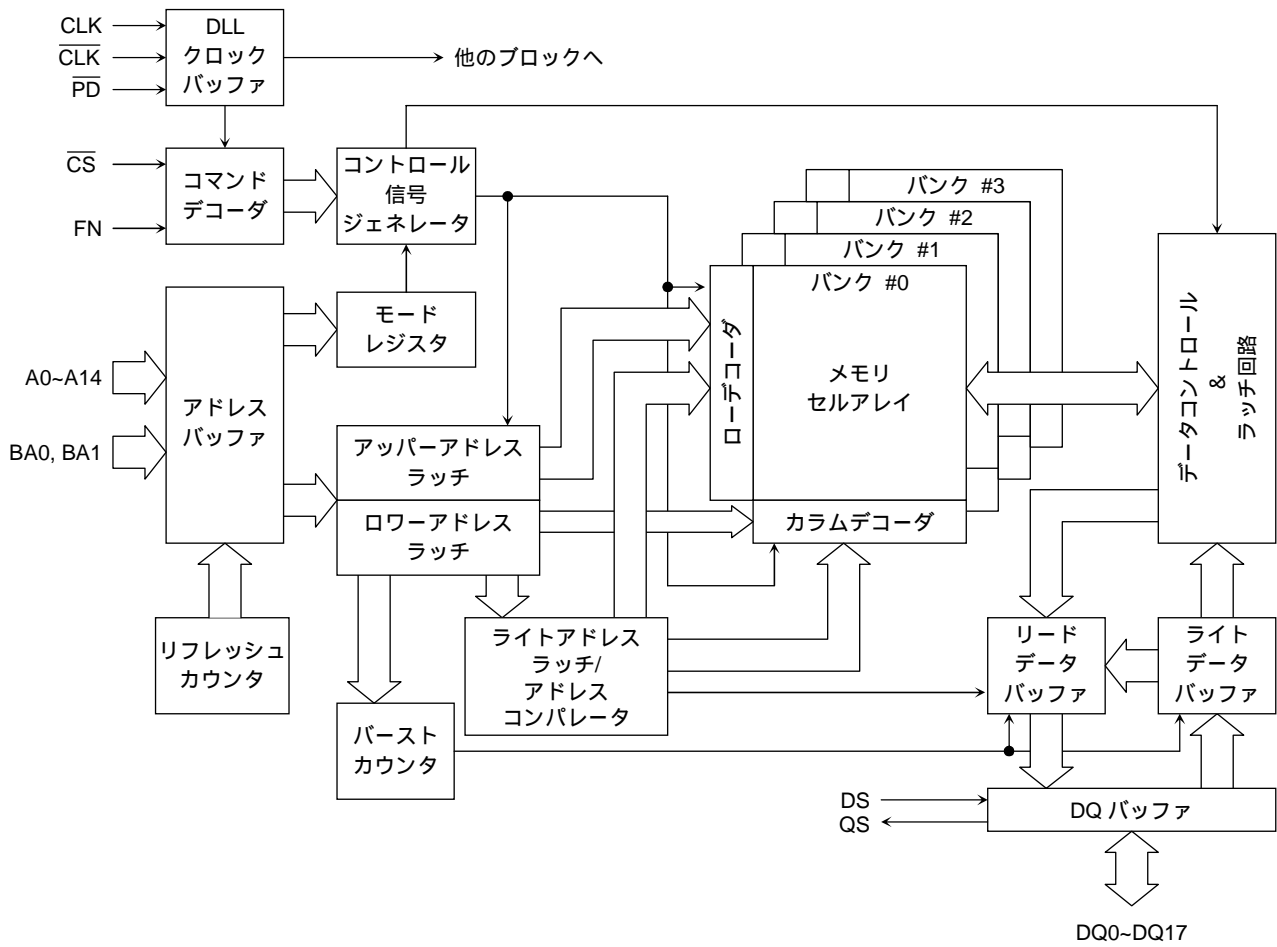
ball pitch = 1.0 x 1.0mm

x18



○ : Depopulated Ball

ブロック図



注: TC59LM818DMG は 4 バンクの 32768 行 × 128 カラム × 18 DQ のセルアレイで構成されます。

最大定格

記号	項目	定格	単位	注
V _{DD}	電源電圧	-0.3~3.3	V	
V _{DDQ}	電源電圧 (DQ バッファ)	-0.3~V _{DD} +0.3	V	
V _{IN}	入力電圧	-0.3~V _{DD} +0.3	V	
V _{OUT}	出力電圧(DQ ピン)	-0.3~V _{DDQ} +0.3	V	
V _{REF}	入力基準電圧	-0.3~V _{DD} +0.3	V	
T _{opr}	動作温度 (ケース温度)	0~85	°C	
T _{stg}	保存温度	-55~150	°C	
T _{solder}	はんだ付け加熱温度 (10 秒)	260	°C	
P _D	消費電力	2	W	
I _{OUT}	出力短絡電流	±50	mA	

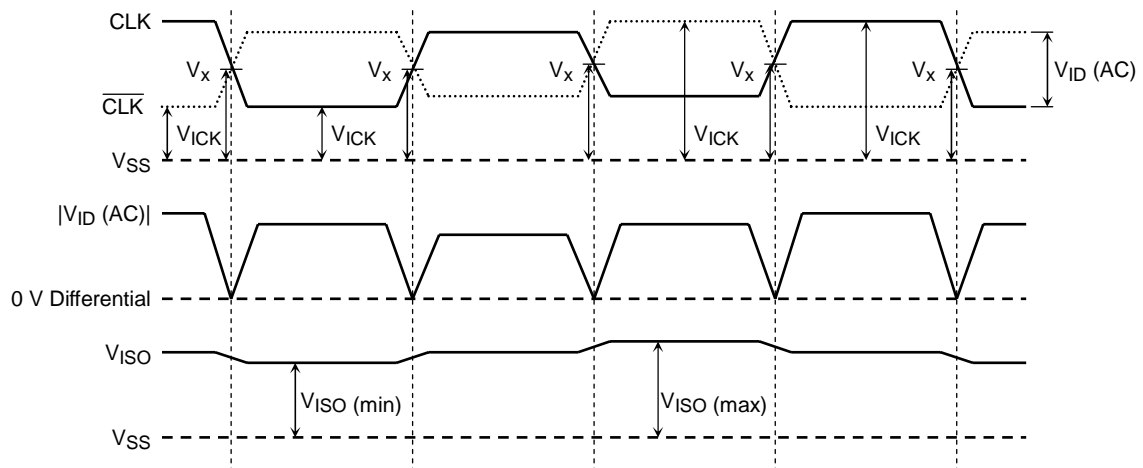
注: 最大定格表に記載された範囲を超える状況下ではデバイスに致命的な損傷をもたらす恐れがあります。本製品の動作は、本データシートに記述されている動作に関する種々の項目の範囲内でのみ保証されます。最大定格の範囲内であっても長期間最大定格条件にさらされた場合、デバイスの信頼性に致命的な影響を及ぼす可能性があります。

DC、AC 許容動作条件 (注: 1) (T_{CASE} = 0° ~ 85°C)

記号	項目	最小	標準	最大	単位	注
V _{DD}	電源電圧	2.375	2.5	2.625	V	
V _{DDQ}	電源電圧 (DQ バッファ)	1.4	—	1.9	V	
V _{REF}	入力基準電圧	V _{DDQ} /2 × 95%	V _{DDQ} /2	V _{DDQ} /2 × 105%	V	2
V _{IH} (DC)	高レベル入力電圧 (DC)	V _{REF} + 0.125	—	V _{DDQ} + 0.2	V	5
V _{IL} (DC)	低レベル入力電圧 (DC)	-0.1	—	V _{REF} - 0.125	V	5
V _{ICK} (DC)	差動クロック DC 入力電圧	-0.1	—	V _{DDQ} + 0.1	V	10
V _{ID} (DC)	CLK、 $\overline{\text{CLK}}$ 入力電圧差 (DC)	0.4	—	V _{DDQ} + 0.2	V	7, 10
V _{IH} (AC)	高レベル入力電圧 (AC)	V _{REF} + 0.2	—	V _{DDQ} + 0.2	V	3, 6
V _{IL} (AC)	低レベル入力電圧 (AC)	-0.1	—	V _{REF} - 0.2	V	4, 6
V _{ID} (AC)	CLK、 $\overline{\text{CLK}}$ 入力電圧差 (AC)	0.55	—	V _{DDQ} + 0.2	V	7, 10
V _X (AC)	CLK、 $\overline{\text{CLK}}$ 交差電圧 (AC)	V _{DDQ} /2 - 0.125	—	V _{DDQ} /2 + 0.125	V	8, 10
V _{ISO} (AC)	CLK、 $\overline{\text{CLK}}$ 中間レベル (AC)	V _{DDQ} /2 - 0.125	—	V _{DDQ} /2 + 0.125	V	9, 10

注:

- (1) 全ての電圧は V_{SS} 、 V_{SSQ} を基準にしています。
- (2) V_{REF} レベルは V_{DDQ} (DC) のレベル変動に追従するようにして下さい。
 V_{REF} におけるノイズの最大振幅は V_{REF} (DC) $\pm 2\%$ を超えないようにして下さい。
- (3) オーバーシュート定格: パルス幅 5ns 以下で $V_{IH}(\max) = V_{DDQ} + 0.7\text{ V}$ 以内。
- (4) アンダーシュート定格: パルス幅 5ns 以下で $V_{IL}(\min) = -0.7\text{ V}$ 以内。
- (5) V_{IH} (DC) 及び V_{IL} (DC) は現行状態を維持するためのレベル規定です。
- (6) V_{IH} (AC) 及び V_{IL} (AC) は新しい論理状態へ変化させるためのレベル規定です。
- (7) V_{ID} は CLK 入力レベルと $\overline{\text{CLK}}$ 入力レベルの電位差を意味します。
- (8) 最適な V_X (AC) は $V_{DDQ}/2$ です。
- (9) V_{ISO} は $\{V_{ICK}(\text{CLK}) + V_{ICK}(\overline{\text{CLK}})\} / 2$ を意味します。
- (10) 下図を参照下さい。



- (11) 外部終端する場合は、終端電圧(V_{TT})は V_{REF} (DC) $\pm 0.04\text{ V}$ の範囲にして下さい。

ピン容量 ($V_{DD} = 2.5\text{ V}$, $V_{DDQ} = 1.8\text{ V}$, $f = 1\text{ MHz}$, $T_a = 25^\circ\text{C}$)

記号	項目	最小	最大	差(MAX)	単位
C_{IN}	入力ピン容量(CLK、 $\overline{\text{CLK}}$ 以外)	1.5	3.0	0.25	pF
C_{INC}	クロックピン容量(CLK、 $\overline{\text{CLK}}$)	1.5	3.0	0.25	pF
$C_{I/O}$	入出力容量(DQ)、入力容量(DS)、出力容量(QS)	2.5	3.5	0.5	pF
C_{NC}	NC ピン容量	—	1.5	—	pF

注: この項目は抜き取り検査のみで全数検査は実施していません。

電気的特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$)

記号	項目	最大		単位	注
		-33	-40		
I_{DD1S}	動作的平均電流 リード/ライトコマンドサイクリング $t_{CK} = \text{min}$, $I_{RC} = \text{min}$, $I_{OUT} = 0\text{mA}$ Burst Length = 4, CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL}(\text{AC})(\text{max})$, $V_{IH}(\text{AC})(\text{min}) \leq V_{IN} \leq V_{DDQ}$ 最小 I_{RC} の間にアドレス遷移は 2 回。 リードデータは 1 クロック中に 2 回遷移。	235	210	mA	1, 2
I_{DD2N}	スタンバイ平均電流 全てのバンク: 非活性状態 $t_{CK} = \text{min}$, $\overline{CS} = V_{IH}$, $\overline{PD} = V_{IH}$ $0V \leq V_{IN} \leq V_{IL}(\text{AC})(\text{max})$, $V_{IH}(\text{AC})(\text{min}) \leq V_{IN} \leq V_{DDQ}$ 上述以外の入力信号は $4 \times t_{CK}$ の間に 1 回遷移。 DQ と DS の入力は 1 クロック中に 2 回遷移。	95	90		1, 2
I_{DD2P}	スタンバイ平均電流 (パワーダウン) 全てのバンク: 非活性状態 $t_{CK} = \text{min}$, $\overline{PD} = V_{IL}$ (パワーダウン) CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL}(\text{AC})(\text{max})$, $V_{IH}(\text{AC})(\text{min}) \leq V_{IN} \leq V_{DDQ}$ 上述以外の入力信号は $4 \times t_{CK}$ の間に 1 回遷移。 DQ と DS の入力はフローティング状態 ($V_{DDQ}/2$)。	65	60		1, 2
I_{DD4W}	ライト動作平均電流 (4 バンク) 4 バンクインターリーブ連続バーストライト動作 $t_{CK} = \text{min}$, $I_{RC} = \text{min}$ Burst Length = 4, CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL}(\text{AC})(\text{max})$, $V_{IH}(\text{AC})(\text{min}) \leq V_{IN} \leq V_{DDQ}$ 1 クロック毎にアドレスが遷移。 DQ と DS の入力は 1 クロック中に 2 回遷移。	450	400		1, 2
I_{DD4R}	リード動作平均電流 (4 バンク) 4 バンクインターリーブ連続バーストリード動作 $t_{CK} = \text{min}$, $I_{RC} = \text{min}$, $I_{OUT} = 0\text{mA}$ Burst Length = 4, CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL}(\text{AC})(\text{max})$, $V_{IH}(\text{AC})(\text{min}) \leq V_{IN} \leq V_{DDQ}$ 1 クロック毎にアドレスが遷移。 リードデータは 1 クロック中に 2 回遷移。	450	400		1, 2
I_{DD5B}	集中オートリフレッシュ平均電流 オートリフレッシュコマンドサイクリング $t_{CK} = \text{min}$, $I_{REFC} = \text{min}$ CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL}(\text{AC})(\text{max})$, $V_{IH}(\text{AC})(\text{min}) \leq V_{IN} \leq V_{DDQ}$ 最小 I_{REFC} の間にアドレス遷移は 2 回。 DQ と DS の入力は 1 クロック中に 2 回遷移。	235	210		1, 2, 3
I_{DD6}	セルフリフレッシュ平均電流 $\overline{PD} = 0.2V$ 、 他の入力信号はフローティング状態 ($V_{DDQ}/2$)、 DQ と DS の入力はフローティング状態 ($V_{DDQ}/2$)	15	15		2

- 注:
1. これらは、 t_{CK} 、 t_{RC} 及び I_{RC} を最小値でサイクリングさせた場合の電流です。電流は過渡的に流れる為、サイクルレートに強く依存します。
 2. これらの値は $V_{DD} - V_{SS}$ 間の電流として定義されます。
 3. I_{DD5B} は集中リフレッシュ条件での定義です。実際のシステムでは t_{REFI} 規定のもと、分散リフレッシュを使用して下さい。

電气的特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$) (続き)

記号	項目		最小	最大	単位	注	
I_{LI}	入力リーク電流 ($0V \leq V_{IN} \leq V_{DDQ}$ 、測定以外のピンは0V)		-5	5	μA		
I_{LO}	出力リーク電流 (出力はディセーブル、 $0V \leq V_{OUT} \leq V_{DDQ}$)		-5	5	μA		
I_{REF}	V_{REF} 電流		-5	5	μA		
$I_{OH} (DC)$	Normal Output Driver	出力電流 ($V_{DDQ} = 1.7V \sim 1.9V$)	$V_{OH} = 1.420V$	-5.6	—	mA	1
$I_{OL} (DC)$	Driver		$V_{OL} = 0.280V$	5.6	—		
$I_{OH} (DC)$	Strong Output Driver		$V_{OH} = 1.420V$	-9.8	—		
$I_{OL} (DC)$	Driver		$V_{OL} = 0.280V$	9.8	—		
$I_{OH} (DC)$	Weak Output Driver		$V_{OH} = 1.420V$	-2.8	—		
$I_{OL} (DC)$	Driver		$V_{OL} = 0.280V$	2.8	—		
$I_{OH} (DC)$	Normal Output Driver	出力電流 ($V_{DDQ} = 1.4V \sim 1.6V$)	$V_{OH} = V_{DDQ} - 0.4V$	-4	—	mA	1
$I_{OL} (DC)$	Driver		$V_{OL} = 0.4V$	4	—		
$I_{OH} (DC)$	Strong Output Driver		$V_{OH} = V_{DDQ} - 0.4V$	-8	—		
$I_{OL} (DC)$	Driver		$V_{OL} = 0.4V$	8	—		
$I_{OH} (DC)$	Weak Output Driver		未定義	—	—		
$I_{OL} (DC)$	Driver		未定義	—	—		

注: 1. アウトプットドライバの選択はエクステンディッドモードレジスタにて行われます。

AC 許容動作条件及び特性 (注: 1, 2) ($V_{DD} = 2.5 \pm 0.125V$, $V_{DDQ} = 1.4 \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$)

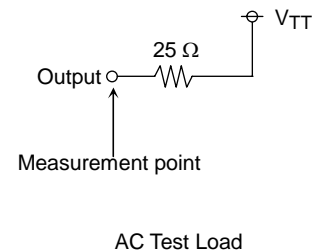
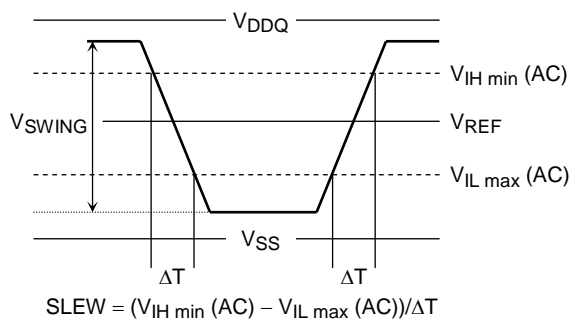
記号	項目		-33		-40		単位	注
			最小	最大	最小	最大		
t _{RC}	ランダムサイクル時間		22.5	—	25	—	ns	3
t _{CK}	クロックサイクル時間	C _L = 4	4.5	7.5	5.0	7.5		3
		C _L = 5	3.75	7.5	4.5	7.5		3
		C _L = 6	3.33	7.5	4.0	7.5		3
t _{RAC}	ランダムアクセス時間		—	22.5	—	25		3
t _{CH}	クロック高レベル時間		0.45 × t _{CK}	—	0.45 × t _{CK}	—		3
t _{CL}	クロック低レベル時間		0.45 × t _{CK}	—	0.45 × t _{CK}	—		3
t _{CKQS}	QS アクセス時間		-0.45	0.45	-0.5	0.5		3, 8, 10
t _{QSQ}	QS - DQ スキュー		—	0.25	—	0.3		
t _{AC}	クロックアクセス時間		-0.5	0.5	-0.6	0.6		3, 8, 10
t _{OH}	出力データホールド時間		-0.5	0.5	-0.6	0.6		3, 8
t _{HP}	クロックハーフピリオド (t _{CH} , t _{CL} 実最小時間)		min(t _{CH} , t _{CL})	—	min(t _{CH} , t _{CL})	—		3
t _{QSP}	QS (リード)パルス幅		t _{HP} - t _{QHS}	—	t _{HP} - t _{QHS}	—		4, 8
t _{QSQV}	出力データ有効時間		t _{HP} - t _{QHS}	—	t _{HP} - t _{QHS}	—		4, 8
t _{QHS}	DQ, QS ホールドスキューファクター		—	0.055 × t _{CK} +0.17	—	0.055 × t _{CK} +0.17		
t _{DQSS}	DS(ライト)立ち上がりエッジセットアップ時間		0.8 × t _{CK}	1.2 × t _{CK}	0.8 × t _{CK}	1.2 × t _{CK}		3
t _{DSPRE}	DS(ライト)プリアンプルパルス幅		0.4 × t _{CK}	—	0.4 × t _{CK}	—		4
t _{DSPRES}	DS 1st 入力セットアップ時間		0	—	0	—		3
t _{DSPREH}	DS 1st 低レベル入力ホールド時間		0.3 × t _{CK}	—	0.3 × t _{CK}	—		3
t _{DSP}	DS 高レベルまたは低レベル入力パルス幅		0.45 × t _{CK}	0.55 × t _{CK}	0.45 × t _{CK}	0.55 × t _{CK}		4
t _{DSS}	DS(ライト)立ち上がりエッジ - CLK セットアップ時間	C _L = 4	0.8	—	1.0	—		3, 4
		C _L = 5	0.8	—	1.0	—		3, 4
		C _L = 6	0.8	—	1.0	—		3, 4
t _{DSPST}	DS(ライト)ポストアンプルパルス幅		0.45 × t _{CK}	—	0.45 × t _{CK}	—		4
t _{DSPSTH}	DS(ライト)ポストアンプルホールド時間	C _L = 4	0.8	—	1.0	—		3, 4
		C _L = 5	0.8	—	1.0	—		3, 4
		C _L = 6	0.8	—	1.0	—	3, 4	
t _{DSSK}	UDS - LDS スキュー		-0.4 × t _{CK}	0.4 × t _{CK}	-0.4 × t _{CK}	0.4 × t _{CK}		
t _{DS}	データ入力セットアップ時間		0.35	—	0.4	—	4	
t _{DH}	データ入力ホールド時間		0.35	—	0.4	—	4	
t _{IS}	コマンド/アドレス入力セットアップ時間		0.6	—	0.7	—	3	
t _{IH}	コマンド/アドレス入力ホールド時間		0.6	—	0.7	—	3	

AC 許容動作条件及び特性 (注: 1, 2) (続き)

記号	項目	-33		-40		単位	注	
		最小	最大	最小	最大			
t _{LZ}	出力ローインピーダンス時間	-0.5	—	-0.65	—	ns	3, 6, 8	
t _{HZ}	出力ハイインピーダンス時間	—	0.5	—	0.65		3, 7, 8	
t _{QPDH}	$\overline{\text{PD}}$ 高レベルホールド時間	0	—	0	—		3	
t _{PDEX}	パワーダウンイグジット時間	0.6	—	0.7	—			
t _T	立ち上がり/立ち下り時間	0.1	1	0.1	1			
t _{FPDL}	$\overline{\text{PD}}$ ロー入力タイミング (セルフリフレッシュ)	$-0.5 \times t_{\text{CK}}$	5	$-0.5 \times t_{\text{CK}}$	5	3		
t _{REFI}	オートリフレッシュ間隔	0.4	3.9	0.4	3.9	μs	5	
t _{PAUSE}	電源投入後安定時間	200	—	200	—			
t _{RC}	ランダムリード/ライトサイクル時間 (同一バンク)	C _L = 4	5	—	5	cycle		
		C _L = 5	6	—	6			
		C _L = 6	7	—	7			
t _{RCD}	RDA/WRA - LAL コマンド間隔 (同一バンク)	1	1	1	1			
t _{RAS}	LAL - RDA/WRA コマンド間隔 (同一バンク)	C _L = 4	4	—	4			
		C _L = 5	5	—	5			
		C _L = 6	6	—	6			
t _{RBD}	ランダムバンクアクセス間隔 (他バンク間)	2	—	2	—			
t _{RWD}	RDA 後 LAL - WRA コマンド間隔 (他バンク間)	B _L = 2	2	—	2		—	
		B _L = 4	3	—	3		—	
t _{WRD}	WRA 後 LAL - RDA コマンド間隔 (他バンク間)	1	—	1	—			
t _{RSC}	モードレジスタセットサイクル時間	C _L = 4	7	—	7		—	
		C _L = 5	7	—	7		—	
		C _L = 6	7	—	7		—	
t _{PD}	$\overline{\text{PD}}$ ロー入力 - 入力非活性時間	—	2	—	2			
t _{PDA}	$\overline{\text{PD}}$ ハイ入力 - 入力バッファ活性時間	1	—	1	—			
t _{PDV}	REF コマンド - パワーダウン間隔	C _L = 4	19	—	19	—		
		C _L = 5	23	—	23	—		
		C _L = 6	25	—	25	—		
t _{REFC}	オートリフレッシュサイクル時間	C _L = 4	19	—	19	—		
		C _L = 5	23	—	23	—		
		C _L = 6	25	—	25	—		
t _{CKD}	REF コマンド - クロック入力ディセーブル時間 (セルフリフレッシュエントリー時)	t _{REFC}	—	t _{REFC}	—			
t _{LOCK}	DLL 安定時間(RDA コマンド間)	200	—	200	—			

AC テスト条件

記号	項目	定格	単位	注
$V_{IH} (min)$	高レベル入力電圧 (AC)	$V_{REF} + 0.2$	V	
$V_{IL} (max)$	低レベル入力電圧 (AC)	$V_{REF} - 0.2$	V	
V_{REF}	入力基準電圧	$V_{DDQ}/2$	V	
V_{TT}	終端電圧	V_{REF}	V	
V_{SWING}	入力信号最大振幅	0.8	V	
V_r	差動クロック入力基準電圧	$V_X (AC)$	V	
$V_{ID} (AC)$	CLK, \overline{CLK} 入力電圧差	1.0	V	
SLEW	入力信号最小移行レート	2.5	V/ns	
V_{OTR}	出力信号測定基準電位	$V_{DDQ}/2$	V	9



注:

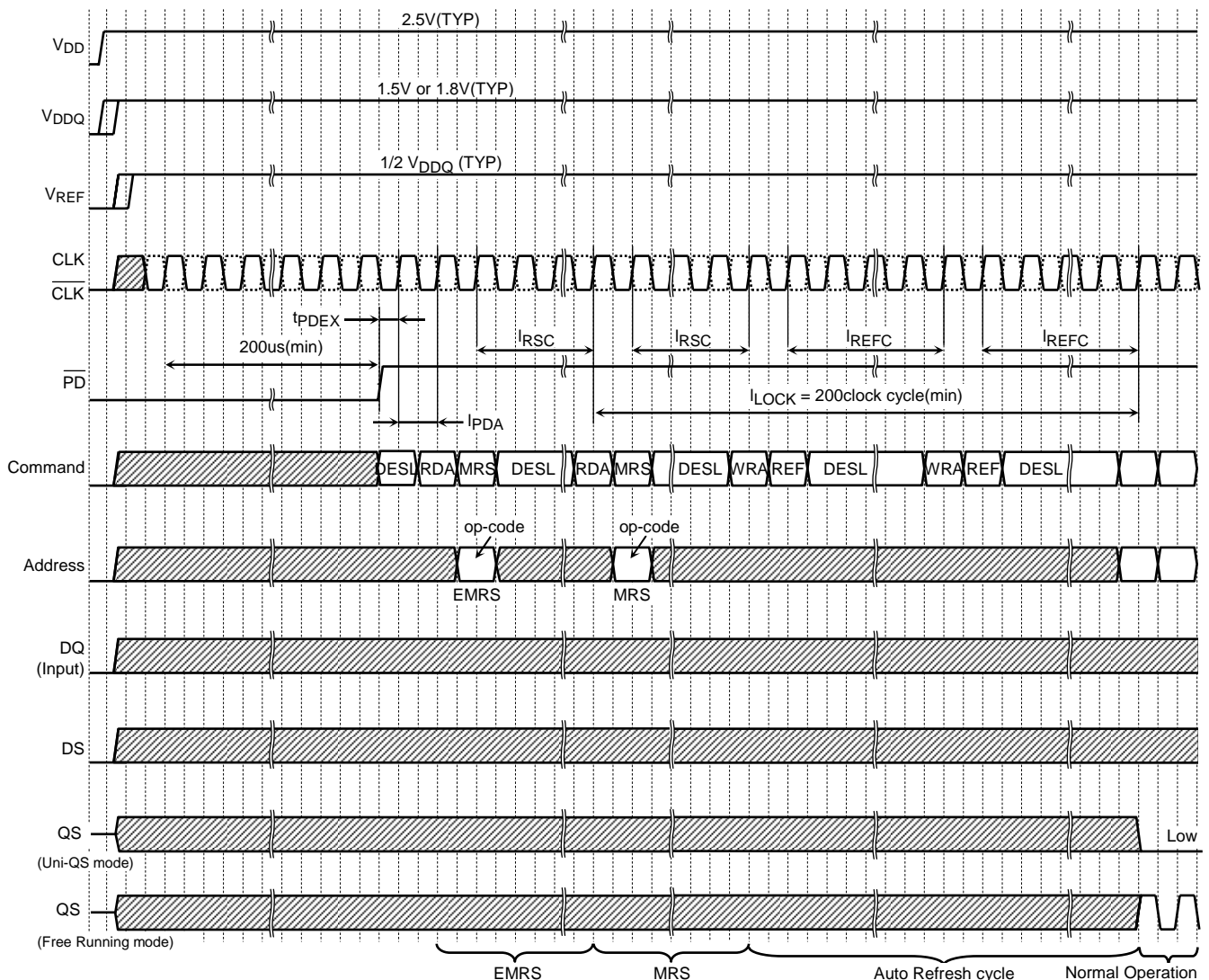
- (1) 立ち上がり、立ち下がり時間は $V_{IH} \text{ min (DC)}$ と $V_{IL} \text{ max (DC)}$ の間で定義されます。入力信号の立ち上がり、立ち下がりの傾きは一定としています。
- (2) 単位が Cycle で記述された項目の値は t_{CK} 値より計算されますが、小数点第 2 位以下は切り上げています。
(例: $t_{DQSS} = 0.8 \times t_{CK}$, $t_{CK} = 3.3 \text{ ns}$, $0.8 \times 3.3 \text{ ns} = 2.64 \text{ ns}$ 2.7 ns)
- (3) これらの項目は、差動クロック (CLK, \overline{CLK}) の AC 交差点から定義されます。
- (4) これらの項目は、DS の遷移信号が V_{REF} 電位と交差するポイントから定義されます。
- (5) $t_{REFI} (max)$ は均等分散リフレッシュの場合に適用されます。
 $t_{REFI} (min)$ は集中リフレッシュ及び分散リフレッシュのどちらにも適用されます。
 $t_{REFI} (min)$ は任意の連続した 8 回のオートリフレッシュコマンド間隔が常に 400ns 以上でなければいけません。言い換えると、 $3.2 \mu\text{s}$ ($8 \times 400 \text{ ns}$) 内に実行可能なオートリフレッシュの回数は、最大で 8 回迄です。
- (6) ローインピーダンスの状態は $V_{DDQ}/2 \pm 0.1 \text{ V}$ に達した状態です。
- (7) ハイインピーダンスの状態は出力バッファが駆動していない状態です。
- (8) これらの項目はクロックのジッターに依存します。これらの項目の値は安定したクロックにおいて測定された場合のものであります。
- (9) 出力タイミングは Normal Output Driver にて定義されます。
 $V_{DDQ} = 1.4\text{V} \sim 1.6\text{V}$ の場合、出力タイミングは Strong Output Driver にて定義されます。
- (10) これらの値は t_{CK} が 6.0ns 以下の条件で測定されています。 t_{CK} が 6.0ns 以上の場合には Speed version に関わらず、下記の値で測定されます。
 $t_{CKQS} (MIN/MAX) = -0.6\text{ns} / 0.6\text{ns}$, $t_{AC} (MIN/MAX) = -0.65\text{ns} / 0.65\text{ns}$

電源投入順序

- (1) 電源(VDD、VDDQ)を立ち上げる前に \overline{PD} をロー状態($\leq 0.2\text{ V}$)にします。
- (2) VDDQ は VDD と同時か VDD より後に立ち上げます。
- (3) VREF は VDDQ と同時ないしは VDDQ よりも後に立ち上げます。
- (4) 電源が所望の電位に到達後、クロック(CLK、 \overline{CLK})を入力し、電源、クロック入力安定した状態で 200 μs のポーズタイムをとります。
- (5) 電源とクロックが安定後、NOP 状態(DES�)かつ \overline{PD} をハイ状態にします。
- (6) EMRS コマンドで DLL をイネーブルにし、ドライバストレングスとデータストロブタイプをセットします。(注: 1)
- (7) MRS コマンドにて \overline{CAS} レイテンシ(CL)、パースタイプ(BT)、パースト長(BL)をセットします。(注 1)
- (8) 2 回以上のオートリフレッシュコマンドを実行します。(注: 1)
- (9) EMRS より 200 クロック後に通常動作可能です。

注:

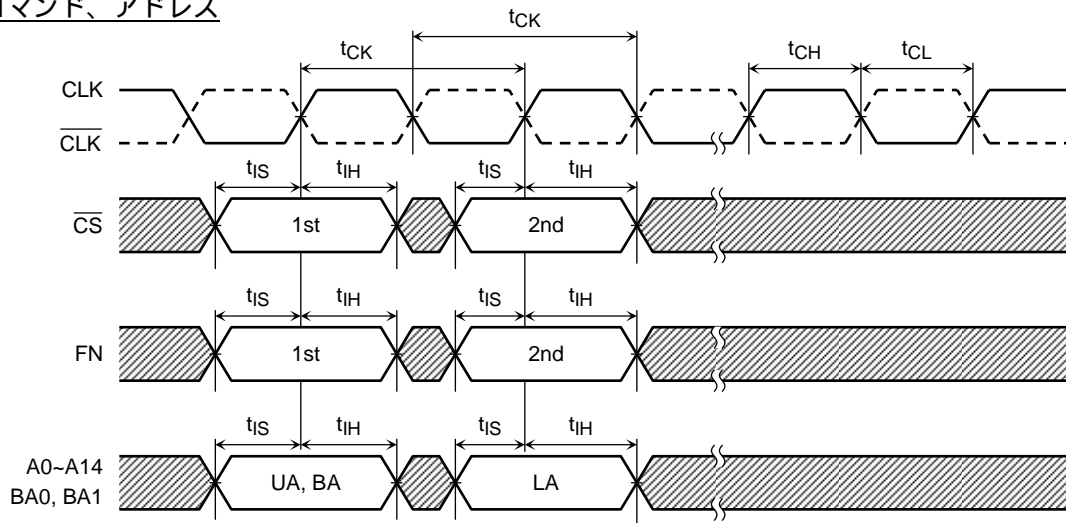
- (1) ステップ(6)、(7)、(8)は順不同です。
- (2) “ロー”はロジック低レベル状態、“ハイ”はロジック高レベル状態を意味します。
- (3) パワーアップシーケンス中の DQ 出力はハイインピーダンス状態となります。



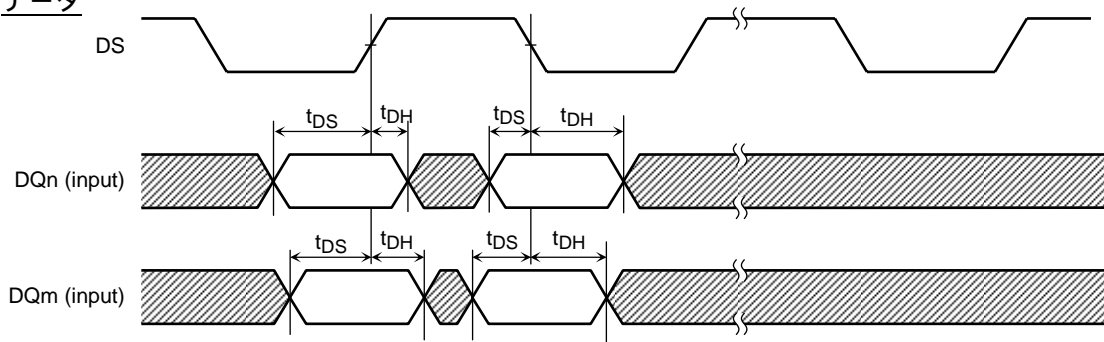
タイミング図

入力タイミング

コマンド、アドレス

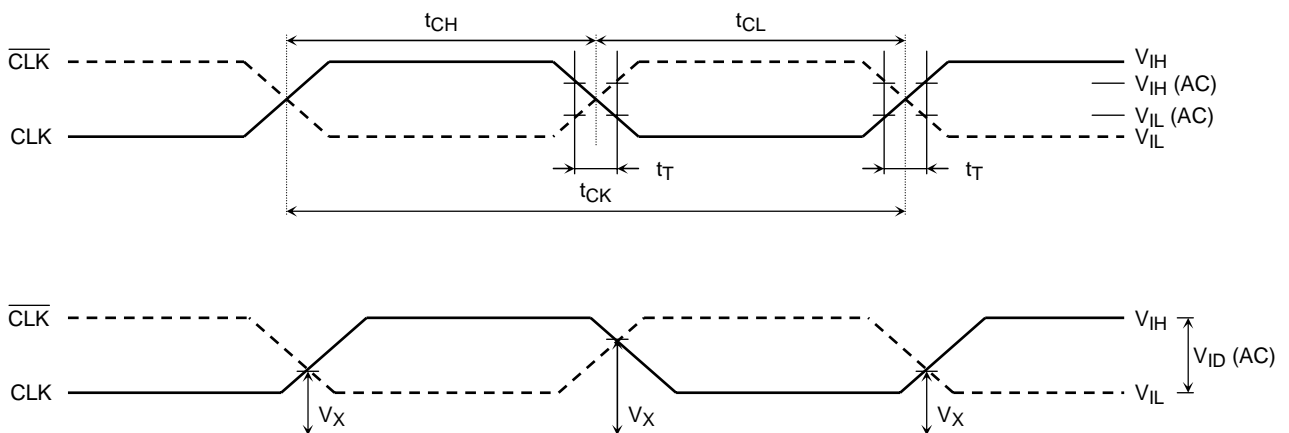


データ



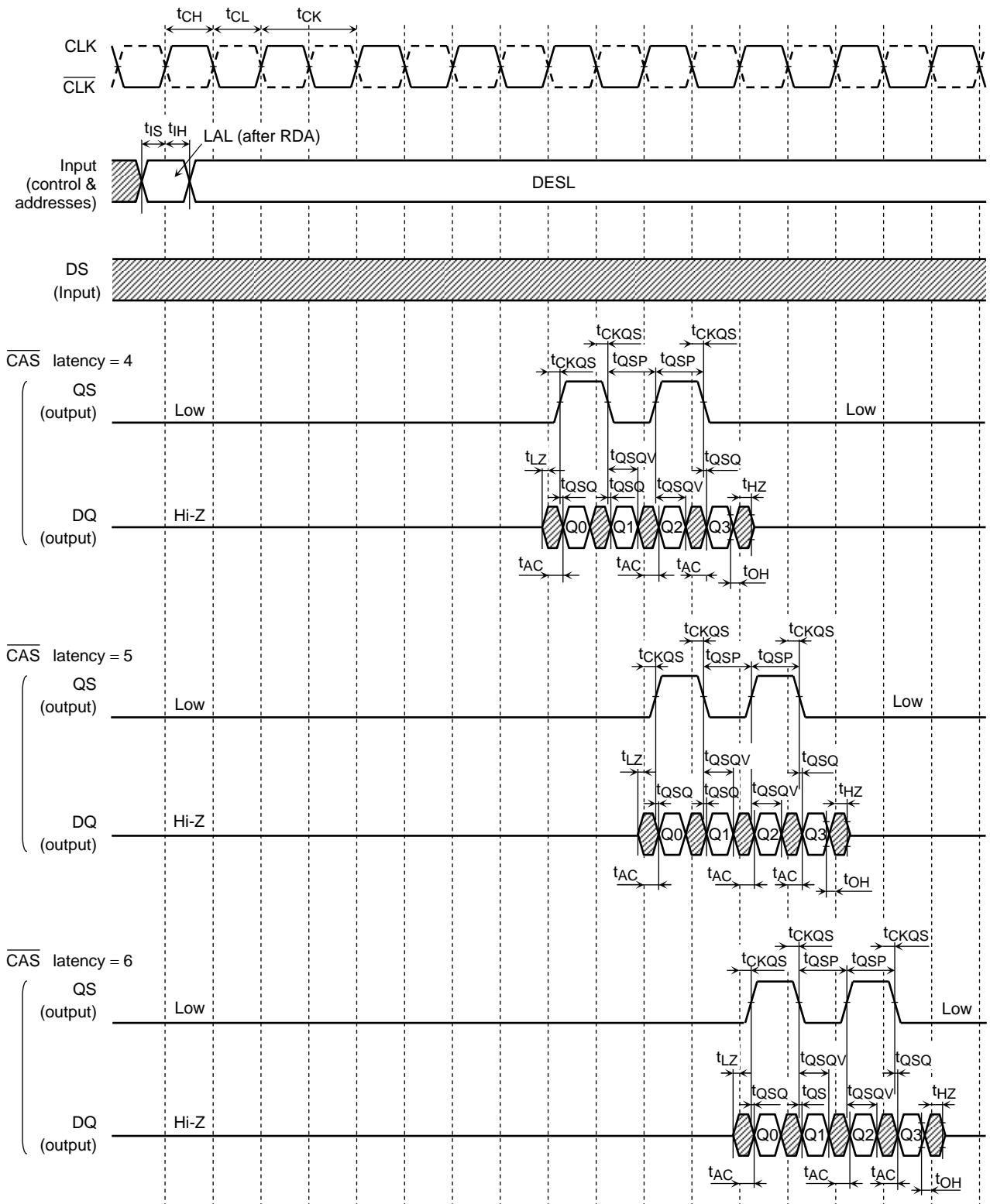
入力真理値表参照

CLK, \overline{CLK} タイミング



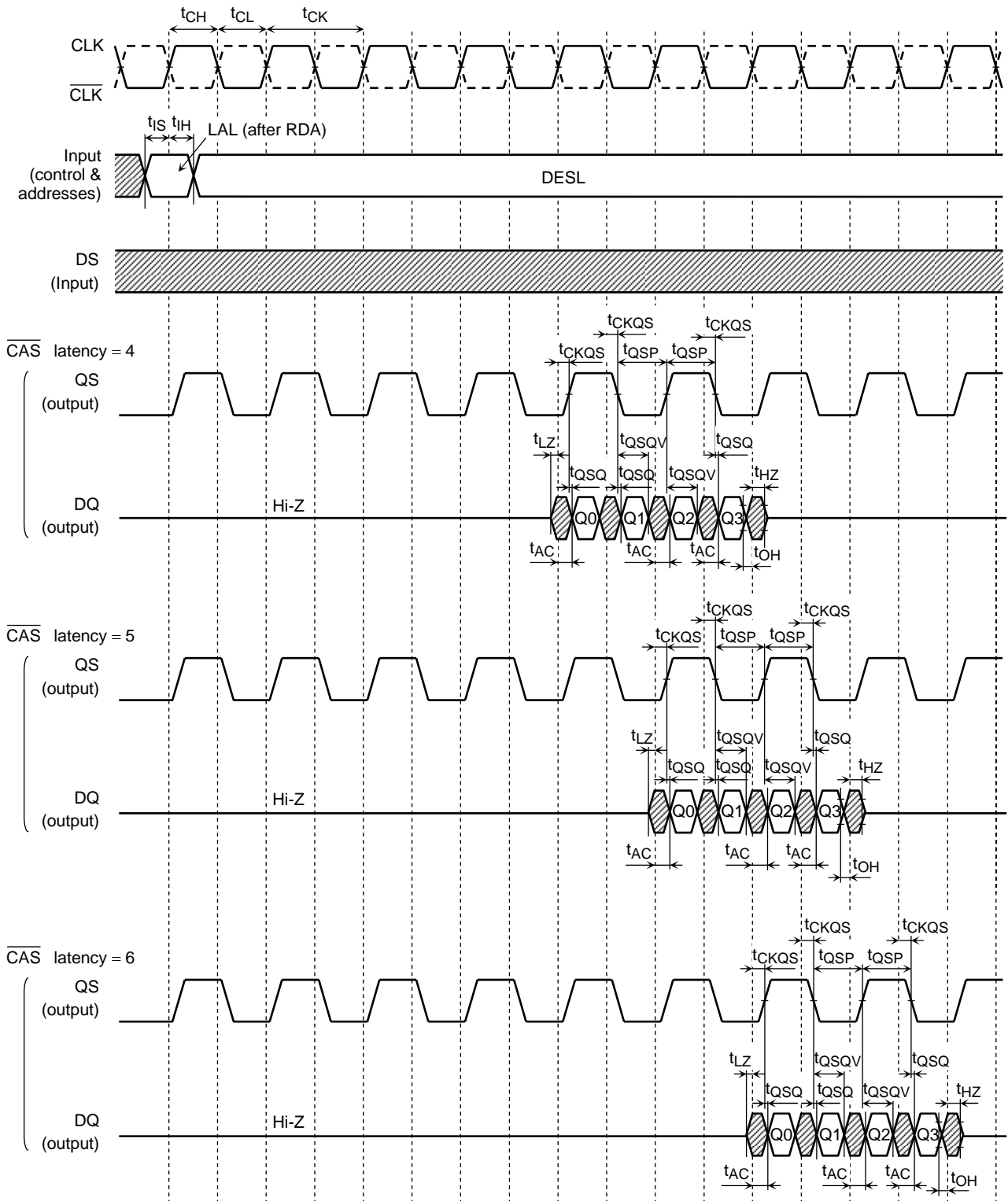
リードタイミング (Burst Length = 4)

Unidirectional DS/QS mode



リードタイミング (Burst Length = 4)

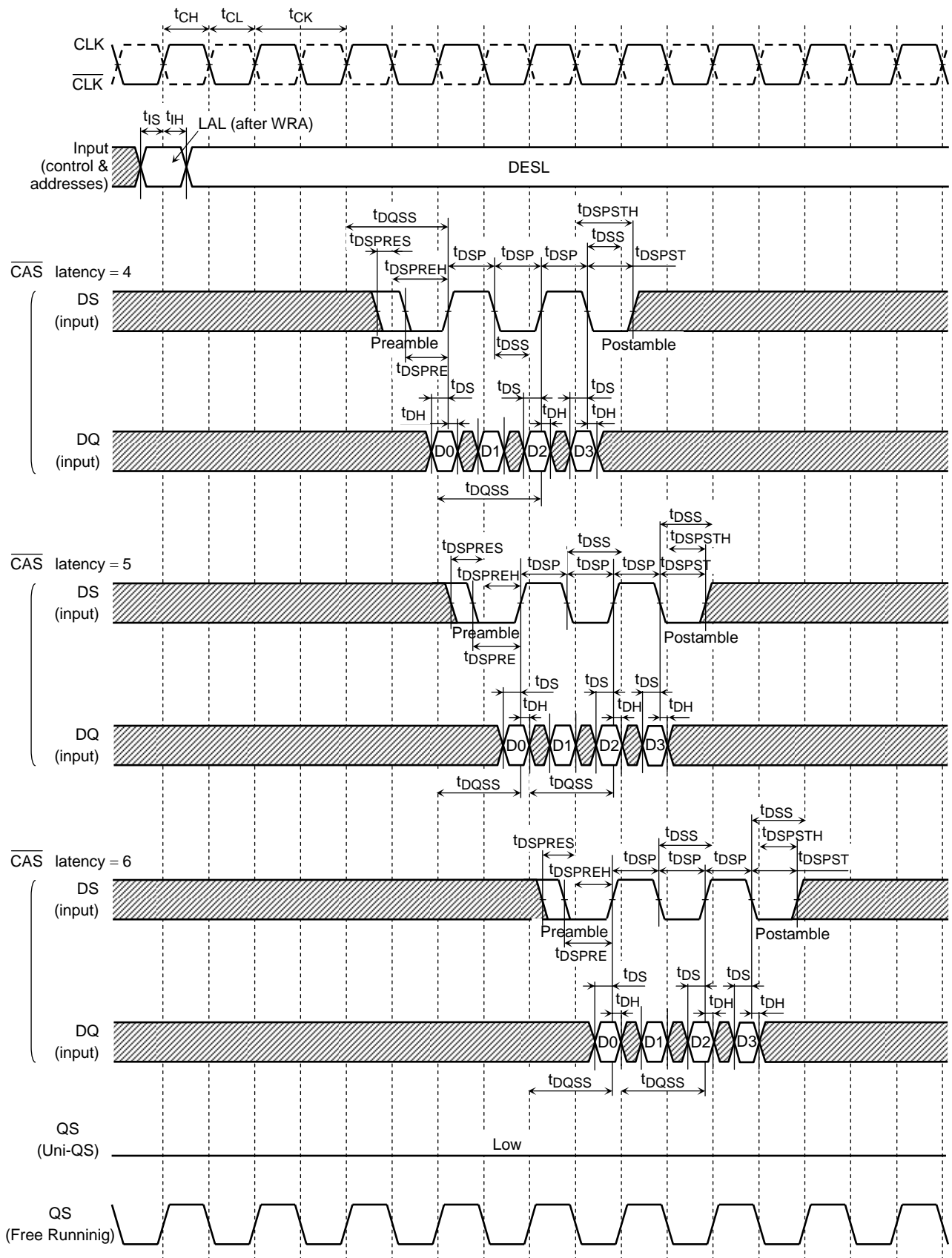
Unidirectional DS/Free Running QS mode



注: QS はフリーランニング QS モード中、常に出力されます。

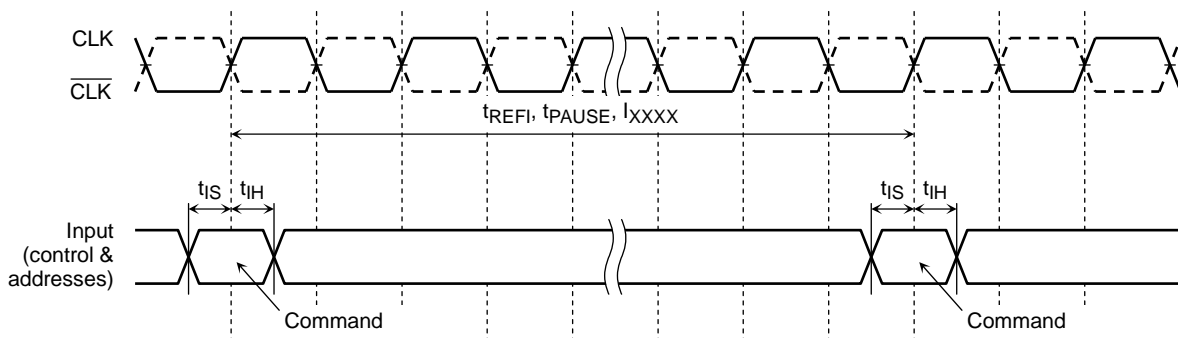
ライトタイミング (Burst Length = 4)

Unidirectional DS/QS mode, Unidirectional DS/Free Running QS mode



注: DQ0~DQ17はDSの立ち上がり、立下り両エッジでサンプリングされます。

tREFI、tPAUSE、l_{XXXX} タイミング



注: "l_{XXXX}"は"l_{RC}"、"l_{RCD}"、"l_{RAS}"等を意味します。

動作真理値表 (注: 1, 2, 3)

コマンド真理値表 (注: 4)

• 1st コマンド

記号	項目	\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0
DESL	Device Deselect	H	×	×	×	×	×	×
RDA	Read with Auto-close	L	H	BA	UA	UA	UA	UA
WRA	Write with Auto-close	L	L	BA	UA	UA	UA	UA

• 2nd コマンド

記号	項目	\overline{CS}	FN	BA1~BA0	A14~A13	A12~A11	A10~A9	A8	A7	A6~A0
LAL	Lower Address Latch	H	×	×	V	×	×	×	×	LA
REF	Auto-Refresh	L	×	×	×	×	×	×	×	×
MRS	Mode Register Set	L	×	V	L	L	L	L	V	V

- 注: 1. L = Logic Low, H = Logic High, × = either L or H, V = Valid (specified value), BA = Bank Address, UA = Upper Address, LA = Lower Address
 2. 全てのコマンドは各コマンド入力にとって正当な状態で入力されるものとします。
 3. SELFX と PDEX を除く全てのコマンドは、CLK の立ち上がりにおける差動クロック入力交差点で取り込まれます。
 4. 動作モードは 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決まります。“状態遷移図”と以下のコマンド表を参照して下さい。

リードコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	NOTES
RDA (1st)	L	H	BA	UA	UA	UA	UA	
LAL (2nd)	H	×	×	×	×	×	LA	

ライトコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14	A13	A12	A11	A10~A9	A8	A7	A6~A0
WRA (1st)	L	L	BA	UA	UA	UA	UA	UA	UA	UA	UA
LAL (2nd)	H	×	×	VW0	VW1	×	×	×	×	×	LA

- 注: 5. A14~A13 はライト動作時のバリアブルライトバースト長制御に使用します。

バリアブルライト(VW)真理値表

記号	項目	VW0	VW1
BL=2	Write All Words	L	×
	Write First One Word	H	×
BL=4	Reserved	L	L
	Write All Words	H	L
	Write First Two Words	L	H
	Write First One Word	H	H

動作真理値表 (続き)

モードレジスタセットコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	NOTES
RDA (1st)	L	H	x	x	x	x	x	
MRS (2nd)	L	x	V	L	L	V	V	6

注: 6. “モードレジスタ表”参照して下さい。

オートリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	NOTES
			n-1	n								
Active	WRA (1st)	Standby	H	H	L	L	x	x	x	x	x	
Auto-Refresh	REF (2nd)	Active	H	H	L	x	x	x	x	x	x	

セルフリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	NOTES
			n-1	n								
Active	WRA (1st)	Standby	H	H	L	L	x	x	x	x	x	
Self-Refresh Entry	REF (2nd)	Active	H	L	L	x	x	x	x	x	x	7, 8
Self-Refresh Continue	—	Self-Refresh	L	L	x	x	x	x	x	x	x	
Self-Refresh Exit	SELFX	Self-Refresh	L	H	H	x	x	x	x	x	x	9

パワーダウンコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A14~A9	A8	A7	A6~A0	NOTES
			n-1	n								
Power Down Entry	PDEN	Standby	H	L	H	x	x	x	x	x	x	8
Power Down Continue	—	Power Down	L	L	x	x	x	x	x	x	x	
Power Down Exit	PDEX	Power Down	L	H	H	x	x	x	x	x	x	9

- 注: 7. \overline{PD} は REF コマンドに対して t_{FPDL} の範囲内でロー状態にしなければなりません。
 8. \overline{PD} をロー状態にする時は、DQ ピンの状態がハイインピーダンス状態後にしてください。
 9. \overline{PD} をロー状態からハイ状態へ移行した場合、クロックに対して非同期動作となります。

動作真理値表 (続き)

現在の状態	$\overline{\text{PD}}$		$\overline{\text{CS}}$	FN	アドレス	コマンド	アクション	注
	n-1	n						
Idle	H	H	H	x	x	DESL	NOP	
	H	H	L	H	BA, UA	RDA	Row activate for Read	
	H	H	L	L	BA, UA	WRA	Row activate for Write	
	H	L	H	x	x	PDEN	Power Down Entry	10
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Refer to Power Down State	
Row Active for Read	H	H	H	x	LA	LAL	Begin Read	
	H	H	L	x	Op-code	MRS/EMRS	Access to Mode Register	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	MRS/EMRS	Illegal	
	L	x	x	x	x	—	Invalid	
Row Active for Write	H	H	H	x	LA	LAL	Begin Write	
	H	H	L	x	x	REF	Auto-Refresh	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	REF (self)	Self-Refresh Entry	
	L	x	x	x	x	—	Invalid	
Read	H	H	H	x	x	DESL	Continue Burst Read to End	
	H	H	L	H	BA, UA	RDA	Illegal	11
	H	H	L	L	BA, UA	WRA	Illegal	11
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
Write	H	H	H	x	x	DESL	Data Write&Continue Burst Write to End	
	H	H	L	H	BA, UA	RDA	Illegal	11
	H	H	L	L	BA, UA	WRA	Illegal	11
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
Auto-Refreshing	H	H	H	x	x	DESL	NOP → Idle after IREFC	
	H	H	L	H	BA, UA	RDA	Illegal	
	H	H	L	L	BA, UA	WRA	Illegal	
	H	L	H	x	x	PDEN	Self-Refresh Entry	12
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Refer to Self-Refreshing State	
Mode Register Accessing	H	H	H	x	x	DESL	NOP → Idle after IRSC	
	H	H	L	H	BA, UA	RDA	Illegal	
	H	H	L	L	BA, UA	WRA	Illegal	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
Power Down	H	x	x	x	x	—	Invalid	
	L	L	x	x	x	—	Maintain Power Down Mode	
	L	H	H	x	x	PDEX	Exit Power Down Mode → Idle after tPDEX	
	L	H	L	x	x	—	Illegal	
Self-Refreshing	H	x	x	x	x	—	Invalid	
	L	L	x	x	x	—	Maintain Self-Refresh	
	L	H	H	x	x	SELF	Exit Self-Refresh → Idle after IREFC	
	L	H	L	x	x	—	Illegal	

- 注: 10. 全てのバンクがアイドル状態でなければ禁止コマンドとなります。
 11. 指定された状態のバンクに対しての禁止コマンドです。バンクアドレスによって指定されたバンクによっては、正常な動作が可能です。
 12. tPDL 規定を満たさなければなりません。

モードレジスタ表

MRS (レギュラーモードレジスタセット) (注: 1)

ADDRESS	BA1 ^{*1}	BA0 ^{*1}	A14~A8	A7 ^{*3}	A6~A4	A3	A2~A0
Register	0	0	0	TE	CL	BT	BL

A7	TEST MODE (TE)
0	Regular (default)
1	Test Mode Entry

A3	BURST TYPE (BT)
0	Sequential
1	Interleave

A6	A5	A4	CAS [¯] LATENCY (CL)
0	0	×	Reserved ^{*2}
0	1	0	Reserved ^{*2}
0	1	1	Reserved ^{*2}
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	Reserved ^{*2}

A2	A1	A0	BURST LENGTH (BL)
0	0	0	Reserved ^{*2}
0	0	1	2
0	1	0	4
0	1	1	Reserved ^{*2}
1	×	×	

EMRS (エクステンディッドモードレジスタセット) (注: 4)

ADDRESS	BA1 ^{*4}	BA0 ^{*4}	A14~A7	A6~A5	A4~A3	A2~A1	A0 ^{*5}
Register	0	1	0	SS	DIC (QS)	DIC (DQ)	DS

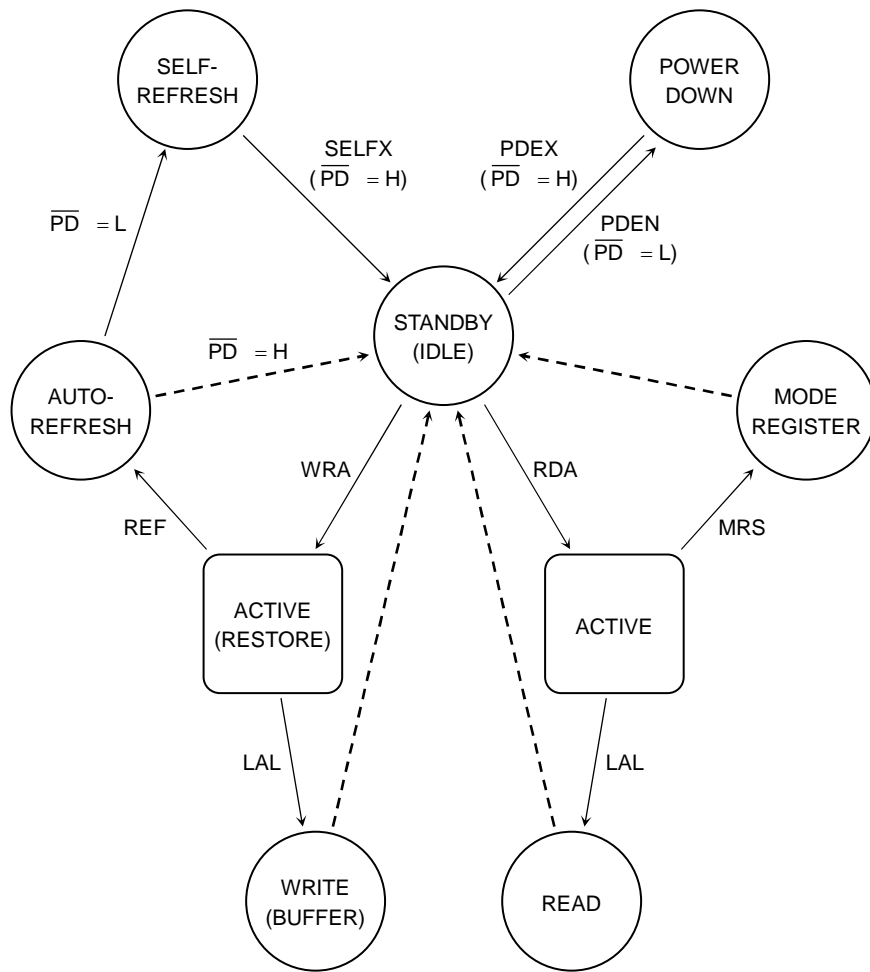
A6	A5	STROBE SELECT
0	0	Reserved ^{*2}
0	1	Reserved ^{*2}
1	0	Unidirectional DS/QS
1	1	Unidirectional DS/Free Running QS

QS		DQ		OUTPUT DRIVE IMPEDANCE CONTROL (DIC)
A4	A3	A2	A1	
0	0	0	0	Normal Output Driver
0	1	0	1	Strong Output Driver
1	0	1	0	Weak Output Driver
1	1	1	1	Reserved

A0	DLL SWITCH (DS)
0	DLL Enable
1	DLL Disable

- 注:
- レギュラーモードレジスタは BA0 = 0 と BA1 = 0 の組み合わせによって選択されます。
 - レギュラーモードレジスタ中の“Reserved”にはセットしないで下さい。
 - テストモードは特殊な動作モードの為、レギュラーモードレジスタの際の A7 は“0” (ロー状態) にセットして下さい。
 - エクステンディッドモードレジスタは BA0 = 1 と BA1 = 0 の組み合わせによって選択されます。
 - エクステンディッドモードレジスタ時の A0 は“0”(ロー状態) にセットしてください。

状態遷移図

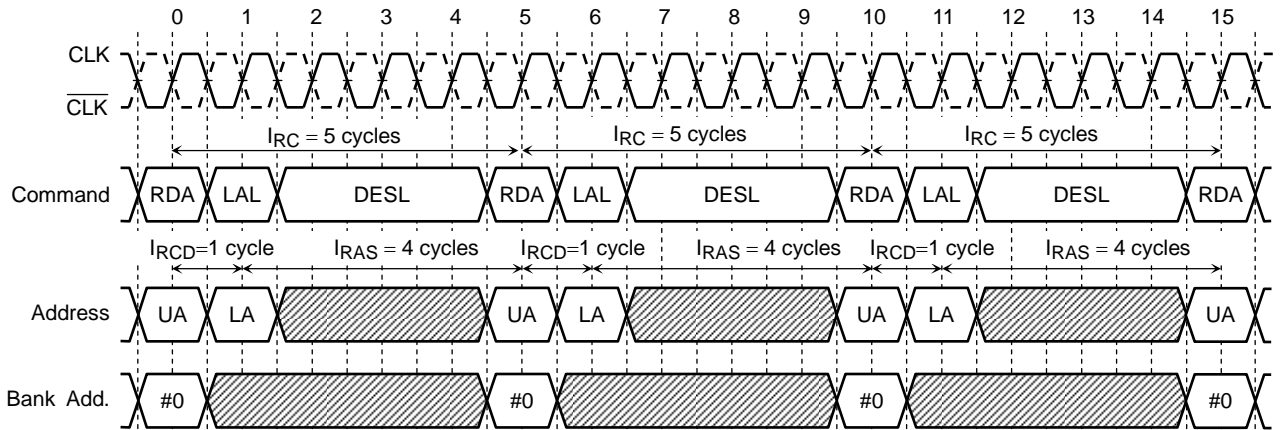


————> Command input
 - - - -> Automatic return

アクティブ状態における2番目のコマンドは、RDA または WRA コマンド入力から 1 クロック後に入力されなければなりません。

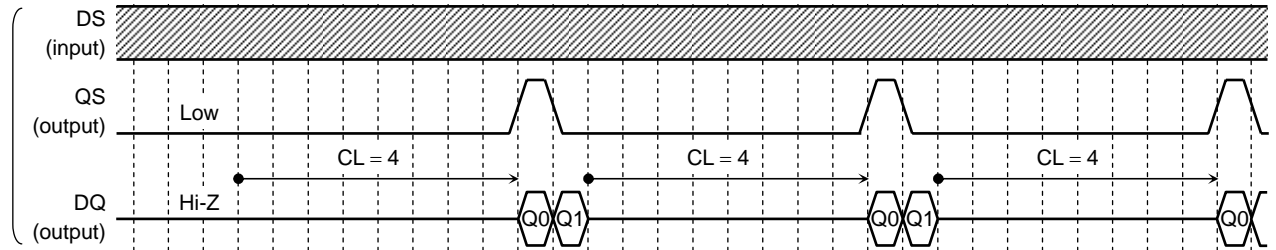
タイミング図

シングルバンクリードタイミング (CL = 4)

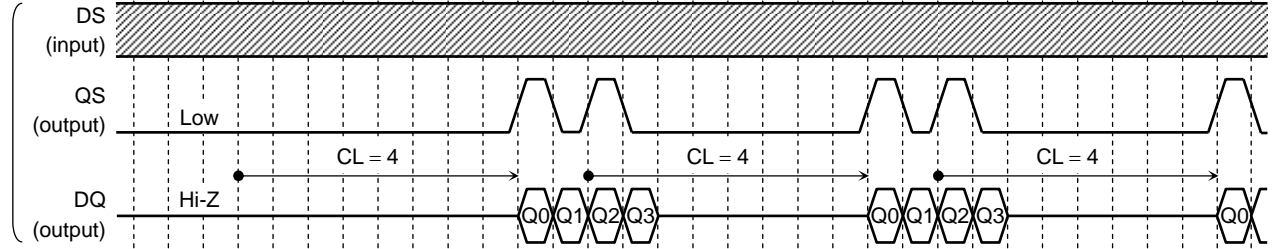


Unidirectional DS/QS mode

BL = 2

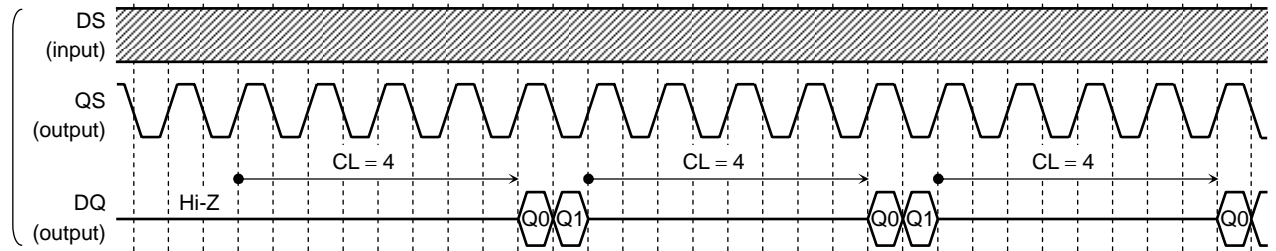


BL = 4

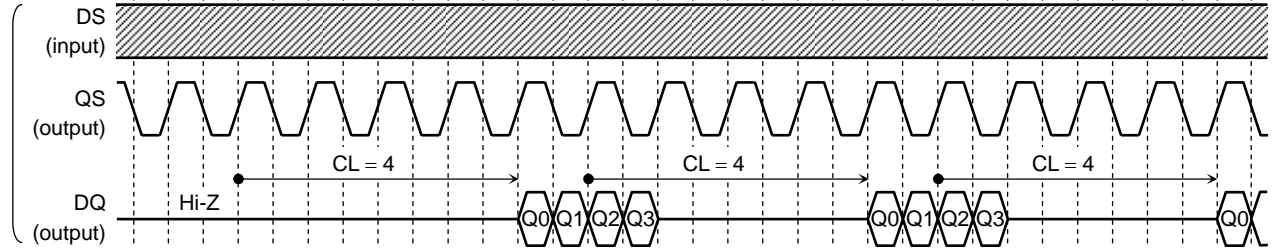


Unidirectional DS/Free Running QS mode

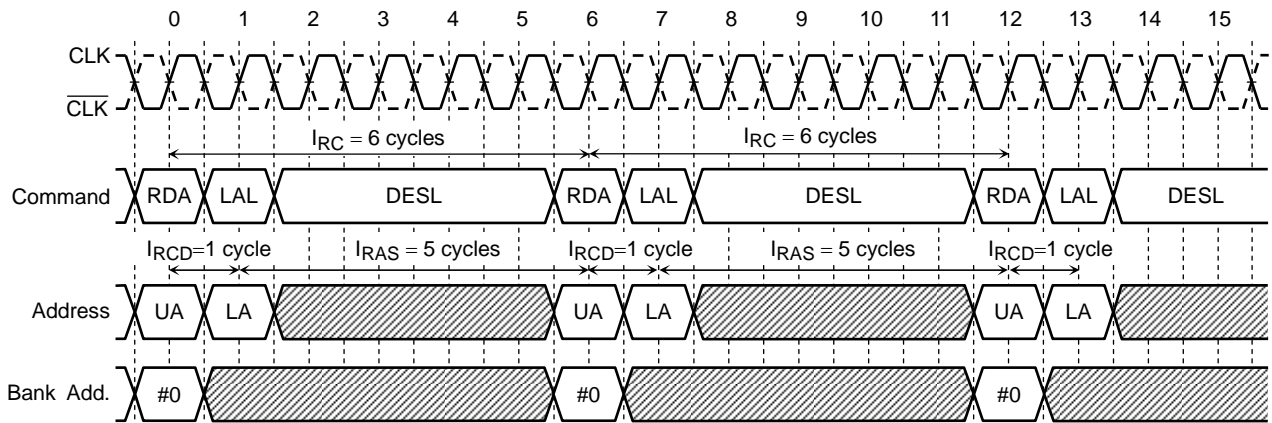
BL = 2



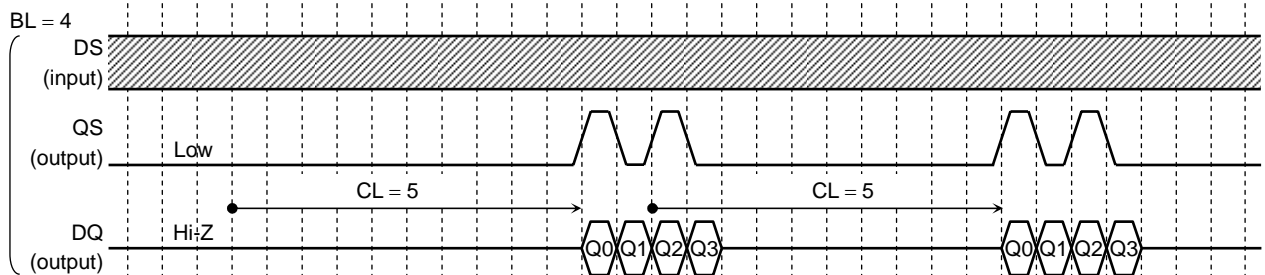
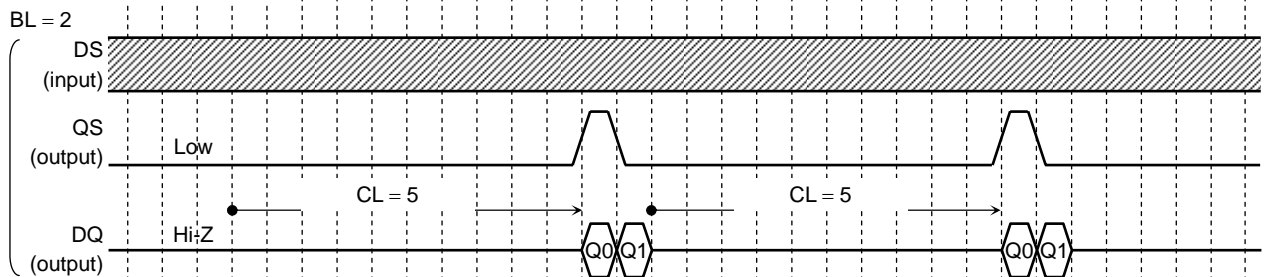
BL = 4



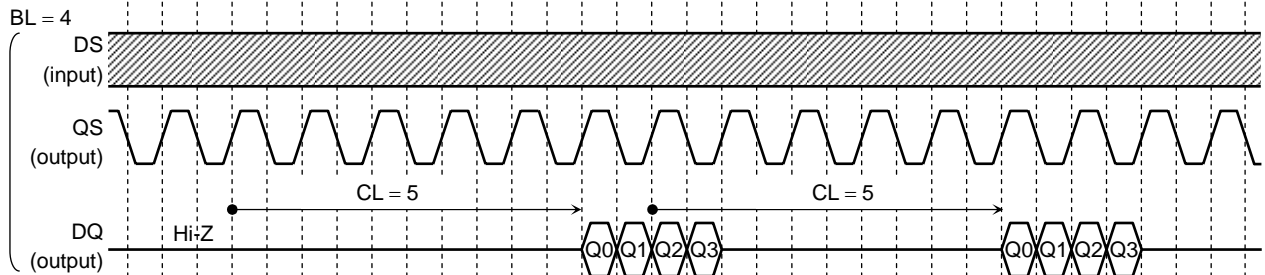
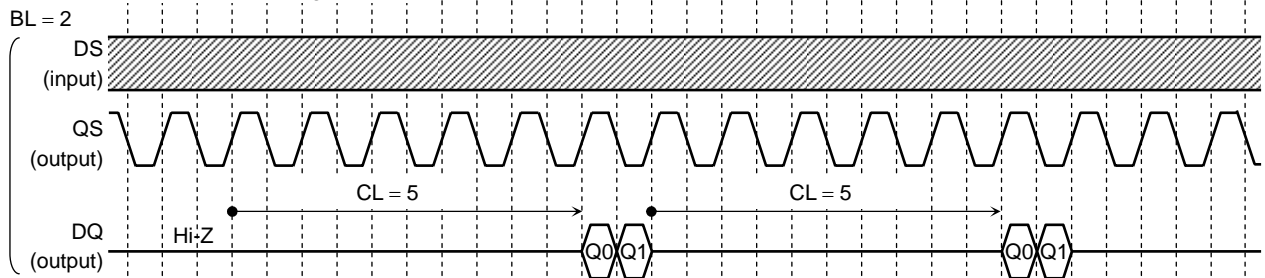
シングルバンクリードタイミング (CL = 5)



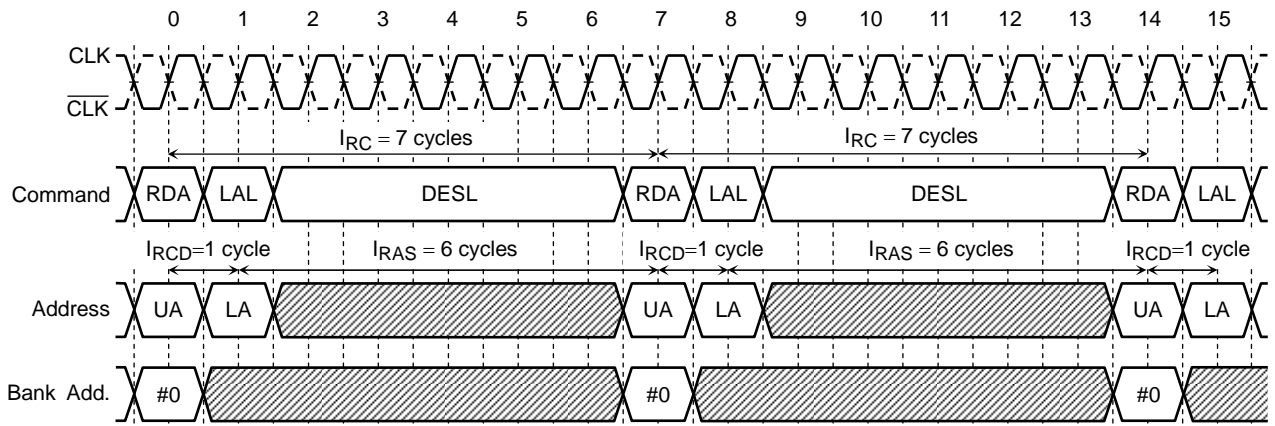
Unidirectional DS/QS mode



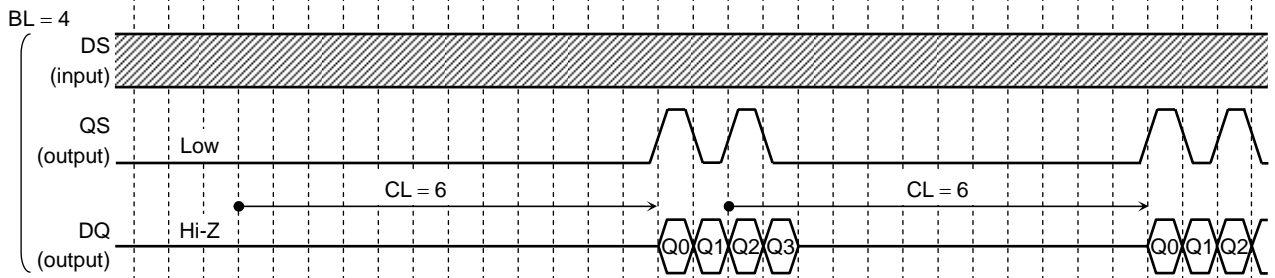
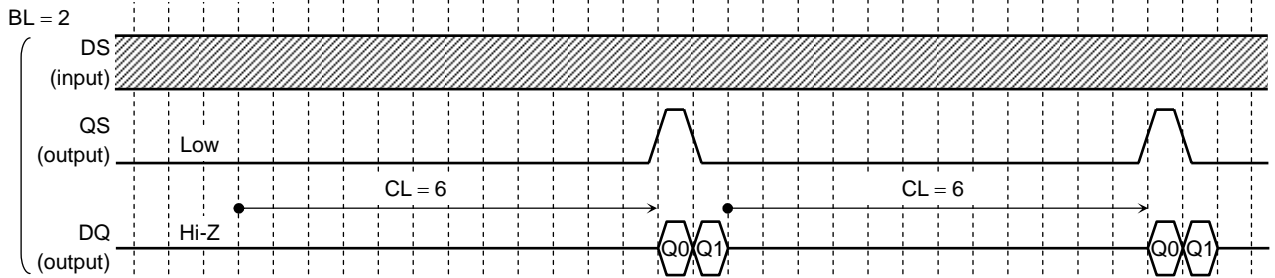
Unidirectional DS/Free Running QS mode



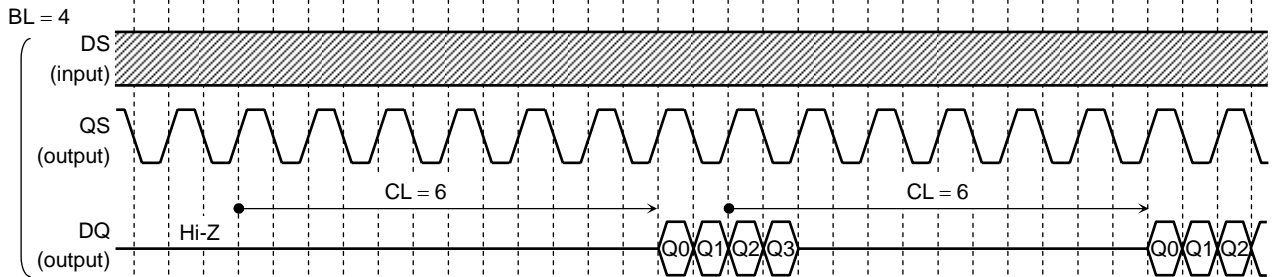
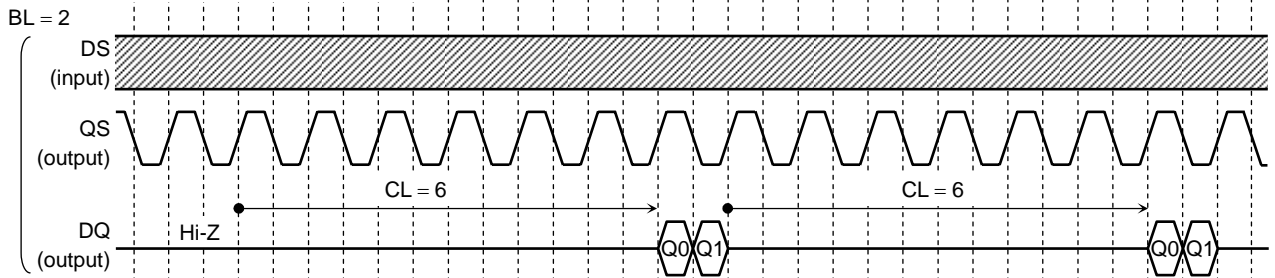
シングルバンクリードタイミング (CL = 6)



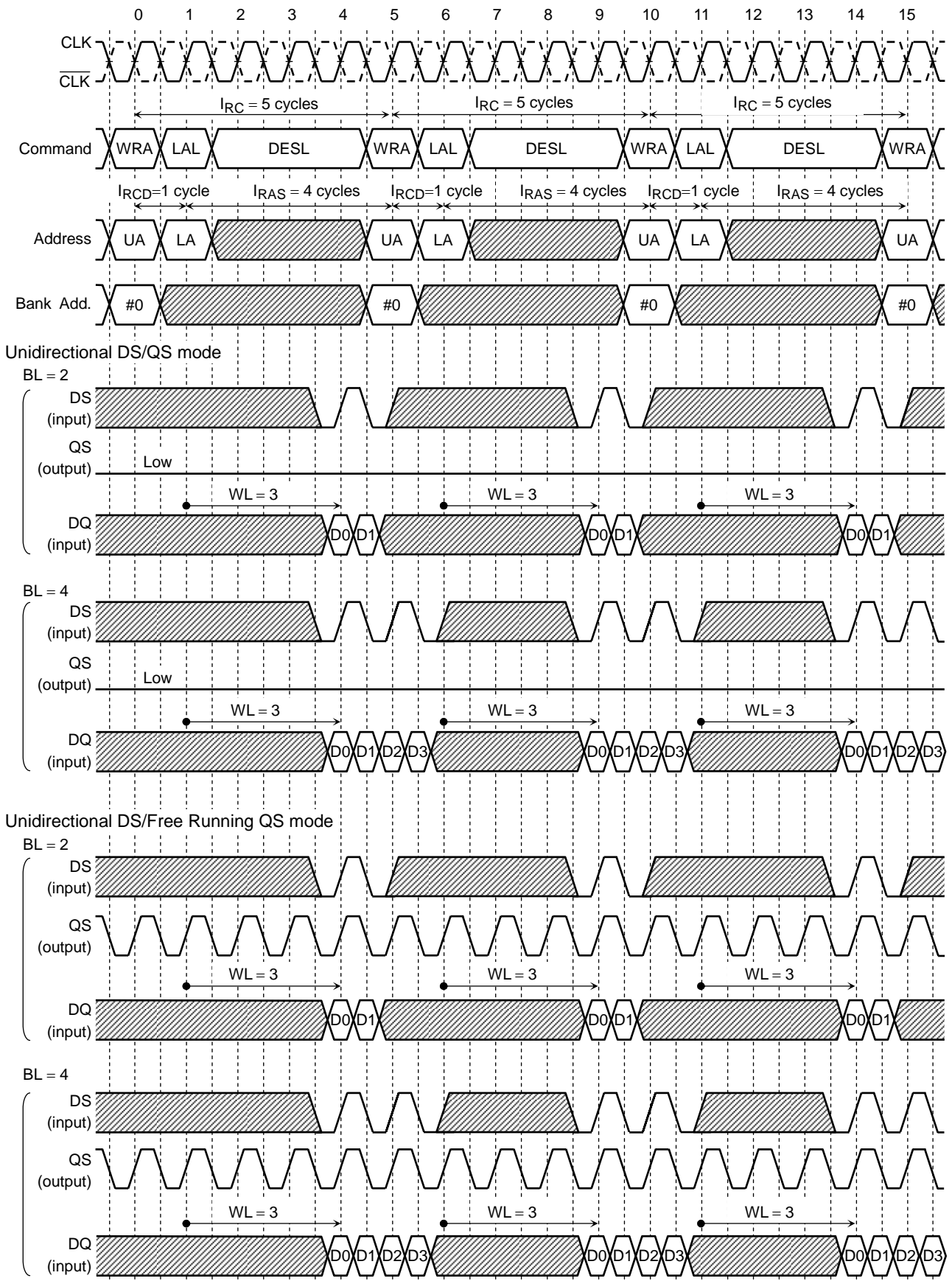
Unidirectional DS/QS mode



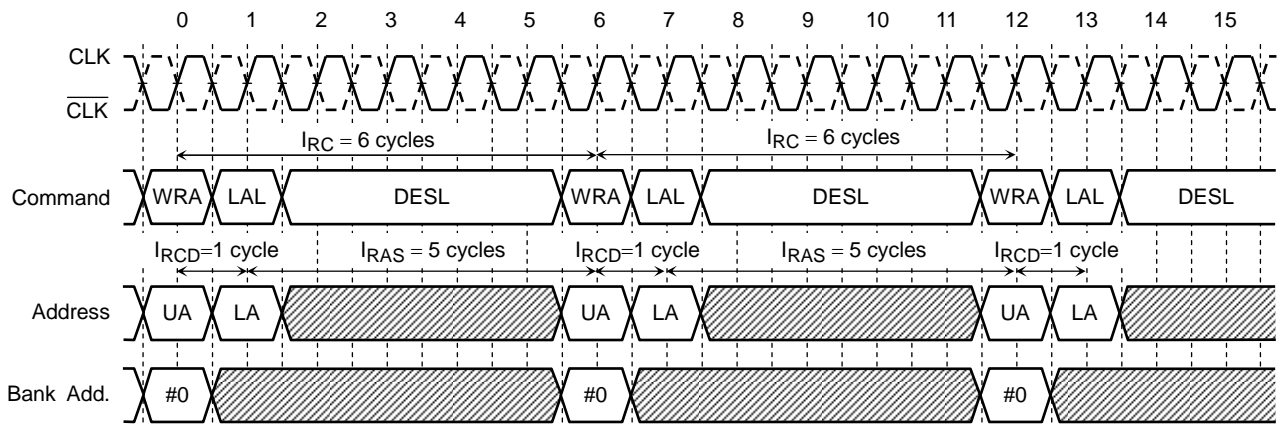
Unidirectional DS/Free Running QS mode



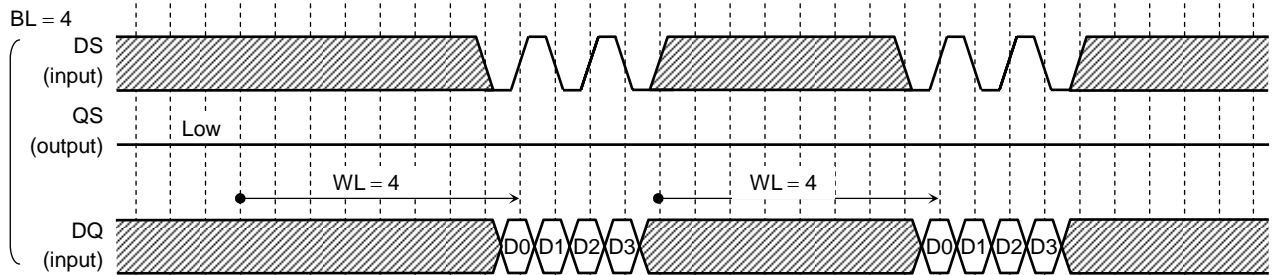
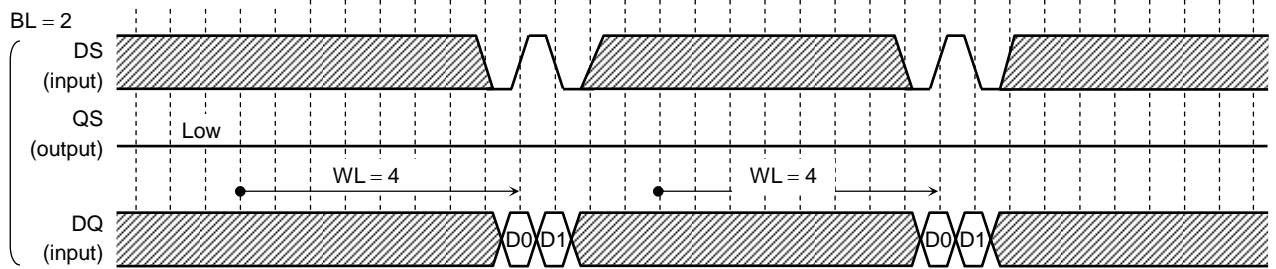
シングルバンクライトタイミング (CL = 4)



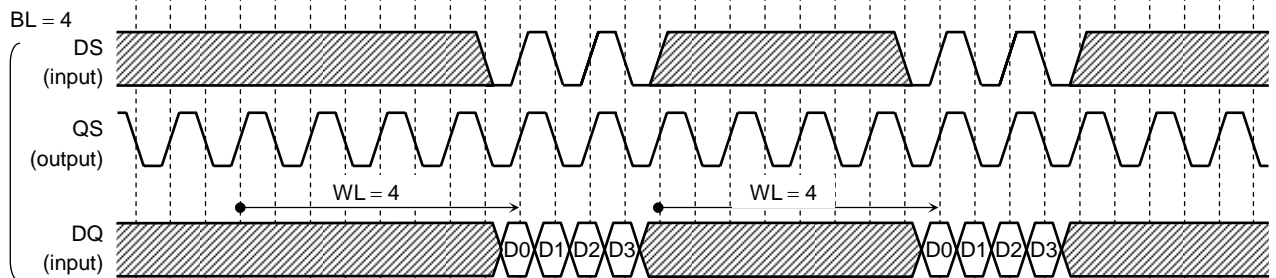
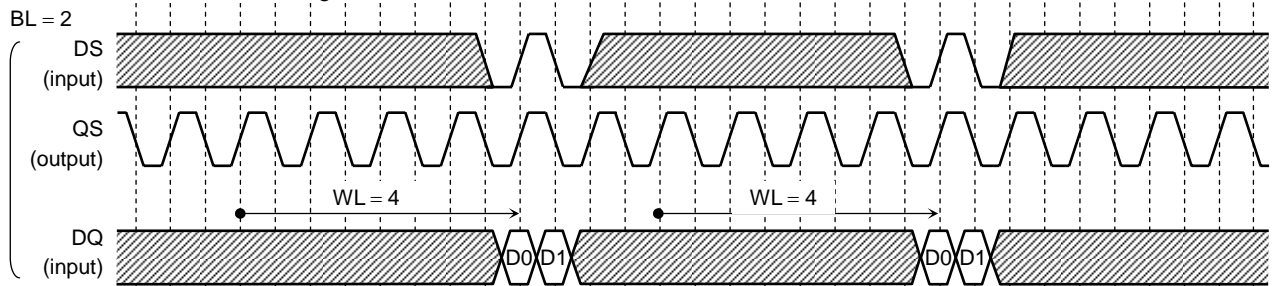
シングルバンクライトタイミング (CL = 5)



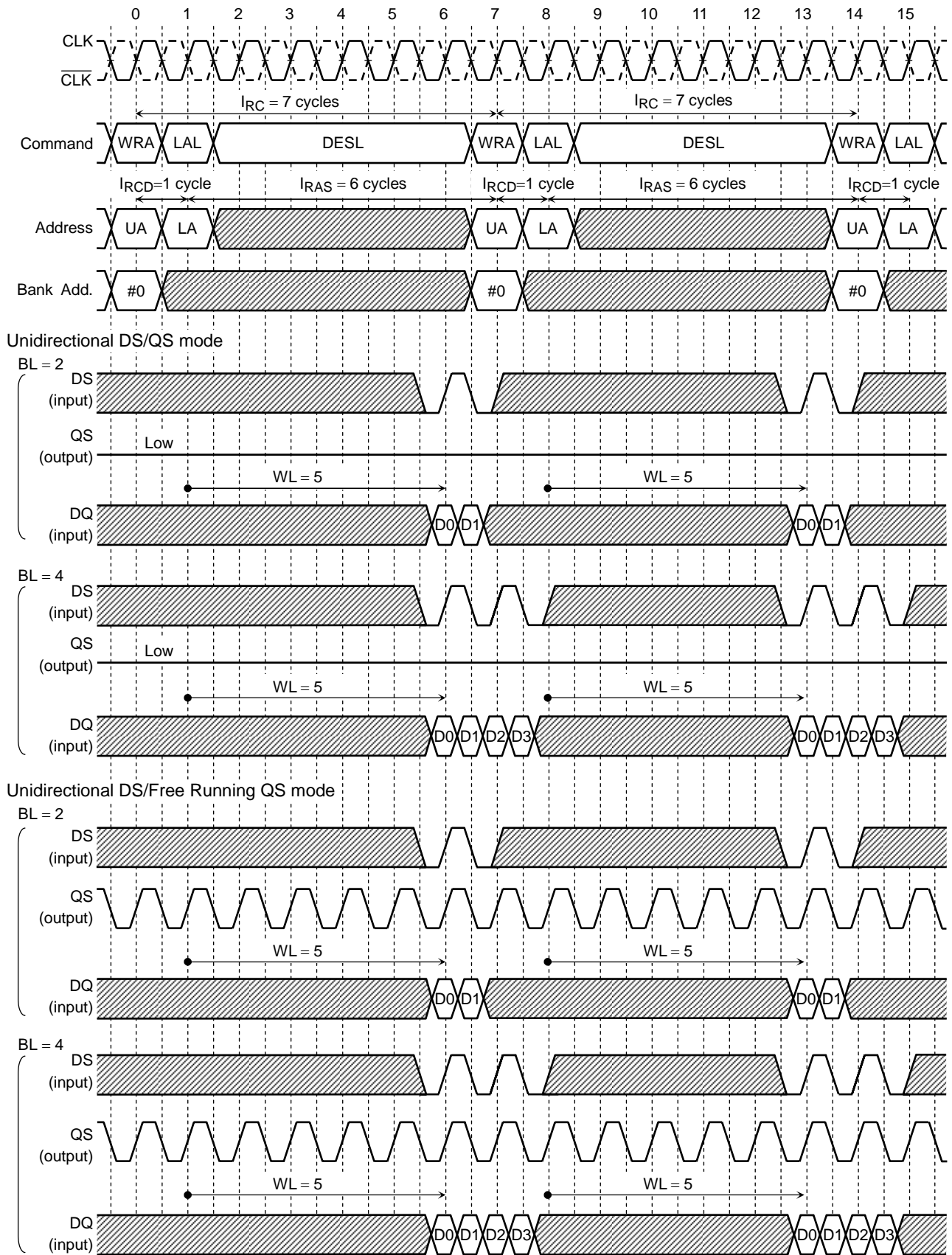
Unidirectional DS/QS mode



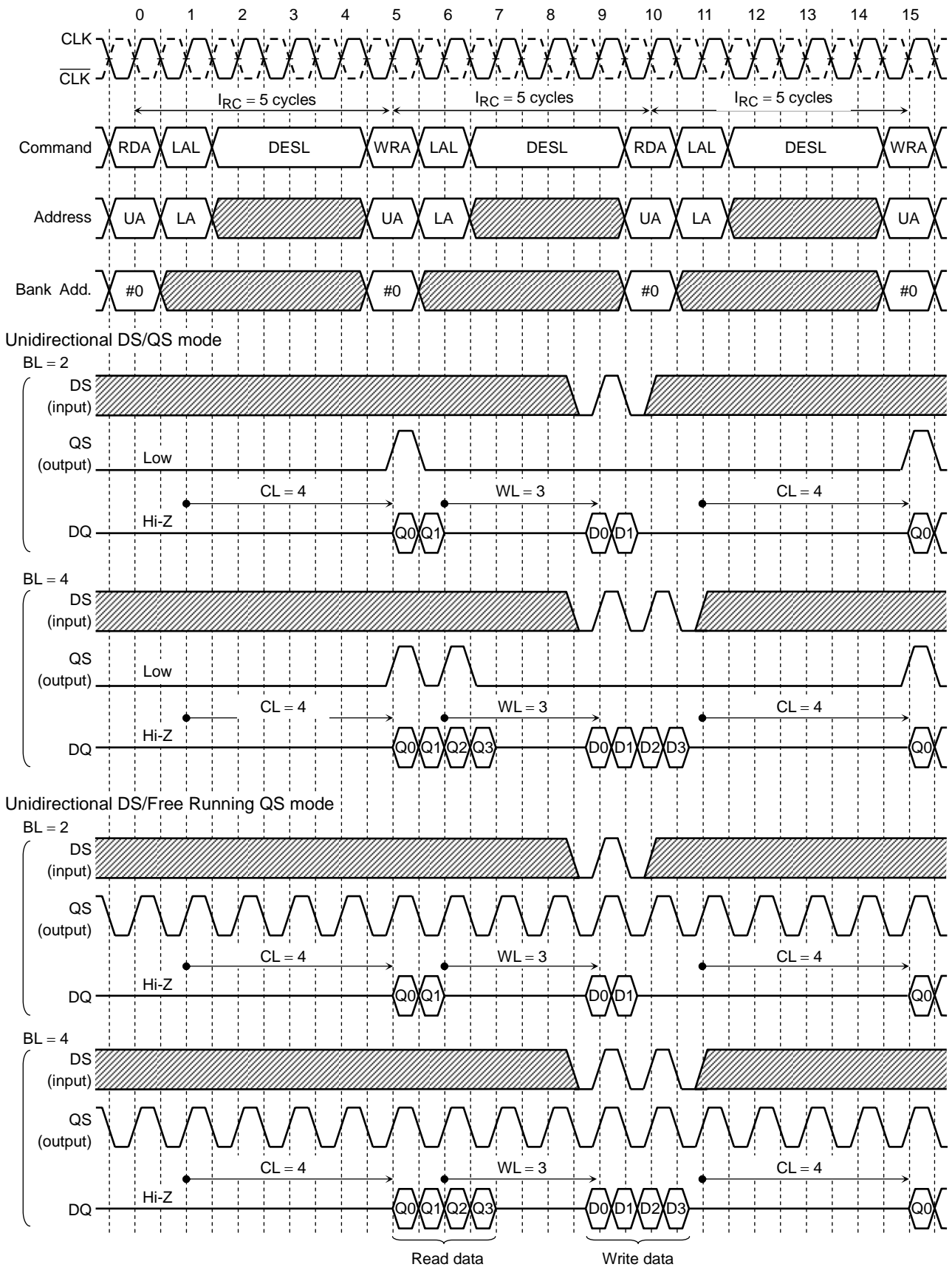
Unidirectional DS/Free Running QS mode



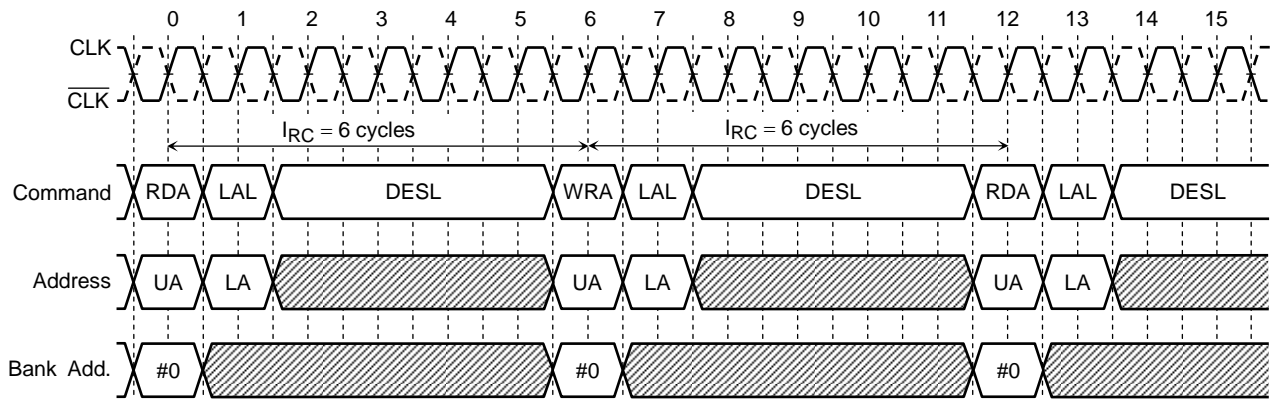
シングルバンクライトタイミング (CL = 6)



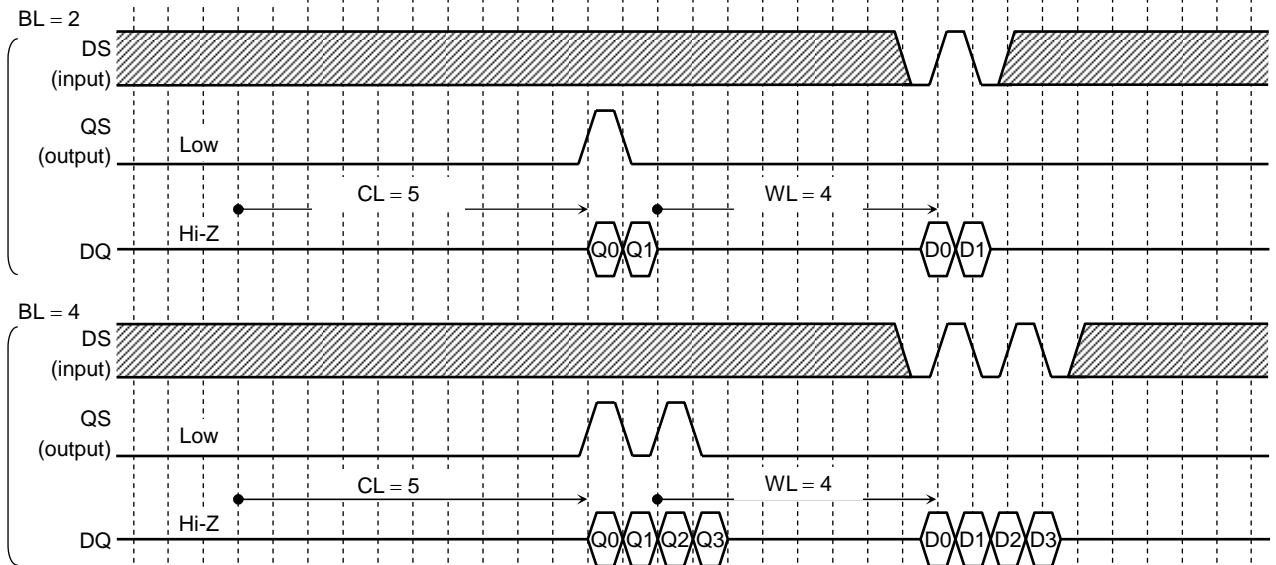
シングルバンクリード/ライトタイミング (CL = 4)



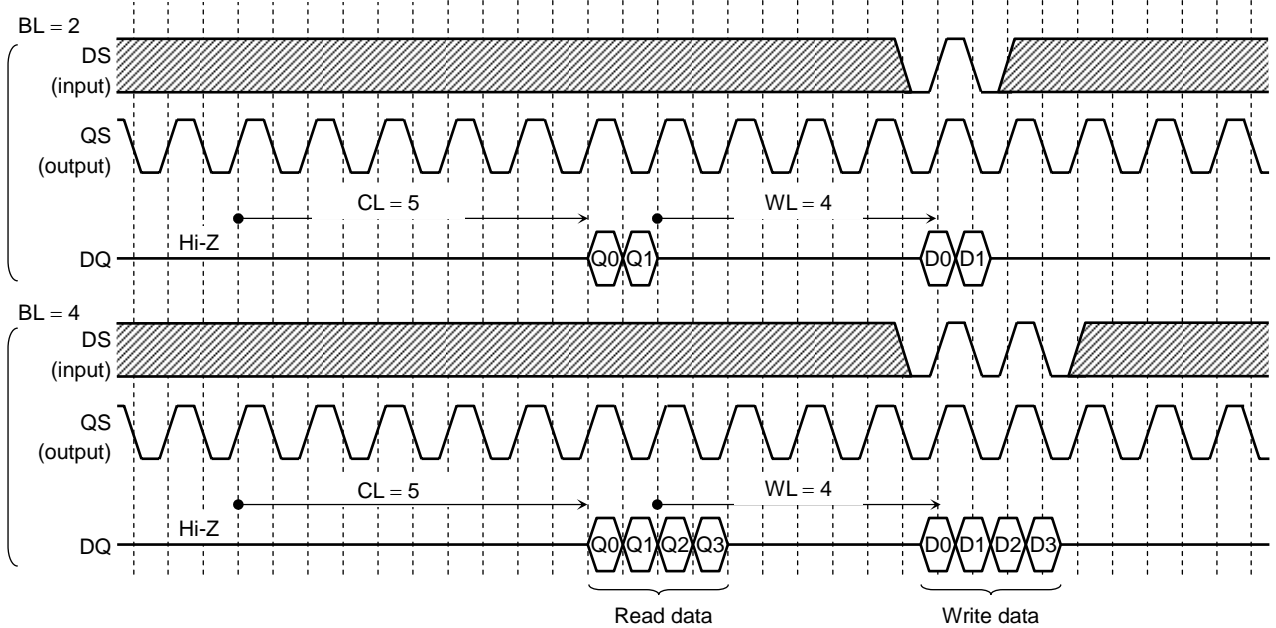
シングルバンクリード/ライトタイミング (CL = 5)



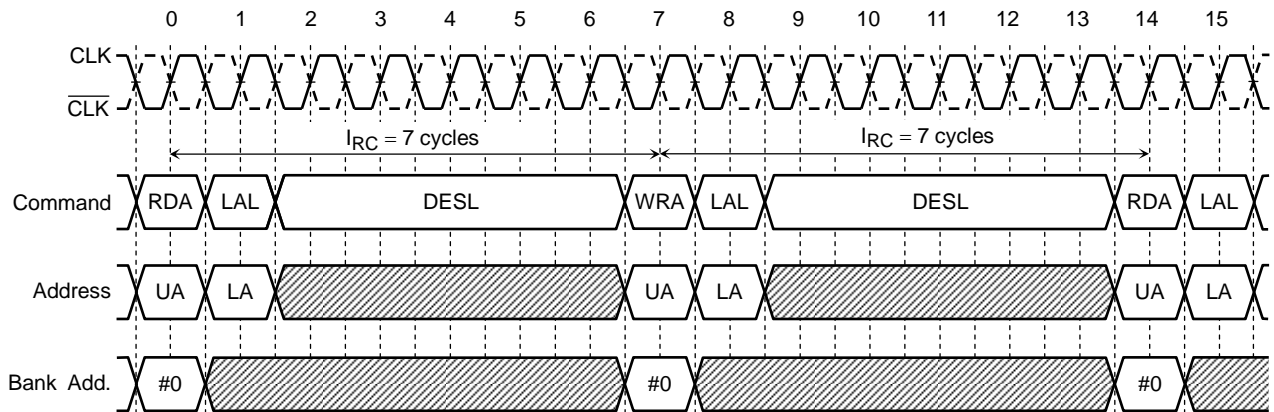
Unidirectional DS/QS mode



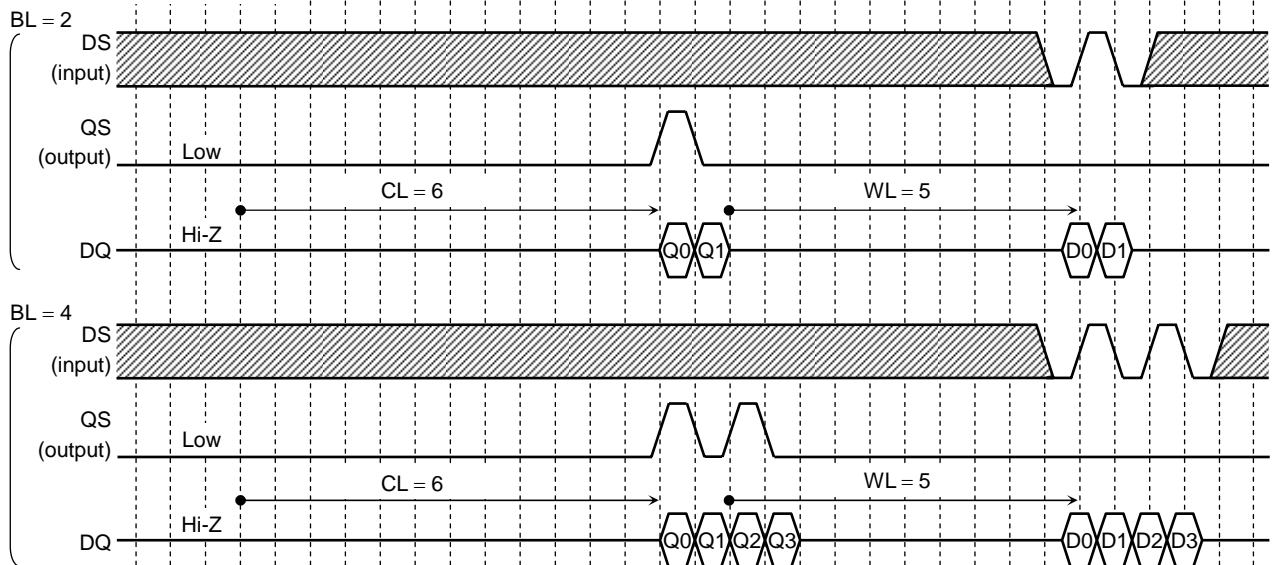
Unidirectional DS/Free Running QS mode



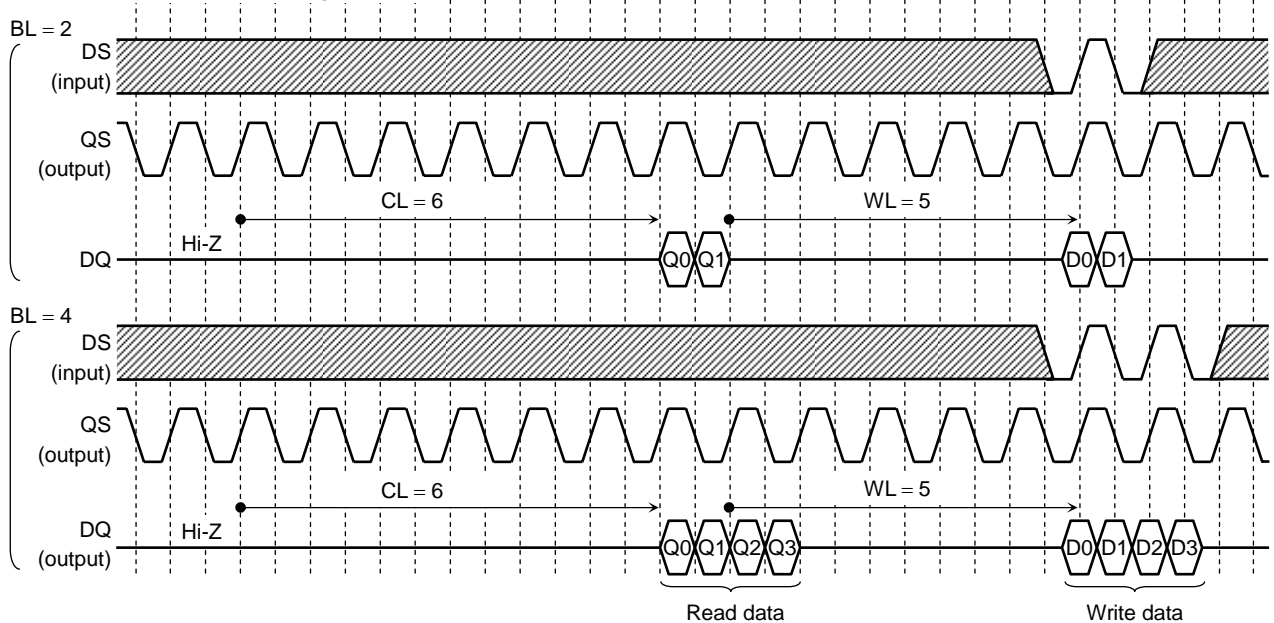
シングルバンクリード/ライトタイミング (CL = 6)



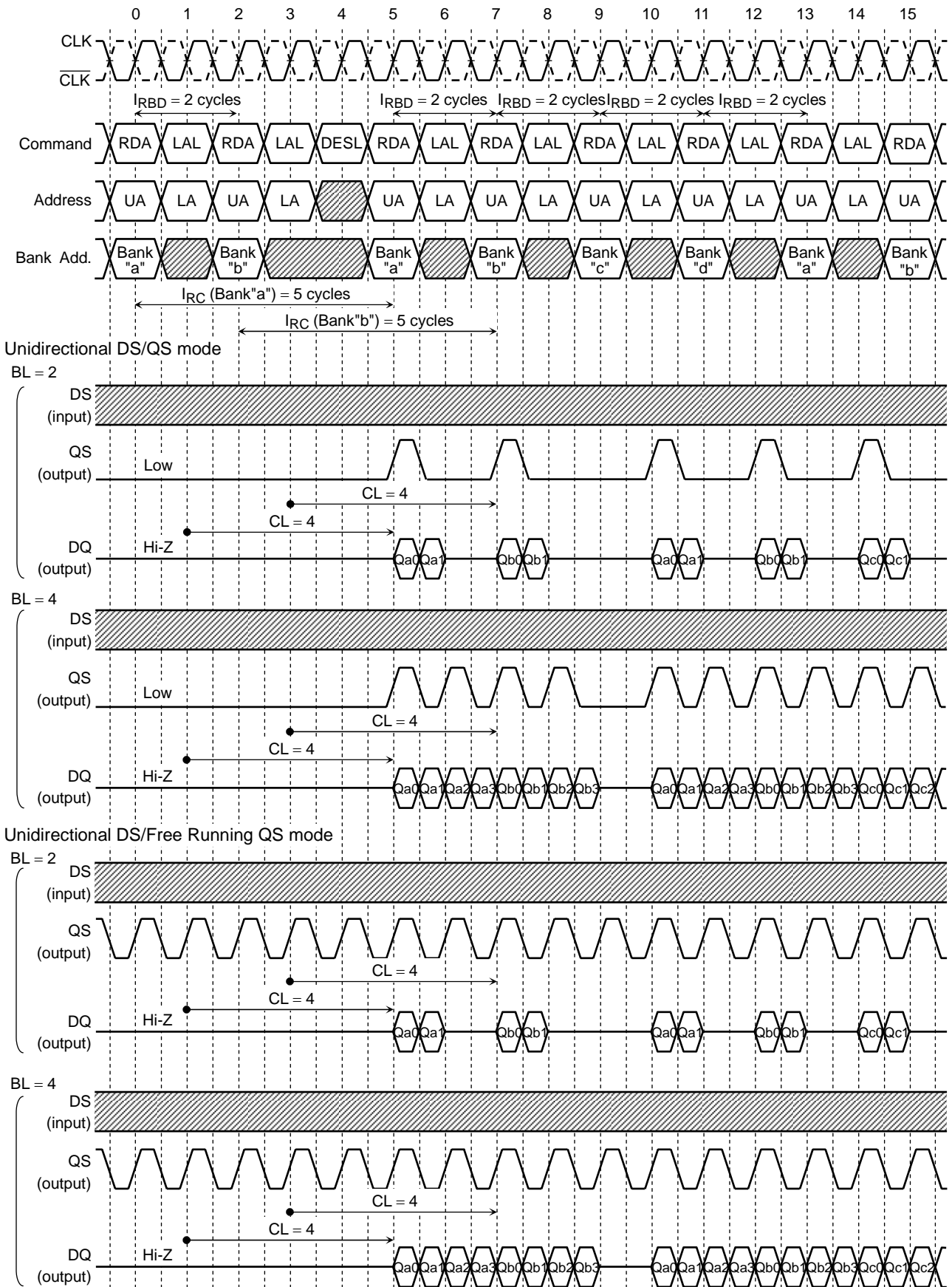
Unidirectional DS/QS mode



Unidirectional DS/Free Running QS mode

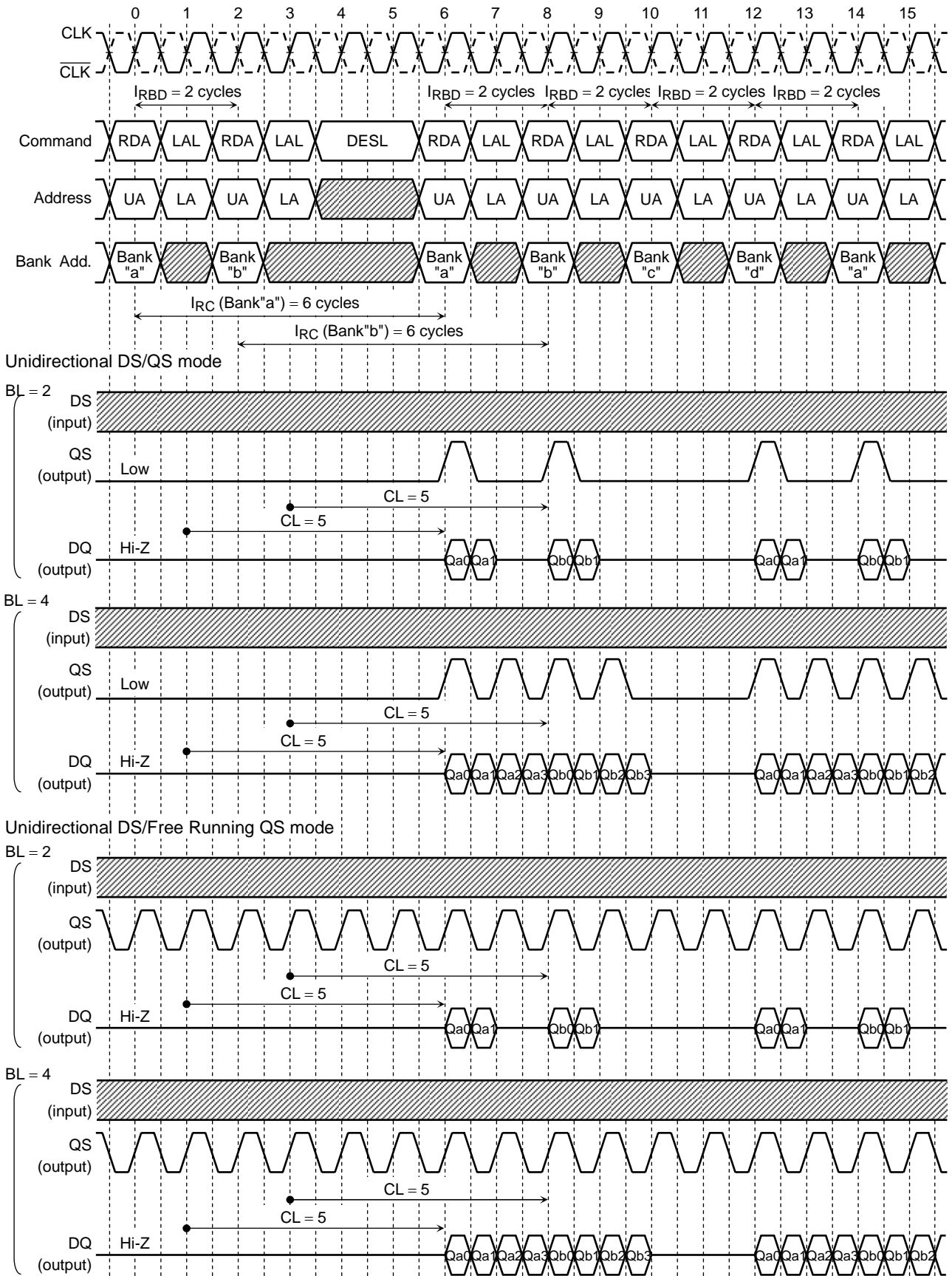


マルチプルバンクリードタイミング (CL = 4)



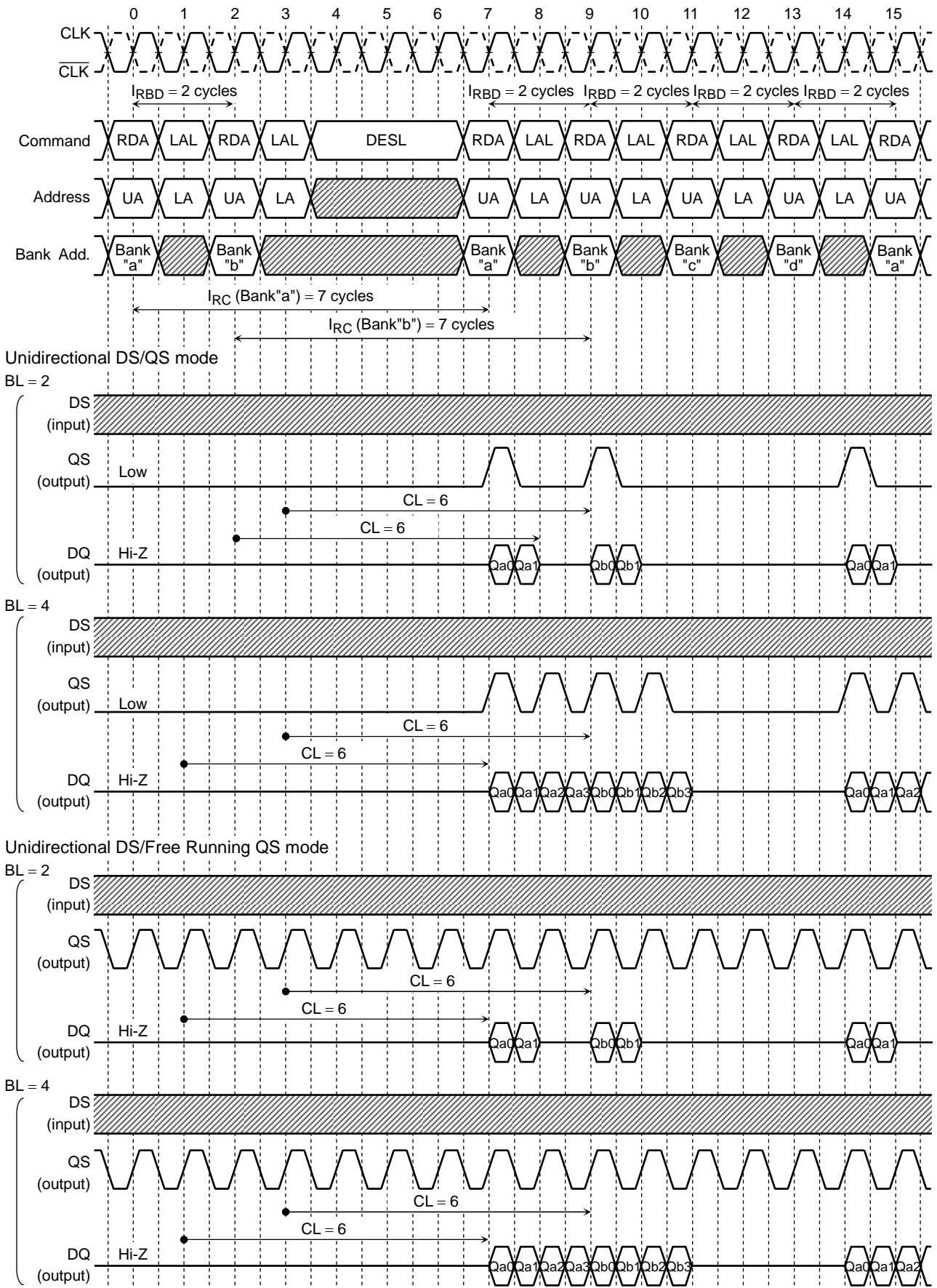
注: 同一バンクに対してはIRC規定を満たさなければなりません。

マルチバンクリードタイミング (CL = 5)



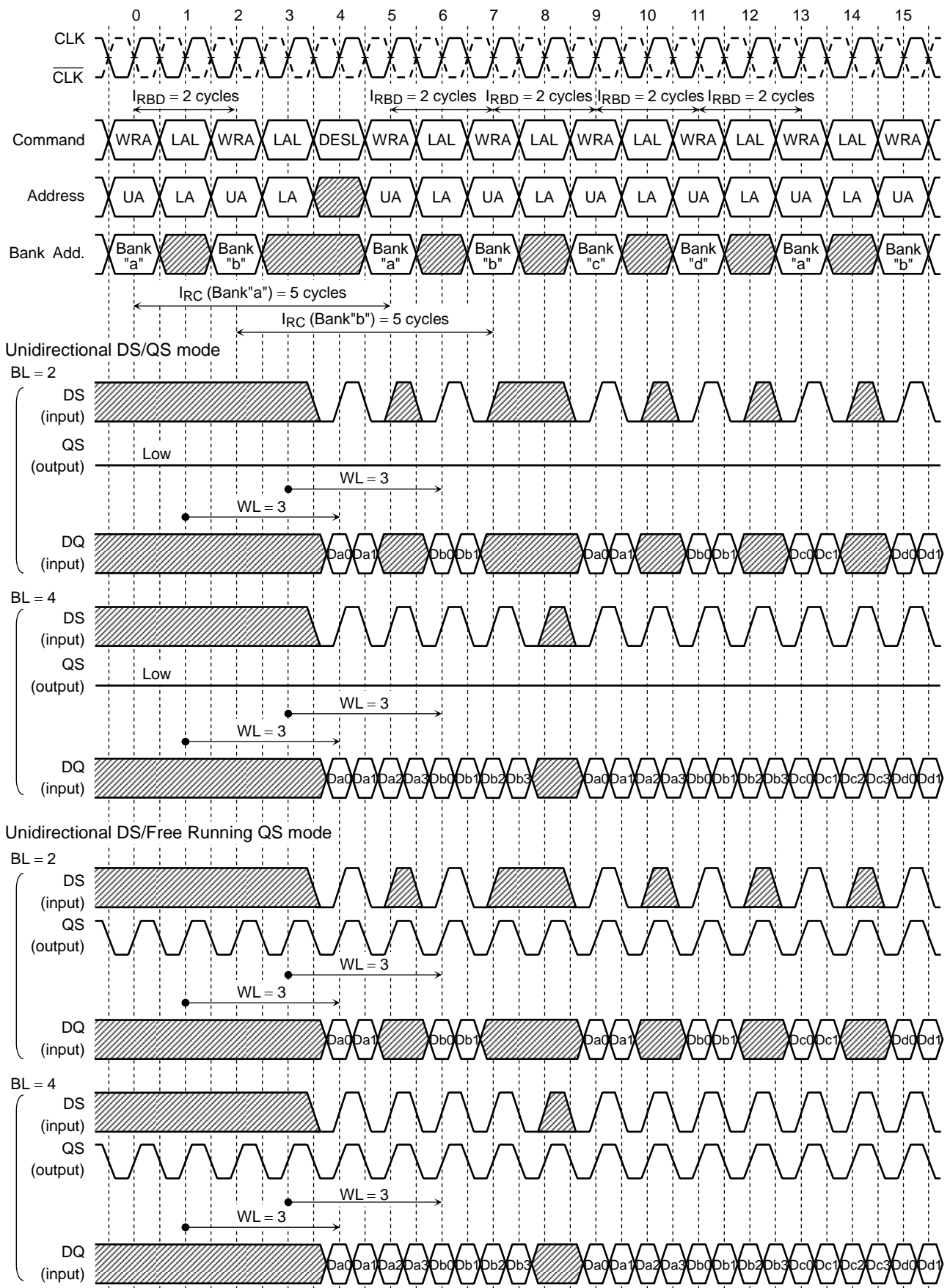
注: 同一バンクに対しては IRC 規定を満たさなければなりません。

マルチプルバンクリードタイミング (CL = 6)



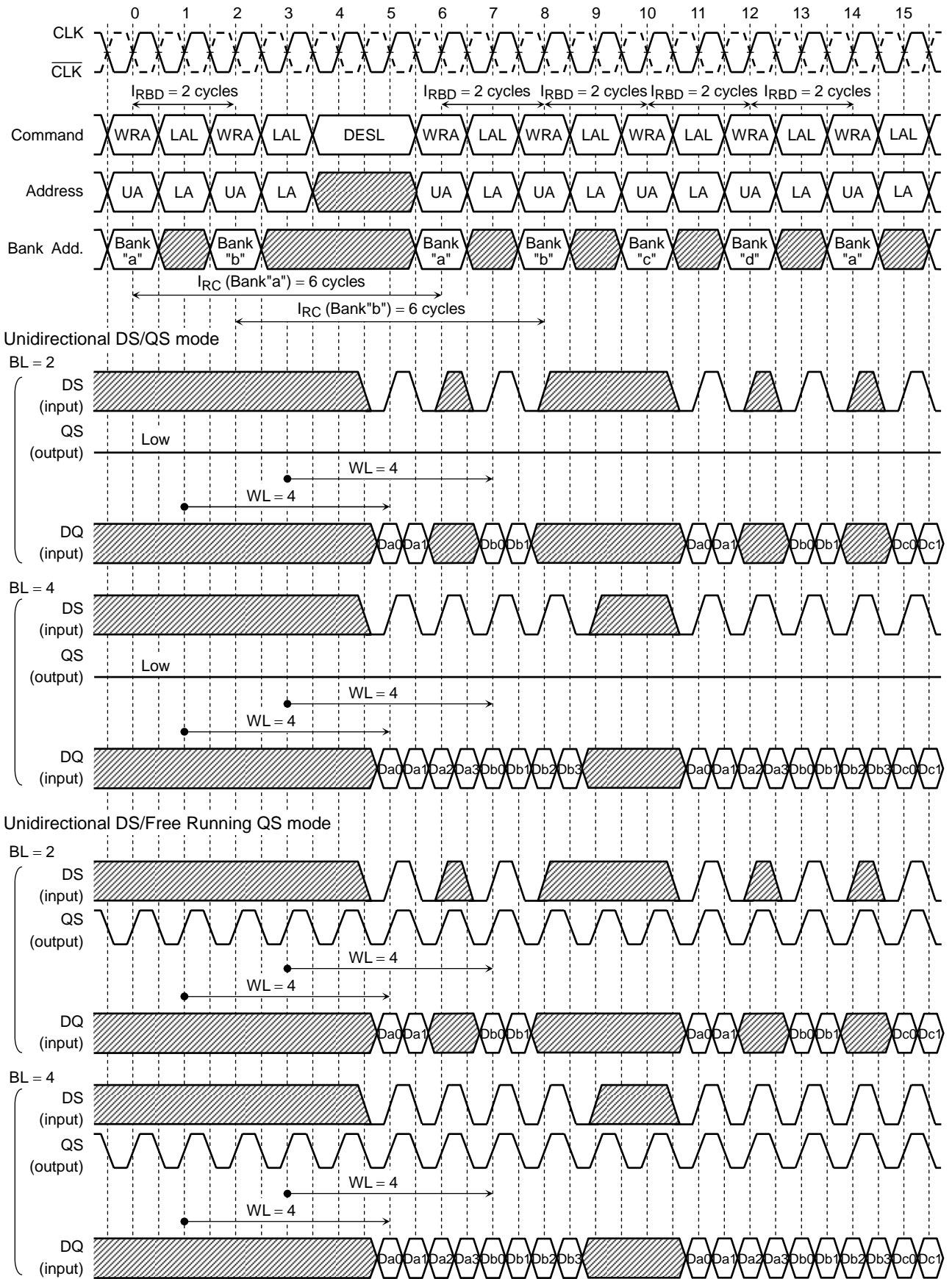
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチプルバンクライトタイミング (CL = 4)



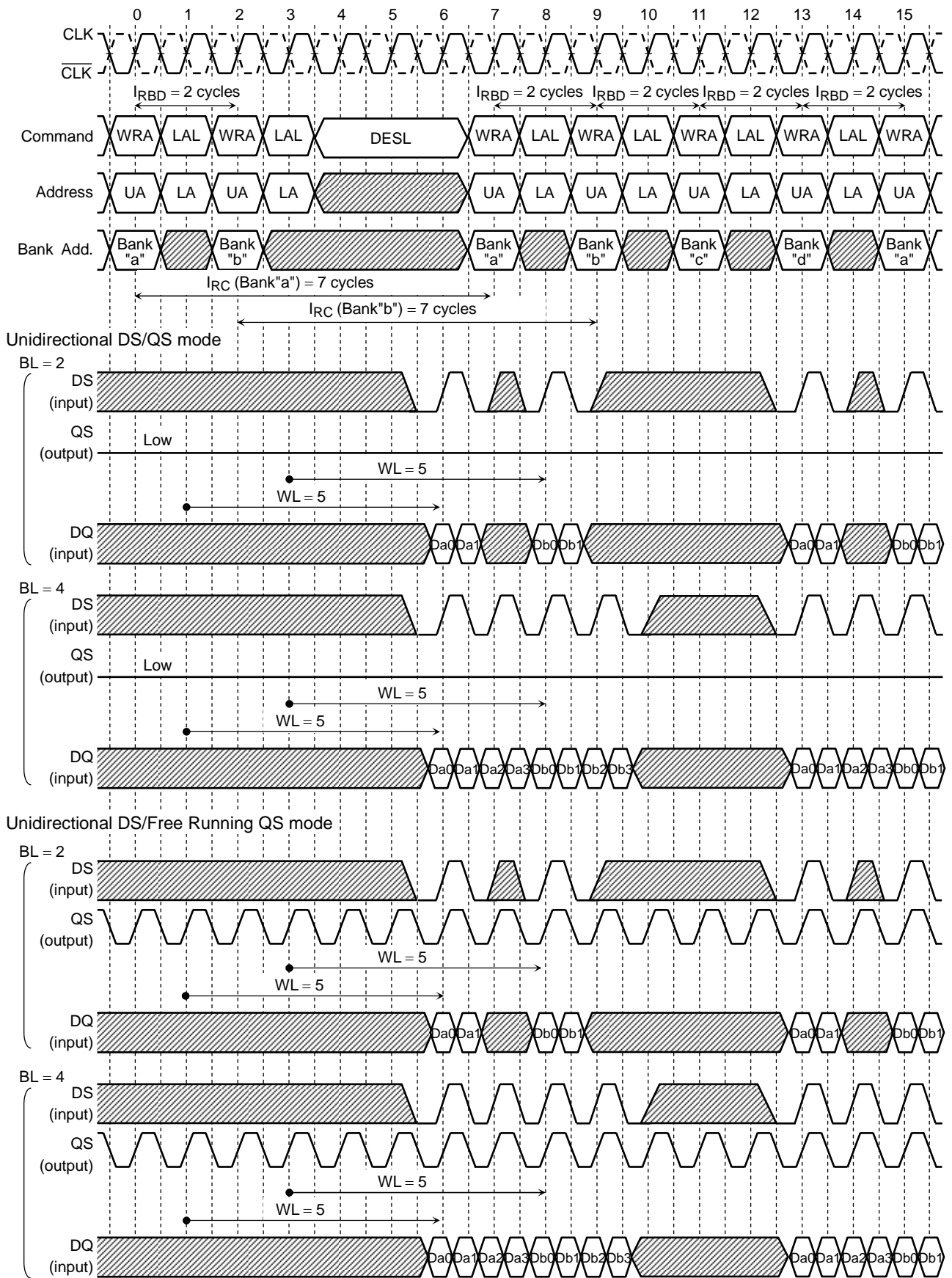
注: 同一バンクに対してはIRC規定を満たさなければなりません。

マルチバンクライトタイミング (CL = 5)



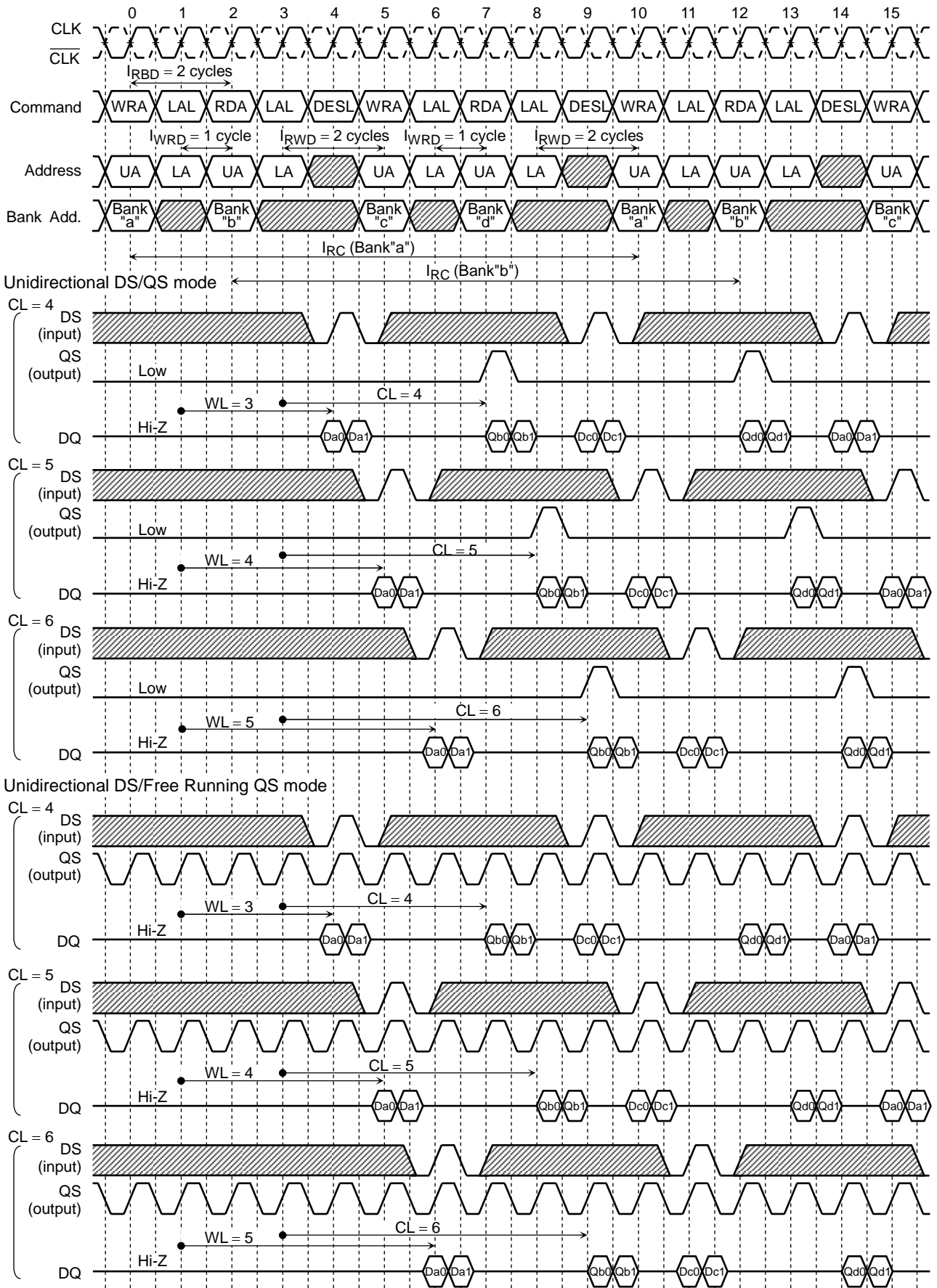
注: 同一バンクに対してはIRC規定を満たさなければなりません。

マルチバンクライトタイミング (CL = 6)



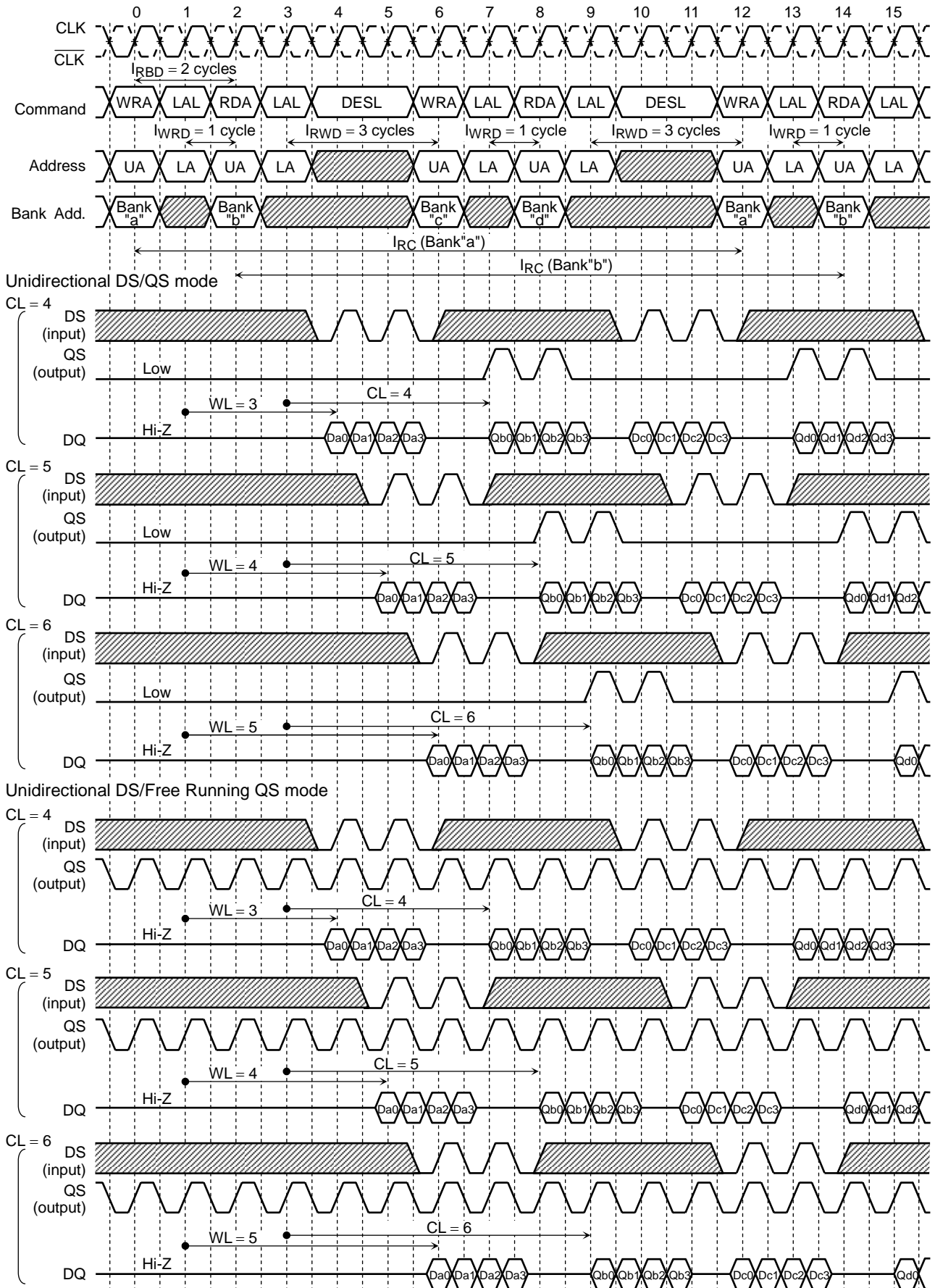
注: 同一バンクに対してはIRC規定を満たさなければなりません。

マルチバンクリード/ライトタイミング (BL = 2)



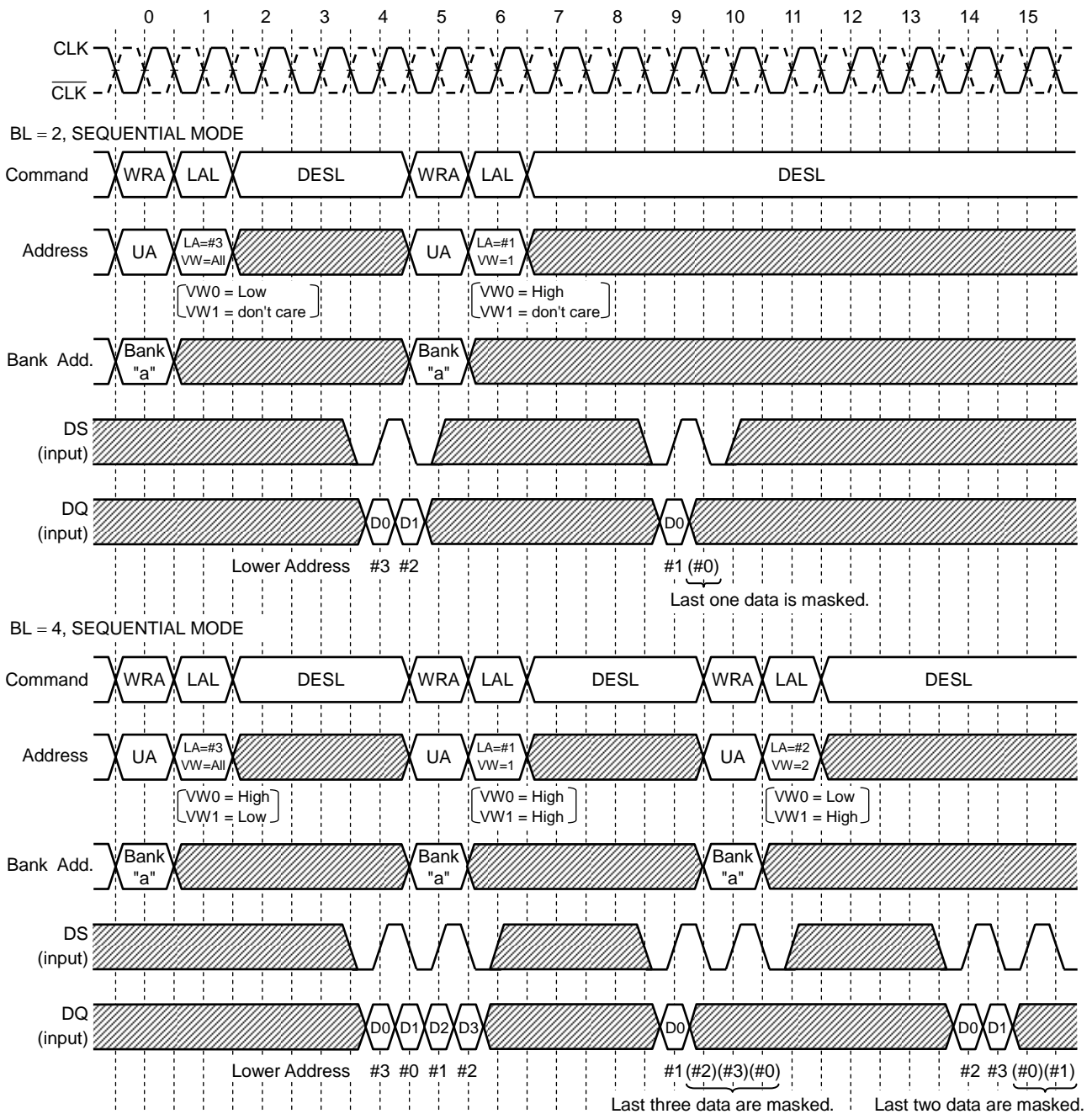
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクリード/ライトタイミング (BL = 4)



注: 同一バンクに対してはIRC規定を満たさなければなりません。

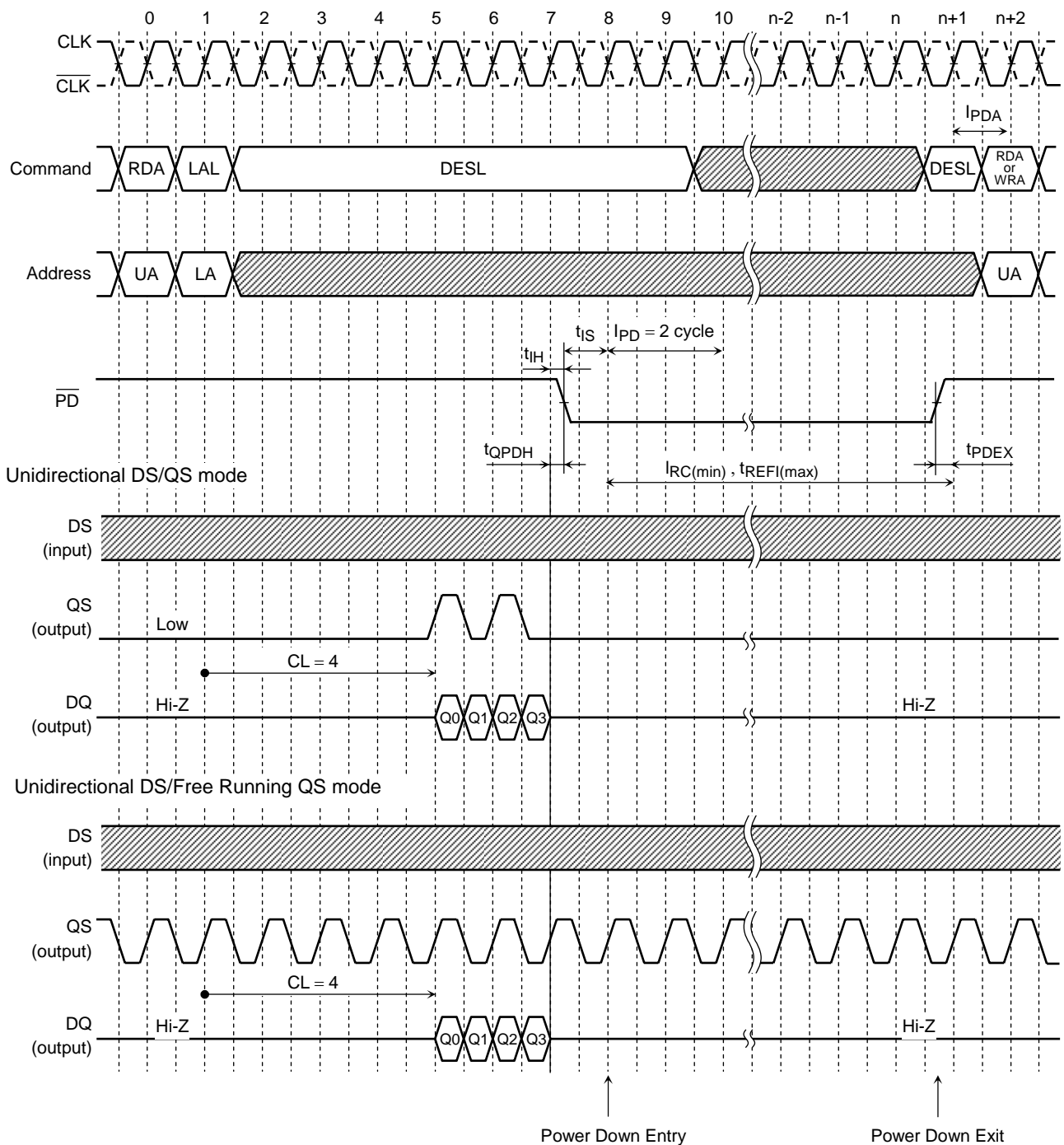
バリアブルライト(VW)によるライトコントロール (CL = 4)



注: バースト長後半のデータがマスクされる場合でも、DSの入力はMRSで設定されたバースト長分まで継続して下さい。

パワーダウンタイミング (CL = 4, BL = 4)

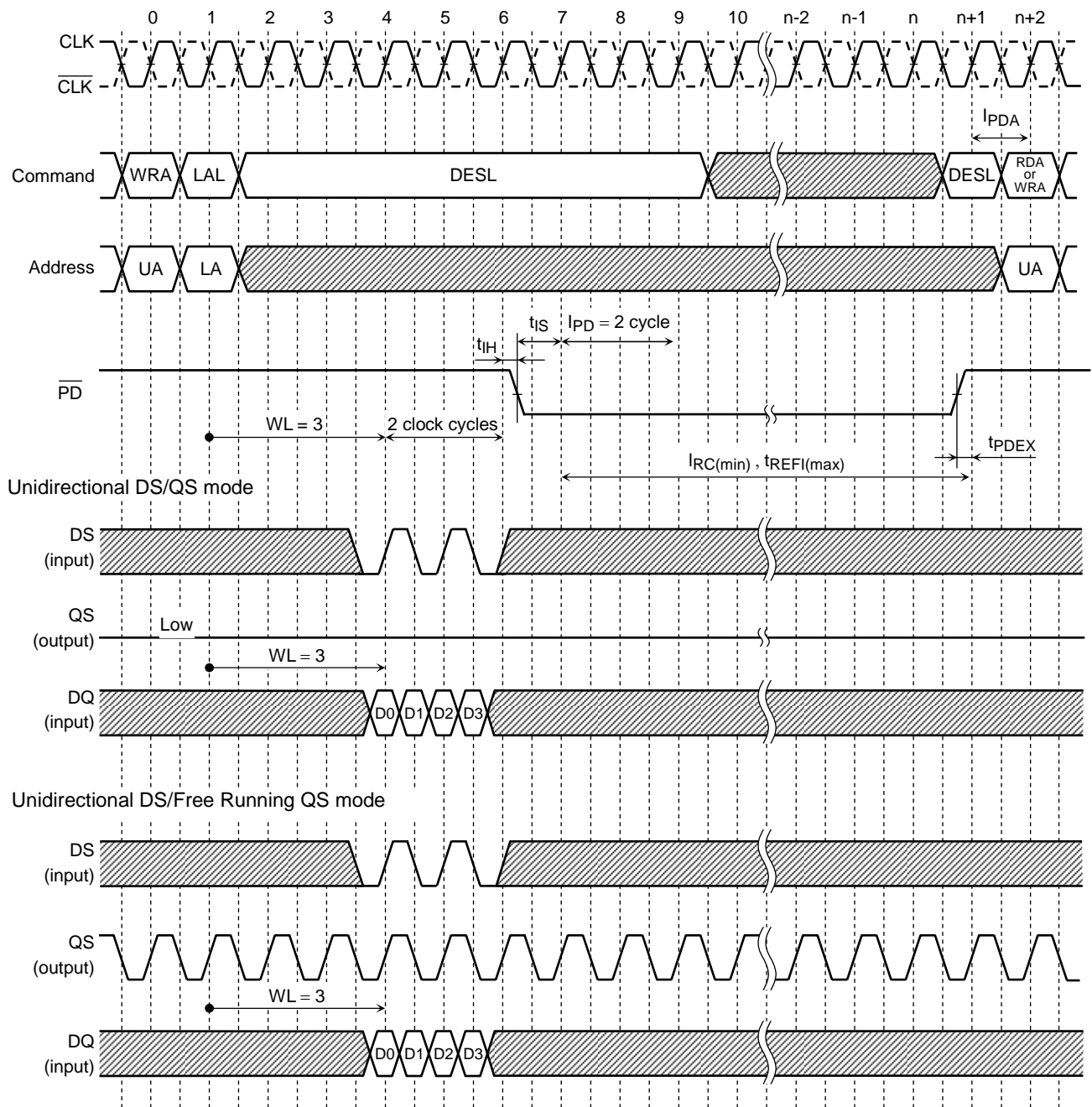
リードサイクルからのパワーダウンタイミング



注: \overline{PD} はバースト出力データが終了するまでハイ状態を維持して下さい。
 \overline{PD} はデータ保持の為 $t_{REFI(max)}$ 規定内でハイ状態にして下さい。
 パワーダウンモード中は、 \overline{PD} をロー状態にし、安定したクロック信号を入力して下さい。
 \overline{PD} がハイ状態に遷移した後の I_{PD} サイクル後にコマンド入力が有効となります。

パワーダウンタイミング (CL = 4, BL = 4)

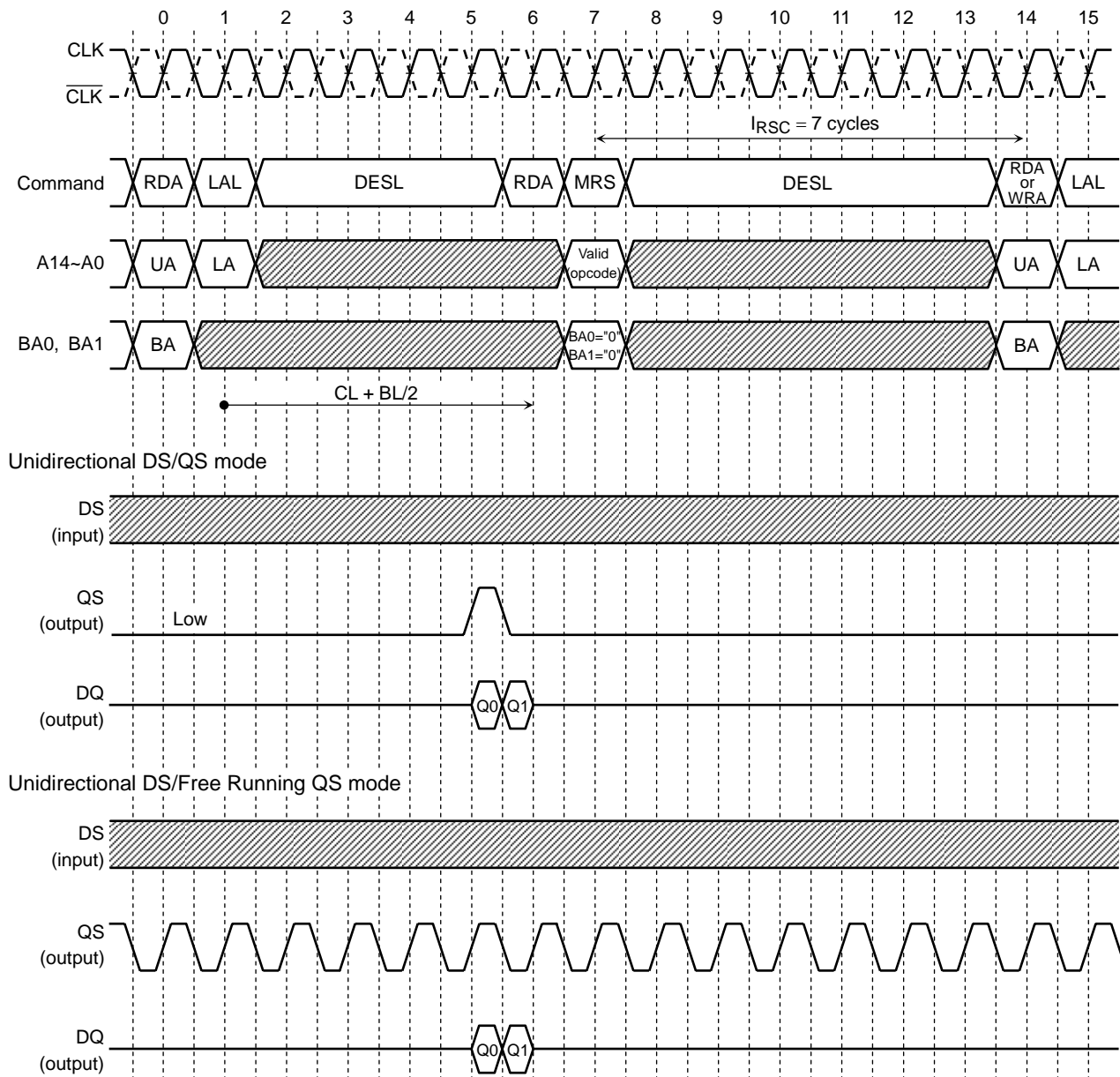
ライトサイクルからのパワーダウンタイミング



注: \overline{PD} は LAL コマンドから $WL+2$ クロックまでハイ状態を維持して下さい。
 \overline{PD} はデータ保持の為 $t_{REFI}(\max)$ 規定内でハイ状態にして下さい。
 パワーダウンモード中は、 \overline{PD} をロー状態にし、安定したクロックを入力して下さい。
 \overline{PD} がハイ状態に遷移した後の I_{PDA} サイクル後にコマンド入力の有効となります。

モードレジスタセットタイミング (CL = 4, BL = 2)

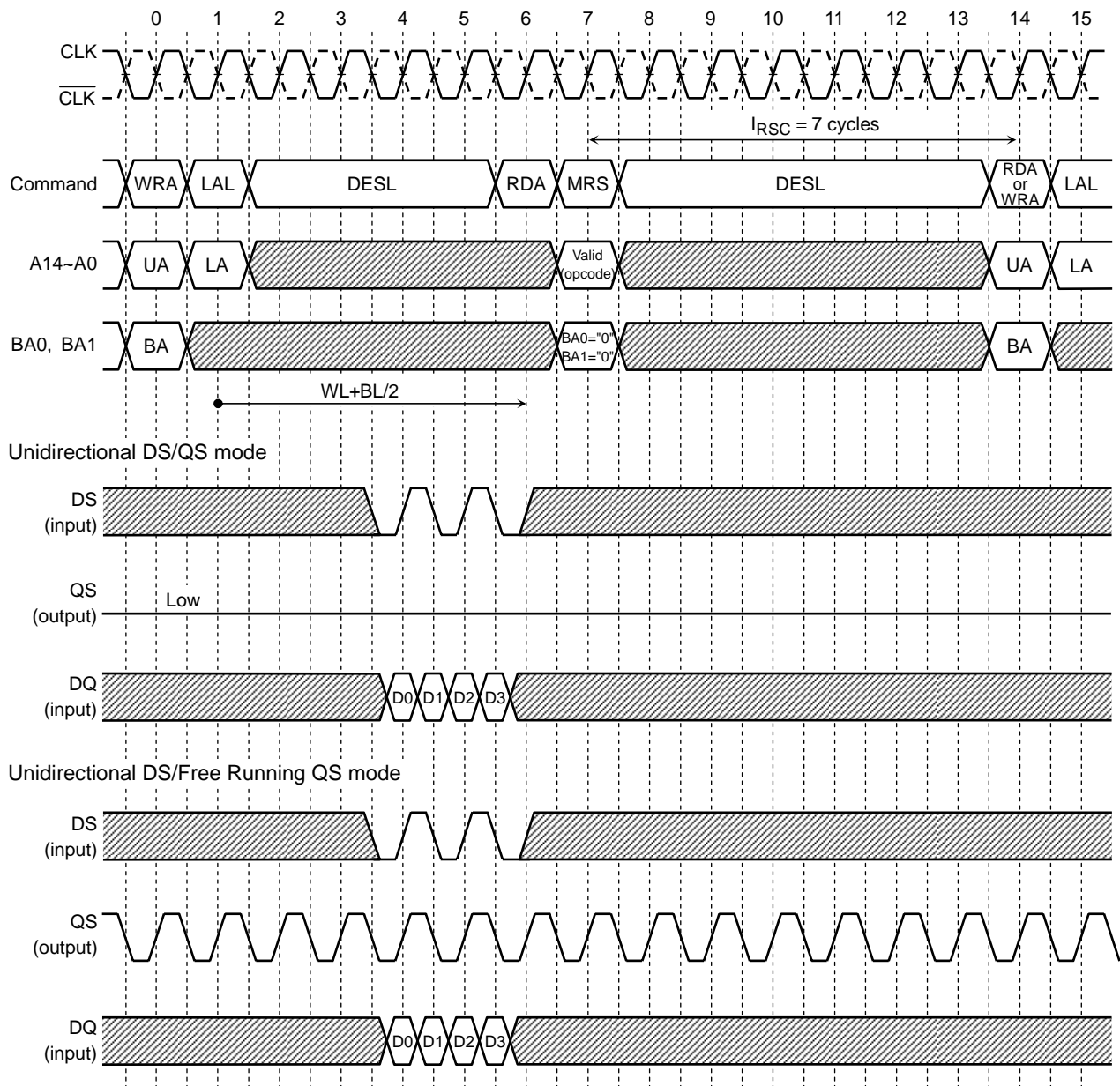
リード動作からのモードレジスタセット動作



注: リード動作の RDA に続く LAL から MRS の RDA コマンドまでの最小間隔は $\text{CL} + \text{BL}/2$ クロックです。

モードレジスタセットタイミング (CL = 4, BL = 4)

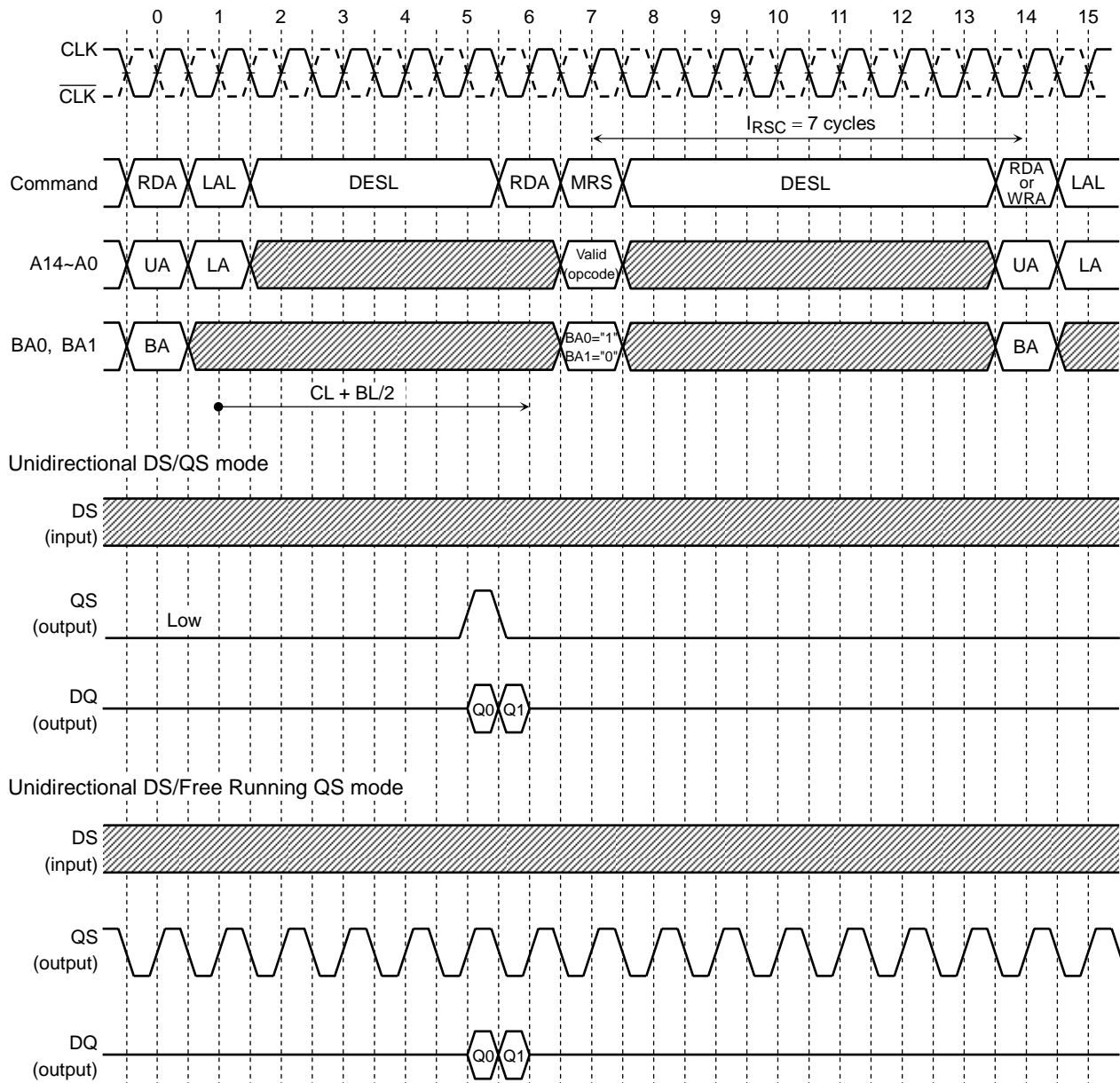
ライト動作からのモードレジスタセット動作



注: ライト動作の WRA に続く LAL から MRS の RDA コマンドまでの最小間隔は WL+BL/2 クロックです。

エクステンディッドモードレジスタセットタイミング(CL = 4, BL = 2)

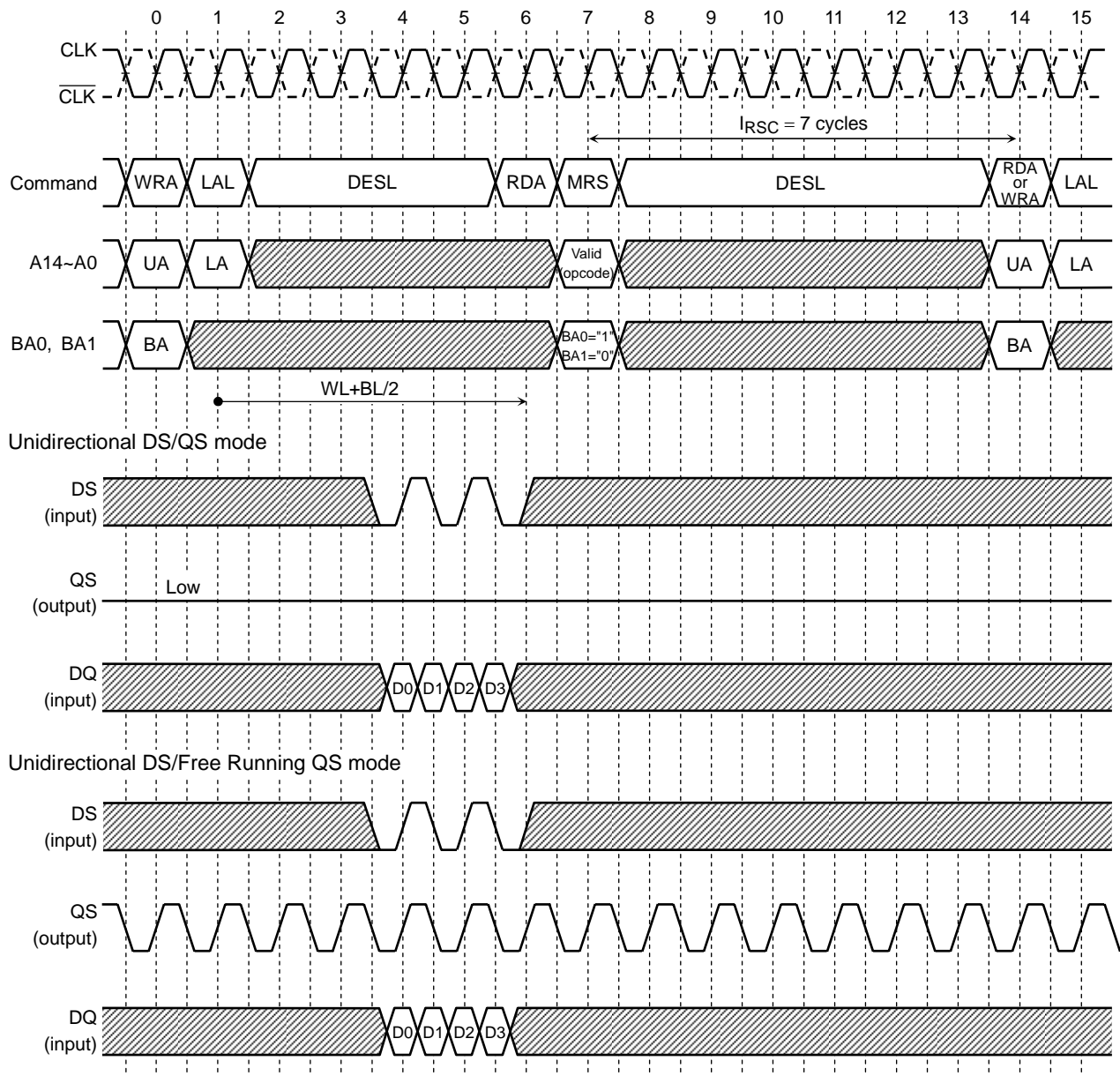
リード動作からのエクステンディッドモードレジスタセット動作



注: リード動作の RDA に続く LAL から MRS の RDA コマンドまでの最小間隔は $CL + BL/2$ クロックです。
 EMRS で DQ ストローブモードを変える場合、QS 出力は I_{RSC} の間無効となります。
 通常動作時には、DLL スイッチをイネーブルモードにセットしなければなりません。
 初期 EMRS 設定後 DLL 安定時間が必要です。電源投入順序を参照して下さい。

エクステンディッドモードレジスタセットタイミング (CL = 4, BL = 4)

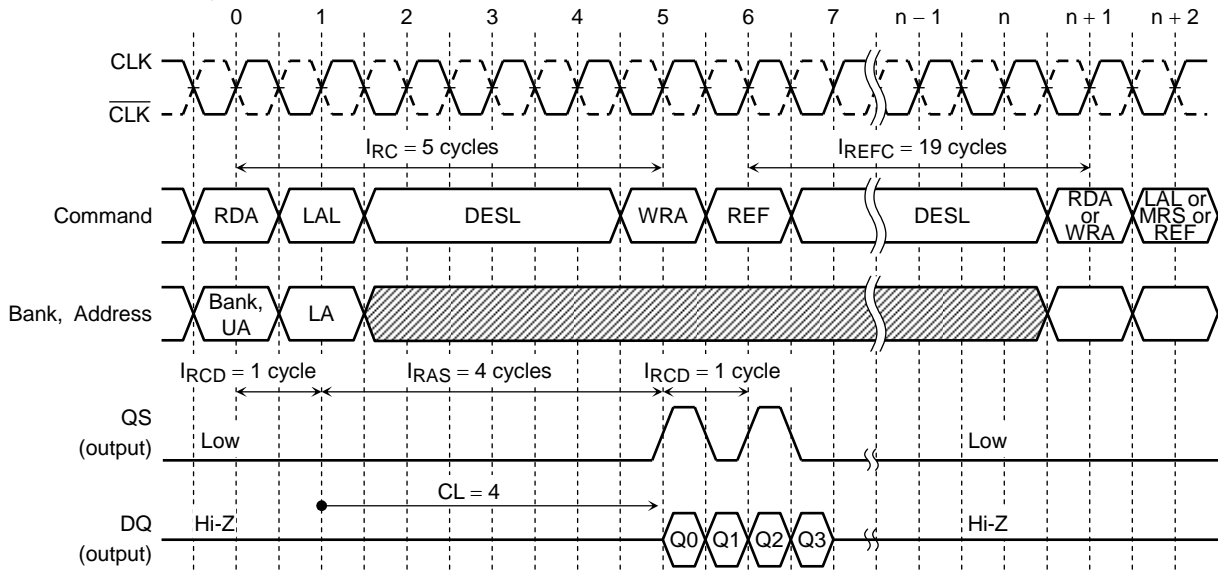
ライト動作からのエクステンディッドモードレジスタセット動作



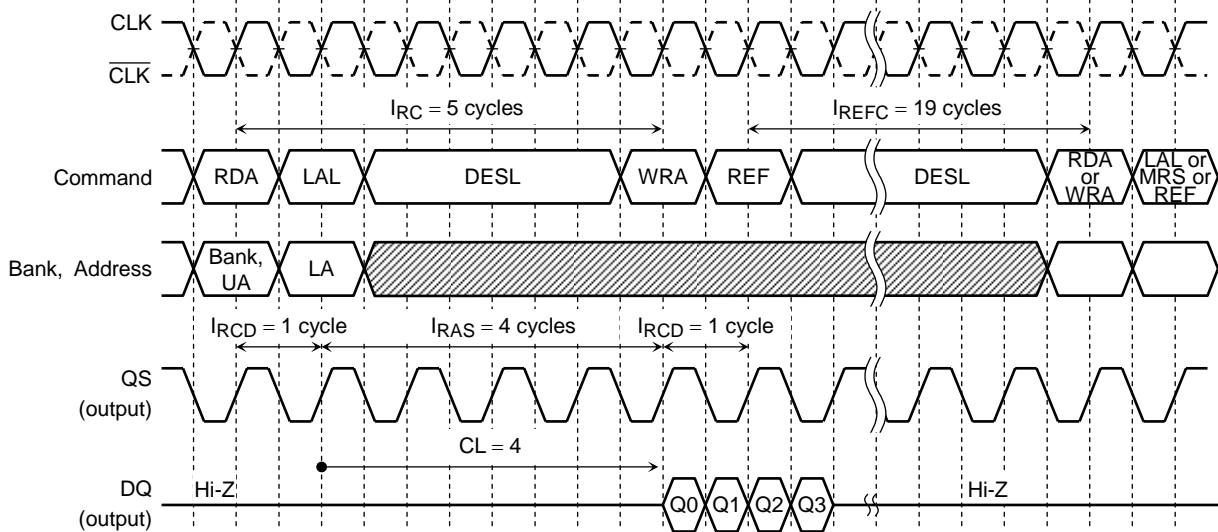
注: EMRSでDQストローブモードを変える場合、QS出力は I_{RSC} の間無効となります。
 通常動作時には、DLLスイッチをイネーブルモードにセットしなければなりません。
 初期EMRS設定後DLL安定時間が必要です。電源投入順序を参照して下さい。
 ライト動作のWRAに続くLALからMRSのRDAコマンドまでの最小間隔は $WL+BL/2$ クロックです。

オートリフレッシュタイミング (CL = 4, BL = 4)

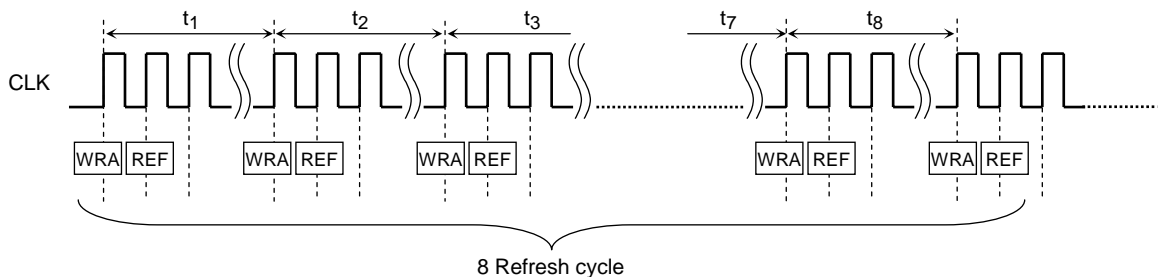
Unidirectional DS/QS mode



Unidirectional DS/Free Running QS mode



注: CL = 4 の場合、IREFC は 19 クロックサイクル必要です。
 オートリフレッシュ動作を実行する場合は、tREFI で規定されているオートリフレッシュコマンドの総合的な平均間隔を満たさなければなりません。
 tREFI は任意のサンプリングされた 8 回のオートリフレッシュにおけるコマンド平均間隔時間です。

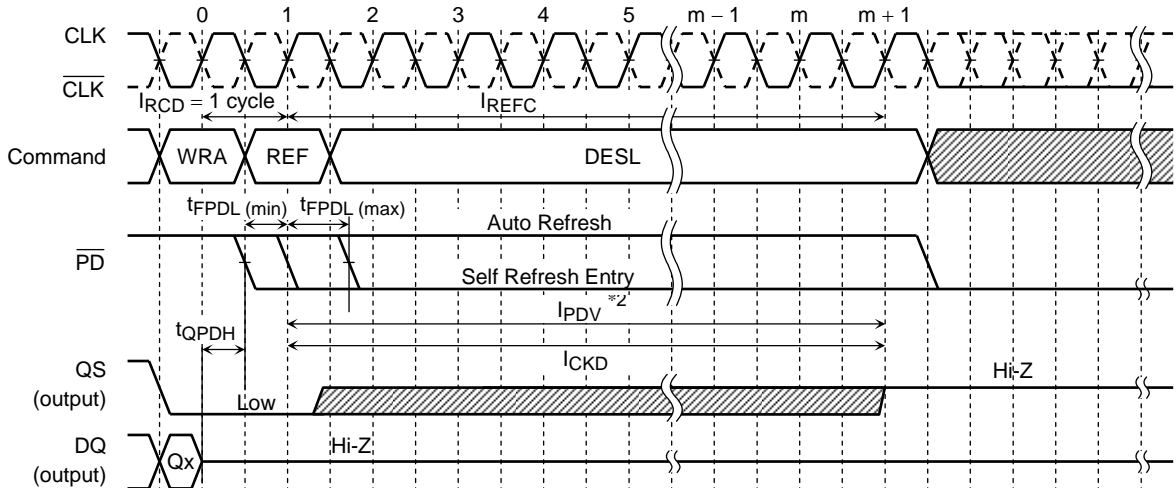


$$t_{REFI} = \frac{\text{Total time of 8 Refresh cycle}}{8} = \frac{t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8}{8}$$

tREFI はリードやライト動作よりも活性化する領域が大きいリフレッシュ動作で部分的に電流が集中する事を避ける為に規定されています。

セルフリフレッシュエントリータイミング

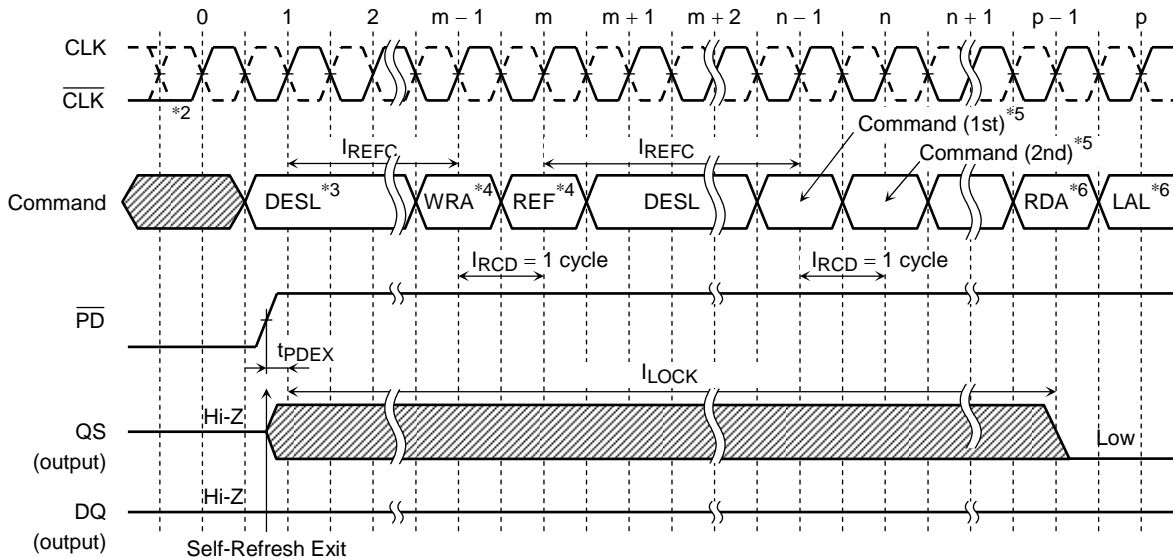
Unidirectional DS/QS mode



- 注:
1. 部分は不定レベルを示します。
 2. セルフリフレッシュエントリーするには、tFPDL(min)とtFPDL(max)の間でローにして下さい。もし I_{PDV} 後にローにするとオートリフレッシュ後にパワーダウンモードにエントリーされます。tFPDL(max)とI_{PDV}の間にPDが立ち下がった場合、TC59LM818DMGはオートリフレッシュ動作後セルフリフレッシュモードまたはパワーダウンモードにエントリーされます。
 3. セルフリフレッシュエントリーでPDがロー状態になっていてもREFコマンドから少なくとも I_{CKD}分はクロック入力続ける必要があります。
 4. ライト動作後にセルフリフレッシュエントリーする場合、WRA後のLALコマンドからREFコマンドへの最小間隔はライトレイテンシ(WL)+2クロックです。

セルフリフレッシュイグジットタイミング

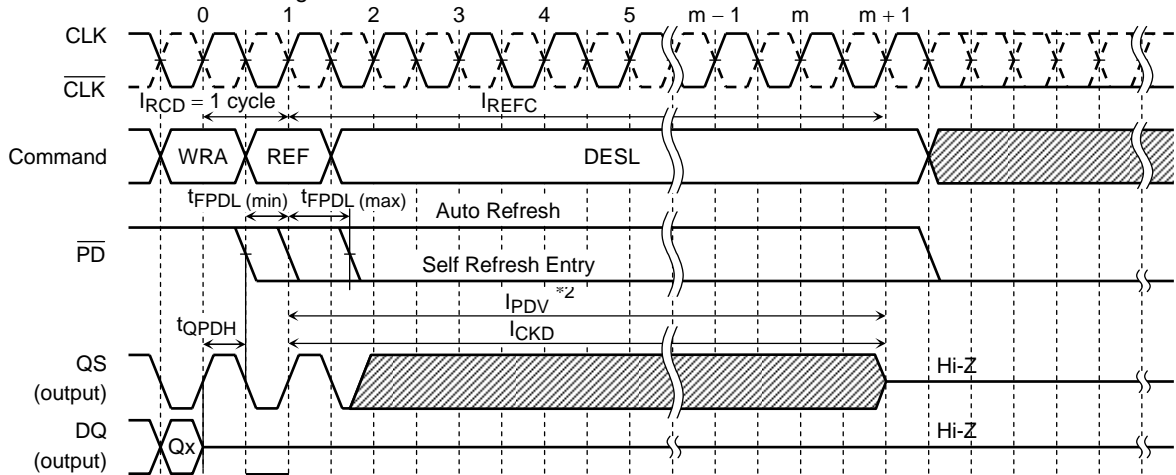
Unidirectional DS/QS mode



- 注:
1. 部分は不定レベルを示します。
 2. セルフリフレッシュ中にクロック入力を停止されている場合は、PDをハイ状態にする前にクロック入力を安定させてください。
 3. PDをハイ状態にした後IREFC相当分のDESLコマンドを入力してください。
 4. セルフリフレッシュイグジット直後、いかなる他の動作を実行するよりも前にオートリフレッシュサイクルを一回実行する必要があります。
 5. リードコマンドを除く他のコマンドはIREFC後から入力可能です。
 6. リードコマンド(RDA+LAL)はILOCK後から入力可能です。

セルフリフレッシュエントリータイミング

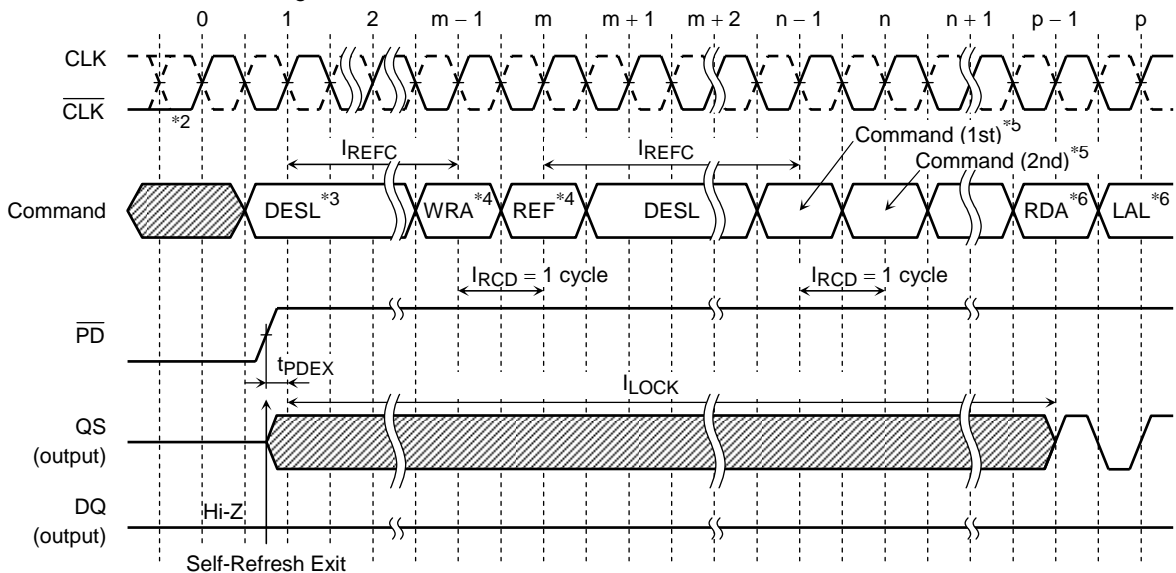
Unidirectional DS/Free Running QS mode



- 注:
1. 斜線部分は不定レベルを示します。
 2. セルフリフレッシュエントリーするには、 $t_{FPDL}(min)$ と $t_{FPDL}(max)$ の間でローにしてください。もし I_{PDV} 後にローにするとオートリフレッシュ後にパワーダウンモードにエントリーされます。 $t_{FPDL}(max)$ と I_{PDV} の間に \overline{PD} が立ち下がった場合、TC59LM818DMGはオートリフレッシュ動作後セルフリフレッシュモードまたはパワーダウンモードにエントリーされます。
 3. セルフリフレッシュエントリーで \overline{PD} がロー状態になっていてもREFコマンドから少なくとも I_{CKD} 分はクロック入力続ける必要があります。
 4. ライト動作後にセルフリフレッシュエントリーする場合、WRA後のLALコマンドからREFコマンドへの最小間隔はライトレイテンシ(WL)+2クロックです。

セルフリフレッシュイグジットタイミング

Unidirectional DS/Free Running QS mode



- 注:
1. 斜線部分は不定レベルを示します。
 2. セルフリフレッシュ中にクロック入力を停止されている場合は、 \overline{PD} をハイ状態にする前にクロック入力を安定させてください。
 3. \overline{PD} をハイ状態にした後 I_{REFC} 相当分のDESLコマンドを入力してください。
 4. セルフリフレッシュイグジット直後、いかなる他の動作を実行するよりも前にオートリフレッシュサイクルを一回実行する必要があります。
 5. リードコマンドを除く他のコマンドは I_{REFC} 後から入力可能です。
 6. リードコマンド(RDA+LAL)は I_{LOCK} 後から入力可能です。
 7. QS出力はセルフリフレッシュイグジットからDLL lockまで不定です。

機能説明

Network FCRAM™

FCRAM™ は Fast Cycle Random Access Memory の略語です。FCRAM™ は高速ランダムコアアクセス、ローレイテンシ、低消費電力、高速データ転送能力を備えたメモリです。

ピン機能

クロック入力: CLK & $\overline{\text{CLK}}$

CLK と $\overline{\text{CLK}}$ 入力は同期式動作の基準クロックとして使用されます。 $\overline{\text{CS}}$ 、FN と全アドレス入力は、CLK の立ち上がりエッジと $\overline{\text{CLK}}$ の立ち下がりエッジの交差点で取り込まれます。QS と DQ 出力データは、CLK と $\overline{\text{CLK}}$ の交差点から出力されます。差動クロックのタイミング基準点は、CLK と $\overline{\text{CLK}}$ の遷移信号が交差する点になります。

パワーダウン: $\overline{\text{PD}}$

$\overline{\text{PD}}$ 入力はアワードアウン及びセルフリフレッシュモードの制御に行います。 $\overline{\text{PD}}$ 入力は、標準 SDRAM の CKE 入力のようなクロックサスペンド機能は備えていません。そのため、リードやライト動作中に $\overline{\text{PD}}$ を低レベルにする事は避けてください。

チップセレクト&ファンクションコントロール: $\overline{\text{CS}}$ & FN

$\overline{\text{CS}}$ と FN 入力は FCRAM™ の動作コマンドを形成するための制御信号です。各動作モードは、 $\overline{\text{CS}}$ と FN 入力による 2 つの連続した動作コマンドの組み合わせによって決定します。

バンクアドレス: BA0 & BA1

BA0 と BA1 入力は、RDA コマンドや WRA コマンド入力時に取り込まれ、動作するバンクが選択されます。また、モードレジスタセットコマンドにおいて、どのモードレジスタへセットするかを選択します。(MRS / EMRS)

	BA0	BA1
Bank #0	0	0
Bank #1	1	0
Bank #2	0	1
Bank #3	1	1

アドレス入力: A0~A14

アドレス入力は、各バンクにおけるメモリセル領域の任意アドレスへアクセスするために使われます。アップアドレスはバンクアドレスと共に RDA や WRA コマンド入力時に取り込まれ、ロワードアドレスは LAL コマンド入力時に取り込まれます。A0~A14 入力は、レギュラーモードレジスタセットやエクステンディッドモードレジスタセットにおけるデータセットにも使用されます。

I/O 構成	アップアドレス	ロワードアドレス
18 ビット	A0~A14	A0~A6

データ入出力: DQ0~DQ17

DQ0~DQ17 の入力データは、DS 入力信号の立ち上がり/立ち下りの両エッジに同期して取り込まれます。DQ0~DQ17 の出力データは、QS 出力信号の立ち上がり/立ち下りの両エッジに同期して出力されます。

データストロープ: DS, QS

データストロープの方法はエクステンディッドモードレジスタセットにより選択されます。

(1) **Unidirectional DS / QS モード**

DS は入力、QS は出力信号です。ライト動作では DS の立ち上がり/立ち下りの両エッジがライトデータの取り込みのために利用されます。リード動作では QS の立ち上がり/立ち下りの両エッジが出力データのストロープ信号として使われます。ライト、オートリフレッシュ、そして NOP サイクルでは QS は常にローレベル、セルフリフレッシュ中では、ハイインピーダンス状態となります。

(2) **Unidirectional DS / Free running QS モード**

DS は入力、QS は出力信号です。ライト動作では DS の立ち上がり/立ち下りの両エッジがライトデータの取り込みのために利用され、リード動作では QS の立ち上がり/立ち下りの両エッジが出力データのストロープ信号として使われます。QS はセルフリフレッシュを除き、常にトグル信号となっています。このストロープタイプは"Pin to pin"接続アプリケーションに容易に利用できます。

電源端子: VDD、VDDQ、VSS、VSSQ

VDD と VSS はメモリコアと周辺回路の電源端子です。VDDQ と VSSQ は出力バッファ用の電源端子です。

入力電圧: VREF

VREF は入力における基準電圧です。

コマンド機能と動作

TC59LM818DMG は、2 つの連続したコマンド入力方式を採用しています。パワーダウンモードを除く各動作モードは、スタンドバイ状態のバンクに対する 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決定されます。

リード動作 (1 番目のコマンド + 2 番目のコマンド = RDA + LAL)

アイドル状態からのバンクに対してバンクアドレス/アッパーアドレスと共に RDA コマンドを入力する事により、バンクアドレスで指定されたバンクはリードモードに入ります。そして、RDA コマンド入力後の次のクロックサイクル(CLK 立ち上がりエッジ)においてロワーアドレスと共に LAL コマンドを入力することにより、QS 出力信号の立ち上がり/立ち下りの両エッジに同期して連続的にデータが出力されます(バーストリード動作)。最初の有効なリードデータは、LAL コマンドの入力されたクロックから CAS レイテンシ後に出力され、バースト長分のデータが連続して出力されます。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。リード動作中のバンクは、RDA コマンドから lrc 後に自動的にアイドル状態に戻ります。

ライト動作 (1 番目のコマンド + 2 番目のコマンド = WRA + LAL)

アイドル状態のバンクに対してバンクアドレス/アッパーアドレスと共に WRA コマンドを入力する事により、バンクアドレスで指定されたバンクはライトモードに入ります。そして、WRA コマンド入力後の次のクロックサイクル(CLK 立ち上がり)においてロワーアドレスと共に LAL コマンドを入力する事で、入力データは DS 入力信号の立ち上がり/立ち下りの両エッジに同期して連続的にラッチされます(バーストライト動作)。データと DS の入力信号は LAL コマンドが入力されたクロックから CAS レイテンシ-1 後のクロック入力と共に供給する必要があります。ライトのデータ長は LAL コマンド時のバリアブルライト(VW)の指定で決まります。DS はバースト長分供給してください。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。ライト動作中のバンクは、WRA コマンドから lrc 後に自動的にアイドル状態に戻ります。

オートリフレッシュ動作 (1 番目のコマンド + 2 番目のコマンド = WRA + REF)

TC59LM818DMG は、標準 SDRAM と同様にリフレッシュ動作が必要です。WRA コマンドに続けて REF コマンドを入力する事でオートリフレッシュ動作が開始されます。オートリフレッシュモードは、全てのバンクがアイドル状態である時のみ有効となります。注意すべき点として、WRA コマンドで開始されたライトモードは、WRA コマンドの次のクロック(CLK 立ち上がり)で LAL コマンドの代わりに REF コマンドが入力される事でキャンセルされます。オートリフレッシュコマンドから次のコマンドまでは lrefc で定義されています。また、オートリフレッシュコマンド入力の平均間隔については注意が必要です。オートリフレッシュコマンドの入力は、最大 3.9 μ s に一回必要です。集中リフレッシュあるいはランダムな分散リフレッシュの場合、任意の 8 回連続したオートリフレッシュコマンドは平均間隔が常に 400ns 以上になるようにしてください。この場合、3.2 μ s(8 \times 400ns)以内で実行可能なオートリフレッシュサイクル数は最大 8 回までになります。

セルフリフレッシュ動作 (1 番目のコマンド + 2 番目のコマンド = WRA + REF with $\overline{PD} = "L"$)

セルフリフレッシュ動作では、内部タイマを用いてリフレッシュ動作が自動的に実行されます。全てのバンクがアイドル状態でかつ全ての出力がハイインピーダンス状態の時にセルフリフレッシュコマンドを入力することによりセルフリフレッシュモードに入ります。セルフリフレッシュモードに入る為には、WRA コマンドに続く REF コマンドから tFPDL で定義されている時間内に \overline{PD} を "Low" にする必要があります。リフレッシュの周期を満足するためにセルフリフレッシュエントリコマンドは、最後に挿入されたオートリフレッシュコマンドから 3.9 μ s 以内に入力する必要があります。一度セルフリフレッシュに入ると lrefc の期間分 DESL コマンドを続けなければなりません。加えて、クロック入力は lckd で定義される期間継続して下さい。PD をロー状態に保っている間だけセルフリフレッシュモードが維持されます。セルフリフレッシュモード中は、PD を除く全ての入出力バッファは非活性状態になりますので、消費電力を抑えることができます。セルフリフレッシュモードイグジットに関しては、PD は DESL コマンドと共に "Low" から "High" へ切り替えて下さい。DESL コマンドは lrefc で定義されるクロック数分連続して入力する必要があります。セルフリフレッシュイグジットは非同期動作です。セルフリフレッシュイグジットから lrefc 後に 1 回オートリフレッシュコマンドを入力する必要があります。

パワーダウンモード ($\overline{PD} = "L"$)

全てのバンクがアイドル状態でかつ全ての出力がハイインピーダンス状態の時に、 \overline{PD} を "Low" とすることでパワーダウンモードになります。パワーダウンモードに入ると PD、CLK、 \overline{CLK} 、QS を除く全ての入出力バッファは一定時間後に非活性状態となりますので、消費電力を抑えることが可能となります。パワーダウンモードから抜けるには、PD を "High" に切替えます。その後 lPDA サイクルの間 DESL コマンドをの間入力しなければなりません。パワーダウンイグジットは非同期動作です。

モードレジスタセット (1 番目のコマンド + 2 番目のコマンド = RDA + MRS)

全てのバンクがアイドル状態の時に、RDA コマンドに続いて MRS コマンドを入力することでモードレジスタに所望の動作モードを設定することができます。RDA コマンドで開始されたリードモードは、RDA コマンドの次のクロック (CLK 立ち上がりエッジ) で LAL コマンドの代わりに MRS コマンドを入力する事でキャンセルされます。モードレジスタへのデータは、A0~A14、BA0 及び BA1 のアドレス入力ピンを用いて設定されます。TC59LM818DMG にはレギュラーとエクステンディッドモードレジスタの 2 種類のモードレジスタがあります。レギュラーモードレジスタかエクステンディッドモードレジスタの選択は、MRS コマンド時の BA0 か BA1 によって選択されます。レギュラーモードレジスタは、リードやライトサイクルの動作モードを指定します。レギュラーモードレジスタは、4 つの機能領域を持っています。

4 つの機能領域には以下のものがあります。

- (R-1) バーストデータ長を設定する為のバースト領域。
- (R-2) バーストサイクル中の下位アドレスのアクセス順序を設定するバーストタイプ領域。
- (R-3) クロックサイクルにおけるアクセス時間を設定する CAS レイテンシ領域。
- (R-4) テストモード領域。

一方エクステンディッドモードレジスタは 3 つの機能領域を持っています。

3 つの機能領域には以下のものがあります。

- (E-1) DLL のイネーブル/ディセーブルのどちらかを選択する為の DLL スイッチ領域。
- (E-2) アウトプットドライバコントロール領域。
- (E-3) データストロープを選択する為の領域。

モードレジスタ内のこれらの領域に 1 度設定されると、レジスタの内容は他の MRS コマンドで再びモードレジスタを設定するか電源を OFF にするまで維持します。パワーアップ後のレギュラー及びエクステンディッドモードレジスタの初期値は不定の為、所望の動作を行う前にモードレジスタセットコマンドで設定する必要があります。

- レギュラーモードレジスタ/エクステンディッドモードレジスタ切り替えビット (BA0, BA1)
これらのビットはレギュラー MRS かエクステンディッド MRS かを選択する為に使います。

BA1	BA0	Mode Register Set
0	0	Regular MRS
0	1	Extended MRS
1	×	Reserved

レギュラーモードレジスタ領域

(R-1) バースト長領域 (A2 ~ A0)

この領域は A2 ~ A0 を使用してカラムアクセスの為のデータ長を定義し、バースト長を 2 ワードか 4 ワードに設定します。

A2	A1	A0	BURST LENGTH
0	0	0	Reserved
0	0	1	2 words
0	1	0	4 words
0	1	1	Reserved
1	×	×	Reserved

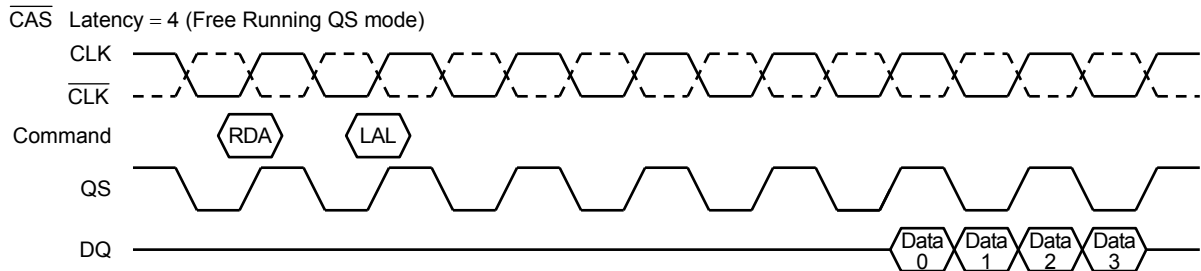
(R-2) バーストタイプ領域 (A3)

バーストタイプはインターリーブモードかシーケンシャルモードかを選択することができます。A3 に "0" を設定した場合にはシーケンシャルモードが選択され、A3 に "1" を設定するとインターリーブモードが選択されます。どちらのバーストタイプも 2 ワードと 4 ワード両方のバースト長に対応しています。

A3	BURST TYPE
0	Sequential
1	Interleave

シーケンシャルモード時のアドレッシング順序(A3)

カラムアクセスは入力された下位アドレスから開始し、順に増加(+1)しながらアクセスしていきます。アドレスはバースト長によって下表のように移行していきます。



Addressing sequence for Sequential mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	n	} 2ワード(アドレスビットはLA0) LA0 から LA1 へのキャリアは無し
Data 1	n + 1	
Data 2	n + 2	} 4ワード(アドレスビットはLA1, LA0) LA1 から LA2 へのキャリアは無し
Data 3	n + 3	

インターリーブ時のアドレッシング順序

カラムアクセスは入力された下位アドレスから開始し、下表に示すような順序でアドレスをアクセスしていきます。

Addressing sequence for Interleave mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	...A8 A7 A6 A5 A4 A3 A2 A1 A0	} 2 words
Data 1	...A8 A7 A6 A5 A4 A3 A2 A1 $\overline{\text{A0}}$	
Data 2	...A8 A7 A6 A5 A4 A3 A2 $\overline{\text{A1}}$ A0	} 4 words
Data 3	...A8 A7 A6 A5 A4 A3 A2 $\overline{\text{A1}}$ $\overline{\text{A0}}$	

(R-3) $\overline{\text{CAS}}$ レイテンシ領域 (A6 ~ A4)

この領域は、RDA コマンドに続く LAL コマンド入力から最初にリードデータが出力されるまでのクロックサイクル数を定義します。 $\overline{\text{CAS}}$ レイテンシと CLK 周波数は互いに依存します。ライト動作モードでは、入力すべきライトデータまでのクロック数は LAL コマンドから $\overline{\text{CAS}}$ レイテンシ - 1 となります。

A6	A5	A4	$\overline{\text{CAS}}$ LATENCY
0	0	0	Reserved
0	0	1	Reserved
0	1	0	Reserved
0	1	1	Reserved
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	Reserved

(R-4) テストモード領域(A7)

このビットはテストモードに入る時に使う為に使用されますので、通常動作の際には"0"に設定しておかなければなりません。

(R-5) レギュラーモードレジスタでの予約領域

• 予約ビット (A8 ~ A14)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には"0"に設定して下さい。

エクステンディッドモードレジスタ領域

(E-1) DLL スイッチ領域(A0)

このビットは DLL を作動させる為に使用されます。この A0 に"0"を設定することで DLL を作動させる選択をします。

(E-2) 出力ドライバコントロール領域(A1 ~ A4)

この領域は出力ドライバストレングスを選択します。3つの出力ドライバストレングスがあります。QS ドライバと DQ ドライバで別々に選択できます。A2~A1 は DQ ドライバストレングスを選択し、A4~A3 は QS ドライバストレングスを選択します。

QS		DQ		OUTPUT DRIVER IMPEDANCE CONTROL
A4	A3	A2	A1	
0	0	0	0	Normal Output Driver
0	1	0	1	Strong Output Driver
1	0	1	0	Weak Output Driver
1	1	1	1	Reserved

(E-3) ストローブを選択する領域 (A6 / A5)

2タイプのデータストローブがあります。この領域はデータストローブタイプの選択に使用されます。

(1) Unidirectional DS / QS モード

データストローブはライトストローブの DS とリードストローブの QS に分かれています。DS はライト動作のライトデータのラッチに使われます。QS はリード動作のリードデータに同期してクロッキングします。リード動作以外では QS は"Low"出力となります。

(2) Unidirectional DS / Free running QS モード

データストローブはライトストローブの DS とリードストローブの QS に分かれています。DS はライト動作のライトデータのラッチに使われます。QS はリードデータと同期し、常時クロッキングしています。

どちらのストローブモードにおいても、セルフリフレッシュでは QS 出力はハイインピーダンスとなります。

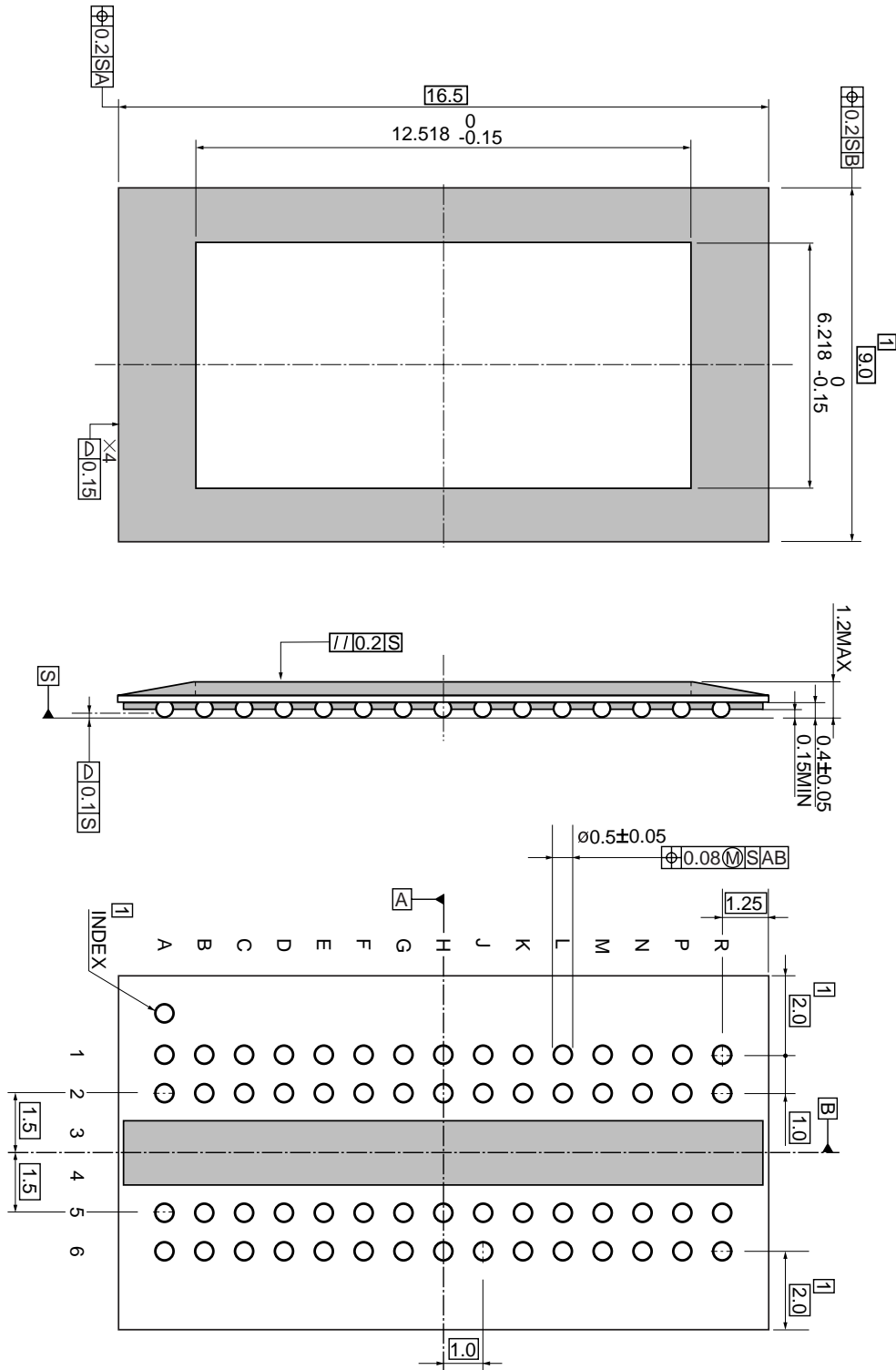
A6	A5	STROBE SELECT
0	0	Reserved
0	1	Reserved
1	0	Unidirectional DS/QS mode
1	1	Unidirectional DS/Free running QS mode

(E-4) 予約領域 (A7 ~ A14)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には"0"に設定しておいて下さい。

外形図

P-BGA60-0917-1.00AZ



重量: 0.15 g (標準)

変更履歴

- Rev.1.1 (2005 年 1 月 17 日)

この無鉛製品のデータシートの内容に関して、有鉛製品（品名：TC59LM818DMB）との違いは品名と 1 ページ目の無鉛品に関するコメントだけです。

- Rev 1.2 (2005 年 3 月 7 日)

- AC Timing spec の IPDA=1cycle にあわせて図を修正(11, 40, 41, 47, 48 ページ)。

- Rev 1.3 (2005 年 9 月 26 日)

- IDD6 (Self-Refresh 電流)スペックを 10mA から 15mA に変更(1,6 ページ)。

- Rev 1.4 (2005 年 10 月 19 日)

- “-30”(333MHz clock / 666Mbps) version を廃止。

当社半導体製品取り扱い上のお願い

030519TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

Rev 1.4

2005-10-19 57/57