

暫定資料

東芝 MOS 形デジタル集積回路 シリコンモノリシック シリコンゲート CMOS

288M ビット ネットワーク FCRAM2
 – 2,097,152 ワード × 4 バンク × 36 ビット

概要

TC59LM836DKB は、CMOS 技術を用いた 301,989,888 のメモリセルを有するダブルデータレートファーストサイクルランダムアクセスメモリ(FCRAM™)です。TC59LM836DKB は、2,097,152 ワード×4 バンク×36bit 構成です。コマンド入力クロックの立ち上がりエッジに同期して行われますが、データの入出力は DS/QS の立ち上がり及び立ち下がりエッジに同期して行われ、最大で 600M ワード/秒のデータ高速転送ができます。本製品は FCRAM™ 固有のコア構成の採用により、既存の標準的な DDR SDRAM と比較してより速いサイクルタイムで動作させることが可能です。TC59LM836DKB は高速ランダムサイクル、大メモリ容量、低消費電流等が要求されるワークステーションのセカンダリキャッシュメモリやネットワークのルーター、スイッチ等のバッファメモリ、コントロールメモリに最適です。本製品の出力ドライバは軽い負荷環境下においても高速、高品質なデータ転送が可能です。

特長

主 要 特 性		TC59LM836DKB	
		-33	-40
t _{CK} CLK サイクルタイム (最小)	CL = 4	4.5 ns	5.0 ns
	CL = 5	3.75 ns	4.5 ns
	CL = 6	3.33 ns	4.0 ns
t _{RC} ランダムリード/ライトサイクルタイム (最小)		22.5 ns	25 ns
t _{RAC} ランダムアクセスタイム (最大)		22.5 ns	25 ns
I _{DD1S} 動作平均電流 (シングルバンク) (最大)		360 mA	340 mA
I _{DD2P} スタンドバイ平均電流 (パワーダウン) (最大)		95 mA	90 mA
I _{DD6} セルフリフレッシュ平均電流 (最大)		15 mA	15 mA

- 同期式オペレーション
 - 倍周期データレート (DDR)
データの入出力は DS/QS(ライト/リードデータストロープ)の立ち上がり/立ち下がりに同期して行われます。
 - 差動式クロック入力 (CLK & $\overline{\text{CLK}}$)
CS、FN 及び全てのアドレス入力信号は、CLK の立ち上がりエッジで取り込まれます。
出力データ(DQ & QS)は CLK と $\overline{\text{CLK}}$ の交点を基準に出力されます。
全てのタイミングは CLK と $\overline{\text{CLK}}$ の交点から定義されます。
- 最大クロック周波数: 300 MHz
- 最大データ転送レート: 600 M ワード/秒
- 4 バンク独立動作
- セレクトラブルデータストロープ信号
- セルフリフレッシュ
- 可変バースト長制御
- プログラマブル $\overline{\text{CAS}}$ レイテンシ/バースト長
 $\overline{\text{CAS}}$ レイテンシ = 4, 5, 6
バースト長 = 2, 4
- 構成: 2,097,152 ワード × 4 バンク × 36 ビット
- 電源電圧 V_{DD}: 2.5 V ± 0.125V
V_{DDQ}: 1.4 V ~ 1.9 V
- 入出力: SSTL_18 (Half strength driver) / HSTL
- JTAG バウンダリスキャン
- パッケージ: 144Ball BGA, 1mm × 0.8mm Ball pitch (P-TFBGA144-1119-0.80BZ)
- ファーストサイクル & ショートレイテンシ
- 分散オートリフレッシュ (最大間隔 3.9 μs)
- パワーダウンモード
- ライトレイテンシ = $\overline{\text{CAS}}$ レイテンシ - 1

注: “FCRAM”は富士通(株)の登録商標です。

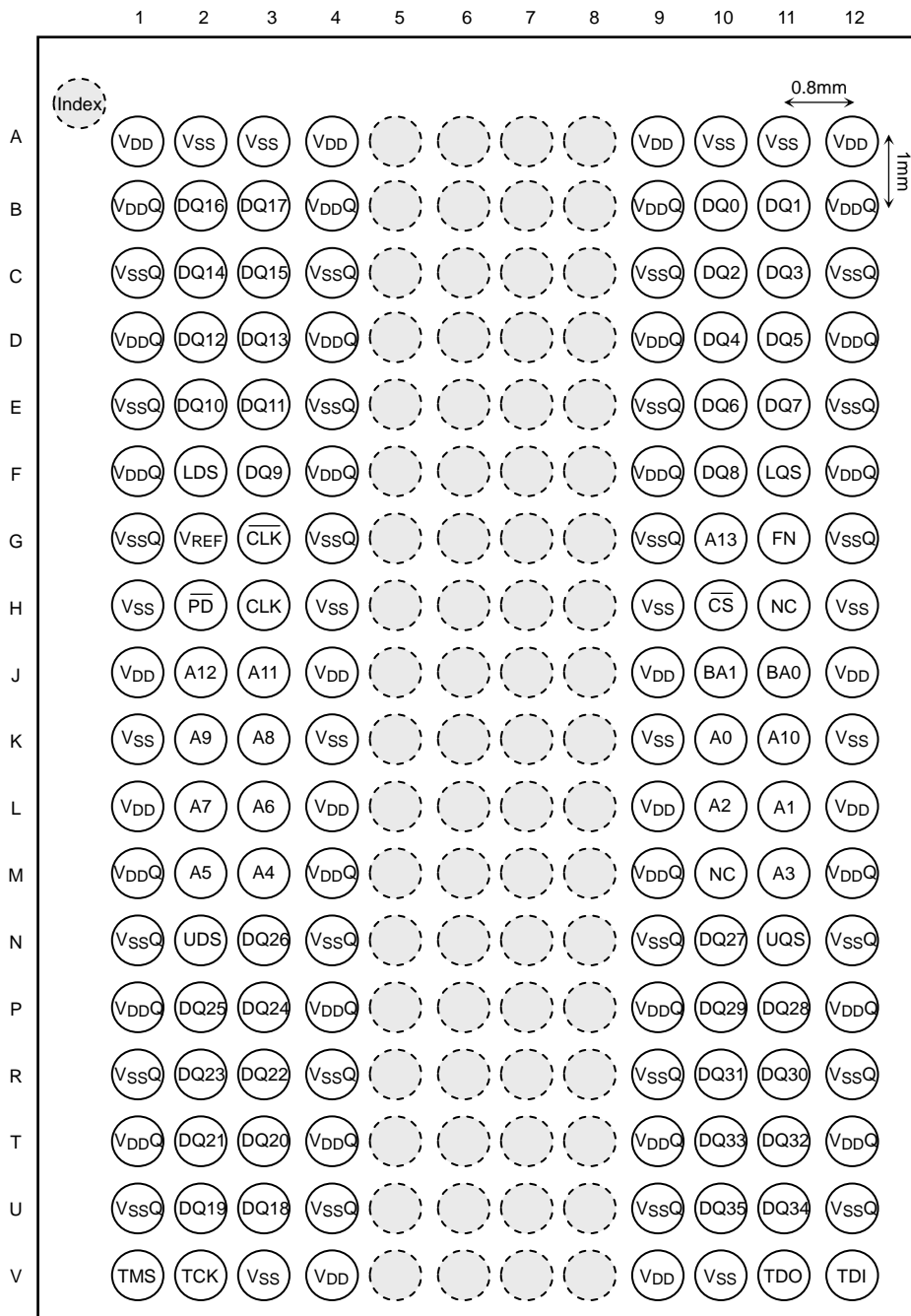
Rev 1.4

ピン名称

ピン	名称
A0~A13	アドレス入力
BA0, BA1	バンクアドレス
DQ0~DQ35	データ入出力
\overline{CS}	チップセレクト
FN	ファンクションコントロール
\overline{PD}	パワーダウンコントロール
CLK, \overline{CLK}	クロック入力
LDS, UDS	ライトデータストロープ
LQS, UQS	リードデータストロープ
V _{DD}	電源 (+2.5 V)
V _{SS}	電源 (グラウンド)
V _{DDQ}	電源 (+1.5V / +1.8 V) (DQ バッファ用)
V _{SSQ}	電源 (グラウンド) (DQ バッファ用)
V _{REF}	基準電圧
NC	無接続
TMS, TDI, TCK, TDO	バウンダリスキャンテストアクセスポート

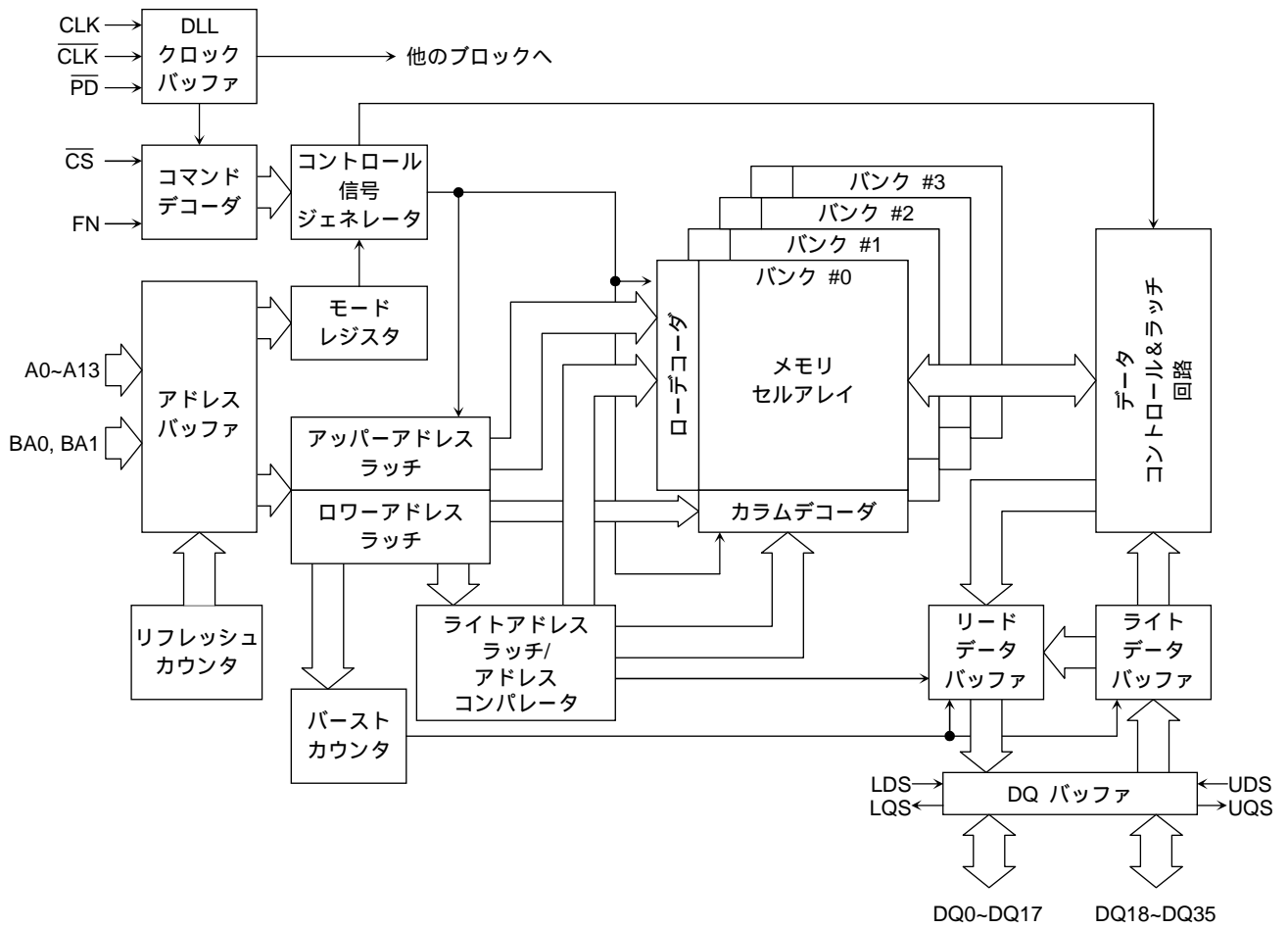
ピン配置 (上面図)

ball pitch=1.0 x 0.8mm



○ : Depopulated ball

ブロック図



注: TC59LM836DKB は 4 バンクの 16384 行 × 128 カラム × 36 DQ のセルアレイで構成されます。

最大定格

記号	項目	定格	単位	注
V _{DD}	電源電圧	-0.3~ 3.3	V	
V _{DDQ}	電源電圧 (DQ バッファ)	-0.3~V _{DD} + 0.3	V	
V _{IN}	入力電圧	-0.3~V _{DD} + 0.3	V	
V _{OUT}	入力電圧 (DQ ピン)	-0.3~V _{DDQ} + 0.3	V	
V _{REF}	入力基準電圧	-0.3~V _{DD} + 0.3	V	
T _{opr}	動作温度 (ケース温度)	0~85	°C	
T _{stg}	保存温度	-55~150	°C	
T _{solder}	はんだ付け加熱温度 (10 秒)	260	°C	
P _D	消費電力	2.5	W	
I _{OUT}	出力短絡電流	±50	mA	

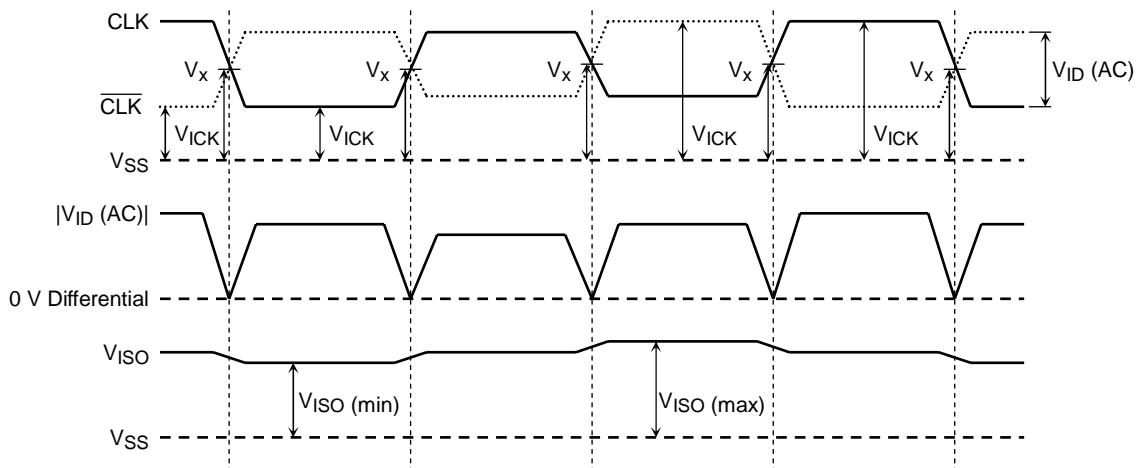
注: 最大定格表に記載された範囲を超える状況下ではデバイスに致命的な損傷をもたらす恐れがあります。本製品の動作は、本データシートに記述されている動作に関する種々の項目の範囲内でのみ保証されます。最大定格の範囲内であっても長期間最大定格条件にさらされた場合、デバイスの信頼性に致命的な影響を及ぼす可能性があります。

DC, AC 許容動作条件 (注: 1)(T_{CASE} = 0~85°C)

記号	項目	最小	標準	最大	単位	注
V _{DD}	電源電圧	2.375	2.5	2.625	V	
V _{DDQ}	電源電圧 (DQ バッファ)	1.4	—	1.9	V	
V _{REF}	入力基準電圧	V _{DDQ} /2 × 95%	V _{DDQ} /2	V _{DDQ} /2 × 105%	V	2
V _{IH} (DC)	高レベル入力電圧 (DC)	V _{REF} + 0.125	—	V _{DDQ} + 0.2	V	5
V _{IL} (DC)	低レベル入力電圧 (DC)	-0.1	—	V _{REF} - 0.125	V	5
V _{ICK} (DC)	差動クロック DC 入力電圧	-0.1	—	V _{DDQ} + 0.1	V	10
V _{ID} (DC)	CLK、 $\overline{\text{CLK}}$ 入力電圧差 (DC)	0.4	—	V _{DDQ} + 0.2	V	7, 10
V _{IH} (AC)	高レベル入力電圧 (AC)	V _{REF} + 0.2	—	V _{DDQ} + 0.2	V	3, 6
V _{IL} (AC)	低レベル入力電圧 (AC)	-0.1	—	V _{REF} - 0.2	V	4, 6
V _{ID} (AC)	CLK、 $\overline{\text{CLK}}$ 入力電圧差 (AC)	0.55	—	V _{DDQ} + 0.2	V	7, 10
V _X (AC)	CLK、 $\overline{\text{CLK}}$ 交差電圧 (AC)	V _{DDQ} /2 - 0.125	—	V _{DDQ} /2 + 0.125	V	8, 10
V _{ISO} (AC)	CLK、 $\overline{\text{CLK}}$ 中間レベル (AC)	V _{DDQ} /2 - 0.125	—	V _{DDQ} /2 + 0.125	V	9, 10

注:

- (1) 全ての電圧は V_{SS} 、 V_{SSQ} を基準にしています。
- (2) V_{REF} レベルは V_{DDQ} (DC) のレベル変動に追従するようにして下さい。
 V_{REF} におけるノイズの最大振幅は V_{REF} (DC) $\pm 2\%$ を超えないようにして下さい。
- (3) オーバーシュート定格: パルス幅 5 ns 以下で $V_{IH}(\max) = V_{DDQ} + 0.7$ V 以内。
- (4) アンダーシュート定格: パルス幅 5 ns 以下で $V_{IL}(\min) = -0.7$ V 以内。
- (5) V_{IH} (DC) 及び V_{IL} (DC) は現行状態を維持するためのレベル規定です。
- (6) V_{IH} (AC) 及び V_{IL} (AC) は新しい論理状態へ変化させるためのレベル規定です。
- (7) V_{ID} は CLK 入力レベルと \overline{CLK} 入力レベルの電位差を意味します。
- (8) 最適な V_X (AC) は $V_{DDQ}/2$ です。
- (9) V_{ISO} は $\{V_{ICK}(\text{CLK}) + V_{ICK}(\overline{CLK})\} / 2$ を意味します。
- (10) 下図を参照下さい。



- (11) 外部終端する場合は、終端電圧(V_{TT})は V_{REF} (DC) ± 0.04 V の範囲にして下さい。

ピン容量 ($V_{DD} = 2.5$ V, $V_{DDQ} = 1.8$ V, $f = 1$ MHz, $T_a = 25^\circ\text{C}$)

記号	項目	最小	最大	差(MAX)	単位
C_{IN}	入力ピン容量 (CLK, \overline{CLK} 以外)	1.5	3.0	0.25	pF
C_{INC}	クロックピン容量 (CLK, \overline{CLK})	1.5	3.0	0.25	pF
$C_{I/O}$	入出力ピン容量(DQ, LDS, UDS, LQS, UQS)	2.5	3.5	0.5	pF
C_{NC}	NC ピン容量	—	1.5	—	pF

注: この項目は抜き取り検査のみで全数検査は実施していません。

電気的特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$)

記号	項目	最大		単位	注
		-33	-40		
I_{DD1S}	動作平均電流 リード/ライトコマンドサイクリング $t_{CK} = \min$, $I_{RC} = \min$, $I_{OUT} = 0mA$ Burst Length = 4, CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$ 最小 I_{RC} の間にアドレス遷移は 2 回。 リードデータは 1 クロック中に 2 回遷移。	360	340	mA	1, 2
I_{DD2N}	スタンバイ平均電流 全てのバンク: 非活性状態 $t_{CK} = \min$, $\overline{CS} = V_{IH}$, $\overline{PD} = V_{IH}$ $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$ 上述以外の入力信号は $4 \times t_{CK}$ の間に 1 回遷移。 DQ と DS の入力は 1 クロック中に 2 回遷移。	110	100		1, 2
I_{DD2P}	スタンバイ平均電流 (パワーダウン) 全てのバンク: 非活性状態 $t_{CK} = \min$, $\overline{PD} = V_{IL}$ (パワーダウン) CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$ 上述以外の入力信号は $4 \times t_{CK}$ の間に 1 回遷移。 DQ と DS の入力はフローティング状態 ($V_{DDQ}/2$)。	95	90		1, 2
I_{DD4W}	ライト動作平均電流 (4 バンク) 4 バンクインターリーブ連続バーストライト動作 $t_{CK} = \min$, $I_{RC} = \min$ Burst Length = 4, CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$ 1 クロック毎にアドレスが遷移。 DQ と DS の入力は 1 クロック中に 2 回遷移。	800	750		1, 2
I_{DD4R}	リード動作平均電流 (4 バンク) 4 バンクインターリーブ連続バーストリード動作 $t_{CK} = \min$, $I_{RC} = \min$, $I_{OUT} = 0mA$ Burst Length = 4, CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$ 1 クロック毎にアドレスが遷移。 リードデータは 1 クロック中に 2 回遷移。	800	750		1, 2
I_{DD5B}	集中オートリフレッシュ平均電流 オートリフレッシュコマンドサイクリング $t_{CK} = \min$, $I_{REFC} = \min$ CAS Latency = 6, Free running QS mode $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$ 最小 I_{REFC} の間にアドレス遷移は 2 回。 DQ と DS の入力は 1 クロック中に 2 回遷移。	360	340		1, 2, 3
I_{DD6}	セルフリフレッシュ平均電流 $\overline{PD} = 0.2V$, 他の入力信号はフローティング状態 ($V_{DDQ}/2$)、 DQ と DS の入力はフローティング状態 ($V_{DDQ}/2$)	15	15		2

- 注:
1. これらは、 t_{CK} 、 t_{RC} 及び I_{RC} を最小値でサイクリングさせた場合の電流です。電流は過渡的に流れる為、サイクルレートに強く依存します。
 2. これらの値は $V_{DD} - V_{SS}$ 間の電流として定義されます。
 3. I_{DD5B} は集中リフレッシュ条件での定義です。実際のシステムでは t_{REFI} 規定のもと、分散リフレッシュを使用して下さい。

電气的特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$) (続き)

記号	項目		最小	最大	単位	注	
I_{LI}	入力リーク電流 ($0V \leq V_{IN} \leq V_{DDQ}$ 、測定以外のピンは0V)		-5	5	μA		
I_{LO}	出力リーク電流 (出力はディセーブル、 $0V \leq V_{OUT} \leq V_{DDQ}$)		-5	5	μA		
I_{REF}	V_{REF} 電流		-5	5	μA		
$I_{OH} (DC)$	Normal Output Driver	出力電流 ($V_{DDQ} = 1.7V \sim 1.9V$)	$V_{OH} = 1.420V$	-5.6	—	mA	1
$I_{OL} (DC)$			$V_{OL} = 0.280V$	5.6	—		
$I_{OH} (DC)$	Strong Output Driver		$V_{OH} = 1.420V$	-9.8	—		
$I_{OL} (DC)$			$V_{OL} = 0.280V$	9.8	—		
$I_{OH} (DC)$	Weak Output Driver		$V_{OH} = 1.420V$	-2.8	—		
$I_{OL} (DC)$			$V_{OL} = 0.280V$	2.8	—		
$I_{OH} (DC)$	Normal Output Driver	出力電流 ($V_{DDQ} = 1.4V \sim 1.6V$)	$V_{OH} = V_{DDQ} - 0.4V$	-4	—	mA	1
$I_{OL} (DC)$			$V_{OL} = 0.4V$	4	—		
$I_{OH} (DC)$	Strong Output Driver		$V_{OH} = V_{DDQ} - 0.4V$	-8	—		
$I_{OL} (DC)$			$V_{OL} = 0.4V$	8	—		
$I_{OH} (DC)$	Weak Output Driver		未定義	—	—		
$I_{OL} (DC)$			未定義	—	—		

注: 1. アウトプットドライバの選択はエクステンディッドモードレジスタにて行われます。

AC 許容動作条件及び特性 (注: 1, 2) ($V_{DD} = 2.5 \pm 0.125V$, $V_{DDQ} = 1.4 \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$)

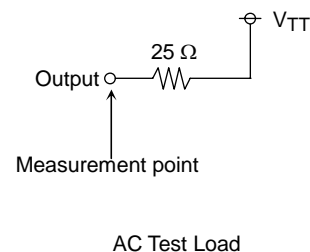
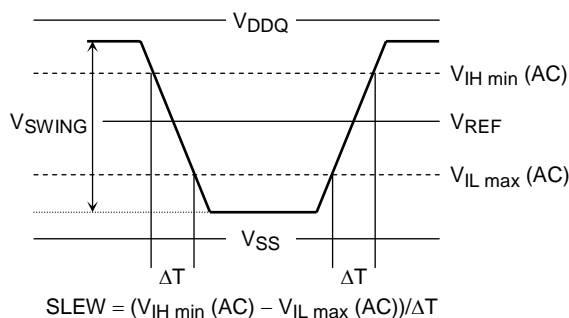
記号	項目	-33		-40		単位	注	
		最小	最大	最小	最大			
t _{RC}	ランダムサイクル時間	22.5	—	25	—		3	
t _{CK}	クロックサイクル時間	C _L = 4	4.5	7.5	5.0	7.5		3
		C _L = 5	3.75	7.5	4.5	7.5		3
		C _L = 6	3.33	7.5	4.0	7.5		3
t _{RAC}	ランダムアクセス時間	—	22.5	—	25		3	
t _{CH}	クロック高レベル時間	0.45 × t _{CK}	—	0.45 × t _{CK}	—		3	
t _{CL}	クロック低レベル時間	0.45 × t _{CK}	—	0.45 × t _{CK}	—		3	
t _{CKQS}	QS アクセス時間	-0.45	0.45	-0.5	0.5		3, 8, 10	
t _{QSQ}	QS - DQ スキュー	—	0.25	—	0.3			
t _{QSQA}	QS - DQ スキュー(全 DQ)	—	0.35	—	0.4			
t _{AC}	クロックアクセス時間	-0.5	0.5	-0.6	0.6		3, 8, 10	
t _{OH}	出力データホールド時間	-0.5	0.5	-0.6	0.6		3, 8	
t _{HP}	クロックハーフピリオド (t _{CH} , t _{CL} 実最小時間)	Min(t _{CH} , t _{CL})	—	min(t _{CH} , t _{CL})	—		3	
t _{QSP}	QS (リード)パルス幅	t _{HP} - t _{QHS}	—	t _{HP} - t _{QHS}	—		4, 8	
t _{QSQV}	出力データ有効時間	t _{HP} - t _{QHS}	—	t _{HP} - t _{QHS}	—		4, 8	
t _{QHS}	DQ, QS ホールドスキューファクター	—	0.055 × t _{CK} +0.17	—	0.055 × t _{CK} +0.17			
t _{DQSS}	DS(ライト)立ち上がりエッジセットアップ時間	0.8 × t _{CK}	1.2 × t _{CK}	0.8 × t _{CK}	1.2 × t _{CK}	ns	3	
t _{DSPRE}	DS(ライト)プリアンブルパルス幅	0.4 × t _{CK}	—	0.4 × t _{CK}	—		4	
t _{DSPRES}	DS 1st 入力セットアップ時間	0	—	0	—		3	
t _{DSPREH}	DS 1st 低レベル入力ホールド時間	0.3 × t _{CK}	—	0.3 × t _{CK}	—		3	
t _{DSP}	DS 高レベルまたは低レベル入力パルス幅	0.45 × t _{CK}	0.55 × t _{CK}	0.45 × t _{CK}	0.55 × t _{CK}		4	
t _{DSS}	DS(ライト)立ち上がりエッジ- CLK セットアップ時間	C _L = 4	0.8	—	1.0	—		3, 4
		C _L = 5	0.8	—	1.0	—		3, 4
		C _L = 6	0.8	—	1.0	—		3, 4
t _{DSPST}	DS(ライト)ポストアンブルパルス幅	0.45 × t _{CK}	—	0.45 × t _{CK}	—		4	
t _{DSPSTH}	DS(ライト)ポストアンブルホールド時間	C _L = 4	0.8	—	1.0	—		3, 4
		C _L = 5	0.8	—	1.0	—		3, 4
		C _L = 6	0.8	—	1.0	—		3, 4
t _{DSSK}	UDS - LDS スキュー	-0.4 × t _{CK}	0.4 × t _{CK}	-0.4 × t _{CK}	0.4 × t _{CK}			
t _{DS}	データ入力セットアップ時間	0.35	—	0.4	—		4, 11	
t _{DH}	データ入力ホールド時間	0.35	—	0.4	—		4, 11	
t _{IS}	コマンド/アドレス入力セットアップ時間	0.6	—	0.7	—		3	
t _{IH}	コマンド/アドレス入力ホールド時間	0.6	—	0.7	—		3	

AC 許容動作条件及び特性 (注: 1, 2) (続き)

記号	項目	-33		-40		単位	注
		最小	最大	最小	最大		
tLZ	出力ローインピーダンス時間	-0.5	—	-0.6	—	ns	3, 6, 8
tHZ	出力ハイインピーダンス時間	—	0.5	—	0.6		3, 7, 8
tQPDH	PD 高レベルホールド時間	0	—	0	—		
tPDEX	パワーダウングジット時間	0.6	—	0.7	—		3
tT	立ち上がり/立ち下り時間	0.1	1	0.1	1		
tFPDL	PD ロー入力タイミング (セルフリフレッシュ)	$-0.5 \times t_{CK}$	5	$-0.5 \times t_{CK}$	5		3
tREFI	オートリフレッシュ間隔	0.4	3.9	0.4	3.9	μs	5
tPAUSE	電源投入後安定時間	200	—	200	—		
lRC	ランダムリード/ライトサイクル 時間 (同一バンク)	C _L = 4	5	—	5	cycle	
		C _L = 5	6	—	6		
		C _L = 6	7	—	7		
lRCD	RDA/WRA - LAL コマンド間隔 (同一バンク)	1	1	1	1		
lRAS	LAL - RDA/WRA コマンド間隔 (同一バンク)	C _L = 4	4	—	4		
		C _L = 5	5	—	5		
		C _L = 6	6	—	6		
lRBD	ランダムバンクアクセス間隔 (他バンク間)	2	—	2	—		
lRWD	RDA 後 LAL - WRA コマンド間 隔 (他バンク間)	B _L = 2	2	—	2		
		B _L = 4	3	—	3		
lWRD	WRA 後 LAL - RDA コマンド間隔 (他バンク間)	1	—	1	—		
lRSC	モードレジスタセット サイクル時間	C _L = 4	7	—	7		
		C _L = 5	7	—	7		
		C _L = 6	7	—	7		
lPD	PD ロー入力 - 入力非活性時間	—	2	—	2		
lPDA	PD ハイ入力 - 入力バッファ活性時間	1	—	1	—		
lPDV	REF コマンド - パワーダウン間 隔	C _L = 4	19	—	19		
		C _L = 5	23	—	23		
		C _L = 6	25	—	25		
lREFC	オートリフレッシュ サイクル時間	C _L = 4	19	—	19		
		C _L = 5	23	—	23		
		C _L = 6	25	—	25		
lCKD	REF コマンド - クロック入力ディセー ブル時間 (セルフリフレッシュエントリ時)	lREFC	—	lREFC	—		
lLOCK	DLL 安定時間(RDA コマンド間)	200	—	200	—		

AC テスト条件

記号	項目	定格	単位	注
V _{IH} (min)	高レベル入力電圧 (AC)	V _{REF} + 0.2	V	
V _{IL} (max)	低レベル入力電圧 (AC)	V _{REF} - 0.2	V	
V _{REF}	入力基準電圧	V _{DDQ} /2	V	
V _{TT}	終端電圧	V _{REF}	V	
V _{SWING}	入力信号最大振幅	0.8	V	
V _r	差動クロック入力基準電圧	V _X (AC)	V	
V _{ID} (AC)	CLK, $\overline{\text{CLK}}$ 入力電圧差	1.0	V	
SLEW	入力信号最小移行レート	2.5	V/ns	
V _{OTR}	出力信号測定基準電位	V _{DDQ} /2	V	9



注:

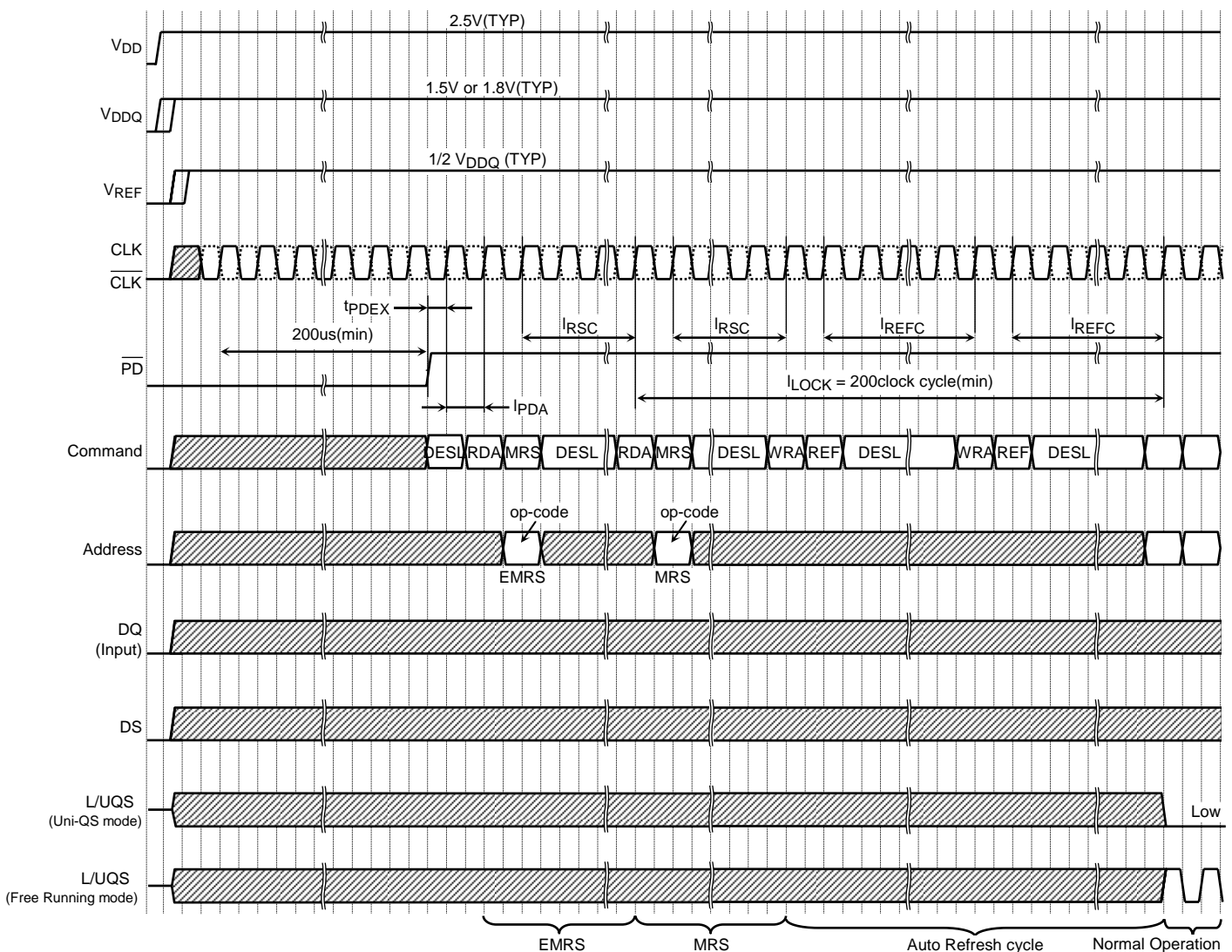
- (1) 立ち上がり、立ち下がり時間は V_{IH} min (DC)と V_{IL} max (DC)の間で定義されます。入力信号の立ち上がり、立ち下がりの傾きは一定としています。
- (2) 単位が Cycle で記述された項目の値は t_{CK} 値より計算されますが、小数点第 2 位以下は切り上げています。
(例: t_{DQSS} = 0.8 × t_{CK}, t_{CK} = 3.3 ns, 0.8 × 3.3 ns = 2.64 ns 2.7 ns.)
- (3) これらの項目は、差動クロック (CLK, $\overline{\text{CLK}}$) の AC 交差点から定義されます。
- (4) これらの項目は、DS の遷移信号が V_{REF} 電位と交差するポイントから定義されます。
- (5) t_{REFI} (max) は均等分散リフレッシュの場合に適用されます。
t_{REFI} (min) は集中リフレッシュ及び分散リフレッシュのどちらにも適用されます。
t_{REFI} (min) は任意の連続した 8 回のオートリフレッシュコマンド間隔が常に 400ns 以上でなければいけません。言い換えると、3.2 μs (8 × 400 ns) 内に実行可能なオートリフレッシュの回数は、最大で 8 回迄です。
- (6) ローインピーダンスの状態は V_{DDQ}/2 ± 0.1 V に達した状態です。
- (7) ハイインピーダンスの状態は出力バッファが駆動していない状態です。
- (8) これらの項目はクロックのジッターに依存します。これらの項目の値は安定したクロックにおいて測定された場合のものであります。
- (9) 出力タイミングは Normal Output Driver にて定義されます。
V_{DDQ} = 1.4V~1.6V の場合、出力タイミングは Strong Output Driver にて定義されます。
- (10) これらの値は t_{CK} が 6.0ns 以下の条件で測定されています。t_{CK} が 6.0ns 以上の場合には Speed version に関わらず、下記の値で測定されます。
t_{CKQS} (MIN/MAX) = -0.6ns / 0.6ns, t_{AC} (MIN/MAX) = -0.65ns / 0.65ns
- (11) これらの値は V_{DDQ} = 1.7V~1.9V の条件で測定されています。V_{DDQ} = 1.4V~1.6V の場合には Speed version に関わらず、t_{DS}(MIN) = 0.4ns, t_{DH}(MIN) = 0.4ns になります。

電源投入

- (1) 電源(VDD、VDDQ)を立ち上げる前に \overline{PD} をロー状態($\leq 0.2V$)にします。
- (2) VDDQはVDDと同時にVDDより後に立ち上げます。
- (3) VREFはVDDQと同時ないしはVDDQよりも後に立ち上げます。
- (4) 電源が所望の電位に到達後、クロック(CLK、 \overline{CLK})を入力し、電源、クロック入力安定した状態で200 μs のポーズタイムをとります。
- (5) 電源とクロックが安定後、NOP(DESL)状態かつ \overline{PD} をハイ状態にします。
- (6) EMRSコマンドでDLLをイネーブルにし、ドライバストレンクスとデータストロブタイプをセットします。(注1)
- (7) MRSコマンドにてCASレイテンシ(CL)、バーストタイプ(BT)、バースト長(BL)をセットします。(注1)
- (8) 2回以上のオートリフレッシュを実行します。(注1)
- (9) EMRSコマンドより200クロック後に通常動作可能です。

注:

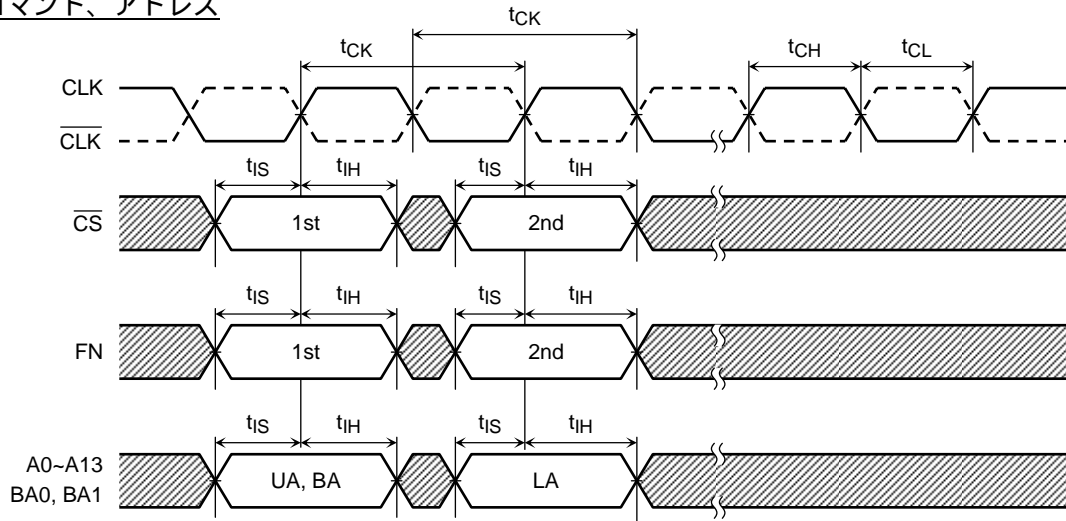
- (1) ステップ(6)、(7)、(8)は順不同です。
- (2) “ロー”はロジック低レベル状態、“ハイ”はロジック高レベル状態を意味します。
- (3) パワーアップシーケンス中のDQ出力はハイインピーダンス状態となります。



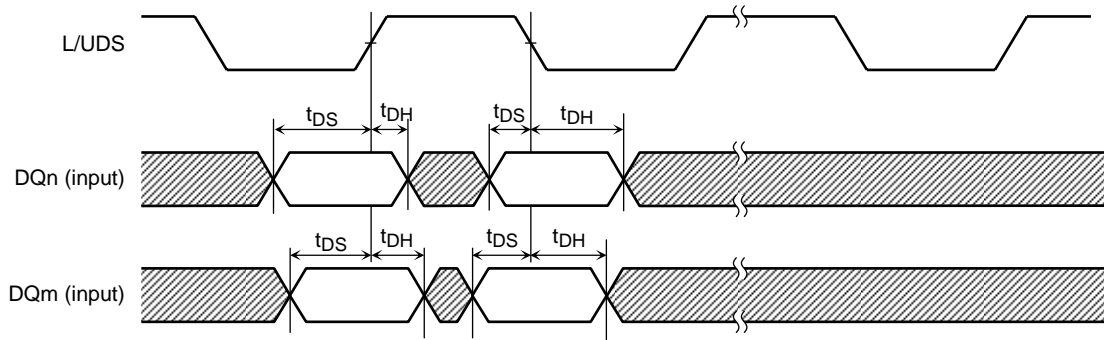
タイミング図

タイミング入力

コマンド、アドレス

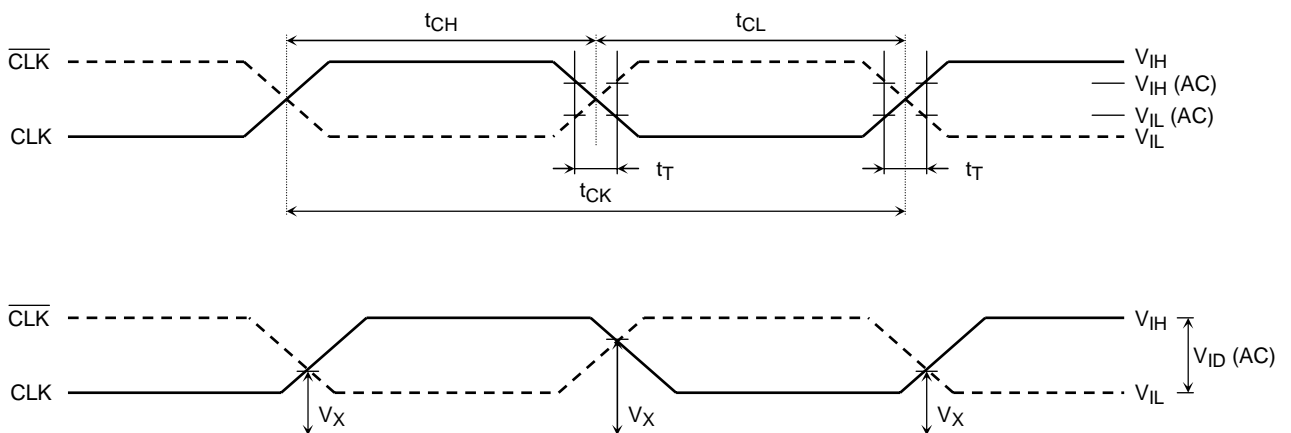


データ



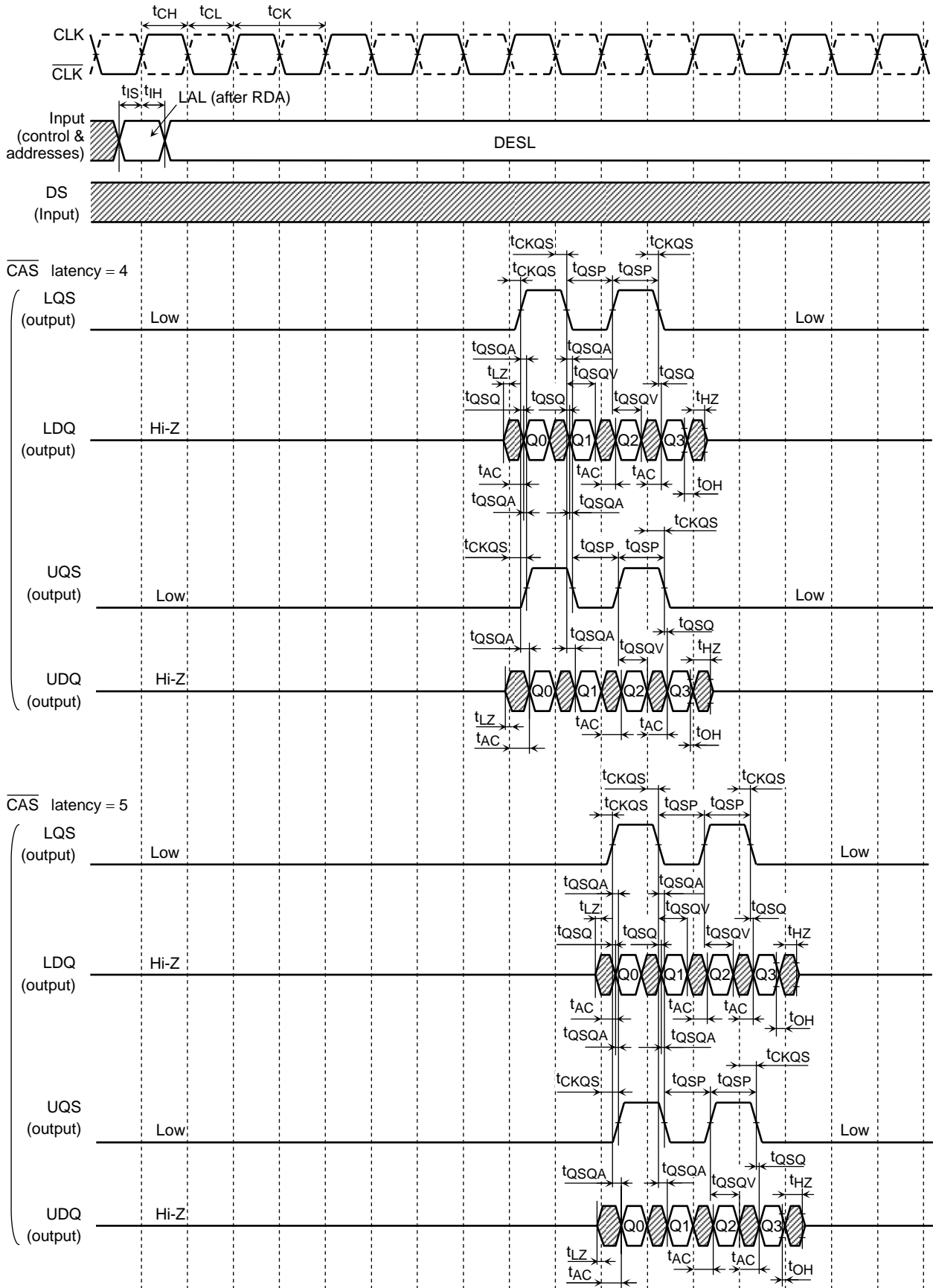
入力真理値表参照

CLK, $\overline{\text{CLK}}$ タイミング



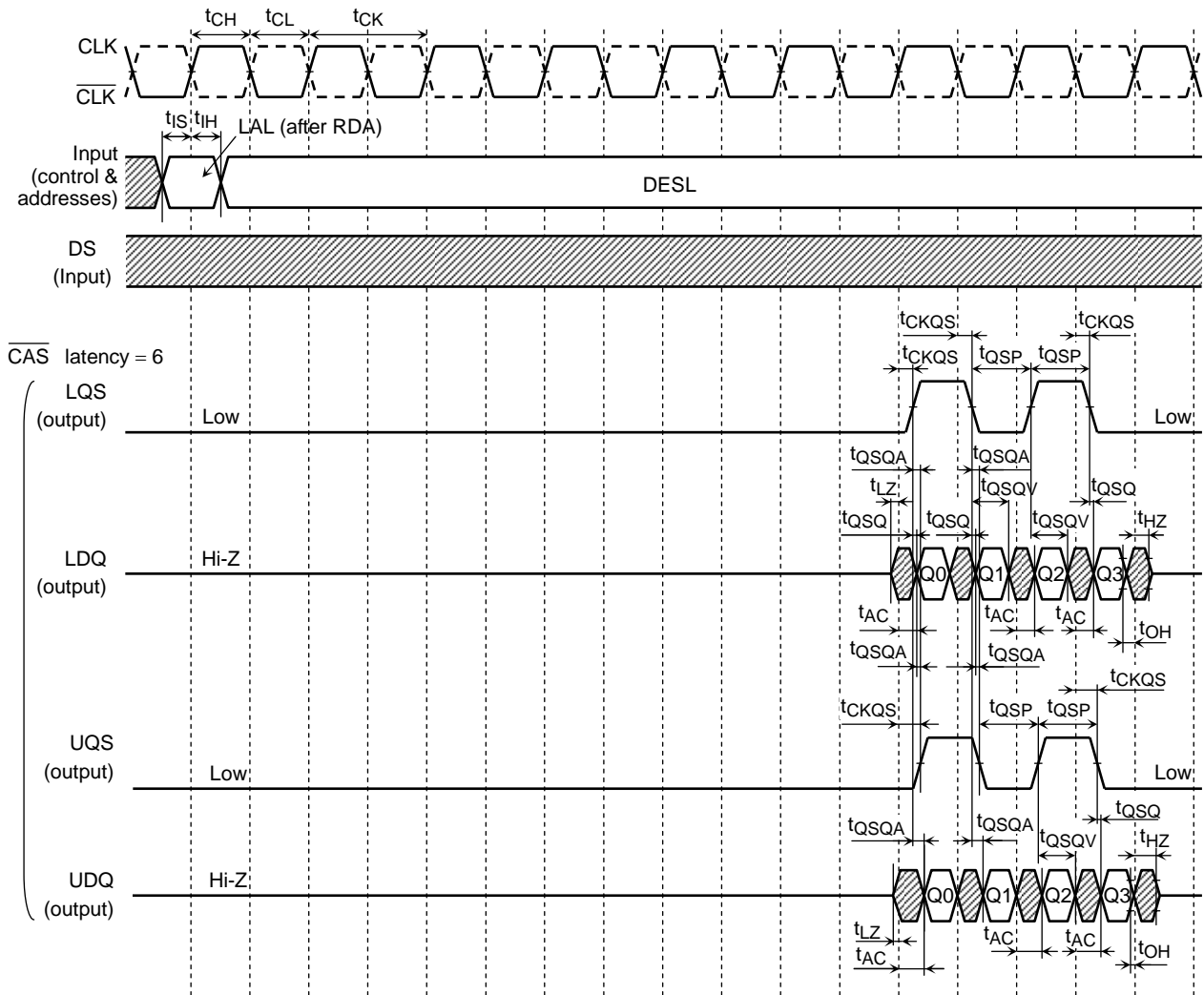
リードタイミング (Burst Length = 4)

Unidirectional DS/QS mode



リードタイミング (Burst Length = 4)

Unidirectional DS/QS mode

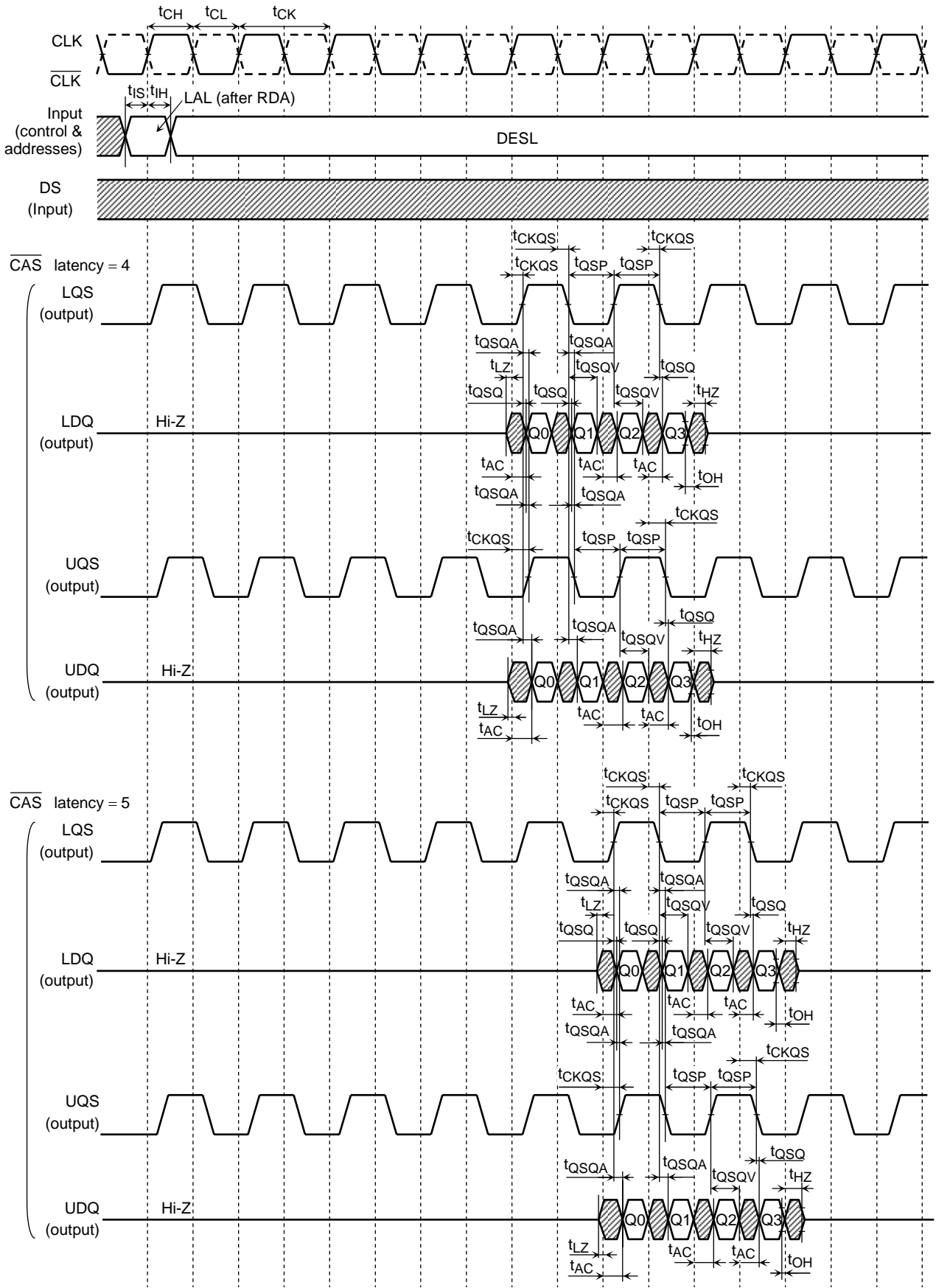


注: LQS、UQS はそれぞれ以下の DQ に対応します。

LQS	DQ0~DQ17
UQS	DQ18~DQ35

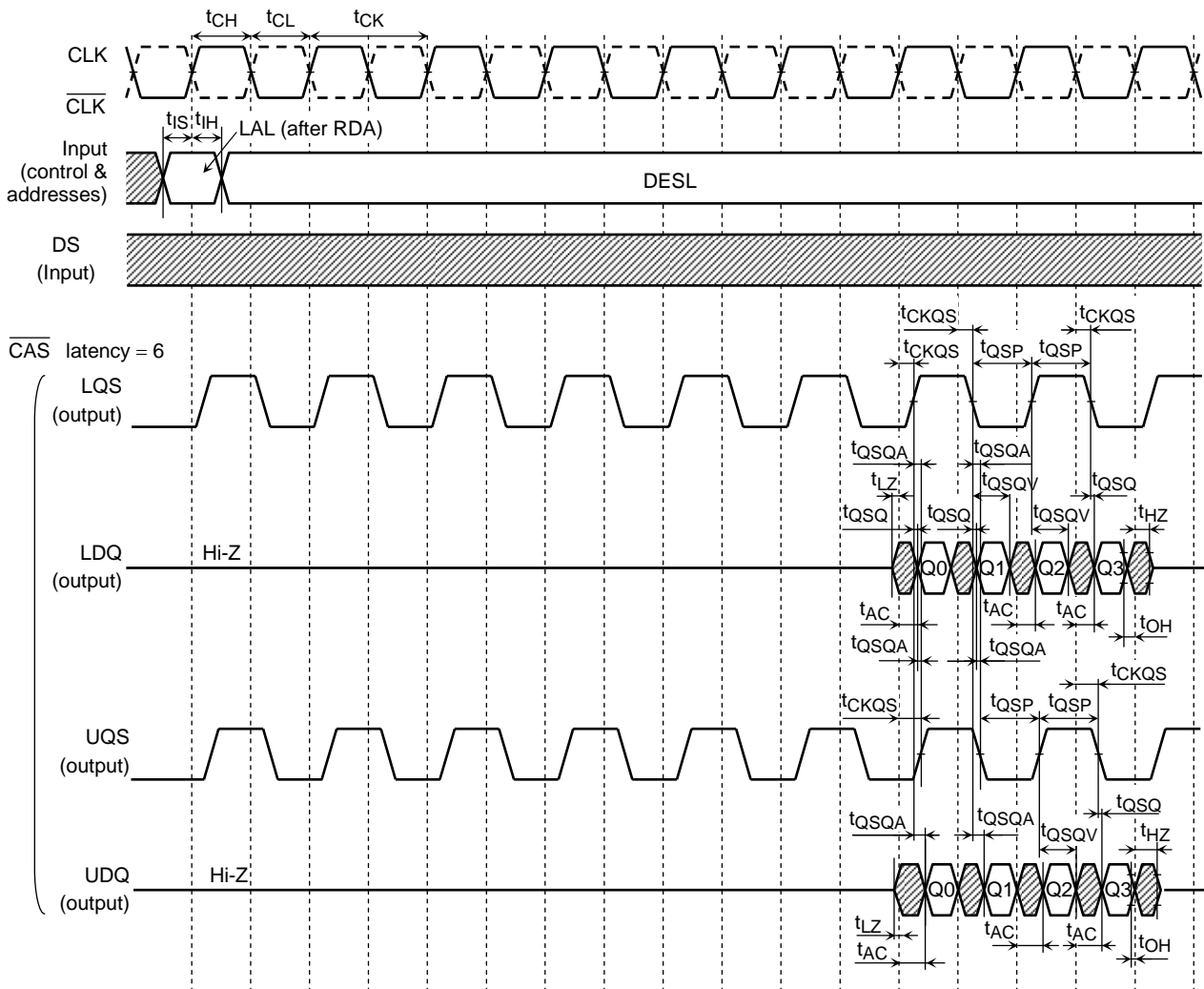
リードタイミング (Burst Length = 4)

Unidirectional DS/Free Running QS mode



リードタイミング (Burst Length = 4)

Unidirectional DS/Free Running QS mode



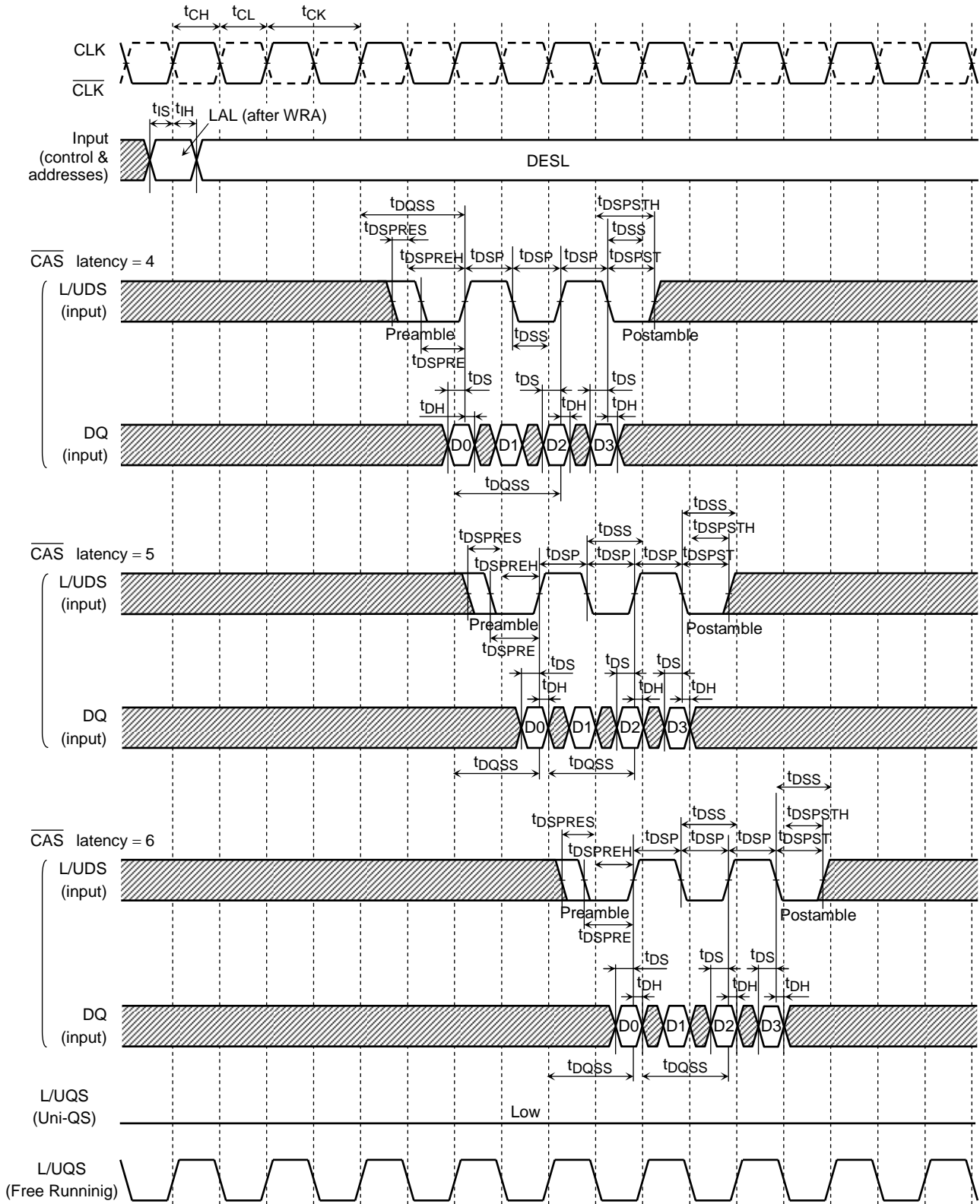
注: LQS、UQS はそれぞれ以下の DQ に対応します。

LQS	DQ0~DQ17
UQS	DQ18~DQ35

QS はフリーランニング QS モード中、常に出力されます。

ライトタイミング (Burst Length = 4)

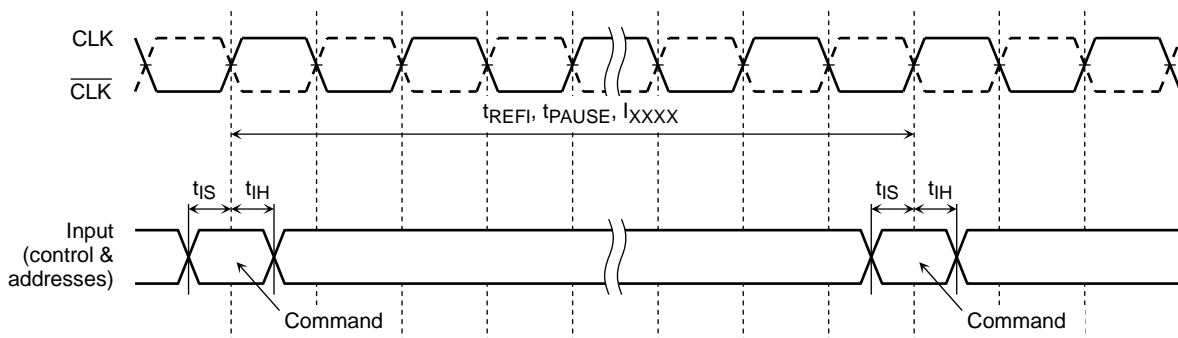
Unidirectional DS/QS mode, Unidirectional DS/Free Running QS mode



注: LDS、UDS はそれぞれ以下の DQ に対応します。

LDS	DQ0~DQ17
UDS	DQ18~DQ35

t_{REFI}, t_{PAUSE}, t_{I_{XXXX}} タイミング



注: "I_{XXXX}"は"t_{RC}"、"t_{RCD}"、"t_{RAS}"等を意味します。

動作真理値表 (注: 1, 2, 3)

コマンド真理値表 (注: 4)

• 1st コマンド

記号	項目	\overline{CS}	FN	BA1~BA0	A13~A10	A9~A8	A7	A6~A0
DESL	Device Deselect	H	×	×	×	×	×	×
RDA	Read with Auto-close	L	H	BA	UA	UA	UA	UA
WRA	Write with Auto-close	L	L	BA	UA	UA	UA	UA

• 2nd コマンド

記号	項目	\overline{CS}	FN	BA1~BA0	A13~A12	A11~A10	A9	A8	A7	A6~A0
LAL	Lower Address Latch	H	×	×	V	×	×	×	×	LA
REF	Auto-Refresh	L	×	×	×	×	×	×	×	×
MRS	Mode Register Set	L	×	V	L	L	L	L	V	V

- 注: 1. L = Logic Low, H = Logic High, × = either L or H, V = Valid (specified value), BA = Bank Address, UA = Upper Address, LA = Lower Address
 2. 全てのコマンドは各コマンド入力にとって正当な状態で入力されるものとします。
 3. SELFX と PDEX を除く全てのコマンドは、CLK の立ち上がりにおける差動クロック入力交差点で取り込まれます。
 4. 動作モードは 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決まります。“状態遷移図”と以下のコマンド表を参照して下さい。

リードコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A13~A10	A9~A8	A7	A6~A0	NOTES
RDA (1st)	L	H	BA	UA	UA	UA	UA	
LAL (2nd)	H	×	×	×	×	×	LA	

ライトコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A13	A12	A11	A10	A9~A8	A7	A6~A0
WRA (1st)	L	L	BA	UA	UA	UA	UA	UA	UA	UA
LAL (2nd)	H	×	×	VW0	VW1	×	×	×	×	LA

- 注: 5. A13~ A12 はライト動作時のバリアブルライトバースト長制御に使用します。

バリアブルライト(VW)真理値表

バースト長	項目	VW0	VW1
BL=2	Write All Words	L	×
	Write First One Word	H	×
BL=4	Reserved	L	L
	Write All Words	H	L
	Write First Two Words	L	H
	Write First One Word	H	H

動作真理値表(続き)

モードレジスタセットコマンド表

コマンド (記号)	\overline{CS}	FN	BA1~BA0	A13~A9	A8	A7	A6~A0	NOTES
RDA (1st)	L	H	x	x	x	x	x	
MRS (2nd)	L	x	V	V	V	V	V	6

注: 6. “モードレジスタ表”を参照して下さい。

オートリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A13~A9	A8	A7	A6~A0	NOTES
			n-1	n								
Active	WRA (1st)	Standby	H	H	L	L	x	x	x	x	x	
Auto-Refresh	REF (2nd)	Active	H	H	L	x	x	x	x	x	x	

セルフリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A13~A9	A8	A7	A6~A0	NOTES
			n-1	n								
Active	WRA (1st)	Standby	H	H	L	L	x	x	x	x	x	
Self-Refresh Entry	REF (2nd)	Active	H	L	L	x	x	x	x	x	x	7, 8
Self-Refresh Continue	—	Self-Refresh	L	L	x	x	x	x	x	x	x	
Self-Refresh Exit	SELFX	Self-Refresh	L	H	H	x	x	x	x	x	x	9

パワーダウンコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA1~BA0	A13~A9	A8	A7	A6~A0	NOTES
			n-1	n								
Power Down Entry	PDEN	Standby	H	L	H	x	x	x	x	x	x	8
Power Down Continue	—	Power Down	L	L	x	x	x	x	x	x	x	
Power Down Exit	PDEX	Power Down	L	H	H	x	x	x	x	x	x	9

- 注: 7. \overline{PD} は REF コマンドに対して t_{FPDL} の範囲内でロー状態にしなければなりません。
 8. \overline{PD} はロー状態にする時は、DQ ピンの状態がハイインピーダンス状態後として下さい。
 9. \overline{PD} をロー状態からハイ状態へ移行した場合、クロックに対して非同期動作となります。

動作真理値表 (続き)

現在の状態	PD		CS	FN	アドレス	コマンド	アクション	注
	n-1	n						
Idle	H	H	H	x	x	DESL	NOP	
	H	H	L	H	BA, UA	RDA	Row activate for Read	
	H	H	L	L	BA, UA	WRA	Row activate for Write	
	H	L	H	x	x	PDEN	Power Down Entry	10
	H	L	L	x	x	—	Illegal	
Row Active for Read	L	x	x	x	x	—	Refer to Power Down State	
	H	H	H	x	LA	LAL	Begin Read	
	H	H	L	x	Op-code	MRS/EMRS	Access to Mode Register	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	MRS/EMRS	Illegal	
Row Active for Write	L	x	x	x	x	—	Invalid	
	H	H	H	x	LA	LAL	Begin Write	
	H	H	L	x	x	REF	Auto-Refresh	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	REF (self)	Self-Refresh Entry	
Read	L	x	x	x	x	—	Invalid	
	H	H	H	x	x	DESL	Continue Burst Read to End	
	H	H	L	H	BA, UA	RDA	Illegal	11
	H	H	L	L	BA, UA	WRA	Illegal	11
	H	L	H	x	x	PDEN	Illegal	
Write	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
	H	H	H	x	x	DESL	Data Write&Continue Burst Write to End	
	H	H	L	H	BA, UA	RDA	Illegal	11
	H	H	L	L	BA, UA	WRA	Illegal	11
Auto-Refreshing	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Refer to Self-Refreshing State	
	H	H	H	x	x	DESL	NOP → Idle after IREFC	
	H	H	L	H	BA, UA	RDA	Illegal	
Mode Register Accessing	H	H	L	L	BA, UA	WRA	Illegal	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
	Power Down	L	x	x	x	x	—	Invalid
L		L	x	x	x	—	Maintain Power Down Mode	
L		H	H	x	x	PDEX	Exit Power Down Mode → Idle after tPDEX	
L		H	L	x	x	—	Illegal	
Self-Refreshing	L	H	L	x	x	—	Illegal	
	L	L	x	x	x	—	Maintain Self-Refresh	
	L	H	H	x	x	SELFX	Exit Self-Refresh → Idle after IREFC	
	L	H	L	x	x	—	Illegal	

- 注: 10. 全てのバンクがアイドル状態でなければ禁止コマンドとなります。
 11. 指定された状態のバンクに対する禁止コマンドです。バンクアドレスによって指定されたバンクによっては、正常な動作が可能です。
 12. tPDL 規定を満たさなければなりません。

モードレジスタ表

MRS (レギュラーモードレジスタセット) (注: 1)

ADDRESS	BA1 ^{*1}	BA0 ^{*1}	A13~A8	A7 ^{*3}	A6~A4	A3	A2~A0
Register	0	0	0	TE	CL	BT	BL

A7	TEST MODE (TE)
0	Regular (default)
1	Test Mode Entry

A3	BURST TYPE (BT)
0	Sequential
1	Interleave

A6	A5	A4	CAS [¯] LATENCY (CL)
0	0	×	Reserved ^{*2}
0	1	0	Reserved ^{*2}
0	1	1	Reserved ^{*2}
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	Reserved ^{*2}

A2	A1	A0	BURST LENGTH (BL)
0	0	0	Reserved ^{*2}
0	0	1	2
0	1	0	4
0	1	1	Reserved ^{*2}
1	×	×	

EMRS (エクステンディッドモードレジスタセット) (注: 4)

ADDRESS	BA1 ^{*4}	BA0 ^{*4}	A13~A7	A6~A5	A4~A3	A2~A1	A0 ^{*5}
Register	0	1	0	SS	DIC (QS)	DIC (DQ)	DS

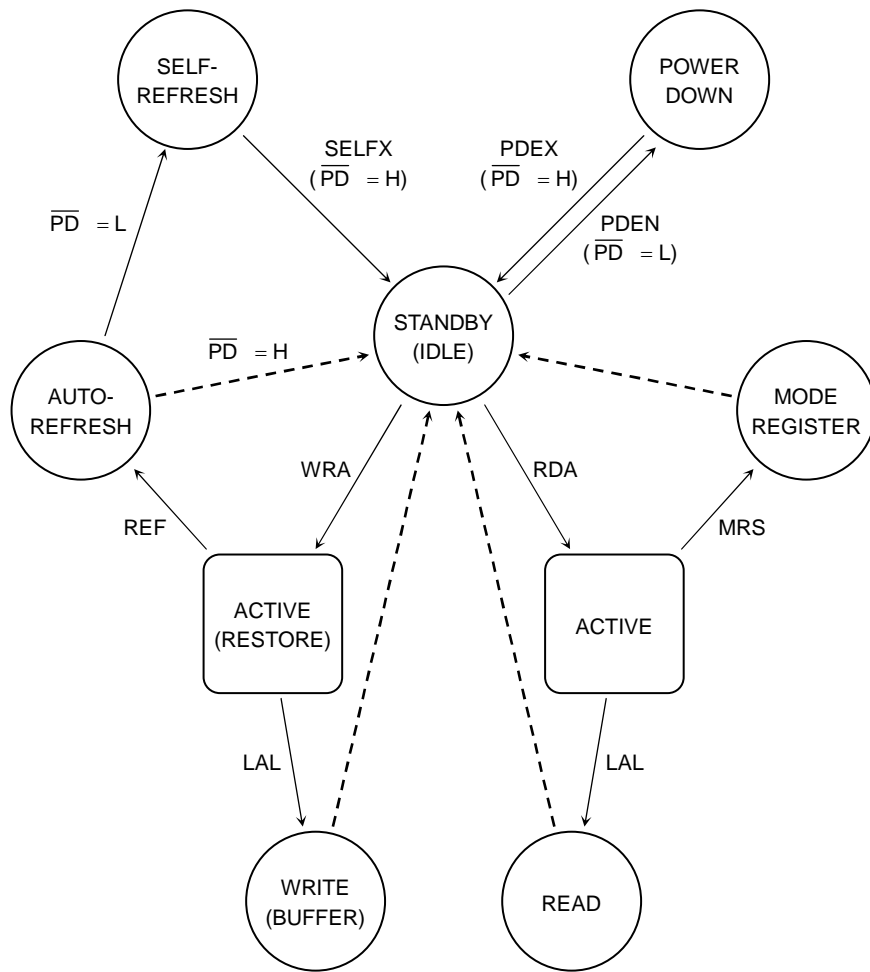
A6	A5	STROBE SELECT
0	0	Reserved ^{*2}
0	1	Reserved ^{*2}
1	0	Unidirectional DS/QS
1	1	Unidirectional DS/Free Running QS

QS		DQ		OUTPUT DRIVE IMPEDANCE CONTROL (DIC)
A4	A3	A2	A1	
0	0	0	0	Normal Output Driver
0	1	0	1	Strong Output Driver
1	0	1	0	Weak Output Driver
1	1	1	1	Reserved

A0	DLL SWITCH (DS)
0	DLL Enable
1	DLL Disable

- 注:
- レギュラーモードレジスタは BA0 = 0 と BA1 = 0 の組み合わせによって選択されます。
 - レギュラーモードレジスタ中の“Reserved”にはセットしないで下さい。
 - テストモードは特殊な動作モードの為、レギュラーモードレジスタの際の A7 は“0” (ロー状態) にセットして下さい。
 - エクステンディッドモードレジスタは BA0 = 1 と BA1 = 0 の組み合わせによって選択されます。
 - エクステンディッドモードレジスタ時の A0 は“0”(ロー状態) にセットしてください。

状態遷移図

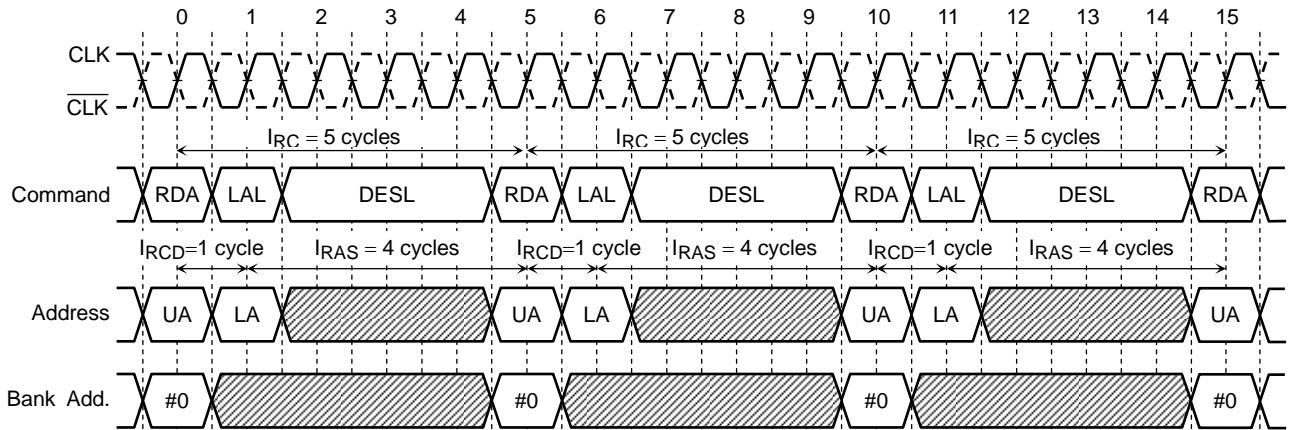


————> Command input
 - - - -> Automatic return

アクティブ状態における2番目のコマンドは、RDAまたはWRAコマンド入力から1クロック後に入力されなければなりません。

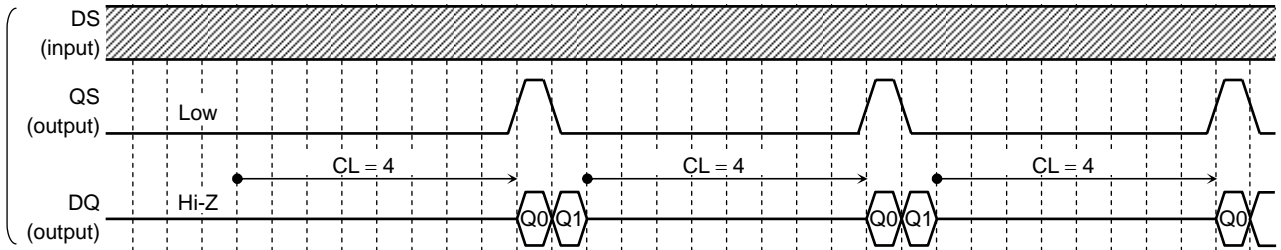
タイミング図

シングルバンクリードタイミング (CL = 4)

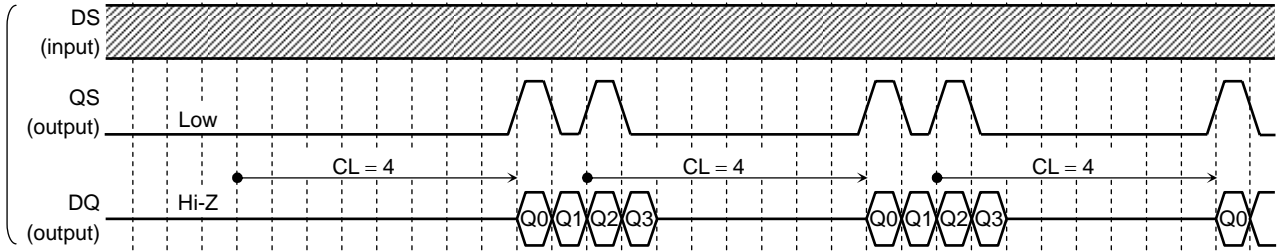


Unidirectional DS/QS mode

BL = 2

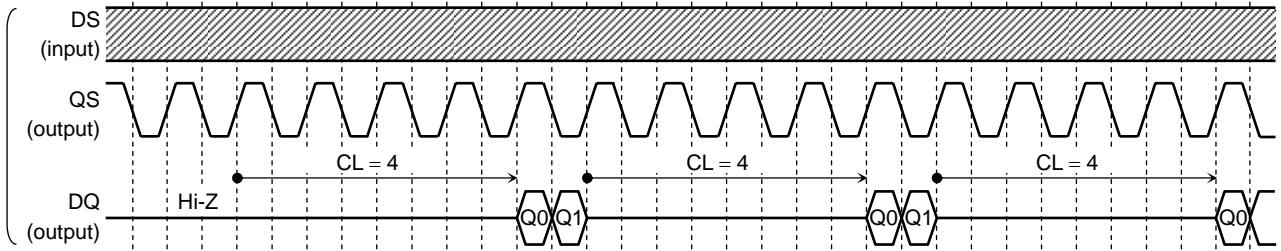


BL = 4

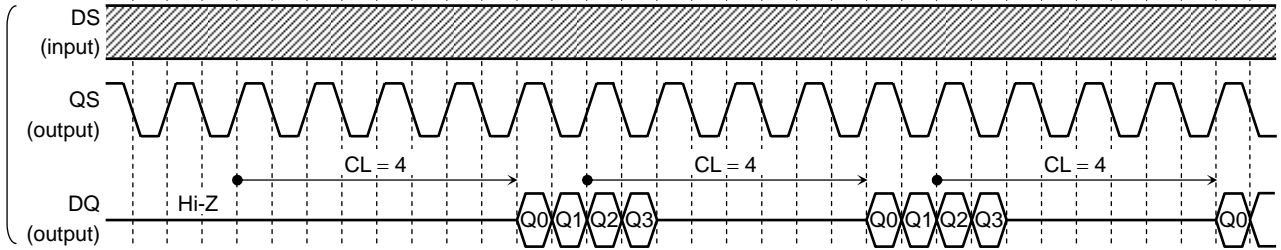


Unidirectional DS/Free Running QS mode

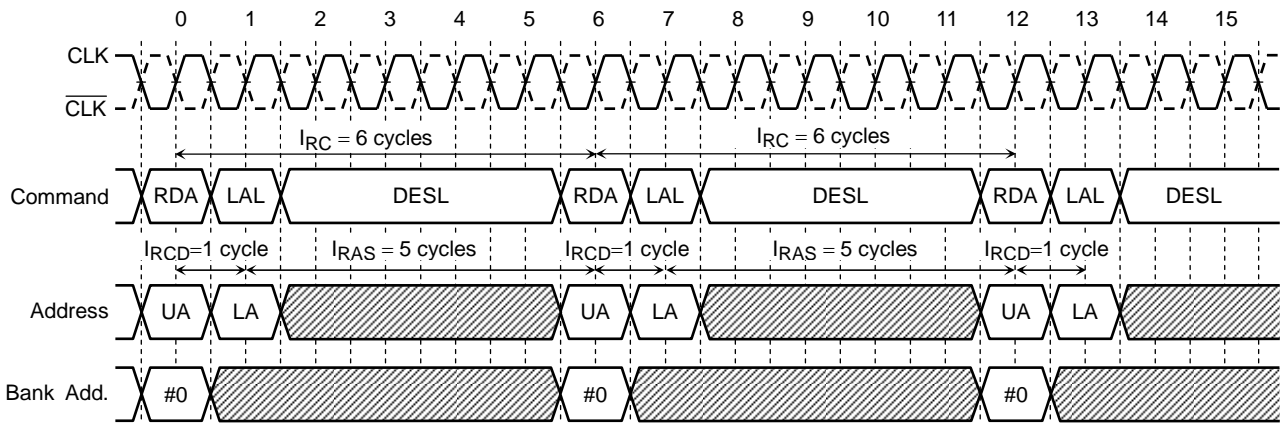
BL = 2



BL = 4

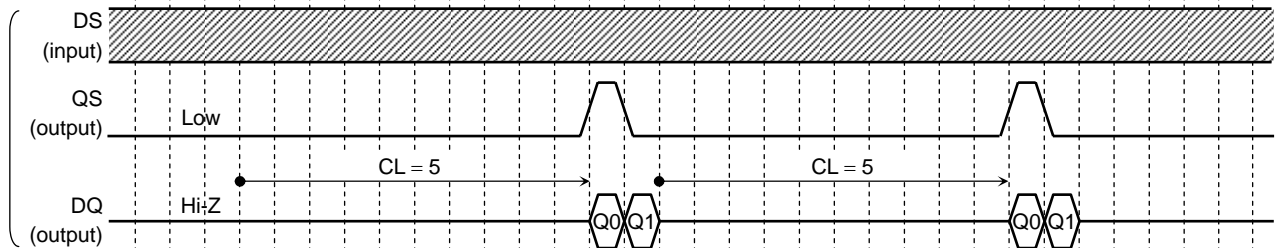


シングルバンクリードタイミング (CL = 5)

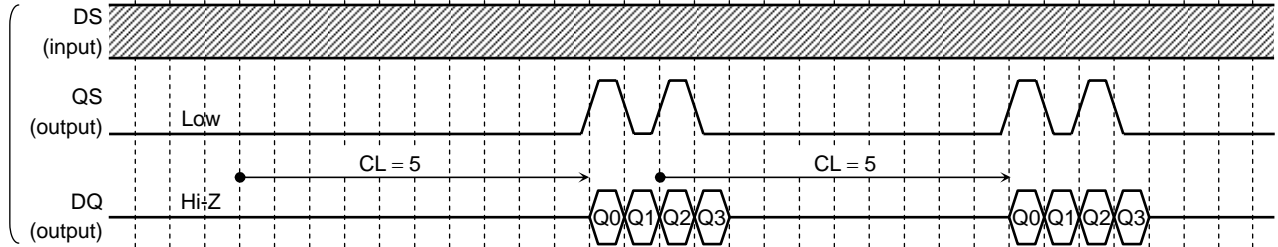


Unidirectional DS/QS mode

BL = 2

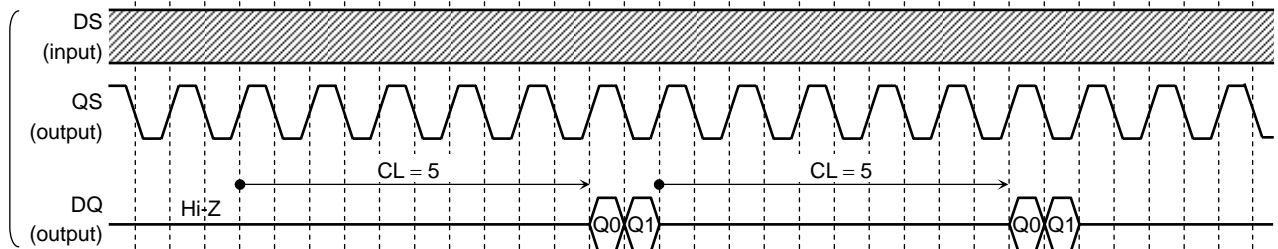


BL = 4

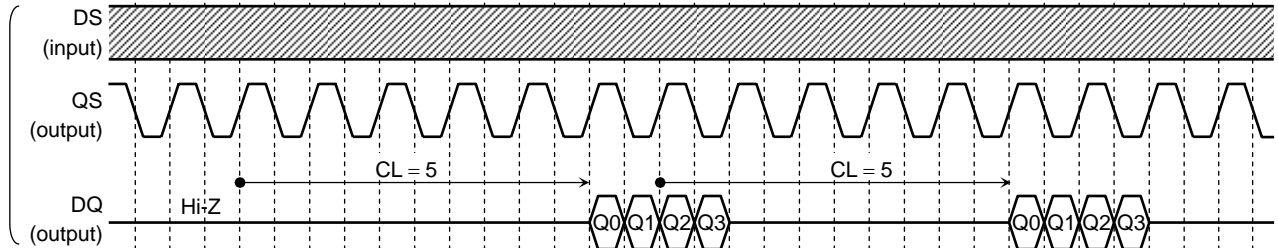


Unidirectional DS/Free Running QS mode

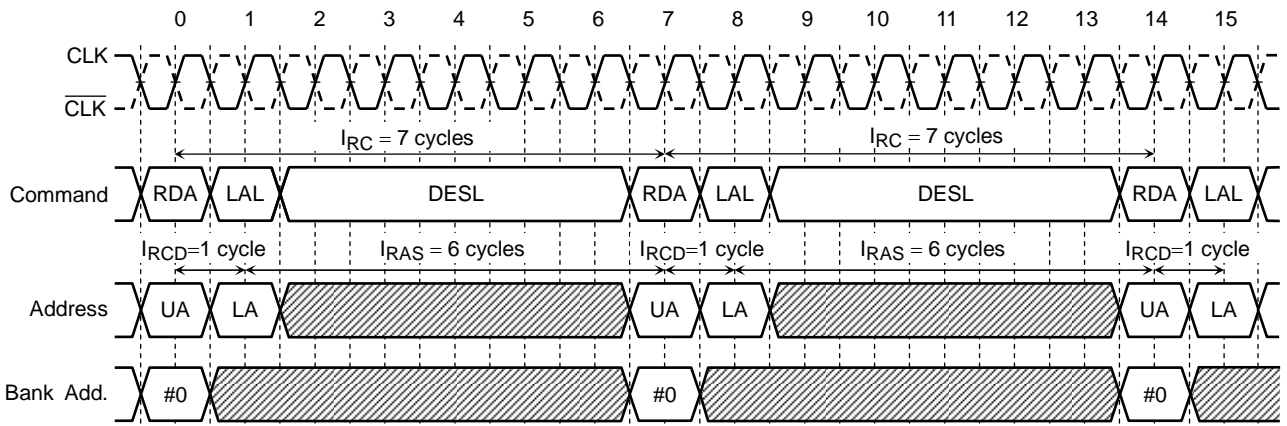
BL = 2



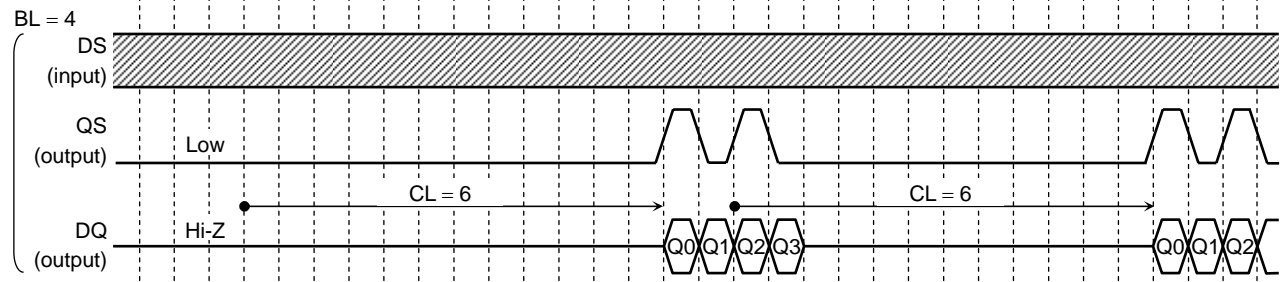
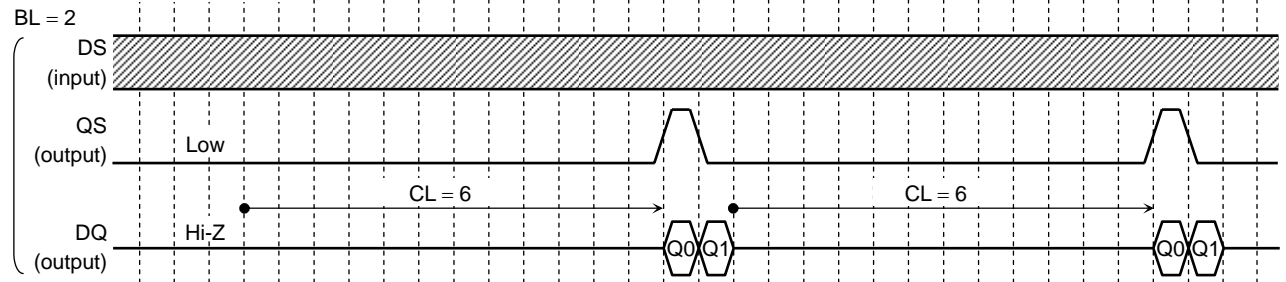
BL = 4



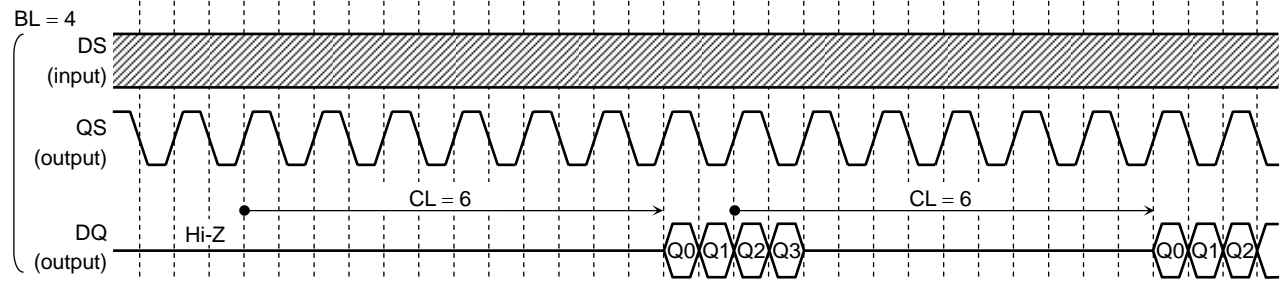
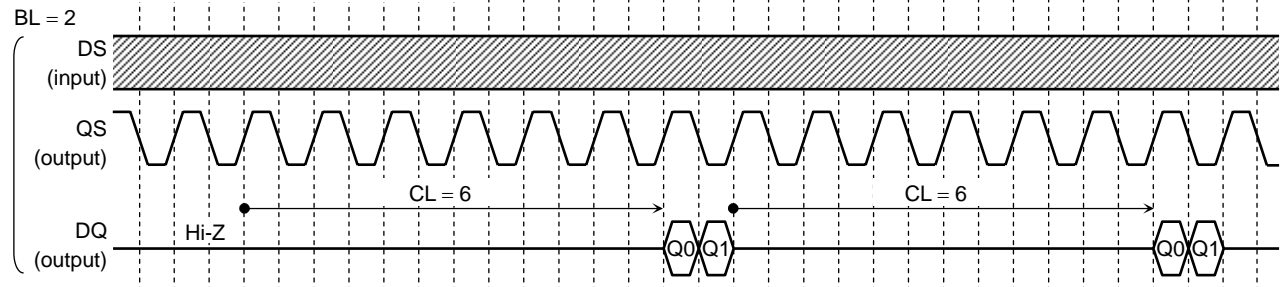
シングルバンクリードタイミング (CL = 6)



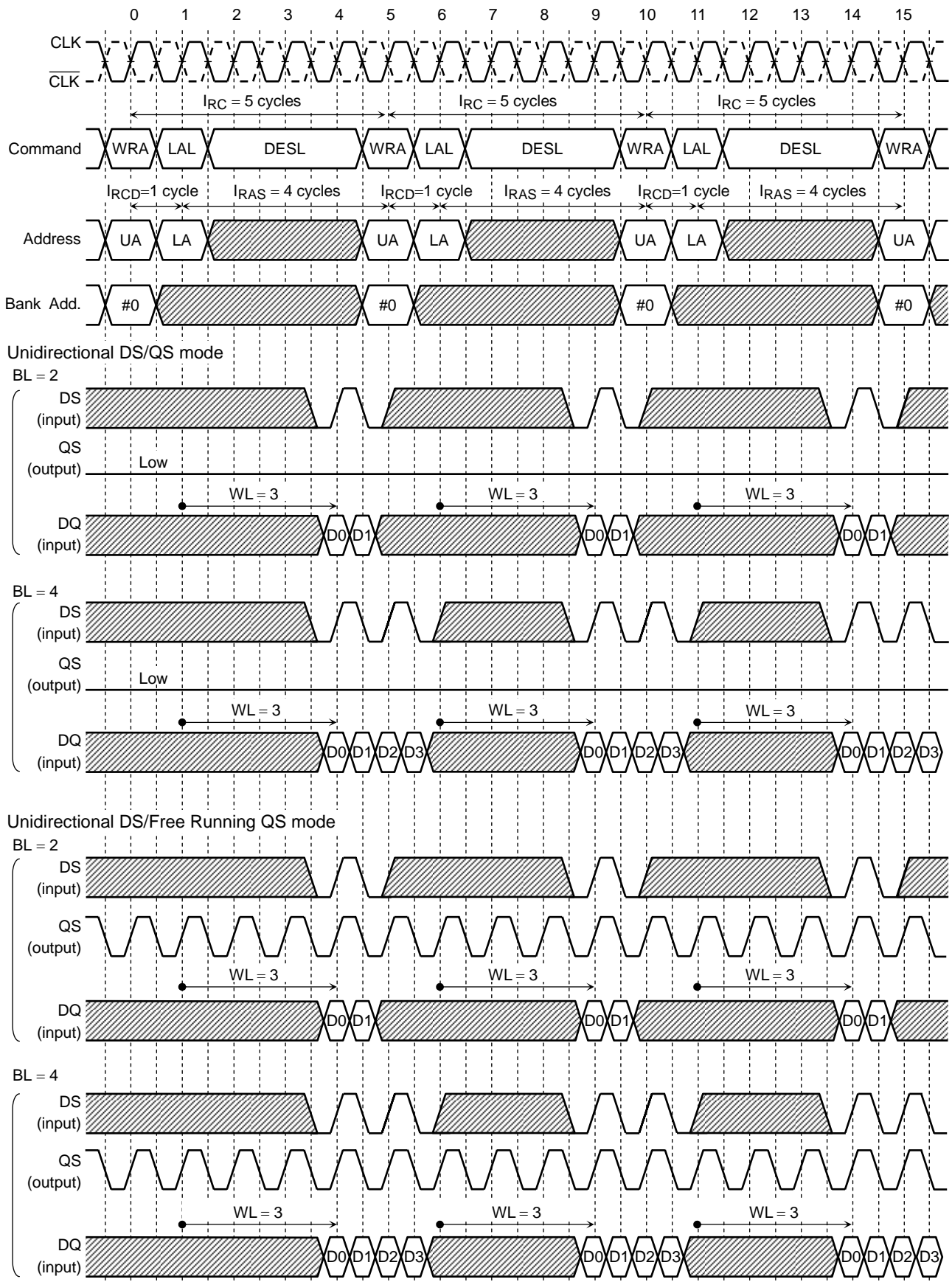
Unidirectional DS/QS mode



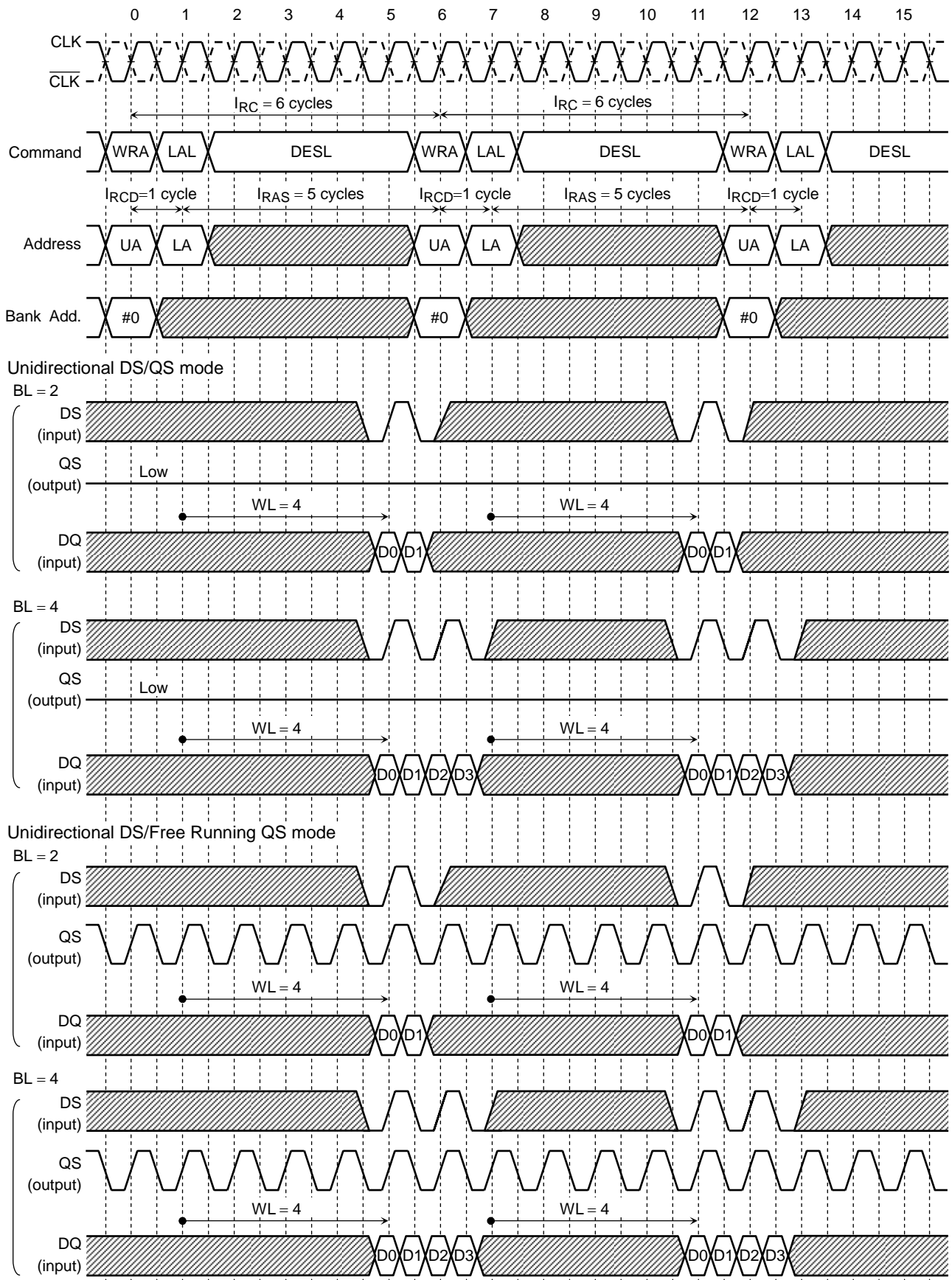
Unidirectional DS/Free Running QS mode



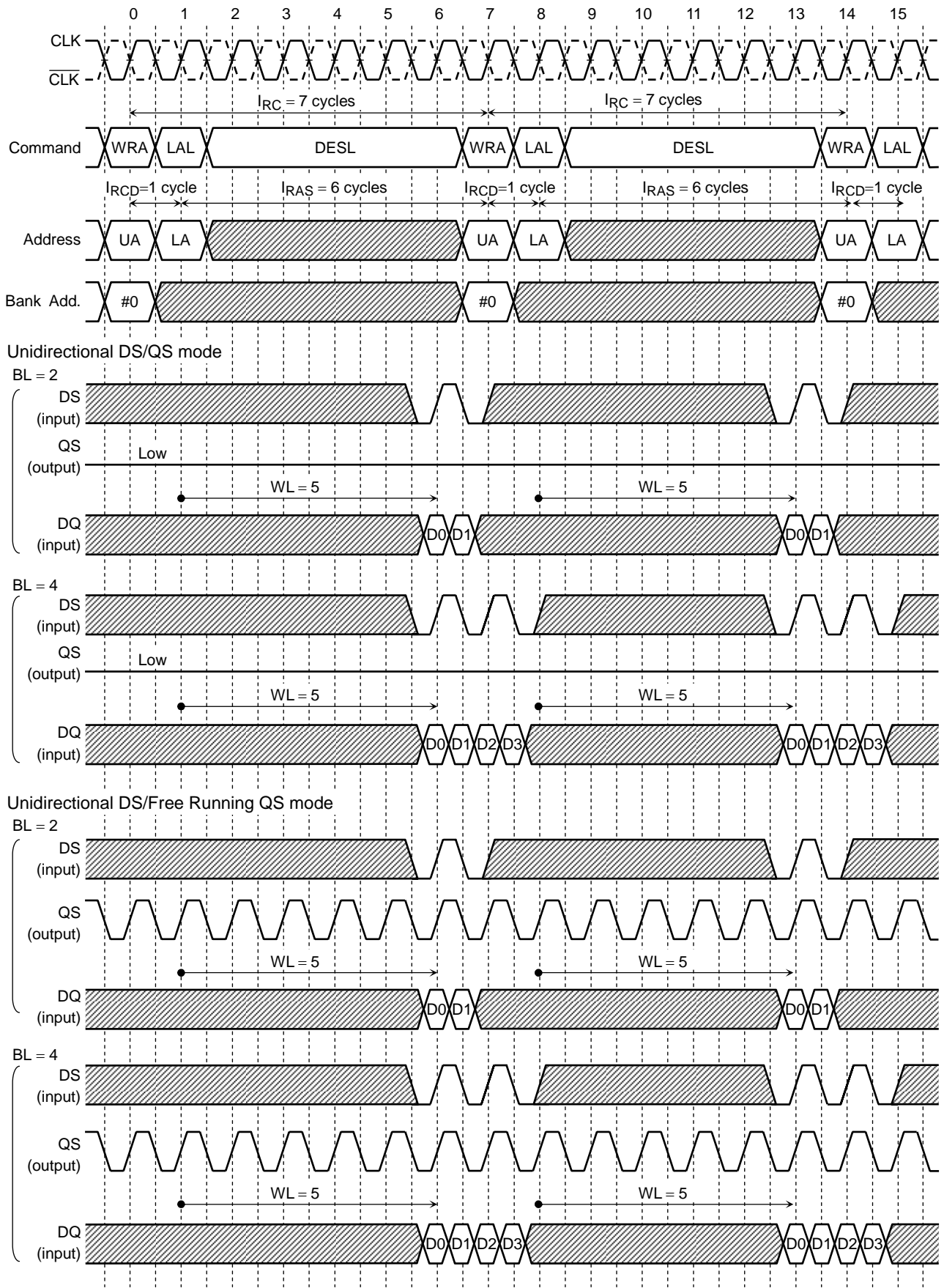
シングルバンクライトタイミング (CL = 4)



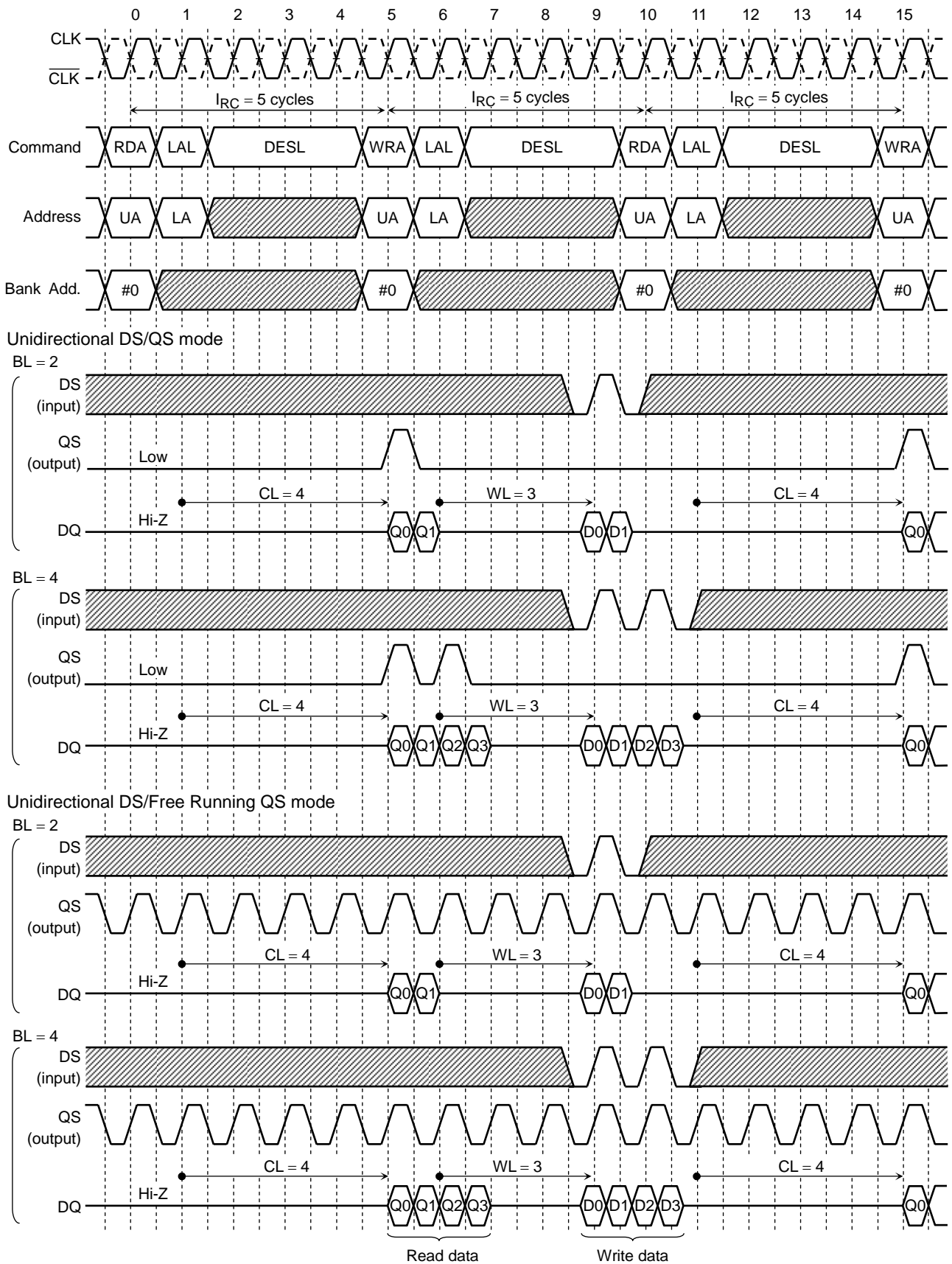
シングルバンクライトタイミング (CL = 5)



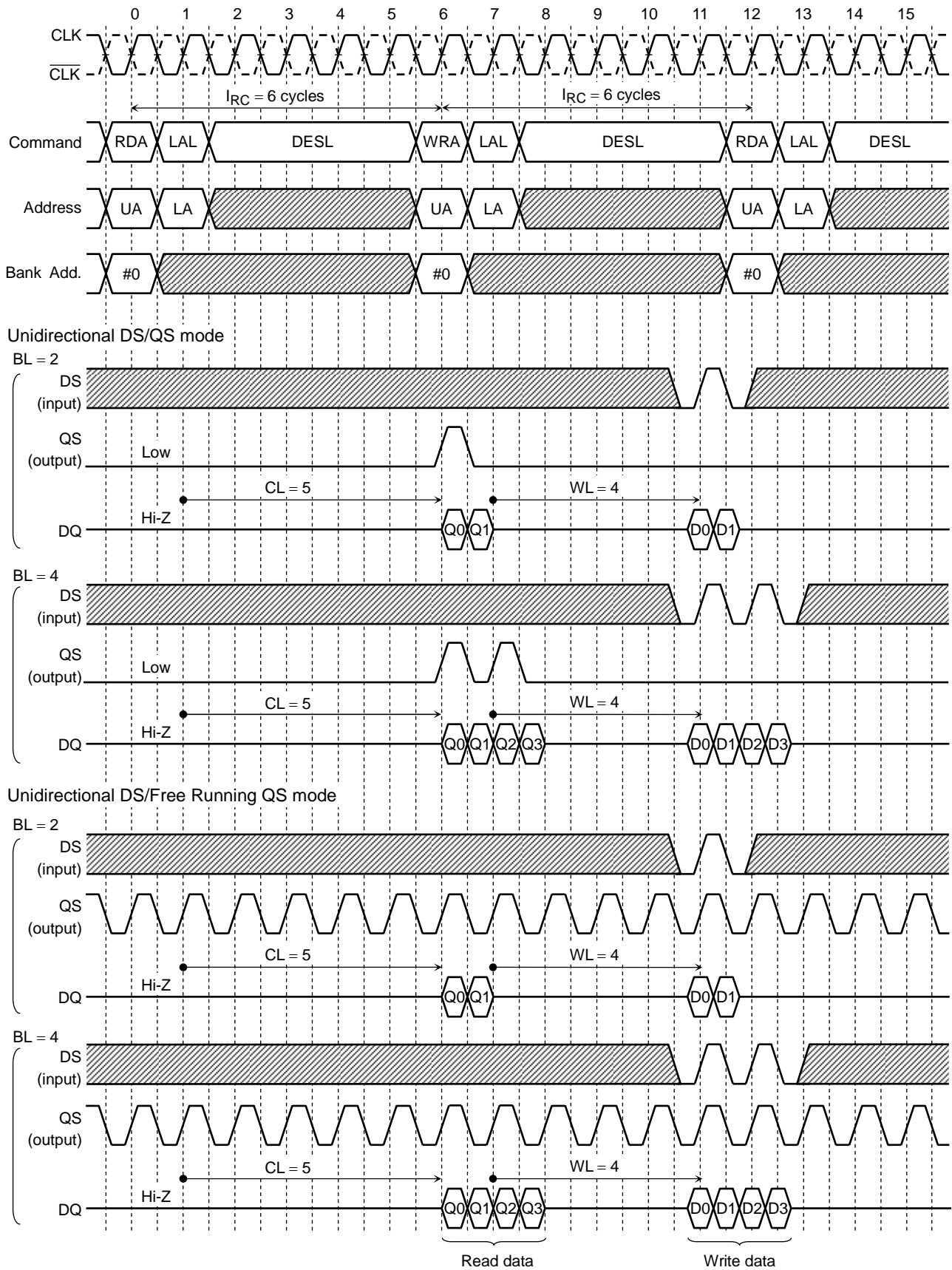
シングルバンクライトタイミング (CL = 6)



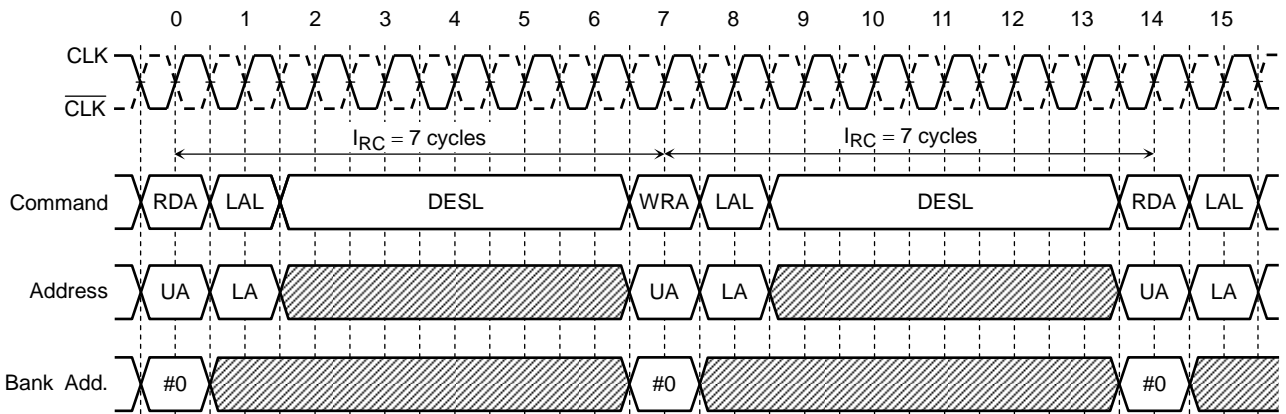
シングルバンクリード/ライトタイミング (CL = 4)



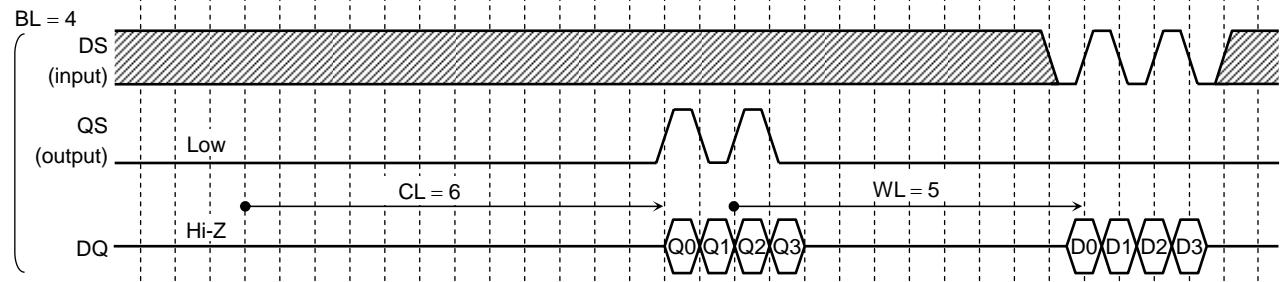
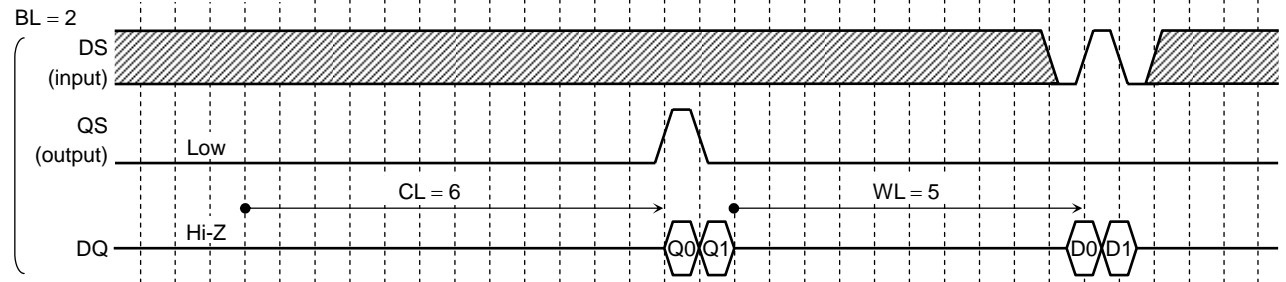
シングルバンクリード/ライトタイミング (CL = 5)



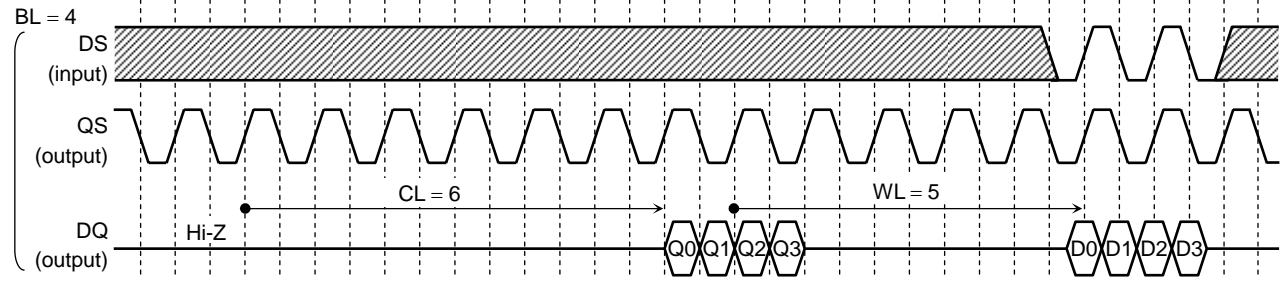
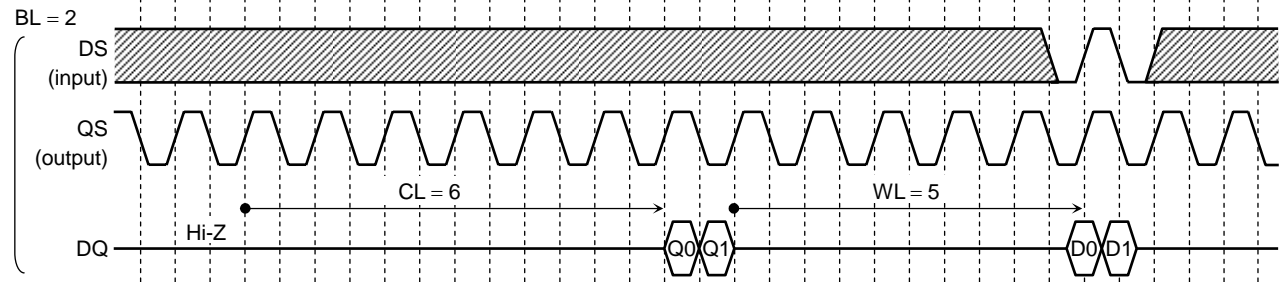
シングルバンクリード/ライトタイミング (CL = 6)



Unidirectional DS/QS mode



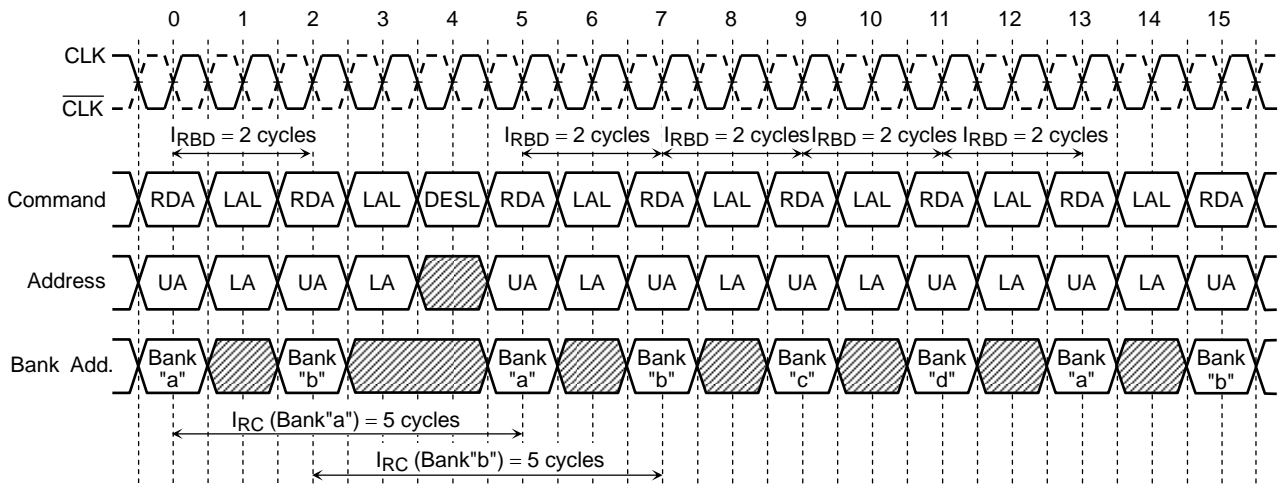
Unidirectional DS/Free Running QS mode



Read data

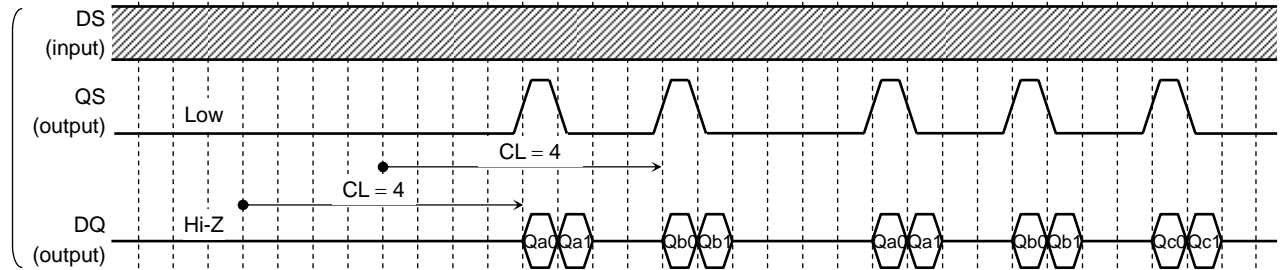
Write data

マルチバンクリードタイミング (CL = 4)

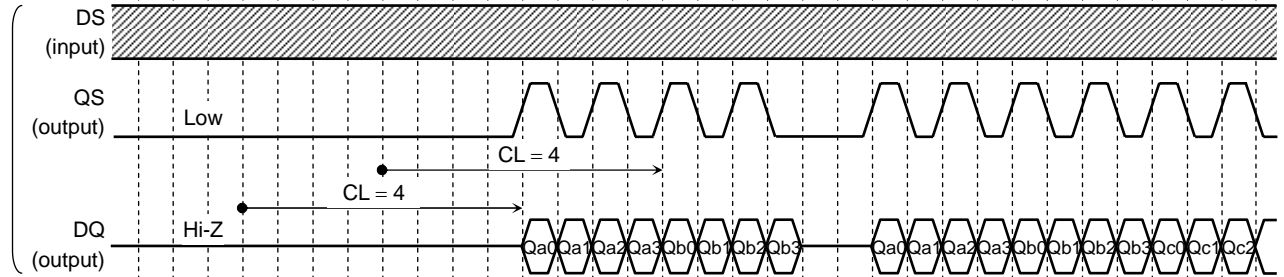


Unidirectional DS/QS mode

BL = 2

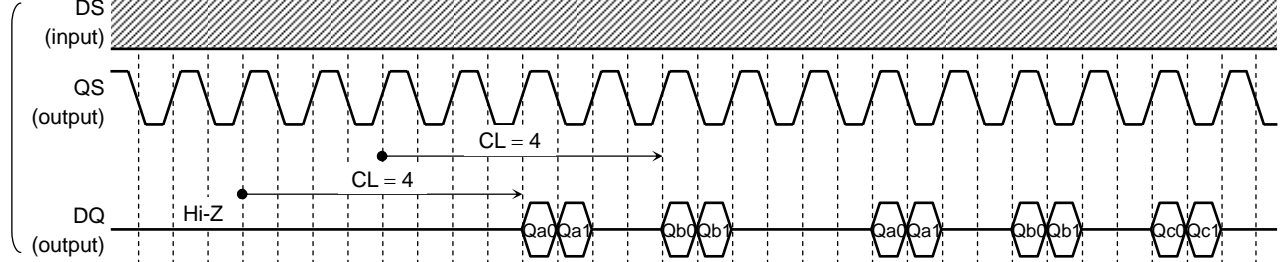


BL = 4

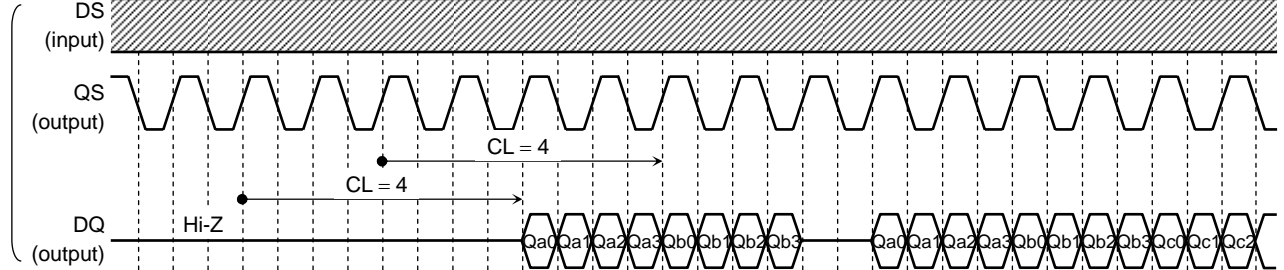


Unidirectional DS/Free Running QS mode

BL = 2

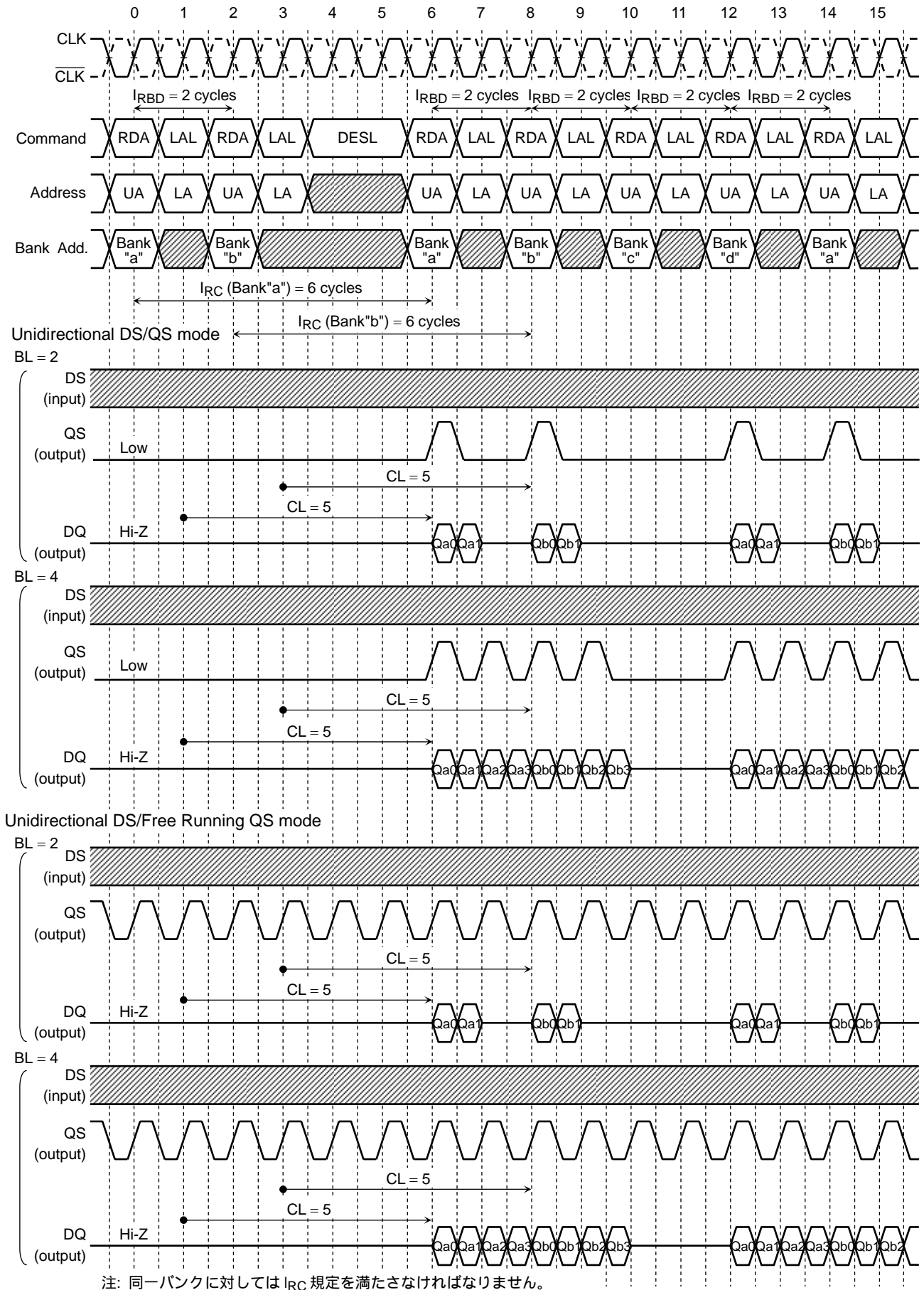


BL = 4

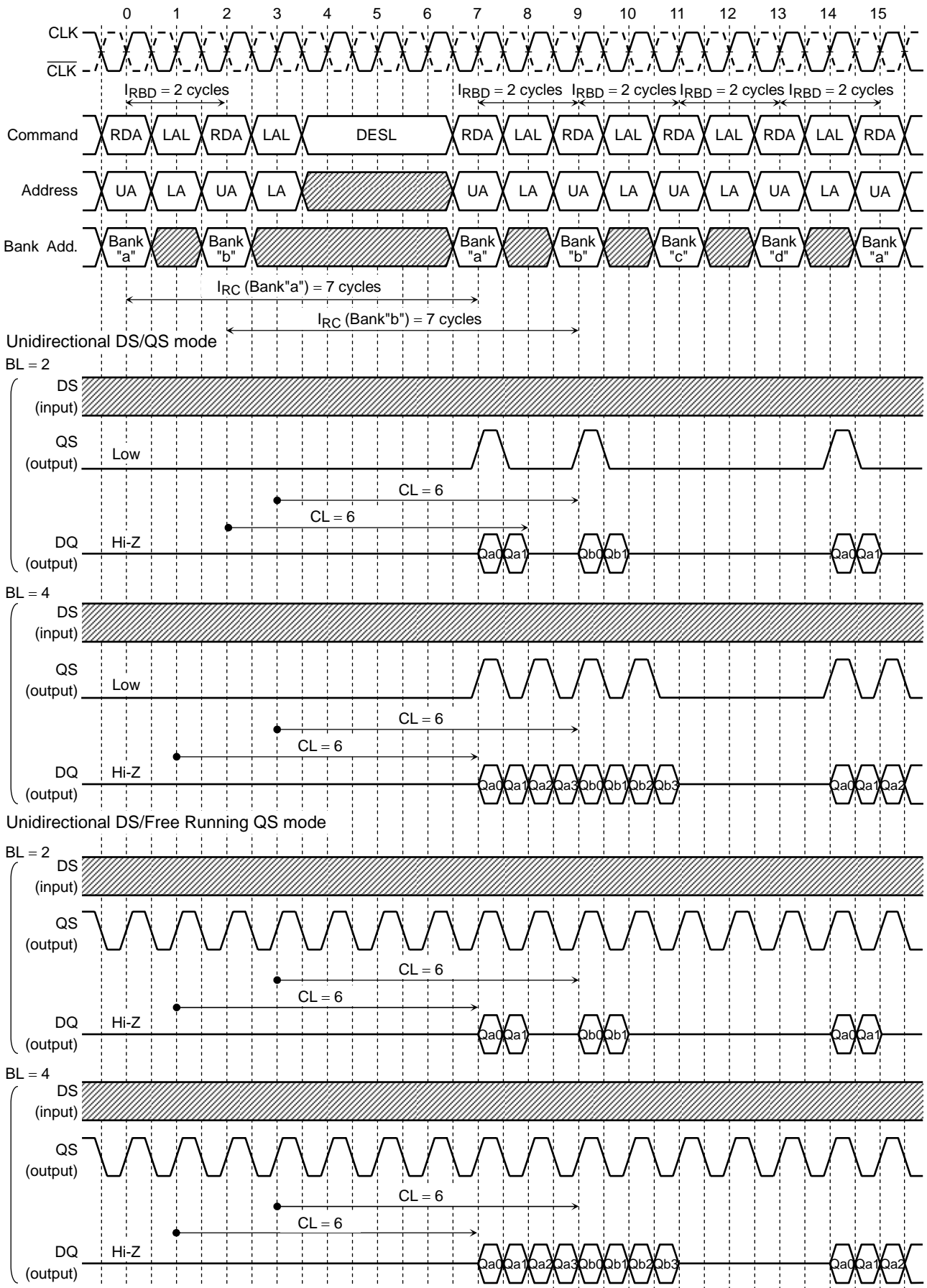


注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチプルバンクリードタイミング (CL = 5)

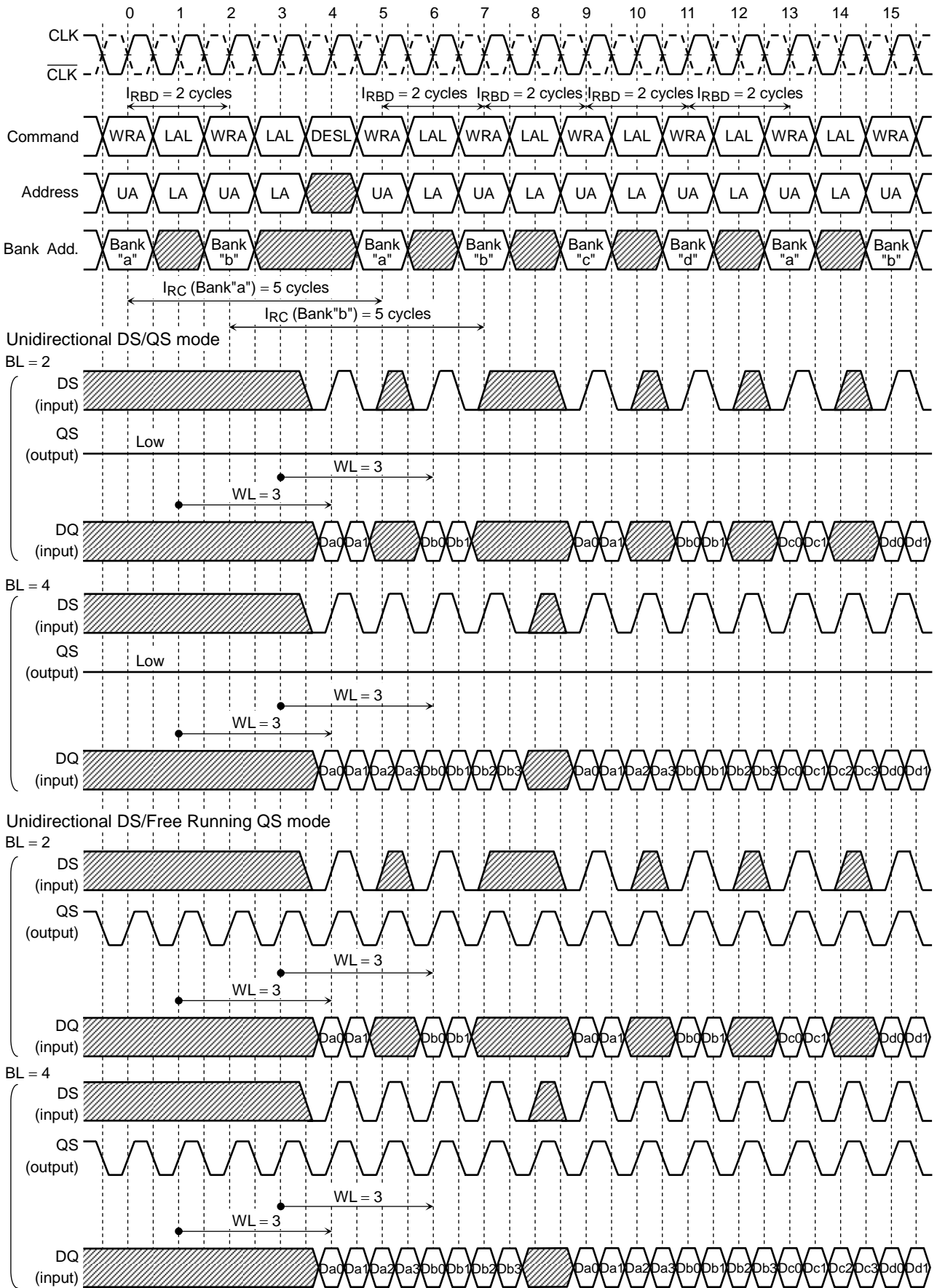


マルチバンクリードタイミング (CL = 6)



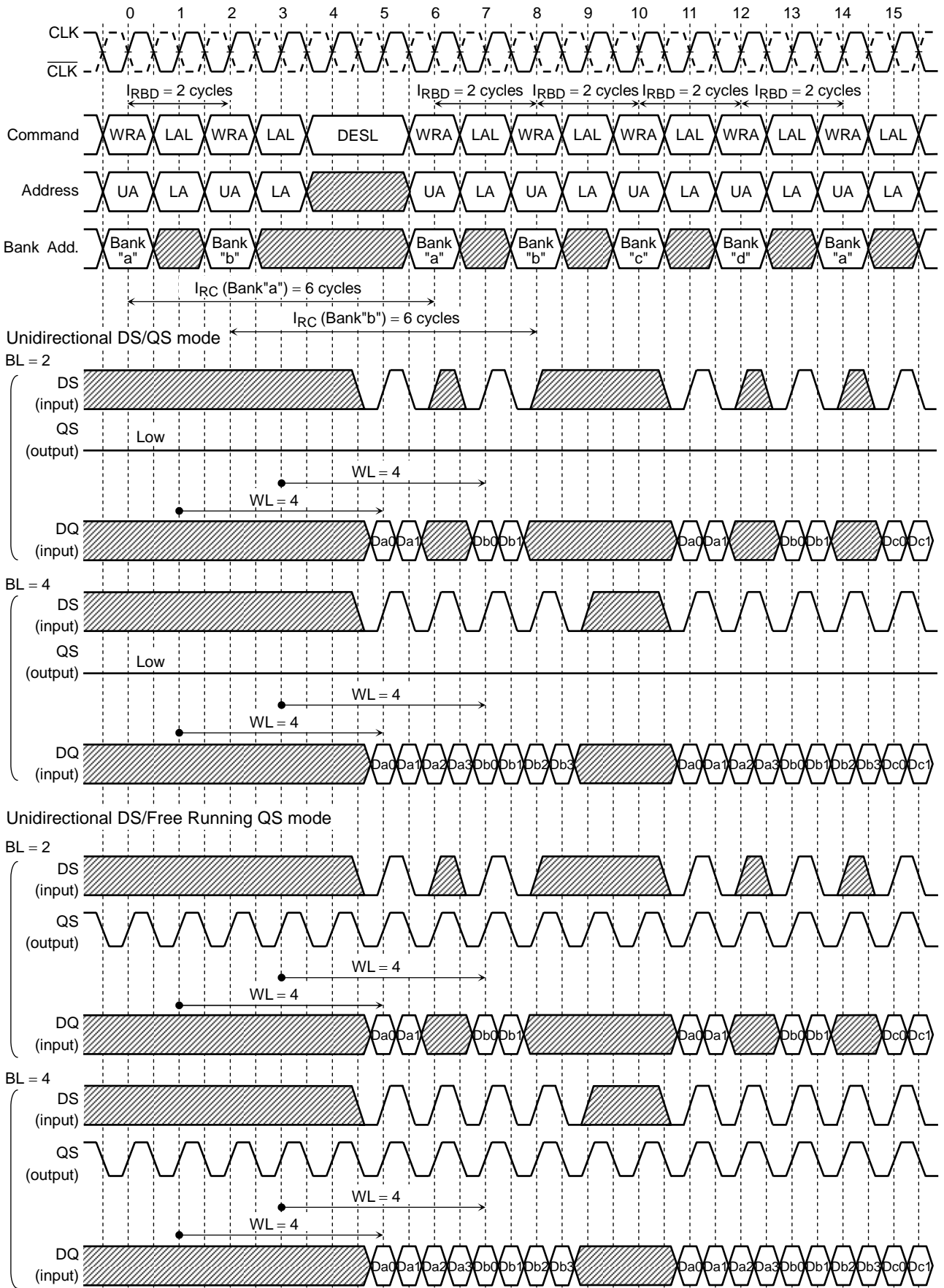
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクライトタイミング (CL = 4)



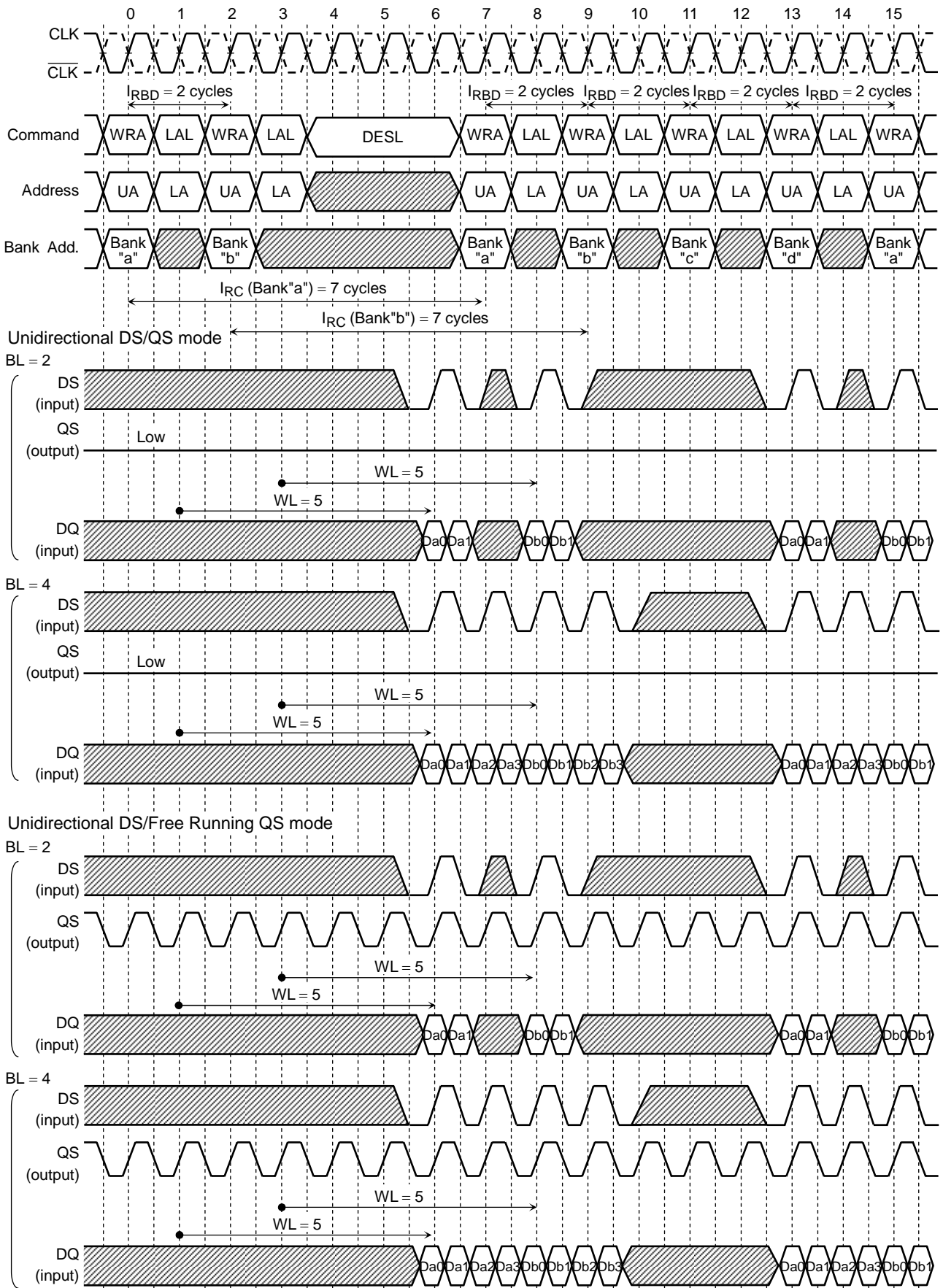
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクライトタイミング (CL = 5)



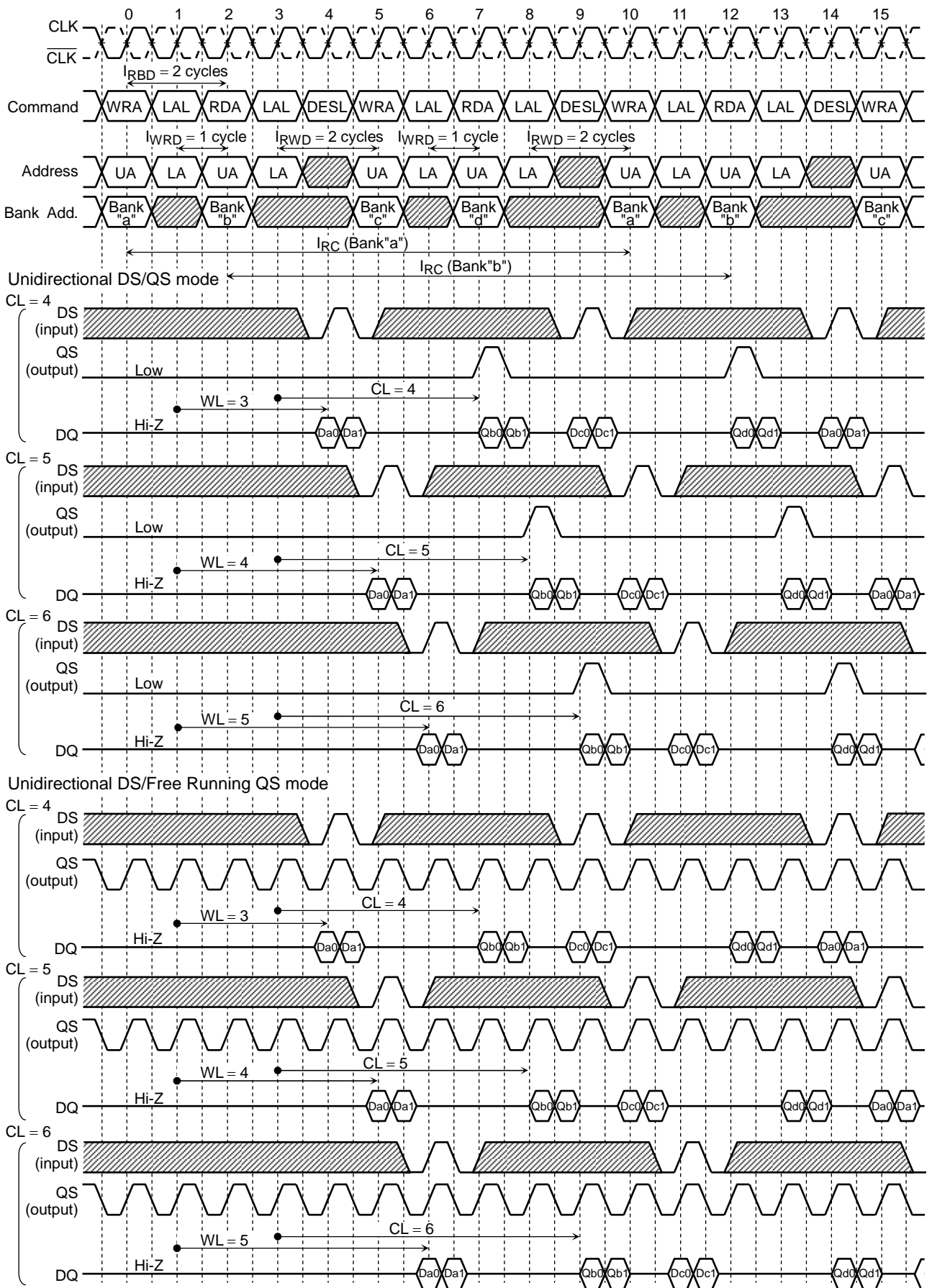
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクライトタイミング (CL = 6)



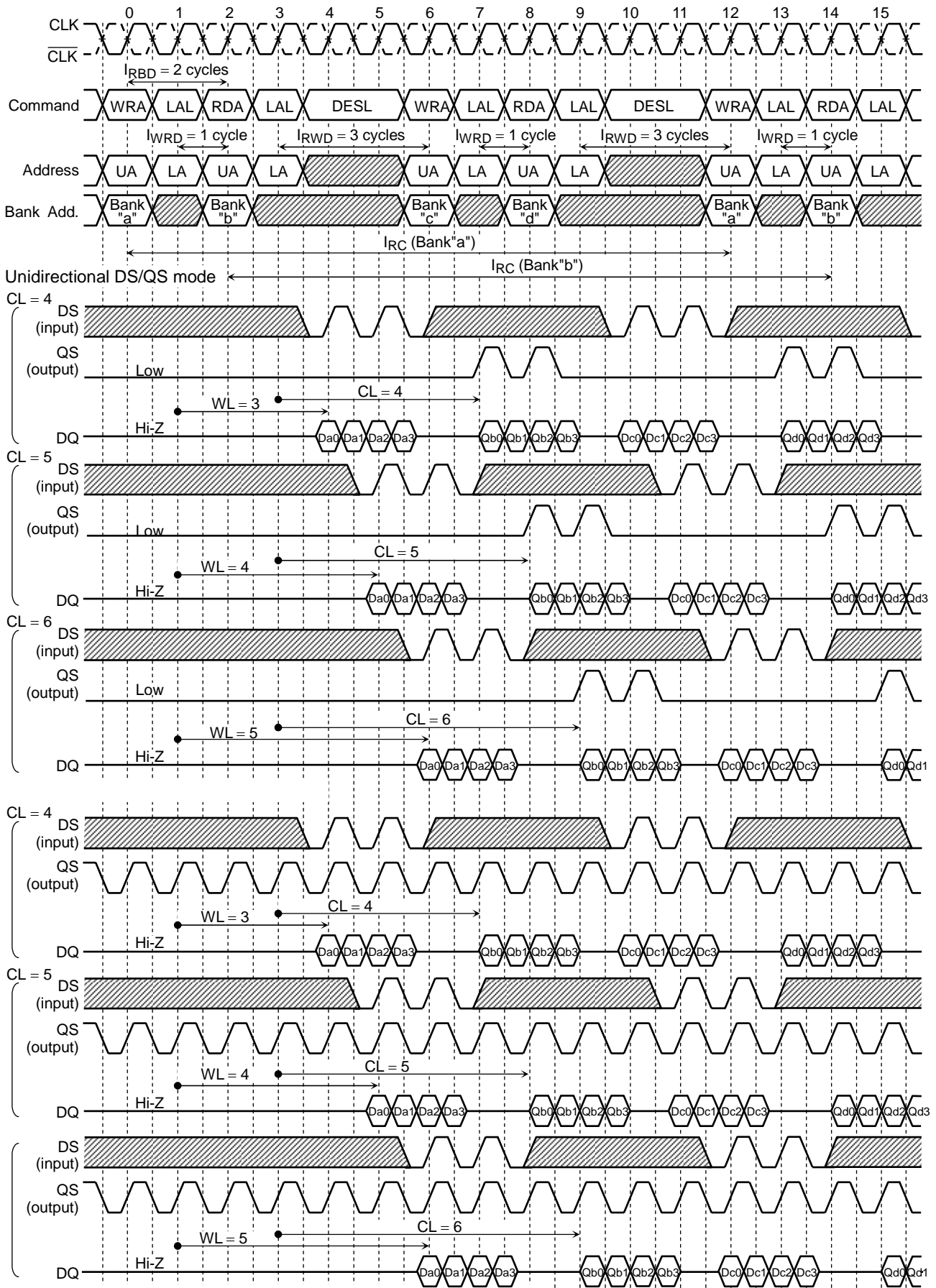
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクリード/ライトタイミング (BL = 2)



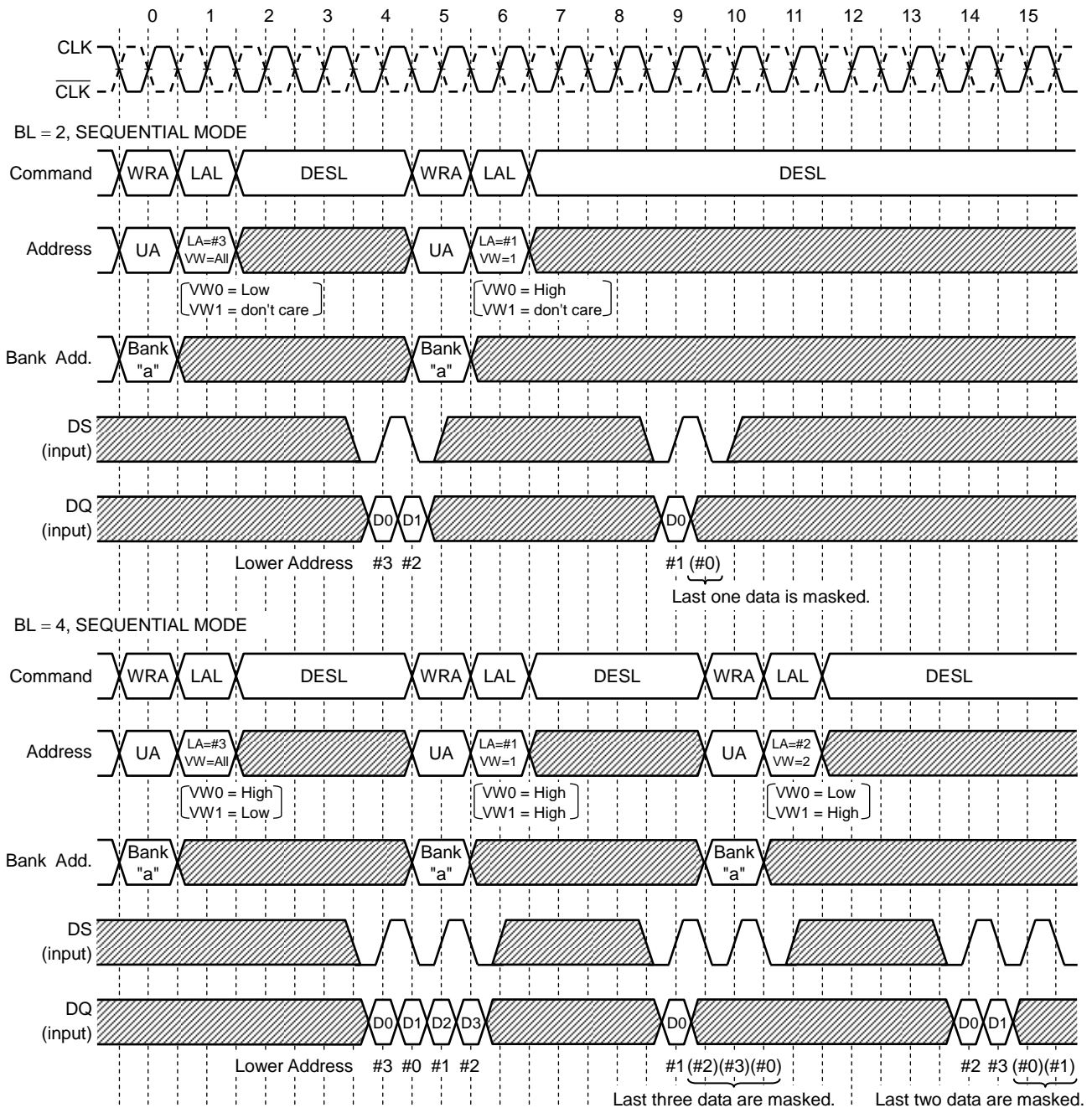
注: 同一バンクに対しては IRC 規定を満たさなければなりません。

マルチバンクリード/ライトタイミング (BL = 4)



注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

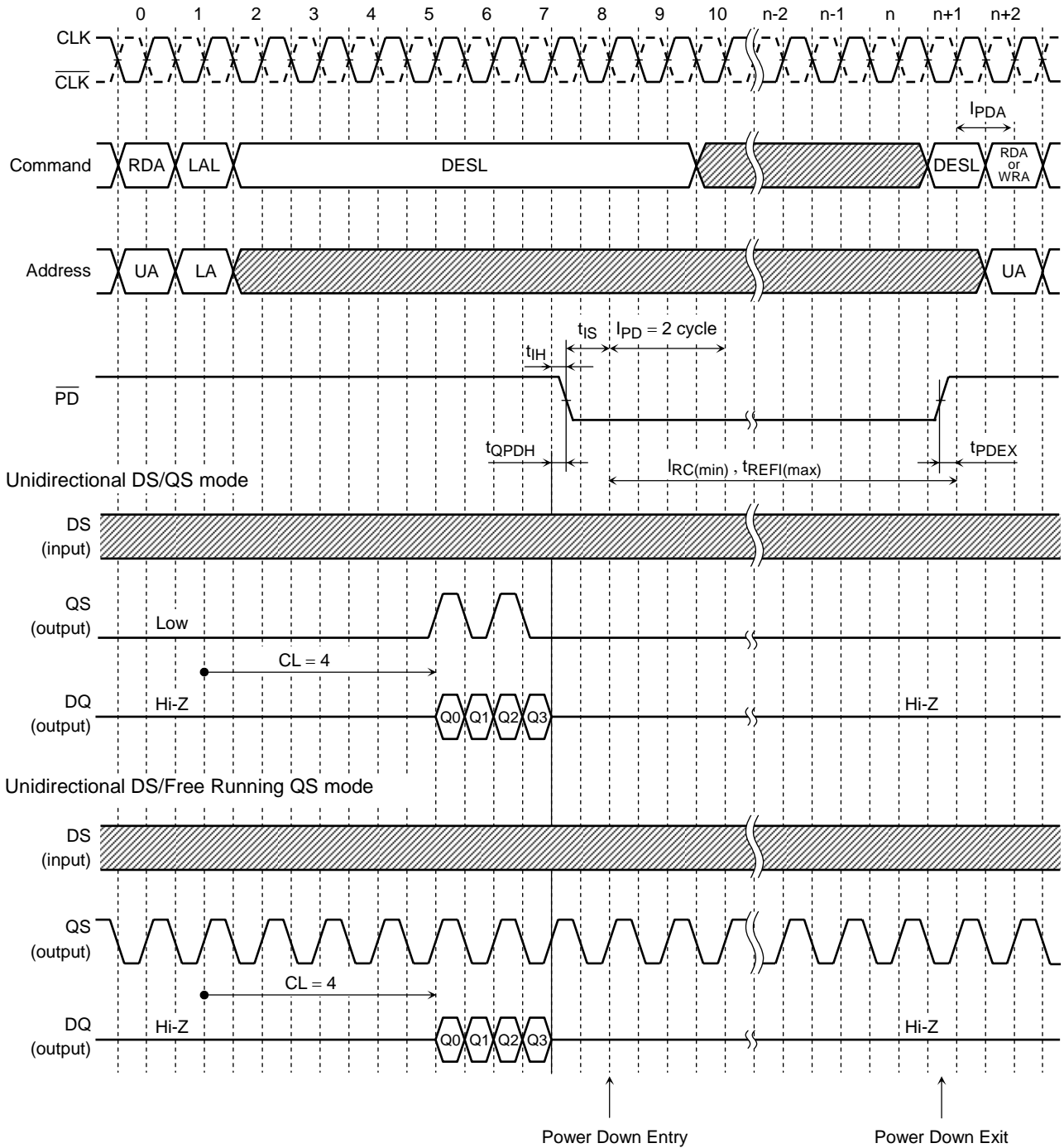
バリアブルライト(VW)によるライトコントロール (CL = 4)



注: バースト長後半のデータがマスクされる場合でも、DSの入力はMRSで設定された、バースト長分まで継続して下さい。

パワーダウタイミング (CL = 4, BL = 4)

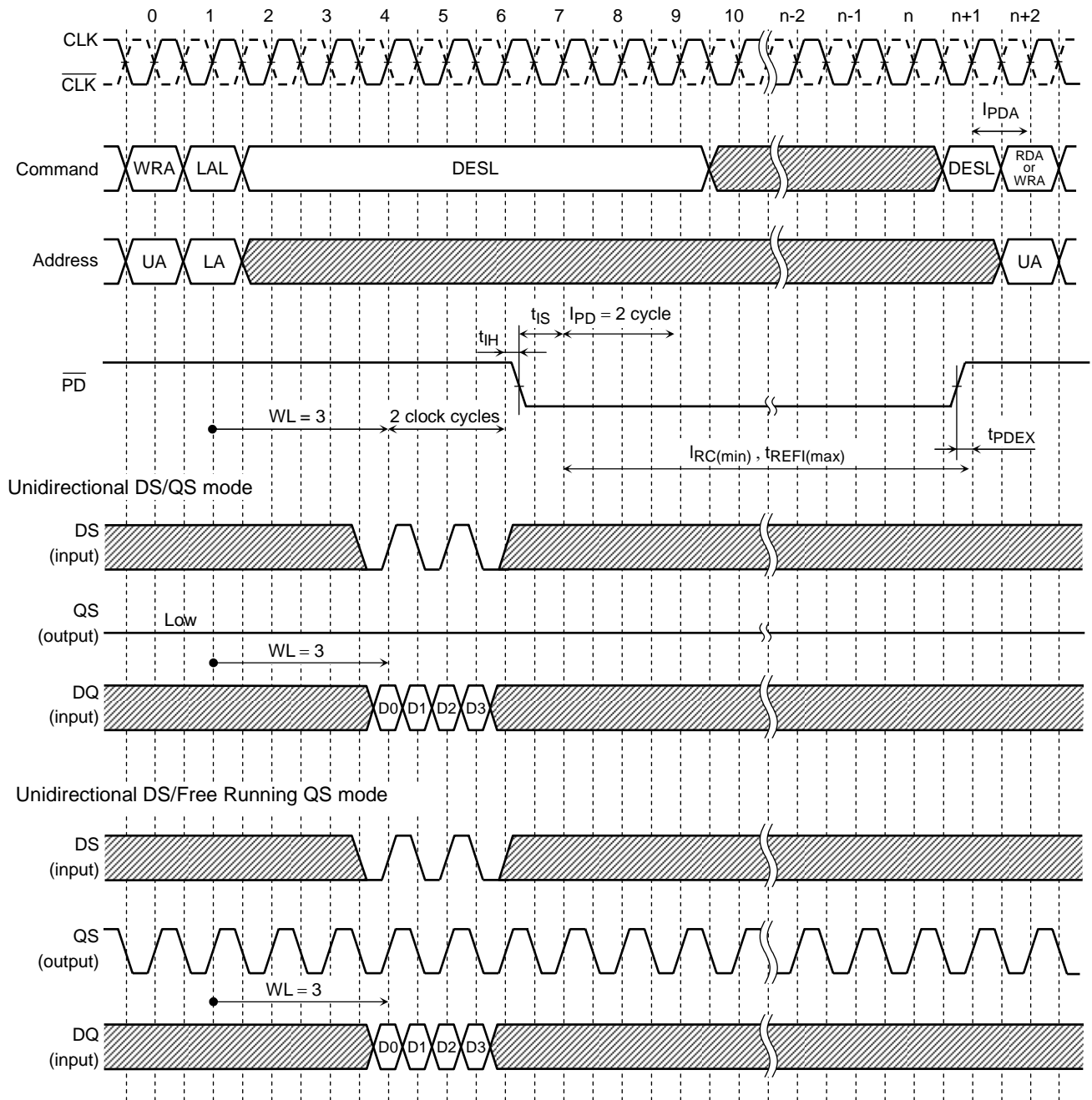
リードサイクルからのパワーダウタイミング



注: \overline{PD} はデータ出力が終了するまでハイ状態を維持して下さい。
 \overline{PD} はデータ保持の為 $t_{REFI(max)}$ 規定内はハイ状態にして下さい。
 パワーダウンモード中は \overline{PD} をロー状態にし、安定したクロック信号を入力して下さい。
 \overline{PD} がハイ状態に遷移した後の I_{PDA} サイクル後にコマンド入力の有効となります。

パワーダウンタイミング (CL = 4, BL = 4)

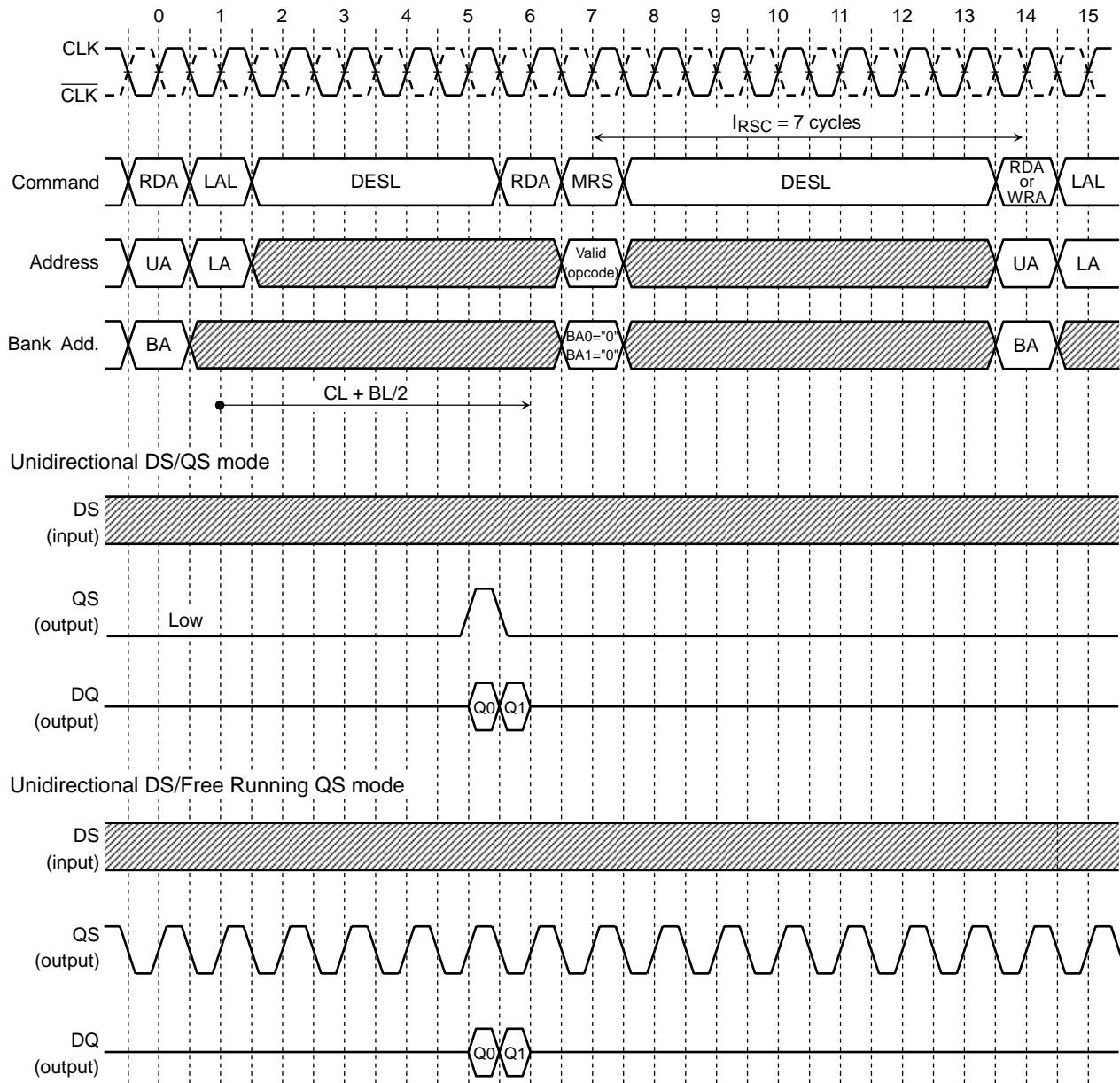
ライトサイクルからのパワーダウンタイミング



注: \overline{PD} は LAL コマンドから WL+2 クロックまでハイ状態を維持して下さい。
 \overline{PD} はデータ保持の為 $t_{REFI(max)}$ 規定内はハイ状態にして下さい。
 パワーダウンモード中は \overline{PD} をロー状態にし、安定したクロック信号を入力して下さい。
 \overline{PD} がハイ状態に遷移した後の t_{PDA} サイクル後にコマンド入力が有効となります。

モードレジスタセットタイミング (CL = 4, BL = 2)

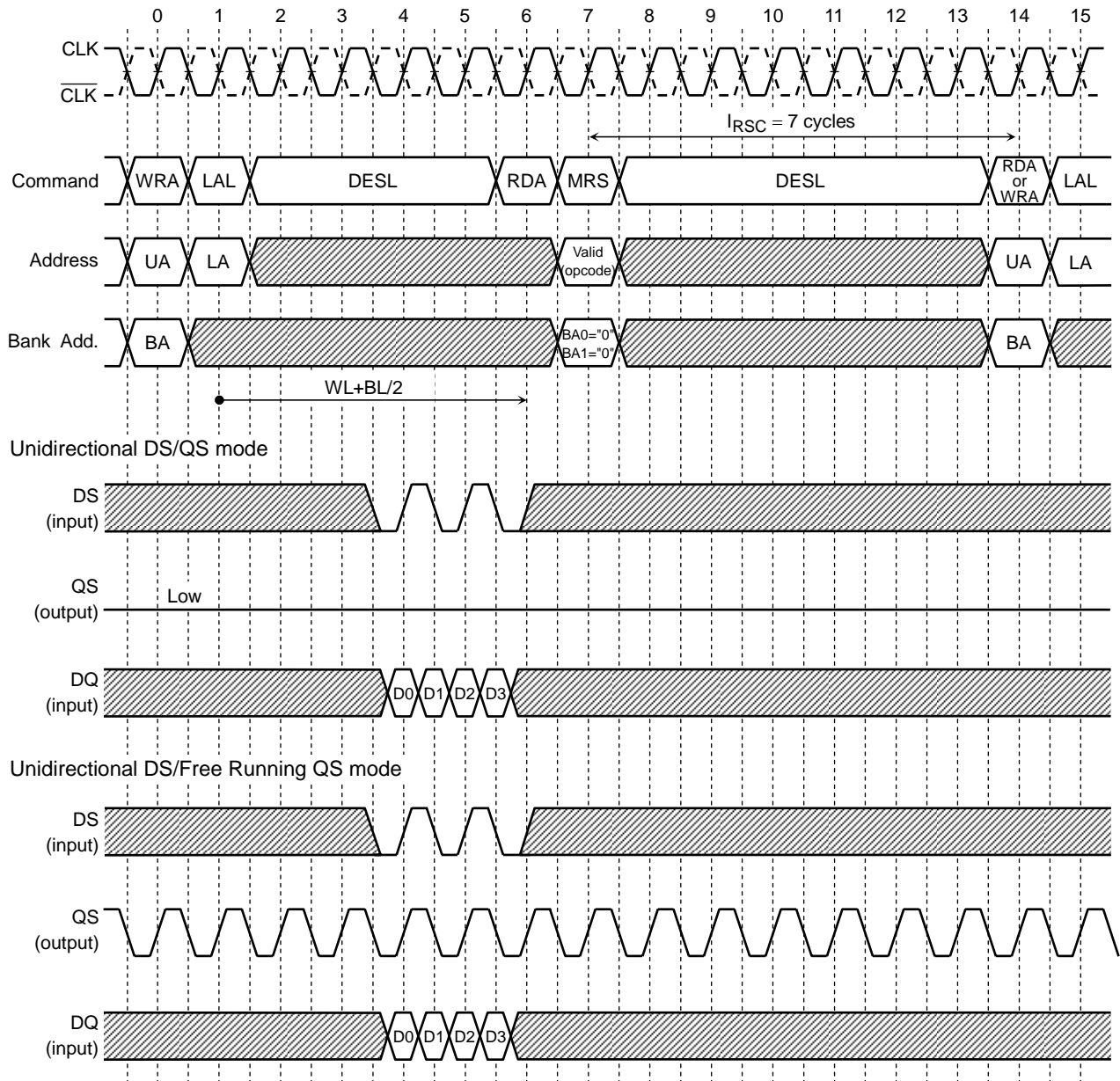
リード動作からのモードレジスタセット



注: RDA に続く LAL から MRS の RDA までの最小間隔は CL+BL/2 クロックです。

モードレジスタセットタイミング (CL = 4, BL = 4)

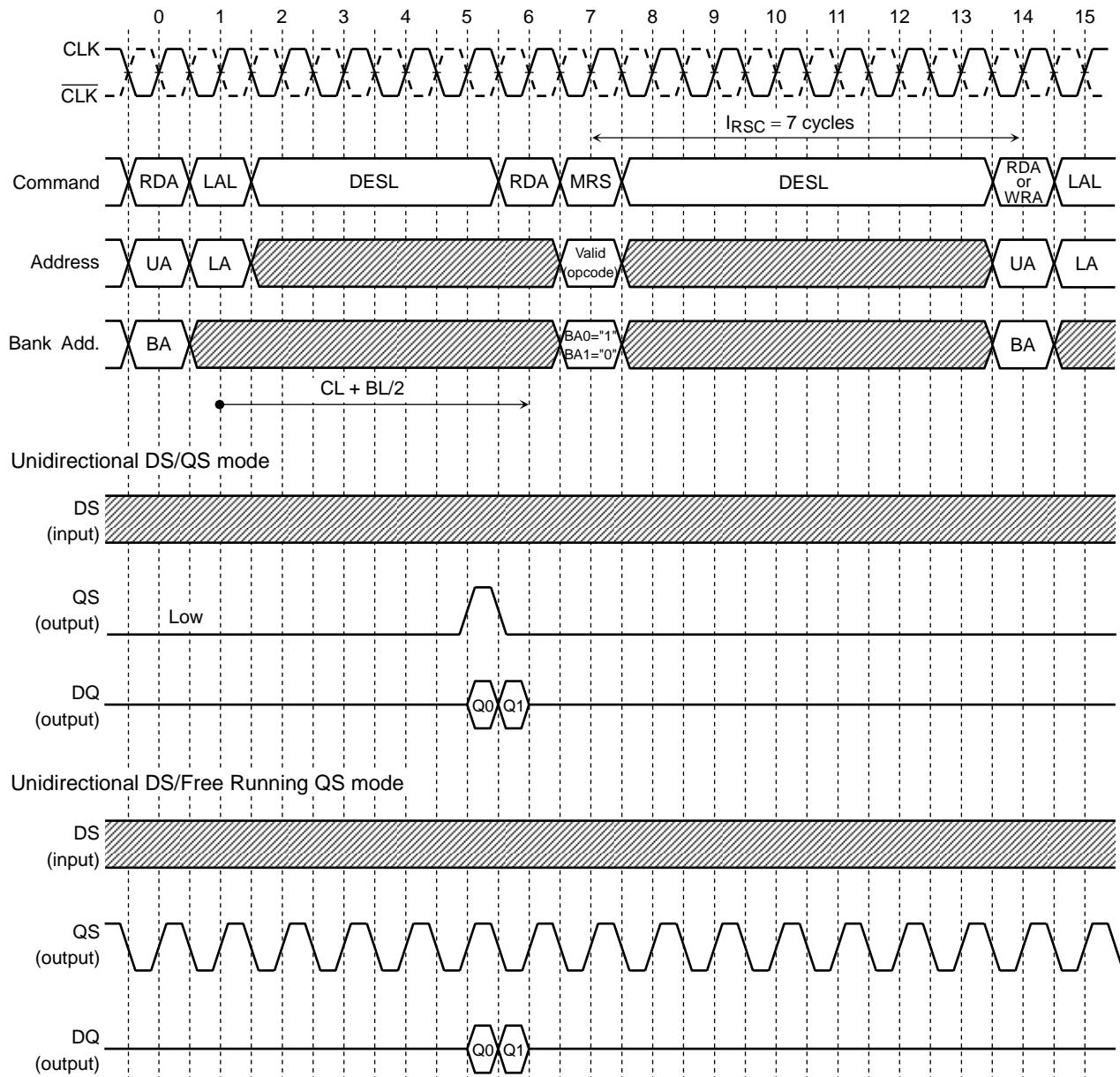
ライト動作からのモードレジスタセット



注: WRA に続く LAL から MRS の RDA までの最小間隔は $WL+BL/2$ クロックです。

エクステンディッドモードレジスタセットタイミング (CL = 4, BL = 2)

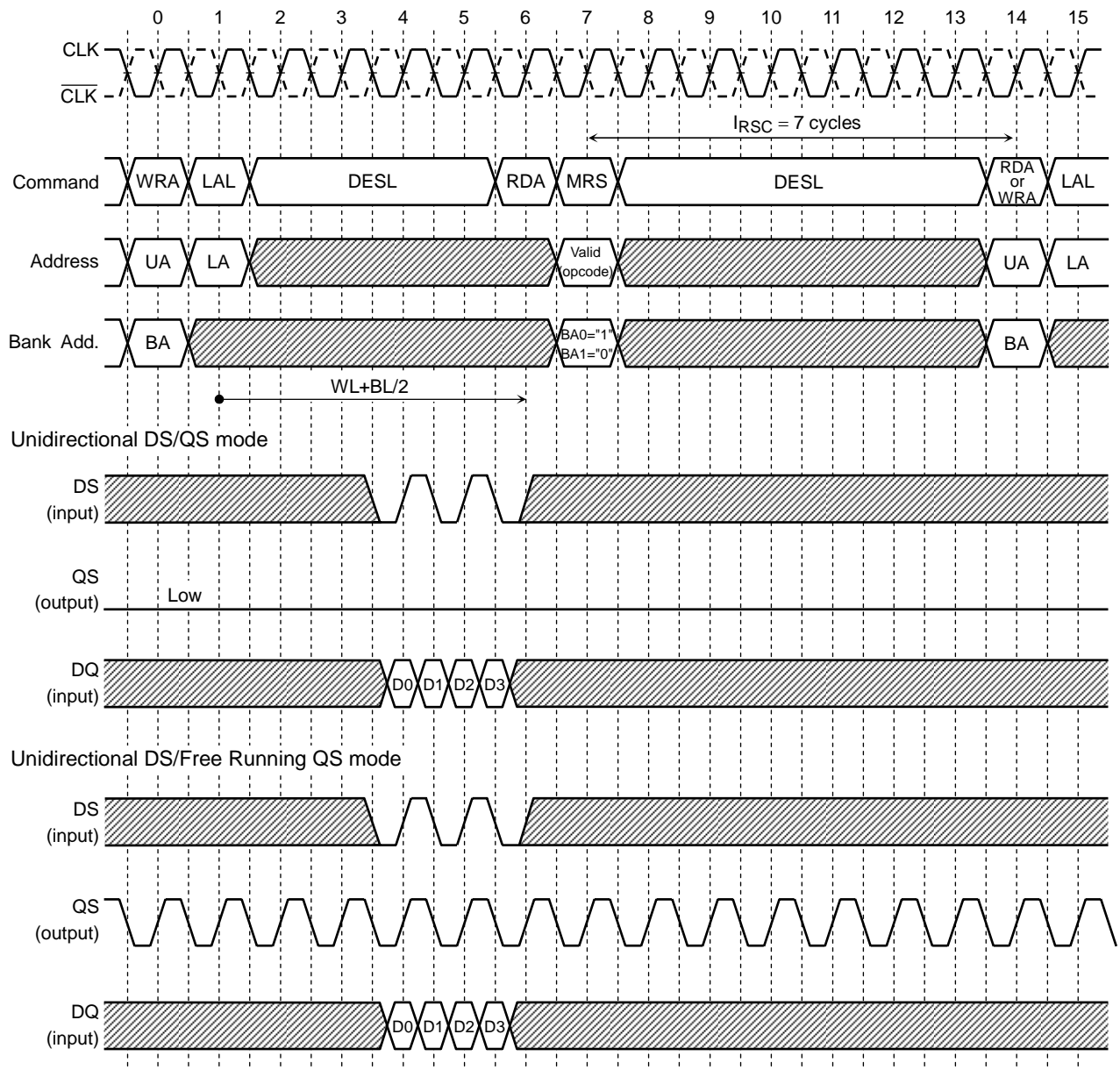
リード動作からのエクステンディッドモードレジスタセット



注: RDAに続くLALからEMRS動作のRDAまでの最小間隔はCL+BL/2クロックです。
 EMRSによりDQストロブモードを変更した場合、QS出力は I_{RSC} の間無効となります。
 通常動作時にはDLLスイッチをイネーブルモードにセットしなければなりません。
 初期EMRSの設定後DLL安定時間が必要です。電源投入順序を参照して下さい。

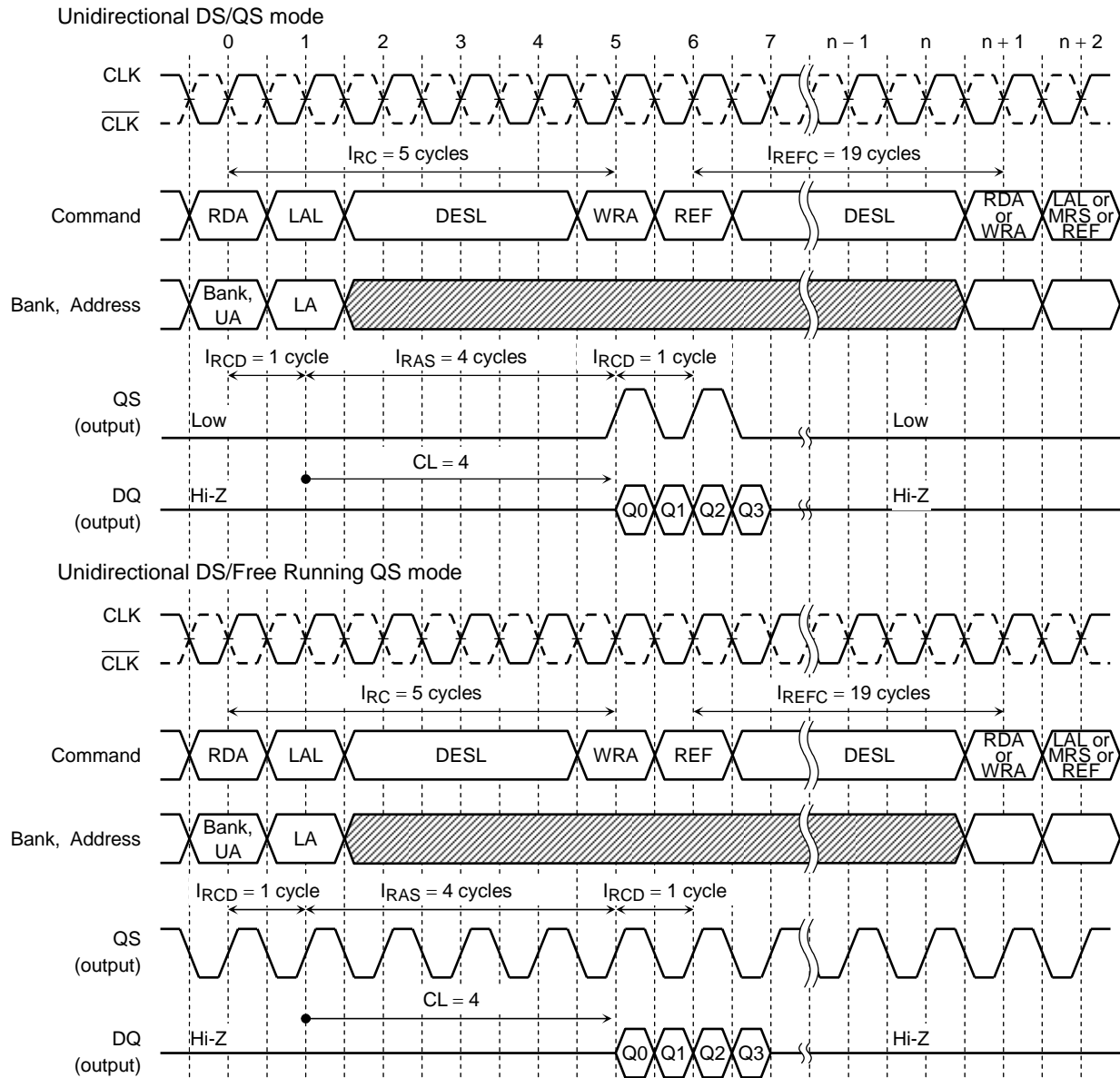
エクステンディッドモードレジスタセットタイミング (CL = 4, BL = 4)

ライト動作からのエクステンディッドモードレジスタセット

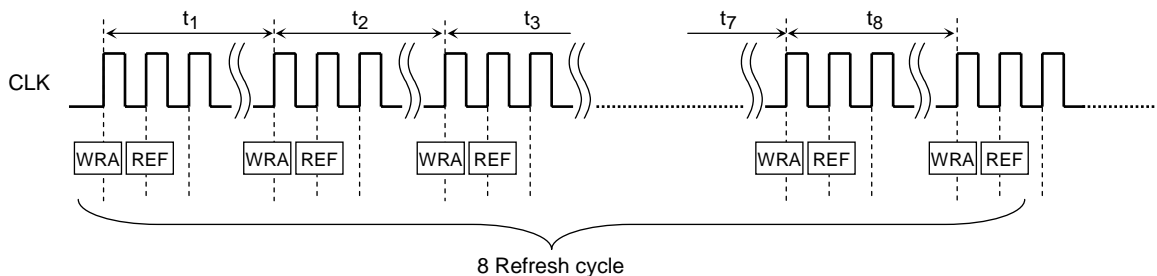


注: WRA に続く LAL から EMRS 動作の RDA までの最小間隔は $WL+BL/2$ クロックです。
 EMRS により DQ ストローブモードを変更した場合、QS 出力は t_{RSC} の間無効となります。
 通常動作時には DLL スイッチをイネーブルモードにセットしなければなりません。
 初期 EMRS 設定後 DLL 安定時間が必要です。電源投入順序を参照して下さい。

オートリフレッシュタイミング (CL = 4, BL = 4)



注: CL = 4 の場合、IREFC は 19 クロックサイクル必要です。
 オートリフレッシュ動作を実行する場合は、tREFI で規定されているオートリフレッシュコマンドの総合的な平均間隔を満たさなければなりません。
 tREFI は任意のサンプリングされた 8 回のオートリフレッシュにおけるコマンド平均間隔時間です。

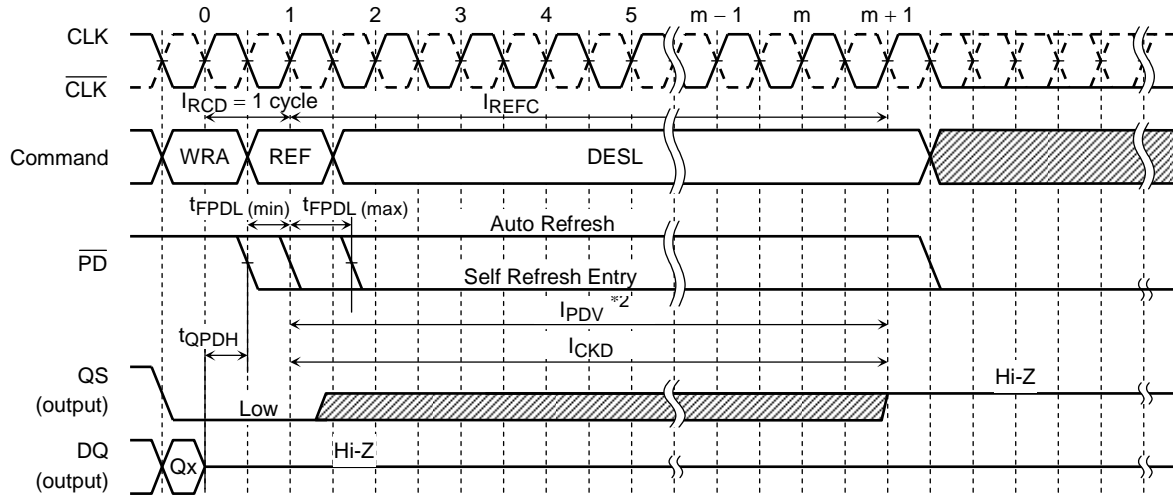


$$t_{REFI} = \frac{\text{Total time of 8 Refresh cycle}}{8} = \frac{t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8}{8}$$

tREFI はリードやライト動作よりも活性化する領域が大きいリフレッシュ動作で部分的に電流が集中する事を避けるために規定されています。

セルフリフレッシュエントリタイミング

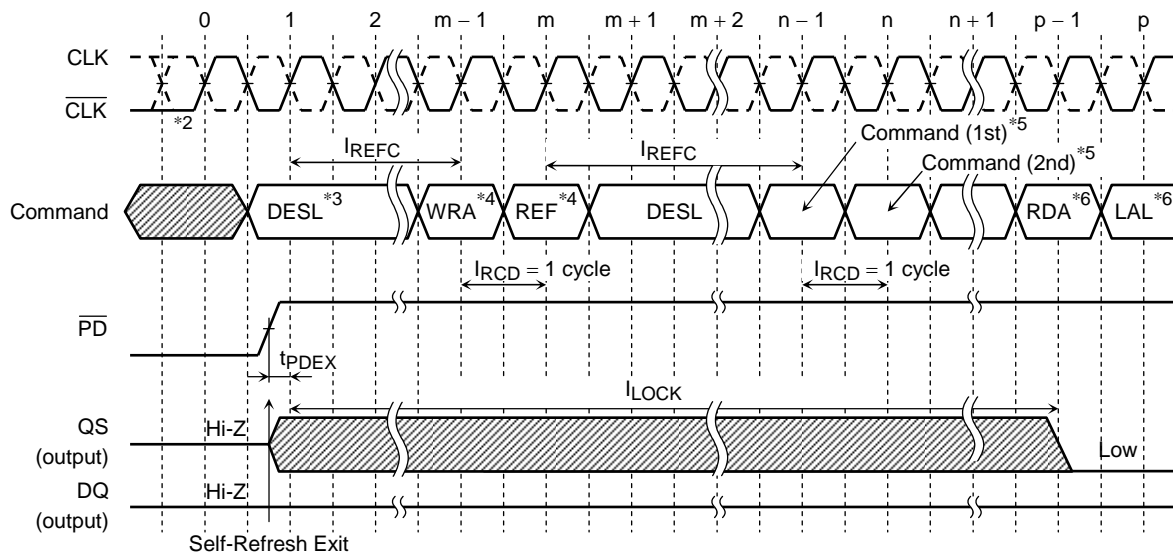
Unidirectional DS/QS mode



- 注: 1. 部分は不定レベルを示します。
 2. セルフリフレッシュエントリするには \overline{PD} を $t_{FPDL}(min)$ と $t_{FPDL}(max)$ の間で必ずローにして下さい。もし t_{PDV} 後にローにするとオートリフレッシュ実行後にパワーダウンモードエントリを行います。 \overline{PD} が $t_{FPDL}(max)$ と t_{PDV} の間でローとなった場合はオートリフレッシュ後にセルフリフレッシュモードまたはパワーダウンモードにエントリします。
 3. セルフリフレッシュエントリで \overline{PD} がロー状態になっていても REF コマンドから少なくとも t_{CKD} 分はクロック入力続ける必要があります。
 4. ライト動作後にセルフリフレッシュエントリする場合、WRA の次の LAL から REF コマンドまでの最小ディレイ時間はライトレイテンシ(WL)+2 クロックです。

セルフリフレッシュイグジットタイミング

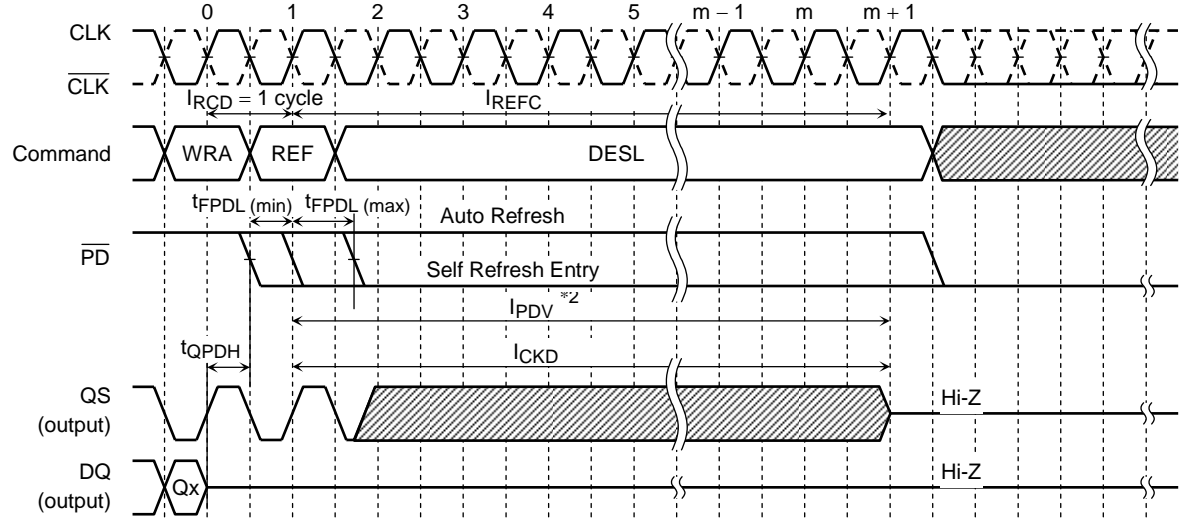
Unidirectional DS/QS mode



- 注: 1. 部分は不定レベルを示します。
 2. セルフリフレッシュ中にクロック入力を停止されている場合は、 \overline{PD} をハイ状態にする前にクロック入力を安定させて下さい。
 3. \overline{PD} をハイ状態にした後 t_{REFC} 相当分の DESL コマンドを入力して下さい。
 4. セルフリフレッシュイグジット直後、いかなる他の動作を実行するよりも前にオートリフレッシュサイクルを一回実行する必要があります。
 5. リードコマンドを除く他のコマンドは t_{REFC} 後から入力可能です。
 6. リードコマンド(RDA + LAL)は t_{LOCK} 後から入力可能です。

セルフリフレッシュエントリタイミング

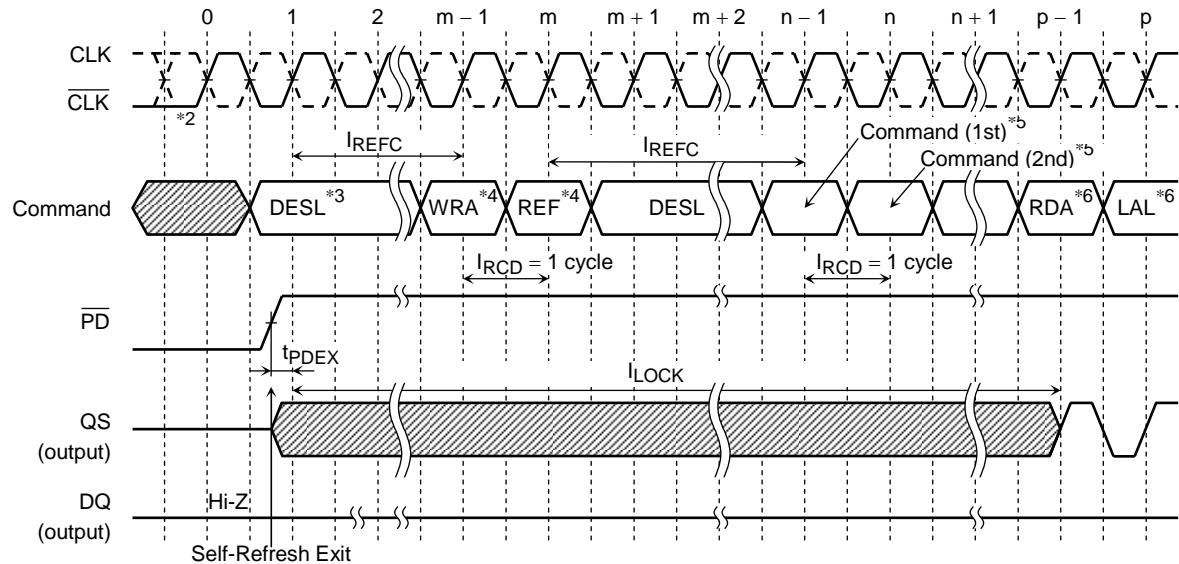
Unidirectional DS/Free Running QS mode



- 注:
1. 部分は指定無し。
 2. セルフリフレッシュエントリするには \overline{PD} を $t_{FPDL}(\min)$ と $t_{FPDL}(\max)$ の間で必ずローにして下さい。もし I_{PDV} 後にローにするとオートリフレッシュの実行後にパワーダウンモードエントリを行います。 \overline{PD} が $t_{FPDL}(\max)$ と I_{PDV} の間でローとなった場合はオートリフレッシュ後にセルフリフレッシュモードまたはパワーダウンモードにエントリします。
 3. セルフリフレッシュエントリで \overline{PD} がロー状態になっていても REF コマンドから少なくとも I_{CKD} 分はクロック入力を続ける必要があります。

セルフリフレッシュイグジットタイミング

Unidirectional DS/Free Running QS mode



- 注:
1. 部分は指定無し。
 2. セルフリフレッシュ中にクロック入力を停止されている場合は、 \overline{PD} をハイ状態にする前にクロック入力を安定させて下さい。
 3. \overline{PD} をハイ状態にした後 I_{REFC} 相当分の DESL コマンドを入力して下さい。
 4. セルフリフレッシュイグジット直後、いかなる他ほ動作を実行するよりも前にオートリフレッシュサイクルを一回実行する必要があります。
 5. リードコマンドを除く他のコマンドは I_{REFC} 後から入力可能です。
 6. リードコマンド(RDA + LAL)は I_{LOCK} 後から入力可能です。
 7. セルフリフレッシュイグジットから DLL ロックまでは QS 出力は無効となります。

機能説明

Network FCRAM™

FCRAM™ は Fast Cycle Random Access Memory の略語です。

FCRAM™ は高速ランダムコアアクセス、ローレイテンシ、低消費電力、高速データ転送能力を備えたメモリです。

ピン機能

クロック入力: CLK & $\overline{\text{CLK}}$

CLK と $\overline{\text{CLK}}$ 入力は同期式動作の基準クロックとして使用されます。 $\overline{\text{CS}}$ 、FN と全アドレス入力は、CLK の立ち上がりエッジと $\overline{\text{CLK}}$ の立ち下がりエッジの交差点で取り込まれます。QS と DQ 出力データは、CLK と $\overline{\text{CLK}}$ の交差点から出力されます。差動クロックのタイミング基準点は、CLK と $\overline{\text{CLK}}$ の遷移信号が交差する点になります。

パワーダウン: $\overline{\text{PD}}$

$\overline{\text{PD}}$ 入力はパワーダウン及びセルフリフレッシュモードの制御に行います。 $\overline{\text{PD}}$ 入力は、標準 SDRAM の CKE 入力のようなクロックサスペンド機能は備えていません。そのため、リードやライト動作中に $\overline{\text{PD}}$ を低レベルにする事は避けてください。

チップセレクト&ファンクションコントロール: $\overline{\text{CS}}$ & FN

$\overline{\text{CS}}$ と FN 入力は FCRAM™ の動作コマンドを形成するための制御信号です。各動作モードは、 $\overline{\text{CS}}$ と FN 入力による 2 つの連続した動作コマンドの組み合わせによって決定します。

バンクアドレス: BA0 & BA1

BA0 と BA1 入力は、RDA コマンドや WRA コマンド入力時に取り込まれ、動作するバンクに選択されます。またモードセットレジスタコマンドにおいてどのモードレジスタへセットするかを選択します。(MRS または EMRS)

	BA0	BA1
Bank #0	0	0
Bank #1	1	0
Bank #2	0	1
Bank #3	1	1

アドレス入力: A0~A13

アドレス入力は、各バンクにおけるメモリセル領域の任意アドレスへアクセスするために使われます。アップーアドレスはバンクアドレスと共に RDA や WRA コマンド入力時に取り込まれ、ロワーアドレスは LAL コマンド入力時に取り込まれます。A0~A13 入力は、レギュラーモードレジスタセットやエクステンディッドモードレジスタセットにおけるデータセットにも使用されます。

I/O 構成	アップーアドレス	ロワーアドレス
36 ビット	A0~A13	A0~A6

データ入出力: DQ0~DQ35

DQ0~DQ35 の入力データは、DS 入力信号の立ち上がり/立ち下りの両エッジに同期して取り込まれます。DQ0~DQ35 の出力データは、QS 出力信号の立ち上がり/立ち下りの両エッジに同期して出力されます。

データストロープ: LDS、UDS、LQS、UQS

データストロープの方式はエクステンディッドモードレジスタにより選ばれます。LDS と LQS は DQ0~DQ17 データに、UDS と UQS は DQ18~DQ35 データに対して割り当てられています。

(1) Unidirectional DS / QS モード

DS は入力、QS は出力信号です。ライト動作では DS の立ち上がり/立ち下りの両エッジがライトデータの取り込みのために利用されます。リード動作では QS の立ち上がり/立ち下りの両エッジが出力データのストロープ信号として使われます。ライト、オートリフレッシュ、そして NOP サイクルでは QS は常にローレベル、セルフリフレッシュ中は、ハイインピーダンス状態となります。

(2) Unidirectional DS / Free running QS モード

DS は入力、QS は出力信号です。ライト動作では DS の立ち上がり/立ち下りの両エッジがライトデータの取り込みのために利用され、リード動作では QS の立ち上がり/立ち下りの両エッジが出力データのストロープ信号として使われます。QS はセルフリフレッシュを除き、常にトグル信号となっています。このストロープタイプは"Pin to pin"接続アプリケーションに容易に利用できます。

電源端子: VDD、VDDQ、VSS、VSSQ

VDD と VSS はメモリコアと周辺回路の電源端子です。

VDDQ と VSSQ は出力バッファ用の電源端子です。

入力電圧: VREF

VREF は入力における基準電圧です。

コマンド機能と動作

TC59LM836DKB は、2 つの連続したコマンド入力方式を採用しています。パワーダウンモードを除く各動作モードは、スタンドバイ状態のバンクに対する 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決定されます。

リード動作 (1 番目のコマンド+ 2 番目のコマンド = RDA + LAL)

アイドル状態からのバンクに対してバンクアドレス/アッパーアドレスと共に RDA コマンドを入力する事により、バンクアドレスで指定されたバンクはリードモードに入ります。そして、RDA コマンド入力の次のクロックサイクル (CLK 立ち上がりエッジ)においてロワーアドレスと共に LAL コマンドを入力することにより、QS 出力信号の立ち上がり/立ち下がり両エッジに同期して連続的にデータが出力されます(バーストリード動作)。最初の有効なリードデータは、LAL コマンドの入力されたクロックから CAS レイテンシ後に出力され、バースト長分のデータが連続して出力されます。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。リード動作中のバンクは、RDA コマンドから Irc 後に自動的にアイドル状態に戻ります。

ライト動作 (1 番目のコマンド+ 2 番目のコマンド = WRA + LAL)

アイドル状態のバンクに対してバンクアドレス/アッパーアドレスと共に WRA コマンドを入力する事により、バンクアドレスで指定されたバンクはライトモードに入ります。そして、WRA コマンド入力後の次のクロックサイクル (CLK 立ち上がり)においてロワーアドレスと共に LAL コマンドを入力する事で、入力データは DS 入力信号の立ち上がり/立ち下がり両エッジに同期して連続的にラッチされます(バーストライト動作)。データと DS の入力信号は LAL コマンドが入力されたクロックから CAS レイテンシ-1 後のクロック入力と共に供給する必要があります。ライトのデータ長は LAL コマンド時のパリアブルライト(VW)の指定で決まります。DS はバースト長分供給してください。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。ライト動作中のバンクは、WRA コマンドから Irc 後に自動的にアイドル状態に戻ります。

オートリフレッシュ動作 (1 番目のコマンド+ 2 番目のコマンド = WRA + REF)

TC59LM836DKB は、標準 SDRAM と同様にリフレッシュ動作が必要です。WRA コマンドに続けて REF コマンドを入力するとオートリフレッシュ動作が開始されます。オートリフレッシュモードは、全てのバンクがアイドル状態である時に有効となります。WRA コマンドで開始されたライトモードは、WRA コマンドの次のクロック (CLK 立ち上がり)で LAL コマンドの換わりに REF コマンドが入力される事でキャンセルされます。オートリフレッシュコマンドから次のコマンドまでは IREFC で定義されています。また、オートリフレッシュコマンド入力の平均間隔については注意が必要です。オートリフレッシュコマンドの入力は、最大 3.9 μ s に一回必要です。集中リフレッシュあるいはランダムな分散リフレッシュの場合、任意の 8 回連続したオートリフレッシュコマンドは平均間隔が常に 400ns 以上になるようにしてください。この場合、3.2 μ s(8 \times 400ns)以内で実行可能なオートリフレッシュサイクル数は最大 8 回までになります。

セルフリフレッシュ動作 (1 番目のコマンド+ 2 番目のコマンド = WRA + REF with \overline{PD} = "L")

セルフリフレッシュ動作では、内部タイマを用いてリフレッシュ動作が自動的に実行されます。全てのバンクがアイドル状態かつ出力がハイインピーダンス状態の時に、セルフリフレッシュコマンドを入力することによりセルフリフレッシュモードに入ります。セルフリフレッシュモードに入る為には、WRA コマンドに続けて REF コマンドから tFPDL で定義されている時間内に \overline{PD} を "Low" にする必要があります。リフレッシュの周期を満足するためにセルフリフレッシュエントリーコマンドは、最後に挿入されたオートリフレッシュコマンドから 3.9 μ s 以内に入力する必要があります。一度セルフリフレッシュに入ると IREFC の期間分 DESL コマンドを続けなければなりません。加えて、クロック入力は ICKD で定義される期間継続して下さい。セルフリフレッシュモード中は、 \overline{PD} を除く全ての入出力バッファは非活性状態になりますので、消費電力を抑えることができます。セルフリフレッシュモードイグジットに関しては、 \overline{PD} は DESL コマンドと共に "Low" から "High" へ切り替えて下さい。DESL コマンドは IREFC で定義されるクロック数分絶え間なく入力する必要があります。セルフリフレッシュイグジットから IREFC 後に 1 回オートリフレッシュコマンドを入力する必要があります。

パワーダウンモード (\overline{PD} = "L")

全てのバンクがアイドル状態かつ全ての出力がハイインピーダンス状態の時に、 \overline{PD} を "Low" とすることでパワーダウンモードになります。パワーダウンモードに入ると、 \overline{PD} 、CLK、 \overline{CLK} 、QS を除く全ての入出力バッファは一定時間後に非活性状態となりますので、消費電力を抑えることが可能となります。パワーダウンモードから抜けるには、 \overline{PD} を "High" に切替えます。その後 I_{PPA} サイクルの間 DESL コマンドを入力しなければなりません。パワーダウンイグジットは非同期動作です。

モードレジスタセット (1 番目のコマンド+ 2 番目のコマンド= RDA + MRS)

全てのバンクがアイドル状態の時に、RDA コマンドに続いて MRS コマンドを入力することでモードレジスタに所望の基本動作形態を設定することができます。RDA コマンドで開始されたリードモードは、RDA コマンドの次のクロック(CLK 立ち上がりエッジ) で LAL コマンドの代わりに MRS コマンドが入力する事でキャンセルされます。モードレジスタへ設定するためのデータは、A0~A13、BA0 及び BA1 のアドレス入力ピンを用いて設定されます。TC59LM836DKB にはレギュラーとエクステンディッドモードレジスタがあります。レギュラーモードレジスタかエクステンディッドモードレジスタの選択は、MRS コマンド時の BA0 か BA1 によって選択されます。レギュラーモードレジスタは、リードやライトサイクルの動作モードを指定します。レギュラーモードレジスタは、4 つの機能領域を持っています。

4 つの機能領域には以下のものがあります。

- (R-1) バーストデータ長を設定する為のバースト長領域。
- (R-2) バーストサイクル中の下位アドレスのアクセス順序を指定するバーストタイプ領域。
- (R-3) クロックサイクルにおけるアクセス時間を設定する CAS レイテンシ領域。
- (R-4) テストモード領域。

一方エクステンディッドモードレジスタは 3 つの機能領域を持っています。

- (E-1) DLL のイネーブル/ディセーブルのどちらかを選択する為の DLL スイッチ領域。
- (E-2) アウトプットドライバコントロール領域。
- (E-3) データストローブタイプ領域。

モードレジスタ内のこれらの領域に 1 度設定されると、レジスタの内容は他の MRS コマンドで再びモードレジスタを設定するか電源を OFF にするまで維持します。パワーアップ後のレギュラー及びエクステンディッドモードレジスタの初期値は不定の為、所望の動作を行う前にモードレジスタセットコマンドで設定する必要があります。

- レギュラーモードレジスタ/エクステンディッドモードレジスタ切り替えビット (BA0, BA1)
これらのビットはレギュラー MRS かエクステンディッド MRS かを選択する為に使います。

BA1	BA0	Mode Register Set
0	0	Regular MRS
0	1	Extended MRS
1	×	Reserved

レギュラーモードレジスタ領域

(R-1) バースト長領域 (A2 ~ A0)

この領域は A2 ~ A0 を使用してカラムアクセスの為のデータ長を定義し、バースト長を 2 ワードか 4 ワードに設定します。

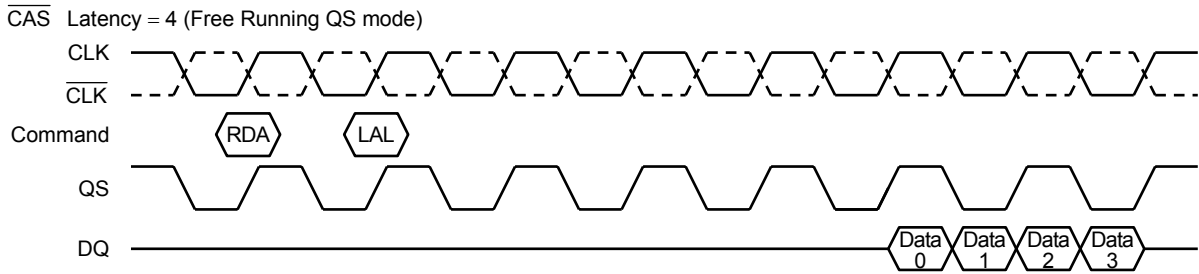
A2	A1	A0	BURST LENGTH
0	0	0	Reserved
0	0	1	2 words
0	1	0	4 words
0	1	1	Reserved
1	×	×	Reserved

(R-2) バーストタイプ領域(A3)

バーストタイプはインターリーブモードかシーケンシャルモードかを選択することができます。A3 に"0"を設定した場合にはシーケンシャルモードが選択され、A3 に"1"を設定するとインターリーブモードが選択されます。どちらのバーストタイプも 2 ワードと 4 ワード両方のバースト長に対応しています。

A3	BURST TYPE
0	Sequential
1	Interleave

- シーケンシャルモード時のアドレッシング順序 (A3)
 カラムアクセスは入力された下位アドレスから開始し、順に増加(+1)しながらアクセスしていきます。アドレスはバースト長によって下表のように移行していきます。



Addressing sequence for Sequential mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	n	} 2ワード(アドレスビットはLA0) LA0 から LA1 へのキャリアーは無し
Data 1	n + 1	
Data 2	n + 2	} 4ワード(アドレスビットはLA1, LA0) LA1 から LA2 へのキャリアーは無し
Data 3	n + 3	

- インターリーブ時のアドレッシング順序
 カラムアクセスは入力された下位アドレスから開始し、下表に示すような順序でアドレスをアクセスしていきます。

Addressing sequence for Interleave mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	...A8 A7 A6 A5 A4 A3 A2 A1 A0	} 2ワード
Data 1	...A8 A7 A6 A5 A4 A3 A2 A1 A0	
Data 2	...A8 A7 A6 A5 A4 A3 A2 A1 A0	} 4ワード
Data 3	...A8 A7 A6 A5 A4 A3 A2 A1 A0	

(R-3) CAS レイテンシ領域 (A6 ~ A4)

この領域は、RDA コマンドに続く LAL コマンド入力から最初にリードデータが出力されるクロックサイクル数を定義します。CAS レイテンシと CLK 周波数は互いに依存します。ライト動作モードでは、入力すべきライトデータのクロック数は LAL コマンドから CAS レイテンシ - 1 となります。

A6	A5	A4	CAS LATENCY
0	0	0	Reserved
0	0	1	Reserved
0	1	0	Reserved
0	1	1	Reserved
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	Reserved

(R-4) テストモード領域 (A7)

このビットはテストモードエントリーに使用されますので、通常動作の際には“0”に設定しておかなければなりません。

(R-5) レギュラーモードレジスタでの予約領域

- 予約ビット (A8 ~ A13)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には“0”に設定して下さい。

エクステンディッドモードレジスタ領域

(E-1) DLL スイッチ領域 (A0)

このビットは DLL を作動させる為に使用されます。この A0 に“0”を設定することで DLL を作動させる選択をします。

(E-2) 出力ドライバコントロール領域 (A1 ~ A4)

これらのビットは出力ドライバの選択のために使用され、3つの出力タイプがサポートされています。QS と DQ の出力ドライバは個々に選択可能です。A2 ~ A1 は DQ 出力ドライバ、A4 ~ A3 は QS ドライバを定義します。

QS		DQ		OUTPUT DRIVER IMPEDANCE CONTROL
A4	A3	A2	A1	
0	0	0	0	Normal Output Driver
0	1	0	1	Strong Output Driver
1	0	1	0	Weak Output Driver
1	1	1	1	Reserved

(E-3) ストロブ領域 (A6 / A5)

2タイプのデータstroブがサポートされています。この領域はデータstroブタイプの選択に使用されます。

(1) Unidirectional DS/QS モード

データstroブはライトstroブの DS とリードstroブの QS に分離されています。DS はライト動作時のデータラッチに、QS はリード動作時の出力データトリガとして使われます。

(2) Unidirectional DS/ Free running QS モード

データstroブはライトstroブの DS とリードstroブの QS に分離されています。DS はライト動作時のデータラッチに使われます。QS はリード動作時の出力データトリガであり常にクロッキングしています。

A6	A5	STROBE SELECT
0	0	Reserved
0	1	Reserved
1	0	Unidirectional DS/QS mode
1	1	Unidirectional DS/Free running QS mode

(E-4) 予約領域 (A7 ~ A13)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には“0”に設定しておいて下さい。

バウンダリスキャンテストアクセスポート

IEEE 標準 1149.1 - 1990 に基づいて TAP (the serial boundary scan test access port) を搭載していますが、1149.1 - 1990 に示されている全ての機能を搭載しているわけではありません。なお、TAP を非活性にするためには TCK は V_{SS} または V_{DD} に接続しなければなりません(TCK は内部でプルアップされています)。

テストアクセスポート信号

記号		機能
TCK	テストクロック入力	全てのテストアクセスポートに TCK の立ち上がりエッジに同期してテストロジックに取り込まれます。TAP を非活性にするためには TCK を V _{SS} または V _{DD} に接続する必要があります。
TMS	テストモードセレクト入力	TCK 立ち上がり時の論理値によってテスト状態の遷移を制御します。TMS 入力はフローティング入力を Test-Logic-Reset とみなすために内部でプルアップされています。
TDI	テストデータ入力	TDI 入力のデータは TCK の立ち上がりエッジに同期して取り込まれ、TAP で選択されたレジスタにシフトインされます。TDI 入力は TDI 端子のオープンが検査できるように内部でプルアップされています。
TDO	テストデータ出力	選択されたレジスタ(インストラクションまたはテストデータ)のデータが TCK の立ち下がりに同期して TDO からシフトアウトされます。

テストアクセスポートレジスタ

レジスタ名	記号	ビット長	機能
インストラクションレジスタ	IR [2:0]	3	5 種類のインストラクションレジスタを制御します。(EXTEST、Sample-Z、Sample、Bypass、ID code)。
テストデータレジスタ			
ID レジスタ	IDR [31:0]	32	Revision 番号、容量構成、TOSHIBA ID 番号の情報が入っています。
バイパスレジスタ	BR	1	TDI と TDO の間をバイパスして接続します。
バウンダリスキャンレジスタ	BSR [62:0]	63	各入力ピンと各 DQ ピンに接続されたバウンダリスキャンセル(BSC)から構成されます。各 BSC は TDI と TDO の間にシリアル接続されます。

TAP コントローラインストラクションセット

IR2	IR1	IR0	インストラクション	機能
0	0	0	EXTEST	プリロードしたデータを出力ピンから出力します。入力データを BSC に取り込みます。
0	0	1	ID CODE	ID code をアクセスします。
0	1	0	SAMPLE-Z	全ての出力は Hi-Z となり、入力データを BSC に取り込みます。
0	1	1	RESERVED	使用できません。
1	0	0	SAMPLE	回路動作に影響を与えることなく、入力データを BSC に取り込みます。DQ 端子でデータを取り込んで、BSC 出力のパラレルレジスタにロードします。この場合、出力は Hi-Z となりません。
1	0	1	RESERVED	使用できません。
1	1	0	RESERVED	使用できません。
1	1	1	BYPASS	TDI と TDO をバイパス接続します。

注: TDI 入力のデータは、最小ビット(IR0)から順番にインストラクションレジスタにシフトインされます。

ID レジスタ

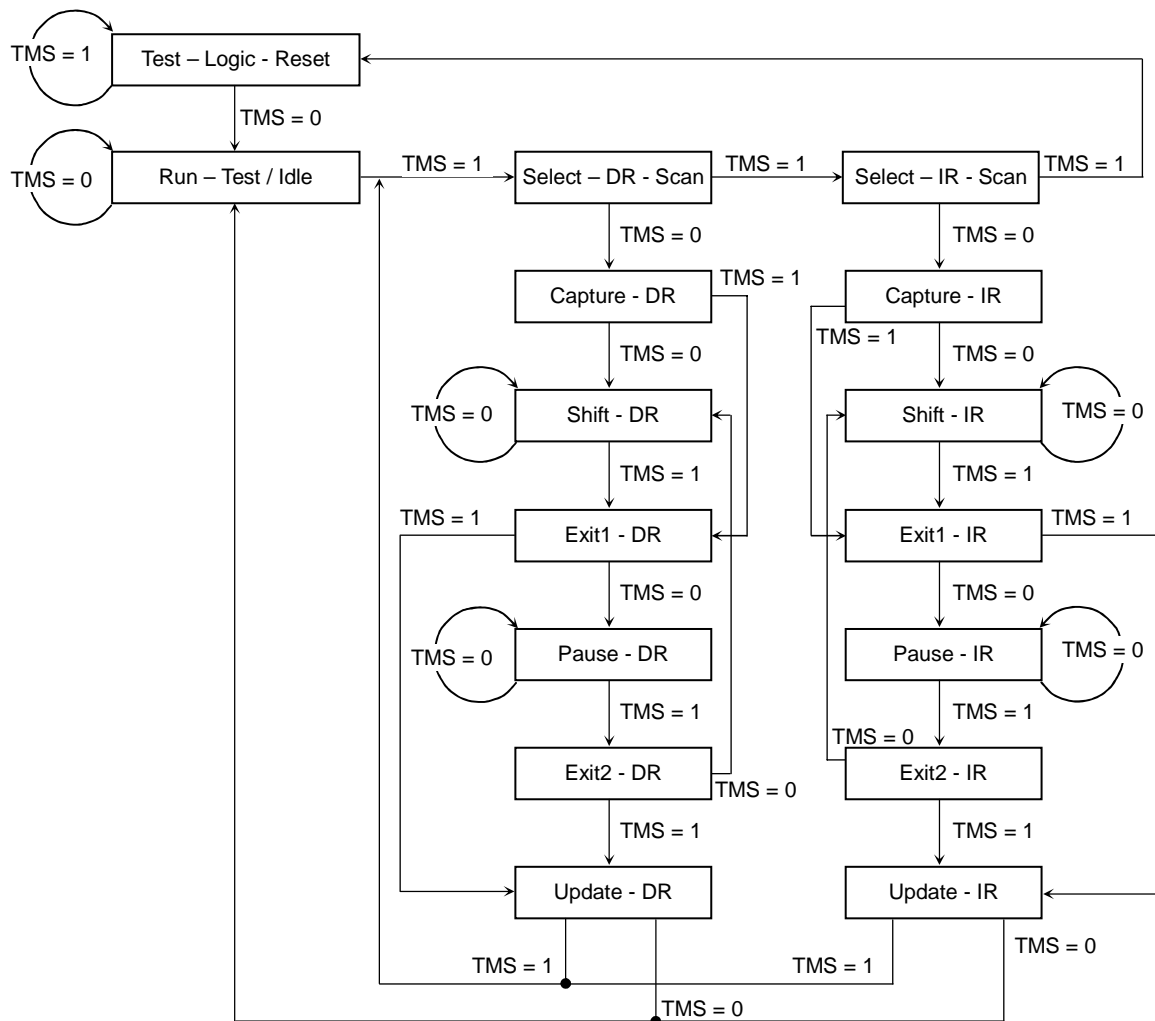
BIT #	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値	0	0	0	1	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	0	1
内容	メモリタイプ																			TOSHIBA ID 番号							固定					

バウンダリスキャンオーダー

BIT	ボールレイアウト	ボール名
0	U10	DQ35
1	U11	DQ34
2	T10	DQ33
3	T11	DQ32
4	R10	DQ31
5	R11	DQ30
6	P10	DQ29
7	P11	DQ28
8	N10	DQ27
9	N11	UQS
10	M3	A4
11	M11	A3
12	L10	A2
13	L11	A1
14	K10	A0
15	K11	A10
16	J10	BA1
17	J11	BA0
18	G10	A13
19	G11	FN
20	H10	/CS
21	F11	LQS
22	F10	DQ8
23	E11	DQ7
24	E10	DQ6
25	D11	DQ5
26	D10	DQ4
27	C11	DQ3
28	C10	DQ2
29	B11	DQ1

BIT	ボールレイアウト	ボール名
30	B10	DQ0
31	B3	DQ17
32	B2	DQ16
33	C3	DQ15
34	C2	DQ14
35	D3	DQ13
36		
37	D2	DQ12
38	E3	DQ11
39	E2	DQ10
40	F3	DQ9
41	F2	LDS
42	G3	/CLK
43	H3	CLK
44	H2	/PD
45	J2	A12
46	J3	A11
47	K2	A9
48	K3	A8
49	L2	A7
50	L3	A6
51	M2	A5
52	N2	UDS
53	N3	DQ26
54	P2	DQ25
55	P3	DQ24
56	R2	DQ23
57		
58	R3	DQ22
59	T2	DQ21
60	T3	DQ20
61	U2	DQ19
62	U3	DQ18

タップコントローラステート機



注:

1. デバイスをイニシャライズして Test-Logic-Reset 状態へ入れるには、TMS を最大 5 サイクル以上 High にして下さい。
2. TDO 出力バッファはシフト動作(Shift-DR、Shift-IR)のときのみアクティブとなり、その他の状態ではハイインピーダンスとなります。

TAP DC 特性

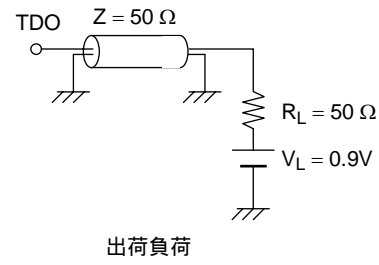
記号	項目	条件	最小	標準	最大	単位
I_{LO}	出力リーク電流 (TDO ピン)	出力非選択状態 $V_{OUT}=0$ to V_{DD}	-10	—	10	μA
I_I	入力リーク電流 (TCK、TMS、TDI ピン)	$V_{IN} = 1.7V$ to V_{DD}	-20	—	10	μA
		$V_{IN} = 0$ to $0.7V$	-100	—	10	μA
V_{IH}	高レベル入力電圧 (TCK、TMS、TDI ピン)	—	$V_{REF}+0.4$	—	$V_{DD}+0.2$	V
V_{IL}	低レベル入力電圧 (TCK、TMS、TDI ピン)	—	-0.1	—	$V_{REF}-0.4$	V
V_{OH}	高レベル出力電圧 (TDO ピン)	$I_{OH} = -2$ mA	1.5	—	V_{DD}	V
V_{OL}	低レベル出力電圧 (TDO ピン)	$I_{OL} = 2$ mA	—	—	0.45	V

TAP AC 特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^\circ C$)

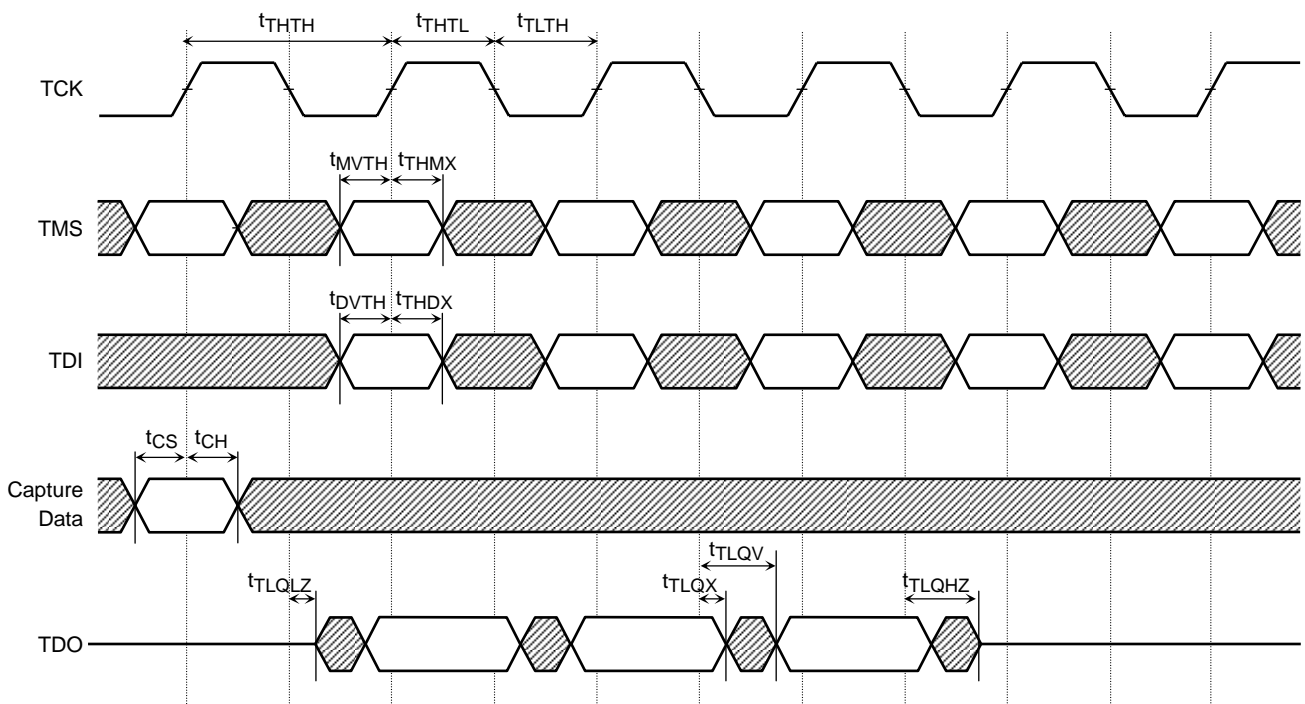
記号	項目	最小	最大	単位
t_{THTH}	TCK サイクル時間	50	—	ns
t_{THTL}	TCK 高パルス幅	20	—	
t_{TLTH}	TCK 低パルス幅	20	—	
t_{MVTH}	TMS セットアップ時間	10	—	
t_{THMX}	TMS ホールド時間	10	—	
t_{CS}	キャプチャーセットアップ時間	10	—	
t_{CH}	キャプチャーホールド時間	10	—	
t_{DVTH}	TDI セットアップ時間	10	—	
t_{THDX}	TDI ホールド時間	10	—	
t_{TLQV}	TCK アクセス時間	—	20	
t_{TLQX}	TCK 出力ホールド時間	0	—	
t_{TLQLZ}	TCK 出力イネーブル時間	5	—	
t_{TLQHZ}	TCK 出力ディセーブル時間	—	5	

TAP AC テスト条件

項目	条件
入力パルスレベル	1.8V / 0.0V
入力パルス立ち上がり、立ち下がり時間	2ns
入力タイミング測定比較レベル	0.9V
出力タイミング測定比較レベル	0.9V

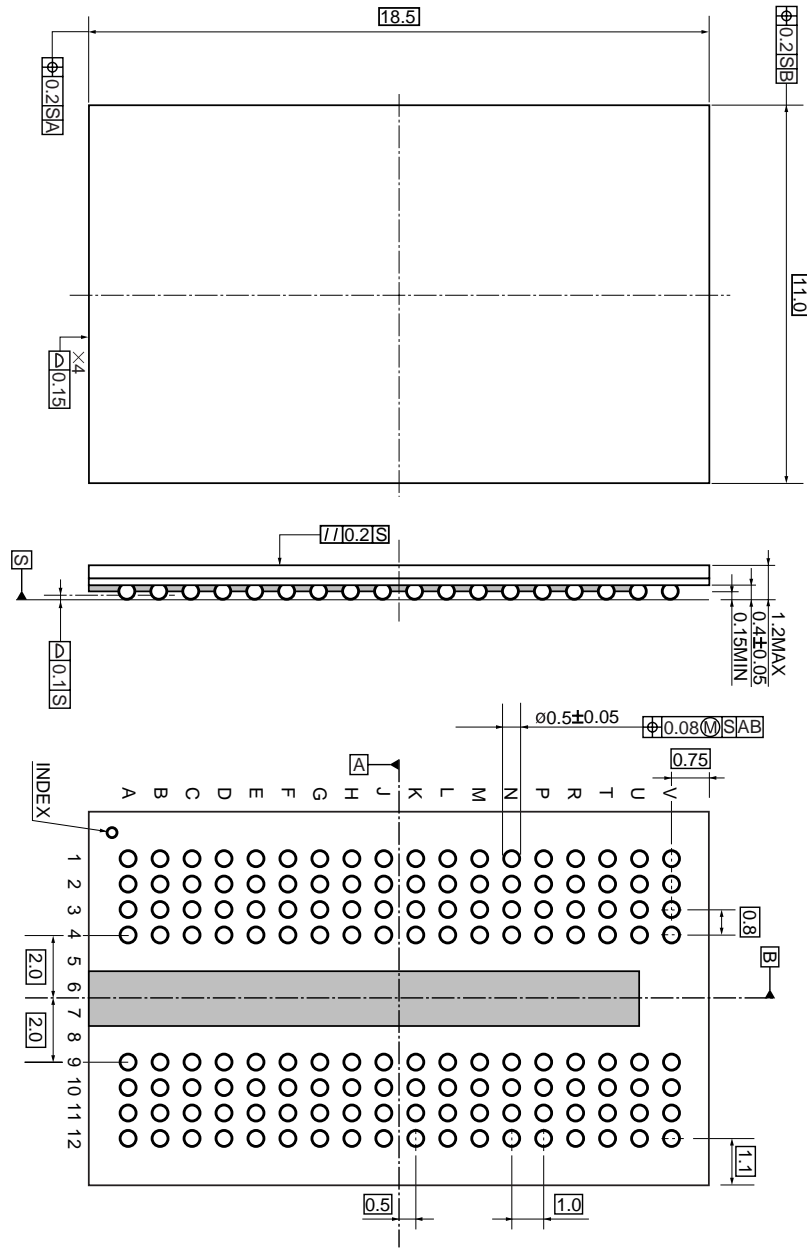


TAP タイミング図



外形图

P-TFBGA144-1119-0.80BZ



重量: 0.30g (標準)

変更履歴

- Rev 1.0 (2004 年 2 月 24 日発行)

- Rev 1.1 (2004 年 5 月 25 日)

- Mold mBGA 化により、品名を変更
旧: TC59LM836DMB 新: TC59LM836DKB
- IDD6 スペックを 10mA から 15mA に変更 (1、7 ページ)。
- “オートリフレッシュ動作”の項で誤記を訂正 (54 ページ)。
- Package 名、図面を Mold mBGA に変更 (1、63 ページ)。

- Rev 1.2 (2004 年 8 月 27 日)

- 8 ページの注の一部を 7 ページに移動 (7、8 ページ)。
- 注 2 の内容を下記のように変更 (7 ページ)。
変更前: これらの値は出力負荷に依存します。
変更後: これらの値は $V_{DD} - V_{SS}$ 間を流れる電流として定義されます。
- 誤記を修正 (9、14~18、58、59 ページ)。
- “-30”の $t_{CK(MAX)}$ を 7.5ns から 5.0ns に変更 (9 ページ)。
- 注 11 を t_{DS} , t_{DH} に追加 (9、11 ページ)
- 注 11 として HSTL の t_{DS} , t_{DH} を全ての Speed ver. で 0.4ns に統一 (11 ページ)。
- パッケージデザインマイナーチェンジに伴い、図面を統一 (63 ページ)。
- パッケージ重量 (0.30g) を追記 (63 ページ)。

- Rev 1.3 (2005 年 3 月 7 日)

- AC Timing spec の IPDA=1cycle にあわせて図を修正(12, 43, 44, 50, 51 ページ)。

- Rev 1.4 (2005 年 11 月 8 日)

- “-30”(333MHz clock / 666Mbps) version を廃止。

当社半導体製品取り扱い上のお願い

030519TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

Rev 1.4

2005-11-08 65/65