

暫定資料

東芝 MOS 形デジタル集積回路 シリコンモノリシック シリコンゲート CMOS

512M ビット ネットワーク FCRAM1 (SSTL_18, HSTL Interface)

無鉛製品

– 8,388,608 ワード × 8 バンク × 8 ビット

概要

TC59LM906AMG は、CMOS 技術を用いた 536,870,912 のメモリセルを有するダブルデータレートファーストサイクルランダムアクセスメモリ(FCRAM™)です。構成が異なる 2 製品をラインアップしており、TC59LM906AMG は、8,388,608 ワード × 8 バンク × 8 ビット構成のクロック同期式ファーストサイクル RAM です。コマンド入力はクロックの立ち上がりエッジに同期して行われますが、データの入出力は DQS の立ち上がり及び立ち下がりのエッジに同期して行われ、最大で 533M ワード/秒のデータ高速転送ができます。本製品は FCRAM™ 固有のコア構成の採用により、既存の標準的な DDR SDRAM と比較してより速いサイクルタイムで動作させることが可能です。

TC59LM906AMG は高速ランダムサイクル、大メモリ容量、低消費電流等が要求されるワークステーションのセカンダリキャッシュメモリやネットワークのルーター、スイッチ等のバッファメモリ、コントロールメモリに最適です。本製品の出力ドライバは軽い負荷環境下においても高速、高品質なデータ転送が可能です。

特長

主要特性	TC59LM906-37
t _{CK} CLK サイクルタイム (最小)	3.75 ns
t _{RC} ランダムリード/ライトサイクルタイム (最小)	22.5 ns
t _{RAC} ランダムアクセスタイム (最大)	22.0 ns
I _{DD1S} 動作平均電流 (シングルバンク) (最大)	280 mA
I _{DD2P} スタンドバイ平均電流 (パワーダウン) (最大)	90 mA
I _{DD6} セルフリフレッシュ平均電流 (最大)	20 mA

- 同期式オペレーション
 - 倍周期データレート (DDR)
データの入出力は DQS(ライト/リードデータストロブ)の立ち上がり/立ち下がりに同期して行われます。
 - 差動式クロック入力 (CLK & $\overline{\text{CLK}}$)
CS, FN 及び全てのアドレス入力信号は、CLK の立ち上がりエッジで取り込まれます。
出力データ(DQ & DQS)は CLK と $\overline{\text{CLK}}$ の交点を基準に出力されます。
全てのタイミングは CLK と $\overline{\text{CLK}}$ の交点から定義されます。
- 最大クロック周波数 : 266 MHz
- 最大データ転送レート : 533M ワード/秒
- 8 バンク独立動作
- 双方向性データストロブ信号
- セルフリフレッシュ
- 可変バースト長制御
- プログラマブル CAS レイテンシ/バースト長
CAS レイテンシ = 5
バースト長 = 2, 4
- 構成: TC59LM906AMG : 8,388,608 ワード × 8 バンク × 8 ビット
- 電源電圧
V_{DD}: 2.5 V ± 0.125V
V_{DDQ}: 1.4 V ~ 1.9 V
- 入出力: SSTL_18, HSTL
- パッケージ: 60Ball BGA, 1mm × 1mm Ball pitch (P-BGA64-1317-1.00AZ)
- 無鉛製品

注 : “FCRAM”は富士通(株)の登録商標です。

ピン名称

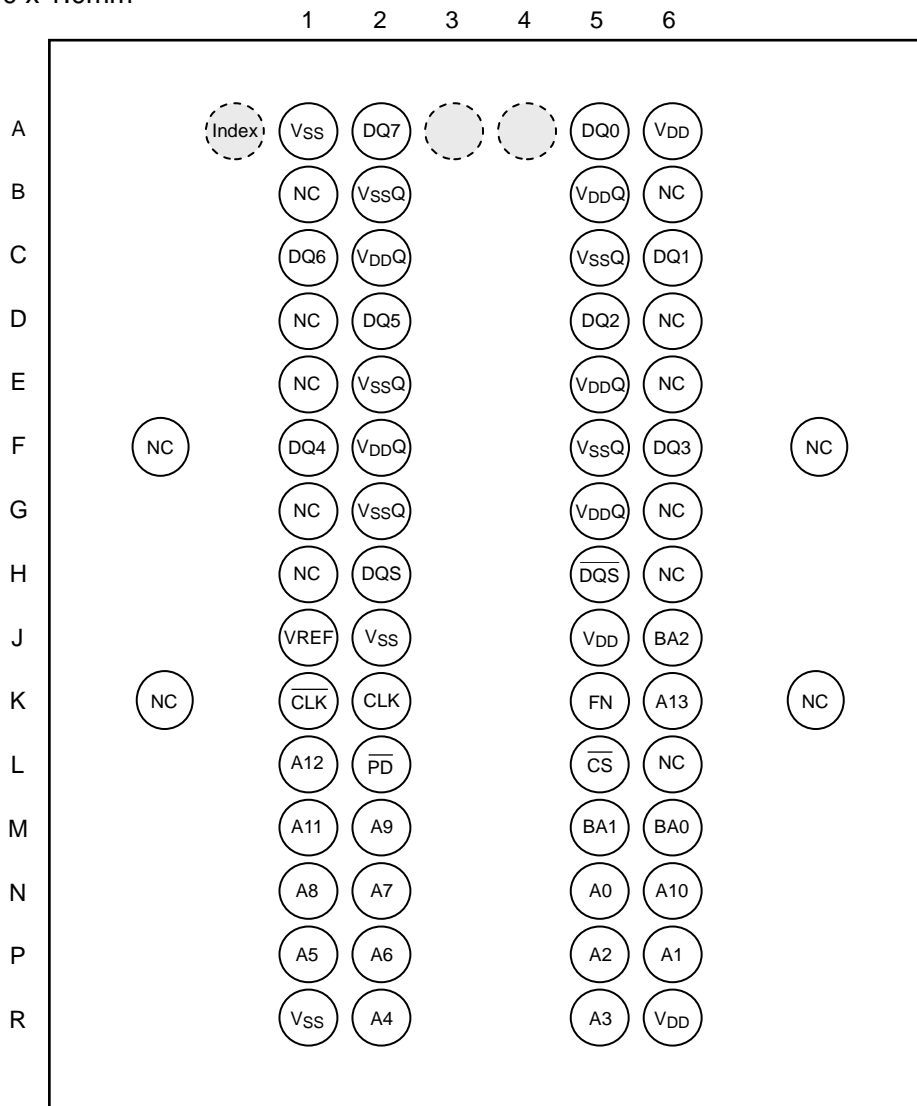
ピン	名称
A0~A13	アドレス入力
BA0~BA2	バンクアドレス
DQ0~DQ7	データ入出力
$\overline{\text{CS}}$	チップセレクト
FN	ファンクションコントロール
$\overline{\text{PD}}$	パワーダウンコントロール
CLK, $\overline{\text{CLK}}$	クロック入力

ピン	名称
DQS / $\overline{\text{DQS}}$	ライト/リードデータストロープ
V _{DD}	電源 (+2.5 V)
V _{SS}	電源 (グラウンド)
V _{DDQ}	電源 (+1.5 V / +1.8 V) (DQ バッファ用)
V _{SSQ}	電源 (グラウンド) (DQ バッファ用)
V _{REF}	基準電圧
NC	無接続

BA2 を A14 として使用する事により 4 バンク動作となります。

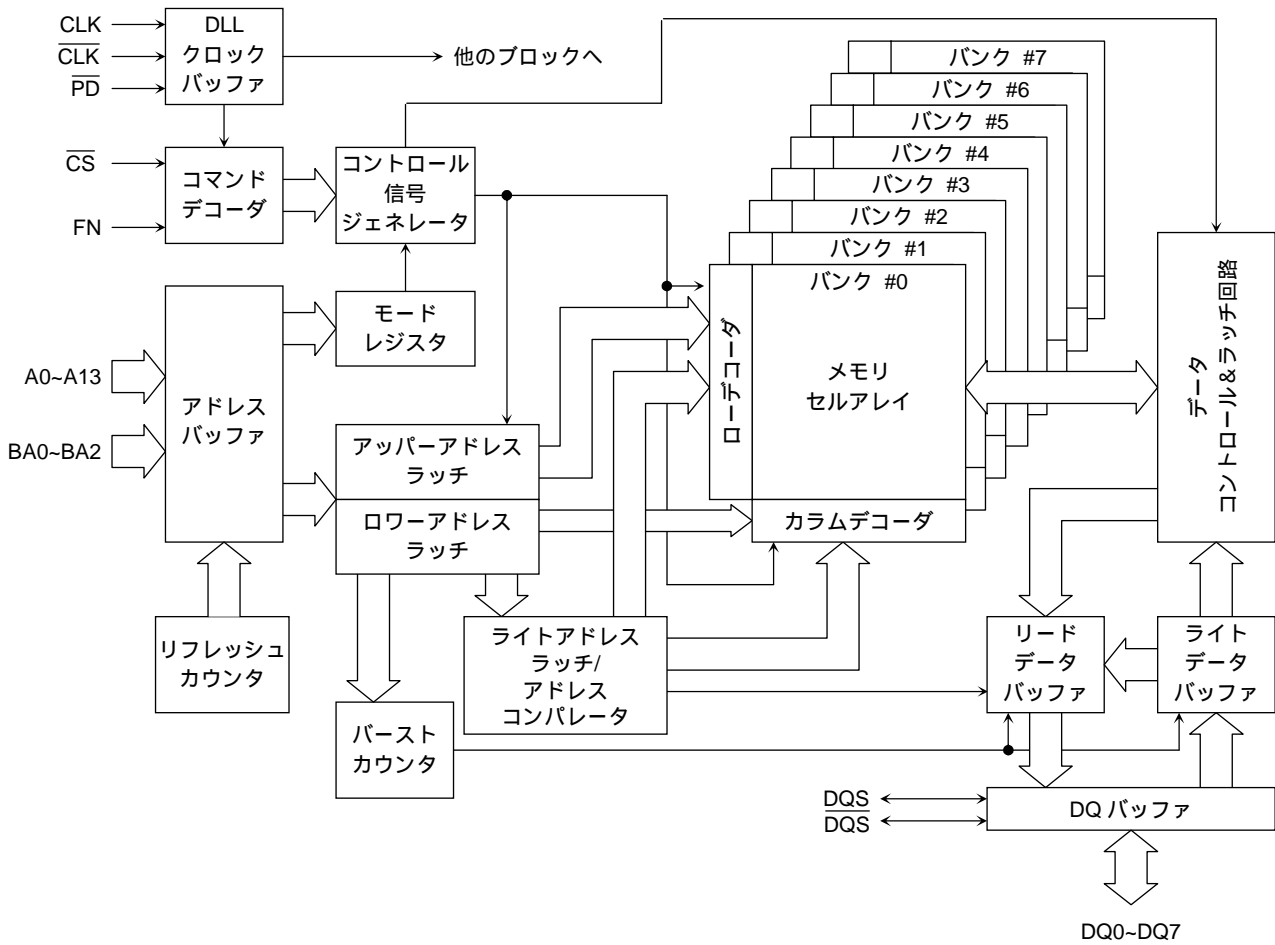
ピン配置 (上面図)

ball pitch=1.0 x 1.0mm
x 8



○ : ボールは存在しません。

ブロック図



注: TC59LM906AMG は8バンクの16384 row × 512 column × 8 DQのセルアレイで構成され、DQS、 \overline{DQS} をサポートしています。

最大定格

記号	項目	定格	単位	注
V _{DD}	電源電圧	-0.3 ~ 3.3	V	
V _{DDQ}	電源電圧 (DQ バッファ)	-0.3~V _{DD} + 0.3	V	
V _{IN}	入力電圧	-0.3~V _{DD} + 0.3	V	
V _{OUT}	入力電圧 (DQ ピン)	-0.3~V _{DDQ} + 0.3	V	
V _{REF}	入力基準電圧	-0.3~V _{DD} + 0.3	V	
T _{opr}	動作温度 (ケース温度)	0~85	°C	
T _{stg}	保存温度	-55~150	°C	
T _{solder}	はんだ付け加熱温度 (10 秒)	260	°C	
P _D	消費電力	2	W	
I _{OUT}	出力短絡電流	±50	mA	

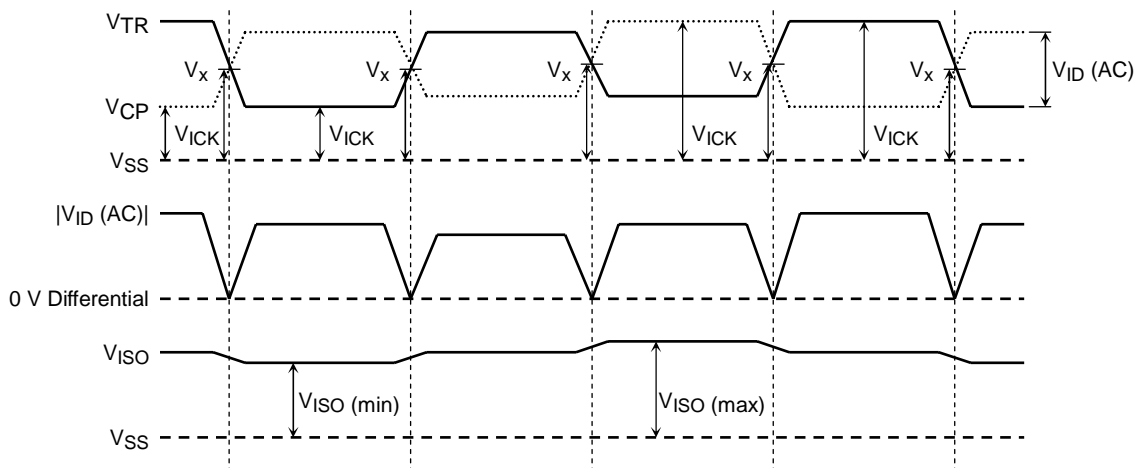
注: 最大定格表に記載された範囲を超える状況下ではデバイスに致命的な損傷をもたらす恐れがあります。本製品の動作は、本データシートに記述されている動作に関する種々の項目の範囲内でのみ保証されます。最大定格の範囲内であっても長期最大定格条件にさらされた場合、デバイスの信頼性に致命的な影響を及ぼす可能性があります。

DC、AC 許容動作条件(注: 1) (T_{CASE} = 0~85°C)

記号	項目	最小	標準	最大	単位	注
V _{DD}	電源電圧	2.375	2.5	2.625	V	
V _{DDQ}	電源電圧 (DQ バッファ)	1.4	—	1.9	V	
V _{REF}	入力基準電圧	V _{DDQ} /2 × 95%	V _{DDQ} /2	V _{DDQ} /2 × 105%	V	2
V _{IH} (DC)	高レベル入力電圧 (DC)	V _{REF} + 0.125	—	V _{DDQ} + 0.2	V	5
V _{IL} (DC)	低レベル入力電圧 (DC)	-0.1	—	V _{REF} - 0.125	V	5
V _{ICK} (DC)	差動 DC 入力電圧	-0.1	—	V _{DDQ} + 0.1	V	10
V _{ID} (DC)	入力電圧差 (DC)	0.4	—	V _{DDQ} + 0.2	V	7, 10
V _{IH} (AC)	高レベル入力電圧 (AC)	V _{REF} + 0.2	—	V _{DDQ} + 0.2	V	3, 6
V _{IL} (AC)	低レベル入力電圧 (AC)	-0.1	—	V _{REF} - 0.2	V	4, 6
V _{ID} (AC)	入力電圧差 (AC)	0.5	—	V _{DDQ} + 0.2	V	7, 10
V _X (AC)	交差電圧 (AC)	V _{DDQ} /2 - 0.125	—	V _{DDQ} /2 + 0.125	V	8, 10
V _{ISO} (AC)	差動中間レベル (AC)	V _{DDQ} /2 - 0.125	—	V _{DDQ} /2 + 0.125	V	9, 10

注:

- (1) 全ての電圧は V_{SS} 、 V_{SSQ} を基準にしています。
- (2) V_{REF} レベルは V_{DDQ} (DC) のレベル変動に追従するようにして下さい。
 V_{REF} におけるノイズの最大振幅は V_{REF} (DC) $\pm 2\%$ を超えないようにして下さい。
- (3) オーバーシュート定格: パルス幅 5 ns 以下で $V_{IH}(\max) = V_{DDQ} + 0.7$ V 以内。
- (4) アンダーシュート定格: パルス幅 5 ns 以下で $V_{IL}(\min) = -0.7$ V 以内。
- (5) V_{IH} (DC) 及び V_{IL} (DC) は現行状態を維持するためのレベル規定です。
- (6) V_{IH} (AC) 及び V_{IL} (AC) は新しい論理状態へ変化させるためのレベル規定です。
- (7) V_{ID} は V_{TR} 入力レベルと V_{CP} 入力レベルの電位差を意味します。
- (8) 最適な V_X (AC) は $V_{DDQ}/2$ です。
- (9) V_{ISO} は $\{V_{ICK}(V_{TR}) + V_{ICK}(V_{CP})\} / 2$ を意味します。
- (10) 下図を参照下さい。 V_{TR} は CLK, DQS のような正相信号レベルであり、 V_{CP} は \overline{CLK} 、 \overline{DQS} のような逆相信号レベルです。



- (11) 外部終端する場合は、終端電圧(V_{TT})は V_{REF} (DC) ± 0.04 V の範囲にして下さい。

ピン容量 ($V_{DD} = 2.5$ V, $V_{DDQ} = 1.8$ V, $f = 1$ MHz, $T_a = 25^\circ\text{C}$)

記号	項目	最小	最大	差(MAX)	UNIT
C_{IN}	入力ピン容量(CLK、 \overline{CLK} 以外)	1.5	2.5	0.25	pF
C_{INC}	クロックピン容量(CLK、 \overline{CLK})	1.5	2.5	0.25	pF
$C_{I/O}$	入出力ピン容量(DQ, DQS, \overline{DQS})	2.5	4	0.5	pF
C_{NC}	NC ピン容量	—	4	—	pF

注: この項目は抜き取り検査のみで全数検査は実施していません。

電气的特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$)

記号	項目	最大	単位	注
I_{DD1S}	動作平均電流 $t_{CK} = \min$, $I_{RC} = \min$, リード/ライトコマンドサイクリング $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$, 1バンク動作、バースト長 = 4、 最小 I_{RC} の間にアドレス遷移は2回。	280	mA	1, 2
I_{DD2N}	スタンバイ平均電流 $t_{CK} = \min$, $\overline{CS} = V_{IH}$, $\overline{PD} = V_{IH}$, $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$, 全てのバンク: 非活性状態、 上述以外の入力信号は $4 \times t_{CK}$ の間に1回遷移。	120		1, 2
I_{DD2P}	スタンバイ平均電流 (パワーダウン) $t_{CK} = \min$, $\overline{CS} = V_{IH}$, $\overline{PD} = V_{IL}$ (パワーダウン), $0V \leq V_{IN} \leq V_{DDQ}$, 全てのバンク: 非活性状態	90		1, 2
I_{DD4W}	ライト動作平均電流 (8バンク) 8バンクインターリーブ連続バーストライト動作 $t_{CK} = \min$, $I_{RC} = \min$ Burst Length = 4, \overline{CAS} Latency = 5 $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$, 1クロック毎にアドレスが遷移、 DQとDQSの入力は1クロック中に2回遷移。	450		1, 2
I_{DD4R}	リード動作平均電流 (8バンク) 8バンクインターリーブ連続バーストライト動作 $t_{CK} = \min$, $I_{RC} = \min$, $I_{OUT} = 0mA$ Burst Length = 4, \overline{CAS} Latency = 5 $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$, 1クロック毎にアドレスが遷移、 リードデータは1クロック中に2回遷移。	450		1, 2
I_{DD5B}	集中オートリフレッシュ平均電流 オートリフレッシュコマンドサイクリング $t_{CK} = \min$, $I_{REFC} = \min$ \overline{CAS} Latency = 5 $0V \leq V_{IN} \leq V_{IL} (AC) (max)$, $V_{IH} (AC) (min) \leq V_{IN} \leq V_{DDQ}$, 最小 I_{REFC} の間にアドレス遷移は2回。 DQとDQSの入力は1クロック中に2回遷移。	280		1, 2, 3
I_{DD6}	セルフリフレッシュ平均電流 セルフリフレッシュモード $\overline{PD} = 0.2V$, $0V \leq V_{IN} \leq V_{DDQ}$	20		2

- 注:
1. これらは、 t_{CK} 、 t_{RC} 及び I_{RC} を最小値でサイクリングさせた場合の電流です。電流は過渡的に流れる為、サイクルレートに強く依存します。
 2. これらの値は $V_{DD} - V_{SS}$ 間を流れる電流値として定義されます。
 3. I_{DD5B} は、集中リフレッシュ条件での定義です。実際のシステムでは t_{REFI} 規定のもと、分散リフレッシュを使用して下さい。

電気的特性 ($V_{DD} = 2.5V \pm 0.125V$, $V_{DDQ} = 1.4V \sim 1.9V$, $T_{CASE} = 0 \sim 85^{\circ}C$) (続き)

記号	項目		最小	最大	単位	注	
I_{LI}	入力リーク電流 ($0V \leq V_{IN} \leq V_{DDQ}$ 、測定以外のピンは0V)		-5	5	μA		
I_{LO}	出力リーク電流 (出力はディセーブル、 $0V \leq V_{OUT} \leq V_{DDQ}$)		-5	5	μA		
I_{REF}	V_{REF} 電流		-5	5	μA		
$I_{OH} (DC)$	Normal Output Driver	出力電流 ($V_{DDQ} = 1.7V \sim 1.9V$)	$V_{OH} = 1.420V$	-5.6	—	mA	1
$I_{OL} (DC)$			$V_{OL} = 0.280V$	5.6	—		
$I_{OH} (DC)$	Strong Output Driver		$V_{OH} = 1.420V$	-9.8	—		
$I_{OL} (DC)$			$V_{OL} = 0.280V$	9.8	—		
$I_{OH} (DC)$	Weak Output Driver		$V_{OH} = 1.420V$	-2.8	—		
$I_{OL} (DC)$			$V_{OL} = 0.280V$	2.8	—		
$I_{OH} (DC)$	Full Strength Output Driver		$V_{OH} = 1.420V$	-13.4	—		1, 2
$I_{OL} (DC)$			$V_{OL} = 0.280V$	13.4	—		
$I_{OH} (DC)$	Normal Output Driver	出力電流 ($V_{DDQ} = 1.4V \sim 1.6V$)	$V_{OH} = V_{DDQ} - 0.4V$	-4	—	mA	1
$I_{OL} (DC)$			$V_{OL} = 0.4V$	4	—		
$I_{OH} (DC)$	Strong Output Driver		$V_{OH} = V_{DDQ} - 0.4V$	-8	—		
$I_{OL} (DC)$			$V_{OL} = 0.4V$	8	—		
$I_{OH} (DC)$	Weak Output Driver		Not defined	—	—		
$I_{OL} (DC)$			Not defined	—	—		
$I_{OH} (DC)$	Full Strength Output Driver		$V_{OH} = V_{DDQ} - 0.4V$	-10	—		1, 2
$I_{OL} (DC)$			$V_{OL} = 0.4V$	10	—		

- 注:
1. 詳細に関しては出力ドライバ特性を参照して下さい。
出力ドライバの選択はエクステンディッドモードレジスタにて行われます。
 2. Full Strength Output Driver の場合、Off Chip Driver (OCD)インピーダンス調整を使用できます。Full Strength Output Driver のスペックは、デフォルトの値です。

AC 許容動作条件及び特性 (注: 1, 2)

(V_{DD} = 2.5V ± 0.125V, V_{DDQ} = 1.4V ~ 1.9V, T_{CASE} = 0 ~ 85°C)

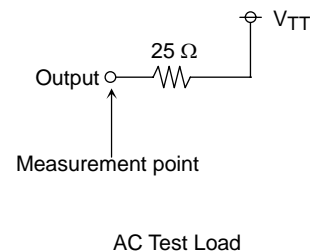
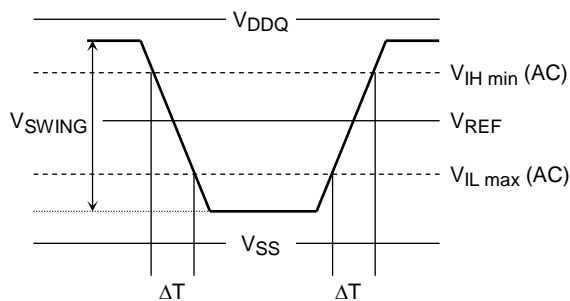
記号	項目	最小	最大	単位	注
t _{RC}	ランダムサイクル時間	22.5	—	ns	3
t _{CK}	クロックサイクル時間	3.75	8.5		3
t _{RAC}	ランダムアクセス時間	—	22.0		3
t _{CH}	クロック高レベル時間	0.45 × t _{CK}	—		3
t _{CL}	クロック低レベル時間	0.45 × t _{CK}	—		3
t _{CKQS}	DQS アクセス時間	-0.45	0.45		3,8,10
t _{QSQ}	DQS - DQ スキュー	—	0.25		4
t _{AC}	クロックアクセス時間	-0.5	0.5		3,8,10
t _{OH}	出力データホールド時間	-0.5	0.5		3, 8
t _{QSPRE}	DQS (リード)プリアンブルパルス時間	0.9 × t _{CK}	1.1 × t _{CK}		3, 8
t _{HP}	CLK ハーフピリオド (t _{CH} , t _{CL} 実最小時間)	min(t _{CH} , t _{CL})	—		3
t _{QSP}	DQS (リード)パルス幅	t _{HP} -t _{QHS}	—		4, 8
t _{QSQV}	出力データ有効時間	t _{HP} -t _{QHS}	—		4, 8
t _{QHS}	DQ ホールドスキューファクター	—	0.055 × t _{CK} +0.17		
t _{DQSS}	DQS (ライト)立ち上がりエッジセットアップ時間	0.75 × t _{CK}	1.25 × t _{CK}		3
t _{DSPRE}	DQS (ライト)プリアンブルパルス幅	0.25 × t _{CK}	—		4
t _{DSPRES}	DQS 1st 入力セットアップ時間	0	—		3
t _{DSPREH}	DQS 1st 低レベル入力ホールド時間	0.25 × t _{CK}	—		3
t _{DSP}	DQS 高または低レベル入力パルス幅	0.35 × t _{CK}	0.65 × t _{CK}		4
t _{DSS}	DQS 入力立下りエッジ - CLK セットアップ時間	0.75	—		3, 4
t _{DSH}	DQS 入力立下りエッジ - CLK ホールドタイム時間	0.55	—		3, 4
t _{DSPST}	DQS (ライト)ポストアンブルパルス幅	0.4 × t _{CK}	—		4
t _{DSPSTH}	DS (ライト) ポストアンブルホールド時間	0.75	—		3, 4
t _{DS}	データ入力セットアップ時間	0.35	—		4
t _{DH}	データ入力ホールド時間	0.35	—		4
t _{IS}	コマンド/アドレス入力セットアップ時間	0.5	—		3
t _{IH}	コマンド/アドレス入力ホールド時間	0.5	—	3	

AC 許容動作条件及び特性 (注: 1, 2) (続き)

記号	項目	最小	最大	単位	注	
tLZ	出力ローインピーダンス時間	-0.5	—		3,6,8	
tHZ	出力ハイインピーダンス	—	0.5		3,7,8	
tQSLZ	DQS 出力ローインピーダンス時間	-0.5	—	ns	3,6,8	
tQSHZ	DQS 出力ハイインピーダンス時間	-0.5	0.5		3,7,8	
tQPDH	$\overline{\text{PD}}$ 高レベルホールド時間	0	—			
tpDEX	パワーダウンイグジット	0.6	—		3	
tT	立ち上がり/立ち下がり時間	0.1	1			
tFPDL	$\overline{\text{PD}}$ ロー入カタイミング (セルフリフレッシュ)	$-0.5 \times t_{\text{CK}}$	5		3	
tOIT	OCD ドライブモード出力遅れ時間	0	12			
tREFI	オートリフレッシュ間隔	0.4	3.9	μs	5	
tpAUSE	電源投入後安定時間	200	—			
lRC	ランダムリード/ライトサイクル時間(同一バンク)	6	—	cycle		
lRCD	RDA/WRA-LAL コマンド間隔 (同一バンク)	1	1			
lRAS	LAL-RDA/WRA コマンド間隔 (同一バンク)	5	—			
lRBD	ランダムバンクアクセス間隔 (他バンク間)	2	—			
lRWD	RDA 後 LAL-WRA コマンド間隔 (他バンク間)	B _L = 2	2		—	
		B _L = 4	3		—	
lWRD	WRA 後 LAL-RDA コマンド間隔(他バンク間)	1	—			
lRSC	モードレジスタセットサイクル時間	6	—			
lPD	$\overline{\text{PD}}$ ロー入力・入力非活性時間	—	1			
lPDA	$\overline{\text{PD}}$ ハイ入力・入力バッファ活性時間	—	1			
lPDV	REF コマンド・パワーダウン間隔	22	—			
lREFC	オートリフレッシュサイクル時間	22	—			
lCKD	REF コマンド・クロック入力ディセーブル時間(セルフリフレッシュエントリー時)	lREFC	—			
lLOCK	DLL 安定時間 (RDA コマンド間)	200	—			

AC テスト条件

記号	項目	定格	単位	注
$V_{IH} (min)$	高レベル入力電圧 (AC)	$V_{REF} + 0.2$	V	
$V_{IL} (max)$	低レベル入力電圧 (AC)	$V_{REF} - 0.2$	V	
V_{REF}	入力基準電圧	$V_{DDQ}/2$	V	
V_{TT}	終端電圧	V_{REF}	V	
V_{SWING}	入力信号最大振幅	0.7	V	
V_r	差動クロック入力基準電圧	$V_X (AC)$	V	
$V_{ID} (AC)$	CLK, \overline{CLK} 入力電圧差	1.0	V	
SLEW	入力信号最小移行レート	2.5	V/ns	
V_{OTR}	出力信号測定基準電位	$V_{DDQ}/2$	V	9



$$SLEW = (V_{IH} \text{ min (AC)} - V_{IL} \text{ max (AC)})/\Delta T$$

注:

- (1) 立ち上がり、立ち下がり時間は $V_{IH} \text{ min (DC)}$ と $V_{IL} \text{ max (DC)}$ の間で定義されます。入力信号の立ち上がり、立ち下がりの傾きは一定とします。
- (2) 単位が Cycle で記述された項目の値は t_{CK} 値より計算されますが、小数点第 2 位以下は切り上げています。
(例 : $t_{DQS} = 0.75 \times t_{CK}$, $t_{CK} = 5 \text{ ns}$, $0.75 \times 5 \text{ ns} = 3.75 \text{ ns} \rightarrow 3.8 \text{ ns}$)
- (3) これらの項目は、差動クロック (CLK, \overline{CLK}) の AC 交差点から定義されます。
- (4) これらの項目は、DQS の遷移信号が V_{REF} 電位と交差するポイントから定義されます。DQS が使用されている場合は、これらの項目は DQS と \overline{DQS} の交差するポイントから定義されます。
- (5) $t_{REFI} (max)$ は均等分散リフレッシュの場合に適用されます。
 $t_{REFI} (min)$ 集中リフレッシュ及び分散リフレッシュのどちらにも適用されます。
 $t_{REFI} (min)$ は任意の連続した 8 回のオートリフレッシュコマンド間隔が常に 400ns 以上でなければいけません。言い換えると、 $3.2 \mu\text{s}$ ($8 \times 400 \text{ ns}$) 内に実行可能なオートリフレッシュの回数は、最大で 8 回迄です。
- (6) ローインピーダンスの状態は $V_{DDQ}/2 \pm 0.2 \text{ V}$ に達した状態です。
- (7) ハイインピーダンスの状態は出力バッファが駆動していない状態です。
- (8) これらの項目はクロックのジッターに依存します。これらの項目の値は安定したクロックにおいて測定された場合のものであります。
- (9) 出力タイミングは、Normal Output Driver にて定義されます。
 $V_{DDQ} = 1.4\text{V} \sim 1.6\text{V}$ の場合、出力タイミングは Strong Output Driver にて定義されます。
- (10) これらの値は t_{CK} が 6.0ns 以下の条件で測定されます。 t_{CK} が 6.0ns 以上の場合には Speed version に関わらず、下記の値で測定されます。

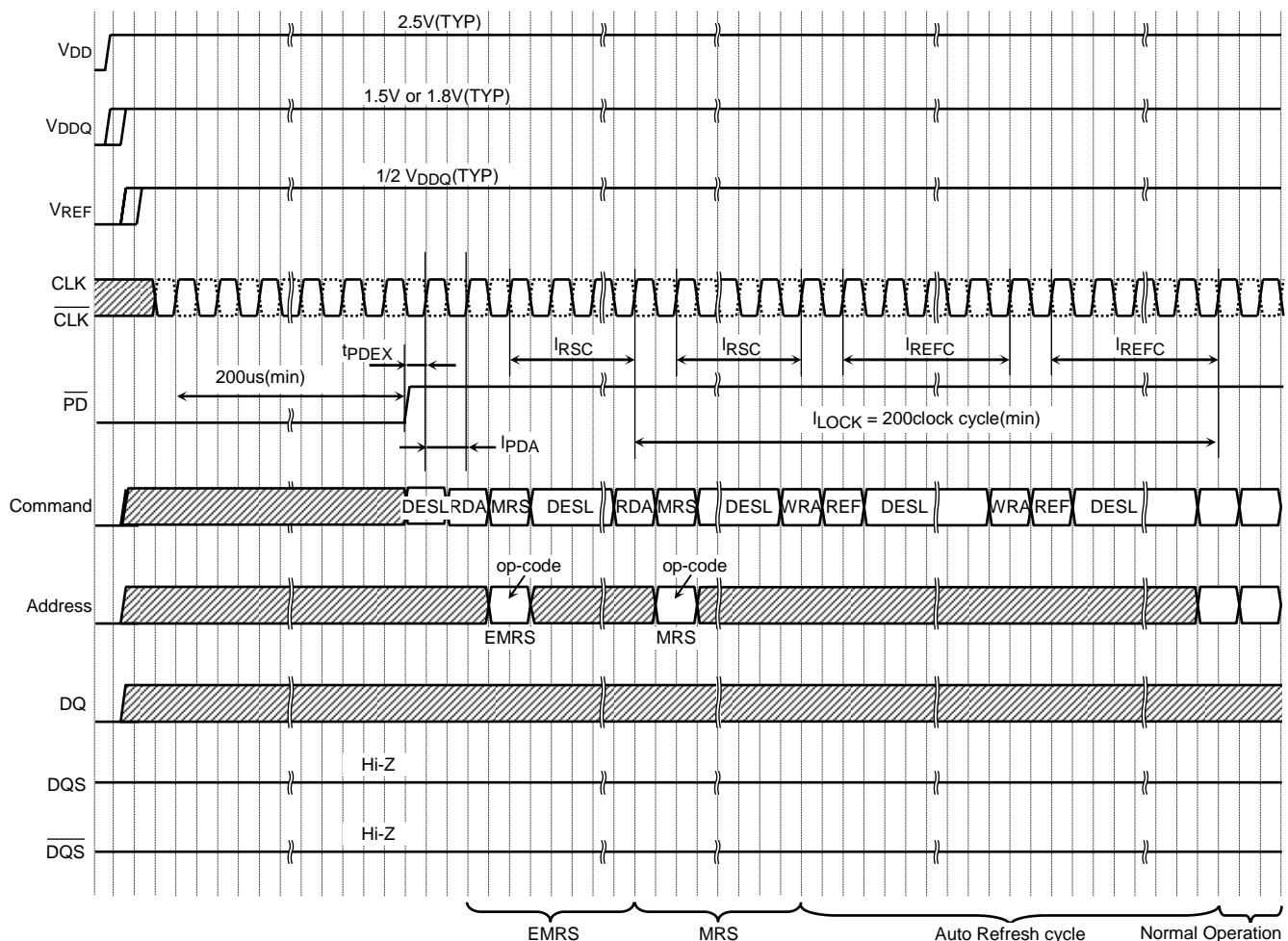
$$t_{CKQS} (MIN/MAX) = -0.6\text{ns} / 0.6\text{ns}, t_{AC} (MIN/MAX) = -0.65\text{ns} / 0.65\text{ns}$$

電源投入

- (1) 電源(VDD、VDDQ)を立ち上げる前に \overline{PD} をロー状態($\leq 0.2V$)にします。
- (2) VDDQはVDDと同時にVDDより後に立ち上げます。
- (3) VREFはVDDQと同時ないしはVDDQよりも後に立ち上げます。
- (4) 電源が所望の電位に到達後、クロック(CLK、 \overline{CLK})を入力し、電源、クロック入力安定した状態で200 μs のポーズタイムをとります。
- (5) 電源とクロックが安定後、NOP状態(DES�)かつ \overline{PD} をハイ状態にします。
- (6) EMRSコマンドでDLLをイネーブルにし、ドライバストレンクス、データストローブタイプをセットします。この時のA7~A9は"0"を入力して下さい(OCD calibration mode exitコマンド)。(注: 1, 2)
- (7) モードレジスタセットコマンドにてCASレイテンシ(CL)、パーストタイプ(BT)、パースト長(BL)をセットします。(注 1)
- (8) 2回以上のオートリフレッシュを実行します。(注 1)
- (9) EMRSから200クロック後に通常動作可能です。
- (10) Off Chip Driver (OCD)インピーダンス調整を使う場合は、OCDインピーダンス調整のシーケンスを実行して下さい。

注:

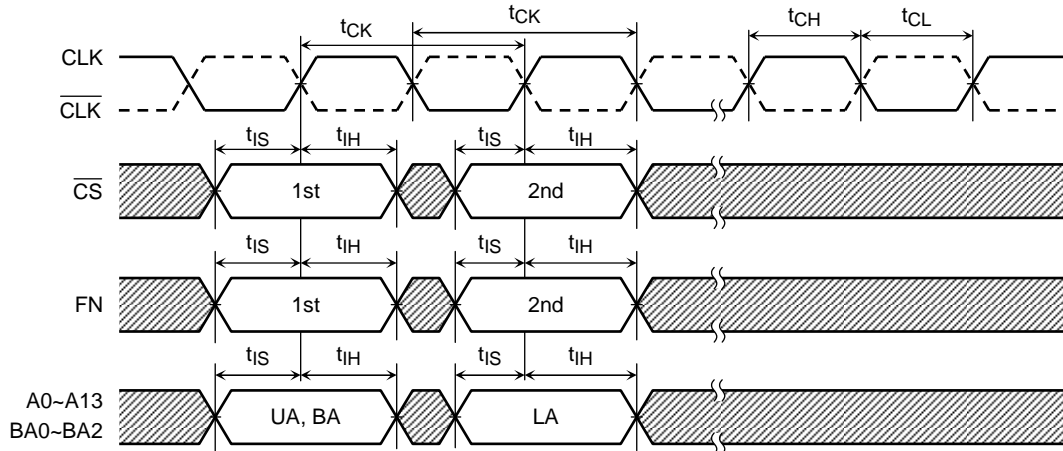
- (1) ステップ(6)、(7)、(8)は順不同です。
- (2) TC59LM906AMGの場合、 \overline{DQS} の設定を行います。
- (3) "ロー"はロジック低レベル状態、"ハイ"はロジック高レベル状態を意味します。
- (4) 電源投入中のDQ出力はハイインピーダンス状態になります。



タイミング図

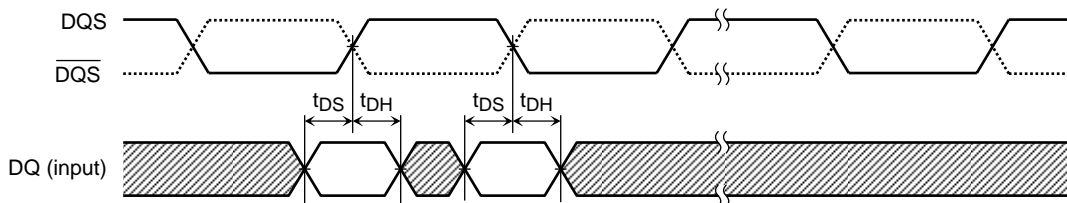
コマンド入力タイミング

コマンド、アドレス

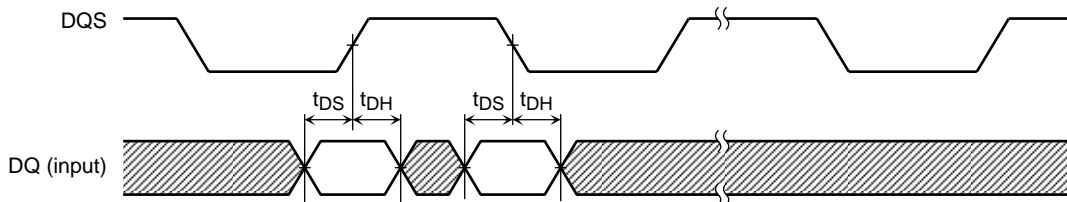


データ

• DQS イネーブルモード

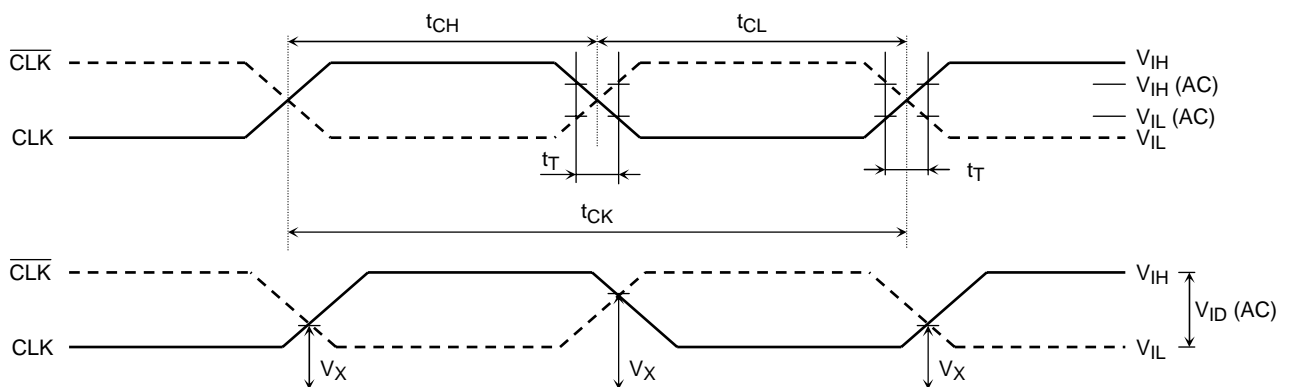


• DQS ディセーブルモード

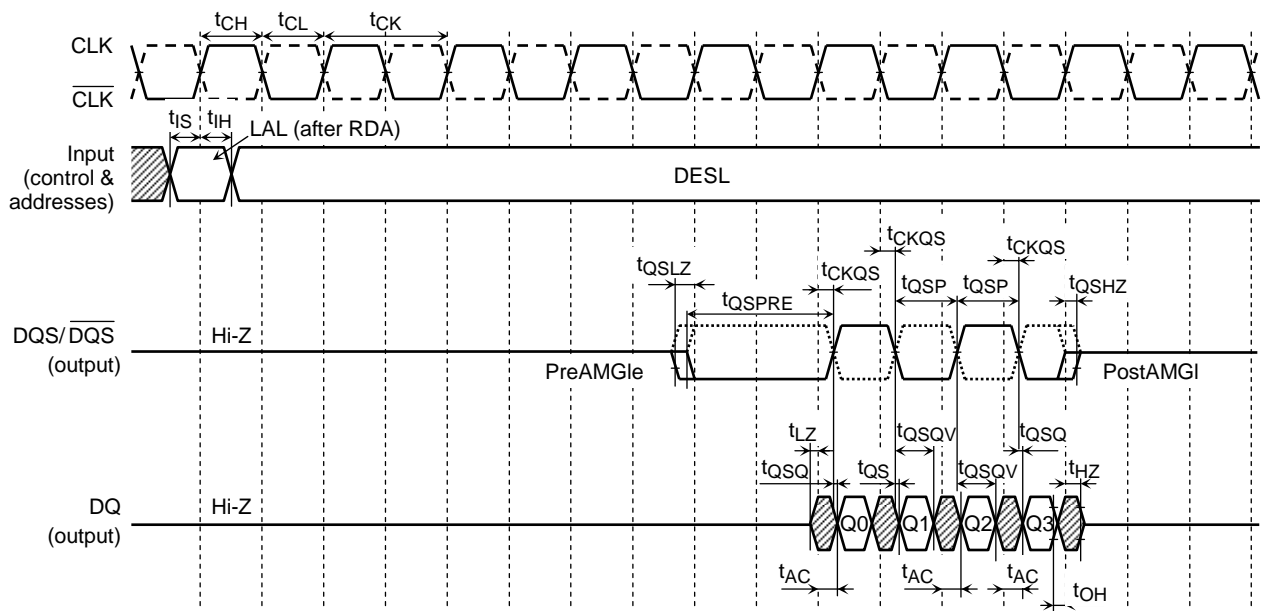


入力真値値表参照.

CLK, CLK タイミング

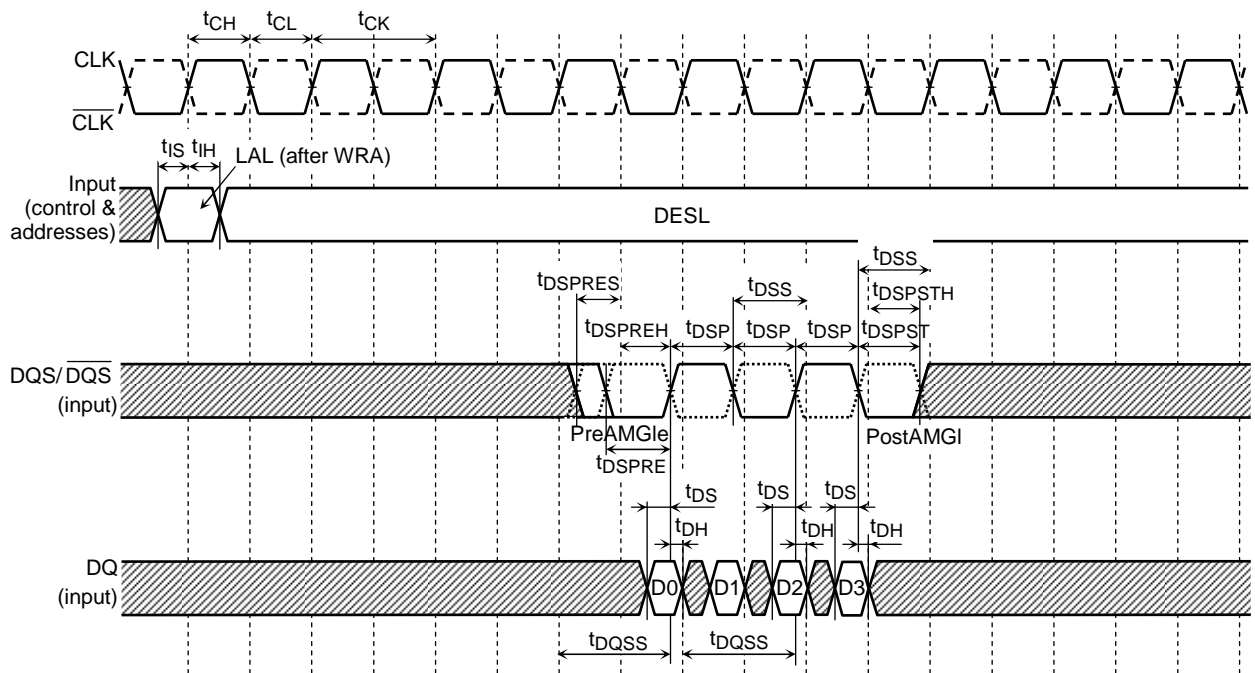


リードタイミング (Burst Length = 4)



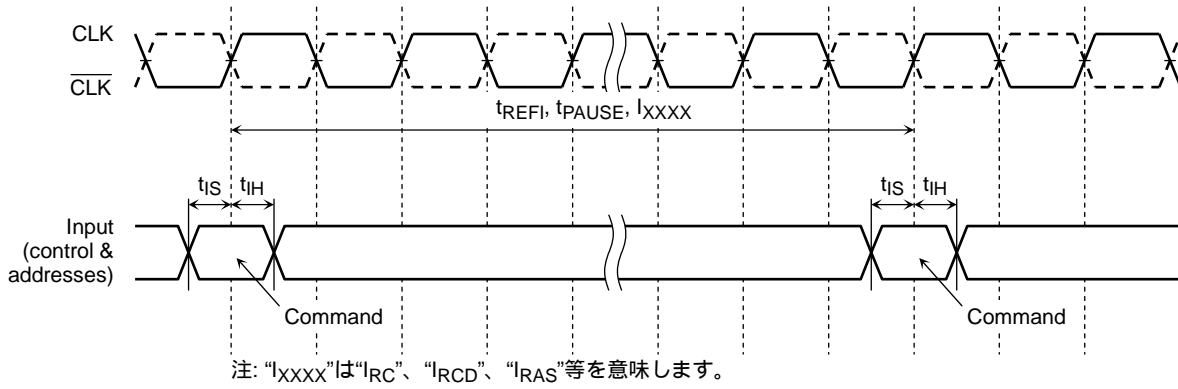
\overline{DQS} ディセーブル状態で、 \overline{DQS} はハイインピーダンスです。
 \overline{DQS} は、EMRS にて設定可能です。

ライトタイミング (Burst Length = 4)



\overline{DQS} ディセーブル状態で、 \overline{DQS} はハイインピーダンスです。
 \overline{DQS} は、EMRS にて設定可能です。

t_{REFI} , t_{PAUSE} , t_{XXXX} タイミング



動作真理値表 (注: 1, 2, 3)

コマンド真理値表 (注: 4)

• 1st コマンド

記号	項目	\overline{CS}	FN	BA2-BA0	A13-A9	A8	A7-A0	NOTES
DESL	Device Deselect	H	×	×	×	×	×	-
RDA	Read with Auto-close	L	H	BA	UA	UA	UA	-
WRA	Write with Auto-close	L	L	BA	UA	UA	UA	-

• 2nd コマンド

記号	項目	\overline{CS}	FN	BA1-BA0	BA2	A13	A12-A9	A8	A7-A0	NOTES
LAL	Lower Address Latch	H	×	×	V	V	×	LA	LA	-
REF	Auto-Refresh	L	×	×	×	×	×	×	×	-
MRS	Mode Register Set	L	×	V	L	L	L	L	V	-

- 注:
1. L = Logic Low, H = Logic High, × = either L or H, V = Valid (specified value), BA = Bank Address, UA = Upper Address, LA = Lower Address
 2. 全てのコマンドは各コマンド入力にとって正当な状態で入力されるものとします。
 3. SELFX と PDEX を除く全てのコマンドは、CLK の立ち上がりにおける差動クロック入力交差点で取り込まれます。
 4. 動作モードは 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決まります。“状態遷移図”と以下のコマンド表を参照してください

リードコマンド表

コマンド (記号)	\overline{CS}	FN	BA2-BA0	A13-A9	A8	A7-A0	NOTES
RDA (1st)	L	H	BA	UA	UA	UA	-
LAL (2nd)	H	×	×	×	LA	LA	-

ライトコマンド表

コマンド (記号)	\overline{CS}	FN	BA1-BA0	BA2	A13	A12-A9	A8	A7-A0	NOTES
WRA (1st)	L	L	BA	BA	UA	UA	UA	UA	-
LAL (2nd)	H	×	×	VW0	VW1	×	LA	LA	-

- 注: 6. BA2、A13~A11 はライト動作時のバリアブルライトバースト長制御に使用します。

動作真理値表 (続き)

バリアブルライト(VW)真理値表

記号	項目	VW0	VW1
BL=2	Write All Words	L	×
	Write First One Word	H	×
BL=4	Reserved	L	L
	Write All Words	H	L
	Write First Two Words	L	H
	Write First One Word	H	H

モードレジスタセットコマンド表

コマンド (記号)	\overline{CS}	FN	BA2-BA0	A13-A8	A7-A0	NOTES
RDA (1st)	L	H	×	×	×	-
MRS (2nd)	L	×	V	V	V	8

注: 8. “モードレジスタ表”を参照して下さい。

オートリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA2-BA0	A13-A8	A7-A0	NOTES
			n-1	n						
Active	WRA (1st)	Standby	H	H	L	L	×	×	×	-
Auto-Refresh	REF (2nd)	Active	H	H	L	×	×	×	×	-

セルフリフレッシュコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA2-BA0	A13-A8	A7-A0	NOTES
			n-1	n						
Active	WRA (1st)	Standby	H	H	L	L	×	×	×	-
Self-Refresh Entry	REF (2nd)	Active	H	L	L	×	×	×	×	9, 10
Self-Refresh Continue	—	Self-Refresh	L	L	×	×	×	×	×	-
Self-Refresh Exit	SELFX	Self-Refresh	L	H	H	×	×	×	×	11

パワーダウンコマンド表

項目	コマンド (記号)	現在の状態	\overline{PD}		\overline{CS}	FN	BA2-BA0	A13-A8	A7-A0	NOTES
			n-1	n						
Power Down Entry	PDEN	Standby	H	L	H	×	×	×	×	10
Power Down Continue	—	Power Down	L	L	×	×	×	×	×	-
Power Down Exit	PDEX	Power Down	L	H	H	×	×	×	×	11

- 注: 9. \overline{PD} は REF コマンドに対して t_{FPDL} の範囲内でロー状態にしなければなりません。
 10. \overline{PD} はロー状態にする時は、DQ ピンの状態がハイインピーダンス状態後にしてください。
 11. \overline{PD} をロー状態からハイ状態へ移行した場合、クロックに対して非同期動作となります。

動作真理値表 (続き)

現在の状態	$\overline{\text{PD}}$		$\overline{\text{CS}}$	FN	アドレス	コマンド	アクション	注
	n-1	n						
Idle	H	H	H	x	x	DESL	NOP	
	H	H	L	H	BA, UA	RDA	Row activate for Read	
	H	H	L	L	BA, UA	WRA	Row activate for Write	
	H	L	H	x	x	PDEN	Power Down Entry	12
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Refer to Power Down State	
Row Active for Read	H	H	H	x	LA	LAL	Begin Read	
	H	H	L	x	Op-code	MRS/EMRS	Access to Mode Register	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	MRS/EMRS	Illegal	
	L	x	x	x	x	—	Invalid	
Row Active for Write	H	H	H	x	LA	LAL	Begin Write	
	H	H	L	x	x	REF	Auto-Refresh	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	REF (self)	Self-Refresh Entry	
	L	x	x	x	x	—	Invalid	
Read	H	H	H	x	x	DESL	Continue Burst Read to End	
	H	H	L	H	BA, UA	RDA	Illegal	13
	H	H	L	L	BA, UA	WRA	Illegal	13
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
Write	H	H	H	x	x	DESL	Data Write & Continue Burst Write to End	
	H	H	L	H	BA, UA	RDA	Illegal	13
	H	H	L	L	BA, UA	WRA	Illegal	13
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
Auto-Refreshing	H	H	H	x	x	DESL	NOP → Idle after IREFC	
	H	H	L	H	BA, UA	RDA	Illegal	
	H	H	L	L	BA, UA	WRA	Illegal	
	H	L	H	x	x	PDEN	Self-Refresh Entry	14
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Refer to Self-Refreshing State	
Mode Register Accessing	H	H	H	x	x	DESL	NOP → Idle after IRSC	
	H	H	L	H	BA, UA	RDA	Illegal	
	H	H	L	L	BA, UA	WRA	Illegal	
	H	L	H	x	x	PDEN	Illegal	
	H	L	L	x	x	—	Illegal	
	L	x	x	x	x	—	Invalid	
Power Down	H	x	x	x	x	—	Invalid	
	L	L	x	x	x	—	Maintain Power Down Mode	
	L	H	H	x	x	PDEX	Exit Power Down Mode → Idle after tPDEX	
	L	H	L	x	x	—	Illegal	
Self-Refreshing	H	x	x	x	x	—	Invalid	
	L	L	x	x	x	—	Maintain Self-Refresh	
	L	H	H	x	x	SELFX	Exit Self-Refresh → Idle after IREFC	
	L	H	L	x	x	—	Illegal	

- 注: 12. 全てのバンクがアイドル状態でなければ禁止コマンドとなります。
 13. 指定された状態のバンクに対しての禁止コマンドです。バンクアドレスによって指定されたバンクによっては、正常な動作が可能です。
 14. t_{FPDL} 規定を満たしていること。

モードレジスタ表

MRS (レギュラーモードレジスタセット) (注: 1)

ADDRESS	BA1 ^{*1}	BA0 ^{*1}	BA2, A13~A8	A7 ^{*3}	A6~A4	A3	A2~A0
Register	0	0	0	TE	CL	BT	BL

A7	TEST MODE (TE)
0	Regular (default)
1	Test Mode Entry

A3	BURST TYPE (BT)
0	Sequential
1	Interleave

A6	A5	A4	CAS [¯] LATENCY (CL)
0	0	×	Reserved ^{*2}
0	1	0	Reserved ^{*2}
0	1	1	Reserved ^{*2}
1	0	0	Reserved ^{*2}
1	0	1	5
1	1	0	Reserved ^{*2}
1	1	1	Reserved ^{*2}

A2	A1	A0	BURST LENGTH (BL)
0	0	0	Reserved ^{*2}
0	0	1	2
0	1	0	4
0	1	1	Reserved ^{*2}
1	×	×	

EMRS (エクステンディッドモードレジスタセット) (注: 4)

ADDRESS	BA1 ^{*4}	BA0 ^{*4}	BA2, A13~A12	A11 ^{*6}	A10	A9~A7	A6	A5~A2	A1	A0 ^{*5}
Register	0	1	0	0	DQS [¯]	OCD	DIC	0	DIC	DS

A9	A8	A7	Driver Impedance Adjustment
0	0	0	OCD Calibration mode exit
0	0	1	Drive (1)
0	1	0	Drive (0)
1	0	0	Adjust mode
1	1	1	OCD Calibration default

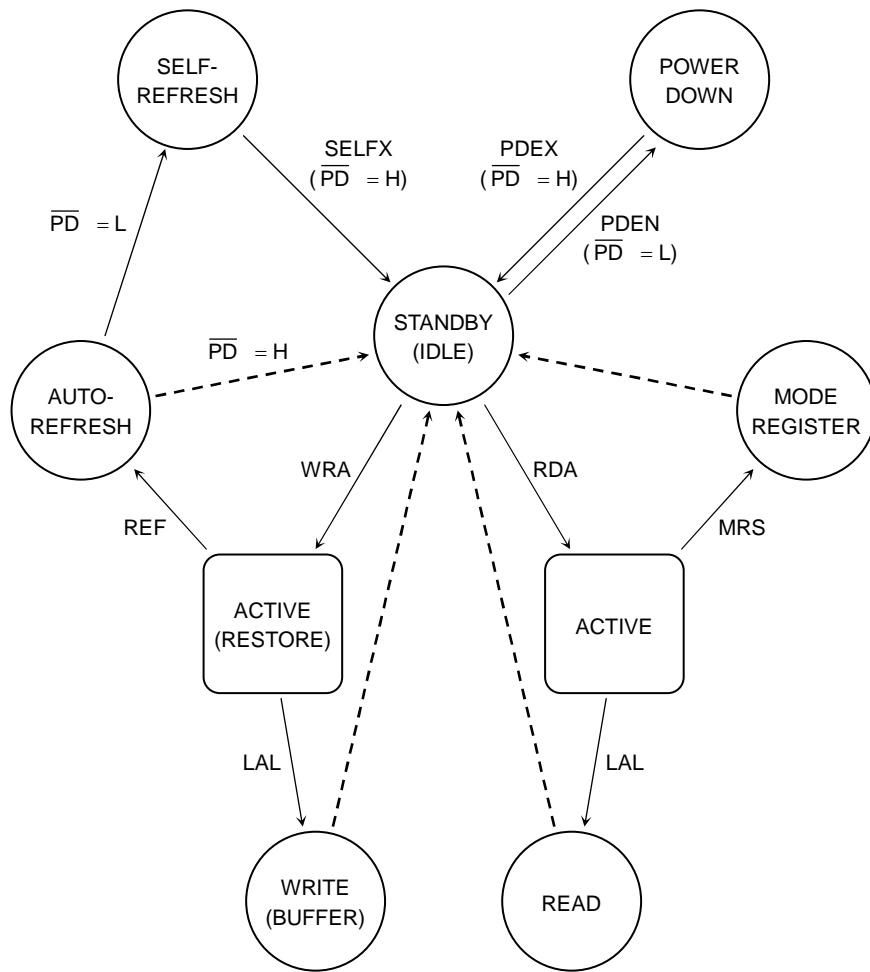
A6	A1	OUTPUT DRIVE IMPEDANCE CONTROL (DIC)
0	0	Normal Output Driver
0	1	Strong Output Driver
1	0	Weak Output Driver
1	1	Full Strength Output Driver

A10	DQS [¯] Enable
0	Disable
1	Enable

A0	DLL SWITCH (DS)
0	DLL Enable
1	DLL Disable

- 注:
- レギュラーモードレジスタは BA0 = 0 と BA1 = 0 の組み合わせによって選択されます。
 - レギュラーモードレジスタ中の“Reserved”にはセットしないで下さい。
 - テストモードは特殊な動作モードの為、レギュラーモードレジスタの際の A7 は“0” (ロー状態)にセットして下さい。
 - エクステンディッドモードレジスタは BA0 = 1 と BA1 = 0 の組み合わせによって選択されます。
 - エクステンディッドモードレジスタ時の A0 は“0”(ロー状態)にセットしてください。
 - エクステンディッドモードレジスタ時の A11 は“0”(ロー状態)にセットしてください。

状態遷移図

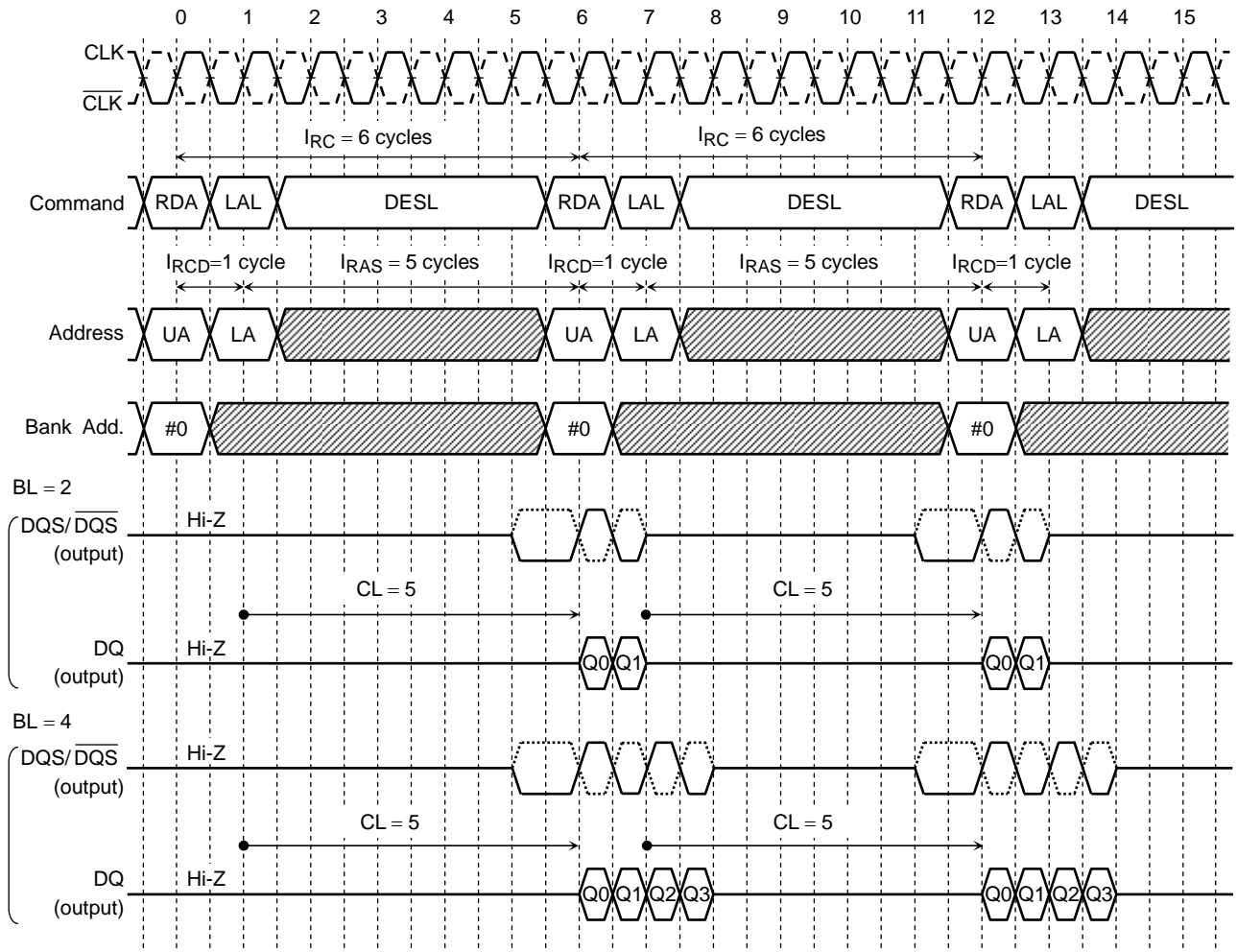


————> Command input
 - - - -> Automatic return

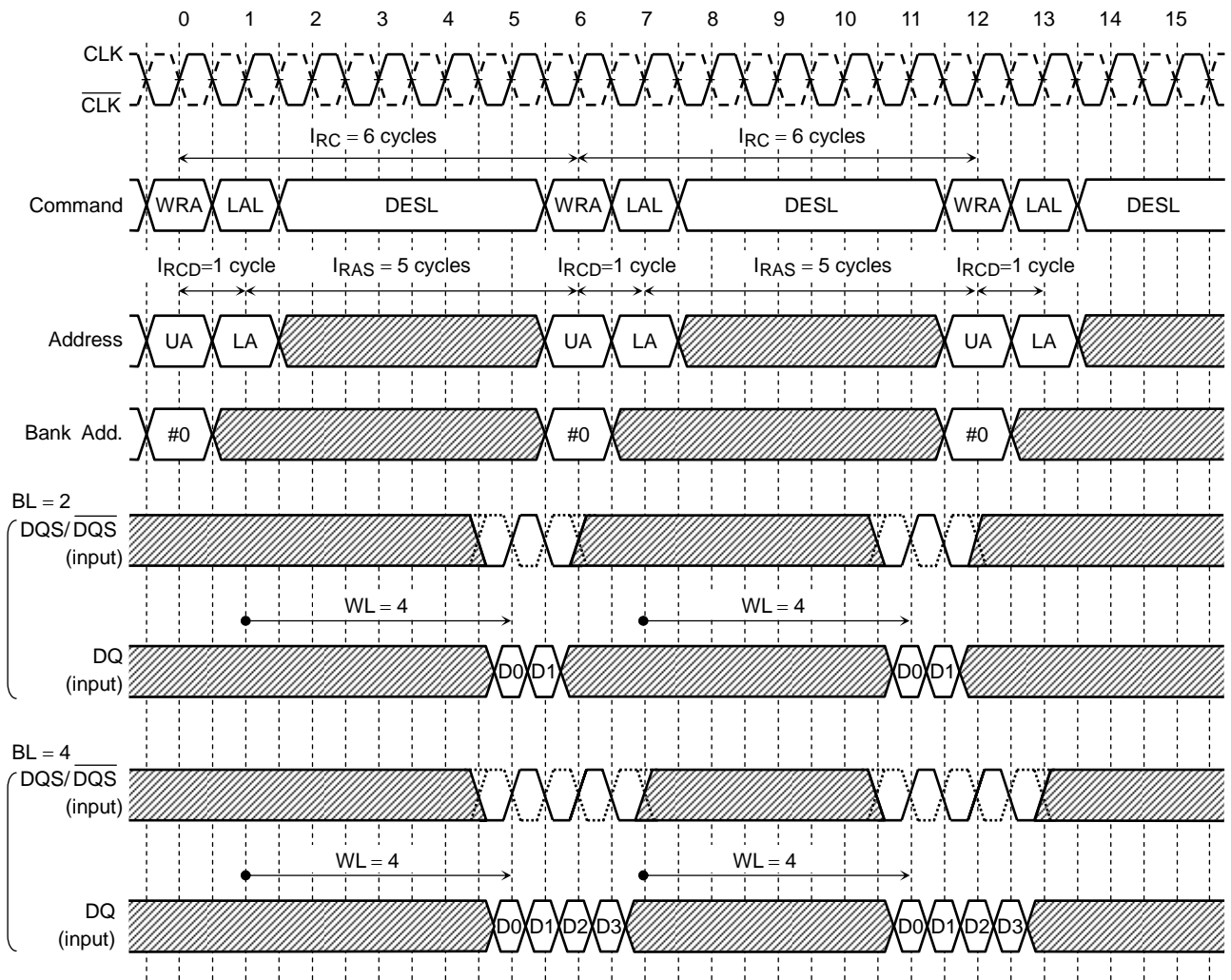
アクティブ状態にいける 2 番目のコマンドは、RDA または WRA コマンド入力から 1 クロック後に入力されなければなりません。

タイミング図

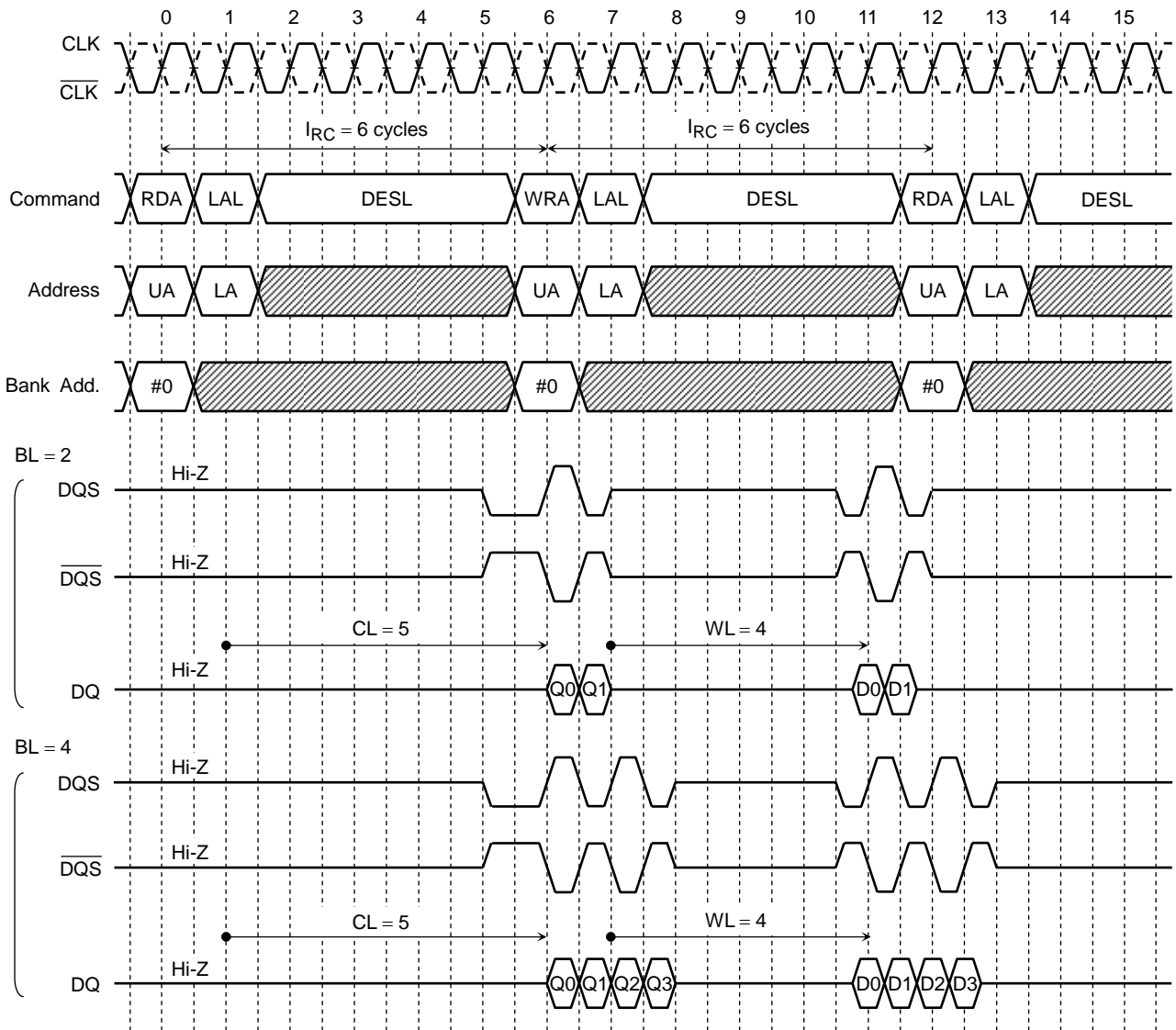
シングルバンクリードタイミング



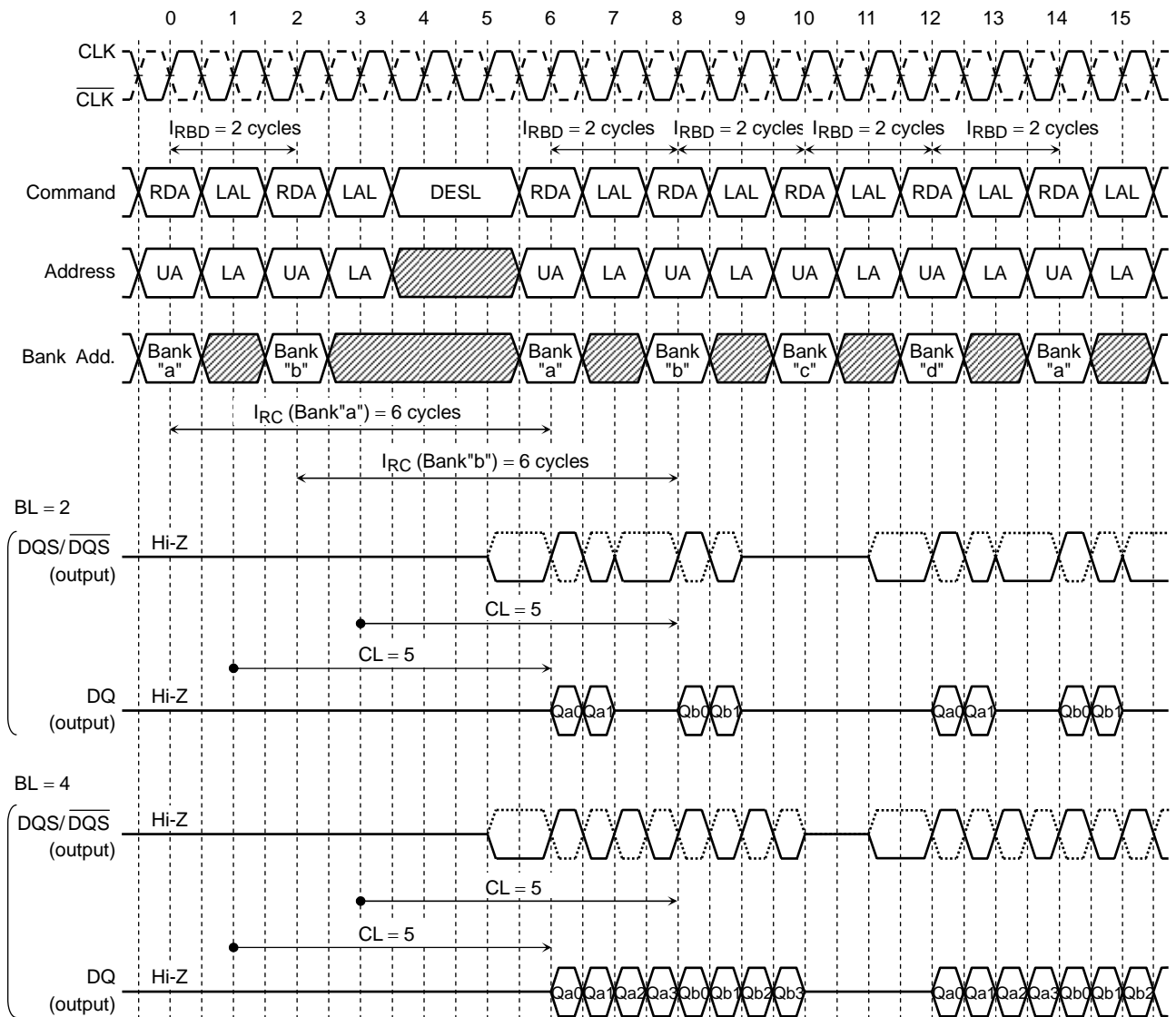
シングルバンクライトタイミング



シングルバンクリード/ライトタイミング

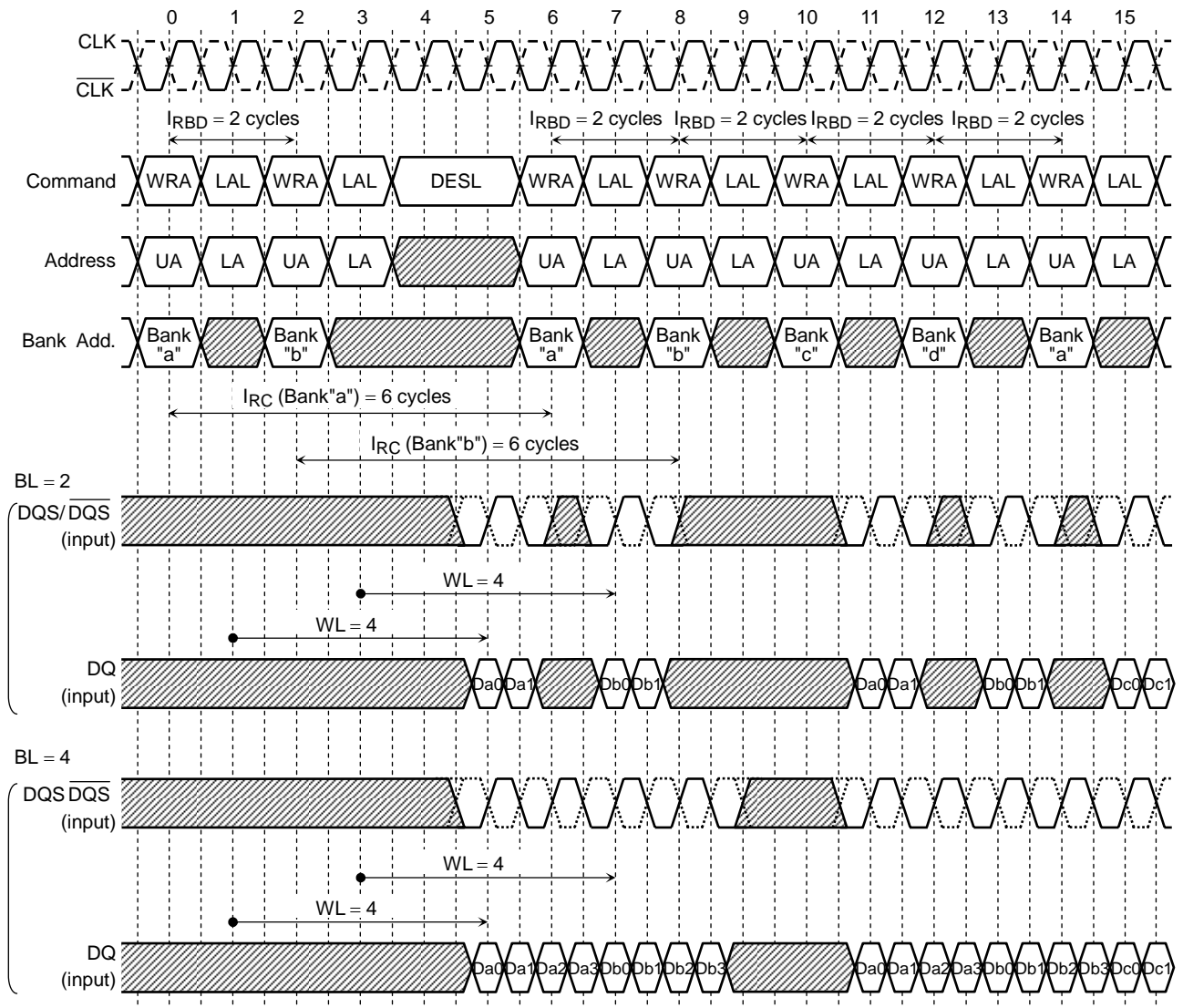


マルチプルバンクリードタイミング



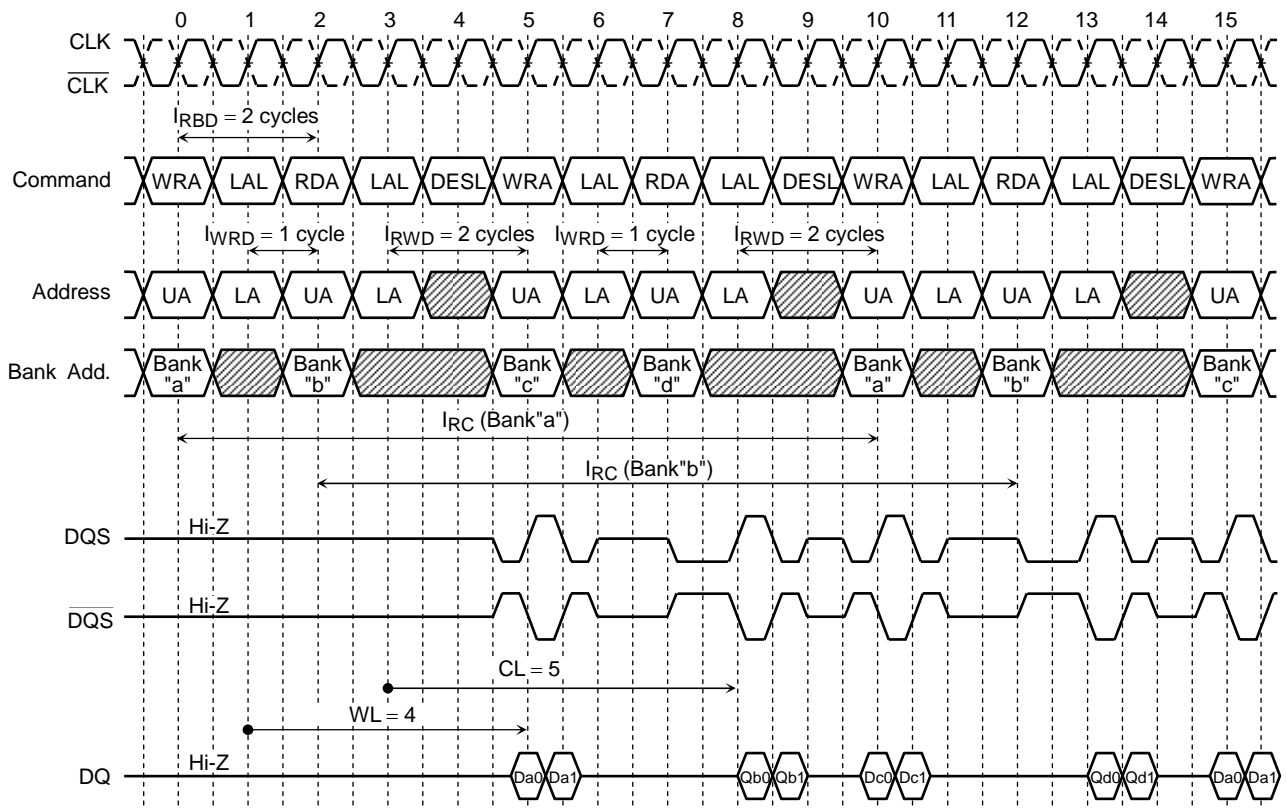
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクライトタイミング



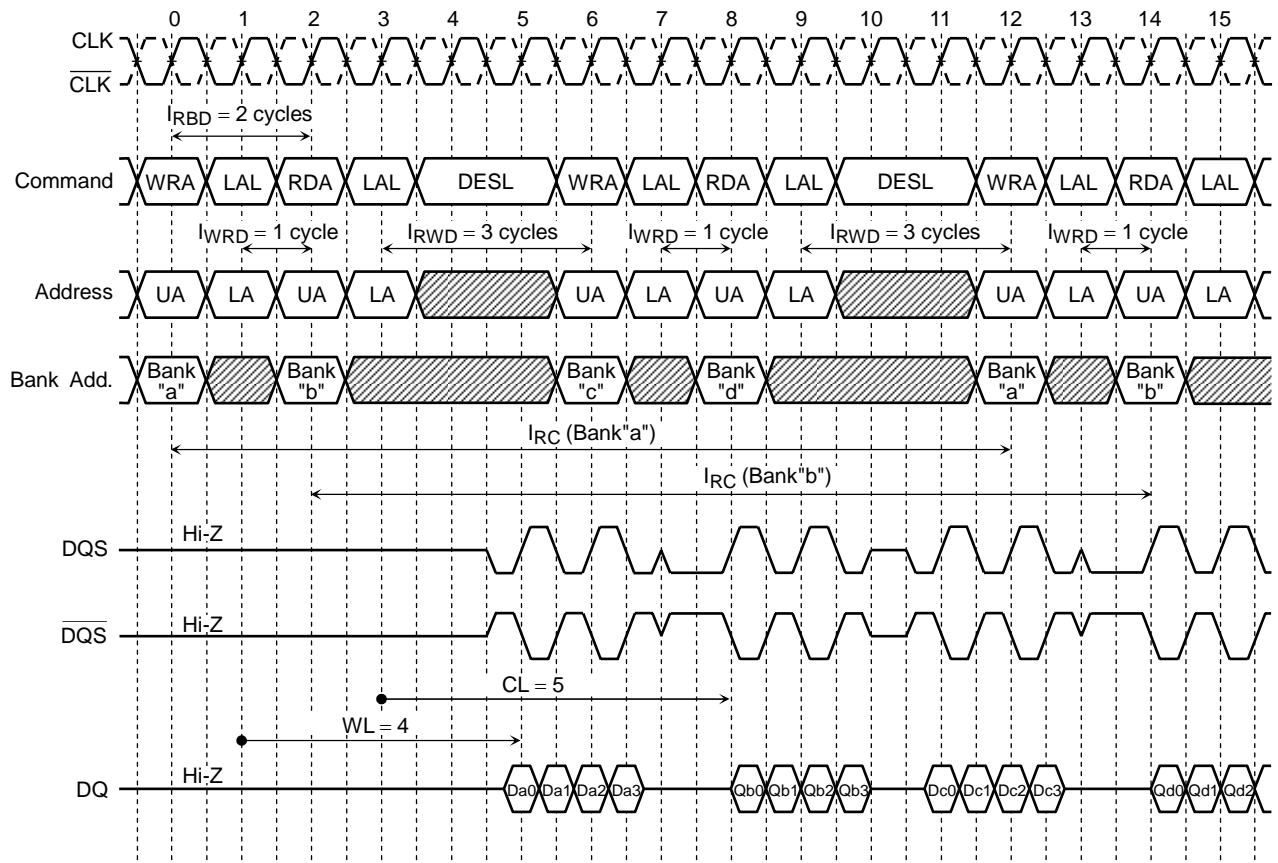
注: 同一バンクに対してはIRC規定を満たさなければなりません。

マルチバンクリード/ライトタイミング (BL = 2)



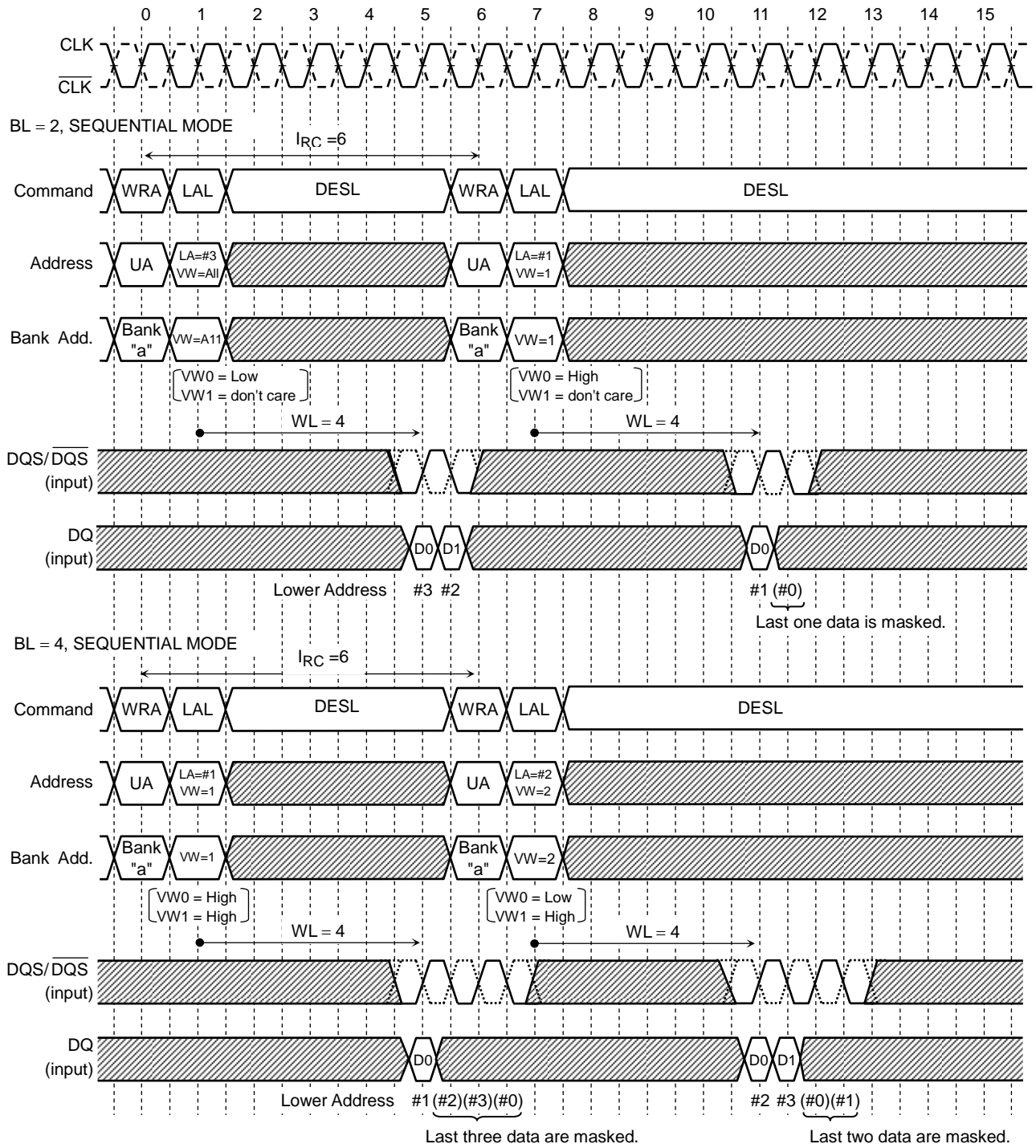
注: 同一バンクに対しては I_{RC} 規定を満たさなければなりません。

マルチバンクリード/ライトタイミング (BL = 4)



注: 同一バンクに対してはIRC 規定を満たさなければなりません。

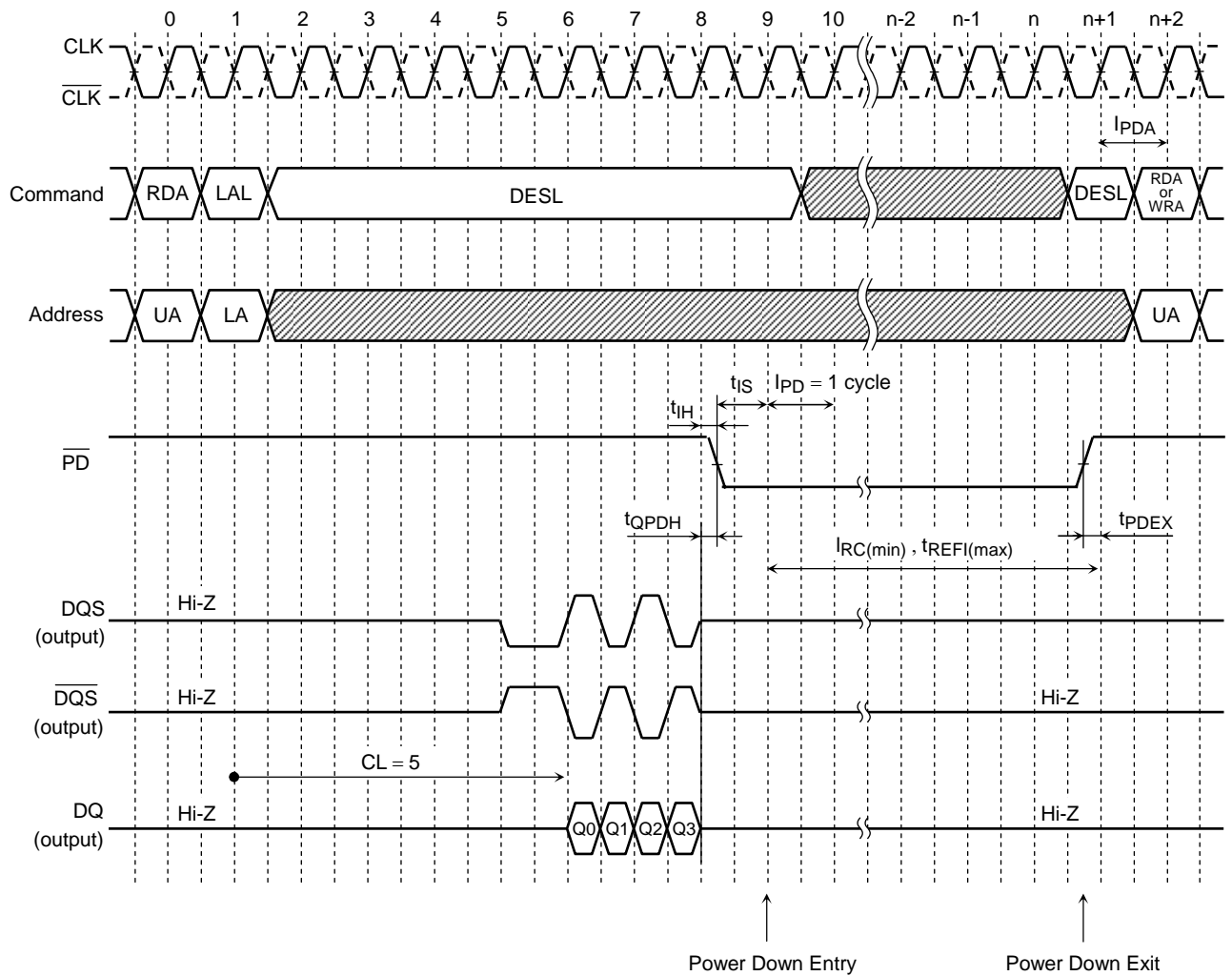
バリアブルライト(VW)によるライトコントロール



注: バースト長後半のデータがマスクされる場合でも、DQS ($\overline{\text{DQS}}$)の入力はMRSで設定されたバースト長分まで継続して下さい。

パワーダウンタイミング (CL = 5, BL = 4)

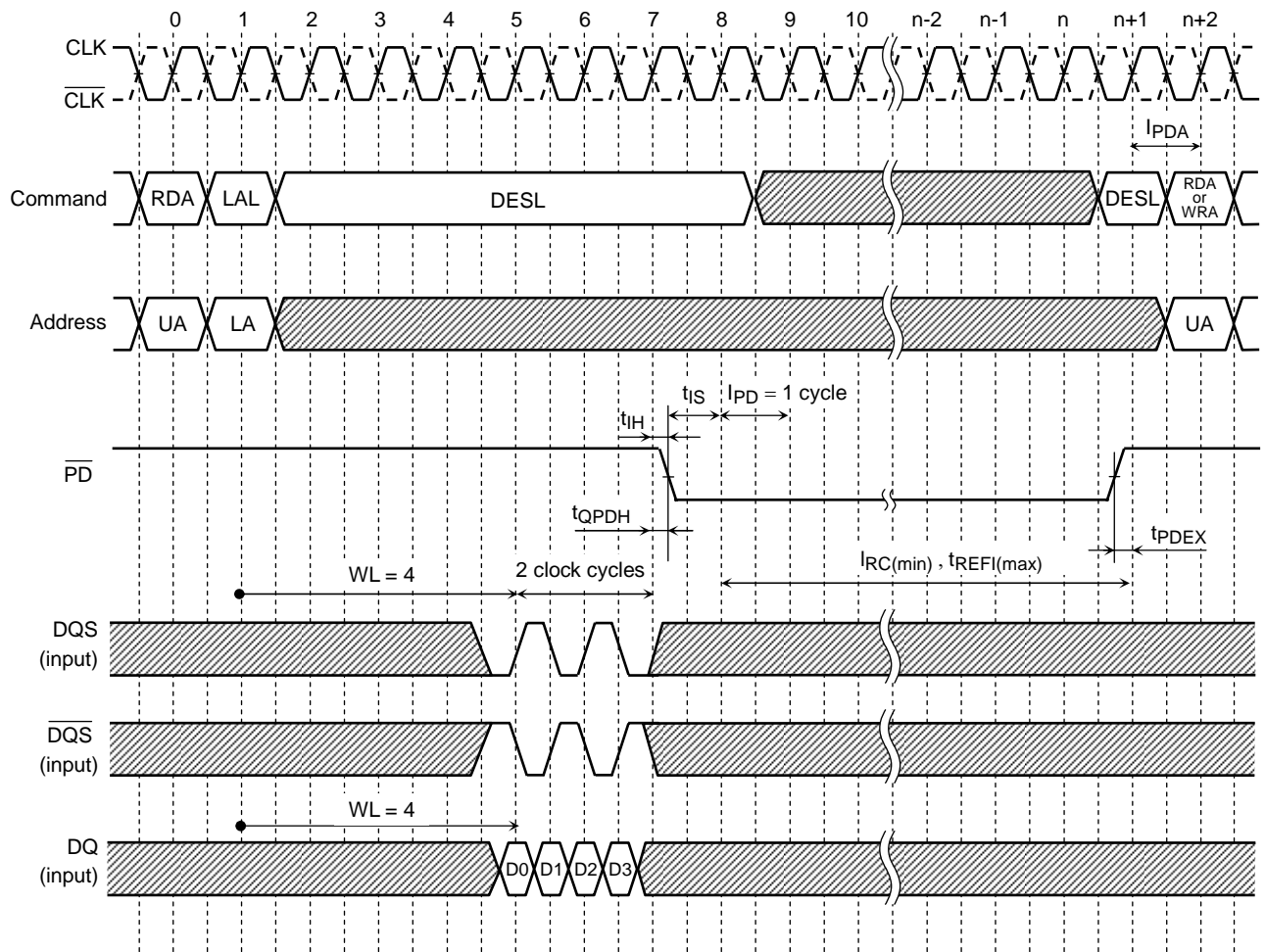
リードサイクルからのパワーダウンタイミング



- 注: \overline{PD} はデータ出力が終了するまでハイ状態を維持しなければなりません。
 \overline{PD} はデータ保持の為 $t_{REFI(max)}$ 規定内でハイ状態にしなければなりません。
 パワーダウンモード中は、 \overline{PD} をロー状態にし、安定したクロック信号を続けなければなりません。
 \overline{PD} がハイ状態に遷移した後の IPD サイクル後にコマンド入力有効となります。

パワーダウンタイミング (CL = 5, BL = 4)

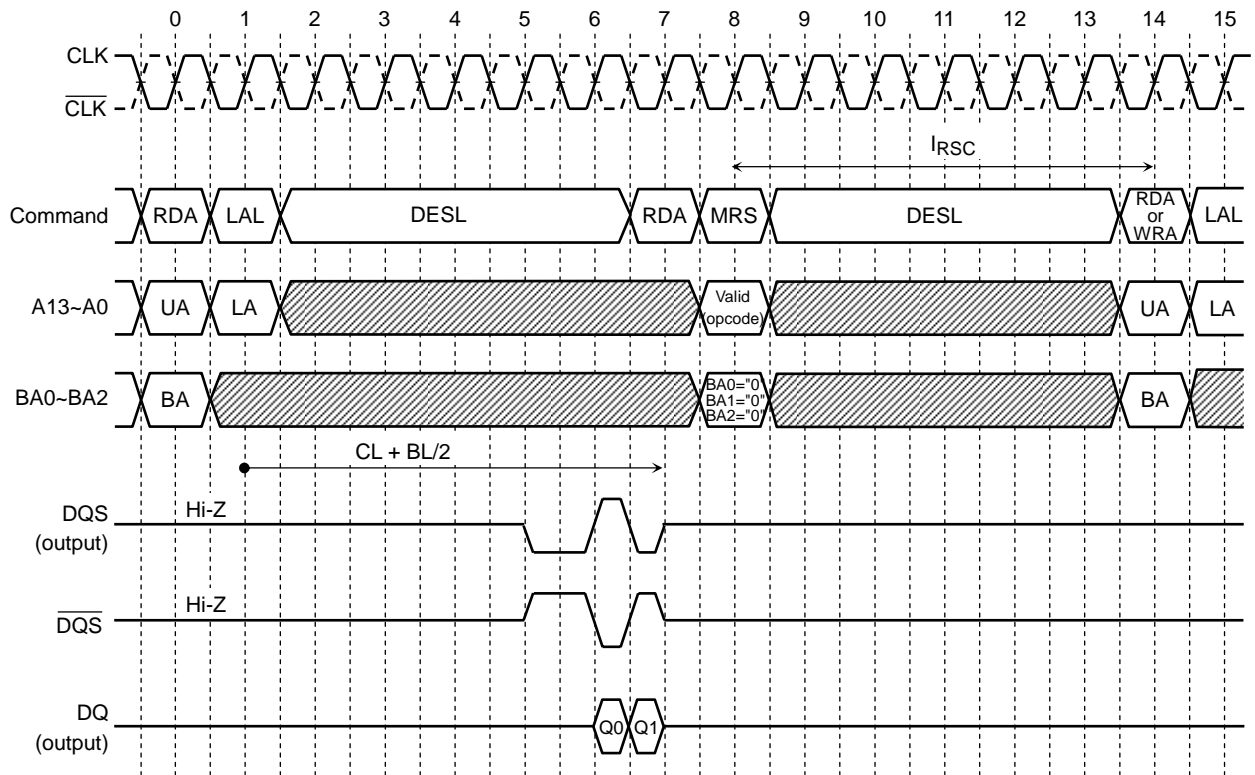
ライトサイクルからのパワーダウンタイミング



- 注: \overline{PD} は LAL コマンドから $WL+2$ クロックまでハイ状態を維持しなければなりません。
 \overline{PD} はデータ保持の為 $t_{REFI(max)}$ 規定内でハイ状態にしなければなりません。
 パワーダウンモード中は、 \overline{PD} をロー状態にし、安定したクロック信号を続けなければなりません。
 \overline{PD} がハイ状態に遷移した後の I_{PD} サイクル後にコマンド入力の有効となります。

モードレジスタセットタイミング (CL = 5, BL = 2)

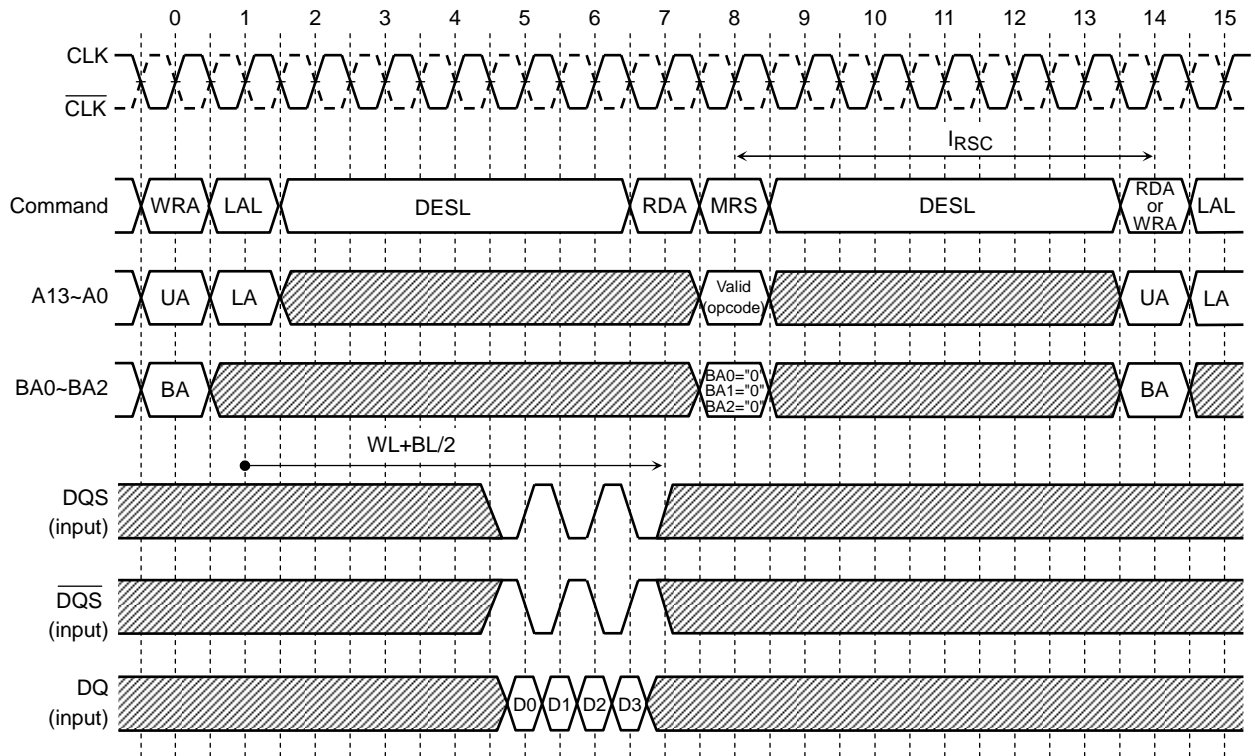
リード動作からのモードレジスタセット動作



注: リード動作の LAL コマンドから MRS の RDA コマンド入力までのタイミングは $CL+BL/2$ (最小)。

モードレジスタセットタイミング (CL = 5, BL = 4)

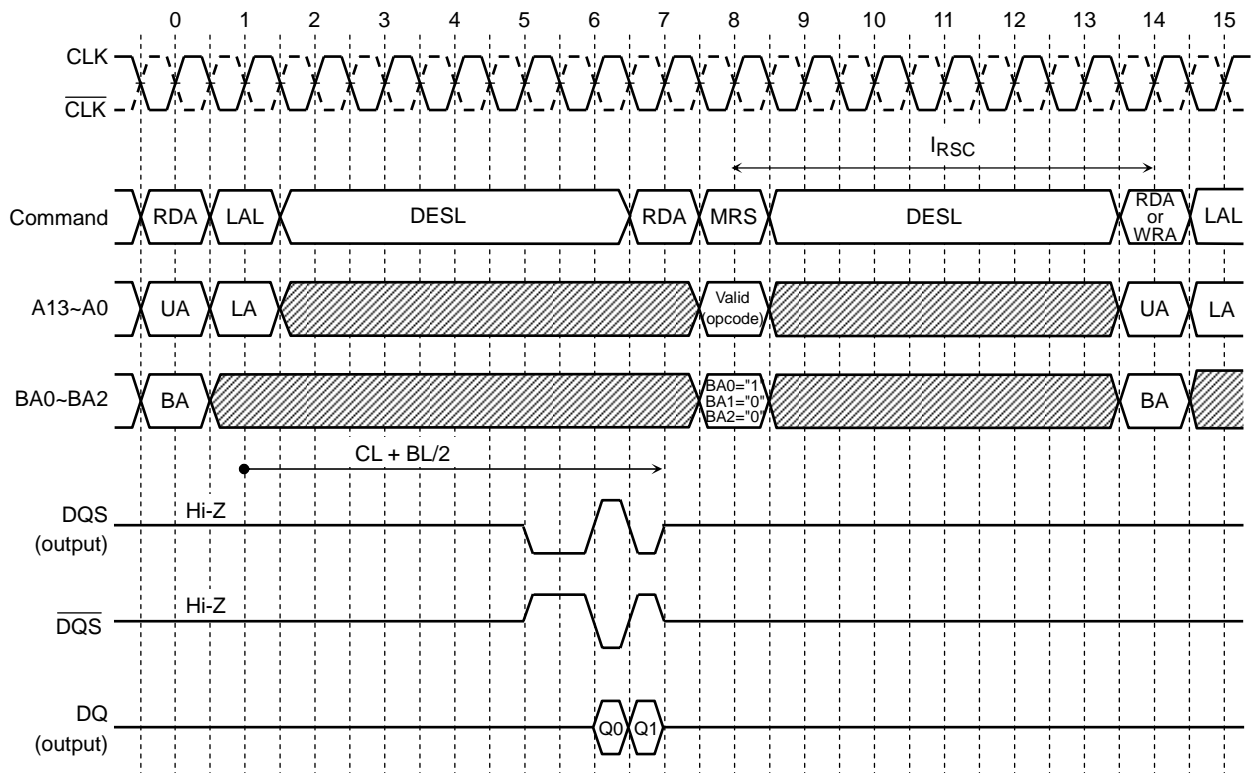
ライト動作からのモードレジスタセット動作



注: ライト動作のLALコマンドからMRSのRDAコマンド入力までのタイミングはWL+BL/2(最小)。

エクステンディッドモードレジスタセットタイミング (CL = 5, BL = 2)

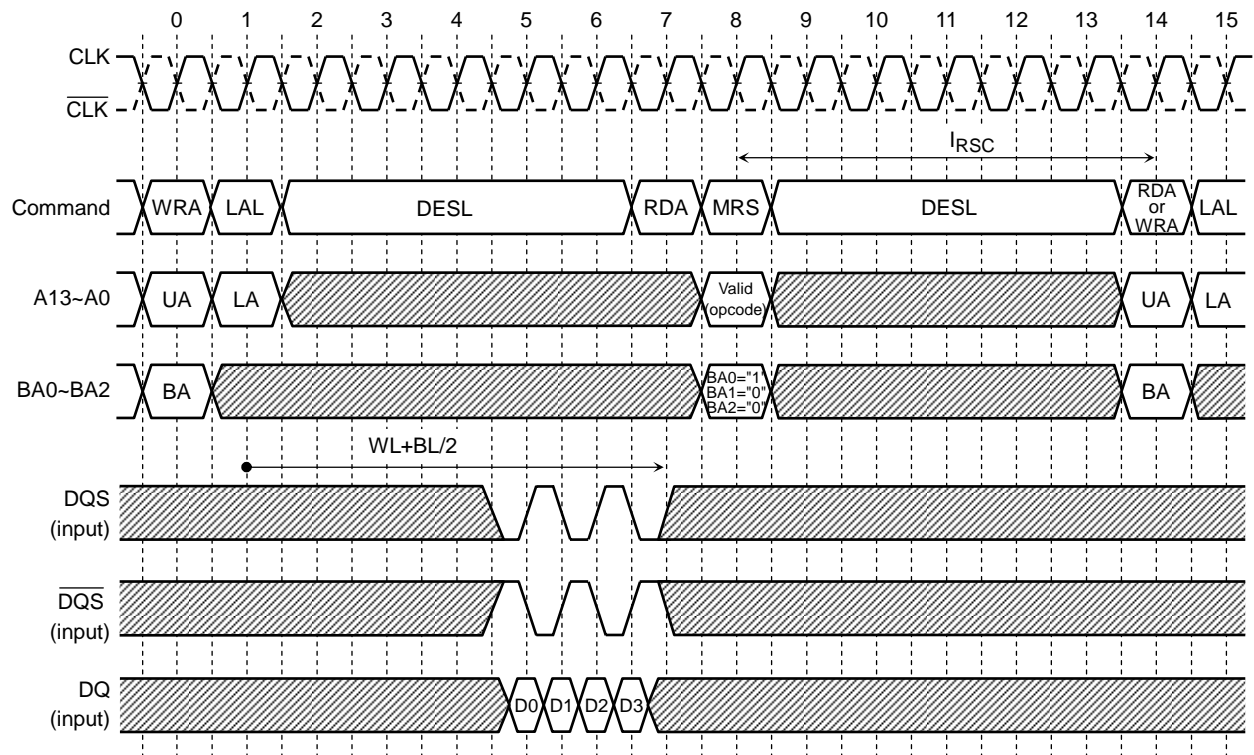
リード動作からのエクステンディッドモードレジスタセット動作



注: リード動作の LAL コマンドから EMRS の RDA コマンド入力までのタイミングは $CL + BL/2$ (最小)
 通常動作時には、DLL スイッチをイネーブルモードにセットしなければなりません。
 初期 EMRS 設定後は、DLL 安定時間が必要です。

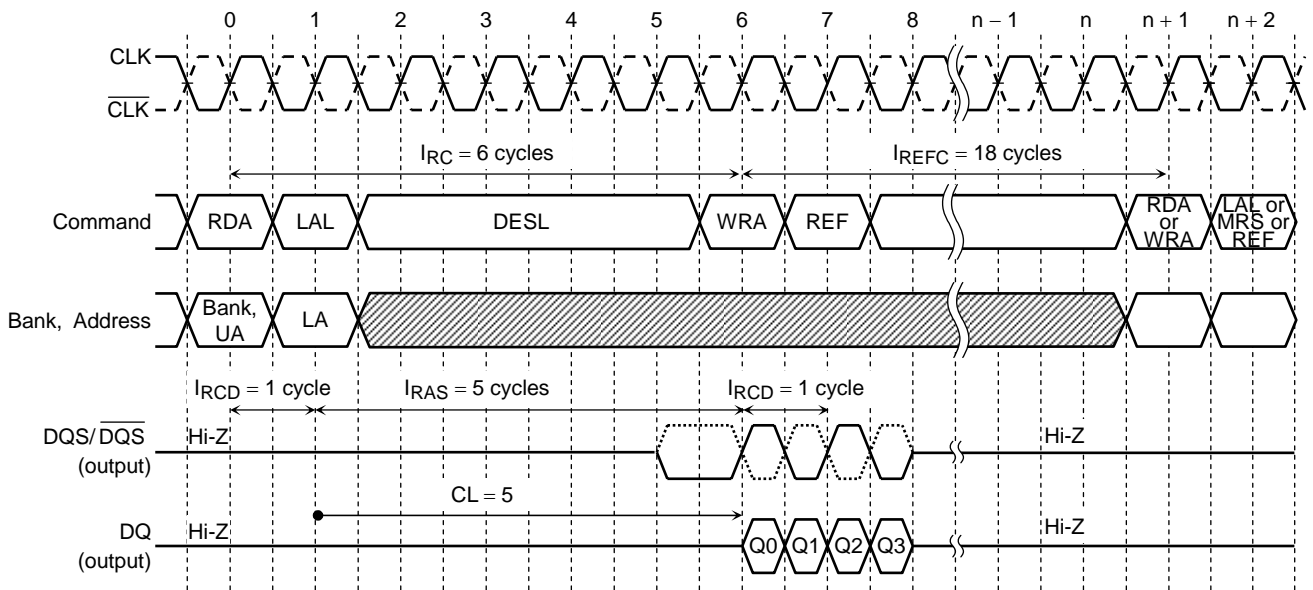
エクステンディッドモードレジスタセットタイミング (CL = 5, BL = 4)

ライト動作からのエクステンディッドモードレジスタセット動作

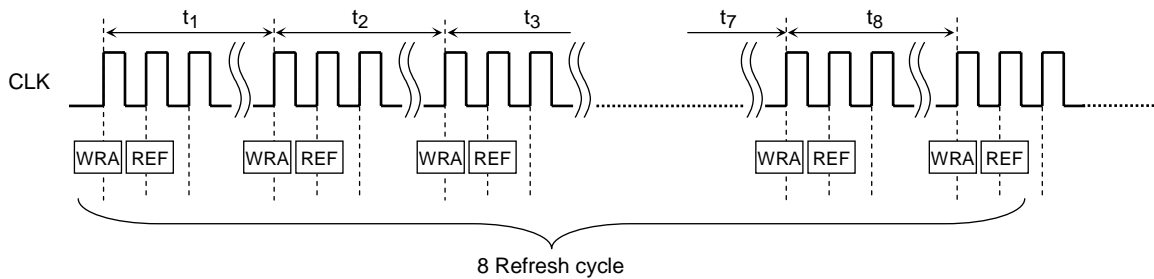


注: ライト動作のLALコマンドからEMRSのRDAコマンド入力までのタイミングは $WL+BL/2$ (最小)。
 通常動作時には、DLLスイッチをイネーブルにセットしなければなりません。
 初期EMRS設定後は、DLL安定時間が必要です。

オートリフレッシュタイミング (CL = 5, BL = 4)



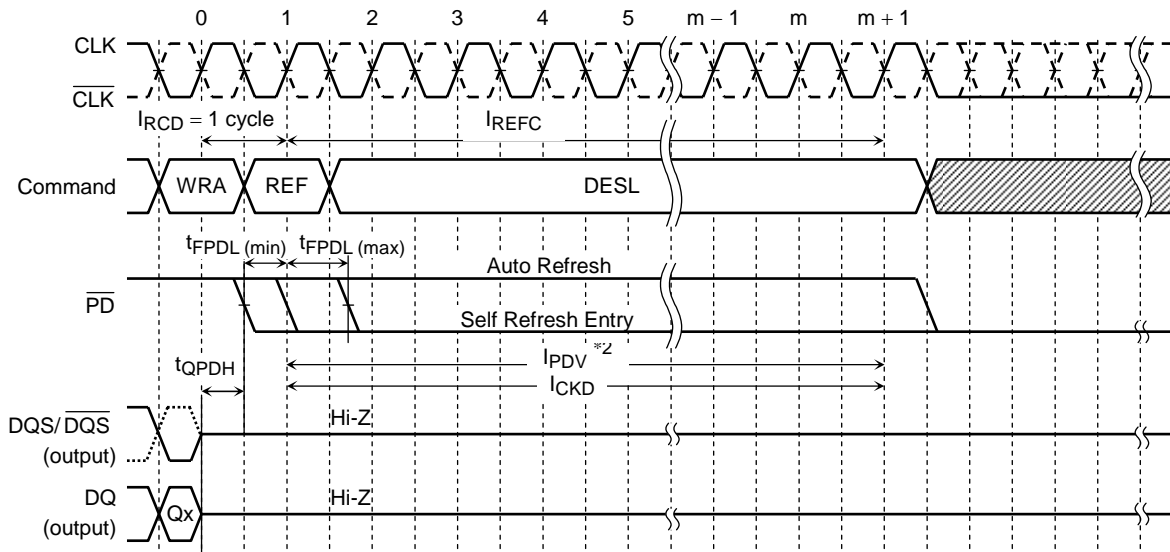
注: IREFC は 18 クロックサイクル必要です。オートリフレッシュ動作を実行する場合は、tREFI で規定されているオートリフレッシュコマンドの総合的な平均間隔を満たすようにして下さい。tREFI は任意のサンプリングされた 8 回のオートリフレッシュにおけるコマンド平均間隔時間です。



$$t_{REFI} = \frac{\text{Total time of 8 Refresh cycle}}{8} = \frac{t_1 + t_2 + t_3 + t_4 + t_5 + t_6 + t_7 + t_8}{8}$$

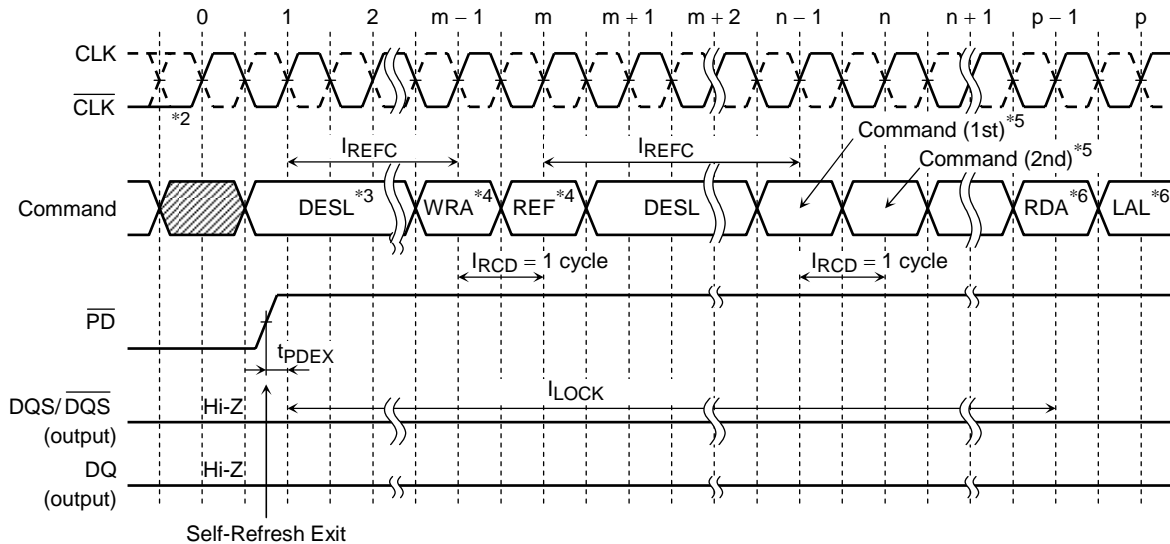
tREFI はリードやライト動作よりも活性化する領域が大きいリフレッシュ動作で部分的に電流が集中する事を避ける為に規定されています。

セルフリフレッシュエントリータイミング



- 注: 1. 部分の指定は無し。
 2. セルフリフレッシュエントリーするには、 $t_{FPDL}(min)$ と $t_{FPDL}(max)$ の間で必ずローにしてください。もし I_{PDV} 後にローにするとオートリフレッシュ実行後にパワーダウンモードエントリーを行います。PDが $t_{FPDL}(max)$ と I_{PDV} の間でローとなった場合は、オートリフレッシュ後にセルフリフレッシュまたはパワーダウンモードにエントリーします。
 3. セルフリフレッシュエントリーでPDがロー状態になっていてもREFコマンドから少なくとも I_{CKD} 分はクロック入力続ける必要があります。
 4. ライト動作後にセルフリフレッシュにエントリーするには、ライト動作のLALコマンドからREFコマンドまでのタイミングは $WL+3$ クロック(最小)必要です。

セルフリフレッシュイグジットタイミング



- 注: 1. 部分の指定は無し。
 2. セルフリフレッシュ中にクロック入力を停止されている場合は、PDをハイ状態にする前にクロック入力を安定させて下さい。
 3. PDをハイ状態にした後 I_{REFC} 相当分のDESLコマンドを入力して下さい。
 4. セルフリフレッシュイグジット直後、いかなる他の動作を実行するよりも前にオートリフレッシュサイクルを一回実行する必要があります。
 5. リードコマンドを除く他のコマンドは I_{REFC} 後から挿入可能です。
 6. リードコマンド(RDA + LAL)は I_{LOCK} 後から挿入可能です。

機能説明

Network FCRAMTM

FCRAMTMはFast Cycle Random Access Memoryの略語です。FCRAMTMは高速ランダムコアアクセス、ローレイテンシ、低消費電力、高速データ転送能力を備えたメモリです。

ピン機能

クロック入力: CLK & $\overline{\text{CLK}}$

CLKと $\overline{\text{CLK}}$ 入力は同期式動作の基準クロックとして使用されます。 $\overline{\text{CS}}$ 、FNと全アドレス入力は、CLKの立ち上がりエッジと $\overline{\text{CLK}}$ の立ち下がりエッジの交差点で取り込まれます。DQSとDQ出力データは、CLKと $\overline{\text{CLK}}$ の交差点から出力されます。差動クロックのタイミング基準点は、CLKと $\overline{\text{CLK}}$ の遷移信号が交差する点がポイントになります。

パワーダウン: $\overline{\text{PD}}$

$\overline{\text{PD}}$ 入力はパワーダウン及びセルフリフレッシュモードの制御に行います。 $\overline{\text{PD}}$ 入力は、標準SDRAMのCKE入力のようなクロックサスペンド機能は備えていません。そのため、リードやライト動作中に $\overline{\text{PD}}$ を低レベルにする事は避けてください。

チップセレクト & ファンクションコントロール: $\overline{\text{CS}}$ & FN

$\overline{\text{CS}}$ とFN入力はFCRAMTMの動作コマンドを形成するための制御信号です。各動作モードは、 $\overline{\text{CS}}$ とFN入力による2つの連続した動作コマンドお組み合わせによって決定します。

バンクアドレス: BA0~BA2

BA0~BA2入力は、RDAコマンドやWRAコマンド入力時に取り込まれ、動作するバンクに選択されます。また、レギュラーモードレジスタかエクステンディッドモードレジスタの選択は、MRSコマンド時のBA0かBA1によって選択されます。

	BA0	BA1	BA2
Bank #0	0	0	0
Bank #1	1	0	0
Bank #2	0	1	0
Bank #3	1	1	0
Bank #4	0	0	1
Bank #5	1	0	1
Bank #6	0	1	1
Bank #7	1	1	1

BA2をA14として使用する事で4バンク動作となります。

アドレス入力: A0~A13

アドレス入力は、各バンクにおけるメモリセル領域の任意アドレスへアクセスするために使われます。アップーアドレスはバンクアドレスと共にRDAやWRAコマンド入力時に取り込まれ、ローアドレスはLALコマンド入力時に取り込まれます。A0~A13入力は、レギュラーモードレジスタセットやイクステンディッドモードレジスタセットにおけるデータセットにも使用されます。

バンク	アップーアドレス	ローアドレス
8バンク動作時	A0~A13	A0~A8
4バンク動作時	A0~A13, BA2(A14)	A0~A8

データ入出力: DQ0~DQ7 または DQ15

DQ0~DQ15 の入力データは、DQS 入力信号の立ち上がり/立ち下りの両エッジに同期して取り込まれます。DQ0~DQ15 の出力データは、DQS 出力信号の立ち上がり/立ち下りの両エッジに同期して出力されます。

データストロープ: DQS, \overline{DQS}

DQS は双方向信号です。DQS の立ち上がり/立ち下りの両エッジは、データの入力及び出力の基準エッジとして使われます。ライト動作では入力信号として使用される DQS がライトデータの取り込みのために利用され、リード動作では出力信号 DQS が出力データのデータストロープ信号となります。

TC59LM906AMG は DQS を備えております。 \overline{DQS} がイネーブルの場合、 \overline{DQS} は、リード動作では DQS のディファレンシャル出力信号であり、ライト動作では DQS と \overline{DQS} の交差点にてデータが取り込まれます。DQS がディセーブルの場合、 \overline{DQS} の状態はハイインピーダンスです。そしてデータ入力は DQS と VREF レベルの交差点で取り込まれます。DQS の設定はエクステンディッドモードレジスタセットで行われます。

電源端子: VDD、VDDQ、VSS、VSSQ

VDD と VSS はメモリコアと周辺回路の電源端子です。VDDQ と VSSQ は出力バッファ用の電源端子です。

入力電圧: VREF

VREF は入力における基準電圧です。

コマンド機能と動作

TC59LM906AMG は、2 つの連続したコマンド入力方式を採用しています。パワーダウンモードを除く各動作モードは、スタンバイ状態のバンクに対する 1 番目のコマンドと 2 番目のコマンドの組み合わせによって決定されます。

リード動作 (1 番目のコマンド+ 2 番目のコマンド= RDA + LAL)

アイドル状態からのバンクに対してバンクアドレス/アッパーアドレスと共に RDA コマンドを入力する事により、バンクアドレスで指定されたバンクはリードモードに入ります。そして、RDA コマンド入力の次のクロックサイクル (CLK 立ち上がりエッジ)においてロワーアドレスと共に LAL コマンドを入力することにより、DQS/DQS 出力信号の立ち上がり/立ち下りの両エッジに同期して連続的にデータが出力されます(バーストリード動作)。最初の有効なリードデータは、LAL コマンドの入力されたクロックから CAS レイテンシ後に出力され、バースト長分のデータが連続して出力されます。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。リード動作中のバンクは、RDA コマンドから lrc 後に自動的にアイドル状態に戻ります。DQS はデフォレンシャルデータストローブです。

ライト動作 (1 番目のコマンド+ 2 番目のコマンド= WRA + LAL)

アイドル状態のバンクに対してバンクアドレス/アッパーアドレスと共に WRA コマンドを入力する事により、バンクアドレスで指定されたバンクはライトモードに入ります。そして、WRA コマンド入力後の次のクロックサイクル (CLK 立ち上がり)においてロワーアドレスと共に LAL コマンドを入力する事で、入力データは DQS/DQS 入力信号の立ち上がり/立ち下りの両エッジに同期して連続的にラッチされます(バーストライト動作)。データと DQS/DQS の入力信号は LAL コマンドが入力されたクロックから CAS レイテンシ-1 後のクロック入力と共に供給する必要があります。ライトのデータ長は LAL コマンド時のバリアブルライト(VW)の指定で決まります。DQS/DQS はバースト長分供給してください。CAS レイテンシ、バースト長、バーストタイプは、事前にモードレジスタに設定しておく必要があります。ライト動作中のバンクは、WRA コマンドから lrc 後に自動的にアイドル状態に戻ります。DQS はデフォレンシャルデータストローブです。

オートリフレッシュ動作 (1 番目のコマンド+ 2 番目のコマンド= WRA + REF)

TC59LM906AMG は、標準 SDRAM と同様にリフレッシュ動作が必要になります。WRA コマンドに続けて REF コマンドを入力する事でオートリフレッシュ動作が開始されます。オートリフレッシュモードは、全てのバンクがアイドル状態にある時のみ有効となります。WRA コマンドで開始されたライトモードは、WRA コマンドの次のクロック (CLK 立ち上がり)で LAL コマンドの代わりに REF コマンドが入力される事でキャンセルされます。オートリフレッシュコマンドから次のコマンドまでは lrefc で定義されます。また、オートリフレッシュコマンド入力の平均間隔については注意が必要です。オートリフレッシュコマンドの入力は、最大 3.9 μ s に一回必要です。集中リフレッシュあるいはランダムな分散リフレッシュの場合、任意の 8 回連続したオートリフレッシュサイクルコマンドは平均間隔が常に 400ns 以上になるようにして下さい。この場合、3.2 μ s (8 \times 400 ns)以内で実行可能なオートリフレッシュサイクル数は最大 8 回までになります。

セルフリフレッシュ動作 (1 番目のコマンド+ 2 番目のコマンド= WRA + REF with \overline{PD} = "L")

セルフリフレッシュ動作の機能は、内部タイマを用いてリフレッシュ動作が自動的に実行されるというものです。全てのバンクがアイドル状態でかつ出力がハイインピーダンス状態の時にセルフリフレッシュコマンドを入力することによりセルフリフレッシュモードに入ります。セルフリフレッシュモードに入る為には、 \overline{PD} は WRA コマンドに続けて REF コマンドから tFPDL で定義されている時間内に "Low" にする必要が有ります。リフレッシュの周期を満足するためにセルフリフレッシュエントリーコマンドは、最後に挿入されたオートリフレッシュコマンドから 3.9 μ s 以内に入力する必要があります。一度セルフリフレッシュに入ると lrefc の期間分 DESL コマンドを続けなければなりません。加えて、クロック入力は lckd で定義される期間継続して下さい。セルフリフレッシュモード中は、 \overline{PD} を除く全ての入出力バッファは非活性状態になりますので、消費電力を抑えることができます。セルフリフレッシュモードイグジットに関しては、 \overline{PD} は DESL コマンドと共に "Low" から "High" へ切り替えて下さい。DESL コマンドは lrefc で定義されるクロック数分絶え間なく入力する必要があります。セルフリフレッシュイグジットからちょうど lrefc 後に 1 回オートリフレッシュコマンドを入力する必要があります。

パワーダウンモード (\overline{PD} = "L")

全てのバンクがアイドル状態でかつ全ての出力が Hi-Z 状態の時に、TC59LM906AMG は \overline{PD} を "Low" とすることでパワーダウンモードになります。パワーダウンモードに入ると、 \overline{PD} を除く全ての入出力バッファは一定時間後に非活性状態となりますので、消費電力を抑えることが可能となります。パワーダウンモードから抜けるには、 \overline{PD} を "High" に切替えます。 \overline{PD} を "High" にした直後の CLK 立ち上がりエッジには DESL コマンドを入力しなければなりません。パワーダウンイグジット機能は非同期動作です。

モードレジスタセット(MRS)とエクステンディッドモードレジスタセット (EMRS)

(1 番目のコマンド+ 2 番目のコマンド= RDA + MRS)

全てのバンクがアイドル状態の時に、RDA コマンドに続いて MRS コマンドを入力することでモードレジスタに所望の基本動作形態を設定することができます。RDA コマンドで開始されたリードモードは、RDA コマンドの次のクロック(CLK 立ち上がりエッジ)で LAL コマンドの代わりに MRS コマンドを入力する事でキャンセルされます。モードレジスタへ設定するためのデータは、A0~A13、BA0~BA2 のアドレス入力ピンを用いて設定されます。本製品にはレギュラーとエクステンディッドモードレジスタがあります。レギュラーモードレジスタかエクステンディッドモードレジスタかの選択は、MRS コマンド時の BA0 か BA1 のよって選択されます。レギュラーモードレジスタは、リードやライトサイクルの動作モードを指定します。レギュラーモードレジスタは、4 つの機能領域を持っています。

4 つの機能領域には以下のものがあります。

- (R-1) バーストデータ長を設定する為のバースト領域。
- (R-2) バーストサイクル中の下位アドレスのアクセス順序を指定するバーストタイプ領域。
- (R-3) クロックサイクルにおけるアクセス時間を設定する CAS レイテンシ領域。
- (R-4) 供給者専用のテストモード領域。

一方エクステンディッドモードレジスタは 4 つの機能領域を持っています。

- (E-1) DLL の作動/不作動のどちらかを選択する為の DLL スイッチ領域。
- (E-2) 出力ドライバコントロール領域。
- (E-3) OCD (Off-Chip Driver)インピーダンス調整
- (E-4) DQS イネーブル領域。

モードレジスタ内のこれらの領域に 1 度設定されると、レジスタの内容は他の MRS コマンドで再びモードレジスタを設定するか電源を OFF にするまで維持します。パワーアップ後のレギュラー及びエクステンディッドモードレジスタの初期値は不定の為、所望の動作を行う前にモードレジスタセットコマンドで設定する必要があります。

- レギュラーモードレジスタ/エクステンディッドモードレジスタ切り替えビット (BA0, BA1)
これらのビットはレギュラーMRS かエクステンディッド MRS かを選択する為に使います。

BA1	BA0	Mode Register Set
0	0	Regular MRS
0	1	Extended MRS
1	×	Reserved

レギュラーモードレジスタ領域

(R-1) バースト長領域 (A2 ~ A0)、(BL)

この領域は A2 ~ A0 を使用してカラムアクセスの為のデータ長を定義し、バースト長を 2 ワードか 4 ワードに設定します。

A2	A1	A0	BURST LENGTH
0	0	0	Reserved
0	0	1	2 words
0	1	0	4 words
0	1	1	Reserved
1	×	×	Reserved

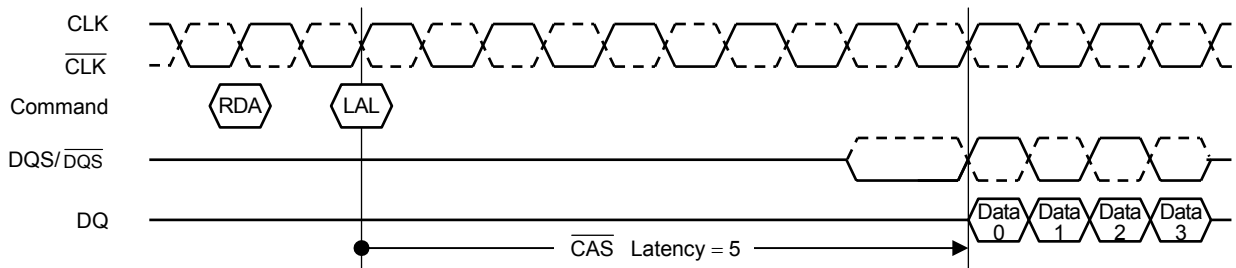
(R-2) バーストタイプ領域(A3)、(BT)

バーストタイプはインターリーブモードかシーケンシャルモードかを選択することができます。A3 に"0"を設定した場合にはシーケンシャルモードが選択され、A3 に"1"を設定するとインターリーブモードが選択されます。どちらのバーストタイプも 2 ワードと 4 ワード両方のバースト長に対応しています。

A3	BURST TYPE
0	Sequential
1	Interleave

シーケンシャルモード時のアドレッシング順序 (A3)

カラムアクセスは入力された下位アドレスから開始し、順に増加(+1)しながらアクセスしていきます。アドレスはバースト長によって下表のように移行していきます。



Addressing sequence for Sequential mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	n	} 2ワード(アドレスビットはLA0) LA0 から LA1 へのキャリアーは無し
Data 1	n + 1	
Data 2	n + 2	} 4ワード(アドレスビットはLA1, LA0) LA1 から LA2 へのキャリアーは無し
Data 3	n + 3	

インターリーブ時のアドレッシング順序

カラムアクセスは入力された下位アドレスから開始し、下表に示すような順序でアドレスをアクセスしていきます。

Addressing sequence for Interleave mode

DATA	ACCESS ADDRESS	BURST LENGTH
Data 0	...A8 A7 A6 A5 A4 A3 A2 A1 A0	} 2 words
Data 1	...A8 A7 A6 A5 A4 A3 A2 A1 A0	
Data 2	...A8 A7 A6 A5 A4 A3 A2 A1 A0	} 4 words
Data 3	...A8 A7 A6 A5 A4 A3 A2 A1 A0	

(R-3) CAS レイテンシ領域 (A6 ~ A4)

この領域は、RDA コマンドに続く LAL コマンド入力から最初にリードデータが出力されるクロックサイクル数を定義します。CAS レイテンシと CLK 周波数は互いに依存します。ライト動作モードでは、入力すべきライトデータのクロック数は LAL コマンドから CAS レイテンシ - 1 となります。

A6	A5	A4	CAS LATENCY
0	0	0	Reserved
0	0	1	Reserved
0	1	0	Reserved
0	1	1	Reserved
1	0	0	Reserved
1	0	1	5
1	1	0	Reserved
1	1	1	Reserved

(R-4) テストモード領域(A7)

このビットはテストモードに入る時に使う為に使用されますので、通常動作の際には"0"に設定しておかなければなりません。

(R-5) レギュラーモードレジスタでの予約領域

- 予約ビット(A8 ~ A13, BA2)

これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には"0"に設定して下さい。

エクステンディッドモードレジスタ領域

(E-1) DLL スイッチ領域 (A0)

このビットは DLL を作動させる為に使用されます。この A0 に"0"を設定することで DLL を作動させる選択をします。

(E-2) 出力ドライバコントロール領域(A1/A6)、(DIC)

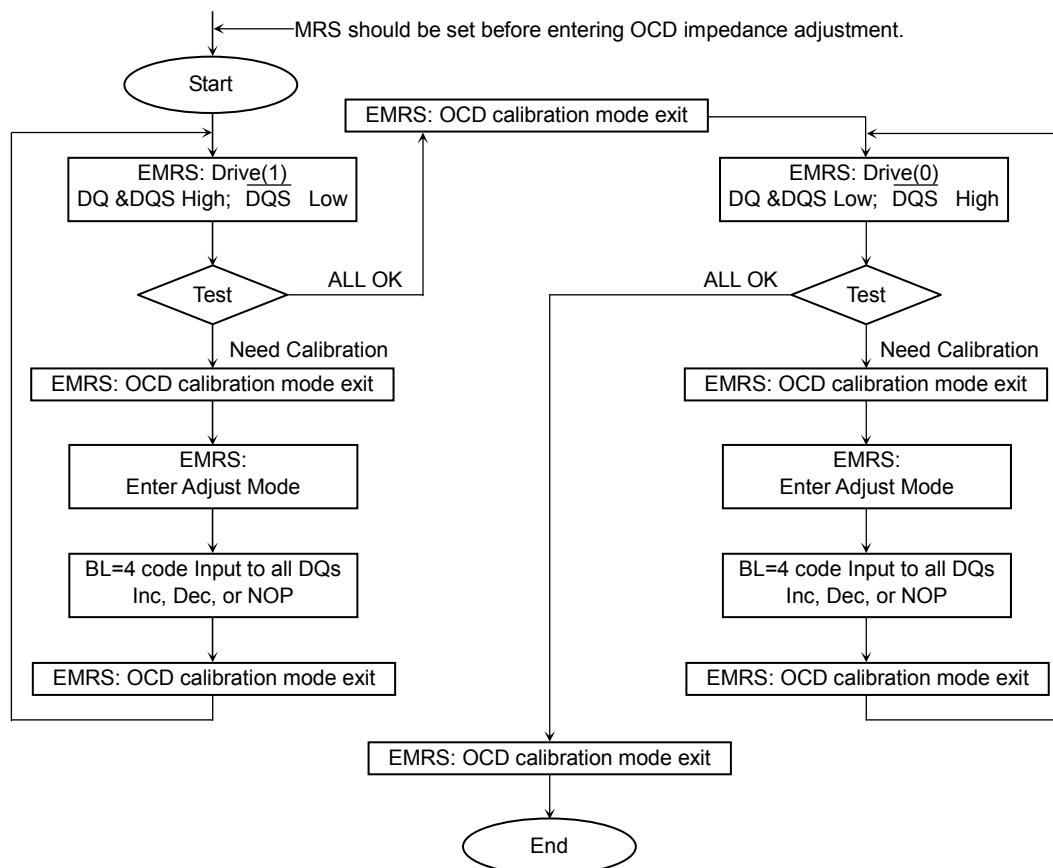
この領域は出力ドライバストレングスを選択します。4 つの出力ドライバストレングスがあります。出力ドライバストレングスは EMRS の OCD calibration default (A7~A9 = 1 at EMRS)または OCD calibration mode exit (A7~A9 = 0)コマンドでセットされます。

A6	A1	OUTPUT DRIVER IMPEDANCE CONTROL
0	0	Normal Output Driver
0	1	Strong Output Driver
1	0	Weak Output Driver
1	1	Full Strength Output Driver

(E-3) Off-Chip Driver (OCD)インピーダンス調整 (Full Strength Output Driver 用) (A7~A9)

出力ドライバは、DIC(E-2)によって設定されます。Full Strength Output Driver の場合は、更に OCD インピーダンス調整が可能です。DIC によって設定された出力ドライバは、OCD インピーダンス調整の初期値です。OCD インピーダンス調整を実施する場合、EMRS の A1 と A6 の入力は"1"にして下さい。

下記の図は OCD インピーダンス調整の流れの一例です。OCD インピーダンス調整を実施した場合、他のコマンドを受け付ける前には必ず"OCD calibration mode exit"コマンドが必要です。



OCD インピーダンス調整のエクステンディッドモードレジスタセット

OCD インピーダンス調整は下記の EMRS にて設定されます。Drive (1)では、全ての DQ と DQS が”High”となり、 \overline{DQS} は”Low”となります。Drive (0)では、全ての DQ と DQS が”Low”となり、 \overline{DQS} は”High”となります。”Adjust mode”では、BL4 による入力によって調整が行われます。

A9	A8	A7	Operation
0	0	0	OCD calibration mode exit
0	0	1	Drive (1) DQ, DQS high and \overline{DQS} low
0	1	0	Drive (0) DQ, DQS low and \overline{DQS} high
1	0	0	Adjust mode
1	1	1	OCD calibration default

OCD インピーダンス調整

出力ドライバのインピーダンスを調整するためには、EMRS の”Adjust mode”において 4 ビットのバーストコードで行います。この動作のために Burst Length は、BL=4 に設定する必要があり、全ての DQ に 4 ビットのバーストコードを入力して下さい。DT0、DT1、DT2、DT3 は、BL=4 の入力の各ビットに対応します。全ての DQ の出力ドライバインピーダンスが同時に設定され、同じ設定になります。調整は 16 段階あり、最小または最大の設定を達した場合は、それ以上の”Decrease”または”Increase”はできません。

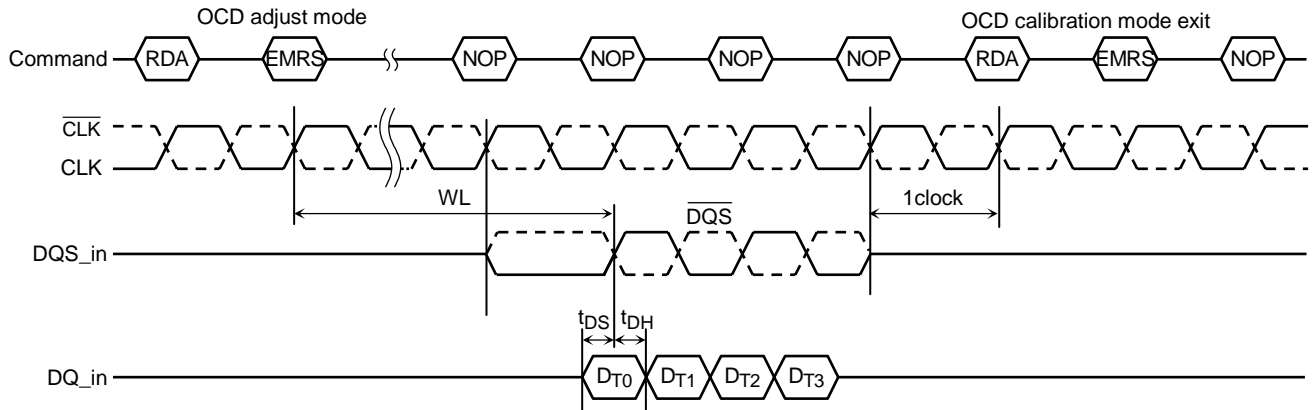
Off-Chip Driver Program

4bit burst code inputs to all DQs				Operation	
DT0	DT1	DT2	DT3	Pull-up driver strength	Pull-down driver strength
0	0	0	0	NOP (No operation)	NOP (No operation)
0	0	0	1	Increase by 1 step	NOP
0	0	1	0	Decrease by 1 step	NOP
0	1	0	0	NOP	Increase by 1 step
1	0	0	0	NOP	Decrease by 1 step
0	1	0	1	Increase by 1 step	Increase by 1 step
0	1	1	0	Decrease by 1 step	Increase by 1 step
1	0	0	1	Increase by 1 step	Decrease by 1 step
1	0	1	0	Decrease by 1 step	Decrease by 1 step
Other Combinations				Reserved	

DT0~DT3 の入力順序とアドレッシングモードとの関係はありません。

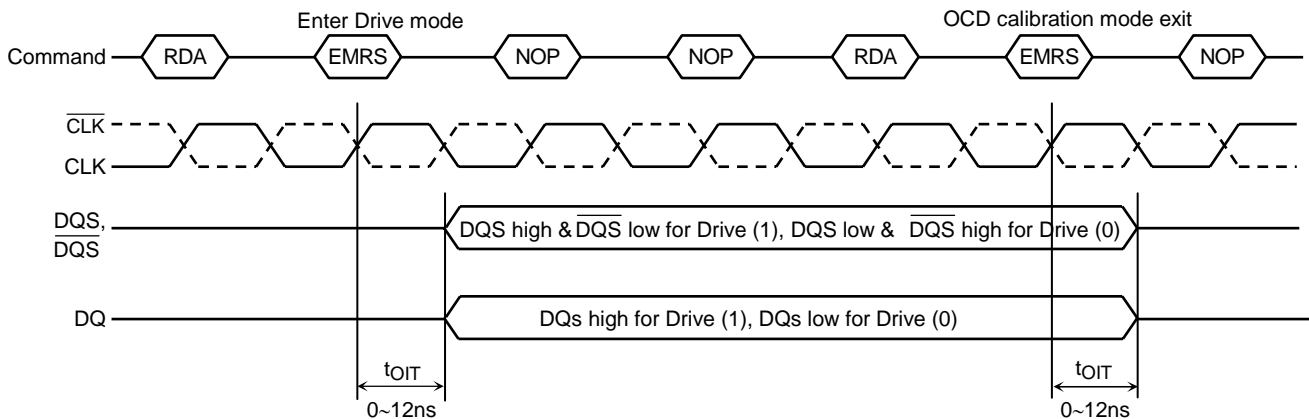
Driver strength is controlled within the following range by OCD impedance adjustment

記号	項目		最小	最大	単位	注
I _{OH} (DC)	Full Strength Output Driver	Output Source DC Current for V _{DDQ} = 1.7V~1.9V V _{DDQ} = 1.7V V _{OH} = 1.420V	-14.0	-18.7	mA	
I _{OL} (DC)		Output Sink DC Current for V _{DDQ} = 1.7V~1.9V V _{DDQ} = 1.7V V _{OL} = 0.280V	14.0	18.7		



ドライブモード

Drive (1)と Drive (0)のモードは、出力ドライバインピーダンスの測定に使用されます。下記の図にありますように、“enter drive mode”コマンド入力から t_{OIT} タイミングにて出力が発生し、“OCD calibration mode exit”コマンド入力から t_{OIT} タイミングにて出力が止まります。



(E-4) \overline{DQS} イネーブル領域 (A10), (\overline{DQS})
このビットは、 \overline{DQS} のイネーブルに使用されます。

A10	\overline{DQS} Enable
0	Disable
1	Enable

(E-5) 予約領域 (A2~A5, A11~A13, BA2)
これらのビットは将来用いられる可能性のある動作の為に予約されているものですので、通常動作の際には“0”に設定しておいて下さい。

変更履歴

- Rev 0.9 (2004年2月24日)

- Rev 0.91 (2004年3月16日)

- パッケージ図面にてピン名を Q から R に訂正 (57 ページ)。

- Rev 0.92 (2004年4月21日)

- DC, AC 許容動作条件の表で下記を訂正 (5 ページ)。- VICK(DC): ~~差動タロツタ~~ DC Input Voltage- VID(DC): ~~CLK₊/CLK₋~~ 入力電圧差 (DC)- VID(AC): ~~CLK₊/CLK₋~~ 入力電圧差 (AC)- VX: ~~CLK₊/CLK₋~~ 交差電圧(AC)- VID(AC)の最小値を 0.55V から 0.5V に変更。- VISO(AC): ~~CLK₊/CLK₋~~ 差動中間レベル (AC)
- CLK を VTR、~~CLK~~ を VCP に変更 (6 ページ)
- 下記のコメントを注(10)に追加 (6 ページ)
VTR は CLK、DQS のような正相信号レベルであり、VCP は ~~CLK~~、~~DQS~~ のような逆相信号レベルです。

- Rev 0.93 (2004年6月9日)

- tOIT (OCD ドライブモード出力遅れ時間)追加 (10, 56 ページ)。
- パッケージ名称追加 (P-BGA64-1317-1.00AZ) (1 ページ)。

- Rev 1.0 (2004年8月20日)

- “-45” version を削除。
- 誤記を修正 (4、14、15、17 ページ)。
- 8 ページの注の一部を 7 ページに移動 (7、8 ページ)。
- 注 2 の内容を下記のように変更 (7 ページ)。
変更前: これらの値は出力負荷に依存します。規格の最大値は出力開放状態における値です。
変更後: これらの値は VDD - VSS 間を流れる電流として定義されます。
- 注 10 を追加 (9、11 ページ)。
- パッケージ重量 (0.23g)を追加 (57 ページ)。

- Rev 1.1 (2005年11月8日)

- “-50” version を削除。
- 16 I/O 構成を削除。
- CAS Latency=3,4 を削除。
- AC Timing spec の lpDA=1cycle にあわせて図を修正(11, 29, 30 ページ)。
- セルフリフレッシュイグジットタイミングの図から lpDA=1cycle*4 を削除し、注記 4 からも lpDA に関する表現を削除。これにあわせて注記番号を修正(36 ページ)。

当社半導体製品取り扱い上のお願い

030519TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

Rev 1.1

2005-11-08 47/47