

600 V 系スーパージャンクション パワー MOSFET TO-247-4L パッケージのシミュレーションによる解析

MOSFET チップの高速スイッチング性能をより引き出すことができる 4 ピン新パッケージ TO-247-4L

背景

耐圧が 600V 以上の High Voltage(HV) パワー半導体ではオン抵抗と耐圧のトレードオフの改善を行うためスーパージャンクション (SJ) 構造が開発され、製品化が進められてきた [1]。この SJ 構造を採用することで従来の MOSFET に比べオン抵抗が低く、スイッチングスピードが速くなるという大きなメリットがある。しかしながら、この高速化に伴いパッケージ内部のソースワイヤのインダクタンス成分が高速スイッチング性に与える影響が顕著になってきている。

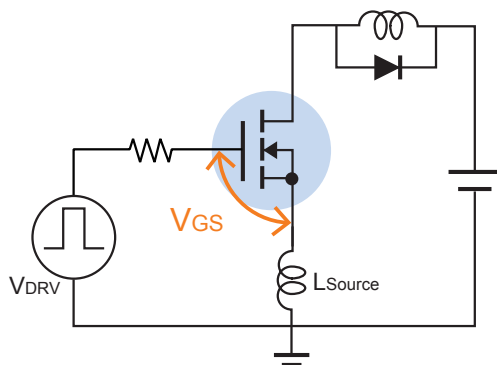
この問題を解決するパッケージの 1 つに TO-247-4L パッケージがある。TO-247-4L パッケージは、ゲートドライブ用の信号ソース端子をケルビン接続とする 4 ピンタイプで、パッケージ内部のソースワイヤのインダクタンスの影響を低減させることが可能である。したがって、高速化が求められるアプリケーションでは SJ 構造の MOSFET と 4 ピンパッケージを組み合わせた製品を使うことが最適と言える。

今回、シミュレーションを用いて TO-247-4L パッケージのメカニズム解析を行った。また、その効果を実測と共に示し、TO-247-4L パッケージの優位性を明確にする。

スパイスシミュレーションモデル

図 1 にスパイスシミュレーション回路図を示す。4 ピンパッケージモデルでは MOSFET デバイスモデルは 3 ピンと同じものを使い、ソースリードを 2 又に分けゲート側とドレイン側に接続し 4 ピンパッケージを模擬した。

>> 3 ピンパッケージ (TO-247)



>> 4 ピンパッケージ (TO-247-4L)

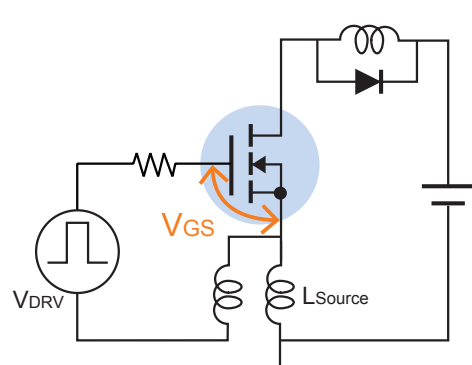


図 1 : 3 ピンパッケージ、4 ピンパッケージ Spice 回路モデル

シミュレーションによる TO-247 4L パッケージメカニズム解析

図 2 に 3 ピンパッケージと 4 ピンパッケージの概略図を示す。私たちが通常モニターしているゲート印加電圧は図中の V_{DRV} である。しかし、実際に MOSFET の GS 間に印加される電圧は図中の式の通り V_{GS} であり、 L_{Source} により発生する逆起電圧 V_{LS} により V_{DRV} すべてが MOS に印加されていない。これについてシミュレーションにより確認を行った。図 3 に 3 ピン構造でのオン時 V_{LS} 波形と V_{GS} 波形を示す。図中のまるの箇所が L_{Source} に印加されている電圧であり、この電圧分 GS 間にかかる電圧は小さくなることになる。このため、図 3 の 3 ピンパッケージ GS 波形を見ると分かるようにオン後にゲート電圧が一回下がりオンするスピードが遅くなる。これに対し 4 ピンパッケージでは MOSFET にかかる電圧 V_{GS} は V_{DRV} とほぼ同じになり、3 ピンパッケージに比べスイッチングスピードが速くなる。

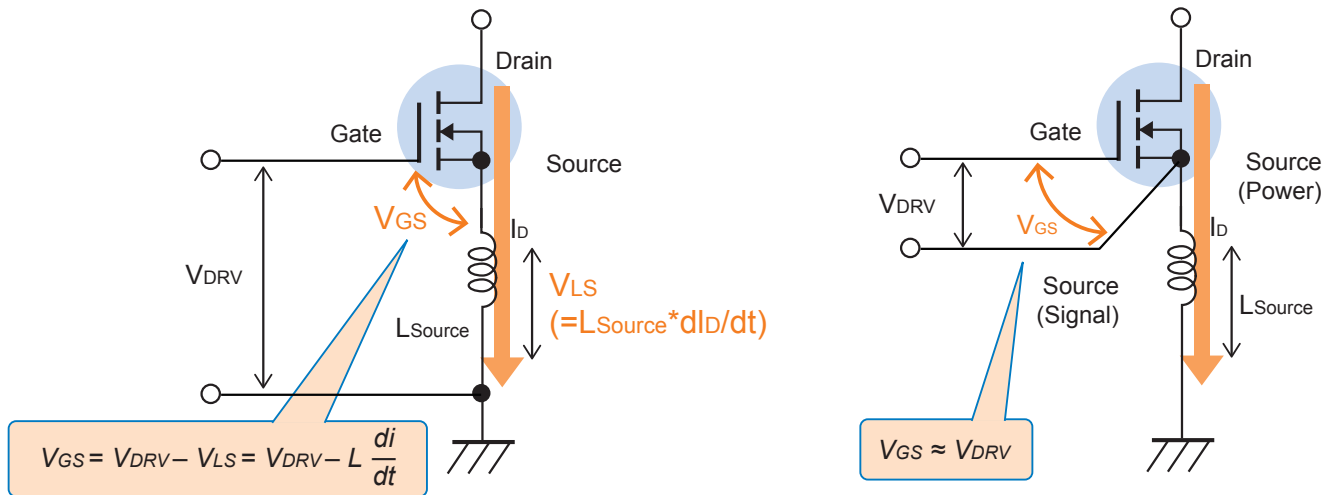


図 2 : 3 ピンパッケージおよび 4 ピンパッケージの概略図

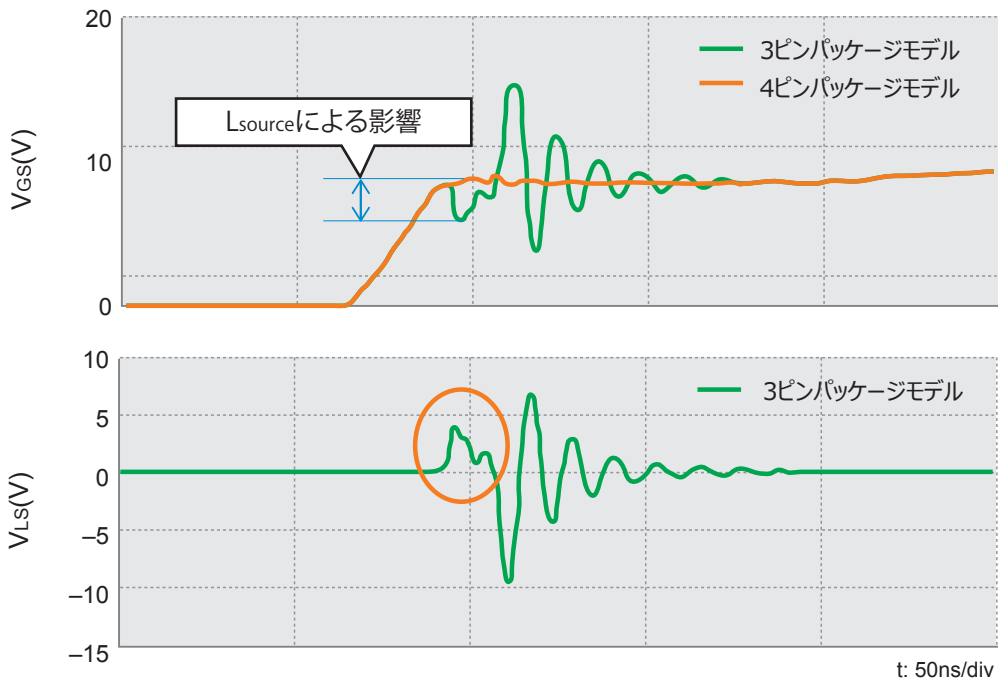
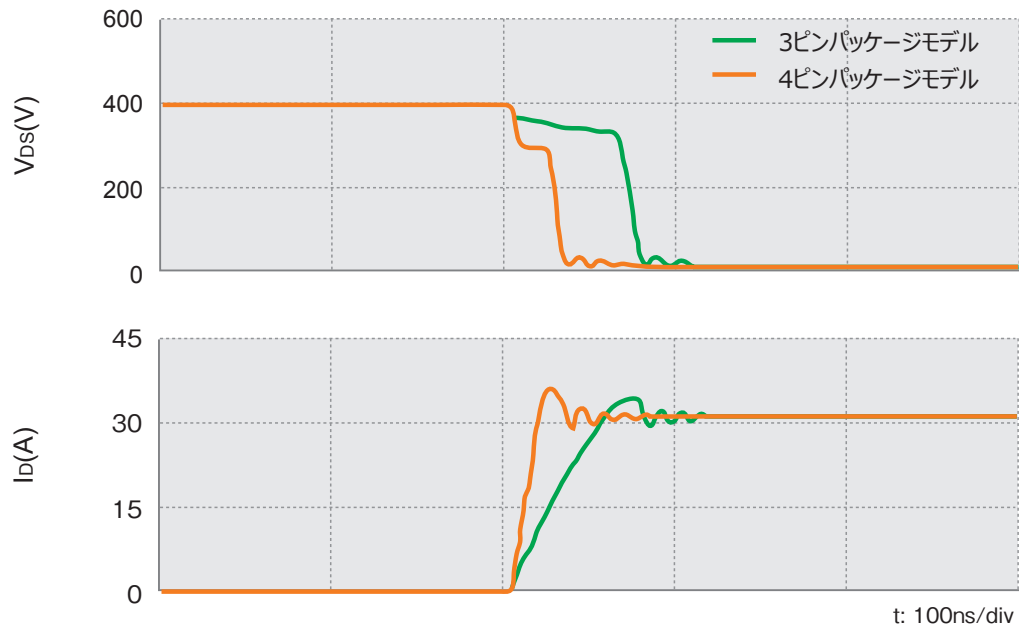


図 3 : V_{GS} および V_{LS} カーブ

TO-247 4L によるターンオン損失低減効果

上記の効果についてシミュレーション及び実測で確認を行った。前述のように MOSFET 直近の GS 間にかかる電圧が大きくなることで、スイッチングスピードが速くなる。図 4 にシミュレーションと実測の DS 間電圧とドレイン電流 I_D を示す。シミュレーション結果では 3 ピンモデルと 4 ピンモデルを比較すると 4 ピンモデルの方がスイッチングスピードは早くなることを確認できた。また、実測においても 3 ピンパッケージの TK62N60X と同定格電流の 4 ピンパッケージである TK62Z60X を比較した結果、シミュレーションと同様に 3 ピンパッケージに比べ 4 ピンパッケージの方がスイッチングスピードは速くなる結果であった。これにより、ターンオン損失が 19% 低減できることを確認した。

ターンオン波形 (シミュレーション)



ターンオン波形 (実測)

Part No. : TK62Z60X, TK62N60X (600V, 0.0400 MAX.)
 Test Condition: $V_{DD} = 300\text{V}$, $V_{GG} = +10\text{V/0V}$, $I_D = 30.9\text{A}$, $R_G = 270$, $L = 0.5\text{mH}$, $T_a = 25^\circ\text{C}$

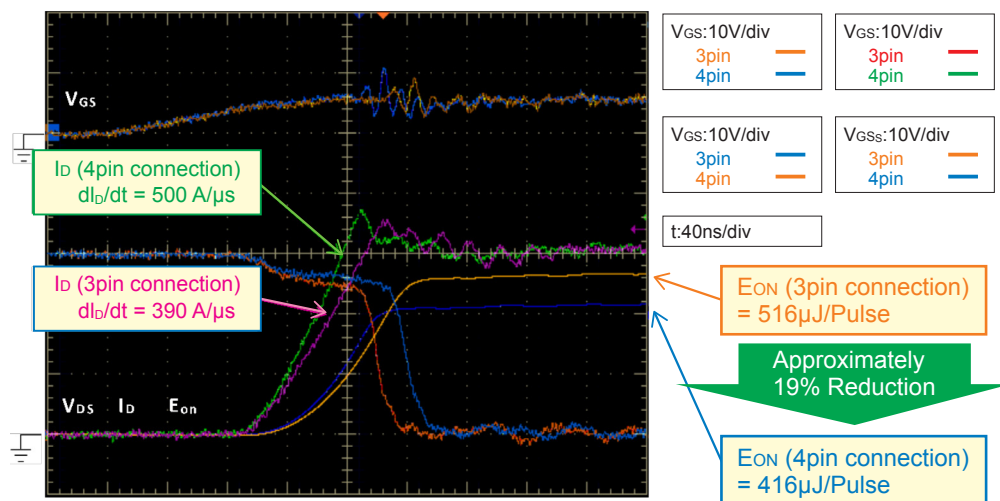
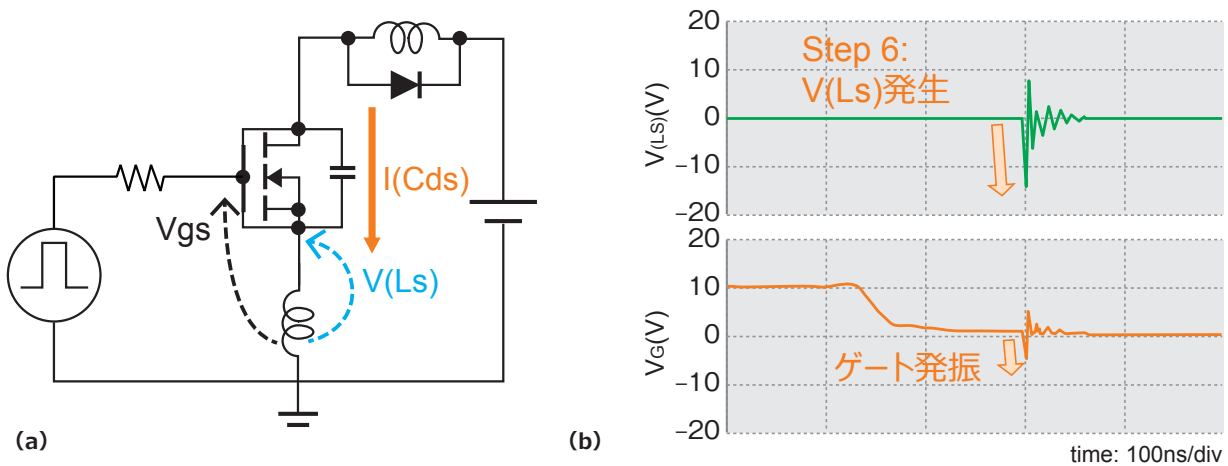


図 4 : ターンオン波形

TO-247 4L のターンオフ時のゲート発振抑制効果

TO-247 4L パッケージの利点として損失低減を示したが、ターンオフ時のゲート波形発振抑制にも効果がある。図 5 にターンオフ時ゲート発振のメカニズムを示す。図 5(c) に示す Step1 から Step6 は一般的なスイッチング動作であるが、SJ 構造では Step4 の C_{oss} の減少が急峻であり、これに伴い L_{Source} に流れる電流も急峻に減少し、 $V = L_s \times dI(L_{Source})/dt$ であらわせる逆起電力が大きくなる。また、図 5(b) に示すように逆起電力 V_{Ls} 波形は V_{G_S} 波形と連動しており、 V_{Ls} は小さくなると V_{G_S} 発振も小さくなる。4 ピンパッケージは前述のとおり、ソースからゲートへつなぐゲートドライバラインとドレインへつなぐパワーラインに分かれるため、ゲート側には電流が流れないことからゲート発振しなくなる。図 6 にシミュレーション結果を示す。波形はオフ時の V_{G_S} 波形であり、4 ピンパッケージは回路図中の AB 間の電圧である。図 6 に示すように 3 ピンパッケージに比べ 4 ピンパッケージの方がオフ時ゲート発振は小さくなる結果が得られた。



ターンオフ特性

Step 1 : ミラー期間、 V_{ds} が徐々に増加

Step 2 : V_{ds} 増加し dv/dt が発生

Step 3 : V_{ds} が増加するに伴い $I(C_{ds})$ が減少

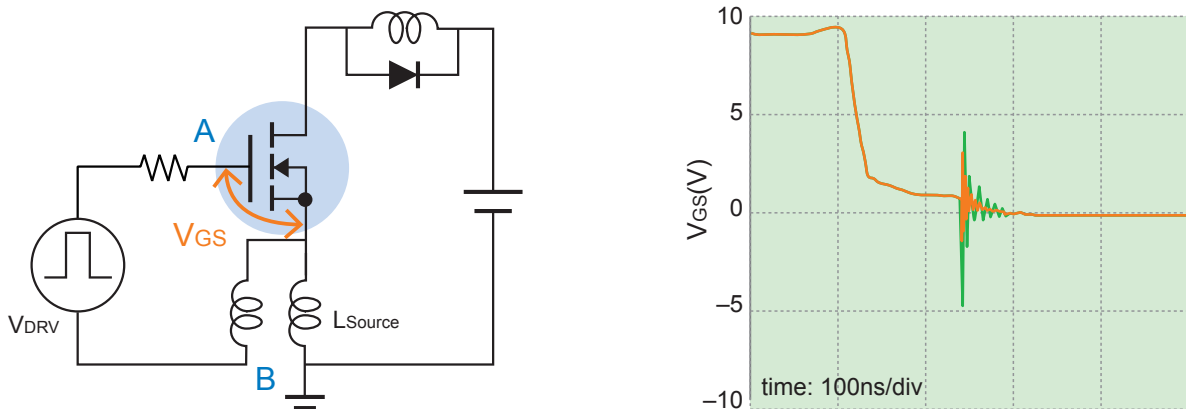
Step 4 : C_{oss} が急激に減少

Step 5 : 急速に $I(C_{ds})$, I_d が減少

Step 6 : 減少した電流の傾きに応じて L_s に逆起電力発生
 $V = L_s \times dI(L_s)/dt \rightarrow V_{G_S}$ 発振

(c)

図 5 : ターンオフゲート発振メカニズム



■まとめ

今回、シミュレーションを用いて 4 ピンパッケージのメカニズム解析を行った。実測では確認できない、 V_{LS} 、 V_{GS} の波形を確認し 4 ピンパッケージでは 3 ピンパッケージで発生する逆起電力 VLS がなく、ゲートスイッチングスピードが速くなっていることを示した。またこれにより、スイッチングスピードが速くなり損失低減の効果が得られ、62A 品では 19% 改善することが分かった。また、4 ピンパッケージにすることで、ゲートの発振を抑制できる事もシミュレーションにより明らかにした。

参考文献

- [1] W. Saito, I. Omura, S. Aida, S. Koduki, M. Izumisawa, H. Yoshioka, H. Okumura, M. Yamaguchi and T. Ogura; "A15.5 mΩ cm²-680V superjunction MOSFET reduced on-resistance by lateral pitch narrowing," in Proceedings of ISPSD' 06 (to be published), 2006.