

# 新たな等価回路モデルを用いたSBD内蔵SiC MOSFETの寄生pnダイオードのクランプ能力向上手法

Design Method to Improve Clamping Capability of Parasitic pn Diodes Utilizing Newly Developed Equivalent Circuit Model of SBD-Embedded SiC MOSFETs

大橋 輝之 OHASHI Teruyuki 河野 洋志 KONO Hiroshi 飯島 良介 IJIMA Ryosuke

新世代のパワーデバイスであるSiC（炭化ケイ素）MOSFET（金属酸化膜半導体型電界効果トランジスタ）では、寄生pn（p：p型半導体、n：n型半導体）ダイオードの動作時に生じる特性劣化に対応するため、SBD（ショットキーバリアダイオード）をMOSFETと同一チップに内蔵したSBD内蔵MOSFETの開発が進んでいる。しかし、SBD内蔵MOSFETは、寄生pnダイオードの動作を抑制できる上限の電流密度 $J_{umax}$ が温度上昇とともに低下することから、高温でのクランプ能力向上が課題となっていた。

東芝グループは、SBD内蔵MOSFETの新たな等価回路モデルを導出し、これを用いて $J_{umax}$ の更なる向上が可能なデバイス構造を設計するための手法を開発した。この手法で開発したデバイス構造を持つ3.3 kV系SBD内蔵SiC MOSFETを試作し、200 °Cにおける $J_{umax}$ が従来構造の4.7倍に向上することを確認した。

Silicon carbide (SiC) metal-oxide-semiconductor field-effect transistors (MOSFETs) are attracting attention as a new generation of power devices due to their superior characteristics. Schottky barrier diode (SBD)-embedded MOSFETs have also been expanding into the mainstream due to their ability to reduce performance degradation caused by the operation of parasitic pn diodes in devices. However, the maximum current density at which the operation of parasitic pn diodes does not occur (hereafter abbreviated as  $J_{umax}$ ) decreases with rising temperature, creating a problem for the high-temperature application of SBD-embedded SiC MOSFETs.

In order to prevent  $J_{umax}$  from decreasing at high temperatures, the Toshiba Group has developed a novel design method for SBD-embedded SiC MOSFETs that makes it possible to simulate  $J_{umax}$  using a simple structure model and design devices with an enhanced value of  $J_{umax}$ . Experiments on prototype 3.3 kV SBD-embedded SiC MOSFETs with structures designed by this method have confirmed that these structures achieve 4.7 times higher  $J_{umax}$  compared with the conventional structure.

## 1. まえがき

地球温暖化や化石燃料の枯渇などの環境問題を抑制するため、電力損失を低減するパワーエレクトロニクス技術の重要性が増している。SiC MOSFETは、特に高耐圧・高周波領域での応用時に、大幅に電力損失を低減できるので、新世代のパワーデバイスとして注目度が高まっており、市場が拡大している。

図1(a)に示す従来のSiC MOSFETの問題として、デバイス内部の寄生pnダイオードを還流ダイオードとして用いた際に生じる特性劣化が挙げられる。寄生pnダイオードの動作により正孔注入が生じると、電子-正孔の再結合エネルギーにより、SiCウエハー中の基底面転位が積層欠陥へと拡張し、デバイスの抵抗増大が起こる(図1(b))。

寄生pnダイオードの動作を防ぐため、現在東芝グループはSBD内蔵MOSFETの開発を進めている<sup>(1)</sup>。SBD内蔵

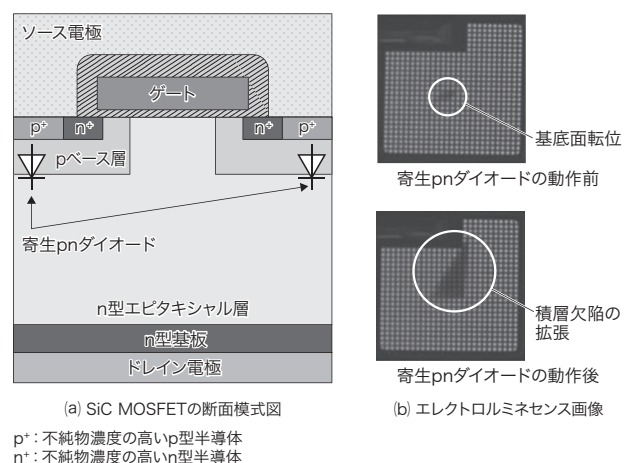


図1. SiC MOSFETの寄生pnダイオード動作による積層欠陥の拡張  
SiC MOSFETでは、寄生pnダイオードの動作により欠陥の拡張が生じ、特性劣化の原因となる。

Cross-sectional structure of SiC MOSFET and expansion of stacking fault caused by operation of parasitic pn diodes in SiC

MOSFETではチップ内に内蔵したSBDに電流を流すことで、寄生pnダイオードの動作を抑制(クランプ)することが可能となり、従来のSiC MOSFETと比較して高い信頼性を実証した<sup>(1)</sup>。

しかし、SBD内蔵MOSFETにおいても、通電時の電流密度が高くなり、寄生pnダイオードに一定の電圧が印加されると、寄生pnダイオードが動作してしまう。クランプ能力の指標である寄生pnダイオードが動作しない最大電流密度 $J_{umax}$ は、特に高温で低下することが確認されており<sup>(1)</sup>、高温動作が求められるSBD内蔵SiC MOSFETにおいては、 $J_{umax}$ の更なる向上は重要な課題である。

$J_{umax}$ の向上のためには、 $J_{umax}$ を律速するデバイスパラメータを正しく把握し、デバイス設計を行うことが重要である。そこで、SBD内蔵MOSFETの新規等価回路モデルを構築し、その等価回路から $J_{umax}$ を律速するデバイスパラメータを抽出した。更に、等価回路モデルを基に、 $J_{umax}$ 向上のためのデバイス設計指針を導出した。ここでは、このデバイス設計指針を基に、SBD内蔵MOSFETの $J_{umax}$ の実験的な向上を試みたので、その詳細について述べる。

## 2. SBD内蔵MOSFETの等価回路モデル

### 2.1 既存の等価回路モデル

図2は、SBD内蔵MOSFETの既存の等価回路モデルである<sup>(1), (2)</sup>。ここで、 $V_k$ はショットキー電圧、 $R_{JBS}$ はJBS (Junction Barrier Controlled Schottky) 抵抗、 $R_{sp}$ は広がり抵抗、 $A$ はチップ面積を表す。図2の等価回路において、 $J_{umax}$ は以下の式(1)で表される。

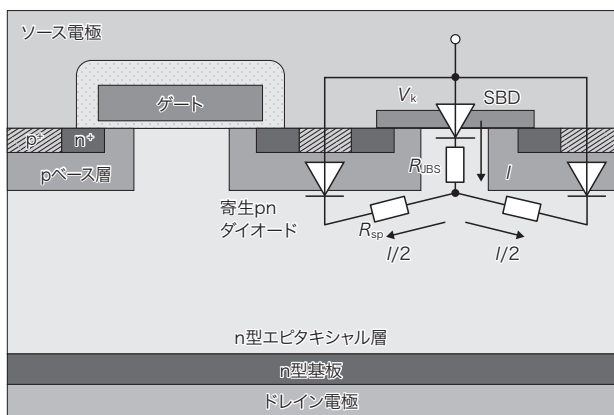


図2. SBD内蔵MOSFETの既存の等価回路モデル

既存の等価回路は、 $J_{umax}$ を律速するデバイスパラメータを簡潔に表すため、デバイス設計に広く用いられている。

Conventional equivalent circuit model of SBD-embedded SiC MOSFET

$$J_{umax} = \frac{V_{on} - V_k}{R_{JBS} - R_{sp}/2} \cdot A^{-1} \quad (1)$$

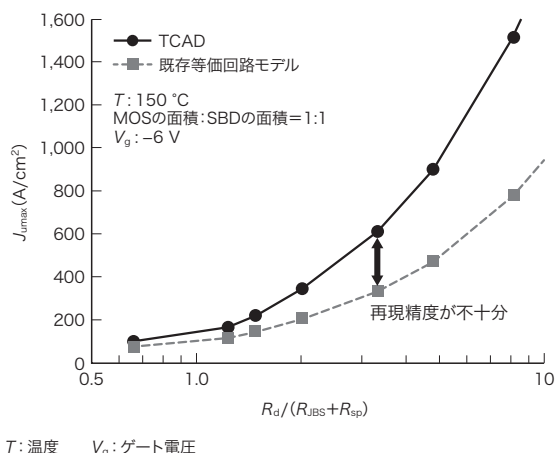
ここで $V_{on}$ は寄生pnダイオードのオン電圧である。式(1)は、 $J_{umax}$ を律速するデバイスパラメータを簡潔に表すため、 $J_{umax}$ 向上に向けたデバイス設計の指針として用いられている。

しかし、図3に示すように、式(1)での $J_{umax}$ の計算値は、 $(R_{JBS} + R_{sp})$ に対するドリフト層抵抗 $R_d$ の比 $R_d/(R_{JBS} + R_{sp})$ の大きさによらずTCAD (Technology CAD)での計算値、及び実験値からずれることを確認した<sup>(3)</sup>。TCADでの計算値は、実験値とよく一致していることを事前に確認済みである。

既存モデルの問題点を調査するため、TCADによりデバイス内部の電流分布を調べた。図4(a)は、pベース領域の下部を流れる横方向電流 $J_x$ のx方向の分布を計算した結果である。 $R_d/(R_{JBS} + R_{sp})$ が大きいときは、 $J_x$ はデバイス中心に向けて一定の傾きで減少し、 $R_d/(R_{JBS} + R_{sp})$ が小さいときは、 $J_x$ はpベース端で急減することを確認した<sup>(3)</sup>。この結果は、全電流が $R_{sp}$ を介してドリフト層に流れるとする既存の等価回路モデルと矛盾している。この $J_x$ の単調減少は、図4(b)に模式的に示すように、①デバイス構造に対称性があること、及び② $R_{sp}$ に対して $R_d$ が無視できないこと、によると考えられる<sup>(3)</sup>。これらの結果は、 $R_d$ の大きさによらず、ドリフト層に流れる電流の影響を考慮する必要性を示している。

### 2.2 新規等価回路モデルと $J_{umax}$ 向上への設計指針

ドリフト層に流れる電流の影響を考慮するため、図5に示すラダー回路モデルを構築した。ここで、 $N_{step}$ はラダー回路のステップ数、 $R_{dmos}$ はMOS領域のドリフト層抵抗、 $R_{dsbd}$



T: 温度  $V_g$ : ゲート電圧

図3. 既存の等価回路で求めた $J_{umax}$

既存等価回路モデルは $J_{umax}$ の再現精度が低く、適用デバイス範囲が狭い。  
 $J_{umax}$  calculated using conventional equivalent circuit

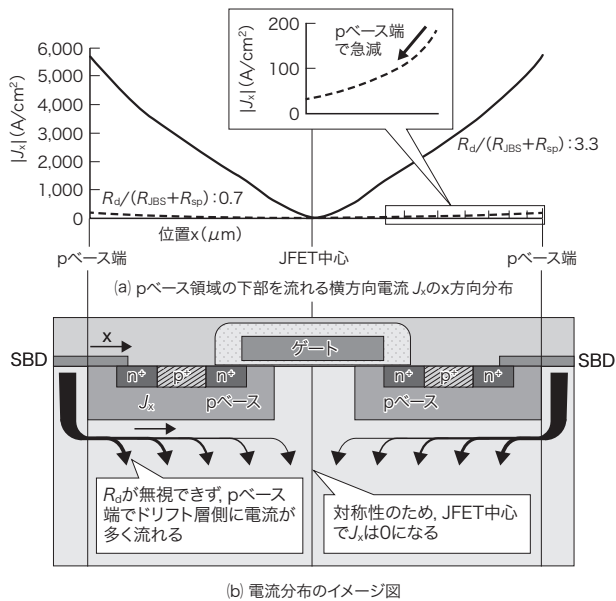


図4. 既存の等価回路の問題点

$J_x$  はJFET (接合型電界効果トランジスタ) 中心に向けて減少するが、この影響は既存の等価回路モデルでは考慮されていない。

Issues involved in conventional equivalent circuit

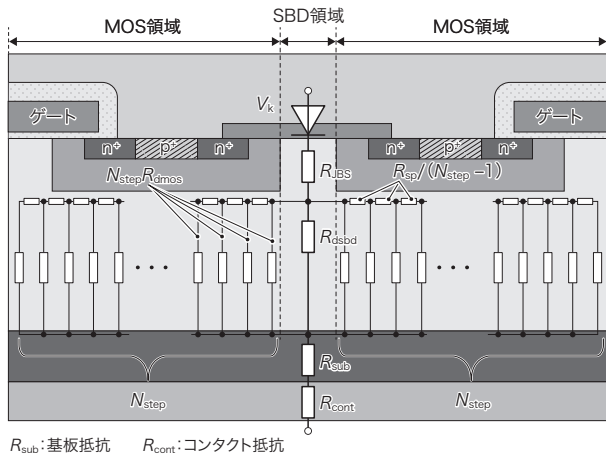


図5. 新規等価回路モデルによるSBD内蔵MOSFETのラダー回路

$J_x$  の減少の影響を調査するために、ラダー回路を用いた新規等価回路モデルを構築した。

Ladder circuit model of SBD-embedded SiC MOSFET

はSBD領域のドリフト層抵抗である。

このラダー回路を用いて  $J_{umax}$  を計算し、TCADでの計算結果の再現精度を調べた。図6は、 $J_{umax}$  の再現精度にラダー回路のステップ数が与える影響を調査した結果である。いずれの場合も再現精度は0.94を上回っており、既存の等価回路モデルでは0.78未満であることに比較して、良好である。 $R_d$  の大きさによらず、高い精度でTCADの結果を再現

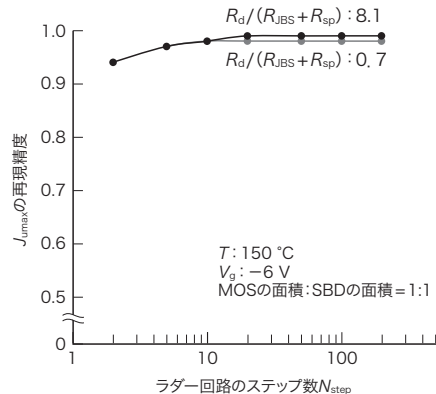


図6. 新規等価回路モデルによる  $J_{umax}$  の予測精度とラダー回路のステップ数との関係

$J_{umax}$  は  $R_d/(R_{jbs}+R_{sp})$  の大きさによらず、ラダー回路で高精度に再現できる。 $N_{step}$  依存性は小さく、 $N_{step}$  が2の場合でも予測精度は高い。

Dependence of  $J_{umax}$  prediction accuracy on number of steps of ladder circuit

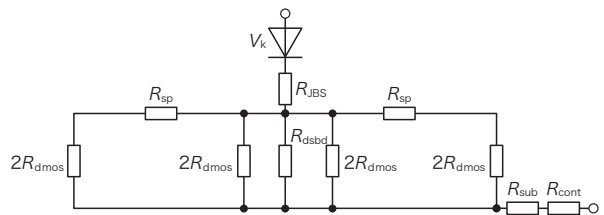


図7. SBD内蔵MOSFETの新規等価回路モデル

今回構築したSBD内蔵MOSFETの新規等価回路モデルは、シンプルで再現精度が高いという特長を持っている。

Ladder circuit model for  $J_{umax}$  when number of steps is 2

できることが分かる。この結果は、 $J_{umax}$  はドリフト層に流れる電流の影響を適切に考慮することで再現可能であることを示している。また、図6から、ラダー回路のステップ数の低減に伴う  $J_{umax}$  の再現精度の低下は小さく、ラダー回路のステップ数が2のときでも  $J_{umax}$  は精度良く再現できることが分かる<sup>(3)</sup>。

ラダー回路のステップ数が2のとき、ラダー回路モデルは図7のようにシンプルに表すことができ、 $J_{umax}$  は式(2)で表される。

$$J_{umax} = \frac{(V_{on} - V_k) \cdot A^{-1}}{\left\{ R_{jbs} + \frac{R_{sp}}{4 + \frac{2R_{dmos}}{R_{dsbd}} + R_{sp} \cdot \left( \frac{1}{R_{dsbd}} + \frac{1}{R_{dmos}} \right)} \right\}} \quad (2)$$

これらが、今回構築したSBD内蔵MOSFETの新規等価回路モデルと解析式である<sup>(3)</sup>。ここで、等価回路モデルと解

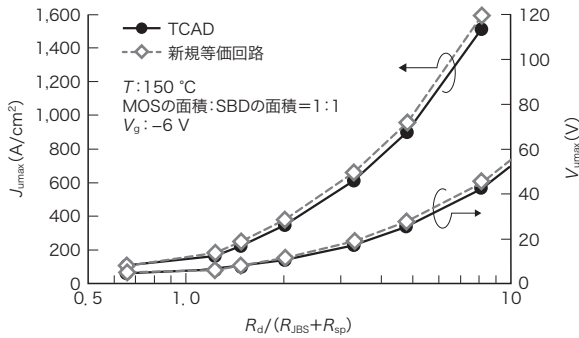


図8. 新規等価回路モデルを用いた $J_{UMAX}$ 及び寄生pnダイオードが動作しない最大電圧( $V_{UMAX}$ )の計算結果

新規等価回路モデルは $J_{UMAX}$ とともに、寄生pnダイオードが動作しない最大電圧 $V_{UMAX}$ もよく再現できる。

Results of calculations of  $J_{UMAX}$  and maximum voltage to clamp operation of parasitic pn diodes ( $V_{UMAX}$ ) using ladder circuit model

析式をこのようにシンプルに表すことは、 $J_{UMAX}$ を律速するデバイスパラメーターを把握し、 $J_{UMAX}$ 向上のための指針を得る上で非常に重要である。

新規等価回路モデルを用いて、TCADで計算した $J_{UMAX}$ を再現できるかどうかを確認した。図8は、 $J_{UMAX}$ の $R_d/(R_{JBS}+R_{sp})$ 依存性ととも、寄生pnダイオードが動作しない最大電圧 $V_{UMAX}$ を計算した結果を示している。新規等価回路モデルにより、 $J_{UMAX}$ だけでなく $V_{UMAX}$ もTCADの計算結果をよく再現できることが確認できた。

ここまで示したように、今回構築したSBD内蔵MOSFETの新規等価回路モデルと $J_{UMAX}$ の解析式は、シンプルでありながら実験結果を精度良く再現できるため、 $J_{UMAX}$ を向上させるための指針を導出できる。具体的には、式(2)から、① $R_{JBS}$ と $R_{sp}$ を減らすこと、及び② $R_{dmos}/R_{dsbd}$ と $1/R_d$ を増加すること、が $J_{UMAX}$ を改善するために重要であることが分かる。

### 3. 3.3 kV系SBD内蔵MOSFETの $J_{UMAX}$ の実験検証

導出した設計指針に基づいて、3.3 kV SBD内蔵SiC MOSFETの $J_{UMAX}$ を実験的に検証した。図9に、試作したMOSFETの150 °Cにおける $J_{UMAX}$ を示す。従来構造では $J_{UMAX}$ は114 A/cm<sup>2</sup>であったが、今回開発した構造ではいずれも大幅に向上しており、構造Cでは $J_{UMAX}$ を、従来構造の3.8倍の428 A/cm<sup>2</sup>に向上させることに成功した<sup>(3)</sup>。いずれの構造も従来構造と同等の耐圧を持ち、トレードオフなく $J_{UMAX}$ を向上させた点は、SBD内蔵SiC MOSFETの更なる信頼性向上につながる。

最後に、図10に示すように、従来構造と開発した構造Cの $J_{UMAX}$ の温度依存性を比較した。今回開発した構造の200 °Cでの $J_{UMAX}$ は352 A/cm<sup>2</sup>であり、これは従来構造の

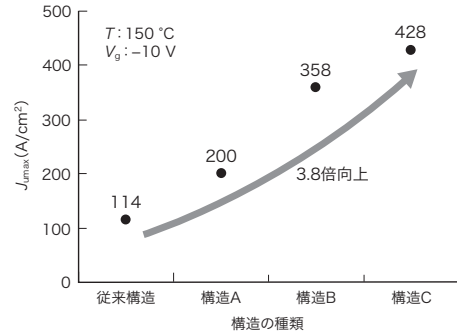


図9. 新たな構造の3.3kV系SBD内蔵MOSFET試作品の $J_{UMAX}$ 向上  
従来構造に対し、今回開発した構造の $J_{UMAX}$ は大幅に向上した。

Improvement of  $J_{UMAX}$  of 3.3 kV prototype SBD-embedded SiC MOSFETs with newly designed structures

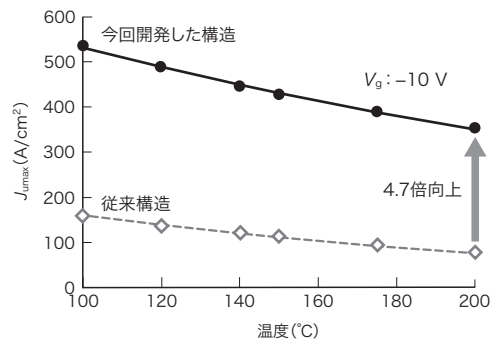


図10. 新たな構造の3.3kV系SBD内蔵MOSFET試作品の $J_{UMAX}$ の温度依存性

今回開発した構造の200 °Cにおける $J_{UMAX}$ は、従来構造と比べて4.7倍と大幅に向上した。

Temperature dependence of  $J_{UMAX}$  of prototype 3.3 kV SBD-embedded SiC MOSFET with newly designed structure

4.7倍である<sup>(3)</sup>。この $J_{UMAX}$ の大幅な向上は、SBD内蔵SiC MOSFETの将来的な200 °C以上での高温動作に向けて、有望な結果である。

### 4. あとがき

東芝グループは、SBD内蔵SiC MOSFETの新規等価回路モデルを開発し、等価回路モデルを基に $J_{UMAX}$ 向上に向けたデバイス設計指針を導出した。この設計指針を基にデバイス開発を進め、3.3 kV系SBD内蔵SiC MOSFETの $J_{UMAX}$ の大幅な向上に成功した。これは、高温動作時のSBD内蔵SiC MOSFETの信頼性向上に寄与する結果であり、将来的な200 °C以上での応用に向けて開発を進めていく。

### 文献

(1) 古川 大, ほか, SBD内蔵で信頼性を向上させた1.2 kV SiC MOSFET,

東芝レビュー. 2020, 75, 6, p.19-23. <[https://www.global.toshiba/content/dam/toshiba/migration/corp/techReviewAssets/tech/review/2020/06/75\\_06pdf/a05.pdf](https://www.global.toshiba/content/dam/toshiba/migration/corp/techReviewAssets/tech/review/2020/06/75_06pdf/a05.pdf)>, (参照 2021-09-14).

- (2) Kawahara, K. et al. "6.5 kV schottky-barrier-diode-embedded SiC-MOSFET for compact full-unipolar module". Proceedings of 2017 International Symposium on Power Semiconductor Devices and IC's (ISPSD). Sapporo, 2017-05, IEEE. 2017, p.41-44.
- (3) Ohashi, T. et al. "Improved Clamping Capability of Parasitic Body Diode Utilizing New Equivalent Circuit Model of SBD-embedded SiC MOSFET". Proceedings of the 33rd International Symposium on Power Semiconductor Devices and IC's (ISPSD 2021). Virtual Conference, 2021-05, IEEE. 2021, p.79-82.



大橋 輝之 OHASHI Teruyuki, D.Eng.  
研究開発センター 先端デバイス研究所  
電子デバイスラボラトリー  
博士(工学) 応用物理学会・IEEE 会員  
Electron Devices Lab.



河野 洋志 KONO Hiroshi, Ph.D.  
東芝デバイス&ストレージ(株) 半導体事業部  
産業用ハイパワーデバイス技術部  
博士(理学) 応用物理学会・電気学会会員  
Toshiba Electronic Devices & Storage Corp.



飯島 良介 IIJIMA Ryosuke, Ph.D.  
研究開発センター 先端デバイス研究所  
電子デバイスラボラトリー  
博士(工学)  
Electron Devices Lab.