

マルチゲート制御技術によるIGBTのスイッチング損失の低減

Multigate Control Techniques to Drastically Reduce Switching Losses of IGBTs

岩鍛治 陽子 IWAKAJI Yoko 下條 亮平 GEJO Ryohei 山川 祐司 YAMAKAWA Yuji 坂野 竜則 SAKANO Tatsunori

IGBT（絶縁ゲート型バイポーラトランジスター）は、高耐圧かつ低損失を実現可能なデバイスとして、小型の家電機器から大型の電力変換設備まで、様々な用途に適用されている。

カーボンニュートラルな社会の実現へ向け、東芝デバイス&ストレージ(株)は、IGBTの更なる低損失化へ向けたマルチゲート制御技術の開発を進めている。マルチゲート制御により、導通時の損失を低い状態に保ったままスイッチング時の損失を大幅に低減することが可能になる。試作・評価の結果、従来のシングルゲート構造と比べ、1,200 V耐圧のIGBTではターンオフ損失 (E_{off}) を27%、ターンオン損失 (E_{on}) を50%低減、また、4,500 V耐圧のRC-IEGT（逆導通型電子注入促進型絶縁ゲートトランジスター）では E_{off} を24%、 E_{on} を18%、逆回復損失 (E_{rr}) を32%低減できることを確認した。

In recent years, insulated gate bipolar transistors (IGBTs) have become widely used in a variety of products ranging from home appliances to power conversion equipment as high-voltage and low-loss power devices.

In order to achieve a carbon neutral society, Toshiba Electronic Devices & Storage Corporation has been developing multigate control techniques for IGBTs with the aim of further reducing their total power loss. Multigate control makes it possible to drastically reduce switching losses while keeping conduction losses low. From the results of experiments using prototype devices, we have confirmed that multigate control achieves reductions in turn-off loss (E_{off}) and turn-on loss (E_{on}) by 27% and 50%, respectively, in the case of 1,200 V-class IGBTs, as well as reductions in E_{off} , E_{on} , and reverse recovery loss (E_{rr}) by 24%, 18%, and 32%, respectively, in the case of 4,500 V-class reverse-conducting injection-enhanced gate transistors (RC-IEGTs), compared with the conventional single-gate controlled devices of each type.

1. まえがき

地球規模の急激な温暖化への対策として、身近な家電機器から太陽光発電などの設備の電力機器まで、省エネ、高効率化が急速に進んでいる。特に自動車業界では、化石燃料の枯渇問題も加わり、その取り組みは加速されてきている。

Si（シリコン）を使用した現在主流のパワーデバイスには、大きく分けてバイポーラ型のIGBTとユニポーラ型のMOSFET（金属酸化膜半導体型電界効果トランジスター）がある。1980年代から量産され始めたIGBTは、半導体メーカー間の競争により進化してきた。当初は平面にゲートを配したプレーナー構造であったが、微細化技術の進歩で電流密度の向上に適したトレンチ構造が登場したことによって、飛躍的に性能改善が進んだ。更に、薄ウエハー加工技術の進歩で電圧降下が従来の1/2以下となり、導通損失が大幅に低減された。図1に構造の変遷を示す。

一方、Siの物理的限界からデバイス構造の変更だけによる特性改善は困難になりつつあり、SiC（炭化ケイ素）などの新素材への置き換えが進んでいる。しかしながら、Si IGBTの全てがSiC MOSFETへと置換されるわけではなく、

Si IGBTも、更なる性能改善を市場から求められている。

東芝デバイス&ストレージ(株)は、適切なゲート駆動条件によりスイッチング損失を低減できるマルチゲートIGBTを開発し、その効果を確認した。ここでは、今回開発した、構造の異なる3種類のマルチゲートIGBT（IEGTを含む）と、そのゲート制御技術について述べる。

2. 1,200 V耐圧マルチゲートIGBTとその低損失化

マルチゲートIGBTは、複数のゲート系統を備え、ゲート系統ごとに独立な電位とタイミングで制御可能なIGBTの総称である。図2に、1,200 V耐圧マルチゲートIGBTの構造及び動作を模式的に示す。

2.1 1,200 V耐圧ダブルゲートIGBT

図2(a)に示す1,200 V耐圧ダブルゲートIGBTは、ゲート電極がメインゲート(MG)とコントロールゲート(CG)の2系統で構成されており、それぞれ異なるタイミングで駆動を行う。図3(a)にダブルゲートIGBT評価時の回路を、図3(b)にオンからオフに切り替わるターンオフ時のゲート駆動タイミングを示す。ターンオフの際には、まずCGに負電圧を印加し、その後、一定の遅延時間 (DT_{off}) をおいてMGに負

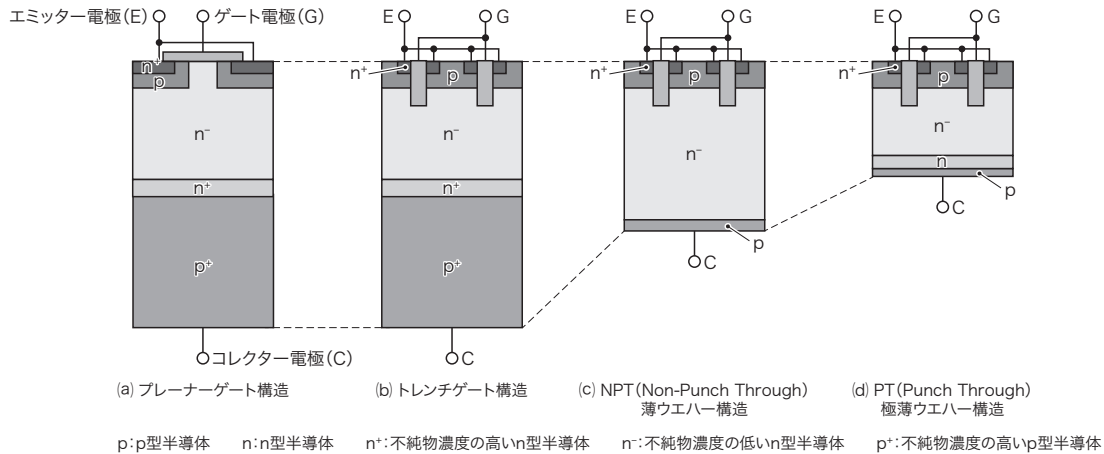


図1. IGBT構造の変遷

ゲートを縦方向に配置し、ウエハーを薄く、pコレクター層からの正孔の注入量を低くすることで特性を改善してきた。

Trends in structure of IGBTs

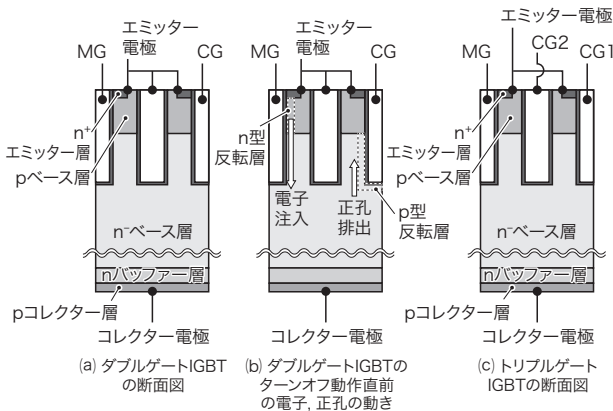


図2. 1,200 V耐圧マルチゲートIGBTの断面構造

ダブルゲートIGBTは、MGとCGの2系統のゲート電極を持ち、トリプルゲートIGBTは、更にCG2を加えた3系統のゲート電極を備えている。

Cross-sectional structures of 1200 V-class double-gate and triple-gate IGBTs

電圧の印加を行う。CGに負電圧を印加することで、CGでの電子注入が止まり、更にCGの周りにp型反転層が形成されて正孔の排出が強化され、デバイス中の電子、正孔の蓄積量が低減する(図2(b))。これにより、その後にMGに負電圧を印加してターンオフ動作が始まった際の、従来型のシングルゲートIGBTに対してのターンオフの高速化、及び E_{off} の低減が可能となる。

図4に、1,200 V耐圧ダブルゲートIGBTにおける E_{off} の評価結果を示す。図4(a)は、ゲート抵抗(R_g)を3.9 Ω とした場合のターンオフ損失と、ターンオフ時のエミッター-コレクター間電圧変化量(dV/dt)の、 DT_{off} 依存性である。 DT_{off} が増加すると dV/dt は増加し、それに伴ってターンオ

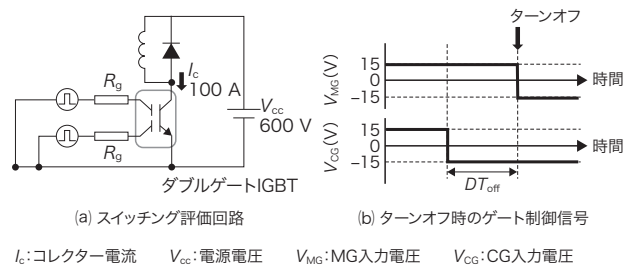


図3. 1,200 V耐圧ダブルゲートIGBTのスイッチング特性評価回路とターンオフ時ゲート制御信号

MGとCGを個々に制御し、ターンオフ時はMGに先立ってCGをオフする。

Equivalent circuit of 1200 V-class double-gate IGBT and gate control signal waveforms at time of turn-off switching

フ動作が高速化して、 E_{off} が低減する。 DT_{off} が5 μs 以上では、 dV/dt 及び E_{off} はほぼ一定となる。シングルゲート駆動と同等となる $DT_{off} = 0 \mu s$ と比較すると、 $DT_{off} = 5 \mu s$ では E_{off} 低減率は約27%であった。

図4(b)は、 R_g により変化させた dV/dt と E_{off} の関係である。 $DT_{off} = 0 \mu s$ の結果から分かるように、シングルゲート駆動では dV/dt を7 kV/ μs 以上には高められないが、ダブルゲート駆動では $DT_{off} = 5 \mu s$ において約12 kV/ μs まで高めることが可能になる。ダブルゲートIGBTは、シングルゲートIGBTには到達できない値まで dV/dt を増加させることにより、シングルゲートIGBTに比べて E_{off} を低減できることが分かった⁽¹⁾。

2.2 1,200 V耐圧トリプルゲートIGBT

図2(c)に、1,200 V耐圧トリプルゲートIGBTの構造を示す。これはMGと2系統のCGを持つIGBTであり、 E_{off} の低減だけでなく、 E_{on} の低減も狙った素子である。図5に、

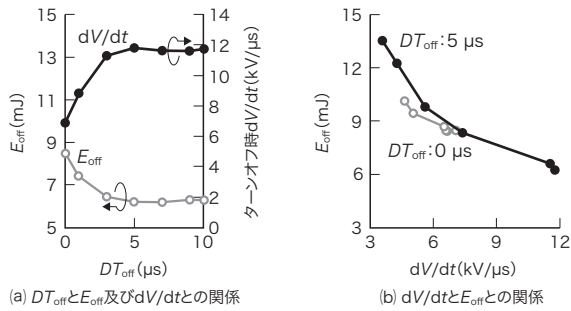


図4. 1,200 V耐圧ダブルゲートIGBTのターンオフ時 dV/dt と E_{off} の測定結果

DT_{off} を5 μs 以上にする事で dV/dt が約12 kV/ μs まで増加し、シングルゲート駆動相当の DT_{off} 0 μs と比較すると、 E_{off} が約27%低減される。

Results of measurements of dV/dt and E_{off} of 1 200 V-class double-gate IGBT at time of turn-off switching

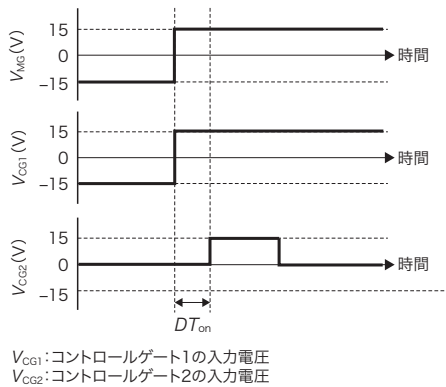


図5. 1,200 V耐圧トリプルゲートIGBTのターンオン時ゲート制御信号

MG及びCG1のオンから DT_{on} 経過後CG2をオンすることで、全てのゲートが同時にオンとなる。

Gate control signal waveforms of 1 200 V-class triple-gate IGBT at time of turn-on switching

オフからオンに切り替わるターンオン時のゲート駆動タイミングを示す。MG及びCG1に正電圧を印加してから一定の遅延時間(DT_{on})をおいてCG2に正電圧を印加することで、全てのゲートに接するpベース層に同時にn型反転層が形成される。その結果、注入する電子の量が増え、ターンオンの高速化及び E_{on} の低減が可能となる。トリプルゲートIGBTを用いたことによる E_{on} 低減率は50%であった⁽²⁾。ターンオフ時には、2.1節で述べたダブルゲートIGBTと同様のゲート駆動をすることで、 E_{off} の低減も可能となる。

3. 4,500 V耐圧ダブルゲートRC-IEGTとその低損失化

次に、4,500 V耐圧ダブルゲートRC-IEGTの損失を低減した事例を示す。RC-IEGTは、一つの素子内にIEGTとダ

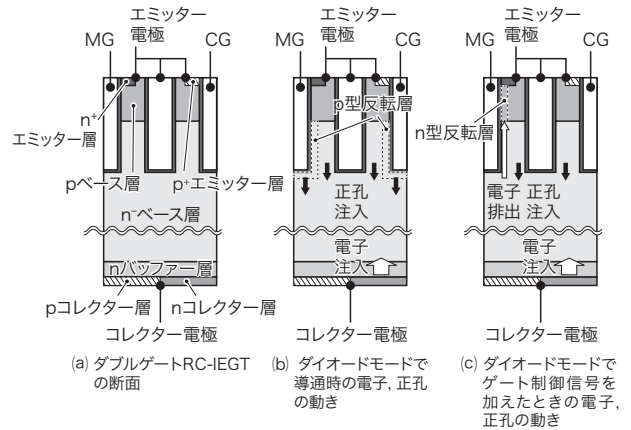


図6. 4,500 V耐圧ダブルゲートRC-IEGTの断面構造

CG領域に n^+ エミッター層を形成しないことで、IEGTの飽和電流を増加させずにダイオードの正孔注入を抑制できる。

Cross-sectional structure of 4 500 V-class double-gate RC-IEGT

イオードを内蔵したデバイスで、IEGTモードではゲート電極に正電圧を印加し、表面から電子、裏面から正孔を注入して動作させる。一方、ダイオードモードでは裏面にnコレクター層を形成することで、表面から正孔、裏面から電子を注入して動作させる。ここでは、ダブルゲート制御によるダイオードの E_{rr} 低減効果を中心に述べる。

図6(a)にダブルゲートRC-IEGTの素子構造、図6(b)にMG、及びCGに負電圧を印加してダイオードがオン状態のときの電子・正孔の流れ、図6(c)にMG及びCGに正電圧を印加してダブルゲート制御を行っている状態の電子・正孔の流れ、をそれぞれ示す。ダブルゲートRC-IEGTはIEGT動作時の飽和電流抑制のため、CG領域に n^+ エミッター層を形成していないが、ダイオード動作時にはCGを制御することで正孔の注入を抑制可能である。

3.1 逆回復損失の改善メカニズム

ダブルゲートRC-IEGTは、インバーター回路において直列接続された片方をダイオード、もう一方をIEGTとして使用される。そのゲート動作波形を、図7に示す。IEGT動作時には、2章で述べたように、CGをMGに対して先にオフすることで E_{off} を改善する。ダイオード動作時には、図6(b)に示すように、MG及びCGへ負電圧が印加されたオン状態ではトレンチ側壁及び底部にp型反転層ができるため、表面からの正孔注入が多い。次に逆回復(ダイオードがオンからオフへ移行する動作)の直前に、図6(c)に示すように、MG及びCGへ DT_{rr} (ダイオードの逆回復制御時間)だけ正電圧を印加することで、pベース層中にn型反転層ができるため、MG領域では n^+ エミッター層を介して電子が抜け、CG領域では正孔注入が抑制される。これにより、nベース

層中に蓄積された電子及び正孔が減少する。逆回復電流は、逆回復直前の電子と正孔の蓄積量が少ないほど減少するため、ダブルゲート制御によって蓄積された電子と正孔をあらかじめ減らしておくことで、逆回復電流と電圧の積の積分値である E_{rr} を低減することが可能となる。また、逆回復電流は直列接続されたRC-IEGTに対してターンオン電流として流れるため、 E_{on} の低減も可能となる。

3.2 ダブルゲートRC-IEGTの損失低減検証結果

ダブルゲート制御による損失改善効果を、試作素子の評価により確認した。図8に、従来のシングルゲートRC-IEGTを動作させた場合、及び、ダブルゲートRC-IEGTをゲート制御して動作させた場合について、スイッチング損失の評価結果を示す。ダブルゲートRC-IEGTは、従来のRC-IEGTと同程度のオン電圧で、 E_{off} を24%、 E_{on} を18%、 E_{rr} を32%

それぞれ低減し、トータルのスイッチング損失を24%低減可能なことが確認できた⁽³⁾。

4. あとがき

1,200 V 耐圧 IGBT と 4,500 V 耐圧 RC-IEGT のそれぞれにおいて、マルチゲート制御技術の適用を行い、スイッチング損失の大幅な低減を確認した。マルチゲート制御技術は、コントロールゲートで正孔と電子の注入経路や排出経路を形成することで、素子内部に蓄積する正孔と電子の増減を行うことが可能であり、バイポーラー素子である IGBT 及び RC-IEGT に適用すると高い効果が得られる。

今後も更なる最適化を行うことで、カーボンニュートラルの実現に貢献していく。

文献

- (1) Iwakaji, Y. et al. Analysis of dependence of dV_{CE}/dt on turn-off characteristics with a 1200 V double-gate insulated gate bipolar transistor. Jpn. J. Appl. Phys., 2021, **60**, SBBD02.
- (2) Sakano, T. et al. "Ultra-Low Switching Loss Triple-Gate controlled IGBT". Proc. of 33rd International Symposium on Power Semiconductor Devices & IC's (ISPSD), Full virtual conference, 2021-05, The Institute of Electrical Engineers of Japan, 2021, p.363-366.
- (3) Gejo, R. et al. "4.5 kV Double-gate RC-IEGT with Hole Control Gate". Proc. of 34th International Symposium on Power Semiconductor Devices & IC's (ISPSD), Vancouver, Canada, 2022-05, IEEE Electron Device Society, 2022, p.277-280.

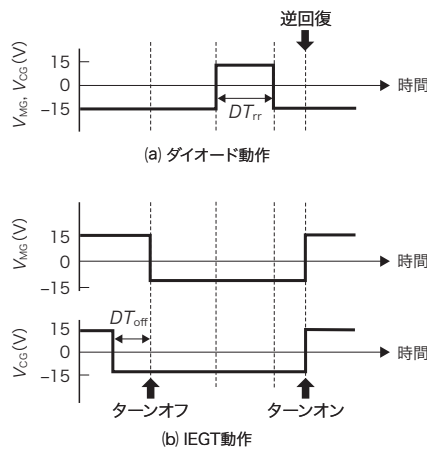
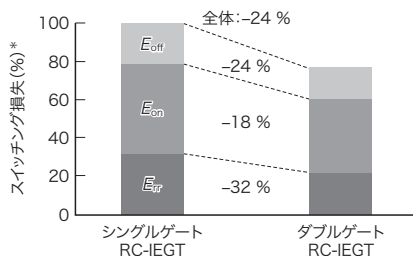


図7. ダブルゲートRC-IEGT動作時のゲート制御信号

ターンオフ時はMGよりも先にCGをオフするとともに、逆回復時はMGとCGに正電圧を印加することで E_{rr} を低減する。

Gate control signal waveforms of 4500 V-class double-gate RC-IGBT



* シングルゲートRC-IEGTのスイッチング損失全体を100%とした値

図8. シングルゲートRC-IEGTとダブルゲートRC-IEGTのスイッチング損失の比較

ダブルゲート制御を行うことで、ターンオフ損失を24%、ターンオン損失を18%、逆回復損失を32%、それぞれ低減した。

Comparison of measured switching loss ratios of single-gate and double-gate RC-IEGTs



岩鍛治 陽子 IWAKAJI Yoko
東芝デバイス&ストレージ(株)
半導体事業部 先端半導体デバイス開発センター
Toshiba Electronic Devices & Storage Corp.



下條 亮平 GEJO Ryohei
東芝デバイス&ストレージ(株)
半導体事業部 産業用ハイパワーデバイス技術部
電気学会会員
Toshiba Electronic Devices & Storage Corp.



山川 祐司 YAMAKAWA Yuji
東芝デバイス&ストレージ(株)
半導体事業部 半導体応用技術センター
Toshiba Electronic Devices & Storage Corp.



坂野 竜則 SAKANO Tatsunori, Ph.D.
研究開発センター 先端デバイス研究所
電子デバイスラボラトリー
博士(工学)
Electron Devices Lab.