

SiCの普遍的な点欠陥熱拡散モデルの開発

Development of Universal Simulation Model to Predict Thermal Diffusion of Point Defects in Silicon Carbide

蟹江 創造 KANIE Sozo

SiC（炭化ケイ素）パワー半導体の開発では、TCAD（Technology CAD）シミュレーションモデルが、Si（シリコン）パワー半導体の場合と比べて十分に整備されていない状況にある。例えば、電気特性に影響する主要な点欠陥である炭素空孔（VC）の、不純物イオン注入や活性化アニーリング時における挙動が、現行の商用TCADではモデル化されていない。また、比較的低温の熱酸化時の挙動と、SiC特有の超高温活性化アニーリング時の挙動については、それぞれにモデルが提案されているものの、互いの実験結果を再現することができない。

東芝デバイス&ストレージ（株）は、広い温度範囲にわたって格子間炭素（Ci）とVCの挙動を表すことができる、普遍的なシミュレーションモデルの開発に取り組んでいる。今回、基板中の欠陥によるCiの捕獲・放出を考慮した結果、両者の実験結果を再現することに成功した。

Technology computer-aided design (TCAD) simulators for silicon carbide (SiC) power semiconductors have not yet been sufficiently developed compared with those for silicon (Si) power semiconductors. For example, the behaviors of carbon vacancies (VC), which are well known as detrimental point defects in SiC, in fabrication processes including impurity ion implantation and activation annealing are not yet modeled in commercial TCAD simulators. In addition, although models respectively simulating the behavior of VC in the relatively low-temperature oxidation process and in the ultrahigh-temperature activation annealing process have been proposed, they have been unable to reproduce each other's experimental results.

Toshiba Electronic Devices & Storage Corporation has responded to this situation by developing a universal simulation model to predict the behaviors of interstitial carbon (Ci) and VC in SiC over a wide temperature range. By taking the capture and release of Ci due to defects in the SiC substrate into account, we have confirmed that the results calculated by this model are in good agreement with the results obtained experimentally.

1. まえがき

地球温暖化抑制のため、カーボンニュートラルの実現は世界的な喫緊の課題である。ワイドバンドギャップ半導体であるSiCは、その優れた特性⁽¹⁾から、モビリティ製品などにおいてエネルギー消費の割合が多い電力変換器の効率向上、強いてはカーボンニュートラルの実現に寄与することが期待されている。東芝デバイス&ストレージ（株）は、デバイス及びストレージ事業を通して社会的課題解決への貢献を目指しており、SiCパワー半導体の開発も注力分野の一つとして事業に取り組み、これまでにSBD（ショットキーバリアダイオード）及びMOSFET（金属酸化膜半導体型電界効果トランジスター）を上市^{(2), (3)}している。今後も、Siパワー半導体と同様に、トレンチ構造やスーパージャンクション構造の採用によりSiCパワー半導体の性能向上が期待される。新しい構造の開発には、TCADのようなシミュレーションソフトウェアの活用が必須であり、当社においてもSynopsys社のTCAD SentaurusTM⁽⁴⁾を研究・製品開発に活用している。しかし、SiCは比較的新しくその応用分野も限定的であ

るため、以下で述べるように、シミュレーションのモデルやそのパラメーターが十分に整備されているとはいえない。

SiCでは、素子の電気特性（パイポーラー特性やオン抵抗など）に影響する点欠陥として、安定的に存在するVCの存在が知られている⁽⁵⁾。しかし、不純物イオン注入時のVC生成や、熱酸化・活性化アニーリング時のVCの生成・拡散・再結合過程はこれまでのプロセスシミュレーションでは考慮されていなかった。そのため、VCの分布が反映されないデバイスシミュレーションの計算精度は十分ではなく、当社のSiCパワー半導体開発におけるTCAD活用も効果的とはいえない状況であった。

上述の一連の現象については、Kawaharaから熱酸化時（1,150～1,400℃）のCiの注入・拡散、及びCiとVCの再結合に関する熱拡散モデル⁽⁶⁾が、また、Ayedhから超高温活性化アニーリング時（1,600～1,950℃）のフレンケル欠陥（CiとVCの対）生成・再結合及びCiとVCの拡散を扱った熱拡散モデル⁽⁷⁾が提案されている。ここで、Ayedhの熱拡散モデルの方が対応する温度帯域が高くKawaharaの熱拡散モデルを包含する形式となっているが、Ayedhの熱

拡散モデルを用いてKawaharaの実験結果を再現することはできなかった。また、両者の熱拡散モデルのパラメータを比較したとき、Ciの拡散係数やCiとVCの再結合係数は一致することが期待されるが、両者の間には大きな乖離(かいり)があった。このことは、両者の熱拡散モデル及びそのパラメータが、それぞれの温度帯域では実験結果を再現するものの、普遍性がないために両方の温度帯域を網羅できないことを示している。

そこで、当社は、Synopsys社と共同で熱酸化から高温活性化アニーリングまでの広い温度帯域(1,150 ~ 1,950 °C)に対応するような、SiCの炭素関連点欠陥(VC, Ci)の熱拡散モデルの開発に取り組んだ。ここでは、この開発した熱拡散モデルについて述べる。

2. 開発した熱拡散モデル

2.1 点欠陥の熱拡散モデル

SiC中のVCとCiの拡散と反応を示すために開発した熱拡散モデルを式(1), (2)に示す⁽⁸⁾。

$$\frac{dV_C}{dt} = \nabla \left(\sum_z \left(D_{V_C^z} \cdot \nabla (V_C^z) + \frac{q}{kT} \cdot D_{V_C^z} \cdot Z \cdot V_C^z \cdot \nabla (\Psi) \right) \right) + G - R \quad (1)$$

$$\frac{dC_i}{dt} = \nabla \left(\sum_z \left(D_{C_i^z} \cdot \nabla (C_i^z) + \frac{q}{kT} \cdot D_{C_i^z} \cdot Z \cdot C_i^z \cdot \nabla (\Psi) \right) \right) + G - R - Trapping \quad (2)$$

ここで、 V_C , C_i はVCとCiの密度、 z は荷電状態指示数、 D は拡散係数、 Ψ は電位、 t , q , k , T は、それぞれ時間、素電荷量、ボルツマン定数、絶対温度である。また、 G , R , $Trapping$ は、生成率、再結合率、基板中の付加的なトラップ率である。両式の総和記号中の第1項が点欠陥の拡散を、第2項が Ψ の勾配による点欠陥のドリフトを表している。 Ψ は、ポアソン方程式を解いて得ている。 G と R は反応 $V_C + C_i \rightleftharpoons \text{O}$ (無欠陥格子)を介した生成・再結合を表している。

今回、Ciは中性であると考えたが、VCは-2から+1の荷電状態を考慮した。また、点欠陥によるキャリアの捕獲が拡散よりも速いため、式(3)のように、帯電 V_C^z は中性 V_C^0 と局所平衡状態にあると仮定した。

$$\frac{V_C^z}{V_C^0} = k_{V_C^z}^z \cdot \left(\frac{n}{n_i} \right)^{-z} \quad (3)$$

ここで、 $k_{V_C^z}^z$ は、荷電状態比率、 n は電子密度、 n_i は真性電子密度である。

VCとCiの生成と再結合は、エネルギー障壁 $E_{Barrier}$ を伴って式(4)で表される。

$$G - R = 4\pi \cdot r_{cap} \cdot e^{-\frac{E_{Barrier}}{kT}} \cdot (D_{V_C} + D_{C_i}) \cdot (V_{C,eq} \cdot C_{i,eq} - V_C \cdot C_i) \quad (4)$$

ここで、 r_{cap} は捕獲半径であり、SiC中の原子間距離に近い値となる。 $V_{C,eq}$ と $C_{i,eq}$ は、 V_C と C_i の平衡状態での値であり、温度に依存する。質量作用の法則に従い、積 $V_C \cdot C_i$ が平衡状態のそれを上回るとき再結合が優勢となる。

開発した熱拡散モデルの式(1), (2)において、 $z=0$ (中性)だけを考慮(ドリフト項を無視)して、 $Trapping$ 項を除くとAyedhが提案する熱拡散モデルと一致する。更に、式(1)から V_C の拡散項と生成項 G を除くとKawaharaが提案する熱拡散モデルと一致する。これは、Kawaharaが扱った熱酸化における1,150 ~ 1,400 °Cの温度帯域ではVCの拡散はほぼ発生しないと考えられるため、妥当である。一方、Ayedhは、VCが拡散する可能性がある超高温の1,500 ~ 1,950 °Cでの温度帯域を扱っているため、Kawaharaのモデルを包含している。したがって、AyedhのモデルはKawaharaの実験結果を再現できるはずであるが、筆者らの調査では再現できなかった。また、Ciの拡散係数やVCとCiの再結合率は、両者で一致することが期待されるが、**図1**に示されるように、大きな乖離が見られた。これらの結果から、普遍性を持つと思われたAyedhの熱拡散モデルには不足があることが疑われた。

一方、SiCでは基板中に多くの欠陥が存在することが知られている⁽⁹⁾。そこで、この基板中の欠陥がエピタキシャル層から拡散してきたCiを捕獲、あるいは過剰なCiを放出するものと仮定して、式(2)の $Trapping$ 項を追加した。

$$Trapping = 4\pi \cdot r_{cap, trap} \cdot C_{Trap} \cdot D_{C_i} \cdot (C_i - f_{trap} C_{i,eq}) \quad (5)$$

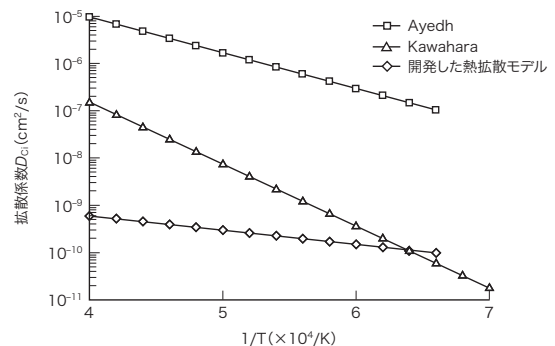


図1. 拡散係数 D_{C_i} の温度依存性

従来モデルのKawaharaとAyedhの値が一致することが期待されるが、大きな乖離がある。

Results of simulations of temperature dependence of diffusivity of Ci (D_{C_i})

ここに、 $r_{cap, trap}$ は基板中の欠陥によるCiの捕獲半径、 C_{Trap} は基板中のトラップ密度、 f_{trap} はフィッティングパラメーターであるが、最終的に $f_{trap}=1$ としている。

式(1)、(2)がKawaharaとAyedhの実験結果を再現できるように、熱拡散モデルのパラメーターを最適化した。両者の実験結果を精度良く再現し、かつ最適化したパラメーターが物理的に妥当であれば、開発した熱拡散モデルは普遍性を持っているといえる。

2.2 熱酸化時の挙動

Kawaharaらは、大電力用SiCバイポーラー素子の開発に取り組む中で、SiC表面の熱酸化で発生するCiの拡散及びVCとの再結合で、エピタキシャル層中に存在するライフタイムキラーであるVCを低減する方法を、解析モデルとともに提案している。図2に、Kawaharaの実験結果と開発した熱拡散モデルによる計算結果を示す。熱酸化の時間が長いほどSiC表面から多くのCiが供給されVCと再結合するため、 V_C が極めて低い領域がエピタキシャル層のより深いところまで広がっていく様子が分かる。また、初期の V_C が低いほどその傾向が顕著であることも分かる。開発したモデル(図中実線)は、この実験結果を精度良く再現している。

2.3 超高温アニーリング時の挙動

SiCにおける注入不純物の活性化には1,800～1,950℃という超高温のアニーリングが用いられる。この温度域では、図3や図4の実験結果に示されるように、格子から炭素が解離するため、温度に比例して V_C が増加することが報告されている。これに対しAyedhは、図5のように、アニーリング後の降温速度を抑えることで V_C を低減する方法を、

解析モデルとともに提案している。図3の1,950℃及び図5において、 V_C は深くなるほど増加している。なお、Ayedhは、超高温アニーリング時に用いられるカーボンキャップからCiが供給されることを想定しているが、開発した熱拡散モデルも、境界条件においてその効果を考慮しており、実験結果を精度良く再現していることが確認できる。

2.4 開発した熱拡散モデルのパラメーター

モデル式(1)、(2)による計算結果がKawaharaとAyedhの実験結果と一致するように、熱拡散モデルのパラメーターを最適化した結果、両者の実験結果を精度良く再現できた。

最適化で得られたパラメーターの一部を表1に示す。これらのパラメーター値は、他の半導体材料と比べて極端に異

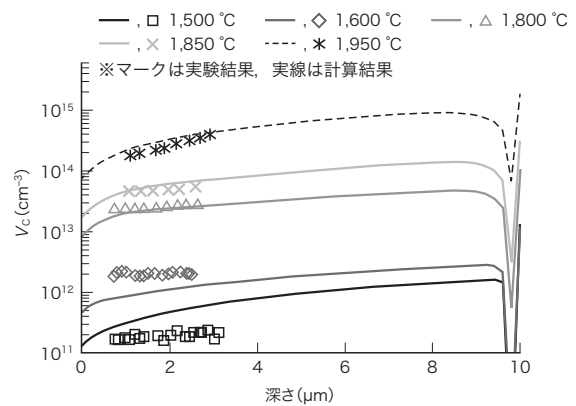


図3. 高温アニーリング後のSiC中の V_C 分布

開発した熱拡散モデルの計算結果は、Ayedhの実験結果(V_C のアニーリング温度依存性)をよく再現している。

Comparison of measured and simulated distributions of VC in SiC after high-temperature annealing at different annealing temperatures

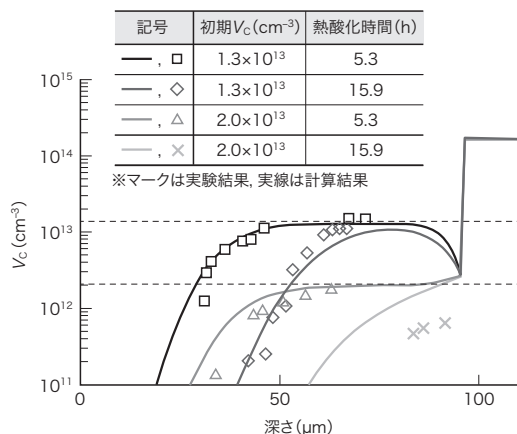


図2. 1,300℃熱酸化後のSiC中の V_C 分布

開発した熱拡散モデルの計算結果は、Kawaharaの実験結果をよく再現している。

Comparison of measured and simulated distributions of VC in SiC after thermal oxidation at 1300℃

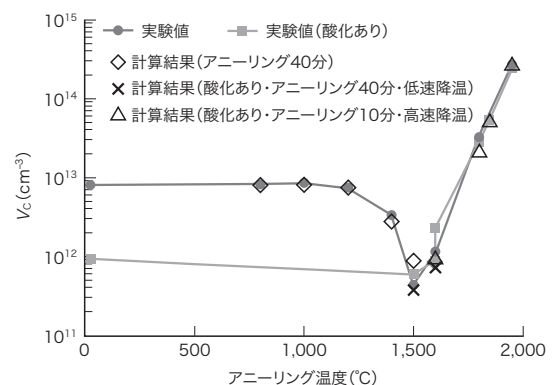


図4. V_C のアニーリング温度依存性

提案モデルがAyedhの実験結果(V_C のアニーリング温度依存性)を再現できるかどうかを検証した。開発した熱拡散モデルの計算結果は、表面から1.5μmでの値であり、実験結果をよく再現している。

Comparison of measured and simulated distributions of VC depending on annealing temperature

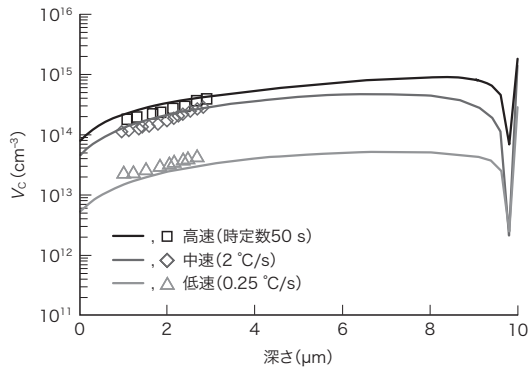


図5. 超高温アニーリング(1,950 °C)後のSiC中VC分布の降温速度依存性

開発した熱拡散モデルの計算結果は、Ayedhの実験結果(アニーリング後のVC分布の降温速度依存性)をよく再現している。

Comparison of measured and simulated distributions of VC in SiC after ultrahigh temperature annealing at different ramp-down speeds

表1. 主要なモデルのパラメーター

Main parameters of model

記号	値
$V_{c,eq}$	$1.0 \times 10^{31} \times e^{-6.9eV/kT} \text{cm}^{-3}$
D_{VC}	$3.4 \times 10^{-2} \times e^{-3.0eV/kT} \text{cm}^2/\text{s}$
$C_{i,eq}$	$2.7 \times 10^{31} \times e^{-3.2eV/kT} \text{cm}^{-3}$
D_{Ci}	$2.6 \times 10^{-2} \times e^{-2.6eV/kT} \text{cm}^2/\text{s}$
$E_{Barrier}$	0.22 eV
C_{trap}	$1.0 \times 10^{17} \text{cm}^{-3}$
r_{cap}	0.48 nm
$r_{cap, trap}$	0.64 nm
k_{VC}^z	$k_{VC}^- = 0.2 \times e^{-1.1 eV/kT}$, $k_{VC}^{--} = 0.2 \times e^{-1.1 eV/kT}$, $k_{VC}^+ = 1.0$

なる値は存在せず、妥当と考えられる。したがって、1,150 ~ 1,950 °Cの広い温度帯域にわたって実験結果を再現できる普遍性のある熱拡散モデルであるといえる。

3. あとがき

SiCパワー半導体の計算精度を向上するため、電気特性に影響を及ぼす点欠陥であるVCとCiについて、広い温度帯域にわたってそれらの挙動を表す熱拡散モデルの開発に取り組んだ。従来のモデルに対し、VCの荷電状態、及び基板中の欠陥によるCiの捕獲と放出を考慮した。その結果、開発した熱拡散モデルで、熱酸化(1,150 ~ 1,400 °C)と高温活性化アニーリング(1,600 ~ 1,950 °C)の両方の実験結果を再現できた。したがって、この熱拡散モデルは、他社に先駆けて^(注1)実現した、普遍性のある熱拡散モデル

(注1) 2022年9月時点、当社調べ。

といえる。

今後は、不純物イオン注入による点欠陥生成のモデル及びパラメーターを整備し、今回開発した熱拡散モデルと組み合わせることで、一連の製造プロセスを経て素子中に分布する点欠陥を考慮したデバイスシミュレーションを可能とする計算環境を構築し、当社における高性能SiCデバイス開発を促進していく。

謝辞

この開発において、多大なご協力をいただいたSynopsys GmbH社のChristoph Zechner氏、日本シノプシス合同会社の田中氏に感謝の意を表します。

文献

- (1) Kimoto, T.; Cooper, J. A. Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices, and Applications. John Wiley & Sons Singapore, 2014, 538p.
- (2) Tanihira, K. et al. "Improving the V_F - I_R Trade-Off in 650-V/1200-V SiC SBD by Development of Schottky Metal and Optimization of Device Structure". International Exhibition & Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe 2022). Nuremberg, Germany, 2022-05, Mesago Messe Frankfurt, 2022, p.276-281.
- (3) Furukawa, M. et al. "Improved reliability of 1.2kV SiC MOSFET by preventing the intrinsic body diode operation". PCIM Europe digital days 2020, 2020-07, online, Mesago Messe Frankfurt, 2020, p.1-5.
- (4) Synopsys. "Technology Computer Aided Design (TCAD)". TCAD. <<https://www.synopsys.com/ja-jp/silicon/tcad.html>>, (参照 2022-10-03).
- (5) Kimoto, T. et al. Lifetime-killing defects in 4H-SiC epilayers and lifetime control by low-energy electron irradiation. phys. stat. sol. (b). 2008, **245**, 7, p.1327-1336.
- (6) Kawahara, K. Analytical model for reduction of deep levels in SiC by thermal oxidation. J. Appl. Phys. 2012, **111**, 5, 053710.
- (7) Ayedh, H. M. et al. Thermodynamic equilibration of the carbon vacancy in 4H-SiC: A lifetime limiting defect. J. Appl. Phys. 2017, **122**, 2, 025701.
- (8) Zechner, C. et al. Model for elimination of lifetime-limiting carbon vacancy defects in SiC by thermal treatment. J. Appl. Phys. **132**, 3, 035702.
- (9) Kimoto, T.; Watanabe, H. Defect engineering in SiC technology for high-voltage power devices. Appl. Phys. Express **13**, 12, 120101.

• Sentaaurusは、米国Synopsys, Inc.の商標。



蟹江 創造 KANIE Sozo

東芝デバイス&ストレージ(株)

デバイス&ストレージ研究開発センター TCAD 技術開発部
Toshiba Electronic Devices & Storage Corp.