

## 電動式パワーステアリングシステムの小型化を可能にする半導体技術

Automotive Semiconductor Technologies Contributing to Downsizing of Electric Power Steering Systems

義平 隆之 YOSHIHIRA Takayuki 鈴木 吉孝 HOKOMOTO Yoshitaka 辻村 俊博 TSUJIMURA Toshihiro

自動車のステアリング(ハンドル)操作を、モーターを使ってアシストする電動式パワーステアリング(EPS)は、ドライバーの負担軽減と高速走行時の安定性向上から普及が進んでいる。またEPSシステムは、油圧式に比べ燃費を約5%改善できることから、近年、地球温暖化の対策として大型車への搭載も加速している。一方、先進運転支援システム(ADAS)や完全自動運転に対応するためのステアバイワイヤ方式は、機械的な接続がないことから、機能不全時のリスクを低減するため、電子制御ユニット(ECU)の冗長性を確保しなければならず、部品点数の増加とECUの大型化により、搭載位置の制約や、燃費改善効果の減少が懸念される。

東芝デバイス&ストレージ(株)は、EPSシステムの小型化ニーズに応じて、ブラシレスモーター駆動用に、最新のフィールドプレート(FP)構造を採用してオン抵抗を低減し、チップを両面放熱パッケージ“DSOP Advance”に搭載して効率的な放熱を可能にしたとともに、車載用電子部品信頼性規格(AEC(Automotive Electronics Council)-Q101)に準拠したパワーMOSFET(金属酸化膜半導体型電界効果トランジスター)を開発した。また、小型化に対応したドライバーや保護素子の開発も進めている。

The dissemination of electric power steering (EPS) systems, which use electric motors to assist the driver of a vehicle in operating the steering wheel, has been expanding due to their ability to both reduce the burden on drivers and enhance the stability of automobiles running at high speed. Moreover, since the EPS system achieves an approximately 5% reduction in fuel consumption compared with traditional hydraulic power steering systems, the number of large-sized vehicles equipped with EPS systems has been increasing as a measure against global warming. In the fields of advanced driver-assistance systems (ADAS) and fully automated driving systems, the steer-by-wire system is attracting attention as a next-generation EPS system for steering control without a mechanical linkage between the steering wheel and steering gear. In particular, it is important to enhance the reliability of steer-by-wire systems so as to avoid the risk of failures by ensuring redundancy of the electronic control units (ECUs). This redundancy, however, leads to a reduction in fuel consumption improvement and constraints on ECU placement due to increases in the number of parts and the size of the ECUs.

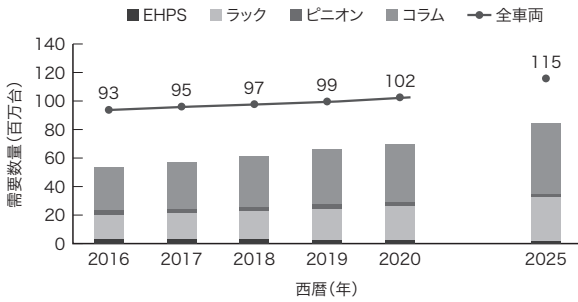
To achieve the miniaturization of EPS systems, Toshiba Electronic Devices & Storage Corporation has developed a power metal-oxide-semiconductor field-effect transistor (MOSFET) for driving automotive brushless motors that achieves a reduction in on-resistance by means of a state-of-the-art field plate (FP) structure, as well as efficient heat dissipation through installation of the chip on a double-side-cooling DSOP Advance package. Furthermore, this product complies with the AEC (Automotive Electronics Council)-Q101 automotive reliability standard. We are also promoting the development of compact power MOSFET gate driver intelligent power devices (IPDs) and transient voltage suppressor (TVS) diodes for surge and electrostatic discharge (ESD) protection.

### 1. まえがき

1960年台に登場した油圧アシスト式パワーステアリングは、ステアリングアシストによる運転者の負担軽減と車速に応じたアシスト力の制御によって、操作力軽減と高速走行時の安定性を両立することで、実用化が進んだ。

その後、1980年代後半には、低燃費化のトレンドを受け、電動式パワーステアリング(EPS)が軽自動車に採用さ

れた。2000年代には、それまで主流であった小型車に適したコラム式EPSに加え、アシスト機構をタイヤ車軸のラック上に配置した、摩擦が小さく操舵(そうだ)性に優れるラック式EPSも登場した<sup>(1)</sup>。また、モーターは、従来のブラシ付きモーターの欠点であったブラシと整流子を不要にし、寿命や、メンテナンス・静音・制御性に優れるブラシレスモーターが使用され、車両重量が大きい中型車以上への搭載が加速した。



EHPs:電動油圧パワーステアリング

\* (株) 矢野経済研究所「電動パワーステアリングシステム市場の最新動向と将来展望 2017」<sup>2)</sup>を基に作成

図1. EPSの普及率予測

約5%の燃費改善効果を得られるEPSの搭載率は、2017年の61%から、2025年には73%へ拡大すると予測される。

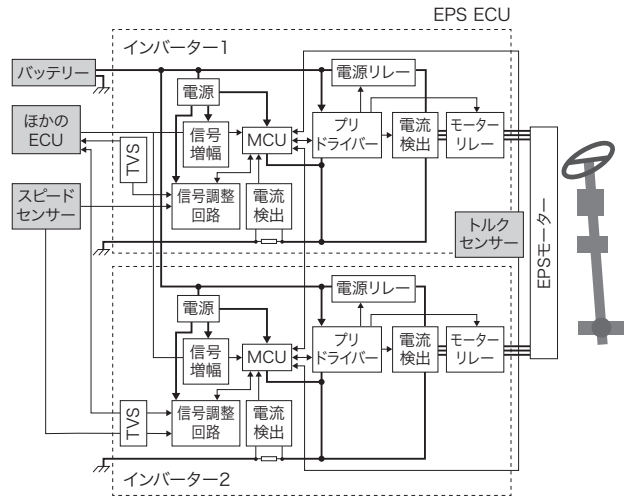
Trends in number of automobiles and automobiles equipped with EPS systems

そして、2010年代に入ると、全世界規模での地球温暖化対策や燃費規制が厳しくなり、約5%の燃費改善効果を得られるEPSの搭載率は、現状の6割程度から、更なる拡大が見込まれている(図1)<sup>2)</sup>。

更に、現在加速している先進運転支援システム(ADAS)技術や自動運転レベルの進化に伴い、EPSは、ステアリングの操舵角度や車両挙動の制御機能追加などの高機能化が進んでいる。加えて、駆動システムや、ブレーキシステム、あるいは車両統合システムと、ステアリングシステムとの協調制御が重要となり、居住空間の拡大も可能な、リンクレス制御のステアバイワイヤ方式の導入が進むと予想される<sup>3)</sup>。

このように、高度なADASや自動運転が進むと、システムの電氣的断線や誤作動によるアシスト不能は、甚大な被害につながるリスクがある。自動車分野の機能安全規格であるISO 26262(国際標準化機構規格 26262)における安全要求レベル(ASIL: Automotive Safety Integrity Level)の定義によると、EPSは過酷度がS3(生命を脅かす傷害)、発生頻度がE4(可能性が高い)、回避可能性がC3(回避困難、又は回避不可)と評価され、その結果このリスクのASILは最大のランクDに位置付けられた。

このリスクを回避するため、1系統のエラー発生時にもう1系統が作動して走行性を維持し、安全に退避可能な、電子制御ユニット(ECU)やブラシレスモーターの2系統冗長システムが採用されている(図2)。更に、今後の完全自動運転の実現に向けて、航空機で展開されている冗長システムの3重化などの検討も始まっている(表1)。



— 信号ライン — 電源ライン  
MCU: マイクロコントローラーユニット TVS: Transient Voltage Suppressor

図2. EPSの冗長システム

片方のインバーターに不具合が生じた場合にも、もう一方のインバーターが動作するシステムによって走行性を維持することで、機能安全を確保している。

Configuration of EPS system with redundancy

表1. EPSシステムの進化の予測

Future outlook for EPS systems

項目		2015～2020年	2020～2025年	2025～2030年	
環境	燃費規制 (g/km)	欧州	130	95	70
		米国	146	101	89
		中国	159	116	93
	日本	136	114	→	
	EPS方式	アシストシステム EPS コラム又はラック			
安全	モーター	ブラシ付き又はブラシレス	ブラシレス	ブラシレス	
	自動運転	レベル2(部分)	レベル3(条件付き)	レベル4(高度)	
	冗長システム	インバーター×2 MCU×1*	インバーター×2 MCU×2	インバーター×N MCU×N	

N: 冗長システムの台数

\* ブラシレスモーターの場合

## 2. EPSシステムを支える半導体技術

モーターの大出力・大電流化、及び冗長システムによる部品点数の増大によって、EPSシステムのECUは大型化する。その一方で、パワートレインや車内外通信などの高度なカーエレクトロニクスシステムによって、車載電子機器は増大し、EPSシステムの十分なスペース確保を困難にさせている。この二律背反を解決するため、EPSシステムでは、モーターとECUとの機電一体化が進み、使用される半導体は、

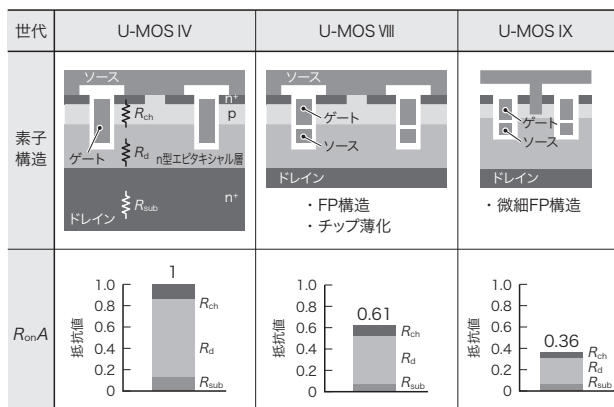
高密度で小型の表面実装部品 (SMD : Surface Mount Device) の要求が強い。

今回、東芝デバイス&ストレージ(株)は、最大で22個が搭載される出力段のパワー MOSFET (金属酸化膜半導体型電界効果トランジスタ)とブリッドライバーについて、小型SMDを開発した。

## 2.1 MOSFETのチップ技術

出力段のスイッチ素子として使用されるパワー MOSFETは、オン状態の導通損失とスイッチング時の過渡損失の低減が求められる。通常、パワー MOSFETのシリコンチップは、縦型構造を採用しており、導通損失につながるオン抵抗 ( $R_{onA}$ )は、チップ表面MOSFET部のチャネル抵抗 ( $R_{ch}$ )と、ドリフト抵抗 ( $R_d$ )、基板抵抗 ( $R_{sub}$ )から成る (図3)。

当社は、独自のトレンチ構造MOSFETであるU-MOS VII-Hまでは、LSIやメモリーのプロセス技術を転用したトレンチゲート構造を微細化することで、 $R_{ch}$ の低減を図ってきた。その後、U-MOS VIIIからは、トレンチ底部の電界緩和効果で、ドリフト層を高濃度化 (低抵抗化)できるFP (フィールドプレート)構造を採用し、 $R_d$ を大幅に低減させた。加えて、 $R_{sub}$ 低減のために、チップ厚を従来の1/2以下である50  $\mu\text{m}$ 程度まで薄化することで、 $R_{onA}$ をU-MOS IVに比べ39%低減させた。最新世代のU-MOS IXでは、FP構造の更なる微細化を推し進めるため、セルフアライントレンチコンタクト構造とタングステン埋め込み技術を適用し、複数の設計因子 (酸化膜厚や、ウェハー比抵抗、トレンチ深さな



p:p型半導体 n:n型半導体

\* $R_{onA}$ の値は、U-MOS IVの値を1として規格化

図3. MOSFETの構造と特性の変遷

最新世代のU-MOS IXは、FP構造の微細化と、設計因子の適正化、チップ厚の薄化を進め、 $R_{onA}$ をU-MOS IVに比べ64%低減している。

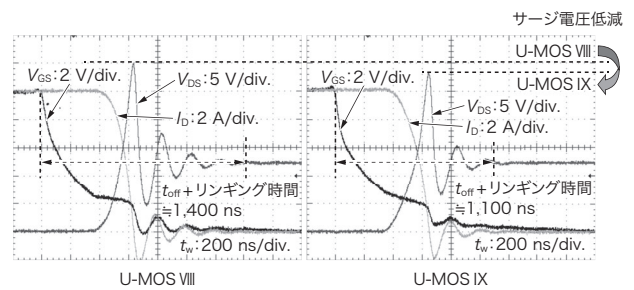
Changes in structure and on-resistance of MOSFETs

ど)を最適化することで、U-MOS IVに比べ、 $R_{onA}$ を64%低減した (図3)。

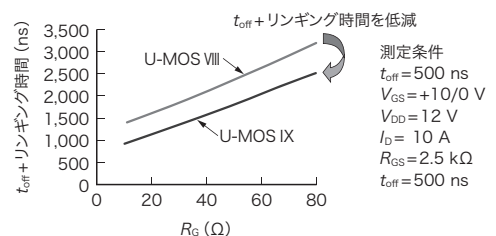
一方、 $R_{onA}$ の低減は、チップサイズの拡大や高集積化により各接合容量の増大を招く。接合容量の増大は、EPSなどのモーターコントロール回路において、スイッチング損失の悪化を招くことはもちろん、ブリッジ回路での上下短絡防止のためにデッドタイムを長くすると、モーターのトルクリップルも発生させてしまう。つまり、デッドタイムの短縮化のためには、 $R_{onA}$ と背反する接合容量の低減が必須である。更に、このスイッチング時の過渡的なサージ電圧や波形の振動 (リングング)は、EMI (電磁干渉)を発生させ、ラジオノイズなどを増加させる。U-MOS IXでは、設計因子の適正化によって、スイッチング時のサージ電圧や波形振動の減衰時間を抑制し、低ノイズ性を実現している (図4)。

## 2.2 MOSFETのパッケージング技術

当社は、パッケージのソース配線材料を、従来の超音波接合によるアルミニウム (Al) リボンから、ほとんど接合の低抵抗率銅 (Cu) コネクターに変更している。これにより、パッケージサイズが5×6 mmのSOP (Small Outline Package)



(a) スイッチング波形の比較



(b)  $t_{off}$  + リンギング時間と  $R_G$  の相関

div.: division

$V_{GS}$ : ゲート-ソース間電圧

$V_{DS}$ : ドレイン-ソース間電圧

$I_D$ : ドレイン電流

$t_{off}$ : ターンオフ時間

$R_{GS}$ : ゲート-ソース間抵抗

$R_G$ : ゲートシリース抵抗

$V_{DD}$ : 電源電圧

図4. U-MOS IXのスイッチング特性

U-MOS VIIIに比べ、U-MOS IXは、スイッチング時のサージ電圧や波形振動の減衰時間を抑制し、低ノイズ性を実現している。

Switching characteristics of newly developed MOSFET

-8クラスで、パッケージ抵抗を従来に比べ0.35 mΩ低減した製品を実現し、市場に投入している。更に今回、同クラスのパッケージで、Cuコネクタを厚板構造としてパッケージ上面から露出させることで、パッケージ裏面からの実装基板への放熱に加え、絶縁材を介して設置されるヒートシンクへもパッケージ上面から効率良く放熱できる、DSOP (Dou-

ble-Side-Cooling SOP) Advanceを開発した。Cuコネクタが、直接パッケージ外へ露出しているため、製造過程でパッケージ内部に応力が掛かってチップにダメージを与えないように、構造や工程を最適化した。

この効果により、EPSで想定される据え切り時間 ( $t_w$ ) 3 sでの過渡熱抵抗を、約76%低減した(図5(a))。また、EPSを想定した実装基板での発熱シミュレーションでは、定常損失2 Wの印加条件において、チャンネル温度 ( $\Delta T_{chmax}$ ) の上昇を約21°C低減できる効果も確認した(図5(b))。

### 2.3 MOSFETの信頼性技術

ECUの搭載場所の拡大によりエンジンルーム内への搭載も考慮して、半導体は、保存温度 ( $T_{stg}$ ) で150°C、ピーク温度 ( $T_{ch}$ ) で175°Cを保証する必要がある。

そこで、この保証温度が求められる、米国の車載用電子部品信頼性認定標準化団体AEC (Automotive Electronics Council) の規格 AEC-Q101 rev-D1 に適合するため、ロバスト設計、規定量の妥当性確認、及び良品精査の対応を実施している。

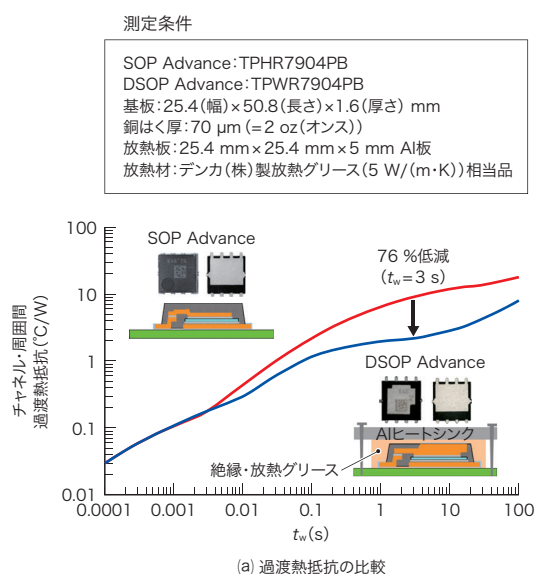
また、当社は、AEC-Q101以上のハイグレードな長期信頼性も確認しているが、更に、信頼性ラップにおいてもチップ表面の樹脂剥離レベルを規定化している。2.2節で述べた5×6 mmサイズのパワー MOSFETでは、独自の樹脂密着構造を採用することで、1,000サイクルの温度サイクル試験 (TCT) 後において、チップ上の剥離抑制に成功した(図6)。

更に、基板実装はんだ接合状態の自動光学検査装置 (AOI) に対応するため、リード端子は、端面にメッキ処理を施すウェットプルフランク (WF) 仕様とした。この仕様によってはんだ接合強度を向上させ、基板実装 TCT (2,500 サイクル、-40 ~ 125°C) で、はんだ接合性の改善結果も得た。

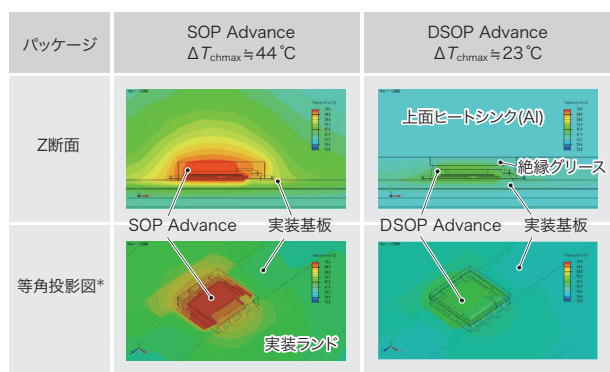
### 2.4 ドライバー

アプリケーションや要求仕様に応じたデバイス構造を選択しており、バイポーラー+CMOS (相補型金属酸化膜半導体) + LDMOS (横方向二重拡散型 MOS) タイプの BiCD-0.13 μm と、CMOS + LDMOS タイプの CD-0.13 μm の2種類のプロセスプラットフォームを用意している<sup>(4)</sup>。

今回、EPS用に開発した TPD7212F は、BiCD-0.13 μm プロセスを採用し、6チャンネル出力で各種短絡保護と診断機能を内蔵しながら、WQFN32パッケージに搭載して従来品に対し約75%の小型化に成功するとともに、AEC-Q100にも準拠している。また、機能安全に対し、BIST (Built-In Self-Test) 機能など、ASIL-Dへの対応を考慮した、CD-0.13 μm プロセスで11チャンネルタイプの TB9081FG も準備



(a) 過渡熱抵抗の比較



印加損失=2 W, 定常  
周囲温度:  $T_a=25^\circ\text{C}$   
基板サイズ: 100 (長さ) × 70 (幅) × 1.6 (厚さ) mm  
Cu配線数: 4層 (1層当たりの厚さは70 μm)  
DSOP Advanceは上面ヒートシンク (Al) あり  
上面ヒートシンクサイズ: 100 (長さ) × 70 (幅) × 5 (厚さ) mm  
パッケージ・上面ヒートシンクサイズギャップ: 0.5 mm  
放熱グリース: 5 W/(m·K)

\*DSOP Advanceは、上面ヒートシンクと絶縁グリースともに非表示

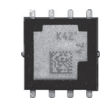
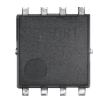
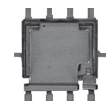


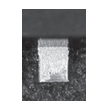
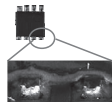
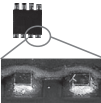



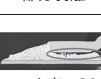
(b) 発熱シミュレーション結果の比較

### 図5. DSOP Advanceパッケージの熱特性

過渡熱抵抗が約76%低減している。また、発熱シミュレーションでは、 $\Delta T_{chmax}$ が約21°C低減する効果も確認された。

Comparison of transient thermal impedance of SOP (Small Outline Package) Advance and DSOP Advance packages



項目	DSOP Advance	従来品	効果
外観			—
内部構造			パッケージ抵抗を 0.35 mΩ低減
端子外観			WF構造 ⇒AOI対応
実装例			
TCT 1,000サイクル*1 後のSAT像	 チップ上剥離なし	 部分剥離	剥離抑制
TCT 2,500サイクル*2 後の接合状態	 クラック率≒30%	 クラック率≒80%	実装耐量向上

SAT:超音波探傷映像装置

\*1:単体TCTは、Ta=-55~150℃

\*2:基板実装TCTは、Ta=-40~125℃

### 図6. DSOP Advance パッケージの特長

Cuコネクタによる低接続抵抗や、WF構造、独自の樹脂密着構造などによって、性能と高信頼性を両立している。

Comparison of features of conventional and DSOP Advance packages

し、機能に応じた選択を可能にしている。

今後は、負電圧サージなどの負電圧入力に対する寄生動作対策や、DMOS（二重拡散型MOS）の低 $R_{on}A$ プロセスによる性能向上などを企画しており、自動車用途における様々な環境や市場要求を満たすプロセスの開発を進めていく。

### 2.5 保護素子

精密な車載ECUを、ノイズやESD（静電気放電）から保護し、システムの誤動作、並びにデバイスの破壊を抑制するために、TVSダイオード（Transient Voltage Suppressor Diodes）が用いられる。このダイオードを用いる場合には、車内LANにおけるCAN（Controller Area Network）や、LIN（Local Interconnect Network）、FlexRay通信、LVDS（Low Voltage Differential Signaling）通信などの通信規格に対する素子の端子間容量（ $C_t$ ）の最適化が必要であるとともに、後段素子やシステムの保護として、素子の動的

抵抗（ $R_{dyn}$ ：ダイナミック抵抗）と静電耐量（ $V_{ESD}$ ）とのトレードオフ低減が必要となる。特に、低容量素子においては、当社独自のEAP（ESD Array Process）の世代を進化させることで、トレードオフ低減を実現させている。これにより、 $R_{dyn}$ を約70%低減（第2世代EAP-IIの1.5Ωから第5世代EAP-Vで0.5Ω）させ、 $V_{ESD}$ を約1.7倍アップ（EAP-IIの12kVからEAP-Vの20kV）させることで、IEC 61000-4-2レベル4以上の耐量を有する、高い保護性能と信号品質を確保した。

### 3. あとがき

ADASや自動運転の推進に伴って進歩していくEPSシステムを支える技術として、パワーデバイスやIC系デバイスの進歩は重要で不可欠である。

また、48VシステムやEVバッテリー電圧といった電源システムの多様化が進むなど、今後も更に各種ECUとの協調が進むトレンドを的確に捉え、タイムリーな技術を提供していく。

### 文献

- (1) 松岡浩史. ステアリングシステムの発展と今後の展望. JTEKT Engineering Journal. 2015, 1013, p.10-15.
- (2) 矢野経済研究所. 電動パワーステアリングシステム市場の最新動向と将来展望 2017. 2017, 188p.
- (3) MARKLINES. “人とするまのテクノロジー展 2017：電動パワーステアリング(EPS)技術の進歩”. 情報プラットフォーム. <[https://www.marklines.com/ja/report/rep1602\\_201706/](https://www.marklines.com/ja/report/rep1602_201706/)>, (参照2018-07-13).
- (4) 山口正一, ほか. エネルギー利用率の向上に寄与する半導体デバイスの歩みと今後の動向. 東芝レビュー. 2017, 72, 5, p.2-7. <[https://www.toshiba.co.jp/tech/review/2017/05/72\\_05pdf/a02.pdf](https://www.toshiba.co.jp/tech/review/2017/05/72_05pdf/a02.pdf)>, (参照2018-07-13).



義平 隆之 YOSHIHIRA Takayuki  
東芝デバイス&ストレージ(株)  
ディスクリート半導体事業部  
ディスクリート応用技術センター  
Toshiba Electronic Devices & Storage Corp.



鉾本 吉孝 HOKOMOTO Yoshitaka  
東芝デバイス&ストレージ(株)  
ディスクリート半導体事業部  
パワー半導体開発技術部  
Toshiba Electronic Devices & Storage Corp.



辻村 俊博 TSUJIMURA Toshihiro  
東芝デバイス&ストレージ(株)  
半導体研究開発センター  
パッケージソリューション技術開発部  
Toshiba Electronic Devices & Storage Corp.