

チップ積層によるフォトリレー小型化技術

Miniaturization of Photorelay Packages Using Chip Stacking Technologies

田尻 直也 TAJIRI Naoya 山本 真美 YAMAMOTO Mami 田中 和喜 TANAKA Kazuki

リレーは、外部からの指示に従って電気回路をオン/オフするデバイスであり、電動部品を利用する用途に広く使われてきた。近年、様々なシステムの高度化や高効率化に合わせて、リレーの小型化、高速化、長寿命化、及び低消費電力化を目的として、従来のメカニカルリレー（以下、メカリレーと略記）を半導体のフォトリレーで置き換える動きが進んでいる。しかし、フォトリレーの定格電流はメカリレーに比べて小さく、フォトリレーの小型化と定格電流の向上を、同時に実現するのは難しかった。

東芝デバイス&ストレージ(株)は、チップ積層技術の導入とパッケージ放熱性能の向上により、小型で定格電流の大きいフォトリレー製品を実現した。また、従来と同じサイズのパッケージに小型抵抗チップを内蔵したことで、基板上の外付け抵抗が不要になり、高密度実装を可能にした。

Relays that turn an electric circuit on or off in accordance with external commands are widely applied in the field of electric actuators. A trend toward the replacement of conventional mechanical relays with photorelays, which provide several advantages including smaller size, higher speed switching, longer lifetime, and lower power consumption, has recently been progressing in line with the introduction of photorelays offering more sophisticated and more efficient functions. However, as the rated current of photorelays is presently smaller than that of mechanical relays, it is necessary to overcome the trade-off between reduction of size and increase of rated current in such products.

Toshiba Electronic Devices & Storage Corporation has developed new photorelay products that achieve smaller size and higher rated current by utilizing its proprietary chip stacking technologies to attach photodiode array (PDA) and light-emitting diode (LED) chips to a metal-oxide-semiconductor field-effect transistor (MOSFET) chip, in addition to a package structure that dissipates the heat of parts more efficiently. These photorelays also contribute to higher density packaging of electric circuits by incorporating a small resistor chip into a package of the same size as that of conventional photorelays, which require an external resistor.

1. まえがき

リレーは、外部からの電気信号により電気回路のオン/オフを切り替えるデバイスであり、計測機器、産業機器、通信機器など、様々な機器で用いられている。従来、コイルと金属接点から成るメカリレーが使われてきた。メカリレーは今も広く用いられているが、構造上小型化が難しい上、物理的な接点動作があるため高速動作に適さず、オン/オフの繰り返しにより金属接点の劣化が発生するため寿命が短いなどの問題がある。また、接点のアーク・バウンスによるノイズや、接点を動作させる電磁石コイルの逆起電力の発生など(図1)、使用に際して配慮が必要である。更に、磁気干渉や、衝撃、振動などの外部からの影響を受けやすく、複数のメカリレーを使用する場合には、磁気干渉を避けるためにスペースを取って配置する必要があり、高密度実装が困難である⁽¹⁾。

このようなメカリレーの課題を解決するために、フォトリ

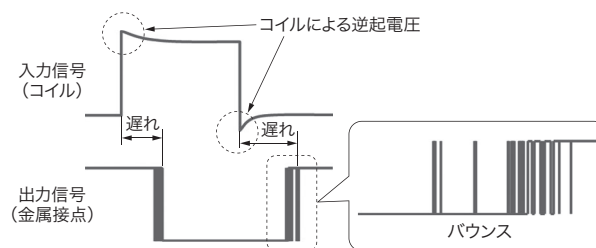


図1. メカリレーのスイッチング波形

メカリレーは、スイッチング時にコイルによる逆起電圧や接点によるバウンスが発生するため、これらの影響が出力側に及ばないよう、使用の際に配慮が必要である。

Switching waveform of mechanical relay

レーへの置き換えが進んでいる。フォトリレーは、無接点の半導体リレーの一つであり、発光・受光素子を用いて、入力側と出力側を電氣的に絶縁しながら、メカリレーと同様に電気回路のオン/オフを制御する機能を持つ。同時に、フォトリレーはメカリレーに比べて小型であり、機械的な接

点を持たないため、高速切り替えが可能で長寿命という利点がある。また、磁気干渉を受けず、高密度実装が可能である。更に、メカリレーの入力側はコイルを使用しているため、駆動するには数十～数百 mA の電流が必要であるが、フォトリレーは発光ダイオード (LED) を使用しており、駆動電流は数 mA と小さくできる。このように、フォトリレーに置き換えることで、小型化、高速化、長寿命化に加えて、低消費電力化による省エネも期待できる。

しかし、フォトリレーには短所もある。その一つとして、半導体であるため、出力側はオンの状態でも電気抵抗があり、出力側で制御できる電流容量がメカリレーに比べて小さいという問題がある。また、フォトリレーを小型化すると、出力側で制御できる電流容量が、更に小さくなる。

東芝デバイス&ストレージ(株)は、フォトリレーの小型化と定格電流の増大という背反する要求を、チップ積層技術を用いて実現した。より大きな定格電流が必要な用途でも、メカリレーをフォトリレーに置き換えられ、省エネ化につながる。

ここでは、その製品開発の概要と、製品の性能向上について述べる。

2. フォトリレーの構造

図2に従来のフォトリレーの構造、図3にフォトリレーの

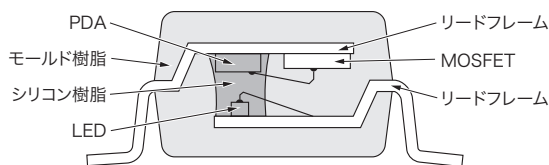


図2. フォトリレーの断面構造

フォトリレーは、入力側にLED、出力側に受光素子であるPDAとMOSFETを組み合わせて、それらの2系統を一つの樹脂パッケージに封止した構造である。

Cross-sectional structure of photorelay

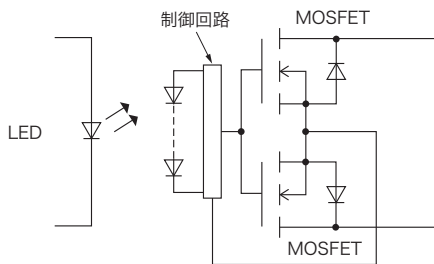


図3. フォトリレーの等価回路

入力側の信号を光で伝えることで、出力側のMOSFETを駆動する構造であり、入出力双方の回路は電氣的に絶縁されている。

Equivalent circuit of photorelay

等価回路を示す。フォトリレーの入力側にはLEDを使用し、出力側は受光素子であるフォトダイオードアレイ (PDA: Photo Diode Array) とMOSFET (金属酸化膜半導体型電界効果トランジスター) を組み合わせている。入力信号に従ってLEDが発光し、PDAはこの光を受けて電気信号に変換する。この電気信号がMOSFETのゲートを駆動し、出力側が通電状態になる。

このように、フォトリレーは、入力側の信号を光で出力側に伝えるため、双方の回路が電氣的に絶縁されていることが特長である。

フォトリレーの出力側はMOSFETであり、ドレインソース間に抵抗値 (オン抵抗) があるため、通電した際に、この抵抗で電力が消費されて熱となる。この発熱が、出力可能な電流容量を制限する。

3. フォトリレーの小型化

3.1 従来の小型化トレンド

図4にフォトリレーの小型化トレンドを示す。

小型化の市場要求に応えるため、SOP (Small Outline Package) をベースに、SSOP (Shrink Small Outline Package), USOP (Ultra Small Outline Package) と、パッケージの小型化を進め、製品化してきた。

これらは、図2に示したとおり、LEDとPDAが向かい合う対向型の構造である。面実装タイプで小型・薄型のパッケージであるSOP (図2) に対して、LEDをパッケージ上部に、小型化したPDAとMOSFETを底部にそれぞれ配置して、パッケージ内部の間隔を狭くすることで、SSOP (図4) を開発した。更に、PDAの一層の小型化と内部リードフレーム形状の見直しで、USOPを実現した。

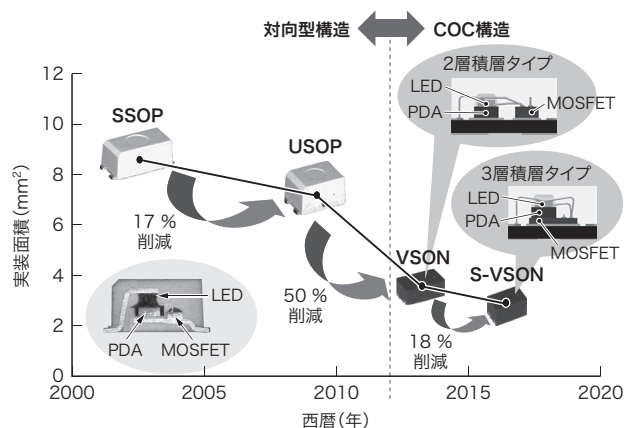


図4. フォトリレーの小型化トレンド

VSONから積層構造を採用し、実装面積の大幅な削減が可能となった。

Trends in miniaturization of photorelay packages

しかし、これ以上のチップの小型化や内部リードフレーム形状の見直しができず、従来技術の延長で更なる小型化を図ることは難しかった。

3.2 積層技術による小型化

従来のLEDはチップ上面側に光を取り出していたのに対し、裏面から光を取り出すLEDチップを開発し、PDAチップの上にLEDチップを積層するCOC (Chip on Chip) 構造を可能にした(図5)。この技術を用いて開発したVSON (Very Small Outline Non-Leaded)は、従来のUSOPに比べて実装面積が50%減と、飛躍的に小型化できた。

更に、MOSFETチップ上に、PDAチップとLEDチップを重ねた3層積層構造にすることで、一層の小型化を達成したS-VSON (Shrink VSON)を開発した。S-VSONは、VSONに対して実装面積が18%減少した。

S-VSONの出力側にある二つのMOSFETチップは、電位が異なるため間隔を空けて配置する必要がある。この二つのMOSFETチップの上にPDAチップを搭載するために、PDAチップを橋渡しの状態ダイボンディングしなくてはならない。このような不安定な状態でも、PDAとLEDのそれぞれが十分なチップ接着強度とワイヤボンディング強度を確保できるように、キャピラリーの形状、超音波の印加条件、及び荷重条件を選定してボンディングする技術を確認し、S-VSONを製品化した。

また、3層積層技術によりスペースに余裕ができたことで、従来よりも大きいサイズのMOSFETチップを搭載することが可能になった。その結果、MOSFETのオン抵抗が減少し、

小型でありながら定格電流を大きくすることができた。

3.3 抵抗内蔵S-VSONパッケージ

入力側のLEDの電流を制限するためには抵抗を接続する必要がある、外付け抵抗を使うためには抵抗の実装面積も必要であった。

そこで、従来に比べて面積を71%縮小した小型の抵抗チップをSi (シリコン) ウェハプロセスを用いて開発・作製し、S-VSONパッケージの中に搭載した(図6)。これにより、外付け抵抗の実装面積の確保が不要になり、更なる高密度実装が可能となった。

抵抗内蔵S-VSONパッケージにより、搭載するシステムの小型化や、従来は搭載できなかった小型のシステムにフォトリレーを搭載することが可能になった。

3.4 放熱性能の向上で定格電流を増大させたP-SONパッケージ

3.2節に述べたVSON、S-VSONパッケージのフォトリレー製品は小型であるが、定格電流は1A程度である。SOPからSSOP、USOPと小型化する際に、MOSFETチップも小型化したため、数Aの定格電流が必要な用途には、サイズが大きいSOPの製品しか適用できなかった。

まず、3.2節に述べたとおり、3層積層技術により、SOPと同等サイズのMOSFETチップを、小さいS-VSONに搭載できるようになった。

これに加えて、MOSFETチップ裏面側に複数の放熱用ビアを設け、パッケージ外部の電極サイズを大きくして基板に放熱させる構造にした。通電によるMOSFETチップの発熱を効率良く逃がし、従来よりも放熱性能を向上させた(図7)。

更に、MOSFETに最新の第9世代トレンチプロセスを採用することで、小型のチップにもかかわらず、小さなオン抵抗を実現した。

これらの技術をP-SON (Power Small Outline Non-Leaded) パッケージに搭載することで、SOP (6ピン) の製品

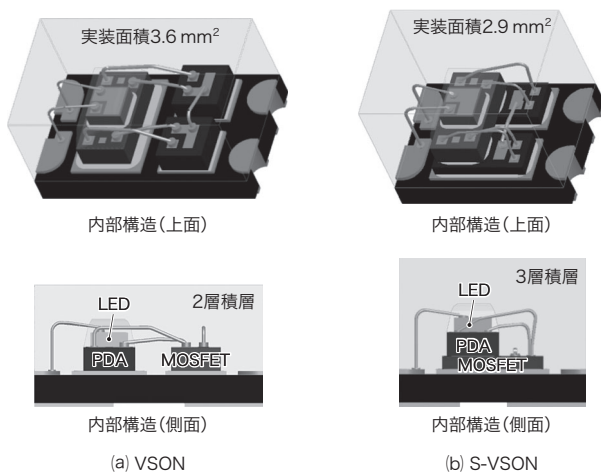


図5. VSONパッケージとS-VSONパッケージの構造比較

S-VSONパッケージは、3層積層構造を採用することで、実装面積の削減と大電流化を両立させた。

Comparison of structure of very-small-outline non-leaded (VSON) and shrink VSON (S-VSON) packages

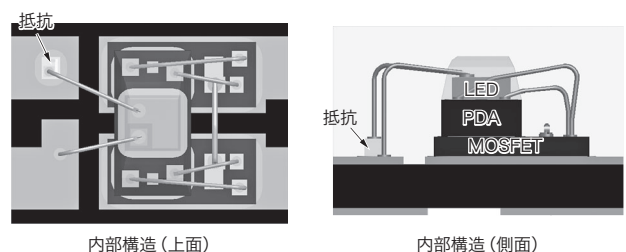


図6. 抵抗内蔵S-VSONパッケージの構造

パッケージ内に小型抵抗チップを内蔵し、外付け抵抗を不要にした。

Structure of S-VSON package with built-in resistor

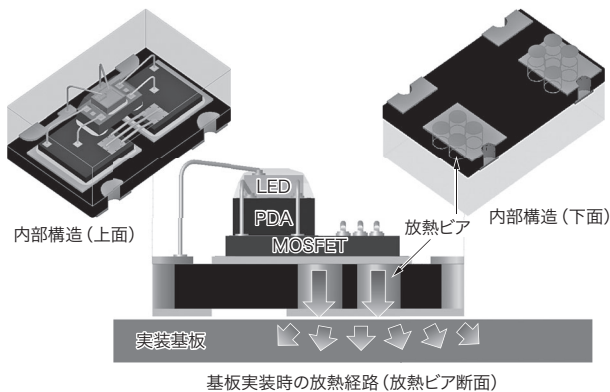


図7. P-SONパッケージの構造と放熱経路

P-SONは、MOSFETチップ裏面の放熱用ビアを通して、効率良く基板に放熱することで、小型で大電流を可能にした。

Structure and heat path of power small-outline non-leaded (P-SON) package

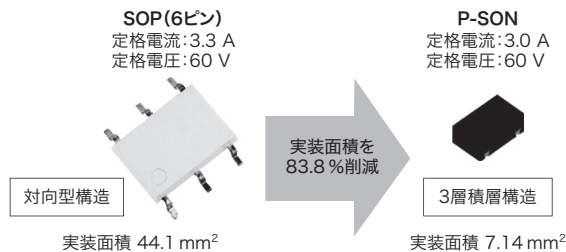


図8. SOP (6ピン)とP-SONのパッケージ比較

3層積層構造を採用したP-SONは、SOP (6ピン)と同等の定格電流で、実装面積を83.8%削減した。

Comparison of 6-pin small-outline package (SOP) and P-SON package

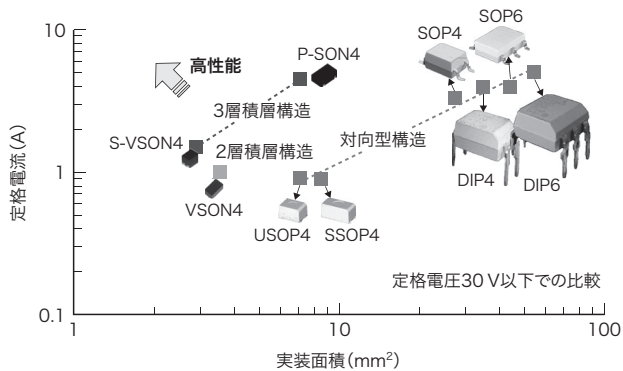
と同等レベルの大きな定格電流と、飛躍的な小型化を実現し(図8)、SOP (6ピン)と比較して実装面積を83.8%削減した。定格電流/定格電圧が、4.5 A/30 V, 3.0 A/60 V, 及び2.0 A/100 Vのフォトリレーを製品化し、2 A以上の定格電流を持つ面実装タイプのフォトリレーにおいて、業界最小^(注1)の実装面積を実現した。

4. フォトリレーの実装面積と定格電流

フォトリレーの実装面積と定格電流の関係を図9に示す。フォトリレーの定格電流は定格電圧が高いほど小さくなるため、代表として定格電圧30 V以下の製品で比較した。

従来の対向型構造の技術だけでは、小型化に伴い定格電流が小さくなるが、LEDチップとPDAチップを積層したVSONパッケージでは、定格電流を維持したまま小型化に成功した。更に、MOSFETチップも積層する3層積層技術

(注1) 2020年7月現在、2 A以上の定格電流のフォトリレーにおいて、当社調べ。



DIP: パッケージ名

*パッケージ名の後ろの数字は、ピン数を示す

図9. フォトリレーの実装面積と定格電流の関係

3層積層構造の採用で、従来の対向型構造より小型でありながら、大きな定格電流を実現した。

Relationship between photorelay mounting area and rated current

を用いたS-VSON, P-SONパッケージでは、小型化と同時に、定格電流を増大させることができ、背反する性能の向上に成功した。

5. あとがき

メカリレーの代替デバイスとして期待されているフォトリレーの小型化及び大電流化の技術について述べた。より大きな定格電流が必要なシステムでも、メカリレーをフォトリレーに置き換えられるようになり、省エネにつながる。

今後も顧客ニーズに応えるために、更に高性能化したフォトリレー製品を積極的に開発し、展開していく。

文献

- (1) 東芝デバイス&ストレージ, “メカリレーの代替に役立つ「フォトリレー」の基本と使用上の留意点”. プロモーションサイト, <<https://toshiba.semicon-storage.com/jp/concept/media-003.html>>, (参照2020-07-17).



田尻 直也 TAJIRI Naoya
東芝デバイス&ストレージ(株)
半導体事業部
先端オプト素子開発部
Toshiba Electronic Devices & Storage Corp.



山本 真美 YAMAMOTO Mami
東芝デバイス&ストレージ(株)
半導体事業部
組立生産技術部
Toshiba Electronic Devices & Storage Corp.



田中 和喜 TANAKA Kazuki
東芝デバイス&ストレージ(株)
半導体事業部
ディスクリット応用技術センター
Toshiba Electronic Devices & Storage Corp.