

SBD内蔵で信頼性を向上させた 1.2 kV SiC MOSFET

1.2 kV-Class SiC MOSFET Equipped with Embedded SBD for Improvement of Reliability

古川 大 FURUKAWA Masaru 河野 洋志 KONO Hiroshi 佐野 賢也 SANOKENYA

SiC（炭化ケイ素）を材料とするMOSFET（金属酸化膜半導体型電界効果トランジスター）は、その優れた性能から将来有望なパワーデバイスとして注目を集めている。しかし、ドレイン-ソース間に存在するpn（p：p型半導体、n：n型半導体）ダイオードへの通電で発生したエネルギーにより、SiC中の結晶欠陥が拡張されキャリア伝導の阻害要因になるため、信頼性の向上が課題であった。

東芝デバイス&ストレージ(株)は、耐圧1.2 kVのSiC MOSFETにSBD（Schottky Barrier Diode）をpnダイオードと並列に配置し、pnダイオードへの通電を抑制することができるデバイス構造を開発した。試作・評価の結果、結晶欠陥の拡張を防止して信頼性の向上を図ることに成功した。

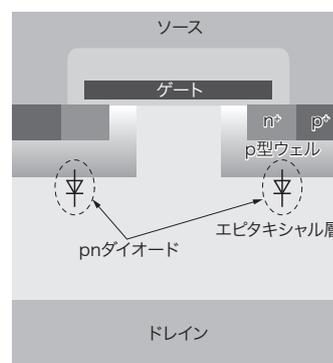
Silicon carbide (SiC) metal-oxide-semiconductor field-effect transistors (MOSFETs) are a key type of power device for power supply units because of the superior performance of SiC materials. However, improvement of the reliability of SiC MOSFETs is hindered by issues associated with low carrier conductivity as a result of increased crystal defects caused by the energization of pn diodes formed between the source and drain when a current is passed through them.

In order to rectify this situation, Toshiba Electronic Devices & Storage Corporation has developed a new device structure for 1.2 kV-class SiC MOSFETs that can improve reliability by means of an embedded Schottky barrier diode (SBD) located in parallel to each pn diode so as to prevent current flowing through the diode. We have confirmed the effectiveness of this device structure using embedded SBDs through the results of tests showing that it can suppress the generation of crystal defects, thereby improving the reliability of SiC MOSFETs.

1. まえがき

パワーデバイスは、自動車や産業機器などあらゆる電気機器の省エネ化に不可欠な半導体であり、SiCは、従来のSi（シリコン）よりも高耐圧化、低損失化が可能な次世代のパワーデバイス材料として注目されている。今後、鉄道用インバーターなど高耐圧品をはじめ太陽光発電や各種電源など、幅広い耐圧系での活用が期待される。

一方、SiCの更なる普及に向けては、信頼性の向上が課題となっている。図1に示すように、パワー MOSFETのドレイン-ソース間にはpnダイオードが存在する。このpnダイオードは、一般的なモーター制御などの一部のアプリケーションでは、FWD（Free Wheeling Diode）として使用される。SiC MOSFETのpnダイオードに順方向電圧が印加されてバイポーラー動作が起こると、電子と正孔の再結合によって発生するエネルギーにより、ウェハーに存在する基底面転位（BPD：Basal Plane Dislocation）⁽¹⁾が拡張して、ショックレー型積層欠陥（SSF：Shockley-Type Stacking Faults）と呼ばれる結晶欠陥が発生する。これがキャリア伝導の阻害要因となるため、pnダイオードのオ



n⁺:不純物濃度の高いn型半導体
p⁺:不純物濃度の高いp型半導体

図1. パワー MOSFETの断面構造とpnダイオード

パワー MOSFETのドレイン-ソース間には、pnダイオードが存在する。
Cross-sectional structure of power MOSFET and pn diodes

ン電圧とMOSFETの抵抗を増加させることが知られている。通電による転位の拡張の様子を確認するために、エレクトロルミネセンスと呼ばれる測定方法を用いて、SiC上に試作したpnダイオードサンプルに順方向電流ストレスを加える前後で取得した画像を、図2に示す。図中の暗い三角形の領域

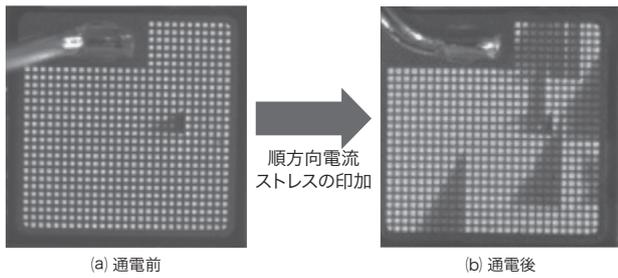


図2. 通電前後におけるSiC中のpnダイオードのエレクトロルミネセンス画像

エレクトロルミネセンスにより捉えた暗い三角形の領域は、転位が拡張してキャリアの伝導が阻害されていることを示している。

Electroluminescent images of pn diodes in SiC before and after energization

では、転位が拡張してキャリアの伝導を阻害している。ダイオードのオン電圧より高い電圧がpnダイオードのpn接合に印加されると、電流がpnダイオードを流れ、同時にSiC MOSFETのエピタキシャル層の転位を拡張するエネルギーが生成される。

東芝デバイス&ストレージ(株)は、MOSFETのセルにSBDを組み込むことで、これらの問題を解決した。当社は、Siで既に、SBDをMOSFETセルに組み込んだMOSFETをSSM5H/SSM5Gシリーズとして製品化している⁽²⁾。また、SiCでは、他社製品において3.3 kV以上の高耐圧製品用のMOSFETセルにSBDを組み込んだSiC MOSFET製品の報告もある^{(3), (4)}。しかし、耐圧が1.2 kV以下のSiC製品では、総抵抗に対するチャネル抵抗の比率が大きいため、SBDを組み込むとSiC MOSFETのオン抵抗(R_{on})が増加するという問題があった。当社は、SBDとMOSFETの構造を最適化することで R_{on} の増加を抑えつつ、通電による信頼性低下の問題を克服した1.2 kV SiC MOSFETを開発した。

ここでは、SBDを組み込んだ新しいSiC MOSFETの構造と動作原理及びその重要なパラメータについて説明し、更に、新しい構造を採用して試作したデバイスの特性評価結果についても述べる。

2. デバイス構造と動作原理

2.1 改善の方針

基本的な設計方針は、pnダイオードに電流が流れないようにすることである。pnダイオードのオン電圧(約2.5 V)よりも十分に低いオン電圧(約0.7 V)のSBDを、MOSFETのpnダイオードと並列に配置することにより、pnダイオードへの通電を抑制した。図3は、SBD内蔵MOSFETとその等価回路の断面図である。

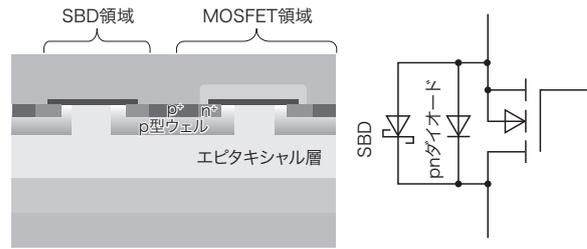


図3. SBDを内蔵したMOSFETの断面構造と等価回路

オン電圧がpnダイオードよりも十分に低いSBDを、pnダイオードと並列に配置する構造とすることで、pnダイオードへの通電を抑制できる。

Cross-sectional structure of SBD-embedded MOSFET and its equivalent circuit

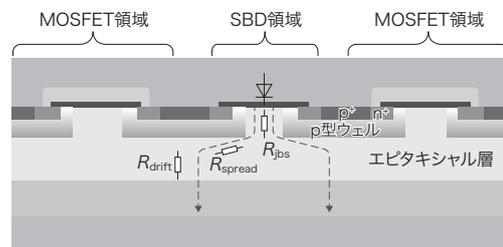


図4. SBDに電流が流れたときの電流経路と主な抵抗成分

I_{umax} を増加させるためには、SBD側を流れる電流経路における各抵抗成分を低減する必要がある。

Current paths and main resistance components when current passed through SBD

2.2 SBD内蔵MOSFETの動作原理と主要パラメータ

ソース側にドレインより高い電圧が印加されると、SBDはpnダイオードに比べてオン電圧が低いため、電流はpnダイオードより先にSBD側へ流れる。電流経路を、図4に矢印で示した。電流経路の主な抵抗成分は、JBS (Junction Barrier Controlled Schottky) 抵抗 R_{jbs} 、電流広がり抵抗 R_{spread} 、及びドリフト層抵抗 R_{drift} である。電流 I が流れるときのpn接合に印加される電圧 V_{pn} は、式(1)のように記述できる。

$$V_{pn} = V_k + (R_{jbs} + R_{spread}) \cdot I \quad (1)$$

V_k : ショットキー障壁の印加電圧

pnダイオードのオン電圧を V_{on} とすると、特性劣化の原因となるpnダイオードの動作が発生しない範囲は、式(2)のように表すことができる。

$$V_{pn} < V_{on} \quad (2)$$

式(1)及び式(2)より、pnダイオードに電流が流れない範囲

は式(3)のようになる。

$$I < \frac{V_{on} - V_k}{R_{jbs} + R_{spread}} \quad (3)$$

式(3)で表される電流の最大値は、ユニポーラー動作電流の最大値であり、これを I_{umax} とすると式(4)で表される。

$$I_{umax} = \frac{V_{on} - V_k}{R_{jbs} + R_{spread}} \quad (4)$$

式(4)から分かるように、SBDの許容電流を増やすには、 V_k 、 R_{jbs} 、及び R_{spread} を可能な限り小さくする必要がある。ただし、これらのパラメーターは、次のとおりSBD内蔵MOSFETのほかの特性とトレードオフの関係にある。 R_{jbs} は、両側のp領域の間隔とp領域間のn層濃度によって決まり、 R_{spread} は、p領域の下部のn層濃度によって決まる。 R_{jbs} や R_{spread} を下げるためにn層濃度を上げると、オフ状態のときにSBD電極とpn接合の電界を増加させる傾向があり、これによりドレイン-ソース間のリーク電流が増加する可能性がある。 I_{umax} には、SBDの混載比率も影響する。 I_{umax} を増やすには、電流がSBDからできるだけ遠くのp領域の下にまで到達できるように、SBDの混載比率を増やす必要がある。ただし、SBDの混載比率を大きくすると、SiC MOSFETの R_{on} が大きくなるトレードオフ関係がある。以上のようなトレードオフ関係が存在することから、構造の最適化が必要である。

3. 試作結果

3.1 最大ユニポーラー動作電流密度の実測による導出

図5に、 T_j (ジャンクション温度) = 175 °Cで従来型の

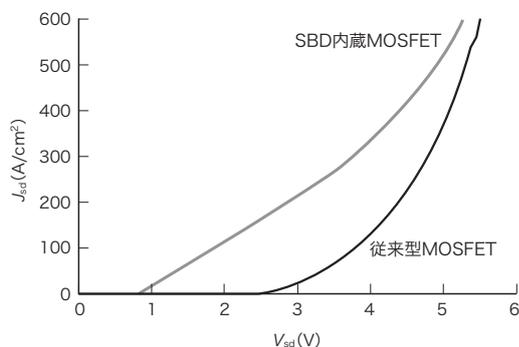


図5. $T_j = 175$ °Cでの従来型のMOSFETとSBD内蔵MOSFETの $J_{sd} - V_{sd}$ 特性

開発したMOSFETでは、内蔵したSBDのオン電圧が従来型のMOSFETに内蔵されているpnダイオードに比べて低く、 $J_{sd} - V_{sd}$ 特性の勾配がユニポーラー領域とバイポーラー領域で異なる。

Current-voltage (I-V) characteristics of conventional and SBD-embedded MOSFETs at junction temperature (T_j) of 175 °C

MOSFETとSBD内蔵MOSFETのそれぞれについて、ソースを基準にしたときのドレイン電圧 V_{sd} に対するソースからドレインへ流れる電流の電流密度 J_{sd} の依存性を示す。この図のように、 $J_{sd} - V_{sd}$ 特性の勾配がユニポーラー領域とバイポーラー領域で異なることを考慮して、最大ユニポーラー動作電流密度 (J_{umax}) を導出できる。具体的には、電圧 V_{sd} によるソースからドレインへ流れる電流 I_{sd} の1次導関数の変化値 (V_{sd} による I_{sd} の2次導関数の値) がある一定の値となるときに電流密度を J_{umax} として導出する。図6では横軸を電流とし、縦軸の左側に電圧による電流の1階微分を、右側に2階微分を示す。当社では、電流の2階微分の値が2.5となるときに電流密度として J_{umax} を導出している。この導出方法の有効性は、長期通電信頼性評価によって検証されている。多数の評価を重ね、この製品においては、この方法で導出した J_{umax} を境界として信頼性不良発生の有無が決まることが確認できている。

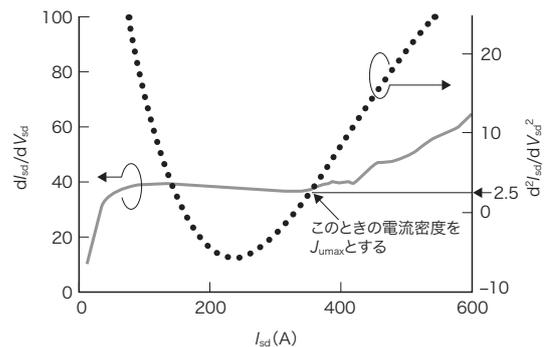


図6. ダイオード特性の1階微分と2階微分

V_{sd} で I_{sd} を2階微分した値が一定の値になったときの電流密度を、 J_{umax} と定義している。

First-order and second-order derivatives of diode characteristics

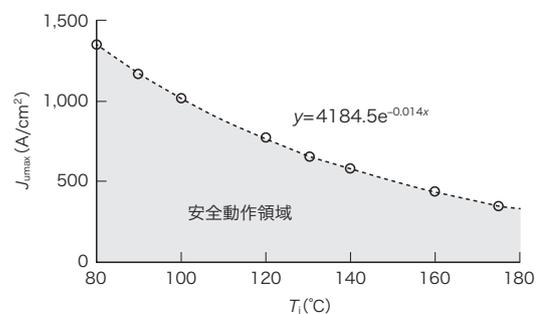


図7. J_{umax} の温度依存性

$T_j = 80 \sim 175$ °Cにおける幾つかの温度条件での $I_{sd} - V_{sd}$ 特性から J_{umax} を算出し、安全動作領域を把握した。

Temperature dependence of maximum current in unipolar operation

3.2 SBD内蔵MOSFETの特性

J_{umax} は、2章の式(4)に示したように、パラメーター V_{on} , V_k , R_{jbs} , R_{spread} , 及びSBDの混載比率によって決定され、加えて各パラメーターは温度の影響を強く受ける。図7は、3.1節で説明した方法に従って、 $T_j=80 \sim 175^\circ\text{C}$ において幾つかの温度条件での $I_{sd}-V_{sd}$ 特性から算出された J_{umax} を示す。電流密度が J_{umax} より小さい範囲で任意に選択した複数の条件下で逆導通ダイオードに最大1,000 hの連続DC (直流) 通電テストを実施し、 R_{on} の変動がないことを確認した。図8では、 $T_j=175^\circ\text{C}$ における J_{umax} , 及び $T_j=25^\circ\text{C}$ での R_{on} のSBD内蔵比率依存性を示している。ここで、SBD内蔵比率は整数 N を用いて表し、 N は単位SBDセル当たりの

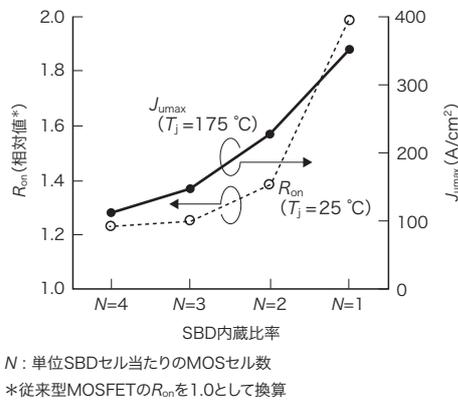


図8. J_{umax} 及び R_{on} のSBD内蔵比率に対する依存性

SBD内蔵比率とMOSFETの R_{on} にはトレードオフの関係があり、SBD内蔵比率を高めると J_{umax} は増大するが、 R_{on} も上昇してしまう。

Dependence of maximum current in unipolar operation and on-resistance on SBD mounting ratio

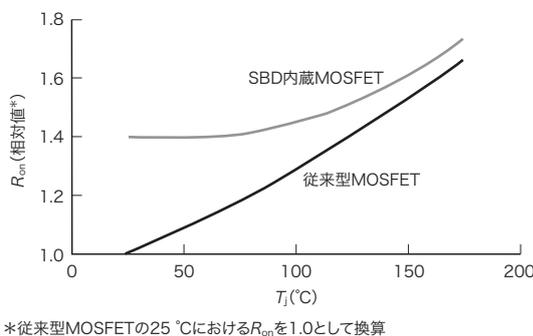


図9. 従来型のMOSFETとSBD内蔵MOSFETの R_{on} の温度依存性

SBD内蔵MOSFETの R_{on} は、高温領域では従来型のMOSFETの値に漸近する傾向がある。このため、実際のアプリケーションで使用される T_j が $80 \sim 175^\circ\text{C}$ の温度範囲では、SBD内蔵MOSFETの $R_{on}A$ は、従来のMOSFETの1.2倍未満である。

Temperature dependence of on-resistance of conventional and SBD-embedded MOSFETs

MOSセル数で定義している。 N の値が大きいほど、SBD内蔵比率は小さい。SBD内蔵比率はMOSFETの R_{on} とトレードオフの関係にあり、SBD内蔵比率を増大させると R_{on} も上昇してしまうため、製品の定格電流を考慮して最適化した比率を採用している。

図9に、従来型のMOSFET及びSBD内蔵MOSFETにおける R_{on} の温度依存性を示す。従来型のMOSFETと比較して、SBD内蔵MOSFETはチャンネル密度が低いため R_{on} が高く、素子抵抗全体に占めるチャンネル抵抗成分の比率も高い。チャンネル抵抗成分は負の温度傾向を持つ特徴がある。チャンネル抵抗成分の比率が高いSBD内蔵MOSFETの場合、高温側でチャンネル抵抗成分が小さくなり、素子抵抗全体としても従来型のMOSFETに比べて室温から高温へ推移したときの素子抵抗の上昇が小さく抑えられる。このため、高温領域の R_{on} が従来型のMOSFETに漸近する傾向がある。実際のアプリケーションで使用される温度範囲 ($T_j=80 \sim 175^\circ\text{C}$) においては、SBD内蔵MOSFETの単位面積当たりのオン抵抗 $R_{on}A$ は、従来のMOSFETの1.2倍未満である。

図10は、 $T_j=80^\circ\text{C}$ での $R_{on}A$ としきい値電圧 V_{th} の間のトレードオフの関係について、今回作製したSBD内蔵MOSFETを市販の1.2 kV ディスクリートSiC MOSFETに対してベンチマークした結果である。 $R_{on}A$ が小さく、また V_{th} が大きいほど、望ましい。図11(a)及び(b)は、従来型のMOSFETとSBD内蔵MOSFETに対して、電流密度 250 A/cm^2 , $T_j=175^\circ\text{C}$ の条件で1,000 h実施したDC通電試験における R_{on} の変動を、それぞれ示している。従来型のMOSFETは通電後すぐに R_{on} が変動しているのに対して、

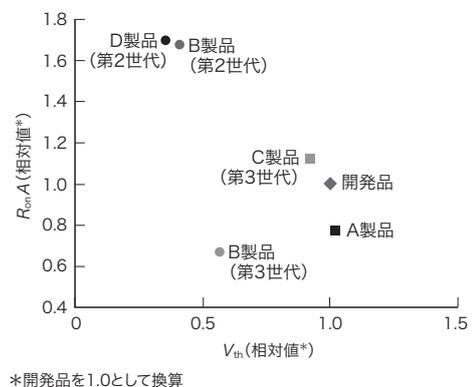


図10. 1.2 kV SiC MOSFETの $R_{on}A$ と V_{th} のトレードオフ

$T_j=80^\circ\text{C}$ での $R_{on}A$ と V_{th} の間のトレードオフの関係について、今回作製したSBD内蔵MOSFETを市販の1.2 kV ディスクリートSiC MOSFETに対してベンチマークした。

Tradeoff between on-resistance per unit area and threshold voltage of 1.2 kV SiC MOSFETs

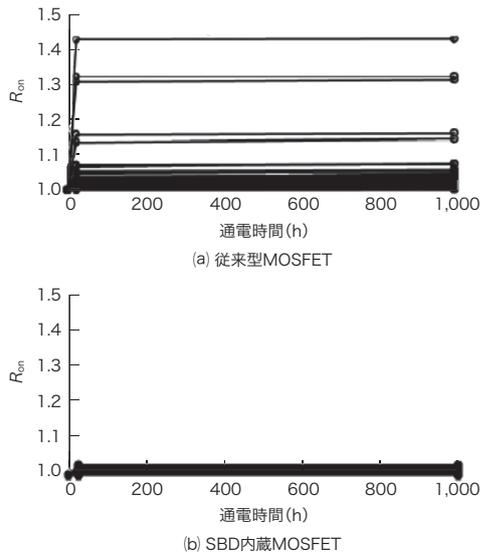


図11. 従来型のMOSFETとSBD内蔵MOSFETの1,000 hのDC通電による R_{on} の変動

電流密度が J_{umax} より小さい範囲で任意に選択した複数の条件において、逆導通ダイオードに最大1,000 hの連続DC通電試験を実施し、 R_{on} の変動がないことを確認した。

Changes in on-resistance when DC current applied to conventional and SBD-embedded MOSFETs for 1 000 hours

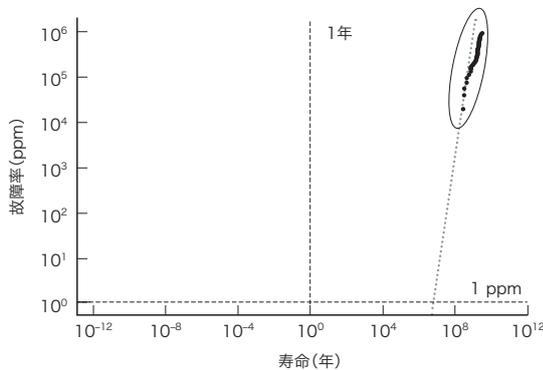


図12. SBD内蔵MOSFETのTDDB寿命評価結果

適正化したゲート膜形成プロセスを採用することにより、高品質なSiC MOSFETの製造を実現し、故障率がおおよそ1,000万年で1 ppmという極めて高いゲート膜寿命を持つことを確認した。

Result of time-dependent dielectric breakdown (TDDB) evaluation of SBD-embedded MOSFET

SBD内蔵MOSFETは1,000 hの通電後も R_{on} の変動がないことが分かる。SBDの内蔵の仕方を最適化することにより、pnダイオード通電による信頼性低下の問題を克服し、競争力のある1.2 kVクラスのSiC MOSFET作製に成功した。

SBD内蔵構造を採用したSiC-MOSFETのゲート信頼性についても、健全性を確認した。SiCはSiに比べて欠陥密度が高く、一般に、経時絶縁破壊(TDDB: Time De-

pendent Dielectric Breakdown) 寿命が短いことが知られている。当社は、SBD内蔵構造の採用に加え、適正化したゲート膜形成プロセスを採用することにより、高品質なSiC MOSFETの製造を実現した。電圧加速係数と温度加速係数を実験で求めた後に、想定駆動条件(ゲートソース電圧 $V_{gs}=20\text{ V}$, $T_j=120\text{ }^\circ\text{C}$)にて酸化膜寿命を評価した結果、図12に示すように、故障率がおおよそ1,000万年で1 ppmという極めて高いゲート膜寿命を持つことが確認できた。

4. あとがき

当社は、MOSFETのpnダイオードにSBDを並列に内蔵した構造を採用することでSiC MOSFETのpnダイオードへの通電を抑制し、信頼性低下の問題を克服した。また、SBDの内蔵方法を最適化することにより、1.2 kVクラスのSiC MOSFETにおいて $R_{on}A$ の観点からも競争力のある製品の製作を実現した。

文 献

- (1) Konishi, K. et al. Stacking fault expansion from basal plane dislocations converted into threading edge dislocations in 4H-SiC epilayers under high current stress. J. Appl. Phys. 2013, **114**, 1, p.014504-1-014504-5.
- (2) Ono, S. et al. "High density MOSBD (UMOS with built-in Trench Schottky Barrier Diode) for Synchronous Buck Converters". Proceedings of 2006 IEEE International Symposium on Power Semiconductor Devices and IC's. Naples, Italy, 2006-06, IEEE. 2006, p.77-80.
- (3) Kawabata, N. et al. Effects of Basal Plane Dislocation Density in 4H-SiC Substrate on Degradation of Body-Diode Forward Voltage. Mater. Sci. Forum. 2016, **858**, p.384-388.
- (4) Kawahara, K. et al. Impact of Embedding Schottky Barrier Diodes into 3.3 kV and 6.5 kV SiC MOSFETs. Mater. Sci. Forum. 2018, **924**, p.663-666.



古川 大 FURUKAWA Masaru
東芝デバイス&ストレージ(株)
半導体事業部 SiC 開発部
Toshiba Electronic Devices & Storage Corp.



河野 洋志 KONO Hiroshi, Ph. D.
東芝デバイス&ストレージ(株)
半導体事業部 SiC 開発部
博士(理学) 応用物理学会・電気学会会員
Toshiba Electronic Devices & Storage Corp.



佐野 賢也 SANOKENYA Kenya
東芝デバイス&ストレージ(株)
半導体事業部 SiC 開発部
応用物理学会会員
Toshiba Electronic Devices & Storage Corp.