

MOSFET 並列接続 (パワーMOSFET 寄生発振)

概要

本資料はパワーMOSFETの並列接続における発振現象と対策について述べたものです。

目次

概要	1
目次	2
1. MOSFET の並列動作について	3
2. 素子特性バラツキによる電流バラツキ（並列動作）	3
2.1. 定常状態動作時の電流アンバランス	3
2.2. スイッチング過渡期における電流アンバランス	3
3. 寄生発振（並列動作）	4
3.1. ドレイン・ソース間電圧振動によるゲート電圧振動	4
3.2. 並列接続の寄生発振	5
3.2.1. 並列接続の場合の寄生発振防止	6
3.3. 補足	7
3.3.1. 並列共振回路	7
3.3.2. 発振について	7
3.3.3. MOSFET の発振	8
3.4. コルピッツ回路	9
4. シミュレーションによる並列発振、改善確認	10
4.1. 並列動作電流アンバランス	10
4.2. 並列発振動作	11
4.2.1. 発振現象	11
4.2.2. 発振現象対策	13
製品取り扱い上のお願い	14

1. MOSFET の並列動作について

パワーMOSFET は熱暴走などがなく一般的にはバイポーラトランジスタに比べて並列接続が容易です。

大電流で MOSFET を使用する場合、並列接続で使用しますが、MOSFET は高速スイッチング動作させるため素子の特性バラツキや回路中の浮遊インダクタンスによって過渡的なスパイク電圧および電流バラツキを発生させる原因となる恐れがあります。この電流バラツキによって素子に過大な損失を与えて破壊を招くことがあります。

並列接続する上で重要なことは、過渡時を含めて電流集中を生じさせないこと、あらゆる負荷条件下で各々の素子にバランスよく均一な電流を流すことであり、特に下記 2 点に注意が必要です。

(1) 素子特性バラツキによる電流バラツキ（並列動作）

(2) 寄生発振（並列動作）

2. 素子特性バラツキによる電流バラツキ（並列動作）

2.1. 定常状態動作時の電流アンバランス

スイッチング期間以外での MOSFET 並列接続時の電流は、オン抵抗に反比例して個々のデバイスに分配されます。オン抵抗が最も低いデバイスに最も多くの電流が流れますが、MOSFET のオン抵抗は正の温度係数を持つため、このアンバランスを補償して電流を均等にするようにします。

並列接続による定常状態電流が原因となる熱故障はめったにないと考えられます。MOSFET の内蔵ダイオードの電圧降下は正の温度係数ではありません。したがって、大きな定常状態電流のアンバランスがダイオード伝導中に生じる可能性があります。ただし実使用では、より多くの電流を流すダイオードと一体化した MOSFET は温度が上がり、オン抵抗を増加させ、MOSFET 導通時の電流を押さえることになるので、これが問題になることはあまりありません。

2.2. スwitching 過渡期における電流アンバランス

一般に、電流のアンバランスはスイッチングのオンとオフの過渡時に大きく現われます。これはパワーMOSFET のスイッチング時間の差に起因します。このスイッチング時間のバラツキは、ゲート・ソース間のしきい値電圧 V_{th} に大きく依存します。すなわち、 V_{th} が小さい程早くターンオンし、逆にオフ時は V_{th} の大きいもの程早くターンオフします。このことから、オン時、オフ時ともに V_{th} の小さなパワーMOSFET に電流が集中して電流のアンバランスが発生します。この電流のアンバランスは、素子に過大な損失を与えて破壊を招くことがあります。よって、過渡時のスイッチング時間のバラツキを考える場合、並列接続しようとするパワーMOSFET の V_{th} の値が近いことが望ましいことになります。その他として、相互コンダクタンス g_m が高いデバイスは、他のデバイスよりも早くスイッチングする傾向があります。

並列接続を使用する場合、回路配線レイアウトにより配線の浮遊インダクタンスも異なり、これもスイッチング過渡期の電流アンバランスの一因となる可能性があります。特にソースインダクタンスは駆動電圧に影響を及ぼします。回路配線は各並列接続素子が均一になるようにレイアウトすることが望ましいです。

3. 寄生発振（並列動作）

3.1. ドレイン・ソース間電圧振動によるゲート電圧振動

MOSFETがスイッチング時、特にターンオフする時の di/dt とMOSFETのドレイン側の端子および配線の浮遊インダクタンスによってドレイン・ソース間にサージ電圧 V_{Surge} が発生します。

$$V_{Surge} = L_d(\text{浮遊インダクタンス}) \times di/dt$$

このサージ電圧による振動電圧がMOSFETのドレイン・ゲート間容量 C_{gd} を通してゲートに伝わりゲート配線の浮遊インダクタンス L で共振回路が形成されます。

大電流・高速のパワーMOSFETのゲート内部抵抗は非常に小さく、外付けゲート抵抗なしの場合、共振回路のQ値 $1/R \cdot \sqrt{L/C}$ は大きくなり、共振条件となった場合、MOSFETのゲート・ソース間に大きい振動電圧が発生し、寄生発振(振動)を引き起こします。MOSFETの並列接続時の回路構成例を図3.1に示します。

並列接続使用において、スイッチングオフ時の過渡電流バランスが崩れると、遅くOFFするMOSFETに電流が偏って流れることとなります。この電流によってドレイン・ソース間に大きな電圧サージ(振動)を起こし、これがゲートに伝わり、ゲート・ソース間に大きな振動電圧を発生させます。この電圧によってMOSFETのゲート・ソース間電圧オーバー破壊やMOSFETの誤動作、発振による破壊を招く可能性があります。

最速動作のMOSFETがターンオフした際は、このMOSFETのドレインの電位は上がります。すると、ゲート・ドレイン間容量 C_{gd} を通して他のMOSFETのゲートへ加えられます。そして本来のゲート信号による動作と違う意図しない動作を引き起こします。これが寄生発振につながります。

また並列接続されたMOSFETには共通の低インピーダンスのパスがあり寄生発振する可能性があります。

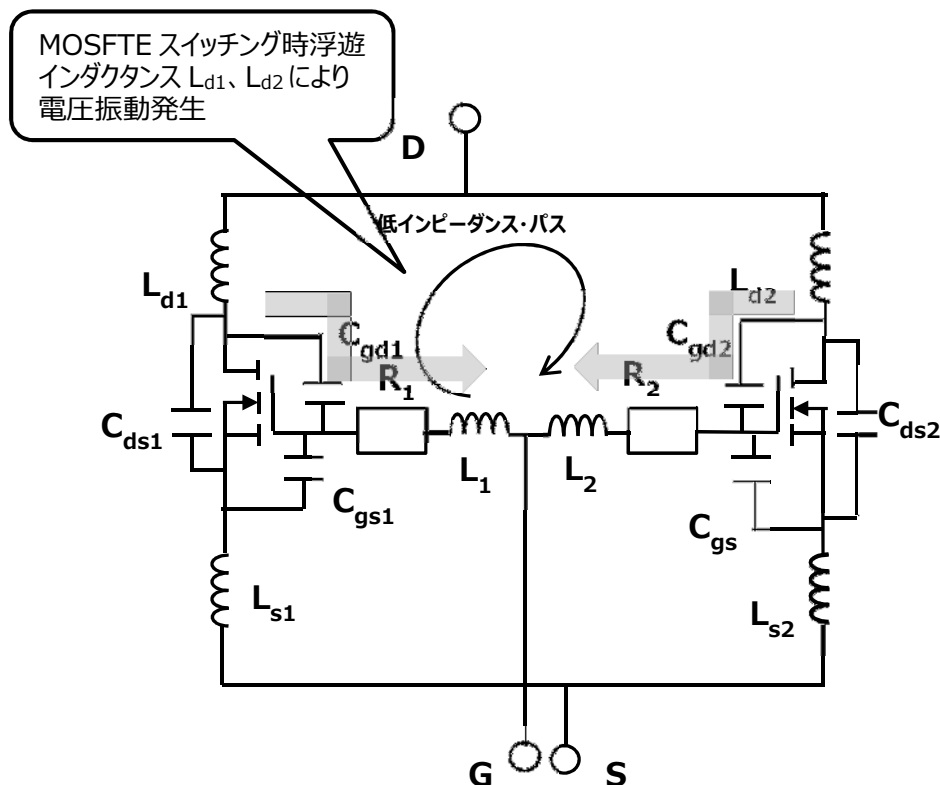


図 3.1 MOSFET 並列接続回路

3.2. 並列接続の寄生発振

一般に MOSFET を単独使用する場合に比べ、MOSFET を並列接続で使用する場合は寄生発振が起こりやすくなります。図 3.2 に MOSFET の並列接続回路と図 3.3 に寄生発振周波数等価回路を示します。図 3.3 の回路において、 L_{d1}, L_{d2} はドレイン配線浮遊インダクタンス、 L_{s1}, L_{s2} はソース配線浮遊インダクタンス、 L_1, L_2 はゲートの配線やボンディングワイヤ等の浮遊インダクタンスを示します。また $C_{ds1}, C_{gd1}, C_{gs1}, C_{ds2}, C_{gd2}, C_{gs2}$ は MOSFET の容量を示します。

図 3.3 において MOSFET Q_1, Q_2 の定数 ($L_{s1}=L_{s2}, L_1=L_2, L_{d1}=L_{d2}, C_{ds1}=C_{ds2}, C_{gd1}=C_{gd2}, C_{gs1}=C_{gs2}$) が等しいとし、共にリニア状態で寄生発振が発生した場合、 Q_1, Q_2 は逆位相で動作します。この場合、図 3.3 の一点鎖線上の電圧は寄生発振周波数では、全てゼロと考えることができ、この点は全て仮想的には GND と考えられます。この様に寄生発振周波数では、一点鎖線上の A、B 間は短絡と同等と考えることができます。即ち図 3.4 に示す様に、ドレイン・ソース間に入る負荷、FWD、電源、あるいは共通ゲート抵抗、ドライブ回路等の有無は全く関係なく、寄生発振が起こります。

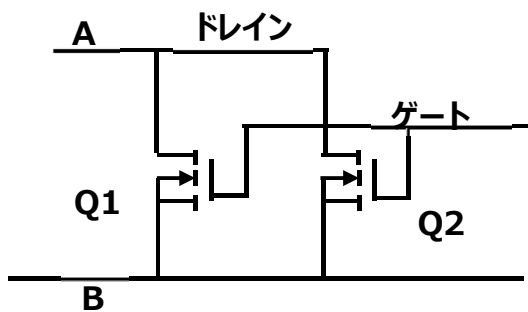


図 3.2 MOSFET 並列接続

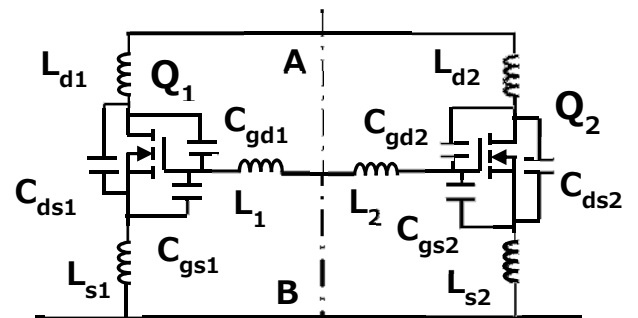


図 3.3 寄生発振周波数等価回路

寄生発振ループの等価回路としては図 3.4 の回路の半分で考えることができ、図 3.5 の回路となります。図 3.5 において通常は $L_d \ll L_s$ となり、このことを考慮して図 3.5 の回路を寄生発振周波数で考えると概略は図 3.6 の回路になります。図 3.6 において C_{gd} と L は並列共振回路を構成しています。

また図 3.6 の C_{gd} と L による共振回路は、共振周波数の近傍で共振周波数より低い周波数では等価的に L_x (インダクタンス) に置き換えることができるため図 3.7 のようになります。(L_d は L に比べ小さく、 L_s は寄生発振周波数を通さないレベルの大きさと仮定しています。)

図 3.7 は正帰還を持つコルピッツ型発振回路 (付録：発振回路) そのものです。前述の図 3.3 で、一点鎖線上の A、B 間は等価的に短絡であり、周辺の回路、負荷は全て無視できます。(図 3.4) 即ち、FWD のオン抵抗、コンデンサの ESR 等のシリーズ抵抗は全く関係しないので、Q 値の高い共振回路が形成され、帰還ループの利得が高く、容易に寄生発振が発生します。

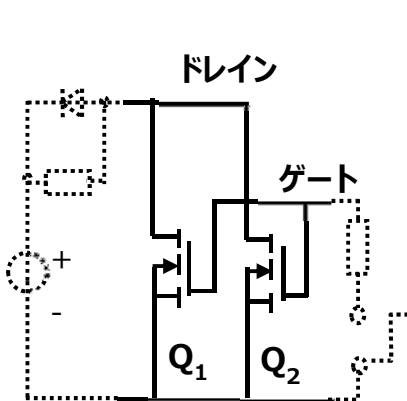


図 3.4 MOSFET 並列接続

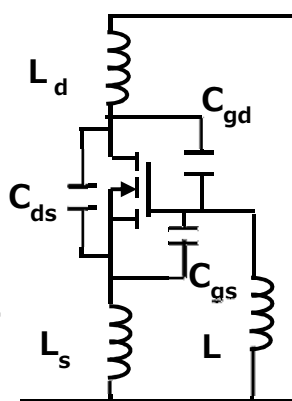


図 3.5 寄生発振等価回路

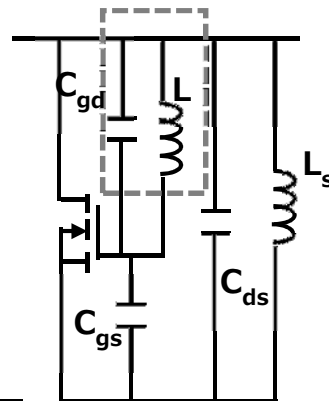


図 3.6 等価回路変形

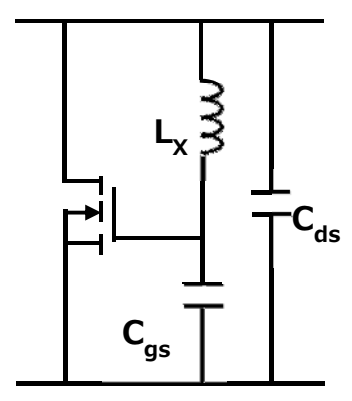


図 3.7 コルピッツ回路

3.2.1. 並列接続の場合の寄生発振防止

図 3.7 に示す寄生発振は寄生インダクタンス、寄生容量による共振回路、およびその周波数で帰還回路が形成され、ループ利得が 1 以上である場合に発生します。ループ利得が 1 以上となる為には、

$$g_m \cdot R \cdot C_{ds} / C_{gs} > 1 \quad (1) \quad (\text{付録：発振回路 参照 図 3.19 } C_{ds}=C_1, C_{gs}=C_3)$$

以上から寄生発振対策としては

$$R \cdot g_m \cdot C_{ds} / C_{gs} < 1 \text{ とすれば良いことになります。}$$

・MOSFET 選択

- (a) C_{ds} / C_{gs} の低い MOSFET を選択します。
- (b) g_m の低い MOSFET を選択します。

・外部回路による対策

- (a) 図 3.8 の様に MOSFET の各ゲートにゲート抵抗 R_1 あるいは フェライトビーズを挿入します。これは前述した MOSFET の並列接続等価回路において図 3.9 のようにゲート浮遊インダクタンス L_1 にシリーズに抵抗 R_1 を挿入する事で並列共振回路の Q 値を下げ、正帰還ループの利得を低下させることになります。但し、 R_1 は MOSFET のスイッチング速度に影響を与え抵抗値を増やすことでスイッチング損失が増しますので注意が必要です。

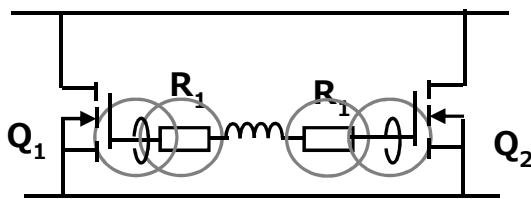


図 3.8 MOSFET 並列回路

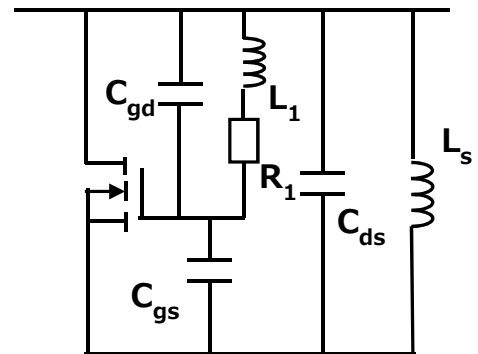
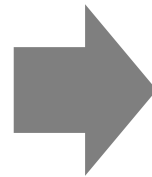


図 3.9 MOSFET 並列接続等価回路

- (b) 図 3.10 のようにゲート・ソース間にセラミックコンデンサ C を挿入することで、実質的に C_{ds} / C_{gs} を下げます。但し、この方法は高速スイッチング性能を阻害します。また、図 3.11 の等価回路は図 3.12 となりますが、ドレイン側の浮遊インダクタンス L_d が、ソース側の浮遊インダクタンス L_s より低い場合、図 3.12 の様に C が C_{gs} に加わらず C_{gd} に加わってしまいます。この結果 逆効果となる場合が多くありますので注意が必要です。

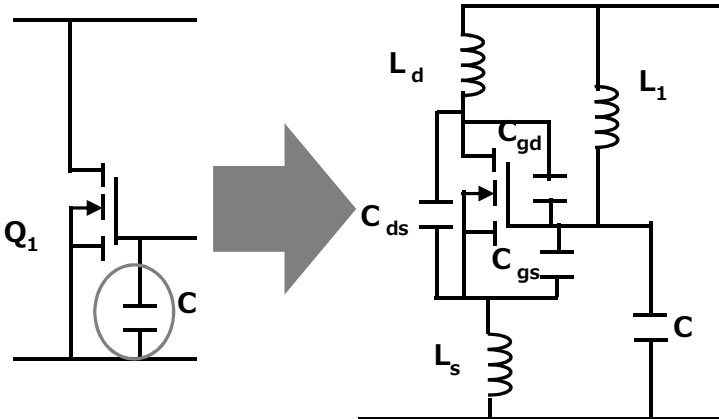


図 3.10 ゲート・ソース間コンデンサ

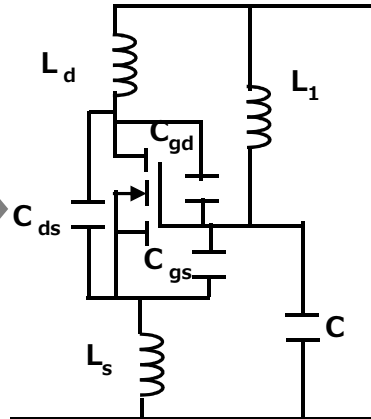


図 3.11 等価回路

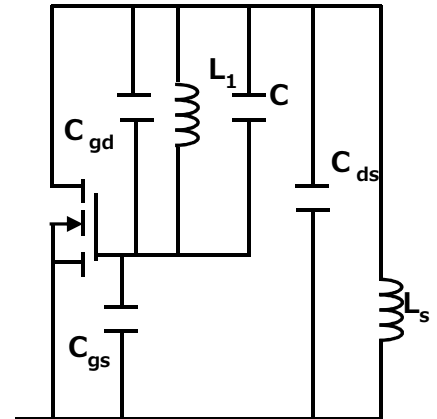


図 3.12 $L_d \ll L_s$ による逆効果

3.3. 補足

3.3.1. 並列共振回路

図 3.13 に示す並列共振回路は図 3.14 のように共振周波数： $f_0 = 1/2\pi\sqrt{LC}$ を中心に、それより低い周波数では誘導性に、それより高い周波数では容量性に変化します。

誘導性の場合、等価的にはインダクタ、容量性の場合、等価的にはコンデンサと見なされます。

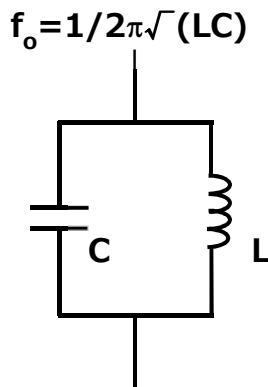


図 3.13 並列共振回路

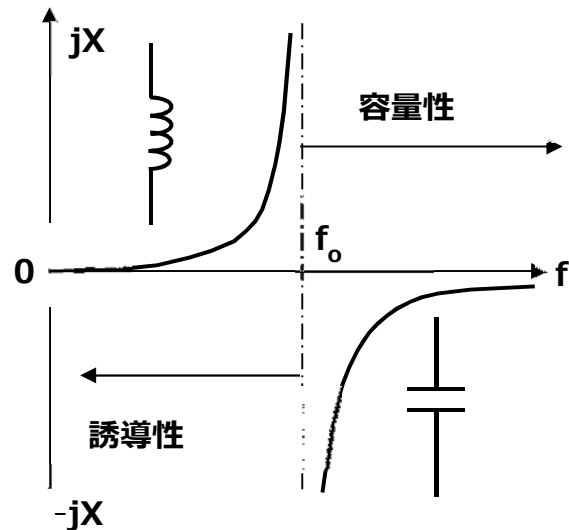


図 3.14 周波数によるインピーダンス変化

3.3.2. 発振について

発振現象とは電気回路などが振動エネルギーを受けることなく自己振動を行う現象です。実際には回路に抵抗成分があるため振動は減衰するので、その分だけエネルギーを補給しています。発振現象は下記の二つの条件下で起こります。

(1) 位相条件

発振周波数において出力から入力に帰還される信号と入力信号の位相が合っていること。(正帰還)

(2) 振幅条件

発振回路中の受動回路部分による損失分が増幅回路による増幅分より小さいことです。

発振は回路において正帰還が掛かり、損失分を補うだけの増幅がある時に起こります。

図 3.15 の帰還回路において利得 G は(2)式で示されます。

$$G = v_o/v_i = A/(1-AH) \quad (2)$$

入力電圧： v_i 、出力電圧： v_o 、増幅率： A 、帰還率： H

増幅器への入力電圧： v_1 、帰還される電圧： v_2

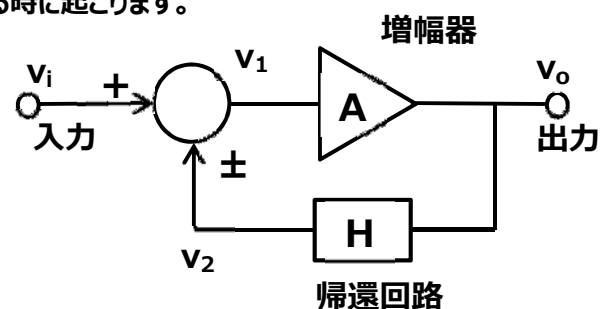


図 3.15 帰還回路

AH が正の場合は正帰還になり、負のときは負帰還になります。

正帰還でループ利得 $AH \geq 1$ のとき、回路が不安定となり発振します。

3.3.3. MOSFET の発振

パワーMOSFET は g_m が大きく、寄生容量も大きい為、配線等の浮遊インダクタンス(ゲート、ソース、ドレインと各回路との接続間のインダクタンス)によって、正帰還回路が形成され、寄生発振を起こす可能性があります。

パワーMOSFET の寄生発振は素子のオン状態、オフ状態の期間では g_m がゼロもしくは極端に低下するため寄生発振は起こらず、負荷短絡状態時や g_m の高いスイッチングの過渡期間に起こる可能性があります。

・MOSFET の帰還ループ

発振は帰還ループが存在しなければなりません。図 3.16 の回路構成で発振条件を求めます。 $X_1 \sim X_3$ は理想のリアクタンスとすると $X_1 \sim X_3$ の損失は無視できます。したがって、この時の回路は MOSFET から各リアクタンスへ電流 i が流れないと考えられるので、図 3.17 のように書き換えられます。

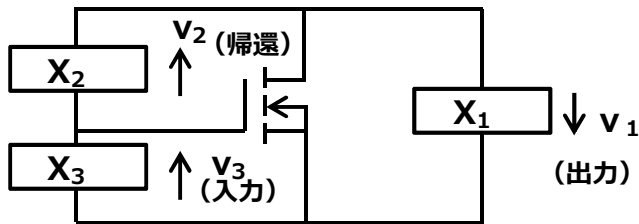


図 3.16 発振基本図

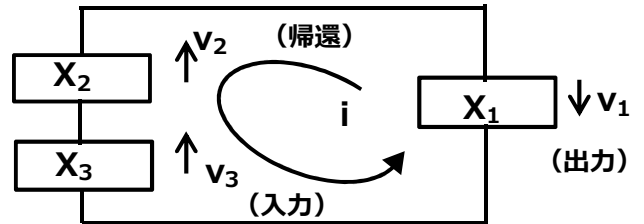


図 3.17 発振回路電流

図 3.17 においてキルヒホッフの法則より

$$v_1 + v_2 + v_3 = i(X_1 + X_2 + X_3) = 0$$

ここで $i \neq 0$ なので $X_1 + X_2 + X_3 = 0$

回路が発振している場合は正帰還が掛かっている時であり、図 3.16、図 3.17 において v_3 (入力) と v_1 (出力) は同位相になります。したがって X_3 と X_1 は同質のリアクタンスであり X_2 は異質のリアクタンスになります。

代表的な発振回路としてコルピッツ回路やハートレー回路などがあります。

3.4. コルピッツ回路

図 3.18 にコルピッツ基本回路を示します。

コルピッツ発振等価回路 図 3.19 でループ利得を計算することで発振周波数、発振の持続に必要な利得 $g_m \cdot r_d$ が判かります。ゲート電流はゼロであるため v_2 から v_1 への配線は切断して考えています。

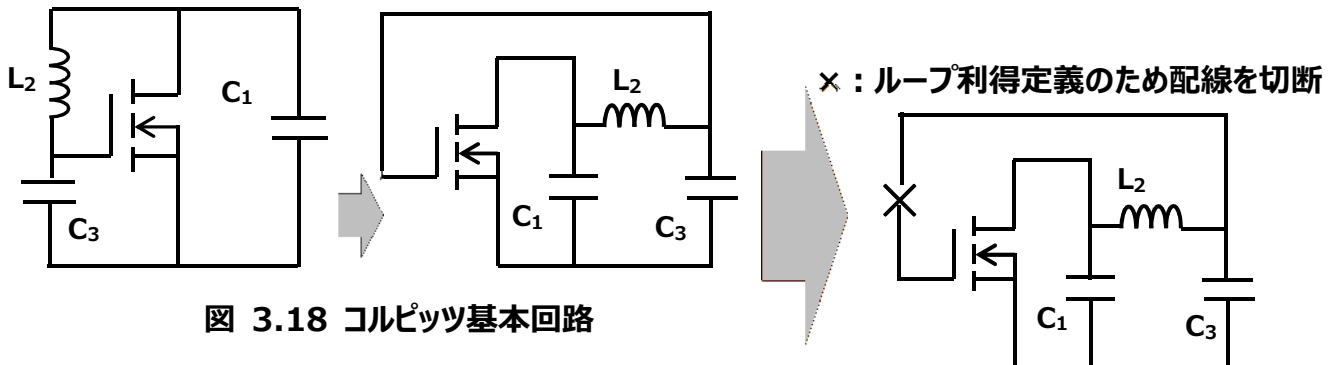


図 3.18 コルピッツ基本回路

$$v_2 = (-g_m \cdot v_1) \frac{1}{\frac{1}{r_d} + j\omega C_1 + \frac{1}{j\omega L_2 + \frac{1}{j\omega C_3}}} \times \frac{\frac{1}{j\omega C_3}}{j\omega L_2 + \frac{1}{j\omega C_3}}$$

$$= (-g_m \cdot v_1) \frac{r_d}{1 - \omega^2 L_2 C_3 + j\omega(C_1 + C_3 - \omega^2 L_2 C_1 C_3) r_d}$$

$$AH = \frac{v_2}{v_1} = \frac{-g_m \cdot r_d}{1 - \omega^2 L_2 C_3 + j\omega(C_1 + C_3 - \omega^2 L_2 C_1 C_3) r_d} \quad (6)$$

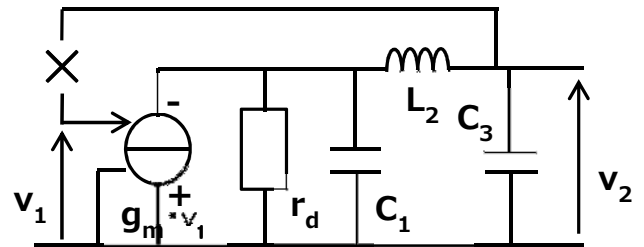


図 3.19 コルピッツ等価回路

上式よりコルピッツ回路における発振の周波数や増幅の利得は下記となります。

発振周波数 $\text{Im}(AH)=0$

一巡した信号の位相が 0 度、あるいは 360 度遅れになる周波数で、最も発振しやすい条件として考え

$C_1 + C_3 - \omega^2 L_2 C_1 C_3 = 0$ ($j\omega C_1 j\omega C_3$ で割ると $1/j\omega C_1 + 1/j\omega C_3 + j\omega L_2 = 0$)

$$\omega^2 = \frac{C_1 + C_3}{L_2 C_1 C_3} \quad (7) \quad \omega = \sqrt{\frac{C_1 + C_3}{L_2 C_1 C_3}} \quad (8)$$

利得 $\text{Re}(AH) \geq 1$ に(7)式の $\omega^2 = (C_1 + C_3) / L_2 C_1 C_3$ を代入して

$$\frac{-g_m \cdot r_d}{1 - \frac{C_1 + C_3}{L_2 C_1 C_3} L_2 C_3} = \frac{g_m \cdot r_d}{\frac{C_3}{C_1}} \geq 1 \quad \therefore g_m \cdot r_d \geq \frac{C_3}{C_1} \quad (9)$$

($g_m \cdot r_d$: 電圧増幅率)

4. シミュレーションによる並列発振、改善確認

MOSFET 並列動作において、振動、発振の現象確認および改善、対策についてシミュレーションを行いました。あくまでも現象確認のためのものであり、実際の回路定数とは異なります。発振現象確認においては意図的に発振させております。

4.1. 並列動作電流アンバランス

「2.1 定常状態時の電流アンバランス」で述べておりますが、MOSFETの並列接続（図4.1）において導通時の電流がアンバランスで問題になることはありません。ここでは MOSFET のスイッチング過渡期における MOSFET の V_{th} の差によるアンバランスについて検証します。

図 4.1 における回路定数は下記です。

$$L=250\mu\text{H}, L_{d1}=20.5\mu\text{H}, L_{d2}=20.5\mu\text{H}, L_{s1}=20.5\mu\text{H}, L_{s2}=20.5\mu\text{H}, \\ L_1=0\mu\text{H}, L_2=0\mu\text{H}, R_1=2\Omega, R_2=2\Omega, R_3=2\Omega$$

① Q_1 、 Q_2 に同じ V_{th} の製品を使用した場合（すべての条件において Q_1 、 Q_2 は同等）

ドレイン電流、ドレイン・ソース間電圧、ゲート電圧にまったく差はでませんでした。

② Q_1 、 Q_2 に V_{th} に差のある製品を使用した場合（ V_{th} 以外の条件において Q_1 、 Q_2 は同等）

V_{th} に差がある場合、スイッチングオン時は V_{th} の低い MOSFET が先にオンし、他方の MOSFET がオンするまでほとんどの電流が V_{th} の低い MOSFET に流れます。

オフ時は V_{th} の高い MOSFET が先にオフし V_{th} の低い MOSFET 自身がオフするまですべての電流を背負うことになります。

電流のアンバランスが生じたオン時の波形を図 4.2 に、オフ時の波形を図 4.3 に示します。

多数の MOSFET を並列接続する場合アンバランスの電流は最も V_{th} の低い MOSFET に集中するため、 V_{th} の近い製品を使用することが重要になります。

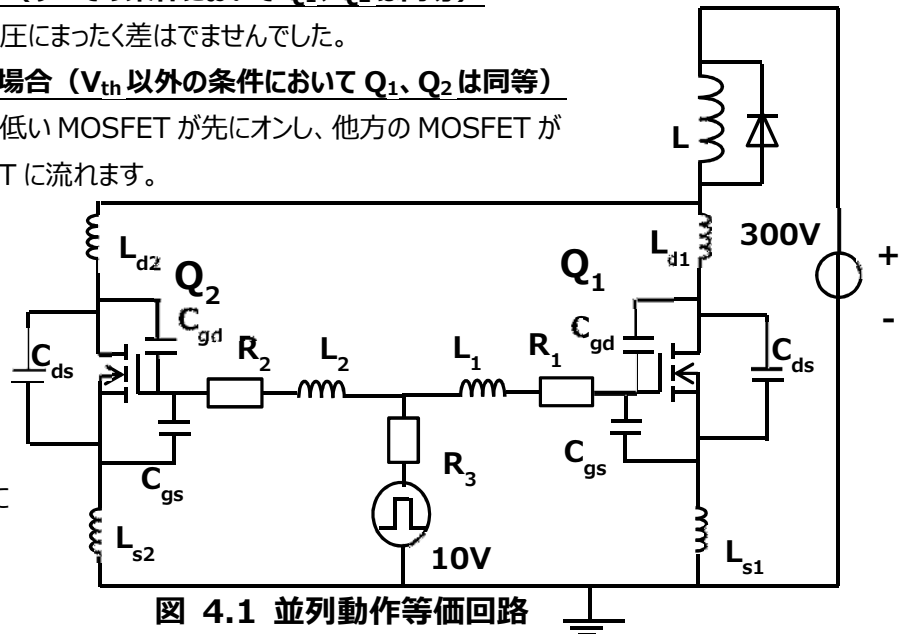


図 4.1 並列動作等価回路

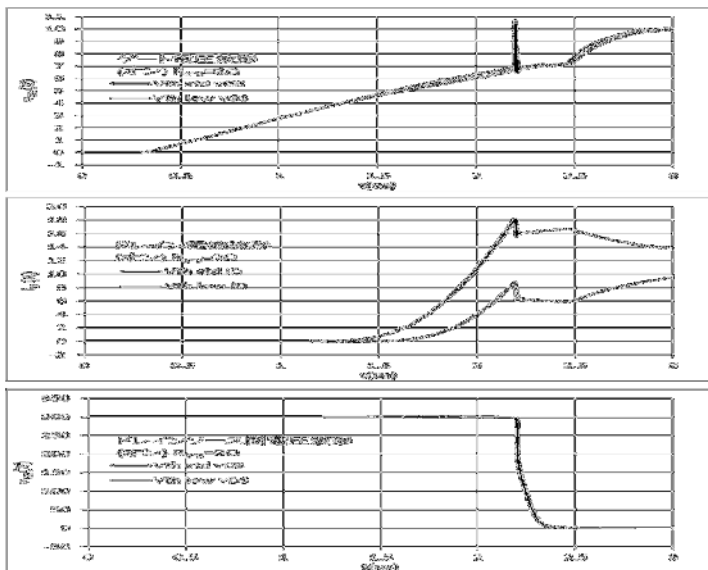


図 4.2 並列動作オン時アンバランス波形

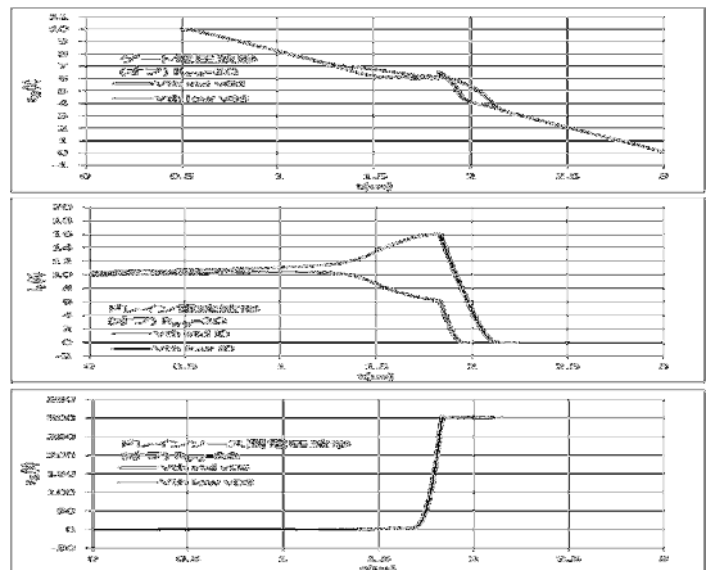


図 4.3 並列動作オフ時アンバランス波形

4.2. 並列発振動作

4.2.1. 発振現象

① MOSFET の単体動作、②並列動作および③ V_{th} の違う MOSFET での並列動作において発振状況をシミュレーションで確認しました。シングル動作と並列動作において MOSFET 単体に流れる電流、電圧条件は同等となる条件で行いました。

① MOSFET 単体動作

並列接続波形と比較するため、図 4.4 において意図的に単体でも発振する定数を設定し波形を確認しました。図 4.6 に波形を示します。測定条件は下記です。

$$L=500\mu\text{H}, L_d=20.5\mu\text{H}, L_s=20.5\mu\text{H}, L_0=0\mu\text{H}, R_0=0\Omega$$

L_s, L_d がある程度のインダクタンスがあり $L_s > L_d$ の条件で発振は起こり、 L_s/L_d が大きいほど発振は大きくなります。

② 並列動作

①の単体動作の MOSFET 条件と並列接続の MOSFET 条件が同じになるように図 4.5 で定数を設定しました。勿論、並列接続している MOSFET 特性は同一のものを使用しております。図 4.7 に波形を示します。並列接続した MOSFET 単体の波形は、ほぼ単体動作波形と変わりはなく、並列動作による差はありませんでした。並列接続動作においても**各々の MOSFET が同一特性およびバランスのとれた配線がされていれば単体動作との差はありませんでした**。但し、実際には MOSFET の特性バラツキがあり、実使用では十分注意が必要です。図 4.5 の回路での条件は下記です。

$$L=250\mu\text{H}, L_{d1}=20.5\mu\text{H}, L_{d2}=20.5\mu\text{H}, L_{s1}=20.5\mu\text{H}, L_{s2}=20.5\mu\text{H}, L_1=0\mu\text{H}, L_2=0\mu\text{H}, \\ R_1=0\Omega, R_2=0\Omega, R_3=0\Omega \quad (L_{d1}, L_{d2}, L_{s1}, L_{s2}, L_1, L_2 \text{ は浮遊インダクタンス})$$

③ 並列動作(MOSFET バラツキ影響確認)

MOSFET Q_1, Q_2 において意図的に V_{th} の値を変えて上記「②並列動作」と同等のシミュレーションを行いました。「3.2. 並列接続の寄生発振」で説明したように並列接続の場合、 Q 値の高い共振回路が形成され、帰還ループの利得が高く、容易に寄生発振が発生します。図 4.8 にシミュレーション波形を示します。今回、 V_{th} の差によるシミュレーションで並列動作における寄生発振確認をしました。並列動作の場合、 V_{th} 条件以外のアンバランスによっても発振する可能性があります。図 4.5 の回路で測定条件は②と同一で Q_1, Q_2 の V_{th} を変更して行いました。

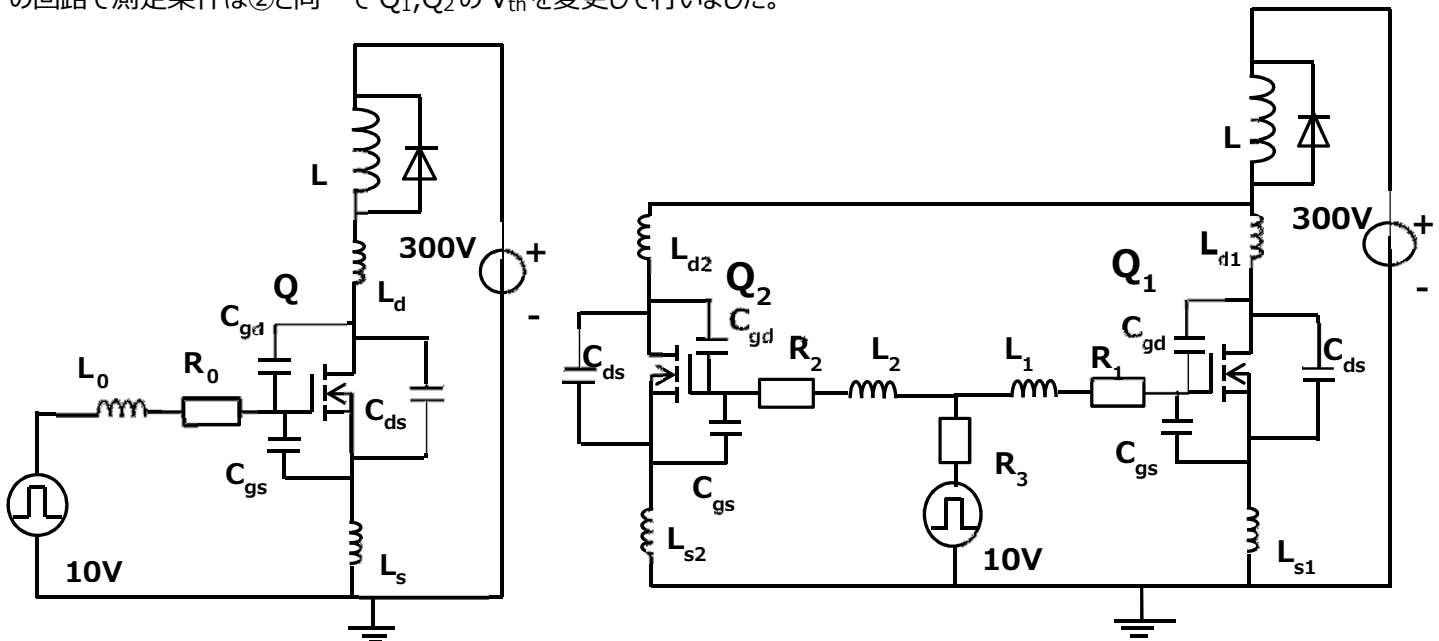


図 4.4 MOSFET 単体回路

図 4.5 並列動作等価回路

並列接続動作においてはスイッチング過渡期に各素子のアンバランスが起こると、非常に発振しやすく、大きな電圧が発生します。ゲート電圧に関しては保証値を遙かに超える電圧もかかる可能性があります。

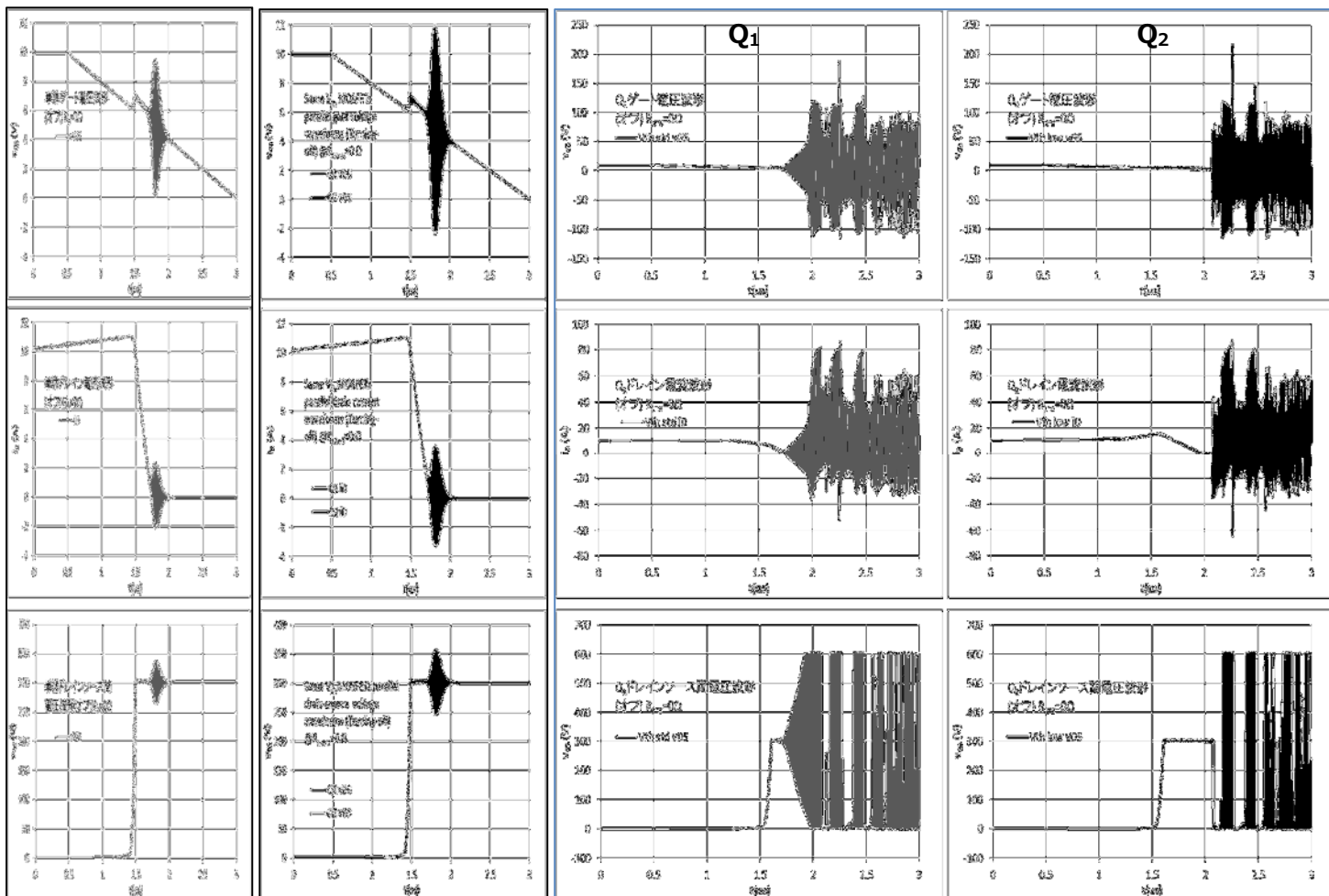


図 4.6 MOSFET
単体動作オフ波形

図 4.7 MOSFET
並列動作オフ波形

図 4.8 MOSFET 並列動作オフ波形
 $V_{th} Q_1 > Q_2$

4.2.2. 発振現象対策

基本的には C_{gd}/C_{gs} の低い製品や g_m の低い MOSFET を選択すれば発振は起こりづらくなりますが、外部回路による対策も重要です。これにつきシミュレーションを実施しました。

・ ゲート抵抗

並列寄生発振現象対策として各 MOSFET に直列に抵抗を挿入し、効果を確認しました。

ゲート抵抗なしの場合 (R_1, R_2, R_3 すべて 0Ω) を図 4.10、

共通抵抗使用の場合 ($R_1=R_2=0\Omega, R_3=1\Omega$) を図 4.11、

各 MOSFET に直列にゲート抵抗を使用した場合 ($R_1=R_2=2\Omega, R_3=0\Omega$) を図 4.12 に示します。

並列寄生発振現象対策として各 MOSFET のゲートに直列に抵抗を挿入すると効果がありました。

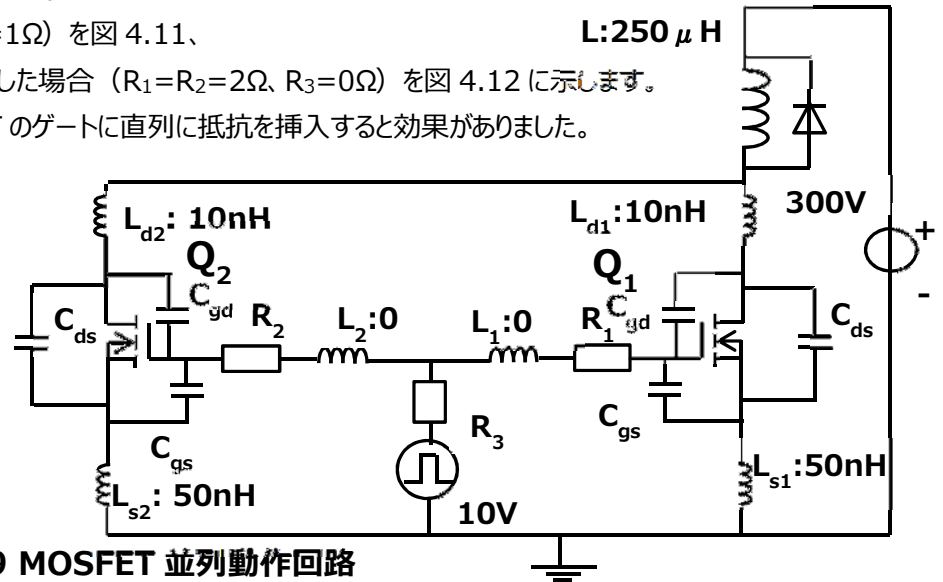


図 4.9 MOSFET 並列動作回路

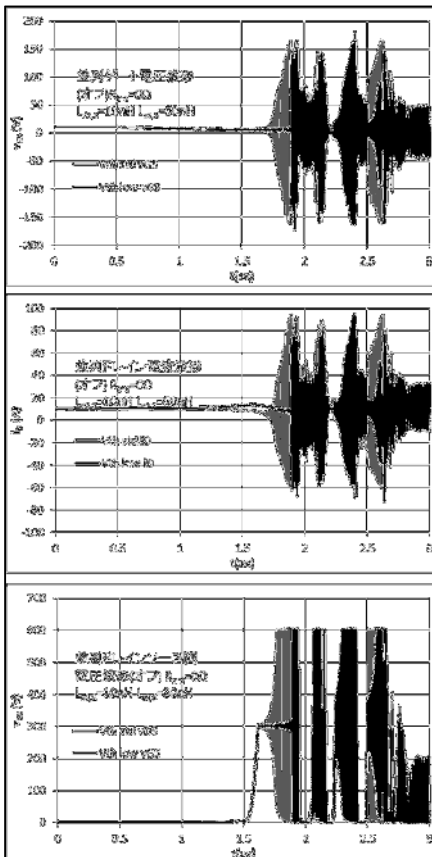


図 4.10 MOSFET 並列動作
ゲート抵抗なし Q_1, Q_2 波形

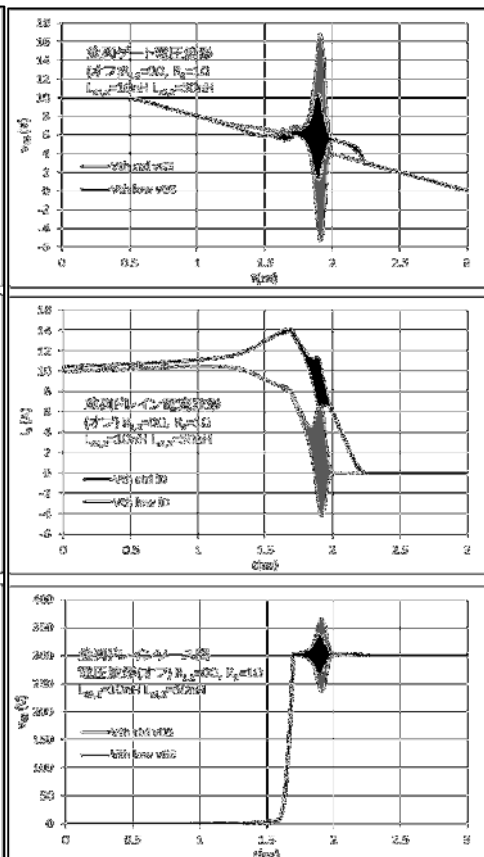


図 4.11 MOSFET 並列動作
共通ゲート抵抗使用 Q_1, Q_2 波形

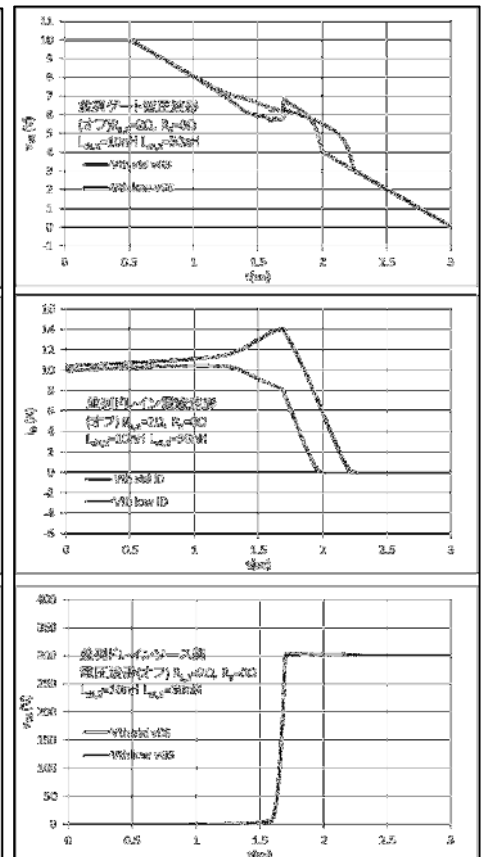


図 4.12 MOSFET 並列動作
各 MOSFET 直列抵抗使用 Q_1, Q_2 波形

製品取り扱い上のごお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。