

TOSHIBA

e-ラーニング

CMOSロジックIC 基礎編

2章 CMOSロジックICの基本動作

東芝デバイス&ストレージ株式会社

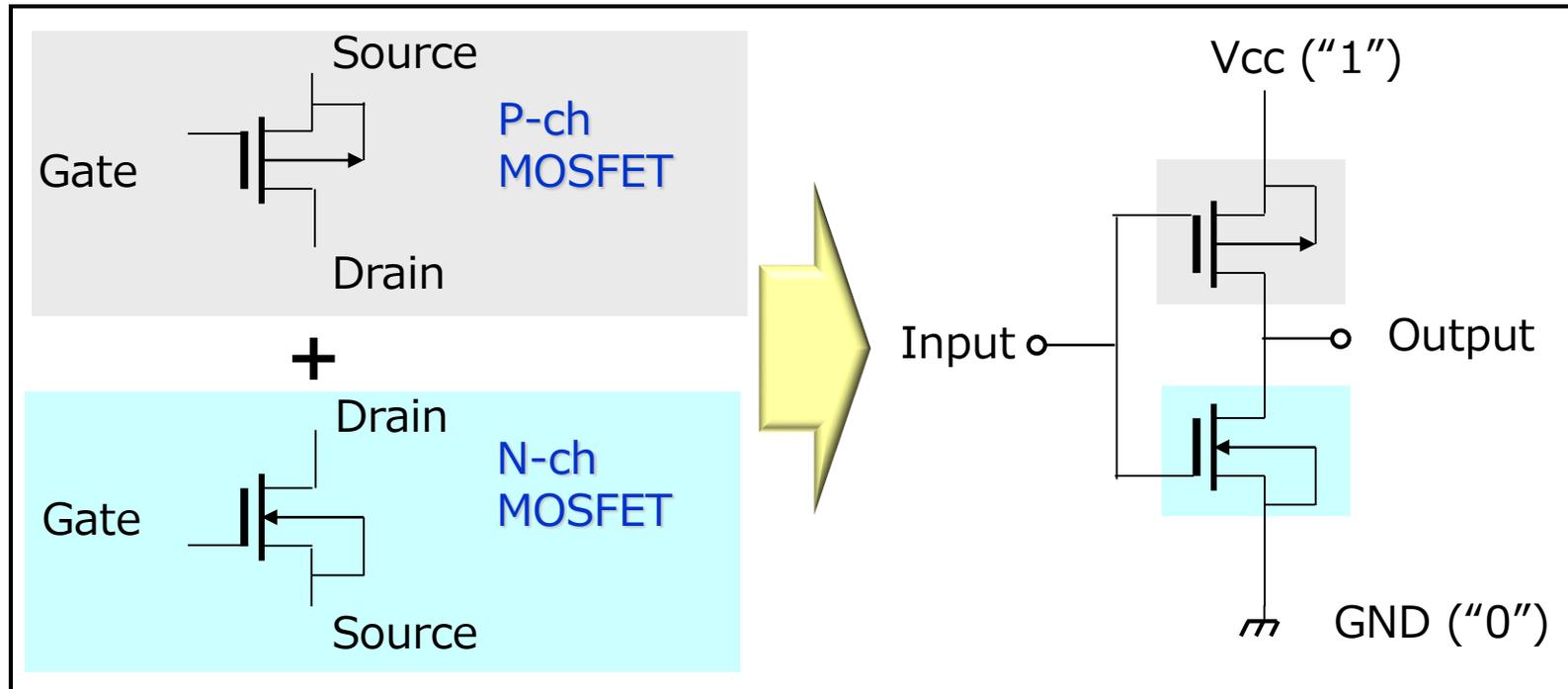
02

CMOSロジックICの基本動作

2.1 CMOSロジックICとは？

P-ch MOSFETと**N-ch MOSFET**を組み合わせたものを、**CMOS**（**C**omplimentary **M**OSFET）と言い、さまざまに組み合わせて論理を構成したICのことを**CMOSロジックIC**と言います。単純に一個ずつ組み合わせた回路を**インバータ回路**と言います。

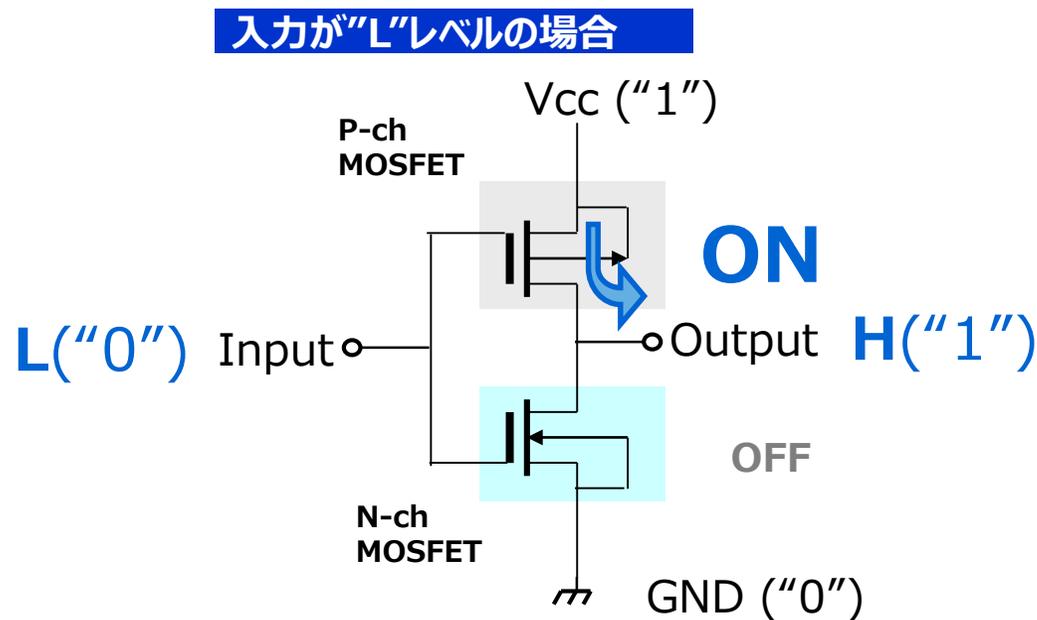
Inverter (インバーター)回路



2.2 CMOSロジックICの基本回路①

■ CMOSロジックICの基本動作

Inverter 回路動作を簡単に説明します。



※Vcc : 動作電圧

真理値表

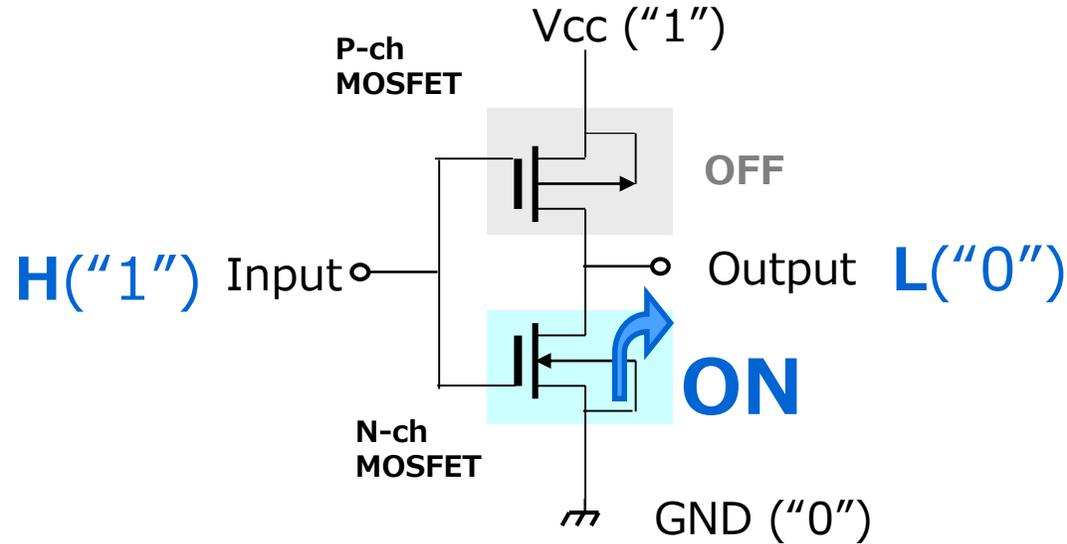
Input	Output
L	H
H	L

入力が“L”レベルの場合、N-ch MOSFETがOFF, P-ch MOSFETがONとなります。
この時、Vcc-出力間が電気的につながります。

出力信号は“H”レベル(Vccレベル (“1”))となります。

2.2 CMOSロジックICの基本回路①

入力が“H”レベルの場合



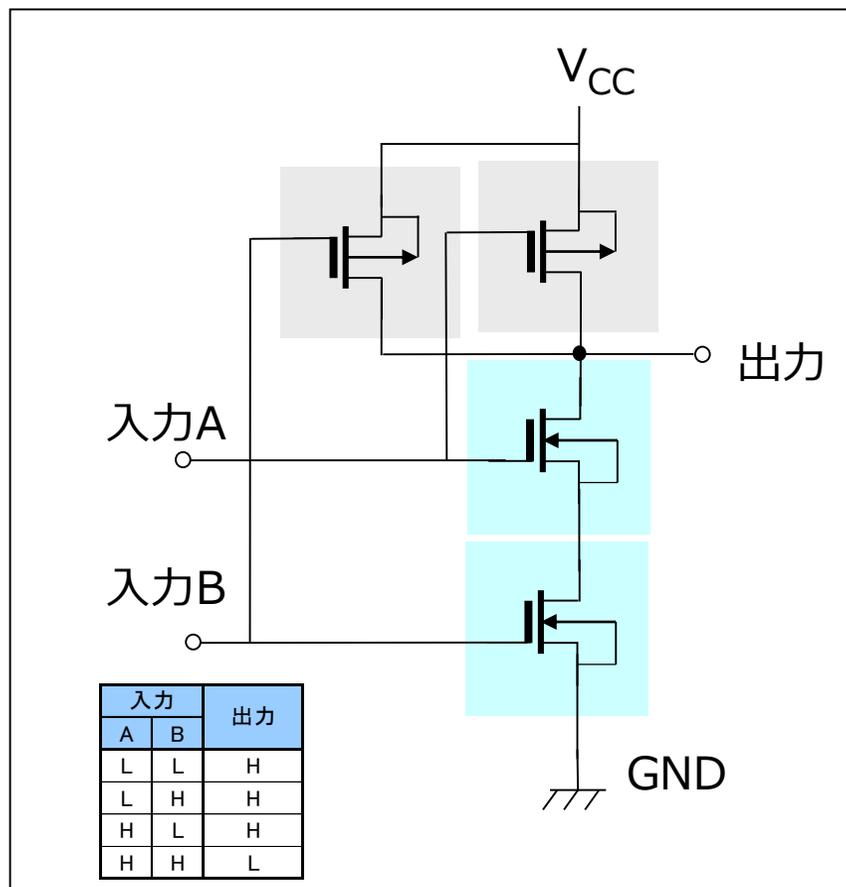
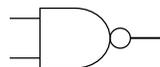
入力が“H”レベルの場合、N-ch MOSFETが**ON**、P-ch MOSFETが**OFF**となります。
この時、GND-出力間が電氣的につながります。

出力信号は“L”レベル(GNDレベル("0"))となります。

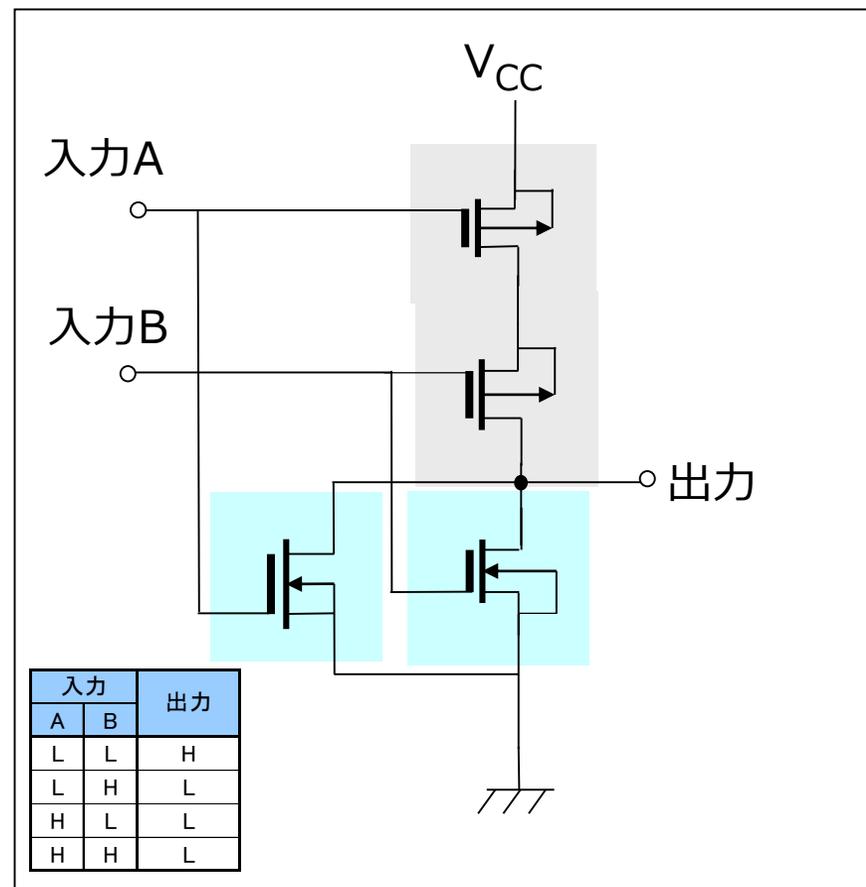
2.2 CMOSロジックICの基本回路 ②

P-ch MOSFETとN-ch MOSFETを組み合わせることにより、さまざまな論理回路を構成することができます。

2入力NANDゲート回路



2入力NORゲート回路

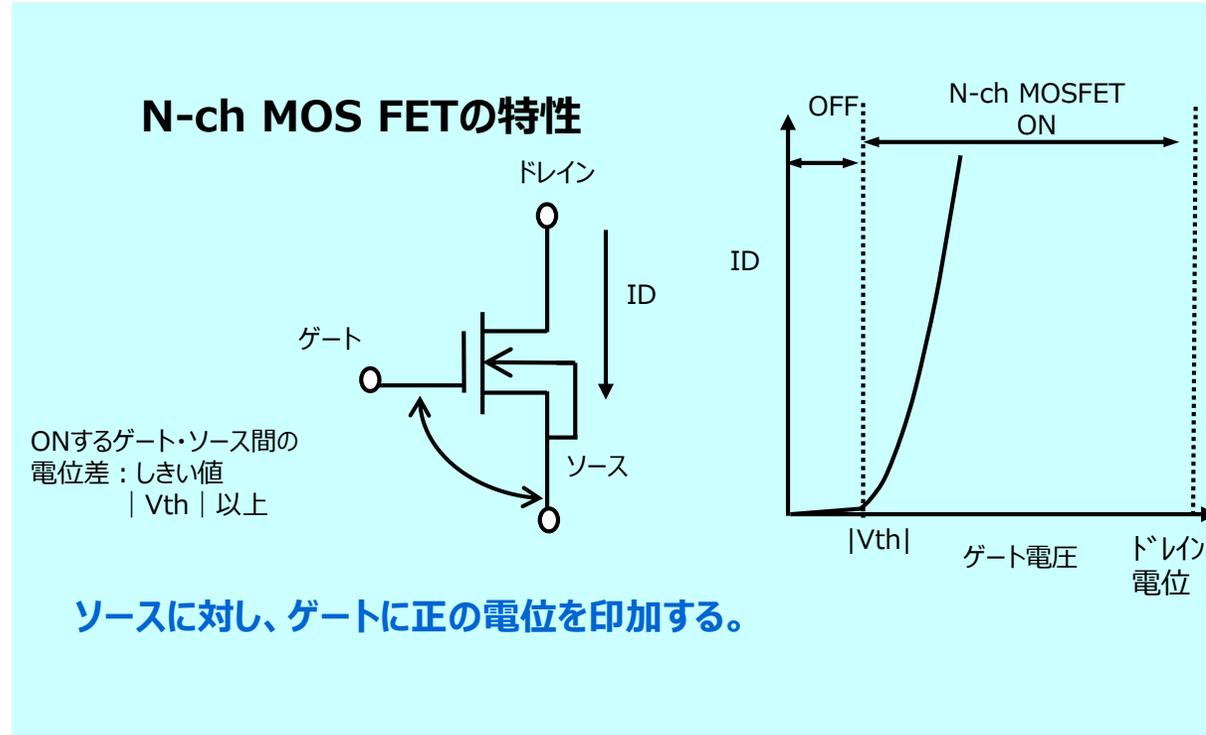


2.3 CMOSロジックICの基本動作 ①

MOSFETは、ゲート・ソース間の電位差を一定値（しきい値 $|V_{th}|$ とする）より大きくすると、ドレイン・ソース間の抵抗が小さくなります（オン状態）。このときのドレイン・ソース間の抵抗値をオン抵抗と呼びます。

ただし、N-ch MOSFETとP-ch MOSFETでは、ゲートとソース間にかかる電圧の向きが異なります。下図にてMOSFETがオンする状態を示します。

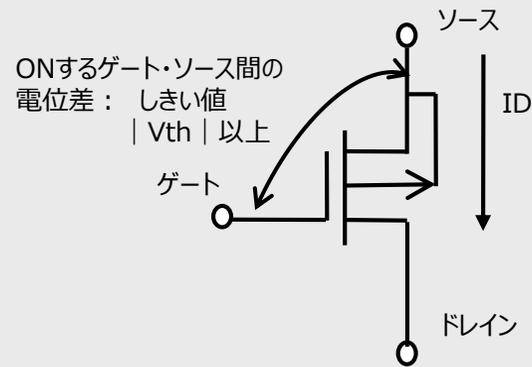
N-ch MOSFET : ゲート電位をソース電位より $|V_{th}|$ 高い電圧を印加するとオンします。



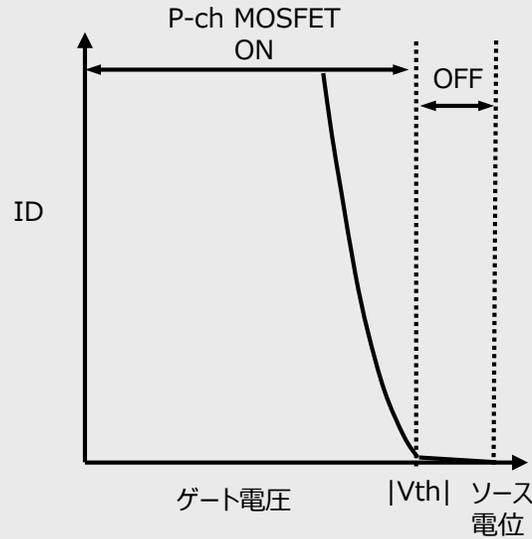
2.3 CMOSロジックICの基本動作 ①

P-ch MOSFET : ゲート電位をソース電位より $|V_{th}|$ 低い電圧を印加するとオンします。

P-ch MOS FETの特性



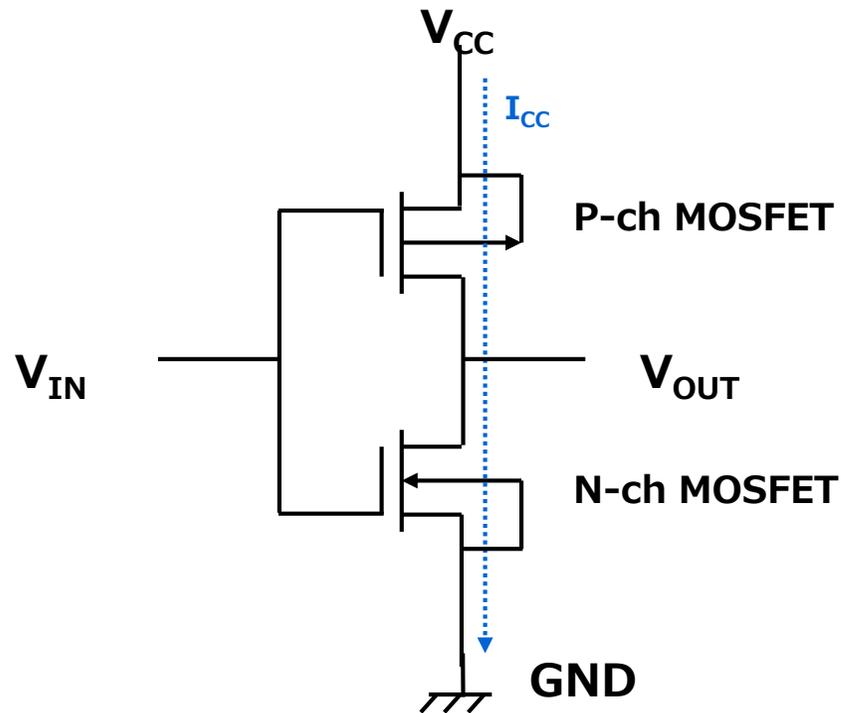
ソースに対し、ゲートに負の電位を印加する。



2.3 CMOSロジックICの基本動作 ②

下図にCMOSロジックICの基本回路（インバーター）を示します。

CMOSロジックICの基本回路の特徴は、 V_{IN} が V_{CC} レベルまたはGNDレベルであれば、P-ch MOSFETまたはN-ch MOSFETのいずれかがオフとなるため、電源-GND間に流れる電流(I_{CC})は非常に小さくなります。CMOSロジックICでは、入力信号が変わらない時（入力が V_{CC} レベルまたはGNDレベル）は、 I_{CC} は非常に小さくなります。

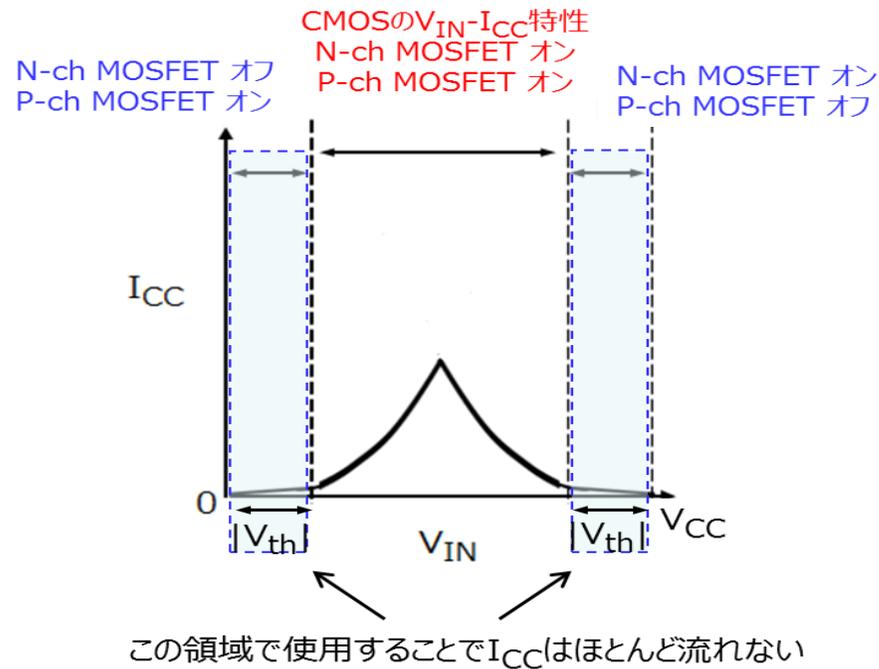


CMOSロジックICの基本回路（インバーター）

2.3 CMOSロジックICの基本動作 ②

下図にCMOSの V_{IN} - I_{CC} 特性を示します。

V_{IN} が 0 から $|V_{th}|$ 、 $V_{CC} - |V_{th}|$ から V_{CC} の間は、電源-GND間に流れる電流(I_{CC})は非常に小さくなります。しかし、 V_{IN} が $|V_{th}|$ から $V_{CC} - |V_{th}|$ の間はP-ch MOSFETからN-ch MOSFETへ貫通電流が流れるため I_{CC} が増加します。したがって、 V_{IN} の立ち上がりまたは立ち下がり時間が極端に遅い信号（「スロー入力」とよぶ）は、使用しないように注意する必要があります。



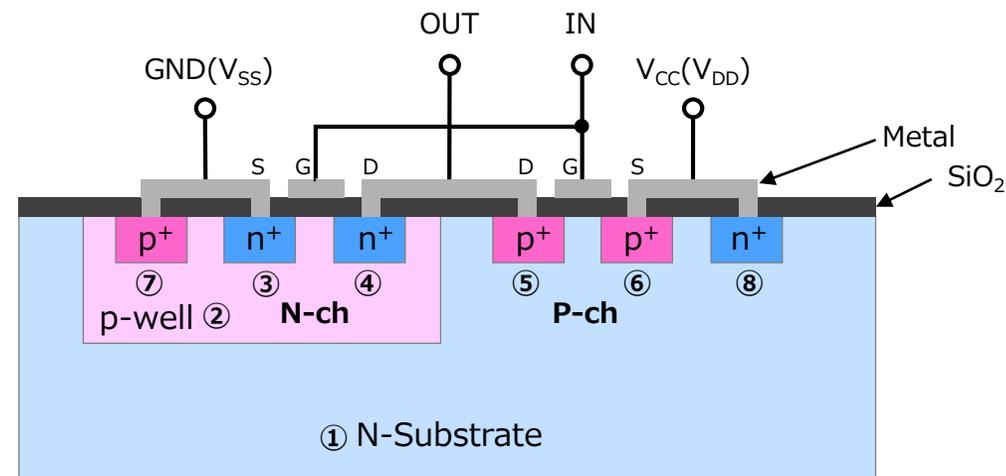
CMOSロジックICの V_{IN} - I_{CC} 特性

2.4 CMOSロジックICの基本構造

・断面構造図（例）

- ＞ N型基板（N-Substrate）上にP型の広い拡散領域（P-Well）を設ける。
- ＞ P-well上にN-chのMOSFETを形成
- ＞ N-Substrate上にP-chのMOSFETを形成
- ＞ プロセスによってはP型基板上にN-wellを設けるタイプもある。
- ＞ ゲート幅よりMOSFETの性能/集積度が決定するため、ゲート幅にて使用プロセスを表現する。Ex) ゲート幅が $1.0\mu\text{m}$ の場合 $1.0\mu\text{m}$ CMOSプロセスと呼ぶ（この場合、③－④、⑤－⑥間の距離）

- ① : N-Substrate 通常ウェハ－基板となる。
- ② : P-Well N-ch MOSFET領域形成用
- ③ : N-ch MOSFETソース用拡散
- ④ : N-ch MOSFETドレイン用拡散
- ⑤ : P-ch MOSFETドレイン用拡散
- ⑥ : P-ch MOSFETソース用拡散
- ⑦ : P-Wellバイアス用拡散
- ⑧ : N-Substrateバイアス用拡散



TOSHIBA