

TOSHIBA

e-ラーニング

CMOSロジックIC 基礎編

3章 CMOSロジックICの基本回路

東芝デバイス&ストレージ株式会社

03

CMOSロジックICの基本回路

代表製品の動作説明

3.1 CMOSロジックICの基本回路

CMOSロジックICは、組み合わせ論理回路と順序論理回路に分けることができます。これから各論理回路の代表的な基本回路について説明します。

CMOSロジックIC

組合せ論理回路 (Combinational Logic)

現在の入力が定まれば出力が決まる回路です。

インバーター、バッファー、双方向バスバッファー、シュミットトリガー
デコーダー、マルチプレクサー、アナログマルチプレクサー/デマルチプレクサー
アナログスイッチなど

順序論理回路 (Sequential Logic)

以前の入力状態を記録して、**制御信号**など入力で出力が決まる回路です。

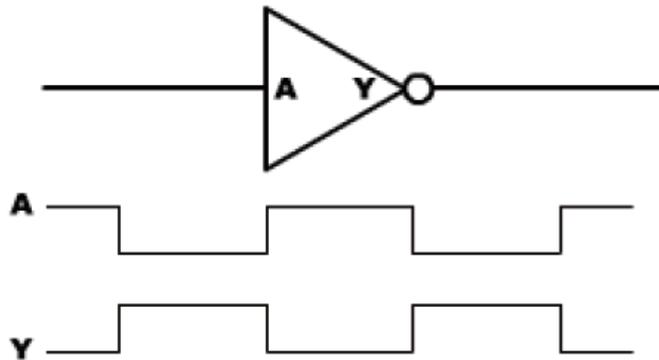
フリップフロップ、ラッチ、カウンタ、シフトレジスタなど

3.2.1 組み合わせ論理回路（インバーター、バッファ）

インバーター

(例：74VHC04)

インバーターは、入力(A)の信号に対して出力(X)が反転します。



出力が反転します。

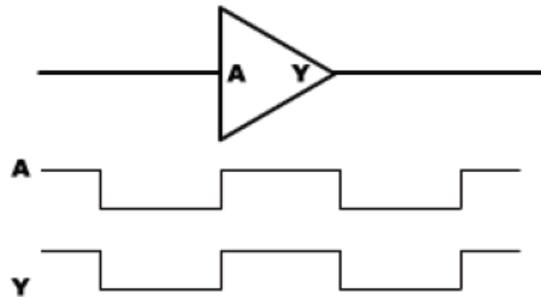
インバーターの回路動作（例：74VHC04）

3.2.1 組み合わせ論理回路（インバーター、バッファ）

バッファ

（例：74VHC244）

バッファは、駆動能力を上げて接続できる信号線を増やすことや、波形整形を行います。
論理演算を行いません。



バッファ回路動作（例：VHC244）

3.2.2 組み合わせ論理回路 (双方向バスバッファ)

双方向バスバッファ (トランシーバー)

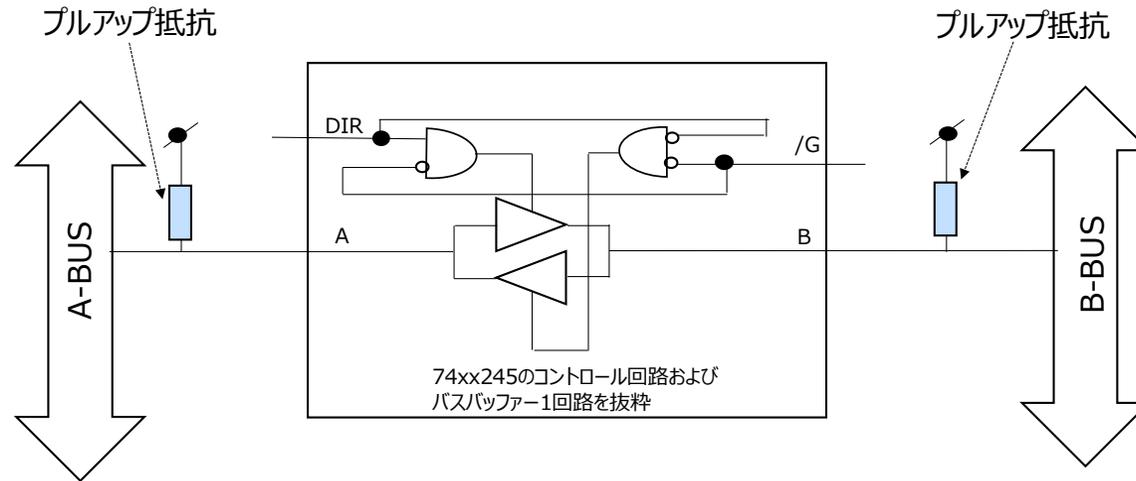
(例 : 74VHC245)

バッファの種類には、一つの入出力端子でデータの送信および受信の両方ができるタイプの双方向バスバッファ (トランシーバー) と呼ばれるものがあります。トランシーバーは信号を通す方向を制御信号(DIR)で切り替えることができるため、双方向にデータが通過するバスラインに使用されます。

下図に使用例を示します。

バス信号を双方向で使う場合は、制御信号(DIR)による信号切り替え時に入力信号がオープン(不定) になることを防ぐためにバス入力およびバス出力共にプルアップ抵抗を介して V_{CC} もしくはGNDに接続してください。

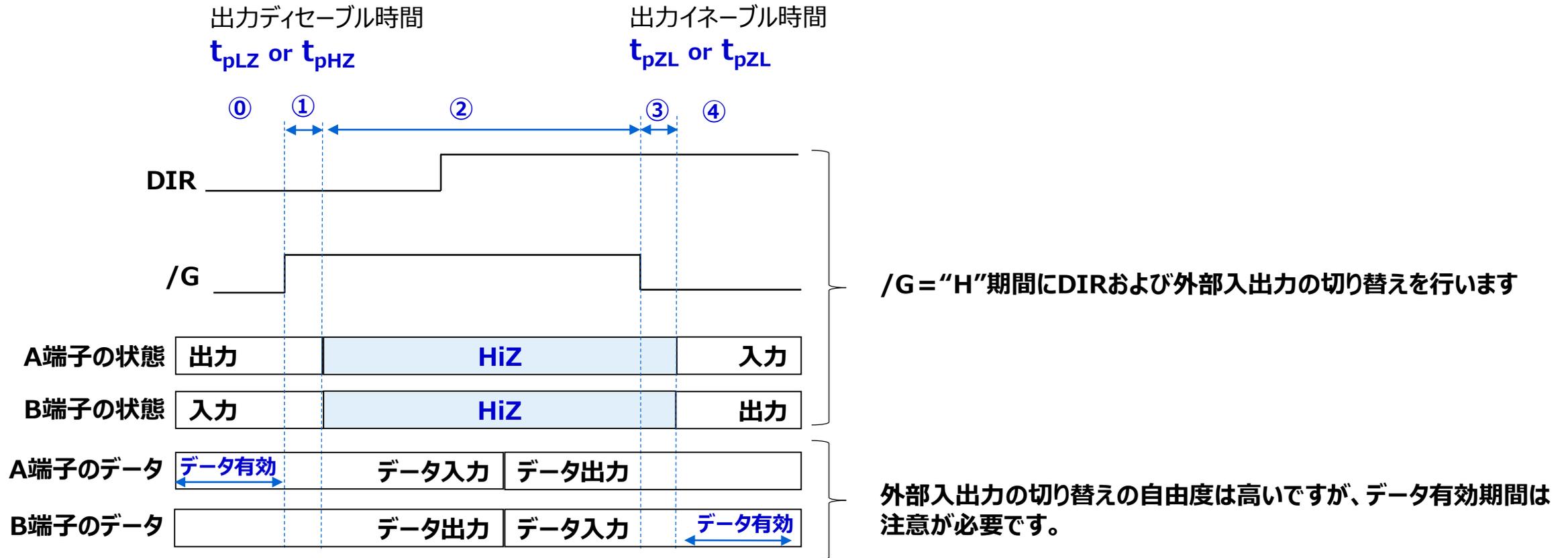
信号の切り替え時に、出力がバスラインの出力と短絡されない様にご注意ください。



双方向バスバッファ使用例

3.2.2 組み合わせ論理回路（双方向バスバッファ）

/G = "H" 期間にDIRを切り替えることで、外部入出力の切り替えを行うことができます。



/Gが"H"の間にDIRの切り替え、および信号の切り替えを行います。

- ①期間は入力B端子⇒出力A端子で動作しています。
- ①期間以降のA端子はHiZになり出力データは無効になります。
- ②期間にDIR信号の切り替え、外部回路の入出力の切り替えを行います。
- ③期間に入出力端子を有効にしますが、出力データとしては④以降安定します。
- ④期間は入力A端子⇒出力B端子で動作します。

3.2.3 組み合わせ論理回路 (シュミットトリガー)

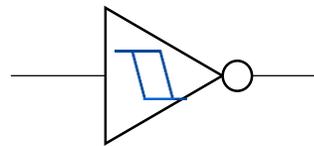
シュミットトリガー

(例: VHC14)

シュミットトリガーは、入力しきい値電圧にヒステリシスを持つ構造のことです。

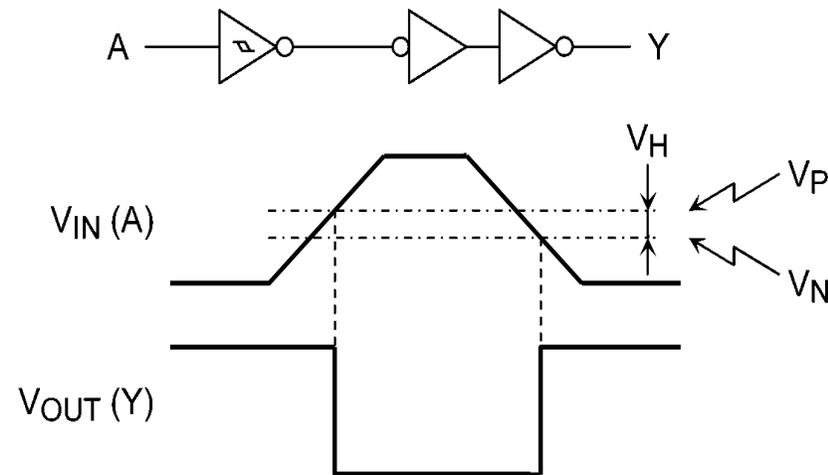
入力しきい値電圧にヒステリシスを持つシュミットインバーターの入出力波形を下図に示します。

入力しきい値電圧にヒステリシスを持つ製品は、入力電圧を上げていくときのしきい値(V_P)と、入力電圧を下げていくときのしきい値(V_N)が異なります。入力しきい値電圧にヒステリシス(V_H)を持たせることで、立ち上がり、立ち下がり時間の遅い信号が入力されても出力は安定します。また、このときノイズが重畳している入力信号や、ノイズによって電源電圧やGNDが揺れる場合でも、ヒステリシス幅を超えなければ、出力は変化しません。



シンボル

シュミットインバーター



シュミットインバーターの入出力波形

3.2.4 組み合わせ論理回路 (デコーダー)

デコーダー

(例：VHC138)

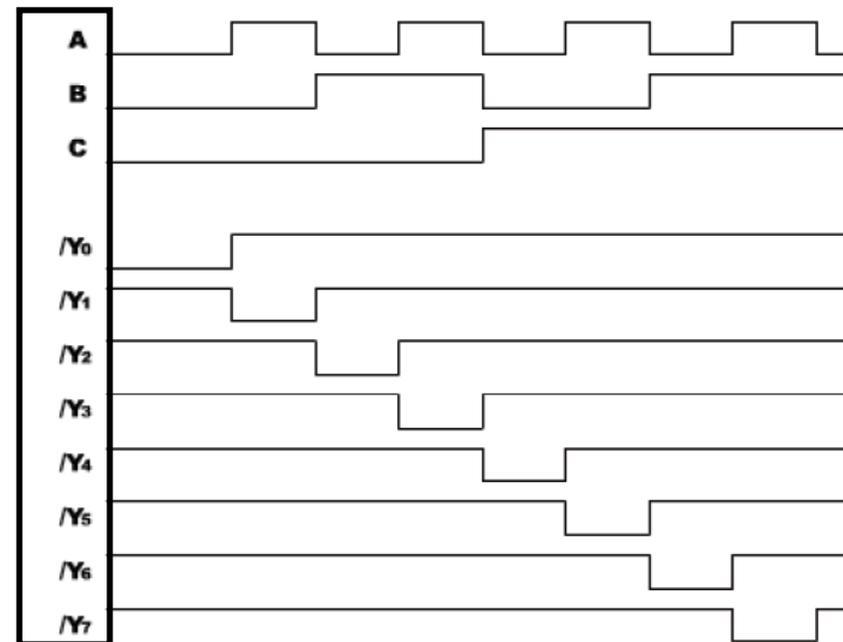
デコーダーは、N本の入力信号から 2^N 本の出力信号に変換します。ポートを拡張しチップセレクト信号としての使用が代表的です。

デコーダーの動作について

以下に3本の入力信号を8本の出力に変換する(3to8デコーダー)製品を想定した論理記号および、真理値表、タイミングチャートを示します。



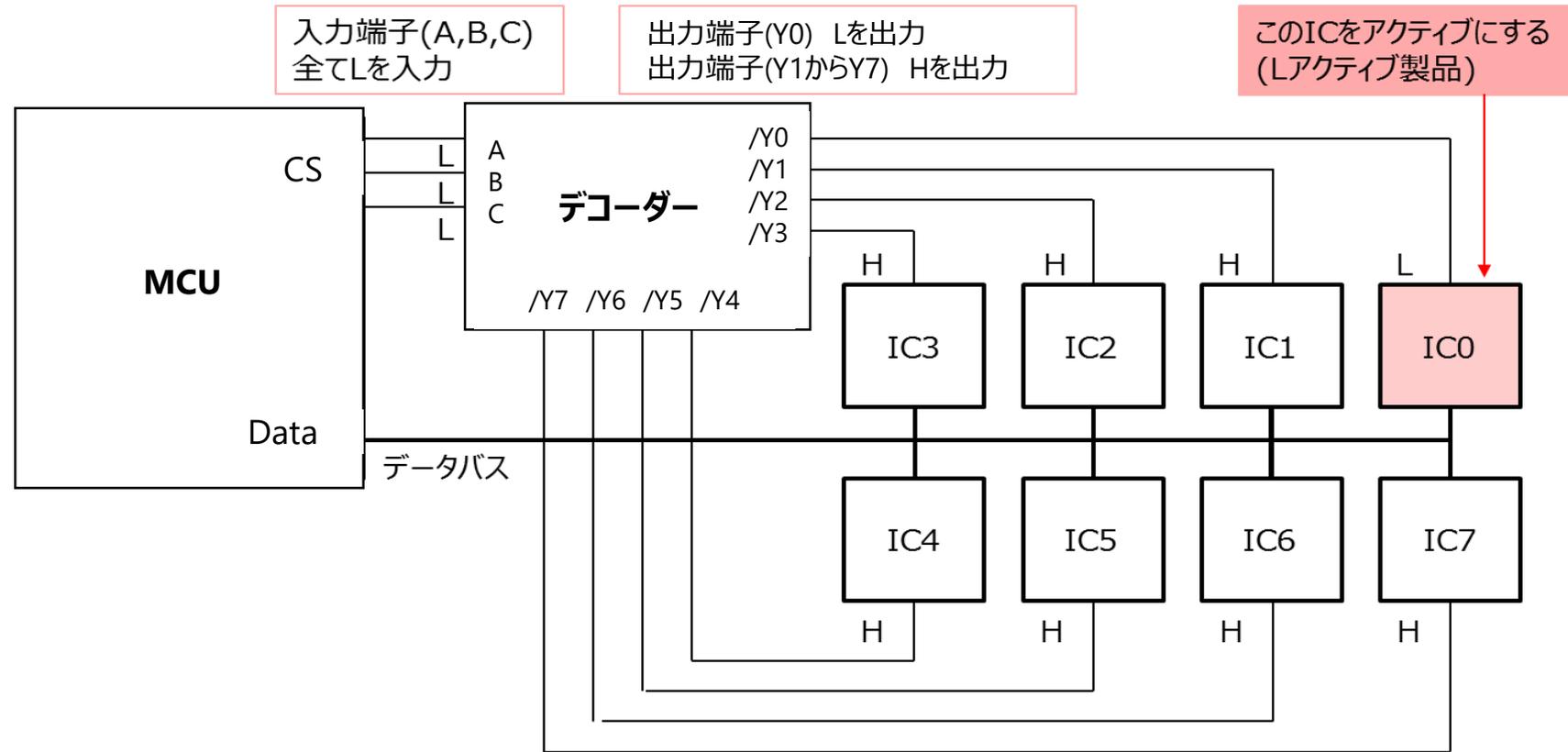
デコーダー (3to8)の論理記号と真理値表



デコーダー (3to8)のタイミングチャート

3.2.4 組み合わせ論理回路（デコーダー）

チップセレクトのイメージ図では、3本の入力信号(A,B,C)がLの場合を示しています。この時、8つの出力端子のうちY0のみLが出力され、それ以外の出力端子はHを出力します。IC0をセレクトしている状態です。このようにして3本の入力信号の組み合わせで、任意のチップをセレクトできます。



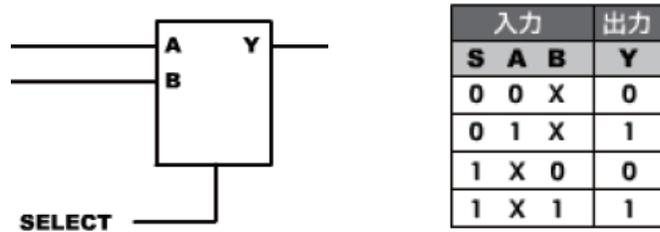
チップセレクトのイメージ図

3.2.5 組み合わせ論理回路 (マルチプレクサー)

マルチプレクサー

(例 : 74VHC157、74VHC153)

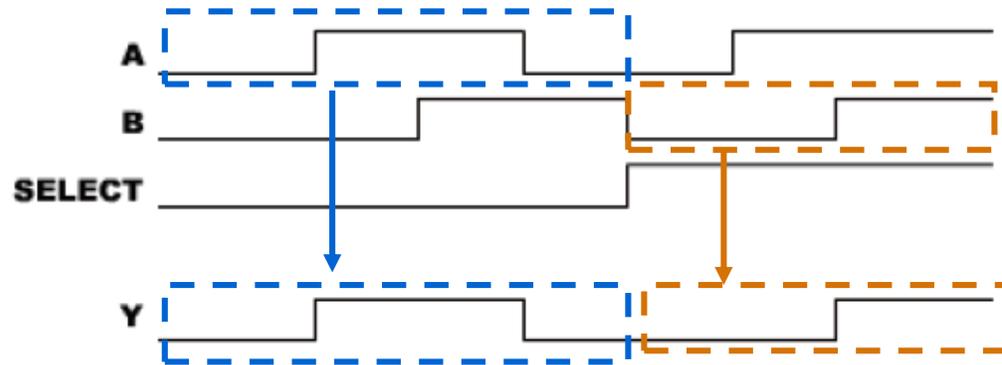
マルチプレクサーは複数の入力信号から 1 つの信号を選択し出力することができます。



2to1 マルチプレクサーの論理記号/真理値表

3.2.5 組み合わせ論理回路（マルチプレクサー）

2つの入力信号から1つの信号を選択するタイミングチャートを下図に示します。
SELECT端子がL（0）の場合、A端子の信号がY端子に出力されます。
SELECT端子がH（1）の場合、B端子の信号がY端子に出力されます。

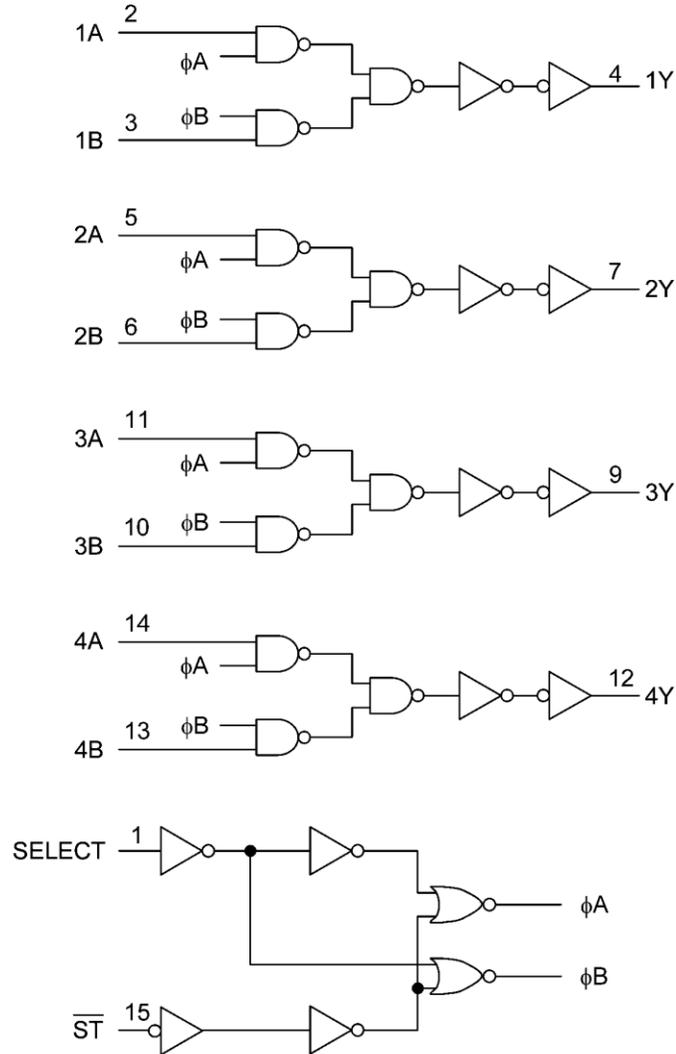


2to1 マルチプレクサーのタイミングチャート

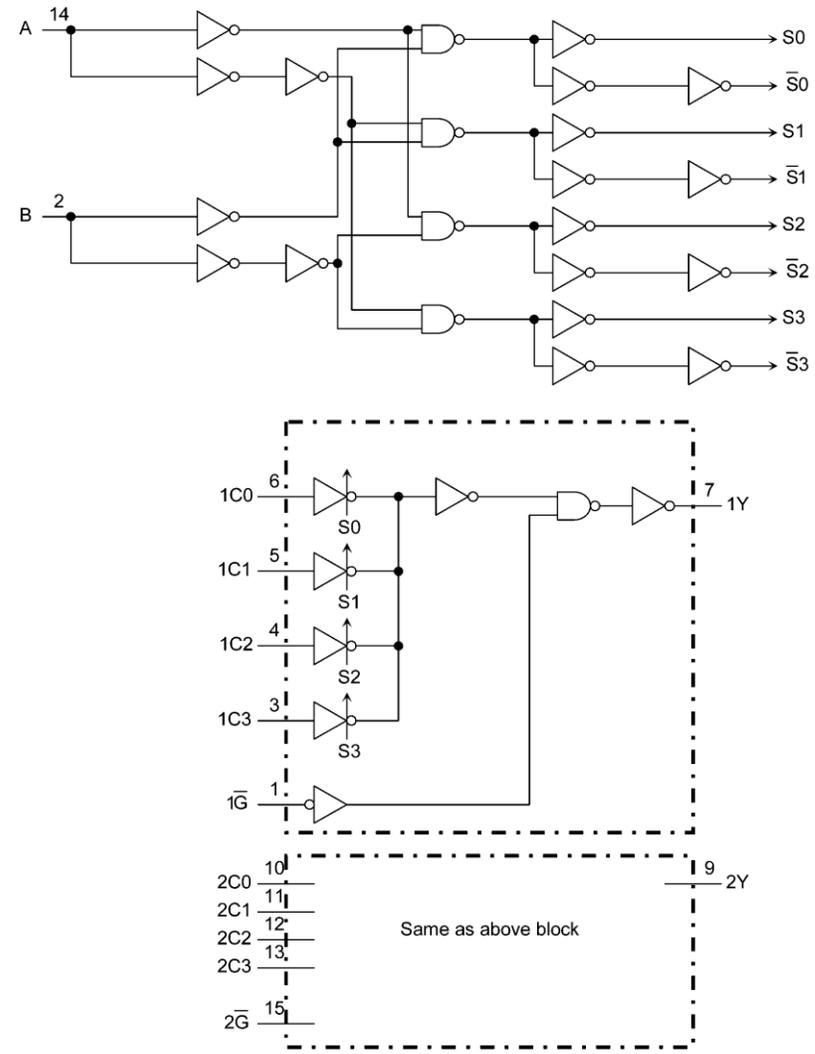
3.2.5 組み合わせ論理回路 (マルチプレクサー)

マルチプレクサーの種類

2to1(例 : 74VHC157) 論理回路図



4to1(例 : 74VHC153) 論理回路図



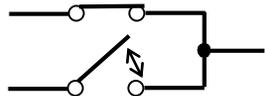
3.2.6 組み合わせ論理回路 (アナログマルチプレクサー/デマルチプレクサー)

アナログマルチプレクサー/デマルチプレクサー

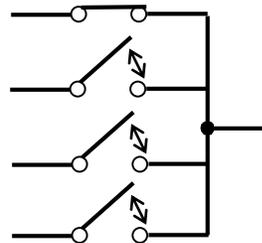
(例 : 74VHC4051/4052/4053)

アナログマルチプレクサーはアナログスイッチ(注)を用いることで、複数のアナログ入力信号から1つの信号を選択し出力することができます。アナログスイッチは入出力の双方向に信号を通すことができるので、マルチプレクサーとデマルチプレクサーの両方の役割を果たすことができます。

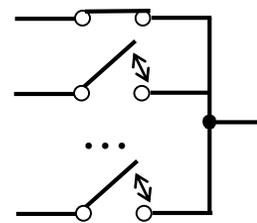
2to1/1to2(xxx4053)



4to1/1to4(xxx4052)



8to1/1to8(xxx4051)

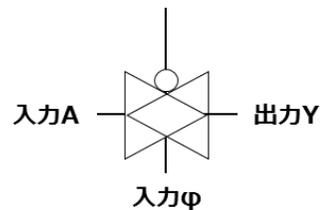


アナログマルチプレクサ/デマルチプレクサはアナログ信号、デジタル信号共に使用できます。

3.2.7 組み合わせ論理回路 (アナログスイッチ)

アナログスイッチ (Bilateral Switch) (製品例 74VHC4066)

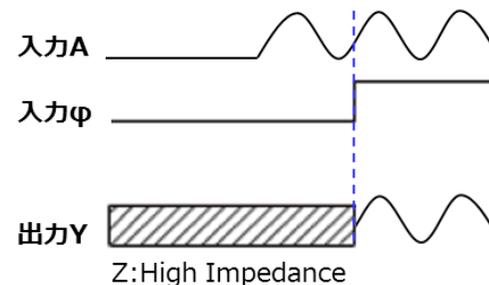
アナログスイッチは、正弦波のようなアナログ信号の伝達や遮断をスイッチのオンとオフにより制御することができます。アナログスイッチは、オン抵抗低減と入出力特性のリニアリティ改善のために、N-ch MOSFETとP-ch MOSFETを並列接続し構成しています。アナログスイッチは、データシート内にアナログスイッチ特性として、正弦歪み率や最大周波数応答、フィールドスルー、クロストークなどの標準値についても記載しています。以下にアナログスイッチの論理記号/真理値表、タイミングチャート、論理回路図を示します。



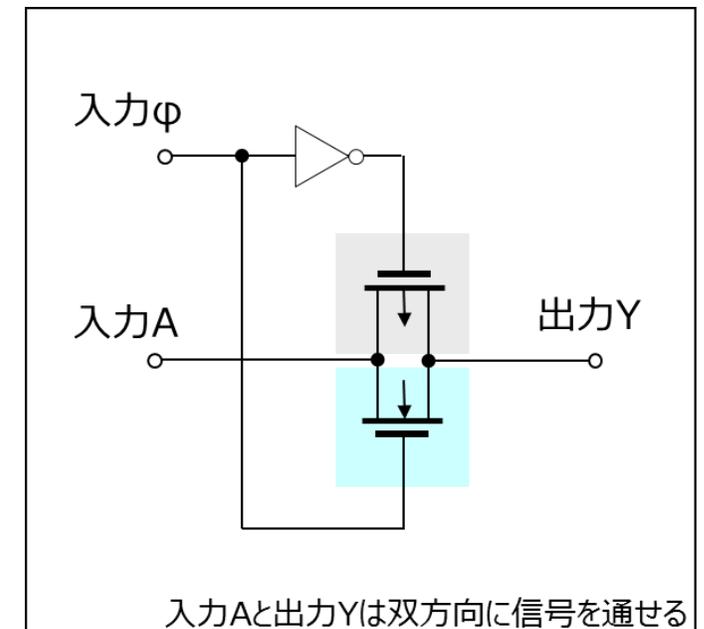
入力		出力
φ	A	Y
H	H	H
H	L	L
L	X	Z

X: Don't Care
Z: High Impedance

アナログスイッチの論理記号/真理値表



アナログスイッチのタイミングチャート



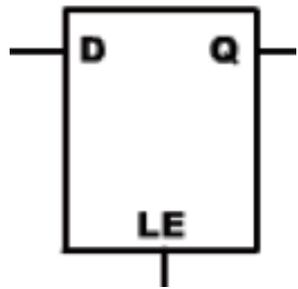
アナログスイッチの論理回路図

3.3.1 順序論理回路 (ラッチ)

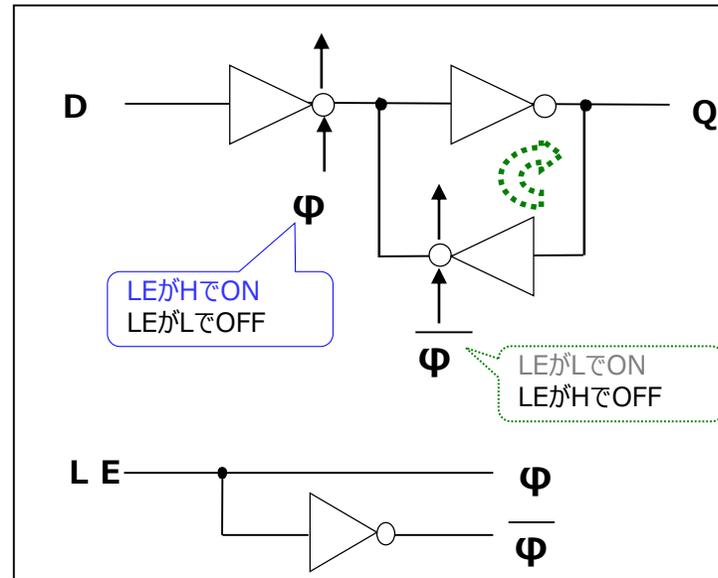
ラッチ

(例 : 74VHC157)

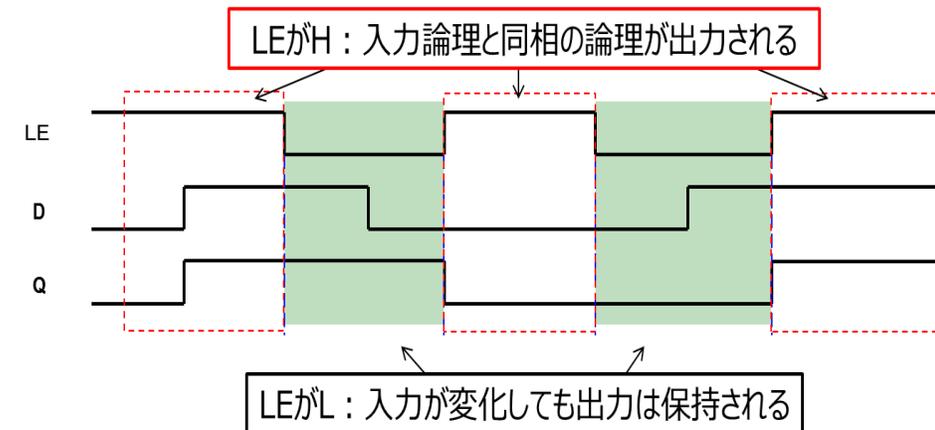
ラッチは、データをおある条件下で保持することが出来ます。
ラッチにはDラッチ、RSラッチなどの種類があります。ここではDラッチを例に動作を説明します。
入力信号(D)、ラッチイネーブル信号(LE)、出力(Q)で構成されるDラッチ製品の場合、ラッチイネーブル信号(LE)がLの時には直前の出力(Q)が保持されますが、ラッチイネーブル信号(LE)がHの時には入力論理と同じ論理が出力されます。以下にタイミングチャートを示します。



入力		出力	
LE	D	Q	Q
1	0	0	0
1	1	1	1
0	X	HOLD	HOLD



ラッチの論理回路図



ラッチのタイミングチャート

ラッチの論理記号/真理値表

3.3.2 順序論理回路 (フリップフロップ)

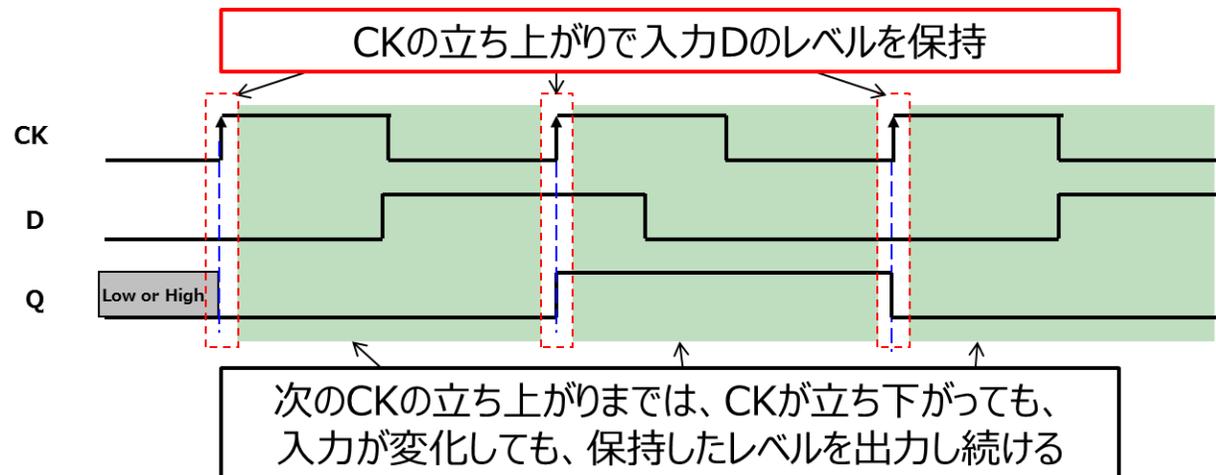
フリップフロップ

(例：74VHC74)

フリップフロップは、データをある条件下で保持することが出来ます。フリップフロップ(Flip-Flop)は、頭文字をとってFFと表記されることもあります。フリップフロップにはDタイプフリップフロップ、JKタイプフリップフロップなどの種類があります。ここではDタイプフリップフロップを例に動作を説明します。

Dラッチとの差はクロックが立ち下がった時にも出力データが保持されていることです。(DラッチはLE入力がHの場合、入力論理と同じの論理が出力される。)

入力(D)、クロック(CK)、出力(Q)で構成される製品の場合、クロック(CK)の立ち上がりにより、入力 (D)が保持されその信号が出力されます。次のクロック(CK)の立ち上がりが入力されるまで、入力(D)が変化しても出力(Q)は変わりません。クロック(CK)が立ち上がり以外の時には、直前の立ち上がりクロック(CK)で保持した入力(D)が出力され続けます。以下にタイミングチャートを示します。内部保持信号を初期化出来るCLR、PR(*)付きの製品もあります。



(*) CLR:クリア機能, PR : プリセット機能

フリップフロップの応用例として非同期信号の同期化、デジタル信号の遅延回路、カウンター、分周回路などがあります。

フリップフロップのタイミングチャート

3.3.2 順序論理回路 (フリップフロップ)

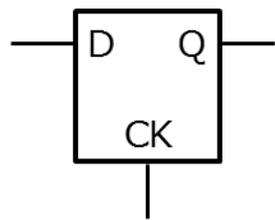
Dタイプフリップフロップの動作について

論理回路図を用いてDタイプフリップフロップの動作について説明します。

DタイプフリップフロップはDラッチの回路を2段接続して構成しています。

Dタイプフリップフロップは、クロック(CK)に立ち上がりが入力されると、ラッチ回路(1)が動作します。クロック(CK)がHの時には、ラッチ回路(1)が動作しつづけ、ラッチ回路(2)の初段のクロックドインバーターも動作しているため、ラッチ回路(1)で保持しているデータを出力(Q)に出力します(システム図中青矢印)。入力信号が変わっても出力は変化しません。クロック(CK)がLになった時はラッチ回路(2)が動作し、ラッチ回路(1)が保持したデータを出力し続けます(システム図中緑矢印)。この時も入力信号が変わっても出力は変化しません。

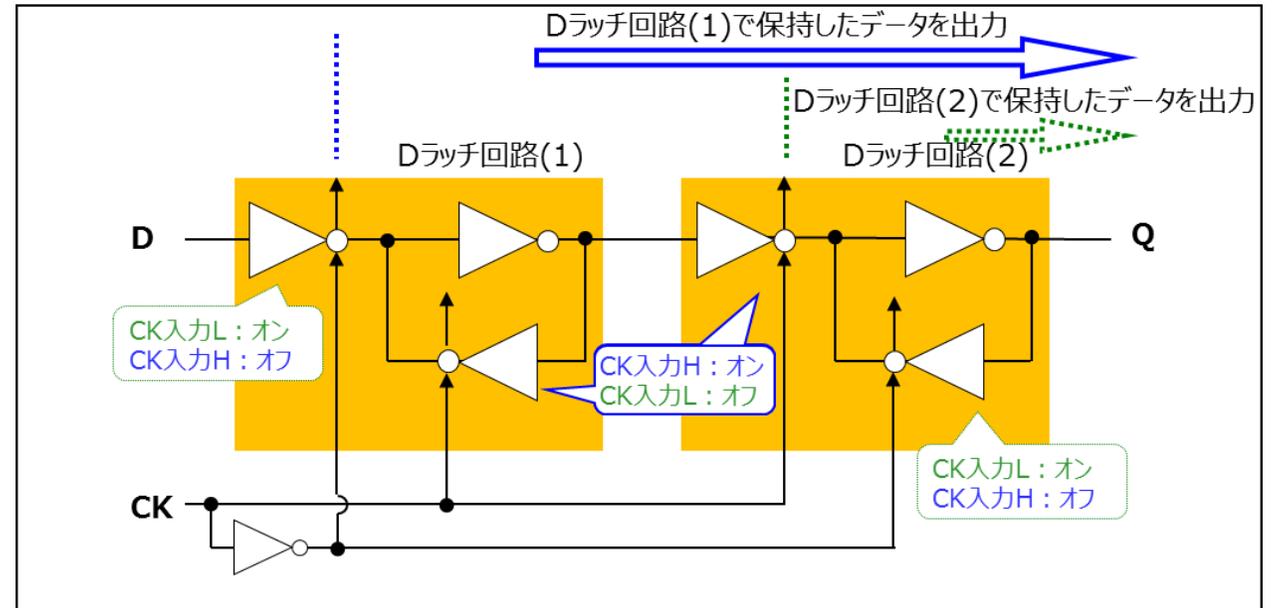
クロック(CK)の立ち上がりを読み込む前の出力(Q)は不明であることに注意が必要です。



入力		出力
CK	D	Q
┌	L	L
┌	H	H
└	X	Q

X: Don't Care
Q: No Change

Dタイプフリップフロップの論理記号/真理値表



Dタイプフリップフロップの論理回路図

3.3.3 順序論理回路 (カウンター)

カウンター

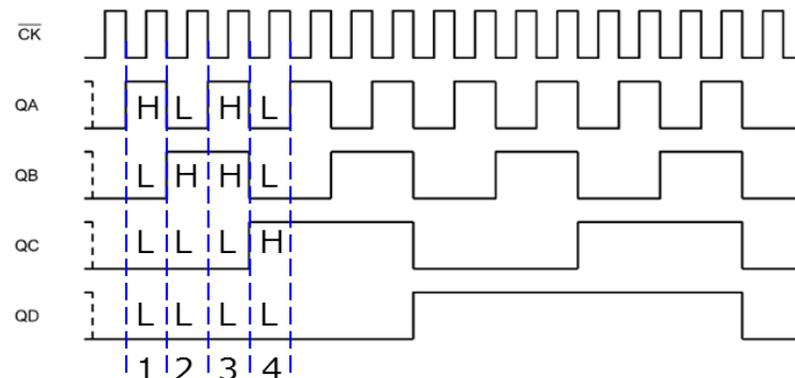
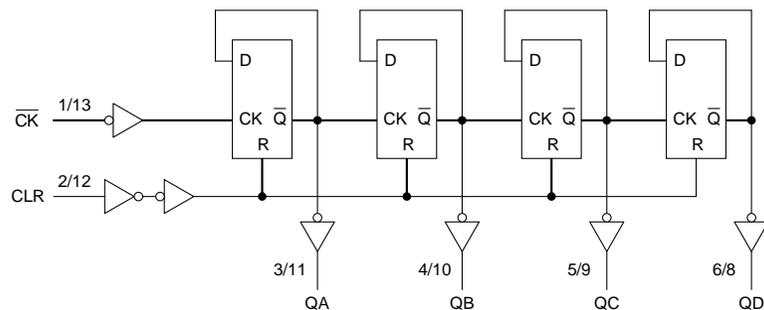
(例 : 74VHC393、74VHC161)

カウンターは、入力されたクロック(CK)に従ってアップカウンター(加算)やダウンカウンター(減算)を行います。4bitカウンターは16まで、8ビットカウンターは256まで、14ビットカウンターは16384までカウントできます。内部保持信号を初期化できるCLR付きの製品もあります。

カウンターはデジタルタイマー、計算機、ストップウォッチなどさまざまな機器に組み込まれています。

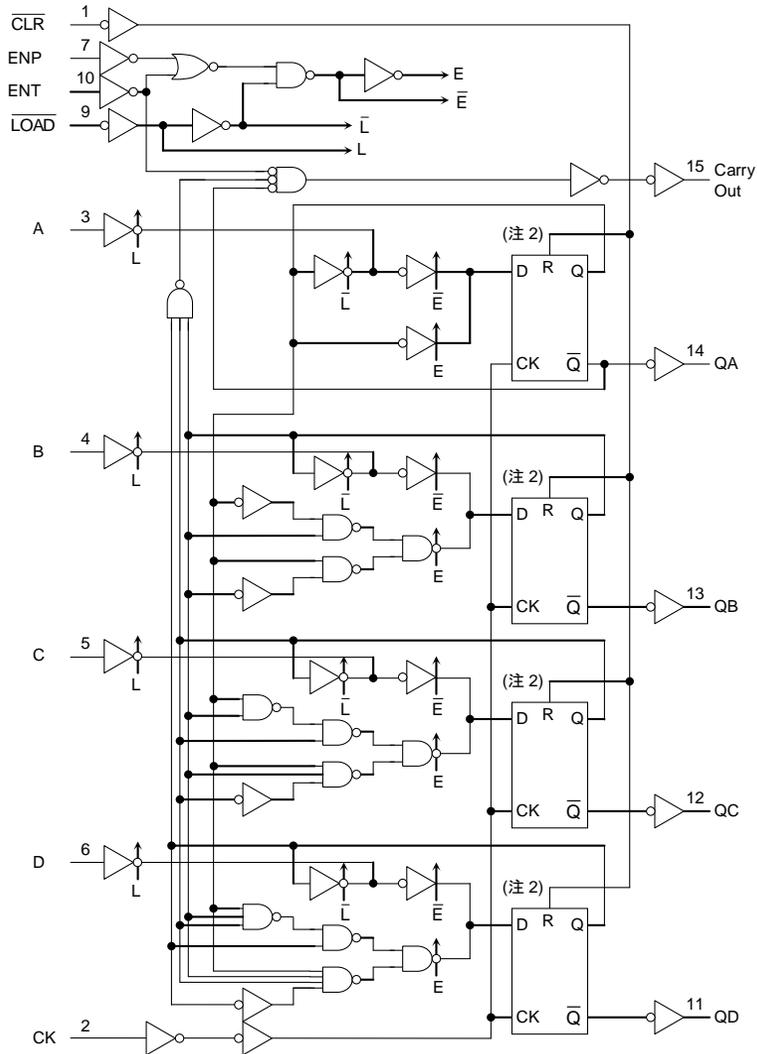
カウンターには、CK非同期式(リップルキャリー方式)と、CK同期式(パラレルキャリー方式)があります。CK非同期式は、一段の伝搬遅延時間を t_{pd} とすると、n段目の伝搬遅延時間は $n \times t_{pd}$ となり、大きく遅延します。出力信号を使って論理を組む場合は、その出力にハザードが発生することがありますので注意が必要です。

TC74VHC393(4bitカウンタ)
CK非同期式 : リップルキャリー方式

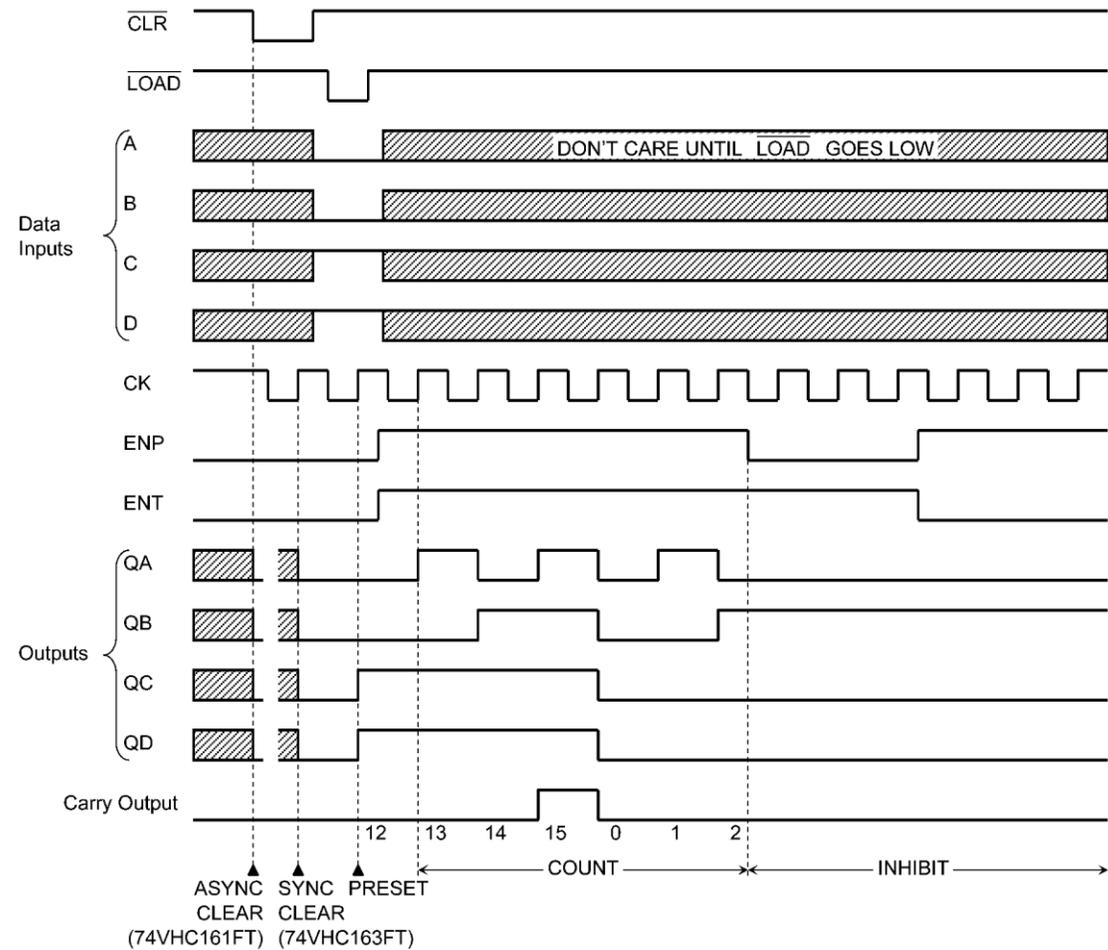


3.3.3 順序論理回路 (カウンター)

TC74VHC161(4bitカウンタ) 論理回路図
 CK同期式:パラレルキャリー方式



タイミングチャート：CK同期式(パラレルキャリー方式)の代表品種のTDを抜粋します。CK信号の立ち上がりで、1ビットずつカウントアップする同期式カウンターです。



3.3.4 順序論理回路（シフトレジスタ）

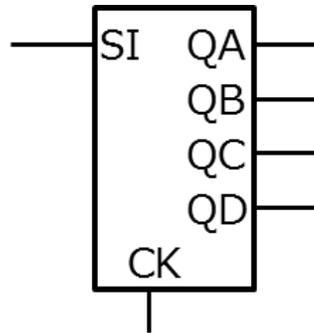
シフトレジスタ

（例：74VHC164、74VHC165）

シフトレジスタはシリアル-パラレル変換（SI-PO）やパラレル-シリアル変換（PI-SO）を行います。伝送線幅（ビット数）の削減用にパラレル・シリアル変換が活用されています。内部保持信号を初期化できるCLR付きの製品もあります。

以下にシフトレジスタの論理記号/真理値表を示します。

シフトレジスタは複数のフリップフロップを使用して構成しています。



入力		出力			
CK	SI	QA	QB	QC	QD
↓	L	L	QAn	QBn	QCn
↓	H	H	QAn	QBn	QCn

QAn～QCn：
クロックの立ち上がりの直前におけるQA～QC 出力のレベルを示す

シフトレジスタの論理記号/真理値表

3.3.4 順序論理回路 (シフトレジスタ)

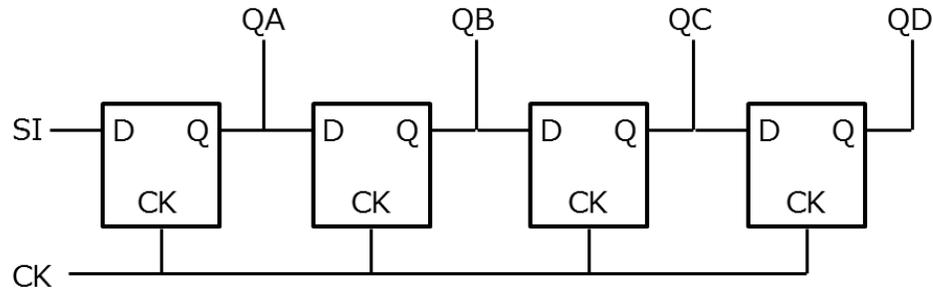
シフトレジスタの動作について

論理回路図とタイミングチャートを用いてシフトレジスタの動作について説明します。

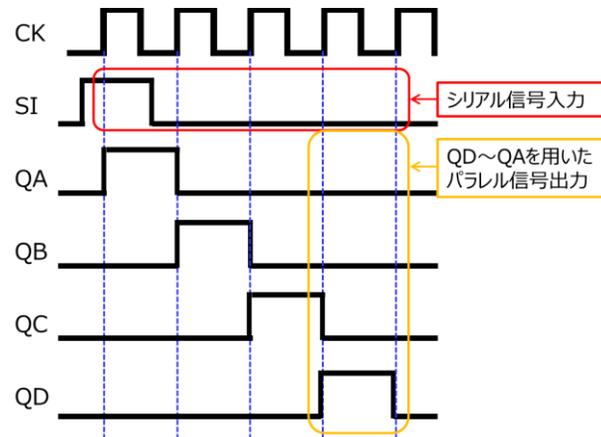
シフトレジスタは1段目のフリップフロップの出力(Q)を2段目のフリップフロップの入力(D)へ接続しています。

同様に2段目フリップフロップの出力(Q)は3段目のフリップフロップの入力(D)へ接続しています。3段目と4段目も同様です。

入力(SI)は1段目のフリップフロップの入力(D)と接続されています。クロック(CK)の立ち上がりで入力(SI)のデータがQAへ出力されます。クロック(CK)の立ち上がりが4回入力され4段目のフリップフロップまで入力(SI)の信号が伝わると、入力(SI)に入力のシリアル信号がQD、QC、QB、QAの平行信号に変換されています。



シフトレジスタの論理回路図

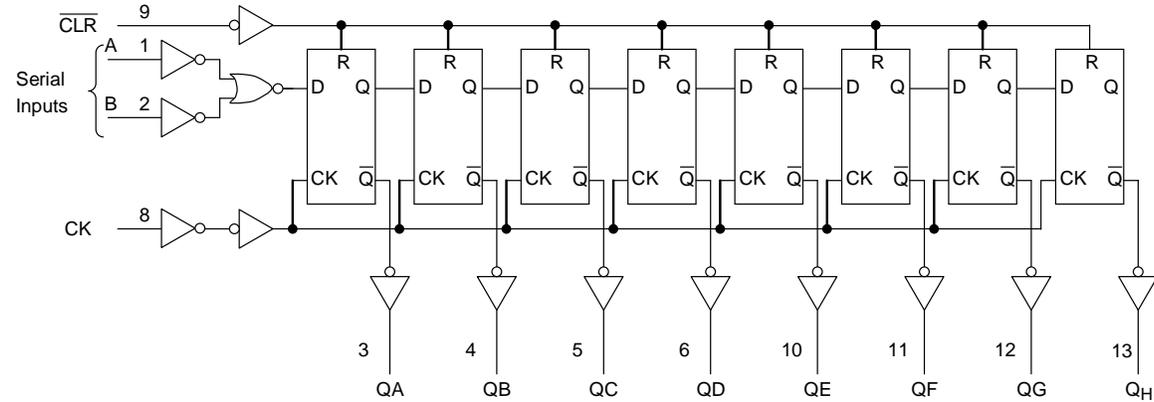


シフトレジスタの タイミングチャート
(シリアルIN平行OUT変換のイメージ図)

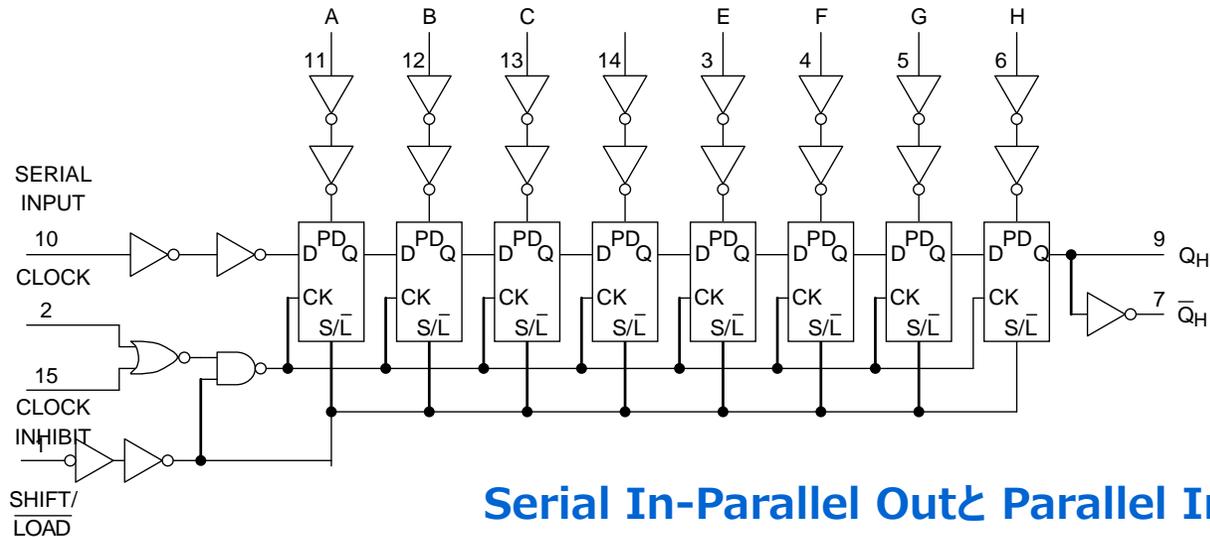
3.3.4 順序論理回路 (シフトレジスタ)

シフトレジスタの種類

TC74VHC164(8bit SI-POシフトレジスタ) 論理回路図



TC74VHC165(8bit PI-SOシフトレジスタ) 論理回路図



Serial In-Parallel Outと Parallel In- Serial Outの製品があります。

TOSHIBA