MOSFET 使用上の注意点

- データシートだけでは足りない、設計における注意点 -

概要

MOSFET 単体では様々なアプリケーションに使用されています。単純なスイッチから、電源回路で使用される際のスイッチング素子として使用されたり、ロードスイッチの逆流防止として使用されるなど、使用される場面はありとあらゆるところにあります。ありとあらゆるアプリケーションに使用される MOSFET ならではの、これだけは知っておいて欲しいポイントを、経験豊富なエンジニアが解説しています。回路設計の近道としてぜひご一読ください。

© 2022
Toshiba Electronic Devices & Storage Corporation

2022-03-31
Rev.1.0

目次

概要 1
目次 2
1. MOSFET の発振、振動について（単体使用時） 5
1.1. MOSFET の発振 6
1.1.1. MOSFET のスイッチング用途における寄生発振（単独使用） 7
1.1.2. 寄生発振回路（寄生発振ループ） 8
1.1.3. 寄生発振条件と改善、対策 11
1.2. ドレインインダクタンス誘起電圧振動 12
1.2.1. メカニズム 12
1.2.2. 改善、対策 13
1.3. ソース端子、配線の浮遊インダクタンスによる誘起電圧 14
1.3.1. メカニズム 14
1.3.2. 改善、対策 15
2. MOSFET の並列動作について 16
2.1. 素子特性バラツキによる電流バラツキ（並列動作） 16
2.1.1. 定常状態動作時の電流アンバランス 16
2.1.2. スイッチング過渡期における電流アンバランス 16
2.2. 寄生発振（並列動作） 17
2.2.1. ドレイン・ソース間電圧振動によるゲート電圧振動 17
2.2.2. 並列接続の寄生発振 18
2.2.3. 並列接続の場合の寄生発振防止 20
3. MOSFET の安全動作領域 22
4. MOSFET の dv/dt とは 23
4.1. dv/dt 発生のタイミング 23
4.1.1. スイッチング過渡期の dv/dt 23
4.1.2. ダイオード逆回復動作時の dv/dt 25
4.2. MOSFET スイッチング動作（インダクタ負荷） 26
4.2.1. ターンオン時のスイッチング 26
4.2.2. ターンオフ時のスイッチング 27

© 2022
Toshiba Electronic Devices & Storage Corporation

製品取り扱い上のお願い 28

図目次

図 1 帰還回路 5
図 2 ループ利得 6
図 3 発振基本図 7
図 4 発振回路電流 7
図 5 FWD 通電回路 8
図 6 FWD 通電回路の等価回路 8
図 7 FWD 導通回路 8
図 8 負荷短絡回路 9
図 9 ドレイン・ソース間の寄生容量の存在 9
図 10 等価回路 9
図 11 ゲート回路付き等価回路 10
図 12 等価回路 10
図 13 寄生発振価回路 11
図 14 サージ電圧発生回路 12
図 15 ドレイン・ソース間共振ループ 13
図 16 振動波形 13
図 17 振動波形 14
図 18 回路 14
図 19 MOSFET 並列接続回路 17
図 20 MOSFET 並列接続 18
図 21 寄生発振周波数等価回路 18
図 22 MOSFET 並列接続 18
図 23 寄生発振等価回路 19
図 24 等価回路変形 19
図 25 図 24 の変形 19
図 26 MOSFET 並列回路 20
図 27 MOSFET 並列接続等価回路 20

© 2022
Toshiba Electronic Devices & Storage Corporation

図 28　ゲート・ソース間コンデンサー 21
図 29　等価回路 21
図 30　Ld ＜＜Ls による逆効果 21
図 31　MOSFET の安全動作領域 (SOA) 22
図 32　MOSFET 構造断面図および等価回路 23
図 33　インダクター負荷のスイッチング回路 24
図 34　インダクター負荷のスイッチング波形 24
図 35　MOSFET 上下動作 25
図 36　ダイオード逆回復時波形 25
図 37　ターンオン波形 26
図 38　ターンオフ波形 27

© 2022
Toshiba Electronic Devices & Storage Corporation

1. MOSFET の発振、振動について（単体使用時）

MOSFET の発振および振動について考察します。MOSFET をスイッチング用途として使用する場合のケースです。ゲート電圧の発振、振動は、MOSFET の誤動作、損失増加および破壊を招く可能性があります。MOSFET の発振、振動の主な原因として、以下が挙げられます。

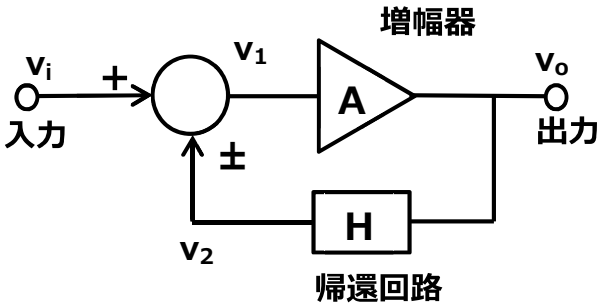
(1) 発振回路の形成
　回路上に MOSFET 発振回路が形成され寄生発振を起こします。
(2) ドレイン・ソース間電圧サージ電圧に起因
　MOSFET オフ時のドレイン・ソース間振動電圧がゲート・ドレイン間容量 C_{gd} を通してゲートに正帰還され、ゲート電圧振動を起こす可能性があります。
(3) ソースインダクタンスに起因
　MOSFET オフ時のドレイン・ソース電流の変化率 di/dt と MOSFET ソース端子、配線の浮遊インダクタンスによる誘起電圧が MOSFET ゲート・ソース間ループで LCR 共振を起こす可能性があります。（ソースインダクタンス誘起電圧振動）

上記以外にも発振、振動の原因はありますが、MOSFET 使用にあたり浮遊インダクタンスに関して注意が必要です。

発振現象とは電気回路などが振動エネルギーを受けることなく電圧および電流が自己振動を行う現象です。 実際には回路に抵抗成分があるため振動は減衰するので，その分だけエネルギーを補給しています。発振現象は下記の二つの条件下で起こります。

(1) 位相条件
　発振周波数において出力から入力に帰還される信号と入力信号の位相が合っていることです。（正帰還）
(2) 振幅条件
　発振回路中の受動回路部分による損失分が増幅回路による増幅分より小さいことです。

発振は回路において正帰還が掛かり、損失分を補うだけの増幅がある時に起こります。帰還回路（出力の一部を入力に戻す。）を図 1 に示します。



入力電圧:v_i、出力電圧:v_o、増幅率:A、帰還率:H
増幅器への入力電圧:v_1、帰還される電圧:v_2

図 1　帰還回路

© 2022
Toshiba Electronic Devices & Storage Corporation

この回路の検証は、通常、図 2.2 のように帰還部分を切断し、G_O（開ループ利得）を算出します。G_O は、

$$v_2=AHv_1$$

より

$$G_O=v_2/v_1=AH$$

となります。

図 2 の帰還がかかったときの利得 G_C（閉ループ利得）は $G_O=AH$ を用いて以下のように表されます。

$$v_o=A\cdot v_1 \quad (1)$$

$$v_1=v_i+H\cdot v_o \quad (2)$$

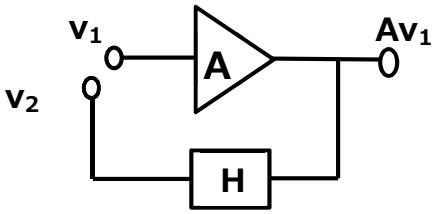


図 2　ループ利得

(1)(2)式から

$$v_o=A(v_i+H\cdot v_o) = [A/(1-AH)]v_i \quad (3)$$

回路全体の利得 G_C は(3)式から

$$\mathbf{G_C=v_o/v_i=A/(1-AH)} \quad (4)$$

(4)式において AH(開ループ利得)が正の場合は正帰還になり、負のときは負帰還になります。特に、正帰還はループ利得 $AH\geqq 1$ のとき、回路が不安定となり発振します。よって増幅器にはあまり使用されず、発振回路に利用されます。正帰還に限定して言うと(4)式においてループ利得を $AH=1$ とおくと G_C は無限大になり発振状態となります。

発振器で使用する場合、ループ利得 AH は複素数で表されます。複素数 $a + bi$ において、a は実部（real part）、b は虚部（imaginary part)で Re(AH)、Im(AH) とすると、

$$AH=Re(AH)+jIm(AH)\ (Re(AH)\geq 1)$$

が、発振条件になります。

1.1. MOSFET の発振

MOSFET の g_m が大きく寄生容量も大きい場合、配線等の浮遊インダクタンス(ゲート、ソース、ドレインと各回路との接続間のインダクタンス)によって、正帰還回路が形成され、寄生発振を起こす可能性があり、発振による振動電圧が正帰還やゲートのオーバーシュート電圧などを引き起こし、MOSFET を破壊する可能性があります。

MOSFET の寄生発振は素子のオン状態、オフ状態の期間では g_m がゼロもしくは極端に低下するため寄生発振は起こらず、**負荷短絡状態時**や **g_m の高いスイッチングの過渡期間**に起こる可能性があります。リニアな動作状態（v_{DS}、i_d が同時に印加されている状態）となるので、電磁誘導、あるいは寄生容量等による正帰還ルートが形成され、MOSFET の高 g_m によりループ利得が" 1 "以上であれば寄生発振が発生します。

発振は帰還ループが存在しなければ起こりません。図 3 の回路構成で発振条件を求めます。X_1~X_3 は理想のリアクタンスとすると X_1~X_3 の損失は無視できます。したがって、この時の回路は MOSFET から各リアクタンスへ電流 i が流れないと考えられるので、図 4 のように書き換えられます。

© 2022
Toshiba Electronic Devices & Storage Corporation

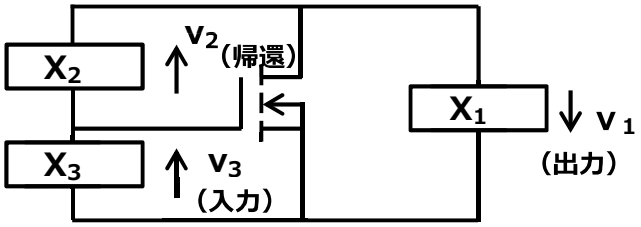


図 3　発振基本図

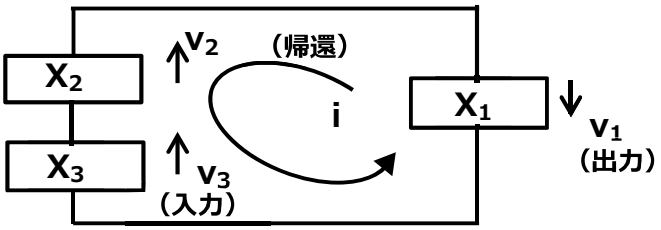


図 4　発振回路電流

図 4 においてキルヒホッフの法則より

$$v_1+v_2+v_3=i(X_1+X_2+X_3)=0$$

ここで $i\neq0$ なので

$$X_1+X_2+X_3=0$$

回路が発振している場合は正帰還が掛かっている時であり、図 3、図 4 において v_3（入力）と v_1（出力）は同位相であると言うことになります。したがって X_3 と X_1 は同質のリアクタンスであり X_2 は異質のリアクタンスになります。

1.1.1. MOSFET のスイッチング用途における寄生発振（単独使用）

MOSFET の寄生発振は素子のオン状態、オフ状態の期間では g_m がゼロもしくは極端に低下するため寄生発振は起こりません。また抵抗負荷の場合は、ドレインに接続される回路の Q 値※(Quality factor)が低い為、寄生発振周波数のループの利得は低く、通常の寄生発振は起こりません。インダクタンス負荷回路において寄生発振回路が形成される可能性がありますが環流ダイオード FWD オフ時では正帰還ループは形成されず寄生発振は起こりません。

Q 値※：インダクターとキャパシタを用いた共振回路の場合

$$Q=\frac{1}{R}\sqrt{\frac{L}{C}}$$

図 5 の等価回路で FWD オフ期間では寄生発振周波数の等価回路は(インダクタンス負荷は寄生発振周波数では電流を通さない) MOSFET チップ内部のインダクタンスを無視すると図 6 に示すように、ゲート配線、ソース配線の浮遊インダクタンスと MOSFET 内部の寄生容量のみで構成されます。図 6 の容量：C_{gs} とインダクタンス：L_1 の並列回路は周波数によって誘導性、ないし容量性となり、正帰還ループは形成されておらず、寄生発振は起こりません。

© 2022
Toshiba Electronic Devices & Storage Corporation

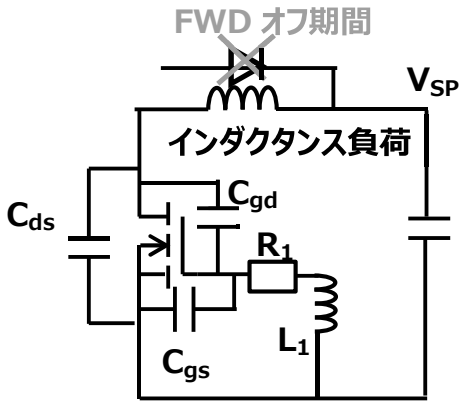


図 5　FWD 通電回路

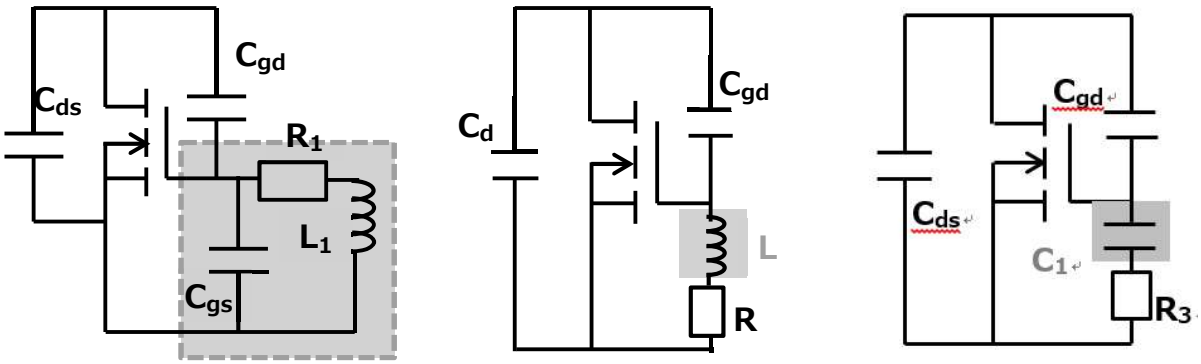


図 6　FWD 通電回路の等価回路

1.1.2. 寄生発振回路（寄生発振ループ）

下記に記述する場合ドレイン・ソース間に寄生発振ループ（発振周波数を通すループ）が形成され、発振を起こす可能性があります。

(1) FWD の導通状態（順方向、及び逆回復期間）

FWD 導通状態では図 7 の様に、ドレイン・ソース間がリアクトル負荷を回避して電源：V_{DD}-GND 間のコンデンサーC_1で接続されるので点線の寄生発振ループが形成されます。

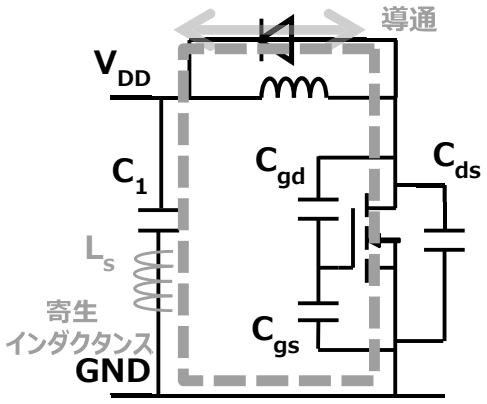


図 7　FWD 導通回路

© 2022
Toshiba Electronic Devices & Storage Corporation

(2) 負荷短絡状態

図 8 に示すようにドレイン・ソース間が直接、電源 V_{DD}-GND 間のコンデンサーC_1で接続されるので点線の寄生発振ループが形成されます。

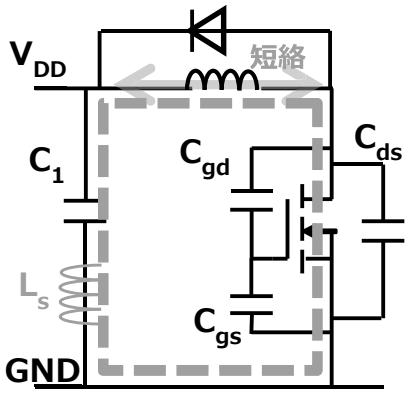


図 8　負荷短絡回路

(3) ドレイン・ソース間に大きな寄生容量 C_2 が存在する場合

図 9 に示すように、ドレイン・ソース間に積層プリント基板の多層配線などによる大きな寄生容量 C_2 が入っている場合には寄生発振周波数に対しては条件が整い点線の寄生発振ループが形成されます。

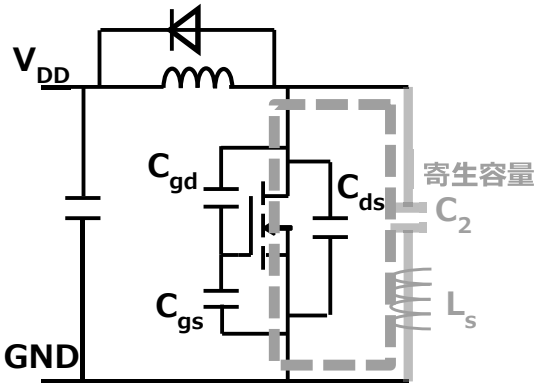


図 9　ドレイン・ソース間の寄生容量の存在

図 7～図 9 において、コンデンサー容量 C_1 ないし C_2 は大きく、寄生発振周波数においては寄生インダクタンスで導通していると見なせます。図 10 に等価回路を示します。実際の回路では図 10 に対してゲート回路の抵抗 R_1 およびゲート配線の寄生インダクタンス L_1 があり、さらに C_3（図 7、図 8 における C_1 もしくは図 9 における C_2）が寄生発振周波数に対して十分インピーダンスが低いと、C_3 は短絡と見なせ、図 11 となります。ゲートの接続先が回路のドレインとソース間のどの位置に接続されるかで L_{s1}、L_{s2} 比が変わり、L_1 が C_{gd} と C_{gs} のどちらと並列共振回路を形成するかが決まってきます。

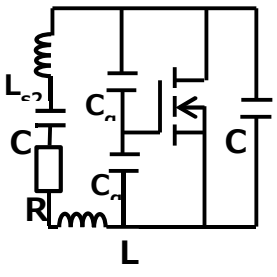


図 10　等価回路

© 2022
Toshiba Electronic Devices & Storage Corporation

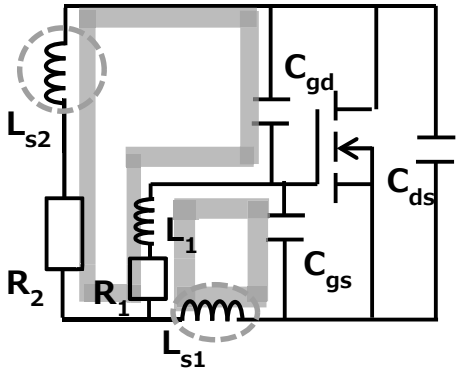


図 11　ゲート回路付き等価回路

L_{s1}.L_{S2}: 寄生インダクタンスは V_{DD}-GND 間コンデンサーの ESL（等価シリーズインダクタンス）およびドレイン・ソース配線の寄生インダクタンスです。

R_2: FWD のオン抵抗、および V_{DD}-GND 間コンデンサーの ESR（等価シリーズ抵抗）です。

図 11 において、**ソース側の配線インダクタンス L_{s1}> ドレイン側の配線インダクタンス L_{s2} の場合**、寄生発振周波数におけるゲート配線の接続先はソース側ではなく、ドレイン側になります。この等価回路を図 12 に示します。

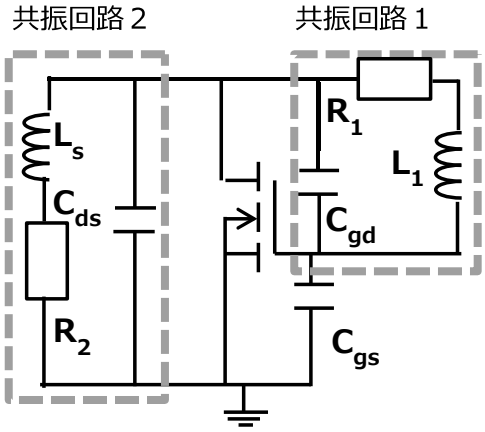


図 12　等価回路

© 2022
Toshiba Electronic Devices & Storage Corporation

図 12 の回路が発振回路を形成する為には、L_1、C_{gd} で形成される共振回路 1 が寄生発振周波数ω_{OSC} で誘導性を示し、且つ、C_{ds}、L_s で形成される共振回路 2 が容量性を示す事が必要となります。この場合、等価回路は図 13 の様になります。

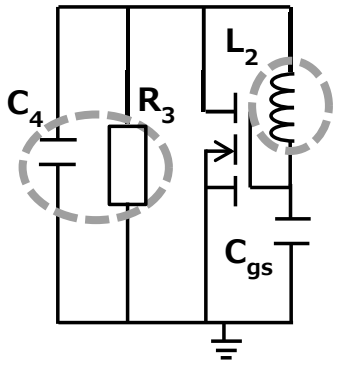


図 13　寄生発振価回路

図 13 において、R_3 はゲート抵抗 R_1 およびドレイン側抵抗 R_2 を MOSFET のドレイン・ソース間抵抗に換算したものです。L_2 は共振回路 1 におけるインダクタンス、C_4 は共振回路 2 におけるキャパシタンスです。図 11 において'ソース側の配線インダクタンス L_{s1}＞ドレイン側の配線インダクタンス L_{s2}' の場合について記述しておりますが、'ソース側の配線インダクタンス L_{s1}＜ドレイン側の配線インダクタンス L_{s2}' の場合ゲート・ソース間に共振回路が形成され誘導性を持った場合かつドレイン・ソース間が誘導性を持つこと発振する可能性も考えられます。

1.1.3. 寄生発振条件と改善、対策

図 13 においてループ利得が 1 以上で発振し、下記式で表されます。

$$g_m \cdot R_3 \cdot C_4/C_{gs} \geq 1 \text{ から } g_m \geq (C_{gs}/C_4)/R_3$$　ここで、R_3 はドレイン・ソース間等価抵抗

C_4 を C_{ds} に置き換えると

$$\boldsymbol{g_m \geq (C_{gs}/C_{ds})/R_3}$$

となり、この条件で寄生発振することになります。

図 11 において L_{s1}＜L_{s2} となるように配線インダクタンスを考えることでコルピッツ発振回路を回避できます。式(12)から、C_{gs}/C_{ds} が大きい MOSFET を使用すると寄生発振は起こりづらくなります。

図 12、図 13 において、ゲート抵抗 R_1 及びドレイン側抵抗 R_2 は MOSFET のドレイン間抵抗 R_3 に換算され、概ね、R_1 を上げると R_3 は低下します。従って R_1 を上げることで R_3 を減らし、ループ利得寄生発振を起こりにくく出来ます。

© 2022
Toshiba Electronic Devices & Storage Corporation

1.2. ドレインインダクタンス誘起電圧振動

MOSFET のターンオフ時のドレイン電流変化 di/dt と MOSFET のドレイン端子、配線の浮遊インダクタンスによってドレイン・ソース間にサージ電圧が発生し、この電圧が MOSFET のゲートに帰還されゲート電圧振動を起こす可能性があります。またゲート振動電圧が大きいとオフ状態の MOSFET を再びオンさせ、オンとオフを繰り返し、発振現象につながる可能性もあります。

1.2.1. メカニズム

図14において、MOSFEがターンオフする時、ドレイン電流変化di/dtとMOSFETのドレイン端子、配線の浮遊インダクタンスによって(5)式で示すサージ電圧がドレイン・ソース間に付加されます。

$$V_{Surge}=L_{S2}\times di/dt \qquad (5)$$

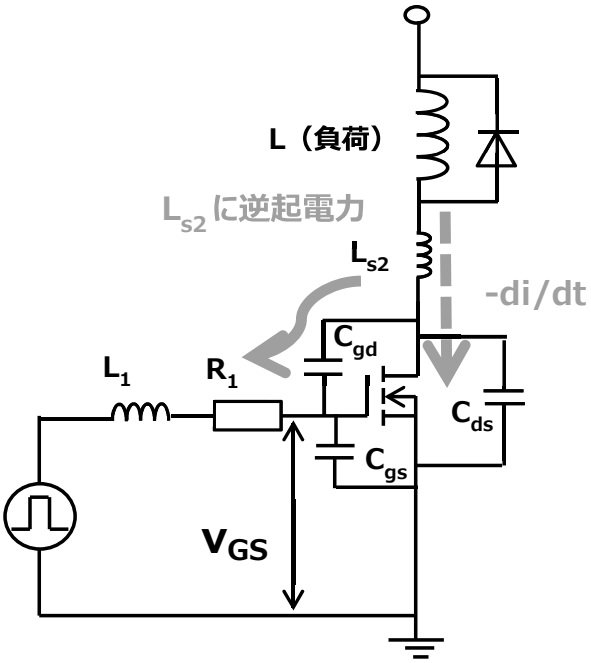


図 14　サージ電圧発生回路

(5)式のサージ電圧は図 15 に示すドレイン・ソース間のループでダイオードが導通時(L のエネルギー回生時)に MOSFET の C_{ds} と浮遊インダクタンス L_{S2} で共振するため振動します。(C_1 は寄生発振周波数に対して十分インピーダンスが低いため短絡状態とします。)

© 2022
Toshiba Electronic Devices & Storage Corporation

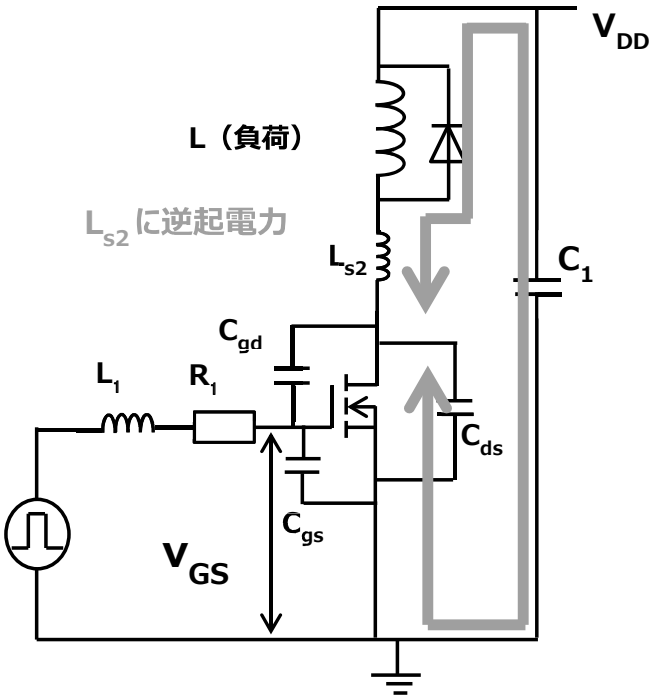


図 15　ドレイン･ソース間共振ループ

このサージ電圧が図 14 に示す MOSFET のゲート･ドレイン容量 C_{gd} を通して v_{GS} 波形に伝わり、ゲートインダクタンスも影響して図 3.3 に示すようにゲート電圧振動を起こす可能性があります。

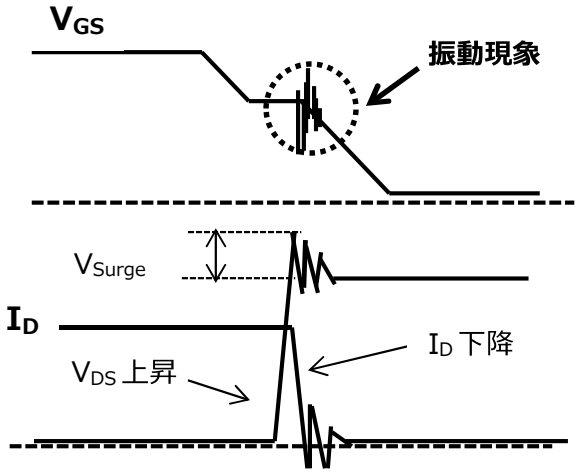


図 16　振動波形

1.2.2. 改善、対策

配線インダクタンスを減らすことでドレイン･ソース間のサージ電圧を出させないことが第一であるが、ゲート抵抗を大きくして振動の振幅を抑えることも出来ます。またゲート浮遊インダクタンスを小さくするとゲート振動電圧を抑えることができます。

© 2022
Toshiba Electronic Devices & Storage Corporation

1.3. ソース端子、配線の浮遊インダクタンスによる誘起電圧

1.3.1. メカニズム

MOSFET オフ時のドレイン電流の変化 di/dt と MOSFET ソース端子、配線の浮遊インダクタンスによる誘起電圧が MOSFET ゲート・ソースループで LCR 共振を起こし、ゲート電圧振動を起こす可能性があります。またゲート振動が大きいとオフ状態の MOSFET を再びオンさせ、オンとオフを繰り返し、発振現象につながる可能性もあります。図 17 において、MOSFET をターンオフさせる時ゲート電圧 V_{GS} は低減していきミラー期間（V_{GS} 一定）に到達、ドレイン・ソース間電圧 V_{DS} は徐々に上昇していきます。同時にドレイン電流 I_D が減少していきます。（この時、負荷 L のエネルギーは環流ダイオードを通して流れます。）（図 18）

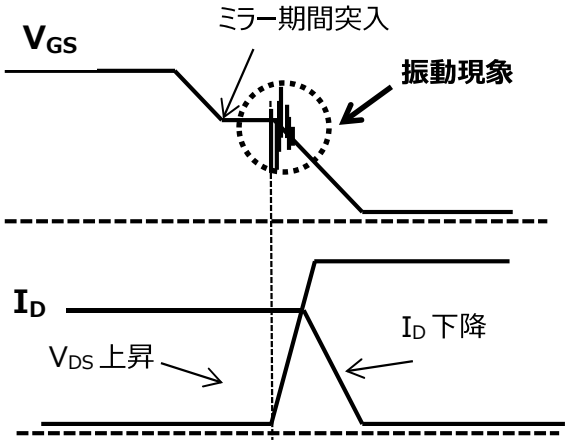


図 17　振動波形

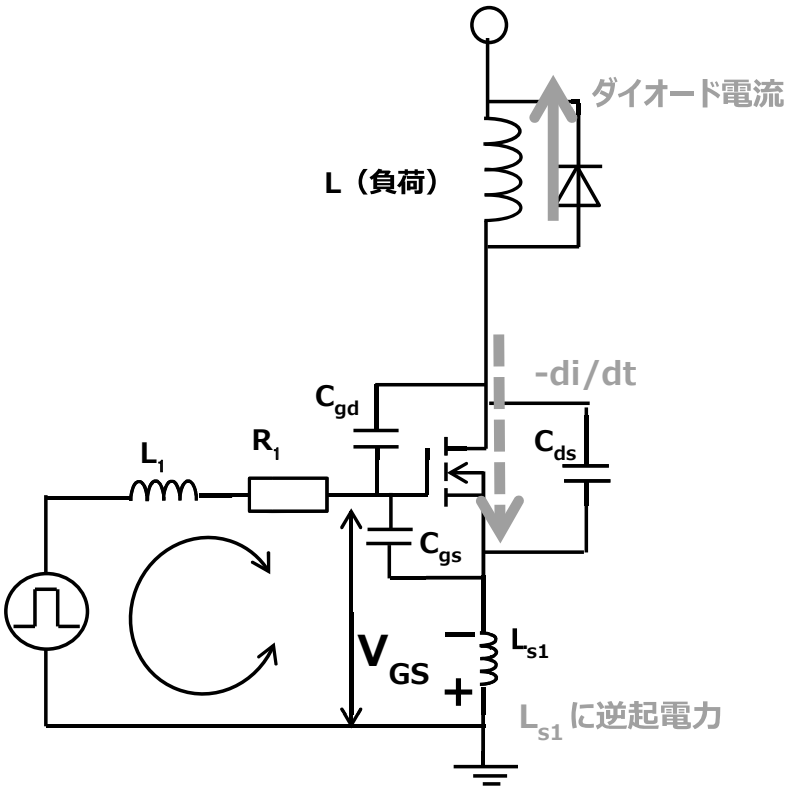


図 18　回路

© 2022
Toshiba Electronic Devices & Storage Corporation

MOSFET の V_{DS} が上昇していくとドレイン・ソース間容量 C_{ds} も電圧に応じて減少するため、MOSFET のドレイン・ソース間により大きな電圧変化 dv/dt が発生します。これにより電流も急激に減少し電流の変化率 di/dt も大きくなります。ソース端子および配線の浮遊インダクタンス L_{S1} があると di/dt によってこのソースインダクタンスに逆起電力が発生します。

$$V=L_{S1}\times di/dt$$

この電圧により MOSFET のゲート・ソース間電圧が振動を起こす可能性があります。

1.3.2. 改善、対策

ソース端子および配線の浮遊インダクタンスを減らすことでドレイン・ソース間のサージ電圧を出させないことが第一であるが、ゲート抵抗 $R_{1、}$ を大きくして振動の振幅を抑えることができます。また L_1 を小さくすることで振動を抑えることができます。

© 2022
Toshiba Electronic Devices & Storage Corporation

2. MOSFET の並列動作について

MOSFET は熱暴走などがなく一般的にはバイポーラトランジスタに比べて並列接続が容易です。大電流で MOSFET を使用する場合、並列接続で使用しますが、MOSFET は高速スイッチング動作させるため素子の特性バラツキや回路中の浮遊インダクタンスによって過渡的なスパイク電圧および電流バラツキを発生させる原因となる恐れがあります。この電流バラツキによって素子に過大な損失を与えて破壊を招くことがあります。

並列接続する上で重要なことは、過渡時を含めて電流集中を生じさせないこと、あらゆる負荷条件下で各々の素子にバランスよく均一な電流を流すことであり、特に下記 2 点に注意が必要です。

(1) 素子特性バラツキによる電流バラツキ（並列動作）

(2) 寄生発振（並列動作）

2.1. 素子特性バラツキによる電流バラツキ（並列動作）

2.1.1. 定常状態動作時の電流アンバランス

スイッチング期間以外での MOSFET 並列接続時の電流は、オン抵抗に反比例して個々のデバイスに分配されます。オン抵抗が最も低いデバイスに最も多くの電流が流れますが、MOSFET のオン抵抗は正の温度係数を持つため、このアンバランスを補償して電流を均等にするようにします。

並列接続による定常状態電流が原因となる熱故障はめったにないと考えられます。MOSFET の内蔵ダイオードの電圧降下は正の温度係数ではありません。したがって、大きな定常状態電流のアンバランスがダイオード伝導中に生じる可能性があります。ただし実使用では、より多くの電流を流すダイオードと一体化した MOSFET は温度が上がり、オン抵抗を増加させ、MOSFET 導通時の電流を押さえることになるので、これが問題になることはあまりありません。

2.1.2. スイッチング過渡期における電流アンバランス

一般に、電流のアンバランスはスイッチングのオンとオフの過渡時に大きく現われます。これは MOSFET のスイッチング時間の差に起因します。このスイッチング時間のバラツキは、ゲート・ソース間のしきい値電圧 V_{th} に大きく依存します。すなわち、V_{th} が小さい程早くターンオンし、逆にオフ時は V_{th} の大きいもの程早くターンオフします。このことから、オン時、オフ時ともに V_{th} の小さなパワーMOSFET に電流が集中して電流のアンバランスが発生します。この電流のアンバランスは、素子に過大な損失を与えて破壊を招くことがあります。よって、過渡時のスイッチング時間のバラツキを考える場合、並列接続しようとするパワーMOSFET の V_{th} の値が近いことが望ましいことになります。その他として、相互コンダクタンス g_m が高いデバイスは、他のデバイスよりも早くスイッチングする傾向があります。

並列接続使用する場合、回路配線レイアウトにより配線の浮遊インダクタンスも異なり、これもスイッチング過渡期の電流アンバランスの一因となる可能性があります。特にソースインダクタンスは駆動電圧に影響を及ぼします。回路配線は各並列接続素子が均一になるようにレイアウトすることが望ましいです。

© 2022
Toshiba Electronic Devices & Storage Corporation

2.2. 寄生発振（並列動作）

2.2.1. ドレイン・ソース間電圧振動によるゲート電圧振動

MOSFETがスイッチング時、特にターンオフする時のdi/dtとMOSFETのドレイン側の端子および配線の浮遊インダクタンスによってドレイン・ソース間にサージ電圧V_{Surge}が発生します。

$$V_{Surge}=L_d(\text{浮遊インダクタンス})\times di/dt$$

このサージ電圧による振動電圧がMOSFETのドレイン・ゲート間容量C_{gd}を通してゲートに伝わりゲート配線の浮遊インダクタンスLで共振回路が形成されます。大電流・高速のパワーMOSFETのゲート内部抵抗は非常に小さく、外付けゲート抵抗なしの場合，共振回路のQ値1/R・√L/C は大きくなり、共振条件となった場合，MOSFETのゲート・ソース間に大きい振動電圧が発生し，寄生発振(振動)を引き起こします。MOSFETの並列接続時の回路構成例を図19に示します。

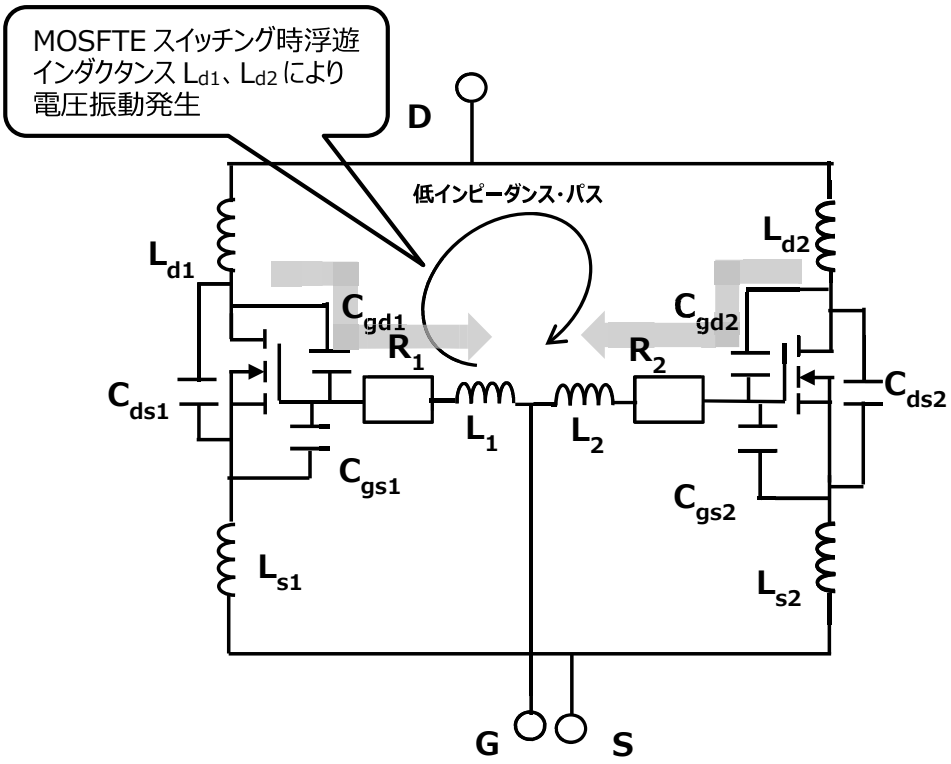


図 19　MOSFET 並列接続回路

並列接続使用において，スイッチングオフ時の過渡電流バランスが崩れると，遅くOFFするMOSFETに電流が偏って流れることになります。この電流によってドレイン・ソース間に大きな電圧サージ(振動)を起こし、これがゲートに伝わり、ゲート・ソース間に大きな振動電圧を発生させます。この電圧によってMOSFETのゲート・ソース間電圧オーバー破壊やMOSFETの誤動作、発振による破壊を招く可能性があります。

最速動作の MOSFET がターンオフした際は、この MOSFET のドレインの電位は上がります。すると、ゲート・ドレイン間容量 C_{gd} を通して他の MOSFET のゲートへ加えられます。そして本来のゲート信号による動作と違う意図しない動作を引き起こします。これが寄生発振につながります。また並列接続された MOSFET には共通の低インピーダンスのパスがあり寄生発振する可能性があります。

© 2022
Toshiba Electronic Devices & Storage Corporation

2.2.2. 並列接続の寄生発振

一般に MOSFET を単独使用する場合に比べ、MOSFET を並列接続で使用する場合は寄生発振が起こりやすくなります。図 20 に MOSFET の並列接続回路と図 21 に寄生発振周波数等価回路を示します。

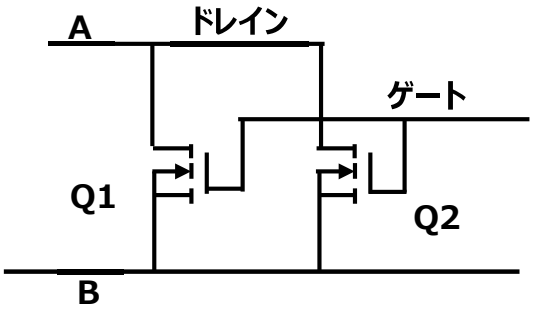


図 20　MOSFET 並列接続

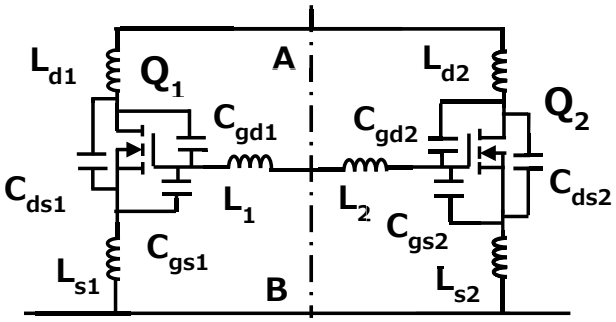


図 21　寄生発振周波数等価回路

図 21 の回路において、L_{d1},L_{d2} はドレイン配線浮遊インダクタンス、L_{s1},L_{s2} はソース配線浮遊インダクタンス、L_1,L_2 はゲートの配線やボンディングワイヤ等の浮遊インダクタンスを示します。また C_{ds1}、C_{gd1}、C_{gs1}, C_{ds2}、C_{gd2}、C_{gs2} は MOSFET の容量を示します。図 21 において MOSFETQ_1、Q_2 の定数(L_{s1}=L_{s2},L_1=L_2,L_{d1}=L_{d2},C_{ds1}=C_{ds2},C_{gd1}=C_{gd2},C_{gs1}=C_{gs2})が等しいとし、共にリニア状態で寄生発振が発生した場合、Q_1,Q_2 は逆位相で動作します。この場合、図 21 の一点鎖線上の電圧は寄生発振周波数では、全てゼロと考えることができ、この点は全て仮想的には GND と考えられます。この様に寄生発振周波数では、一点鎖線上の A、B 間は短絡と同等と考えることができます。即ち図 22 に示す様に、ドレイン・ソース間に入る負荷、FWD、電源、あるいは共通 ゲート抵抗、ドライブ回路等の有無は全く関係なく、寄生発振が起こります。

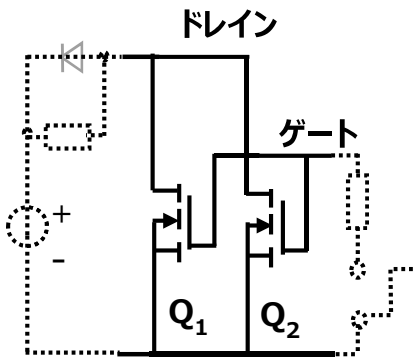


図 22　MOSFET 並列接続

© 2022
Toshiba Electronic Devices & Storage Corporation

寄生発振ループの等価回路としては図 22 の回路の半分で考えることができ、図 23 の回路となります。図 23 において通常は L_d ＜＜L_s となり、このことを考慮して図 23 の回路を発振周波数で考えると概略は図 24 の回路になります。図 24 において C_{gd} と L は並列共振回路を構成しています。

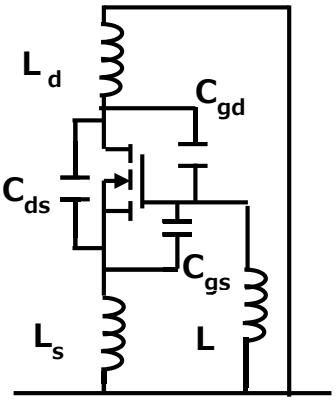


図 23　寄生発振等価回路

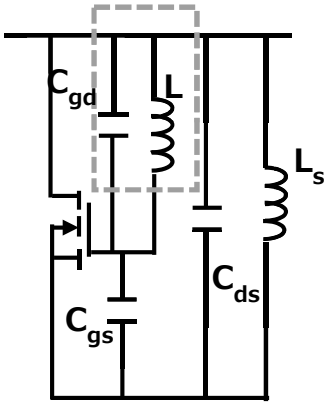


図 24　等価回路変形

また図 24 の C_{gd} と L による共振回路は、共振周波数の近傍で共振周波数より低い周波数では等価的に L_x（インダクタンス）に置き換えることができるため図 25 のようになります。（L_d は L に比べ小さく、L_s は発振周波数を通さないレベルの大きさと仮定しています。）

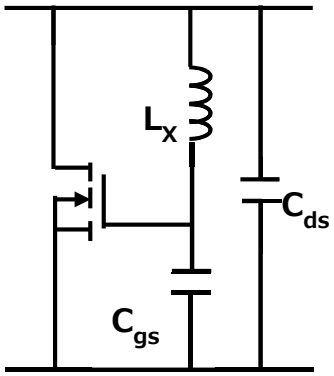


図 25　図 24 の変形

© 2022
Toshiba Electronic Devices & Storage Corporation

図 21 で、一点鎖線上の A、B 間は等価的に短絡であり、周辺の回路、負荷は全て無視できます。（図 22）即ち、FWD のオン抵抗、コンデンサーの ESR 等のシリーズ抵抗は全く関係しないので、Q 値の高い共振回路が形成され、帰還ループの利得が高く、容易に寄生発振が発生します。

2.2.3. 並列接続の場合の寄生発振防止

図 25 に示す寄生発振は寄生インダクタンス、寄生容量による共振回路、およびその周波数で帰還回路が形成され、ループ利得が 1 以上である場合に発生します。ループ利得が 1 以上となる為には、

$$g_m \cdot R \cdot C_{ds}/C_{gs} > 1$$

以上から**寄生発振対策としては $R \cdot g_m \cdot C_{ds} / C_{gs} < 1$** とすれば良いことになります。

MOSFET 選択

(a) C_{ds} / C_{gs} の低い MOSFET を選択します。

(b) g_m の低い MOSFET を選択します。

外部回路による対策

(a) 図 26 の様に MOSFET の各ゲートにゲート抵抗 R_1 あるいは フェライトビーズを挿入します。これは前述した MOSFET の並列接続等価回路において図 27 のようにゲート浮遊インダクタンス L_1 にシリーズに抵抗 R_1 を挿入する事で並列共振回路の Q 値を下げ、正帰還ループの利得を低下させることになります。但し、R_1 は MOSFET のスイッチング速度に影響を与え抵抗値を増やすことでスイッチング損失が増しますので注意が必要です。

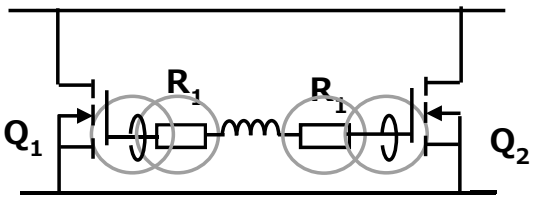


図 26　MOSFET 並列回路

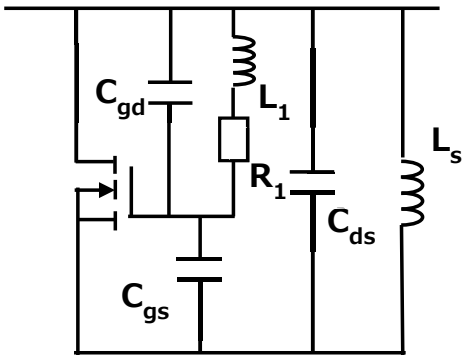


図 27　MOSFET 並列接続等価回路

© 2022
Toshiba Electronic Devices & Storage Corporation

(b) 図 28 のようにゲート・ソース間にセラミックコンデンサーC を挿入することで、実質的に C_{ds} / C_{gs} を下げます。但し、この方法は高速スイッチング性能を阻害します。また、図 29 の等価回路は図 30 となりますが、ドレイン側の浮遊インダクタンス L_d が、ソース側の浮遊インダクタンス L_s より低い場合、図 30 の様に C が C_{gs} に加わらず C_{gd} に加わってしまいます。この結果 逆効果となる場合が多くありますので注意が必要です。

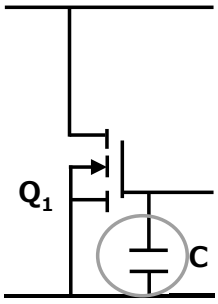


図 28 ゲート・ソース間コンデンサー

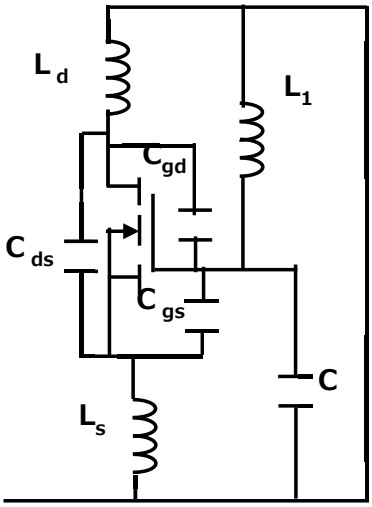


図 29 等価回路

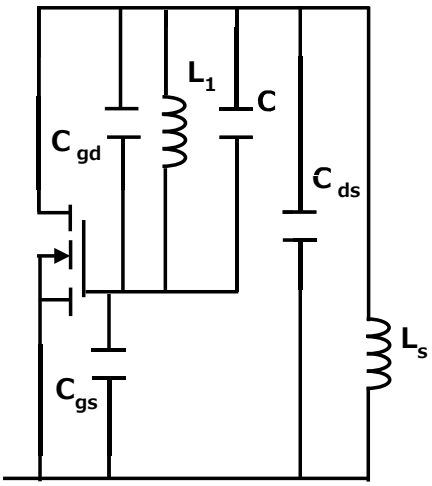


図 30 Ld＜＜Ls による逆効果

(Ld は Ls に比べ非常に小さいので無視)

© 2022
Toshiba Electronic Devices & Storage Corporation

3. MOSFET の安全動作領域

MOSFET の安全動作領域(以下、SOA)には温度依存性があります。データシートに記載されている SOA は Tc = 25 °C、もしくは、Ta = 25 °C にて規定されていますが、実機での実使用温度に合わせた SOA の温度ディレーティングを行い、MOSFET の動作軌跡がディレーティングされた SOA 内に収まってことを確認しなければなりません。

SOA とは MOSFET が破壊および劣化すること無く動作する領域であり、実使用条件下ではこの領域を一瞬たりとも超えてはならない領域です。従来、MOSFET の SOA にはバイポーラトランジスタに存在する二次降伏領域(以下、S/B 領域)は無く、ドレイン・ソース間電圧の定格とドレイン電流の定格とその間の熱制限領域のみが規定されていました。しかしながら、昨今の製品では微細化によって MOSFET にも S/B 領域が存在するようになり、MOSFET の動作軌跡が SOA 内に確実に収まっているか慎重な確認が必要になってきています。

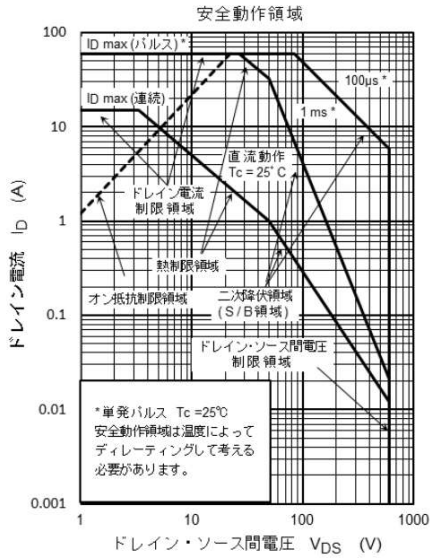


図 31 MOSFET の安全動作領域 (SOA)

MOSFET の安全動作領域には、下記 5 つの制限領域が存在します。

(1) 熱制限領域

許容損失 PD で制限される領域です。この領域は PD = 一定であり、両対数グラフでは-1 の傾きとなります。

(2) S/B 領域

近年、MOSFET の微細化が進み、MOSFET でも一部の素子で見られるようになったバイポーラトランジスタの二次降伏に相当する領域です。

(3) 電流制限領域

ドレイン電流定格で制限される領域です。DC(連続)の場合は ID(max)、パルスの場合は IDP(max) で制限されます。

(4) ドレイン・ソース間電圧制限領域

ドレイン・ソース間の耐圧 VDSS により制限される領域です。

(5) オン抵抗制限領域

オン抵抗 RDS(ON)(max) により理論的に制限される領域で、ID = VDS / RDS(ON)(max)です。

© 2022
Toshiba Electronic Devices & Storage Corporation

4. MOSFET の dv/dt とは

dv/dt は MOSFET のスイッチング過渡期もしくは、その影響を受けて MOSFET のドレイン・ソース間の電圧が急峻に変化する時の時間に対する電圧の変化量を指します。dv/dt が大きすぎると使用条件によっては誤動作や破壊につながる問題が起きる可能性があります。MOSFET では、この dv/dt 耐量を規定している製品もあります。

4.1. dv/dt 発生のタイミング

通常動作で問題となる dv/dt が発生するポイントは下記となります。

(1) スイッチング過渡期にドレイン・ソース間電圧に dv/dt が発生します。MOSFET のターンオフ時に、急峻なドレイン・ソース間 dv/dt が発生する場合、MOSFET 内部の寄生 npn バイポーラトランジスタ（図 2.1）が誤動作し、寄生 npn バイポーラトランジスタが 2 次降伏に突入し、MOSFET の破壊をもたらす可能性があります。

MOSFET のターンオフ時、配線の浮遊インダクタンスの影響を受け、高いサージ電圧を発生し、アバランシェ降伏電圧に達する場合があります。急峻な dv/dt はアバランシェ耐量の低下を招きます。

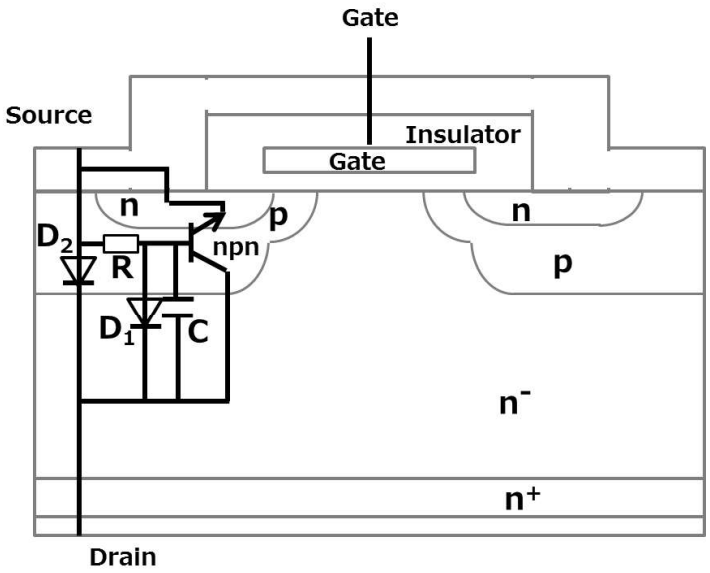


図 32　MOSFET 構造断面図および等価回路

(2) インバーター回路などのインダクター負荷で MOSFET をハーフブリッジ回路で使用する場合、MOSFET のボディーダイオードが環流モードから逆回復動作に入ると MOSFET のドレイン・ソース間電圧に dv/dt が発生します。MOSFET のボディーダイオードの逆回復動作時の MOSFET のドレイン・ソース間立ち上がり電圧 dv/dt によって、MOSFET 内部の寄生 npn バイポーラトランジスタがオンして MOSFET を破壊に至らしめる可能性があります。

4.1.1. スイッチング過渡期の dv/dt

MOSFET のスイッチング時におけるドレイン・ソース間の電圧変化は、ゲート電圧のミラー効果期間に起こります。ゲート電圧を変えると、ドレイン電流が変化し、それにつれてドレイン電位が変わり、v_{GD} が変化します。この変化が MOSFET のドレイン・ソース間の電圧変化量 dv/dt です。ドレイン・ソース間電圧が dv/dt で変化している期間（ミラー効果期間）はゲート・ドレイン間に、 C_{gd}・dv_{GD}/dt の電流が流れます。この期間は、等価的にゲート-GND に大容量のコンデンサーがつながっている様に見えます。この等価的な容量がミラー容量であり、この期間は、ゲート電圧は上昇しません。インダクター負荷のスイッチング回路を図 33、波形を図 34 に示します。実際の回路において dv/dt が問題になるケースの多くがインダクター負荷です。

© 2022
Toshiba Electronic Devices & Storage Corporation

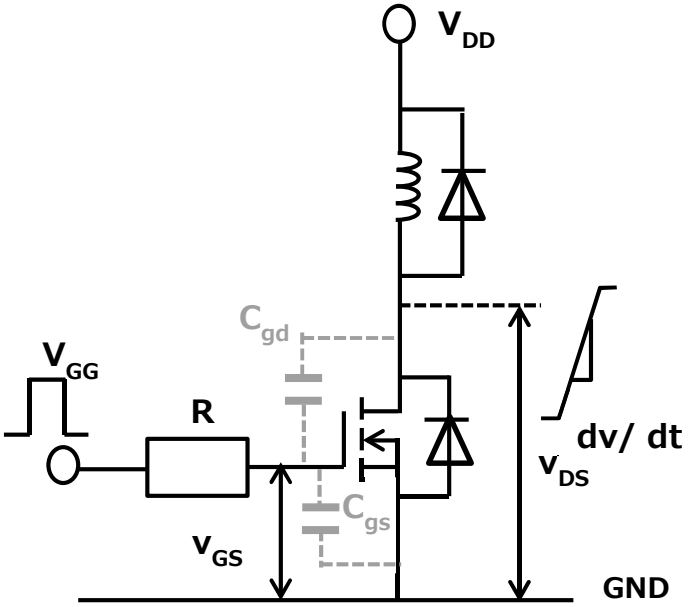


図 33　インダクター負荷のスイッチング回路

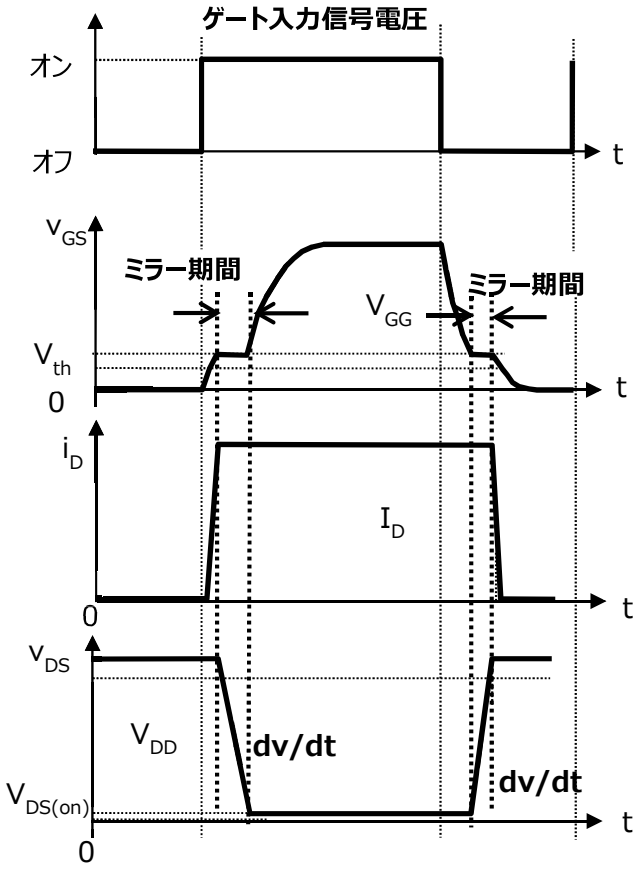


図 34　インダクター負荷のスイッチング波形

© 2022
Toshiba Electronic Devices & Storage Corporation

4.1.2. ダイオード逆回復動作時の dv/dt

インバーター回路などのインダクター負荷で MOSFET を上下動作で使用する場合のダイオードの逆回復時にボディーダイオードに掛かる dv/dt について説明します。

図 35 において MOSFETQ_2 にインダクター電流が流れている状態から Q_2 がオフすると電流は Q_1 のボディーダイオードに環流電流 I_F（図 35 ①電流）として流れます。この時の MOSFETQ_1 の電圧はボディーダイオードの順方向電圧 V_F です。

次に再び Q_2 がオンすると電流は Q_2 に流れ始め（図 35 ②）、Q_1 のボディーダイオードは逆回復動作に入り、ドレイン・ソース間の電圧が急激に上昇します。この時の電圧変動率がダイオードの逆回復時の dv/dt です。図 36 に波形を示します。

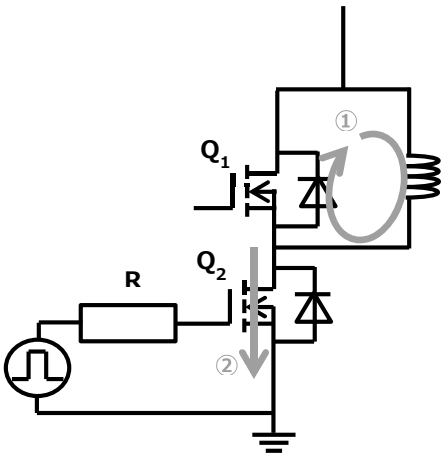


図 35　MOSFET 上下動作

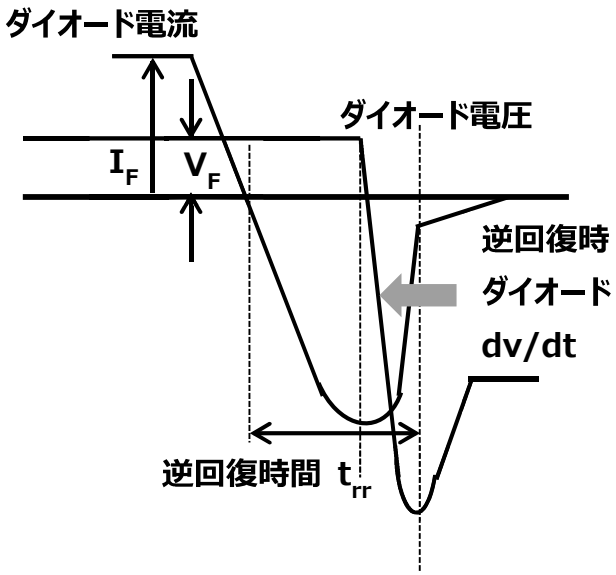


図 36　ダイオード逆回復時波形

© 2022
Toshiba Electronic Devices & Storage Corporation

4.2. MOSFET スイッチング動作（インダクタ負荷）

図 33 において dv/dt が発生するスイッチング過渡期について補足します。本説明はインダクター負荷における説明であり、抵抗負荷と異なります。またインダクターに並列に挿入されているダイオード(FWD)の逆回復電流もターンオンで加味しております。

4.2.1. ターンオン時のスイッチング

図 33 回路におけるターンオン波形を図 1.5 に示します。 t_2～t_3（MOSFET のスイッチング過渡期間）において dv/dt が発生します。

(1) 0 ～t_1（MOSFET のオフ期間）

ゲート電圧 V_{GS} は、ゲート抵抗 R と MOSFET のゲート・ソース間容量 C_{gs} およびゲート・ドレイン間容量 C_{gd} の時定数 CR により上昇し、下記式で表されます。

$$v_{GS} = V_{GG} \{1-\exp\{-t/[R(C_{gs}+C_{gd})]\}\} \quad (1)$$

(2) t_1～t_2（ MOSFET のスイッチング過渡期間）

t_1 で MOSFET のゲート電圧が、ゲートしきい値電圧 V_{th} を超え、ドレイン電流が流れ始めます。ドレイン電流 i_D が、負荷電流 I_O（環流電流）に等しくなると FWD は順方向から逆回復状態に入り、FWD の逆回復電流により i_D は増加します。この期間、MOSFET の v_{DS} は V_{DD} のままの状態であり、ゲート電圧は 0 ~ t_1 期間の延長となり、(1)式で上昇します。

(3) t_2～t_3（MOSFET のスイッチング過渡期間）

FWD の逆回復電流がゼロとなり、それに伴い、MOSFET のドレイン電流が負荷電流 I_O となると、ゲート電圧は一旦、ドレイン電流が I_O となるゲート電圧 V_{GS1} に低下します。ドレイン電圧が降下し始め、その電圧変化 dv_{DS}/dt によりドレイン・ゲート間容量 C_{gd} に変位電流（$i_{DG}=C_{gd}\cdot dv_{DS}/dt$）が流れます。この電流がゲート印加パルス電圧 V_{GG} とゲート抵抗 R によって決まる電流（$V_{GG}-v_{GS}$）/ R と等しくなるように dv_{DS}/dt が定まります。この期間、ゲート電圧波形 v_{GS} は $v_{GS}=V_{GS1}$ でほぼ一定の状態です。（ミラー効果期間）

(4) t_3 ～（MOSFET のオン期間）

ドレイン・ソース間電圧 v_{DS} は、ほぼゼロとなるから、ゲート電圧は再度 R と $C_{gs}+C_{gd}$ によって上昇します。ゲート電圧は下式で表されます。

$$v_{GS} = [V_{GG}-V_{GS1}]\{1-\exp[-(t-t_3)/R(C_{gs}+C_{gd})]\} + V_{GS1}$$

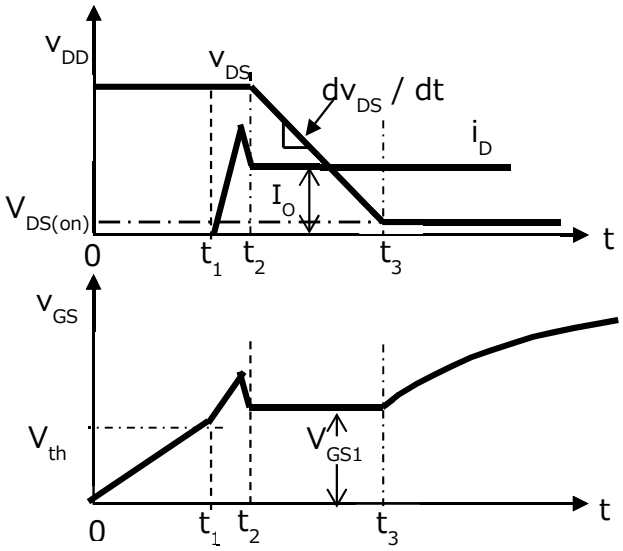


図 37　ターンオン波形

© 2022
Toshiba Electronic Devices & Storage Corporation

4.2.2. ターンオフ時のスイッチング

図 33 回路におけるターンオフ波形を図 1.6 に示します。 t_2～t_3（MOSFET のスイッチング過渡期間）において dv/dt が発生します。

(1) 0～t_1（ MOSFET のオン期間）

ゲート電圧 v_{GS} は、ゲート抵抗 R と MOSFET のゲート・ソース間容量 C_{gs} およびゲート・ドレイン間容量 C_{gd} の時定数 CR により下降し、下記式で表されます。

$$v_{GS} = V_{GG} \cdot \exp\{-t/[R \cdot (C_{gs}+C_{gd})]\} \qquad (2)$$

(2) t_1～t_2（MOSFET のスイッチング過渡期間）

t_1 で MOSFET のドレイン電流能力が負荷電流 I_O となるゲート電圧 V_{GS1} に達すると、ドレイン電圧が上昇し始め、その電圧変化 dv_{DS}/dt によりドレイン・ゲート間容量 C_{gd} に変位電流 $i_G = C_{gd} \cdot (dv_{DS}/dt)$ が流れます。この電流がゲート印加　パルス電圧 0V と R によって決まる電流 v_{GS}/R と等しくなるように dv_{DS}/dt が定まります。

この t_1～t_2 期間、ゲート電圧 v_{GS} は $v_{GS}=V_{GS1}$ でほぼ一定の状態となり、MOSFET のドレイン・ソース間電圧 v_{DS} が供給電源 V_{DD} まで上昇します。

(3) t_2～t_3（ MOSFET のスイッチング過渡期間）

MOSFET のドレイン・ソース間電圧 v_{DS} が供給電源 V_{DD} まで上昇すると、FWD が通電し始め、同時にドレイン電流 i_D が低下し始めます。ゲート電圧は再度、R と $C_{gs}+C_{gd}$ による時定数によって

$$v_{GS} = V_{GS1} \cdot \exp\{-(t-t_2)/[R \cdot (C_{gs}+C_{gd})]\}$$

で下降し始め $v_{GS}=V_{th}$ まで降下します。

(4) t_3～（MOSFET のオフ期間）

ドレイン電流 i_D がゼロ、ドレイン・ソース間電圧 $v_{DS}=V_{DD}$ で $dv_{DS}/dt=0$ ですからゲート電圧は再度 R と $C_{gs}+C_{gd}$ によって下降します。ゲート電圧 v_{GS} は $v_{GS} = V_{GS1} \cdot \exp\{-(t-t_2)/[R \cdot (C_{gs}+C_{gd})]\}$ で下降し続けます。

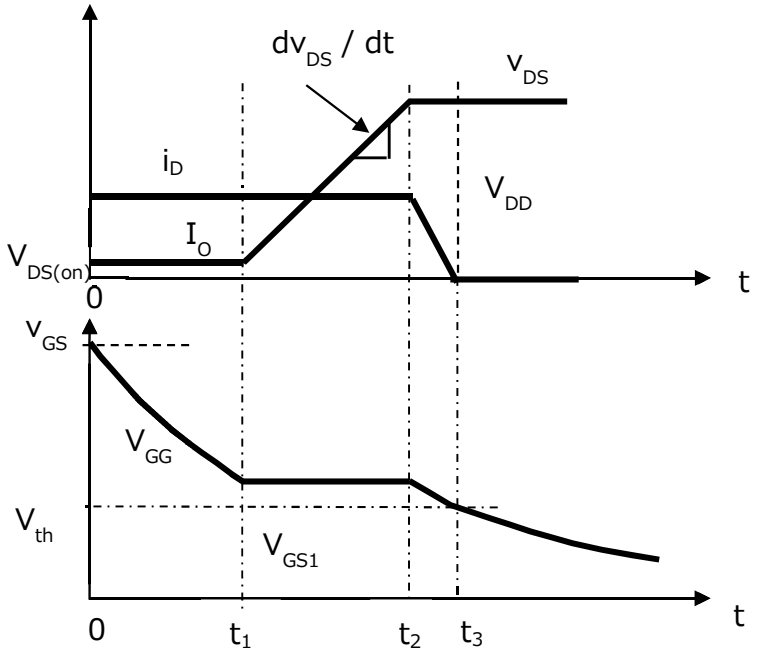


図 38　ターンオフ波形

© 2022
Toshiba Electronic Devices & Storage Corporation

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社
https://toshiba.semicon-storage.com/jp/

© 2022
Toshiba Electronic Devices & Storage Corporation