

## ディスクリート半導体デバイスを使用 する際の熱設計マネジメント

今日のディスクリート半導体の設計における熱設計マネジメントにはいくつかの有効な方法があります。各アプローチの効果があるかどうかを見るにはシミュレーション技術が不可欠です。本記事では、当社の熱シミュレーション結果を紹介します。お客様が設計時に、発熱問題を最小限に抑えるためのご参考となりますと幸いです。

### はじめに

半導体チップの温度が上昇する傾向にあるのは当然のことです。その熱は、性能や機能性に深刻な問題を引き起こす可能性があります。例えば、図 1 は、最適な熱性能を発揮する表面実装パッケージの必要性が高まっていることを示しています。

放熱をサポートするさまざまな熱設計アプローチがありますが、さてどれが最も効果的なのでしょうか。

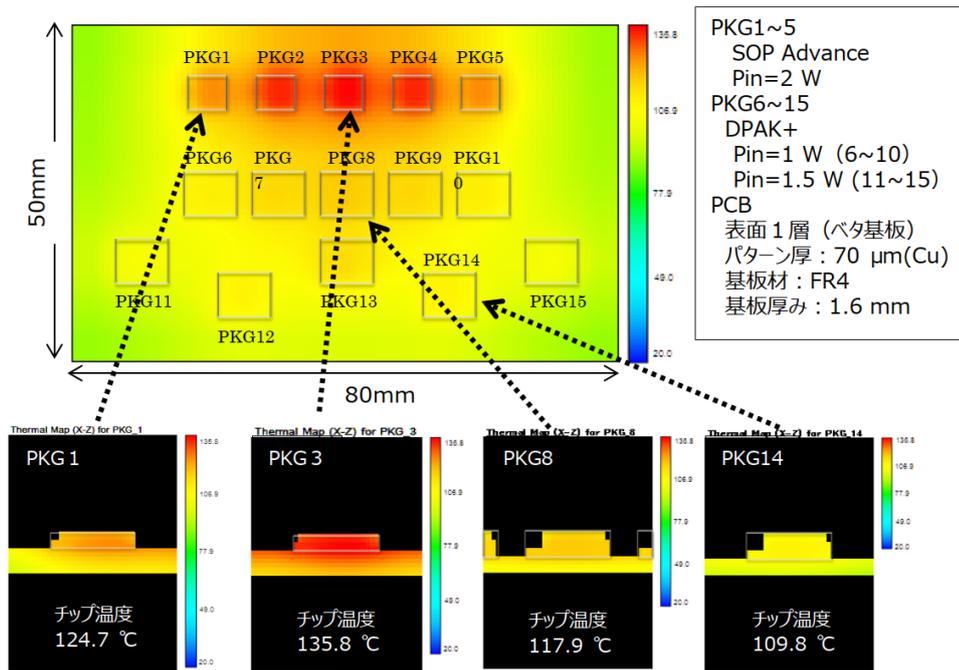


図 1. このシミュレーションにおいて PKG3 が発熱問題の原因であることは明白。これには最新の熱設計アプローチによって対処できる

ディスクリート半導体デバイスの温度が上昇傾向にある背景には、いくつかの原因があります。ひとつは、電子機器の小型化による自己放熱の減少であり、もうひとつは、高密度基板実装にともなう周囲動作温度の上昇です。さらに、動作の高速化にともなって熱発生も増加しています。

## 熱問題を軽減する設計対策

**熱問題を軽減する方法**はいくつかあります。例えば、多層 PCB は電子機器の熱設計に影響を与えます。なぜなら、発生する熱のほとんどは、熱伝導によって PCB の上面と下面、そして内部に分散されるからです。層数を増やすことは、電力放散を増加させる方法として実証されています。ただし、これは主に 4~8 層を使用した場合に効果があり、しかもコストに影響します。

PCB に直接取り付けられた放熱器は、PCB 上の部品から発生する熱を放散させるひとつの方法です。しかし、放熱量は放熱器のサイズと放熱器の放射率に直接関係しています。

放熱器のサイズを大きくすることは、放熱には非常に効果的なアプローチに思えますが、サイズとコスト制約とのバランスを取る必要があります。また、アルマイト表面処理など、放熱器の放射率を高めるための対策も大変効果的ですが、やはりコスト制約が付いてきます。

## 銅パターン層、TIM、ビア

銅パターン層を使うことで、基板自体の熱伝導率が大幅に高まります。さらに、銅パターン厚を増やすと熱が効果的に放散される表面積がさらに増えるため、基板全体の熱伝導率が高まります。

熱干渉は、複数の発熱デバイスを配置した場合に特に顕著になります。デバイスが近すぎると、発熱がより問題となります。また、デバイスの間隔を離すことは一助にはなりますが、それ以上の効果が得られない距離もあります。もうひとつの要因はTIM（Thermal Interface Material：熱伝導材料）です。薄いTIMの使用はより効果的な放熱の一助にはなりますが、小さい面積にTIMを使用する場合は、最適化は困難です。

ビアは、プリント回路基板の層間の電氣的接続を確立するためにプリント回路基板に設けられた穴です。ドレインフレーム直下のビアは放熱効果が高いです。一方、周辺のビアは、放熱効率は劣りますが、周囲への熱伝導を防ぐ効果があります。

## さまざまなアプローチの効果をシミュレーションする

発熱問題への対処は、上記の方法がすべて同じというわけではなく、設計条件によって効果が大きく異なる場合があります。そのため、当社ではシミュレーションを行い、それぞれの熱設計手法がどの程度有効で、どのようなパラメータが最良の結果をもたらすかを評価しました。

モデルとシミュレーションの詳細については、アプリケーションノート[「ディスクリート半導体 熱設計の勘どころ 2」](#)をご参照ください。これらのシミュレーションの最も強力な利点の1つは、物理的な測定では実現不可能なモデルと条件を使用できることです。

この熱設計評価用のデバイスモデルは以下の図2に示すもので、当社の [SOP Advance](#)、[TSON Advance](#)、[DSOP Advance](#) のチップパッケージを使用しています。

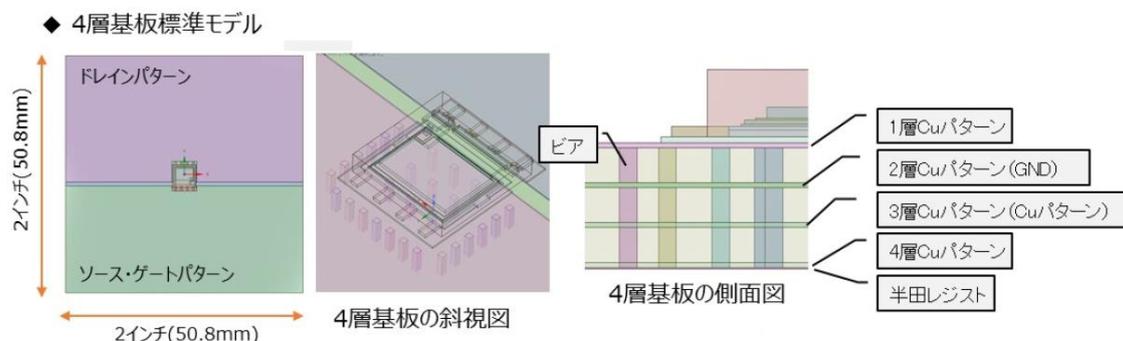


図2. 汎用シミュレーションモデル

PCB は 2 インチ角でモデル化し、裏面の半田レジストのみをモデル化しました。表側に存在する半田レジストは、基板材料（たとえばガラスエポキシ FR4）の放射率を上げることでシミュレーションしました。この方法は、半田レジストと同じ効果を維持しながら表面メッシュの密度を下げることを意図して選択されました。

この PCB の厚さは、最も一般的に使用されている約 1.6 mm としました。シミュレーションに使用される標準 PCB は、4 層でモデル化、パターン材料には銅が使用され、また銅パターン厚はいずれも 70 μm に設定されています。

## ビアと放熱器のモデリング

ビアは 0.25 mm 角のサーマルスルーホールとしてモデル化され、パッケージ内の主要な熱経路となるドレインパターン上に配置しました。銅パターンの直下に配置されたビアはインナービアとしてモデル化され、一方、周辺部のビアはアウタービアとして使用されました。放熱器は、特にパラメータ化された場合を除き、すべてのシミュレーションにおいて同形状の直方体でモデル化されたものが使用されました。

熱干渉モデルでは、3 つのデバイスを共通のドレインパターン上に配置し、前述の単一デバイスのシミュレーションと同じサイズのプリント基板が使用されました。

すべてのモデルで、TIM には同じ物性値を使用し、厚みはビアのみとしました。TIM の効果は、(1)銅パターンとデバイスの間、および(2)銅パターンと放熱器の間に配置して評価しました。

## シミュレーション結果

図 3 に示すように、シミュレーションの精度は±5 % の許容範囲内であることが分かりました。



図 3. MOSFET 温度の実測値とシミュレーション値との比較

## 多層 PCB

多層 PCB の効果を図 4 に示します。シミュレーションの結果、PCB の層数を 4 層から 8 層に増やすと、チップ温度が 7 % 低下することが分かりました。ここでの主な問題はコストの増加です。

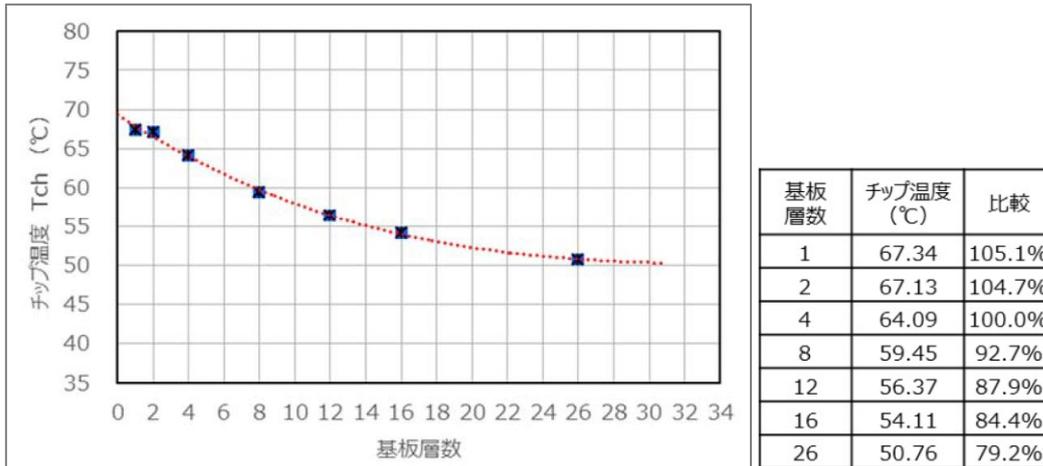


図 4. PCB 層数とチップ温度との関係

## PCB パターン厚

パターン厚を 70  $\mu\text{m}$  から 105  $\mu\text{m}$  にすることで、チップ温度は 6 % 低下しました。

## 放熱器サイズ

放熱器なしの設計では、高さ 1 cm の放熱器を追加することでチップ温度が 12 % 低下しました。高さ 2 cm の放熱器をモデル化した場合、基板温度は 19 % 低下しました。この特別なアプローチは、放熱を PCB だけに依存するよりもはるかに効果的です。

## 放熱器の放射率

放熱器の放射率は、表面をアルマイト処理することで 0.04 から 0.8 に高めることができます。このような放熱器を導入した場合、チップ温度が 12 % 低下しました。非常に効果的ですが、この表面処理はコストに大きく影響します。

## 熱干渉

3 つのデバイスを並べた場合、3 mm の間隔ではチップ温度が 3% 上昇しましたが、12 mm の間隔で

は温度上昇は見られませんでした。

## TIM

表面積が小さい場合は、より薄い TIM の使用で効果がありますが、表面積が大きい場合はあてはまりません。

## ドレインフレーム直下のビア

ドレインフレーム直下にビアを配置すると、ビアのないプリント基板と比較してかなり効果的であることが立証されました。ビアを 3 つ追加した場合はチップ温度が 9 %低下し、5 つ追加した場合は 12 %低下しました。

## 周辺ビア

ビアのないプリント基板と比較した場合、ビアを 6 本追加するとチップ温度は 7 %低下し、10 本追加すると 10 %低下しました。しかし、周辺ビアは、ドレインフレーム直下に配置されたビアよりも効果が低かったことは注目に値します。一方で、周辺ビアには、周囲への熱伝導を防ぐという優れた利点があります。

## 東芝デバイス&ストレージソリューション

表面実装パッケージは、熱設計と性能に関してすべてが同じというわけではありません。したがって当社では、本シミュレーションで使用したパッケージ ([MOSFET](#)、[SOP Advance](#)、[TO-247](#)) のような、優れた熱性能を提供するソリューションの開発を積極的に進めてきました。

当社では、ここまで述べてきたような実証済みの手法を取り入れた最先端パッケージの半導体部品を取り揃えています。また、当社は MOSFET を中心に熱シミュレーションに適した簡略化した [3D モデル\(簡易 CFD モデル\)](#) を公開しております。是非ご参考ください。

熱設計について、もっと詳しくお知りになりたい方は以下 PDF 記事をご覧ください。

[「ディスクリート半導体熱設計の勘どころ 1」](#)

[「ディスクリート半導体 熱設計の勘どころ 2」](#)

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。