

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86FH93NG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

Not Recommended
for New Design

使用時の注意点 / 製品の相違点について

(1) エミュレーションチップ(開発ツール)使用時の注意点

・ 電圧検出回路について

TMP86FH93NG とエミュレーションチップ TMP86C993XB では電圧検出回路の機能に相違点があります。従って、電圧検出回路に関する最終的なソフトウェアの動作確認は、かならず TMP86FH93NG を使用して行ってください。

詳しくは電圧検出回路の章を参照してください。

・ パワーオンリセット回路について

TMP86C993XB でパワーオンリセット回路をエミュレーションすることはできません。従って開発ツールにてデバッグを行う際は、かならずターゲット電圧を TMP86FH93NG の動作条件の範囲で使用してください。動作条件については電気的特性の章を参照してください。

・ フラッシュ制御レジスタについて

TMP86FH93NG は、DBR 領域の 0FFFH にフラッシュ制御レジスタ(FLSCR)を内蔵していますが、TMP86C993XB は FLSCR レジスタを内蔵していません。従って開発ツールで同レジスタをアクセスするプログラムを動作させても正しく機能しません (TMP86FH93NG と異なった動作をします)。

Not Recommended for New Design

(2) 製品の相違点

・ 機能の相違点

製品名	TMP86FH92DMG	TMP86FH93NG
CPU コア	TLCS-870/C	
ROM	16K バイト (FLASH)	
RAM	512 バイト	
割り込み	22 要因 (外部 5 内部:17)	
入出力ポート	24 端子	26 端子
ポート 0	8 端子(大電流出力/シンクオープンドレイン、 または C-MOS 出力/プログラマブルプルアップ抵抗付)	
ポート 1	5 端子 (シンクオープンドレインまたは C-MOS 出力/プログラマブルプルアップ抵抗付)	7 端子
ポート 2	3 端子(P20 はプログラマブルプルアップ抵抗付)	
ポート 3	8 端子	
ウォッチドッグタイマ	1 チャネル	
タイマカウンタ	16 ビット: 1 チャネル 8 ビット: 2 チャネル	
UART	2 チャネル (1 チャネルは I ² C バスと兼用)	2 チャネル
シリアルバスインターフェース (I ² C バス)	1 チャネル (UART と兼用) SDA 端子 P13, SCL 端子 P14	1 チャネル SDA 端子 P13, P15 から選択 SCL 端子は P14, P16 から選択
SEI	1 チャネル	
10 ビット AD コンバータ	6 チャネル	
キーオン ウェイクアップ	4 チャネル	
クロック発振回路	2 回路 (シングル/デュアルクロック選択)	
低消費電力動作	9 モード (STOP/SLOW1/SLOW2/IDLE0/IDLE1/IDLE2/SLEEP0/SLEEP1/SLEEP2)	
その他機能	パワーオンリセット回路 電圧検出回路	
動作電圧 (VDD)	4.0V ~ 5.5V (@16MHz / 32.768KHz) 2.7V ~ 5.5V (@8MHz / 32.768KHz)	
パッケージ	30pin (SSOP30-P-56-0.65)	32pin (SDIP32-P-400-1.78)

- 電气的特性の相違点

		TMP86FH92DMG	TMP86FH93NG
動作条件 (MCU モード)	リード/フェ ッチ時	3.0V ~ 5.5V (-40 ~ 85°C) 2.7V ~ 3.0V (-20 ~ 85°C)	
	消去/ 書き込み時	4.5V ~ 5.5V (-10 ~ 40°C)	
動作条件 (シリアル PROM モード)		4.5V ~ 5.5V (-10 ~ 40°C)	

Not Recommended
for New Design

Not Recommended
for New Design

改訂履歴

日付	版	改訂理由
2007/1/24	1	First Release
2007/2/8	2	内容改訂
2007/4/16	3	内容改訂
2007/6/25	4	内容改訂
2008/1/31	5	内容改訂
2008/9/26	6	内容改訂
2009/8/24	7	内容改訂

Not Recommended for New Design

目次

使用時の注意点 / 製品の相違点について

TMP86FH93NG

1.1 特長	1
1.2 ピン配置図	3
1.3 ブロック図	4
1.4 端子機能	5

第2章 動作説明

2.1 CPU コア機能	7
2.1.1 メモリアドレスマップ	7
2.1.2 プログラムメモリ (Flash)	7
2.1.3 データメモリ (RAM)	8
2.2 システムクロック制御回路	9
2.2.1 クロックジェネレータ	9
2.2.2 タイミングジェネレータ	10
2.2.2.1 タイミングジェネレータの構成	
2.2.2.2 マシンサイクル	
2.2.3 動作モードの種類	11
2.2.3.1 シングルクロックモード	
2.2.3.2 デュアルクロックモード	
2.2.3.3 STOP モード	
2.2.3.4 各動作モードの遷移	
2.2.4 動作モードの制御	16
2.2.4.1 STOP モード	
2.2.4.2 IDLE1/2 モード, SLEEP1/2 モード	
2.2.4.3 IDLE0, SLEEP0 モード	
2.2.4.4 SLOW モード	
2.3 リセット回路	31
2.3.1 外部リセット入力	31
2.3.2 アドレストラップリセット	32
2.3.3 ウォッチドッグタイマリセット	32
2.3.4 システムクロックリセット	32
2.3.5 パワーオンリセット	33
2.3.6 電圧検出リセット	33
2.3.7 トリミングデータリセット	33
2.4 内部要因リセット検出ステータスフラグ	34

第3章 割り込み制御回路

3.1 割り込みラッチ (IL21 ~ IL2)	36
3.2 割り込み許可レジスタ (EIR)	37
3.2.1 割り込みマスタ許可フラグ (IMF)	37
3.2.2 割り込み個別許可フラグ (EF21 ~ EF4)	37
3.3 割り込み処理	39

3.3.1	割り込み受け付け処理.....	39
3.3.2	汎用レジスタ退避/復帰処理.....	40
3.3.2.1	プッシュ/ポップ命令による汎用レジスタの退避/復帰	
3.3.2.2	転送命令による汎用レジスタの退避/復帰	
3.3.3	割り込みリターン.....	42
3.4	ソフトウェア割り込み (INTSW).....	43
3.4.1	アドレスエラー検出.....	43
3.4.2	デバッグ.....	43
3.5	未定義命令割り込み (INTUNDEF).....	43
3.6	アドレストラップ割り込み (INTATRAP).....	43
3.7	外部割り込み.....	44

第4章 スペシャルファンクションレジスタ

4.1	SFR.....	47
4.2	DBR.....	49

第5章 入出力ポート

5.1	P0 (P07~P00) ポート (大電流).....	52
5.2	P1 (P16~P10) ポート.....	54
5.3	P2 (P22~P20) ポート.....	56
5.4	P3 (P37~P30) ポート.....	58
5.5	マルチファンクションレジスタ.....	61

第6章 パワーオンリセット回路

6.1	パワーオンリセット回路.....	63
6.1.1	構成.....	63
6.1.2	機能.....	63

第7章 電圧検出回路

7.1	構成.....	65
7.2	制御.....	66
7.3	機能.....	68
7.3.1	電圧検出動作の許可/禁止.....	68
7.3.2	電圧検出動作モード選択.....	68
7.3.3	検出電圧レベル選択.....	69
7.3.4	電圧検出フラグ、電圧検出ステータスフラグ.....	69
7.4	レジスタの設定.....	70
7.4.1	割り込み使用時の設定手順.....	70
7.4.2	電圧検出リセット信号発生として使用する場合の設定手順.....	71

第8章 ウォッチドッグタイマ(WDT)

8.1	ウォッチドッグタイマの構成.....	73
8.2	ウォッチドッグタイマの制御.....	73
8.2.1	ウォッチドッグタイマによる暴走検出の方法.....	73

8.2.2	ウォッチドッグタイマのイネーブル.....	75
8.2.3	ウォッチドッグタイマのディセーブル.....	75
8.2.4	ウォッチドッグタイマ割り込み (INTWDT).....	76
8.2.5	ウォッチドッグタイマリセット.....	76
8.3	アドレストラップ.....	77
8.3.1	内蔵 RAM 領域のアドレストラップ選択 (ATAS).....	77
8.3.2	アドレストラップ発生時の動作選択 (ATOUT).....	77
8.3.3	アドレストラップ割り込み (INTATRAP).....	77
8.3.4	アドレストラップリセット.....	78

第9章 タイムベースタイマ (TBT)

9.1	タイムベースタイマ.....	79
9.1.1	構成.....	79
9.1.2	制御.....	79
9.1.3	機能.....	80
9.2	デバイダ出力 (DVO).....	81
9.2.1	構成.....	81
9.2.2	制御.....	81

第10章 16ビットタイマカウンタ1 (TC1)

10.1	構成.....	83
10.2	制御.....	84
10.3	機能.....	86
10.3.1	タイマモード.....	86
10.3.2	外部トリガタイマモード.....	88
10.3.3	イベントカウンタモード.....	90
10.3.4	ウィンドウモード.....	91
10.3.5	パルス幅測定モード.....	92
10.3.6	プログラマブルパルスジェネレート (PPG) 出力モード.....	95

第11章 8ビットタイマカウンタ (TC3, TC4)

11.1	構成.....	99
11.2	制御.....	100
11.3	機能.....	104
11.3.1	8ビットタイマモード (TC3, 4).....	104
11.3.2	8ビットイベントカウンタモード (TC3, 4).....	105
11.3.3	8ビットプログラマブルデバイダ出力 (PDO) モード (TC3, 4).....	105
11.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC3, 4).....	108
11.3.5	16ビットタイマモード (TC3 + 4).....	110
11.3.6	16ビットイベントカウンタモード (TC3 + 4).....	111
11.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4).....	111
11.3.8	16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4).....	114
11.3.9	ウォーミングアップカウンタモード.....	116
11.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
11.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第12章 非同期型シリアルインターフェース (UART1)

12.1	構成.....	119
-------------	----------------	------------

12.2	制御	120
12.3	転送データフォーマット	123
12.4	転送レート	124
12.5	データのサンプリング方法	124
12.6	STOP ビット長	125
12.7	パリティ	125
12.8	送受信動作	125
12.8.1	データ送信動作	125
12.8.2	データ受信動作	125
12.9	ステータスフラグ	126
12.9.1	パリティエラー	126
12.9.2	フレーミングエラー	126
12.9.3	オーバーランエラー	126
12.9.4	受信バッファフル	127
12.9.5	送信バッファエンプティ	127
12.9.6	送信終了フラグ	128

第 13 章 非同期型シリアルインターフェース(UART2)

13.1	構成	129
13.2	制御	130
13.3	転送データフォーマット	133
13.4	転送レート	134
13.5	データのサンプリング方法	134
13.6	STOP ビット長	135
13.7	パリティ	135
13.8	送受信動作	135
13.8.1	データ送信動作	135
13.8.2	データ受信動作	135
13.9	ステータスフラグ	136
13.9.1	パリティエラー	136
13.9.2	フレーミングエラー	136
13.9.3	オーバーランエラー	136
13.9.4	受信バッファフル	137
13.9.5	送信バッファエンプティ	137
13.9.6	送信終了フラグ	138

第 14 章 シリアル拡張インターフェース (SEI)

14.1	特長	139
14.2	SEI レジスタ	140
14.2.1	SEI コントロールレジスタ (SECR)	140
14.2.1.1	転送レート	
14.2.2	SEI ステータスレジスタ (SESR)	141
14.2.3	SEI データレジスタ (SEDR)	142
14.3	SEI 動作	142
14.3.1	SEI クロックの位相と極性の制御	142
14.3.2	SEI データとクロックのタイミング	142
14.4	SEI 端子機能	143
14.4.1	SCLK 端子	143
14.4.2	MISO/MOSI 端子	143
14.4.3	SS 端子	143
14.5	SEI 転送フォーマット	144
14.5.1	CPHA = 0 のフォーマット	144

14.5.2	CPHA=1 のフォーマット	144
14.6	機能説明	146
14.7	割り込み発生	146
14.8	SEI システムエラー	147
14.8.1	ライト衝突エラー	147
14.8.2	オーバフローエラー	147
14.8.3	モードフォルトエラー	147
14.9	バスドライバの保護について	148

第 15 章 シリアルバスインタフェース (I²C バス) ver.-D (SBI)

15.1	構成	149
15.2	制御	150
15.3	ソフトウェアリセット	150
15.4	I²C バスのデータフォーマット	151
15.5	シリアルバスインタフェースの制御	152
15.5.1	アックノリッジメントモードの指定	155
15.5.1.1	アックノリッジメントモード (ACK="1")	
15.5.1.2	非アックノリッジメントモード (ACK="0")	
15.5.2	転送ビット数の選択	156
15.5.3	シリアルクロック	156
15.5.3.1	クロックソース	
15.5.3.2	クロック同期化	
15.5.4	スレープアドレスとアドレス認識モードの設定	157
15.5.5	マスタ/スレープの選択	157
15.5.6	トランスマッタ/レシーバの選択	157
15.5.7	スタート/ストップコンディションの発生	158
15.5.8	割り込みサービス要求と解除	159
15.5.9	シリアルバスインタフェースの動作モード	159
15.5.10	アービトレーションロスト検出モニタ	159
15.5.11	スレープアドレス一致検出モニタ	161
15.5.12	ゼネラルコール検出モニタ	161
15.5.13	最終受信ビットモニタ	161
15.6	I²C バスモード時のデータ転送手順	162
15.6.1	デバイスの初期化	162
15.6.2	スタートコンディション、スレープアドレスの発生	162
15.6.3	1 ワードのデータ転送	163
15.6.3.1	MST が "1" のとき (マスタモード)	
15.6.3.2	MST が "0" のとき (スレープモード)	
15.6.4	ストップコンディションの発生	165
15.6.5	再スタートの手順	166

第 16 章 10 ビット AD コンバータ(ADC)

16.1	構成	169
16.2	制御	170
16.3	機能	173
16.3.1	ソフトウェアスタートモード	173
16.3.2	リピードモード	173
16.3.3	レジスタの設定	174
16.4	AD 変換時の STOP/SLOW モード	175
16.5	入力電圧と変換結果	176
16.6	AD コンバータの注意事項	177
16.6.1	アナログ入力端子電圧範囲	177
16.6.2	アナログ入力兼用端子	177
16.6.3	ノイズ対策	177

第17章 キーオンウェイクアップ(KWU)

17.1	キーオンウェイクアップの構成	179
17.2	制御	180

第18章 フラッシュメモリ

18.1	制御	182
18.1.1	フラッシュメモリのコマンドシーケンス制御 (FLSCR<FLSMD>)	182
18.1.2	フラッシュメモリのスタンバイ制御(FLSSTB<FSTB>)	182
18.2	コマンドシーケンス	184
18.2.1	Byte Program	184
18.2.2	セクタイレース(4KB 単位の部分消去)	184
18.2.3	チップイレース(全面消去)	185
18.2.4	Product ID Entry	185
18.2.5	Product ID Exit	185
18.2.6	Security Program 設定	185
18.3	トグルビット (D6)	186
18.4	フラッシュメモリ領域へのアクセス	187
18.4.1	シリアル PROM モードのフラッシュメモリ制御	187
18.4.1.1	シリアル PROM モードの RAM ロードモードで RAM 領域に制御プログラムを展開して書き込む例	
18.4.2	MCU モードのフラッシュメモリ制御	189
18.4.2.1	MCU モードから RAM 領域に制御プログラムを展開して書き込む例	

第19章 シリアル PROM モード

19.1	概要	191
19.2	メモリマッピング	191
19.3	シリアル PROM モード設定	192
19.3.1	シリアル PROM モード制御端子	192
19.3.2	端子機能	192
19.3.3	オンボード書き込み接続例	193
19.3.4	シリアル PROM モードの起動	194
19.4	インタフェース仕様	195
19.5	動作コマンド	196
19.6	動作モード	196
19.6.1	フラッシュメモリ消去モード (動作コマンド: FOH)	198
19.6.2	フラッシュメモリ書き込みモード (動作コマンド: 30H)	200
19.6.3	RAM ロードモード(動作コマンド: 60H)	203
19.6.4	フラッシュメモリ SUM 出力モード (動作コマンド: 90H)	205
19.6.5	製品識別コード出力モード(動作コマンド: C0H)	206
19.6.6	フラッシュメモリステータス出力モード (動作コマンド: C3H)	207
19.6.7	フラッシュメモリ Security Program 設定モード (動作コマンド: FAH)	208
19.7	エラーコード	210
19.8	チェックサム(SUM)	210
19.8.1	計算方法	210
19.8.2	計算対象データ	210
19.9	インテル Hex フォーマット(Binary)	211
19.10	パスワード	212
19.10.1	パスワード列	213
19.10.2	パスワードエラー処理	213
19.10.3	ソフトウェア開発時のパスワードについて	213
19.11	製品識別コード	214

19.12	フラッシュメモリステータスコード.....	215
19.13	消去範囲指定.....	216
19.14	ポート入力制御レジスタ.....	217
19.15	フローチャート.....	218
19.16	UART タイミング.....	219

第 20 章 端子の入出力回路

20.1	制御端子.....	221
20.2	入出力ポート.....	222

第 21 章 電気的特性

21.1	絶対最大定格.....	225
21.2	動作条件.....	226
21.2.1	MCU モード (フラッシュメモリの書き込みおよび消去動作時)	226
21.2.2	MCU モード (フラッシュメモリの書き込みおよび消去動作を除く)	226
21.2.3	シリアル PROM モード.....	227
21.3	DC 特性.....	228
21.4	AD 変換特性.....	230
21.5	パワーオンリセット回路特性.....	230
21.6	電圧検出回路特性.....	231
21.7	AC 特性.....	232
21.8	フラッシュ特性.....	232
21.8.1	書き込み特性.....	232
21.9	発振条件.....	233
21.10	取り扱い上のご注意.....	234

第 22 章 外形寸法

Not Recommended
for New Design

CMOS 8 ビット マイクロコントローラ

TMP86FH93NG

製品形名	ROM (FLASH)	RAM	パッケージ	エミュレーションチップ
TMP86FH93NG	16384 バイト	512 バイト	SDIP32-P-400-1.78	TMP86C993XB

1.1 特 長

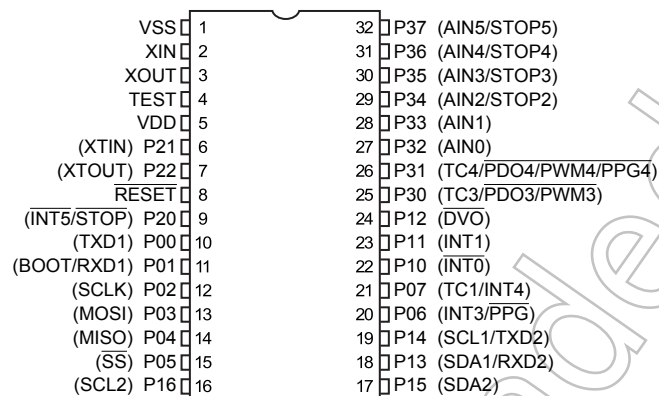
- ・ 8 ビットシングルチップマイクロコントローラ: TLCS-870/C シリーズ
 - 最小実行時間:
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令: 132 種類 731 命令
- ・ 割り込み要因 22 要因 (外部: 5, 内部: 17)
- ・ 入出力ポート (26 端子)
 - 大電流出力 8 端子 (Typ. 20mA)
- ・ パワーオンリセット回路
- ・ 電圧検出回路
- ・ ウォッチドッグタイマ
 - 割り込み/内部リセット発生の選択 (プログラマブル)
- ・ プリスケーラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- ・ 16 ビットタイマカウンタ: 1 チャンネル
 - タイマ, イベントカウンタ, PPG (プログラマブル矩形波) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- ・ 8 ビットタイマカウンタ: 2 チャンネル
 - タイマ, イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)
 - PPG モード
 - 16 ビットモード (タイマ 2 チャンネルを組み合わせ使用)
- ・ 8 ビット UART: 2 チャンネル
- ・ 8 ビット SEI: 1 チャンネル
 - (MSB/LSB 選択, 最大 4 Mbps @ 16 MHz)
- ・ シリアルバスインタフェース (I²C バス): 1 チャンネル
- ・ 10 ビット逐次比較方式 AD コンバータ
 - アナログ入力: 6 チャンネル
- ・ キーオンウェイクアップ: 4 チャンネル
- ・ クロック発振回路: 2 回路
 - シングル/デュアルクロックモードの選択
- ・ 低消費電力動作 (9 モード)

- STOP モード: 発振停止 (バッテリー/コンデンサバックアップ)
 - SLOW1 モード: 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2 モード: 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0 モード: CPU 停止。
周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード: CPU 停止。
周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
 - IDLE2 モード: CPU 停止。
周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0 モード: CPU 停止。
周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - SLEEP1 モード: CPU 停止。
周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2 モード: CPU 停止。
周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- ・ 動作電圧:

4.0 V~5.5 V @ 16MHz /32.768 kHz

2.7 V~5.5 V @ 8 MHz /32.768 kHz

1.2 ピン配置図



VSS	1	32	P37 (AIN5/STOP5)
XIN	2	31	P36 (AIN4/STOP4)
XOUT	3	30	P35 (AIN3/STOP3)
TEST	4	29	P34 (AIN2/STOP2)
VDD	5	28	P33 (AIN1)
(XTIN) P21	6	27	P32 (AIN0)
(XTOUT) P22	7	26	P31 (TC4/PDO4/PWM4/PPG4)
RESET	8	25	P30 (TC3/PDO3/PWM3)
(INT5/STOP) P20	9	24	P12 (DVO)
(TXD1) P00	10	23	P11 (INT1)
(BOOT/RXD1) P01	11	22	P10 (INT0)
(SCLK) P02	12	21	P07 (TC1/INT4)
(MOSI) P03	13	20	P06 (INT3/PPG)
(MISO) P04	14	19	P14 (SCL1/TXD2)
(SS) P05	15	18	P13 (SDA1/RXD2)
(SCL2) P16	16	17	P15 (SDA2)

図 1-1 ピン配置図

1.3 ブロック図

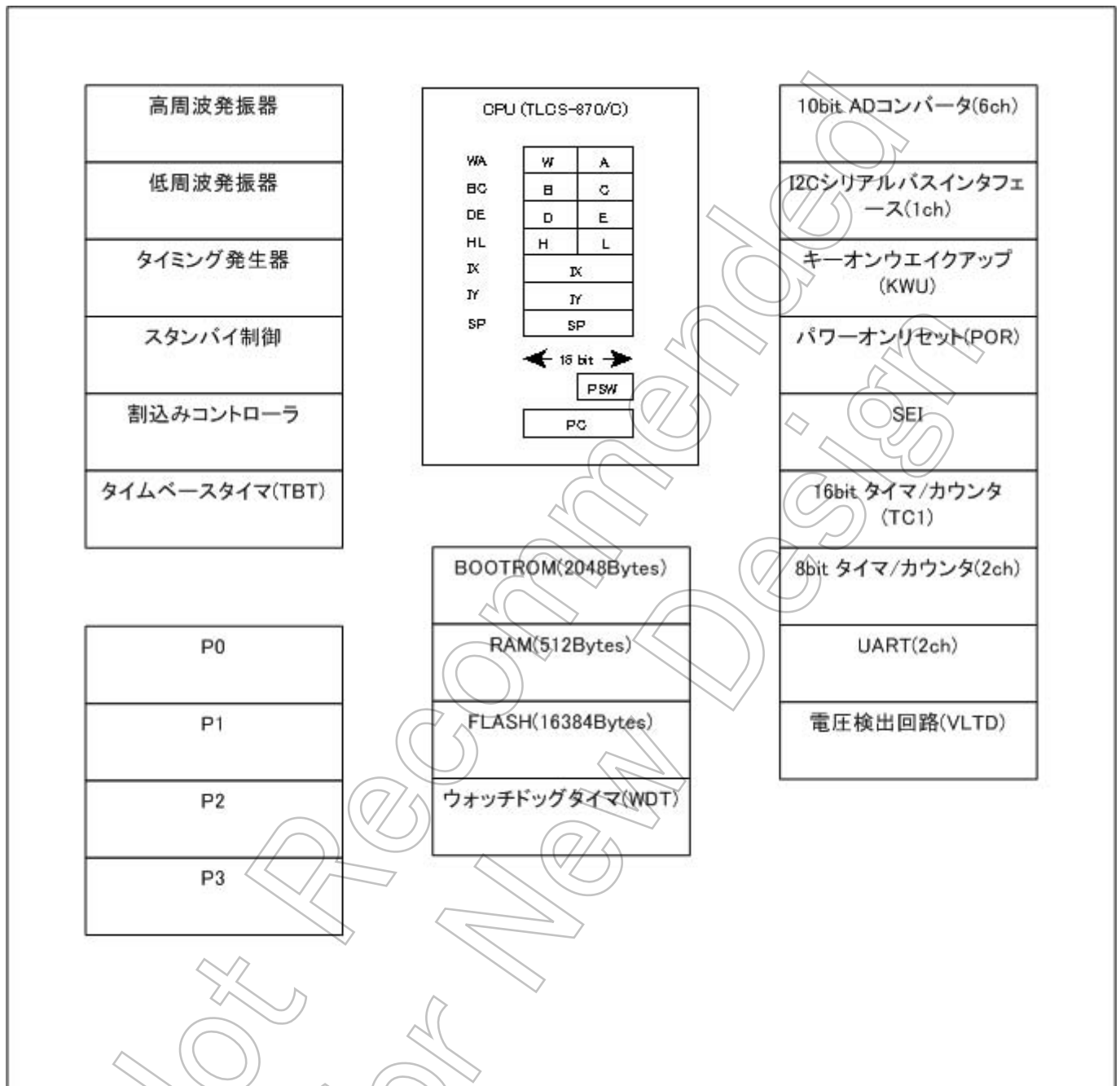


図 1-2 ブロック図

1.4 端子機能

TMP86FH93NG は、MCU モードとシリアル PROM モード、パラレル PROM モードがあります。表 1-1 に MCU モード時の端子機能を示します。シリアル PROM モードについては、後続の「シリアル PROM モード」の章を参照してください。

表 1-1 端子機能表(1/2)

端子名	ピン番号	入出力	機能
P07 TC1 INT4	21	IO I I	ポート 07 TC1 端子入力 外部割り込み 4 入力
P06 INT3 PPG	20	IO I O	ポート 06 外部割り込み 3 入力 PPG 出力
P05 SS	15	IO I	ポート 05 SEI マスタ/スレーブ切り替え入力
P04 MISO	14	IO IO	ポート 04 SEI マスタ入力、スレーブ出力
P03 MOSI	13	IO IO	ポート 03 SEI マスタ出力、スレーブ入力
P02 SCLK	12	IO IO	ポート 02 SEI シリアルクロック入出力端子
P01 RXD1 BOOT	11	IO I I	ポート 01 UART データ入力 1 シリアル PROM モード制御入力
P00 TXD1	10	IO O	ポート 00 UART データ出力 1
P16 SCL2	16	IO IO	ポート 16 I2C バスクロック 2
P15 SDA2	17	IO IO	ポート 15 I2C バスデータ 2
P14 SCL1 TXD2	19	IO IO O	ポート 14 I2C バスクロック 1 UART データ出力 2
P13 SDA1 RXD2	18	IO IO I	ポート 13 I2C バスデータ 1 UART データ入力 2
P12 DVO	24	IO O	ポート 12 デバイダ出力
P11 INT1	23	IO I	ポート 11 外部割り込み 1 入力
P10 INT0	22	IO I	ポート 10 外部割り込み 0 入力
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子

表 1-1 端子機能表(2/2)

端子名	ピン番号	入出力	機能
P20 STOP INT5	9	IO I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力
P37 AIN5 STOP5	32	IO I I	ポート 37 アナログ入力 5 ストップ 5
P36 AIN4 STOP4	31	IO I I	ポート 36 アナログ入力 4 ストップ 4
P35 AIN3 STOP3	30	IO I I	ポート 35 アナログ入力 3 ストップ 3
P34 AIN2 STOP2	29	IO I I	ポート 34 アナログ入力 2 ストップ 2
P33 AIN1	28	IO I	ポート 33 アナログ入力 1
P32 AIN0	27	IO I	ポート 32 アナログ入力 0
P31 TC4 PDO4/PWM4/PPG4	26	IO I O	ポート 31 TC4 端子入力 PDO4/PWM4/PPG4 出力
P30 TC3 PDO3/PWM3	25	IO I O	ポート 30 TC3 端子入力 PDO3/PWM3 出力
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
RESET	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VDD	5	I	電源端子
VSS	1	I	GND 端子

第2章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86FH93NG のメモリは、Flash, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ)で構成され、それらは1つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86FH93NG のメモリアドレスマップを示します。

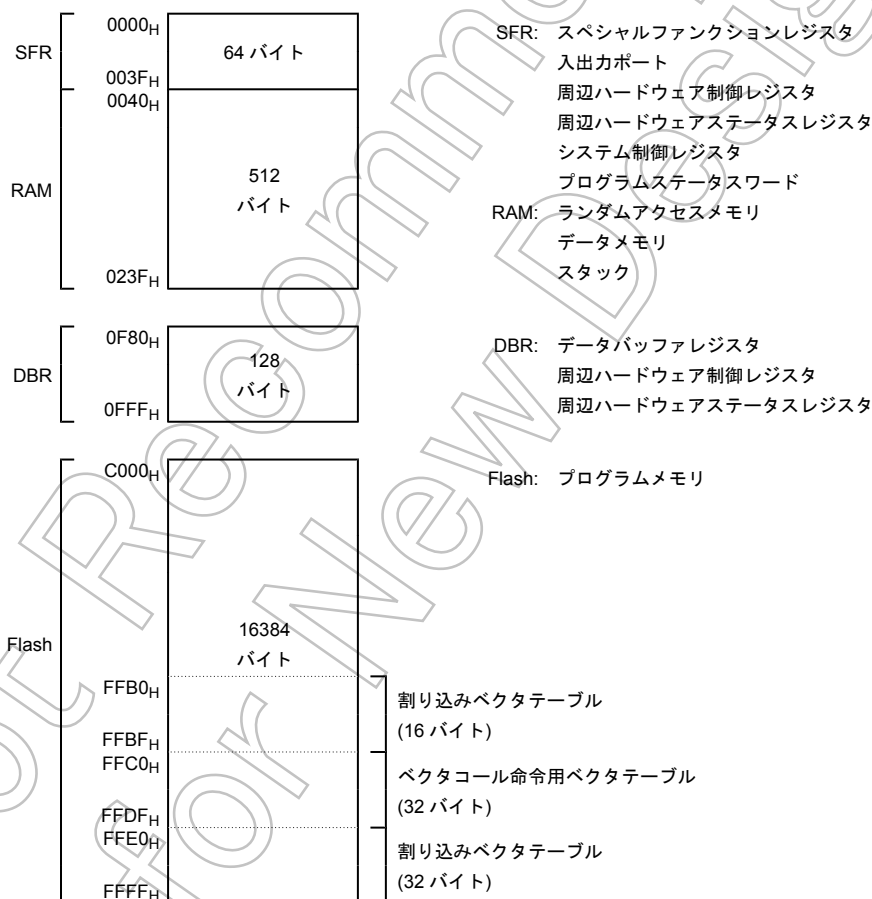


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (Flash)

TMP86FH93NG は 16384 バイト (アドレス C000H~FFFFH) のプログラムメモリ (Flash) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86FH93NGは、512バイト(アドレス0040H~023FH)のRAMを内蔵しています。内蔵RAMの領域中、アドレス(0040H~00FFH)はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86FH93NGのRAMクリア

```
LD    HL, 0040H      ; スタートアドレスの設定
LD    A, H           ; 初期化データ (00H) の設定
LD    BC, 01FFH     ; バイト数 (-1) の設定
SRAMCLR: LD    (HL), A
INC   HL
DEC   BC
JRS  F, SRAMCLR
```

Not Recommended for New Design

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

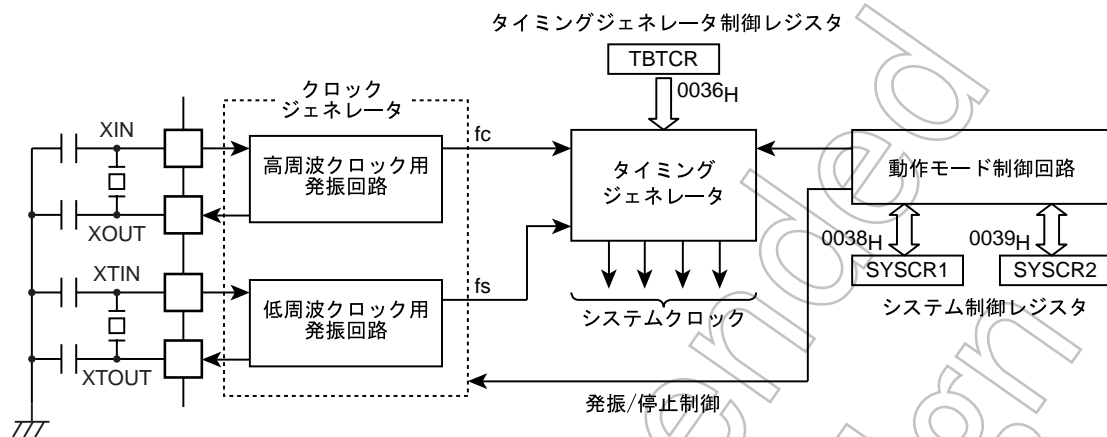


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数 f_c)、低周波クロック(周波数 f_s)は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

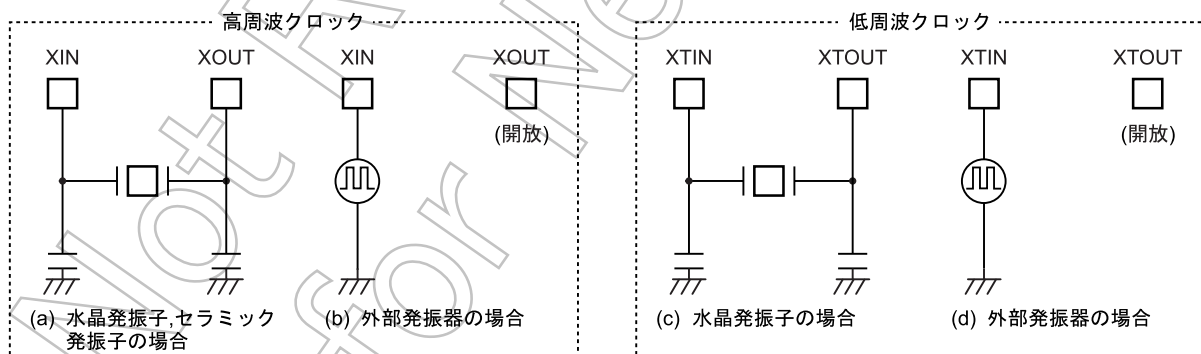


図 2-3 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス(例えばクロック出力)を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 (\overline{DVO}) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK>の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK>は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK)を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

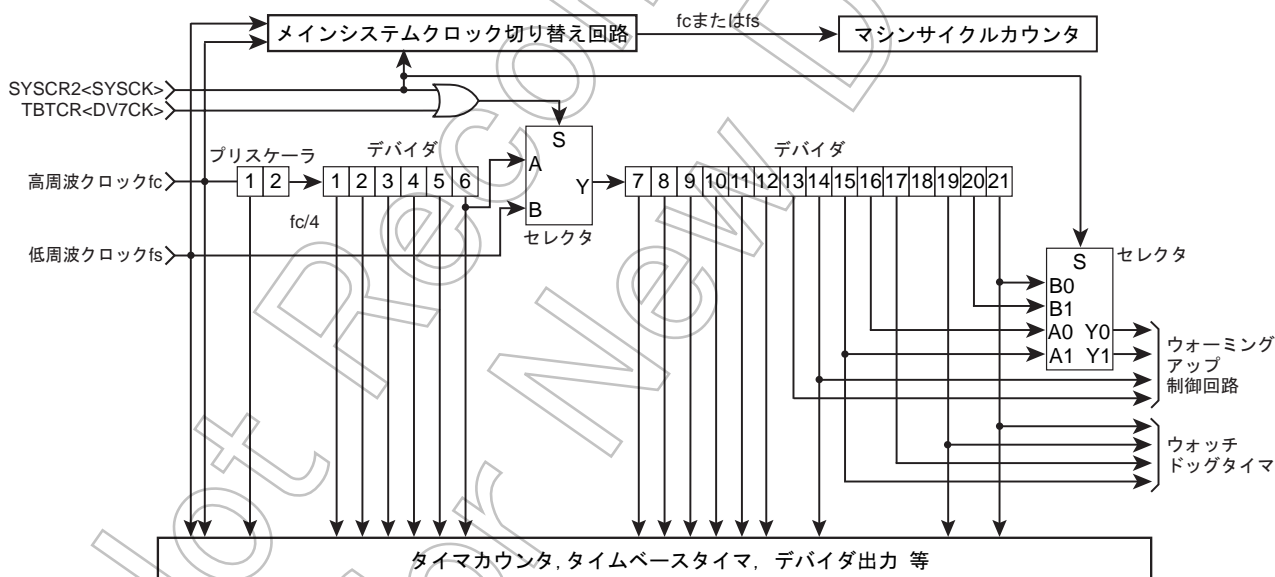


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0
	(DVOEN)	(DVOCK)	DV7CK	(TBTEN)			(TBTCK)	(初期値: 0000 0000)

DV7CK	デバイダ 7 段目への入力クロックの選択	0: $f_c/2^8$ [Hz] 1: f_s	R/W

注 1) シングルクロックモード時は、DV7CK を“1”にセットしないでください。

注 2) 低周波クロックの発振安定前に DV7CK を“1”にセットしないでください。

- 注 3) f_c : 高周波クロック [Hz], f_s : 低周波クロック [Hz], *: Don't care
 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には f_s が入力されます。
 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

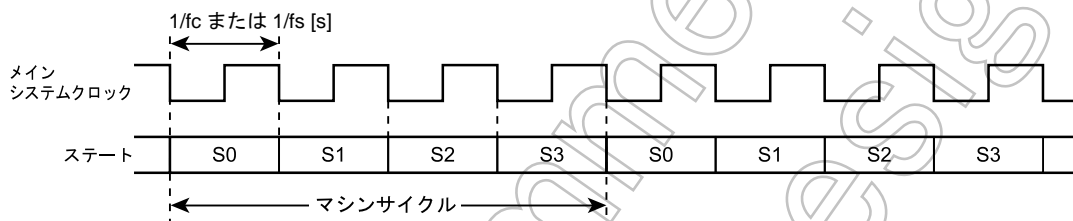


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT>を“1”をセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し IMF=“1”, EF7(TBT の割り込み個別許可フラグ)=“1”, TBTCR<TBTEN>=“1” のときは割り込み処理が行われます。

TBTCR<TBTEN>=“1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します(デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1/2, SLEEP1/2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s], SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu\text{s} @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変更は SYSCR2<XEN>で行います。SLOW1, SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1, SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT>を“1”をセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”, EF7 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

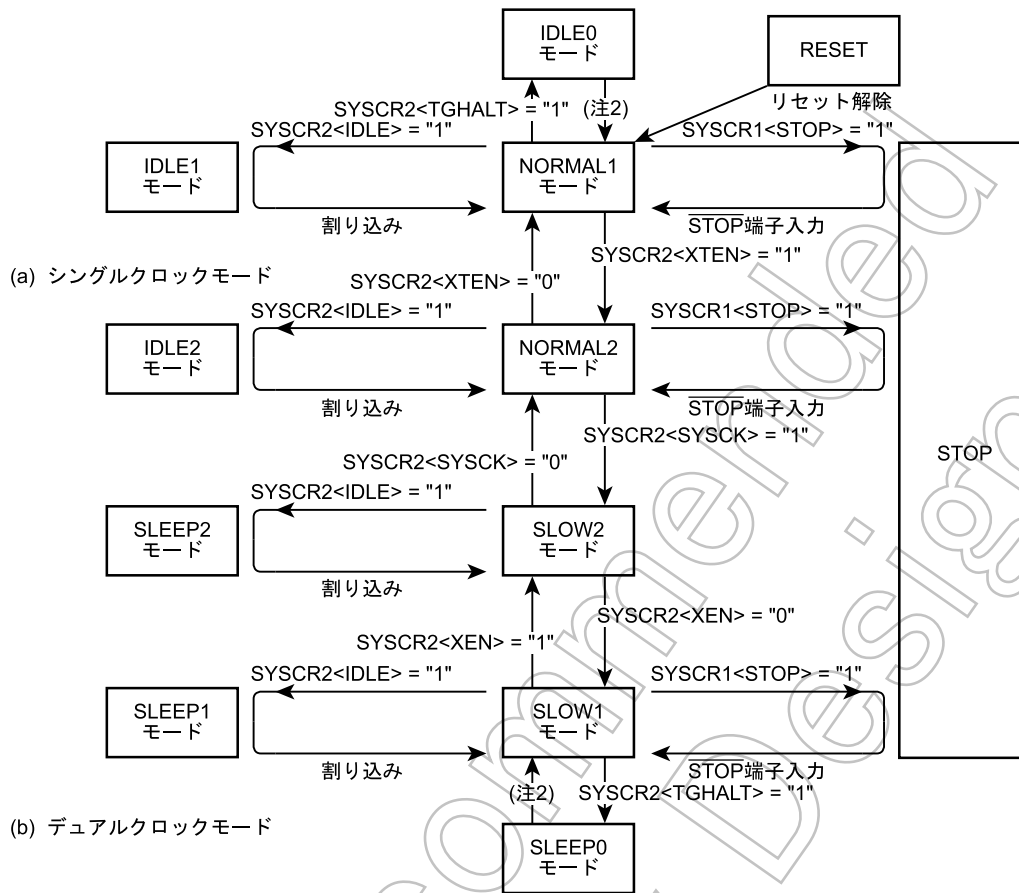
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2) TBTCR<TBTK>によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路		CPU コア	WDT	TBT	AD コンバータ	パワーオン リセット 電圧検出リ セット	その他 周辺回路 電圧検出割 り込み	マシンサイ クルタイム	
		高周波	低周波								
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	リセット	動作	リセット	4/fc [s]	
	NORMAL1			動作	動作	動作	動作		動作		
	IDLE1			停止	停止						動作
	IDLE0					停止	停止		動作		
	STOP	停止	停止	停止	停止			停止		停止	-
デュアル クロック	NORMAL2	発振	発振	高周波動作	高周波/ 低周波動作	動作	高周波動作	動作	動作	4/fc [s]	
	IDLE2			停止	停止		動作			動作	動作
	SLOW2			低周波動作	低周波動作						
	SLEEP2			停止	停止		動作			動作	動作
	SLOW1	停止	発振	低周波動作	低周波動作	動作		停止	動作		
	SLEEP1			停止	停止		動作	動作		動作	
	SLEEP0										停止
	STOP			停止	停止		停止	停止		停止	

Not Recommended for New Design

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値: 0000.00)**

STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア動作 1: CPU コア, 周辺ハードウェア停止 (STOP モード起動)		R/W	
RELM	STOP モードの解除方法の選択	0: エッジ解除モード(STOP 端子入力の立ち上がりエッジで解除) 1: レベル解除モード(STOP 端子入力の “H” レベルで解除)		R/W	
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る		R/W	
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W	
WUT	STOP モード解除時のウォーミングアップ時間 単位: [s]		NORMAL1/2 モードへ 戻る場合	SLOW1 モードへ 戻る場合	R/W
		00	$3 \times 2^{16}/fc$	$3 \times 2^{13}/fs$	
		01	$2^{16}/fc$	$2^{13}/fs$	
		10	$3 \times 2^{14}/fc$	$3 \times 2^9/fs$	
		11	$2^{14}/fc$	$2^6/fs$	

- 注 1) RETM は、NORMAL モードから STOP モードを起動する場合は必ず “0” にしてください。SLOW モードから STOP モードを起動する場合は必ず “1” にしてください。
- 注 2) STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
- 注 3) fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], *; Don't care
- 注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 5) OUTEN = “0” の指定で STOP モードを起動すると、内部入力は “0” に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) STOP 端子入力の立ち上がりエッジで解除する設定のときは、STOP5 ~ STOP2 で解除する設定(STOPCR)にはしないでください。
- 注 7) P20 端子は STOP 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択(write)/モニタ(read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, *; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTCK>の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに INT5 (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP>を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作はパワーオンリセット回路、定電圧検出回路（リセット選択時）を除いて、すべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM>で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

- 注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。
- 注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“H”または“L”エッジ入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルの状態では STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作を起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法 (INT5 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

```
LD      (SYSCR1), 01010000B      ;レベル解除モードにセットアップ
SSTOPH: TEST  (P2PRD).0          ; $\overline{\text{STOP}}$  端子入力が“L”レベルになるまでウェイト
JRS    F, SSTOPH
DI      ;IMF←0
SET    (SYSCR1).7              ;STOP モードを起動
```

(プログラム例 2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD). 0           ;ノイズ 除去のため P20 ポート入力が
          JRS     F, SINT5             ;"H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B ;レベル解除モードにセットアップ
          DI      ;IMF←0
          SET     (SYSCR1). 7         ;STOP モードを起動
SINT5:    RETI
    
```

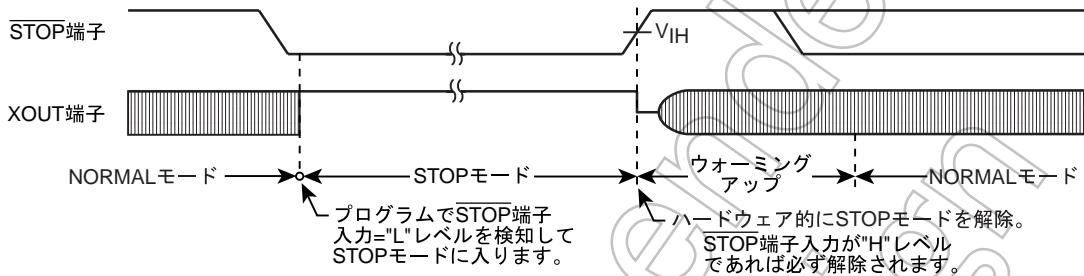


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び STOP 端子入力が “L” レベルまたは、STOP5 ~ STOP2 端子が “H” レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = “0” のとき)

STOP 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を STOP 端子に入力します。エッジ解除モードの場合、STOP 端子入力が “H” レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ;IMF←0
LD      (SYSCR1), 10010000B ;エッジ解除モードに設定して起動
    
```

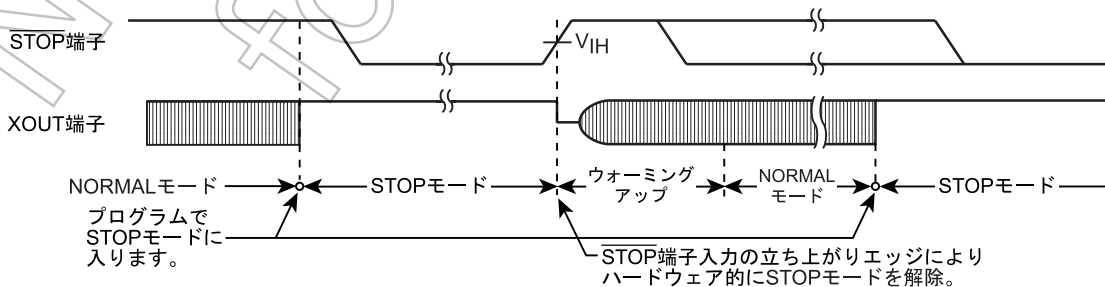


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波/低周波発振器の両方が発振し、SLOW1 へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT>で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。

STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、"H" レベルに保持され続けないと、"L" レベルとして検出されリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォーミングアップ時間[ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

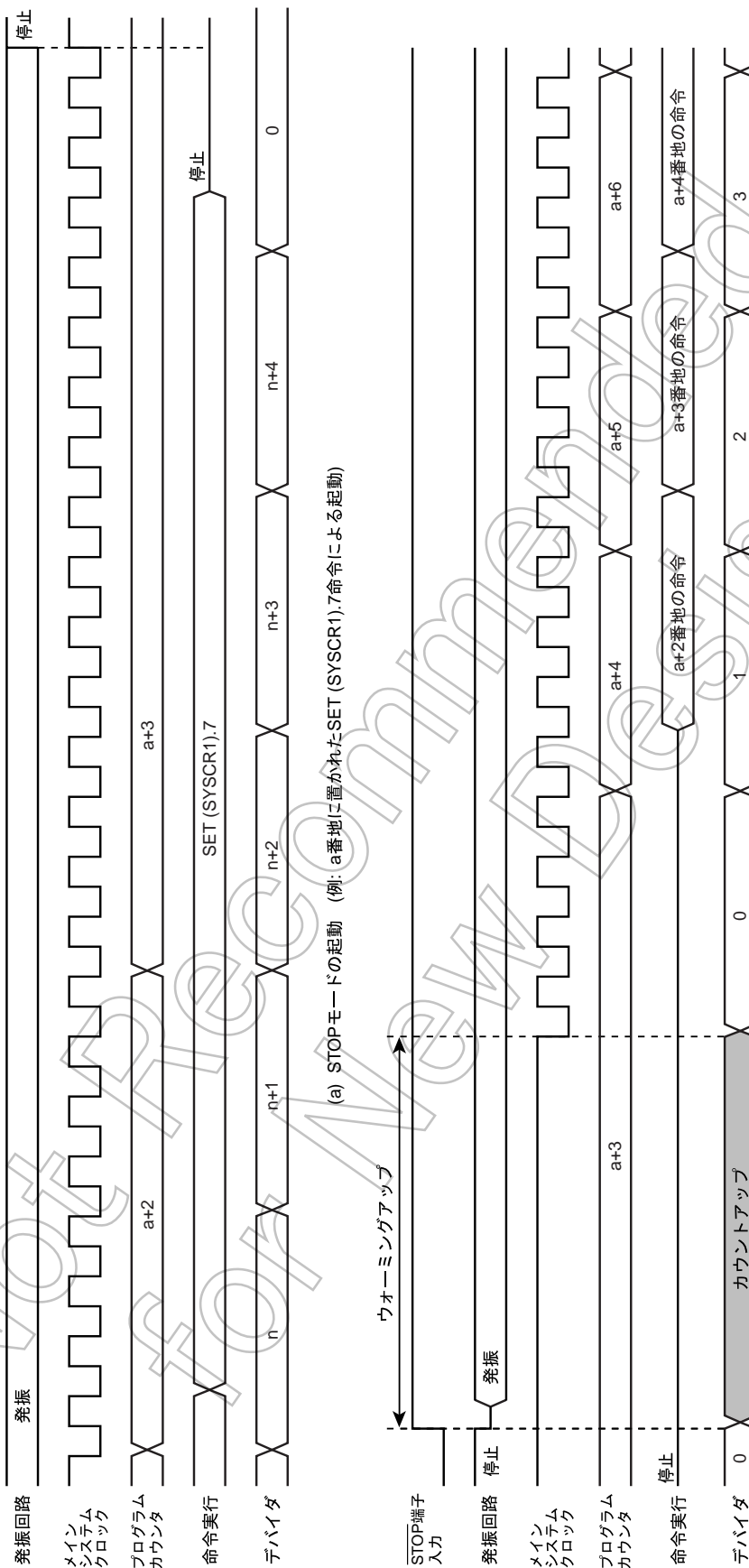


図 2-9 STOPモードの起動/解除

2.2.4.2 IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェア、パワーオンリセット回路、定電圧検知回路（リセット選択時）は動作を継続します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の2つ先の命令のアドレスを保持します。

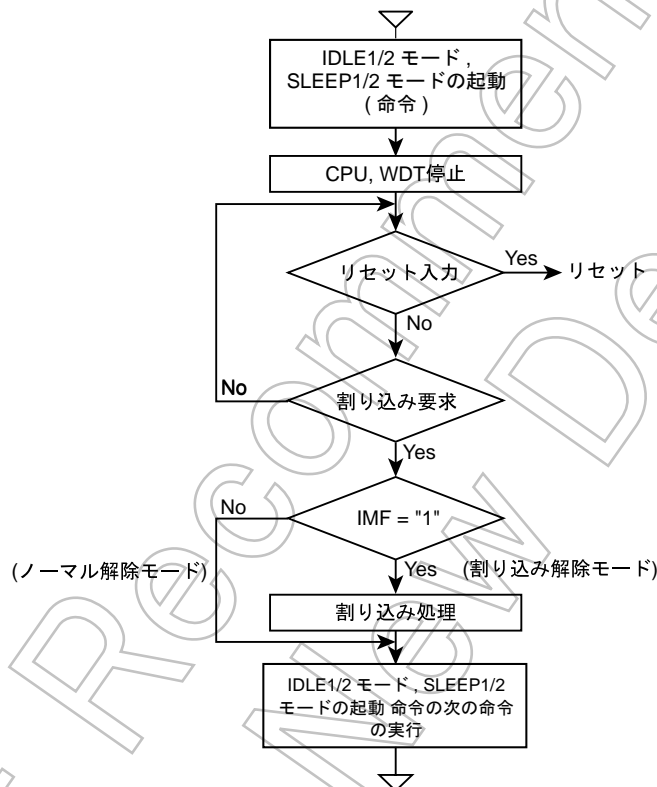


図 2-10 IDLE1/2 モード, SLEEP1/2 モード

- ・ IDLE1/2, SLEEP1/2 モードの起動
割り込みマスタ許可フラグ(IMF)を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ(EF)を“1”に設定します。
IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE>を“1”に設定します。
- ・ IDLE1/2, SLEEP1/2 モードの解除
IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ(IMF)によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE>は自動的に“0”にクリアされ、起動したモードに復帰します。
なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われず。

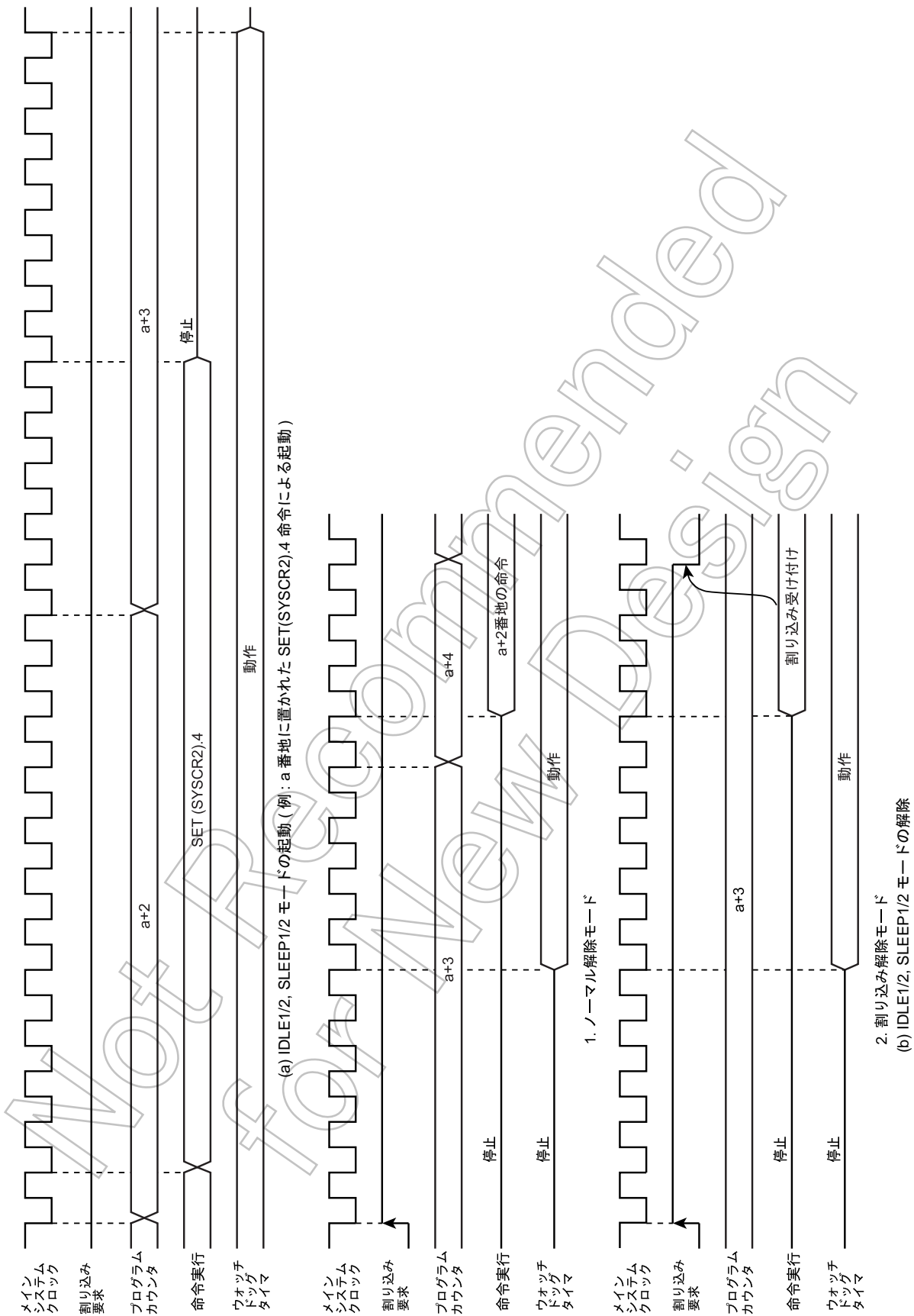


図 2-11 IDLE1/2, SLEEP1/2 モードの起動/解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- ・ タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- ・ データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- ・ プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

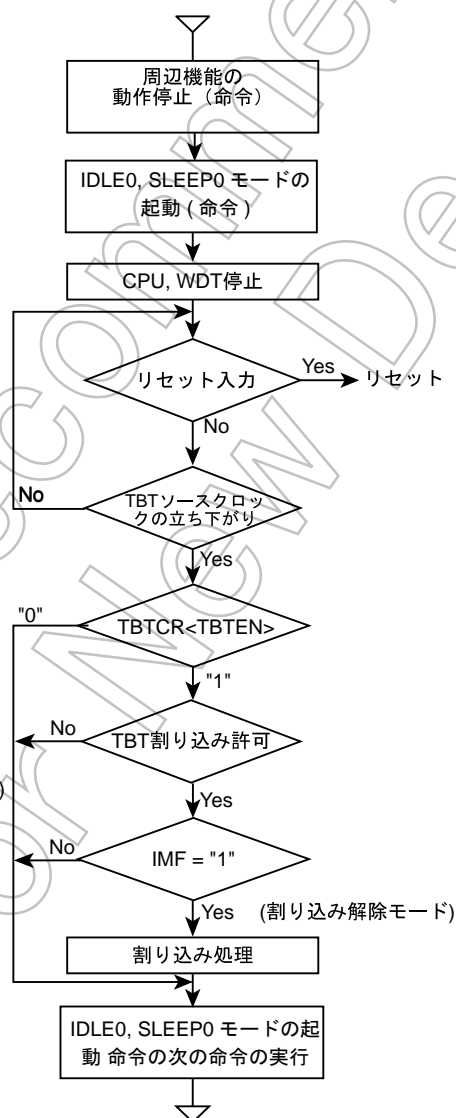


図 2-12 IDLE0, SLEEP0 モード

- ・ IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を“1”に設定します。

- ・ IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF7) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN>が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。

(1) ノーマル解除モード (IMF ・ EF7 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTCCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN>が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF7 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTCCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTCCK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCCK>の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

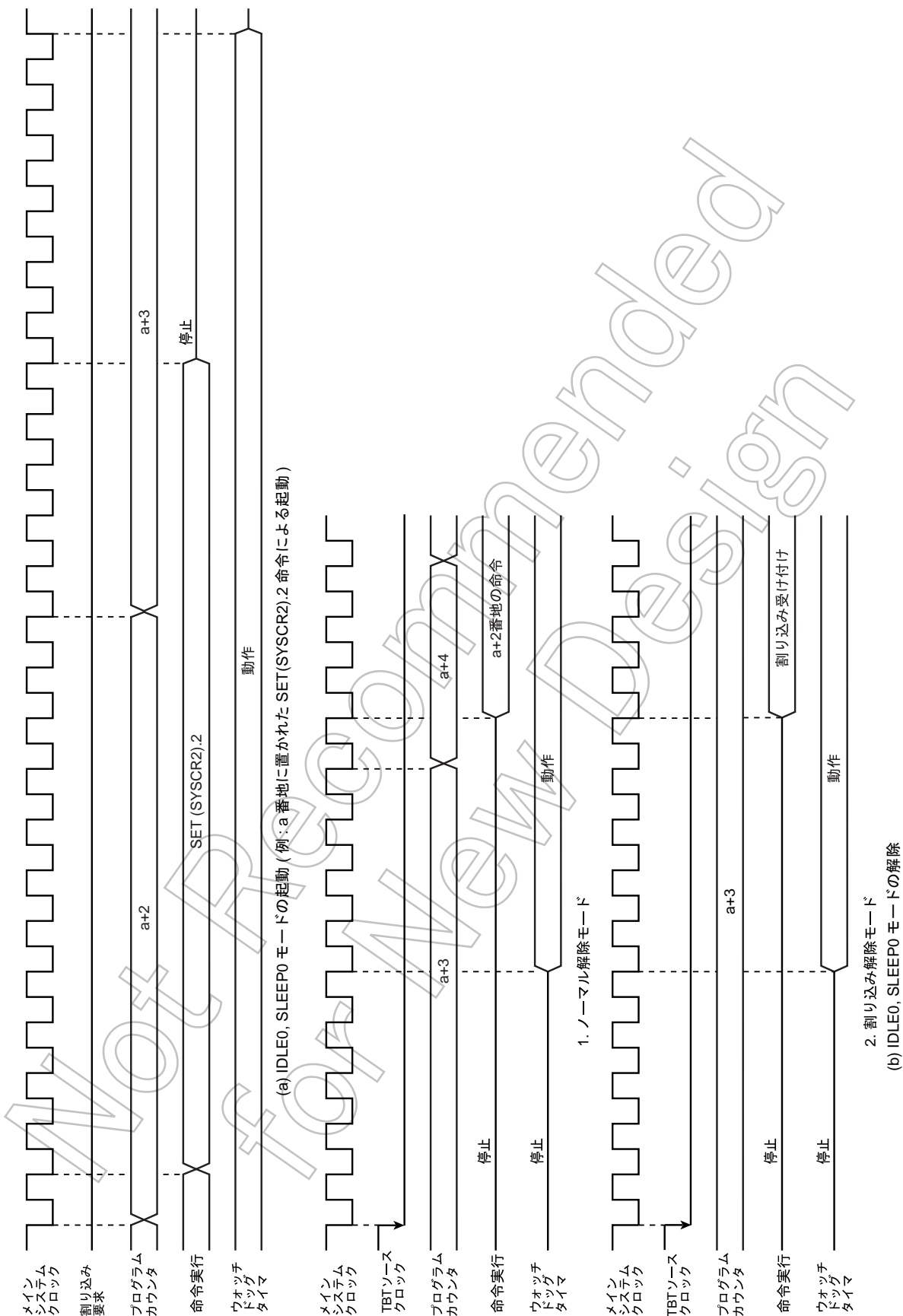


図 2-13 IDLE0, SLEEP0 モードの起動/解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

以下は、ウォーミングアップカウンタを用いたモード切り替え方法です。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK>に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC4, TC3)を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```
SET      (SYSCR2).5      ;SYSCR2<SYSCK>←1
                          ;(システムクロックを低周波に切り替え SLOW2 モードに)
CLR      (SYSCR2).7      ;SYSCR2<XEN>←0 (高周波クロック停止)
```

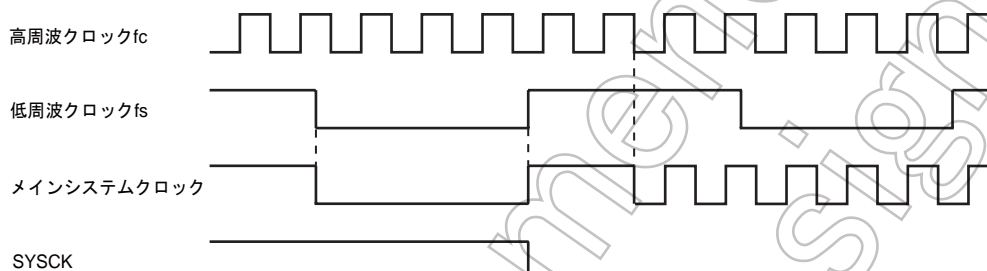
(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```
SET      (SYSCR2).6      ;SYSCR2<XTEN>←1
                          ;(低周波クロック発振開始)
LD       (TC3CR), 43H    ;TC4, 3 のモードをセット
LD       (TC4CR), 05H    ;ウォーミングアップカウントモードに設定
LDW     (TTREG3), 8000H  ;ウォーミングアップ時間をセット
                          ;(発振子の特性で時間を決定します)
DI       ;IMF←0
SET      (EIRH).7       ;INTTC4 の割り込みを許可
EI       ;IMF←1
SET      (TC4CR).3      ;TC4, 3 スタート
|
PINTTC4: CLR      (TC4CR).3      ;TC4, 3 ストップ
SET      (SYSCR2).5      ;SYSCR2<SYSCK>←1
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7      ;SYSCR2<XEN>←0 (高周波クロック停止)
RETI
|
VINTTC4: DW       PINTTC4      ;INTTC4 ベクタテーブル
```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN>を“1”にセットして高周波クロックを発振させます。発振の安定時間(ウォーミングアップ)をタイマカウンタ(TC4, TC3)によって確保したあと、SYSCR2<SYSCK>を“0”にクリアしてシステムクロックを高周波に切り替えます。SLOWモードはRESET端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後はNORMAL1モードになります。

注) SYSCKを“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え

($f_c = 16 \text{ MHz}$, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN>←1
                                ;(高周波クロック発振開始)

LD       (TC3CR), 63H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック : fc
LD       (TTREG4), 0F8H   ; ウォーミングアップ時間をセット
                                ; (周波数と発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH), 7       ; INTTC4 割り込みを許可
EI       ; IMF←1
SET      (TC4CR), 3      ; TC4, 3 スタート
|
PINTTC4 CLR (TC4CR), 3    ; TC4, 3 ストップ
CLR      (SYSCR2), 5     ; SYSCR2<SYSCK>←0
                                ; (システムクロックを高周波に切り替え)

RETI
|
VINTTC4: DW      PINTTC4 ; INTTC4 ベクタテーブル
  
```

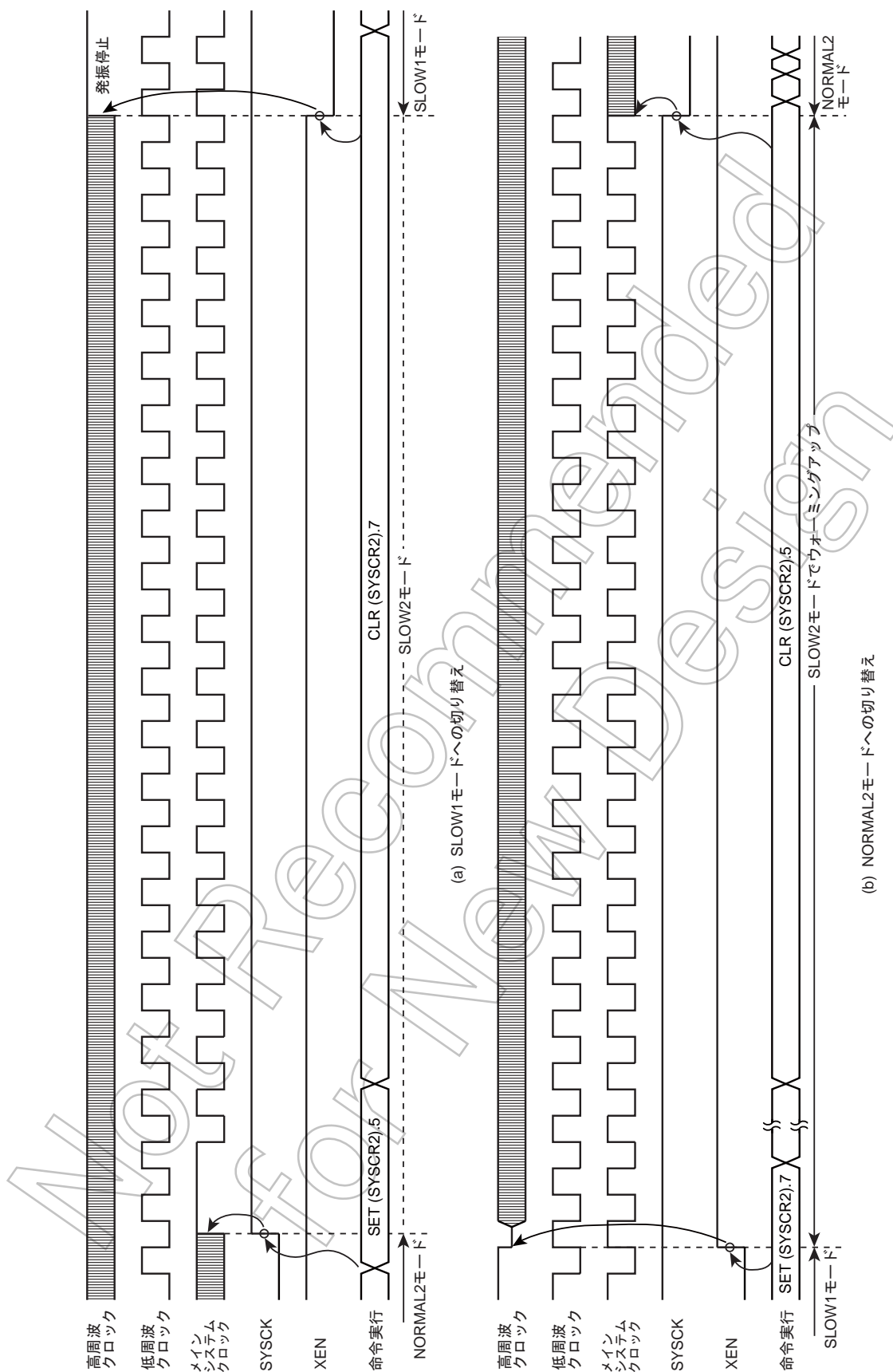


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86FH93NGには外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセット、電圧検出リセット1、電圧検出リセット2、パワーオンリセット、トリミングデータリセットの8種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセット、電圧検出リセット1、電圧検出リセット2は、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/f_c$ [s] の内部リセット信号を出力します。

パワーオンリセット信号とトリミングデータリセット信号は、パワーオンウォーミングアップ回路に入力され、リセット状態となりパワーオンウォーミングアップ時間 (tPOWUP) 経過後、リセットを解除します。『パワーオンリセット回路の章』を参照してください。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません	ウォッチドッグタイマ	イネーブル
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません	電圧検出回路	ディセーブル
ジャンプステータスフラグ (JF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
ゼロフラグ (ZF)	初期化されません		
キャリーフラグ (CF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0	RAM	初期化されません
割り込みラッチ (IL)	0		

2.3.1 外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/f_c$ [s]) 以上の間 $\overline{\text{RESET}}$ 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

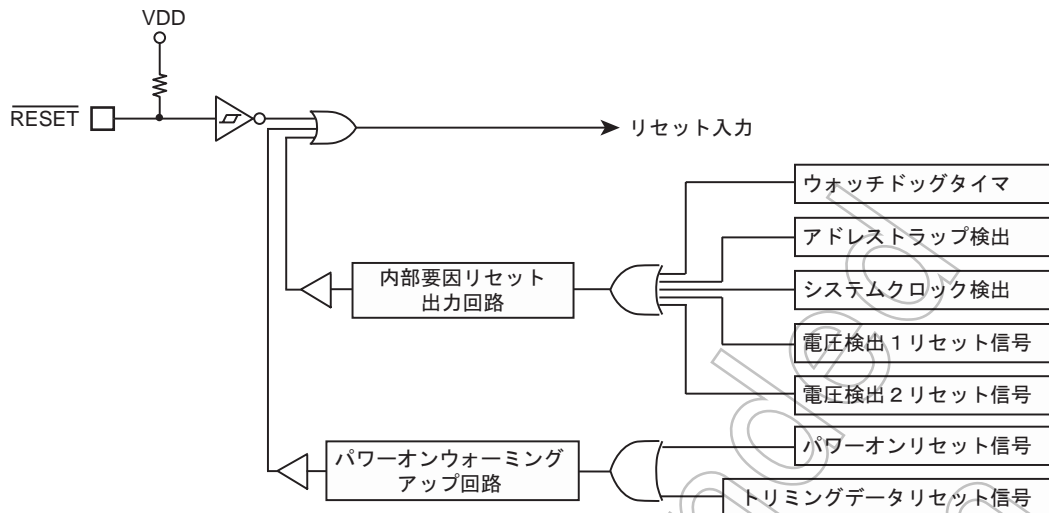
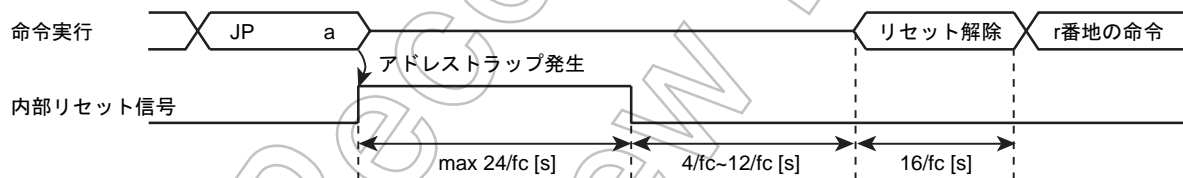


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域から命令をフェッチしようとする時リセット信号が発生します。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ/デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマリセット

『ウォッチドッグタイマの章』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- ・ SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- ・ SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- ・ SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

2.3.5 パワーオンリセット

パワーオンリセットは電源電圧（VDD）の立ち上がりを検出すると発生する内部要因リセットです。

詳細は、『パワーオンリセット』の章を参照して下さい。

2.3.6 電圧検出リセット

電圧検出リセットは、電源電圧が検出電圧以下になると発生する内部要因リセットです。

詳細は、『電圧検出回路』の章を参照して下さい。

2.3.7 トリミングデータリセット

トリミングデータは、パワーオンリセット信号と電圧検出信号の基準電圧を作るラダー抵抗の調整用に用意されたデータビットです。

このビットは、パワーオンウォーミングアップ時間(t_{POWUP})中に FLASH メモリ（プログラムメモリ外に用意されたビット）よりリードされラッチされます。このデータが動作中にノイズなどの要因で反転すると発生する内部要因リセットです。

2.4 内部要因リセット検出ステータスフラグ

内部要因リセットの解除後に内部要因リセット検出ステータスフラグ IRSTSR を読み出すことによって、どの内部要因のリセットが発生したかを判断することができます。

内部要因リセット検出ステータスレジスタは、パワーオンリセット、外部リセット入力により初期化されます。

また、IRSTSR<RFCLR>を“1”にセットすることにより初期化されます。

内部要因リセット検出ステータスレジスタ

IRSTSR	7	6	5	4	3	2	1	0	
(0019H)	RFCLR	-	TRMRF	LVD2RF	LVD1RF	SYSRF	WDTRF	ADTRF	初期値(0*00 0000)

ビット	フラグ名	説明	初期状態	検出状態	アクセス
RFCLR	リセットフラグの初期化	0: - 1: 内部要因リセットフラグを“0”にクリア	0	1	Write only
TRMRF	トリミングデータリセット検出フラグ	0: 初期状態 1: トリミングデータリセットを検出	0	1	Read only
LVD2RF	電圧検出2リセットフラグ	0: 初期状態 1: 電圧検出2リセットを検出	0	1	
LVD1RF	電圧検出1リセットフラグ	0: 初期状態 1: 電圧検出1リセットを検出	0	1	
SYSRF	システムクロックリセット検出フラグ	0: 初期状態 1: システムクロックリセットを検出	0	1	
WDTRF	ウォッチドッグタイマリセット検出フラグ	0: 初期状態 1: ウォッチドッグリセットを検出	0	1	
ADTRF	アドレストラップリセット検出フラグ	0: 初期状態 1: アドレストラップリセットを検出	0	1	

第3章 割り込み制御回路

TMP86FH93NGには、リセットを除き合計22種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち4種はノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクابل割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスクابل	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクابل	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクابل	IL2	FFFA	3
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクابل	IL3	FFF8	4
内部	INTVLTD	IMF・EF4 = 1	IL4	FFF6	5
外部	INT0	IMF・EF5 = 1, INTOEN = 1	IL5	FFF4	6
外部	INT1	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTBT	IMF・EF7 = 1	IL7	FFF0	8
内部	INTSBI	IMF・EF8 = 1	IL8	FFEE	9
内部	INTRXD1	IMF・EF9 = 1	IL9	FFEC	10
内部	INTTXD1	IMF・EF10 = 1	IL10	FFEA	11
内部	INTTC1	IMF・EF11 = 1	IL11	FFE8	12
内部	INTRXD2	IMF・EF12 = 1	IL12	FFE6	13
内部	INTTXD2	IMF・EF13 = 1	IL13	FFE4	14
内部	INTTC3	IMF・EF14 = 1	IL14	FFE2	15
内部	INTTC4	IMF・EF15 = 1	IL15	FFE0	16
外部	INT3	IMF・EF16 = 1	IL16	FFBE	17
内部	INTADC	IMF・EF17 = 1	IL17	FFBC	18
内部	INTSEI0	IMF・EF18 = 1	IL18	FFBA	19
内部	INTSEI1	IMF・EF19 = 1	IL19	FFB8	20
外部	INT4	IMF・EF20 = 1	IL20	FFB6	21
外部	INT5	IMF・EF21 = 1	IL21	FFB4	22
-	Reserved	IMF・EF22 = 1	IL22	FFB2	23
-	Reserved	IMF・EF23 = 1	IL23	FFB0	24

注1) アドレストラップ割り込み(INTATRAP)を使用するにはWDCR1<ATOUT>を“0”に設定してください(リセット解除後は“リセット要求”に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注2) ウォッチドッグタイマ割り込み(INTWDT)を使用するにはWDCR1<WDTOUT>を“0”に設定してください(リセット解除後は“リセット要求”に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL21 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003CH, 003DHおよび003EH番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を“0”にクリアしてから行ってください(DI命令による割り込みの禁止)。EFやILを操作した後は、必要に応じてIMFを“1”にセットしてください(EI命令による割り込みの許可)。

割り込みサービスプログラムでは、IMFは自動的に“0”になりますので、通常割り込みサービスプログラムの中でIMFを“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMFを“1”にセットする前にEFおよびILを設定してください。

(プログラム例1) 割り込みラッチのクリア

```
DI                                ;IMF←0
LDW      (ILL), 1110100000111111B ;IL12, IL10~IL6←0
EI                                ;IMF←1
```

(プログラム例2) 割り込みラッチの読み出し

```
LD      WA, (ILL) ;W←ILH, A←ILL
```

(プログラム例3) 割り込みラッチのテスト

```
TEST      (ILL). 7 ;IL7 = 1ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み(ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の003AH, 003BHおよび0032H番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令[RETI]/[RETN]によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL(SFR内の003AH番地)のビット0に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF21~EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を“0”にクリアにしてから行ってください(DI命令による割り込みの禁止)。EFやILを操作した後は、必要に応じてIMFを“1”にセットしてください(EI命令による割り込みの許可)。

割り込みサービスプログラムでは、IMFは自動的に“0”になりますので、通常割り込みサービスプログラムの中でIMFを“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMFを“1”にセットする前にEFおよびILを設定してください。

(プログラム例1) 割り込みの個別許可とIMFのセット

```
DI ; IMF → 0
LDW (EIRL), 1110100010100000B ; EF15~EF13, EF11, EF7, EF5 ← 1
: ;注) IMFはセットしない
:
EI ; IMF ← 1
```

(プログラム例2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AHはEIRLのアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```

割り込みラッチ

(初期値: 00000000 000000**)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

(初期値: **000000)

ILE (003EH)	7	6	5	4	3	2	1	0
	-	-	IL21	IL20	IL19	IL18	IL17	IL16

ILE (003EH)

IL21~IL2	割り込みラッチ	RD 時	WR 時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア(注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず “1” を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を“0”にクリアしてから行ってください(DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください(EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値: 00000000 0000***0)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF

EIRH (003BH)

EIRL (003AH)

(初期値: **000000)

EIRE (0032H)	7	6	5	4	3	2	1	0
	-	-	EF21	EF20	EF19	EF18	EF17	EF16

EIRE (0032H)

EF21~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を “1” にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を“0”にクリアしてから行ってください(DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください(EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

3.3 割り込み処理

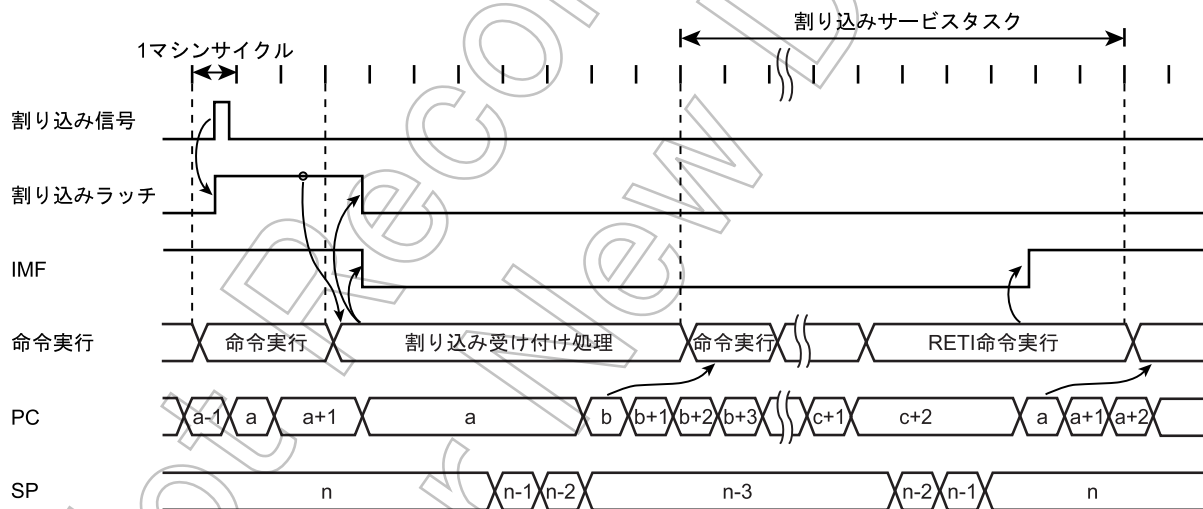
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクル(2 μ s @16 MHz)を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ(IMF)を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ(PC)プログラムステータスワード(PSW)および割り込み受け付け前のIMFの内容をスタックに退避します(PSW + IMF, PCH, PCLの順にプッシュダウンされます)。スタックポインタ(SP)は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス(割り込みベクタ)を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSWの内容がスタックに退避される際、同時にIMFの状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 $38/f_c$ [s] または $38/f_s$ [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります)となります。

図 3-1 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

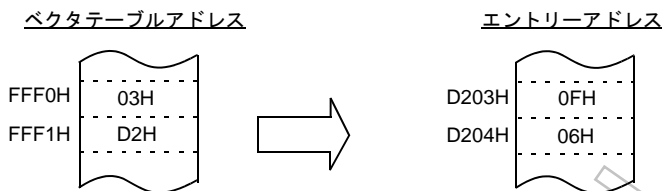


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク可能割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク可能割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の2つの方法があります。

3.3.2.1 プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

(プログラム例) プッシュ/ポップによるレジスタの退避/復帰

```

PINTxx    PUSH    WA      ; WA レジスタペアをスタックに退避
           割り込み処理
           POP     WA      ; WA レジスタペアをスタックから復帰
           RETI           ;リターン

```

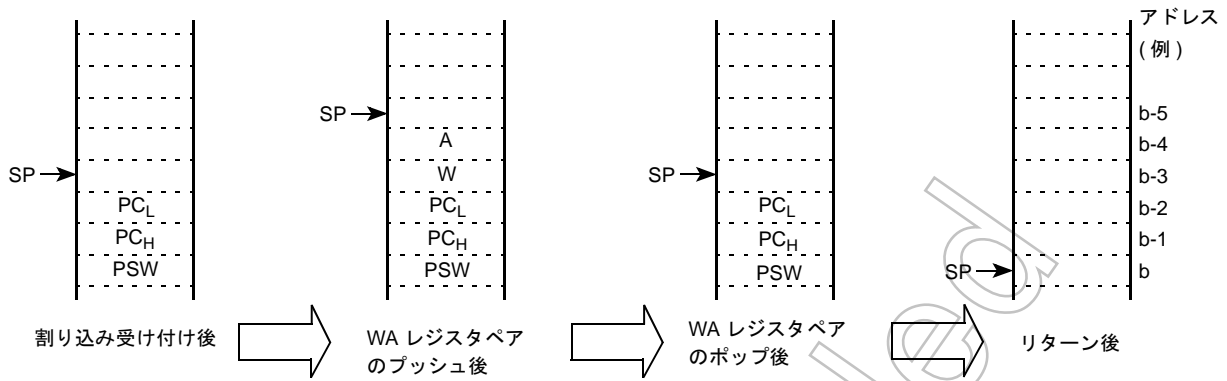



図 3-3 プッシュ/ポップ命令による汎用レジスタの退避/復帰処理

3.3.2.2 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx: LD      (GSAVA), A      ; A レジスタの退避
        割り込み処理
        LD      A, (GSAVA)    ; A レジスタの復帰
        RETI                    ;リターン
    
```

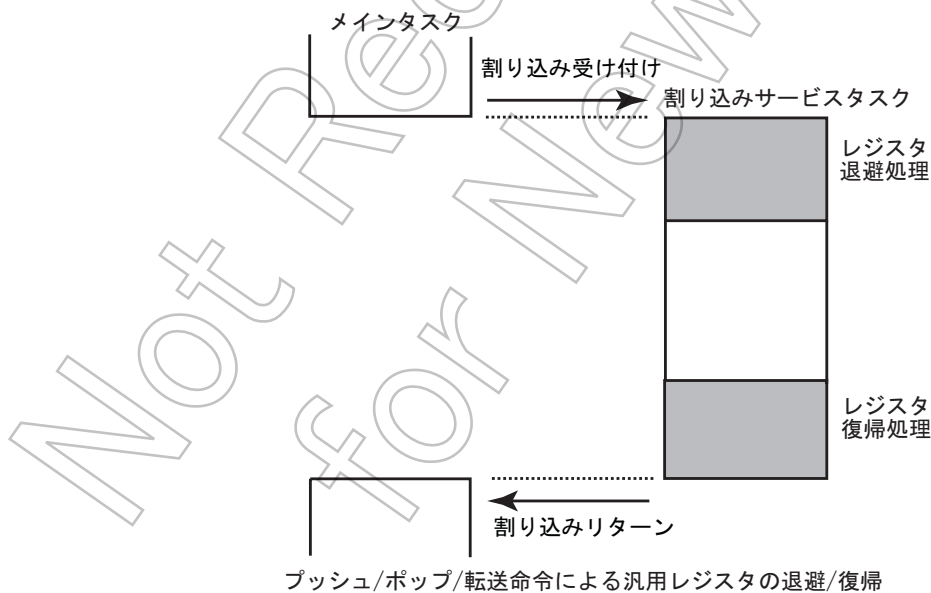


図 3-4 割り込み処理における汎用レジスタの退避/復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
① プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。
② スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

- 注) これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
 割り込みリターン後の PCL、PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1)、(SP + 2) のアドレスに格納されています。

(プログラム例 1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	;スタックポインタを2つ戻す
	LD	WA, RetrunAddress	; WA レジスタに再開アドレスを代入する
	PUSH	WA	;スタックにプッシュダウンする
	割り込み処理		
	RETN		;ノンマスクابل割り込みリターン命令

(プログラム例 2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	;スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	; IMF を "1" にセット、または "0" にクリア
	JP	RestartAddress	; 復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注 1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。
 注 2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバ깅以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不利用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバ깅

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバ깅効率を高めることができます。

3.5 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスクابل割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスクابل割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.7 外部割り込み

TMP86FH93NGには、5本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1,INT3,INT4端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御および $\overline{\text{INT0}}$ /P10端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ(レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF + EF5 + INT0EN=1	立ち下がりエッジ	2/fc [s]未満のパルスはノイズとして除去されず。7/fc [s]以上は確実に信号とみなされます。 SLOW/SLEEPモード時は、1/fs [s]未満はノイズとして除去され、3.5/fs [s]以上は確実に信号とみなされます。
INT1	INT1	IMF + EF6 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fcまたは63/fc [s]未満のパルスはノイズとして除去されず。49/fcまたは193/fc [s]以上は確実に信号とみなされます。 SLOW/SLEEPモード時は、1/fs [s]未満はノイズとして除去され、3.5/fs [s]以上は確実に信号とみなされます。
INT3	INT3	IMF + EF16 = 1	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、"H"レベル	7/fc [s]未満のパルスはノイズとして除去されず。25/fc [s]以上は確実に信号とみなされます。 SLOW/SLEEPモード時は、1/fs [s]未満はノイズとして除去され、3.5/fs [s]以上は確実に信号とみなされます。
INT4	INT4	IMF + EF20 = 1	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、"H"レベル	7/fc [s]未満のパルスはノイズとして除去されず。25/fc [s]以上は確実に信号とみなされます。 SLOW/SLEEPモード時は、1/fs [s]未満はノイズとして除去され、3.5/fs [s]以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF + EF21 = 1	立ち下がりエッジ	2/fc [s]未満のパルスはノイズとして除去されず。7/fc [s]以上は確実に信号とみなされます。 SLOW/SLEEPモード時は、1/fs [s]未満はノイズとして除去され、3.5/fs [s]以上は確実に信号とみなされます。

- 注1) NORMAL1/2 または IDLE1/2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s]です。
- 注2) INT0EN "0" のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL5 はセットされません。
- 注3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	INT3ES	INT4ES	INT1ES				(初期値: 0000 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s]未満のパルスはノイズとして除去 1: 15/fc[s]未満のパルスはノイズとして除去	R/W
INT0EN	P10/INT0 の機能選択	0: P10 入出力ポート 1: INT0 端子 (P10 ポートは入力モードにしてください)	R/W
INT3 ES	INT3 のエッジ選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H"レベルで割り込み要求発生	R/W
INT4ES	INT4 のエッジ(レベル)選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H"レベルで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1) fc; 高周波クロック [Hz] *; Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 $2^{\circ}/fc$ の期間ノイズキャンセル時間が切り替わらない事があります。

注 4) INT3 端子の状態が"H"レベルの状態ではリセットが解除された場合、INT3 のエッジ選択(INT3ES)を「"H"レベルで割り込み要求発生」に切り替えても INT3 割り込み要求は発生しません。この場合、INT3 割り込み要求を発生させるには、INT3 端子に一度立ち上がりエッジを入力する必要があります。

注 5) INT4 端子の状態が"H"レベルの状態ではリセットが解除された場合、INT4 のエッジ選択(INT4ES)を「"H"レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended
for New Design

第4章 スペシャルファンクションレジスタ

TMP86FH93NG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御/転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86FH93NG の SFR, DBR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P0PUCR
0005H		P1PUCR
0006H		P2PUCR
0007H		Reserved
0008H		P3CR1
0009H		P1OUTCR
000AH		P3CR2
000BH		P0OUTCR
000CH	P0PRD	-
000DH	P2PRD	-
000EH		ADCCR1
000FH		ADCCR2
0010H		TC1DRAL
0011H		TC1DRAH
0012H		TC1DRBL
0013H		TC1DRBH
0014H		TC1CR
0015H	SBISRA	SBICRA
0016H		SBIDBR
0017H	-	I2CAR
0018H	SBISRB	SBICRB
0019H		IRSTSR
001AH		TC3CR
001BH		TC4CR
001CH		TTREG3
001DH		TTREG4
001EH		PWREG3
001FH		PWREG4
0020H	ADCDR2	-
0021H	ADCDR1	-
0022H	UART2SR	UART2CR1
0023H	-	UART2CR2
0024H	RD2BUF	TD2BUF
0025H	UART1SR	UART1CR1
0026H	-	UART1CR2

アドレス	リード	ライト
0027H	RD1BUF	TD1BUF
0028H	SESR	-
0029H		SEDR
002AH		SECR
002BH		VDCR1
002CH		VDCR2
002DH	P1PRD	-
002EH		Reserved
002FH		MULSEL
0030H		Reserved
0031H	-	STOPCR
0032H		EIRE
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		ILE
003FH		PSW

注1) Reserved の番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	リード	ライト
0F80H		Reserved
::		::
0F9FH		Reserved

アドレス	リード	ライト
0FA0H		Reserved
::		::
0FBFH		Reserved

アドレス	リード	ライト
0FC0H		Reserved
::		::
0FDH		Reserved

アドレス	リード	ライト
0FE0H		Reserved
0FE1H		Reserved
0FE2H		Reserved
0FE3H		Reserved
0FE4H		Reserved
0FE5H		Reserved
0FE6H		Reserved
0FE7H		Reserved
0FE8H		Reserved
0FE9H	-	FLSSTB
0FEAH		SPCR
0FEBH		Reserved
0FECH		Reserved
0FEDH		Reserved
0FEEH		Reserved
0FEFH		Reserved
0FE0H		Reserved
0FF1H		Reserved
0FF2H		Reserved
0FF3H		Reserved
0FF4H		Reserved
0FF5H		Reserved
0FF6H		Reserved
0FF7H		Reserved
0FF8H		Reserved
0FF9H		Reserved
0FFAH		Reserved
0FFBH		Reserved
0FFCH		Reserved
0FFDH		Reserved
0FFEH		Reserved

アドレス	リード	ライト
0FFFH	FLSCR	

- 注1) Reserved の番地はプログラムでアクセスしないでください。
- 注2) -; アクセスできません。
- 注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

Not Recommended
for New Design

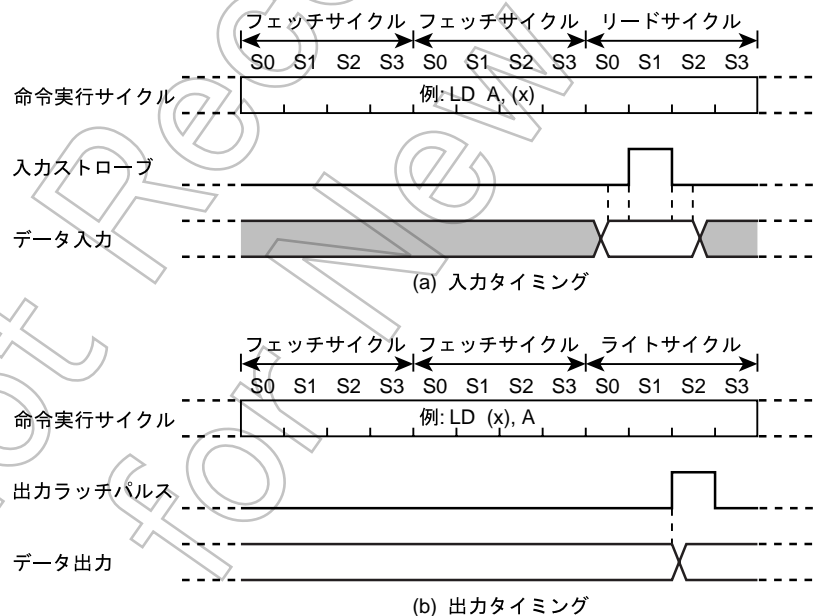
第5章 入出力ポート

TMP86FH93NG は、4 ポート 26 端子の入出力ポートを内蔵しています。

1. P0 ポート;
8 ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, UART 入出力, シリアル拡張インタフェース入出力, シリアル PROM モード制御入力と兼用)
2. P1 ポート;
7 ビット入出力ポート (外部割り込み入力, デバイダ出力, UART 入出力, シリアルバスインタフェース入出力と兼用)
3. P2 ポート;
3 ビット入出力ポート (外部割り込み入力, STOP モード解除信号入力, 低周波発振子接続端子と兼用)
4. P3 ポート;
8 ビット入出力ポート (アナログ入力, STOP モード解除信号入力およびタイマカウンタ入出力兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありません。外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できません。チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P0 (P07~P00) ポート (大電流)

P0 ポートは8ビットの入出力ポートで、外部割り込み入力、シリアル拡張インタフェース入出力、UART1 入出力およびタイマカウンタの入出力、シリアル PROM モード制御入力と兼用です。シリアル拡張インタフェース出力、UART1 出力として用いる場合は、出力ラッチを“1”にセットします。ポート出力として使用する場合は、P0 ポートには出力ラッチデータ (P0DR) が出力されます。リセット時、出力ラッチ (P0DR) は“1”に、プッシュプル制御 (P0OUTCR) は“0”に初期化されます。

P0 ポートは P0OUTCR により出力回路を Nch オープンドレイン出力、プッシュプル出力に選択することができます。

P0 ポートは1ビット単位でプルアップ抵抗の接続および非接続を POPUCR で選択することができます。プルアップ抵抗を接続する場合は、POPUCR の対応するビットを“1”にセットします。リセット時、POPUCR は“0”に初期化されます。

ポート入力、外部割り込み入力、シリアル拡張インタフェース入力、UART1 入力、タイマカウンタ入力として使用する場合は P0DR を“1”にセットした後、P0OUTCR の対応するビットを“0”に設定します。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

シリアル PROM モード時、P01 端子は BOOT/RXD 端子、P00 端子は TXD 端子として機能します。シリアル PROM モードについては後述の「シリアル PROM モード」の章を参照してください。

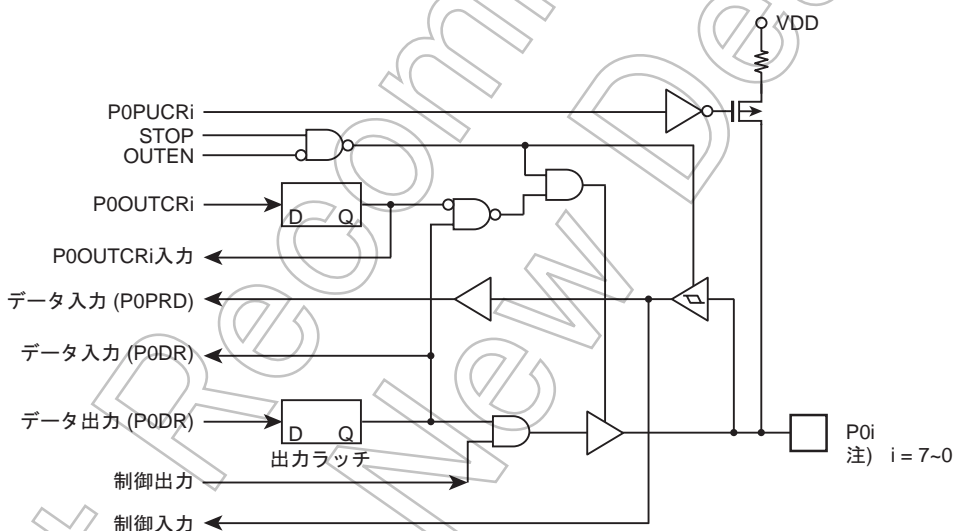


図 5-2 P0 ポート

	7	6	5	4	3	2	1	0	
P0DR (0000H) R/W	P07 TC1 INT4	P06 INT3 PPG	P05 SS	P04 MISO	P03 MOSI	P02 SCLK	P01 RXD1 BOOT	P00 TXD1	(初期値: 1111 1111)

	7	6	5	4	3	2	1	0	
P0OUTCR (000BH)									(初期値: 0000 0000)

P0OUTCR	P0 ポートの入出力制御 (ビットごとに指定)	0: Nch オープンドレイン出力 1: プッシュプル出力	R/W
---------	----------------------------	----------------------------------	-----

	7	6	5	4	3	2	1	0	
P0PUCR (0004H)									(初期値: 0000 0000)

P0PUCR	P0 ポートの Pull-up 制御 (ビットごとに指定)	0: Pull-up 抵抗なし 1: Pull-up 抵抗あり	R/W
--------	----------------------------------	------------------------------------	-----

	7	6	5	4	3	2	1	0	
P0PRD (000CH) Read only	P07	P06	P05	P04	P03	P02	P01	P00	

Not Recommended for New Design

5.2 P1 (P16~P10) ポート

P1 ポートは7ビットの入出力ポートで、外部割り込み入力、デバイダ出力、UART2 入出力およびシリアルバスインタフェース入出力と兼用です。デバイダ出力、UART2 出力、シリアルバスインタフェース出力として使用する場合は、出力ラッチを“1”にセットします。ポート出力として使用する場合は、P1 ポートには出力ラッチデータ(P1DR)が出力されます。リセット時、出力ラッチ(P1DR)は“1”に、プッシュプル制御(P1OUTCR)は“0”に初期化されます。

P1 ポートは P1OUTCR により出力回路を Nch オープンドレイン出力、プッシュプル出力に選択することができます。

P1 ポートは1ビット単位でプルアップ抵抗の接続および非接続を P1PUCR で選択することができます。プルアップ抵抗を接続する場合は、P1PUCR の対応するビットを“1”にセットします。リセット時、P1PUCR は“0”に初期化されます。

ポート入力、外部割り込み入力、UART2 入力、シリアルバスインタフェース入力として使用する場合は P1DR を“1”にセットした後、P1OUTCR の対応するビットを“0”に設定します。

P1 ポートはデータ入力のレジスタが孤立しています。出力ラッチの状態を読み込む場合は、P1DR レジスタを、端子の状態を読み込む場合は P1PRD レジスタをそれぞれ読み出してください。

シリアルバスインタフェース入出力として使用する端子は P13(SDA1)/P14(SCL1)と P15(SDA2)/P16(SCL2)とをマルチファンクションレジスタ(MULSEL)で切り替えられます。

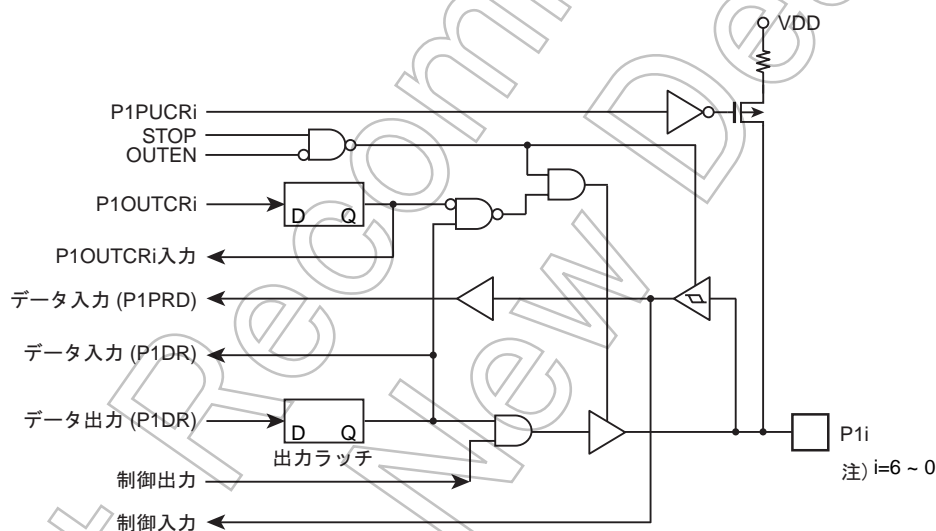


図 5-3 P1 ポート

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	-	P16 SCL2	P15 SDA2	P14 TXD2 SCL1	P13 RXD2 SDA1	P12 DVO	P11 INT1	P10 INT0	(初期値: *111 1111)

P1OUTCR (0009H)	7	6	5	4	3	2	1	0	(初期値: *000 0000)
--------------------	---	---	---	---	---	---	---	---	------------------

P1OUTCR	P1ポートの入出力制御 (ビットごとに指定)	0: Nch オープンドレイン出力 1: プッシュプル出力	R/W
---------	---------------------------	----------------------------------	-----

P1PUCR (0005H)	7	6	5	4	3	2	1	0	(初期値: *000 0000)
-------------------	---	---	---	---	---	---	---	---	------------------

P1PUCR	P1ポートの Pull-up 制御 (ビットごとに指定)	0: Pull-up 抵抗なし 1: Pull-up 抵抗あり	R/W
--------	---------------------------------	------------------------------------	-----

P1PRD (002DH) Read only	7	6	5	4	3	2	1	0
		P16	P15	P14	P13	P12	P11	P10

注) P13,P14 ポートは UART2 とシリアルバスインタフェース機能の制御信号入出力を兼ねています。従ってそれぞれの機能を同時に使用することはできません。また機能の ON/OFF は、それぞれの機能内に設けられているレジスタ設定により切換えてください。同時に機能を ON することはできません。

注) MUL0 に割り当てられたポートは、マルチファンクションレジスタ (MULSEL) によって端子割り付けを切り替えることができます。それぞれに割り付けられた機能は『マルチファンクションレジスタ』を参照してください。

Not Recommended for New

5.3 P2 (P22~P20) ポート

P2 ポートは3ビットの入出力ポートで、外部割り込み入力、STOP モード解除信号入力、低周波発振子接続端子と兼用です。ポート入力または、機能端子として用いる場合は、出力ラッチを“1”にセットします。出力ラッチはリセット時“1”に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP モード解除信号入力、ポート入力として使用されることを推奨します (ポート出力として使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR レジスタを、端子の状態を読み込む場合は、P2PRD レジスタをそれぞれ読み出してください。P2 ポートに対して P2DR, P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

P20 ポートのみプルアップ抵抗の接続および非接続を P2PUCR で選択することができます。プルアップ抵抗を接続する場合は、P2PUCR のビット 0 を“1”にセットします。リセット時、P2PUCR は“0”に初期化されます。

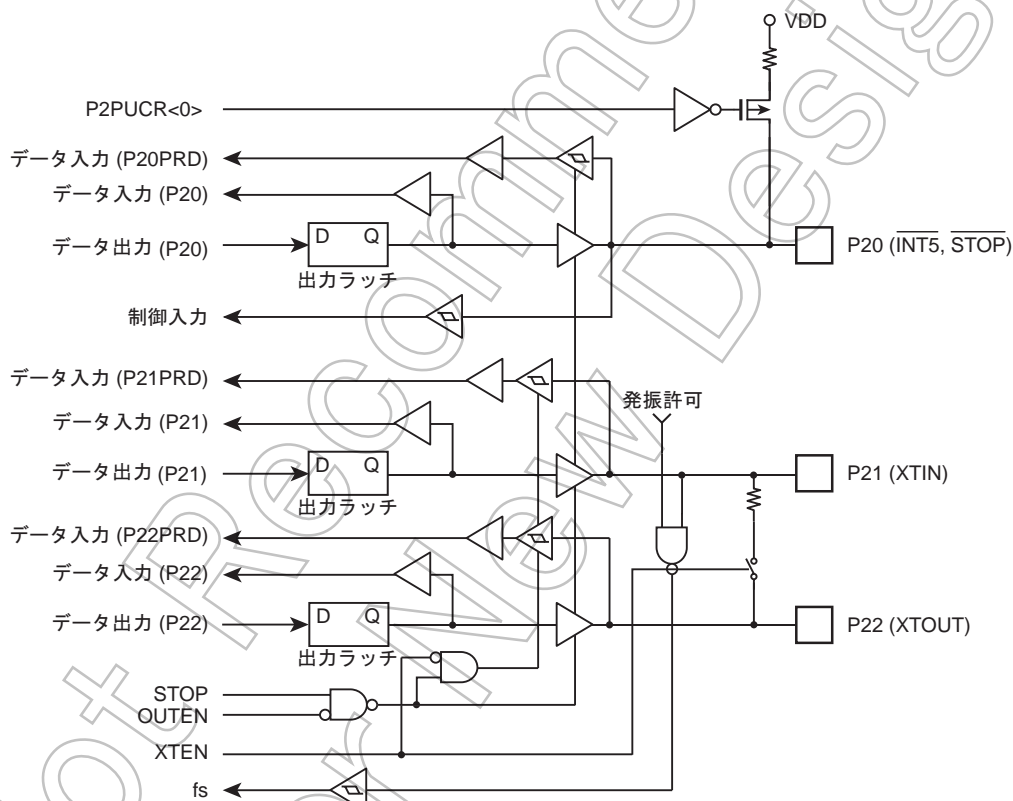
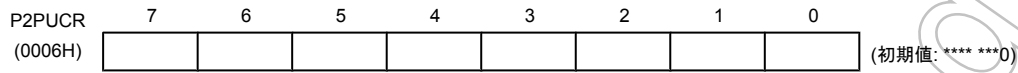
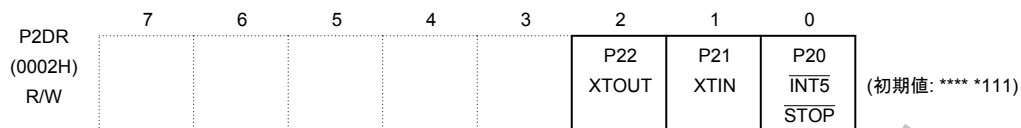
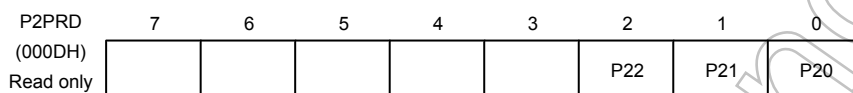


図 5-4 P2 ポート



P2PUCR	P20 の Pull-up 制御	0: Pull-up 抵抗なし 1: Pull-up 抵抗あり	R/W
--------	------------------	------------------------------------	-----



注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

Not Recommended for New Design

5.4 P3 (P37~P30) ポート

P3 ポートは、1ビット単位で入出力の指定ができる8ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力(KWI)と兼用です。

入出力の指定は、P3 ポート入出力制御レジスタ(P3CR1)と P3 ポート入出力制御レジスタ(P3CR2)によって行います。

リセット時は、P3CR1 は“0”に、P3CR2 は“1”に初期化され、P3 ポートは入力モードとなります。また、P3 ポート出力ラッチは“0”に初期化されます。

ポート出力として使用する場合は、P3CR1 の対応するビットを“1”に設定します。

ポート入力として使用する場合は、P3CR1 を“0”に設定した後、P3CR2 を“1”に設定します。

キーオンウェイクアップ入力として使用する場合は、P3CR1 を“0”に設定した後、STOPCR を“1”に設定します。

アナログ入力として使用する場合には、P3CR1 を“0”に設定した後、P3CR2 を“0”に設定します。

P3CR1 が“1”に設定されている場合、P3DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

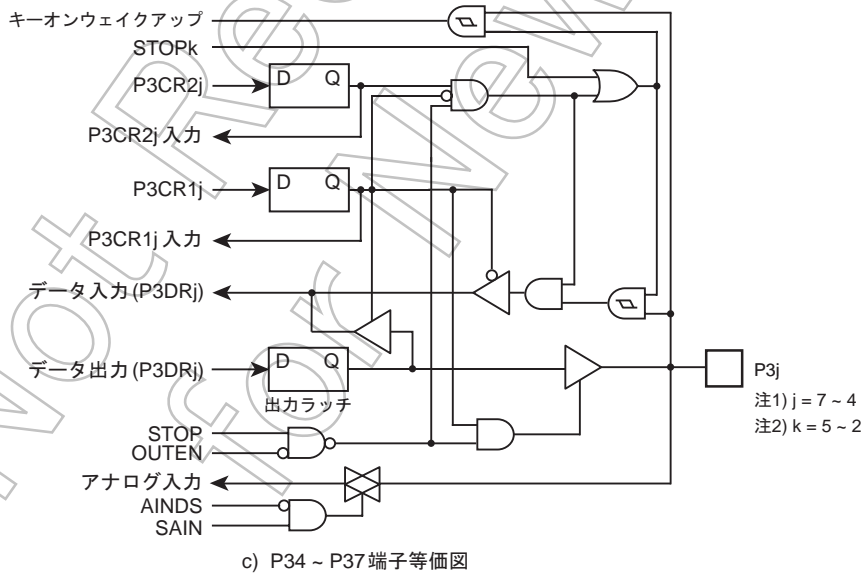
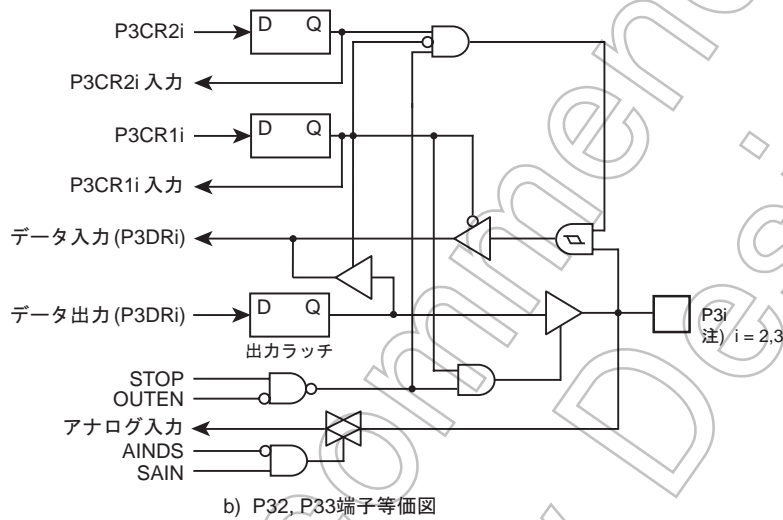
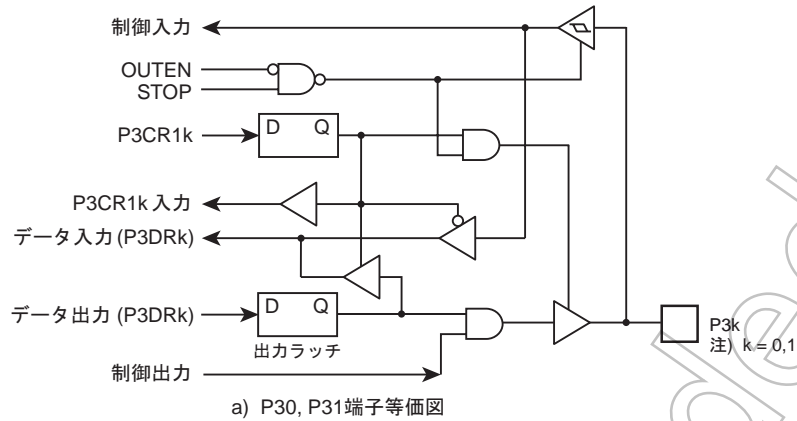
アナログ入力として使用しない P3 ポートは、入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

表 5-1 各機能別のレジスタ設定値

機能	設定値			
	P3DR	P3CR1	P3CR2	STOPCR
ポート入力	-	“0”	“1”	-
キーオンウェイクアップ入力	-	“0”	-	“1”
アナログ入力	-	“0”	“0”	-
ポート“0”出力	“0”	“1”	-	-
ポート“1”出力	“1”	“1”	-	-

表 5-2 各機能別のレジスタ設定値

条件		P3DR の読み出し値
P3CR1	P3CR2	
“0”	“0”	“0”
“0”	“1”	端子の状態
“1”	“0”	出力ラッチの内容
	“1”	



注1) STOP は SYSCR1 のビット7
 注2) SAIN は AD 入力選択信号
 注3) STOPk は STOCR のビット7~4

図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W	P37	P36	P35	P34	P33	P32	P31	P30	(初期値: 0000 0000)
	AIN5	AIN4	AIN3	AIN2	AIN1	AIN0	TC4	TC3	
	STOP5	STOP4	STOP3	STOP2			PDO4	PDO3	
							PWM4	PWM3	
							PPG4		

P3CR1 (0008H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)

P3CR1	P3 ポートの入出力制御 (ビットごとに指定)	0:入力モード(ポート入力/アナログ入力/キーオンウェイクアップ入力) 1:出力モード	R/W
-------	----------------------------	--	-----

P3CR2 (000AH)	7	6	5	4	3	2	1	0	(初期値: 1111 11**)
							-	-	

P3CR2	P3 ポートの入力制御 (ビットごとに指定)	0:アナログ入力 1:ポート入力	R/W
-------	---------------------------	---------------------	-----

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令の実行により書き替わることがあります。
- 注 2) アナログ入力端子は貫通電流対策のため、必ず P3CR2 の対応するビットを "0" にクリアしてください。
- 注 3) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P3CR1="1") には設定しないでください。
- 注 4) アナログ入力として使用しないポートは、入出力ポートとして使用できます。ただし、AD 変換中は精度を保つ意味で出力命令を実行しないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。



5.5 マルチファンクションレジスタ

シリアルバスインタフェースの入出力として使用する端子は P13(SDA1)/P14(SCL1)と P15(SDA2)/P16(SCL2)とをマルチファンクションレジスタ(MULSEL)で切り替えられます。

マルチファンクションレジスタ

MULSEL (002FH)

7	6	5	4	3	2	1	0
							MUL0

 (初期値: **** *1)

MUL0	シリアルバスインタフェースの端子選択	0: P15(SDA2),P16(SCL2) 1: P13(SDA1),P14(SCL1)	R/W
------	--------------------	--	-----

注) マルチファンクションレジスタ MULSEL を用いて、I²C バスからの制御信号を P13/P14 および P15/P16 ポートへ切替えることができます。これは P13/P14 ポートが UART2 の制御信号を兼ねているため、UART2 を使用したい場合は、シリアルバスインタフェースの制御信号を P15/P16 へ切替える必要があります。

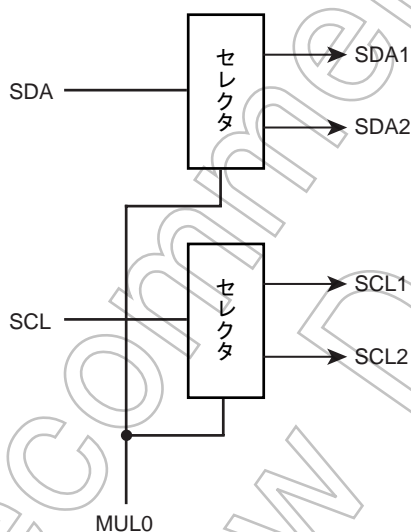


図 5-6 I²C バス制御信号のポート選択

Not Recommended
for New Design

第6章 パワーオンリセット回路

6.1 パワーオンリセット回路

パワーオンリセット回路は、電源投入時にリセットを発生させます。また、電源電圧がパワーオンリセット回路の検出電圧以下の時、パワーオンリセット信号を発生します。

注) エミュレーションチップ TMP86C993XB はパワーオンリセット回路をエミュレーションすることはできません。従って開発ツールにてデバッグを行う際は、かならずターゲット電圧を TMP86FH93NG の動作条件の範囲で使用してください。動作条件については電気的特性の章を参照してください。

6.1.1 構成

パワーオンリセット回路は、基準電圧発生回路とコンパレータから構成されます。

電源電圧をラダー抵抗によって分圧した電圧と基準電圧発生回路が発生した基準電圧をコンパレータで比較します。

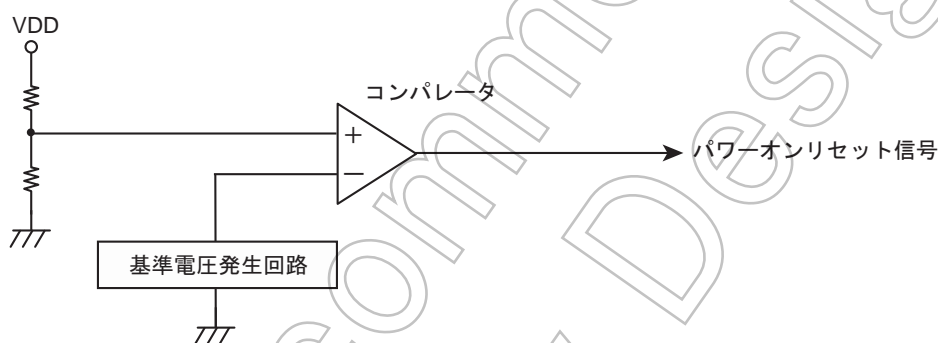


図 6-1 パワーオンリセット回路

6.1.2 機能

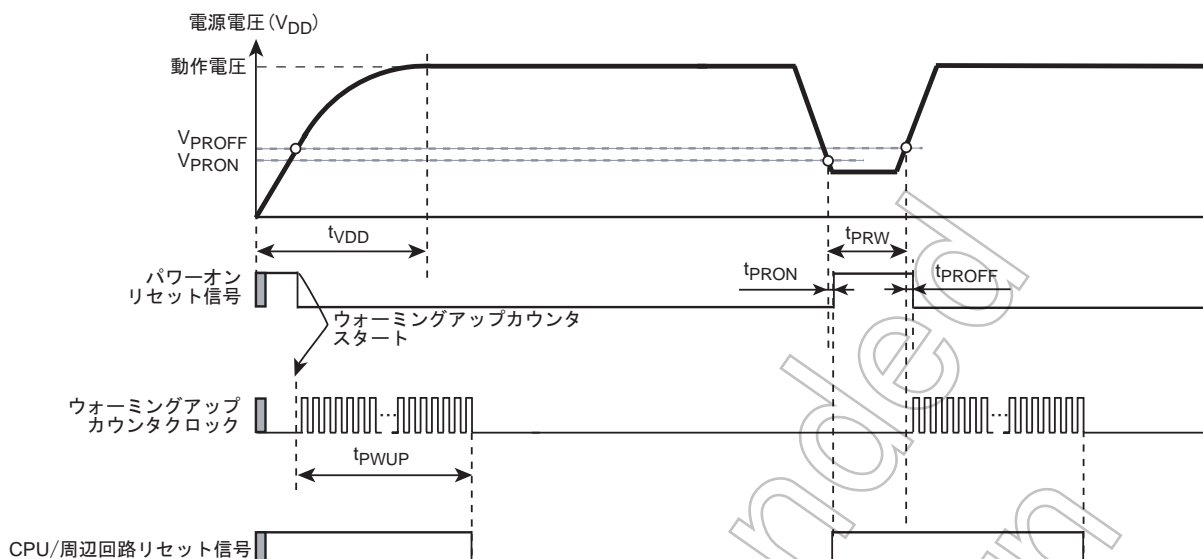
電源投入時、電源電圧がパワーオンリセットの解除電圧以下の間、パワーオンリセット信号が発生されます。電源電圧が解除電圧を超えるとパワーオンリセット信号が解除されます。

電源遮断時、電源電圧がパワーオンリセットの検出電圧以下になるとパワーオンリセット信号が発生されます。

パワーオンリセット信号が発生されている間、ウォーミングアップカウンタ回路、CPU、周辺回路はリセットされます。

パワーオンリセット信号が解除されるとウォーミングアップカウンタ回路が動作し、リセット解除後のウォーミングアップ時間後に CPU、周辺回路のリセットが解除されます。

パワーオンリセットの解除電圧検出からリセット解除後のウォーミングアップ時間終了時まで電源電圧を動作範囲まで上昇させてください。リセット解除後のウォーミングアップ時間終了時まで電源電圧が動作範囲に到達しない場合、TMP86FH93NG は正常に動作することができません。



- 注1) 電源電圧 (V_{DD}) 変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計時には電气的特性を参照の上、十分な考慮が必要です。
- 注2) ウォーミングアップカウンタへの入力クロックは発振回路から派生します。発振回路が安定するまで発振周波数は不安定となるため、ウォーミングアップ時間は誤差を含みます。
- 注3) 電源電圧の立ち上がり時間 t_{VDD} は、 $t_{VDD} < t_{PWUP}$ の条件を満たす必要があります。

図 6-2 パワーオンリセットの動作タイミング

第7章 電圧検出回路

電圧検出回路は、電源電圧の低下を検出し、INTVLTD 割り込み要求、電圧検出リセット信号を発生します。

注) 電源電圧 (VDD)変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

7.1 構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧(VDD)はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧(VD_xLVL) (x=1~2)に応じた電圧が選択され、コンパレータで基準電圧と比較されます。選択された電圧をコンパレータが検出すると、電圧検出リセット信号または INTVLTD 割り込み要求を発生させることができます。

「電圧検出リセット信号発生」、「INTVLTD 割り込み要求発生」はソフトウェアによって選択が可能です。「電圧検出リセット信号発生」が選択された場合、電源電圧(VDD)が検出電圧(VD_xLVL)を下回ると、電圧検出リセット信号が発生します。「INTVLTD 割り込み要求発生」が選択された場合、電源電圧(VDD)が下降し、電圧検出レベルになると INTVLTD 割り込み要求が発生します。

注) 電圧検出用のコンパレータはヒステリシス構造では無いため、電源電圧(VDD)が検出電圧(VD_xLVL)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。また、電源電圧が下降したときだけでなく、上昇して検出電圧になったときにも INTVLTD 割り込み要求が発生する場合があります。

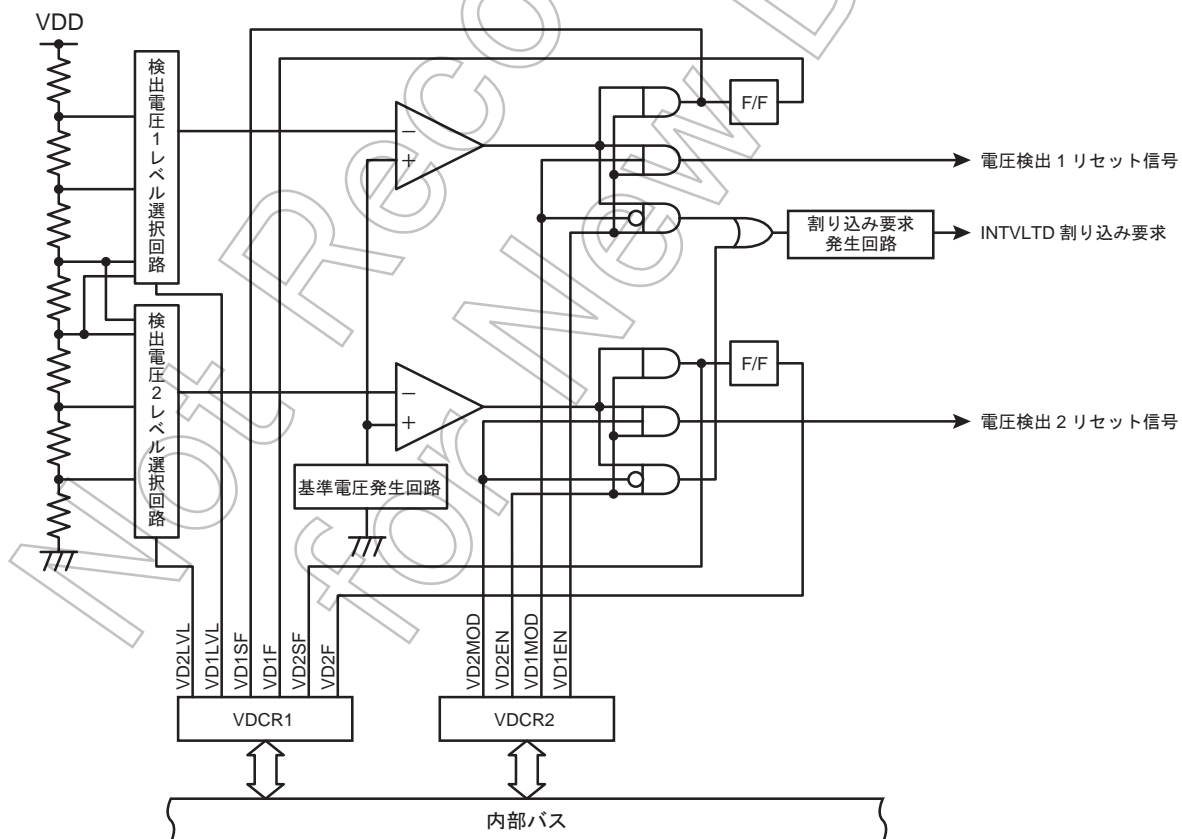


図 7-1 電圧検出回路

7.2 制御

電圧検出回路は電圧検出制御レジスタ 1 (VDCR1)、電圧検出制御レジスタ 2 (VDCR2)で制御されます。

TMP86FH93NG とエミュレーションチップ TMP86C993XB では VDCR1、VDCR2 レジスタの機能に相違点があります。詳細は以下のレジスタ表を参照してください。

TMP86C993XB は電圧検出によって割り込み/リセットを発生させることはできません。その代わりに電圧検出のエミュレーション機能(VD1S, VD2S)を VDCR2 レジスタに内蔵しています。VDCR2<VDxEN>が"1"のときに、VDCR2<VDxS>に"0"を設定すると VDCR2<VDxMOD>の状態によって割り込み/リセットが発生します(x=1, 2)。この機能を使用すると、TMP86C993XB (開発ツール) で電圧検出回路のデバッグをする際に、ソフトウェアの任意の場所に VDCR2 レジスタのライト命令を挿入することで割り込み/リセット発生のエミュレーションを行うことが可能です。

ただし最終的なソフトウェアの動作確認は、かならず TMP86FH93NG を使用して行ってください。

電圧検出制御レジスタ 1

VDCR1 (002BH)	7	6	5	4	3	2	1	0	(初期値: 0010 0000)
	VD2F	VD2SF	VD2LVL	VD1F	VD1SF	VD1LVL			

		TMP86FH93NG		TMP86C993XB		
VD2F	電圧検出 2 フラグ (VDD < VD2LVL となったときの状態を保持) (注 2)	Read 時		Read 時		R/W
		0:	VDD ≥ VD2LVL	0:	-	
		1:	VDD < VD2LVL	1:	VDCR2<VD2S>に"0"をライトすると"1"にセットされます。	
		Write 時		Write 時		
		0:	フラグのクリア	0:	フラグのクリア	
		1:	-(注 4)	1:	-(注 4)	
VD2SF	電圧検出 2 ステータスフラグ (読み出した時点の VDD、VD2LVL の大小関係)	0:	VDD ≥ VD2LVL	VDCR2<VD2S>に"0"をライトした直後(3 マシンサイクル)のみ"1"が読み出されます。それ以外は常に"0"が読み出されます		Read Only
		1:	VDD < VD2LVL			
VD2LVL	検出電圧 2 レベル選択 (注 3)	00:	Reserved	電圧検出は VDCR2<VD2S>の設定によって行われるため、設定値は意味を持ちません。		R/W
		01:	2.9 ~ 3.3 V			
		10:	Reserved			
		11:	Reserved			
VD1F	電圧検出 1 フラグ (VDD < VD1LVL となったときの状態を保持) (注 2)	Read 時		Read 時		R/W
		0:	VDD ≥ VD1LVL	0:	-	
		1:	VDD < VD1LVL	1:	VDCR2<VD1S>に"0"をライトすると"1"にセットされます。	
		Write 時		Write 時		
		0:	フラグのクリア	0:	フラグのクリア	
		1:	-(注 4)	1:	-(注 4)	
VD1SF	電圧検出 1 ステータスフラグ (読み出した時点の VDD、VD1LVL の大小関係)	0:	VDD ≥ VD1LVL	VDCR2<VD1S>に"0"をライトした直後(3 マシンサイクル)のみ"1"が読み出されます。それ以外は常に"0"が読み出されます		Read Only
		1:	VDD < VD1LVL			
VD1LVL	検出電圧 1 レベル選択	00:	4.0 ~ 4.7 V	電圧検出は VDCR2<VD1S>の設定によって行われるため、設定値は意味を持ちません。		R/W
		01:	Reserved			
		10:	Reserved			
		11:	2.9 ~ 3.3 V			

注 1) VDCR1 はパワーオンリセット、外部リセット入力初期化されます。

注 2) VDCR1<VD2F>、VDCR1<VD1F>のソフトウェアによるクリアと電圧検出によるセットが重なった場合、電圧検出によるセットが優先されます。

注 3) VDCR2<VD2EN>を"1"にセットして電圧検出 2 動作を許可する場合は、必ず VDCR1<VD2LVL>を"01"にセットする必要があります。

注 4) "1"を書き込んでもフラグは"1"にセットされません。

電圧検出制御レジスタ 2

VDCR2	7	6	5	4	3	2	1	0	
(002CH)		VD2S	VD1S		VD2MOD	VD2EN	VD1MOD	VD1EN	(初期値: **** 0000)

		TMP86FH93NG		TMP86C993XB		
VD2S	電圧検出 2 セット	機能無し		0:	VD2 によるリセット/割り込みを発生	Write Only
				1:	-	
VD1S	電圧検出 1 セット	機能無し		0:	VD1 によるリセット/割り込みを発生	Write Only
				1:	-	
VD2MOD	電圧検出 2 動作モード選択	0:	INTVLTD 割り込み要求発生			R/W
		1:	電圧検出 2 リセット信号発生			
VD2EN	電圧検出 2 動作の許可/禁止	0:	電圧検出 2 動作禁止			R/W
		1:	電圧検出 2 動作許可			
VD1MOD	電圧検出 1 動作モード選択	0:	INTVLTD 割り込み要求発生			R/W
		1:	電圧検出 1 リセット信号発生			
VD1EN	電圧検出 1 動作の許可/禁止	0:	電圧検出 1 動作禁止			R/W
		1:	電圧検出 1 動作許可			

注 1) VDCR2 はパワーオンリセット、外部リセット入力のみ初期化されます。

注 2) TMP86FH93NG は、VD1S, VD2S を内蔵していません。同ビットに値を設定しても何も機能しません。

Not Recommended for New Design

7.3 機能

電圧検出回路は2つの検出電圧(VD_xLVL、x = 1~2)を設定できます。それぞれの電圧について、電圧検出の許可/禁止、電源電圧(VDD)が検出電圧(VD_xLVL)になったとき、もしくは下回ったときの動作をソフトウェアによって設定することができます。

7.3.1 電圧検出動作の許可/禁止

VDCR2<VD_xEN>を"1"にセットすると電圧検出動作が許可され、"0"にクリアすると禁止されま

す。パワーオンリセット解除直後、VDCR2<VD_xEN>は"0"にクリアされます。

注) 電源電圧(VDD) < 検出電圧(VD_xLVL)の状態 で VDCR2<VD_xEN>を"1"に設定すると、設定した時点で INTVLTD 割り込み、または電圧検出リセット信号が発生します。

7.3.2 電圧検出動作モード選択

VDCR2<VD_xMOD>を"0"にすると電圧検出動作モードとして INTVLTD 割り込み要求発生が選択され、"1"にすると電圧検出リセット信号発生が選択されます。

- INTVLTD 割り込み要求発生を選択した時(VDCR2<VD_xMOD>="0")
 - VDCR2<VD_xEN>が"1"のとき、電源電圧(VDD)が下降し検出電圧(VD_xLVL)になると、INTVLTD 割り込み要求が発生します。

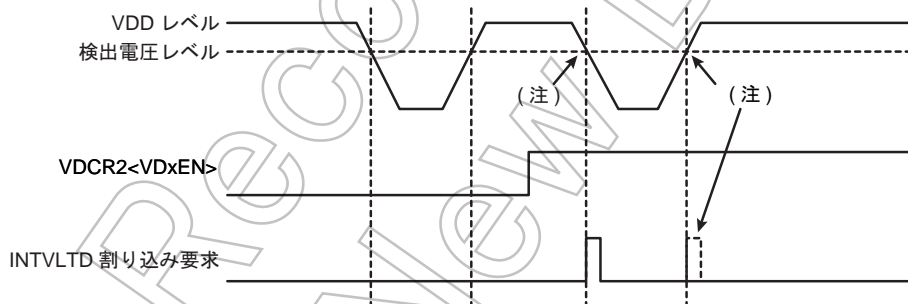


図 7-2 INTVLTD 割り込み要求

注) 電圧検出用のコンパレータはヒステリシス構造では無いため、電源電圧(VDD)が検出電圧(VD_xLVL)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。また、電源電圧が下降したときだけでなく、上昇して検出電圧になったときにも INTVLTD 割り込み要求が発生する場合があります。

- 電圧検出リセット信号発生を選択した時(VDCR2<VD_xMOD>="1")
 - VDCR2<VD_xEN>が"1"のとき、電源電圧(VDD) < 検出電圧(VD_xLVL)になると、電圧検出リセット信号が発生します。

なお、VDCR1、VDCR2 はパワーオンリセット、外部リセット入力以外では初期化されないため、電源電圧(VDD) < 検出電圧(VD_xLVL)の間、電圧検出リセット信号が発生され続けます。

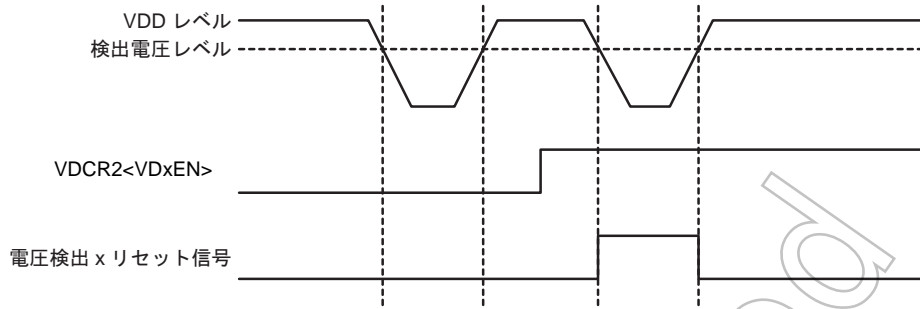


図 7-3 電圧検出リセット信号

7.3.3 検出電圧レベル選択

VDCR1<VDxLVL> で検出電圧レベルを選択します。

7.3.4 電圧検出フラグ、電圧検出ステータスフラグ

VDCR1<VDxF>、VDCR1<VDxSF> を読み出すことで、電源電圧(VDD)と検出電圧(VDxLVL)の大小関係を確認することができます。

VDCR2<VDxEN>が"1"のとき、電源電圧(VDD) < 検出電圧(VDxLVL)になると VDCR1<VDxF> が"1"にセットされ、その状態を保持します。電源電圧(VDD) ≥ 検出電圧(VDxLVL)になっても VDCR1<VDxF>は"0"にクリアされません。

VDCR1<VDxF>が"1"にセットされたあと VDCR2<VDxEN>を"0"にクリアしても、以前の状態を保持します。VDCR1<VDxF>をクリアするには該当するビットに"0"を書き込む必要があります。

VDCR2<VDxEN>が"1"のとき、電源電圧(VDD) < 検出電圧(VDxLVL)になると VDCR1<VDxSF> が"1"にセットされます。電源電圧(VDD) > 検出電圧(VDxLVL)になると VDCR1<VDxSF> が"0"にクリアされます。

VDCR1<VDxSF>は VDCR1<VDxF>と異なりセット状態を保持しません。

注) 電圧検出のタイミングにより、電圧検出ステータスフラグ(VDxSF)が電圧検出フラグ(VDxF)より 1 マシンサイクル先に"1"になる場合があります。

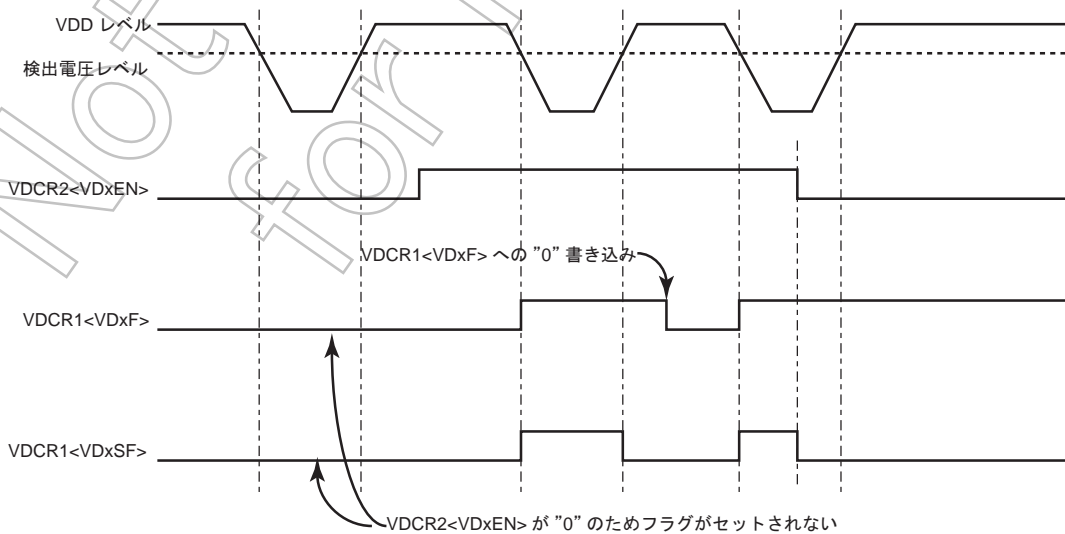


図 7-4 電圧検出フラグ、電圧検出ステータスフラグの変化

7.4 レジスタの設定

7.4.1 割り込み使用時の設定手順

INTVLTD 割り込みとして使用する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグ<EF4>を"0"にクリアします。
2. VDCR1<VDxLVL>(x=1~2)で検出電圧を設定します。
3. VDCR2<VDxMOD>を"0"にクリアして動作モードを INTVLTD 割り込み発生にします。
4. VDCR2<VDxEN>を"1"にセットして電圧検出動作を許可します。
5. 電圧検出回路が安定するまで 5[μ s]以上待ちます。
6. VDCR1<VDxSF>が"0"であることを確認します。
7. VDCR1<VDxF>を"0"にクリアします。
8. INTVLTD の割り込みラッチ<IL4>を"0"にクリアして、割り込み許可フラグ<EF4>を"1"にセットして割り込みを許可します。

注) 電源電圧(VDD)が検出電圧(VDxLVL)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。これが問題となる場合は、INTVLTD 割り込み処理からの復帰時、システムの電源変動にあわせ適当なウェイト処理を行い、割り込みラッチをクリアしてください。

電圧検出割り込み要求発生として電圧検出回路を使用しているとき、電圧検出回路の動作を禁止する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグ<EF4>を"0"にクリアします。
2. VDCR2<VDxEN>を"0"にクリアして電圧検出動作を禁止します。

注) 割り込み許可フラグを"0"にクリアせず電圧検出動作を禁止すると、予期しない割り込み要求が発生することがあります。

7.4.2 電圧検出リセット信号発生として使用する場合の設定手順

電圧検出リセット信号発生として使用する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグ<EF4>を"0"にクリアします。
 2. VDCR1<VDxLVL>(x=1~2)で検出電圧を設定します。
 3. VDCR2<VDxMOD>を"0"にクリアして動作モードを電圧検出割り込み要求信号発生にします。
 4. VDCR2<VDxEN>を"1"にセットして電圧検出動作を許可します。
 5. 電圧検出回路が安定するまで 5[μ s]以上待ちます。
 6. VDCR1<VDxSF>が"0"であることを確認します。
 7. VDCR1<VDxF>を"0"にクリアします。
 8. VDCR2<VDxMOD>を"1"にセットして動作モードを電圧検出リセット信号発生にします。
- 注 1) VDCR1、VDCR2 はパワーオンリセット、外部リセット入力以外では初期化されません。そのため、電圧検出リセットが解除された後、VDCR2<VDxEN>を"0"にクリアするまえに、電源電圧(VDD) < 検出電圧(VDxLVL) になると直ちに電圧検出リセット信号が発生します。
- 注 2) 電源電圧(VDD) < 検出電圧(VDxLVL)になっている間、電圧検出リセット信号は発生されません。

電圧検出リセット信号発生として電圧検出回路を使用しているとき、電圧検出回路の動作を禁止する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグ<EF4>を"0"にクリアします。
 2. VDCR2<VDxMOD>を"0"にクリアして動作モードを電圧検出割り込み要求信号発生にします。
 3. VDCR2<VDxEN>を"0"にクリアして電圧検出動作を禁止します。
- 注) 割り込み許可フラグを"0"にクリアせず電圧検出動作を禁止すると、予期しない割り込み要求が発生することがあります。

Not Recommended
for New Design

第8章 ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

8.1 ウォッチドッグタイマの構成

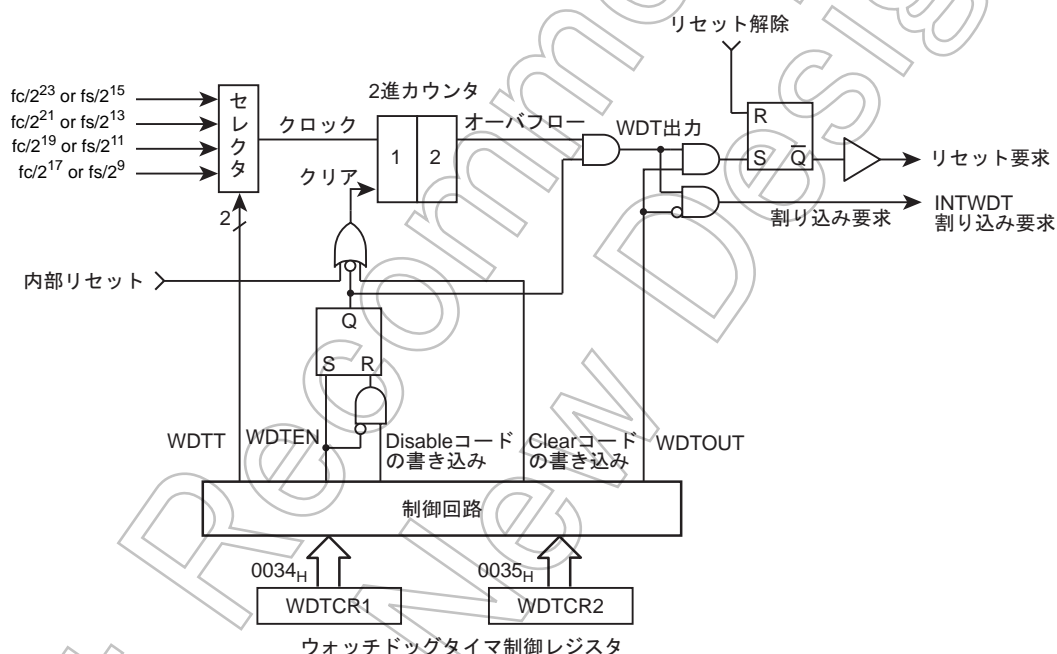


図 8-1 ウォッチドッグタイマの構成

8.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTCR1、WDTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

8.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定, 出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき $WDTCR1 < WDTOUT > = "1"$ なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、 $WDTCR1 < WDTOUT > = "0"$ なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で $WDTCR1 < WDTT >$ の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
LD      (WDTCR1), 00001101B ; WDTT←10, WDTOUT←1
WDT 検出
時間 3/4 以内
LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
:
:                          ; (WDTT 変更直前直後は必ずクリアします)
LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
WDT 検出
時間 3/4 以内
LD      (WDTCR2), 4EH      ; 2進カウンタのクリア
    
```

ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	-	-	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)

WDTCR1	フィールド	説明	初期値	アクセス			
WDTCR1	WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可	Write only			
WDTCR1	WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL 1/2 モード		Write only		
				DV7CK = 0		DV7CK = 1	
			00	$2^{25}/fc$		$2^{17}/fs$	$2^{17}/fs$
			01	$2^{23}/fc$		$2^{15}/fs$	$2^{15}/fs$
			10	$2^{21}/fc$		$2^{13}/fs$	$2^{13}/fs$
11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$				
WDTCR1	WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求	Write only			

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「8.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H) 7 6 5 4 3 2 1 0 (初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

注1) ディセーブルコードは、WDTCR1<WDTEN> = "0" のとき以外は書き込み無効です。

注2) *: Don't care

注3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。

注4) クリアコード (4EH) は WDTCR1<WDTT>の設定時間の 3/4 以内に書き込んでください。

8.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を "1" にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は "1" に初期化されますので、リセット解除後は自動的にイネーブルになります。

8.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を "0" に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を "0" に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 8-1 ウォッチドッグタイマ検出時間(例: fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間[s]		
	NORMAL 1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

8.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT>が“0”のときに2進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT)が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF)の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み(ウォッチドッグタイマ割り込みを含む)を受け付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT>を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 023FH          ; SP の設定
LD      (WDTCR1), 00001000B ; WDTOUT←0
```

8.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT>が“1”のときに2進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$)です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

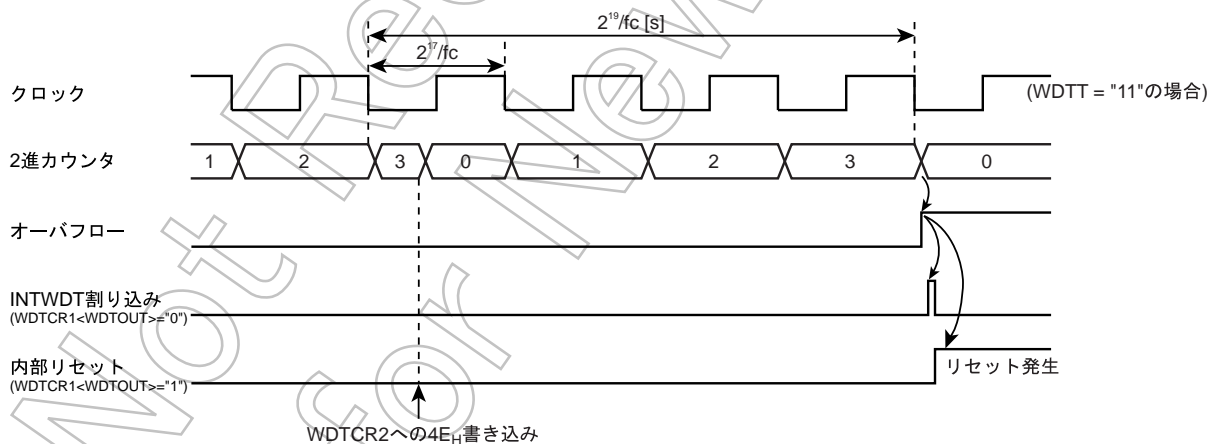


図 8-2 ウォッチドッグタイマ割り込み/リセット

8.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	-	-	ATAS	ATOUT	(WDTEN)	(WDTT)	(WDTOUT)		(初期値: **11 1001)

ATAS	内蔵 RAM 領域のアドレストラップ選択	0:	アドレストラップ発生しない	Write only
		1:	アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレストラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	
									(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H:	アドレストラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

8.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS>を “0” に設定します。

WDTCR1<ATAS>の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

8.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

8.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT>が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS>= “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み(アドレストラップ割り込みを含む)を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

8.3.4 アドレストラップリセット

WDTCR1<ATOUT>が“1”の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS>=“1”時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$)です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック)となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

第9章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

9.1 タイムベースタイマ

9.1.1 構成

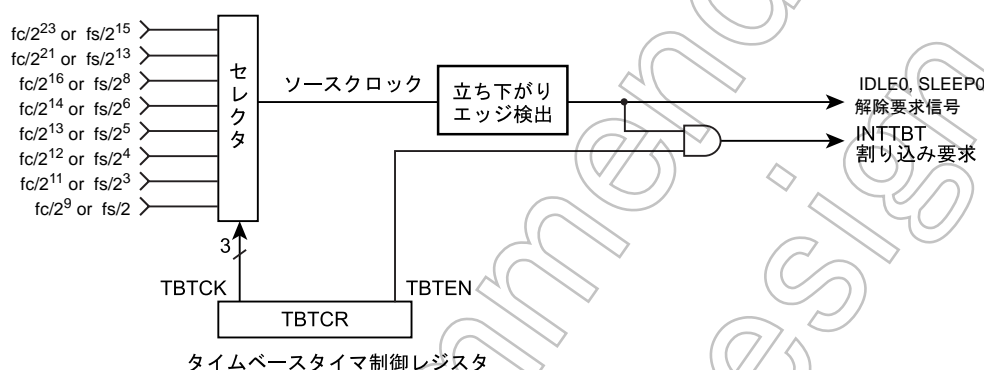


図 9-1 タイムベースタイマの構成

9.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCCK				(初期値: 0000 0000)

TBTCCK	タイムベースタイマの許可/禁止	0: ディセーブル 1: イネーブル			R/W
		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
		DV7CK = 0	DV7CK = 1		
000		fc/2 ²³	fs/2 ¹⁵	fs/2 ¹⁵	
001		fc/2 ²¹	fs/2 ¹³	fs/2 ¹³	
010		fc/2 ¹⁶	fs/2 ⁸	-	
011		fc/2 ¹⁴	fs/2 ⁶	-	
100		fc/2 ¹³	fs/2 ⁵	-	
101		fc/2 ¹²	fs/2 ⁴	-	
110		fc/2 ¹¹	fs/2 ³	-	
111		fc/2 ⁹	fs/2	-	

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注2) 割り込み周波数(TBTCK)の変更は、タイムベースタイマがディセーブルの状態(TBTEN="0")で行ってください(イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 7
```

表 9-1 タイムベースタイマ割り込み周波数(例 : $fc = 16.0$ MHz, $fs = 32.768$ kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	-
011	976.56	512	-
100	1953.13	1024	-
101	3906.25	2048	-
110	7812.5	4096	-
111	31250	16384	-

9.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 9-2 参照)。

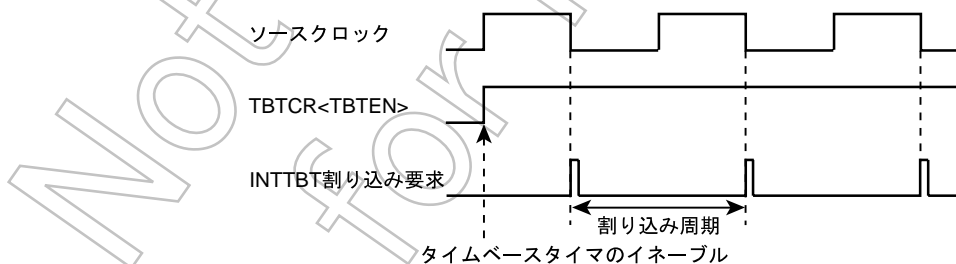


図 9-2 タイムベースタイマ割り込み

9.2 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 \overline{DVO} 端子から出力されます。

9.2.1 構成

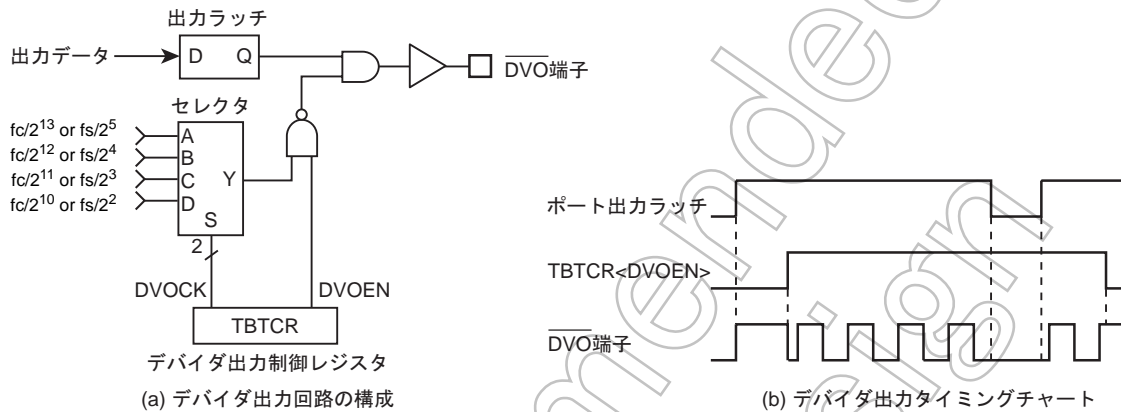


図 9-3 デバイダ出力

9.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)			(TBTCK)		(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			R/W	
DVOCK	デバイダ出力(DVO 端子)の周波数選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード		SLOW 1/2, SLEEP 1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$		$fs/2^4$
10	$fc/2^{11}$	$fs/2^3$	$fs/2^3$			
11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$			

注) デバイダ出力の周波数選択(DVOCK)の変更は、デバイダ出力が禁止の状態(DVOEN="0")で行ってください。許可状態(DVOEN="1")から禁止状態(DVOEN="0")に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

ポートを設定

```
LD      (TBTCR), 00000000B      ; DVOCK← "00"
LD      (TBTCR), 10000000B      ; DVOEN← "1"
```

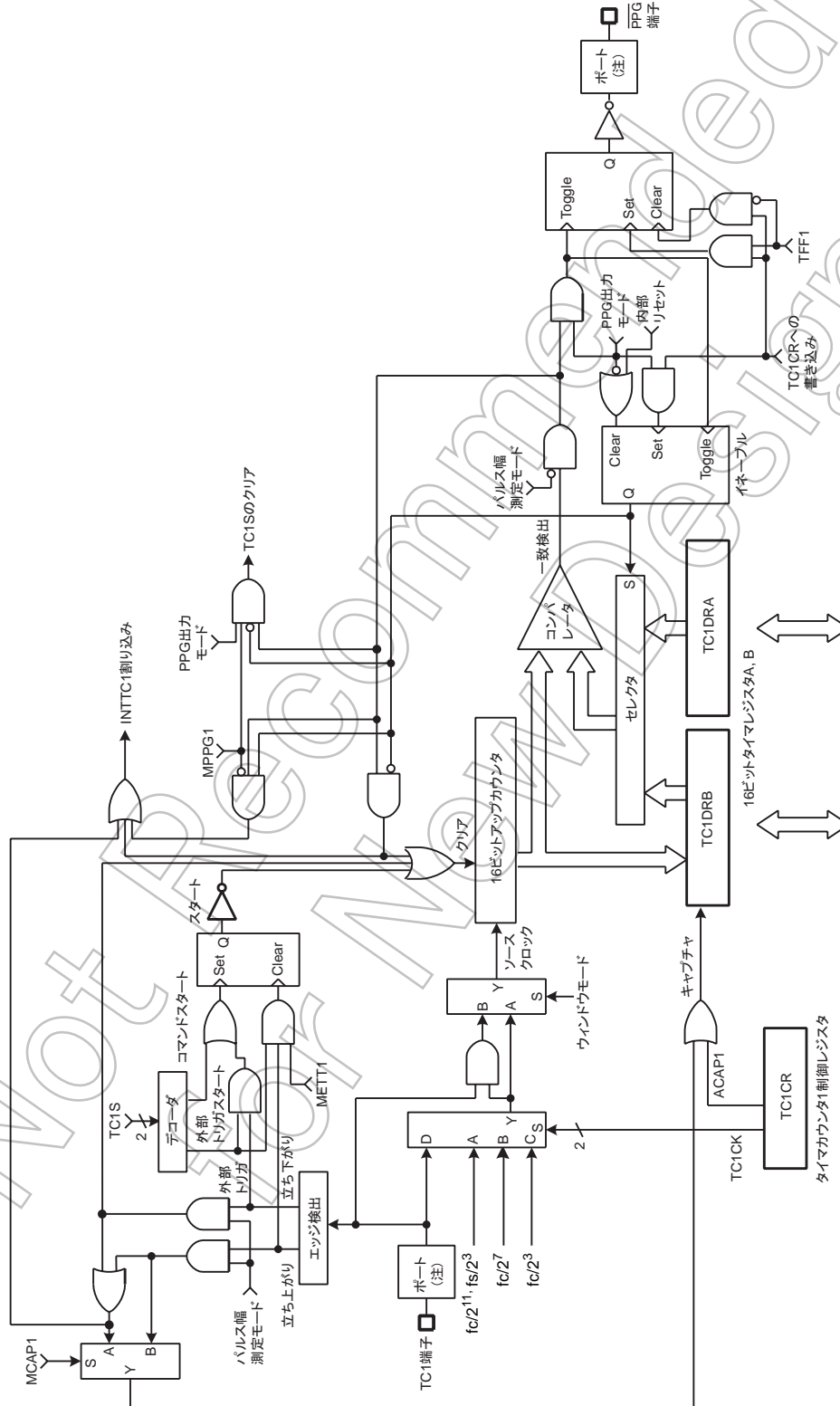
表 9-2 デバイダ出力の周波数 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

Not Recommended for New Design

第 10 章 16 ビットタイマカウンタ 1 (TC1)

10.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 10-1 タイマカウンタ 1 (TC1)

10.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0011H, 0010H)	TC1DRAH (0011H) (初期値: 1111 1111 1111 1111)								TC1DRAL (0010H) Read/Write							
TC1DRB (0013H, 0012H)	TC1DRBH (0013H) (初期値: 1111 1111 1111 1111)								TC1DRBL (0012H) Read/Write (PPG 出力モード時のみ Write 可)							

タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0
TC1CR (0014H)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	Read/Write (初期値: 0000 0000)		

TFF1	タイマ F/F1 制御	0: クリア	1: セット				R/W		
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル				R/W		
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ						
METT1	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート&ストップ						
MPPG1	PPG 出力制御	0: 連続	1: 単発						
TC1S	タイマカウンタ 1 の スタート制御		タイマ	外部	イベ ント	ウィン ドウ	パルス	PPG	R/W
		00: ストップ&カウンタクリア	○	○	○	○	○	○	
		01: コマンドスタート (外部トリガ/パルス/ PPG)	○	-	-	-	-	○	
		10: 立ち上がりエッジスタート (外部トリガ/パルス/ PPG) 立ち上がりエッジカウント(イベント) 正論理カウント(ウィンドウ)	-	○	○	○	○	○	
11: 立ち下がりエッジスタート (外部トリガ/パルス/ PPG) 立ち下がりエッジカウント(イベント) 負論理カウント(ウィンドウ)	-	○	○	○	○	○			
TC1CK	タイマカウンタ 1 の ソースクロックの選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード					デバ イ タ	SLOW, SLEEP モード	R/W
		DV7CK = 0		DV7CK = 1					
		00	fc/2 ¹¹	fs/2 ³			DV9	fs/2 ³	
		01	fc/2 ⁷	fc/2 ⁷			DV5	-	
10	fc/2 ³	fc/2 ³			DV1	-			
11	外部クロック (TC1 端子入力)								
TC1M	タイマカウンタ 1 の 動作モードの選択	00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード					R/W		

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。

- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。
- 注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

10.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

10.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 10-1 タイマカウンタ 1 の内部ソースクロック (例 : $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定 時間 [s]
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s]後に割り込みを発生させる。
($f_c = 16 \text{ MHz}$, $\text{TBTCR} < \text{DV7CK} > = "0"$ 時)

```
LDW      (TC1DRA), 1E84H      ; タイマレジスタの設定 (1 s ÷ 211/fc = 1E84H)
DI       ; IMF = "0"
SET      (EIRH), 3           ; INTTC1 割り込みを許可
EI       ; IMF = "1"
LD       (TC1CR), 00000000B   ; ソースクロック, モード選択
LD       (TC1CR), 00010000B   ; TC1 スタート
```

(プログラム例 2) 自動キャプチャ

```
LD       (TC1CR), 01010000B   ; ACAP1 ← 1
:       :
LD       WA, (TC1DRB)         ; キャプチャ値の読み出し
```

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

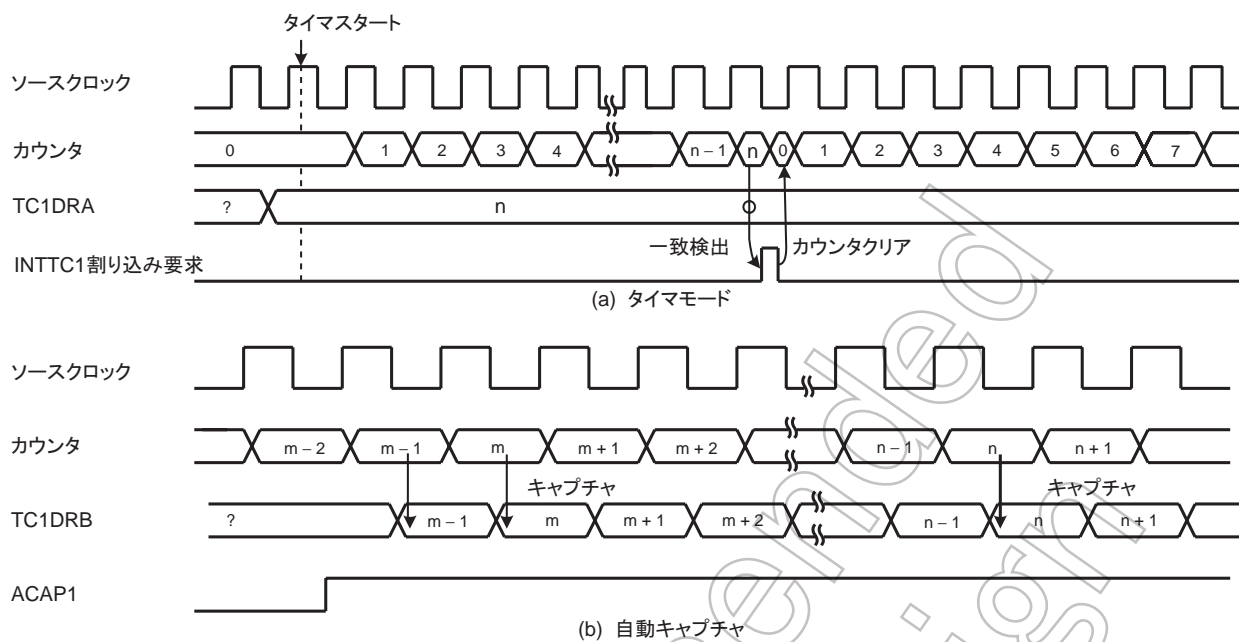


図 10-2 タイマモードタイミングチャート

10.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- ・ TC1CR<METT1> が“1”(トリガスタート&ストップ)の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- ・ TC1CR<METT1> が“0”(トリガスタート)の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/fc$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/fc$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

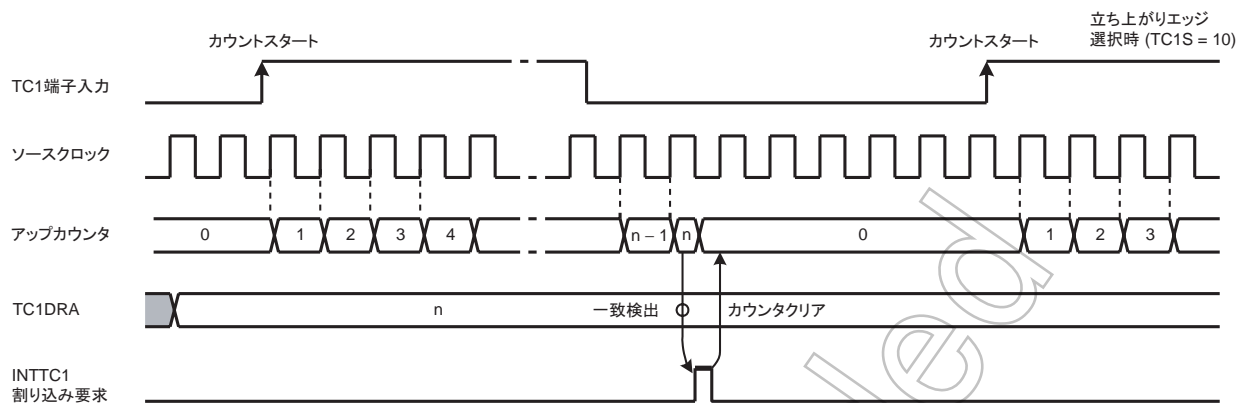
(プログラム例 1) TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。

($fc = 16$ MHz 時)

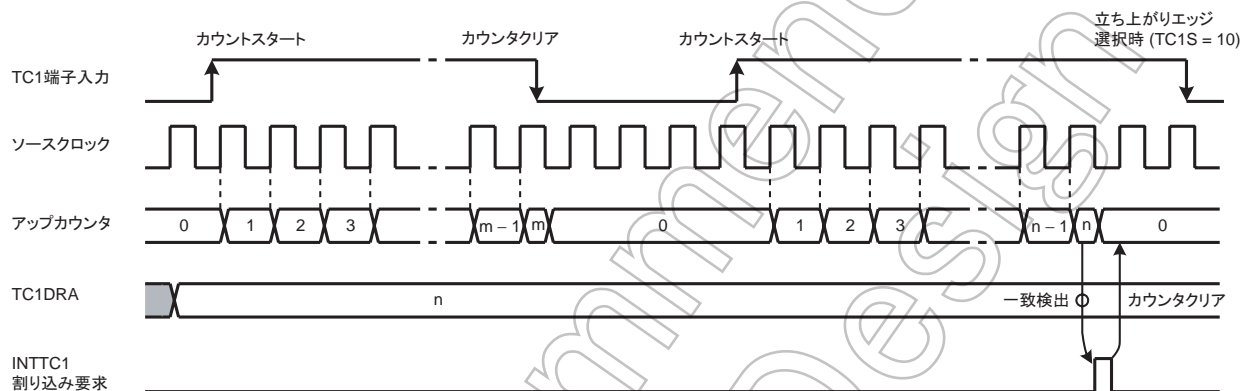
```
LDW      (TC1DRA), 007DH      ; 1ms + 27/fc = 7DH
DI        ; IMF = "0"
SET      (EIRH), 3           ; INTTC1 割り込み許可
EI        ; IMF = "1"
LD       (TC1CR), 00000100B   ; ソースクロック, モード選択
LD       (TC1CR), 00100100B   ; TC1 外部トリガスタート, METT1 = 0
```

(プログラム例 2) TC1 端子に“L”レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

```
LDW      (TC1DRA), 01F4H      ; 4 ms + 27/fc = 1F4H
DI        ; IMF = "0"
SET      (EIRH), 3           ; INTTC1 割り込み許可
EI        ; IMF = "1"
LD       (TC1CR), 00000100B   ; ソースクロック, モード選択
LD       (TC1CR), 01110100B   ; TC1 外部トリガスタート, METT1 = 1
```

(a) トリガスタート (METT1 = 0)



(b) トリガスタート&ストップ (METT1 = 1)

注) $m < n$

図 10-3 外部トリガタイマモードタイミングチャート

10.3.3 イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを継続します。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1>を“1”にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます(自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値(TC1DRB レジスタ値)は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

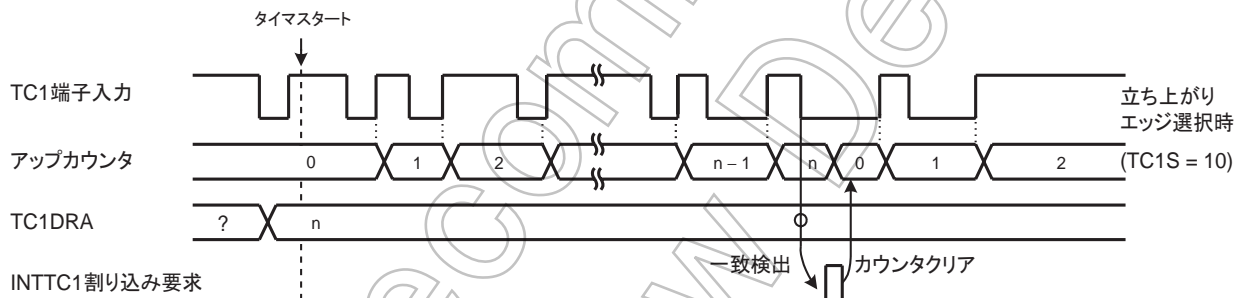


図 10-4 イベントカウンタモード タイミングチャート

表 10-2 タイマカウンタ 1 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

10.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC1CR<TC1S>によって正論理(Hレベルの期間カウントアップ)または負論理(Lレベルの期間カウントアップ)の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC1CR<TC1CK>で設定した内部クロックよりも十分遅い周波数を入力してください。

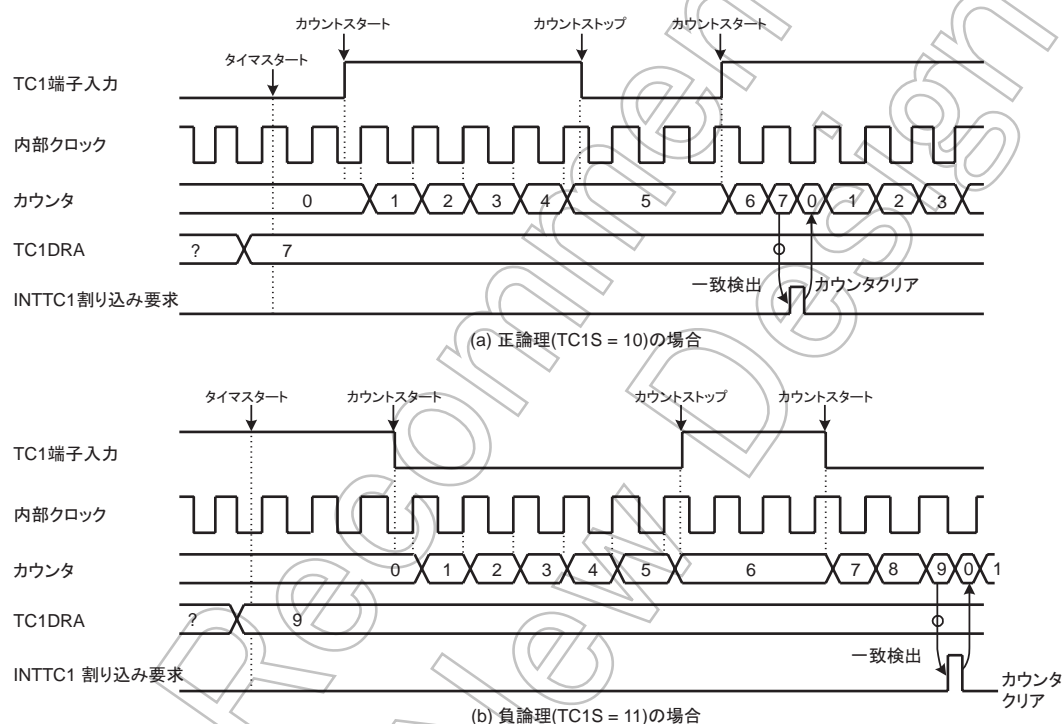


図 10-5 ウィンドウモード タイミングチャート

10.3.5 パルス幅測定モード

パルス幅測定モードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1>によって、片エッジまたは両エッジのいずれかを選択することができます。

- ・ TC1CR<MCAP1>="1"(片エッジキャプチャ)の場合

H レベルまたは L レベルのいずれか一方の入力パルス幅を測定することができます。H レベルの入力パルス幅を測定する場合は TC1CR<TC1S>を立ち上がりエッジに、L レベルの入力パルス幅を測定する場合は TC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- ・ TC1CR<MCAP1>="0"(両エッジキャプチャ)の場合

H レベルと周期、または L レベルと周期のいずれかの入力パルス幅を測定することができます。H レベルと周期を測定する場合は TC1CR<TC1S>を立ち上がりエッジに、L レベルと周期を測定する場合は TC1CR<TC1S>を立ち下がりエッジに設定してください。

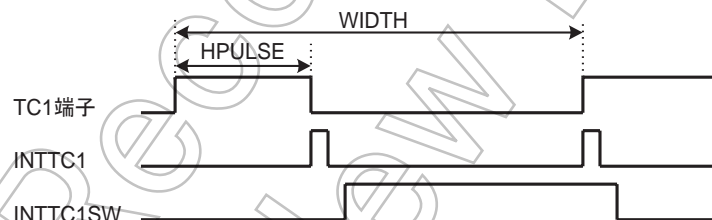
タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

- 注 1) キャプチャ値は、次のトリガエッジが検出されるまでに TC1DRB から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このとき TC1DRB は、16 ビットアクセス命令による読み出しを推奨します。
- 注 2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで "1" で停止するため、2 回目のキャプチャ値は、スタート直後のキャプチャ値よりも "1" 大きくなります。
- 注 3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の 1 周期目のキャプチャ値は読み捨ててください。

(プログラム例) デューティの測定。(分解能 $f_c/2^7$ [Hz] 時)

```

CLR      (INTTC1SW). 0      ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                                INTTC1 ごとに反転するように設定したアドレス
LD      (TC1CR), 00000110B  ; TC1 のモード, ソースクロックを設定
DI      ; IMF = "0"
SET     (EIRH). 3          ; INTTC1 割り込みを許可。
EI      ; IMF = "1"
LD      (TC1CR), 00100110B  ; MCAP1 = 0 で TC1 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC1SW). 0      ; INTTC1 割り込み, INTTC1 のサービススイッチの
                                反転/テスト
JRS     F, SINTTC1
LD      A, (TC1DRBL)        ; TC1DRB の読み出し ("H" レベルパルス幅)
LD      W,(TC1DRBH)
LD      (HPULSE), WA        ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD      A, (TC1DRBL)        ; TC1DRB の読み出し (周期)
LD      W,(TC1DRBH)
LD      (WIDTH), WA        ; 周期を RAM に格納
:
RETI    ; デューティ計算
:
VINTTC1: DW      PINTTC1          ; INTTC1 割り込みベクタ設定
    
```



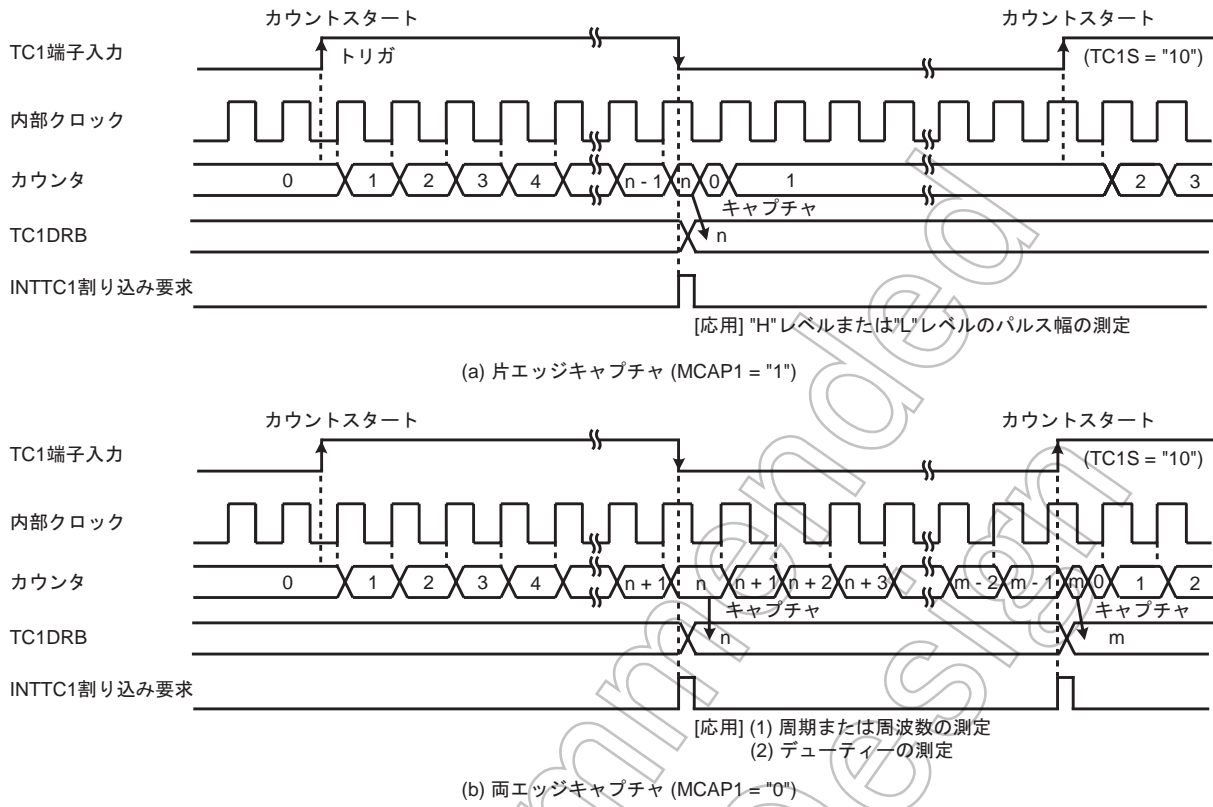


図 10-6 パルス幅測定モード

10.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S>によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1>によって PPG を連続して出力するか単発で出力するかを選択することができます。

- ・ TC1CR<MPPG1>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC1S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- ・ TC1CR<MPPG1>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S>は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC1CR<TFF1> によって出力レベルを設定することができますので、正論理/負論理いずれのパルスも出力することが可能です。なお、 $\overline{\text{PPG}}$ 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1>を "0" に、L レベルに設定する場合は TC1CR<TFF1>を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1>はタイマ動作中に変更しないでください。TC1CR<TFF1>は、初期設定時(リセット後)のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1>は正しく設定することができなくなります(このとき TC1CR<TFF1>を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M>を一度タイマモードに変更し(タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1>を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。

TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

(プログラム例) "H" レベル 800 μs 、"L" レベル 200 μs のパルスを出力。(fc = 16 MHz 時)

ポートを設定する		
LD	(TC1CR), 10000111B	; PPG 出力モードに設定, ソースクロック選択
LDW	(TC1DRA), 007DH	; 周期の設定 (1 ms + 2 ⁷ /fc μs = 007DH)
LDW	(TC1DRB), 0019H	; "L" レベルパルス幅の設定 (200 μs + 2 ⁷ /fc = 0019H)
LD	(TC1CR), 10010111B	; タイマスタート

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

```

ポートを設定する
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW     (TC1DRA), 007DH        ; 周期の設定 (1 ms ÷ 27/fc μs = 007DH)
LDW     (TC1DRB), 0019H        ; "L" レベルパルス幅の設定 (200 μs ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B      ; タイマスタート
:      :
LD      (TC1CR), 10000111B      ; タイマストップ
LD      (TC1CR), 10000100B      ; タイマモードに設定
LD      (TC1CR), 00000111B      ; PPG 出力モード, TFF1=0 に設定
LD      (TC1CR), 00010111B      ; タイマスタート
    
```

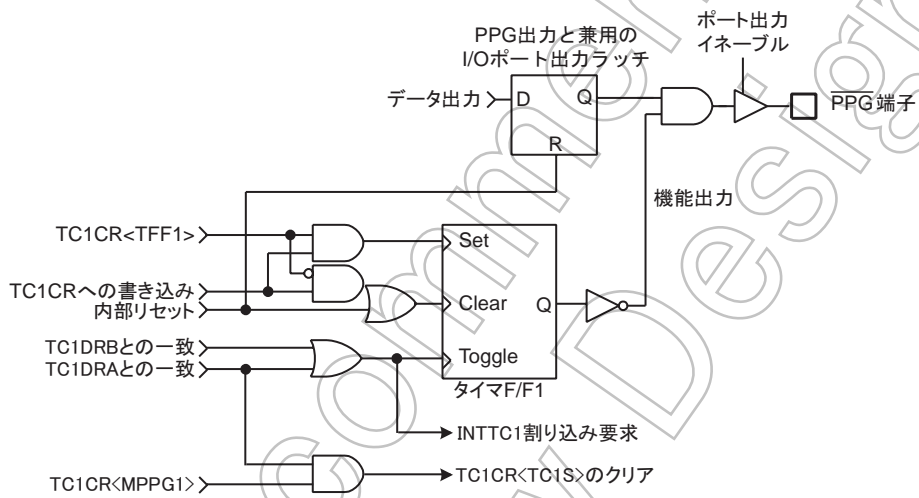


図 10-7 PPG 出力

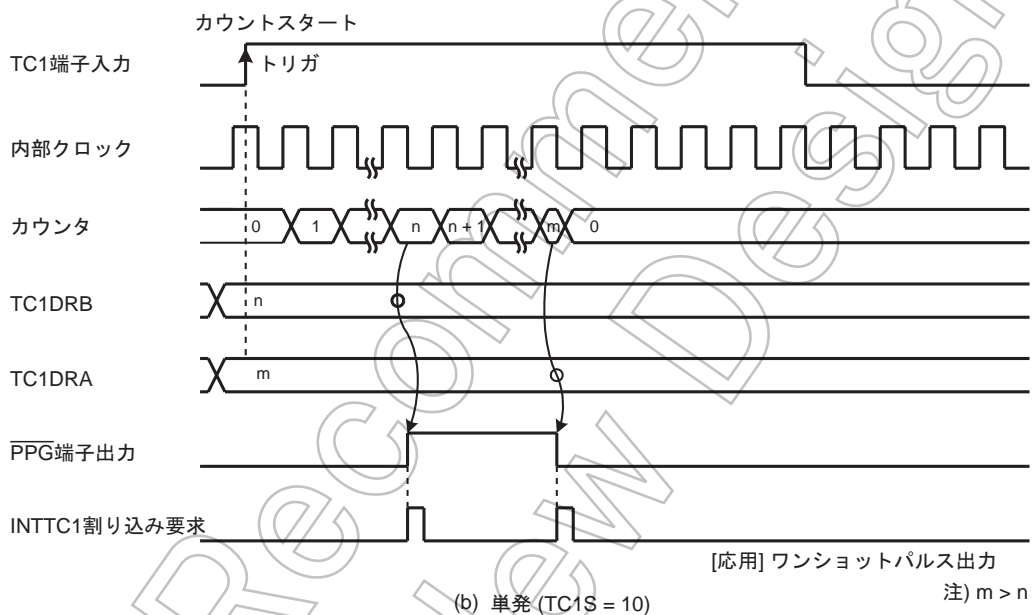
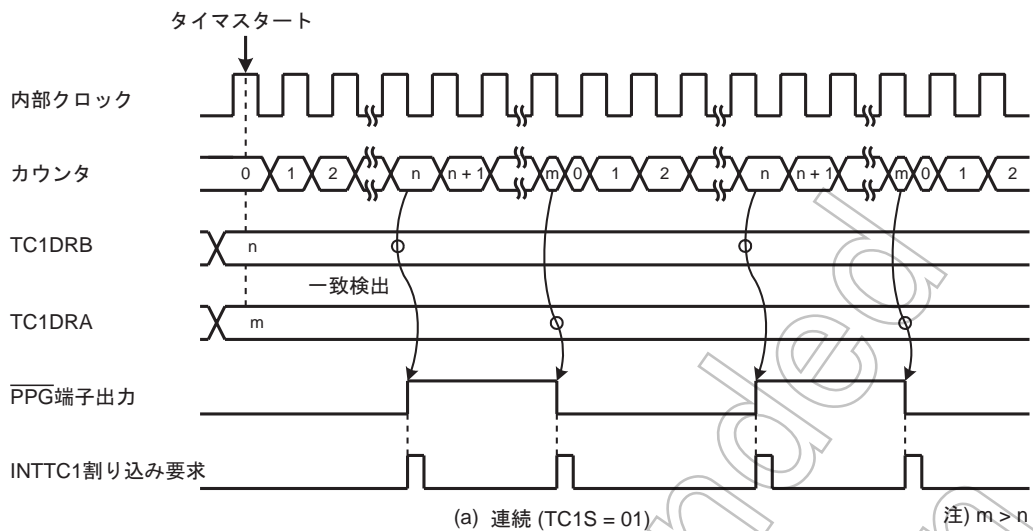


図 10-8 PPG 出力モード タイミングチャート

Not Recommended
for New Design

第 11 章 8 ビットタイマカウンタ(TC3, TC4)

11.1 構成

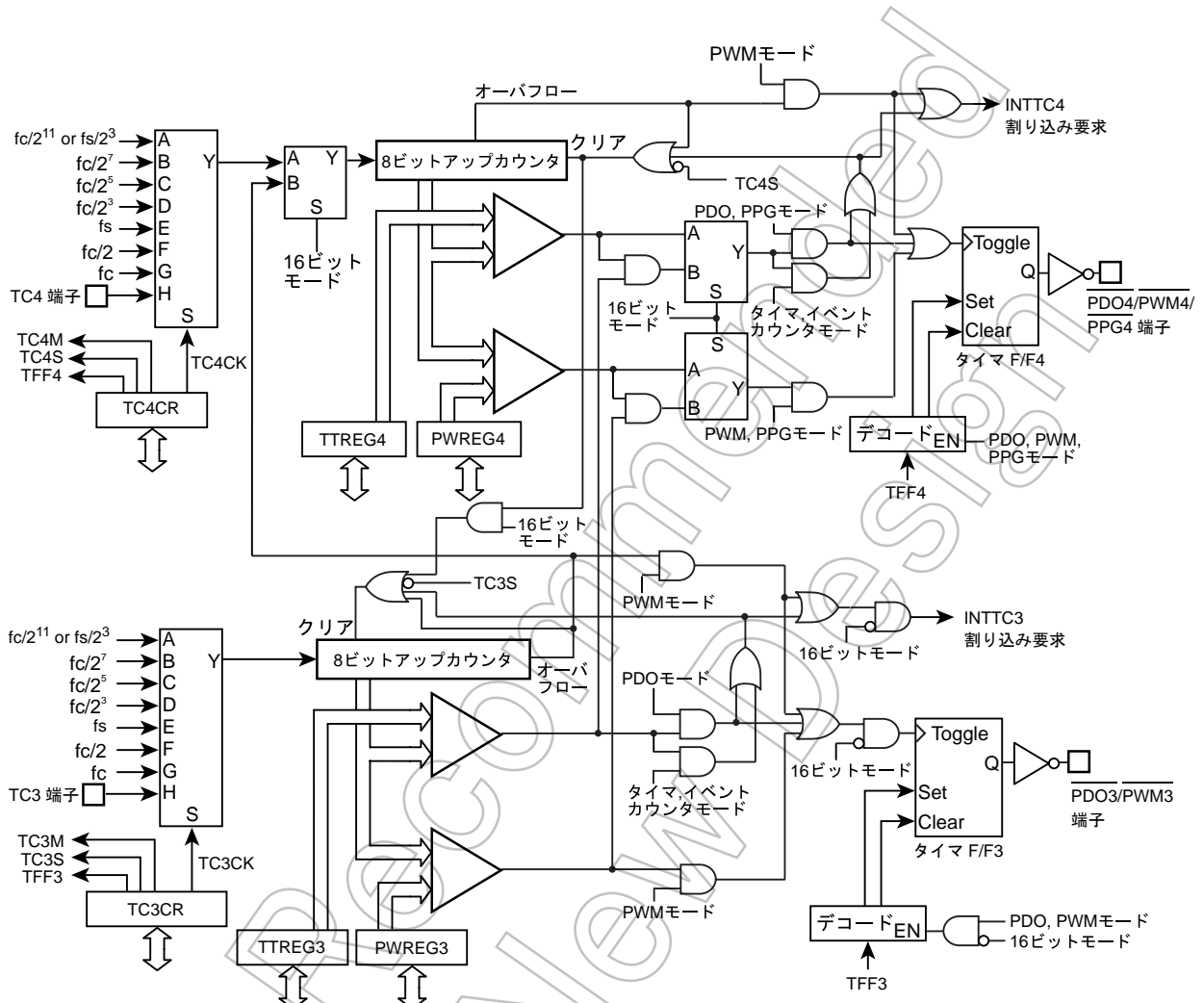


図 11-18 ビットタイマカウンタ 3, 4

11.2 制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ 3 のタイマレジスタ

TTREG3 (001CH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

PWREG3 (001EH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

- 注 1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ 3 制御レジスタ

TC3CR (001AH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	TFF3	TC3CK		TC3S	TC3M				

TFF3	タイマ F/F3 の制御 (注 2,3)	0: クリア 1: セット			R/W	
TC3CK	動作クロック選択[Hz] (注 2,3,6)	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		000	fc/2 ¹¹	fs/2 ³		fs/2 ³
		001	fc/2 ⁷	fc/2 ⁷		—
		010	fc/2 ⁵	fc/2 ⁵		—
		011	fc/2 ³	fc/2 ³		—
		100	fs	fs		fs
		101	fc/2	fc/2		—
110	fc (注 8)	fc (注 8)	fc (注 8)			
111	TC3 端子入力					
TC3S	タイマスタート制御 (注 3)	0: 動作停止&カウンタクリア 1: 動作開始			R/W	
TC3M	動作モード選択 (注 2,3,7)	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (注 4,5) (各モード選択は TC4M にて設定してください) 1**: Reserved			R/W	

- 注 1) fc: 高周波クロック[Hz] fs: 低周波クロック[Hz]
- 注 2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M>にて行い、TC3M は"011"に固定してください。
- 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については、TC4CR<TC4S>, TC4CR<TFF4>にて設定してください。
- 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。
- 注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。
- 注 8) ソースクロックとして fc が選択できるのは、8/16 ビット PWM モード、および SLOW/SLEEP モード時のウォーミングアップカウンタモードのみです。

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) と 2 本の 8 ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ 4 のタイマレジスタ

TTREG4 (001DH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

PWREG4 (001FH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

- 注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ 4 制御レジスタ

TC4CR (001BH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	TFF4	TC4CK		TC4S	TC4M				

TFF4	タイマ F/F4 の制御 (注 2,3)	0: クリア 1: セット		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
		DV7CK = 0	DV7CK = 1				
TC4CK	動作クロック選択[Hz] (注 2,3,7)	000	fc/2 ¹¹	fs/2 ³	fs/2 ³	R/W	
		001	fc/2 ⁷	fc/2 ⁷	—		
		010	fc/2 ⁵	fc/2 ⁵	—		
		011	fc/2 ³	fc/2 ³	—		
		100	fs	fs	fs		
		101	fc/2	fc/2	—		
		110	fc (注 9)	fc (注 9)	—		
		111	TC4 端子入力				
TC4S	タイマスタート制御 (注 3)	0: 動作停止&カウンタクリア 1: 動作開始			R/W		
TC4M	動作モード選択 (注 2,3,8)	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード		R/W			

- 注 1) fc: 高周波クロック[Hz] fs: 低周波クロック[Hz]
- 注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注 4) TC4M = 1** のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注 5) 16 ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M>は必ず"011"に設定してください。
- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC4S, TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。

注 9) ソースクロックとして f_c が選択できるのは、8 ビット PWM モードのみです。

Not Recommended
for New Design

表 11-1 動作モードと使用できるソースクロック (NORMAL1/2, IDLE1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	○	○	○	-	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○	○
8ビットPDO	○	○	○	○	-	-	-	-	-
8ビットPWM	○	○	○	○	○	○	○	-	-
16ビットタイマ	○	○	○	○	-	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○	-
ウォーミングアップカウンタ	-	-	-	-	○	-	-	-	-
16ビットPWM	○	○	○	○	○	○	○	○	-
16ビットPPG	○	○	○	○	-	-	-	○	-

注1) 16ビット動作(16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG)のソースクロックは下位ビット側(TC3CK)にて設定してください。

表 11-2 動作モードと使用できるソースクロック(SLOW1/2,SLEEP1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	-	-	-	-	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○	○
8ビットPDO	○	-	-	-	-	-	-	-	-
8ビットPWM	○	-	-	-	○	-	-	-	-
16ビットタイマ	○	-	-	-	-	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○	-
ウォーミングアップカウンタ	-	-	-	-	-	-	○	-	-
16ビットPWM	○	-	-	-	○	-	-	○	-
16ビットPPG	○	-	-	-	-	-	-	○	-

注1) 16ビット動作(16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG)のソースクロックは下位ビット側(TC3CK)にて設定してください。

表 11-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREG4}) \leq 255, 1 \leq (\text{TTREG3}) \leq 255$
8ビットPDO	$1 \leq (\text{TTREG4}) \leq 255, 1 \leq (\text{TTREG3}) \leq 255$
8ビットPWM	$2 \leq (\text{PWREG4}) \leq 254, 2 \leq (\text{PWREG3}) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREG4}, 3) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (\text{TTREG4}, 3) \leq 65535$
16ビットPWM	$2 \leq (\text{PWREG4}, 3) \leq 65534$
16ビットPPG	$1 \leq (\text{PWREG4}, 3) < (\text{TTREG4}, 3) \leq 65535$ かつ $(\text{PWREG4}, 3) + 1 < (\text{TTREG4}, 3)$

11.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

11.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタ j の値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタ j がクリアされます。カウンタクリア後もカウントアップを継続します。

注 1) タイマモード時は、TC j CR<TFF j >を“0”に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されず、従ってタイマ動作中に TTREG j を書き替えると想定している動作を得られない場合があります。

注 3) $j = 3, 4$

表 11-4 タイマカウンタ 3, 4 のソースクロック(内部クロック)

ソースクロック (注)		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
DV7CK = 0	DV7CK = 1		$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時	$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.0 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	510 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	127.5 μs	—

注) タイマモードでは、上記のソースクロック以外は選択しないでください。

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる
(タイマカウンタ 4、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG4), 0AH           ;タイマレジスタの設定 (80  $\mu\text{s} = 2^7/f_c = 0AH$ )
DI
SET   (EIRH), 7              ;INTTC4 割り込みを許可
EI
LD    (TC4CR), 00010000B     ;動作クロックを  $f_c/2^7$ , 8 ビットタイマモードに設定
LD    (TC4CR), 00011000B     ;TC4 スタート
```

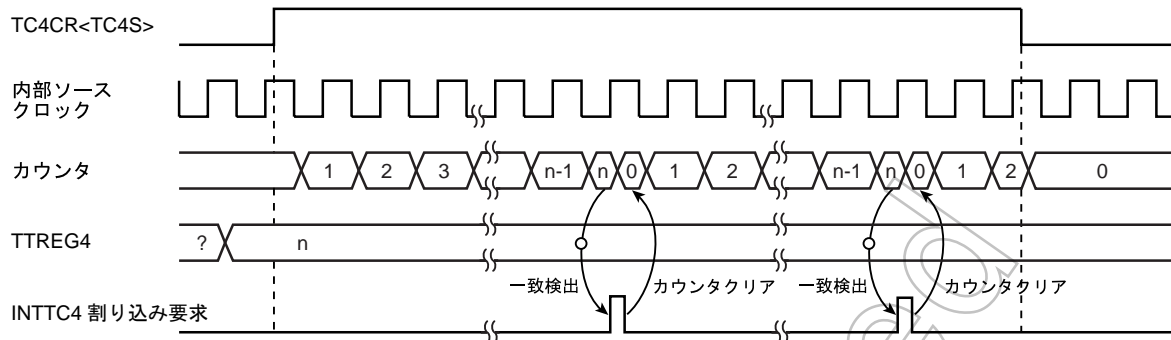



図 11-28 ビットタイマモードタイミングチャート (TC4 の場合)

11.3.2 8ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1/2 または IDLE1/2 モード時で $fc/2^4$ [Hz]、SLOW1/2 または SLEEP1/2 モード時で $fs/2^4$ [Hz] となります。

注 1) イベントカウンタモード時は、TC_jCR<TF_j>を“0”に固定してください。固定されない場合は、 $\overline{PDO_j}$ /P_{WMj}/P_{PGj} 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成とならないので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

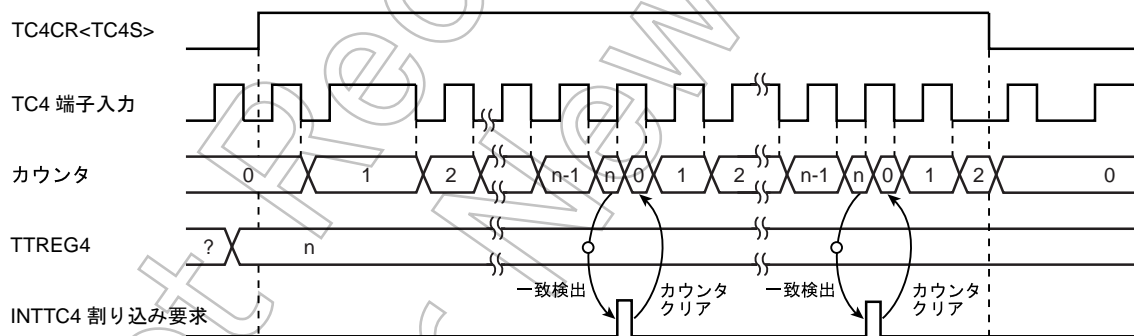


図 11-38 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

11.3.3 8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TF_j>によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は“0”に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出カラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

```

          ポートを設定
LD      (TTREG4), 3DH          ; 1/1024+27/fc+2 = 3DH
LD      (TC4CR), 00010001B    ; 動作クロックを fc/27, 8 ビット PDO モードに設定
LD      (TC4CR), 00011001B    ; TC4 スタート

```

注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。

注 2) PDO 出力中にタイマを停止すると、PDO_j 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj>の設定を変更しないでください。

例: タイマカウンタ停止時に PDO_j 端子を “H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; PDO_j 端子を “H” レベルに設定

注 3) j = 3, 4

Not Recommended for New Design

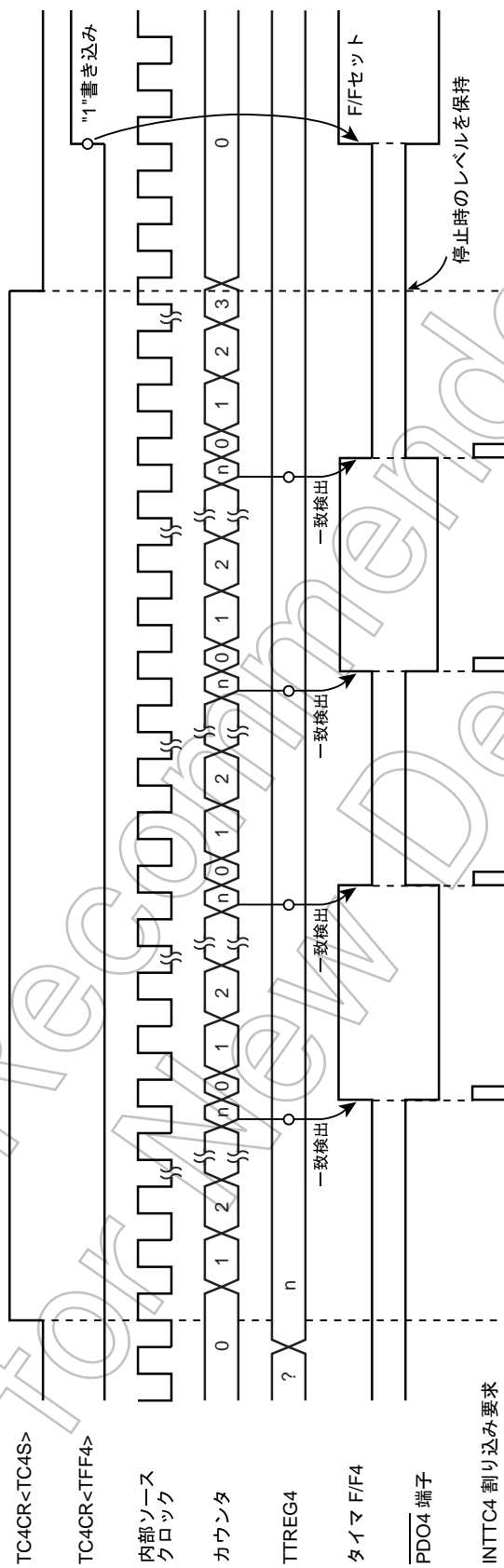


図 11-4 8 ビット PDO モードタイミングチャート (TC4 の場合)

11.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj>の設定を変更しないでください。
例：タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 3, 4

表 11-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL 1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 1		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	2.05 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	512 μs	-
fc/2 ³	fc/2 ³	-	500ns	-	128 μs	-
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	-	125 ns	-	32 μs	-
fc	fc	-	62.5 ns	-	16 μs	-

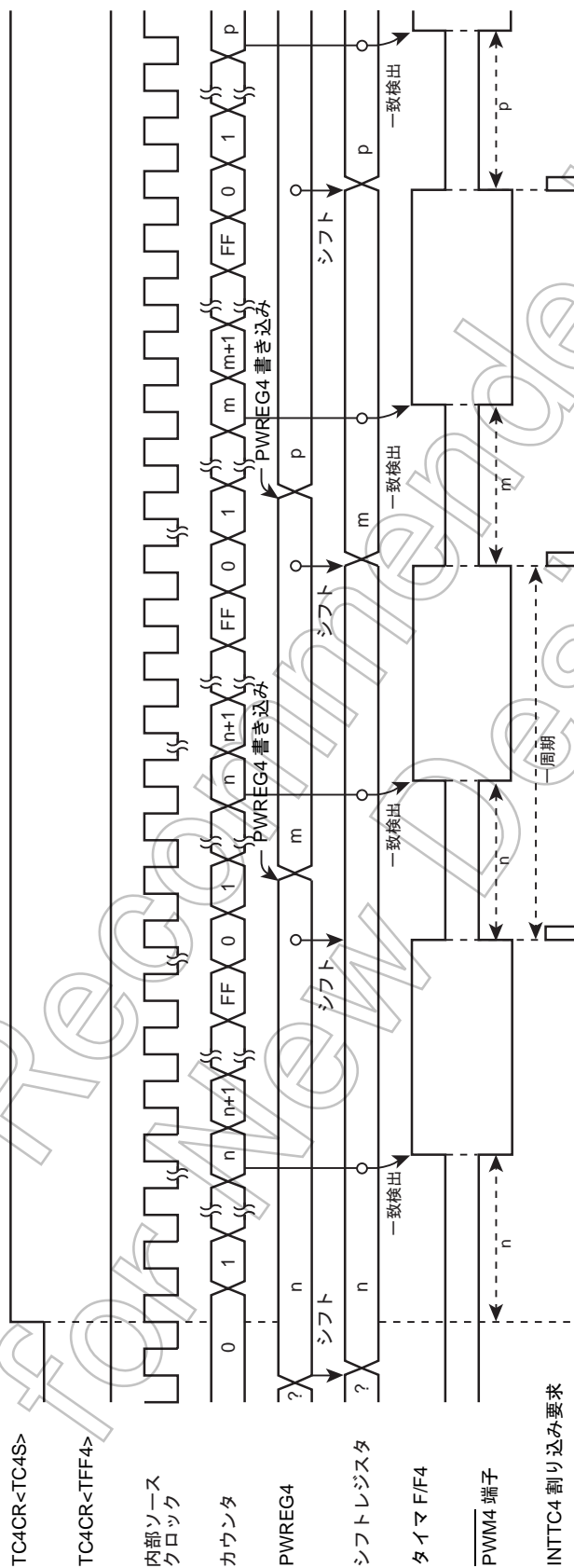


図 11-58 ビット PWM 出力モードタイミングチャート (TC4 の場合)

11.3.5 16 ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFfj>を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj/PWMj/PPGj}}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 11-6 16 ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	524.3 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	131.1 ms	-
fc/2 ³	fc/2 ³	-	500 ns	-	32.8 ms	-

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW    (TTREG3), 927CH    ;タイマレジスタの設定 (300 ms+27/fc = 927CH)
DI
SET    (EIRH), 7        ; INTTC4 割り込みを許可
EI
LD     (TC3CR), 13H     ;動作クロックを fc/27、16 ビットタイマモード
                        ; (下位側) に設定
LD     (TC4CR), 04H     ; 16 ビットタイマモード (上位側) に設定
LD     (TC4CR), 0CH     ;タイマスタート
```

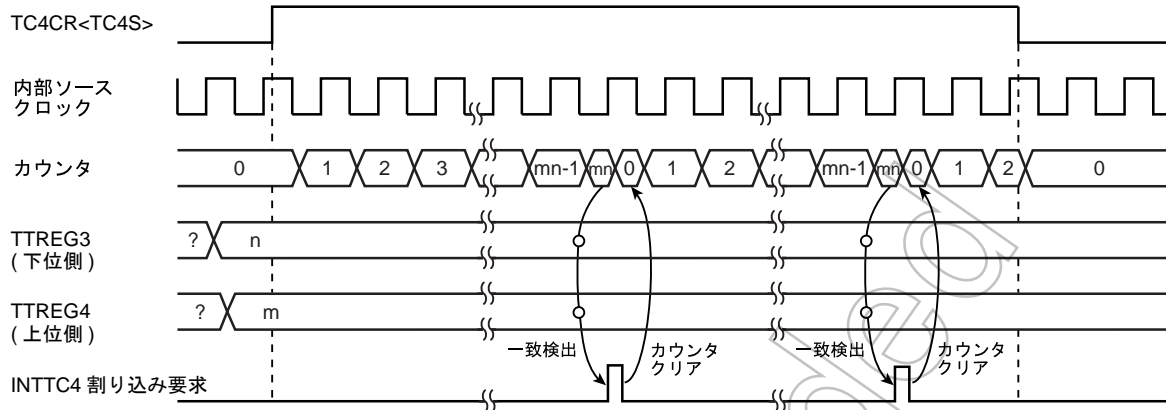


図 11-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

11.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1/2 または IDLE1/2 モード時で $f_c/2^4$ [Hz]、SLOW1/2 または SLEEP1/2 モード時で $f_s/2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、 $\overline{\text{PDOj/PWMj/PPGj}}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

11.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバーフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1/2 または IDLE1/2 モード時で $f_c/2^4$ [Hz]、SLOW1/2 または SLEEP1/2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は“0”にクリアされます。

($\overline{\text{PWM4}}$ 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4,3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4,3 の設定値を変更することが可能です。タイマ動作中、PWREG4,3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4,3 にデータを設定した直後にシフトされます。PWREG4,3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4,3 に対してリード命令を実行すると PWREG4,3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4,3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4,3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4,3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4,3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4>の操作を行ってください (タイマ停止と同時に TC4CR<TFF4>の設定を変更しないでください)。
例: タイマカウンタ停止時に $\overline{\text{PWM4}}$ 端子を “H” レベルに固定する。
CLR (TC4CR),3 ; タイマ停止
CLR (TC4CR),7 ; $\overline{\text{PWM4}}$ 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に $\overline{\text{PWM4}}$ 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 11-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		DV7CK = 1	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	524.3 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	131.1 ms	-
fc/2 ³	fc/2 ³	-	500 ns	-	32.8 ms	-
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	-	125 ns	-	8.2 ms	-
fc	fc	-	62.5 ns	-	4.1 ms	-

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する
(fc = 16.0 MHz 時)

```

ポートを設定する
LDW (PWREG3), 07D0H ;パルス幅の設定
LD (TC3CR), 33H ;動作クロックを fc/23、16 ビット PWM モード (下位側)に設定
LD (TC4CR), 056H ; TFF4 初期値 “0”、16 ビット PWM モード (上位側) に設定
LD (TC4CR), 05EH ;タイマスタート
    
```

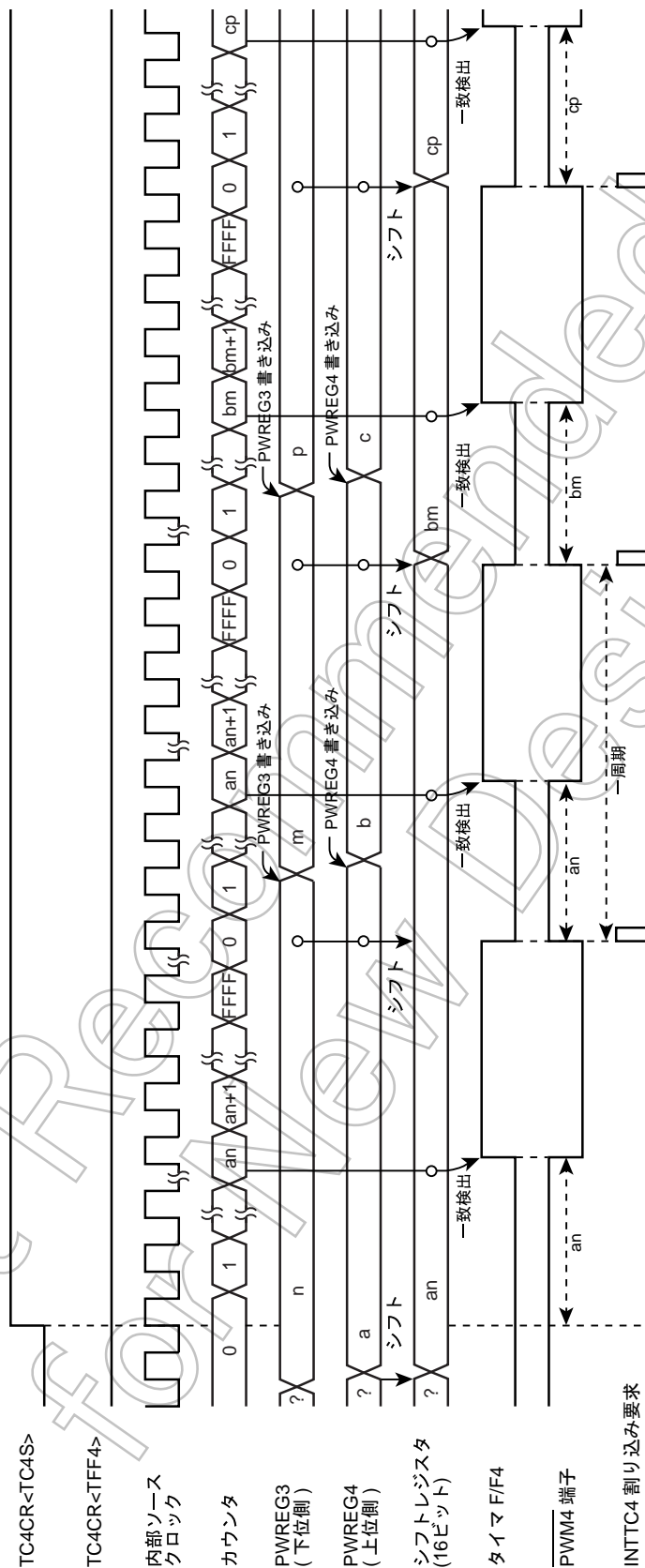



図 11-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

11.3.8 16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1/2 または IDLE1/2 モード時で $fc/2^4$ [Hz]、SLOW1/2 または SLEEP1/2 モード時で $fs/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は、“0” にクリアされます。

(PPG4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3→TTREG4、PWREG3→PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($fc = 16.0$ MHz 時)

	ポートを設定する	
LDW	(PWREG3), 07D0H	;パルス幅の設定
LDW	(TTREG3), 8002H	;周期の設定
LD	(TC3CR), 33H	;動作クロックを $fc/2^3$ 、16 ビット PPG モード (下位側) に設定
LD	(TC4CR), 057H	; TFF4 初期値 “0”、16 ビット PPG モード (上位側) に設定
LD	(TC4CR), 05FH	;タイマスタート

注 1) プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4>の操作を行ってください。タイマ停止と同時に TC4CR<TFF4>の設定を変更しないでください。

例: タイマカウンタ停止時に PPG4 端子を “H” レベルに固定する。

```
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PPG4 端子を “H” レベルに設定
```

注 3) $i = 3, 4$

11.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 3 と 4 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。

注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。

注 3) i = 3, 4

11.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 11-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ; SYSCR2<XTEN> ← “1”
LD       (TC3CR).43H    ; TFF3 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC4CR).05H    ; TFF4 = “0”, ウォーミングアップカウンタモードに設定
LDW     (TTREG3).8000H  ; ウォーミングアップ時間をセット
                          ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET     (EIRH).7        ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET     (TC4CR).3       ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3      ; TC4, 3 ストップ
SET     (SYSCR2).5       ; SYSCR2<SYSCK> ← “1”
                          ; (システムクロックを低周波に切り替え)
CLR     (SYSCR2).7       ; SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:
:
VINTTC4: DW       PINTTC4       ; INTTC4 ベクタテーブル

```

11.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN>を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ(TTREG4, 3)設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN>を“0”に設定し、低周波クロックを停止します。

表 11-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ , 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモードに設定
LDW     (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                               ; (発振器の特性で時間を決定します)

DI       ; IMF ← “0”
SET      (EIRH). 7      ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:       :
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
CLR      (SYSCR2).5      ; SYSCR2<SYSCK> ← “0”
                               ; (システムクロックを高周波に切り替え)
CLR      (SYSCR2).6      ; SYSCR2<XTEN> ← “0”
                               ; (低周波クロック停止)

RETI
:       :
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル

```

Not Recommended
for New Design

第 12 章 非同期型シリアルインターフェース(UART1)

12.1 構成

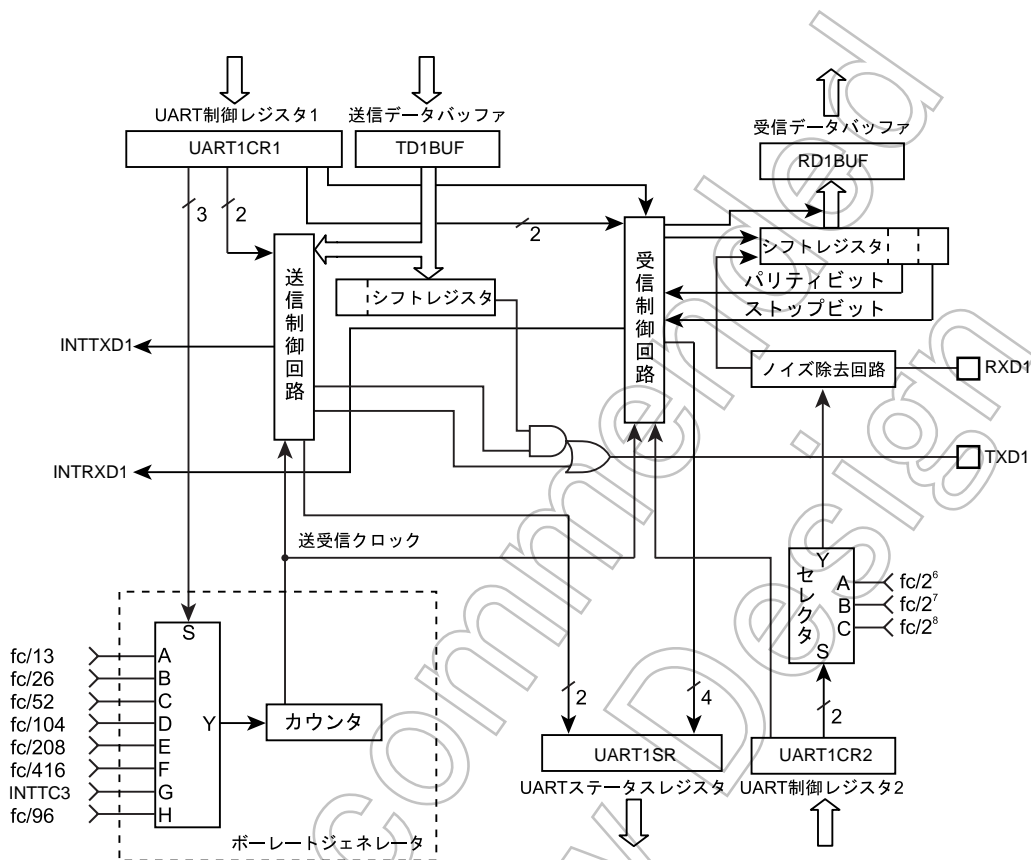


図 12-1 UART1 (非同期型シリアルインターフェース)

12.2 制御

UART1 は、UART1 制御レジスタ 1, 2 (UART1CR1, UART1CR2) で制御されます。また UART1 ステータスレジスタ (UART1SR) により動作状態のモニタができます。

UART1 制御レジスタ 1

UART1CR1 (0025H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを"0"に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0"かつ TXE = "0"のときに行ってください。

UART1 制御レジスタ 2

UART1CR2 (0026H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s]未満のパルスはノイズとして除去 10: 63/fc[s]未満のパルスはノイズとして除去 11: 127/fc[s]未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注) 転送クロック選択(BRG)により、RXDNC 設定には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。なお、INTTC3 を使用する場合、転送クロックは TC3 ソースクロック[Hz]+TTREG3 設定値で計算されます。

BRG 設定	転送クロック[Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s]未満の パルス除去)	10 (63/fc[s]未満の パルス除去)	11 (127/fc[s]未満の パルス除去)
000	fc/13	○	○	○	-
110 (INTTC3 の転送クロック が右記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

UART1 ステータスレジスタ

UART1SR (0025H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル(送信データ書き込み済み) 1: 送信バッファエンプティ	

注) TBEP は、送信割り込み発生後、自動的に"1"にセットされます

UART1 受信データバッファ

RD1BUF (0027H)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART1 送信データバッファ

TD1BUF	7	6	5	4	3	2	1	0	Write only
(0027H)									(初期値: 0000 0000)

Not Recommended
for New Design

12.3 転送データフォーマット

UART1 で転送されるデータには、スタートビット 1 ビット(“L” レベル)とストップビット(“H” レベル、UART1CR1<STBT>でビット長の選択可)、パリティ UART1CR1<PE>でパリティ有無の選択可、UART1CR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長									
		1	2	3	8	9	10	11	12		
0	0										
0	1										
1	0										
1	1										

図 12-2 転送データフォーマット

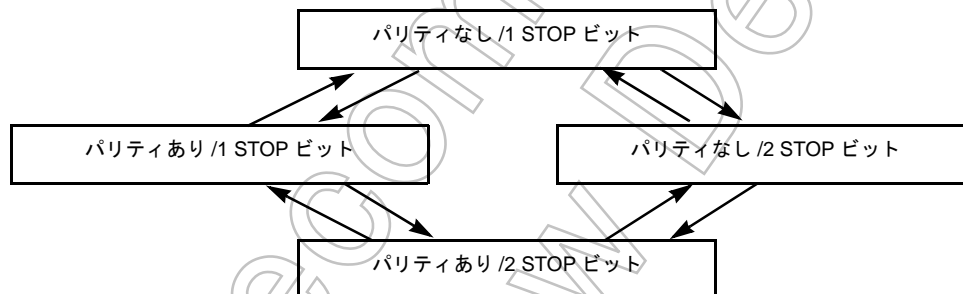


図 12-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 12-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

12.4 転送レート

UART1 の転送レート(ボーレート)は UART1CR1<BRG>により設定されます。以下に転送レートの例を示します。

表 12-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART1 の転送レートとして TC3 使用を選択したとき (つまり UART1CR1<BRG>="110" に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC3 ソースクロック [Hz]} \div \text{TTREG3 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

12.5 データのサンプリング方法

UART1 のレシーバは、RXD1 端子入力にスタートビットが見つかるまで UART1CR1<BRG>で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD1 端子の“L”レベルを検出し始まります。スタートビットが見つかりとスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レジバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決 (3 回のサンプリングのうち 2 回または 3 回) により決定してビットのデータとします。

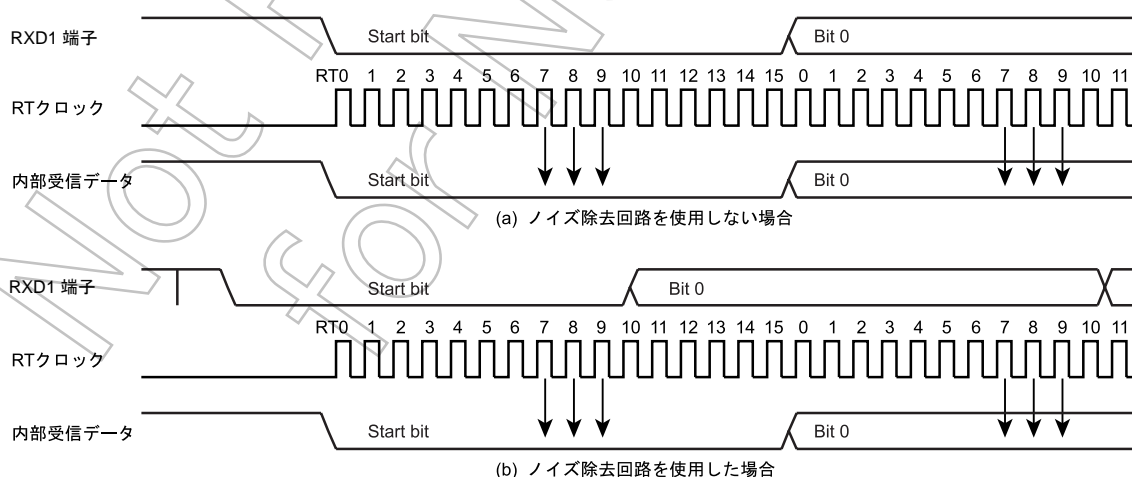


図 12-4 データのサンプリング方法

12.6 STOP ビット長

UART1CR1<STBT>で送信ストップビット長 (1 ビット/2 ビット) の選択ができます。

12.7 パリティ

UART1CR1<PE>でパリティ付加の有無を、UART1CR1<EVEN>でパリティの種類 (奇数/偶数) を設定します。

12.8 送受信動作

12.8.1 データ送信動作

UART1CR1<TXE>を“1”にセットします。UART1SRを読み出しTBEP=“1”を確認後、TD1BUF (送信データバッファ) にデータを書き込みます。書き込みを行うとUART1SR<TBEP>は“0”にクリアされデータが送信シフトレジスタに転送された後、TXD1 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART1CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートはUART1CR1<BRG>で選択します。データの送信が始まると送信バッファエンプティフラグUART1SR<TBEP>は“1”にセットされ、INTTXD1 割り込みが発生します。

UART1CR1<TXE>が“0”の間およびUART1CR1<TXE>に“1”を書き込んでからTD1BUFに送信データが書き込まれるまでの間、TXD1 端子は“H”レベルに固定されます。

送信を行う場合、UART1SRを読み出してからTD1BUFにデータを書き込んでください。読み出さないと、UART1SR<TBEP>が“0”にクリアされず送信が開始されません。

12.8.2 データ受信動作

UART1CR1<RXE>を“1”にセットします。その後、RXD1 端子からデータを受信すると、RD1BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出されRD1BUF (受信データバッファ) に転送された後、受信バッファフルフラグUART1SR<RBFL>がセットされ、INTRXD1 割り込みが発生します。データ転送ボーレートはUART1CR1<BRG>で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD1BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD1BUF 内のデータは影響を受けません。

注) UART1CR1<RXE>ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

12.9 ステータスフラグ

12.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART1SR<PERR>が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<PERR>は“0”にクリアされます。

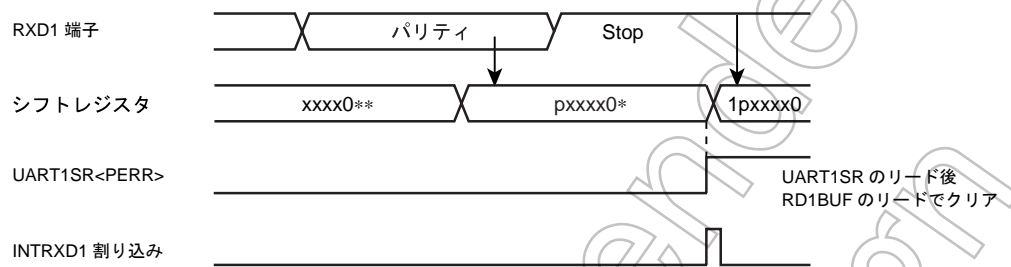


図 12-5 パリティエラーの発生

12.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART1SR<FERR>が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<FERR>は“0”にクリアされます。

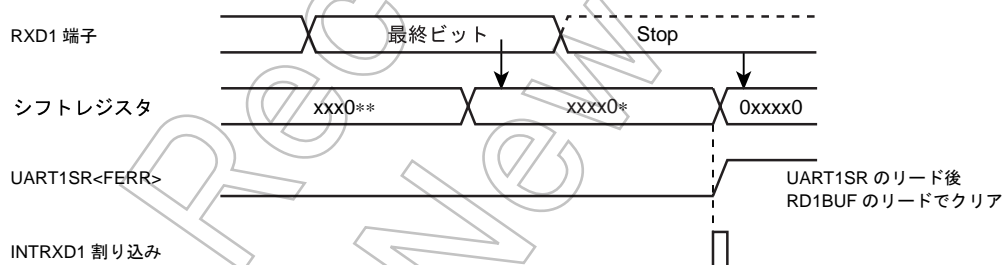


図 12-6 フレーミングエラーの発生

12.9.3 オーバランエラー

RD1BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART1SR<OERR>が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<OERR>は“0”にクリアされます。

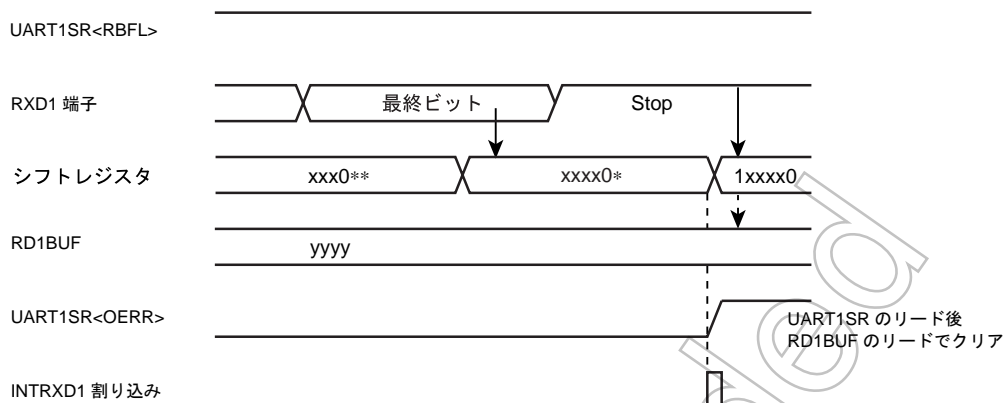


図 12-7 オーバランエラーの発生

注) オーバランエラーフラグ UART1SR<OERR>がクリアされるまで、受信動作は停止します。

12.9.4 受信バッファフル

受信データを RD1BUF に取り込むと UART1SR<RBFL>が“1”にセットされます。UART1SR を読み出した後、RD1BUF からデータを読み出すと UART1SR<RBFL>は“0”にクリアされます。

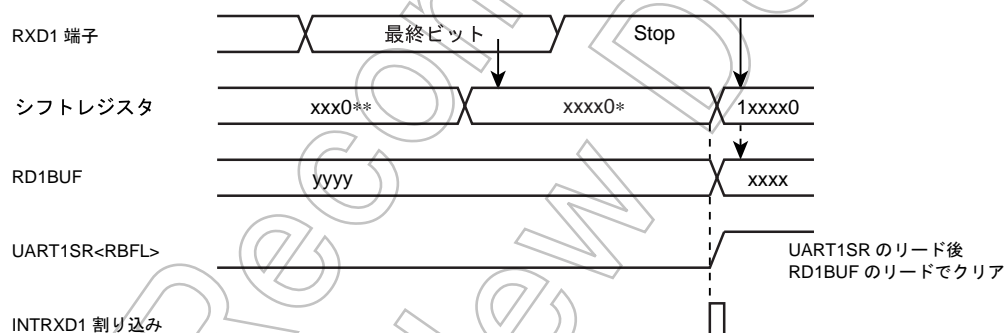


図 12-8 受信バッファフルの発生

注) 上記、UART1SR の読み出しから RD1BUF を読み出す間にオーバランエラーフラグ UART1SR<OERR>がセットされた場合、RD1BUF 読み出しだけではエラーフラグがクリアされません。再度 UART1SR を読み込み、エラーの確認を行ってください。

12.9.5 送信バッファエンプティ

TD1BUF にデータが存在しないとき、つまり TD1BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART1SR<TBEP>が“1”にセットされます。UART1SR を読み出した後、TD1BUF にデータを書き込むと UART1SR<TBEP>は“0”にクリアされます。

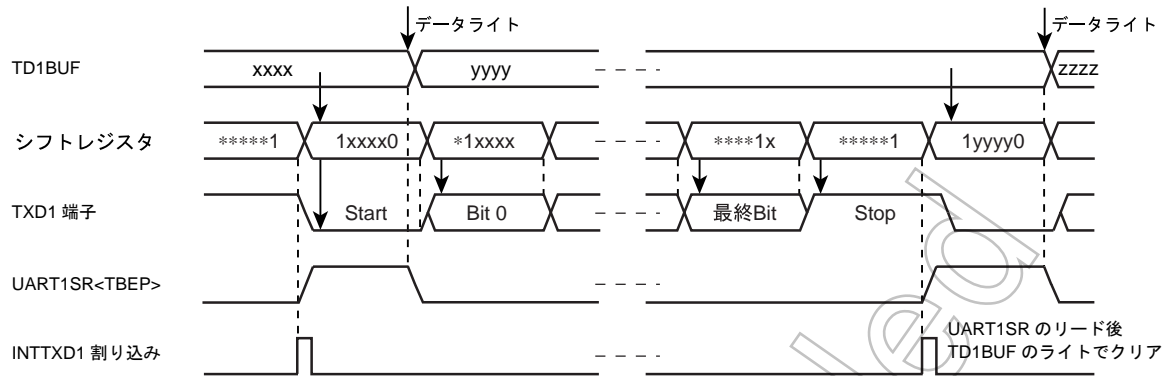


図 12-9 送信バッファエンプティの発生

12.9.6 送信終了フラグ

送信が終了し、TD1BUF 内に待機中のデータがないとき (UART1SR<TBEP>="1" のとき) UART1SR<TEND>が "1" にセットされます。TD1BUF にデータを書き込んだ後、送信が開始されると UART1SR<TEND>は "0" にクリアされます。

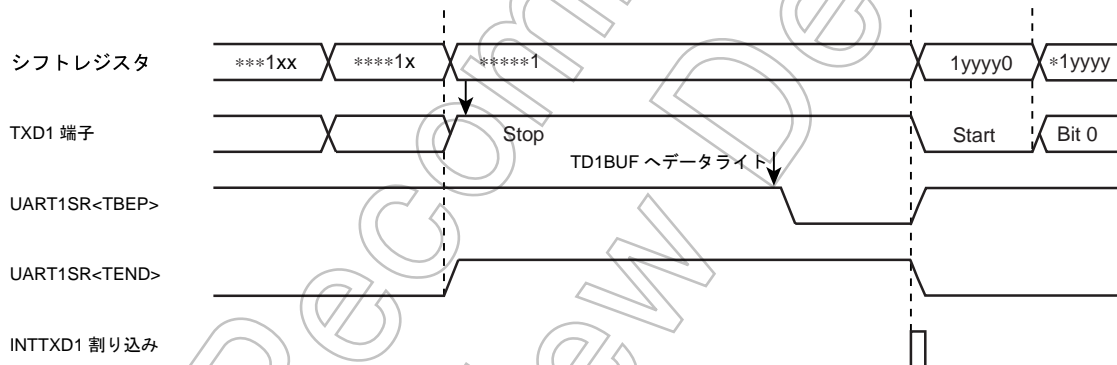


図 12-10 送信終了フラグと送信バッファエンプティの発生

第 13 章 非同期型シリアルインターフェース(UART2)

13.1 構成

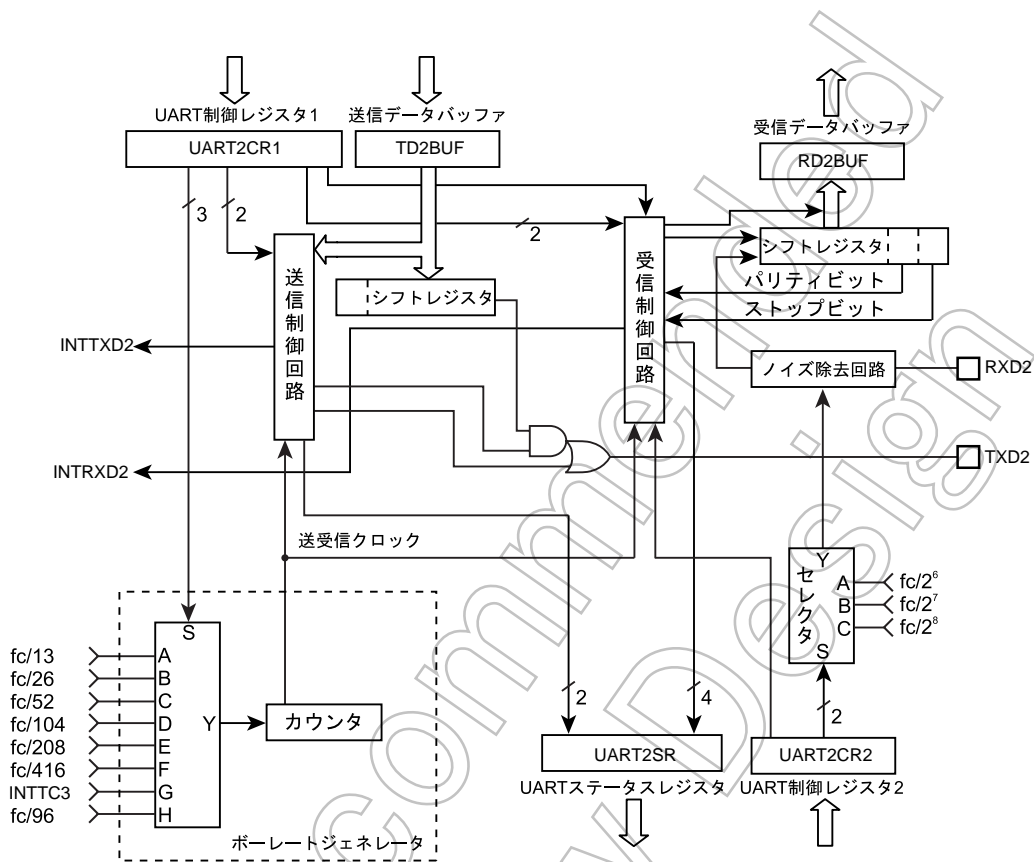


図 13-1 UART2 (非同期型シリアルインターフェース)

13.2 制御

UART2 は、UART2 制御レジスタ 1, 2 (UART2CR1, UART2CR2) で制御されます。また UART2 ステータスレジスタ (UART2SR) により動作状態のモニタができます。

UART2 制御レジスタ 1

UART2CR1 (0022H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを"0"に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0"かつ TXE = "0"のときに行ってください。

UART2 制御レジスタ 2

UART2CR2 (0023H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s]未満のパルスはノイズとして除去 10: 63/fc[s]未満のパルスはノイズとして除去 11: 127/fc[s]未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注) 転送クロック選択(BRG)により、RXDNC 設定には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。なお、INTTC3 を使用する場合、転送クロックは TC3 ソースクロック[Hz]+TTREG3 設定値で計算されます。

BRG 設定	転送クロック[Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s]未満の パルス除去)	10 (63/fc[s]未満の パルス除去)	11 (127/fc[s]未満の パルス除去)
000	fc/13	○	○	○	-
110 (INTTC3 の転送クロック が右記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

UART2 ステータスレジスタ

UART2SR (0022H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル(送信データ書き込み済み) 1: 送信バッファエンプティ	

注) TBEP は、送信割り込み発生後、自動的に"1"にセットされます

UART2 受信データバッファ

RD2BUF (0024H)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART2 送信データバッファ

TD2BUF	7	6	5	4	3	2	1	0	Write only
(0024H)									(初期値: 0000 0000)

Not Recommended
for New Design

13.3 転送データフォーマット

UART2 で転送されるデータには、スタートビット 1 ビット(“L” レベル)とストップビット(“H” レベル、UART2CR1<STBT>でビット長の選択可)、パリティ UART2CR1<PE>でパリティ有無の選択可、UART2CR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長									
		1	2	3	8	9	10	11	12		
0	0										
0	1										
1	0										
1	1										

図 13-2 転送データフォーマット

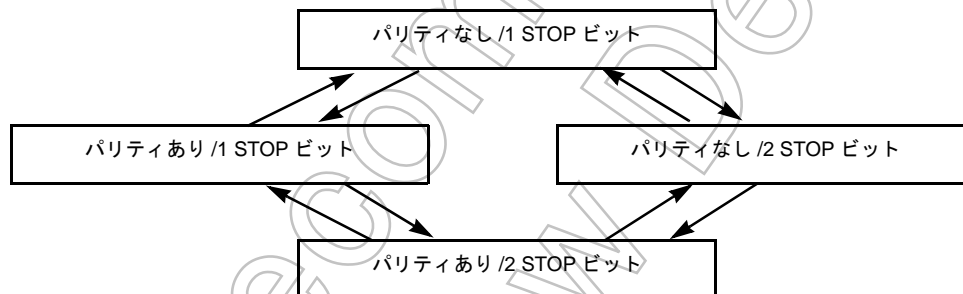


図 13-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 13-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

13.4 転送レート

UART2 の転送レート(ボーレート)は UART2CR1<BRG>により設定されます。以下に転送レートの例を示します。

表 13-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART2 の転送レートとして TC3 使用を選択したとき (つまり UART2CR1<BRG>="110" に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC3 ソースクロック [Hz]} \div \text{TTREG3 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

13.5 データのサンプリング方法

UART2 のレシーバは、RXD2 端子入力にスタートビットが見つかるまで UART2CR1<BRG>で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD2 端子の "L" レベルを検出し始まります。スタートビットが見つかりとスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レジバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決 (3 回のサンプリングのうち 2 回または 3 回) により決定してビットのデータとします。

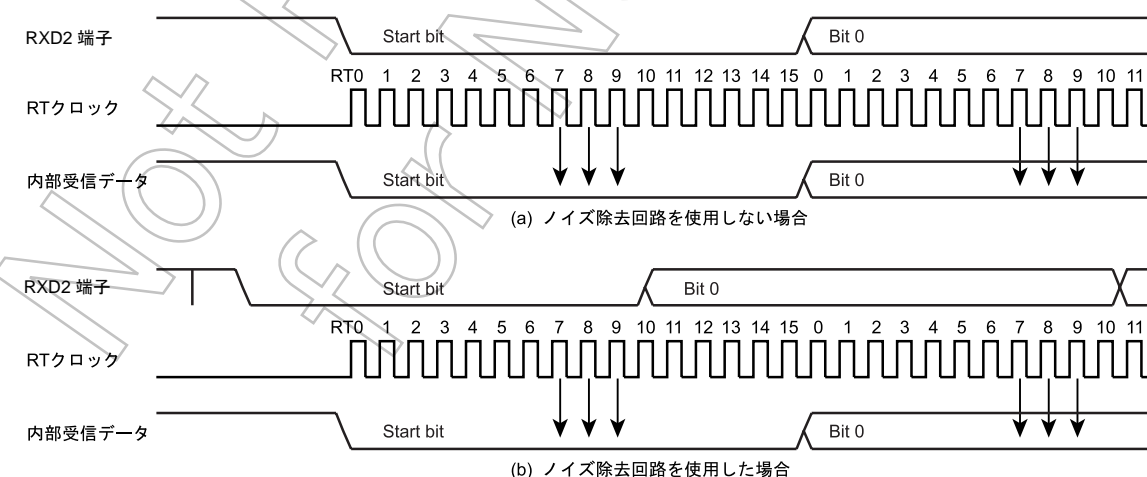


図 13-4 データのサンプリング方法

13.6 STOP ビット長

UART2CR1<STBT>で送信ストップビット長 (1 ビット/2 ビット) の選択ができます。

13.7 パリティ

UART2CR1<PE>でパリティ付加の有無を、UART2CR1<EVEN>でパリティの種類 (奇数/偶数) を設定します。

13.8 送受信動作

13.8.1 データ送信動作

UART2CR1<TXE>を“1”にセットします。UART2SRを読み出しTBEP=“1”を確認後、TD2BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART2SR<TBEP>は“0”にクリアされデータが送信シフトレジスタに転送された後、TXD2 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UART2CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART2CR1<BRG>で選択します。データの送信が始まると送信バッファエンプティフラグ UART2SR<TBEP>は“1”にセットされ、INTTXD2 割り込みが発生します。

UART2CR1<TXE>が“0”の間および UART2CR1<TXE>に“1”を書き込んでから TD2BUF に送信データが書き込まれるまでの間、TXD2 端子は“H”レベルに固定されます。

送信を行う場合、UART2SRを読み出してから TD2BUF にデータを書き込んでください。読み出さないと、UART2SR<TBEP>が“0”にクリアされず送信が開始されません。

13.8.2 データ受信動作

UART2CR1<RXE>を“1”にセットします。その後、RXD2 端子からデータを受信すると、RD2BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD2BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART2SR<RBFL>がセットされ、INTRXD2 割り込みが発生します。データ転送ボーレートは UART2CR1<BRG>で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD2BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD2BUF 内のデータは影響を受けません。

注) UART2CR1<RXE>ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

13.9 ステータスフラグ

13.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART2SR<PERR>が“1”にセットされます。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<PERR>は“0”にクリアされます。

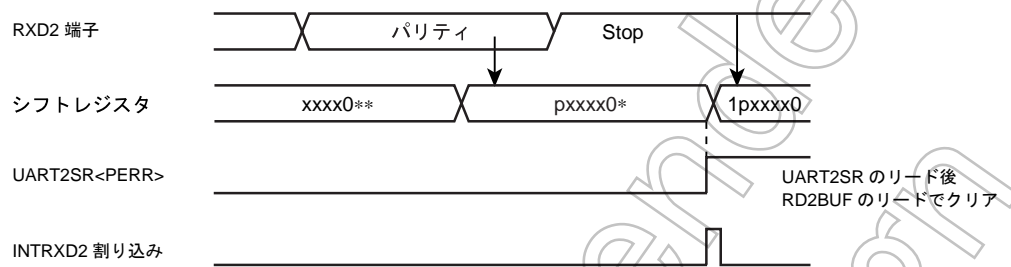


図 13-5 パリティエラーの発生

13.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART2SR<FERR>が“1”にセットされます。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<FERR>は“0”にクリアされます。

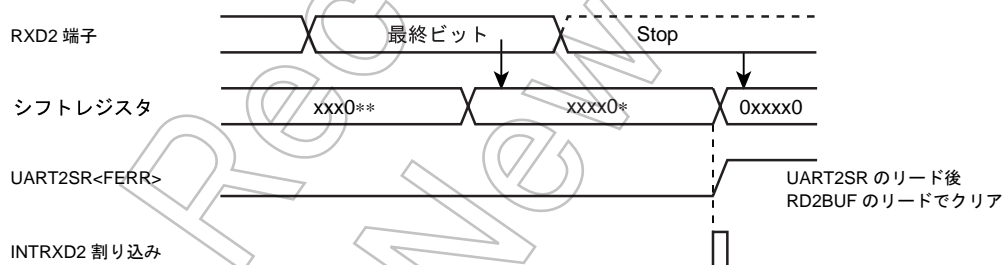


図 13-6 フレーミングエラーの発生

13.9.3 オーバランエラー

RD2BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART2SR<OERR>が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<OERR>は“0”にクリアされます。

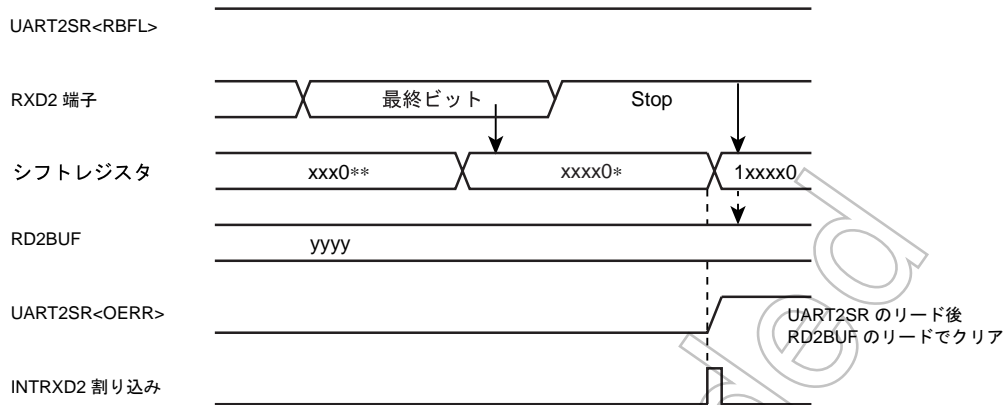


図 13-7 オーバランエラーの発生

注) オーバランエラーフラグ UART2SR<OERR>がクリアされるまで、受信動作は停止します。

13.9.4 受信バッファフル

受信データを RD2BUF に取り込むと UART2SR<RBFL>が“1”にセットされます。UART2SR を読み出した後、RD2BUF からデータを読み出すと UART2SR<RBFL>は“0”にクリアされます。

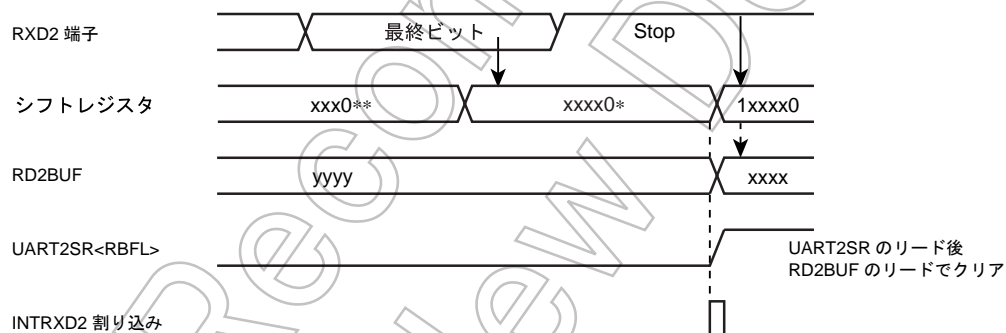


図 13-8 受信バッファフルの発生

注) 上記、UART2SR の読み出しから RD2BUF を読み出す間にオーバランエラーフラグ UART2SR<OERR>がセットされた場合、RD2BUF 読み出しだけではエラーフラグがクリアされません。再度 UART2SR を読み込み、エラーの確認を行ってください。

13.9.5 送信バッファエンプティ

TD2BUF にデータが存在しないとき、つまり TD2BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART2SR<TBEP>が“1”にセットされます。UART2SR を読み出した後、TD2BUF にデータを書き込むと UART2SR<TBEP>は“0”にクリアされます。

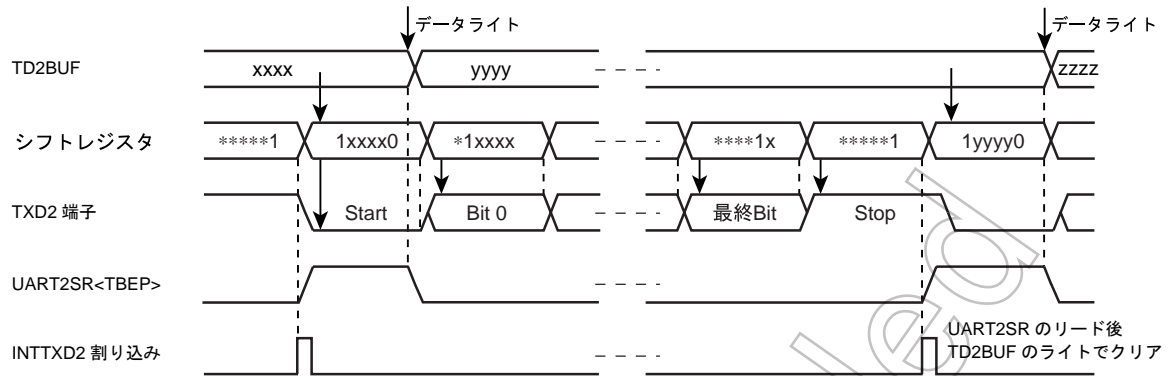


図 13-9 送信バッファエンプティの発生

13.9.6 送信終了フラグ

送信が終了し、TD2BUF 内に待機中のデータがないとき (UART2SR<TBEP>="1" のとき) UART2SR<TEND>が "1" にセットされます。TD2BUF にデータを書き込んだ後、送信が開始されると UART2SR<TEND>は "0" にクリアされます。

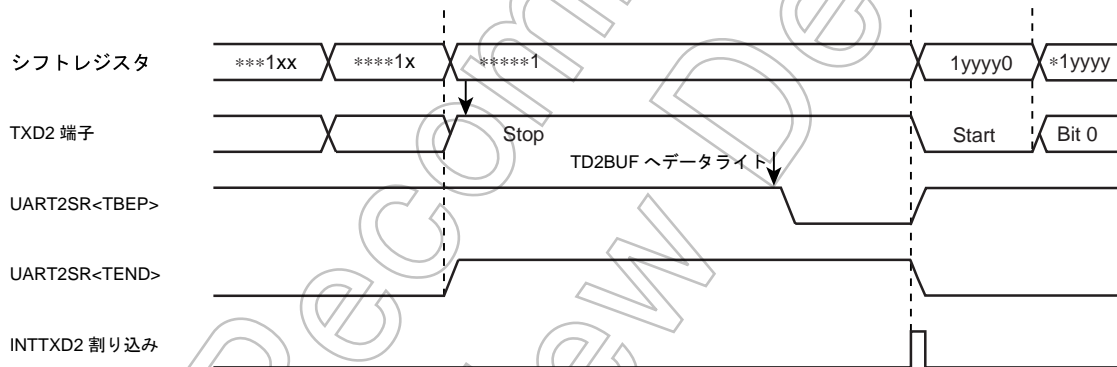


図 13-10 送信終了フラグと送信バッファエンプティの発生

第 14 章 シリアル拡張インタフェース (SEI)

TMP86FH93NG は全 2 重同期通信プロトコル方式である SEI (シリアル拡張インタフェース) を 1 チャンネル内蔵しています。

SEI は SCLK, MOSI, MISO, \overline{SS} 端子をとおして外部デバイスと接続されます。SCLK は P02, MOSI は P03, MISO は P04, \overline{SS} は P05 と兼用で SCLK, MOSI, MISO, \overline{SS} 端子として使用する場合、各端子の出カラッチを“1”にセットします。

14.1 特長

- ・ マスタはデータ転送中のみシフトクロックを出力
- ・ クロックの極性と位相がプログラマブル
- ・ データ長 8 ビット
- ・ MSB/LSB ファースト選択可能
- ・ SEI のプログラマブルなデータとクロックタイミングは、ほとんどの同期式シリアル周辺デバイスと接続可能: 「14.5 SEI 転送フォーマット」参照
- ・ 転送レートは次の 4 種類から設定可能: マスタのみ
4 Mbps/2 Mbps/1 Mbps/250 kbps (16 MHz 動作時)
- ・ エラー検出回路が以下の機能をサポート”
 1. ライト衝突検出: 転送中にシフトレジスタにライトしたとき
 2. オーバフロー検出: 転送終了フラグがセットされた状態で、新しいデータを受信したとき (スレーブのみ)
 3. モードフォルトエラー入力: マスタ時の \overline{SS} 端子への“1”入力により直ちにドライバ出力を OFF します。(但し、オープンドレイン出力モードの場合)

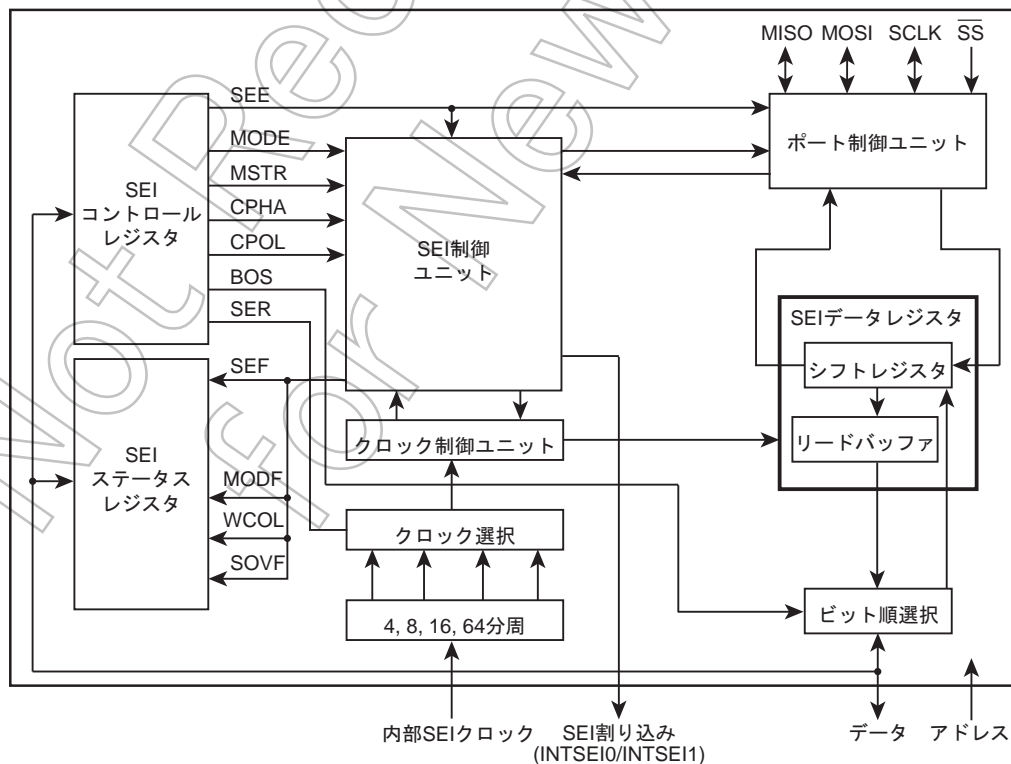


図 14-1 SEI (シリアル拡張インタフェース)

14.2 SEI レジスタ

SEI 設定のために、SEI コントロールレジスタ SECR、SEI ステータスレジスタ SESR、SEI データレジスタ SEDR を使います。

14.2.1 SEI コントロールレジスタ (SECR)

SECR	7	6	5	4	3	2	1	0	
(002AH)	MODE	SEE	BOS	MSTR	CPOL	CPHA	SER		(初期値: 0000 0100)

リードモディファイライトはできません

ビット	フィールド名	説明	アクセス
MODE	モードフォルト検出 (注 1)	0: モードフォルト検出を許可 1: モードフォルト検出を禁止 マスタモード時のみ有効でスレーブモード時は無効です。	R/W
SEE	SEI 動作 (注 2)	0: SEI 動作を禁止 1: SEI 動作を許可	
BOS	ビット順選択	0: SEDR レジスタの MSB (ビット 7) が最初に送信されます 1: SEDR レジスタの LSB (ビット 0) が最初に送信されます	
MSTR	モード選択 (注 3)	0: SEI をスレーブに設定 1: SEI をマスタに設定	
CPOL	クロック極性	0: アクティブ "H" レベルのクロックを選択。 SCLK はアイドル時 "L" レベルです 1: アクティブ "L" レベルのクロックを選択。 SCLK はアイドル時 "H" レベルです	
CPHA	クロック位相	クロック位相選択。詳しくは 14.5 「SEI 転送フォーマット」をご参照ください	
SER	SEI 転送レート選択	00: 4 分周 01: 8 分周 10: 16 分周 11: 64 分周	

注 1) モードフォルト検出を許可した場合、MODF フラグ (SESR<MODF>) がセットされると割り込みパルスが発生します。

注 2) SEI 動作を禁止する場合は、転送が終了してから行ってください。

SEI を使用する場合、兼用となる汎用ポートのコントロールレジスタ (例: P0 ポートでは P0OUTCR と P0DR) をあらかじめ SEI 機能に設定する必要があります。

なお、SEI をマスタとして使用する場合は、SECR<SEE>ビットを "1" (SEI 動作許可) にしたあとで SEDR に送信データをセットすることにより送/受信が開始されます。

注 3) マスタ/スレーブの設定は、SEI 動作を許可する前に行ってください (SECR<MSTR>ビットの設定をしたあとで SECR<SEE>ビットを "1" に設定する必要があります)。

14.2.1.1 転送レート

$$(1) \text{ マスタモード (転送レート} = \frac{f_c}{\text{内部クロック分周比}} \text{ (bps))}$$

下の表は、SEI がマスタとして動作中の SER ビットと転送ビットノートの関係を例を挙げて示したものです。

表 14-1 SEI 転送レート

SER	SEI 内部クロック分周比	fc = 16 MHz 時のレート
00	4	4 Mbps
01	8	2 Mbps
10	16	1 Mbps
11	64	250 kbps

(2) スレーブモード

SEI がスレーブとして動作しているときは、シリアルクロックはマスタから入力され SER ビットの設定は無効です。

最大転送レートは $fc/4$ です。

注) マスタ側のシリアルクロック速度と fc の関係に注意してください。

$15.625 \text{ kbps} \leq \text{転送レート} \leq fc/4 \text{ bps}$ (計算式)

例) $15.625 \text{ kbps} \leq \text{転送レート} \leq 4 \text{ Mbps}$ ($fc = 16 \text{ MHz @ } V_{DD} = 4.0\sim 5.5 \text{ V}$)

$15.625 \text{ kbps} \leq \text{転送レート} \leq 2 \text{ Mbps}$ ($fc = 8 \text{ MHz @ } V_{DD} = 2.7\sim 5.5 \text{ V}$)

14.2.2 SEI ステータスレジスタ (SESR)

SESR (0028H)	7	6	5	4	3	2	1	0
	SEF	WCOL	SOVF	MODF				

(初期値: 0000 ****)

SEF	転送完了フラグ (注 1)	0: 転送中 1: 転送完了	Read only
WCOL	ライト衝突エラーフラグ (注 2)	0: ライト衝突エラーなし 1: ライト衝突エラー発生	
SOVF	オーバフローエラーフラグ (スレーブ) (注 3)	0: オーバフロー発生なし 1: オーバフロー発生	
MODF	モードフォルトエラーフラグ (マスタ) (注 4)	0: モードフォルト発生なし 1: モードフォルト発生	

注 1) SESR<SEF>フラグは転送が完了すると自動的にセットされます。セットされた SESR<SEF>フラグは SESR レジスタをリードし、SEDR レジスタをアクセスすると自動的にクリアされます。

注 2) SESR<WCOL>フラグは、転送実行中に SEDR レジスタにライトすると、自動的にセットされます。

転送中のライトは無効になります。セットされた SESR<WCOL>フラグは SESR レジスタをリードし、SEDR レジスタをアクセスすると自動的にクリアされます。

なお、SESR<WCOL>フラグのセットでは割り込みは発生しません。

注 3) マスタモード:

このビットは機能しませんが、リードした場合のデータは "0" です。

スレーブモード:

SESR<SEF>フラグがセットされているときに次のデータを受信完了すると、自動的に SESR<SOVF>フラグがセットされます。セットされている SESR<SOVF>フラグは、SESR レジスタをリードし SEDR レジスタをアクセスすると、自動的にクリアされます。また、SESR<SOVF>フラグは、マスタモードに切り替えることによってもクリアされます。

なお、SESR<SOVF>フラグのセットによる割り込みは発生しません。

注 4) マスタモード

SS 端子が "L" レベルになると SESR<MODF>フラグがセットされます。このとき SEI は次のようになります。

1. SEI 端子ドライバがディセーブルされ、SCLK 端子および MOSI 端子はハイインピーダンスの入力状態になります。

2. SECR<MSTR>をクリアします。

3. SECR<SEE>を強制的にクリアし SEI システムをディセーブルします。

4. SESR<MODF>フラグがセットされているときに SESR レジスタをリードし、SECR レジスタにライトすると SESR < MODF>フラグが自動的にクリアされます。

スレーブモード:このビットは機能しませんが、リードした場合のデータは "0" です。

14.2.3 SEI データレジスタ (SEDR)

SEI データレジスタ (SEDR) は、データ送信/受信に使用します。SEI がマスタに設定されているときデータ転送はこの SEDR レジスタへのライトにより開始されます。いったん転送を開始した後、マスタデバイスが SEDR レジスタにライトする場合は、必ず割り込みまたはポーリングで SEF (SESR<SEF>) がセットされたことを確認してからライトしてください。

SEDR (0029H)	7	6	5	4	3	2	1	0	R/W
	SED7	SED6	SED5	SED4	SED3	SED2	SED1	SED0	(初期値: 0000 0000)

14.3 SEI 動作

SEI 転送中は、データの送信 (シリアルシフトアウト)/受信 (シリアルシフトイン) が同時に行われます。SEI クロック (SCLK) は 2 本のシリアルデータライン (MOSI/MISO) 上の情報をシフトしたりサンプリングするための同期を取ります。スレーブセレクトライン (SS) は、スレーブデバイスを個別に選択します。選択されないスレーブデバイスは、SEI バスを使用することができません。

14.3.1 SEI クロックの位相と極性の制御

SEI クロックは、CPHA と CPOL の 2 ビット (SECR<CPHA,CPOL>) を使って 4 通りの組み合わせの中から、ソフトウェアで位相と極性を選択することができます。

クロックの極性は CPOL で設定され、アクティブ“H”かアクティブ“L”のクロックを選択します。

クロックの位相は CPHA で設定します。クロックの位相と極性は、マスタデバイスと通信するスレーブデバイスとで同じにしなければなりません。

表 14-2 クロックの位相と極性

CPHA	SEI コントロールレジスタ (SECR 002AH): ビット 2
CPOL	SEI コントロールレジスタ (SECR 002AH): ビット 3

14.3.2 SEI データとクロックのタイミング

SEI のプログラマブルなデータとクロックのタイミングおよびデータは、ほとんどの同期式シリアル周辺デバイスと接続可能です。後述の「14.5 SEI 転送フォーマット」を参照してください。

14.4 SEI 端子機能

SEI 転送に関連する 4 本の入出力端子があります。各端子の機能は、SEI デバイスのモード (マスタ/スレーブ) に依存します。

すべての SEI デバイスの SCLK 端子、MOSI 端子、MISO 端子が相互接続されます。

14.4.1 SCLK 端子

SCLK 端子は、SEI がマスタに設定されているときは出力に、スレーブに設定されているときは入力にします。

SEI がマスタに設定されているときは、SCLK 端子から外部にシリアルクロックを出力する状態となり、マスタが転送を開始すると、8 サイクルのクロックが自動的に SCLK 端子上に出力されます。

SEI がスレーブに設定されているとき、SCLK 端子は入力となります。

マスタとスレーブ間のデータ転送のときは、マスタから出力されるシリアルクロックによって同期を取ります。

スレーブデバイスはスレーブセレクト端子 \overline{SS} が H なら SCLK 信号を無視します。

マスタとスレーブの両デバイスとも、SCLK 信号の立ち上がりまたは立ち下がりエッジでシフトされその反対のエッジでサンプリングします。エッジの極性は、SEI 転送プロトコルによって決まります。

注) スレーブデバイスの SCLK 入力にノイズが入ると誤動作の原因になります。

14.4.2 MISO/MOSI 端子

MISO 端子および MOSI 端子は、シリアルデータの送信/受信で使します。

マスタまたはスレーブ時における各端子の状態は以下のとおりです。

表 14-3 MISO/MOSI 端子の状態

	MISO	MOSI
マスタ	入力	出力
スレーブ	出力	入力

また、SCLK 端子、MOSI 端子および MISO 端子は兼用となるポートの入出力制御レジスタ (例: P0 ポートでは P0OUTCR) でオープンドレインに設定することもできます。

14.4.3 \overline{SS} 端子

\overline{SS} 端子はマスタとスレーブでは異なった動作をします。

- スレーブデバイスではこの端子は SEI の送受信イネーブルに使われます。スレーブの \overline{SS} 端子が “H” レベルの時は、スレーブデバイスはマスタからのシリアルクロックを無視し、MISO 出力端子をハイインピーダンス状態にします。(但し、オープンドレイン出力モードの場合) また、MOSI 端子からのデータ受信もしません。スレーブの \overline{SS} 端子が “L” レベルのときはスレーブ動作をします。
- マスタデバイスでは、 \overline{SS} 端子を SEI エラー入力として使用します。これにより SEI がマスタの時 \overline{SS} 端子が “L” レベルになると、直ちに SCLK、MOSI 端子は出力を OFF します。(但しオープンドレイン出力モードの場合) これによりマスタデバイスの $\overline{SESR}<MODF>$ フラグがセットされます。これをモードフォルトエラーと呼びます。これは同一バス上の他のデバイスがマスタになるなど、ドライバの衝突によるダメージを回避するための機能です。SECR<MODE>でモードフォルトエラー入力の許可/禁止を設定します。

14.5 SEI 転送フォーマット

転送フォーマットは、CPHA と CPOL (SECR<CPHA,CPOL>) で設定します。CPHA により 2 つの異なる転送プロトコルを切り替えることができます。

14.5.1 CPHA = 0 のフォーマット

図 14-2 に CPHA = 0 の転送フォーマットを示します。

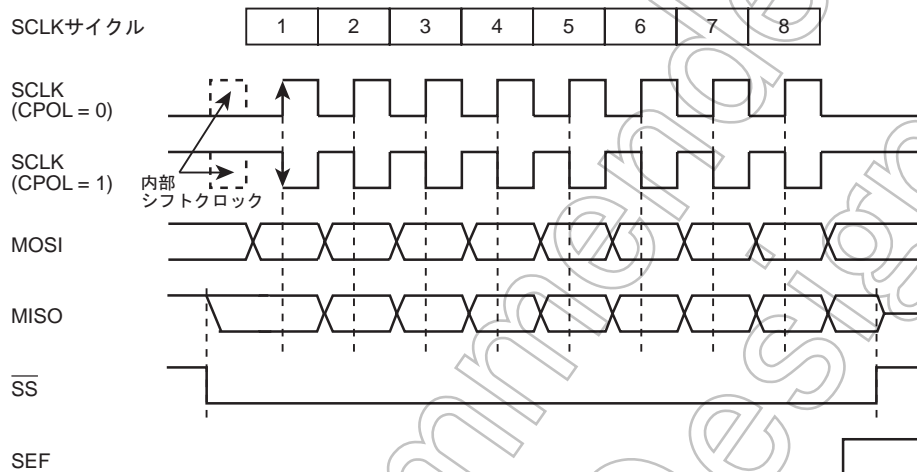


図 14-2 CPHA = 0 の転送フォーマット

表 14-4 CPHA = 0 のときの CPOL との関係

	非通信状態時 (アイドル時) の SCLK レベル	データシフト	データサンプリング
CPOL = 0	"L" レベル	転送クロックの立ち下がりエッジ	転送クロックの立ち上がりエッジ
CPOL = 1	"H" レベル	転送クロックの立ち上がりエッジ	転送クロックの立ち下がりエッジ

- ・ マスタモードでは、新しいデータを SEDR レジスタにライトすることにより転送が開始されます。

このとき、新しいデータはシフトクロックが動作を開始する半クロック前に MOSI 端子上で切り替わります。BOS (SECR<BOS>) にて、データが MSB からシフトアウトされるか、LSB からシフトアウトされるかを設定します。最後のシフトサイクルの後、SEF フラグ (SESR<SEF>) がセットされます。

- ・ スレーブモードでは、SS 端子が "L" レベルのとき SEDR レジスタへのライトは禁止です。この期間にライトするとライト衝突が発生し、WCOL フラグ (SESR<WCOL>) がセットされます。

従って、転送が終了し SEF フラグがセットされたとき、次のデータが SEDR (SEI データレジスタ) にライトされる前に SS 端子が再び "H" レベルになることを確認してから SEDR にデータをライトしてください。

注) スレーブモード時に、SEF がセットされ、かつ SS 端子が "L" レベルのときに次のデータを書き込まないでください。

14.5.2 CPHA = 1 のフォーマット

図 14-3 に CPHA = 1 の転送フォーマットを示します。

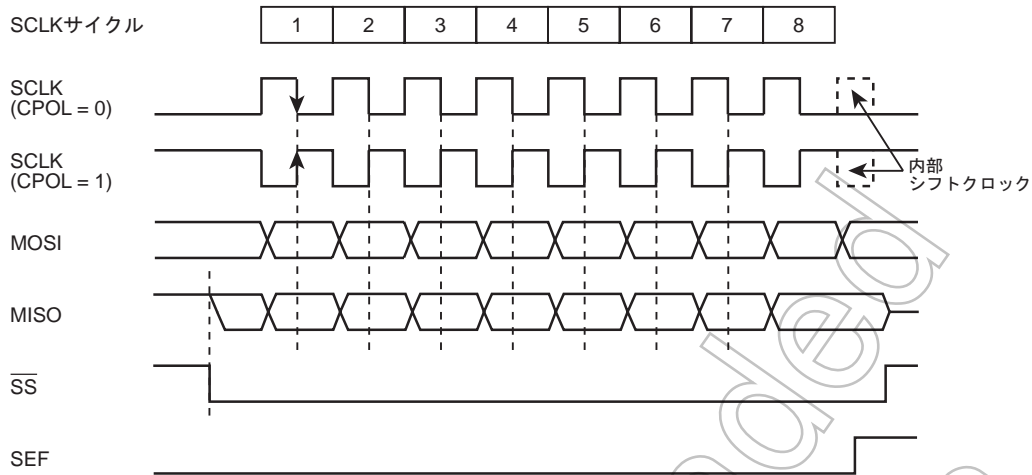


図 14-3 CPHA = 1 の転送フォーマット

表 14-5 CPHA = 1 のときの CPOL との関係

	非通信状態時 (アイドル時) の SCLK レベル	データシフト	データサンプリング
CPOL = 0	"L" レベル	転送クロックの立ち上がりエッジ	転送クロックの立ち下がりエッジ
CPOL = 1	"H" レベル	転送クロックの立ち下がりエッジ	転送クロックの立ち上がりエッジ

- マスタモードでは、新しいデータを SEDR レジスタにライトすることにより転送が開始されます。

新しいデータはシフトクロックの最初のエッジで MOSI 端子上で切り替わります。BOS (SECR<BOS>) にて、データが MSB からシフトアウトされるか、LSB からシフトアウトされるかを設定します。
- スレーブモードでは、CPHA = 0 のフォーマットと違い、SEDR (SEI データレジスタ) へのライトは SS 端子が "L" レベルまたは "H" レベルでも可能です。

マスタ/スレーブ両モードとも、最後のシフトサイクルの後、SEF フラグ (SESR<SEF>) がセットされます。

データ転送実行中に SEDR レジスタにライトすると、ライト衝突が発生します。

従って、SEF フラグがセットされた後、SEDR に新しいデータを書き込んでください。

14.6 機能説明

図 14-4 に SEI のマスタとスレーブの接続を示します。

マスタデバイスのデータをマスタデバイスの MOSI 端子からスレーブデバイスの MOSI 端子に送信するとスレーブデバイスの MISO 端子からマスタデバイスの MISO 端子にスレーブデバイスのデータが送り返されます。これは全 2 重通信でデータ出力とデータ入力と同じクロック信号で同期されることを意味しており転送後、8 ビットシフトレジスタの送信データは受信データに置き換えられます。

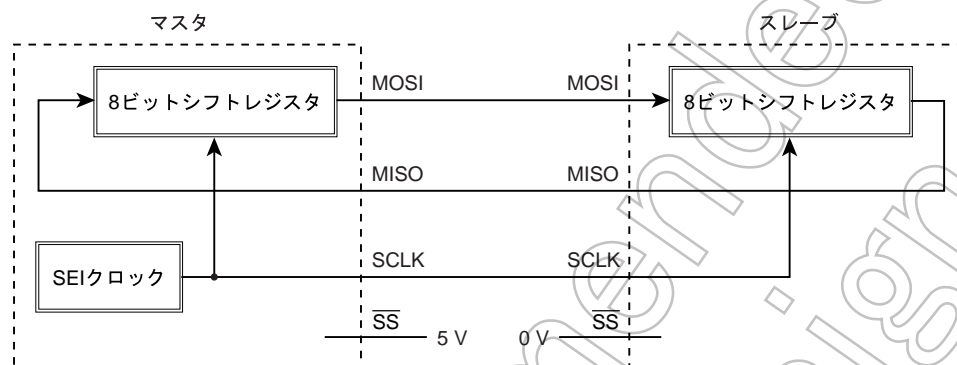


図 14-4 SEI におけるマスタとスレーブの接続

図 14-5 に SEI システム構成例を示します。

SEI 出力となる汎用ポートは、プログラマブルにオープンドレイン出力の設定が可能です。従って、複数デバイスと接続することができます。(オープンドレイン出力モードで使用されることを推奨します。)

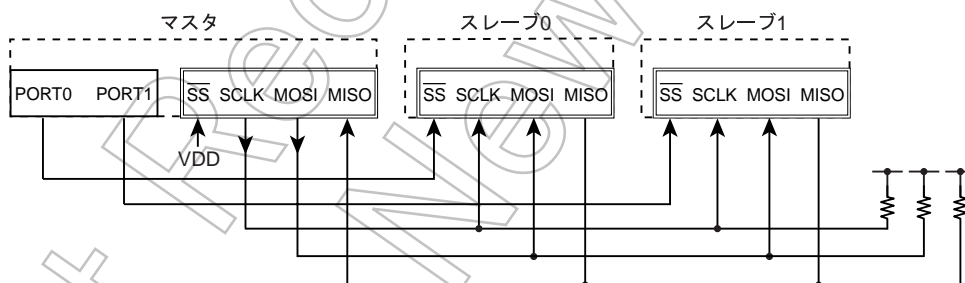


図 14-5 SEI システム構成例 (1 マスタ、2 スレーブ)

システム構成例では、すべての SCLK 端子が相互接続され、すべての MOSI 端子および MISO 端子が相互接続されています。1つの SEI デバイスがマスタとして設定され、ほかの SEI バス上すべての SEI デバイスはスレーブに設定されません。1つのマスタデバイスは、その SCLK 端子および MOSI 端子から、スレーブデバイスの SCLK 端子および MOSI 端子にデータを送ります。選択された 1つのスレーブデバイスは、その MISO 端子からマスタデバイスの MISO 端子にデータを送ります。

14.7 割り込み発生

TMP86FH93NG の SEI 割り込み処理は SEI 割り込みチャンネル 0 (INTSEI0) と SEI 割り込みチャンネル 1 (INTSEI1) を使います。INTSEI0 は SESR<MODF>フラグがセットされた時 (0 から 1 に変化)、INTSEI1 は SESR<SEF>フラグがセットされた時、それぞれの割り込みパルスが発生します。

表 14-6 SEI 割り込み

SEI 割り込みチャンネル 0 (INTSEI0)	MODF で割り込みパルス発生
SEI 割り込みチャンネル 1 (INTSEI1)	SEF で割り込みパルス発生

14.8 SEI システムエラー

SEI は 3 つのシステムエラーがあります。

- ・ モードフォルトエラー：マスタ設定のとき、 \overline{SS} 端子へ"L"レベルが入力されると発生します。
- ・ ライト衝突エラー：転送実行中に SEDR レジスタにデータをライトすると発生します。
- ・ オーバフローエラー：スレーブ設定のとき、前のデータをリードする前に新しいデータを受信完了した場合に発生します。

14.8.1 ライト衝突エラー

ライト衝突は、転送実行中に SEDR レジスタにライトすると発生します。SEDR レジスタは送信方向はダブルバッファ構成ではないため、転送前の SEDR レジスタへライトすると直接 SEI シフトレジスタにライトされます。従って、転送実行中に SEDR レジスタにライトした場合、ライト衝突エラーが発生します。

データの転送は中断されることがないため、ライト衝突エラーの原因となったライトデータはシフトレジスタにはライトされません。マスタが転送をいつ開始するかはスレーブではコントロールできないため、ライト衝突は通常スレーブ側のエラーとなります。

マスタはいつ転送を実行するかの権限を持っているため、マスタ側でライト衝突エラーを発生することはありませんが、SEI デバイスはマスタもスレーブもライト衝突エラーを検出する機能を持っています。

転送されたデータをスレーブが処理するより早くマスタがデータをシフトするとき、スレーブ側はライト衝突発生しやすくなります。これは、マスタがすでに次のバイトのシフトサイクルを開始した後、スレーブが新しい値を SEDR レジスタに転送したときに起こります。この場合、ライト衝突が発生します。

14.8.2 オーバフローエラー

SEI バス上の転送ビットレートはマスタによって決定されます。高速なビットレートでは、スレーブがマスタの転送に追従できなくなるという問題が生じやすくなります。これは、スレーブがデータを処理するよりも早くマスタからデータがシフトされることを意味します。SEI デバイスでは、SOVF フラグ (SESR<SOVF>) でデータがオーバフローしたことを検出します。

SOVF フラグは以下の場合にセットされます。

- ・ SEI モジュールがスレーブに設定されている場合。
- ・ 新しいデータバイトを受信完了したとき、古いデータバイトがまだリードされていない。

SOVF フラグがセットされたとき、SEDR レジスタは新しいデータバイトで上書きされます。

注) 通信の処理ルーチンと、通信速度を十分考慮してご使用ください。

14.8.3 モードフォルトエラー

SEI デバイスがマスタに設定されているとき、 \overline{SS} 端子入力が"L"レベルになるとモードフォルトエラーが発生します。モードフォルトエラーが発生すると直ちに以下の動作を行います。

- ・ SECR<MSTR>が"0"にクリアされ SEI スレーブに設定します。
- ・ SECR<SEE>が"0"にクリアされ SEI 動作を禁止します。
- ・ SESR<MODF>フラグが"1"にセットされ INTSEI0 割り込みパルスが発生します。
- ・ SCLK および MOSI 端子は"1"出力となります。

(オープンドレイン出力モードの場合は Hi-Z 状態, CMOS 出力モードの場合は"H"出力になります。)

SESR<MODF>フラグが"1"にセットされているときに SESR レジスタをリードし SECR レジスタにライトすると SESR<MODF>フラグが"0"にクリアされます。

SESR<MODF>フラグが"0"にクリアされるとモードの再設定が可能になります。

オープンドレイン出力モードで使用される場合、このモードフォルトエラー機能を使って同一バス上の複数のデバイスが同時にマスタに設定された場合の SCLK, MOSI 端子のドライバ間の競合 (衝突) を防ぐ事ができます。(同一バス上の複数のスレーブデバイスが同時に \overline{SS} 入力が"L"レベルになった場合の MISO 端子の競合 (衝突) は防ぐ事ができません。)

14.9 バスドライバの保護について

- ・ バスドライバの衝突によるラッチアップから保護する方法の1つにオープンドレインオプションの使用があります。これは SEI 端子の C-MOS 出力をオープンドレインタイプに切り替えるもので、SCLK 端子, MOSI 端子, MISO 端子を各端子機能に対応するポート入出力制御レジスタのビットでそれぞれ個々にオープンドレインに設定することができます。その場合、外付けにプルアップ抵抗を付けてください。

第 15 章 シリアルバスインタフェース (I²C バス) ver.-D (SBI)

TMP86FH93NG は、I²C バスとして機能するシリアルバスインタフェースを内蔵しています。シリアルバスインタフェースは、SDA と SCL を通して外部デバイスと接続されます。

シリアルバスインタフェース端子はポートと兼用で、シリアルバスインタフェース端子として使用する場合は、対応するポートの出力ラッチを“1”にセットします。シリアルバスインタフェース端子として使用しない場合は、ポートは通常の入出力ポートとして使用できます。

- 注 1) シリアルバスインタフェースは、NORMAL1/2 と IDLE1/2 モード時のみ使用できます。IDLE0、SLOW1/2、SLEEP0/1/2 モードでは使用できませんので、これらのモードに遷移するときには必ずシリアルバスインタフェースを停止してください。
- 注 2) TMP86FH93NG の I²C バスは標準モードでのみ使用できます。高速モード、ハイスピードモードでは使用できません。
- 注 3) ポート設定の詳細については、I/O ポートの章を参照ください。

15.1 構成

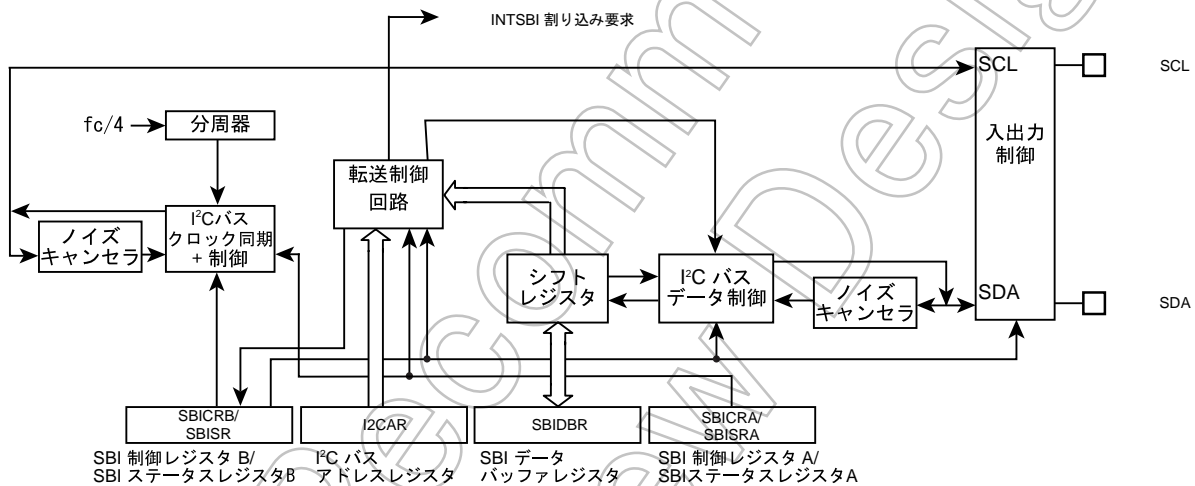


図 15-1 シリアルバスインタフェース (SBI)

15.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- ・ シリアルバスインタフェース制御レジスタ A (SBICRA)
- ・ シリアルバスインタフェース制御レジスタ B (SBICRB)
- ・ シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- ・ I²C バスアドレスレジスタ (I2CAR)
- ・ シリアルバスインタフェースステータスレジスタ A (SBISRA)
- ・ シリアルバスインタフェースステータスレジスタ B (SBISRB)

15.3 ソフトウェアリセット

シリアルバスインタフェース回路は、シリアルバスインタフェース回路を初期化するソフトウェアリセット機能を持っています。ノイズなどによりシリアルバスインタフェース回路がロックしたとき、この機能を使うことでシリアルバスインタフェース回路を初期化することができます。

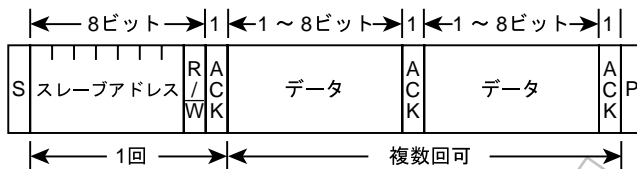
シリアルバスインタフェース回路をリセットする場合、SWRST (SBICRB のビット 1、0) に “10”、“01” の順に書き込みを行います。

また、SBISRA<SWRMON> を読み出すことで、リセット信号が入力されているかをモニタすることができます。

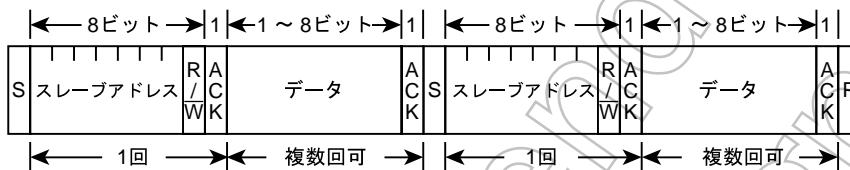
15.4 I²C バスのデータフォーマット

I²C バスのデータフォーマットを図 15-2 に示します。

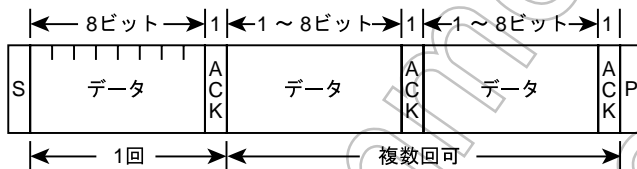
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット



S : スタートコンディション
 R/W : 方向ビット
 ACK : アクノリッジビット
 P : ストップコンディション

図 15-2 I²C バスのデータフォーマット

15.5 シリアルバスインタフェースの制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ A

SBICRA (0015H)	7	6	5	4	3	2	1	0	
	BC			ACK		SCK			(初期値: 0000 *000)

	BC	ACK = 0 のとき		ACK = 1 のとき			
		クロック数	データ長	クロック数	データ長		
BC	転送ビット数の選択	000:	8	8	9	8	Write only
		001:	1	1	2	1	
		010:	2	2	3	2	
		011:	3	3	4	3	
		100:	4	4	5	4	
		101:	5	5	6	5	
		110:	6	6	7	6	
		111:	7	7	8	7	
ACK	アクリリジメントのためのクロック発生を選択	ACK	マスタモード		スレーブモード		R/W
		0:	アクリリジのためのクロックを発生しない		アクリリジのためのクロック数をカウントしない。		
		1:	アクリリジのためのクロックを発生する。		アクリリジのためのクロック数をカウントする。		
SCK	シリアルクロック (fscL) 周波数の選択 (SCL 端子への出力) [fscL = 1/(2 ⁿ +1/fc + 8/fc)]	SCK	n	fc = 16 MHz 時	fc = 8 MHz 時	fc = 4 MHz 時	Write only
		000:	4	Reserved	Reserved	100.0 kHz	
		001:	5	Reserved	Reserved	55.6 kHz	
		010:	6	Reserved	58.8 kHz	29.4 kHz	
		011:	7	60.6 kHz	30.3 kHz	15.2 kHz	
		100:	8	30.8 kHz	15.4 kHz	7.7 kHz	
		101:	9	15.5 kHz	7.8 kHz	3.9 kHz	
		110:	10	7.8 kHz	3.9 kHz	1.9 kHz	
111:	Reserved						

注 1) *: Don't care、fc: 高周波クロック [Hz]

注 2) SBICRA は、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3) SCK は 100kHz を超える値に設定しないでください。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0016H)	7	6	5	4	3	2	1	0	
									(初期値: **** *) R/W

注 1) 送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。

注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3) *: Don't care

I²C バスアドレスレジスタ

I2CAR (0017H)	7	6	5	4	3	2	1	0	
	スレーブアドレス							ALS	(初期値: 0000 0000)
	SA6	SA5	SA4	SA3	SA2	SA1	SA0		

SA	スレーブアドレスの設定		Write only
ALS	アドレス認識モードの設定	0: スレーブアドレスを認識 1: スレーブアドレスを認識しない	

- 注 1) I2CAR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 2) I2CAR を“00H”に設定しないでください(“00H”に設定した場合、スレーブモードでI²C バス規格の START バイト(“01H”)を受信したときにスレーブアドレスが一致したと判断します。)

シリアルバスインタフェース制御レジスタ B

SBICRB (0018H)	7	6	5	4	3	2	1	0	
	MST	TRX	BB	PIN	SBIM	SWRST1	SWRST0		(初期値: 0001 0000)

MST	マスタ/スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	送信/受信の選択	0: レシーバ 1: トランスミッタ	
BB	スタート/ストップコンディショ ンの発生	0: ストップコンディション発生 (MST, TRX, PIN が “1” のとき) 1: スタートコンディション発生 (MST, TRX, PIN が “1” のとき)	
PIN	割り込みサービス要求の解除	0: - (“0” にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの 動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: Reserved 10: I ² C バスモード 11: Reserved	
SWRST1 SWRST0	ソフトウェアリセット開始ビッ ト	最初に “10”、次に “01” を書き込むとソフトウェアリセットが発生する	

- 注 1) ポートモードへの切り替えは、バスフリーを確認してから行ってください。
 注 2) ポートモードから I²C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認後行ってください。
 注 3) SBICRB は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 4) SWRST (レジスタ SBICRB のビット 1, 0) に “10”、“01” を書き込むと、ソフトウェアリセットが起こります。この場合、SBIM 以外の SBICRB レジスタの各ビットと、SBICRA, I2CAR, SBISRA, SBISRB レジスタが初期化されます。

シリアルバスインタフェースステータスレジスタ A

SBISRA (0015H)	7	6	5	4	3	2	1	0	
								SWRMON	(初期値: **** *1)

SWRMON	ソフトウェアリセットモニタ	0: ソフトウェアリセット中 1: - (初期値)	Read only
--------	---------------	------------------------------	-----------

シリアルバスインタフェースステータスレジスタ B

SBISRB	7	6	5	4	3	2	1	0	
(0018H)	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	(初期値: 0001 0000)

MST	マスタ/スレーブ選択 状態モニタ	0: スレーブ 1: マスタ	Read only
TRX	トランスミッタ/レシーバ選択状 態モニタ	0: レシーバ 1: トランスミッタ	
BB	バス状態モニタ	0: バスフリー 1: バスビジー	
PIN	割り込みサービス要求状態 モニタ	0: 割り込みサービス要求中 1: 割り込みサービス要求解除中	
AL	アービトレーションロスト検出 モニタ	0: - 1: アービトレーションロスト検出	
AAS	スレーブアドレス一致検出 モニタ	0: - 1: スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0: - 1: ゼネラルコール検出	
LRB	最終受信ビットモニタ	0: 最終受信ビット "0" 1: 最終受信ビット "1"	

15.5.1 アクノリッジメントモードの指定

15.5.1.1 アクノリッジメントモード (ACK = "1")

シリアルバスインタフェース回路をアクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を "1" にセットします。アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを1クロック付加します。スレーブモードのときは、アクノリッジ信号のためのクロックをカウントします。

シリアルバスインタフェース回路がマスタトランスミッタモードのとき、アクノリッジのためのクロック期間中、SDA 端子はレシーバからのアクノリッジ信号を受信するために端子を開放します。マスタレシーバモードのときは、クロック期間中、SDA 端子を "L" レベルに引きアクノリッジ信号を発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスと I2CAR に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA 端子を "L" レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはゼネラルコール受信後のデータ転送において、トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA 端子を "L" レベルに引きアクノリッジ信号を発生します。表 15-1 にアクノリッジメントモードにおける SCL 端子と SDA 端子の状態を示します。

表 15-1 アクノリッジメントモードでの SCL 端子と SDA 端子の状態

モード	端子		トランスミッタ	レシーバ
マスタ	SCL		アクノリッジのためのクロックを付加。	
	SDA		アクノリッジ信号受信のために端子を開放	アクノリッジ信号として端子に "L" を出力
スレーブ	SCL		アクノリッジのためのクロックをカウント	
	SDA	スレーブアドレスが一致したとき、またはゼネラルコールを受信したとき		アクノリッジ信号として端子に "L" を出力
		スレーブアドレスが一致したとき、またはゼネラルコール受信後の通信時	アクノリッジ信号受信のために端子を開放	アクノリッジ信号として端子に "L" を出力

15.5.1.2 非アクノリッジメントモード (ACK = "0")

シリアルバスインタフェース回路を非アクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を "0" にクリアします。非アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを発生しません。スレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

15.5.2 転送ビット数の選択

BC (SBICRA のビット 7~5) により、次に送受信するデータのビット数を選択します。

BC はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、BC は一度設定された値を保持します。

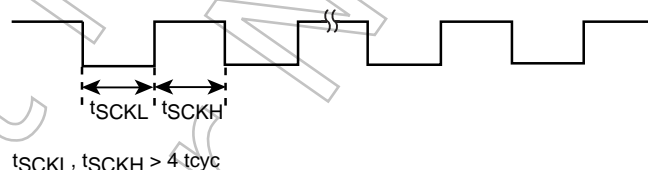
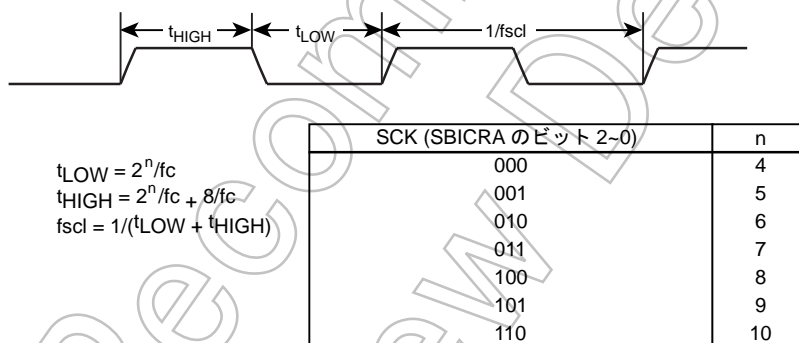
15.5.3 シリアルクロック

15.5.3.1 クロックソース

SCK (SBICRA のビット 2~0) で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

なお、マスタモード/スレーブモードともに外部から入力されるクロックの “H” レベル、“L” レベルは 4 マシンサイクル以上のパルス幅が必要です。

注) TMP86FH93NG の I²C バスは、高速モードおよびハイスピードモードでは使用できませんので、SCK を 100 kHz を超える値に設定しないでください。



Note 1: f_c = 高周波クロック

Note 2: $t_{cytc} = 4 / f_c$ (NORMAL, IDLE モード時)

図 15-3 クロックソース

15.5.3.2 クロック同期化

I²C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に “L” レベルに引いたマスタが、“H” レベルを出力しているマスタのクロックを無効にします。このため、“H” レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例にあげて以下に示します。

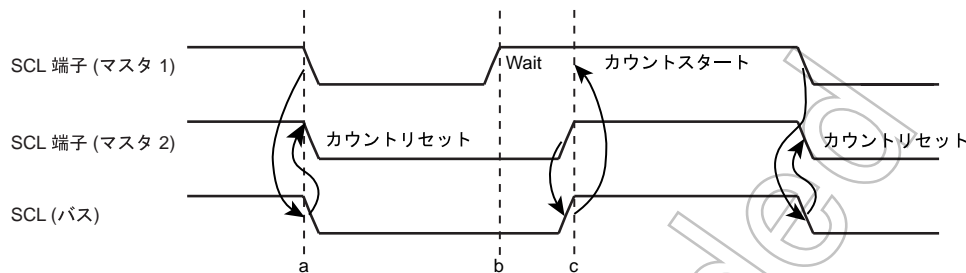


図 15-4 クロック同期化の例

a 点でマスタ 1 が SCL 端子を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ 2 はこれを検出し、マスタ 2 の“H”レベル期間のカウントをリセットし、SCL 端子を“L”レベルに引きます。

b 点でマスタ 1 は“L”レベル期間のカウントを終わり、SCL 端子を“H”レベルにします。しかしマスタ 2 がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ 1 は“H”レベル期間のカウントを始めません。マスタ 1 は、c 点でマスタ 2 が SCL 端子を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。その後、“H”レベル期間のカウントを終了したマスタが SCL 端子を“L”に引くことで、バスの SCL ラインは“L”レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと、最も長い“L”レベル期間をもつマスタによって決定されます。

15.5.4 スレーブアドレスとアドレス認識モードの設定

シリアルバスインタフェース回路を、スレーブアドレスを認識するアドレッシングフォーマットで使用する際には、ALS (I2CAR のビット 0) を“0”にクリアし、SA (I2CAR のビット 7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用する際には、ALS を“1”にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

15.5.5 マスタ/スレーブの選択

MST (SBICRB のビット 7) を“1”にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

MST を“0”にクリアすると、スレーブデバイスとして動作します。MST はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウェアにより“0”にクリアされます。

15.5.6 トランスマッタ/レシーバの選択

TRX (SBICRB のビット 6) を“1”にセットすると、シリアルバスインタフェース回路はトランスマッタとして動作し、TRX を“0”にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/W) が“1”の場合、TRX は“1”にセットされ、“0”の場合、TRX は“0”にクリア

されます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより送信した方向ビットが“1”の場合、TRX は“0”にクリアされ、“0”の場合、TRX は“1”に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRX はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウェアにより“0”にクリアされます。「表 15-2 各モードでの TRX の動作」に各モードでの TRX の変化条件と変化後の TRX の値を示します。

表 15-2 各モードでの TRX の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブモード	"0"	受信したスレーブアドレスが I2CAR に設定された値と同じとき	"0"
	"1"		"1"
マスタモード	"0"	ACK 信号が返ってきたとき	"1"
	"1"		"0"

シリアルバスインタフェース回路を、フリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRX はハードウェアによって変化することはありません。

15.5.7 スタート/ストップコンディションの発生

BB (SBISRB のビット 5) が“0”のときに、MST, TRX, BB, PIN に“1”を書き込むと、バス上に、スタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。あらかじめ ACK に“1”をセットしておいてください。

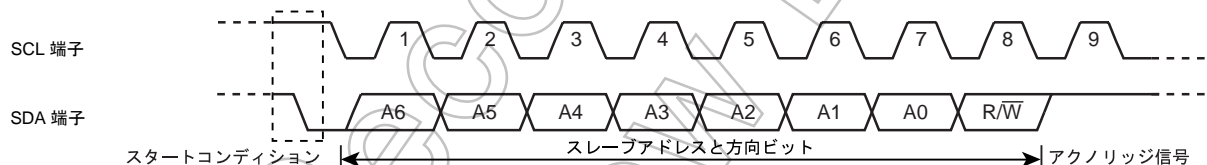


図 15-5 スタートコンディションの発生とスレーブアドレスの発生

BB=“1”のときに、MST と TRX, PIN に“1”を、BB に“0”を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB の内容を書き替えないでください。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより“L”レベルに引かれていた場合、SCL ラインが開放された後に、ストップコンディションが発生します。

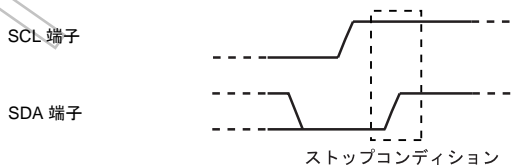


図 15-6 ストップコンディションの発生

また、BB (SBISRB のビット 5) を読み出すことで、バスの状態を知ることができます。BB は、バス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます(バスフリー状態)。

15.5.8 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BC と ACK によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求 (INTSBI) が発生します。スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- ・ 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ・ ゼネラルコールを受信したときのアクノリッジ信号出力後
- ・ スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

シリアルバスインタフェース割り込み要求が発生すると、PIN (SBISRB のビット 4) が“0”にクリアされます。PIN が“0”の間、SCL 端子が“L”レベルに引かれます。

SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと PIN が“1”にセットされます。なお、PIN が“1”にセットされてから SCL 端子が開放されるまで、 t_{LOW} の時間がかかります。プログラムで PIN (SBICRB のビット 4) に“1”を書き込むと“1”にセットされますが、“0”を書き込んで“0”にクリアされません。

注) マスタモードでアービトレーションロストが発生したとき、スレーブアドレスが一致しなかった場合は、PIN は“0”にクリアされません (INTSBI は発生します)。

15.5.9 シリアルバスインタフェースの動作モード

SBIM (SBICRB のビット 3~2) でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するとき、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、SBIM を“10”にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

15.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I²C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 とともに同じデータを出力し、a 点でマスタ 1 がデータ“1”を出力、マスタ 2 がデータ“0”を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって“L”レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を“アービトレーションロスト”と呼び、アービトレーションを失ったマスタは、SDA 端子、SCL 端子を開放し、アービトレーションを失っていない、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが、1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

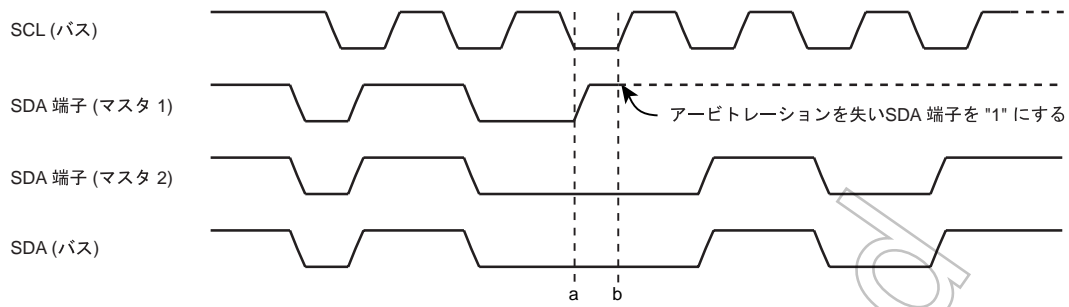


図 15-7 アービトレーションロスト

シリアルバスインタフェース回路では、バスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISRB のビット 3) が“1”にセットされます。

AL が“1”にセットされると MST, TRX は“0”にリセットされ、スレーブレシーバモードになります。そのため、AL が“1”にセットされた後のデータの転送では、シリアルバスインタフェース回路はクロックの出力を停止します。

AL は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICRB にデータを書き込むと“0”にリセットされます。

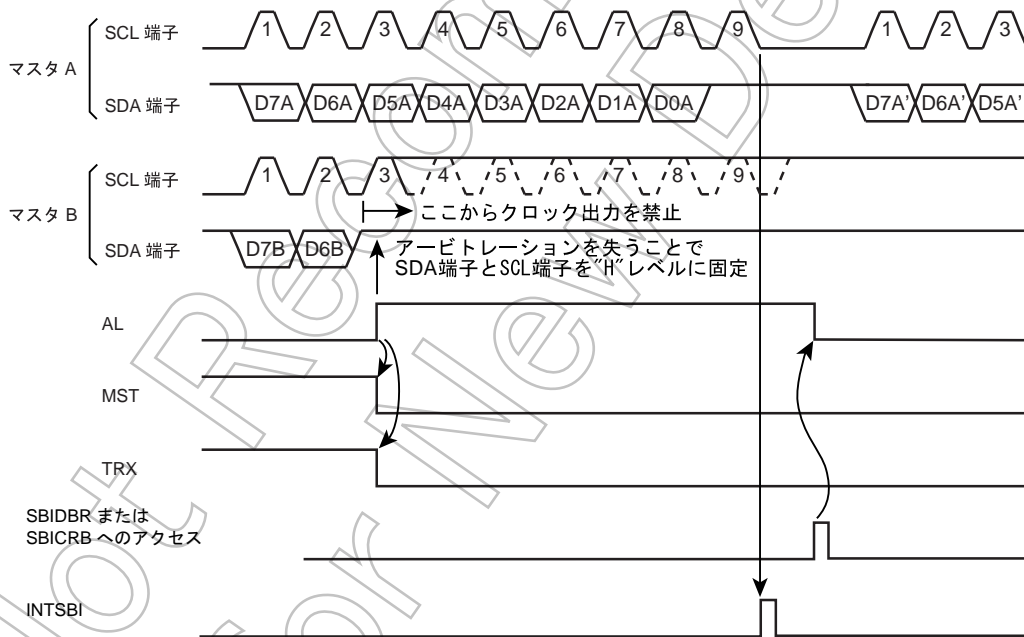


図 15-8 シリアルバスインタフェース回路がマスタ B の場合

15.5.11 スレーブアドレス一致検出モニタ

AAS (SBISRB のビット 2) は、スレーブモード時、アドレッシングフォーマット (ALS="0") の場合、ゼネラルコールまたは、I2CAR にセットした値と同じスレーブアドレスを受信すると、“1”にセットされます。フリーデータフォーマット (ALS="1") のときは、最初の 1ワードを受信されると“1”にセットされます。AAS は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと“0”にクリアされます。

15.5.12 ゼネラルコール検出モニタ

AD0 (SBISRB のビット 1) はスレーブモード時、ゼネラルコール (スタートコンディション直後に受信した 8 ビットのデータがすべて“0”) のとき、“1”にセットされます。AD0 は、バス上のスタートコンディションまたはストップコンディションが検出されると、“0”にクリアされます。

15.5.13 最終受信ビットモニタ

LRB (SBISRB のビット 0) には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に LRB を読み出すと、アクノリッジ信号が読み出されます。

15.6 I²C バスモード時のデータ転送手順

15.6.1 デバイスの初期化

最初に SBICRA の ACK に“1”を、BC に“000”を書き込むことにより、アクノリッジのためのクロック数を“カウントする、”データ長を“8 ビット”に設定します。また、SCK に転送周波数を設定します。

次に I2CAR の SA にスレーブアドレスを設定します。

その後、シリアルバスインタフェース端子の状態が“H”になっていることを確認し、SBICRB の MST, TRX, BB に“0”を、PIN に“1”を、SBIM に“10”を、SWRST1,0 に“00”を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

15.6.2 スタートコンディション、スレーブアドレスの発生

バスフリー (BB=“0”) 状態を確認します。

ACK を“1”にセットし、SBIDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PIN に“1”を書き込むと、バス上にスタートコンディションと、SBIDBR に設定したスレーブアドレスと、方向ビットが出力されます。なお、スタートコンディション出力後、SCL 端子が立ち下がるまで、 t_{low} かかります。

この後、SCL の 9 クロック目の立ち下がりによって INTSBI 割り込み要求が発生し、PIN が“0”にクリアされます。PIN が“0”の間、SCL 端子を“L”レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウェアにより、INTSBI 割り込み要求タイミングで TRX が方向ビットに合わせて変化します。

注 1) スレーブアドレスを出力するために SBIDBR を書き込むときは、事前に、ソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2) 出力するスレーブアドレスの書き込みから 98.0 μ s (I²C バス規格による最短の転送時間) 以内に、再度ソフトウェアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBICRB の MST, TRX, BB, PIN に“1”を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBIDBR へ出力するスレーブアドレスを書き込んでから SBICRB の MST, TRX, BB, PIN に“1”を書き込みスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われ、SBIDBR に書き込んだスレーブアドレスが破壊されることがあります。

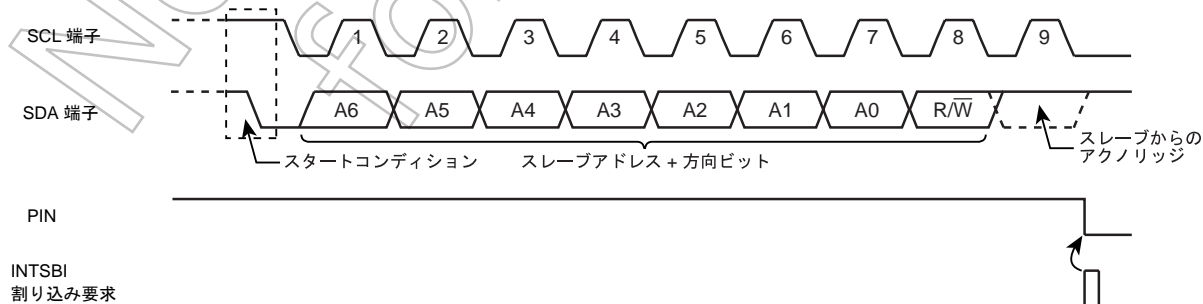


図 15-9 スタートコンディションとスレーブアドレスの発生

15.6.3 1ワードのデータ転送

1ワード転送終了の INTSBI 割り込みの処理で、MST をテストし、マスタモード/スレーブモードの判断をします。

15.6.3.1 MST が“1”のとき (マスタモード)

TRX をテストし、トランスミッタ/レシーバの判断をします。

(1) TRX が“1”のとき (トランスミッタモード)

LRB をテストします。LRB が“1”のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

LRB が“0”のとき、レシーバが次のデータを要求しているため、次に転送するデータのビット数が8ビット以外の場合は BC を再設定し、ACK を“1”にセットした後、送信データを SBIDBR に書き込みます。データを書き込むと PIN が“1”になり、SCL 端子から次の1ワードのデータ転送用のシリアルクロックが発生し、SDA 端子から1ワードのデータが送信されます。送信終了後、INTSBI 割り込み要求が発生し、PIN が“0”になり、SCL 端子を“L”レベルに引き下げます。複数ワードの転送が必要な場合は、上記 LRB のテストから繰り返します。

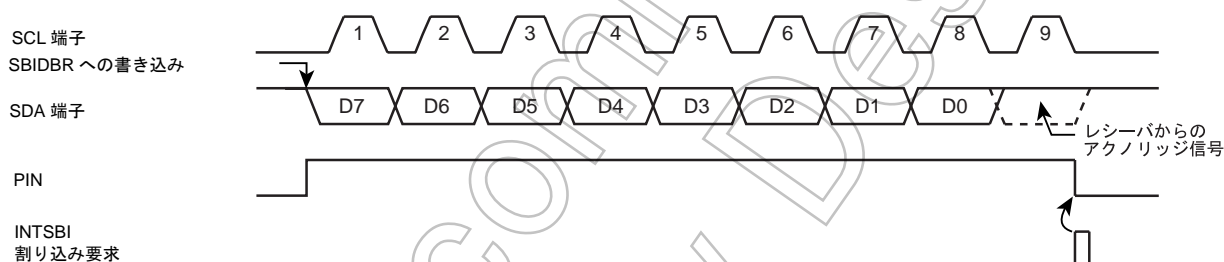


図 15-10 BC="000", ACK="1" の場合

(2) TRX が“0”のとき (レシーバモード)

次に転送するデータのビット数が、8ビット以外の場合は BC を再設定し、ACK に“1”をセットした後、SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと PIN は“1”になり、次の1ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アックリッジのタイミングで“L”レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、PIN が“0”になります。SBIDBR から受信データを読み出すたびに1ワードの転送クロックとアックリッジを出力します。

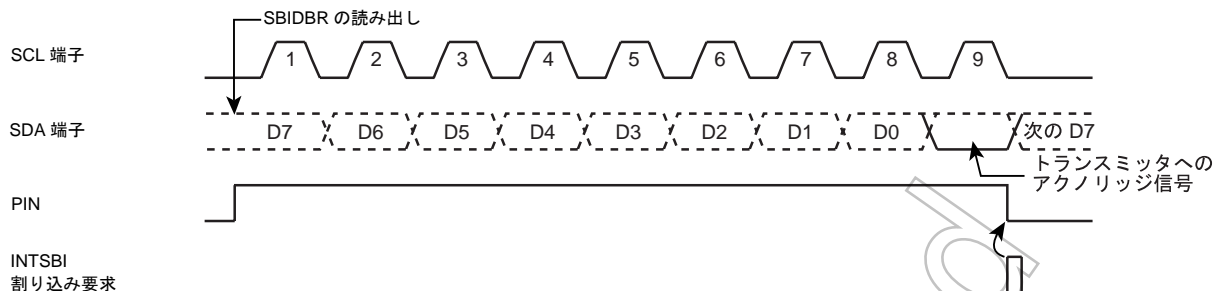


図 15-11 BC="000", ACK="1" の場合

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に、ACK を“0”にクリアします。これにより最終データの ACK ノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC="001"に設定し、データを読み出すと PIN が“1”にセットされ、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは“H”レベルを保ちます。トランスミッタはアックノリッジ信号としてこの“H”レベルを受信するので、レシーバはトランスミッタの送信を終了させることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

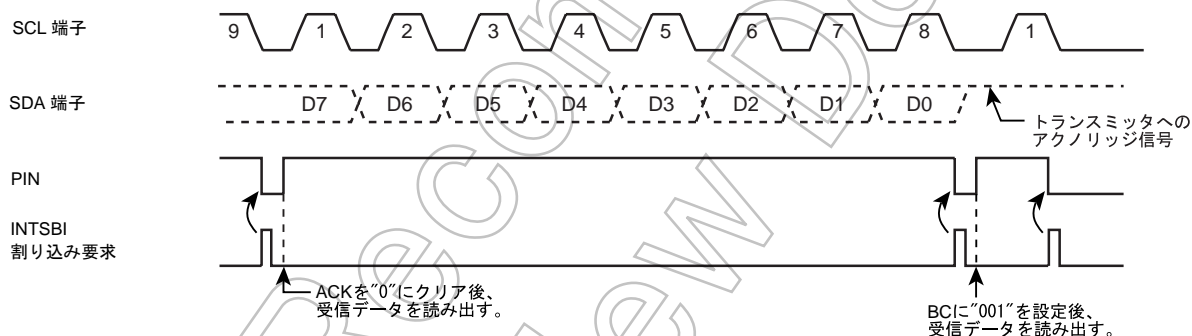


図 15-12 マスタレシーバモード時、データの送信を終了させるときの処理

15.6.3.2 MST が“0”のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理またはシリアルバスインタフェース回路が、アービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- ・ 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときの ACK ノリッジ信号出力後
- ・ ゼネラルコールを受信したときの ACK ノリッジ信号出力後
- ・ スレーブアドレス一致またはゼネラルコール受信後における、データ転送終了時

シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。アービトレーションを失った後の INTSBI と PIN の動作を表 15-3 に示します。

表 15-3 アービトレーションロスト時の INTSBI 割り込み要求と PIN の動作

	マスタモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタトランスミットモード時、データ送信中にアービトレーションを失った場合
INTSBI 割り込み要求	ワード転送終了時に INTSBI 割り込み要求発生	
PIN	I2CAR に設定されたスレーブアドレスと一致した場合、PIN は "0" にクリアされます。スレーブアドレスが一致しなかった場合は PIN は "1" を保持します。	PIN は "1" を保持 ("0" にクリアされません)。

INTSBI 割り込み要求が発生すると、PIN (SBICRB のビット 4) が "0" にリセットされ、SCL 端子を "L" レベルに引きます。SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すか、または PIN を "1" にセットすると SCL 端子が t_{LOW} 後に開放されます。

AL (SBISRB のビット 3)、TRX (SBISRB のビット 6)、AAS (SBISRB のビット 2)、AD0 (SBISRB のビット 1) をテストし、場合分けを行います。「表 15-4 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

表 15-4 スレーブモード時の処理

TRX	AL	AAS	AD0	状態	処理
1	1	1	0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが "1" のシリアルバスインタフェース回路のスレーブアドレスを受信	1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。
		1	0	スレーブレシーバモード時、マスタが送った方向ビットが "1" のシリアルバスインタフェース回路のスレーブアドレスを受信	
0	0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	LRB をテストし、"1" にセットされていた場合、レシーバが次のデータを要求していないので PIN に "1" をセット、TRX を "0" にリセットしバスを開放します。LRB が "0" にリセットされていた場合、レシーバが次のデータを要求しているため 1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。
	1	1	1/0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが "0" のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PIN を "1" にセットするために SBIDBR を読み込みます (ダミー読み出し)。または PIN に "1" を書き込みます。
0	0	0	0	シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	シリアルバスインタフェース回路はスレーブモードとなっています。AL を "0" にクリアするためには、SBIDBR を読み出すか、SBIDBR へ書き込みを行ってください。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PIN を "1" にセットするために、SBIDBR を読み込みます (ダミー読み出し)。または PIN に "1" を書き込みます。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を BC にセットし、受信データを SBIDBR から読み込みます。

注) スレーブモードで I2CAR が "00H" に設定されている場合、I²C バス規格の START バイト ("01H") を受信したときにスレーブアドレスが一致したと判断し、TRX が "1" にセットされます。

15.6.4 ストップコンディションの発生

BB="1" のときに、MST, TRX, PIN に "1"、BB に "0" を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、MST, TRX, BB, PIN の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放された後、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、 t_{LOW} かかります。

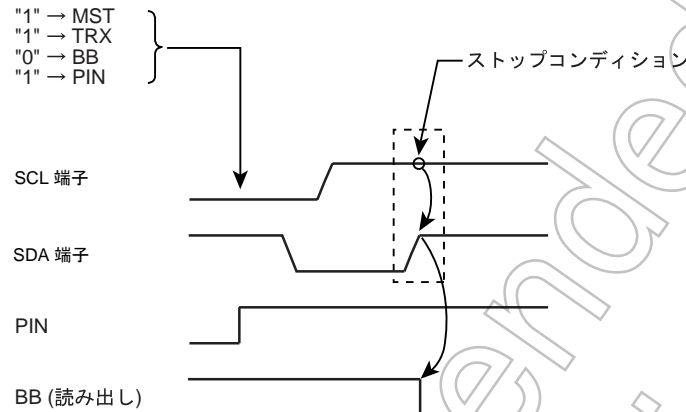


図 15-13 ストップコンディションの発生

15.6.5 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。再スタートが発生させる場合の手順を以下に示します。

まず、MST, TRX, BB に“0”を、PIN に“1”を書き込むと、SDA 端子は“H”レベルを保ち、SCL 端子が開放されます。このときバス上にストップコンディションは発生されないため、ほかのデバイスからみると、バスはビジー状態のままです。その後 BB をテストして、“0”になるまで待ち、シリアルバスインタフェース回路の SCL 端子が開放されたことを確認します。次に LRB をテストして“1”になるまで待ち、ほかのデバイスが、バスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記「15.6.2 スタートコンディション、スレーブアドレスの発生」の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μ s のソフトウェアによる待ち時間が必要です。

注) マスタデバイスがレシーバの時、再スタートが発生させる前に、トランスマッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、“H”レベルのアクナリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の LRB は“1”となり、再スタートの手順で、LRB が“1”であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するには、ポートを読み出してください。

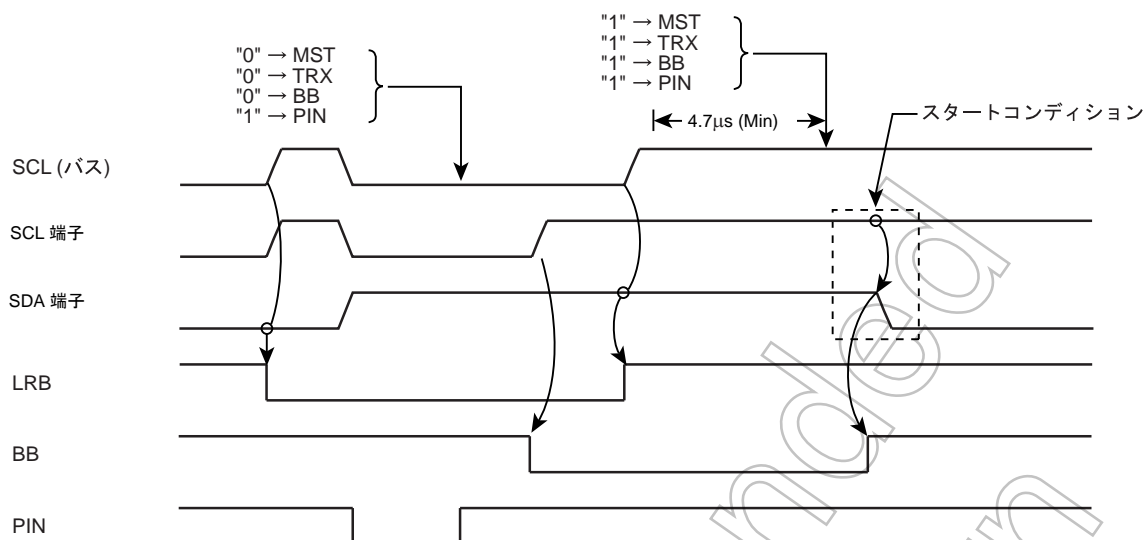


図 15-14 再スタートを発生させる場合のタイミングチャート

Not Recommended for New Design

Not Recommended
for New Design

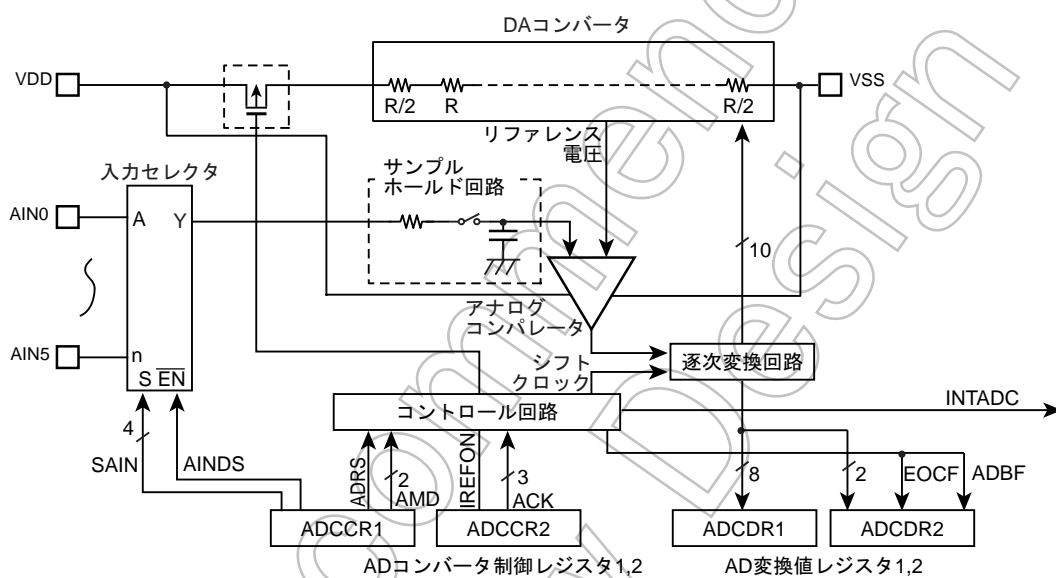
第 16 章 10 ビット AD コンバータ(ADC)

TMP86FH93NG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

16.1 構成

10 ビット AD コンバータの回路構成を図 16-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 16-1 10 ビット AD コンバータ

16.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (000EH)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ビット	フィールド名	説明	初期値	アクセス
7:0	ADRS	AD 変換開始	0: 0 1: 1	R/W
11:0	AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	R/W
1	AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	R/W
11:0	SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: Reserved 0111: Reserved 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	R/W

注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCCR2<ADBF> = "0")で行ってください。

注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1"に設定してください。

注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。

注 4) ADRS は、AD 変換開始後、自動的に "0"にクリアされます。

注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCCR2<EOCF>にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど)に行ってください。

注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

注 7) AD コンバータの機能は、NORMAL1/2 および IDLE1/2 モードで有効です。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	(初期値: **0* 000*)
			IREFON	"1"		ACK		"0"	

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

- 注 1) ADCCR2 のビット 4 には"1"、ビット 0 には"0"を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 16-1 ACK 設定と周波数別の変換時間

ACK	条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000		39/fc	-	-	-	19.5 μs	-	-	15.6 μs
001		Reserved							
010		78/fc	-	-	19.5 μs	39.0 μs	-	15.6 μs	31.2 μs
011		156/fc	-	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100		312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101		624/fc	39.0 μs	78.0 μs	156.0 μs	-	62.4 μs	124.8 μs	-
110		1248/fc	78.0 μs	156.0 μs	-	-	124.8 μs	-	-
111		Reserved							

- 注 1) 上記表内"-"部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、電源電圧(VDD)によって以下の時間以上を確保するように設定してください。

- VDD = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VDD = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0021H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	

AD 変換値レジスタ 2

ADCDR2 (0020H)	7	6	5	4	3	2	1	0	(初期値: 0000 ****)
	AD01	AD00	EOCF	ADBF					

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると"0"にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2)をリードした後に(ADCDR1)をリードしてください。
- 注 2) ADBF は AD 変換開始により"1"にセットされ、AD 変換動作が終了すると"0"にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。

Not Recommended for New Design

16.3 機能

16.3.1 ソフトウェアスタートモード

ADCCR1<AMD>を“01”(ソフトウェアスタートモード)に設定後、ADCCR1<ADRS>を“1”に設定することによりADCCR1<SAIN>で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ(ADCDR1,2)に格納し、ADCDR2<EOCF>に“1”をセットするとともにAD変換終了割り込み(INTADC)を発生します。

ADCCR1<ADRS>はAD変換を開始後、自動的にクリアされます。AD変換中にADCCR1<ADRS>の再設定(再スタート)は行わないでください。ADCCR1<ADRS>の再設定はADCDR2<EOCF>にて変換が終了したことを確認後、あるいは割り込み信号(INTADC)の発生後(割り込み処理ルーチンなど)に行ってください。

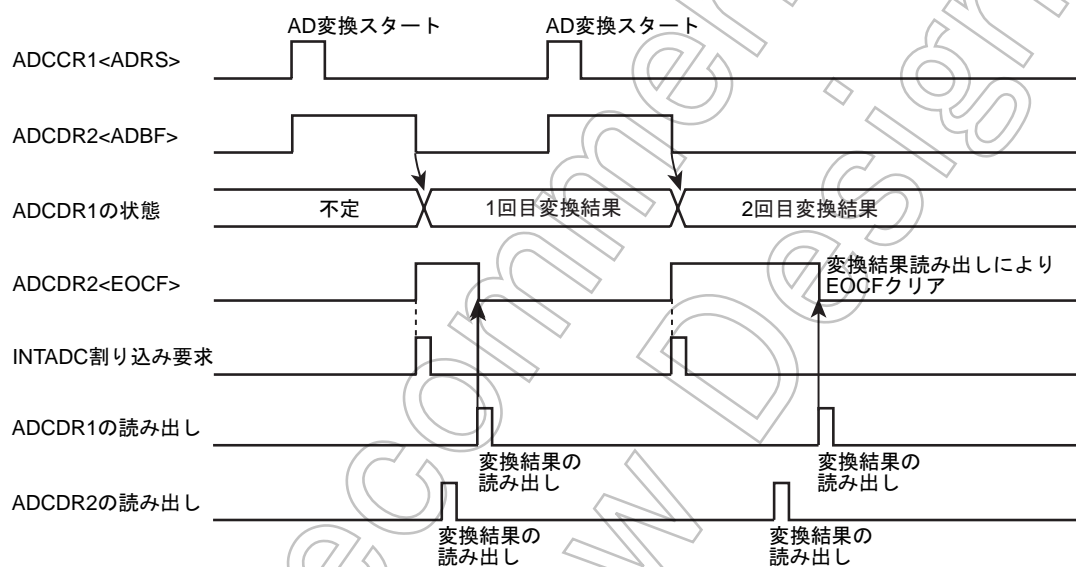


図 16-2 ソフトウェアスタートモード

16.3.2 リピードモード

ADCCR1<SAIN>で指定されたアナログ入力端子電圧のAD変換を繰り返し行います。

ADCCR1<AMD>を“11”(リピートモード)に設定後、ADCCR1<ADRS>を“1”に設定することによりAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ(ADCDR1,2)に格納し、ADCDR2<EOCF>に“1”をセットするとともにAD変換終了割り込み(INTADC)を発生します。

リピートモードでは、1回のAD変換が終了すると直ちに次のAD変換を開始します。AD変換を停止するには、ADCCR1<AMD>に“00”(ディセーブルモード)を書き込んでください。AD変換動作は即時に停止します。このときの変換値は、AD変換値レジスタには格納されません。

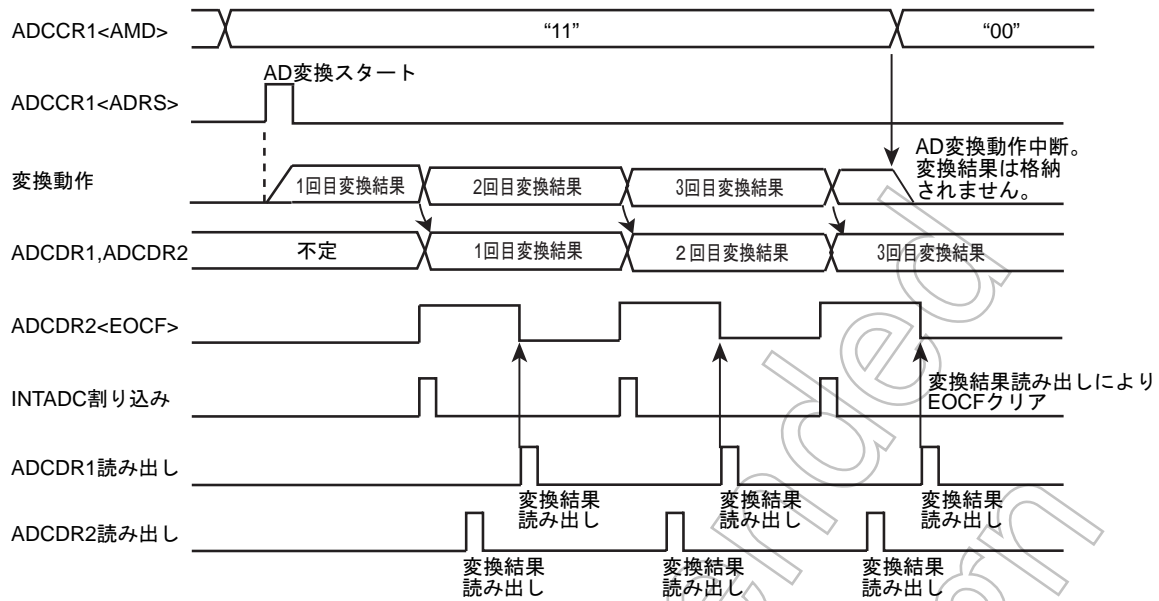


図 16-3 リpeatモード

16.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード(ソフトウェア、リpeatモード)を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 16-1 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1)、AD 変換値レジスタ 2 (ADCDR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

: (ポートの設定)      :                               ; AD コンバータのレジスタを設定する前にポート
:                               ; レジスタを適切に設定してください。
:                               ; (詳細は I/O ポートの章を参照してください)
LD      (ADCCR1), 00100011B    ; AIN3 を選択
LD      (ADCCR2), 11011000B    ; 変換時間 (312/fc), 動作モードを選択

SLOOP: SET      (ADCCR1), 7      ; ADRS = 1 (AD 変換開始)
        TEST     (ADCCR2), 5      ; EOCF = 1 ?
        JRS      T, SLOOP

LD      A, (ADCCR2)            ; 変換結果の読み出し
LD      (9EH), A
LD      A, (ADCCR1)            ; 変換結果の読み出し
LD      (9FH), A

```

16.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

16.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 16-4 のように対応します。

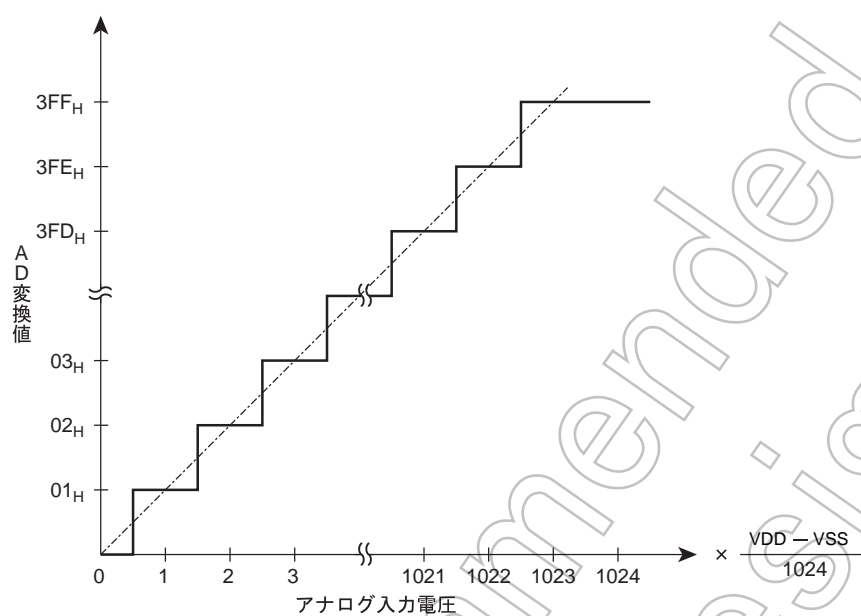


図 16-4 アナログ入力電圧と AD 変換値 (typ.) の関係

16.6 AD コンバータの注意事項

16.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN5) は、VDD ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

16.6.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN5) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

16.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 16-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

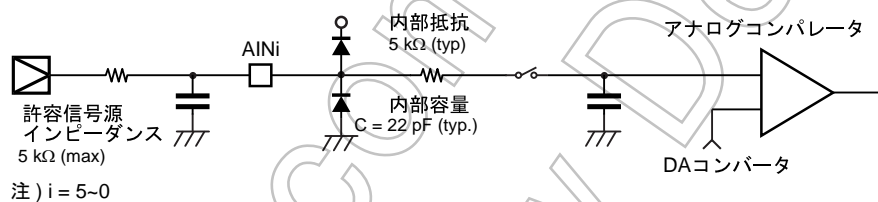


図 16-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 17 章 キーオンウェイクアップ(KWU)

TMP86FH93NG では、P20 ($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に P34~P37 の 4 つの端子でもストップモードの解除が可能です。

ポートの入力でストップモードを解除する場合、P20 端子の論理に注意が必要です。詳細については、後述の「17.2 制御」にて説明しておりますので参照してください。

17.1 キーオンウェイクアップの構成

ストップモード制御

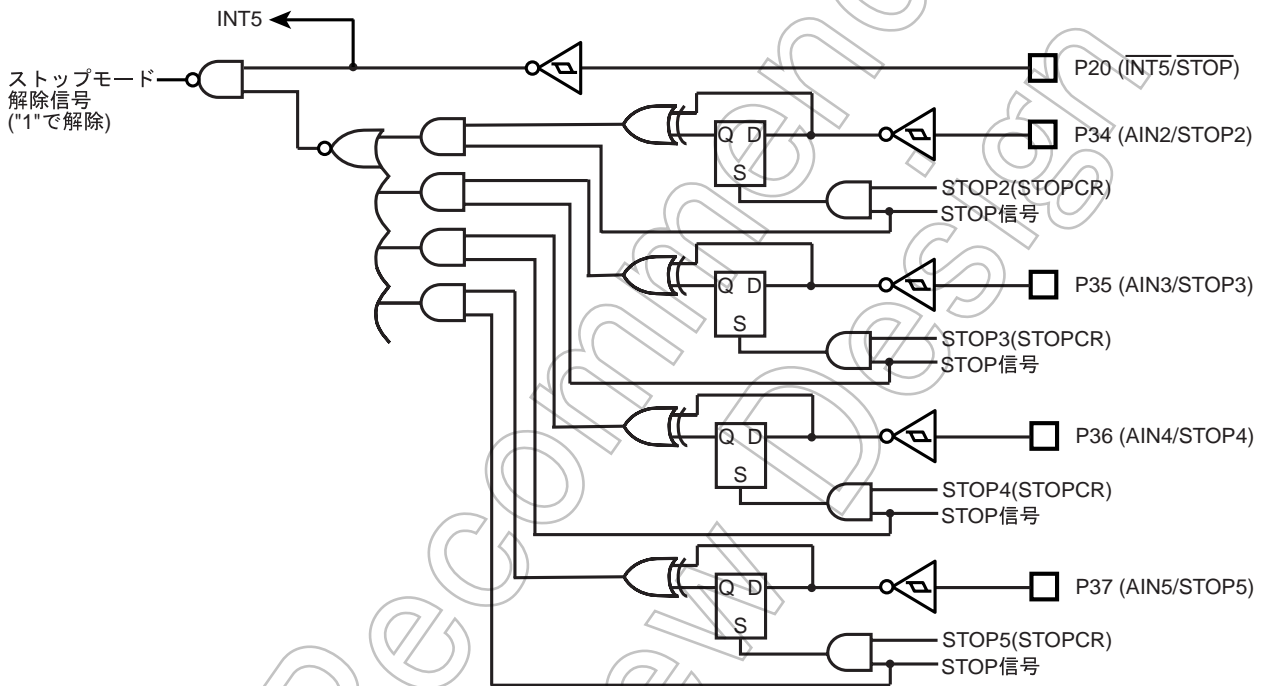
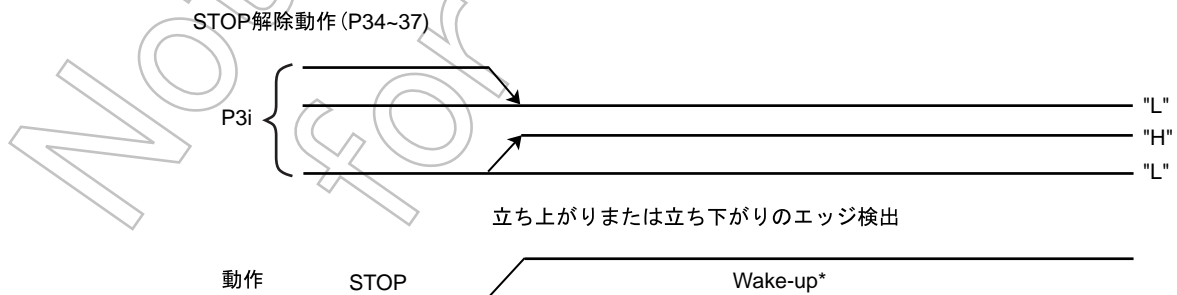


図 17-1 キーオンウェイクアップ回路

STOP解除動作例



* : STOPモード解除後、ノーマルモードに移行するまでにウォーミングアップ時間が必要です。詳しくは、「動作モードの制御」を参照してください。

図 17-2 STOP 解除動作例

17.2 制御

P34~P37 (STOP2~STOP5) 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) で、端子ごとの動作禁止/許可が設定できます。STOP モードの解除入力に使用する端子はあらかじめ P3 ポートの各レジスタでキーオンウェイクアップ入力に設定して下さい。詳しくは、「入出力ポート」の章を参照してください。

ストップモードの起動は、システム制御レジスタ (SYSCR1) にて行い、解除はストップモード解除が許可されている STOP2~5 端子のいずれかの端子のエッジ検出 (立ち上がりまたは立ち下がりエッジ検出) で解除できます。

(注) キーオンウェイクアップ機能を使用する場合、ストップモード解除方法の選択 RELM は、レベルモードを選択(SYSCR1 のビット 6 を“1”)してください。

P20 端子は $\overline{INT5}$ と \overline{STOP} 入力が兼用されておりますが、ストップモードの解除には、回路構成図のように \overline{STOP} 端子と STOP2~5 端子の構成となっておりますので、 \overline{STOP} 端子をメインに使用してください。

注 1) STOP 端子でのエッジ解除の場合には

- (1)STOP2~5 入力すべてを禁止する。
- (2)STOP2~5 を“H”または“L”レベル固定する。
- (1),(2)のどちらかにしなければなりません。

注 2) キーオンウェイクアップ(STOP2~5 端子) で解除する場合には \overline{STOP} 端子を“L”レベル固定し、STOP2~5 端子には“H”または“L”レベルを入力しなければなりません。これは \overline{STOP} 端子入力と STOP2~5 端子が OR 回路で除去信号を作っており、お互いの論理に影響されるためです。

キーオンウェイクアップ制御レジスタ

STOPCR	7	6	5	4	3	2	1	0	
(0031H)	STOP5	STOP4	STOP3	STOP2					(初期値: 0000 ****)

STOP2	P34 (STOP2) 端子によるストップモード解除	0: 禁止 1: 許可	Write only
STOP3	P35 (STOP3) 端子によるストップモード解除	0: 禁止 1: 許可	
STOP4	P36 (STOP4) 端子によるストップモード解除	0: 禁止 1: 許可	
STOP5	P37 (STOP5) 端子によるストップモード解除	0: 禁止 1: 許可	

< STOP モードの解除例 > STOP モードからの解除は以下の状態で解除されます。		
	P20(STOP)	P3x
P3x(STOP2~5)を使用して STOP モードから解除する場合	レベル検出モード: L エッジ検出モード: 使用禁止	エッジ検出 立ち上がりまたは立ち下がりエッジ
P20(STOP)を使用して STOP モードから解除する場合	レベル検出モード: H エッジ検出モード: 立ち上がりエッジ	STOPCR: 禁止

注) STOP 命令実行後、3 命令サイクル内の STOP 解除は認識されません。

第 18 章 フラッシュメモリ

TMP86FH93NG は、16384 バイト (アドレス C000H~FFFFH) のフラッシュメモリを内蔵しています。フラッシュメモリの書き込み/消去などの制御は、以下の 3 つのモードで実行可能です。

- MCU モード

MCU モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。アプリケーションの動作を保った状態でフラッシュメモリの書き換えが可能ですので、出荷後のソフトウェアバグ修正やファームウェアの変更などに利用できます。

- シリアル PROM モード

シリアル PROM モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。シリアルインターフェース(UART)を使用することによって少ない端子で制御が可能ですので、出荷工程のオンボード書き込み(マイクロコントローラが基板に実装された状態での書き込み)などに利用できます。

- パラレル PROM モード

パラレル PROM モードは、サードパーティの提供するプログラムライター等で単体のフラッシュメモリとしてフラッシュメモリをアクセスするモードで、アドレス/データ信号を直接制御することにより高速にフラッシュメモリをアクセスすることができます。プログラムライターのサポート状況については、当社営業窓口までお問い合わせください。

MCU モードおよびシリアル PROM モードは、フラッシュメモリの制御のためにフラッシュメモリ制御レジスタ (FLSCR)を使用します。本章では MCU モードおよびシリアル PROM モードでフラッシュメモリ制御(FLSCR)を使用したフラッシュメモリのアクセス方法を説明します。

注 1) 旧版のデータシートで表記されていた「1バイト書き込み」は、「Byte Program」に変更されました。

注 2) 旧版のデータシートで表記されていた「リードプロテクト設定」は、「Security Program」に変更されました。

18.1 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ (FLSCR)、フラッシュメモリスタンバイ制御レジスタ (FLSSTB) によって制御されます。

フラッシュメモリ制御レジスタ

FLSCR 7 6 5 4 3 2 1 0
(0FFFH) FLSMD "1" (初期値: 1100 ****)

FLSMD	フラッシュメモリのコマンドシーケンス制御	1100: コマンドシーケンスの実行を禁止 0011: コマンドシーケンスの実行を許可 その他: Reserved	R/W
-------	----------------------	---	-----

- 注 1) フラッシュメモリのコマンドシーケンスは、FLSMD = "0011B" 設定のときのみ実行可能です。それ以外の設定のときはコマンドシーケンスを実行しても無効となります。
- 注 2) FLSMD は、“1100B”、“0011B” 以外設定しないでください。
- 注 3) FLSCR に対してリード命令を実行すると、ビット 3~0 は不定値が読み込まれます。
- 注 4) FLSCR のビット 3 はかならず“1”を書き込んでください。

フラッシュメモリスタンバイ制御レジスタ

FLSSTB 7 6 5 4 3 2 1 0
(0FE9H) FSTB (初期値: **** ***)

FSTB	フラッシュメモリのスタンバイ制御	0: フラッシュメモリのスタンバイを行わない 1: フラッシュメモリのスタンバイを行う	Write only
------	------------------	--	------------

- 注 1) 期待するデータが読み出されなかったり、プログラムが正しく動作しない場合がありますので、FSTB が "1" のときはフラッシュメモリに対してリード/ライト命令を実行しないでください。もし実行した場合、FSTB は自動的に "0" に初期化されます。
- 注 2) FSTB が "1" のときに割り込みが発生した場合、FSTB は自動的に "0" に初期化された後、フラッシュメモリのベクタ領域がリードされます。
- 注 3) FSTB が "1" のときに IDLE0/1/2, SLEEP0/1/2, STOP モードを起動すると、FSTB は自動的に "0" に初期化されます。IDLE0/1/2, SLEEP0/1/2, STOP モードでは FSTB の設定に関係無く、スタンバイ機能が動作します。

18.1.1 フラッシュメモリのコマンドシーケンス制御 (FLSCR<FLSMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリへのコマンドシーケンスの実行を禁止することができます(ライトプロテクト)。コマンドシーケンスの実行を許可するときは、FLSCR<FLSMD>を 0011B に設定します。コマンドシーケンスの実行を禁止するときは、FLSCR<FLSMD>を 1100B に設定します。リセット後、FLSCR<FLSMD>は 1100B に初期化され、コマンドシーケンスの実行は禁止の状態となります。通常はフラッシュメモリの書き込み/消去を行うときを除き、FLSCR<FLSMD>を 1100B に設定します。

18.1.2 フラッシュメモリのスタンバイ制御(FLSSTB<FSTB>)

TMP86FH93NG は、フラッシュメモリをアクセスしないとき、フラッシュメモリの定常電流をカットオフして低消費電力を実現することができます。

IDLE0/1/2、SLEEP0/1/2、STOP モードの場合、これらの電流は自動的にカットオフされます。

NORMAL1/2、SLOW1/2 モードの場合、RAM 上でプログラムを実行するとき(フラッシュメモリをアクセスしないとき)、レジスタの制御によってこれらの電流をカットオフすることができます。フラッシュメモリの定常電流をカットオフするには、RAM 上に配置した制御プログラムの中で FLSSTB<FSTB>を "1" に設定します。以下に FLSSTB レジスタの制御例を示します。

(1~2はフラッシュ上のプログラムによる制御、3~8はRAMに展開されたプログラムによる制御となります)

1. FLSSTBレジスタの制御プログラムをRAMに転送します。
 2. RAM領域にジャンプします。
 3. 割り込みマスタ許可フラグを禁止(DI)にします(IMF←“0”)。
 4. FLSSTB<FSTB>を"1"に設定します。
 5. ユーザプログラムを実行します。
 6. フラッシュメモリへの復帰要求を検出するまで5を繰り返します。
 7. FLSSTB<FSTB>を"0"に設定します。
 8. フラッシュ領域にジャンプします。
- 注1) フラッシュメモリ上のプログラムからFLSSTB<FSTB>を設定してもスタンバイ機能は動作しませんので、FLSSTB<FSTB>はかならずRAM上に配置されたプログラムで設定してください。
- 注2) RAM上のプログラムでFLSSTB<FSTB>を"1"に設定してスタンバイ機能を使用する場合、フラッシュメモリにプログラム制御を戻す前にならずRAM上のプログラムでFLSSTB<FSTB>を"0"に設定してください。FLSSTB<FSTB>を"1"の状態プログラム制御がフラッシュメモリに戻った場合、プログラムが正しく動作しない(暴走する)恐れがあります。

18.2 コマンドシーケンス

MCU モードおよびシリアル PROM モードのコマンドシーケンスは 6 つのコマンドから構成されます (JEDEC 互換)。表 18-1 にコマンドシーケンスの詳細を示します。コマンドシーケンスで指定するアドレスは下位 12 ビットで認識されます(表 18-1 の BA, SA, Security Program の FF7FH を除く)。ただし上位 4 ビットは、フラッシュメモリがマッピングされている領域の何れかを指定する必要があります。

表 18-1 コマンドシーケンス

	コマンド シーケンス	1st Bus Write Cycle		2nd Bus Write Cycle		3rd Bus Write Cycle		4th Bus Write Cycle		5th Bus Write Cycle		6th Bus Write Cycle	
		Add	Data	Add	Data	Add	Data	Add	Data	Add	Data	Add	Data
1	Byte Program	555H	AAH	AAAH	55H	555H	A0H	BA (注 1)	Data (注 1)	-	-	-	-
2	セクタイレース (4KB 単位の部分消去)	555H	AAH	AAAH	55H	555H	80H	555H	AAH	AAAH	55H	SA (注 2)	30H
3	チップイレース (全面消去)	555H	AAH	AAAH	55H	555H	80H	555H	AAH	AAAH	55H	555H	10H
4	Product ID Entry	555H	AAH	AAAH	55H	555H	90H	-	-	-	-	-	-
5	Product ID Exit	XXH	F0H	-	-	-	-	-	-	-	-	-	-
	Product ID Exit	555H	AAH	AAAH	55H	555H	F0H	-	-	-	-	-	-
6	Security Program	555H	AAH	AAAH	55H	555H	A5H	FF7FH	00H	-	-	-	-

注 1) 書き込みを行うアドレスとデータを設定してください。

注 2) アドレスの上位 4 ビットで消去範囲が選択されます。

18.2.1 Byte Program

1 バイト単位でフラッシュメモリの書き込みを行います。4th Bus Write Cycle で書き込みを行うアドレスとデータを指定します。1 バイトあたりの書き込み時間は最大 40 μ s です。書き込みが終了するまでは、他のコマンドシーケンスを実行することができません。書き込み終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。書き込み中はリードする度にビット 6 が反転します。

注) 既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

18.2.2 セクタイレース(4KB 単位の部分消去)

4K バイト単位でフラッシュメモリの消去を行います。消去範囲は、6th Bus Write Cycle アドレスの上位 4 ビットで指定します。例えば、F000H~FFFFH の 4K バイトを消去する場合は、6th Bus Write Cycle として F000H~FFFFH の何れかのアドレスを指定します。なお、セクタイレースは、シリアル PROM モード、MCU モードのみ有効です。パラレル PROM モードのときは動作しません。

4K バイトあたりの消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

18.2.3 チップイレース(全面消去)

フラッシュメモリの全領域を消去します。

全領域の消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。なお、消去された領域のデータは FFH となります。

18.2.4 Product ID Entry

Product ID Entry を実行すると Product ID モードが起動します。Product ID モード中、フラッシュメモリに対してリード命令を実行するとベンダー ID、フラッシュ ID、Security Program ステータス等を読み出すことができます。

表 18-2 Product ID モード時のリード値

アドレス	意味	読み出される値
F000H	ベンダー ID	98H
F001H	フラッシュマクロ ID	41H
F002H	フラッシュサイズ	0EH: 60 K バイト 0BH: 48 K バイト 07H: 32 K バイト 05H: 24 K バイト 03H: 16 K バイト 01H: 8 K バイト 00H: 4 K バイト
FF7FH	Security Program ステータス	FFH: Security Program 解除状態 FFH 以外: Security Program 設定状態

注) アドレス F002H (フラッシュサイズ) は、各製品に内蔵するフラッシュメモリの容量によって決まります。例えば 60K バイトのフラッシュメモリを内蔵する製品では、(F002H) をリードすると“0EH”が読み出されます。

18.2.5 Product ID Exit

Product ID モードを終了します。

18.2.6 Security Program 設定

フラッシュメモリに対してリードプロテクトを設定します。Security Program を設定すると、パラレル PROM モードのときフラッシュメモリのリードができなくなります。シリアル PROM モードのときは、フラッシュメモリ書き替えコマンドおよび RAM ローダコマンドが実行できなくなります。

Security Program 設定を解除するには、チップイレースを実行する必要があります。Security Program が設定されているかどうかを確認するには、Product ID モードで FF7FH をリードします。詳細は表 18-2 を参照してください。Security Program の設定時間は最大 40 μ s です。Security Program の設定が終了するまでは、他のコマンドシーケンスを実行することができません。Security Program の設定終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。Security Program の設定中はリードする度にビット 6 が反転します。

18.3 トグルビット (D6)

フラッシュメモリの書き込み、チップイレース、Security Program 設定のコマンドシーケンスを実行すると、これらの処理が完了するまでの間、リードオペレーションによって読み出されるデータの 6 ビット目 (D6) の値は、リードする度に値が反転します。これを利用すると各処理の終了をソフト的に確認することができます。通常はフラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。

なお、フラッシュメモリの書き込み、チップイレース、Security Program 設定のコマンドシーケンスを実行した後、最初のリードオペレーションでリードされたトグルビットはかならず“1”になります。

Not Recommended
for New Design

18.4 フラッシュメモリ領域へのアクセス

フラッシュメモリの書き込み/消去/Security Program 設定時は、フラッシュメモリのすべての領域に対してリード、プログラムフェッチを実行することができません。従って、フラッシュメモリ領域に対してこれらの操作を行うときは BOOTROM 領域もしくは RAM 領域上の制御プログラムによってフラッシュメモリをアクセスする必要があります(フラッシュメモリのプログラムで直接フラッシュメモリを書き換えることはできません)。これらの領域上で制御プログラムを実行するにはシリアル PROM モード、または MCU モードを使用します。

- 注 1) フラッシュメモリ領域の書き込み、読み出しは 1 バイト単位、消去は全領域または 4K バイト単位で実行可能です。読み出しについては 1 つの転送命令で実行可能ですが、書き込み/消去については、コマンドシーケンス方式を使用しますので、数個の転送命令を実行する必要があります。
- 注 2) 既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

18.4.1 シリアル PROM モードのフラッシュメモリ制御

シリアル PROM モードは、BOOTROM 上に予め用意された制御プログラムによってフラッシュメモリをアクセスするモードです。フラッシュメモリのアクセスに関するほとんどの動作は、シリアルインタフェース(UART)の通信データによって簡易的に制御可能ですので、ユーザは制御レジスタの操作を特に意識する必要はありません。シリアル PROM モードの詳細については「シリアル PROM モード」の章を参照してください。

シリアル PROM モードで任意の周辺機能を使用してフラッシュメモリをアクセスする場合は、RAM ロードコマンドを利用して、RAM 上で制御プログラムを実行する必要があります。この場合の操作は、「18.4.1.1 シリアル PROM モードの RAM ロードモードで RAM 領域に制御プログラムを展開して書き込む例」を参照してください。

18.4.1.1 シリアル PROM モードの RAM ロードモードで RAM 領域に制御プログラムを展開して書き込む例

(1~2 は BOOTROM による制御、3~9 は RAM に展開されたプログラムによる制御となります)

1. RAM ロードで書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします。(IMF←“0”)
4. FLSCR<FLSMD>を“0011B”に設定します。
(コマンドシーケンスの実行を許可します)
5. 消去コマンドシーケンスを実行します。
6. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
(読み出した値が同一になるまで 6. を繰り返します)
7. 書き込みコマンドシーケンスを実行します。
8. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
(読み出した値が同一になるまで 8. を繰り返します)
9. FLSCR<FLSMD>を“1100B”に設定します。
(コマンドシーケンスの実行を禁止します)

- 注 1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF) を “0” に設定し、割り込みを禁止にしてください。通常は RAM に展開するプログラムの先頭で DI 命令を実行してください。
- 注 2) RAM ロードを使用する場合は、BOOTROM によってウォッチドッグタイマは禁止に設定されていますので、RAM ロードプログラムによってウォッチドッグタイマを禁止に設定する必要はありません。

(プログラム例) チップイレースを実行した後、F000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```
DI                                ; 割り込みを禁止 (IMF←"0")
LD      (FLSCR),00111000B        ; コマンドシーケンスの実行を許可
LD      IX,0F555H
LD      IY,0FAAAH
LD      HL,0F000H
;####フラッシュメモリチップイレース処理####
LD      (IX),0AAH                ; 1st Bus Write Cycle
LD      (IY),55H                 ; 2nd Bus Write Cycle
LD      (IX),80H                 ; 3rd Bus Write Cycle
LD      (IX),0AAH                ; 4th Bus Write Cycle
LD      (IY),55H                 ; 5th Bus Write Cycle
LD      (IX),10H                ; 6th Bus Write Cycle
sLOOP1: LD      W,(HL)
      CMP     W,(HL)
      JR      NZ,sLOOP1          ; 同一の値が読み出されるまでループする
;#### フラッシュメモリ書き込み処理 ####
LD      (IX),0AAH                ; 1st Bus Write Cycle
LD      (IY),55H                 ; 2nd Bus Write Cycle
LD      (IX),0A0H                ; 3rd Bus Write Cycle
LD      (HL),3FH                 ; 4th Bus Write Cycle, (F000H)=3FH
sLOOP2: LD      W,(HL)
      CMP     W,(HL)
      JR      NZ,sLOOP2          ; 同一の値が読み出されるまでループする
LD      (FLSCR),11001000B        ; コマンドシーケンスの実行を禁止
sLOOP3: JP      sLOOP3
```

18.4.2 MCU モードのフラッシュメモリ制御

MCU モードの場合、RAM 上で制御プログラムを実行することによってフラッシュメモリの書き込みを行うことができます。RAM 上で実行する制御プログラムは、予めフラッシュメモリ内にコピーを用意しておくか、通信端子などを利用して外部から取り込む必要があります。

以下に MCU モードで RAM 上の制御プログラムを実行する方法(例)を示します。

18.4.2.1 MCU モードから RAM 領域に制御プログラムを展開して書き込む例

(1~2 はフラッシュメモリ上のプログラムによる制御、3~11 は RAM に展開されたプログラムによる制御となります)

1. 書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします(IMF←“0”)。
4. ウォッチドッグタイマを使用している場合は禁止に設定します。
5. FLSCR<FLSMD>を“0011B”に設定します。
(コマンドシーケンスの実行を許可します)
6. 消去コマンドシーケンスを実行します。
7. フラッシュメモリの同一アドレスに対して2回連続でリード命令を実行します。
(読み出した値が同一になるまで7を繰り返します)
8. 書き込みコマンドシーケンスを実行します。
9. フラッシュメモリの同一アドレスに対して2回連続でリード命令を実行します。
(読み出した値が同一になるまで9を繰り返します)
10. FLSCR<FLSMD>を“1100B”に設定します。
(コマンドシーケンスの実行を禁止します)
11. フラッシュ領域にジャンプします。

注1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF)を“0”に設定し、割り込みを禁止にしてください。通常はRAMに展開するプログラムの先頭でDI命令を実行してください。

注2) フラッシュメモリに書き込みを行うときにノンマスクブル割り込みを意図的に使用しないでください(ウォッチドッグタイマを使用している場合は禁止にしてください)。書き込み中にノンマスクブル割り込みが発生すると、フラッシュメモリ(割り込みベクタ)から想定しないデータ値が読み込まれるためマイコンが誤動作する恐れがあります。

(プログラム例) E000H~EFFFH のセクタイレースを実行した後、E000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```

DI                                ; 割り込みを禁止 (IMF←"0")
LD      (WDTCR2),4EH              ; WDT 2 進カウンタのクリア
LDW     (WDTCR1),0B101H          ; WDT の禁止
LD      (FLSCR),00111000B        ; コマンドシーケンスの実行を許可
LD      IX,0F555H
LD      IY,0FAAAH
LD      HL,0E000H
;#### フラッシュメモリセクタイレース処理 ####
LD      (IX),0AAH                ; 1st Bus Write Cycle
LD      (IY),55H                 ; 2nd Bus Write Cycle
LD      (IX),80H                 ; 3rd Bus Write Cycle
LD      (IX),0AAH                ; 4th Bus Write Cycle
LD      (IY),55H                 ; 5th Bus Write Cycle
LD      (HL),30H                 ; 6th Bus Write Cycle
sLOOP1: LD      W,(HL)
      CMP     W,(HL)
      JR      NZ,sLOOP1          ; 同一の値が読み出されるまでループする
;#### フラッシュメモリ書き込み処理 ####
LD      (IX),0AAH                ; 1st Bus Write Cycle
LD      (IY),55H                 ; 2nd Bus Write Cycle
LD      (IX),0A0H                ; 3rd Bus Write Cycle
LD      (HL),3FH                 ; 4th Bus Write Cycle, (E000H)=3FH
sLOOP2: LD      W,(HL)
      CMP     W,(HL)
      JR      NZ,sLOOP2          ; 同一の値が読み出されるまでループする
LD      (FLSCR),11001000B        ; コマンドシーケンスの実行を禁止
JP      XXXXH                    ; フラッシュ領域にジャンプします。

```

(プログラム例) F000H からデータをリードして RAM の 98H に格納する

```

LD      A,(0F000H)              ; F000H からデータを読み出す
LD      (98H),A                 ; 98H にデータを格納する

```

第 19 章 シリアル PROM モード

19.1 概要

TMP86FH93NG はフラッシュメモリへのプログラミング用に 2K バイトの BOOTROM(MASK ROM)を内蔵しています。BOOTROM は、シリアル PROM モードで有効になります。シリアル PROM モードは、TEST 端子と BOOT 端子、RESET 端子で制御され、UART を通して通信します。

シリアル PROM モードには、フラッシュメモリ書き込み、RAM ロード、フラッシュメモリ SUM 出力、製品識別コード出力、フラッシュメモリステータス出力、フラッシュメモリ消去、フラッシュメモリ Security Program 設定の 7 種類のモードがあります。シリアル PROM モードでは、メモリのアドレス割り当てが MCU モードと異なります。図 19-1 にシリアル PROM モードでのメモリアドレスマップを示します。

表 19-1 シリアル PROM モード動作範囲

項目	Min	Max	単位
電源電圧	4.5	5.5	V
高周波周波数	2	16	MHz

注) 上記の高周波周波数の範囲であってもサポートされない周波数があります。詳細については表 19-5 を参照ください。

19.2 メモリアドレスマップ

図 19-1 にシリアル PROM モードと MCU モードのメモリアドレスマップを示します。

シリアル PROM モードではアドレス 7800H ~ 7FFFH に BOOTROM (マスク ROM) がマッピングされます。

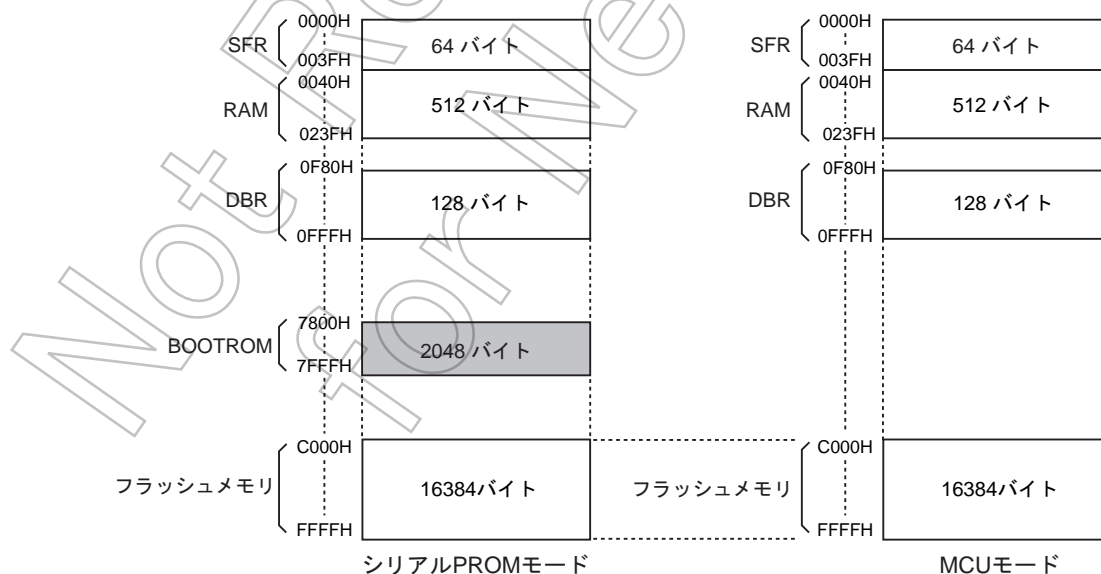


図 19-1 メモリアドレスマップ

19.3 シリアル PROM モード設定

19.3.1 シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 19-2 に示します。

表 19-2 シリアル PROM モード設定

端子	設定
TEST 端子	H レベル
BOOT/RXD1 端子	H レベル
RESET 端子	

注) シリアル PROM モードの起動端子(BOOT 端子)は、UART 通信用端子(RXD1 端子)と兼用です。同端子は、シリアル PROM モードが起動すると UART 通信用端子として機能します。

19.3.2 端子機能

シリアル PROM モード時、TXD1 (P00) と RXD1 (P01) をシリアル転送 (UART) 用端子として使用します。

表 19-3 シリアル PROM モードの端子機能

端子名 (シリアル PROM モード時)	入出力	機能	端子名(MCU モード時)
TXD1	出力	シリアルデータ出力	P00
BOOT/RXD1	入力/入力	シリアル PROM モード制御/シリアルデータ入力	P01
RESET	入力	シリアル PROM モード制御	RESET
TEST	入力	“H” レベルに固定します。	TEST
VDD	電源	4.5 V ~ 5.5 V	
VSS	電源	0 V	
P00、P01 以外の入出力ポート	入出力	シリアル PROM モード中はハイインピーダンスになります。ポート入力は貫通電流を防止するためハード的に入力レベルが固定されます(ポート入力は無効となります)。ポート入力を有効にするには、RAM ローダの制御プログラムによって SPCR レジスタの PIN を“1”に設定する必要があります。	
XIN	入力	発振子を取り付け自己発振させてください。	(注 2)
XOUT	出力		

注 1) オンボードプログラミング時、ほかの部品が実装されている場合は、これらの通信端子に影響を与えないようにしてください。

注 2) シリアル PROM モード時、高周波周波数の範囲は 2 ~ 16 MHz になります。

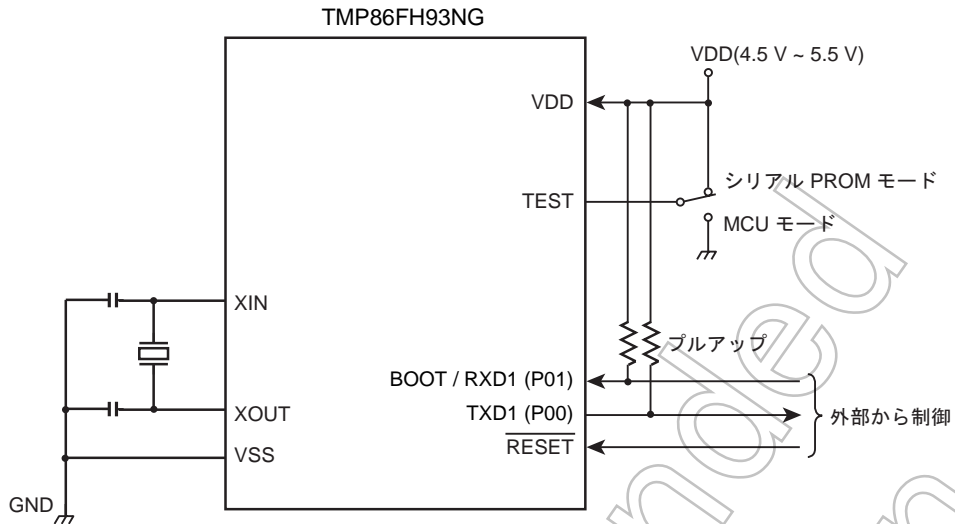


図 19-2 シリアル PROM モード端子設定

注) その他の端子処理については、「表 19-3 シリアル PROM モードの端子機能」を参照してください。

19.3.3 オンボード書き込み接続例

図 19-3 にオンボード書き込みを行う場合の接続例を示します。

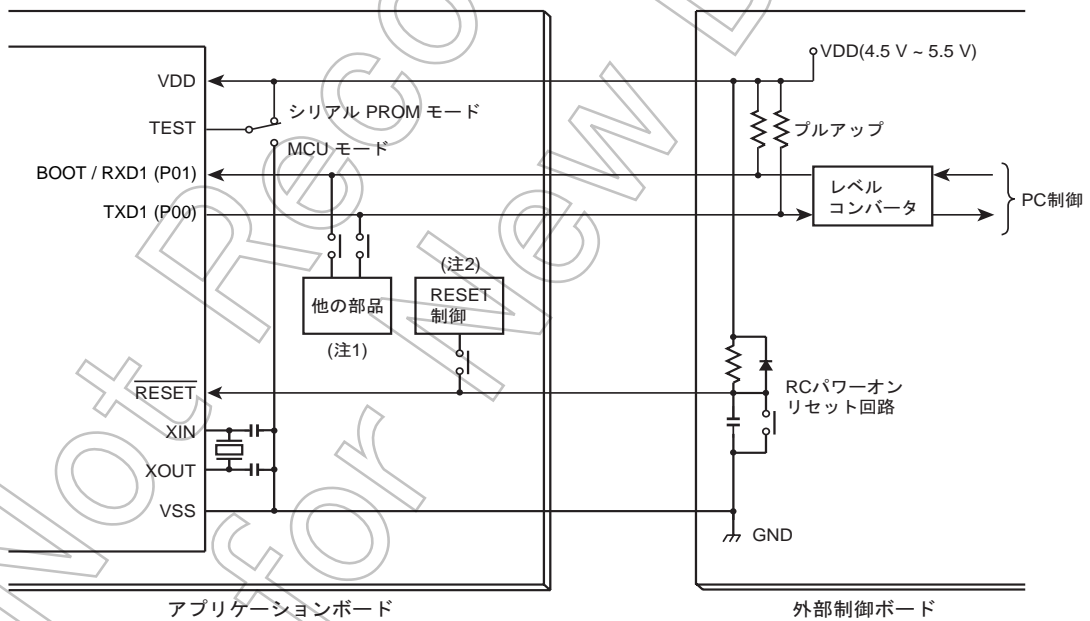


図 19-3 オンボード書き込み接続例

注 1) アプリケーション基板上の他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。

注 2) アプリケーション基板上のリセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。

注 3) その他の端子処理については、「表 19-3 シリアル PROM モードの端子機能」を参照してください。

19.3.4 シリアル PROM モードの起動

シリアル PROM モードを起動するには以下の手順で行います。図 19-4 にシリアル PROM モードの設定タイミングを示します。

1. VDD 端子に電源を供給します。
2. $\overline{\text{RESET}}$ 端子を L レベルに設定します。
3. TEST 端子, BOOT/RXD1 端子を H レベルに設定します。
4. 電源およびクロック発振が十分安定するまで待ちます。
5. $\overline{\text{RESET}}$ 端子を L→H レベルに設定します。
6. セットアップ期間が経過した後、BOOT/RXD1 端子にマッチングデータ 5AH を入力します。セットアップ期間については「19.16 UART タイミング」を参照してください。

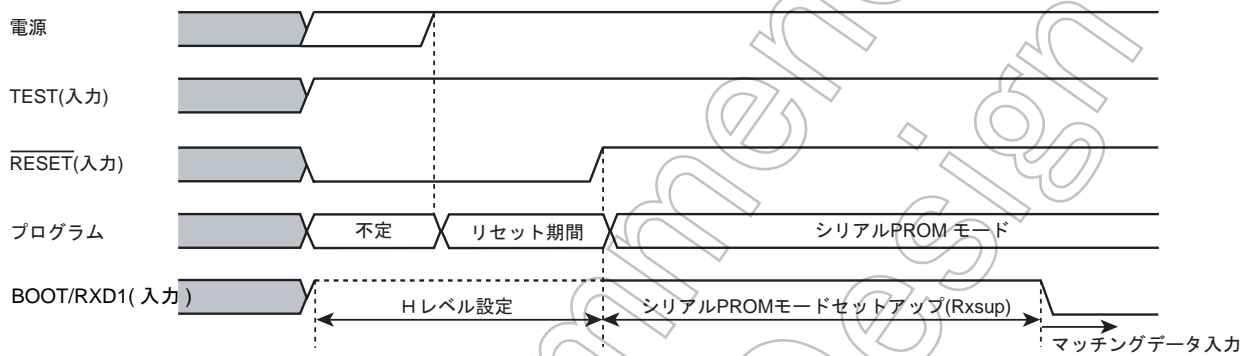


図 19-4 シリアル PROM モードタイミング

19.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートはマイコンの動作周波数によらず 9600 bps を自動検出します。その後、表 19-4 に示すボーレート変更データを TMP86FH93NG に送信することによりボーレートの変更が可能です。表 19-5 にマイコンの動作周波数とボーレートを示します (表 19-5 に示されていない周波数では使用できません)。

- ボーレート(初期値) : 9600 bps
- データ長 : 8 ビット
- パリティビット : なし
- STOP ビット : 1 ビット

表 19-4 ボーレート変更データ

ボーレート変更データ	04H	05H	06H	07H	0AH	18H	28H
ボーレート (bps)	76800	62500	57600	38400	31250	19200	9600

表 19-5 シリアル PROM モード時の動作周波数とボーレート対応表

(注 3)	基準ボーレート (bps)		76800		62500		57600		38400		31250		19200		9600	
	ボーレート変更データ		04H		05H		06H		07H		0AH		18H		28H	
	基準周波数 (MHz)	対応範囲 (MHz)	Baud rate (bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)
1	2	1.91~2.10	-	-	-	-	-	-	-	-	-	-	-	-	9615	+0.16
2	4	3.82~4.19	-	-	-	-	-	-	-	31250	0.00	19231	+0.16	9615	+0.16	
	4.19	3.82~4.19	-	-	-	-	-	-	-	32734	+4.75	20144	+4.92	10072	+4.92	
3	4.9152	4.70~5.16	-	-	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	5	4.70~5.16	-	-	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
4	6	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9375	-2.34
	6.144	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9600	0.00
5	7.3728	7.05~7.74	-	-	-	-	57600	0.00	-	-	-	-	19200	0.00	9600	0.00
6	8	7.64~8.39	-	-	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16
7	9.8304	9.40~10.32	76800	0.00	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	10	9.40~10.32	78125	+1.73	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
8	12	11.75~12.90	-	-	-	-	57692	+0.16	-	-	31250	0.00	18750	-2.34	9375	-2.34
	12.288	11.75~12.90	-	-	-	-	59077	+2.56	-	-	32000	+2.40	19200	0.00	9600	0.00
	12.5	11.75~12.90	-	-	60096	-3.85	60096	+4.33	-	-	30048	-3.85	19531	+1.73	9766	+1.73
9	14.7456	14.10~15.48	-	-	-	-	57600	0.00	38400	0.00	-	-	19200	0.00	9600	0.00
10	16	15.27~16.77	76923	+0.16	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16

- 注 1) 基準周波数と対応範囲はシリアル PROM モードが動作可能な周波数です。ただし周波数が対応範囲内であっても、外部コントローラ(パソコン等)や発振子の周波数誤差、通信端子の負荷容量などの要因により、シリアル PROM モードが正しく動作しない場合があります。
- 注 2) 基準周波数で確実に自動検出を行うために、外部コントローラ(パソコン等)と、発振周波数誤差との総合誤差を±3%以内で使用することを推奨します。
- 注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ(5AH)を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

19.5 動作コマンド

シリアル PROM モードでは、表 19-6 に示す 8 つのコマンドを使用します。リセット解除後、TMP86FH93NG はマッチングデータ (5AH) 待ちの状態となります。

表 19-6 シリアル PROM モード動作コマンド

コマンドデータ	動作モード	備考
5AH	セットアップ	マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。
F0H	フラッシュメモリ消去	フラッシュメモリ領域(アドレス C000H~FFFFH)の消去が可能です。
30H	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス C000H~FFFFH) への書き込みが可能です。
60H	RAM ロード	特定の RAM 領域 (アドレス 0050H~023FH) への書き込みが可能です。
90H	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス C000H~FFFFH) のチェックサム(2 バイト)の上位、下位の順に出力します。
C0H	製品識別コード出力	製品を識別するためのコード(13 バイトデータ)を出力します。
C3H	フラッシュメモリステータス出力	Security Program の状態等のステータスコード(7 バイトデータ)を出力します。
FAH	フラッシュメモリ Security Program 設定	Security Program の設定が可能です。

19.6 動作モード

シリアル PROM モードには、(1)フラッシュメモリ消去、(2)フラッシュメモリ書き込み、(3)RAM ロード、(4)フラッシュメモリ SUM 出力、(5)製品識別コード出力、(6)フラッシュメモリステータス出力、(7)フラッシュメモリ Security Program 設定の 7 種類のモードがあります。以下は、各モードの概要です。

1. フラッシュメモリ消去モード

チップイレース (フラッシュメモリの全面消去) またはセクタイレース (フラッシュメモリの 4K バイト単位の消去) のいずれかの方法でフラッシュメモリを消去することができます。消去されたエリアのデータは FFH となります。Security Program が設定されている場合、フラッシュ消去モードのセクタイレースは実行できません。Security Program 設定を解除するには、フラッシュ消去モードのチップイレースを実行してください。なお、TMP86FH93NG はブランク品の場合を除き、フラッシュメモリの消去を行う前にパスワード照合を行います。パスワードが一致しない限り、フラッシュメモリ消去モードは実行されません。

2. フラッシュメモリ書き込みモード

指定したフラッシュメモリのアドレスに、1 バイト単位で任意のデータを書き込むことができます。外部コントローラは、書き込みデータをインテル HEX フォーマットのバイナリデータとして送信してください。エンドレコードまでエラーがなければ、TMP86FH93NG はフラッシュメモリ全領域(C000H~FFFFH)のチェックサムを計算し、その結果を返します。なお、フラッシュメモリ書き込みモードは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FH93NG はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。

3. RAM ロードモード

RAM ロードは、外部コントローラからインテル HEX フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM のアドレスにジャンプし、ユーザープログラムの実行を開始します。なお、RAM ロードモードは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FH93NG はブランク品の場合を除き、RAM ロードモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ロードモードは実行されません。

4. フラッシュメモリ SUM 出力モード

フラッシュメモリ全領域(C000H~FFFFH)のチェックサムを計算し、その結果を返します。BOOTROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。

5. 製品識別コード出力モード

製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

(TMP86FH93NG の場合、ROM の領域はアドレス C000H~FFFFH となります。)

6. フラッシュメモリステータス出力モード

FFE0H~FFFFH の状態と Security Program の状態が出力されます。出力されるコードは 7 バイトです。外部コントローラはこのコードを読み取ることにより、フラッシュメモリの状態を識別することができます。

7. フラッシュメモリ Security Program 設定モード

パラレル PROM モードでのフラッシュメモリデータの読み出しを禁止します。シリアル PROM モードでは、フラッシュメモリ書き込みモード、RAM ローダーモードが禁止されます。フラッシュメモリ Security Program 設定を解除するにはフラッシュメモリ消去モードで、チップイレースを実行してください。

Not Recommended for New Design

19.6.1 フラッシュメモリ消去モード (動作コマンド: F0H)

表 19-7 にフラッシュメモリ消去モードを示します。

表 19-7 フラッシュメモリ消去モード

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 19-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (F0H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (F0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	Password 数格納先アドレス 15-08 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	Password 数格納先アドレス 07-00 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	Password 比較開始アドレス 15-08 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	Password 比較開始アドレス 07-00 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	Password 列 注 4,5) -	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	n バイト目	消去範囲指定 注 2)	変更後ボーレート	-
	n'th-1 バイト目	-	変更後ボーレート	OK: チェックサム(上位) (注 3) Error: 何も送信しません
	n'th バイト目	-	変更後ボーレート	OK: チェックサム(下位) (注 3) Error: 何も送信しません
	n'th+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) 消去範囲指定については「19.13 消去範囲指定」を参照してください。

注 3) チェックサムについては、後述の「19.8 チェックサム(SUM)」を参照してください。

注 4) パスワードについては、後述の「19.10 パスワード」を参照してください。

注 5) ブランク品には、Password 列は送信しないでください。

注 6) パスワードエラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 7) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ消去モードの動作

1. 1バイト目から4バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5バイト目の受信データはフラッシュメモリ消去モードコマンドデータ (F0H) となります。
3. 5バイト目の受信データが表 19-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6バイト目として受信したデータと同じ値 (この場合 F0H) をエコーバック送信します。もし、5バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を3バイト送信した後、動作停止状態となります。
4. 7バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同様です。ただしブランク品の場合はパスワード列を送信しないでください (ダミーのパスワード列を送信しないでください)。
5. n-2 バイト目は消去範囲指定データです。上位4ビットが消去範囲の開始アドレス、下位4ビットが終了アドレスです。詳細については、「19.13 消去範囲指定」を参照してください。
6. n-1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については、「19.8 チェックサム(SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合のみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. デバイスはチェックサムを送信後、動作コマンドデータ待ちの状態となります。

19.6.2 フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 19-8 にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 19-8 フラッシュメモリ書き込みモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ(表 19-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (30H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (30H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	m + 1 バイト目 : n - 2 バイト目	インテル HEX フォーマット (Binary) (注 2)	変更後ボーレート	- -
	n - 1 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 3) Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません
	n + 1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「19.7 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては、「19.9 インテル Hex フォーマット(Binary)」を参照してください。

注 3) チェックサムについては、「19.8 チェックサム(SUM)」を参照してください。

注 4) パスワードについては、「19.10 パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 7) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

- 注 8) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われるとパスワードエラーとなるため、以降の処理が実行できなくなります。
- 注 9) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

フラッシュメモリ書き込みモードの動作説明

1. 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FH93NG(以下、デバイスと呼ぶ)はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps にあわせませす。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。したがって、外部コントローラはデバイスがエコーバックデータを送信するまでマッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細は表 19-5 を参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データは表 19-4 に示すとおり 5 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600 bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後、有効となります。もし、3 バイト目の受信データが、いずれのボーレート変更データに該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データはフラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 19-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7~0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。したがって、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態となります。なお、FFE0H~FFFFH 領域がすべて FFH の場合はブランク品と判定され、パスワード比較は行われません。
12. m+1 バイト目~n-2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX

フォーマットのスタートマーク(3AH、“:”)を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード(データ長、アドレス、レコードタイプ、データ、チェックサムで構成)として受信します。

デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。

13. $n-1$ バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「19.8 チェックサム(SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合のみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Design

19.6.3 RAM ロードモード(動作コマンド: 60H)

表 19-9 に RAM ロードモードの転送フォーマットを示します。

表 19-9 RAM ロードモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) -	9600 bps 9600 bps	-(ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません	
	3 バイト目 4 バイト目	ボーレート変更データ(表 19-4) -	9600 bps 9600 bps	OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)	
	5 バイト目 6 バイト目	動作コマンドデータ (60H) -	変更後ボーレート 変更後ボーレート	OK: エコーバックデータ (60H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)	
	7 バイト目 8 バイト目	パスワード数格納アドレスの ビット 15~08 (注 4)	変更後ボーレート	OK: 何も送信しません Error: 何も送信しません	
	9 バイト目 10 バイト目	パスワード数格納アドレスの ビット 07~00 (注 4)	変更後ボーレート	OK: 何も送信しません Error: 何も送信しません	
	11 バイト目 12 バイト目	パスワード比較開始アドレスの ビット 15~08 (注 4)	変更後ボーレート	OK: 何も送信しません Error: 何も送信しません	
	13 バイト目 14 バイト目	パスワード比較開始アドレスの ビット 07~00 (注 4)	変更後ボーレート	OK: 何も送信しません Error: 何も送信しません	
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート	OK: 何も送信しません Error: 何も送信しません	
	m + 1 バイト目 : n - 2 バイト目	インテル HEX フォーマット (Binary) (注 2)	変更後ボーレート 変更後ボーレート	- -	
	n - 1 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 3) Error: 何も送信しません	
	n バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません	
	RAM	-	書き込みを開始した RAM の先頭アドレスにジャンプしプログラムを実行します。		

注 1) “xxH × 3” を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「19.7 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては「19.9 インテル Hex フォーマット(Binary)」を参照してください。

注 3) チェックサムについては、「19.8 チェックサム(SUM)」を参照してください。

注 4) パスワードについては、「19.10 パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて“FFH”の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、デバイスがパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。

注 7) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

- 注 8) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 9) 既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

RAM ロードモードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは RAM ロードモードコマンドデータ(60H)となります。
3. 5 バイト目の受信データが表 19-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値(この場合 60H)をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード(63H)を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. m+1 バイト目~n-2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク(3AH、“:”)を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード(データ長、アドレス、レコードタイプ、データ、チェックサムで構成)として受信します。データレコードのうち、データはアドレスにて指定された RAM に書き込まれます。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
6. n-1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「19.8 チェックサム(SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. チェックサムを送信後、最初に受信したデータレコードで指定される RAM アドレスにジャンプし、プログラムの実行を開始します。

19.6.4 フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 19-10 にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 19-10 フラッシュメモリ SUM 出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目	マッチングデータ (5AH)	9600 bps	- (ボーレート自動判定)
	2 バイト目	-	9600 bps	OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目	ボーレート変更データ (表 19-4)	9600 bps	-
	4 バイト目	-	9600 bps	OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目	動作コマンドデータ (90H)	変更後ボーレート	-
	6 バイト目	-	変更後ボーレート	OK: エコーバックデータ (90H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 2) Error: 何も送信しません
	8 バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 2) Error: 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「19.7 エラーコード」を参照してください。

注 2) チェックサムについては「19.8 チェックサム(SUM)」を参照してください。

フラッシュメモリ SUM 出力モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
- 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ (90H) となります。
- 5 バイト目の受信データが「表 19-6 シリアル PROM モード動作コマンド」に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
- 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「19.8 チェックサム(SUM)」を参照してください。
- デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

19.6.5 製品識別コード出力モード(動作コマンド: C0H)

表 19-11 に製品識別コード出力モードの転送フォーマットを示します。

表 19-11 製品識別コード出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	-(ボーレート自動判定) OK:エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ(表 19-4) -	9600 bps 9600 bps	OK:エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ(C0H) -	変更後ボーレート 変更後ボーレート	- OK:エコーバックデータ (C0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目		変更後ボーレート	3AH スタートマーク
	8 バイト目		変更後ボーレート	0AH 転送データ数 (9~18 バイト目までのバイト数)
	9 バイト目		変更後ボーレート	02H アドレス長 (2 バイト)
	10 バイト目		変更後ボーレート	1DH Reserved
	11 バイト目		変更後ボーレート	00H Reserved
	12 バイト目		変更後ボーレート	00H Reserved
	13 バイト目		変更後ボーレート	00H Reserved
	14 バイト目		変更後ボーレート	01H ROM のブロック数 (1 ブロック)
	15 バイト目		変更後ボーレート	C0H ROM の先頭アドレス (上位)
	16 バイト目		変更後ボーレート	00H ROM の先頭アドレス (下位)
	17 バイト目		変更後ボーレート	FFH ROM の終了アドレス (上位)
	18 バイト目		変更後ボーレート	FFH ROM の終了アドレス (下位)
	19 バイト目		変更後ボーレート	22H 転送データのチェックサム (9~18 バイト目までのチェックサム)
	20 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「19.7 エラーコード」を参照してください。

製品識別コード出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは製品識別コード出力モードコマンドデータ (C0H) となります。
3. 5 バイト目の受信データが表 19-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C0H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 9 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については「19.11 製品識別コード」を参照してください。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

19.6.6 フラッシュメモリステータス出力モード (動作コマンド: C3H)

表 19-12 にフラッシュメモリステータス出力モードを示します。

表 19-12 フラッシュメモリステータス出力モード

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません	
	3 バイト目 4 バイト目	ボーレート変更データ (表 19-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)	
	5 バイト目 6 バイト目	動作コマンドデータ (C3H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (C3H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)	
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	04H	バイトカウント (9 ~ 12 バイト目までの数)
	9 バイト目		変更後ボーレート	00H ~ 03H	ステータスコード 1
	10 バイト目		変更後ボーレート	00H	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	チェックサム (9~12 バイト目までの総和の 2 の補数) 9 バイト目が 00H のとき: 00H 9 バイト目が 01H のとき: FFH 9 バイト目が 02H のとき: FEH 9 バイト目が 03H のとき: FDH	
	14 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-	

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。.

注 2) ステータスコード 1 の詳細については、「19.12 フラッシュメモリステータスコード」を参照してください。

フラッシュメモリステータス出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ (C3H) となります。
3. 5 バイト目の受信データが表 19-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C3H) をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 9~13 バイト目は、ステータスコードとなります。ステータスコードの詳細については、「19.12 フラッシュメモリステータスコード」を参照してください。.
5. ステータスコードを送信後、次の動作コマンドデータ待ちの状態となります。

19.6.7 フラッシュメモリ Security Program 設定モード (動作コマンド: FAH)

表 19-13 にフラッシュメモリ Security Program 設定モードを示します。

表 19-13 フラッシュメモリ Security Program 設定モード

	転送バイト数	外部コントローラから TMP86FH93NG への転送データ	ボーレート	TMP86FH93NG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 19-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (FAH) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (FAH) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	Password 数格納先アドレス 15-08 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	Password 数格納先アドレス 07-00 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	Password 比較開始アドレス 15-08 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	Password 比較開始アドレス 07-00 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	Password 列 (注 2) -	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: FBH (注 3) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) "xxH × 3"の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) パスワードについては、後述の「19.10 パスワード」を参照してください。

注 3) ブランク品に対して Security Program 設定モードを実行した場合、また、非ブランク品でパスワードエラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。この場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) パスワードアドレス、列データ受信中に通信エラーが発生した場合、TMP86FH93NG は UART 通信を終了し動作停止状態となります。この場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ Security Program 設定モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ (FAH) となります。
3. 5 バイト目の受信データが「表 19-6 シリアル PROM モード動作コマンド」に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 FAH) をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。

4. 7バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. n バイト目は、フラッシュメモリ Security Program が成功した場合、ステータスが外部コントローラに送信されます。

Not Recommended
for New Design

19.7 エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 19-14 に示します。

表 19-14 エラーコード一覧

送信データ	エラー内容
62H, 62H, 62H	ボーレート変更データエラー
63H, 63H, 63H	動作コマンドエラー
A1H, A1H, A1H	受信データのフレーミングエラー
A3H, A3H, A3H	受信データのオーバーランエラー

注) パスワードエラーの場合は、エラーコードは送信されません。

19.8 チェックサム(SUM)

19.8.1 計算方法

チェックサム (SUM) は byte + byte... + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例)

A1H	左記 4 バイトが計算対象データの場合、チェックサムは以下のようになります。 $A1H + B2H + C3H + D4H = 02EAH$ SUM (HIGH) = 02h SUM (LOW) = EAH
B2H	
C3H	
D4H	

フラッシュメモリ書き込みモード、RAM ロードモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

19.8.2 計算対象データ

表 19-15 に各モードにおけるチェックサムの計算対象データを示します。

表 19-15 チェックサムの計算対象データ

動作モード	計算対象データ	備考
フラッシュメモリ書き込みモード	フラッシュメモリの全領域のデータ	フラッシュメモリの一部に書き込みを行った場合でも、フラッシュメモリ全領域(C000H~FFFFH)のチェックサムを計算します。なお、インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
フラッシュメモリ SUM 出力モード		
RAM ロードモード	最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ	インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
製品識別コード出力モード	転送データの 9~18 バイト目のデータ	詳細については、「19.11 製品識別コード」を参照してください。
フラッシュメモリステータス出力モード	転送データの 9~12 バイト目のデータ	詳細については、「表 19-12 フラッシュメモリステータス出力モード」を参照してください。
フラッシュメモリ消去モード	消去したフラッシュメモリアreaの全データ (フラッシュメモリの全体または一部)	ブロック消去を行った場合は、消去した領域のみがチェックサムの対象となります。チップイレース(全面消去)を行った場合は、フラッシュメモリの全領域がチェックサムの対象となります。

19.9 インテル Hex フォーマット(Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH “:”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル HEX フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル HEX フォーマットエラーは以下の場合発生します。
 - レコードタイプが “00h”、“01h”、“02h” 以外の場合
 - チェックサムエラーが発生した場合
 - 拡張レコード(レコードタイプ = 02H)のデータ長が 02H でない場合
 - 拡張レコード(レコードタイプ = 02H)の拡張アドレスが 1000H 以上で、その後データレコードを受信した場合
 - エンドレコード(レコードタイプ = 01H)のデータ長が 00H でない場合

19.10 パスワード

TMP86FH93NG はフラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内のアドレス C000H~FF9FH となります(アドレス FFA0H~FFFFH はパスワードとして設定できません)。

アドレス FFE0H~FFFFH のデータがすべて“FFH”の場合、ブランク品とみなされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスを送信する必要があります。「表 19-16 ブランク品と書き込み品でのパスワード設定方法」にブランク品と書き込み品の場合のパスワード設定方法を示します。

表 19-16 ブランク品と書き込み品でのパスワード設定方法

パスワード	ブランク品(注 1)	書き込み品
PNSA (パスワード数格納アドレス)	C000H ≤ PNSA ≤ FF9FH	C000H ≤ PNSA ≤ FF9FH
PCSA (パスワード比較開始アドレス)	C000H ≤ PCSA ≤ FF9FH	C000H ≤ PCSA ≤ FFA0 - N
N (パスワード数)	*	8 ≤ N
パスワード列の設定	不要 (注 5)	必要 (注 2)

注 1) アドレス FFE0H~FFFFH の領域がすべて“FFH”となっている製品をブランク品とします。

注 2) 3 バイト以上同一となるデータは、パスワード列として設定できません(パスワード判定でエラーとなり、TMP86FH93NG は何のデータも送信せず、停止状態となります)。

注 3) *: Don't care.

注 4) 上記条件を満たさない場合パスワードエラーとなります。なおパスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。

注 5) フラッシュメモリ書き込みモード、RAM ローダモードの時、ブランク品は PCSA の受信後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク(3AH ":")を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に"3AH"が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

注 6) フラッシュメモリ消去モードでは、ブランク品に対してパスワード列を送信しないでください。

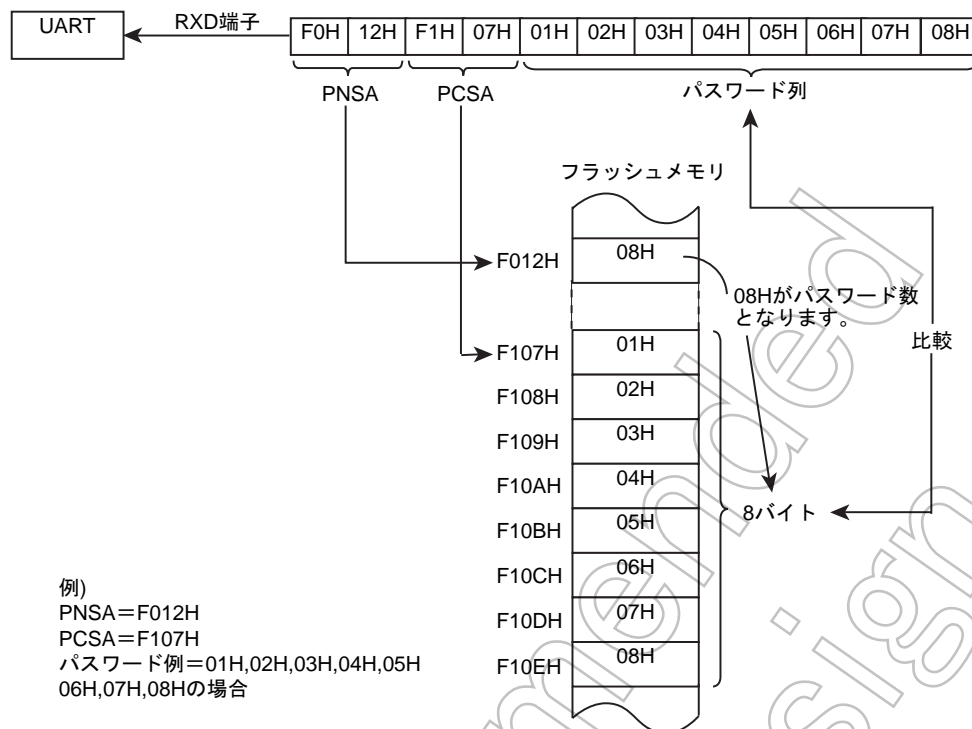


図 19-5 パスワードの比較(例)

19.10.1 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

19.10.2 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

19.10.3 ソフトウェア開発時のパスワードについて

ソフトウェアの開発時にプログラムの変更が何度も行われると、パスワードが分からなくなってしまうことがあります。よって、ソフトウェアの開発時はパスワードを固定にすることを推奨します。

(プログラム例) F000H に PNSA、F001H から 8 バイトをパスワード列に割り当てる。

(PCSA は F001H になります)

Password Section code abs = 0F000H

DB	08H	; PNSA の定義
DB	"CODE1234"	; パスワード列の定義

19.11 製品識別コード

製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。表 19-17 に製品識別コードのデータフォーマットを示します。

表 19-17 製品識別コードのデータフォーマット

データ	データの意味	TMP86FH93NG の場合のデータ
1st	スタートマーク (3AH)	3AH
2nd	転送データ数 (3rd ~ 12th データの 10 バイト)	0AH
3rd	アドレスのバイト長 (2 バイト)	02H
4th	Reserved	1DH
5th	Reserved	00H
6th	Reserved	00H
7th	Reserved	00H
8th	ROM のブロック数	01H
9th	ROM の先頭アドレス (上位)	C0H
10th	ROM の先頭アドレス (下位)	00H
11th	ROM の終了アドレス (上位)	FFH
12th	ROM の終了アドレス (下位)	FFH
13th	転送データのチェックサム (3rd ~ 12th データまでの総和の 2 の補数)	22H

19.12 フラッシュメモリステータスコード

フラッシュメモリステータスコードは7バイトのデータで、フラッシュメモリ Security Program の状態、FFE0H から FFFFH の状態を示します。

表 19-18 フラッシュメモリステータスコード

データ	データの意味	TMP86FH93NG の場合
1st	スタートマーク	3AH
2nd	転送データ数 (3rd ~ 6th データの 4 バイト)	04H
3rd	ステータスコード	00H ~ 03H (下記を参照)
4th	Reserved	00H
5th	Reserved	00H
6th	Reserved	00H
7th	転送データのチェックサム (3th ~ 6th データまでの総和の 2 の補数)	3rd データが 00H のとき : 00H 3rd データが 01H のとき : FFH 3rd データが 02H のとき : FEH 3rd データが 03H のとき : FDH

ステータスコード 1



RPENA	フラッシュメモリ Security Program 状態	0: Security Program が解除された状態 1: Security Program が設定された状態
BLANK	FFE0H ~ FFFFH の状態	0: FFE0 ~ FFFFH までの領域のデータがすべて FFH の場合 1: FFE0 ~ FFFFH までの領域のデータが上記以外の場合

ステータスコード 1 の内容によって、実行が制限されるコマンドがあります。詳細は以下の表を参照してください。フラッシュメモリ Security Program が設定されると「フラッシュメモリ書き替えコマンド」、「RAM ロードコマンド」は実行できなくなります。これらのコマンドを実行するためには事前にはフラッシュの全面消去を実行してください。

RPENA	BLANK	フラッシュメモリ書き替えモード	RAM ロードモード	フラッシュメモリ SUM 出力モード	製品識別コード出力モード	フラッシュメモリステータス出力モード	フラッシュメモリ消去モード		フラッシュメモリ Security Program 設定モード
							チップイレース	セクタイレース	
0	0	○	○	○	○	○	○		×
0	1	Pass	Pass	○	○	○	Pass		Pass
1	0	×	×	○	○	○	○	×	×
1	1	×	×	○	○	○	Pass	×	Pass

注) ○: コマンド実行可能

Pass: コマンド実行にはパスワードが必要

×: コマンド実行不可

(コマンドのエコーバックを返した後、TMP86FH93NG は UART 通信を終了し動作停止状態となります)

19.13 消去範囲指定

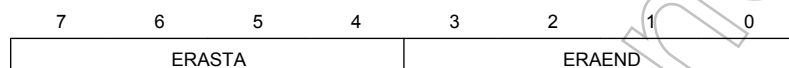
フラッシュメモリ消去モードで、n-2 バイト目はフラッシュ領域の消去範囲を指定します。

ERASTA で消去領域の開始アドレス、ERAEND で消去領域の終了アドレスを指定します。

ERASTA ≤ ERAEND となるデータを指定すると、セクタイレース（フラッシュメモリの 4K バイト単位の消去）が実行されます。ただし Security Program が設定された状態でセクタイレースを実行すると無限ループ状態となります。

ERASTA > ERAEND となるデータを指定すると、チップイレース（フラッシュメモリの全面消去）が実行され、フラッシュメモリの Security Program が解除されます。よってフラッシュメモリの Security Program を解除するためには、セクタイレースではなくチップイレースを実行してください。

消去範囲指定データ（n-2 バイト目のデータ）



ERASTA	消去領域開始アドレス	0000: 0000H ~ 0001: 1000H ~ 0010: 2000H ~ 0011: 3000H ~ 0100: 4000H ~ 0101: 5000H ~ 0110: 6000H ~ 0111: 7000H ~ 1000: 8000H ~ 1001: 9000H ~ 1010: A000H ~ 1011: B000H ~ 1100: C000H ~ 1101: D000H ~ 1110: E000H ~ 1111: F000H ~
ERAEND	消去領域終了アドレス	0000: ~0FFFH 0001: ~1FFFH 0010: ~2FFFH 0011: ~3FFFH 0100: ~4FFFH 0101: ~5FFFH 0110: ~6FFFH 0111: ~7FFFH 1000: ~8FFFH 1001: ~9FFFH 1010: ~AFFFH 1011: ~BFFFH 1100: ~CFFFH 1101: ~DFFFH 1110: ~EFFFH 1111: ~FFFFH

注) フラッシュセルの存在しない領域に対してブロック消去を実行すると TMP86FH93NG は UART 通信を終了し動作停止状態となります

19.14 ポート入力制御レジスタ

シリアル PROM モードでは、不使用ポートの貫通電流を防止するため、リセット解除後 P00、P01 ポートを除く全てのポート入力、ハード的に入力レベルが固定されます(ポート入力やポートと兼用の周辺機能入力は無効になります)。従って RAM ロードモードを使用して UART 以外の方法でフラッシュメモリのアクセスを行う場合は、ポート入力を有効にする必要があります。ポート入力を有効にするには、ポート入力制御レジスタ (SPCR) の PIN を "1" に設定してください。

なお、MCU モードでは、SPCR レジスタは機能しません。

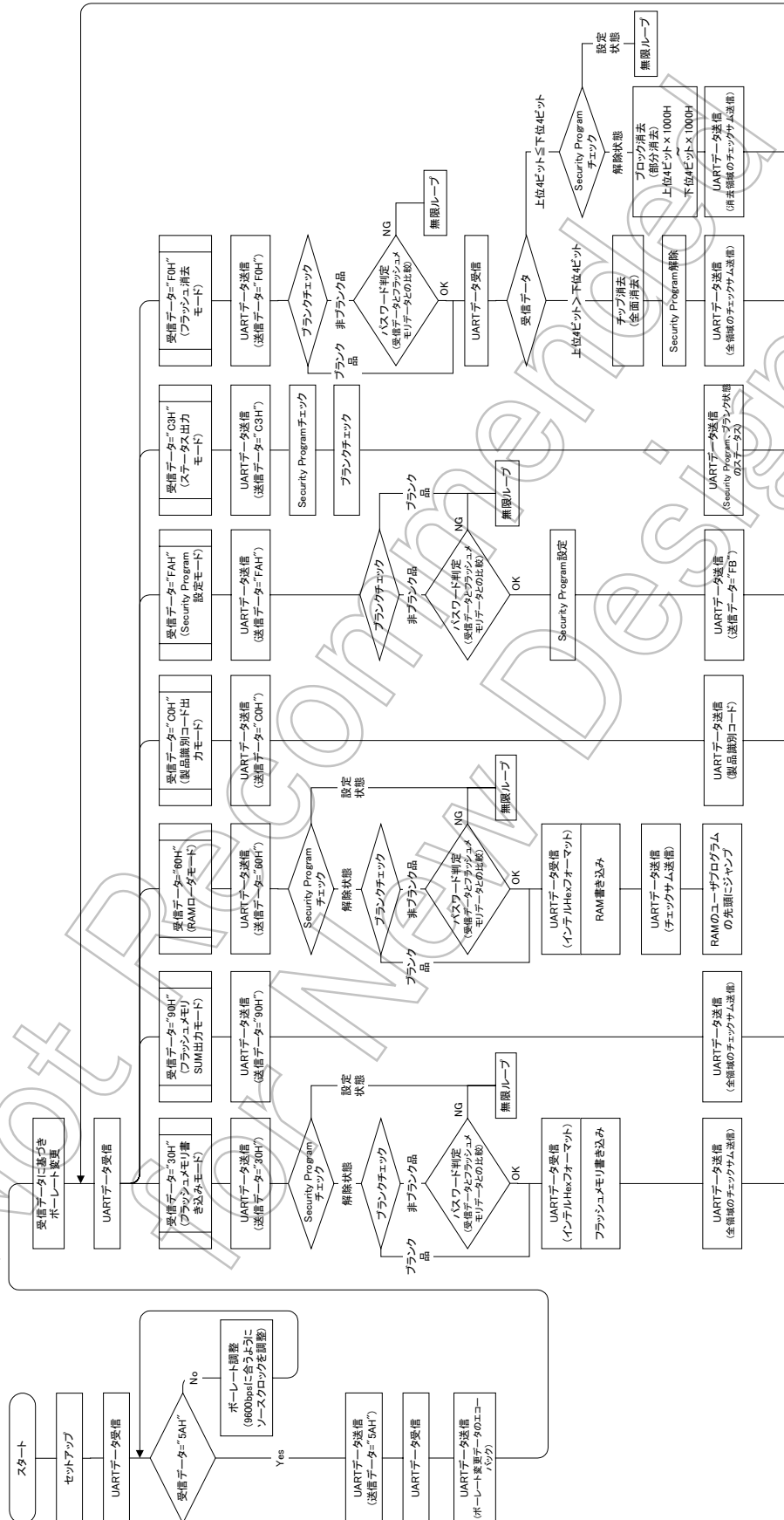
ポート入力制御レジスタ

SPCR (0FEAH) 7 6 5 4 3 2 1 0
 PIN (初期値: **** *0)

PIN	シリアル PROM モードの ポート入力制御	0: ポート入力無効 (ハード的に入力レベルが固定されます) 1: ポート入力有効	R/W

- 注 1) SPCR レジスタは、シリアル PROM モード時のみ R/W 可能です。MCU モードで同レジスタに対してライト命令を実行してもポート入力制御は機能しません。また、MCU モードで同レジスタに対してリード命令を実行すると不定値が読み出されます。
- 注 2) SPCR レジスタによって制御されるのは、P00、P01 ポートを除く全ての I/O ポートです。

19.15 フローチャート



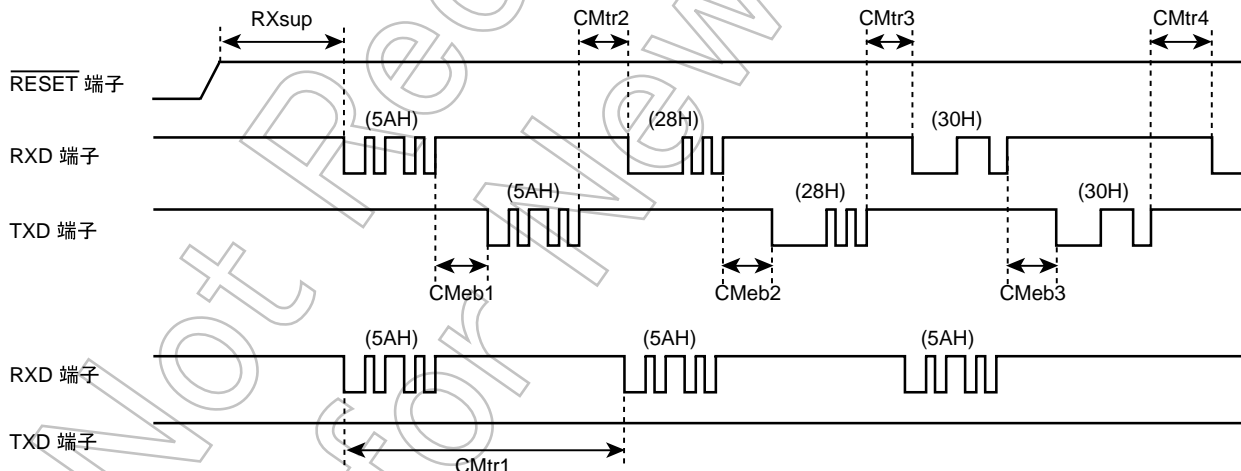
19.16 UART タイミング

表 19-19 UART タイミング-1 (VDD = 4.5 V~5.5 V, fc = 2~16 MHz, Topr = -10 ~ 40°C)

項目	記号	クロック数 (fc)	必要最低時間	
			At fc = 2 MHz	At fc = 16 MHz
マッチングデータ (5AH) 受信からエコーバックまでの時間	CMeb1	Approx. 930	465 μs	58.1 μs
ボーレート変更データ受信からエコーバックまでの時間	CMeb2	Approx. 980	490 μs	61.3 μs
動作コマンド受信からエコーバックまでの時間	CMeb3	Approx. 800	400 μs	50 μs
チェックサム計算時間	CKsm	Approx. 7864500	3.93 s	491.5 μs
フラッシュメモリ一括消去時間	CEall	-	30 ms	30 ms
フラッシュメモリ一部消去時間(4K ごと)	CEsec	-	15 ms	15 ms

表 19-20 UART タイミング-2 (VDD = 4.5 V~5.5 V, fc = 2 ~16 MHz, Topr = -10 ~ 40°C)

項目	記号	クロック数 (fc)	必要最低時間	
			At fc = 2 MHz	At fc = 16 MHz
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	2100	1.05 ms	131.3 ms
マッチングデータ送信間隔	CMtr1	28500	14.2 ms	1.78 ms
マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間	CMtr2	380	190 μs	23.8 μs
ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間	CMtr3	650	325 μs	40.6 μs
動作コマンドのエコーバックからパスワード数格納アドレス(上位)受信可能となるまでの時間	CMtr4	800	400 μs	50 μs



Not Recommended
for New Design

第 20 章 端子の入出力回路

20.1 制御端子

TMP86FH93NG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.5 \text{ M}\Omega$ (typ.) $R_o = 0.5 \text{ K}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 8 \text{ M}\Omega$ (typ.) $R_o = 200 \text{ K}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 ブルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 100 \Omega$ (typ.)
TEST	入力		$R = 100 \Omega$ (typ.)

注) TMP86FH93NG の TEST 端子には、プルダウン抵抗と保護ダイオード(D1)は内蔵されていません。MCU モードでは、必ず"L"レベルに固定してください。

20.2 入出力ポート

ポート	入出力	入出力回路	備考
P0	入出力	<p>初期値 "High-Z"</p> <p>プログラマブルプルアップ抵抗</p> <p>Pull-up 制御</p> <p>Pch 制御</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>High-Z 制御</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>シンクオープンドレイン または プッシュプル出力 ヒステリシス入力 大電流出力 (Nch) (プログラマブルポートオプション) プログラマブルプルアップ抵抗 (100kΩ (typ.)) R = 100 Ω (typ.)</p>
P1	入出力	<p>初期値 "High-Z"</p> <p>プログラマブルプルアップ抵抗</p> <p>Pull-up 制御</p> <p>データ出力</p> <p>出力禁止</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>シンクオープンドレイン または プッシュプル出力 ヒステリシス入力 プログラマブルプルアップ抵抗 (100kΩ (typ.)) R = 100 Ω (typ.)</p>
P2	入出力	<p>初期値 "High-Z"</p> <p>P20</p> <p>プログラマブルプルアップ抵抗</p> <p>Pull-up 制御</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>シンクオープンドレイン ヒステリシス入力 プログラマブルプルアップ抵抗 (100kΩ (typ.)) R = 100 Ω (typ.)</p>
		<p>初期値 "High-Z"</p> <p>P22~P21</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	

ポート	入出力	入出力回路	備考
P3	入出力	<p>初期値 "High-Z" アナログ入力</p> <p>データ出力</p> <p>出力禁止</p> <p>キーオンウェイク アップ入力</p> <p>端子入力</p> <p>初期値 "High-Z" アナログ入力</p> <p>データ出力</p> <p>出力禁止</p> <p>端子入力</p> <p>初期値 "High-Z"</p> <p>データ出力</p> <p>High-Z 制御</p> <p>端子入力</p> <p>P37~P34</p> <p>P33, P32</p> <p>P31, P30</p>	<p>トライステート入出力 ヒステリシス入力 R = 100 Ω (typ.)</p>

Not Recommended for New

Not Recommended
for New Design

第 21 章 電気的特性

21.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V)

項 目	記号	端 子	規 格	単 位
電源電圧	V _{DD}		-0.3 ~ 6.0	V
入力電圧	V _{IN}		-0.3 ~ V _{DD} + 0.3	
出力電圧	V _{OUT1}		-0.3 ~ V _{DD} + 0.3	
出力電流 (1 端子当り)	I _{OUT1}	P0, P1, P3 ポート	-1.8	mA
	I _{OUT2}	P1, P2, P3 ポート	3.2	
	I _{OUT3}	P0 ポート	30	
出力電流 (全端子総計)	Σ I _{OUT1}	P0, P1, P3 ポート	-30	
	Σ I _{OUT2}	P1, P2, P3 ポート	60	
	Σ I _{OUT3}	P0 ポート	80	
消費電力 [Topr = 85 °C]	P _D		300	mW
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C
保存温度	T _{stg}		-55 ~ 125	
動作温度	T _{opr}		-40 ~ 85	

21.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用了場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように、応用機器の設計を行ってください。

21.2.1 MCU モード (フラッシュメモリの書き込みおよび消去動作時)

(V_{SS} = 0 V, Topr = -10 ~ 40°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		NORMAL1, 2 モード	4.5	5.5	V
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
クロック周波数	fc	XIN, XOUT		1.0	16.0	

21.2.2 MCU モード (フラッシュメモリの書き込みおよび消去動作を除く)

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧 (条件 1)	V _{DD}		fc = 16 MHz NORMAL1, 2 モード IDLE0, 1, 2 モード	4.0	5.5	V
			fc = 8 MHz NORMAL1, 2 モード IDLE0, 1, 2 モード			
			fs = 32.768 kHz SLOW1, 2 モード SLEEP0, 1, 2 モード	3.0		
			STOP モード			
電源電圧 (条件 2) (注)			fc = 8 MHz NORMAL1, 2 モード IDLE0, 1, 2 モード	2.7	3.0	V
			fs = 32.768 kHz SLOW1, 2 モード SLEEP0, 1, 2 モード			
			STOP モード			
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.0 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
	V _{IH3}		V _{DD} < 4.0 V	V _{DD} × 0.90		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.0 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
	V _{IL3}		V _{DD} < 4.0 V		V _{DD} × 0.10	
クロック周波数	fc	XIN, XOUT	V _{DD} = 2.7 ~ 5.5 V	1.0	8.0	MHz
	fc	XIN, XOUT	V _{DD} = 4.0 ~ 5.5 V	1.0	16.0	
	fs	XTIN, XTOUT	V _{DD} = 2.7 ~ 5.5 V	30.0	34.0	kHz

注) 電源電圧 V_{DD} が 3.0V 未満の場合、動作温度(Topr) は-20 ~ 85°C の範囲内で使用してください。

21.2.3 シリアル PROM モード

(V_{SS} = 0 V, Topr = -10 ~ 40°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		NORMAL1, 2 モード	4.5	5.5	V
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
クロック周波数	fc	XIN, XOUT		2.0	16.0	MHz

Not Recommended
for New Design

21.3 DC 特性

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位				
ヒステリシス電圧	V _{HS}	ヒステリシス入力	V _{DD} = 5.0 V	-	0.9	-	V				
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	-	-	±2	μA				
	I _{IN2}	シンクオープンドレイン, トライステートポート									
	I _{IN3}	RESET									
入力抵抗	R _{IN2}	RESET プルアップ	V _{DD} = 5.5 V, V _{IN} = 0 V	100	200	450	kΩ				
	R _{IN3}	PORT プルアップ	V _{DD} = 5.5 V, V _{IN} = 0 V	50	100	200					
出力リーク電流	I _{LO}	P0,P1,P2,P3	V _{DD} = 5.5 V, V _{IN} = 5.3 V/0.2 V	-	-	±2	μA				
高レベル出力電圧	V _{OH}	P0,P1,P2,P3	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	-	-	V				
低レベル出力電圧	V _{OL}	XOUT, P0 ポートを除く	V _{DD} = 4.5 V, I _{OL} = -1.6 mA	-	-	0.4					
低レベル出力電流	I _{OL}	大電流 (P0 ポート)	V _{DD} = 4.5 V, V _{OL} = 1.0 V	-	20	-	mA				
NORMAL1, 2 モード時電源電流	I _{DD}		V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V f _C = 16 MHz f _S = 32.768 kHz	-	フラッシュメモリでプログラムが動作しているとき(注 4,5)	12.5	20	mA			
IDLE0, 1, 2 モード時電源電流					RAM でプログラムが動作しているとき	7.5	14				
SLOW1 モード時 電源電流					フラッシュメモリでプログラムが動作しているとき(注 4,5)	-	22	65	μA		
					RAM でプログラムが動作しているとき (FLSSTB<FSTB>=0 のとき)	-	21	30			
					RAM でプログラムが動作しているとき (FLSSTB<FSTB>=1 のとき)	-	16	25			
SLEEP1 モード時 電源電流								-	14	22	
SLEEP0 モード時 電源電流									-	12	20
STOP モード時 電源電流			V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V		-	10	20				
間欠動作ピーク電流 (注 4,5)	I _{DDP-P}		V _{DD} = 5.5 V	-	10	-	mA				
			V _{DD} = 3.0V	-	2	-					

注 1) Typ.値は条件に指定なき場合 Topr=25°C, V_{DD}=5V 時の値を示します。

注 2) 入力電流 I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

注 4) フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリは間欠動作を行いますので、瞬間的に図 21-1 のようなピーク電流が流れます。よってこの場合の電源電流 I_{DD} (NORMAL1/2、SLOW1 モード時)は、ピーク電流を平均化した電流値と MCU 電流の和となります。

注 5) 電源設計の際はピーク電流が供給可能な回路設計にしてください。SLOW1 モードではピーク電流と平均化された電流の差が大きくなります。

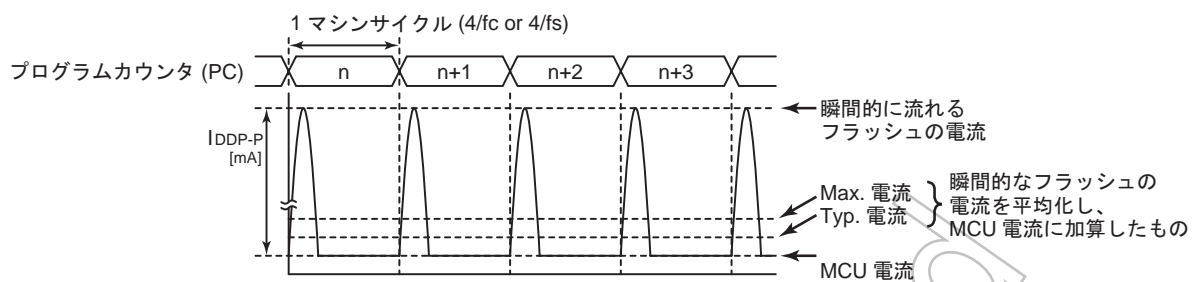


図 21-1 フラッシュメモリの間欠動作

21.4 AD 変換特性

(Topr = -40 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{DD}	V
非直線性誤差		$V_{DD} = 3.0V/5.0V$ $V_{SS} = 0.0V$	-	-	± 6	LSB
ゼロ誤差			-	-	± 6	
フルスケール誤差			-	-	± 6	
総合誤差			-	-	± 6	

- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
- 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。
- 注 3) AIN 入力端子への入力電圧は $V_{DD} \sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。
- 注 4) 電源電圧 V_{DD} が 3.0V 未満の場合、動作温度(Topr) は -20 ~ 85°C の範囲内で使用してください。

21.5 パワーオンリセット回路特性

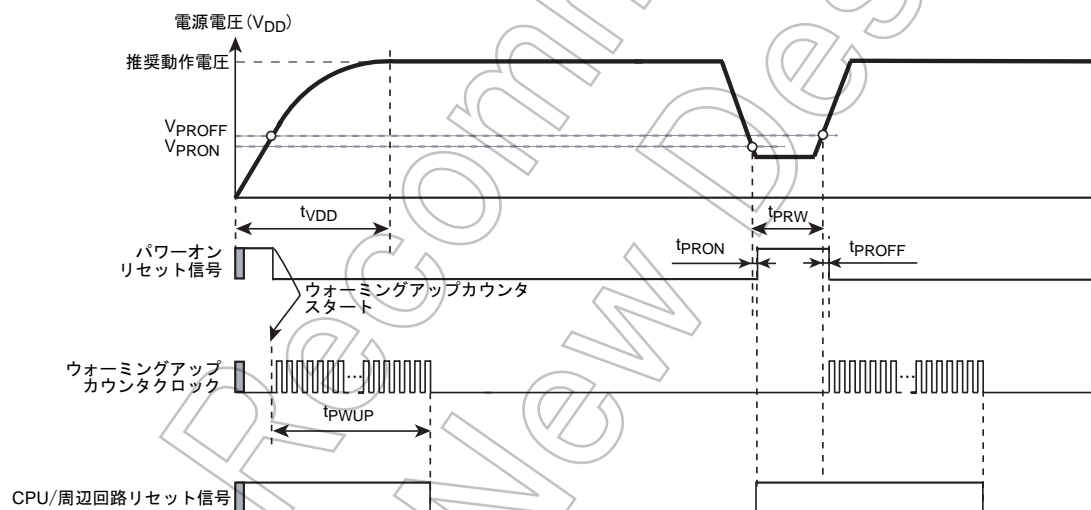


図 21-2 パワーオンリセットの動作タイミング

注) 電源電圧 (V_{DD}) 変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

記号	項目	Min	Typ.	Max	単位
V _{PROFF}	パワーオンリセット解除電圧 (注 1)	2.2	2.4	2.6	V
V _{PRON}	パワーオンリセット検出電圧 (注 1)	2.0	2.2	2.3	
t _{PROFF}	パワーオンリセット解除応答時間	-	0.01	0.1	ms
t _{PRON}	パワーオンリセット検出応答時間	-	0.01	0.1	
t _{PRW}	パワーオンリセット最小パルス幅	1.0	-	-	
t _{PWUP}	リセット解除後のウォーミングアップ時間	9.0	15.0	48.0	
t _{VDD}	電源立ち上がり時間	-	-	5	

- 注 1) パワーオンリセット解除電圧とパワーオンリセット検出電圧は、相対的に変動するため検出電圧が逆転することはありません。
- 注 2) ウォーミングアップカウンタへの入力クロックは発振回路から派生します。発振回路が安定するまで発振周波数は不安定となるため、ウォーミングアップ時間は誤差を含みます。
- 注 3) 電源電圧の立ち上がり時間 t_{VDD} は、t_{VDD} < t_{PWUP} の条件を満たす必要があります。

21.6 電圧検出回路特性

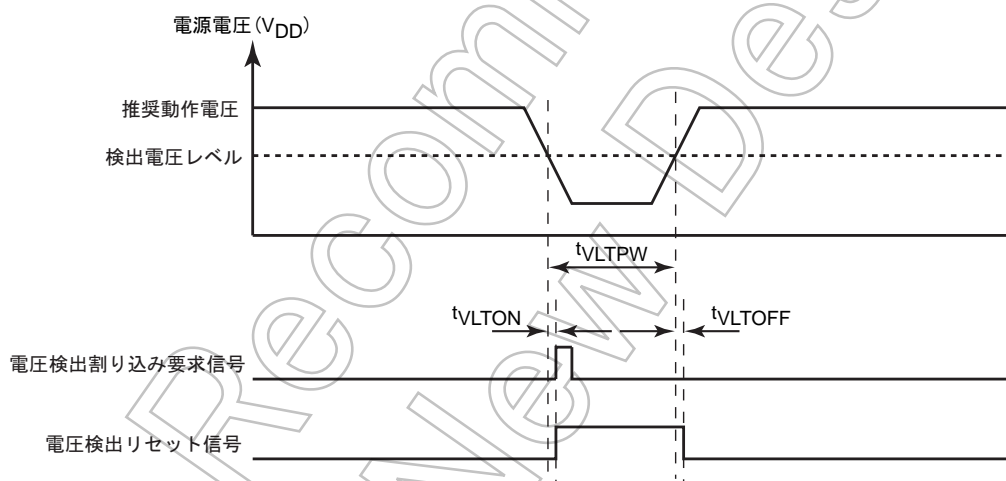


図 21-3 電圧検出回路の動作タイミング

- 注) 電源電圧 (V_{DD}) 変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計的には電気的特性を参照の上、十分な考慮が必要です。

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

記号	項目	Min	Typ.	Max	単位
t _{VLTOFF}	電圧検出解除応答時間	-	0.01	0.1	ms
t _{VLTON}	電圧検出応答時間	-	0.01	0.1	
t _{VLTPW}	電圧検出最小パルス幅	1.0	-	-	

21.7 AC 特性

(V_{SS} = 0 V, 4.0 V ≤ V_{DD} ≤ 5.5 V, Topr = -40 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL 1, 2 モード時	0.25	-	4	μs
		IDLE0, 1, 2 モード時				
		SLOW 1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルクロックパルス幅	t _{WCL}	fc = 16 MHz 時	-	-	-	-
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時	-	-	-	-

(V_{SS} = 0 V, 3.0 V ≤ V_{DD} ≤ 5.5 V, Topr = -40 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL 1, 2 モード時	0.5	-	4	μs
		IDLE0, 1, 2 モード時				
		SLOW 1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	62.5	-	ns
低レベルクロックパルス幅	t _{WCL}	fc = 8 MHz 時	-	-	-	-
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時	-	-	-	-

(V_{SS} = 0 V, 2.7 V ≤ V_{DD} < 3.0 V, Topr = -20 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL 1, 2 モード時	0.5	-	4	μs
		IDLE0, 1, 2 モード時				
		SLOW 1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	62.5	-	ns
低レベルクロックパルス幅	t _{WCL}	fc = 8 MHz 時	-	-	-	-
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時	-	-	-	-

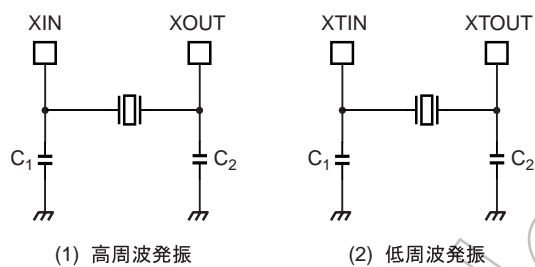
21.8 フラッシュ特性

21.8.1 書き込み特性

項目	条件	Min	Typ.	Max.	単位
フラッシュメモリ書き替え保証回数	V _{SS} = 0 V, Topr = -10 ~ 40°C	-	-	100	回

注 1) すでにデータが書き込まれたフラッシュメモリのアドレスに対しデータ書き換えを行う場合は、必ずその領域のデータ消去を行ってから書き込みを実行してください。

21.9 発振条件



- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの同社ホームページをご参照ください。
<http://www.murata.co.jp/>

Not Recommended for New Design

21.10 取り扱い上のご注意

- はんだ濡れ性についての注意事項

試験項目

はんだ付け性

試験条件

230°C 5 秒間 1 回 R タイプフラックス使用(Sn-37Pb 鉛はんだ使用時)

245°C 5 秒間 1 回 R タイプフラックス使用(Sn-3.0Ag-0.5Cu はんだ使用時)

備考

フォーミングまでのはんだ付着率 95%を良品とする

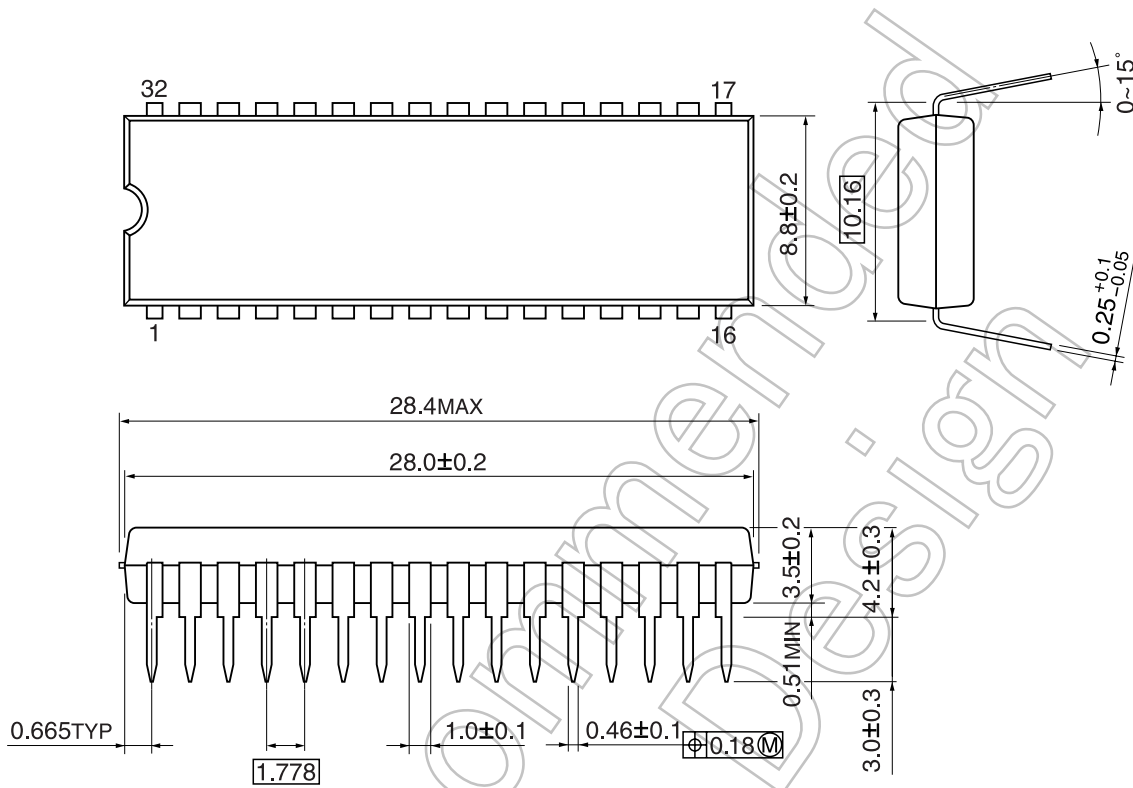
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

Not Recommended
for New Design

第 22 章 外形寸法

SDIP32-P-400-1.78 Rev 01

Unit: mm



Not Recommended for New

Not Recommended
for New Design

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、一般的な電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

