

TOSHIBA

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

TLCS-900/H1 シリーズ

TMP92CF30FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92CF30 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されませうことをお願い致します。

Not Recommended
for New Design

低電圧/低消費電力

CMOS 32 ビット マイクロコントローラ TMP92CF30FG

1. 概要と特長

TMP92CF30 は、低電圧/低消費電力動作が可能な高速・高機能 32 ビットマイクロコントローラです。TMP92CF30FG は 176 ピン QFP パッケージ製品です。

特長は次のとおりです。

- (1) オリジナル 32 ビット CPU (高速 900/H1_CPU 使用)
 - TLCS-900L1 と命令ニモニックで互換
 - 16M バイトのリニアアドレス空間
 - 汎用レジスタ&レジスタバンク方式
 - マイクロ DMA: 8 チャンネル (62.5ns /4 バイト@f_{sys} = 80MHz)
- (2) 最小命令実行時間: 12.5ns (@f_{sys} = 80MHz)
- (3) 内蔵 RAM: 144K バイト (プログラム、データ用として使用可能)
内蔵 ROM: なし
- (4) 外部メモリ拡張
 - 2.1G バイト(プログラム,データ)まで拡張可能
 - 外部データバス 8/16/32 ビット幅共存可能
…ダイナミックデータバスサイジング
 - セパレートバスシステム
- (5) メモリコントローラ
 - チップセレクト出力: 4 チャンネル
 - 4 チャンネルの内、1 チャンネルは、詳細な AC 設定が可能
- (6) 8 ビットタイマ: 8 チャンネル
- (7) 16 ビットタイマ/イベントカウンタ: 2 チャンネル
- (8) 汎用シリアルインタフェース: 2 チャンネル
 - UART/同期両モード対応
 - IrDA ver1.0 (115.2 kbps) 対応モード選択可能
- (9) シリアルバスインタフェース: 1 チャンネル
 - I²C スタンダードモードのみ対応
- (10) USB デバイスコントローラ: 1 チャンネル
 - フル・スピード(12Mbps)対応(低速には非対応)
 - エンド・ポイント 0: コントロール 64 バイト× 1-FIFO
 - エンド・ポイント 1: バルク出力 64 バイト× 2-FIFO
 - エンド・ポイント 2: バルク入力 64 バイト× 2-FIFO
 - エンド・ポイント 3: 割り込み 8 バイト× 1-FIFO
 - ディスクリプタ RAM: 384 バイト

- (11) I²S (Inter-IC Sound)インターフェース: 1 チャンネル
- I²S バスモード (マスタ、送信のみに対応)
 - Data Format は Left/Right Justify 両対応
 - 128 バイト (64 バイト×2)の FIFO バッファ内蔵
- (12) SDRAM コントローラ:1 チャンネル
- 16M、64M、128M、256M および 512M ビットの SDR(Single-data-rate)SDRAM に対応
 - データ RAM としてだけでなく、SDRAM からプログラムの動作が可能
- (13) RTC(リアルタイムクロック)
- TC8521A を基本とした仕様
- (14) キーオンウェイクアップ(キー入力割込み)
- (15) 10 ビット AD コンバータ (サンプルホールド回路内蔵): 6 チャンネル
- (16) タッチスクリーンインターフェースに対応
- 低抵抗のスイッチを内蔵し、縦横切り替え用の外付け部品を削除可能
- (17) ウォッチドッグタイマ
- (18) メロディ/アラームジェネレータ
- メロディ: 4 ~ 5461Hz のクロックを出力
 - アラーム: 8 種類のアラームパターンを出力
 - 5 種類のインターバル割込みを出力
- (19) MMU
- 3 ローカルエリア/8 バンク方式により 2.1G バイトまで拡張可能
 - 各々のローカルエリアごとにプログラム、リードデータ、ライトデータ、DMAC のソース、デスティネーション(偶数チャンネル/奇数チャンネル)のバンク設定が可能
- (20) 割り込み機能: 58 本
- CPU 9 本 ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 39 本 7 レベルの優先順位の設定が可能
 - 外部 10 本 7 レベルの優先順位の設定が可能 ($\overline{\text{NMI}}$, Key 割り込みを含む)
(8 本はエッジの極性選択可能)
- (21) DMAC 機能:6 チャンネル
- マイクロ DMA 機能との切り替えによる制御で、より高速なデータ転送が可能
- (22) 入出力ポート: 98 端子(データバス 16 ビット、アドレスバス 24 ビット、 $\overline{\text{RD}}$ 端子を除く)
- (23) NAND-Flash メモリのインターフェース:2 チャンネル
- NAND-Flash メモリへの接続が容易
 - SLC、MLC 両タイプに対応
 - Data Bus 8/16Bit、Page Size 512/2048 Byte に対応
 - 4-address 訂正、5-address 以上のエラー検出が可能、Reed Solomon 演算回路内蔵
- (24) SPI コントローラ: 1 チャンネル
- SD カード、および MMC カードの SPI モード対応
 - 入出力に各々 32 バイトの FIFO バッファを内蔵

(25) 積和演算器 (Multiply and Accumulate Calculate unit): 1 チャンネル

- 3 種類の演算をサポート $64 + 32 \times 32 = 64$, $64 - 32 \times 32 = 64$, $32 \times 32 - 64 = 64$
- I/O 方式
- 符号付き計算対応

(26) スタンバイ機能

- 3 種類の HALT モード ...IDLE2(プログラマブル), IDLE1, STOP
- スタンバイモード時における各端子の状態をビット単位にて設定可能

(27) クロック制御機能

- クロック逡倍回路 (PLL) を 2 ブロック内蔵し、外付け 10MHz の発振子から USB クロック 48MHz と CPU へのクロック 80MHz の供給が可能
- クロックギア機能: 高周波クロック f_c ($f_c/16$ まで切り替え可能)
- 時計用クロック = f_s (32.768 kHz)

(28) 動作電圧

- 2 電源対応 (内部電源(1.4~1.6)、外部電源(3.0~3.6))

(29) パッケージ

- 176 ピン LQFP : LQFP176-P-2020-0.40F

Not Recommended for New Design

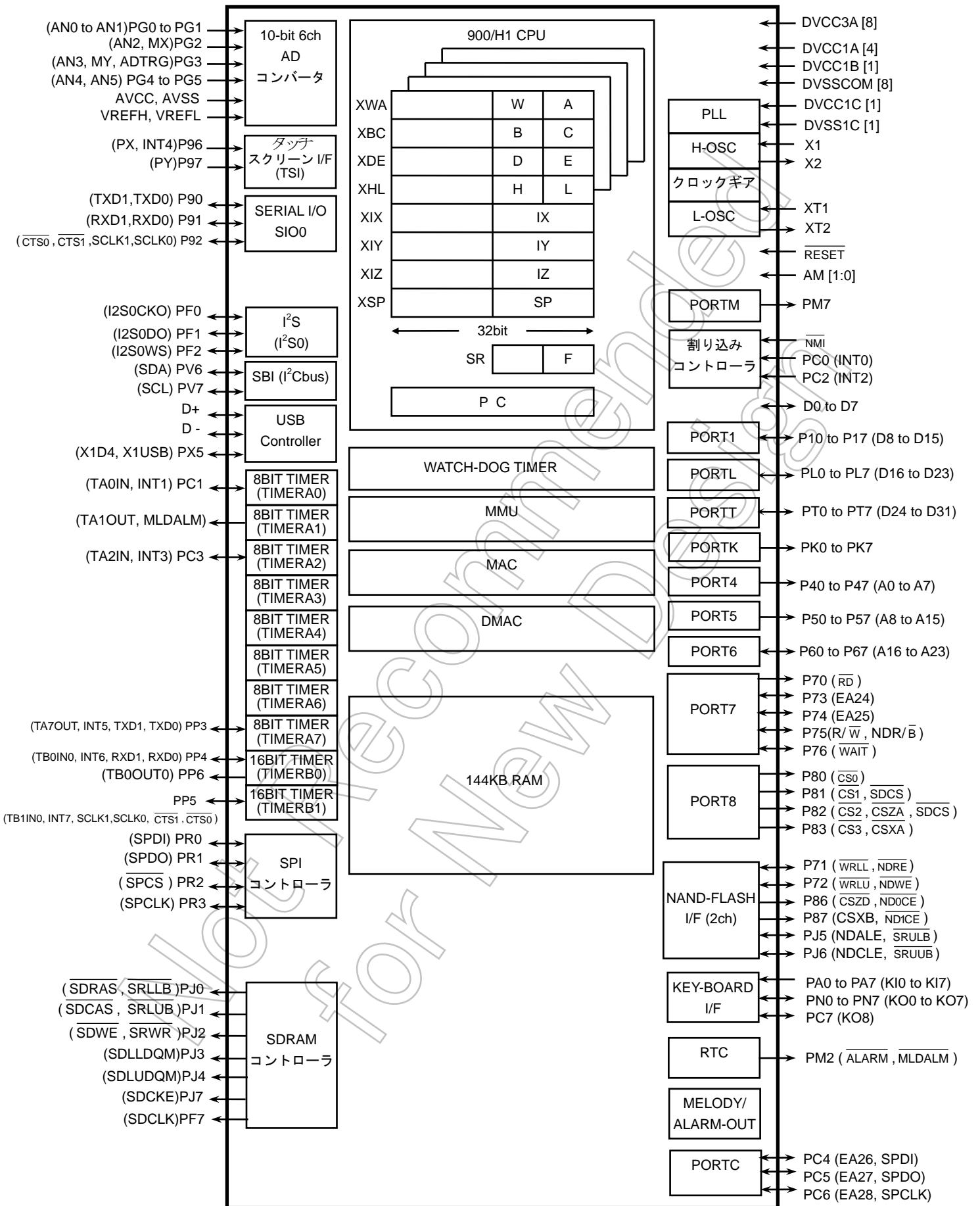


図 1.1 TMP92CF30 ブロック図

2. ピン配置とピン機能

TMP92CF30 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピンの配置図 (Top View)

TMP92CF30FGピン配置図は、図 2.1.1のとおりです。

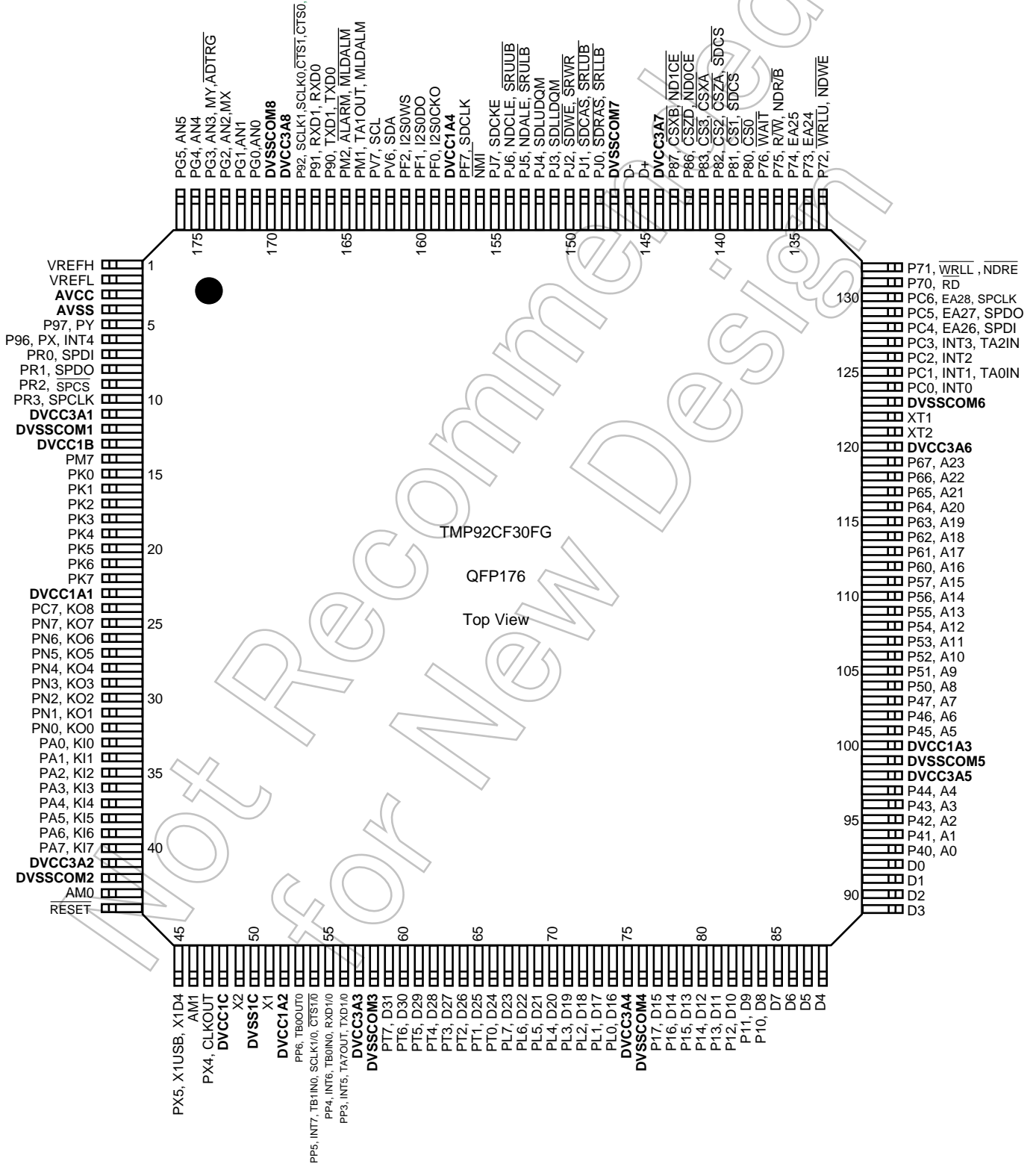


図 2.1.1 ピン配置図

2.2 ピン名称と機能

入出力ピンの名称と機能は次のとおりです。

表 2.2.1 ピン名称と機能(1/5)

ピン名称	ピン数	入出力	機能
D0 ~ D7	8	入出力	データ: データバス D0~D7
P10 ~ P17 D8 ~ D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定可能な入出力ポート データ: データバス D8~D15
P40 ~ P47 A0 ~ A7	8	出力 出力	ポート 4: 出力ポート アドレス: アドレスバス A0~A7
P50 ~ P57 A8 ~ A15	8	出力 出力	ポート 5: 出力ポート アドレス: アドレスバス A8~A15
P60 ~ P67 A16 ~ A23	8	入出力 出力	ポート 6: ビット単位で入出力の設定可能な入出力ポート アドレス: アドレスバス A16~A23
P70 RD	1	出力 出力	ポート 70: 出力ポート リード: 外部メモリをリードするためのストロープ信号
P71 WRL NDRE	1	入出力 出力 出力	ポート 71: 入出力ポート ライト: D0~D7 端子のデータをライトするためのストロープ信号 NAND-Flash リード: 外部 NAND-Flash をリードする為のストロープ信号
P72 WRLU NDWE	1	入出力 出力 出力	ポート 72: 入出力ポート 上位ライト: D8~D15 端子のデータをライトするためのストロープ信号 NAND-Flash 用ライトイネーブル
P73 EA24	1	入出力 出力	ポート 73: 入出力ポート 拡張用アドレス EA24
P74 EA25	1	入出力 出力	ポート 74: 入出力ポート 拡張用アドレス EA25
P75 R/W NDR/B	1	入出力 出力 入力	ポート 75: 入出力ポート リード/ライト: 1はリード, ダミーサイクルを、0はライトサイクルを表す NAND-Flash Ready(1)/Busy(0)入力
P76 WAIT	1	入出力 入力	ポート 76: 入出力ポート ウェイト: バスウェイトの要求入力
P80 CS0	1	出力 出力	ポート 80: 出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら“Low”を出力
P81 CS1 SDCS	1	出力 出力 出力	ポート 81: 出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら“Low”を出力 SDRAM チップセレクト: アドレスが SDRAM アドレス領域内なら“0”を出力
P82 CS2 CSZA SDCS	1	出力 出力 出力 出力	ポート 82: 出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら “Low” を出力 拡張チップセレクト ZA: アドレスが特定のアドレス領域内なら“0”を出力 SDRAM チップセレクト: アドレスが SDRAM アドレス領域内なら“0”を出力
P83 CS3 CSXA	1	出力 出力 出力	ポート 83: 出力ポート チップセレクト 3: アドレスが指定したアドレス領域内なら “Low” を出力 拡張チップセレクト XA: アドレスが特定のアドレス領域内なら“0”を出力

表 2.2.1 ピン名称と機能(2/5)

ピン名称	ピン数	入出力	機能
P86 CSZD ND0CE	1	出力 出力 出力	ポート 86: 出力ポート 拡張チップセレクト ZD: アドレスが特定のアドレス領域内なら "0" を出力 NAND-Flash0 チップセレクト: NAND-Flash0 が許可される時"0"を出力
P87 CSXB ND1CE	1	出力 出力 出力	ポート 87: 出力ポート 拡張チップセレクト XB: アドレスが特定のアドレス領域内なら "0" を出力 NAND-Flash1 チップセレクト: NAND-Flash1 が許可される時"0"を出力
P90 TXD0 TXD1	1	入出力 出力 出力	ポート 90: 入出力ポート シリアル 0 送信 データ: プログラマブルオープンドレイン 出力 シリアル 1 送信 データ: プログラマブルオープンドレイン 出力
P91 RXD0 RXD1	1	入出力 入力 入力	ポート 91: 入出力ポート (シュミット入力) シリアル 0 受信 データ シリアル 1 受信 データ
P92 SCLK0 CTS0 SCLK1 CTS1	1	入出力 入出力 入力 入出力 入力	ポート 92: 入出力ポート (シュミット入力) シリアル 0 クロック 入出力 シリアル 0 データ 送信可能 (送信 クリア) シリアル 1 クロック 入出力 シリアル 1 データ 送信可能 (送信 クリア)
P96 INT4 PX	1	入力 入力 出力	ポート 96: 入力ポート (シュミット入力, プルダウン抵抗付き) 割り込み要求端子 4: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 X-プラス: タッチスクリーンパネル用 X+ 接続端子
P97 PY	1	入力 出力	ポート 97: 入力ポート (シュミット入力) Y-プラス: タッチスクリーンパネル用 Y+ 接続端子
PA0~PA7 KI0~KI7	8	入力 入力	ポート A0~A7 ポート: 入力 ポート専用端子 キー入力 0~7: キーオンウェイクアップ 0~7 用端子 (シュミット入力, プルアップ抵抗付き)
PC0 INT0	1	入出力 入力	ポート C0: 入出力ポート (シュミット入力) 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子
PC1 INT1 TA0IN	1	入出力 入力 入力	ポート C1: 入出力ポート (シュミット入力) 割り込み要求端子 1: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 タイマ入力: 8 ビットタイマ 0 の入力端子
PC2 INT2	1	入出力 入力	ポート C2: 入出力ポート (シュミット入力) 割り込み要求端子 2: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子
PC3 INT3 TA2IN	1	入出力 入力 入力	ポート C3: 入出力ポート (シュミット入力) 割り込み要求端子 3: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 タイマ入力: 8 ビットタイマ 2 の入力端子
PC4 EA26 SPDI	1	入出力 出力 入力	ポート C4: 入出力ポート 拡張用アドレス EA26 SD カード用データ入力端子
PC5 EA27 SPDO	1	入出力 出力 出力	ポート C5: 入出力ポート 拡張用アドレス EA27 SD カード用データ出力端子
PC6 EA28 SPCLK	1	入出力 出力 出力	ポート C6: 入出力ポート 拡張用アドレス EA28 SD カード用クロック出力端子
PC7 KO8	1	入出力 出力	ポート C7: 入出力ポート キー出力 8: キースキャンストローブ専用端子 (オープンドレイン出力 プログラム可能)

表 2.2.1 ピン名称と機能(3/5)

ピン名称	ピン数	入出力	機能
PF0 I2S0CKO	1	入出力 出力	ポート F0: 入出力ポート I ² S0 クロック 出力
PF1 I2S0DO	1	入出力 出力	ポート F1: 入出力 ポート I ² S0 データ 出力
PF2 I2S0WS	1	入出力 出力	ポート F2: 入出力 ポート I ² S0 ワードセレクト 出力
PF7 SDCLK	1	出力 出力	ポート F7: 出力 ポート SDRAM 用クロック
PG0~PG1 AN0~AN1	2	入力 入力	ポート G0~G1: 入力ポート専用端子 アナログ入力 0~1: AD コンバータ 入力端子
PG2 AN2 MX	1	入力 入力 出力	ポート G2: 入力 ポート専用端子 アナログ入力 2: AD コンバータ 入力端子 X-マイナス: タッチパネル用 X-接続端子
PG3 AN3 MY ADTRG	1	入力 入力 出力 入力	ポート G3: 入力ポート専用端子 アナログ入力 3: /D コンバータ 入力端子 Y-マイナス: タッチパネル用 Y-接続端子 AD トリガ: AD 起動リクエスト信号
PG4~PG5 AN4~AN5	2	入力 入力	ポート G4~G5: 入力ポート専用端子 アナログ入力 4~5: AD コンバータ 入力端子
PJ0 SDRAS SRLLB	1	出力 出力 出力	ポート J0: 出力ポート SDRAM 用ロウアドレスストローブ D0~D7 端子の SRAM 用データイネーブル
PJ1 SDCAS SRLUB	1	出力 出力 出力	ポート J1: 出力ポート SDRAM 用カラムアドレスストローブ D8~D15 端子の SRAM 用データイネーブル
PJ2 SDWE SRWR	1	出力 出力 出力	ポート J2: 出力ポート SDRAM 用ライトイネーブル SRAM 用ライトイネーブル: ライトデータ用ストローブ信号
PJ3 SDLLDQM	1	出力 出力	ポート J3: 出力ポート D0~D7 端子の SDRAM 用データイネーブル
PJ4 SDLUDQM	1	出力 出力	ポート J4: 出力ポート D8~D15 端子の SDRAM 用データイネーブル
PJ5 NDALE SRULB	1	入出力 出力 出力	ポート J5: 入出力ポート NAND-Flash 用アドレスラッチイネーブル D16~D23 端子の SRAM 用データイネーブル
PJ6 NDCLE SRUUB	1	入出力 出力 出力	ポート J6: 入出力ポート NAND-Flash 用コマンドラッチイネーブル D24~D31 端子の SRAM 用データイネーブル
PJ7 SDCKE	1	出力 出力	ポート J7: 出力ポート SDRAM 用クロックイネーブル
PK0~PK7	8	出力	ポート K0~K7: 出力ポート
PL0~PL7 D16~D23	8	入出力 入出力	ポート L0~L7: 入出力ポート データ: データバス D16~D23
PM1 TA1OUT MLDALM	1	出力 出力 出力	ポート M1: 出力ポート 8 ビット タイマ 1 出力: タイマ 1 出力 メロディ/アラーム出力端子
PM2 ALARM MLDALM	1	出力 出力 出力	ポート M2: 出力ポート RTC アラーム出力端子 メロディ/アラーム 出力端子 (反転)
PM7	1	出力	ポート M7: 出力ポート

表 2.2.1 ピン名称と機能(4/5)

ピン名称	ピン数	入出力	機能
PN0~PN7 KO0~KO7	8	入出力 出力	ポート N: 入出力ポート キーアウト端子(オープンドレイン設定可能)
PP3 INT5 TA7OUT TXD0 TXD1	1	入出力 入力 出力 出力 出力	ポート P3: 入出力ポート (シュミット入力) 割り込み要求端子 5: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 8ビット タイマ 7 出力: タイマ 7 出力 シリアル 0 送信 データ: プログラマブルオープンドレイン 出力 シリアル 1 送信 データ: プログラマブルオープンドレイン 出力
PP4 INT6 TB0IN0 RXD0 RXD1	1	入出力 入力 入力 入力 入力	ポート P4: 入出力ポート(シュミット入力) 割り込み要求端子 6: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 タイマ入力: 16ビットタイマ 0 の入力端子 シリアル 0 受信 データ シリアル 1 受信 データ
PP5 INT7 TB1IN0 SCLK0 CTS0 SCLK1 CTS1	1	入出力 入力 入力 入出力 入力 入出力 入力	ポート P5: 入出力ポート(シュミット入力) 割り込み要求端子 7: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 タイマ入力: 16ビットタイマ 1 の入力端子 シリアル 0 クロック 入出力 シリアル 0 データ 送信可能 (送信 クリア) シリアル 1 クロック 入出力 シリアル 1 データ 送信可能 (送信 クリア)
PP6 TB0OUT0	1	出力 出力	ポート P6: 出力ポート タイマ B0 出力
PR0 SPDI	1	入出力 入力	ポート R0: 入出力ポート SD カード用データ入力端子
PR1 SPDO	1	入出力 出力	ポート R1: 入出力ポート SD カード用データ出力端子
PR2 SPCS	1	入出力 出力	ポート R2: 入出力ポート SD カード用チップセレクト出力端子
PR3 SPCLK	1	入出力 出力	ポート R3: 入出力ポート SD カード用クロック出力端子
PT0~PT7 D24~D31	8	入出力 入出力	ポート T0~T7: 入出力ポート データ: データバス D24~D31
PV6 SDA	1	入出力 入出力	ポート V6: 入出力ポート I ² C データ入出力
PV7 SCL	1	入出力 入出力	ポート V7: 入出力ポート I ² C クロック入出力
PX4 CLKOUT	1	出力 出力	ポート X4: 出力専用ポート 内部クロック出力端子
PX5 X1USB X1D4	1	入出力 入力 出力	ポート X5: 入出力ポート USB 用クロック入力端子 ダイレクトクロック出力端子

表 2.2.1 ピン名称と機能 (5/5)

ピン名称	ピン数	入出力	機能
D+, D-	2	入出力	USB データ接続端子 USB を使用しない場合は両端子とも貫通電流対策のため、プルアップ(DVCC3A)またはプルダウンしてください。
$\overline{\text{NMI}}$	1	入力	ノンマスクブルインターラプト端子
AM1, AM0	2	入力	起動モード入力端子: AM1 = "0", AM0 = "1" 固定 外部 16 ビットバススタート AM1 = "1", AM0 = "0" 固定 外部 32 ビットバススタート AM1 = "1", AM0 = "1" 固定 設定禁止 AM1 = "0", AM0 = "0" 固定 設定禁止
X1/X2	2	入出力	高周波発振器接続入出力端子
XT1/XT2	2	入出力	低周波発振器接続入出力端子
RESET	1	入力	リセット: TMP92CF30 が初期化されます (シュミット入力, プルアップ抵抗付き)
VREFH	1	入力	AD コンバータ用基準電源入力端子 (H)
VREFL	1	入力	AD コンバータ用基準電源入力端子 (L)
AVCC	1	-	AD コンバータ用電源端子
AVSS	1	-	AD コンバータ用 GND 端子 (0 V)
DVCC3A	8	-	電源端子 周辺 I/O-A 用 (全 DVCC3A 端子を電源端子に接続してください)
DVCC1A	4	-	電源端子 内部ロジック-A 用 (全 DVCC1A 端子を電源端子に接続してください)
DVCC1B	1	-	電源端子 内部ロジック-B 用 (DVCC1A の電位にしてください)
DVSSCOM	8	-	GND 端子 (0 V) (全 DVSS 端子を GND(0 V) に接続してください)
DVCC1C	1	-	電源端子 高速発振器用 (DVCC1A の電位にしてください)
DVSS1C	1	-	GND 端子 (0 V) (GND(0 V) に接続してください)

電源供給端子の動作電圧範囲を、表 2.2.2 に示します。

表 2.2.2 電源供給端子の動作電圧範囲

電源供給端子	動作電圧範囲
DVCC1A	1.4V~1.6V
DVCC1B	
DVCC1C	
DVCC3A	3.0V~3.6V
AVCC	

3. 動作説明

ここでは、TMP92CF30の機能、および基本動作についてブロックごとに説明します。

3.1 CPU

TMP92CF30は高性能な高速32ビットのCPU(900/H1 CPU)が内蔵されています。

3.1.1 CPUの概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部のデータバス幅を32ビットに拡張した高速・高性能なCPUです。

概要を、表3.1.1に示します。

表 3.1.1 TMP92CF30 の概要

項目	TMP92CF30	
CPU アドレスバス幅	24ビット	
CPU データバス幅	32ビット	
内部動作周波数	最大 80MHz	
最小バスサイクル	1-クロックアクセス(12.5ns@80MHz)	
内蔵 RAM	32-bit 2-1-1-1 クロック アクセス	
内蔵 I/O	8-bit, 2クロック アクセス	INTC, SDRAMC, MEMC, TSI, PORT
	16-bit, 2クロック アクセス	MMU, USB, NDFC, SPIC, DMAC
	32-bit, 2クロック アクセス	I ² S
	32-bit, 1クロック アクセス	MAC
	8-bit, 5~6クロック アクセス	TMRA, TMRB, SIO, RTC, MLD/ALM, SBI CGEAR, ADC, WDT
外部メモリ (SRAM、MASKROM等)	8/16-bit 2-クロック アクセス (ウェイト挿入可能)	
外部メモリ (SDRAM)	16-bit 1-クロック アクセス	
外部メモリ (NAND-Flash)	8/16-bit 2-クロック アクセス (ウェイト挿入可能)	
最小命令実行サイクル	1-クロック(12.5ns@80MHz)	
条件付分岐命令	2-クロック(25.0ns@80MHz)	
命令キューバッファ	12-バイト	
命令セット	TLCS-900/L1 命令コード 互換(但し、LDX 命令なし)	
マイクロ DMA	8-チャンネル	
ハードウェア DMA	6-チャンネル	

3.1.2 リセット動作

TMP92CF30 にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも 20 システムクロック(32 μ s @ X1=10MHz)、 $\overline{\text{RESET}}$ 入力端子を“L”レベルにして下さい。

リセットで PLL0 は停止し PLL0 出力は非選択となり、クロックギアは 1/16 にセットされます。

よってシステムクロックは 625kHz(X1=10MHz)で動作します。

リセットが受け付けられると、CPU は下記の動作を行います。

なお、下記以外の CPU 内部のレジスタは変化しません。

- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR のビット<IFF2:0>を“111”にセット
(割り込みレベルのマスクレジスタをレベル 7 にセット)
- ステータスレジスタ SR のビット<RFP1:0>を“00”にクリア
(レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ“PC”に従い、命令のフェッチと実行を開始します。

- プログラムカウンタ“PC”を、メモリ FFFF00H 番地~FFFF02H 番地に格納されているリセットベクタに従い以下に示すようにセットします。

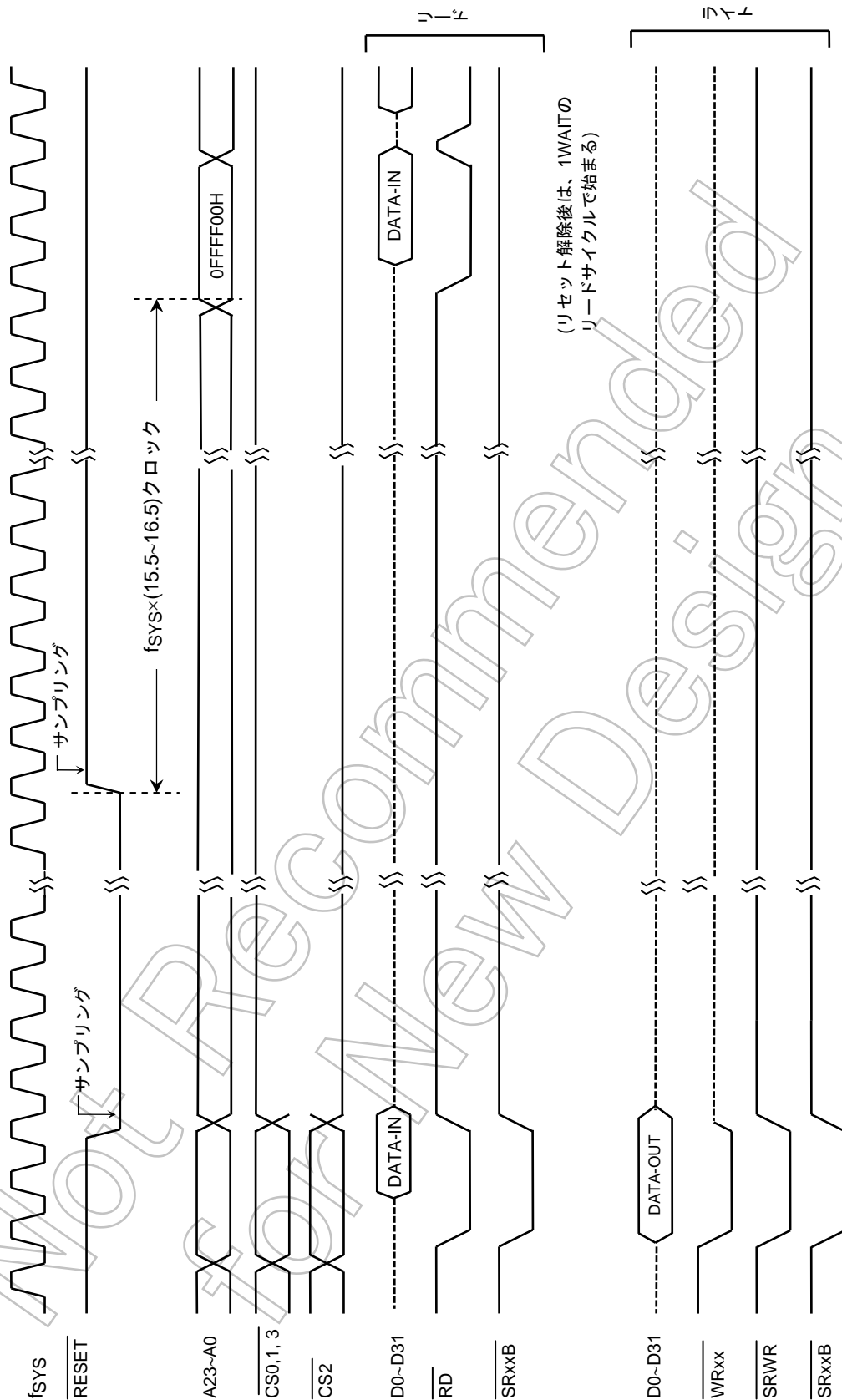
PC(7:0)	←	FFFF00H 番地のデータ
PC(15:8)	←	FFFF01H 番地のデータ
PC(23:16)	←	FFFF02H 番地のデータ

またリセットが受け付けられると、内蔵 I/O および入出力ポートおよびその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化
(初期値は、第 5 章「特殊レジスタ一覧表」を参照して下さい。)

注) 本 LSI は RAM を内蔵していますが、リセット動作により内蔵 RAM のデータは保持されない場合があります。リセット後、内蔵 RAM のデータを初期化してください。

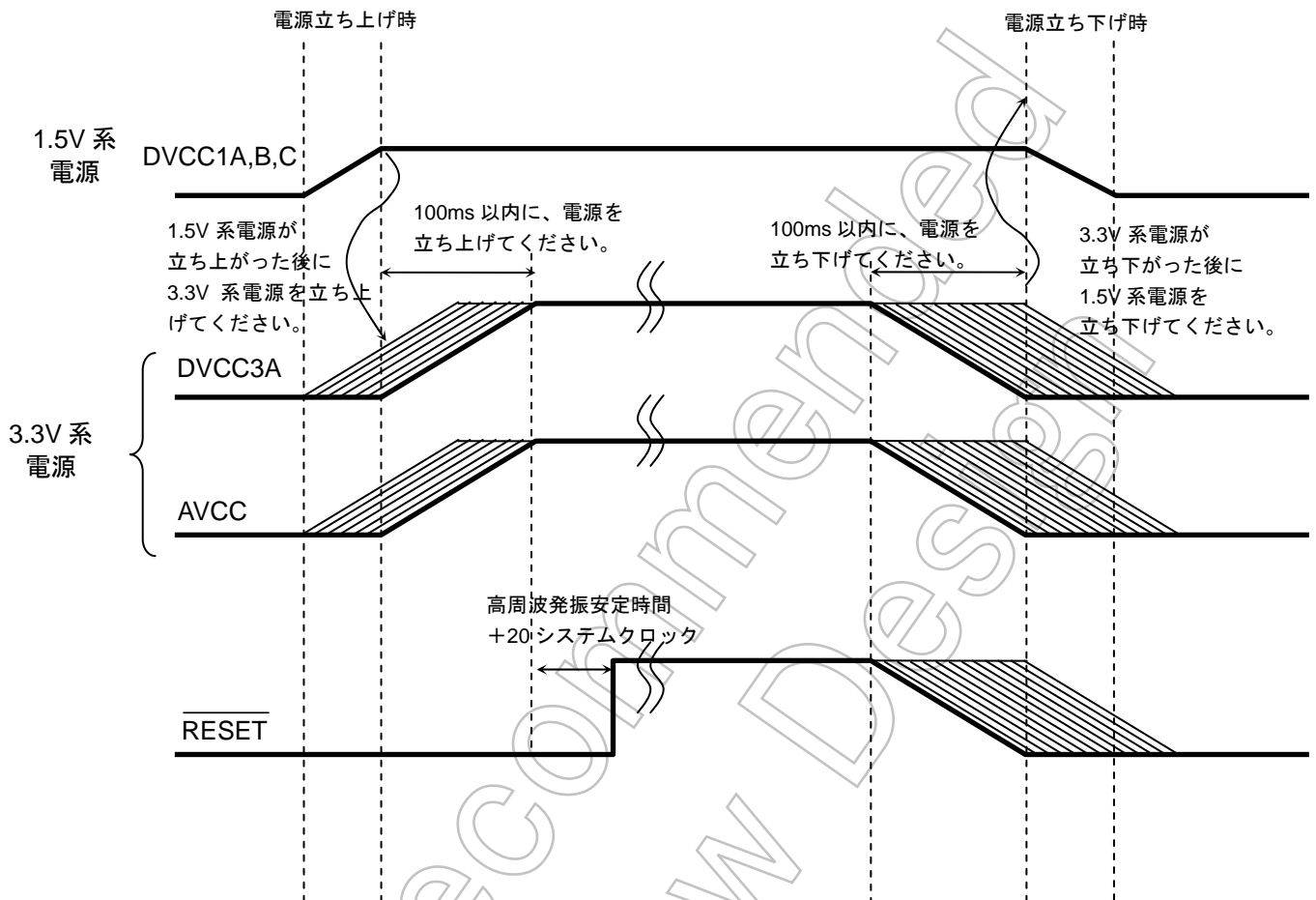
図 3.1.1 に TMP92CF30 のリセットタイミングチャート、図 3.1.2 に TMP92CF30 の電源投入順序とリセット解除の例を示します。



-----: ハイインピーダンスを示す。
 注) 本例は、32bitバス起動の例を示しています。

図 3.1.1 TMP92CF30 リセットタイミングチャート

TMP92CF30 では、電源投入の順序に制約があります。外部の 3.3V 系電源の ON/OFF は必ず、内部 1.5V 系電源が供給された状態で行う必要があります。



注 1) 内部 1.5V 系と外部 3.3V 系電源を、同時に立ち上げ/立ち下げることが可能ですが、その場合、瞬間的に外部端子が不安定な状態になる可能性がありますので、周辺の LSI に接続の機器に影響を与える可能性がある場合には、上図の太線で示すように、内部 1.5V 系電源が確定・安定している間に、外部電源の立ち上げ/立ち下げを行ってください。


注 2) 立ち上げ時は 1.5V 系の電源より早く 3.3V 系電源を立ち上げないようにしてください。また、立ち下げ時は 1.5V 系の電源より後に 3.3V 系電源を立ち下げないようにしてください。

図 3.1.2 電源投入とリセットタイミング動作例

3.1.3 AM0, AM1 の設定

AM1 および AM0 端子の設定は表 3.1.2 のようになります。

表 3.1.2 動作モード セットアップ

モード設定入力端子			動作モード
RESET	AM1	AM0	
	0	1	外部 16 ビットバススタート
	1	0	外部 32 ビットバススタート
	1	1	テストモード(設定禁止)
	0	0	テストモード(設定禁止)

Not Recommended for New Design

3.2 メモリマップ

図 3.2.1はTMP92CF30 のメモリマップ図です。

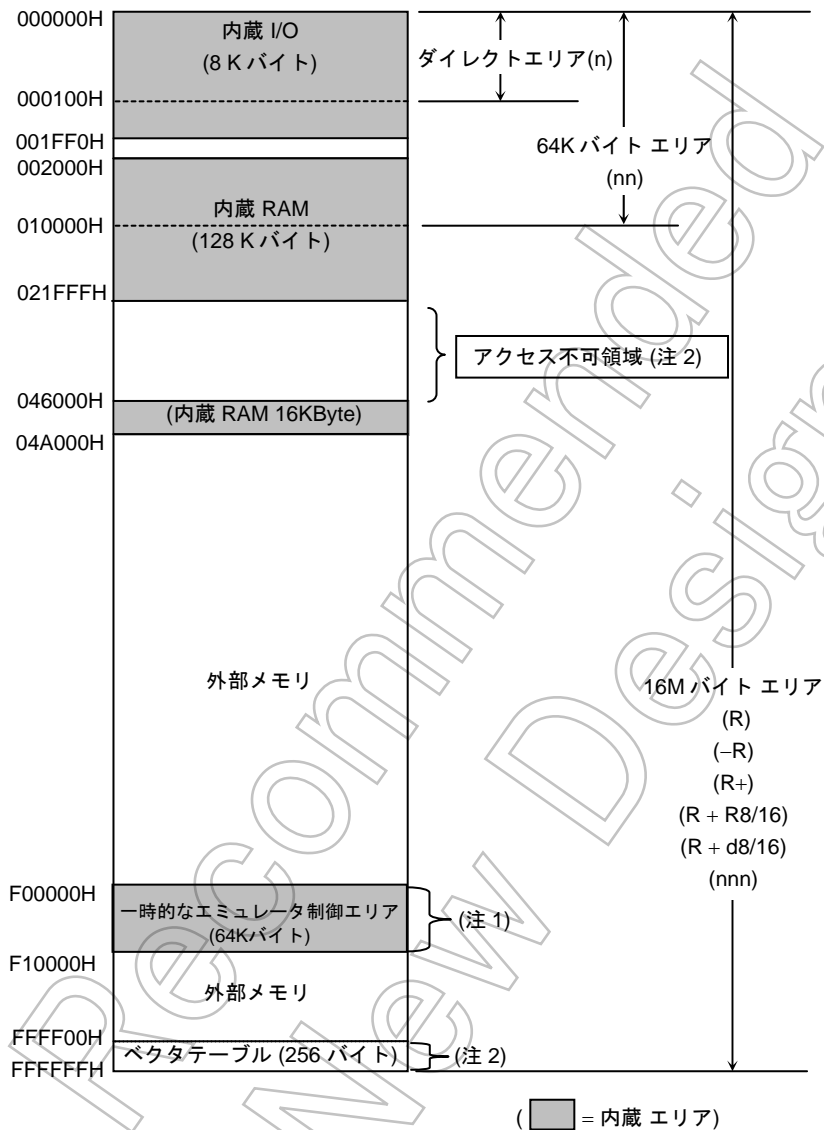


図 3.2.1 メモリマップ

注 1) エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータ制御のために使用されるので、その空間を使用することができません。

注 2) 022000H-045FFFH の 144K バイトの空間と、最後の FFFF0H-FFFFFFH の 16 バイトの空間は、内部エリア空間として予約されているので、使用することができません。

3.3 TMP92CZ26A/CF26AとTMP92CF30の相違点

TMP92CF30は、基本的にTMP92CF26Aの機能削除(一部追加機能有り)、少ピン品です。

ファンクション仕様は、3.3.1~3.3.12に示す変更項目があります。AC/DC特性についての大きな違いはありませんが、詳細は「電気的特性」を参照してください。

3.3.1 DSU回路の削除

TMP92CF30では、TMP92CZ26A/CF26Aでサポートされていた、DSU機能が削除されています。

開発環境は、TMP92CF26AXBGでの提供となります。(DSU機能を利用し、ピン変換を施す)そのため、本仕様書で説明している、追加・変更機能は、開発ツール上では、デバッグすることが出来ませんのでご注意願います。

(実デバイス、ROMエミュレータ等でのデバッグをお願いしています)

3.3.2 内蔵I/Oの削除・変更

【削除 1: I²S ch1】 TMP92CF30では、TMP92CZ26A/CF26AよりI²SのCh1が削除されています(Ch0のみ存在)。

TMP92CF30における上記内蔵I/Oに対する特殊機能レジスタのアドレスにはアクセスしないでください。詳細は「特殊機能レジスタ一覧表」を参照してください。

【追加 1: SIO1】 SIOが1ch追加になっていますので、SIO1用のレジスタが追加になっています。詳細は後述の比較表を参照してください。

【追加 2: PORT】 PORTの制御方法(兼用端子の設定)が変更になっていますので、対象ポートの制御方法の変更および、レジスタが追加になっています。

TMP92CF26Aを利用したICEを使用して開発・デバッグを行う場合、追加・変更になったレジスタに対するデバッグは出来ません。詳細は後述の比較表を参照してください。

3.3.3 ポート機能の削除

TMP92CF30では、TMP92CZ26A/CF26Aより以下に示すポート機能が削除されています。

また、TMP92CF30では、新たにSDRAMへのアクセスを除き、外部32ビットバスをサポートしています。

追加: 外部32ビットバス機能の追加 (ただし、TMP92CF26Aを利用したICEを使用して開発・デバッグを行う場合は16ビットバスでの動作しか出来ません)

削除:

- **DBGE:** デバッグイネーブル端子(DSU機能は動作しません)
- **ポート 8:** P84 (CSZB), P85 (CSZC)
- **ポート F:** PF3 (I2S1CKO), PF4 (I2S1DO), PF5 (I2SWS)
- **ポート P:** PP7(TB1OUT0), PP2(TA5OUT), PP1(TA3OUT)
- **ポート U:** PU0~PU7 (LD16~LD23)
- **ポート V:** PV0, PV1, PV2, PV3, PV4
- **ポート W:** PW0~PW7
- **ポート X:** PX7
- **ポート Z:** PZ0~PZ7

3.3.4 MMU機能のアクセス最大サイズの減少

P84 ($\overline{\text{CSZB}}$)、P85 ($\overline{\text{CSZC}}$) 端子の削除に伴い、MMU 機能で拡張出来る最大メモリ容量が減少し、利用できないバンクが存在しています。拡張メモリの総容量が、TMP92CZ26A/CF26A が 3.1G バイトなのに対して、2.1G バイトに縮小されています。あわせて Z エリアのバンク数が 512 バンクから 256 バンクに縮小されています。

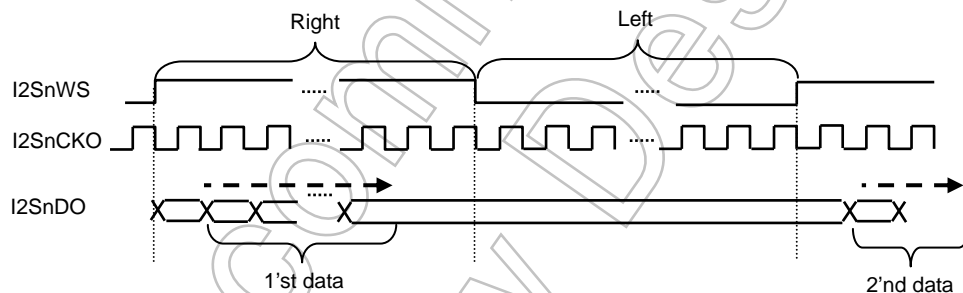
TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、CF30 には存在しないレジスタへのアクセスや、CF30 では動作出来ないバンクへのアクセスが可能になりますので、ご注意ください。詳細は「MMU」の章を参照してください。

3.3.5 I²Sのチャンネル削除と機能変更

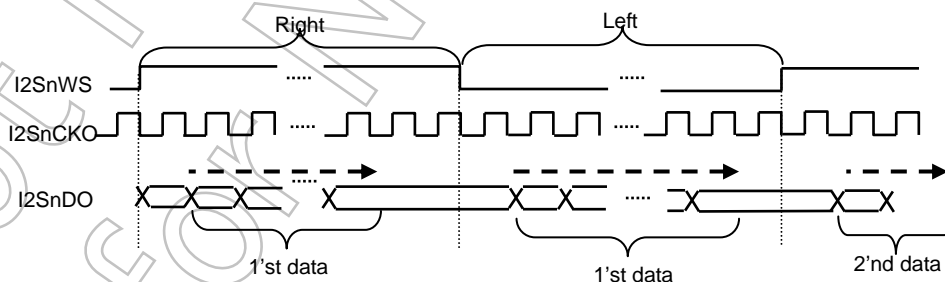
【機能削除】 TMP92CF30 では、I²S が ch0 の 1 チャンネルしかサポートされていません。TMP92CF26A でサポートされていた ch1 は削除されています。

【機能変更 1】 I²S 機能の持つモノラル出力機能のデータ出力フォーマットが変更になっています。

TMP92CZ26A/CF26A でサポートされているモノラル機能(I²S フォーマットの場合)
片方のチャンネルから出力



TMP92CF30 でサポートされているモノラル機能(I²S フォーマットの場合)
両方のチャンネルから(同一データを)出力



TMP92CF26A を利用した ICE を使用して開発する場合、モノラルモードを選択すると、片方のチャンネルからしかデータは出力されません。詳細は「I²S」の章を参照してください。

3.3.6 $\overline{\text{NMI}}$ 端子機能の追加

TMP92CF30 では、TMP92CZ26A/F26A には存在しなかった、 $\overline{\text{NMI}}$ 端子が追加されています。32 ビットバス機能が追加されていますが、TMP92CF26A を利用した開発ツールでは、サポート出来ないため、ROM エミュレータでの開発時に、BREAK 機能等を使用する際の有用性を考慮し、追加されています。

3.3.7 ポートLの機能追加

TMP92CZ26A/F26A における、ポートLは出力専用ポートでしたが、TMP92CF30 では入力機能が追加されています。さらに、システムリセット直後のポートの状態が、入力状態から開始されます。

そのため、TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、ポートLの入力機能は使用出来ません。

3.3.8 X1D4 端子機能の追加

TMP92CF30 では、新規機能として PX5 ポートから X1、X2 端子の発振周波数を 1/1、1/2、1/4、1/8 にしたクロックを出力する機能を追加しています。詳細は PX ポートの章を参照ください。しかし、TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、本機能は使用出来ません。

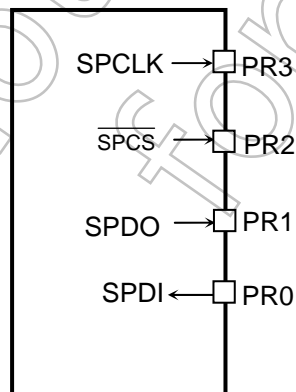
3.3.9 SPIコントローラの機能追加

TMP92CZ26A/CF26A では、SPI の制御信号を PR ポートと兼用機能としていましたが、TMP92CF30 では、PR ポートまたは、PC ポートの両方に兼用機能として選択が可能($\overline{\text{SPCS}}$ 信号を除く)となっています。しかし、TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、追加・変更になったレジスタに対するデバッグは出来ません。

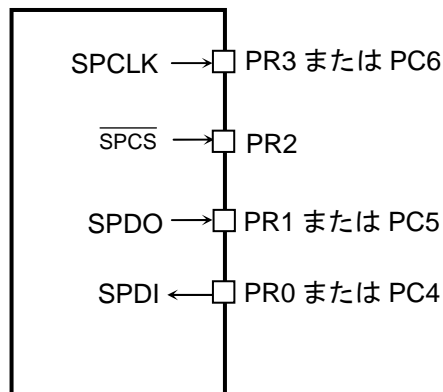
- SPCLK 信号の PC6 端子からの出力
- SPDO 信号の PC5 端子からの出力
- SPDI 信号の PC4 端子からの入力

詳細は、「SPI」の章を参照してください。

TMP92CZ26A/CF26A



TMP92CF30



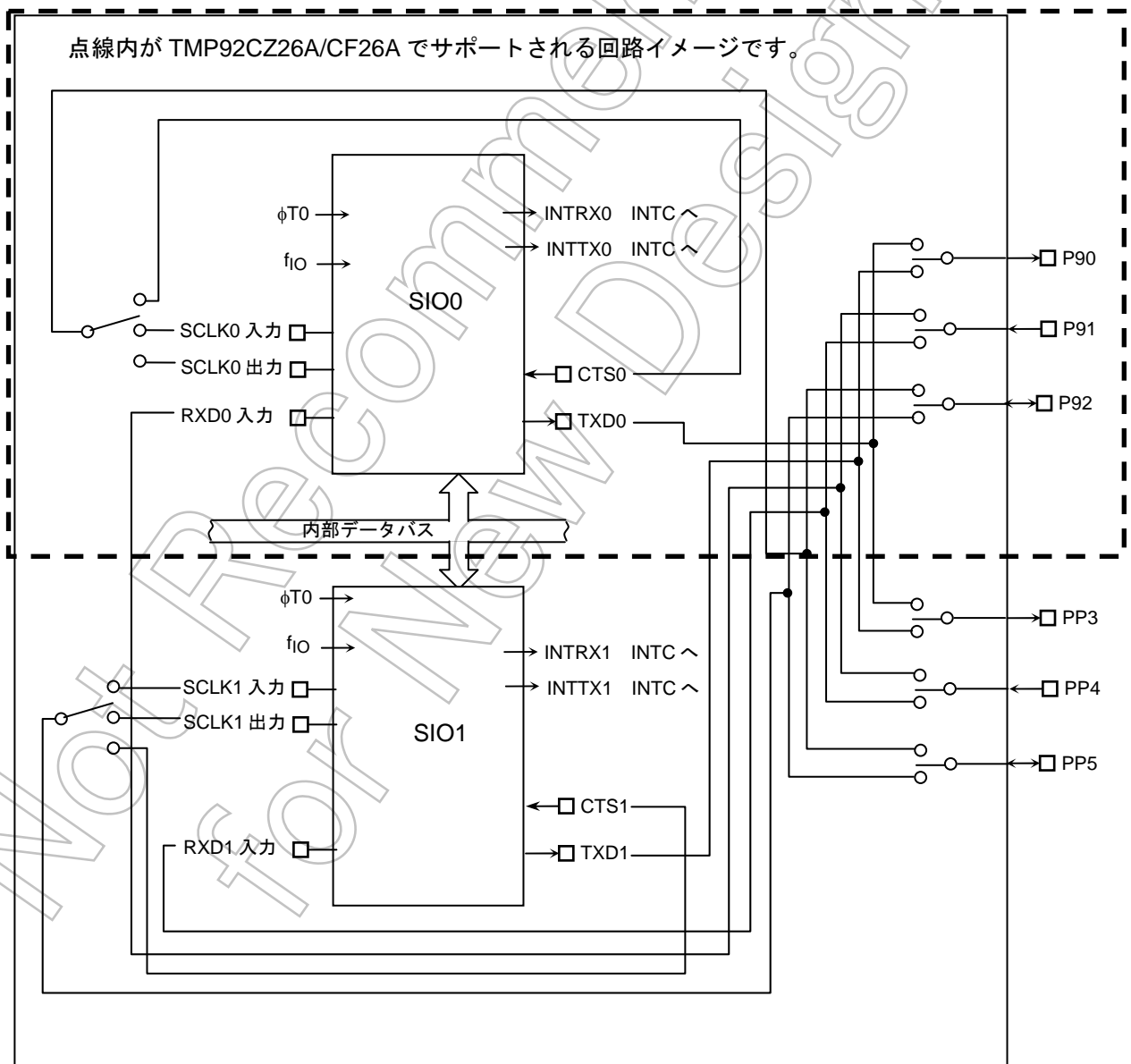
3.3.10 LCDコントローラの削除

【機能削除】 TMP92CZ26A/CF26A ではサポートされていた、LCD コントローラが削除されています。

3.3.11 SIOのチャンネル追加および機能追加

【機能追加】 TMP92CZ26A/CF26A では SIO は、1ch のみのサポートでしたが、TMP92CF30 では 2ch に追加されています。しかし、TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、追加になった Ch1 のデバッグは出来ません。

【変更機能】 2ch の回路は、各々の信号を P90,P91,P92、または PP3,PP4,PP5 に設定することが出来ます。しかし、TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、変更になったポート切り替えの機能はデバッグ出来ません。



3.3.12 割り込み要因の削除・変更

【機能削除】 I²S のチャンネルが 2ch から 1ch に減った分の割り込みベクタが削除されています。

【変更機能】 SIO が 1ch から 2ch に増えたため、TMP92CZ26A/CF26A ではサポートされていなかった「SIO1 のシリアル受信終了」および、「シリアル送信終了」の割り込みベクタが追加されています。しかし、TMP92CF26A を利用した ICE を使用して開発・デバッグを行う場合、変更になった割り込み機能はデバッグ出来ません。

TMP92CF30 の割り込みベクタとマイクロ DMA/HDMA スタートベクタ

デフォルト プライオリ ティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA /HDMA スタート ベクタ
1	ノン マスクابل	リセットまたは [SWI0] 命令	0000H	FFFF00H	
2		[SWI1] 命令	0004H	FFFF04H	
途中略		途中略			
40		INTI2S0: I ² S(チャンネル 0)	009CH	FFFF9CH	27H
41		(Reserved)	-	-	-
42		INTADM: AD 監視機能	00A4H	FFFFA4H	29H
43		INTSBI: SBI	00A8H	FFFFA8H	2AH
44		INTSPIRX: SPIC 受信	00ACH	FFFFACH	2BH
45		INTSPITX: SPIC 送信	00B0H	FFFFB0H	2CH
46		INTRSC: NAND Flash コントローラ	00B4H	FFFFB4H	2DH
47		INTRDY: NAND Flash コントローラ	00B8H	FFFFB8H	2EH
48		INTUSB: USB	00BCH	FFFFBCH	2FH
49		INTRX1: シリアル受信終了	00C0H	FFFC0H	30H
50		INTTX1: シリアル送信終了	00C4H	FFFC4H	31H

3.3.13 BOOT機能の削除

TMP92CZ26A/CF26A ではサポートされていた、内蔵 ROM が削除されているため、ブート ROM 機能も使用できません、

TMP92CZ26AとTMP92CF30の差異を表3.3.1にまとめます。詳細は内部の各々の回路の章を参照ください。

表 3.3.1 TMP92CZ26A との比較表

Item	TMP92CZ26A	TMP92CF30	備考	
RAM	288KB	144KB		
ROM	8kB (BOOT)	無		
PKG	FBGA228-P-1515-0.80A	LQFP176-P-2020-0.40F		
Pin Count	228	176		
外部 データバス	~16ビット	~32ビット	開発ツール上ではデバッグ出来ません。	
DSU	対応	無	TMP92CZ26のサブセットとする (DSUでなく、ICE) DBGE PZ0-PZ7,PU7 10本削除	-10
I ² S	2ch	1ch	Ch1を削除 PF3(I2S1CKO,X1D4),PF4(I2S1DO), PF5(I2S1WS) 3本削除	-3
8bit timer	8ch	8ch	PP1(TA3OUT),PP2(T5OUT),2本削除	-2
SIO	1ch	2ch	ただし、+1ch分は開発ツール上ではデバッグ出来ません。	
16bit timer	2ch	2ch	PP7(TB1OUT0) 1本削除	-1
LCDC	TFT 16M 対応	無	データバスとして使用可	-7
汎用ポート	P84/CSZB P85/CSZC PV0 PV1 PV2 PV3 PV4 PX7 PW0 to PW7	削除 削除 削除 削除 削除 削除 削除 削除	ポートピン15本削除	-16
電源	DVCC3A 12 DVCC3B 1 DVCC1A 5 DVCC1B 1 DVCC1C 1 DVCC1S 1 DVSSCOM 12	DVCC3A 8 DVCC3B 0 DVCC1A 4 DVCC1B 1 DVCC1C 1 DVCC1S 1 DVSSCOM 8	電源ピン10本削除	-10
Dummy	4本	無	ダミー4本削除	-4
NMI	無	追加	追加	+1
TOTAL			228ピンBGA → 176ピンQFP (52本削除)	-52

その他仕様変更

SIOの2ch化

X1D4端子の追加

SPI出力を別ポートから出力対応

CZ26A,CF26Aでは1chのみであった、SIOを1ch追加。

ただし、追加分のSIO機能は開発ツールではデバッグ対応出来ません。

源振クロック(外部X1)の×1、×1/2、×1/4、×1/8のクロックをCPUの状態(Normal、IDLE1、IDLE2いずれの場合も)出力することが出来る。ただし、開発ツールでは対応不可。

SPIは1chのみとチャンネル数の変更はありませんが、2種類の別端子から出力対応可能です。しかし、この機能も開発ツールでのデバッグは対応できません。

3.4 クロック機能およびスタンバイ機能

TMP92CF30 は(1)クロックギア、(2)クロック逡倍回路 (PLL)、(3) スタンバイ制御、(4)ノイズ低減回路などの機能を内蔵しています。これらの機能は低電力かつ低ノイズのシステムになっています。

この章は下記に示すような構成になっています。

3.4.1 システムクロック系統ブロック図

3.4.2 SFR説明

3.4.3 システムクロック制御部

3.4.4 クロック逡倍回路 (PLL)

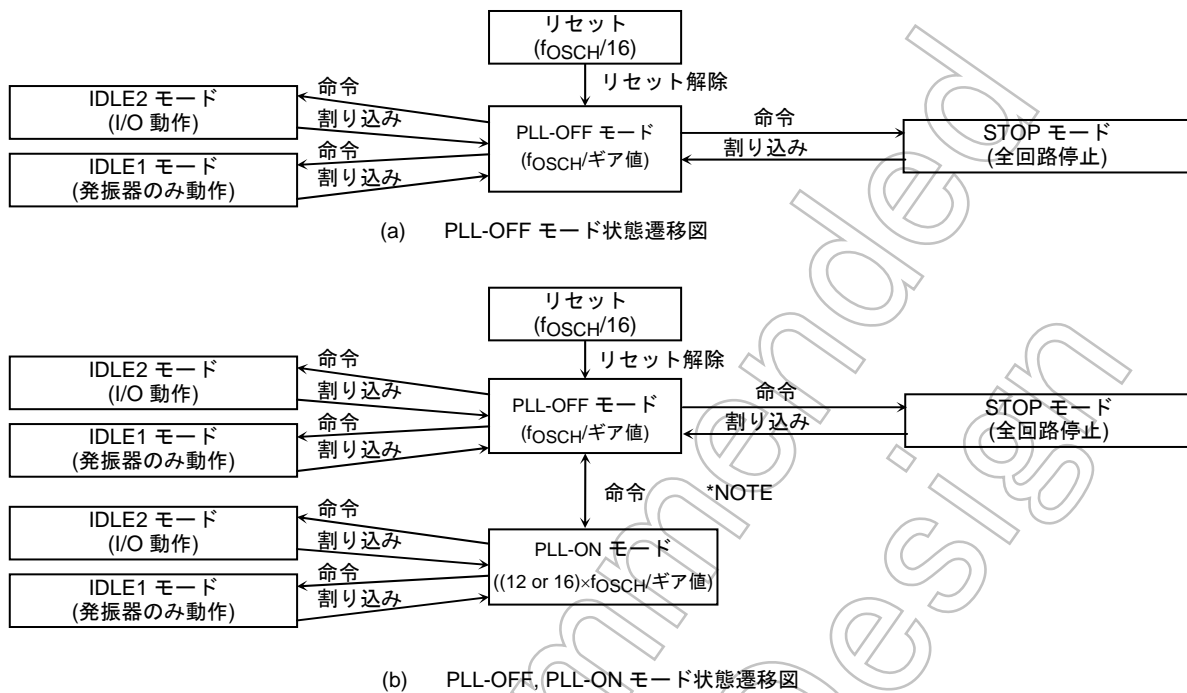
3.4.5 ノイズ低減回路

3.4.6 スタンバイ制御部

Not Recommended
for New Design

クロックの動作モードとしては、PLL-OFF モード (X1、X2 端子のみ) と PLL-ON モード (X1、X2 と PLL) の 2 モードがあります。

図 3.4.1 に動作モード別状態遷移図を示します。



*注)

- PLL-ON モードから PLL-OFF モードに切り替える場合、次の設定に従ってください。
 - 1) CPU クロックの切り替え (PLLCR0<FCSEL> <- "0")
 - 2) PLL 回路を停止 (PLLCR1<PLLON> <- "0")
- PLL-ON モードから STOP モードへの直接切り替えは出来ません。
必ず一度 PLL-OFF モードに設定してから STOP モードに切り替えてください。

図 3.4.1 動作モード別状態遷移図

X1、X2 端子より入力されるクロック周波数を f_{OSCH} 、XT1、XT2 端子より入力されるクロック周波数を f_s 、SYSCR1<GEAR2:0>で選択したクロックをシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.4.1 システムクロック系統ブロック図

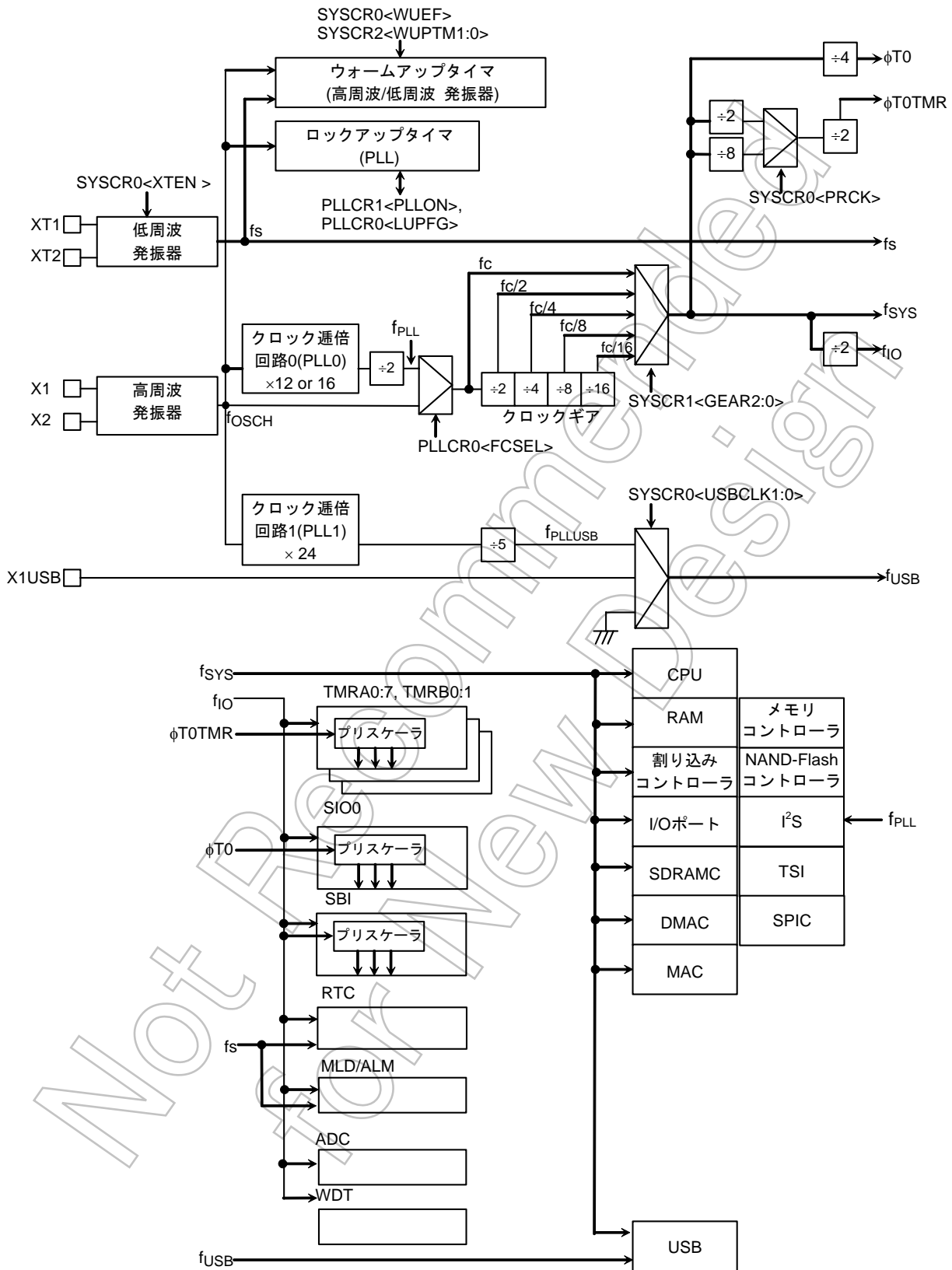


図 3.4.2 システムクロック系統ブロック図

TMP92CF30では、CPU専用(PLL0)とUSB専用(PLL1)のPLL回路を2種類持っています。各々のPLLは独立して制御することが可能です。

外部発振子の周波数は、6~10MHzです。10MHz以上の発振子を接続しないでください。

また、外部の発振器を使ってクロックを入力する場合も、入力周波数範囲は6~10MHzです。

10MHzを超えるクロックを入力しないでください。

表 3.4.1 f_{OSCH}用設定例

	高周波発振: f _{OSCH}	システム クロック: f _{SYS}	システム クロック: f _{SYS}	USB クロック: f _{USB}
(a) USB 必要 PLL あり (PLL0 ON/PLL1ON)	10.0 MHz	最大 80 MHz	最大 60 MHz	48 MHz
(b) USB 不要 PLL あり (PLL0 ON/PLL1OFF)	最大 10.0 MHz	最大 80 MHz	最大 60 MHz	-
(c) USB 不要 PLL なし (PLL0 OFF/PLL1OFF)	最大 10.0 MHz	最大 10 MHz	最大 10 MHz	-

注) USB を使用するときは、高周波発振子を 10.0MHz にしてください。

3.4.2 SFR説明

	7	6	5	4	3	2	1	0
SYSCR0 (10E0H)	bit Symbol	XTEN	USBCLK1	USBCLK0		WUEF		PRCK
	Read/write	R/W				R/W		R/W
	リセット後	1	0	0		0		0
	機能	低速発振器 (fs) 0: 停止 1: 動作	USB クロック 選択 (f _{USB}) 00: Disable 01: Reserved 10: X1 _{USB} 11: f _{PLLUSB}			ウォームアップ タイマ 0: ライト don't care 注 3) 1: ライト スタート タイマ 0: リード ウォームアップ終了 1: リード ウォームアップ中		プリスケール クロック 選択 0: f _{SYS} /2 1: f _{SYS} /8
	7	6	5	4	3	2	1	0
SYSCR1 (10E1H)	bit Symbol					GEAR2	GEAR1	GEAR0
	Read/write					R/W		
	リセット後					1	0	0
	機能					高周波のギア値選択(fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: Reserved 110: Reserved 111: Reserved		
	7	6	5	4	3	2	1	0
SYSCR2 (10E2H)	bit Symbol	—	CKOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0	
	Read/write		R/W					
	リセット後	0	0	1	0	1	1	
	機能	"0"をライトしてください。	CLKOUT 選択 0: f _{SYS} 1: fs	ウォームアップタイマ 00: Reserved 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALT モード 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		

注 1) SYSCR0<bit7><bit3><bit1>,SYSCR1<bit7:3>,SYSCR2<bit1:0>は不定値がリードされます。

注 2) 低速発振器はリセットにより発振許可となります。

注 3) ウォームアップ中に SYSCR0<WUEF>に "0"をライトすると、ウォームアップ終了フラグは立ちませんので、ウォームアップ中は SYSCR0 レジスタはライトしないでください。(ウォームアップ中は SYSCR0 のリードモディファイライトは禁止です。)

図 3.4.3 システムクロック関係 SFR

	7	6	5	4	3	2	1	0	
EMCCR0 (10E3H)	bit Symbol	PROTECT				-	EXTIN	DRVOSCH	DRVOSCL
	Read/Write	R				R/W			
	リセット後	0				0	0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON				“0”をライ トしてく ださい。	1: fc 外部 クロック	fc 発振器 ドライブ 能力 1: Normal 0: Weak	fs 発振器 ドライブ 能力 1: Normal 0: Weak
EMCCR1 (10E4H)	bit Symbol	下記 1ST-KEY,2 ND -KEY のライトによりプロテクト ON/OFF 切り替わり 1 ST -KEY: EMCCR1=5AH,EMCCR2=A5H を連続ライト 2 ND -KEY: EMCCR1=A5H,EMCCR2=5AH を連続ライト							
	Read/Write								
	リセット後								
	機能								
EMCCR2 (10E5H)	Bit symbol	下記 1ST-KEY,2 ND -KEY のライトによりプロテクト ON/OFF 切り替わり 1 ST -KEY: EMCCR1=5AH,EMCCR2=A5H を連続ライト 2 ND -KEY: EMCCR1=A5H,EMCCR2=5AH を連続ライト							
	Read/Write								
	リセット後								
	機能								

注 1) STOP モードから発振を開始する時など、発振停止から発振を再起動する場合は、EMCCR0<DRVOSCH>,<DRVOSCL>を“1”に設定してください。

注 2) 外部発振子を使用する場合、EMCCR0<EXTIN>=“1”に設定しないでください。

図 3.4.4 システムクロック関係 SFR

	7	6	5	4	3	2	1	0
PLLCR0 (10E8H)		FCSEL	LUPFG					
Read/Write		R/W	R					
リセット後		0	0					
機能		fc クロック 選択 0: fOSCH 1: fPLL	ロック アップ タイマ 状態 フラグ 0: not end 1: end					

注) PLLCR0<LUPFG>の論理は 900/L1 の DFM と異なるので注意してください。

	7	6	5	4	3	2	1	0
PLLCR1 (10E9H)	PLL0	PLL1	LUPSEL					PLLTIMES
Read/Write	R/W							R/W
リセット後	0	0	0					0
機能	CPU 用 PLL0 0: Off 1: On	USB 用 PLL1 0: Off 1: On	ロック アップ カウンタ段 数選択 0: 12 段 (PLL0 用) 1: 13 段 (PLL1 用)					PLL 通倍数 選択 0: × 12 1: × 16

図 3.4.5 PLL 関係 SFR

	7	6	5	4	3	2	1	0
PxDR (xxxxH)	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Read/Write	R/W							
システム リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモードの入出力バッファドライブレジスタ							

(使用目的と使用方法)

- このレジスタはスタンバイモード時の、各々のピンの状態を設定します。
- すべてのポートはそれぞれ、上記フォーマットと同等のレジスタを持っています。(“X”はポート名を意味します。)
- 各レジスタの詳細については 3.7 章の「ポート機能」を参照してください。
- HALT 命令前に期待するピンの状態を各レジスタに設定してください。CPU が HALT 命令を実行後にイネーブルとなります。
- 3 種類あるスタンバイモードの全てで有効になります。(IDLE2, IDLE1 または STOP モード)

入出力の状態を以下の表に示します。

OE	PxnD	出力バッファ	入力バッファ
0	0	OFF	OFF
0	1	OFF	ON
1	0	OFF	OFF
1	1	ON	OFF

注 1) OE はスタンバイモード前の出力イネーブル信号を意味しています。基本的に PxCR は OE として使用されます。

注 2) PxnD の“n” は PORTx のビット番号を意味しています。

図 3.4.6 ドライブレジスタ関係 SFR

3.4.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。SYSCR0<XTEN>で低速発振器の発振制御、 f_c クロックを入力として SYSCR1<GEAR2:0>で高速クロックのギアを 1、2、4、8、16 段 (f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$) に切り替え、消費電力の低減を図ることができます。

リセットにより、PLL-OFF モードになり <XTEN> = “1”、<GEAR2:0> = “100” に初期化されますのでシステムクロック f_{SYS} は $f_c/16$ となります。例えば、X1、X2 端子に 10MHz の発振子を接続していると、リセットにより f_{SYS} は 625kHz となります。

(1) クロックギアコントローラ

システムクロック f_{SYS} をクロックギア選択レジスタ SYSCR1<GEAR2:0> により f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$ のいずれかに設定できます。クロックギアを使用して f_{SYS} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

(設定例)

高速クロックのギア切り替え

```
SYSCR1 EQU 10E1H

LD (SYSCR1),XXXXX001B ; システムクロック  $f_{SYS}$  を  $f_c/2$  へ切り替え
LD (DUMMY),00H ; ダミー命令
```

X: don't care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

(例)

```
SYSCR1 EQU 10E1H
LD (SYSCR1),XXXXX010B ;  $f_{SYS}$  を  $f_c/4$  へ切り替え
LD (DUMMY),00H ; ダミー命令
; 切り替え後のクロックギア
; で実行すべき命令
```


3.4.4 クロック逡倍回路 (PLL)

PLL0 は f_{OSCH} の 12 または 16 倍となる、 f_{PLL} クロック信号を出力します。これにより発振器の周波数は低く、内部クロックは高速にすることが可能です。

リセットにより PLL0 は停止状態に初期化されますので PLL0 を使用する場合は PLLCR0、PLLCR1 レジスタへの設定が必要です。

この回路は発振器のように動作許可後に安定させる時間を必要とし、それをロックアップタイムといいます。この時間を確認するために 12 段のバイナリカウンタがあります。ロックアップタイムは $f_{OSCH} = 10\text{MHz}$ の場合で約 0.41ms です。また、USB 専用の PLL(PLL1) も内蔵しています。PLL1 用には 13 段のバイナリカウンタが用意されており、ロックアップタイムは $f_{OSCH} = 10\text{MHz}$ の場合で約 0.82ms です。

注 1) PLL 用入力周波数の制限

PLL 用の入力周波数の限界(高速発振器)は次のとおりです。

$f_{OSCH} = 6 \sim 10 \text{ MHz}$ ($V_{CC} = 1.4 \sim 1.6\text{V}$)

注 2) PLLCR0<LUPFG>

PLLCR0<LUPFG>の論理は $900/L1$ の DFM とは異なります。

ロックアップ終了の判断は注意してください。

注 3) PLLCR1<PLL0>, PLLCR1<PLL1>

PLL0 と PLL1 の ON は同時に行えません。

両方 ON する場合は、片方のロックアップ終了を確認後、もう片方の PLL を ON してください。

表 3.4.2 は $f_{OSCH} = 10\text{MHz}$ の場合の、PLL とクロックギア使用による f_{SYS} 周波数です。

表 3.4.2 $f_{OSCH} = 10\text{MHz}$ の場合の f_{SYS} 周波数

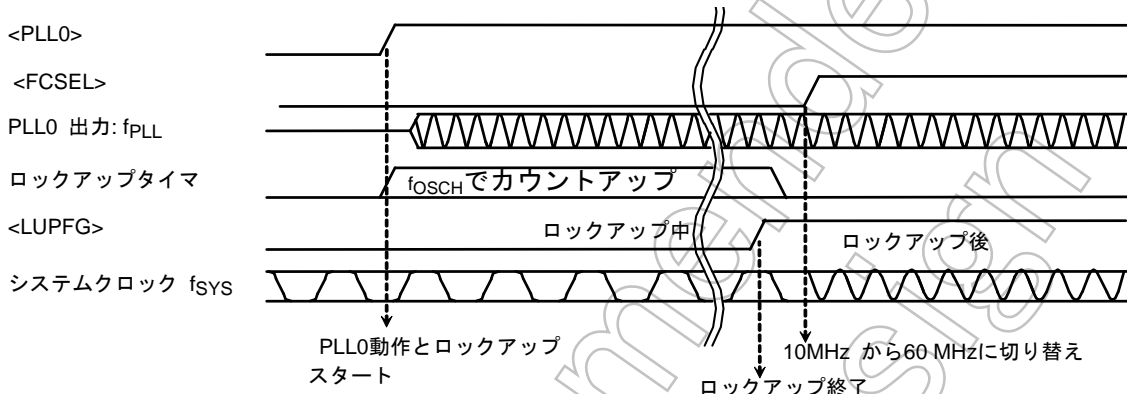
f_{OSCH}	f_{PLL}	f_{SYS} 周波数				
		f_c	$f_c/2$	$f_c/4$	$f_c/8$	$f_c/16$
10MHz	$f_{OSCH} 10\text{MHz}$	10MHz	5MHz	2.5MHz	1.25MHz	625kHz
	$\times 12 120\text{MHz}$	60MHz	30MHz	15MHz	7.5MHz	3.75MHz
	$\times 16 160\text{MHz}$	80MHz	40MHz	20MHz	10MHz	5MHz

以下は PLL0 スタートと PLL0 ストップの設定例です。

(設定例-1) PLL0 スタート

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
	LD	(PLLCR1),1XXXXXXXXB	; PLL0 動作とロックアップスタートをイネーブル
LUP:	BIT	5,(PLLCR0)	; } ロックアップの終了を検出
	JR	Z,LUP	; }
	LD	(PLLCR0), X1XXXXXXXXB	; 10 MHz から 60 MHz に切り替え

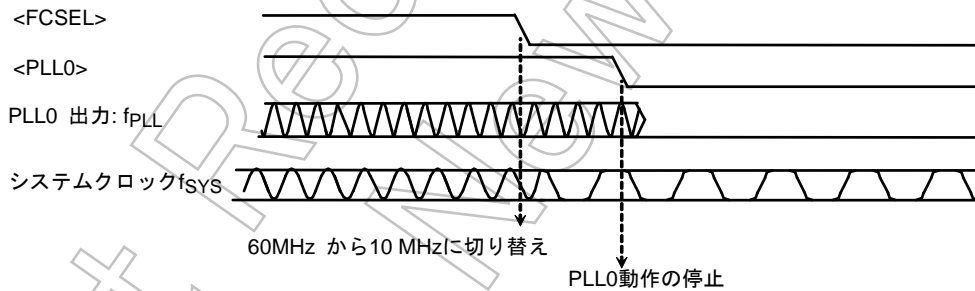
X: Don't care



(設定例-2) PLL0 ストップ

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
	LD	(PLLCR0),X0XXXXXXXXB	; 60 MHz から 10 MHz に切り替え
	LD	(PLLCR1),0XXXXXXXXB	; PLL0 停止

X: Don't care



注) PLL1 の場合も同様となります。

PLL0 の使用制限

1. PLL0 使用中に PLL の動作を停止する場合、次の設定に従ってください。

LD (PLLCR0),0XXXXXXB ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
 LD (PLLCR1),0XXXXXXB ; PLL0 を停止させてください。

X: Don't care

2. PLL 使用中に STOP モードに切り替える場合、次の設定に従ってください。

LD (SYSCR2),XXXX01XXB ; STOP モードを設定
 LD (PLLCR0), X0XXXXXXB ; システムクロック f_{PLL} を f_{OSCH} に切り替え
 LD (PLLCR1), 0XXXXXXB ; PLL0 停止
 HALT ; STOP モードに切り替え

X: Don't care

設定例は以下のとおりです。

(1) スタートアップ/切り替えのコントロール

(OK) 高速発振器動作モード (f_{OSCH}) → PLL0 スタートアップ → PLL0 使用モード (f_{PLL})

LUP: LD (PLLCR1), 1XXXXXXB ; PLL0 スタートアップ/ロックアップ、スタートします。
 BIT 5,(PLLCR0) ;
 JR Z,LUP ; ロックアップの終了のフラグをチェックします。
 LD (PLLCR0), X1XXXXXXB ; システムクロック f_{OSCH} を f_{PLL} に切り替えます。

X: Don't care

(2) 切り替え/停止のコントロール

(OK) PLL0 使用モード (f_{PLL}) → 高速発振器動作モード (f_{OSCH}) → PLL0 停止

LD (PLLCR0),0XXXXXXB ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
 LD (PLLCR1),0XXXXXXB ; PLL0 を停止させてください。

X: Don't care

(OK) PLL0 使用モード (f_{PLL}) → STOP モードに設定

→ 高速発振器動作モード (f_{OSCH}) → PLL 停止 → ホルト (高速発振器停止)

LD (SYSCR2),XXXX01XXB ; STOP モードを設定します。
 (この設定は PLL0 使用前に設定しておいても有効です)
 LD (PLLCR0),X0XXXXXXB ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
 LD (PLLCR1),0XXXXXXB ; PLL0 を停止させてください。
 HALT ; STOP モードに遷移します。

X: Don't care

(NG) PLL0 使用モード (f_{PLL}) → STOP モードに設定 → ホルト (高速発振器停止)

LD (SYSCR2),XXXX01XXB ; STOP モードを設定します。
 (この設定は PLL0 使用前に設定しておいても有効です)
 HALT ; STOP モードに遷移します。

X: Don't care

3.4.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のドライブ能力低減
- (2) 低速発振器のドライブ能力低減
- (3) 高速発振器のシングルドライブ化
- (4) SFR プロテクトレジスタによる暴走対策

これらは、EMCCR0- EMCCR2 レジスタによる設定が必要です。

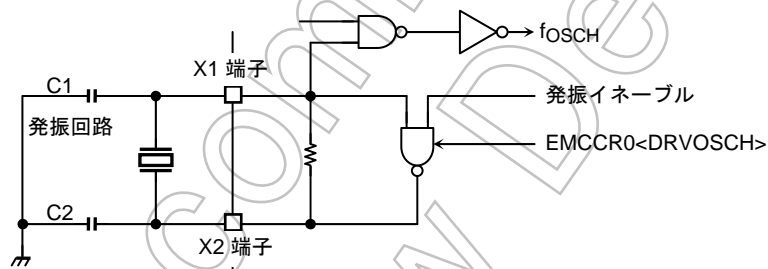
以下に(1)~(4)について説明します。

- (1) 高速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化を図ります。

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に“0”をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は“1”に初期化されますので、電源投入時は通常のドライブ能力で発振開始します。

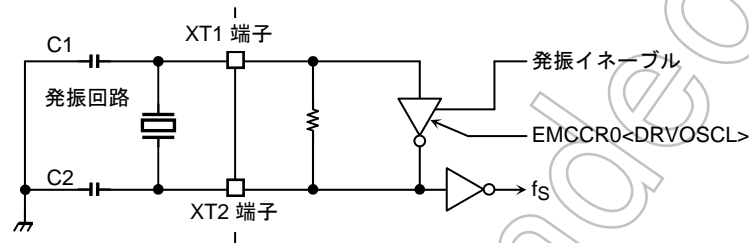
注) この機能(EMCCR0<DRVODCH>=“0”)は、 $f_{OSCH} = 6 \sim 10\text{MHz}$ の状態で使用可能になります。

(2) 低速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化を図ります。

(ブロック図)



(設定方法)

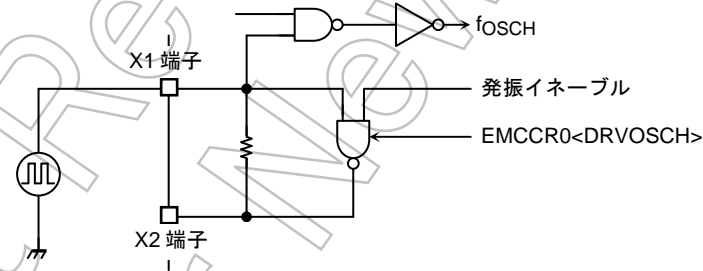
EMCCR0<DRVOSCL>に“0”をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

(3) 高速発振器のシングルドライブ化

(目的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子解放時にノイズ混入による誤動作を防止します。

(ブロック図)



(設定方法)

EMCCR0<EXTIN>に“1”をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は“1”を出力状態となります。

リセットにより、<EXTIN>は“0”に初期化されます。

注) 外部発振子を使用する場合、EMCCR0<EXTIN> = “1”に設定しないでください。

(4) SFR プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策です。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ(メモリコントローラ、MMU)の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. メモリコントローラ

B0CSL/H、 B1CSL/H、 B2CSL/H、 B3CSL/H、
BECSL/H

MSAR0、MSAR1、MSAR2、MSAR3、
MAMR0、MAMR1、MAMR2、MAMR3、PMEMCR、
MEMCR0、CSTMGCR、WRTMGCR、RDTMGCR0、
RDTMGCR1、BROMCR

2. MMU

LOCALPX/PY/PZ、LOCALLX/LY/LZ、
LOCALRX/RY/RZ、LOCALWX/WY/WZ、
LOCALESX/ESY/ESZ、LOCALEDX/EDY/EDZ、
LOCALOSX/OSY/OSZ、LOCALODX/ODY/ODZ

3. クロックギア

SYSCR0、SYSCR1、SYSCR2、EMCCR0

4. PLL

PLLCR0、PLLCR1

(動作説明)

EMCCR1とEMCCR2レジスタに2重の鍵を設定する事によりプロテクト(特定のSFRへのライト動作)の実行、解除が可能となります。

(2重の鍵)

1st-KEY: EMCCR2に5AH、EMCCR2にA5Hを連続ライト

2nd-KEY: EMCCR2にA5H、EMCCR2に5AHを連続ライト

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクトOFF状態となります。

また、プロテクトON状態にて特定のSFRへのライト動作が実行された場合にINTP0割込みを出力します。これにより暴走時のエラー処理を容易にします。

3.4.6 スタンバイ制御部

(1) HALT モードと ドライブレジスタモード

HALT 命令を実行すると、SYSCR2 <HALTM1:0>の設定により、IDLE2、IDLE1、STOP のいずれかの HALT モードになります。また、各ポート端子の状態はドライブレジスタ PxDR の内容に応じてセットされます。

	7	6	5	4	3	2	1	0
PxDR (xxxxH)	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Read/Write	R/W							
システム リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモードの入出力バッファドライブレジスタ							

(使用目的と使用方法)

- このレジスタはスタンバイモード時の、各々のピンの状態を設定します。
- すべてのポートはそれぞれ、上記フォーマットと同等のレジスタを持っています。(“X”はポート名を意味します。)
- 各レジスタの詳細については3.7章の「ポート機能」を参照してください。
- HALT 命令前に期待するピンの状態を各レジスタに設定してください。CPU が HALT 命令を実行後にイネーブルとなります。
- 3種類あるスタンバイモードの全てで有効になります。(IDLE2, IDLE1 または STOP モード)

入出力の状態を以下の表に示します。

OE	PxnD	出力バッファ	入力バッファ
0	0	OFF	OFF
0	1	OFF	ON
1	0	OFF	OFF
1	1	ON	OFF

注 1) OE はスタンバイモード前の出力イネーブル信号を意味しています。基本的に PxCR は OE として使用されます。

注 2) PxnD の“n”は PORTx のビット番号を意味しています。

各モードで動作するブロックを以下に示します。

(a) IDLE2 : CPUのみ停止するモードです。

内蔵I/Oは、SFRの中にIDLE2モード時の動作/停止設定レジスタを1ビット持ちIDLE2モードでの動作設定が可能です。

表 3.4.3にIDLE2設定レジスタの表を示します。

表 3.4.3 IDLE2モードでの内蔵 I/O 設定レジスタ

内部 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRA45	TA45RUN<I2TA45>
TMRA67	TA67RUN<I2TA67>
TMRB0	TB0RUN<I2TB0>
TMRB1	TB1RUN<I2TB1>
SIO0	SC0MOD1<I2S0>
SBI	SBIBR0<I2SBI>
A/D converter	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

(b) IDLE1 : 内部発振器と RTC、MLD のみ動作します。

(c) STOP : すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.4.4 に示します。

表 3.4.4 I/O ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2 <HALTM1:0>		11	10	01
Block	CPU, MAC	停止		
	I/O ポート	PxDR レジスタ設定に依存		
	TMRA, TMRB	動作するブロックを選択することに 利用可能	停止	
	SIO, SBI			
	A/D コンバータ			
	WDT			
	I ² S, SDRAMC, 割り込みコントローラ, SPIC, DMAC, NDFC, USBC	動作	動作	
	RTC, MLD			

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、HALTモードの組み合わせにより決まります。詳細を表 3.4.5に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません(ノンマスカブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います)。

ただし、NMI、INT0~INT5、INT6、INT7(非同期割り込み設定時)、INTKEY、INTRTC、INTALM 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします(割り込み要求フラグは“1”を保持します)。

- リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間が必要です。

リセットによる解除では、内蔵 RAM のデータはホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。(割り込みによる解除では、ホルト状態に入る直前の状態を保持します)

表 3.4.5 ホルト解除ソースとホルト解除の動作

割り込み受付状態		割り込み許可 (割り込みレベル) ≥ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)			
		HALT モード	IDLE2	IDLE1	STOP	IDLE2	IDLE1	STOP
ホルト解除ソース	割り込み	INTWDT	◎	×	×	—	—	—
		NMI						
		INT0 ~ INT5 (注 1)	◎	◎	◎ ^{*1}	○	○	○ ^{*1}
		INTKEY						
		INTUSB	◎	◎ ^{*2}	×	○	○ ^{*2}	×
		INT6 ~ INT7(PORT) (注 1)	◎	◎	◎ ^{*1}	○	○	○ ^{*1}
		INT6 ~ INT7(TMRB)	◎	×	×	×	×	×
		INTALM, INTRTC	◎	◎	×	○	○	×
		INTTA0 ~ INTTA7, INTTP0 INTTB00 ~ INTTB01, INTTB10 ~ INTTB11 INTRX, INTTX, INTSBI INTI2S0	◎	×	×	×	×	×
		INTAD, INTADHP INTSPIRX, INTSPITX INTRSC, INTRDY INTDMA0 ~ INTDMA5						
		RESET				LSI を初期化します。		

◎: ホルト解除後、割り込み処理を開始します。(RESET はマイクロコントローラを初期化します。)

○: ホルト解除後、HALT 命令の次の番地から処理を開始します。

×: ホルト解除に使うことができません。

—: ノンマスクブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の "7" に固定されているため、この組み合わせはありません。

*1: ウォームアップ時間経過後にホルト解除を行います。

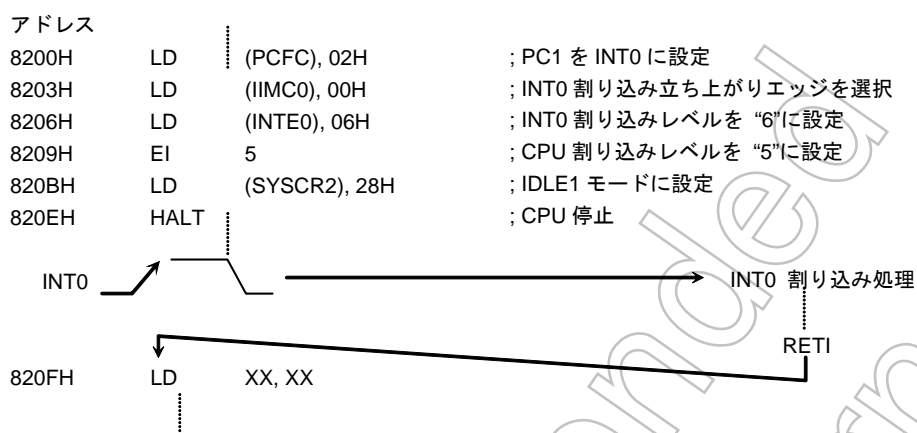
*2: USB で準備されている、24 種類の割り込みの内、(USBINTFR1)レジスタの 6 種類の割り込みは、IDLE1 モードからホルト解除が可能です。そのため、より低消費電力のシステムを構築することが可能です。ただし、その使用方法は以下に限られます。

- IDLE1 へ移行
INT_SUS または INT_CLKSTOP フラグが "1" (SUSPEND 状態) の状態から、HALT 命令実行
- IDLE1 から復帰
INT_RESUME または INT_CLKON 要求 (SUSPEND 解除要求)での、ホルト解除
INT_URST_STR または INT_URST_END 要求 (RESET 要求)での、ホルト解除

注) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで "H" レベルを保持してください。それ以前で "L" レベルにした場合は、正しい割り込み処理を開始できません。

(IDLE1 モードの解除例)

IDLE1 モードのホルト状態をエッジモードの INTO 割り込みにより解除する場合。



Not Recommended for New Design

(3) 各モードの動作

(a) IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.4.7 に示します。

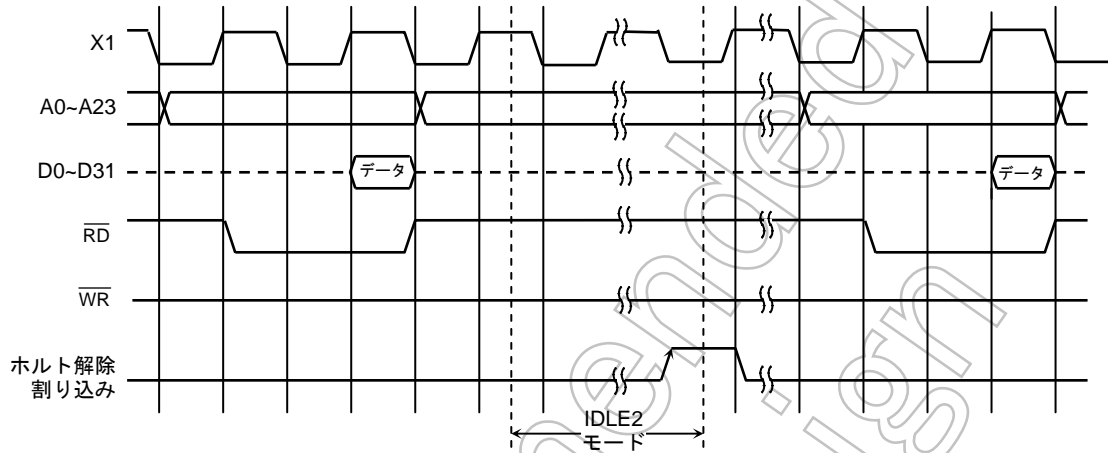


図 3.4.7 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

(b) IDLE1 モード

IDLE1 モードでは、内部発振器と RTC、MLD のみ動作し、システムクロックは停止します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.4.8 に示します。

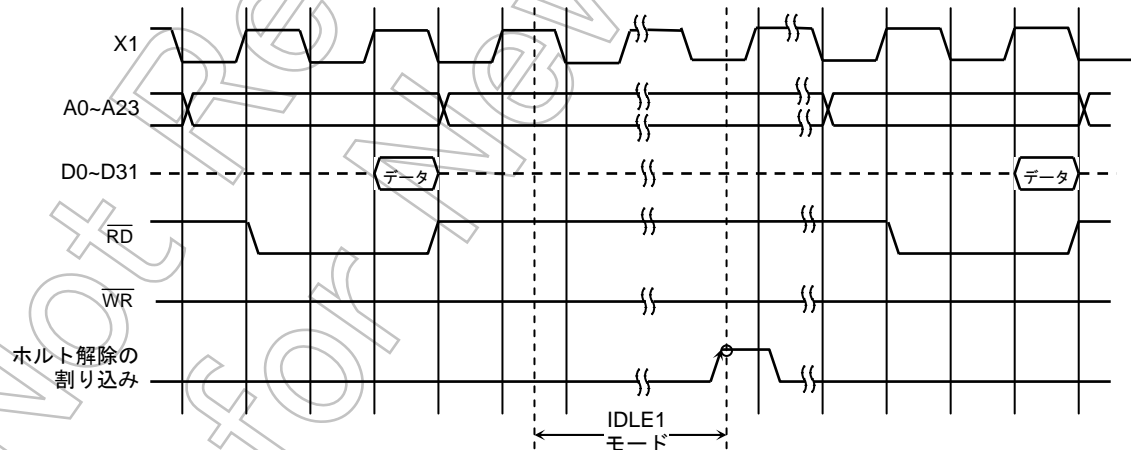


図 3.4.8 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

(c) STOP モード

STOP モードでは、内部発振器も含めて、すべての内部回路が停止します。

STOPモードを解除する場合は、内部発振器の安定化のため、ウォームアップタイムによるウォームアップ時間経過後に、システムクロックの出力を開始します。図 3.4.9 に割り込みによるSTOPモードホルト状態の解除のタイミング例を示します。

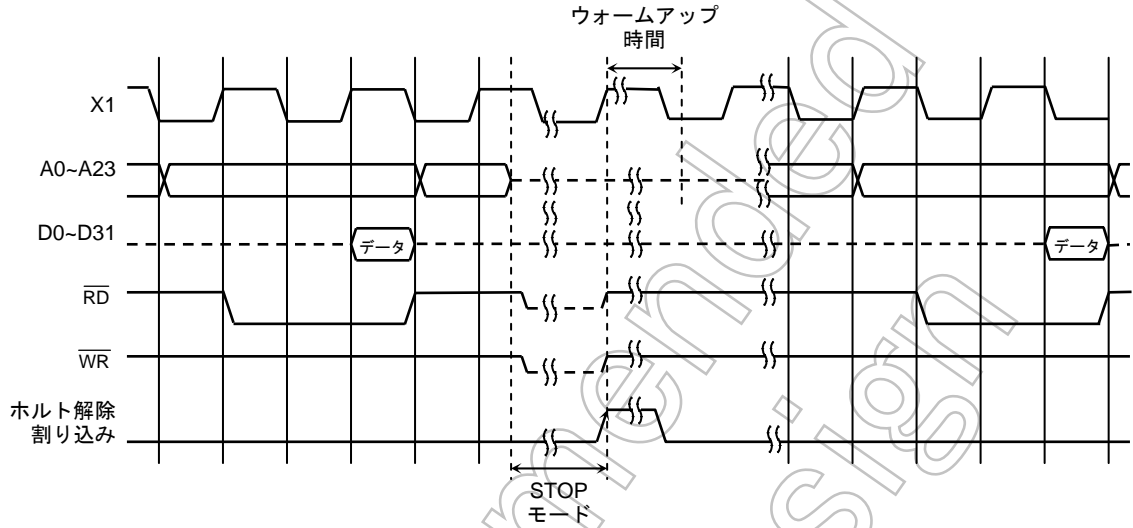


図 3.4.9 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.4.6 ウォームアップ時間の設定例 (STOP モード解除時)

@f_{OSCH} = 10 MHz

SYSCR2<WUPTM1:0>		
01 (2 ⁸)	10 (2 ¹⁴)	11 (2 ¹⁶)
25.6 μs	1.6384 ms	6.5536 ms

表 3.4.7 入力バッファ状態表

ポート名	入力機能名	入力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	入力ポート設定時	<PxDR>= "1"		<PxDR>= "0"	
					機能設定時	入力ポート設定時	機能設定時	入力ポート設定時
D0-D7	D0-D7	OFF	外部リードで ON	-	OFF	-	OFF	-
P10-P17	D8-D15	OFF	-	-	-	-	-	-
P60-P67	-	OFF	-	-	-	-	-	-
P71-P74	-	ON	-	ON	-	ON	-	OFF
P75	NDR/ \bar{B}		ON		ON		OFF	
P76	\overline{WAIT}		-		-		-	
P90	-		-		-		-	
P91	RXD0		-		-		-	
P92	$\overline{CTS0}$, SCLK0		ON		ON		OFF	
P96 *1	INT4		-		-		-	
P97	-		-		-		-	
PA0-PA7 *1	KI0-KI7		-		-		-	
PC0	INT0		ON		ON		OFF	
PC1	INT1,TA0IN		-		-		-	
PC2	INT2		-		-		-	
PC3	INT3,TA2IN		-		-		-	
PC4-PC7	-		-		-		-	
PF0-PF2	-	-	-	-				
PG0-PG2 PG4,PG5 *2	-	OFF	-	ポートリードで ON	-	OFF	-	-
PG3 *2	\overline{ADTRG}	-	ON	ON	ON	ON	ON	ON
PJ5-PJ6	-	ON	-	-	-	-	-	-
PL0-PL7	D16-D23	外部 16 ビットバススタート: ON 外部 32 ビットバススタート: OFF	外部リードで ON	-	OFF	-	OFF	OFF
PN0-PN7	-	-	-	-	-	-	-	-
PP3	INT5	ON	ON	ON	ON	ON	OFF	OFF
PP4	INT6,TB0IN0							
PP5	INT7,TB1IN0							
PR0	SPDI							
PR1-PR3	-							
PT0-PT7	D24-D31	外部 16 ビットバススタート: ON 外部 32 ビットバススタート: OFF	外部リードで ON	-	OFF	-	OFF	OFF
PV6-PV7	SDA,SCL	ON	ON	-	ON	-	-	-
PX5	X1USB	-	-	-	-	-	-	-
D+, D-	-	常時 ON						
\overline{RESET}	-							
AM0,AM1	-							
\overline{NMI}	-							
X1,XT1	-	IDLE2/DLE1: ON						

ON: 常時バッファがONしているため、入力端子がドライブされてないと
入力バッファに貫通電流が流れます。

OFF: 常時バッファがOFFしています

- : 対象なし

*1: Pull-Up/Down抵抗付きポートです。

*2: AIN入力では貫通電流が流れません

表 3.4.8 出力バッファ状態表(1/2)

ポート名	出力機能名	出力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	出力ポート設定時	<PxDR>= "1"		<PxDR>= "0"	
					機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
D0-D7	D0-D7	OFF	外部ライトで	-	OFF	-	-	-
P10-P17	D8-D15	OFF	ON	ON	OFF	ON	-	-
P40-P47	A0-A7	ON	ON	ON	ON	OFF	OFF	-
P50-P57	A8-A15							
P60-P67	A16-A23	ON	ON	ON	ON	OFF	OFF	-
P70	RD	ON						
P71	WRL \bar{L} , NDRE	OFF	ON	ON	ON	OFF	OFF	-
P72	WRLU, NDWE							
P73	EA24							
P74	EA25							
P75	R/ \bar{W}							
P76	-	-	-	-	-	-	-	-
P80	CS0	ON	ON	ON	ON	OFF	OFF	OFF
P81	CS1, SDCS							
P82	CS2, CSZA, SDCS							
P83	CS3, CSXA							
P84	CSZB							
P85	CSZC							
P86	CSZD, ND0CE							
P87	CSXB, ND1CE							
P90	TXD0	OFF	-	-	-	-	-	-
P91	-							
P92	SCLK0							
P96	PX	ON	-	ON	-	OFF	-	-
P97	PY							
PC0-PC3	-	OFF	ON	ON	ON	OFF	OFF	-
PC4	EA26							
PC5	EA27							
PC6	EA28							
PC7	KO8							
PF0	I2S0CKO							
PF1	I2S0DO							
PF2	I2S0WS							
PF7	SDCLK	ON	-	-	-	-	-	
PG2	MX	OFF	-	-	-	-	-	
PG3	MY	OFF	-	-	-	-	-	
PJ0	SDRAS, SRLLB	ON	ON	ON	ON	OFF	OFF	-
PJ1	SDCAS, SRLUB							
PJ2	SDWE, SRWR							
PJ3	SDLLDQM							
PJ4	SDLUDQM	OFF	ON	ON	ON	OFF	OFF	-
PJ5	NDALE, SRULB							
PJ6	NDCLE, SRUUB							
PJ7	SDCKE	ON	-	-	-	-	-	
PK0-PK7	-	ON	-	-	-	-	-	
PL0-PL7	D16-D23	OFF	-	-	-	-	-	

表 3.4.9 出力バッファ状態表(2/2)

ポート名	出力機能名	出力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	出力ポート設定時	<PxDR>= "1"		<PxDR>= "0"	
					機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
PM1	MLDALM,TA1 OUT	ON	ON	ON	ON	ON	OFF	OFF
PM2	MLDALM, ALARM							
PM7	-							
PN0-PN7	KO0-KO7	OFF	-	ON	ON	ON	OFF	OFF
PP3	TA7OUT							
PP4-PP5	-							
PP6	TB0OUT0	ON	ON	ON	ON	ON	OFF	OFF
PP7	TB1OUT0							
PR0	-							
PR1	SPDO	OFF	ON	ON	ON	ON	OFF	OFF
PR2	SPCS							
PR3	SPCLK							
PT0-PT7	D24-D31	OFF	ON	ON	ON	ON	OFF	OFF
PV6	SDA							
PV7	SCL							
PX4	CLKOUT	ON	ON	ON	ON	ON	OFF	OFF
PX5	-	OFF	-	-	-	-	-	-
D+, D-	-	OFF	USBC 動作状態に依存し ON/OFF					
X2	-	常時 ON					IDLE2/1:ON, STOP: "H"出力	
XT2	-	常時 ON					IDLE2/1:ON, STOP: "HZ"出力	

ON: 常時バッファがONしています。ただし、バス開放時は特定の端子の出力バッファはOFFします。

OFF: 常時バッファがOFFしています

- : 対象なし

3.5 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクレジスタ <IFF2:0> (ステータスレジスタの 12~14 ビット) と割り込みコントローラによって制御されます。

TMP92CF30 の割り込み要因には、下記に示す合計 58 本があります。

<p>CPU によって生成される割り込み: 9 本</p> <ul style="list-style-type: none"> ● ソフトウェア割り込み: 8 本 ● 未定義命令実行違反割り込み: 1 本 <p>内部割り込み: 39 本</p> <ul style="list-style-type: none"> ● 内蔵 I/O 割り込み: 31 本 ● マイクロ DMA 転送終了/HDMA 転送終了共通割り込み: 6 本 ● マイクロ DMA 転送終了専用割り込み: 2 本 <p>外部割り込み: 10 本</p> <ul style="list-style-type: none"> ● 外部端子の割り込み (NMI, INT0~INT7, INTKEY)
--

割り込み要因ごとに、個別の割り込みベクタ番号(固定)が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位(可変)を割り付ける事ができます。ノンマスカブル割り込みの優先順位は、最優先の“7”に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの“7”)を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2:0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2:0) の値は EI 命令 (EI num...IFF<2:0>) の内容が num になります。) を使用して書き替えることができます。例えば、“EI 3”とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 (IFF<2:0> が 7 になります。) は動作的には“EI 7”と同じですが、マスカブル割り込みの優先順位値が 0~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、内部/外部メモリおよび内蔵 I/O に対するデータ転送を行うことが出来る「マイクロ DMA」および「HDMA」処理モードがあります。マイクロ DMA は CPU が、HDMA は DMA コントローラが自動的にデータの転送(1/2/4 バイト)を行います。HDMA は、マイクロ DMA より高速な転送が可能です。マイクロ DMA 要求、および HDMA 要求は割り込み要因から与えられる以外に、ソフトウェアから要求を発行する“ソフトスタート機能”があります。

図 3.5.1 に割り込み処理全体のフローを示します。

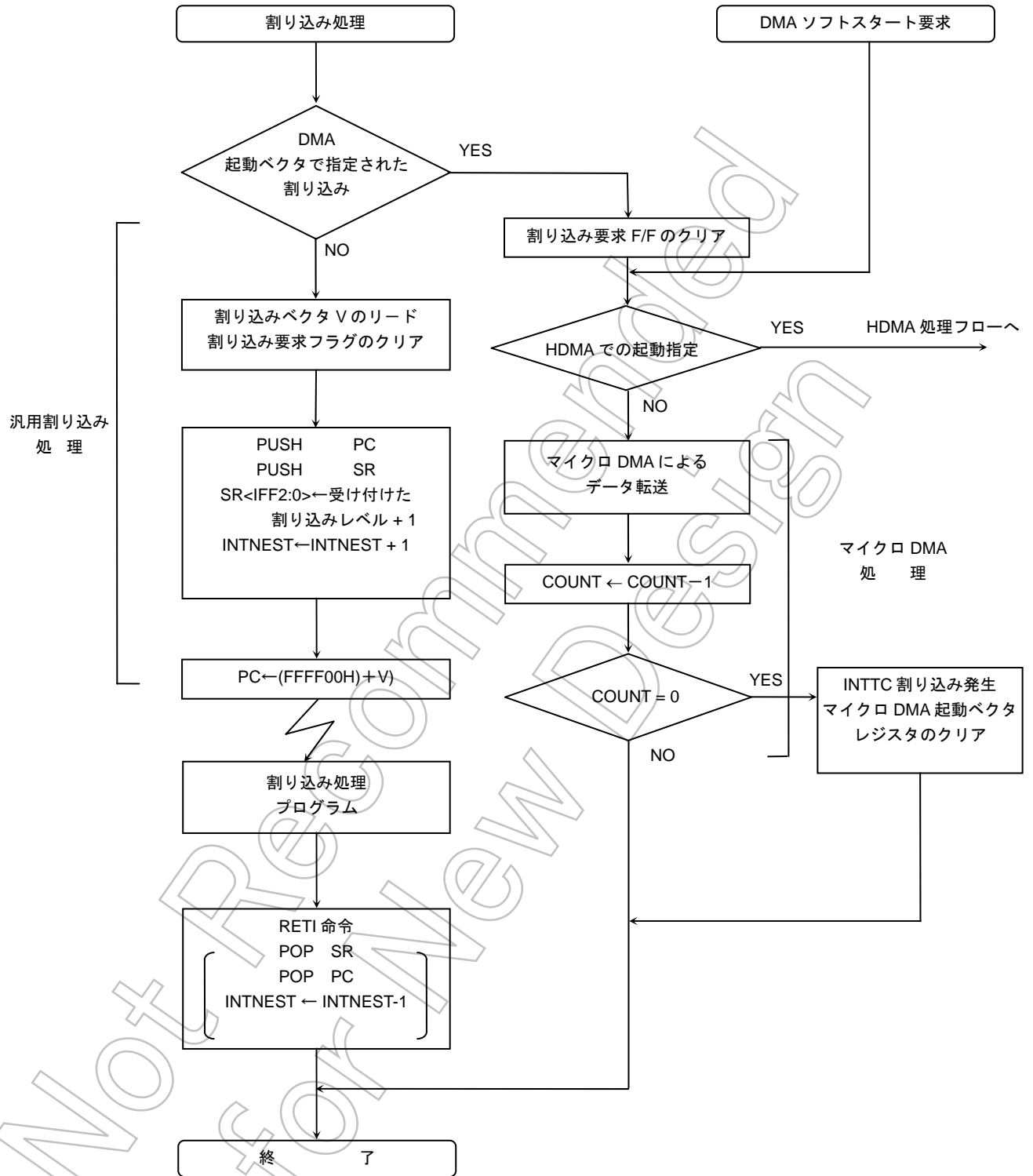


図 3.5.1 割り込み処理全体のフロー

3.5.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。ただしソフトウェア割り込みと未定義命令実行違反割り込みが CPU で生成される場合、CPU は 1 と 3 をスキップし、2、4、5 のみを実行します。

1. CPU は、割り込みコントローラから、割り込みベクタをリードします。割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ(固定:ベクタ値が小さいほど優先順位が高い)にしたがって割り込みベクタを発生し、その割り込み要求をクリアします。
2. CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域(XSP が示す領域)へ PUSH します。
3. CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”の時は、インクリメントせず“7”をセットします。
4. 割り込みネスティングカウンタ INTNEST を、+1 カウントアップします。
5. CPU は、「FFFF00H+割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻る時は、通常「RET」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を-1します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止する事ができません。一方、マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定する事ができます(0 か 7 の割り込みレベルの設定は割り込み要求が無効になります)。CPU は、CPU 自身が持つ割り込みマスクレジスタ<IFF2:0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値をセットします。

したがって、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 1~5 までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止する事ができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“111”に初期化されているため、マスカブル割り込み禁止状態になっています。

TMP92CF30 では、メモリ FFFF00H~FFFFFFH 番地(256 バイト)が、割り込みベクタ領域に割り当てられています。表 3.5.1 に割り込みテーブルを示します。

表 3.5.1 TMP92CF30 の割り込みベクタとマイクロ DMA/HDMA スタートベクタ

デフォルト プライオリ ティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA /HDMA スタート ベクタ
1	ノン マスクابل	リセットまたは [SWI0] 命令	0000H	FFFF00H	
2		[SWI1] 命令	0004H	FFFF04H	
3		未定義命令実行違反 または[SWI2] 命令	0008H	FFFF08H	
4		[SWI3] 命令	000CH	FFFF0CH	
5		[SWI4] 命令	0010H	FFFF10H	
6		[SWI5] 命令	0014H	FFFF14H	
7		[SWI6] 命令	0018H	FFFF18H	
8		[SWI7] 命令	001CH	FFFF1CH	
9		NMI: NMI 端子入力	0020H	FFFF20H	
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	
-		マイクロ DMA (注 2)	-	-	-
11		INT0: INT0 端子 入力	0028H	FFFF28H	0AH (注 1)
12		INT1: INT1 端子 入力	002CH	FFFF2CH	0BH
13		INT2: INT2 端子 入力	0030H	FFFF30H	0CH
14		INT3: INT3 端子 入力	0034H	FFFF34H	0DH
15		INT4: INT4 端子 入力(TSI)	0038H	FFFF38H	0EH
16		INTALM: ALM (8192Hz,512Hz,64Hz,2Hz,1Hz)	003CH	FFFF3CH	0FH
17		INTTA4: 8-ビットタイマ 4	0040H	FFFF40H	10H
18		INTTA5: 8-ビットタイマ 5	0044H	FFFF44H	11H
19		INTTA6: 8-ビットタイマ 6	0048H	FFFF48H	12H
20		INTTA7: 8-ビットタイマ 7	004CH	FFFF4CH	13H
21		INTP0: Protect 0 (特定の SFR へのライト)	0050H	FFFF50H	14H
22		(Reserved)	0054H	FFFF54H	15H
23		INTTA0: 8-ビットタイマ 0	0058H	FFFF58H	16H
24		INTTA1: 8-ビットタイマ 1	005CH	FFFF5CH	17H
25		INTTA2: 8-ビットタイマ 2	0060H	FFFF60H	18H
26		INTTA3: 8-ビットタイマ 3	0064H	FFFF64H	19H
27		INTTB00: 16-ビットタイマ 0	0068H	FFFF68H	1AH
28		INTTB01: 16-ビットタイマ 0	006CH	FFFF6CH	1BH
29		INTKEY: キーウエイックアップ	0070H	FFFF70H	1CH
30	マスクابل	INTRTC: RTC(アラーム 割り込み)	0074H	FFFF74H	1DH
31		(Reserved)	0078H	FFFF78H	1EH
32		(Reserved)	007CH	FFFF7CH	1FH
33		INTRX0: シリアル受信終了	0080H	FFFF80H	20H (注 1)
34		INTTX0: シリアル送信終了	0084H	FFFF84H	21H
35		INTTB10: 16-ビットタイマ 1	0088H	FFFF88H	22H
36		INTTB11: 16-ビットタイマ 1	008CH	FFFF8CH	23H
37		INT5: INT5 端子 入力	0090H	FFFF90H	24H
38		INT6: INT6 端子 入力	0094H	FFFF94H	25H
39		INT7: INT7 端子 入力	0098H	FFFF98H	26H
40	INTI2S0: I ² S(チャンネル 0)	009CH	FFFF9CH	27H	
41	(Reserved)	00A0H	FFFA0H	28H	
42	INTADM: AD 監視機能	00A4H	FFFA4H	29H	
43	INTSBI: SBI	00A8H	FFFA8H	2AH	
44	INTSPIRX: SPIC 受信	00ACH	FFFACH	2BH	
45	INTSPITX: SPIC 送信	00B0H	FFFB0H	2CH	
46	INTRSC: NAND Flash コントローラ	00B4H	FFFB4H	2DH	
47	INTRDY: NAND Flash コントローラ	00B8H	FFFB8H	2EH	
48	INTUSB: USB	00BCH	FFFBCH	2FH	
49	INTRX1: シリアル受信終了	00C0H	FFFC0H	30H (注 1)	
50	INTTX1: シリアル送信終了	00C4H	FFFC4H	31H	

デフォルト プライオリ ティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA /HDMA スタート ベクタ
51	マスクابل	INTADHP: AD 最優先変換終了	00C8H	FFFFC8H	32H
52		INTAD: AD 変換終了	00CCH	FFFFCCH	33H
53		INTTC0/INTDMA0: マイクロ DMA0 / HDMA0 終了	00D0H	FFFFD0H	34H
54		INTTC1/INTDMA1: マイクロ DMA1 / HDMA1 終了	00D4H	FFFFD4H	35H
55		INTTC2/INTDMA2: マイクロ DMA2 / HDMA2 終了	00D8H	FFFFD8H	36H
56		INTTC3/INTDMA3: マイクロ DMA3 / HDMA3 終了	00DCH	FFFFDCH	37H
57		INTTC4/INTDMA4: マイクロ DMA4 / HDMA4 終了	00E0H	FFFFE0H	38H
58		INTTC5/INTDMA5: マイクロ DMA5 / HDMA5 終了	00E4H	FFFFE4H	39H
59		INTTC6 : マイクロ DMA6 終了	00E8H	FFFFE8H	3AH
60		INTTC7 : マイクロ DMA7 終了	00ECH	FFFFECH	3BH
- to -		(Reserved)	00F0H : 00FCH	FFFFF0H : FFFFFCH	- : -

注 1) マイクロ DMA / HDMA を起動するときは、エッジ検出モードに設定してください。

注 2) マイクロ DMA デフォルトプライオリティ

マイクロ DMA は他のマスクابل割り込みより優先され起動します。

3.5.2 マイクロ DMA

TMP92CF30には、マイクロ DMA 機能と HDMA 機能があります。ここではマイクロ DMA 機能について説明します。HDMA 機能については DMA コントローラの章を参照してください。

マイクロ DMA 機能に設定された割り込み要求は、設定された割り込みレベルに関わらず、マスク割り込みの中で最も高い割り込みレベル(レベル 6)で処理を行います。

マイクロ DMA 機能は CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態(IDLE2,IDLE1,STOP)になると、マイクロ DMA の要求は無視(保留)されます。

マイクロ DMA は 8 チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

注) マイクロ DMA 終了割り込みを使う場合は、SIMC レジスタのビット 7 に常に "1" をライトしてください。

Not Recommended
for New Design

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA/HDMA 起動ベクタレジスタで指定された割り込み要求が発生し、且つ、DMA 選択レジスタでマイクロ DMA 起動が指定されていると、割り込み要求元の割り込みレベルに関わらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF=7 のときは、マイクロ DMA の要求は受けつけられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定する事ができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回(1/2/4 バイト)行われ、転送数カウンタを 1 によってデクリメントします。デクリメントした結果が“0”ならば、以下のような動作をします。

- CPU はマイクロ DMA 転送終了を割り込みコントローラに伝えます。
- 割り込みコントローラはマイクロ DMA 転送終了割り込み(INTTC0~INTTC7)を発生させます。
- マイクロ DMA/HDMA 起動ベクタレジスタの値を“0”クリアして、次のマイクロ DMA 起動を禁止します。
- マイクロ DMA 処理を終了します。

デクリメントした結果が“0”でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み(INTTCn)は発生しません。

割り込み要因を汎用割り込み処理と兼用せずマイクロ DMA もしくは HDMA 起動のみに使用する場合は、割り込みレベルを“0”にしておく必要があります。これはマイクロ DMA/HDMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。

割り込み要因をマイクロ DMA と汎用割り込みの起動で兼用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります(注 1)。

注 1) マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作 をする場合があります。

下記設定にて INTxxx 割り込みが先に発生し、割り込み処理フロー(図 3.5.1 参照)で、“マイクロ DMA 起動ベクタで指定された割り込み”の確認後で、“割り込みベクタ V のリード”の間に INTyyy が発生した場合、INTyyy の割り込みレベルのほうが高いため、その時点ではベクタ V は INTyyy のベクタ V に変化してしまいます。割り込み処理フローでは、マイクロ DMA の確認が終了しているため、割り込みベクタ V がすり替わる形となり、CPU はそのまま INTyyy のベクタ V をリードしてしまい、マイクロ DMA の転送カウンタにかかわらず INTyyy が発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

マイクロ DMA 転送終了割り込みは、他のマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0(高)→CH7(低))

注 2) 一つの割り込みで、複数のマイクロ DMA を起動しないでください。複数設定した場合、チャンネル番号の大きい方(優先順位が低いマイクロ DMA)が起動されません(優先順位の高いマイクロ DMA 起動で、割り込みフラグがクリアされてしまうため)。

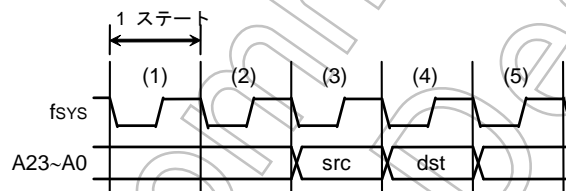
転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっていますが、アドレスは24本しか出力されていないため、マイクロDMAで取り扱える空間は、16Mバイトとなります。

転送モードとしては、1/2/4バイト転送の3種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送を簡単に行えます。転送モードの詳細は、「(4)転送モードレジスタ詳細」を参照して下さい。

転送数カウンタは、16ビット幅で構成されているため、一つの割り込み要因に対して、最大65536回(転送カウンタの初期値が0000Hのとき最大)の、マイクロDMA処理を行うことができます。

マイクロDMA処理を行うことの出来る割り込み要因は、表3.5.1でマイクロDMA起動ベクタのある46種類の割り込みとソフトスタートによる計47種類です。

転送先アドレスINCモード(カウンタモード以外は同様)のマイクロDMAサイクルを図3.5.2に示します。(ソースメモリ、デスティネーションメモリともに内部RAMで、両アドレスは4の倍数の場合。)



注) src および dst アドレスは内部 RAM のアドレスのため、出力されません。

図 3.5.2 マイクロ DMA サイクル図

- ステート (1),(2): 命令 フェッチサイクル(次の命令コードの先取り)
- ステート (3) : マイクロ DMA リードサイクル
- ステート (4) : マイクロ DMA ライトサイクル
- ステート (5) : ((1), (2)ステートに同じ)

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA/HDMA の起動以外に、DMAR レジスタへのライトサイクルが発生した事により、マイクロ DMA もしくは HDMA を起動する“マイクロ DMA/HDMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに“1”をライトする事により、マイクロ DMA もしくは HDMA を一回起動する事ができます(“0”をライトしても変化しません)。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”にクリアされます。

また、再度 DMAR レジスタに“1”をライトすると、マイクロ DMA 転送カウンタ (DMACn)、もしくは HDMA 転送カウンタ B(HDMACBn)が“0”でない限り、ソフトスタートを引き続き行う事ができます。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。他のビットへの誤書き込みを防ぐために、リードモディファイライト命令は使わないでください。

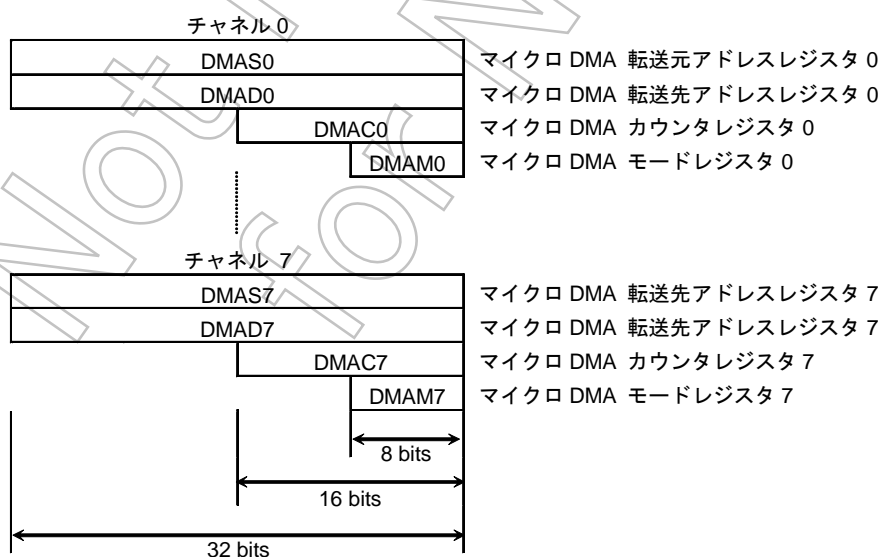
注 1) ソフトスタートの場合、複数チャンネルの同時スタートはしないでください。

注 2) 連続して、動作させる場合、すべてのチャンネルのマイクロ DMA が終了していることを確認の上（すべて“0”であることの確認）、再スタートしてください。

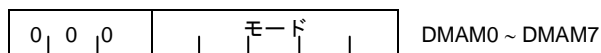
記号	名称	アドレス	7	6	5	4	3	2	1	0		
DMAR	DMA request	109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0		
			R/W									
			0	0	0	0	0	0	0	0	0	
1: DMA のソフト要求												

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr,r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ詳細



DMAMn[4:0]	モード 説明	実行時間
000zz	転送先 INC モード (DMADn+) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
001zz	転送先 DEC モード (DMADn-) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
010zz	転送元 INC モード (DMADn) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
011zz	転送元 DEC モード (DMADn) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
100zz	転送元および転送先 INC モード (DMADn+) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
101zz	転送元および転送先 DEC モード (DMADn-) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
110zz	転送元 および転送先 Fixed モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
11100	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート

ZZ: 00 = 1-バイト 転送

01 = 2-バイト 転送

10 = 4-バイト 転送

11 = Reserved

注 1) n はマイクロ DMA チャンネル番号(0 ~ 7)を表しています。

DMADn+/DMASn+: ポスト-インクリメント(レジスタ値は転送後にインクリメントします。)

DMADn-/DMASn-: ポスト-デクリメント(レジスタ値は転送後にデクリメントします。)

“I/O” は固定されたメモリアドレスを意味します; “メモリ” は増大あるいは減少するメモリアドレスを意味します。

注 2) 転送 モードレジスタは上にリストされた値以外は設定しないでください。

注 3) 上記の表の実行時間はベストケースを表しています。(1-ステート メモリアクセス)

3.5.3 割り込みコントローラ

図 3.5.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計 59 チャンネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA/HDMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタを CPU がリードしたとき
- 割り込みをクリアする命令の実行(INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA 要求を受け付けた時
- DMAC がその割り込みでの HDMA 要求を受け付けた時
- その割り込みでのマイクロ DMA バースト転送が終了した時

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ(INTE0AD、INTE12、・・・等)にそれぞれの優先順位をライトすることで設定出来ます。設定出来る割り込みレベルは 1 から 6 までの 6 レベルです。ライト優先順位値を“0”(または“7”)にする事により、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの = ベクタの小さいもの)に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの 3 ビット目、7 ビット目をリードすると、割り込み要求フラグの状態がリードされ、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ(SR)に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU 側の SR<IFF2:0>に、受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了(RETI 命令の実行)により、CPU 側の SR<IFF2:0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロDMA/HDMAの起動ベクタを格納するレジスタ(8チャンネル)が用意されています。このレジスタに起動ベクタ(表 3.5.1参照)をライトする事により、該当する割り込み要求が発生する事によって、マイクロDMAもしくはHDMAが起動されます。なお、このマイクロDMAもしくはHDMA処理の前に、マイクロDMAパラメータ用レジスタ(DMAS, DMAD等)、もしくはHDMAパラメータ用レジスタ(HDMAS, HDMAD等)に値を設定しておく必要があります。

(1) 割り込み レベル設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0	INT0 enable	F0H	-				INT0			
			-	-	-	-	I0C	I0M2	I0M1	I0M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTE12	INT1 & INT2 enable	D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	D1H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE56	INT5 & INT6 enable	D2H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE7	INT7 enable	D3H	-				INT7			
			-	-	-	-	I7C	I7M2	I7M1	I7M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA45	INTTA4 & INTTA5 enable	D6H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA67	INTTA6 & INTTA7 enable	D7H	INTTA7 (TMRA7)				INTTA6 (TMRA6)			
			ITA7C	ITA7M2	ITA7M1	ITA7M0	ITA6C	ITA6M2	ITA6M1	ITA6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

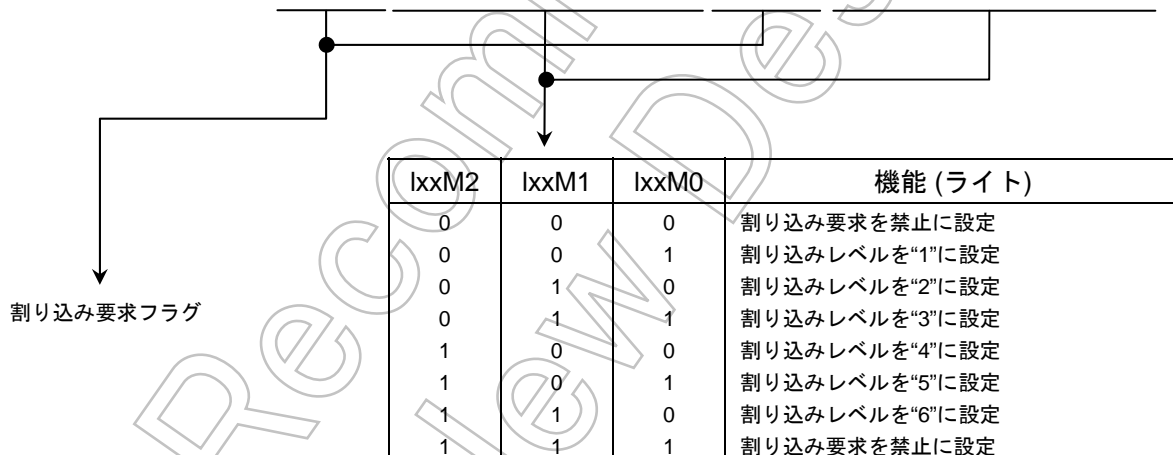
lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを "1" に設定
0	1	0	割り込みレベルを "2" に設定
0	1	1	割り込みレベルを "3" に設定
1	0	0	割り込みレベルを "4" に設定
1	0	1	割り込みレベルを "5" に設定
1	1	0	割り込みレベルを "6" に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETB0	INTTB00 & INTTB01 enable	D8H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB1	INTTB10 & INTTB11 enable	D9H	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES0	INTRX0 & INTTX0 enable	DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	DCH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTESBIADM	INTSBI & INTADM enable	E0H	INTADM				INTSBI			
			IADM0C	IADMM2	IADMM1	IADMM0	ISBI0C	ISBIM2	ISBIM1	ISBIM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTESPI	INTSPI enable	E1H	INTSPITX				INTSPIRX			
			ISPITC	ISPITM2	ISPITM1	ISPITM0	ISPIRC	ISPIRM2	ISPIRM1	ISPIRM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEUSB	INTUSB enable	E3H	-				INTUSB			
			-	-	-	-	IUSBC	IUSBM2	IUSBM1	IUSBM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEALM	INTALM enable	E5H	-				INTALM			
			-	-	-	-	IALMC	IALMM2	IALMM1	IALMM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTERTC	INTRTC enable	E8H	-				INTRTC			
			-	-	-	-	IRC	IRM2	IRM1	IRM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0

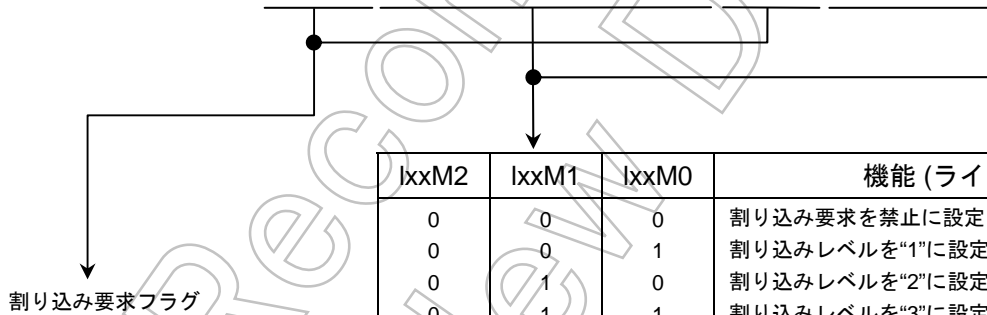
割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを"1"に設定
0	1	0	割り込みレベルを"2"に設定
0	1	1	割り込みレベルを"3"に設定
1	0	0	割り込みレベルを"4"に設定
1	0	1	割り込みレベルを"5"に設定
1	1	0	割り込みレベルを"6"に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTEKEY	INTKEY enable	E9H	-				INTKEY			
			-	-	-	-	IKC	IKM2	IKM1	IKM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEI2S0	INTI2S0 enable	EBH	-				INTI2S0			
			-	-	-	-	I I2S0C	I I2S0M2	I I2S0M1	I I2S0M0
			-	-			R/W	R/W		
			"0"をライトしてください				0	0	0	0
INTENDFC	INTRSC & INTRDY enable	ECH	INTRSC				INTRDY			
			IRSCC	IRSCM2	IRSCM1	IRSCM0	IRDYC	IRDYM2	IRDYM1	IRDYM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP0	INTP0 enable	EEH	-				INTP0			
			-	-	-	-	IP0C	IP0M2	IP0M1	IP0M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEAD	INTAD & INTADHP enable	EFH	INTADHP				INTAD			
			IADHPC	IADHPM2	IADHPM1	IADHPM0	IADC	IADM2	IADM1	IADM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0



記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETC01 /INTEDMA01	INTTC0/INTDMA0 & INTTC1/INTDMA1 enable	F1H	INTTC1/INTDMA1				INTTC0/INTDMA0			
			ITC1C /IDMA1C	ITC1M2 /IDMA1M2	ITC1M1 /IDMA1M1	ITC1M0 /IDMA1M0	ITC0C /IDMA0C	ITC0M2 /IDMA0M2	ITC0M1 /IDMA0M1	ITC0M0 /IDMA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23 /INTEDMA23	INTTC2/INTDMA2 & INTTC3/INTDMA3 Enable	F2H	INTTC3/INTDMA3				INTTC2/INTDMA2			
			ITC3C /IDMA3C	ITC3M2 /IDMA3M2	ITC3M1 /IDMA3M1	ITC3M0 /IDMA3M0	ITC2C /IDMA2C	ITC2M2 /IDMA2M2	ITC2M1 /IDMA2M1	ITC2M0 /IDMA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC45 /INTEDMA45	INTTC4/INTDMA4 & INTTC5/INTDMA5 Enable	F3H	INTTC5/INTDMA5				INTTC4/INTDMA4			
			ITC5C /IDMA5C	ITC5M2 /IDMA5M2	ITC5M1 /IDMA5M1	ITC5M0 /IDMA5M0	ITC4C /IDMA4C	ITC4M2 /IDMA4M2	ITC4M1 /IDMA4M1	ITC4M0 /IDMA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC67	INTTC6 & INTTC7 enable	F4H	INTTC7 (DMA7)				INTTC6 (DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTWDT/NMI	INTWD & NMI Flag enable	F7H	NMI				INTWD			
			ITCNMI	-	-	-	ITCWD	-	-	-
			R				R			
			0	-	-	-	0	-	-	-



IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを“1”に設定
0	1	0	割り込みレベルを“2”に設定
0	1	1	割り込みレベルを“3”に設定
1	0	0	割り込みレベルを“4”に設定
1	0	1	割り込みレベルを“5”に設定
1	1	0	割り込みレベルを“6”に設定
1	1	1	割り込み要求を禁止に設定

(2) 外部割り込み制御

記号	名称	アドレス	7	6	5	4	3	2	1	0	
IIMC0	Interrupt Input mode control 0	F6H (RMW 禁)	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE	
			W							R/W	R/W
			0	0	0	0	0	0	0	0	0
			INT5 エッジ 0: 立ち上がり 1: 立ち下がり	INT4 エッジ 0: 立ち上がり 1: 立ち下がり	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	0:INT0 エッジ モード 1:INT0 レベル モード	NMI エッジ 0: 立ち下がり 1: 両エッジ (立ち下がり, 立ち上がり)	
IIMC1	Interrupt Input mode control 1	FAH (RMW 禁)							I7EDGE	I6EDGE	
										W	
										0	0
										INT7 エッジ 0: 立ち上がり 1: 立ち下がり	INT6 エッジ 0: 立ち上がり 1: 立ち下がり

注 1) INT0 端子のモードをレベルにしてからエッジに切り替える場合(<I0LE>を“1”から“0”へ)、INT0 を禁止してから切り替えてください。

DI
LD (IIMC0), XXXXXX0-B ;レベルからエッジに切り替える
LD (INTCLR), 0AH ;割り込み要求フラグをクリア


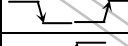
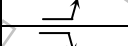

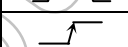
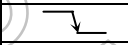
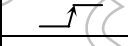
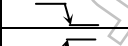
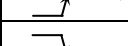
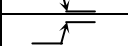
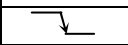
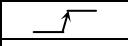
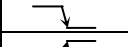
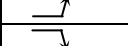
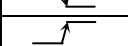
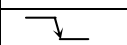
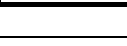


NOP ;EI の実行をウェイト
NOP
NOP
EI

注) “X” = Don't care; “-” = No change.

注 2) 外部割り込みの入力パルス幅にはスペックがあります。「4.電気的特性」を参照して下さい。

注 3) ポートの設定において、16 ビットタイマ入力を選択しキャプチャー制御を行う場合、INT6,INT7 は、IIMC1 レジスタの設定ではなく、TBnMOD<TBnCPM1:0>の設定に従って動作します。

外部割り込み端子機能

割り込み	端子名	モード	設定方法
NMI	NMI	 立ち下がりエッジ	<NMIREE>= “0”
		 両エッジ	<NMIREE>= “1”
INT0	PC0	 立ち上がりエッジ	<I0LE> = “0”, <I0EDGE> = “0”
		 立ち下がりエッジ	<I0LE> = “0”, <I0EDGE> = “1”
		 High レベル	<I0LE> = “1”
INT1	PC1	 立ち上がりエッジ	<I1EDGE> = “0”
		 立ち下がりエッジ	<I1EDGE> = “1”
INT2	PC2	 立ち上がりエッジ	<I2EDGE> = “0”
		 立ち下がりエッジ	<I2EDGE> = “1”
INT3	PC3	 立ち上がりエッジ	<I3EDGE> = “0”
		 立ち下がりエッジ	<I3EDGE> = “1”
INT4	P96	 立ち上がりエッジ	<I4EDGE> = “0”
		 立ち下がりエッジ	<I4EDGE> = “1”
INT5	PP3	 立ち上がりエッジ	<I5EDGE> = “0”
		 立ち下がりエッジ	<I5EDGE> = “1”
INT6	PP4	 立ち上がりエッジ	<I6EDGE> = “0”
		 立ち下がりエッジ	<I6EDGE> = “1”
INT7	PP5	 立ち上がりエッジ	<I7EDGE> = “0”
		 立ち下がりエッジ	<I7EDGE> = “1”

(3) SIO 受信割り込み制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIMC	SIO Interrupt mode control	F5H (RMW 禁)	-	-					IR1LE	IR0LE
			W						W	
			0	0					1	1
			"0"を ライト してくだ さい 注)	"0"を ライト してくだ さい					0:INTRX1 エッジ モード 1:INTRX1 レベル モード	0:INTRX0 エッジ モード 1:INTRX0 レベル モード

注) マイクロ DMA 終了割り込みを使う場合は、常に "1" をライトしてください。

INTRX エッジ Enable

0	エッジ 検出 INTRX
1	"H"レベル INTRX

(4) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタにマイクロ DMA/HDMA 起動ベクタをライトする事で行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	F8H (RMW 禁)	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
			W							
			0	0	0	0	0	0	0	0
			割り込みベクタ							

(5) マイクロ DMA/HDMA スタートベクタレジスタ

マイクロ DMA/HDMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA/HDMA 起動ベクタを持つ割り込み要因をマイクロ DMA/HDMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタ(DMAC_n)、もしくは HDMA 転送カウンタ B(HDMACB_n) が“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA/HDMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA/HDMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA/HDMA 起動要因がクリアされますので、引き続きマイクロ DMA/HDMA 処理をさせたい場合は、マイクロ DMA/HDMA 転送終了割り込み処理の中で、再度このマイクロ DMA/HDMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA/HDMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

したがって、2 チャンネルのマイクロ DMA/HDMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA/HDMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA/HDMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA/HDMA 起動はチャンネル番号の大きいチャンネルに移行します。(マイクロ DMA/HDMA のチェーン)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 Start vector	100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 Start vector	101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 Start vector	102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 Start vector	103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 Start vector	104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 Start vector	105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 Start vector	106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 Start vector	107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					

(6) マイクロ DMA/HDMA 選択レジスタ

マイクロ DMA 処理もしくは HDMA 処理のどちらを起動するかを選択するレジスタです。

マイクロ DMA/HDMA 起動ベクタレジスタ(DMA_nV)は、マイクロ DMA および HDMA 機能で兼用しています。マイクロ DMA/HDMA 起動ベクタレジスタに設定されたベクタ値と一致する割り込み要因が発生した時にマイクロ DMA および HDMA 機能のどちらを起動するかを選択するレジスタです。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMASEL	Micro DMA/HDMA select	10AH			DMASEL5	DMASEL4	DMASEL3	DMASEL2	DMASEL1	DMASEL0
					R/W					
					0	0	0	0	0	0
					0:マイクロ DMA5 1:HDMA5	0:マイクロ DMA4 1:HDMA4	0:マイクロ DMA3 1:HDMA3	0:マイクロ DMA2 1:HDMA2	0:マイクロ DMA1 1:HDMA1	0:マイクロ DMA0 1:HDMA0

(7) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1回のマイクロ DMA 起動で転送カウンタレジスタが“0”になるまで、連続転送を行う事が可能です。下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAB	DMA burst	108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
1: DMA バースト要求										

Not Recommended for New Design

(8) 注意事項

CPUは、命令実行ユニットとバスインタフェースユニットが分離されています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPUが割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令^(注)を実行するということがあり得ます。この場合、CPUは要因消滅ベクタ“0004H”をリードし、FFFF04H番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアする時は、DI命令の後にクリアする命令を置くようにして下さい。クリアする命令を実行した後、再びEI命令で割り込みをイネーブルにするときは、クリア命令後必ず3命令(例：“NOP”が3回)以上間をおいてからEI命令を実行して下さい。クリア命令後すぐにEI命令を実行すると、割り込み要求フラグがクリアされる前に、割り込みイネーブルになることがあります。

また、POP SR命令により割り込みマスクレベル(ステータスレジスタSRの<IFF2:0>)を書き替えるときは、必ずDI命令により割り込みを禁止した後にPOP SR命令を実行して下さい。

さらに、以下の2点は例外の回路になっていますので注意が必要です。

INTOの レベルモード	<p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップのS入力を素通りし、Q出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INTOを“0”から“1”にすることによって、CPUが割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまでINTOを“1”のままにしておく必要があります。また、INTOのレベルモードをHALTの解除に使用する場合も一度“0”から“1”にした場合は、HALTが解除されるまで必ず“1”に保持しておく必要があります。(ノイズによって途中で“0”が入ることがないようにして下さい。)</p> <p>レベルモードからエッジモードへ切り替えたとき、そのレベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下にシーケンスでクリアして下さい。</p> <pre> DI LD (IIMC0), 00H ; レベルからエッジへ切り替える LD (INTCLR), 0AH ; INTO 割り込み要求フラグをクリア NOP ; EIの実行をウェイト NOP NOP EI </pre>
INTRX	<p>レベルモード時、割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。INTCLRレジスタライトによるクリアはできません。</p>

注: 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INTO: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令

レベルモードでの割り込み要求発生後の端子入力変化(“H”→“L”)

INTRX: 受信バッファをリードする命令

3.6 DMAC (DMA Controller)

6チャンネルのDMACを内蔵しています。このDMACは900/H1 CPUによるマイクロDMA機能よりも、高速にデータ転送を実現可能です。

下記に特長を示します。

1) 独立した6チャンネルのDMA設定が可能です。

2) 転送開始要求の種類

チャンネルごとにINTC(割込みコントローラ)に接続された割込み要求ソースのハード要求またはソフト要求の2種類より選択可能です。

3) 転送デバイス

チャンネルごとにメモリ→メモリ, メモリ→I/O, I/O→メモリ, I/O→I/Oの4種類から選択可能です。

4) 転送時のアドレスモード

デュアルアドレスモードのみ対応しています。

5) カウントレジスタの2重構造およびDMA終了割込み

1回の要求で複数回のDMAを実行し、それを複数回実行可能な様にカウントレジスタを2つ持っています。また、DMA終了割込み: INTDMA0(INTDMA5)をアサートし汎用割込み処理中で次の処理準備などに対応できる様になっています。

6) チャンネル間優先順位 (INTCのマイクロDMA受付仕様と同じ)

基本的に要求の順番に従って受け付けます。ただし、同時に要求がアサートされた場合もしくは他処理中のため待たされ同時にアサートされたものとみなされる場合はチャンネル番号の少ない方が優先されます。

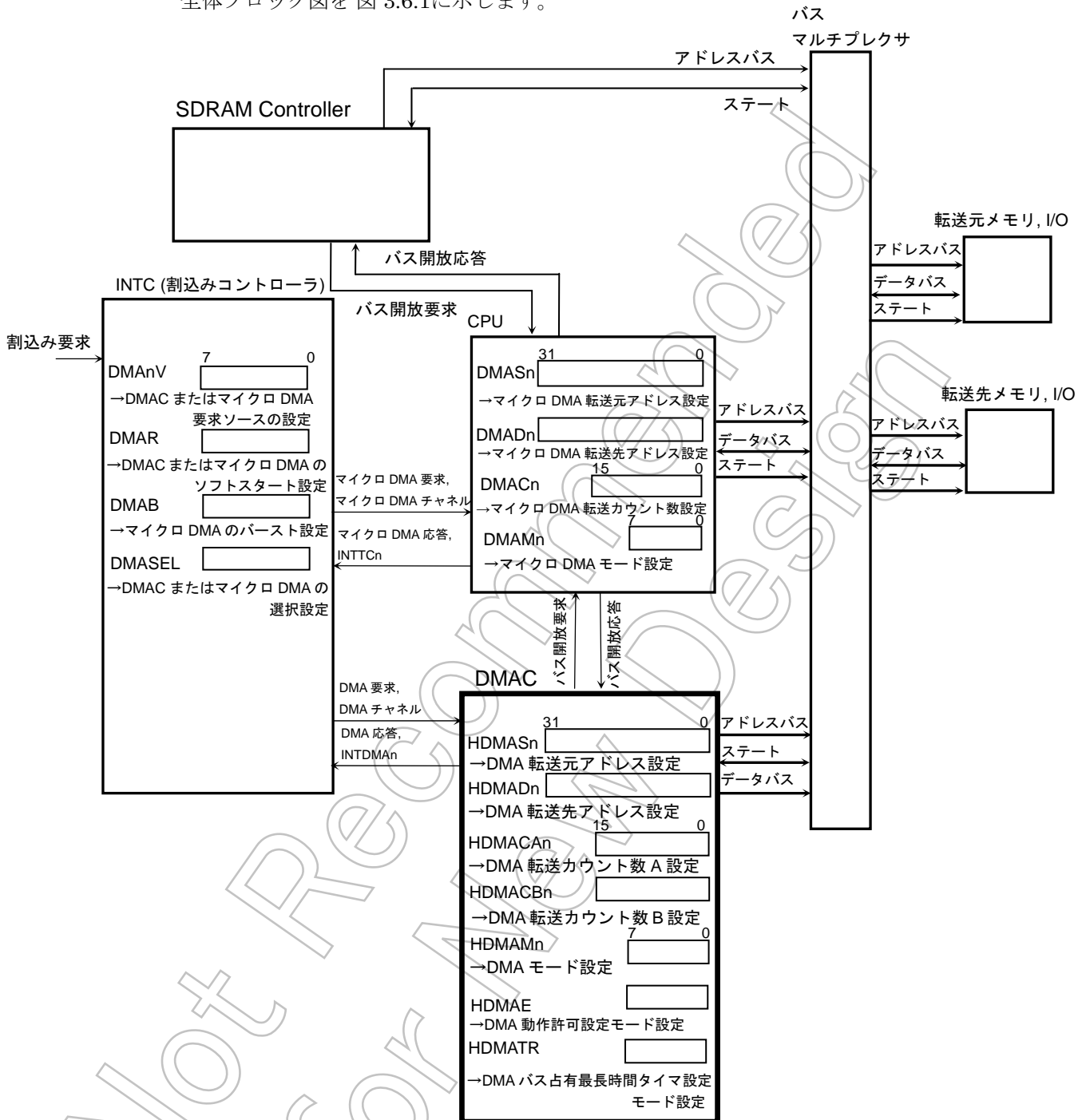
7) DMACバス占有回避機能

DMACによるバス占有により、CPUが停止してしまう事を回避可能な様に内部に専用タイマを備えています。

8) HALT(IDLE2)状態も動作

3.6.1 ブロック図

全体ブロック図を図 3.6.1に示します。



注) チャンネル番号を表すために“n”を使用していますが、マイクロDMAは0-7でDMAは0-5です。

図 3.6.1 全体ブロック図

3.6.2 SFR

DMAC の SFR を以下に説明します。これらは 16 ビットデータバスで CPU に接続されています。

(1) HDMASn (DMA 転送元アドレス設定レジスタ)

DMA 転送元アドレスを設定するレジスタです。DMA 実行により、転送元アドレスが更新される場合、このレジスタも更新されます。

HDMAS0~HDMAS5 までありますがレジスタ構成は全て同じです。

バスサイジング機能もサポートしますが アドレスのアライメント機能はありませんので 2 バイトの際は偶数アドレス、4 バイト転送の際は、4 の整数倍のアドレスを設定するようにしてください。

HDMASn レジスタ

		7	6	5	4	3	2	1	0
HDMASn	bit Symbol	DnSA7	DnSA6	DnSA5	DnSA4	DnSA3	DnSA2	DnSA1	DnSA0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DMA _n 用転送元アドレス 7~0 を設定							
		15	14	13	12	11	10	9	8
HDMASn	bit Symbol	DnSA15	DnSA14	DnSA13	DnSA12	DnSA11	DnSA10	DnSA9	DnSA8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DMA _n 用転送元アドレス 15~8 を設定							
		7	6	5	4	3	2	1	0
HDMASn	bit Symbol	DnSA23	DnSA22	DnSA21	DnSA20	DnSA19	DnSA18	DnSA17	DnSA16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DMA _n 用転送元アドレス 23~16 を設定							

チャンネルごとのレジスタ名、アドレス

	転送元アドレス [23:16]	転送元アドレス [15:8]	転送元アドレス [7:0]
チャンネル 0	(0902H)	(0901H)	HDMAS0 (0900H)
チャンネル 1	(0912H)	(0911H)	HDMAS1 (0910H)
チャンネル 2	(0922H)	(0921H)	HDMAS2 (0920H)
チャンネル 3	(0932H)	(0931H)	HDMAS3 (0930H)
チャンネル 4	(0942H)	(0941H)	HDMAS4 (0940H)
チャンネル 5	(0952H)	(0951H)	HDMAS5 (0950H)

注) 全てのレジスタはリードモディファイライト可能です。

図 3.6.2 HDMASn レジスタ

(2) HDMADn (DMA 転送先アドレス設定レジスタ)

DMA 転送先アドレスを設定するレジスタです。DMA 実行により、転送元アドレスが更新される場合、このレジスタも更新されます。

HDMAD0~HDMAD5 までありますがレジスタ構成は全て同じです。

バスサイジング機能もサポートしますが アドレスのアライメント機能はありませんので 2 バイトの際は偶数アドレス、4 バイト転送の際は、4 の整数倍のアドレスを設定するようにしてください。

HDMADn レジスタ

		7	6	5	4	3	2	1	0
HDMADn	bit Symbol	DnDA7	DnDA6	DnDA5	DnDA4	DnDA3	DnDA2	DnDA1	DnDA0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DMA _n 用転送先アドレス 7~0 を設定							
		15	14	13	12	11	10	9	8
HDMADn	bit Symbol	DnDA15	DnDA14	DnDA13	DnDA12	DnDA11	DnDA10	DnDA9	DnDA8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DMA _n 用転送先アドレス 15~8 を設定							
		7	6	5	4	3	2	1	0
HDMADn	bit Symbol	DnDA23	DnDA22	DnDA21	DnDA20	DnDA19	DnDA18	DnDA17	DnDA16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DMA _n 用転送先アドレス 23~16 を設定							

チャンネルごとのレジスタ名、アドレス

	転送先アドレス [23:16]	転送先アドレス [15:8]	転送先アドレス [7:0]
チャンネル 0	(0906H)	(0905H)	HDMAD0 (0904H)
チャンネル 1	(0916H)	(0915H)	HDMAD1 (0914H)
チャンネル 2	(0926H)	(0925H)	HDMAD2 (0924H)
チャンネル 3	(0936H)	(0935H)	HDMAD3 (0934H)
チャンネル 4	(0946H)	(0945H)	HDMAD4 (0944H)
チャンネル 5	(0956H)	(0955H)	HDMAD5 (0954H)

注) 全てのレジスタはリードモディファイライト可能です。

図 3.6.3 HDMADn レジスタ

(3) HDMACAn (DMA 転送カウント数 A 設定レジスタ)

1 回の DMA 要求で転送する回数を設定するレジスタです。各レジスタは 16bit で構成され 1 回~65536 回(0001H 設定で 1 回、FFFFH 設定で 65535 回、0000H 設定で 65536 回)まで設定できます。DMA 実行により、転送カウント数 A が更新される場合でも、このレジスタは更新されません。

HDMACA0~HDMACA5 までありますがレジスタ構成は全て同じです。

HDMACAn レジスタ

	7	6	5	4	3	2	1	0
HDMACAn bit Symbol	DnCA7	DnCA6	DnCA5	DnCA4	DnCA3	DnCA2	DnCA1	DnCA0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	DMan 用転送カウント数 A7~A0 を設定							
	15	14	13	12	11	10	9	8
HDMACAn bit Symbol	DnCA15	DnCA14	DnCA13	DnCA12	DnCA11	DnCA10	DnCA9	DnCA8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	DMan 用転送カウント数 A15~A8 を設定							

チャンネルごとのレジスタ名、アドレス

	転送カウント数 A [15:8]	転送カウント数 A [7:0]
チャンネル 0	(0909H)	HDMACA0 (0908H)
チャンネル 1	(0919H)	HDMACA1 (0918H)
チャンネル 2	(0929H)	HDMACA2 (0928H)
チャンネル 3	(0939H)	HDMACA3 (0938H)
チャンネル 4	(0949H)	HDMACA4 (0948H)
チャンネル 5	(0959H)	HDMACA5 (0958H)

注) 全てのレジスタはリードモディファイライト可能です。

図 3.6.4 HDMACAn レジスタ

(4) HDMACBn (DMA 転送カウント数 B 設定レジスタ)

DMA 要求回数を設定するレジスタです。各レジスタは 16bit で構成され 1 回~65536 回 (0001H 設定で 1 回、FFFFH 設定で 65535 回、0000H 設定で 65536 回)まで設定できます。DMA 実行により、転送カウント数 B が更新される場合、このレジスタは更新されません。

HDMACB0~HDMACB5 までありますがレジスタ構成は全て同じです。

HDMACBn レジスタ

	7	6	5	4	3	2	1	0
HDMACBn								
bit Symbol	DnCB7	DnCB6	DnCB5	DnCB4	DnCB3	DnCB2	DnCB1	DnCB0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	DMA _n 用転送カウント数 B7~B0 を設定							
	15	14	13	12	11	10	9	8
bit Symbol	DnCB15	DnCB14	DnCB13	DnCB12	DnCB11	DnCB10	DnCB9	DnCB8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	DMA _n 用転送カウント数 B15~B8 を設定							

チャンネルごとのレジスタ名、アドレス

	転送カウント数 B [15:8]	転送カウント数 B [7:0]
チャンネル 0	(090BH)	HDMACB0 (090AH)
チャンネル 1	(091BH)	HDMACB1 (091AH)
チャンネル 2	(092BH)	HDMACB2 (092AH)
チャンネル 3	(093BH)	HDMACB3 (093AH)
チャンネル 4	(094BH)	HDMACB4 (094AH)
チャンネル 5	(095BH)	HDMACB5 (095AH)

注) 全てのレジスタはリードモディファイライト可能です。

図 3.6.5 HDMACBn レジスタ

(5) HDMAMn (DMA 転送モード設定レジスタ)

DMA 転送モードを設定するレジスタです。

HDMAM0~HDMAM5 までありますがレジスタ構成は全て同じです。

HDMAMn レジスタ

		7	6	5	4	3	2	1	0
HDMAMn	bit Symbol				DnM4	DnM3	DnM2	DnM1	DnM0
	Read/Write				R/W				
	リセット後				0	0	0	0	0
	機能				DMA 転送モード選択				転送データサイズ
				000 : 転送先 INC (I/O → MEM)				00 : 1 バイト	
				001 : 転送先 DEC (I/O → MEM)				01 : 2 バイト	
				010 : 転送元 INC (MEM → I/O)				10 : 4 バイト	
				011 : 転送元 DEC (MEM → I/O)				11 : Reserved	
				100 : 転送元/先 INC(MEM → MEM)					
				101 : 転送元/先 DEC(MEM → MEM)					
				110 : 転送元/先固定 (I/O → I/O)					
				111 : Reserved				注 2)	

チャンネルごとのレジスタ名、アドレス

	転送モード [7:0]
チャンネル 0	HDMAM0 (090CH)
チャンネル 1	HDMAM1 (091CH)
チャンネル 2	HDMAM2 (092CH)
チャンネル 3	HDMAM3 (093CH)
チャンネル 4	HDMAM4 (094CH)
チャンネル 5	HDMAM5 (095CH)

注 1) 全てのレジスタはリードモディファイライト可能です。

注 2) INC: ポストインクリメント

DEC: ポストデクリメント

I/O: 固定されたメモリアドレス

MEM: インクリメントあるいはデクリメントするメモリアドレス

図 3.6.6 HDMAMn レジスタ

(6) HDMAE (DMA 動作許可レジスタ)

DMAC 動作の許可/禁止を設定するレジスタです。

チャンネルごとに 1bit ずつ準備されています。未使用のチャンネルは“0”に設定してください。

		HDMAE レジスタ							
		7	6	5	4	3	2	1	0
HDMAE (097EH)	bit Symbol			DMAE5	DMAE4	DMAE3	DMAE2	DMAE1	DMAE0
	Read/Write	R/W							
	リセット後			0	0	0	0	0	0
	機能	DMA チャンネル動作許可 0: Disable 1: Enable							

注) 全てのレジスタはリードモディファイライト可能です。

図 3.6.7 HDMAE レジスタ

(7) HDMATR (DMA バス占有最長時間タイマレジスタ)

DMAC がバスを占有し続けてよい最長時間を設定するレジスタです。92CF30 のバス権には優先レベルがありませんので一度 DMAC がバス権を取得するとその後他のバスマスタからのバス開放要求がアサートされても DMAC が転送終了してバス権を開放するまで待たされる事になります。このタイマを利用することにより、DMAC はバス権の連続取得時間をカウントしこのレジスタへ設定された時間数分を実行すると、全転送が終了していなくても一旦バス権を開放し、16 ステート後に再びバス開放要求をアサートして引き続き、残りの DMA の実行をします。この機能は DMA チャンネル 0~5 に無関係に、どのチャンネルがバスを占有しても機能します。設定する場合は、HDMAE レジスタが“00H”の状態では HDMATR<DMATE>に“1”, <DMATR6:0>に値を設定してください。

注) DMAC 機能をソフトスタートする場合、DMAR レジスタに“1”を書いて起動しますが、転送終了の確認には、DMAR レジスタを使用しないでください。HDMATR を併用した場合、DMA 動作が完全に終了(B カウンタの値が“0”)する前に、一旦バス権を開放するため、DMAR レジスタの値は“0”にクリアされています。ご注意ください。

		HDMATR レジスタ							
		7	6	5	4	3	2	1	0
HDMATR (097FH)	bit Symbol	DMATE	DMATR6	DMATR5	DMATR4	DMATR3	DMATR2	DMATR1	DMATR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	タイマ動作 0: Disable 1: Enable	バス占有最長時間設定 バス占有最長時間 / (256/f _{SYS}) で求めた値を設定してください。 なお、00H は設定禁止です。						

注) 全てのレジスタはリードモディファイライト可能です。

図 3.6.8 HDMATR レジスタ

3.6.3 動作説明

DMAC の動作を個別に説明します。

(1) 全体フロー

割り込み(DMA)が要求された場合の DMAC の処理フローを以下に示します。

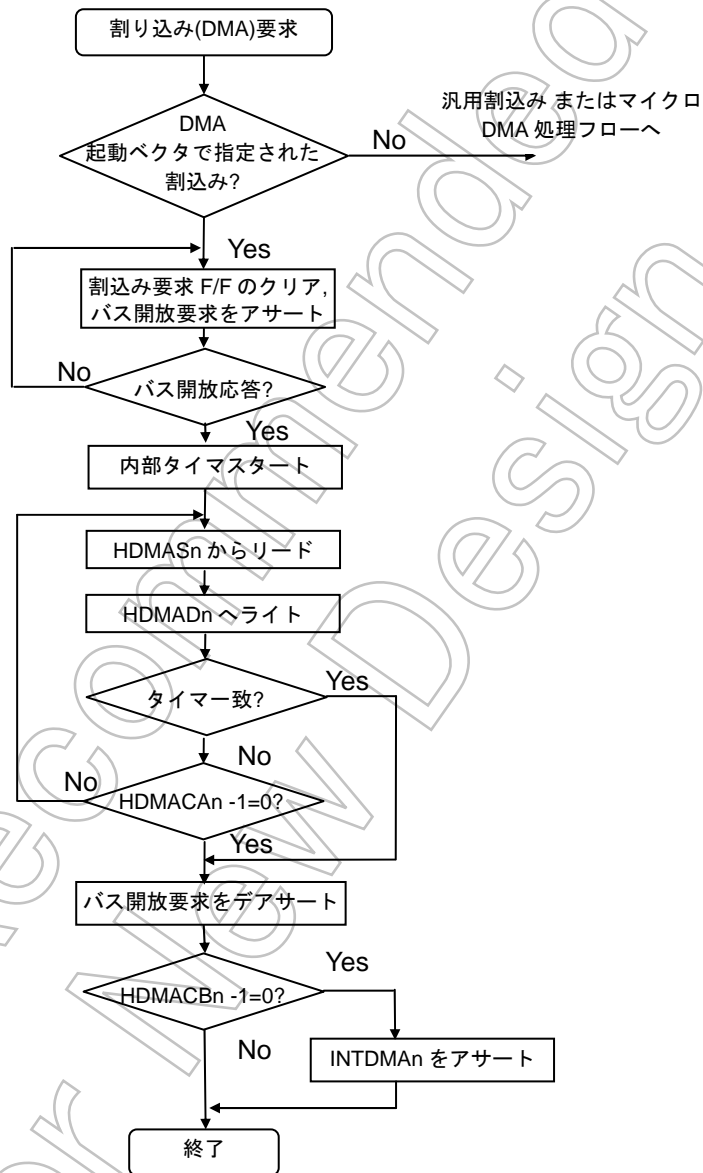


図 3.6.9 全体フロー

(2) バスアービトレーション

TMP92CF30 では、CPU 以外でバスを使用するバスマスタは DMA コントローラ、SDRAM コントローラの 2 つのコントローラが存在します。各々は独立に動作し必要に応じて、CPU にバス開放要求をアサートしバス開放応答を受けると バスマスタとして動作します。この 2 つのコントローラでの優先順位は特になく、開放要求をアサートしたのから順番に処理されます。一旦バス権を取得すると バス権を開放するまで 他のコントローラからのバス開放要求は待たされることとなります。また、いずれかのバスマスタがバス権を取得している間は、ノンマスカブル割込み要求を含む CPU の処理も保留されます。

(3) 転送元/先メモリの設定

DMAC がアクセスする転送元、転送先に設定されるメモリまたは I/O は TMP92CF30 の内部、外部メモリ共に設定可能です。外部メモリで MMU を使用する場合でも DMAC へのアドレス設定は、論理アドレスを設定してください。バス幅、ウェイト数はメモリコントローラへの設定値、外部メモリのバンク機能は MMU への設定値に従って、アクセスします。

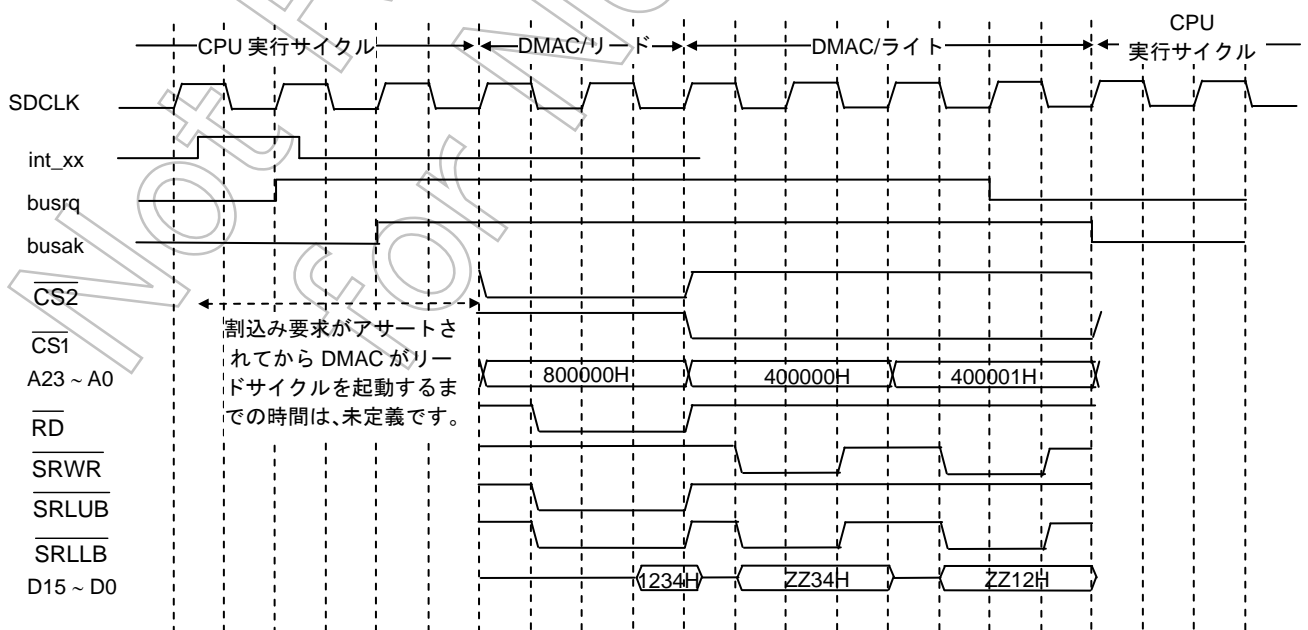
また、バスサイジング機能もサポートしますがアドレスのアライメント機能はありませんので 2 バイトの際は偶数アドレス、4 バイト転送の際は、4 の整数倍のアドレスを設定するようにしてください。

表 3.6.1 HDMA とマイクロ DMA のアドレス設定方法の違い

	転送長	HDMA	マイクロ DMA
Source address	1byte 転送	特に制限無し	特に制限無し
	2byte 転送	偶数アドレス	
	4byte 転送	4 の整数倍のアドレス	
Destination address	1byte 転送	特に制限無し	
	2byte 転送	偶数アドレス	
	4byte 転送	4 の整数倍のアドレス	

(4) 動作タイミング

以下に動作タイミング図の例を示します。これは、CS2 エリアに接続される 16bit メモリから CS1 に接続される 8bit メモリへ 2 バイト転送を 1 回実行した例です。



3.6.4 設定例

DMAC の設定例を説明します。

(1) 内蔵 RAM 上の音楽データを I²S へ DMA 転送する場合

(転送仕様)

内蔵 RAM：2000H~9FFFH までに格納される 32KB のデータを INTI2S 要求がアサートされるごとに 64B(4B×16 回)のデータを I²S の FIFO-RAM へ DMAC チャンネル 0 を使用して転送します。ただし、INTI2S は I²S の FIFO エンプティ割込みであり 1 回目のデータ設定は事前に必要なため、最初の 64 バイトだけは DMA のソフト起動で転送します。また、32KB 転送終了後に INTDMA0 割込みルーチンにて次の処理の準備を設定します。

(a) メインルーチン

No	命令	コメント
1	ld xhl,2000H	;
2	ld (hdmas0), xhl	; 転送元アドレス=2000H に設定します
3	ld xde,i2sbuf	;
4	ld (hdmad0), xde	; 転送先アドレス=i2sbuf に設定します。
5	ldw (hdmaca0),16	; カウンタ A=16 に設定します。
6	ldw (hdmacb0),512	; カウンタ B=512 (32768/64) に設定します。
7	ldb (hdmam0),0AH	; 転送モード=転送元 INC,4 バイトに設定します。
8	set 0,(hdmae)	; DMA チャンネル 0 動作許可に設定します。
9	ld (dmar),01H	; 最初の 64B をソフト起動で DMA 転送(最初の 1 回のみ)に設定します。
10	nop	;
11	ld (dma0v),i2s_vector	; INTI2S を DMA0 に設定します。
12	ld (intdma01),xxH	; INTDMA レベル=x に設定します。
13	ldw (i2sctl0),xxxxH	; I ² S へ動作モード設定します。
14	ldw (i2sctl1),xxxxH	; I ² S 送信開始します。
15	ei xx	; CPU 割込み許可します。

INTDMA0 割込みルーチン

No	命令	コメント
1	res 0,(hdmae)	; DMA チャンネル 0 動作を禁止します。
2	:	
3	:	
4	:	
5	:	
6		
7		
8		
9		
10		
11	reti	;

3.6.5 使用上の注意

- ソフト起動時の注意点

DMAC 機能をソフトスタートする場合、DMAR レジスタに“1”を書いて起動しますが、転送終了の確認には、DMAR レジスタを使用しないでください。HDMATR を併用した場合、DMA 動作が完全に終了(B カウンタの値が“0”)する前に、一旦バス権を開放するため、DMAR レジスタの値は“0”にクリアされています。転送終了の確認には、HDMACBn レジスタ(B カウンタ)の値をご利用ください。

Not Recommended
for New Design

3.6.6 バス占有率の計算について

本 LSI には CPU 以外に SDRAM コントローラ、および DMA コントローラがバスマスタとなる状態が存在します。そのため、各々の機能が円滑に動作するためには、使用時に注意が必要となります。

各々のバスマスタが行う DMA 動作をわかりやすく説明するために、DMAC 回路が行う DMA 転送を HDMA、SDRAM コントローラが SDRAM に対し Auto Refresh 動作を行う動作を ARDMA と定義して説明します。

(1) CPU+ HDMA の同時使用の場合

DMA コントローラは、CPU に対してバス開放要求を出し、バス権を得た後に DMA 転送(HDMA)を行います。DMA コントローラは、CPU が HALT 状態(IDLE2 モードのみ)でも動作しますので、HALT 状態では CPU の動作を圧迫することはありませんが、CPU が動作中に同時に HDMA を起動した場合、HDMA 中は CPU の命令実行ができません。

このため、DMA コントローラを起動する際は、その転送時間と起動間隔、また同時に起動するチャンネル数等の条件下において、CPU が停止する時間を(t_{STOP} (HDMA)と定義)事前に見積もっておく必要があります。

$$\text{CPU バス停止率} = t_{STOP} \text{ (HDMA)} [s] / \text{HDMA 起動間隔 [周期: s]}$$

$$\text{HDMA 起動間隔 [周期: s]} = \text{HDMA 起動割込み周期 [周期: s]}$$

注) HDMA 起動間隔は起動割込み要因の間隔となりますが、ソフトウェアでの起動も可能です。

$$t_{STOP} \text{ (HDMA)} [s] = (\text{Source リード時間} + \text{Destination ライト時間}) \times \text{転送回数} + \alpha$$

対象メモリ Read / Write		State / byte		
		内蔵 RAM	外部 SDRAM 16bit バス	外部 SRAM 16bit バス
Read	1/4 ^{注1}	バースト 1/2 ^{注2} 1word 6/2 ^{注2}	2/2 ^{注3}	2/1 ^{注3}
Write	1/4	バースト 1/2 ^{注2} 1word 3/2 ^{注2}	2/2 ^{注3}	2/1 ^{注3}

注 1) 2-1-1-1 アクセスとなります。連続したアドレスへのアクセスは 1state でアクセスできます

注 2) 組み合わせるソースおよびデスティネーションによってその転送スピードが変わります。

a) 内蔵 RAM および内蔵 I/O(SFR)の場合はバーストアクセスが可能です。この場合、6-1-1-1 アクセスとなります。同一ページ内の連続したアドレスのみ 1state でアクセスできます。また、アクセス終了時に+4state かかります。

b) 内蔵 RAM および内蔵 I/O 以外の場合は 1word アクセスとなります。

注 3) 0-wait の場合です。

主な対象 I/O Read / Write		State / byte			
		I ² S	NANDF	USB	SPI
Read	—	2/2	2/2	2/4	
Write	2/4	2/2	2/2	2/4	

Sample1: CPU + HDMA 同時使用時の計算例

条件 1: CPU 動作速度(f_{SYS}): 60MHz
 I²S サンプリング周波数: 48kHz (60MHz / 25 / 50 = 48kHz)
 I²S データ転送 bit 長: 16bit
 DMAC 1ch 使用: Ch0: 内蔵 RAM から I²S 5Kbyte

計算例 1:

DMAC ソースデータリード時間:

内蔵 RAM データリード時間 = 1state / 4byte (ただし最初の 1byte は 2state)

DMAC デスティネーションライト時間:

I²S レジスタライト時間 = 2state / 4byte

転送回数

5Kbyte のデータを 4byte ずつ転送すると、5Kbyte / 4byte = 1280 [回] 転送が必要です。
 I²S は 64byte のごとに割込みが発生しますので、DMA コントローラの A カウンタに
 64byte / 4byte = 16 回、DMAC の B カウンタに 80 回の設定をします。

注) 80 回の割込みが発生するため、内蔵 RAM への 1st リード(+1state)は 80 回発生し(+80state)、また、BUSREQ
 要求からバス開放までに、割り込み要求ごとに 2State(160state)オーバーヘッド時間が必要になります。

$$t_{STOP} (HDMA) = (((1 + 2) \times 16) \times 80) + 80 + 160) / f_{SYS} [s] = 68 [\mu s]$$

$$\begin{aligned} HDMA \text{ 起動間隔 [周期: s]} &= 1 / I^2S \text{ サンプリング周波数 [Hz]} \times (64 / 16) \\ &= 83.33 [ms] \end{aligned}$$

$$\begin{aligned} CPU \text{ バス停止率} &= t_{STOP} (HDMA) [s] / HDMA \text{ 起動間隔 [周期: s]} \\ &= 68 [\mu s] / 83.33 [ms] = 0.08 [\%] \end{aligned}$$

3.7 ポート機能

TMP92CF30 は表 3.7.1に示すような汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能も持っています。表 3.7.2ポート機能に各ポート端子の機能を、入出力ポート設定一覧表に各端子の設定方法を示します。

表 3.7.1ポート機能(1/2) (R: PD = プログラマブルプルダウン抵抗付, U = プルアップ抵抗付)

ポート名	ピン名称	ピン数	方向	R	入出力設定	内蔵機能用ピン名称
ポート 1	P10 ~ P17	8	入出力	-	ビット	D8 ~ D15
ポート 4	P40 ~ P47	8	出力	-	(固定)	A0 ~ A7
ポート 5	P50 ~ P57	8	出力	-	(固定)	A8 ~ A15
ポート 6	P60 ~ P67	8	入出力	-	ビット	A16 ~ A23
ポート 7	P70	1	出力	-	(固定)	RD
	P71	1	入出力	-	ビット	WRL \bar{L} , NDR \bar{E}
	P72	1	入出力	-	ビット	WRL \bar{U} , NDWE
	P73	1	入出力	-	ビット	EA24
	P74	1	入出力	-	ビット	EA25
	P75	1	入出力	-	ビット	R/W, NDR/B
	P76	1	入出力	-	ビット	WAIT
ポート 8	P80	1	出力	-	(固定)	CS0
	P81	1	出力	-	(固定)	CS1, SDCS
	P82	1	出力	-	(固定)	CS2, CSZA, SDCS
	P83	1	出力	-	(固定)	CS3, CSXA
	P86	1	出力	-	(固定)	CSZD, ND0CE
	P87	1	出力	-	(固定)	CSXB, ND1CE
ポート 9	P90	1	入出力	-	ビット	TXD0, TXD1
	P91	1	入出力	-	ビット	RXD0, RXD1
	P92	1	入出力	-	ビット	SCLK0, CTS0, SCLK1, CTS1,
	P96	1	入力	PD	(固定)	INT4, PX
	P97	1	入力	-	(固定)	PY
ポート A	PA0 ~ PA7	8	入力	U	(固定)	KI0 ~ KI7
ポート C	PC0	1	入出力	-	ビット	INT0
	PC1	1	入出力	-	ビット	INT1, TA0IN
	PC2	1	入出力	-	ビット	INT2
	PC3	1	入出力	-	ビット	INT3, TA2IN
	PC4	1	入出力	-	ビット	EA26, SPDI
	PC5	1	入出力	-	ビット	EA27, SPDO
	PC6	1	入出力	-	ビット	EA28, SPCLK
	PC7	1	入出力	-	ビット	KO8
ポート F	PF0	1	入出力	-	ビット	I2S0CKO
	PF1	1	入出力	-	ビット	I2S0DO
	PF2	1	入出力	-	ビット	I2S0WS
	PF7	1	出力	-	(固定)	SDCLK
ポート G	PG0 ~ PG1	2	入力	-	(固定)	AN0 ~ AN1
	PG2	1	入力	-	(固定)	AN2, MX
	PG3	1	入力	-	(固定)	AN3, ADTRG, MY
	PG4 ~ PG5	2	入力	-	(固定)	AN4 ~ AN5

表 3.7.1 ポート機能(2/2)

ポート名	ピン名称	ピン数	方向	R	入出力設定	内蔵機能用ピン名称
ポート J	PJ0	1	出力	-	(固定)	SDRAS, SRLLB
	PJ1	1	出力	-	(固定)	SDCAS, SRLUB
	PJ2	1	出力	-	(固定)	SDWE, SRWR
	PJ3	1	出力	-	(固定)	SDLLDQM
	PJ4	1	出力	-	(固定)	SDLUDQM
	PJ5	1	入出力	-	ビット	NDALE, SRULB
	PJ6	1	入出力	-	ビット	NDCLE, SRUUB
	PJ7	1	出力	-	(固定)	SDCKE
ポート K	PK0 ~ PK7	8	出力	-	(固定)	-
ポート L	PL0 ~ PL7	8	入出力	-	ビット	D16 ~ D23
ポート M	PM1	1	出力	-	(固定)	MLDALM, TA1OUT
	PM2	1	出力	-	(固定)	ALARM, MLDALM
	PM7	1	出力	-	(固定)	-
ポート N	PN0 ~ PN7	8	入出力	-	ビット	KO0 ~ KO7
ポート P	PP3	1	入出力	-	ビット	INT5, TA7OUT, TXD0, TXD1
	PP4	1	入出力	-	ビット	INT6, TB0IN0, RXD0, RXD1
	PP5	1	入出力	-	ビット	INT7, TB1IN0, SCLK0, CTS0 SCLK1, CTS1
	PP6	1	出力	-	(固定)	TB0OUT0
ポート R	PR0	1	入出力	-	ビット	SPDI
	PR1	1	入出力	-	ビット	SPDO
	PR2	1	入出力	-	ビット	SPCS
	PR3	1	入出力	-	ビット	SPCLK
ポート T	PT0 ~ PT7	8	入出力	-	ビット	D24 ~ D31
ポート V	PV6	1	入出力	-	ビット	SDA
	PV7	1	入出力	-	ビット	SCL
ポート X	PX4	1	出力	-	(固定)	CLKOUT
	PX5	1	入出力	-	ビット	X1USB, X1D4

表 3.7.2 I/O ポート設定一覧表(1/5)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 1	P10 ~ P17	入力ポート	X	0	0	なし
		出力ポート	X	1		
		D8 ~ D15 バス	X	X	1	
ポート 4	P40 ~ P47	出力ポート	X	なし	0	なし
		A0 ~ A7 出力	X	なし	1	
ポート 5	P50 ~ P57	出力ポート	X	なし	0	なし
		A8 ~ A15 出力	X	なし	1	
ポート 6	P60 ~ P67	入力ポート	X	0	0	なし
		出力ポート	X	1		
		A16 ~ A23 出力	X	X	1	
ポート 7	P70 ~ P76	出力ポート	X	1	0	なし
	P71 ~ P76	入力ポート	X	0	0	
	P70	RD 出力	X	なし	1	
	P71	WRL \bar{L} 出力	1	1	1	
		NDRE 出力	0			
	P72	WRL \bar{U} 出力	1	1	1	
		NDWE 出力	0			
	P73	EA24 出力	X	1	1	
	P74	EA25 出力	X	1	1	
	P75	R/W 出力	X	1	1	
		NDR/B 入力	X	0	1	
	P76	WAIT 入力	X	0	1	
ポート 8	P80 ~ P87	出力ポート	X	なし	0	0
	P80	CS $\bar{0}$ 出力	X		1	なし
	P81	CS $\bar{1}$ 出力	X		1	0
		SDCS 出力	X		X	1
	P82	CS $\bar{2}$ 出力	X		1	0
		CSZA 出力	X		0	1
		SDCS 出力	X		1	1
	P83	CS $\bar{3}$ 出力	X		1	0
		CSXA 出力	X		X	1
	P86	CSZ \bar{D} 出力	X		1	0
		ND $\bar{O}CE$ 出力	X		1	1
	P87	CSXB 出力	X		1	0
NDICE 出力		X	1	1		

表 3.7.2 I/O ポート設定一覧表(2/5)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 9	P90, P92	入力ポート	X	0	0	なし
	P91	入力ポート、RXD0 入力	X	0	なし	なし
	P96	入力ポート	X	なし	0	なし
	P97	入力ポート	X	なし	なし	なし
	P90 ~ P92	出力ポート	X	1	0	0
	P90	TXD0 出力	X	1	1	0
		TXD0 出力(オープンドレイン)	X	1	1	1
		TXD1 出力	X	1	1	0
		TXD1 出力(オープンドレイン)	X	1	1	1
	P92	SCLK0 出力	X	1	1	<P95F2> = 0
		SCLK0, $\overline{CTS0}$ 入力	X	0	0	0
		SCLK1 出力	X	1	1	<P95F2> = 1
		SCLK1, $\overline{CTS1}$ 入力	X	0	0	0
P96	INT4 入力	X	なし	1	なし	
ポート A	PA0 ~ PA7	入力ポート	X	なし	0	なし
		KI0 ~ KI7 入力	X	なし	1	なし
ポート C	PC0 ~ PC3	入力ポート	X	0	0	なし
		出力ポート	X	1	0	なし
	PC5 ~ PC7	入力ポート	X	0	0	X
		出力ポート	X	1	0	X
	PC4	INT0 入力	X	0	1	なし
	PC1	INT1 入力	X	0	1	なし
		TA0IN 入力	X	1	1	なし
	PC2	INT2 入力	X	0	1	なし
	PC3	INT3 入力	X	0	1	なし
		TA2IN 入力	X	1	1	なし
	PC4	EA26 出力	X	0	1	X
		(PC4)SPDI 入力	X	1	1	1
		(PR0)SPDI 入力	X	1	1	0
	PC5	EA27 出力	X	0	1	なし
		SPDO 出力	X	1	1	なし
	PC6	EA28 出力	X	0	1	なし
		SPCLK 出力	X	1	1	なし
PC7	KO8 出力 (オープンドレイン)	X	1	1	なし	
ポート F	PF0 ~ PF2	入力ポート	X	0	0	なし
		出力ポート	X	1	0	なし
	PF7	出力ポート	X	なし	0	
	PF0	I2S0CKO 出力	X	X	1	
	PF1	I2S0DO 出力	X	X	1	
	PF2	I2S0WS 出力	X	X	1	
	PF7	SDCLK 出力	X	なし	1	

表 3.7.2 I/O ポート設定一覧表(3/5)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート G	PG0 ~ PG5	入力ポート	X	なし	なし	なし
		AN0 ~ AN5 入力				
	PG3	ADTRG 入力			1	
	PG2	MX 出力 注)			なし	
	PG3	MY 出力 注)				
ポート J	PJ5 ~ PJ6	入力ポート	X	0	0	なし
	PJ5 ~ PJ6	出力ポート	X	1	0	
	PJ0 ~ PJ4, PJ7	出力ポート	X	なし	0	
	PJ0	SDRAS, SRLLB 出力	X		1	
	PJ1	SDCAS, SRLUB 出力	X		1	
	PJ2	SDWE, SRWR 出力	X	なし	1	
	PJ3	SDLDDQM 出力	X		1	
	PJ4	SDLUDQM 出力	X		1	
	PJ5	NDALE 出力	X	1	1	
	PJ5	SRUUB 出力	X	0	1	
	PJ6	NDCLE 出力	X	1	1	
	PJ6	SRULB 出力	X	0	1	
	PJ7	SDCKE 出力	X	なし	1	
ポート K	PK0 ~ PK7	出力ポート	X	なし	0	なし
ポート L	PL0 ~ PL7	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		D16 ~ D23	X	X	X	1
ポート M	PM1 ~ PM2 PM7	出力ポート	X	なし	0	なし
		TA1OUT 出力	0		1	
	MLDALM 出力	1	1			
	PM2	MLDALM 出力	0		1	
		ALARM 出力	1		1	
ポート N	PN0 ~ PN7	入力ポート	X	0	0	None
		出力ポート (CMOS 出力)	X	1	0	
		KO 出力 (Open-drain 出力)	X		1	

注) タッチスクリーン使用の場合

表 3.7.2 I/O ポート設定一覧表(4/5)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート P	PP3 ~ PP5	入力ポート	X	0	0	<PP1F2:3F2>=0
	PP3 ~ PP5	出力ポート	X	1	0	<PP1F2:3F2>=0
	PP6	出力ポート	X	なし	0	なし
	PP3	INT5 入力	X	0	1	<PP1F2>=0
		TA7OUT 出力	X	1	1	<PP1F2>=0
		TXD0 出力	X	X	X	<PP0F2>=0 <PP1F2>=1 <PP4F2>=1
		TXD0 出力 (オープンドレイン)	X	X	X	<PP0F2>=1 <PP1F2>=1 <PP4F2>=1
		TXD1 出力	X	X	X	<PP0F2>=0 <PP1F2>=1 <PP4F2>=0
		TXD1 出力 (オープンドレイン)	X	X	X	<PP0F2>=1 <PP1F2>=1 <PP4F2>=0
	PP4	INT6 入力	X	0	1	<PP2F2>=0
		TB0IN0 入力	X	1	1	<PP2F2>=0
		RXD1 (PP4/RXD1) 入力	X	X	X	<PP2F2>=1 <PP5F2>=0
		RXD1(P91/RXD1) 入力	X	X	X	<PP2F2>=1 <PP5F2>=1
	PP5	INT7 入力	X	0	1	<PP3F2>=0
		TB1IN0 入力	X	1	1	<PP3F2>=0
		SCLK1 (PP5/SCLK1) 入力 CTS1 入力	X	0	X	<PP3F2>=1 <PP6F2>=0
		SCLK1 (P92/SCLK1) 入力 CTS1 入力	X	0	X	<PP3F2>=1 <PP6F2>=1
		SCLK0 出力	X	1	X	<PP3F2>=1 <PP6F2>=1
		SCLK1 出力	X	1	X	<PP3F2>=1 <PP6F2>=0
	PP6	TB0OUT0 出力	X	なし	1	なし
ポート R	PR0 ~ PR3	入力ポート	X	0	0	なし
	PR0 ~ PR3	出力ポート	X	1	0	
	PR0	SPDI_PR0 入力(PC4へ)	X	0	1	
	PR1	SPDO 出力	X	1	1	
	PR2	SPCS 出力	X	1	1	
	PR3	SPCLK 出力	X	1	1	
ポート T	PT0 ~ PT7	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		D24 ~ D31	X	X	X	1
ポート V	PV6 ~ PV7	入力ポート	X	0	0	0
	PV6 ~ PV7	出力ポート	X	1	0	0
	PV6 ~ PV7	出力ポート(オープンドレイン)	X	1	0	1
	PV6	SDA 入出力	X	1	1	0
		SDA 入出力(オープンドレイン)	X	1	1	1
	PV7	SCL 入出力	X	1	1	0
SCL 入出力(オープンドレイン)		X	1	1	1	

表 3.7.2 I/O ポート設定一覧表(5/5)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート X	PX5	入力ポート	X	0	0	X
	PX4	出力ポート	X	なし	0	X
	PX5	出力ポート	X	1	0	X
	PX4	CLKOUT 出力	0	なし	1	X
	PX5	X1USB 入力	X	0	1	X
		X1D4 出力 (出力クロック= $\times 1/8$)	1	1	1	<PX5F2:4F2>=00
		X1D4 出力 (出力クロック= $\times 1/4$)	1	1	1	<PX5F2:4F2>=01
		X1D4 出力 (出力クロック= $\times 1/2$)	1	1	1	<PX5F2:4F2>=10
		X1D4 出力 (出力クロック= $\times 1/1$)	1	1	1	<PX5F2:4F2>=11

Not Recommended for New Design

3.7.1 ポート 1 (P10 ~ P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビットごとの入出力の指定は、コントロールレジスタ P1CR およびファンクションレジスタ P1FC によって行います。汎用入出力ポート機能以外にデータバス(D8~D15)機能があります。また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 1 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	データバス (D8 ~ D15)
1	0	データバス (D8 ~ D15)
1	1	設定禁止

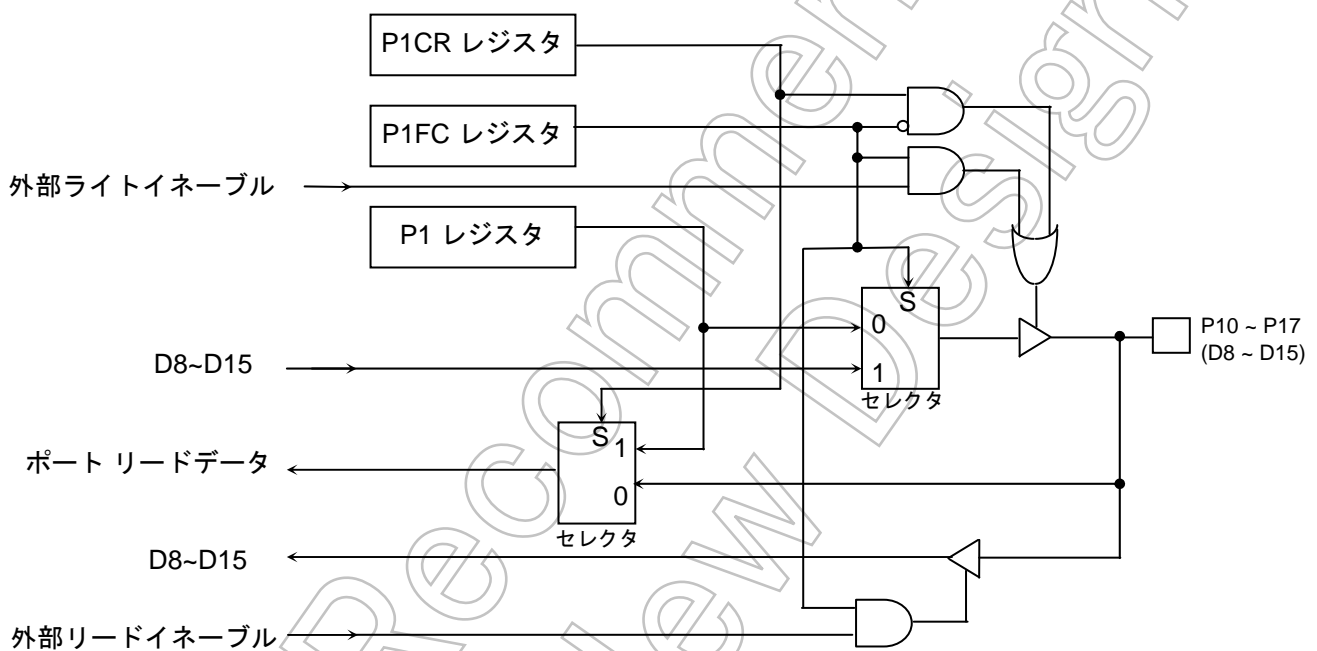


図 3.7.1 ポート 1

ポート 1 レジスタ

		7	6	5	4	3	2	1	0
P1 (0004H)	bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	システム リセット後	外部端子データ(出力ラッチは“0”にクリアされます)							
	機能								

ポート 1 コントロールレジスタ

		7	6	5	4	3	2	1	0
P1CR (0006H)	bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 1 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P1FC (0007H)	bit Symbol								P1F
	Read/Write								W
	システム リセット後								1
	機能								0: ポート 1: データバス (D8~D15)

ポート 1 ドライブレジスタ

		7	6	5	4	3	2	1	0
P1DR (0081H)	bit Symbol	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) P1CR,P1FC はリードモディファイライトできません。

図 3.7.2 ポート 1 レジスタ

3.7.2 ポート 4 (P40 ~ P47)

ポート 4 は 8 ビットの汎用出力ポートです。汎用出力ポート機能以外にアドレスバス (A0~A7)機能があります。ビット単位での機能切り替えが可能です。また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 4 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A0 ~ A7)
1	0	アドレスバス (A0 ~ A7)
1	1	設定禁止

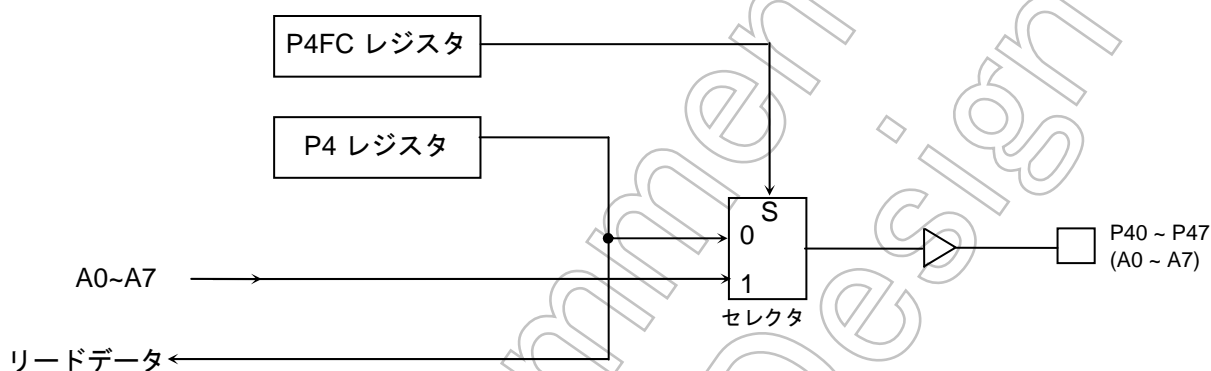


図 3.7.3 ポート 4

ポート 4 レジスタ

		7	6	5	4	3	2	1	0
P4 (0010H)	bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	システム リセット後	0	0	0	0	0	0	0	0

ポート 4 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P4FC (0013H)	bit Symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
	Read/Write	W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	0: ポート 1: アドレスバス (A0~A7)							

ポート 4 ドライブレジスタ

		7	6	5	4	3	2	1	0
P4DR (0084H)	bit Symbol	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) P4FC はリードモディファイライトできません。

図 3.7.4 ポート 4 レジスタ

3.7.3 ポート 5 (P50 ~ P57)

ポート 5 は 8 ビットの汎用出力ポートです。汎用出力ポート機能以外にアドレスバス (A8~A15)機能があります。ビット単位での機能切り替えが可能です。また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 5 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A8 ~ A15)
1	0	アドレスバス (A8 ~ A15)
1	1	設定禁止

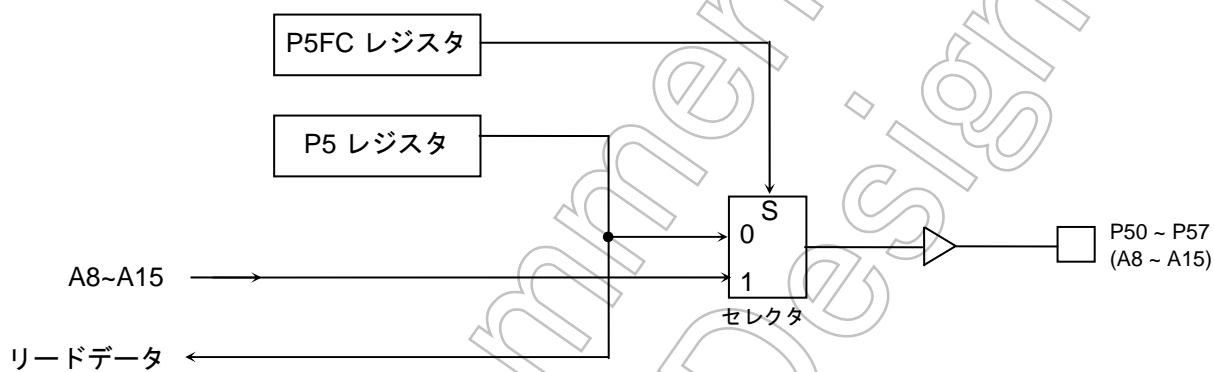


図 3.7.5 ポート 5

ポート 5 レジスタ

		7	6	5	4	3	2	1	0
P5 (0014H)	bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	システム リセット後	0	0	0	0	0	0	0	0

ポート 5 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P5FC (0017H)	bit Symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
	Read/Write	W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	0: ポート 1: アドレスバス (A8-A15)							

ポート 5 ドライブレジスタ

		7	6	5	4	3	2	1	0
P5DR (0085H)	bit Symbol	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) P5FC はリードモディファイライトできません。

図 3.7.6 ポート 5 レジスタ

ポート 6 レジスタ

		7	6	5	4	3	2	1	0
P6 (0018H)	bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	システム リセット後	外部端子データ(出力ラッチは“0”にクリアされます)							

ポート 6 コントロールレジスタ

		7	6	5	4	3	2	1	0
P6CR (001AH)	bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 6 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P6FC (001BH)	bit Symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	0: ポート 1: アドレスバス(A16~A23)							

ポート 6 ドライブレジスタ

		7	6	5	4	3	2	1	0
P6DR (0086H)	bit Symbol	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) P6CR、P6FC はリードモディファイライトできません。

図 3.7.8 ポート 6 レジスタ

3.7.5 ポート 7 (P70 ~ P76)

ポート 7 は、7 ビットの汎用入出力ポートです (P70 端子は出力のみ)。
 ビットごとの入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。また汎用入出力ポート機能以外に、P70 から P76 端子は外部メモリ 接続用としてのインターフェース端子の機能があります。リセット後、P70 端子は出力モード、P71~P76 端子は入力モードとなります。また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、P70 端子を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	RD 端子
1	0	RD 端子
1	1	設定禁止

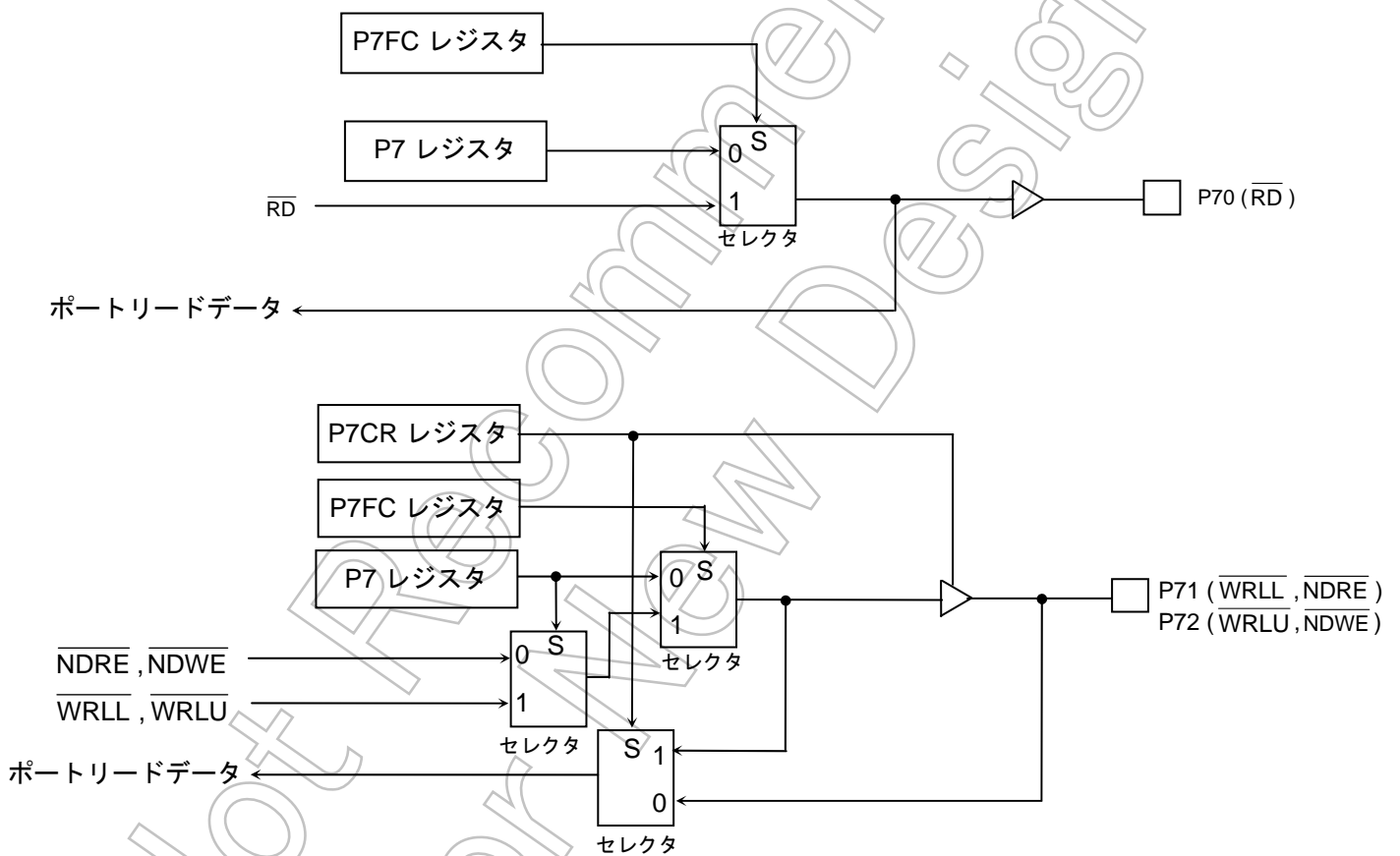


図 3.7.9 ポート 7

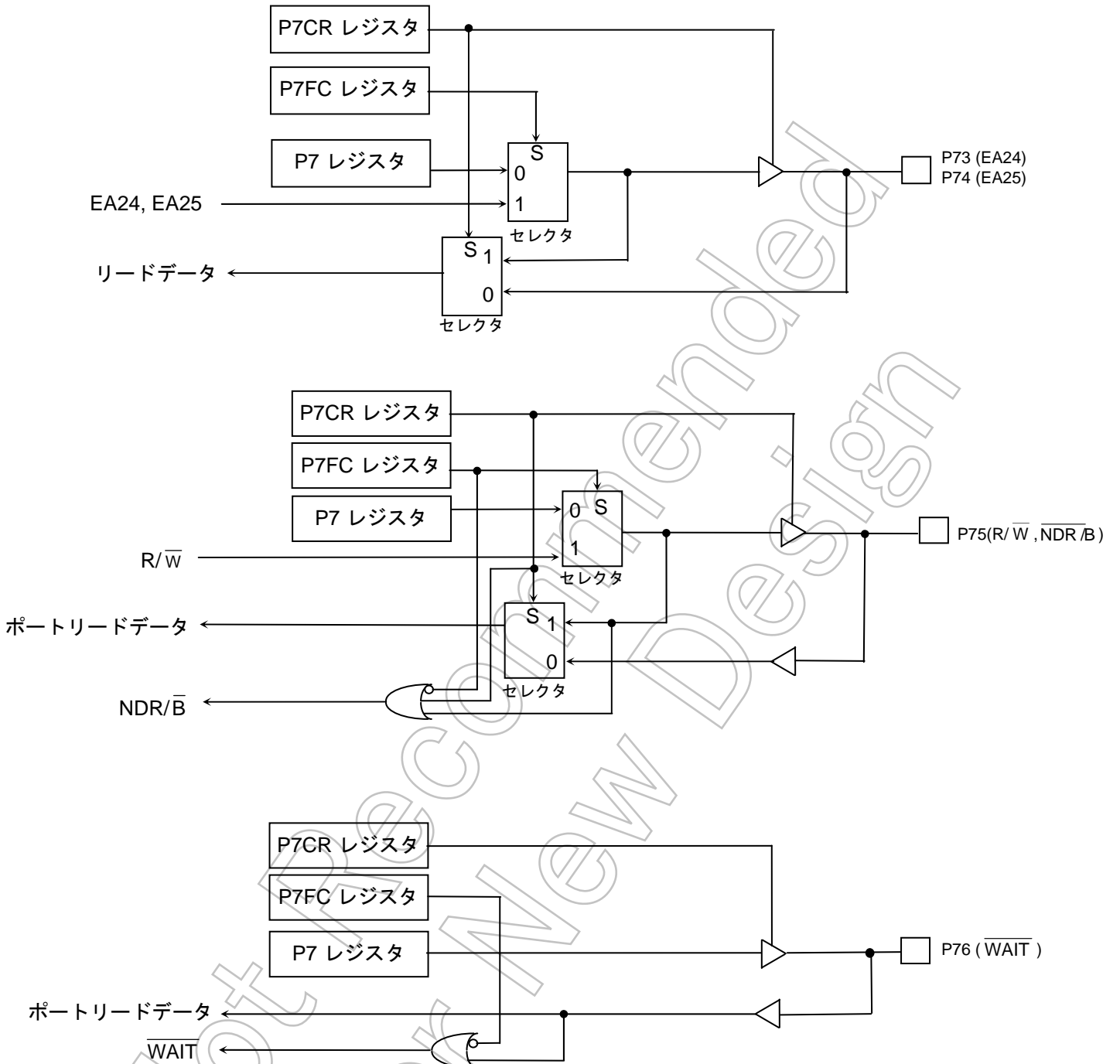


図 3.7.10 ポート 7

ポート7レジスタ

		7	6	5	4	3	2	1	0
P7 (001CH)	bit Symbol		P76	P75	P74	P73	P72	P71	P70
	Read/Write		R/W						
	システムリセット後		外部端子データ (出力ラッチは "1"にセットされます)		外部端子データ (出力ラッチは "0"にクリアされます)		外部端子データ (出力ラッチは "1"に セットされます)		1

ポート7コントロールレジスタ

		7	6	5	4	3	2	1	0
P7CR (001EH)	bit Symbol		P76C	P75C	P74C	P73C	P72C	P71C	
	Read/Write		W						
	システムリセット後		0	0	0	0	0	0	
	機能		0: 入力 1: 出力						

ポート7ファンクションレジスタ

		7	6	5	4	3	2	1	0
P7FC (001FH)	bit Symbol		P76F	P75F	P74F	P73F	P72F	P71F	P70F
	Read/Write		W						
	システムリセット後		0	0	0	0	0	0	1
	機能		0: ポート 1: WAIT	以下の表を 参照してく ださい		以下の表を 参照してく ださい		0: ポート 1: NDWE at <P72>=0 WRLU at <P72>=1	0: ポート 1: NDRE at <P71>=0 WRLI at <P71>=1

ポート7ドライブレジスタ

		7	6	5	4	3	2	1	0
P7DR (0087H)	bit Symbol		P76D	P75D	P74D	P73D	P72D	P71D	P70D
	Read/Write		R/W						
	システムリセット後		1	1	1	1	1	1	1
	機能		スタンバイモード用入出力バッファドライブレジスタ						

P73 設定

<P73C>	0	1
<P73F>	0	出力ポート
	1	Reserved

P72 設定

<P72C>	0	1
<P72F>	0	出力ポート
	1	Reserved, NDWE 出力 (at <P72>=0) WRLU 出力 (at <P72>=1)

P71 設定

<P71C>	0	1
<P71F>	0	出力ポート
	1	Reserved, NDRE 出力 (at <P71>=0) WRLI 出力 (at <P71>=1)

P76 設定

<P76C>	0	1
<P76F>	0	出力ポート
	1	Reserved

P75 設定

<P75C>	0	1
<P75F>	0	出力ポート
	1	Reserved

P74 設定

<P74C>	0	1
<P74F>	0	出力ポート
	1	Reserved

注 1) P7CR、P7FC はリードモディファイライトできません。

注 2) NDRE および NDWE を使用する場合、グリッチの出力を回避するために、次の順番でレジスタを設定してくだ

順番	レジスタ	bit2	bit1
(1)	P7	0	0
(2)	P7FC	1	1
(3)	P7CR	1	1

図 3.7.11 ポート7レジスタ

3.7.6 ポート 8 (P80 ~P83, P86, P87)

ポート 8 は 6 ビットの出力ポートです。リセット動作により、P82 の出力ラッチは“0”にクリアされ、P80~P81 と P83, P86~P87 の出力ラッチは“1”にセットされます。

ポート 8 は機能レジスタ P8FC を使用して外部メモリ用のインタフェース端子としての機能も持っています。

これらの機能は P8FC、P8FC2 レジスタの該当ビットに“1”を設定することで動作します。リセットにより P8FC および P8FC2 は“0”にクリアされ、全てのビットは出力ポートモードになります。

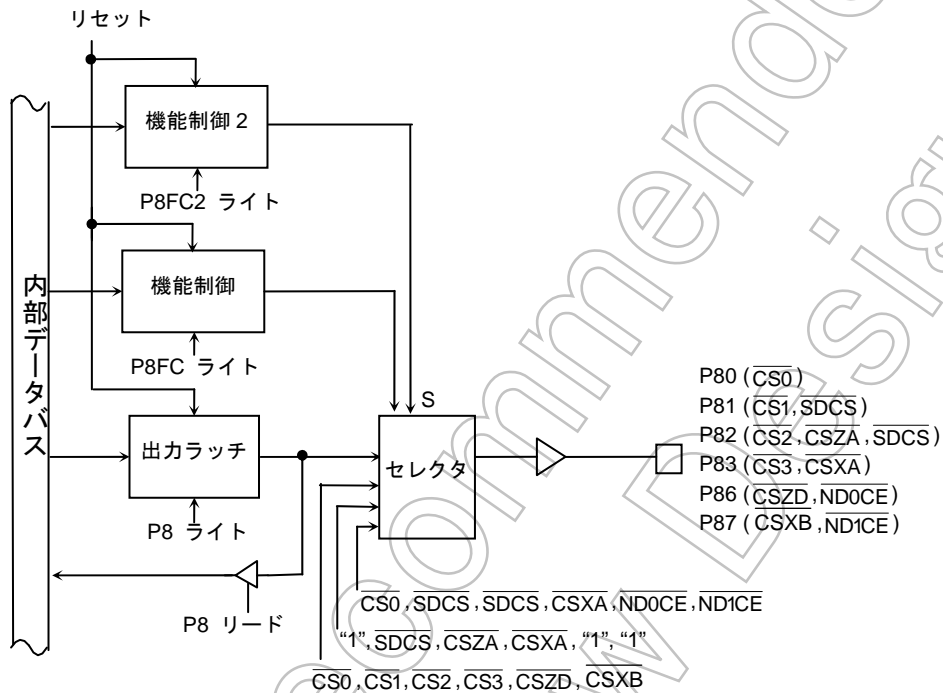


図 3.7.12 ポート 8

ポート 8 レジスタ

	7	6	5	4	3	2	1	0
P8 (0020H)	bit Symbol	P87	P86		P83	P82	P81	P80
	Read/Write	R/W			R/W			
	システム リセット後	1	1		1	0 (注 3)	1	1

ポート 8 ファンクション レジスタ

	7	6	5	4	3	2	1	0
P8FC (0023H)	bit Symbol	P87F	P86F		P83F	P82F	P81F	P80F
	Read/Write	W			W			
	システム リセット後	0	0		0	0	0	0
	機能	0: ポート 1: <P87F2>	0: ポート 1: <P86F2>		以下の表を 参照してく ださい	以下の表を 参照してく ださい	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$

ポート 8 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
P8FC2 (0021H)	bit Symbol	P87F2	P86F2		P83F2	P82F2	P81F2	
	Read/Write	W			W			
	システム リセット後	0	0		0	0	0	
	機能	0: \overline{CSXB} 1: $\overline{ND1CE}$	0: \overline{CSZD} 1: $\overline{ND0CE}$		以下の表を 参照してく ださい	以下の表を 参照してく ださい	0: <P81F> 1: \overline{SDCS}	

ポート 8 ドライブレジスタ

	7	6	5	4	3	2	1	0
P8DR (0088H)	bit Symbol	P87D	P86D		P83D	P82D	P81D	P80D
	Read/Write	R/W			R/W			
	システム リセット後	1	1		1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ						

P86 設定

<P86F2>	<P86F>	0	1
0	出力ポート	\overline{CSZD} 出力	
1	設定禁止	$\overline{ND0CE}$ 出力	

P83 設定

<P83F2>	<P83F>	0	1
0	出力ポート	$\overline{CS3}$ 出力	
1		\overline{CSXA} 出力	

P82 設定

<P82F2>	<P82F>	0	1
0	出力ポート	$\overline{CS2}$ 出力	
1		\overline{CSZA} 出力	\overline{SDCS} 出力

P87 設定

<P87F2>	<P87F>	0	1
0	出力ポート	\overline{CSXB} 出力	
1	設定禁止	$\overline{ND1CE}$ 出力	

注 1) P8FC と P8FC2 はリードモディファイライトできません。

注 2) P82 端子がリセットによってプログラムメモリ用 \overline{CE} として“0”を出力するため、P82 端子を $\overline{CS2}$ 、 \overline{CSZA} に設定する前に P8<P82>レジスタに“1”をライトしないで下さい。

注 3) $\overline{ND0CE}$ および $\overline{ND1CE}$ を使用する場合、次の順番でレジスタを設定してください。

順番	レジスタ	bit7	bit6
(1)	P8	1	1
(2)	P8FC2	1	1
(3)	P8FC	1	1

図 3.7.13 ポート 8 レジスタ

3.7.7 ポート 9 (P90~P92,P96,P97)

ポート 90~92 はビット単位で入出力の指定ができる 3 ビットの汎用入出力ポートです。リセット動作により P90~P92 は入力ポートとなり、また出力ラッチの全ビットは“1”へセットされます。

P96~P97 は 2 ビットの汎用入力ポートです。ポート 9 ファンクションレジスタ P9FC の該当ビットへ“1”をライトすることにより各機能が可能となります。リセット動作により、P9FC レジスタの値は“0”にリセットされ、全ビットが入力ポートとなります。

(1) ポート 90 (TXD0), ポート 91 (RXD0), ポート 92 (SCLK0,CTS0)

ポート 90~92 は汎用入出力ポートです。それ以外に SIO0 または SIO1 としての機能を持っています。SIO0 または SIO1 としての機能は PP3~PP5 端子も持っています。SIO0 を、ポート 9、ポート P のどちらで使うかの選択は、P9FC2<P93F2, P94F2, P95F2>で設定し、SIO0 または SIO1 としての機能は PP3~PP5 端子も持っています。SIO1 を、ポート 9、ポート P のどちらで使うかの選択は、PPFC2<PP4F2, PP5F2, PP6F2>で設定します。

以下はそれぞれの端子の機能を示しています。

	SIO モード (SIO0 モジュール)	UART, IrDA モード (SIO0 モジュール)
P90	TXD0, TXD1 (データ出力)	TXD0, TXD1 (データ出力)
P91	RXD0, RXD1 (データ入力)	RXD0, RXD1 (データ入力)
P92	SCLK0, SCLK1 (クロック入力 あるいは出力)	CTS0, CTS1 (送信クリア)

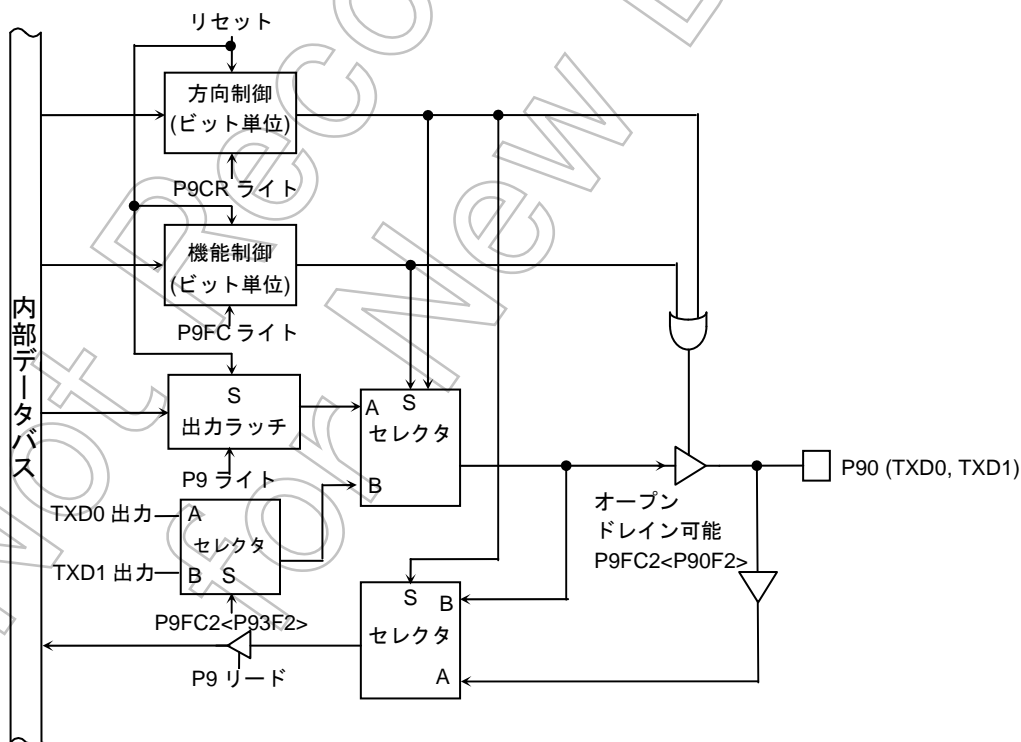


図 3.7.14 P90

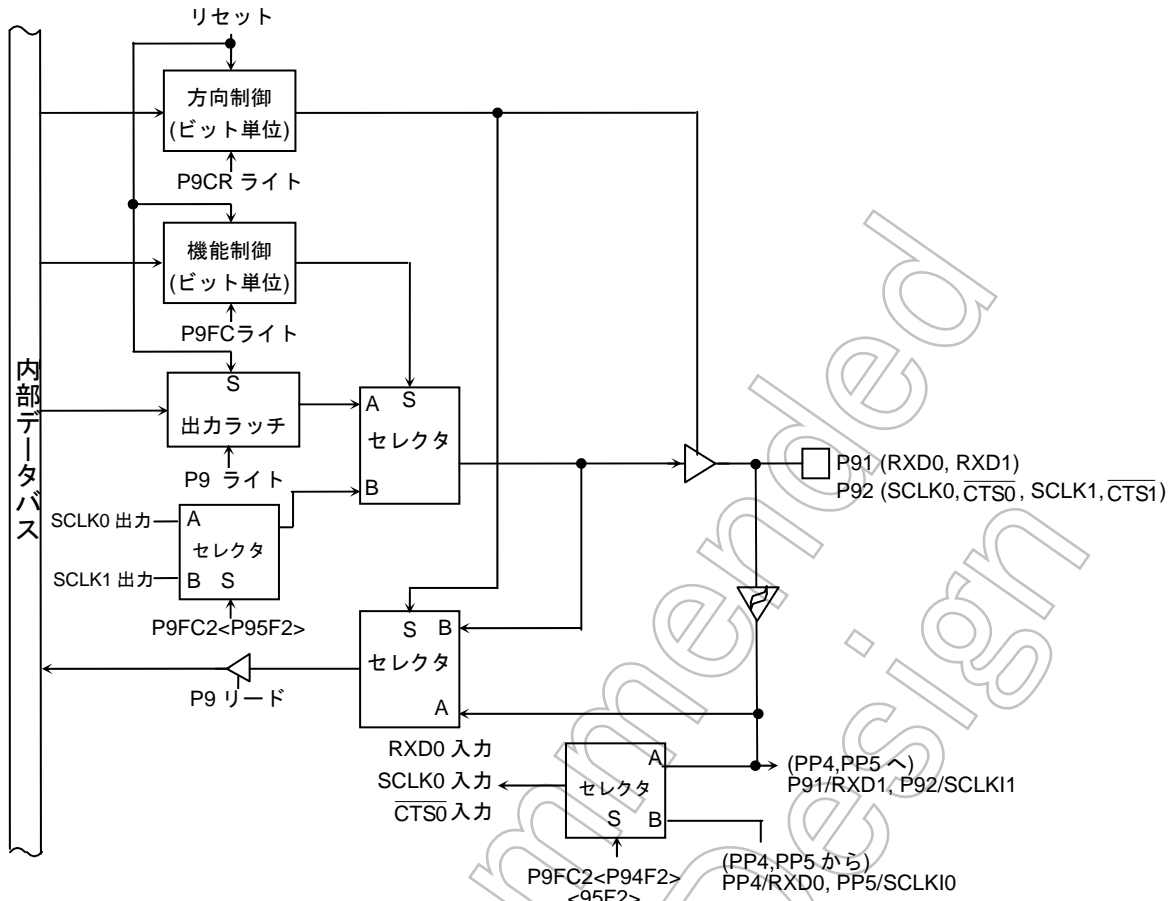


図 3.7.15 P91,92

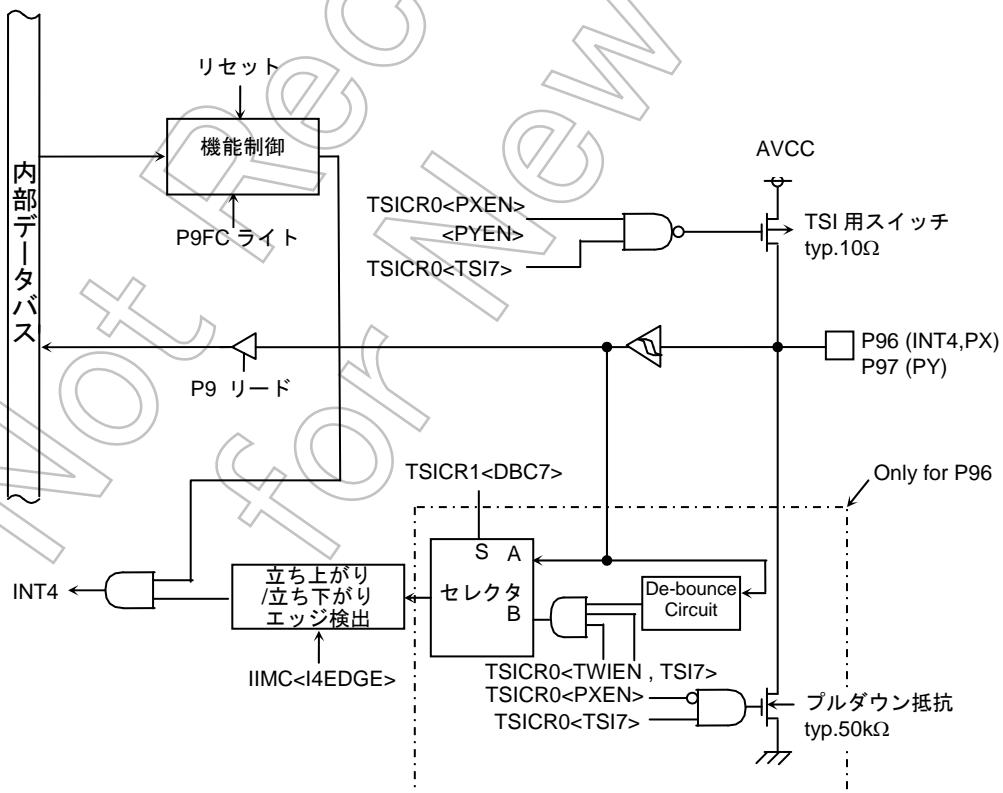


図 3.7.16 ポート 96,97

ポート 9 レジスタ

		7	6	5	4	3	2	1	0
P9 (0024H)	bit Symbol	P97	P96				P92	P91	P90
	Read/Write	R					R/W		
	システム リセット後	外部端子データ					外部端子データ(出力ラッチレジスタは"1"にセットされます)		

ポート 9 コントロールレジスタ

		7	6	5	4	3	2	1	0
P9CR (0026H)	bit Symbol						P92C	P91C	P90C
	Read/Write						W		
	システム リセット後						0	0	0
	機能						以下の表を参照してください		

ポート 9 ファンクション レジスタ

		7	6	5	4	3	2	1	0
P9FC (0027H)	bit Symbol		P96F				P92F		P90F
	Read/Write		W				W		W
	システム リセット後		0				0		0
	機能		0: 入力 ポート 1: INT4				以下の表を 参照してく ださい		以下の表を 参照してく ださい

ポート 9 ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
P9FC2 (0025H)	bit Symbol	-		P95F2	P94F2	P93F2	-		P90F2
	Read/Write	W		W			W		W
	システム リセット後	0		0	0	0	0		0
	機能	常に"0"をラ イトしてく ださい		P92の SCLK 選択 0: SCLK0 1: SLCK1	SIO0の RXD 選択 0: P91 1: PP4	P90の TXD 選択 0: TXD0 1: TXD1	常に"0"をラ イトしてく ださい		0:CMOS 1:オープン ドレイン

ポート 9 ドライブレジスタ

		7	6	5	4	3	2	1	0
P9DR (0089H)	bit Symbol	P97D	P96D				P92D	P91D	P90D
	Read/Write	R/W					R/W		
	システム リセット後	1	1				1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

P92 設定

<P92C> <P92E>	0	1
0	入力ポート CTS0, CTS1, SCLK0, SCLK1 入力	出力ポート
1	設定禁止	SCLK0, SCLK1 出力

P91 設定

<P91C>	
0	1
入力ポート RXD0,RXD1 入力	出力ポート

P90 設定

<P90C> <P90F>	0	1
0	入力ポート	出力ポート
1	設定禁止	TXD0/1 出力

注 1) P9CR、P9FC および P9FC2 はリードモディファイライトできません。

注 2) P96 端子を INT4 入力に設定した状態で、P9DR<P96D>を“0”(入力禁止)に設定し P96 端子に“0”をドライブしている状態で HALT 命令を実行すると内部的に INT4 が発生します。HALT 状態で外部割込みを使用しない場合は、ポート設定に変更するなど割込みが発生しない様に設定してください。

図 3.7.17 ポート 9 レジスタ

3.7.8 ポート A (PA0 ~ PA7)

ポート A は 8 ビットのプルアップ抵抗付き汎用入力ポートです。入力ポート以外にキーボードインターフェース端子としてキーオンウェイクアップ機能があります。この機能は PAFC レジスタの該当ビットへ“1”をライトすることにより動作可能となります。

リセット動作により、PAFC の全ビットの値は“0”にリセットされ、全端子が入力ポートとなります。

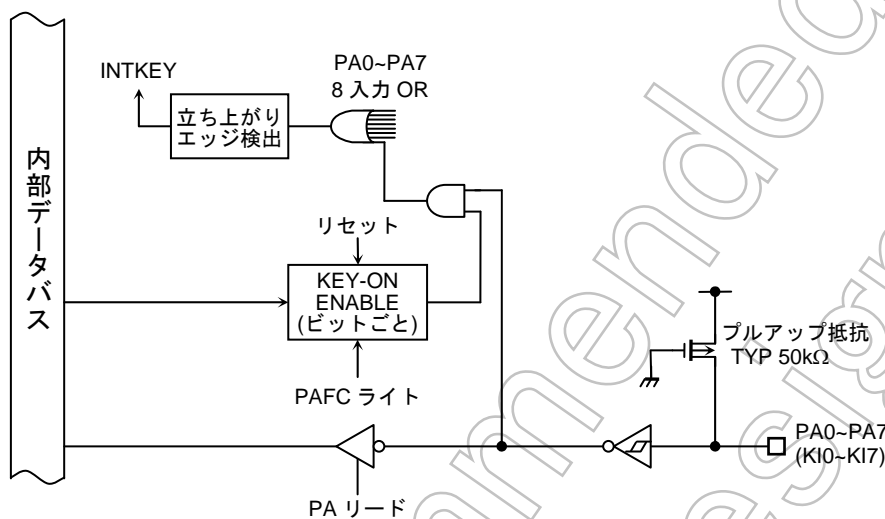


図 3.7.18 ポート A

PAFC = “1”の時に、KI0-KI7 端子のいずれかの端子の状態が立ち下がると、そのエッジを検出して INTKEY 割込みを発生します。INTKEY 割込みは全ての HALT モード状態を解除可能です。

ポート A レジスタ

		7	6	5	4	3	2	1	0
PA (0028H)	bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R							
	システム リセット後	外部端子データ							

ポート A ファンクション レジスタ

		7	6	5	4	3	2	1	0
PAFC (002BH)	bit Symbol	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: KEY IN 禁止 1: KEY IN 許可							

ポート A ドライブレジスタ

		7	6	5	4	3	2	1	0
PADR (008AH)	bit Symbol	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PAFC はリードモディファイライトできません。

図 3.7.19 ポート A レジスタ

3.7.9 ポートC (PC0 ~ PC7)

ポートCはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。リセット動作によりポートCは入力ポートとなり、また出力ラッチの全ビットは“1”へセットされます。

汎用入出力ポート機能以外に、ポートCはタイマの入力端子(TA0IN, TA2IN)機能や、外部割込み入力端子(INT0~INT3)機能、拡張アドレス機能(EA26, EA27, EA28)、SPIコントローラ用出力端子(SPDI, SPDO, SPCLK)、Key用出力端子(KO8)を持っています。上記設定はファンクションレジスタPCFCを使用します。外部割込みのエッジ選択は割込みコントローラ部にあるIIMCレジスタにて設定します。

(1) PC0 (INT0), PC2 (INT2)

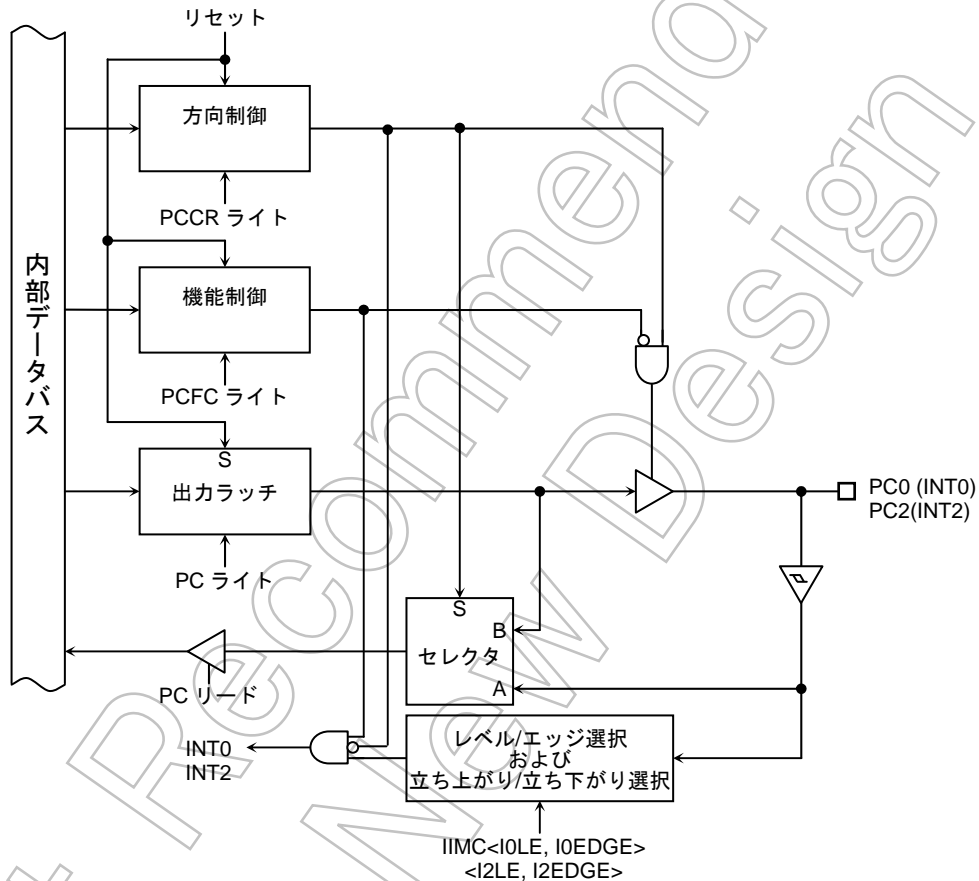


図 3.7.20 ポート C0, C2

(2) PC1 (INT1, TA0IN), PC3 (INT3, TA2IN)

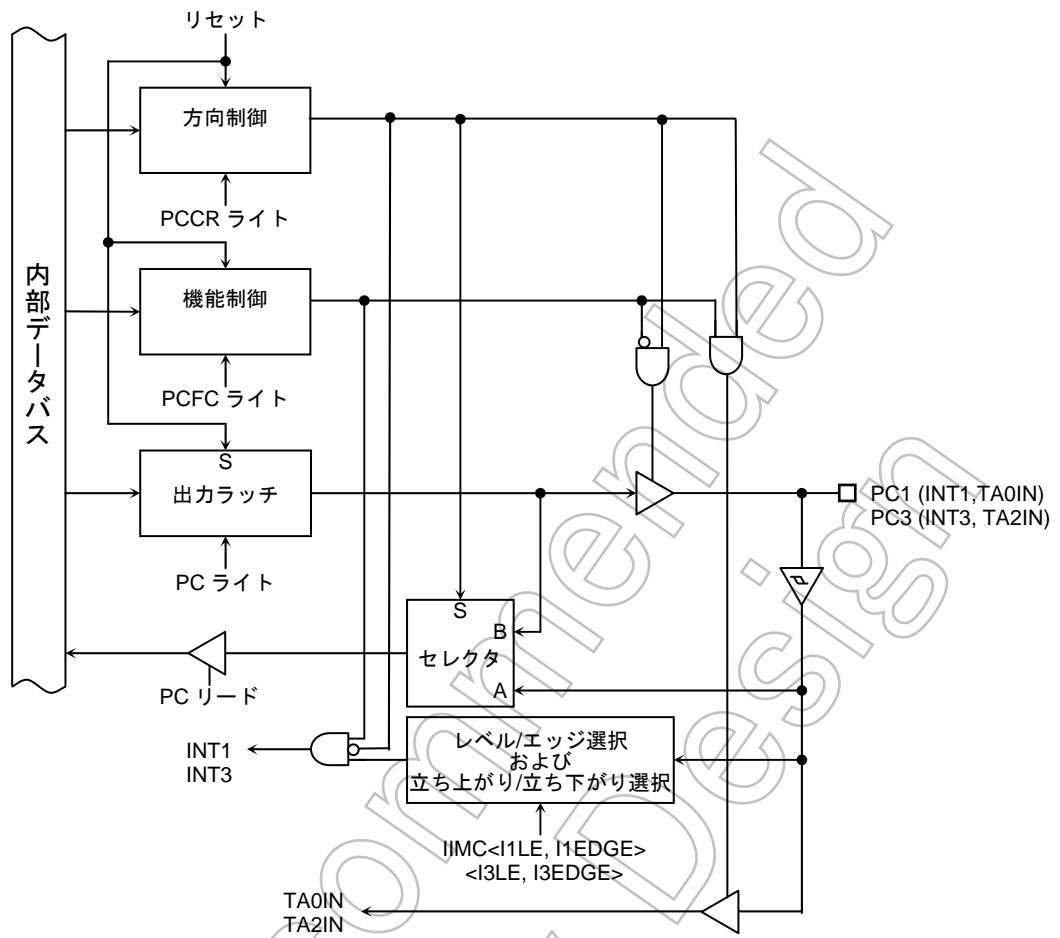


図 3.7.21 ポート C1, C3

(3) PC4 (EA26, SPDI)

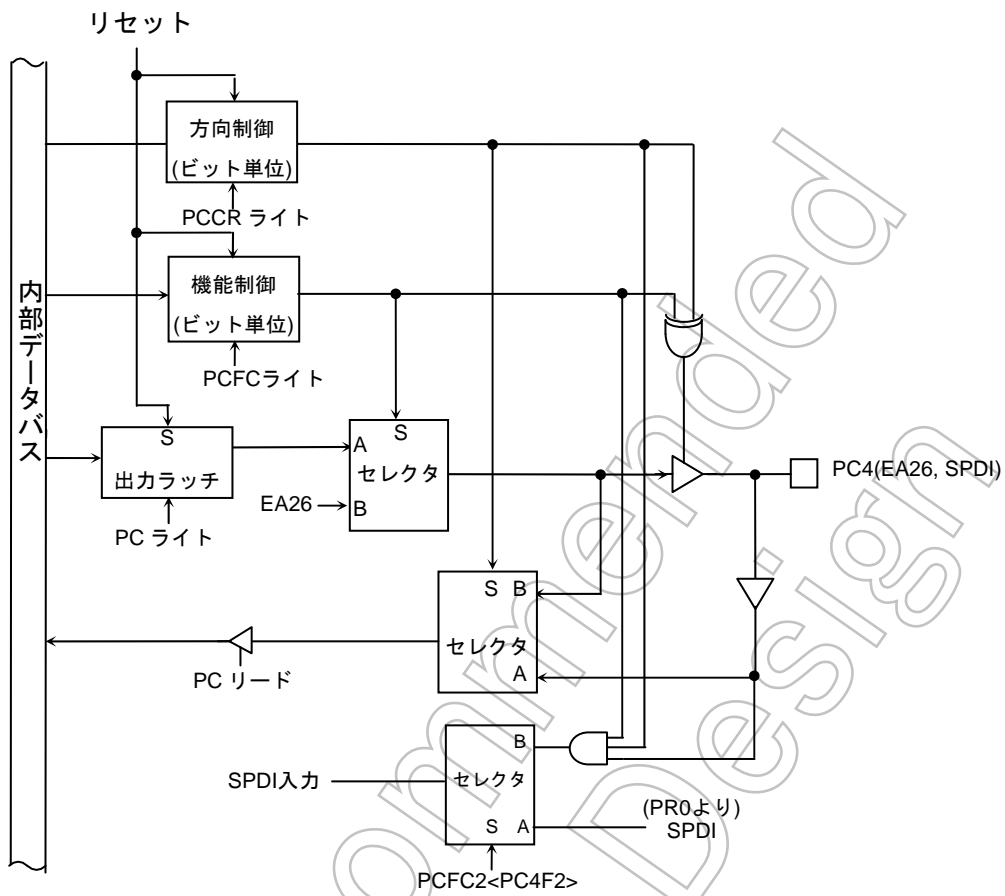


図 3.7.22 ポート C4

(4) PC5 (EA27), PC6 (EA28)

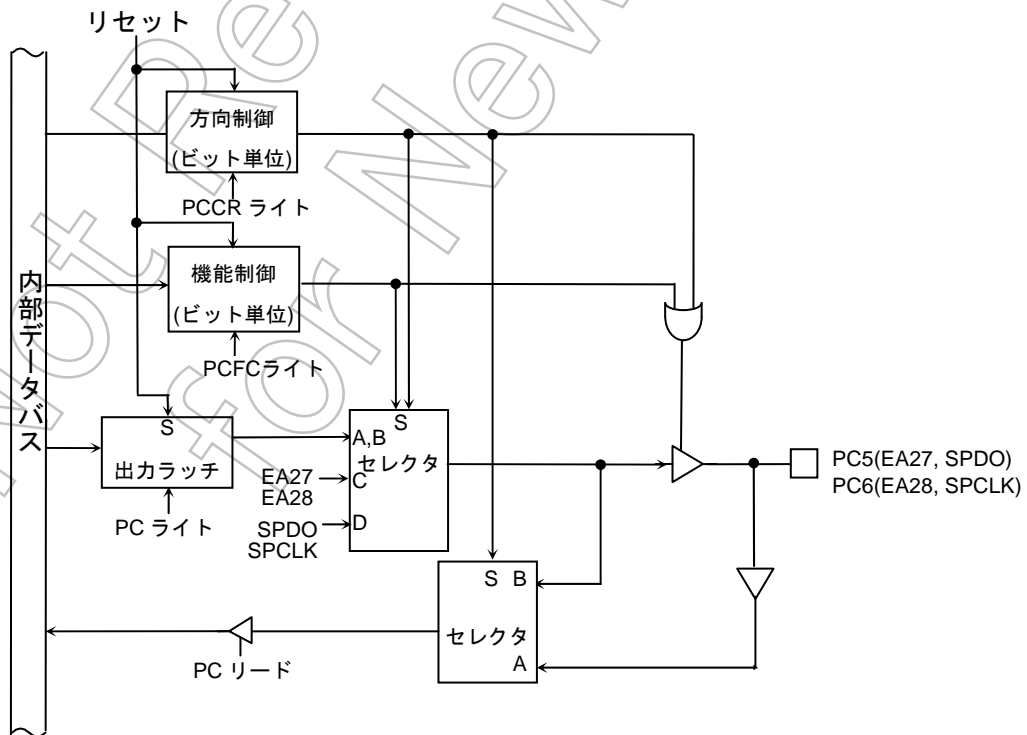


図 3.7.23 ポート C5,C6

(5) PC7 (K08)

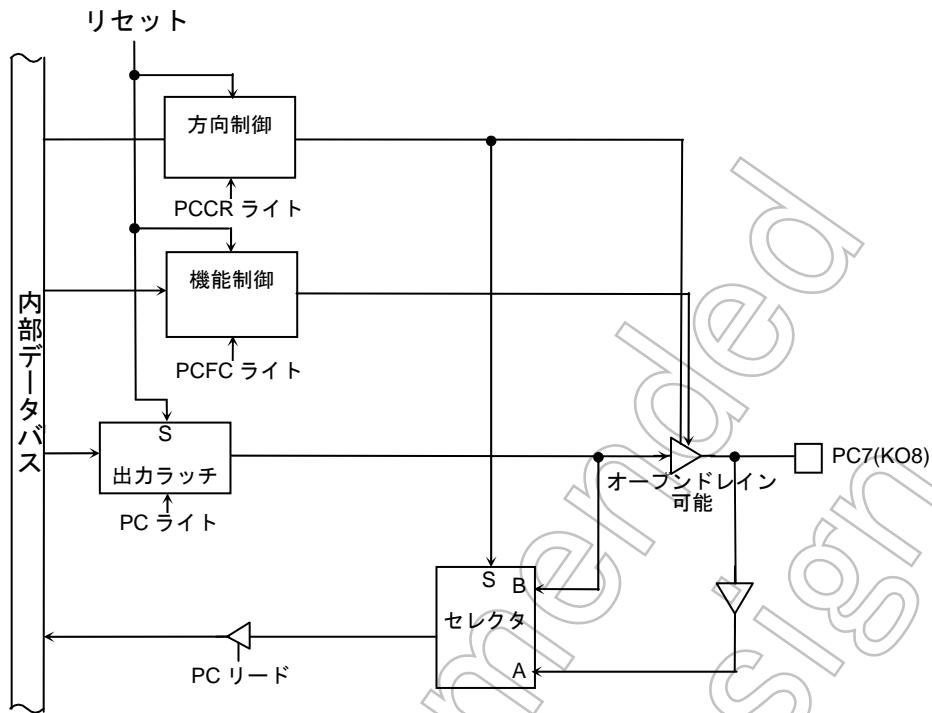


図 3.7.24 ポート C7

Not Recommended for New Design

ポート C レジスタ

	7	6	5	4	3	2	1	0	
PC (0030H)	bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	システム リセット後	外部端子データ(出力ラッチは“1”にセットされます)							

ポート C コントロールレジスタ

	7	6	5	4	3	2	1	0	
PCCR (0032H)	bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

ポート C ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PCFC (0033H)	bit Symbol	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	
	機能	以下の表を参照してください							

ポート C ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PCFC2 (0031H)	bit Symbol			PC4F2				
	Read/Write			W				
	システム リセット後			0				
	機能			SPDI 端子選択 0: PR0 1: PC4				

ポート C ドライブ レジスタ

	7	6	5	4	3	2	1	0	
PCDR (008CH)	bit Symbol	PC7D	PC6D	PC5D	PC4D	PC3D	PC2D	PC1D	PC0D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用入出力バッファドライブレジスタ							

PC2 設定

<PC2C> <PC2F>	0	1
0	入力ポート	出力ポート
1	INT2	設定禁止

PC1 設定

<PC1C> <PC1F>	0	1
0	入力ポート	出力ポート
1	INT1	TA0IN 入力

PC0 設定

<PC0C> <PC0F>	0	1
0	入力ポート	出力ポート
1	INT0	設定禁止

PC5 設定

<PC5C> <PC5F>	0	1
0	入力ポート	出力ポート
1	EA27 出力	SPDO 出力

PC4 設定

<PC4C> <PC4F>	0	1
0	入力ポート	出力ポート
1	EA26 出力	SPDI 入力

PC3 設定

<PC3C> <PC3F>	0	1
0	入力ポート	出力ポート
1	INT3	TA2IN 入力

PC7 設定

<PC7C> <PC7F>	0	1
0	入力ポート	出力ポート
1	設定禁止	KO8 出力 (オープン ドレイン)

PC6 設定

<PC6C> <PC6F>	0	1
0	入力ポート	出力ポート
1	EA28 出力	SPCLK 出力

注 1) PCCR, PCFC リードモディファイライトできません。

注 2) PC3,PC2,PC1,PC0 端子を INT3,INT2,INT1,INT0 入力に設定した状態で、PCDR<PC3D:0D>を"0000"(入力禁止)に設定し PC3,PC2,PC1,PC0 端子に"0"をドライブしている状態で HALT 命令を実行すると内部的に INT3,INT2,INT1,INT0 が発生します。HALT 状態で外部割込みを使用しない場合は、ポート設定に変更するなど割込みが発生しない様に設定してください。

図 3.7.25 ポート C レジスタ

3.7.10 ポートF(PF0~PF2,PF7)

ポート F0~F2 はビット単位で入出力の指定ができる 3 ビットの汎用入出力ポートです。リセット動作により、全ての端子が入力ポートとなり、また出力ラッチレジスタの全ビットは“1”へセットされます。

PF0~PF2 は汎用入出力ポート以外に I²S0 の出力機能があります。この機能は PFFC レジスタの該当ビットへ“1”をライトする事により、それぞれの機能が動作可能となります。

ポート F7 は 1 ビットの汎用出力ポートです。汎用出力ポートのほかに PF7 は SDCLK 出力機能があります。リセット動作により、PF7 は SDCLK 出力端子に設定されます。

(1) ポート F0 (I2S0CKO), ポート F1 (I2S0DO), ポート F2 (I2S0WS)

ポート F0~F2 は汎用入出力ポートです。それ以外に I²S としての機能を持っています。以下はそれぞれの端子の機能を示しています。

	I ² S モード (I2S0 モジュール)
PF0	I2S0CKO (クロック出力)
PF1	I2S0DO (データ出力)
PF2	I2S0WS (ワード選択 出力)

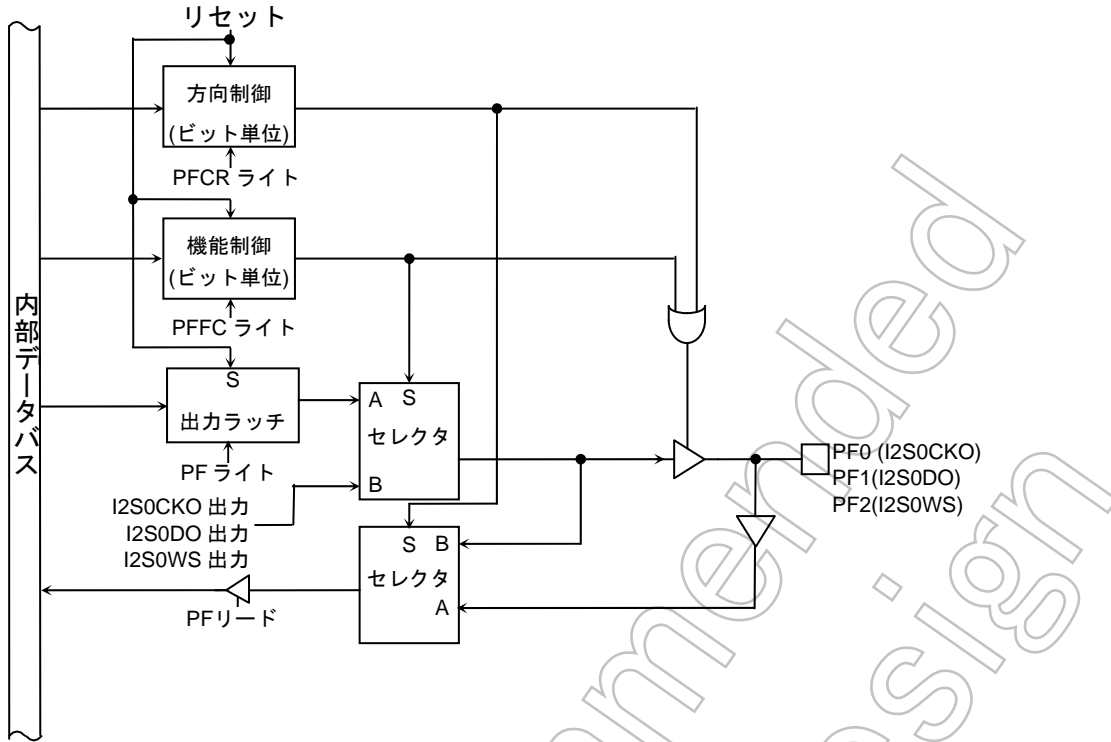


図 3.7.26 ポート F0, F1, F2

(2) ポート F7 (SDCLK)

ポート F7 汎用出力ポートです。それ以外に SDCLK 出力としての機能を持っています。

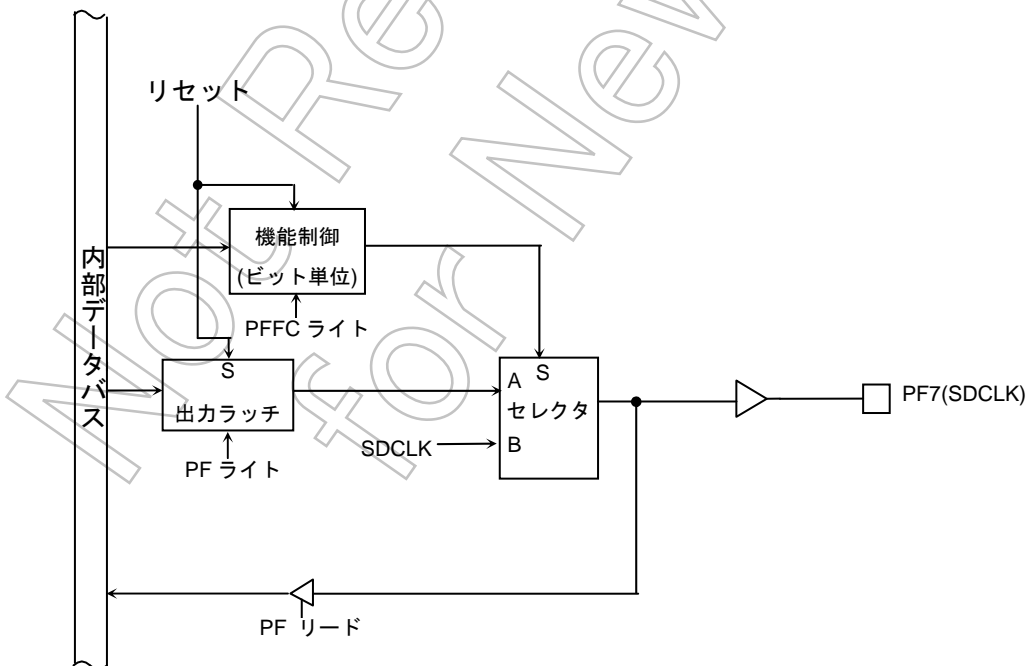


図 3.7.27 ポート F7

ポート F レジスタ

		7	6	5	4	3	2	1	0
PF (003CH)	bit Symbol	PF7					PF2	PF1	PF0
	Read/Write	R/W					R/W		
	システムリセット後	1					外部端子データ(出力ラッチは"1"にセットされます)		

ポート F コントロールレジスタ

		7	6	5	4	3	2	1	0
PFCR (003EH)	bit Symbol						PF2C	PF1C	PF0C
	Read/Write						W		
	システムリセット後						0	0	0
	機能						以下の表を参照してください		

ポート F ファンクション レジスタ

		7	6	5	4	3	2	1	0
PFFC (003FH)	bit Symbol	PF7F					PF2F	PF1F	PF0F
	Read/Write	W					W		
	システムリセット後	1					0	0	0
	機能	0: ポート 1: SDCLK					以下の表を参照してください		

ポート F ドライブレジスタ

		7	6	5	4	3	2	1	0
PFDR (008FH)	bit Symbol	PF7D					PF2D	PF1D	PF0D
	Read/Write	R/W					R/W		
	システムリセット後	1					1	1	1
	機能	スタンバイモード 用入出力バッファ ドライブレジスタ					スタンバイモード用入出力バッファ ドライブレジスタ		

PF2 設定

	<PF2C>	0	1
<PF2F>		入力ポート	出力ポート
		0	I2S0WS 出力
		1	

PF1 設定

	<PF1C>	0	1
<PF1F>		入力ポート	出力ポート
		0	I2S0DO 出力
		1	

PF0 設定

	<PF0C>	0	1
<PF0F>		入力ポート	出力ポート
		0	I2S0CKO 出力
		1	

注) PFCR、PFFC はリードモディファイライトできません。

図 3.7.28 ポート F レジスタ

3.7.11 ポート G (PG0 ~ PG5)

ポート G は 6 ビットの入力ポートです。このポートは内部 AD コンバータ用アナログ入力端子の機能も持ち合わせています。PG3 は AD コンバータ用 ADTRG 端子としての機能を、PG2、PG3 はタッチスクリーンインターフェース用 MX、MY 端子としての機能を持っています。

ただし、(PG)レジスタは、バイト単位でアクセスできません。(演算命令、ビット操作命令、ローテート/シフト命令の全ての命令において、バイトアクセスは禁止です。)必ず、ワードアクセスしてください。

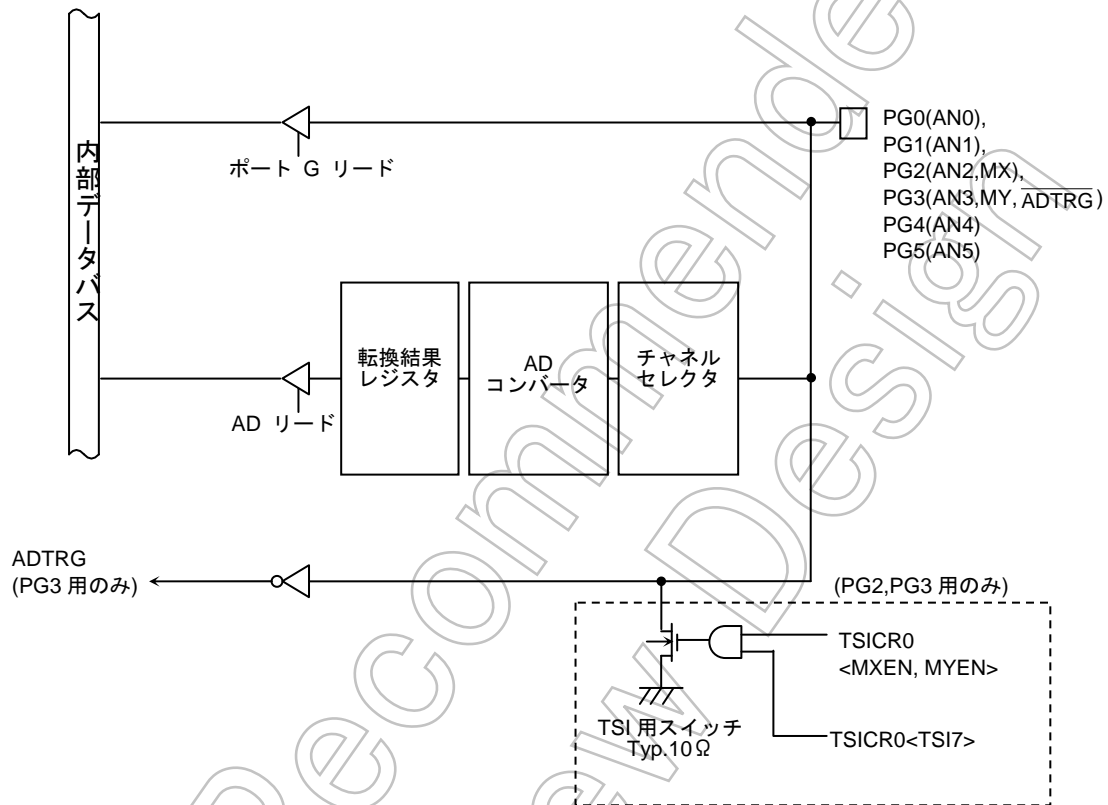


図 3.7.29 ポート G

ポート G レジスタ

		7	6	5	4	3	2	1	0
PG (0040H)	Bit Symbol			PG5	PG4	PG3	PG2	PG1	PG0
	Read/Write			R					
	システム リセット後			外部端子データ					
	機能								

注) ADコンバータの入力チャンネルおよびADTRG入力モードレジスタの選択はADコンバータの設定によって許可されます。

ポート G ファンクションレジスタ

		7	6	5	4	3	2	1	0
PGFC (0043H)	Bit Symbol					PG3F			
	Read/Write					W			
	システム リセット後					0			
	機能					0:入力 ポート or AN3 1:ADTRG			

ポート G ドライブレジスタ

		7	6	5	4	3	2	1	0
PGDR (0090H)	Bit Symbol					PG3D	PG2D		
	Read/Write					R/W			
	システム リセット後					1	1		
	機能					スタンバイモード用 入出力バッファ ドライブレジスタ			

注) PGFCはリードモディファイライトできません。

図 3.7.30 ポート G レジスタ

3.7.12 ポート J (PJ0 ~ PJ7)

ポート J0~J4 および J7 は 6 ビットの出力ポートです。リセット動作により出力ラッチ PJ は“1”にセットされ、ポート J は“1”を出力します。ポート J5 および J6 は 2 ビットの入出力ポートです。

出力ポート機能以外に、ポート J には SDRAM コントローラ用出力端子 ($\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, $\overline{\text{SDLLDQM}}$, $\overline{\text{SDLUDQM}}$, $\overline{\text{SDCKE}}$) 機能と SRAM コントローラ用出力端子 ($\overline{\text{SRWR}}$, $\overline{\text{SRLLB}}$, $\overline{\text{SRLUB}}$, $\overline{\text{SRULB}}$, $\overline{\text{SRUUB}}$) 機能、そして NAND-Flash (NDALE, NDCLE) 機能があります。これらの設定は PJFC レジスタによって行ないます。

ただし、PJ0~PJ2 用の SDRAM あるいは SRAM の出力信号はメモリコントローラの設定によって自動的に選択されます。

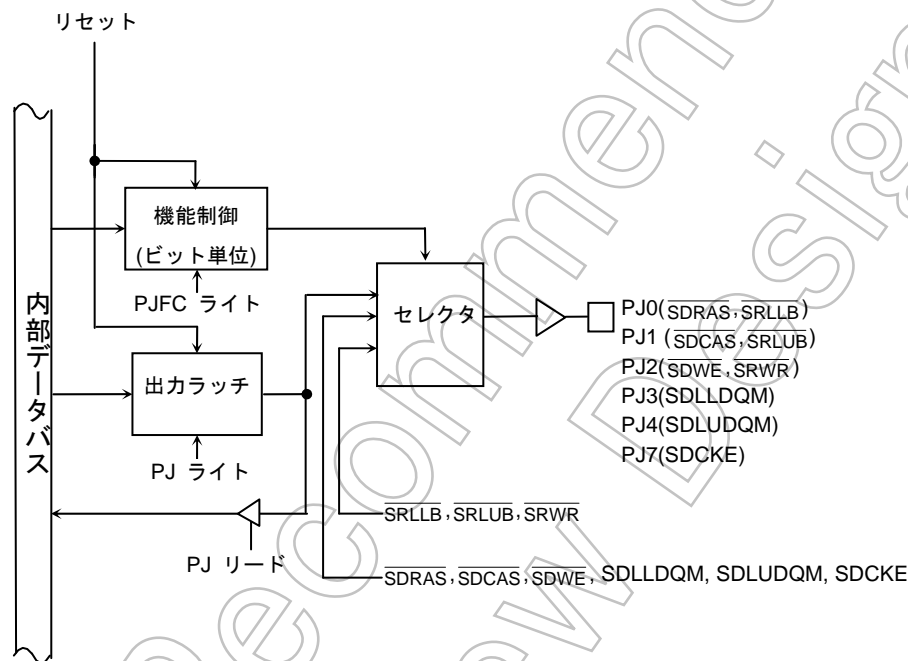


図 3.7.31 ポート J0~J4 および J7

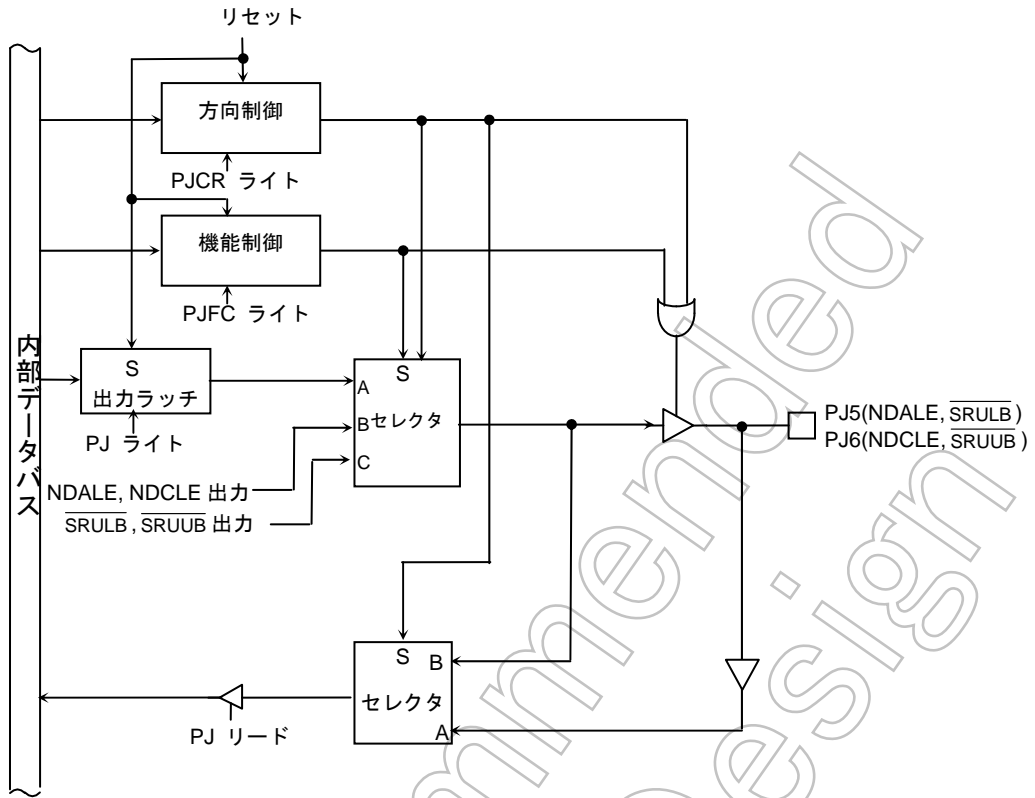


図 3.7.32 ポート J5, J6

ポート J レジスタ

		7	6	5	4	3	2	1	0
PJ (004CH)	bit Symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	Read/Write	R/W							
	システムリセット後	1	外部端子データ (出カラッチは "1"にセットされます)		1	1	1	1	1

ポート J コントロールレジスタ

		7	6	5	4	3	2	1	0
PJCR (004EH)	bit Symbol		PJ6C	PJ5C					
	Read/Write		W						
	システムリセット後		0	0					
	機能		以下の表を参照してください						

ポート J ファンクションレジスタ

		7	6	5	4	3	2	1	0
PJFC (004FH)	bit Symbol	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F
	Read/Write	W							
	システムリセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: SDCKE	以下の表を参照してください		0: ポート 1: SDLUDQM	0: ポート 1: SDLLDQM	0: ポート 1: SDWE, SRWR	0: ポート 1: SDCAS, SRLUB	0: ポート 1: SDRAS, SRLLB

ポート J ドライブレジスタ

		7	6	5	4	3	2	1	0
PJDR (0093H)	bit Symbol	PJ7D	PJ6D	PJ5D	PJ4D	PJ3D	PJ2D	PJ1D	PJ0D
	Read/Write	R/W							
	システムリセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

PJ6 設定

		<PJ6C>	<PJ6F>
<PJ6C>	0	0	1
<PJ6F>	0	入力ポート	出力ポート
	1	SRUUB 出力	NDCLE 出力

PJ5 設定

		<PJ5C>	<PJ5F>
<PJ5C>	0	0	1
<PJ5F>	0	入力ポート	出力ポート
	1	SRULB 出力	NDALB 出力

注) PJCR および PJFC はリードモディファイライトできません。

図 3.7.33 ポート J レジスタ

3.7.13 ポート K (PK0 ~ PK7)

ポート K0~K7 は 8 ビットの出力ポートです。リセット動作により出力ラッチ PK は“0”にセットされ、PK0~PK7 端子は“0”を出力します。

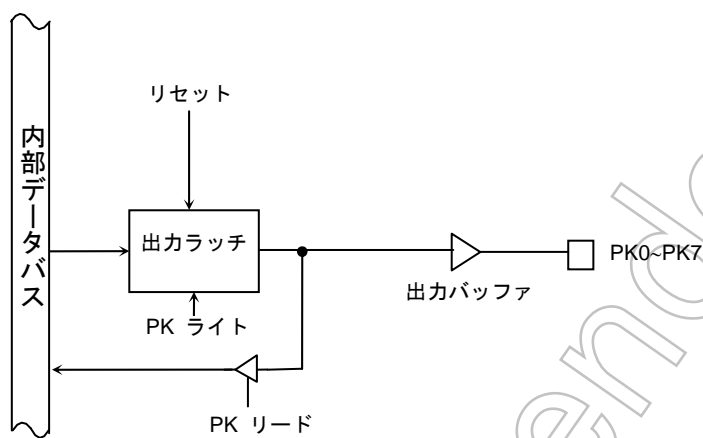


図 3.7.34 ポート K0~K7

ポート K レジスタ

		7	6	5	4	3	2	1	0
PK (0050H)	bit Symbol	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	Read/Write	R/W							
	システム リセット後	0	0	0	0	0	0	0	0

ポート K ドライブレジスタ

		7	6	5	4	3	2	1	0
PKDR (0094H)	bit Symbol	PK7D	PK6D	PK5D	PK4D	PK3D	PK2D	PK1D	PK0D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

図 3.7.35 ポート K レジスタ

3.7.14 ポート L (PL0 ~ PL7)

ポート L0~L7 ビット単位で入出力設定可能な 8 ビットの汎用入出力ポートです。リセット動作により PL0~PL7 は入力ポートとなり、また出力ラッチ PL は“0”に設定されます。

入出力ポート機能以外に、32 ビットメモリ接続用データバス(D16~D23)の機能を持っています。これらの設定はファンクションレジスタ PLFC レジスタによって行ないます。また、以下に示す AM1 と AM0 端子の組み合わせにより、リセット解除後ポート L を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	入力ポート (PL0 ~ PL7)
1	0	データ バス (D16 ~ D23)
1	1	設定禁止

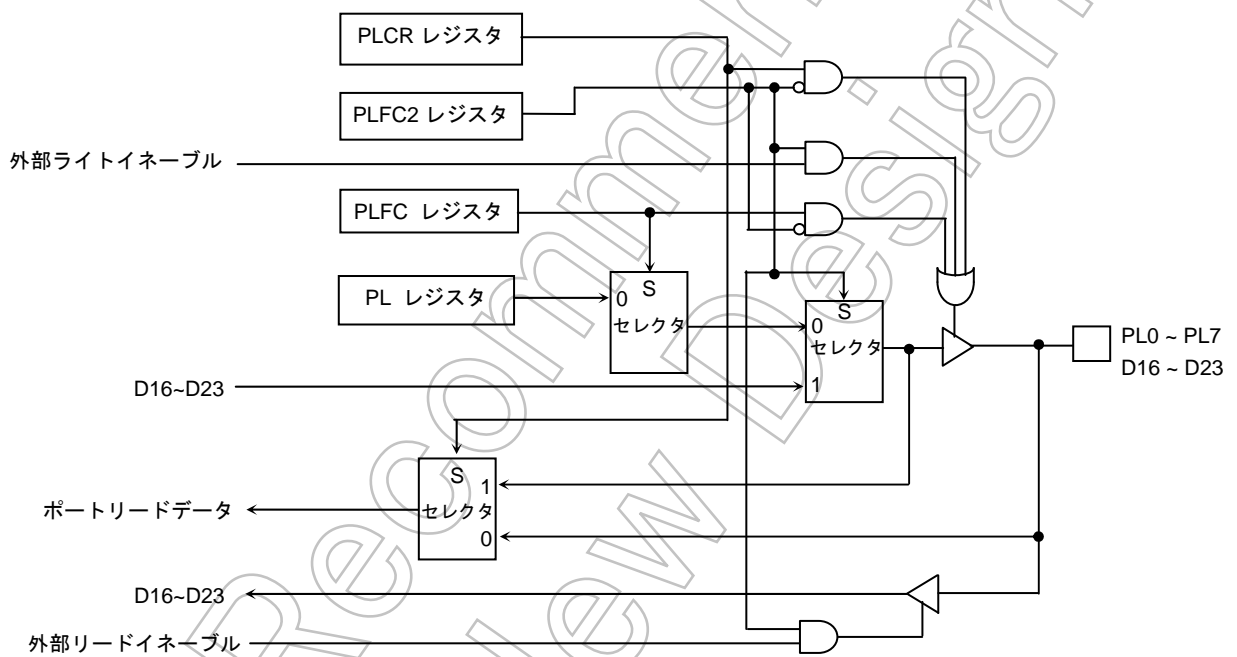


図 3.7.36 ポート L0 ~ L7

ポート L レジスタ

		7	6	5	4	3	2	1	0
PL (0054H)	bit Symbol	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	システム リセット後	0	0	0	0	0	0	0	0

ポート L コントロールレジスタ

		7	6	5	4	3	2	1	0
PLCR (0056H)	bit Symbol	PL7C	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
機能		0: 入力				1: 出力			

ポート L ファンクションレジスタ

		7	6	5	4	3	2	1	0
PLFC (0057H)	bit Symbol	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
機能		0: ポート 1: 設定禁止							

ポート L ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PLFC2 (0055H)	bit Symbol								PL0F2
	Read/Write								W
	システム リセット後								0/1
機能									0: ポート 1: データバス (D16~D23)

ポート L ドライブレジスタ

		7	6	5	4	3	2	1	0
PLDR (0095H)	bit Symbol	PL7D	PL6D	PL5D	PL4D	PL3D	PL2D	PL1D	PL0D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
機能		スタンバイモード用入出力バッファドライブレジスタ							

注) PLCR, PLFC, PLFC2 はリードモディファイライトできません。

		<PL0F2>=0		<PL0F2>=1	
<PLnC>	<PLnF>	0	1	0	1
0		入力ポート	出力ポート	Data Bus	
1		設定禁止			

図 3.7.37 ポート L レジスタ

3.7.15 ポート M (PM1 ~ PM2、PM7)

PM1~PM2、PM7 は 3 ビットの出力ポートです。リセット動作により出力ラッチ PM は“1”に設定され PM1~PM2、PM7 端子は“1”を出力します。

ポート出力機能以外に、ポート M はタイマの出力端子(TA1OUT)、RTC アラーム用出力端子 (ALARM)、メロディ/アラームジェネレータ用出力端子(MLDALM、 $\overline{\text{MLDALM}}$)としての機能も持ち合わせています。これらの設定はファンクションレジスタ PMFC で行ないます。

PM1 は MLDALM および TA1OUT、PM2 は ALARM および $\overline{\text{MLDALM}}$ の二つの出力機能を持っています。この機能の選択は PM<PM1>、PM<PM2>で行ないます。

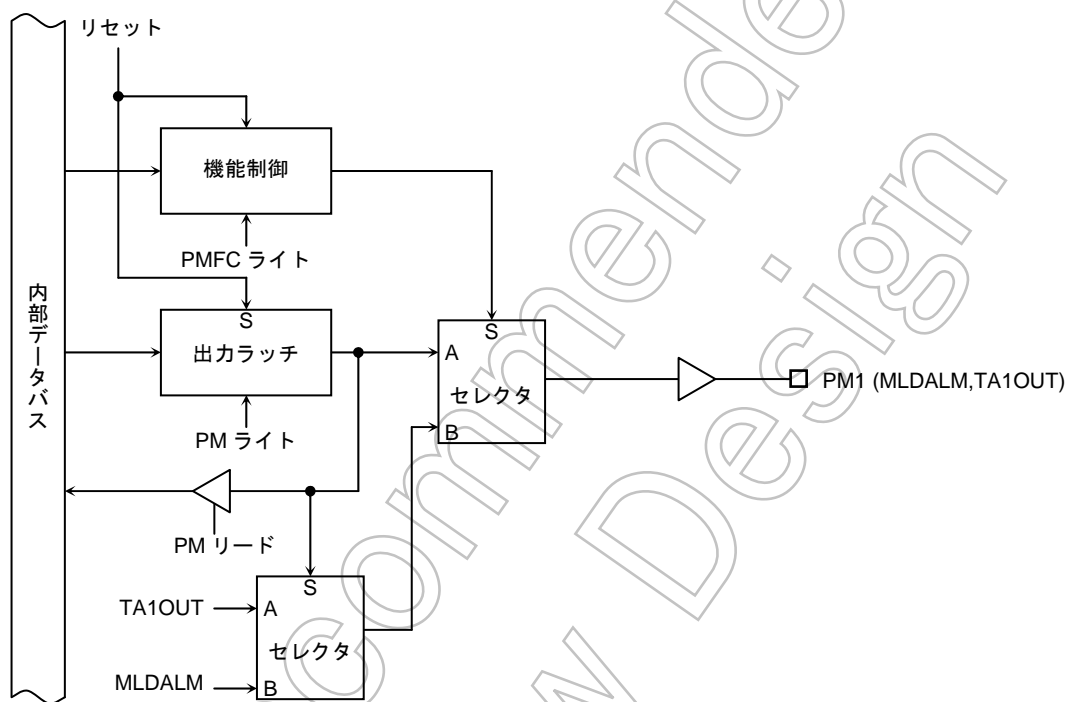


図 3.7.38 ポート M1

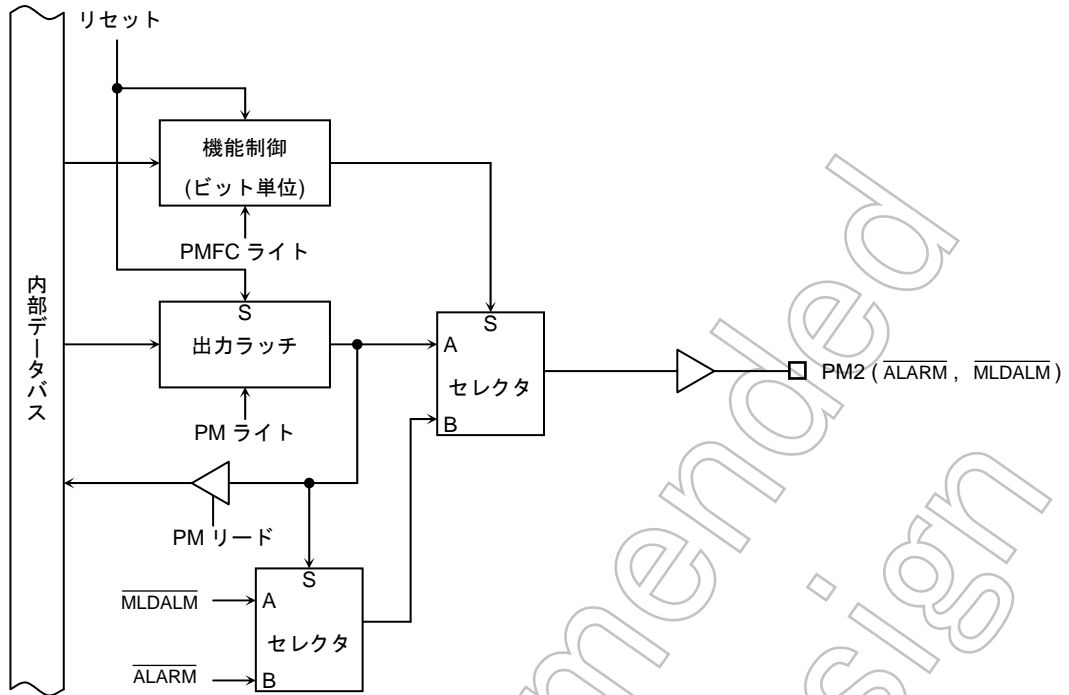


図 3.7.39 ポート M2

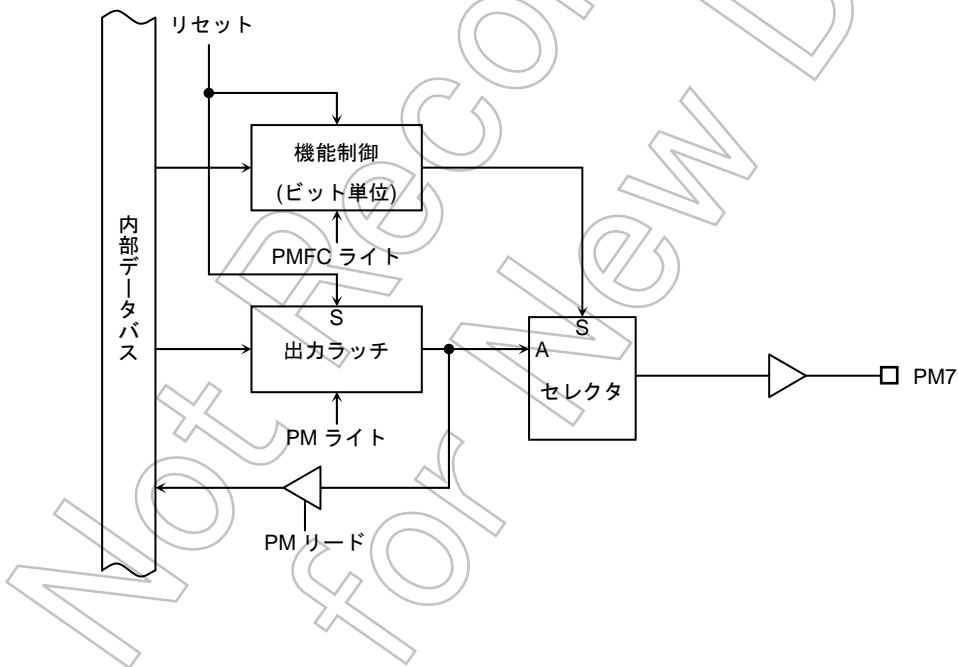


図 3.7.40 ポート M7

ポート M レジスタ

		7	6	5	4	3	2	1	0
PM (0058H)	bit Symbol	PM7					PM2	PM1	
	Read/Write	R/W					R/W		
	システム リセット後	1					1	1	

ポート M ファンクションレジスタ

		7	6	5	4	3	2	1	0
PMFC (005BH)	bit Symbol	PM7					PM2F	PM1F	
	Read/Write	W					W		
	システム リセット後	0					0	0	
	機能	0: ポート 1: 設定禁止					0: ポート 1: ALARM at <PM2>=1 MLDALM at <PM2>=0	0: ポート 1: MLDALM at <PM1>=1 TA1OUT at <PM1>=0	

ポート M ドライブレジスタ

		7	6	5	4	3	2	1	0
PMDR (0096H)	bit Symbol	PM7D					PM2D	PM1D	
	Read/Write	R/W					R/W		
	システム リセット後	1					1	1	
	機能	スタンバイ モード用 入出力 バッファ ドライブ レジスタ					スタンバイモード用 入出力バッファ ドライブレジスタ		

注) PMFC はリードモディファイライトできません。

図 3.7.41 ポート M レジスタ

3.7.16 ポートN (PN0 ~ PN7)

ポート N はビット単位で入出力指定可能な 8 ビットの汎用入出力ポートです。リセット動作によりポート N は入力ポートとなります。

汎用入出力ポート機能以外に、ポート N はキーボード用インタフェース端子 KO0~KO7 として、オープンドレインタイプ出力バッファに設定可能です。

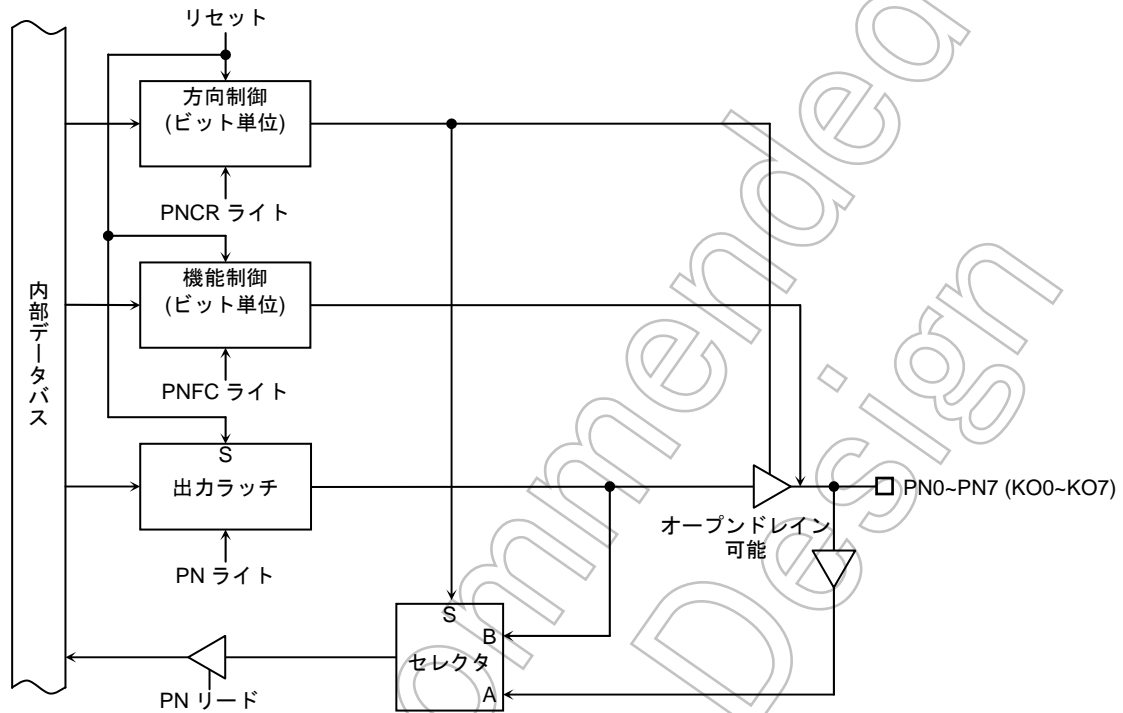


図 3.7.42 ポート N

ポート N レジスタ

		7	6	5	4	3	2	1	0
PN (005CH)	bit Symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0
	Read/Write	R/W							
	システム リセット後	外部端子データ(出力ラッチは“1”にセットされます)							

ポート N コントロールレジスタ

		7	6	5	4	3	2	1	0
PNCR (005EH)	bit Symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート N ファンクション レジスタ

		7	6	5	4	3	2	1	0
PNFC (005FH)	bit Symbol	PN7F	PN6F	PN5F	PN4F	PN3F	PN2F	PN1F	PN0F
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: CMOS 出力 1: オープンドレイン出力							

ポート N ドライブレジスタ

		7	6	5	4	3	2	1	0
PNDR (0097H)	bit Symbol	PN7D	PN6D	PN5D	PN4D	PN3D	PN2D	PN1D	PN0D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PNCR,PNFC はリードモディファイライトできません。

図 3.7.43 ポート N レジスタ

3.7.17 ポートP (PP3~PP6)

ポート P3~P5 はビット単位で入出力指定ができる 3 ビットの汎用入出力ポートです。リセット動作により、P3~P5 は入力ポートとなり、出力ラッチは“0”にリセットされます。汎用入出力ポート機能以外に、タイマの出力端子(TA7OUT)機能、タイマの入力 (TB0IN0,TB1IN0)機能、外部割込み入力端子(INT5~INT7)機能、シリアル転送 SIO0(TXD0,RXD0,SCLK0,CTS0)機能、SIO1(TXD1,RXD1,SCLK1,CTS1)機能を持っています。

ポート P6 は 1 ビットの出力ポートです。リセット動作により出力ラッチは“0”にリセットされます。出力ポート機能以外にタイマの出力端子(TB0OUT0)機能を持っています。

これらの機能は PPCR、PPFC レジスタの該当ビットを設定することで動作します。

外部割込みのエッジ選択は割込みコントローラ部にある IIMC レジスタにて設定します。

尚、ポートの設定において、16 ビットタイマ入力を選択しキャプチャ制御を行う場合、INT6,INT7 は IIMC1 レジスタの設定ではなく、TBnMOD<TBnCPM1:0>の設定に従って動作します。

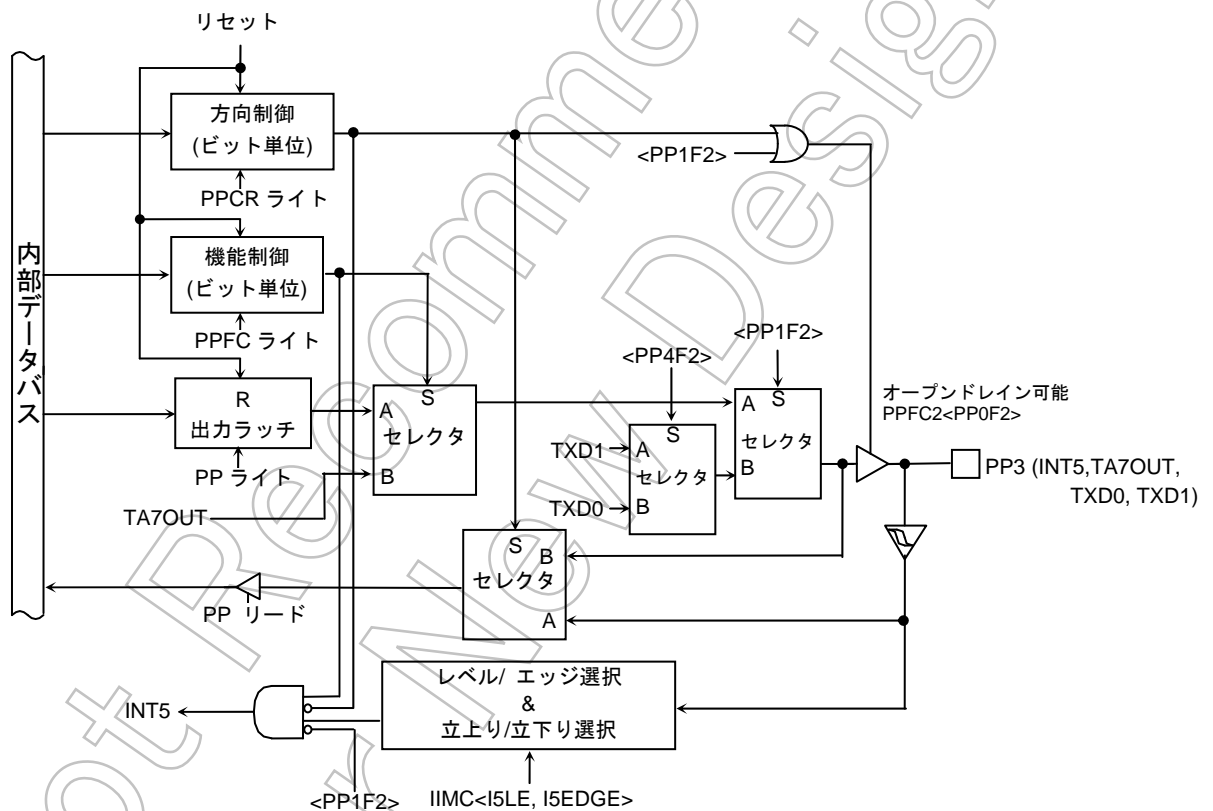


図 3.7.44 ポート P3

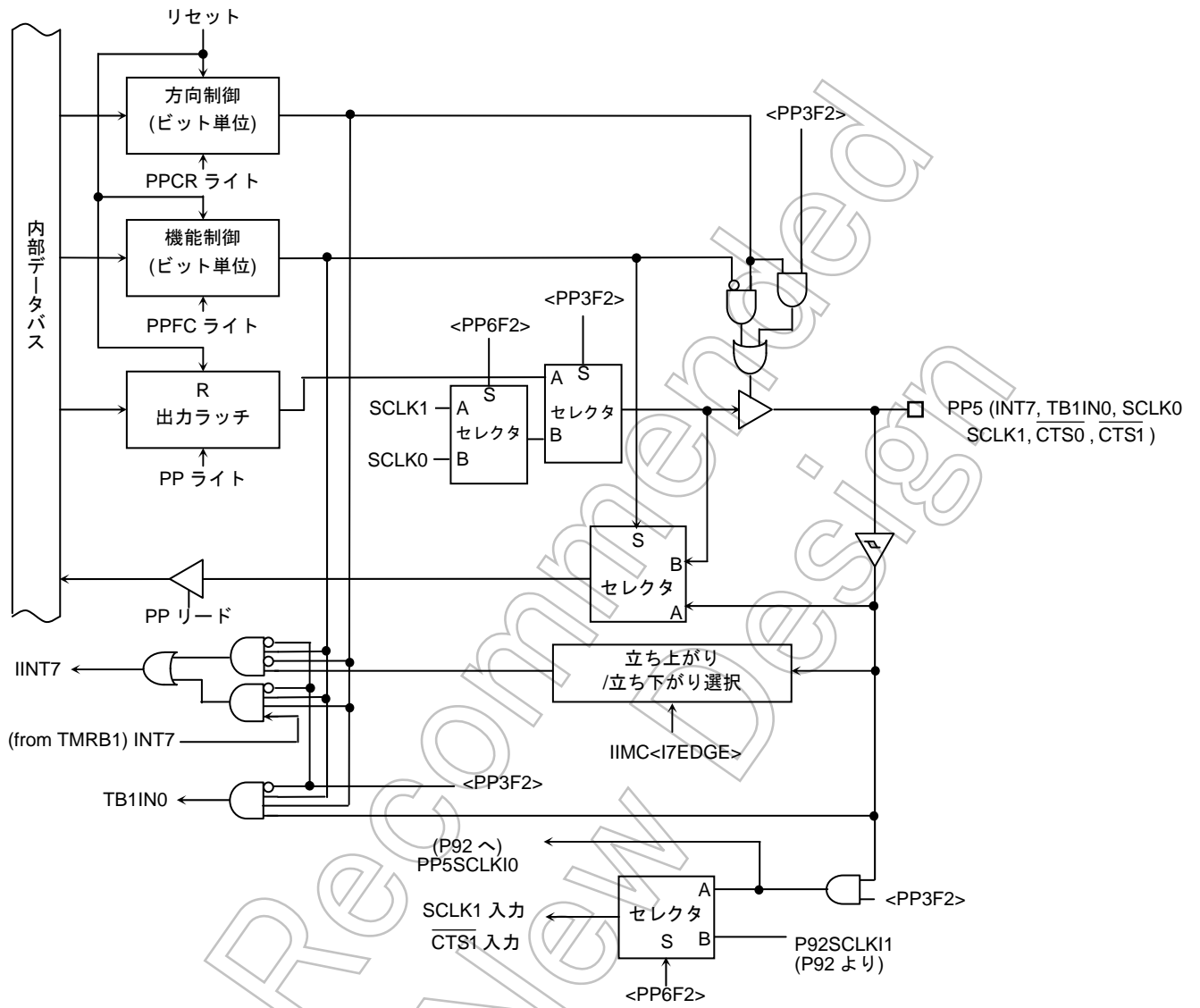


図 3.7.46 ポート P5

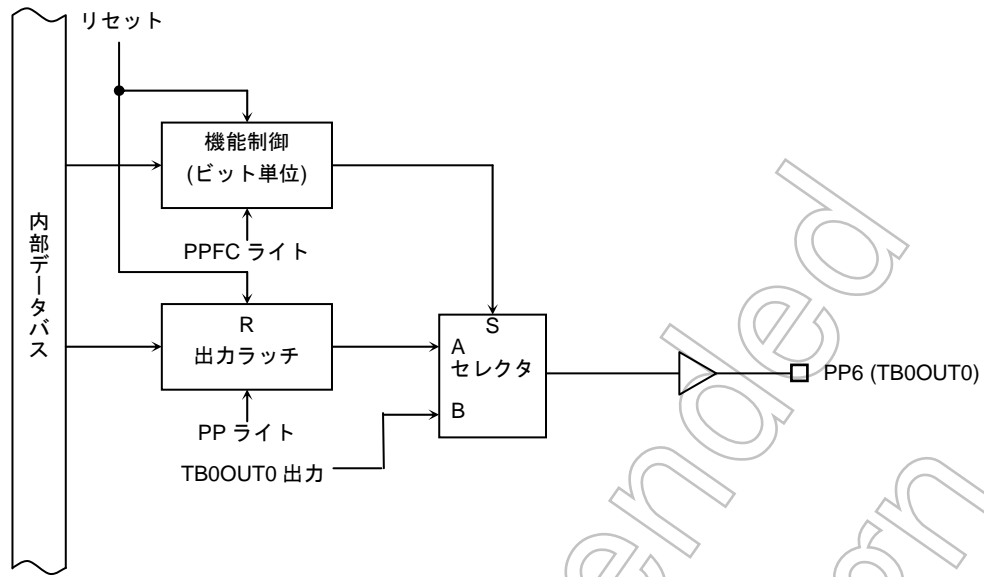


図 3.7.47 ポート P6

ポート P レジスタ

		7	6	5	4	3	2	1	0
PP (0060H)	bit Symbol		PP6	PP5	PP4	PP3			
	Read/Write		R/W						
	システム リセット後		0	外部端子データ (出力ラッチレジスタは "0"にリセットされます)					
	機能								

ポート P コントロールレジスタ

		7	6	5	4	3	2	1	0
PPCR (0062H)	bit Symbol			PP5C	PP4C	PP3C			
	Read/Write			W					
	システム リセット後			0	0	0			
	機能			0: 入力 1: 出力					

ポート P ファンクションレジスタ

		7	6	5	4	3	2	1	0
PPFC (0063H)	bit Symbol		PP6F	PP5F	PP4F	PP3F			
	Read/Write		W						
	システム リセット後		0	0	0	0			
	機能		0:ポート 1:TB0OUT0	下記表を参照してください。					

ポート P ドライブレジスタ

		7	6	5	4	3	2	1	0
PPDR (0098H)	bit Symbol		PP6D	PP5D	PP4D	PP3D			
	Read/Write		W						
	システム リセット後		1	1	1	1			
	機能		スタンバイモード用 入出力バッファドライブレジスタ						

ポート P ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PPFC2 (0061H)	bit Symbol		PP6F2	PP5F2	PP4F2	PP3F2	PP2F2	PP1F2	PP0F2
	Read/Write		W						
	システム リセット後		0	0	0	0	0	0	0
	機能		PP5 の SCLK 出力 0: SCLK1 1: SCLK0 SIO1 の SCLK, CTS 入力 0: PP5 1: P92	SIO1 の RXD 選択 0: PP4 1: P91	PP3 選択 0: TXD1 1: TXD0	PP5 端子 0: 上記以外 1: SCLK, CTS 入力 または SCLK 出力	PP4 端子 0: 上記以外 1: RXD 入力	PP3 端子 0: 上記以外 1: TXD 出力	PP3 端子 0: CMOS 1: オープン ドレイン

PP3 設定 (<PP1F2>="0"の時)

<PP3C> <PP3F>	0	1
0	入力ポート	出力ポート
1	INT5 入力	TA7OUT 出力

PP4 設定 (<PP2F2>="0"の時)

<PP4C> <PP4F>	0	1
0	入力ポート	出力ポート
1	INT6 入力	TB0IN0 入力

PP5 設定 (<PP3F2>="0"の時)

<PP5C> <PP5F>	0	1
0	入力ポート	出力ポート
1	INT7 入力	TB1IN0 入力

注 1) <PP3F2, PP2F2, PP1F2>: "1"にすると PPCR, PPFC の設定に関係なく、PP3~PP5 端子は SIO0 または SIO1 の機能になります。PP3 は TXD へ、PP4 は RXD へ、PP5 は <PP5C>="0"であれば、SCLK 入力または CTS 入力へ設定され、<PP5C>="1"であれば、SCLK 出力に設定されます。

注 2) PPCR, PPFC はリードモディファイライトできません。

注 3) PP5, PP4, PP3 端子を INT7, INT6, INT5 入力に設定した状態で、PPDR<PP5D:3D>を"0000"(入力禁止)に設定し PP5, PP4, PP3 端子に"0"をドライブしている状態で HALT 命令を実行すると内部的に INT7, INT6, INT5 が発生します。HALT 状態で外部割込みを使用しない場合は、ポート設定に変更するなど割込みが発生しない様に設定してください。

図 3.7.48 ポート P レジスタ

3.7.18 ポートR (R0~R3)

ポート R0~R3 はビット単位で入出力指定ができる 4 ビットの入出力ポートです。リセット動作により、R0~R3 は入力ポートとなり、出力ラッチは“0”にリセットされます。汎用入出力ポート機能以外に、SPI コントローラ用端子(SPCLK, $\overline{\text{SPCS}}$, SPDO および SPDI)機能を持っています。

これらの機能は PRCR、PRFC レジスタの該当ビットを設定することで動作します。

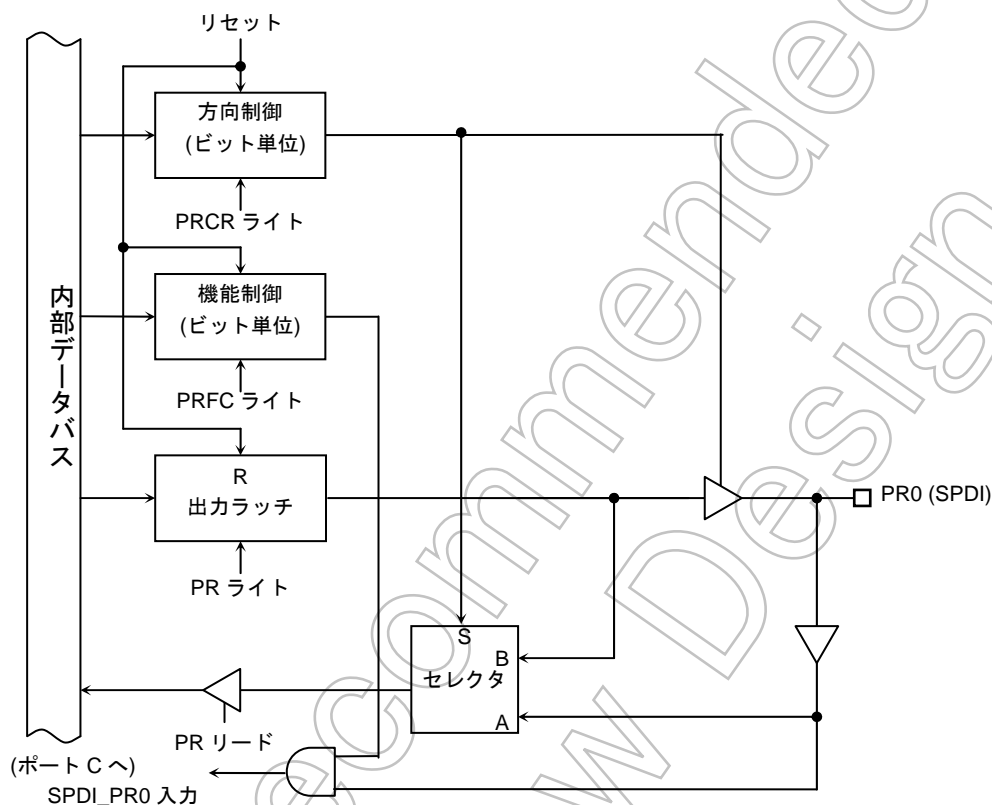


図 3.7.49 ポート R0

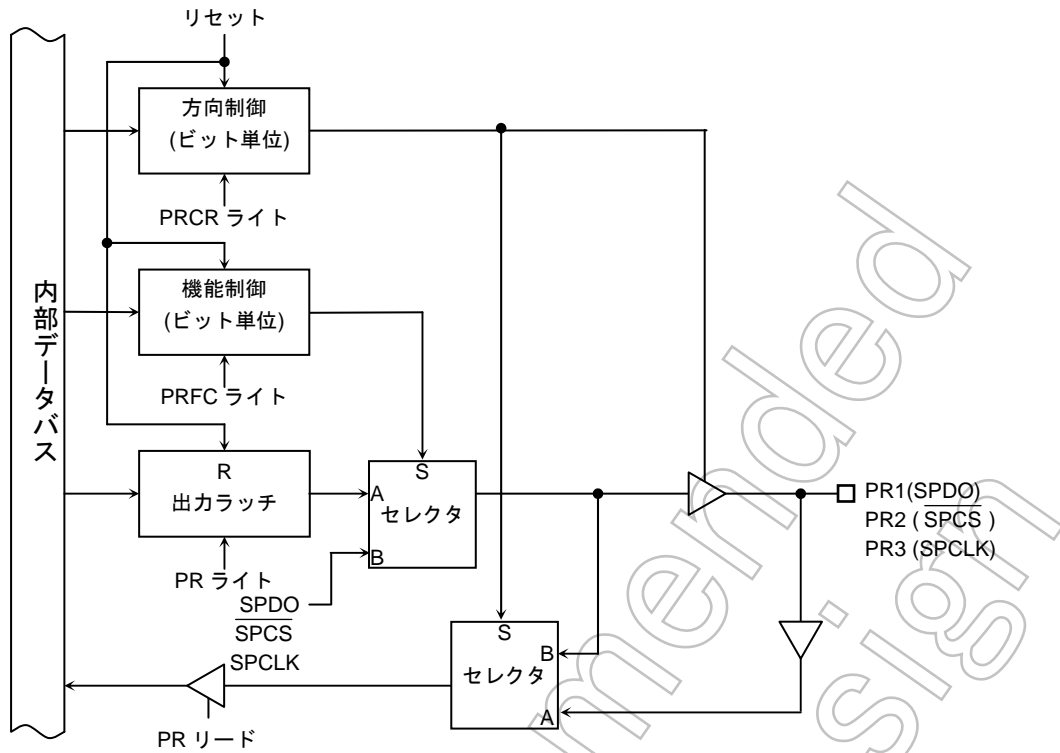


図 3.7.50 ポート R1~R3

ポート R レジスタ

		7	6	5	4	3	2	1	0
PR (0064H)	bit Symbol					PR3	PR2	PR1	PR0
	Read/Write					R/W			
	システム リセット後					外部端子データ (出力ラッチレジスタは"0"にリセットされます)			

ポート R コントロールレジスタ

		7	6	5	4	3	2	1	0
PRCR (0066H)	bit Symbol					PR3C	PR2C	PR1C	PR0C
	Read/Write					W			
	システム リセット後					0			
	機能					0:入力 1:出力			

ポート R ファンクションレジスタ

		7	6	5	4	3	2	1	0
PRFC (0067H)	bit Symbol					PR3F	PR2F	PR1F	PR0F
	Read/Write					W			
	システム リセット後					0			
	機能					0: ポート 1: SPCLK	0: ポート 1: SPCS	0: ポート 1: SPDO	0: ポート 1: SPDI

ポート R ドライブレジスタ

		7	6	5	4	3	2	1	0
PRDR (0099H)	bit Symbol					PR3D	PR2D	PR1D	PR0D
	Read/Write					R/W			
	システム リセット後					1			
	機能					スタンバイモード用入出力バッファ ドライブレジスタ			

PR1 設定

<PR1C>	0	1
<PR1F>	0	出力ポート
	1	Reserved

PR0 設定

<PR0C>	0	1
<PR0F>	0	出力ポート
	1	Reserved

PR3 設定

<PR3C>	0	1
<PR3F>	0	出力ポート
	1	Reserved

PR2 設定

<PR2C>	0	1
<PR2F>	0	出力ポート
	1	Reserved

注) PRCR, PRFC はリードモディファイライトできません。

図 3.7.51 ポート R レジスタ

ポート T レジスタ

		7	6	5	4	3	2	1	0
PT (00A0H)	bit Symbol	PT7	PT6	PT5	PT4	PT3	PT2	PT1	PT0
	Read/Write	R/W							
	システム リセット後	外部端子データ(出力ラッチは"0"にリセットされます)							
	機能								

ポート T コントロールレジスタ

		7	6	5	4	3	2	1	0
PTCR (00A2H)	bit Symbol	PT7C	PT6C	PT5C	PT4C	PT3C	PT2C	PT1C	PT0C
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート T ファンクションレジスタ

		7	6	5	4	3	2	1	0
PTFC (00A3H)	bit Symbol	PT7F	PT6F	PT5F	PT4F	PT3F	PT2F	PT1F	PT0F
	Read/Write	W							
	システム リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: 設定禁止							

ポート T ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PTFC2 (00A1H)	bit Symbol								PT0F2
	Read/Write								W
	システム リセット後								0/1
	機能								0:ポート 1:データバス (D24-D31)

ポート T ドライブレジスタ

		7	6	5	4	3	2	1	0
PTDR (009BH)	bit Symbol	PT7D	PT6D	PT5D	PT4D	PT3D	PT2D	PT1D	PT0D
	Read/Write	R/W							
	システム リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入力バッファドライブレジスタ							

注 1) PTCR および PTFC, PTFC2 はリードモディファイライトできません。

		<PT0F2>=0		<PT0F2>=1	
<PTnC>	<PTnF>	0	1	0	1
0		入力ポート	出力ポート	Data Bus	
1		設定禁止			

図 3.7.53 ポート T レジスタ

3.7.20 ポートV (PV6,PV7)

ポート V6,V7 はビット単位で入出力指定ができる 2 ビットの入出力ポートです。リセット動作により、V6,V7 は入力ポートとなり、出力ラッチは“0”にリセットされます。汎用入出力ポート機能以外に SBI 入出力端子(SDA, SCL)を持っています。これらの機能は PVCR、PVFC レジスタの該当ビットを設定することで動作します。

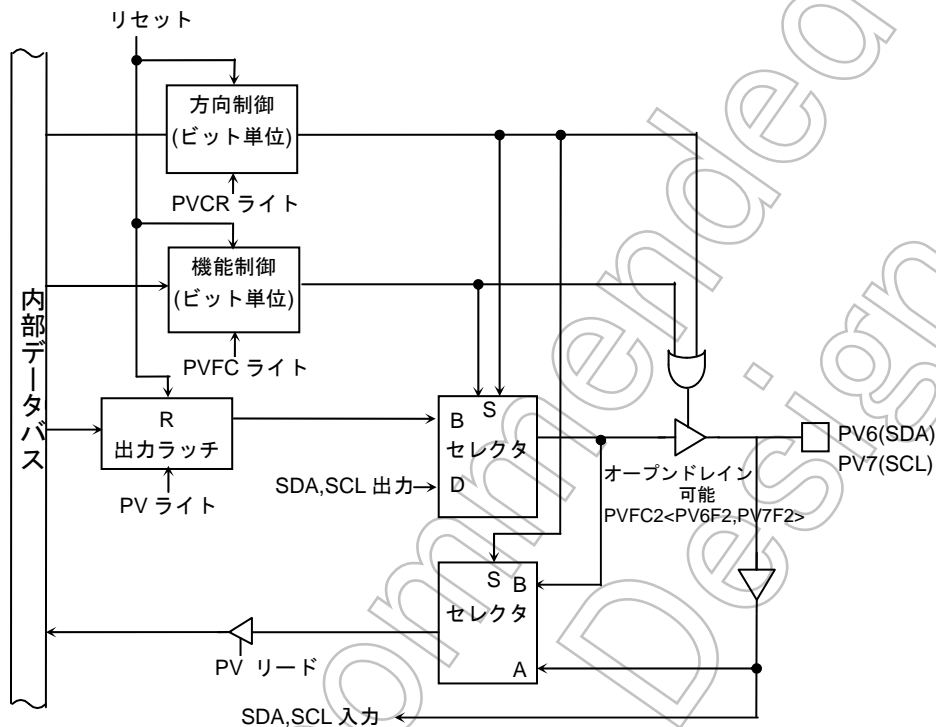


図 3.7.54 ポート V6, V7

ポート V レジスタ

	7	6	5	4	3	2	1	0
PV (00A8H)	bit Symbol	PV7	PV6					
	Read/Write	R/W						
	システム リセット後	外部端子データ(出力ラ ッチレジスタは“0”にリ セットされます)						

ポート V コントロールレジスタ

	7	6	5	4	3	2	1	0
PVCR (00AAH)	bit Symbol	PV7C	PV6C					
	Read/Write	W						
	システム リセット後	0	0					
	機能	0: 入力 1: 出力						

ポート V ファンクションレジスタ

	7	6	5	4	3	2	1	0
PVFC (00ABH)	bit Symbol	PV7F	PV6F					
	Read/Write	W						
	システム リセット後	0	0					
	機能	以下の表を 参照してください						

ポート V ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PVFC2 (00A9H)	bit Symbol	PV7F2	PV6F2					
	Read/Write	W	W					
	システム リセット後	0	0					
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン					

ポート V ドライブレジスタ

	7	6	5	4	3	2	1	0
PVDR (009DH)	bit Symbol	PV7D	PV6D					
	Read/Write	R/W						
	システム リセット後	1	1					
	機能	スタンバイモード用 入出力バッファドラ イブレジスタ						

PV7 設定

<PV7C>	0	1
<PV7F>	0	1
0	入力ポート	出力ポート
1	Reserved	SCL 入出力

PV6 設定

<PV6C>	0	1
<PV6F>	0	1
0	入力ポート	出力ポート
1	Reserved	SDA 入出力

注) PVCR, PVFC, PVFC2 はリードモディファイライトできません。

図 3.7.55 ポート V レジスタ

3.7.21 ポートX (PX4, PX5)

ポート X5 はビット単位で入出力指定ができる 1 ビットの入出力ポートです。リセット動作により、X5 は入力ポートとなり、出力ラッチは“0”にリセットされます。汎用入出力ポート機能以外に、USB クロック入力端子(X1USB)機能、X1,X2 発振クロックの分周クロック出力(X1D4)を持っています。これらの機能は PXCR、PXFC レジスタの該当ビットを設定することで動作します。

ポート X4 は 1 ビットの汎用出力ポートです。リセット動作により出力ラッチは“0”にリセットされます。汎用出力ポート機能以外に、システムクロック出力端子(CLKOUT)機能を持っています。この機能は PX、PXFC レジスタの該当ビットを設定することで動作します。

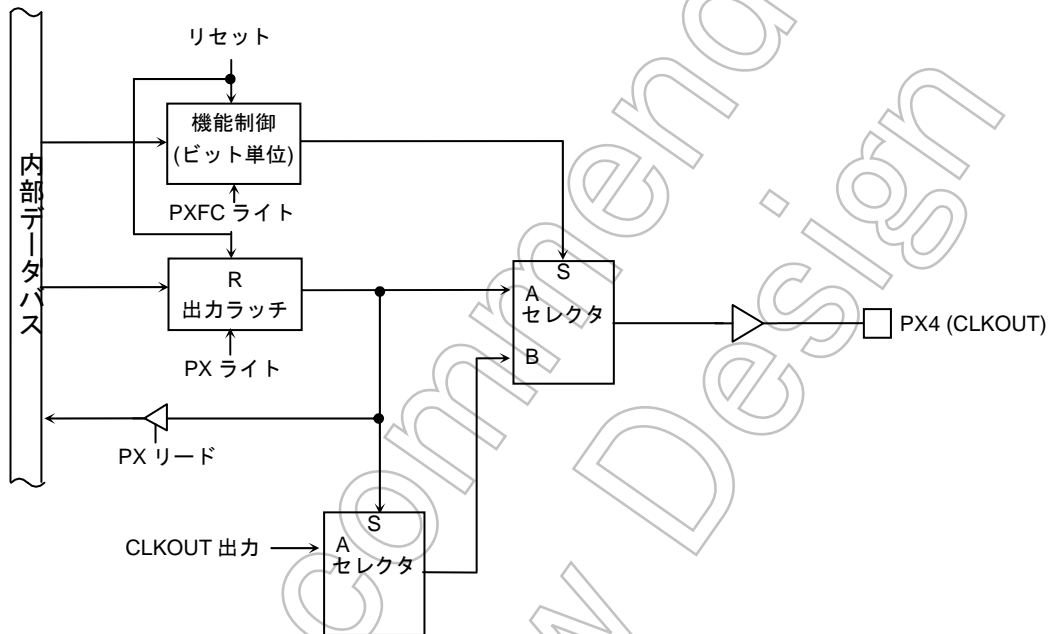


図 3.7.56 ポート X4

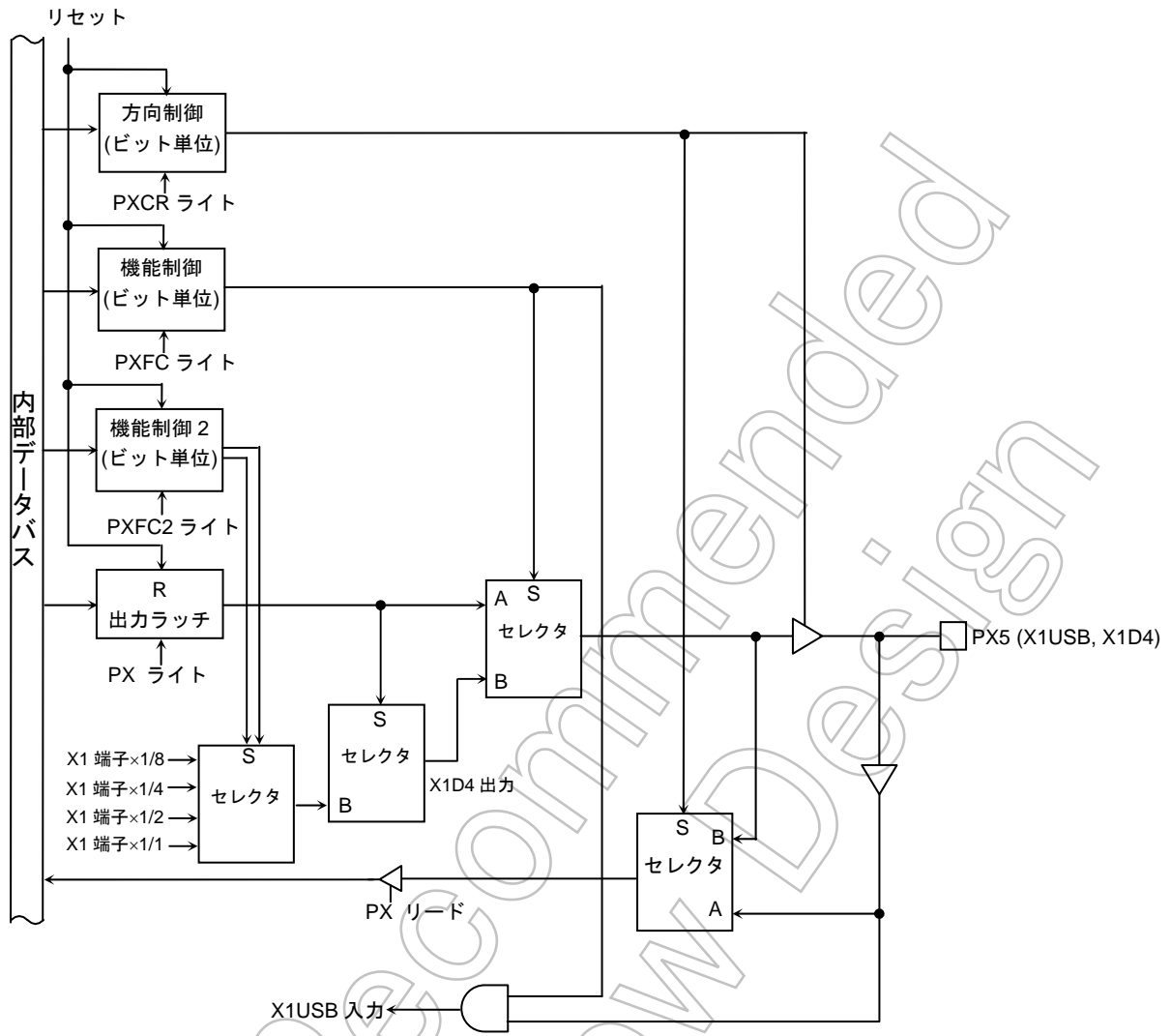


図 3.7.57 ポート X5

ポート X レジスタ

	7	6	5	4	3	2	1	0
PX (00B0H)	bit Symbol		PX5 注3) PX4 注2)					
	Read/Write		R/W					
	システム リセット後		外部端子データ (出力ラッチレジスタは "0"にリセットされます)					

ポート X コントロールレジスタ

	7	6	5	4	3	2	1	0
PXCR (00B2H)	bit Symbol		PX5C					
	Read/Write		W					
	システム リセット後		0					
	機能		0: 入力 1: 出力					

ポート X ファンクションレジスタ

	7	6	5	4	3	2	1	0
PXFC (00B3H)	bit Symbol		PX5F PX4F					
	Read/Write		W					
	システム リセット後		0		0			
	機能		下記表を参 照してくだ さい。 0: ポート 1: CLKOUT @<PX4>=0					

ポート X ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PXFC2 (00B1H)	bit Symbol		PX5F2 PX4F2					
	Read/Write		W					
	システム リセット後		0		0			
	機能		X1D4 出カクロック選択 00: X1 端子×1/8 01: X1 端子×1/4 10: X1 端子×1/2 11: X1 端子×1/1					

ポート X ドライブレジスタ

	7	6	5	4	3	2	1	0
PXDR (009FH)	bit Symbol		PXD5 PXD4					
	Read/Write		R/W					
	システム リセット後		1		1			
	機能		スタンバイモード用 入出力バッファ ドライブレジスタ					

注 1) PXCR, PXFC, PXFC2 はリードモディファイライトできません。

注 2) PX4 を CLKOUT 出力端子として使用する場合、必ず PX<PX4>を"0"に設定してください。詳細は下記 PX4 設定表を参照してください。

注 3) PX5 を X1D4 端子として使用する場合、必ず PX<PX5>を"1"に設定してください。詳細は下記 PX5 設定表を参照してください。

PX4 設定

	<PX4>	0	1
<PX4F>	0	出力ポート	
	1	CLKOUT 出力	設定禁止

PX5 設定

	<PX5C>	0	1
<PX5F>	0	入力ポート	出力ポート
	1	X1USB 入力	X1D4 出力 at <PX5>= "1"

図 3.7.58 ポート X レジスタ

3.8 メモリコントローラ

3.8.1 機能概要

メモリコントローラは、任意の4つのブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 4ブロックのアドレス空間をサポート

外部エリア内に設定する4つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます (block0~3)。

- * SRAM あるいは ROM : 全 CS-ブロック (CS0 ~ CS3) 対応。
- * SDRAM : CS1 あるいは CS2-ブロックのどちらかのみ対応。
- * Page-ROM : CS2 ブロックのみ対応。
- * NAND-Flash : CS 設定は不要ですが、使用する際は BROMCR<CSDIS> を“1”に設定して、外部エリアとし他の CS メモリとの衝突を避けるように設定してください。

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、SRAM、ROM、SDRAM を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、8/16/32 ビットが選択できます。ただし、SDRAM、NANDF は 16 ビットまでの対応です。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと $\overline{\text{WAIT}}$ 入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す 15 のモードがあります。

0~10 ウェイト, 12 ウェイト, 16 ウェイト, 20 ウェイト, 4+N ウェイト (WAIT 端子による制御)

3.8.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

(1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のようなものがあります。

- **コントロールレジスタ : BnCSH/BnCSL(n=0~3,EX)**
接続するメモリの種類やリード、ライトのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- **メモリストार्टアドレスレジスタ : MSARn(n=0~3)**
選択したブロックアドレス空間のスタートアドレスを設定します。
メモリアドレスマスクレジスタ MAMRn(n=0~3)
選択したブロックアドレス空間のブロックサイズを設定します
- **ページ ROM コントロールレジスタ: PMEMCR**
Page-ROM アクセス方法を設定します。
- **コントロール信号タイミング調整レジスタ: CSTMGCR, WRTMGCR, RDTMGCRn**
コントロール信号の立ち上がり/立ち下がりタイミングの調整をします。

Not Recommended for New Designs

表 3.8.1 コントロールレジスタ

		7	6	5	4	3	2	1	0
B0CSL (0140H)	Bit symbol	B0WW3	B0WW2	B0WW1	B0WW0	B0WR3	B0WR2	B0WR1	B0WR0
	Read/Write	R/W							
	リセット後	0	0	1	0	0	0	1	0
B0CSH (0141H)	Bit Symbol	B0E			B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
MAMR0 (0142H)	Bit Symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR0 (0143H)	Bit Symbol	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B1CSL (0144H)	Bit symbol	B1WW3	B1WW2	B1WW1	B1WW0	B1WR3	B1WR2	B1WR1	B1WR0
	Read/Write	R/W							
	リセット後	0	0	1	0	0	0	1	0
B1CSH (0145H)	Bit Symbol	B1E			B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
MAMR1 (0146H)	Bit Symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR1 (0147H)	Bit Symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B2CSL (0148H)	Bit symbol	B2WW3	B2WW2	B2WW1	B2WW0	B2WR3	B2WR2	B2WR1	B2WR0
	Read/Write	R/W							
	リセット後	0	0	1	0	0	0	1	0
B2CSH (0149H)	Bit Symbol	B2E	B2M		B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
	Read/Write	R/W			R/W				
	リセット後	1	0		0	0	0	0	1
MAMR2 (014AH)	Bit Symbol	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR2 (014BH)	Bit Symbol	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B3CSL (014CH)	Bit symbol	B3WW3	B3WW2	B3WW1	B3WW0	B3WR3	B3WR2	B3WR1	B3WR0
	Read/Write	R/W							
	リセット後	0	0	1	0	0	0	1	0
B3CSH (014DH)	Bit Symbol	B3E			B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
MAMR3 (014EH)	Bit Symbol	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR3 (014FH)	Bit Symbol	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

表 3.8.2コントロールレジスタ

	7	6	5	4	3	2	1	0		
BEXCSL (0158H)	Bit Symbol	BEXWW3	BEXWW2	BEXWW1	BEXWW0	BEXWR3	BEXWR2	BEXWR1	BEXWR0	
	Read/Write	R/W								
	リセット後	0	0	1	0	0	0	1	0	
BEXCSH (0159H)	Bit Symbol				BEXREC	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0	
	Read/Write				R/W					
	リセット後				0	0	0	0	0	
PMECHR (0166H)	Bit Symbol				OPGE	OPWR1	OPWR0	PR1	PR0	
	Read/Write				R/W					
	リセット後				0	0	0	1	0	
CSTMGCR (0168H)	Bit Symbol			TACSEL1	TACSEL0			TAC1	TAC0	
	Read/Write			R/W				R/W		
	リセット後			0	0			0	0	
WRTMGCR (0169H)	Bit Symbol			TCWSEL1	TCWSEL0	TCWS1	TCWS0	TCWH1	TCWH0	
	Read/Write			R/W						
	リセット後			0	0	0	0	0	0	
RDTMGCR0 (016AH)	Bit Symbol	B1TCRS1	B1TCRS0	B1TCRH1	B1TCRH0	B0TCRS1	B0TCRS0	B0TCRH1	B0TCRH0	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
RDTMGCR1 (016BH)	Bit Symbol	B3TCRS1	B3TCRS0	B3TCRH1	B3TCRH0	B2TCRS1	B2TCRS0	B2TCRH1	B2TCRH0	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
BROMCR (016CH)	Bit Symbol					CSDIS	ROMLESS	VACE		
	Read/Write					R/W				
	リセット後					1	1	0		
RAMCR (016DH)	Bit Symbol								–	
	Read/Write								R/W	
	リセット後								“1”を ライト してくだ さい。	

(2) リセット解除後の動作

リセット解除後には、AM1/AM0 端子の状態に従い起動データバス幅が決定され外部メモリをアクセスします。具体的には下記ようになります。

AM1	AM0	スタートモード
0	0	使用禁止
0	1	16ビットデータバスで起動(注)
1	0	32ビットデータバスで起動(注)
1	1	使用禁止

注) リセット後起動することに使用されるメモリは NOR-Flash, Masked-ROM のどちらかです。NAND-Flash および SDRAM は使用できません。

AM1/AM0 端子は、リセット解除時のみ有効です。それ以外では、データバス幅はコントロールレジスタの<BnBUS1:0>に設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ(B2CSH/B2CSL)のみが、自動的に有効になります(リセットにより B2CSH<B2E> は“1” に設定されます)。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅が、ロードされます。また、リセット後、ブロックアドレス空間はアドレス 000000H~FFFFFFH に設定されています(B2CSH<B2M> は“0”にリセットされます)。

リセット解除後、MSARn と MAMRn で、ブロックアドレス空間の指定を行い、BnCS を設定します。設定を有効にするために、BnCSH<BnE>を“1”にセットしてください。

3.8.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

(1) ブロックアドレス空間の指定

CS0~CS3 空間の設定は、MSAR0~MSAR3 と、MAMR0~MAMR3 により行います。

(a) メモリスタートアドレスレジスタ

図 3.8.1 にメモリスタートアドレスレジスタを示します。MSAR0~MSAR3 は、CS0~CS3 空間のスタートアドレスを設定するレジスタです。<S23:16>にはスタートアドレスの上位 8 ビット (A23~A16) を設定します。また、スタートアドレスの下位 16 ビット (A15~A0) は“0”固定になっています。従ってスタートアドレスは、000000H~FF0000H まで 64 K バイトごとの値になります。図 3.8.2 にスタートアドレスとスタートアドレスレジスタ値の関係を示します。

		7	6	5	4	3	2	1	0	
MSAR0 / (0143H)	MSAR1 (0147H)	Bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
		Read/Write	R/W							
MSAR2 / (014BH)	MSAR3 (014FH)	リセット後	1	1	1	1	1	1	1	1
		機能	スタートアドレス A23~A16 設定							

CS0~CS3 空間のスタートアドレス設定

図 3.8.1 メモリスタートアドレスレジスタ

アドレス	スタートアドレス	スタートアドレスレジスタ値 (MSAR0~MSAR3)
000000H	←	000000H 00H
	←	010000H 01H
	←	020000H 02H
	←	030000H 03H
	←	040000H 04H
	←	050000H 05H
	←	060000H 06H
	←	⋮
	←	FF0000H FFH
FFFFFFH		

64K バイト

図 3.8.2 スタートアドレスとスタートアドレスレジスタ値の関係

(b) メモリアドレスマスクレジスタの設定

図 3.8.3 にメモリアドレスマスクレジスタを示します。MAMR0~MAMR3 は、MSAR0~MSAR3 で設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0~CS3 空間サイズを設定しています。“0” をライトしたビットに対応するアドレスが、CS0~CS3 空間の領域かどうかの比較対象となります。上位のビットについては、かならず比較されます。

また CS0~CS3 空間は、それぞれ MAMR0~MAMR3 によってマスクできるアドレスビットが異なります。

CS0 : A20~A8

CS1 : A21~A8

CS2,CS3 : A22~15

従って設定できる空間サイズも異なります。

注) リセット解除後は、CS2 の制御レジスタのみが有効になっています。CS2 には特別に B2CSH<B2M>があり、このビットを“0”にすると、CS2 は 000000H~FFFFFFH に設定されます。リセット解除後はこの状態に設定されています。この B2CSH<B2M>を“1”に設定すると、他のブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

メモリアドレスマスクレジスタ (CS0 空間)

		7	6	5	4	3	2	1	0
MAMR0 (0142H)	Bit symbol	V20	V19	V18	V17	V16	V15	V14~9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS0 空間サイズ設定 0: アドレス比較対象							

CS0 空間は最小 256 バイトエリアから、最大 2 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1 空間)

		7	6	5	4	3	2	1	0
MAMR1 (0146H)	Bit symbol	V21	V20	V19	V18	V17	V16	V15~9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS1 空間サイズ設定 0: アドレス比較対象							

CS1 空間は最小 256 バイトエリアから、最大 4 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3 空間)

		7	6	5	4	3	2	1	0
MAMR2 / MSAR3 (014AH) / (014FH)	Bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS2, CS3 空間サイズ設定 0: アドレス比較対象							

CS2 および CS3 空間は、最小 32K バイトから、最大 8 M バイトエリアを設定できます。

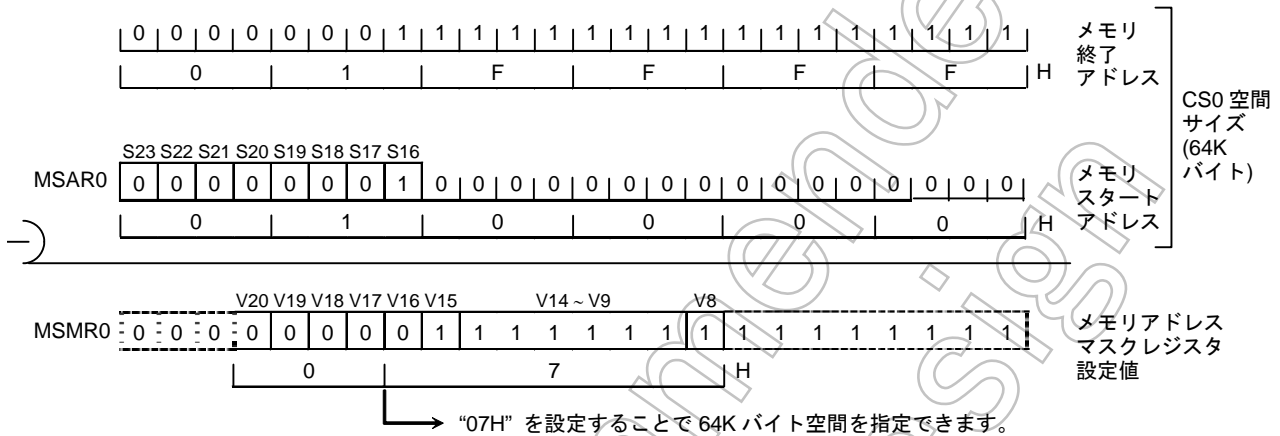
図 3.8.3 メモリアドレスマスクレジスタ

(c) メモリスタートアドレス、アドレス空間の設定方法

CS0 空間を用いて、010000H から始まる 64K バイトの空間を指定する場合を例として説明します。

MSAR0<S23:16>に、スタートアドレスの上位 8 ビットに相当する“01H”を設定します。次に、終了アドレス (01FFFFH) と、スタートアドレスとの差を計算により求めます。この結果のビット 20~8 は、CS0 空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタ MAMR0<V20:8>に設定することで、空間サイズを設定できます。

この例では、MAMR0 に“07H”を設定し、64K バイト空間を指定しています。



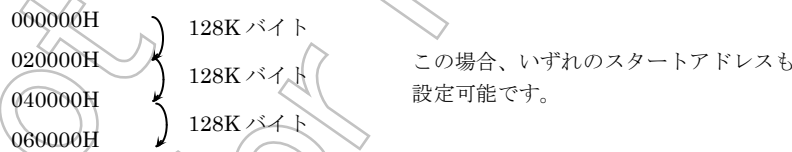
(d) アドレス空間サイズ指定

表 3.8.3 に、CS 空間と空間サイズの関係を示します。△は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。△で示す組み合わせを用いて空間サイズを設定する場合、000000H から希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2 空間を 16M バイト空間に設定、または、2 つ以上のアドレス空間を重ねて設定した場合には、CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間を 128K バイトエリアに設定する場合

① 設定できるスタートアドレス



② 設定できないスタートアドレス

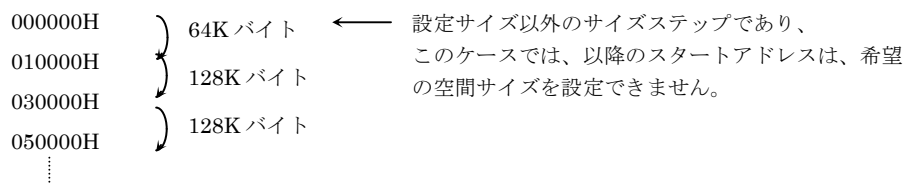


表 3.8.3 CS 空間と空間サイズ

サイズ (バイト) CS 空間	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	△	△	△	△	△		
CS1	○	○		○	△	△	△	△	△	△	
CS2			○	○	△	△	△	△	△	△	△
CS3			○	○	△	△	△	△	△	△	△

注) △は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを示しています。

(e) ブロックアドレス空間の優先順位

設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0>1>2>3

(f) CS0~CS3 空間外バス幅ウェイトコントロール

BEXCSL, BEXCSH は、任意の 4 ブロックアドレス空間 (CS0~CS3 空間) 外のアドレス空間 (CSEX 空間) がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定は CS0~CS3 空間外のエリアに対して、常にイネーブルです。

(2) 接続メモリの指定

BnCSH<BnOM1:0>を設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は、次のように行います。

BnCSH<BnOM1:0>

BnOM1	BnOM0	機能
0	0	SRAM/ROM (デフォルト)
0	1	(Reserved)
1	0	(Reserved)
1	1	SDRAM

注) SDRAMはCS1もしくはCS2のみで設定が可能です。

(3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することが出来ます。バス幅の設定はBnCSH<BnBUS1:0>で、以下のように行います。

BnCSH <BnBUS1:0>

BnBUS1	BnBUS0	機能
0	0	8ビットバスモード (デフォルト)
0	1	16ビットバスモード
1	0	32ビットバスモード
1	1	使用禁止

注) SDRAMは"01" (16ビットバス)に設定する必要があります。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データが、データバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

注) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを1命令で実行しないでください。データの正常なリード/ライトが行われない場合があります。

データサイズ (ビット)	スタートアドレス	メモリデータバス幅 (ビット)	CPU アドレス	CPU データ			
				D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
8	4n + 0	8/16/32	4n + 0	xxxxx	xxxxx	xxxxx	b7 ~ b0
	4n + 1	8	4n + 1	xxxxx	xxxxx	xxxxx	b7 ~ b0
		16/32	4n + 1	xxxxx	xxxxx	xxxxx	xxxxx
	4n + 2	8/16	4n + 2	xxxxx	xxxxx	xxxxx	b7 ~ b0
		32	4n + 2	xxxxx	b7 ~ b0	xxxxx	xxxxx
	4n + 3	8	4n + 3	xxxxx	xxxxx	xxxxx	b7 ~ b0
16		4n + 3	xxxxx	xxxxx	b7 ~ b0	xxxxx	
32		4n + 3	b7 ~ b0	xxxxx	xxxxx	xxxxx	
16	4n + 0	8	(1) 4n + 0	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 ~ b8
		16/32	4n + 0	xxxxx	xxxxx	b15 ~ b8	b7 ~ b0
	4n + 1	8	(1) 4n + 1	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 2	xxxxx	xxxxx	xxxxx	b15 ~ b8
		16	(1) 4n + 1	xxxxx	xxxxx	b7 ~ b0	xxxxx
		(2) 4n + 2	xxxxx	xxxxx	xxxxx	b15 ~ b8	
	4n + 2	8	(1) 4n + 2	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 ~ b8
		16	4n + 2	xxxxx	xxxxx	b15 ~ b8	b7 ~ b0
		32	4n + 2	b15 ~ b8	b7 ~ b0	xxxxx	xxxxx
	4n + 3	8	(1) 4n + 3	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 ~ b8
		16	(1) 4n + 3	xxxxx	xxxxx	b7 ~ b0	xxxxx
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 ~ b8
		32	(1) 4n + 3	b7 ~ b0	xxxxx	xxxxx	xxxxx
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 ~ b8
	32	4n + 0	8	(1) 4n + 0	xxxxx	xxxxx	xxxxx
(2) 4n + 1				xxxxx	xxxxx	xxxxx	b15 ~ b8
			(3) 4n + 2	xxxxx	xxxxx	xxxxx	b23 ~ b16
			(4) 4n + 3	xxxxx	xxxxx	xxxxx	b31 ~ b24
16			(1) 4n + 0	xxxxx	xxxxx	b15 ~ b8	b7 ~ b0
			(2) 4n + 2	xxxxx	xxxxx	b31 ~ b24	b23 ~ b16
4n + 1		8	(1) 4n + 0	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 ~ b8
			(3) 4n + 2	xxxxx	xxxxx	xxxxx	b23 ~ b16
			(4) 4n + 3	xxxxx	xxxxx	xxxxx	b31 ~ b24
		16	(1) 4n + 1	xxxxx	xxxxx	b7 ~ b0	xxxxx
			(2) 4n + 2	xxxxx	xxxxx	b23 ~ b16	b15 ~ b8
		(3) 4n + 4	xxxxx	xxxxx	xxxxx	b31 ~ b24	
4n + 2		8	(1) 4n + 1	b23 ~ b16	b15 ~ b8	b7 ~ b0	xxxxx
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b31 ~ b24
		16	(1) 4n + 2	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 3	xxxxx	xxxxx	xxxxx	b15 ~ b8
			(3) 4n + 4	xxxxx	xxxxx	xxxxx	b23 ~ b16
			(4) 4n + 5	xxxxx	xxxxx	xxxxx	b31 ~ b24
4n + 3		8	(1) 4n + 2	xxxxx	xxxxx	b15 ~ b8	b7 ~ b0
			(2) 4n + 4	xxxxx	xxxxx	b31 ~ b24	b23 ~ b16
		16	(1) 4n + 2	xxxxx	xxxxx	xxxxx	b7 ~ b0
			(2) 4n + 4	xxxxx	xxxxx	b31 ~ b24	b23 ~ b16
		32	(1) 4n + 2	b15 ~ b8	b7 ~ b0	xxxxx	xxxxx
	(2) 4n + 4		xxxxx	xxxxx	b31 ~ b24	b23 ~ b16	
4n + 3	8	(1) 4n + 3	xxxxx	xxxxx	xxxxx	b7 ~ b0	
		(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 ~ b8	
		(3) 4n + 5	xxxxx	xxxxx	xxxxx	b23 ~ b16	
		(4) 4n + 6	xxxxx	xxxxx	xxxxx	b31 ~ b24	
	16	(1) 4n + 3	xxxxx	xxxxx	b7 ~ b0	xxxxx	
		(2) 4n + 4	xxxxx	xxxxx	b23 ~ b16	b15 ~ b8	
		(3) 4n + 6	xxxxx	xxxxx	xxxxx	b31 ~ b24	
		(2) 4n + 4	xxxxx	xxxxx	b7 ~ b0	xxxxx	
	32	(1) 4n + 3	b7 ~ b0	xxxxx	xxxxx	xxxxx	
		(2) 4n + 4	xxxxx	b31 ~ b24	b23 ~ b16	b15 ~ b8	

xxxxx: リード時はそのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、ノンアクティブのままであることを示します。

(4) ウェイトの制御

外部バスサイクルは、最小 2 ステート(25ns @ f_{sys} = 80MHz)で完了します。BnCSL<BnWW3:0>を設定することにより、ライトサイクルのウェイト数を、BnCSL<BnWR3:0>を設定することにより、リードサイクルのウェイト数を指定することができます。設定は次のように行います。

BnCSL <BnWW>/<BnWR>

<BnWW3> <BnWR3>	<BnWW2> <BnWR2>	<BnWW1> <BnWR1>	<BnWW0> <BnWR0>	機能
0	0	0	1	2ステート(0ウェイト)アクセス固定モード
0	0	1	0	3ステート(1ウェイト)アクセス固定モード(デフォルト)
0	1	0	1	4ステート(2ウェイト)アクセス固定モード
0	1	1	0	5ステート(3ウェイト)アクセス固定モード
0	1	1	1	6ステート(4ウェイト)アクセス固定モード
1	0	0	0	7ステート(5ウェイト)アクセス固定モード
1	0	0	1	8ステート(6ウェイト)アクセス固定モード
1	0	1	0	9ステート(7ウェイト)アクセス固定モード
1	0	1	1	10ステート(8ウェイト)アクセス固定モード
1	1	0	0	11ステート(9ウェイト)アクセス固定モード
1	1	0	1	12ステート(10ウェイト)アクセス固定モード
1	1	1	0	14ステート(12ウェイト)アクセス固定モード
1	1	1	1	18ステート(16ウェイト)アクセス固定モード
0	1	0	0	22ステート(20ウェイト)アクセス固定モード
0	0	1	1	6ステート+ $\overline{\text{WAIT}}$ 端子入力モード
上記以外				Reserved

注 1) SDRAM には上記の設定は無効です。「SDRAM コントローラ」を参照してください。

注 2) NAND-Flash には上記の設定は無効です。

(a) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート(0ウェイト)~12 ステート(10ウェイト)、14 ステート(12ウェイト)、18 ステート(16ウェイト)、22 ステート(20ウェイト)を選択できます。

(b) $\overline{\text{WAIT}}$ 端子入力モード

$\overline{\text{WAIT}}$ 入力端子をサンプリングし、信号がアクティブの間ウェイトを挿入しつづけます。このモードでは、最小のバスサイクルが 6 ステートとなります。6 ステート目に、ウェイト信号がノンアクティブ("H"レベル)であれば、そこでバスサイクルは完了します。6 ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

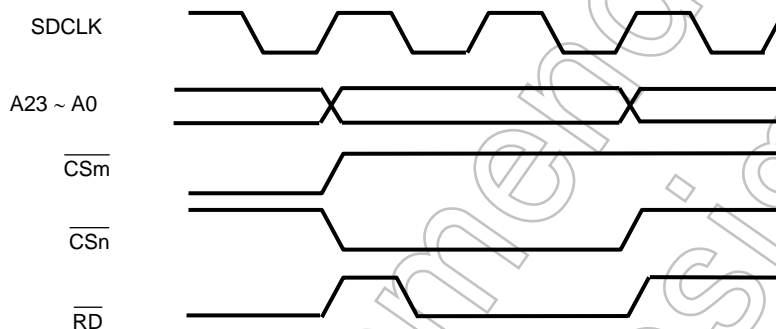
(5) リカバリ (データホールド) サイクル制御

メモリによってはリードサイクル用 \overline{CE} あるいは \overline{OE} からのデータホールド時間について A.C スペックが定義されており、その場合データ衝突の問題が想定されます。この問題を避けるために、1つのダミーサイクルを $BmCSH < BmREC >$ に“1”を設定することによって CSm ブロックアクセスサイクル後に挿入することが出来ます。この1ダミーサイクルはサイクルがほかの CS ブロックのとき挿入されます。

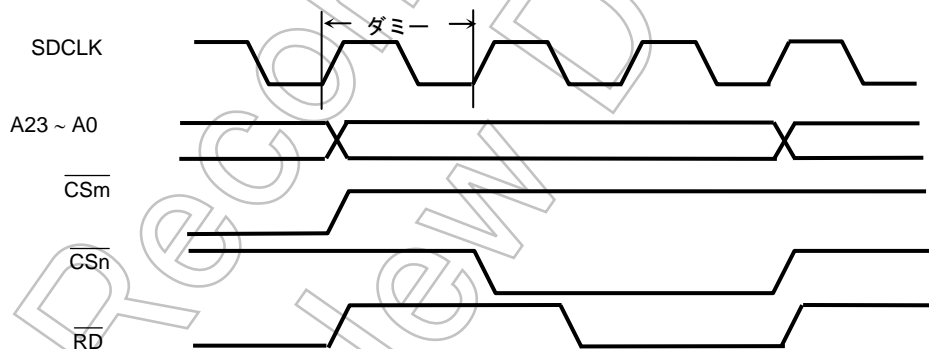
$BnCSH < BnREC >$

0	ダミーサイクルを挿入しない(デフォルト)
1	ダミーサイクルを挿入

- ダミーサイクルを挿入しないとき(0 ウェイト)



- ダミーサイクルを挿入するとき(0 ウェイト)



(6) コントロール信号タイミング調整機能

本機能により \overline{CSn} , \overline{CSZx} , \overline{CSXx} , R/\overline{W} , \overline{RD} , \overline{WRxx} , \overline{SRWR} , \overline{SRxxB} 信号の立ち上がり/立ち下がりタイミングを変更することができ、メモリのセットアップ/ホールド時間に合わせて調整することができます。

\overline{CSn} , \overline{CSZx} , \overline{CSXx} , R/\overline{W} および \overline{WRxx} , \overline{SRWR} , \overline{SRxxB} (ライトサイクル時)については、一つの CS エリアに対してのみ変更可能です。 \overline{RD} , \overline{SRxxB} (リードサイクル時)については、全 CS エリアに対し個別に変更が可能です。本機能未使用の CS エリアおよび EX エリアについては、基準バスタイミングにて動作します。(7)を参照してください。)本機能は $BnCSH<BnREC>$ との併用はできません。

なお、SDRAM 用コントロール信号については SDRAM コントローラの設定にて調整が可能です。

CSTMGCR<TxxSEL1:0>, WRTMGCR<TxxSEL1:0>

00	CS0 エリアのタイミングを変更
01	CS1 エリアのタイミングを変更
10	CS2 エリアのタイミングを変更
11	CS3 エリアのタイミングを変更

CSTMGCR<TAC1:0>

00	TAC = $0 \times 1/f_{SYS}$ (デフォルト)
01	TAC = $1 \times 1/f_{SYS}$
10	TAC = $2 \times 1/f_{SYS}$
11	Reserved

TAC: A23-0 to CSn, CSZx, CSXx, R/W デレイ

WRTMGCR<TCWS/H1:0>

00	TCWS/H = $0.5 \times 1/f_{SYS}$ (デフォルト)
01	TCWS/H = $1.5 \times 1/f_{SYS}$
10	TCWS/H = $2.5 \times 1/f_{SYS}$
11	TCWS/H = $3.5 \times 1/f_{SYS}$

TCWS: CSn to WRxx, SRWR, SRxxB デレイ

TCWH: WRxx, SRWR, SRxxB to CSn デレイ

RDTMGCR0/1<BnTCRH1:0>

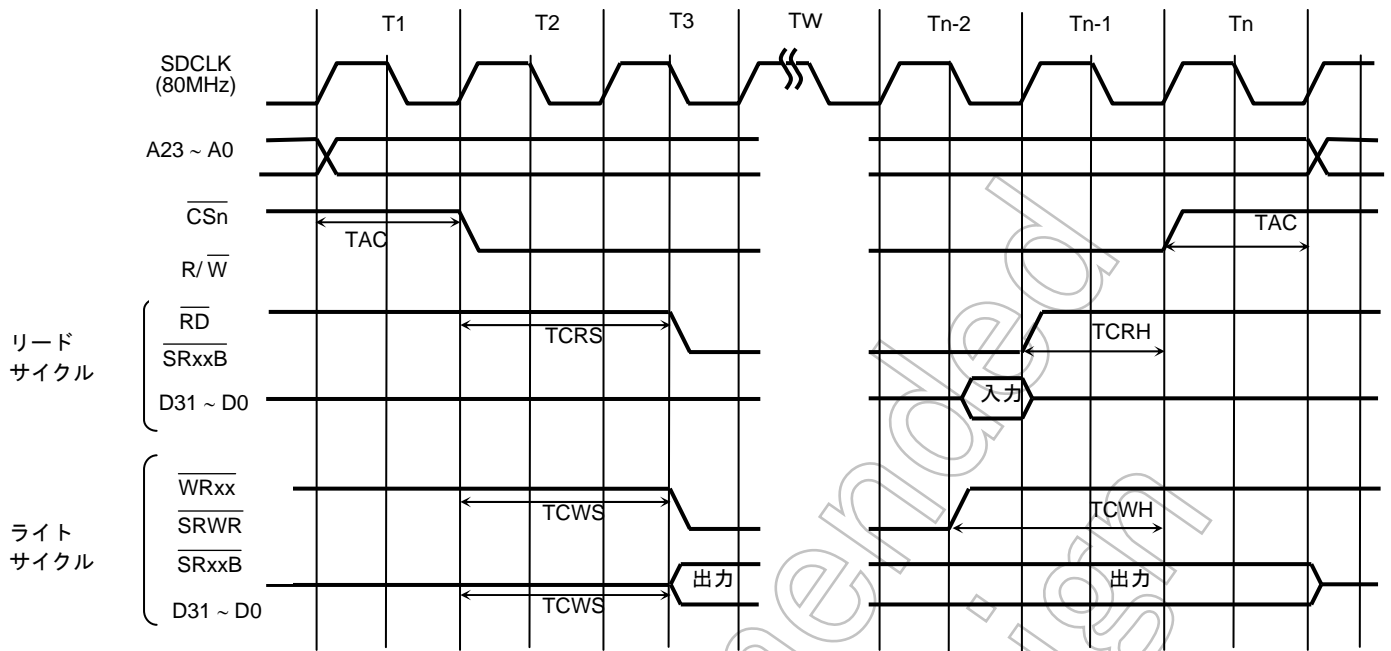
00	TCRH = $0 \times 1/f_{SYS}$ (デフォルト)
01	TCRH = $1 \times 1/f_{SYS}$
10	TCRH = $2 \times 1/f_{SYS}$
11	TCRH = $3 \times 1/f_{SYS}$

TCRH: RD, SRxxB to CSn デレイ

RDTMGCR0/1<BnTCRS1:0>

00	TCRS = $0.5 \times 1/f_{SYS}$ (デフォルト)
01	TCRS = $1.5 \times 1/f_{SYS}$
10	TCRS = $2.5 \times 1/f_{SYS}$
11	TCRS = $3.5 \times 1/f_{SYS}$

TCRS: CSn to RD, SRxxB デレイ



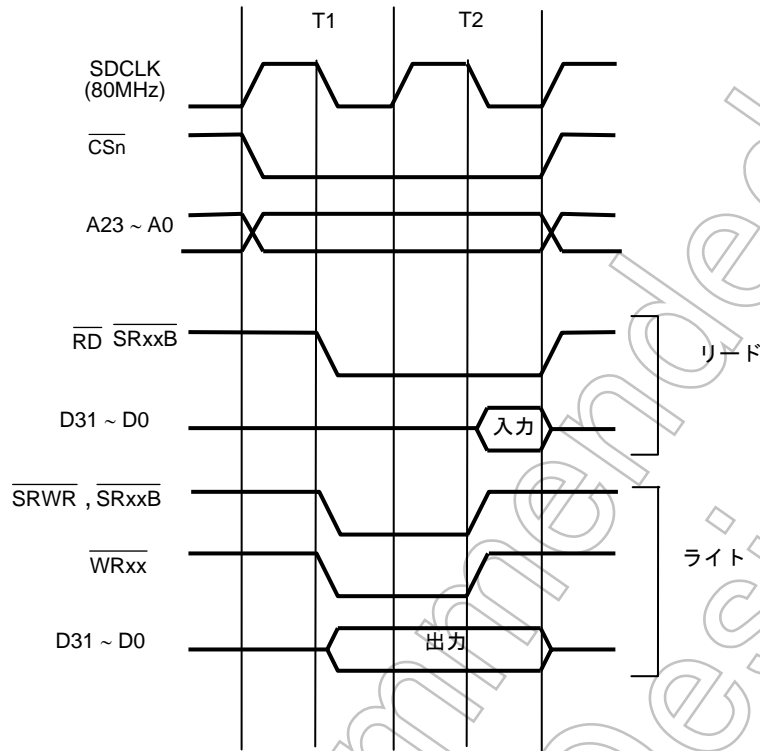
注 1) BnCSL レジスタの設定に従い TW サイクルが挿入されます。0-Wait に設定した場合 TW サイクルは挿入されません。

注 2) 上記は 32 ビットバスアクセスの場合を示しています。

Not Recommended for New Design

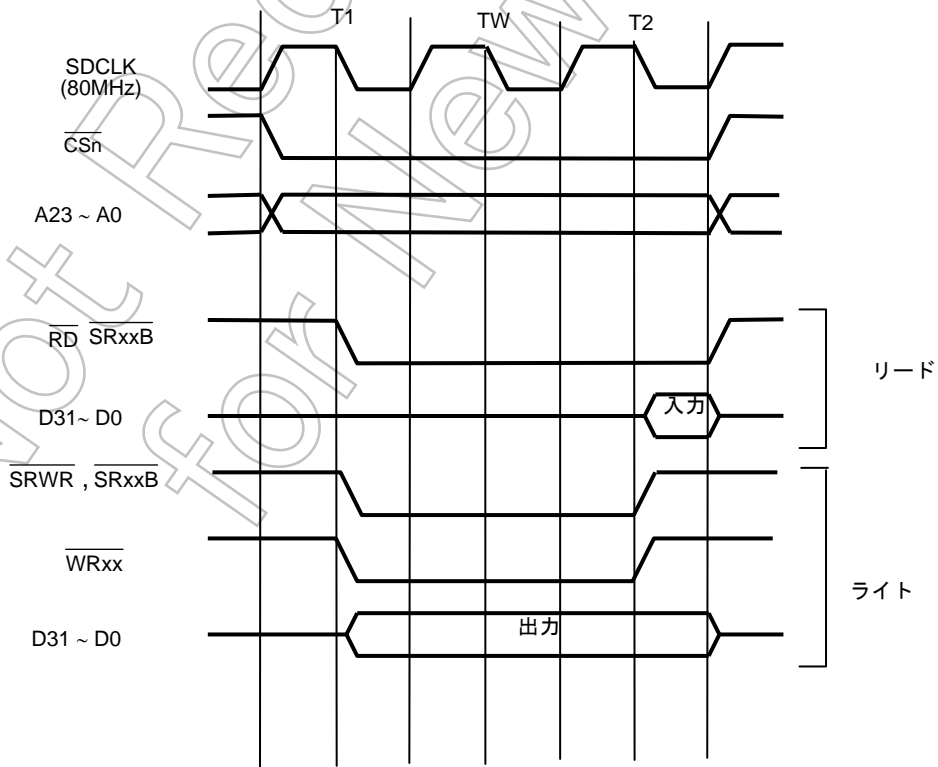
(7) 基準バスタイミング

(a) 外部リード/ライトバスサイクル(0 ウェイト)



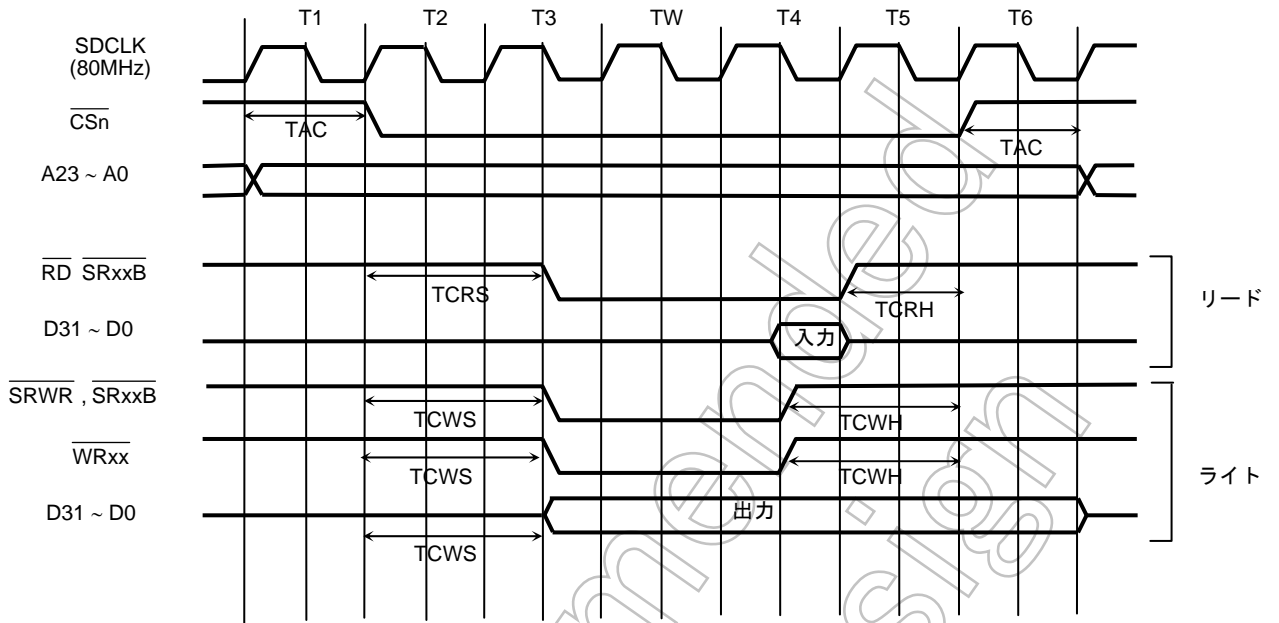
注) 上記は 32 ビットバスアクセスの場合を示しています。

(b) 外部リード/ライトバスサイクル(1 ウェイト)



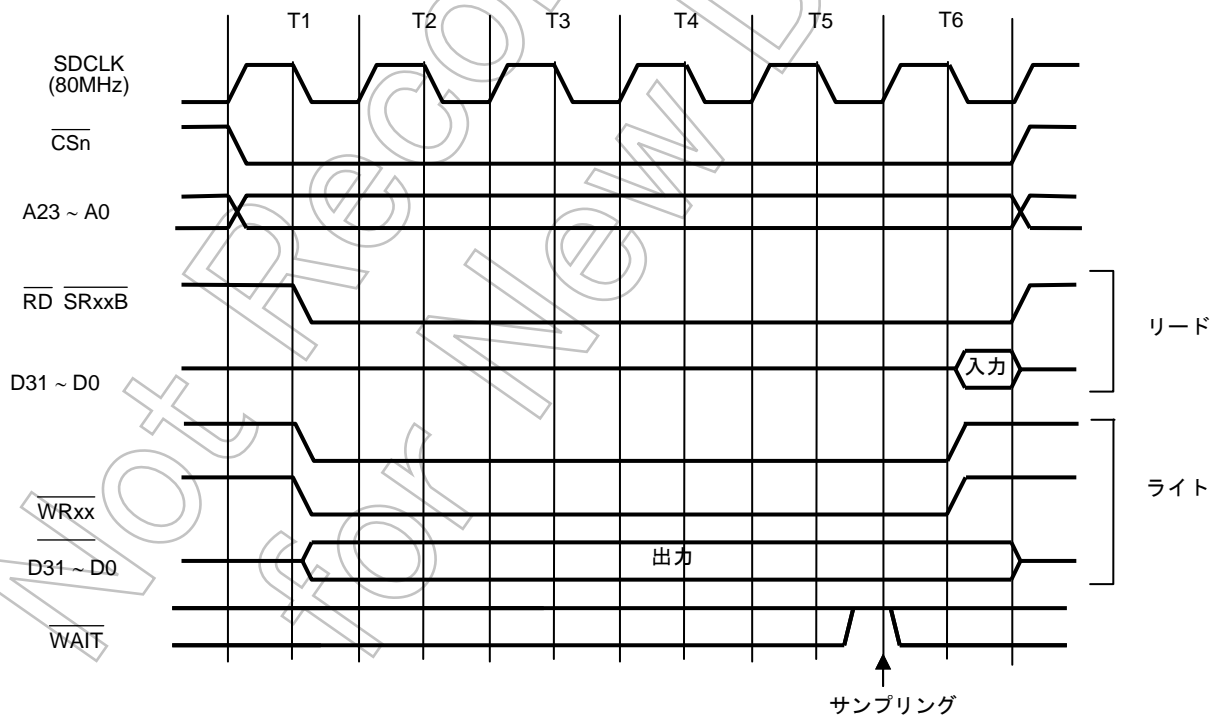
注) 上記は 32 ビットバスアクセスの場合を示しています。

(c) 外部リードバスサイクル(1 ウェイト + $TAC:1 \times 1/f_{SYS}$ + $TCRS:1.5 \times 1/f_{SYS}$ + $TCRH:1 \times 1/f_{SYS}$)
 外部ライトバスサイクル(1 ウェイト + $TAC:1 \times 1/f_{SYS}$ + $TCWS/H:1.5 \times 1/f_{SYS}$)



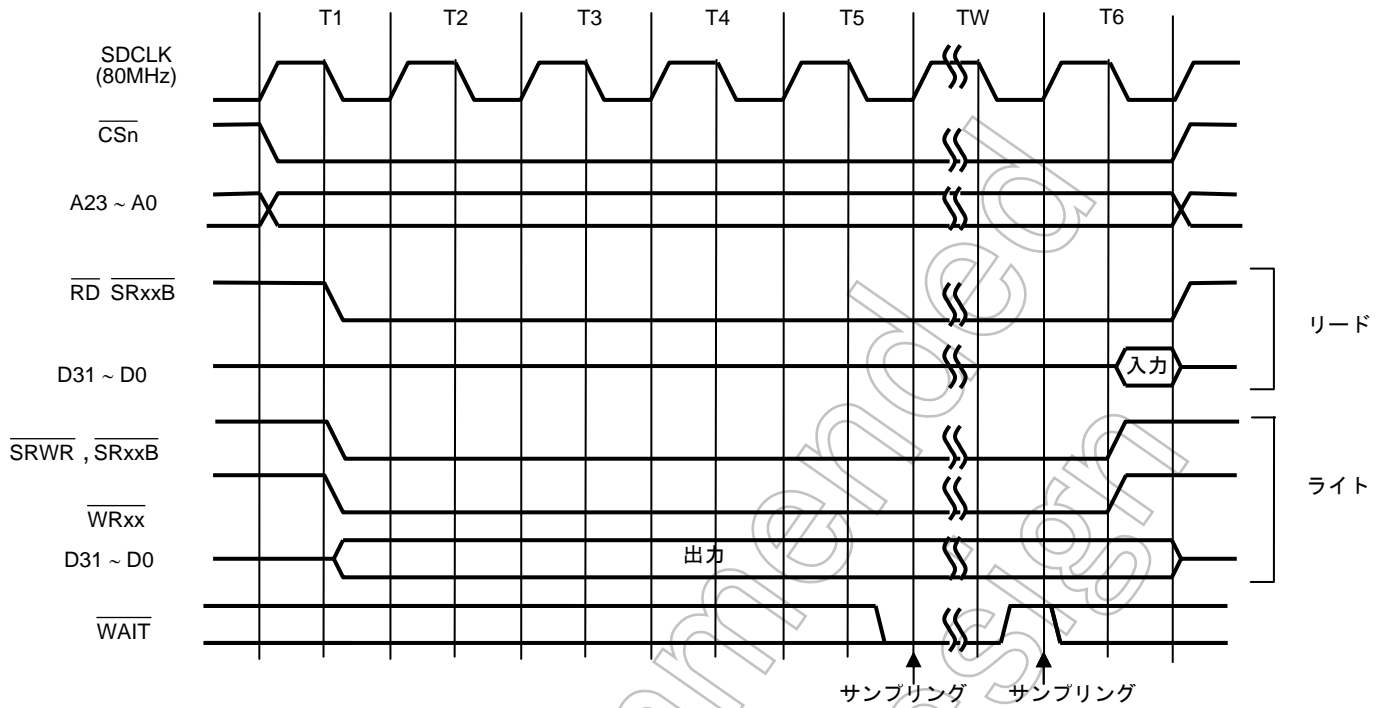
注) 上記は 32 ビットバスアクセスの場合を示しています。

(d) 外部リード/ライトバスサイクル(4 ウェイト + \overline{WAIT} 端子入力モード)



注) 上記は 32 ビットバスアクセスの場合を示しています。

(e) 外部リード/ライトバスサイクル(4 ウェイト + $\overline{\text{WAIT}}$ 端子入力モード)



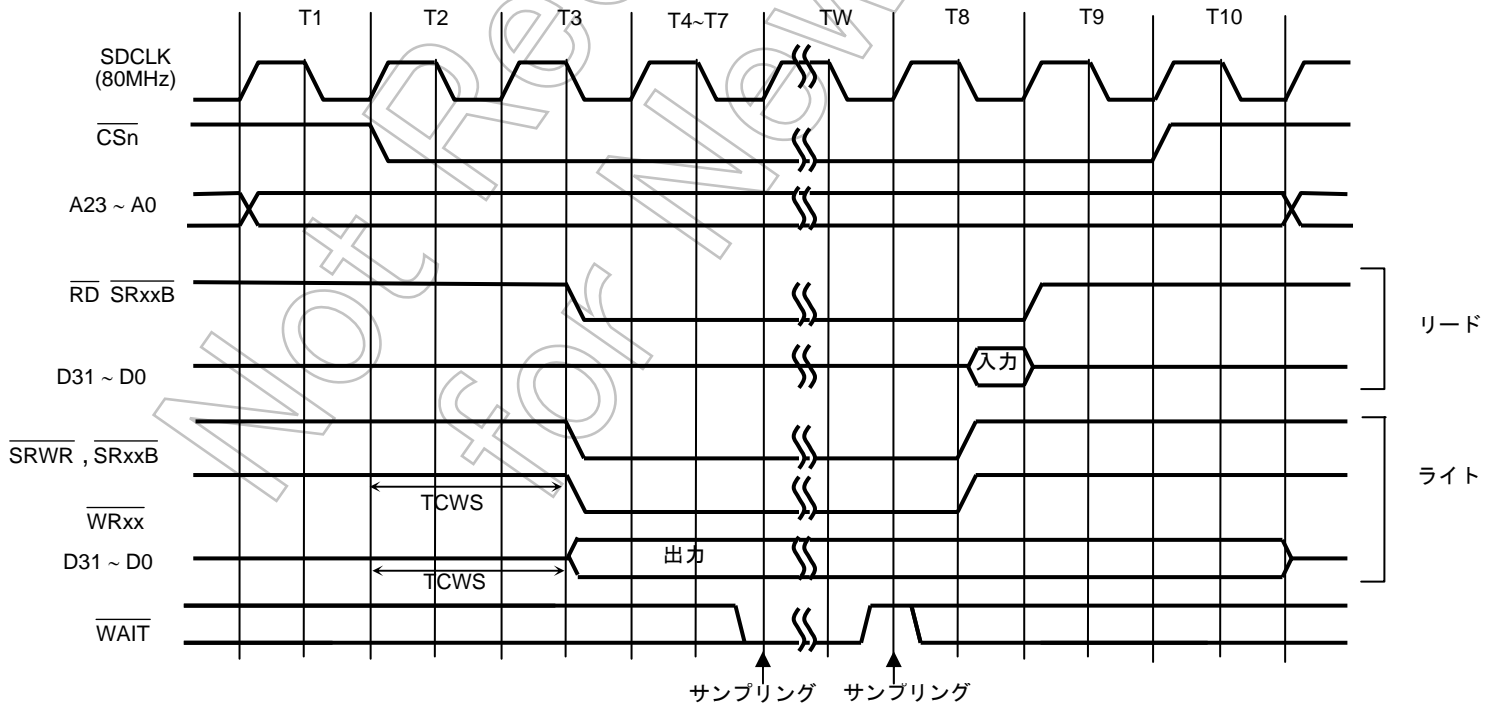
注) 上記は 32 ビットバスアクセスの場合を示しています。

(f) 外部リードバスサイクル

(4 ウェイト + $\overline{\text{WAIT}}$ 端子入力モード + $\text{TAC}:1 \times 1/f_{\text{sys}}$ + $\text{TCRS}:1.5 \times 1/f_{\text{sys}}$ + $\text{TCRH}:1 \times 1/f_{\text{sys}}$)

外部ライトバスサイクル

(4 ウェイト + $\overline{\text{WAIT}}$ 端子入力モード + $\text{TAC}:1 \times 1/f_{\text{sys}}$ + $\text{TCWS}/\text{H}:1.5 \times 1/f_{\text{sys}}$)



注) 上記は 32 ビットバスアクセスの場合を示しています。

(8) 外部メモリ接続

図 3.8.4 は外部 16 ビットSRAM、16 ビットNOR-FlashとTMP92CF30 の接続方法の接続例を示しています。

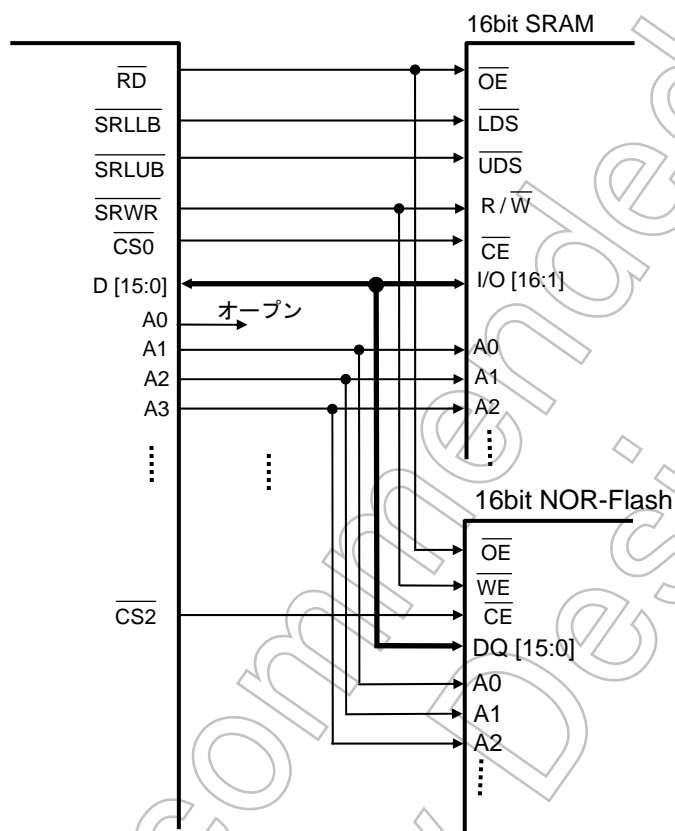


図 3.8.4 外部 16 ビット SRAM、NOR-Flash 接続例

3.8.4 ROMのページモードアクセス制御

ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。設定は PMEMCR レジスタで行います。

(1) 動作とレジスタの設定方法

ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、CS2 のみです。ROM のページモードの設定は、PMEMCR で行います。

PMEMCR<OPGE>を“1”に設定すると、CS2 のメモリアクセスは、ページモードアクセスになります。PMEMCR<OPWR1:0>でリードサイクル数の設定を行います。

PMEMCR<OPWR1/OPWR0>

OPWR1	OPWR0	ページのサイクル数
0	0	1 ステート (n-1-1-1 モード) ($n \geq 2$)
0	1	2 ステート (n-2-2-2 モード) ($n \geq 3$)
1	0	3 ステート (n-3-3-3 モード) ($n \geq 4$)
1	1	4 ステート (n-4-4-4 モード) ($n \geq 5$)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定して下さい。

PMEMCR<PR1:0>には、CPU 側から見た ROM のページサイズ(バイト数)を設定します。設定されたページの境界までデータがリードされると、メモリコントローラは、一連のページリード動作を終了させ、次のページの先頭データのリードはノーマルサイクルで行い、その次より再びページリードを続けます。

PMEMCR <PR1/PR0>

PR1	PR0	ROM ページ サイズ
0	0	64 バイト
0	1	32 バイト
1	0	16 バイト (デフォルト)
1	1	8 バイト

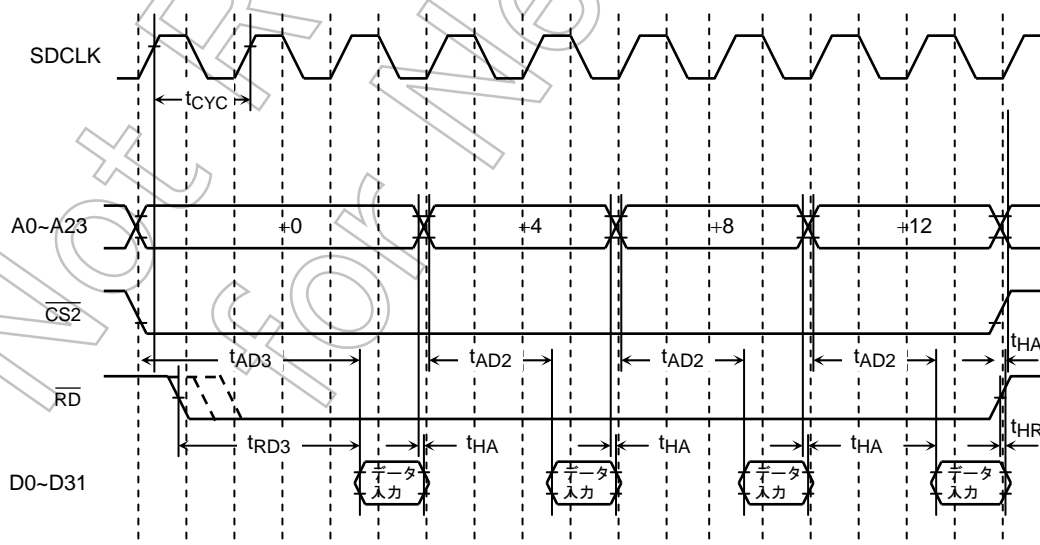


図 3.8.5 タイミングパルス図 (16 バイト設定例)

3.8.5 注意事項

(1) \overline{CS} と \overline{RD} の間のタイミングの注意点

\overline{RD} (リード信号)の負荷容量が \overline{CS} (チップセレクト信号)の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.8.6の(a)のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

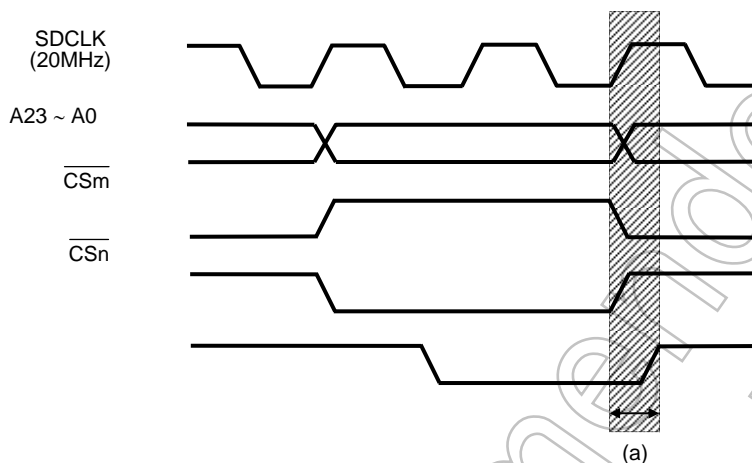


図 3.8.6 リード信号遅延時のリードサイクル

例：JEDEC標準型コマンドを採用しているNOR-Flashを外部に接続する場合、トグルビットを正しくリードできない場合があります。図 3.8.7のようにNOR-Flashアクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b)のように意図しないリードサイクルが生じます。

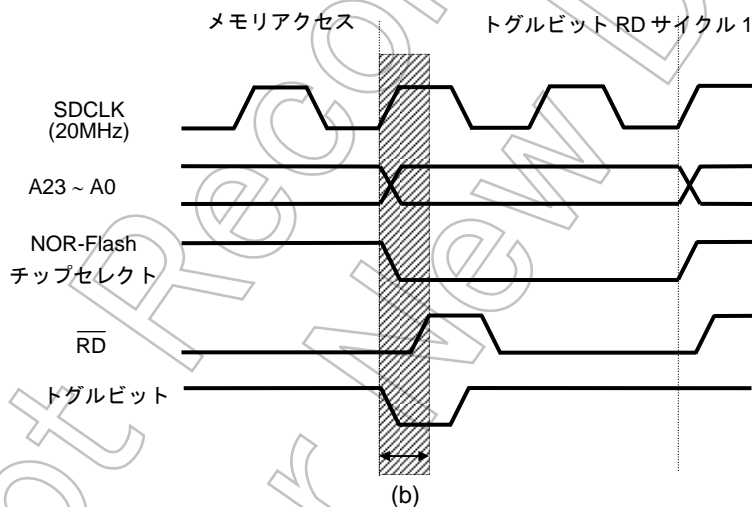


図 3.8.7 NOR-Flash トグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、CPUはいつも同じ値のトグルビットをリードすることになり、正しくトグルビットをリードできません。

このような現象が起こる場合があるため、データポーリング機能などの制御を使用しこの現象の影響を受けないようにするか、 \overline{RD} 信号のタイミング調整機能(RDTMGCn<BnTCRH1:0>)を使用し \overline{RD} 立ち上がりタイミングを調整してこの現象が発生しないように対策することを推奨します。

(2) NAND-Flash エリアについての注意点 1

図 3.8.8はNAND-Flashのメモリマップを示しています。

また、CS3 エリアでは 000000H から 3FFFFFFH までのアドレスに割り当てることを推奨しており、この場合を例として説明します。この場合、“NAND-Flash” と CS3 エリアが重なっていますが、BROMCR<CSDIS>= “1”により CS₃ 端子はアクティブになりません。なお、CS₃ のみでなく CS₀ ~ CS₃、CSXA、CSXB、CSZA、CSZD 端子全てがアクティブになりません。

注 1) 上記設定の場合、CS3 用メモリの 296K バイト(000000H-049FFFH)までのアドレスを使用することはできません。

注 2) NAND-Flash 用の 16 バイト(001FF0H~001FFFH)エリアは、設定された CS ブロックに関係なく下記の仕様に固定しています。よって上記設定の場合でも、NAND-Flash エリアは CS3 エリアの設定には従いません。

(NAND-Flash エリアの仕様)

1.パス幅 : NAND-Flash コントローラ中の NDFMCR1<BUSW>に依存します。

2.ウエイト制御 : NAND-Flash コントローラ中の NDFMCR0<SPLW1:0>,<SPHW1:0>に依存します。

	7	6	5	4	3	2	1	0	
BROMCR (016CH)	/					CSDIS		-	-
Read/Write						/			
リセット後	/								
機能						/			

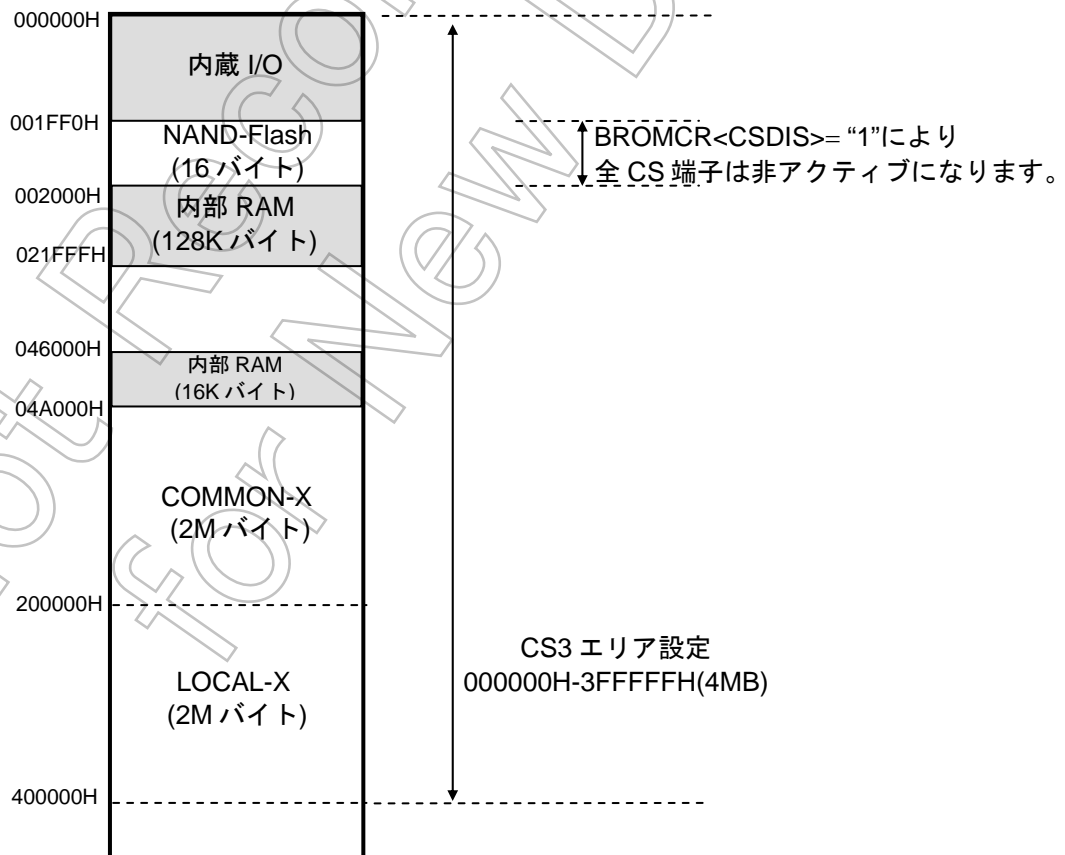


図 3.8.8 CS3 推奨設定

(3) NAND フラッシュエリア設定についての注意点 2

SDRAM (SDCS) と、NANDF との併用の場合、BROMCR<CSDIS>ビットは利用できません。ここでは、SDRAM と NANDF を使用する場合の例を示します。

000000H~3FFFFFFH のエリアには CS2 または CS1 (SDCS) を割り当てることを推奨していますのでこの場合について説明します。

この場合、“NAND フラッシュ”と CS2 または CS1 (SDCS) エリアが重なっています。

NAND フラッシュをアクセスする場合、同時にアクセスされ、データ衝突のような問題が発生します。この現象を避けるには、CS0 を 32K バイトの 000000H~007FFFH までのアドレスに割り当てることを推奨します。(CS0 端子は必要ありません。)

CS0 の設定優先順位は CS2 または CS1 (SDCS) より高いため、NAND フラッシュへのアクセスは CS0 の設定が選択され、データコンフリクトを回避することができます。

注) この場合、CS2 または CS1 のメモリの 32 K バイト 000000H~007FFFH までのアドレスを使用することはできません。

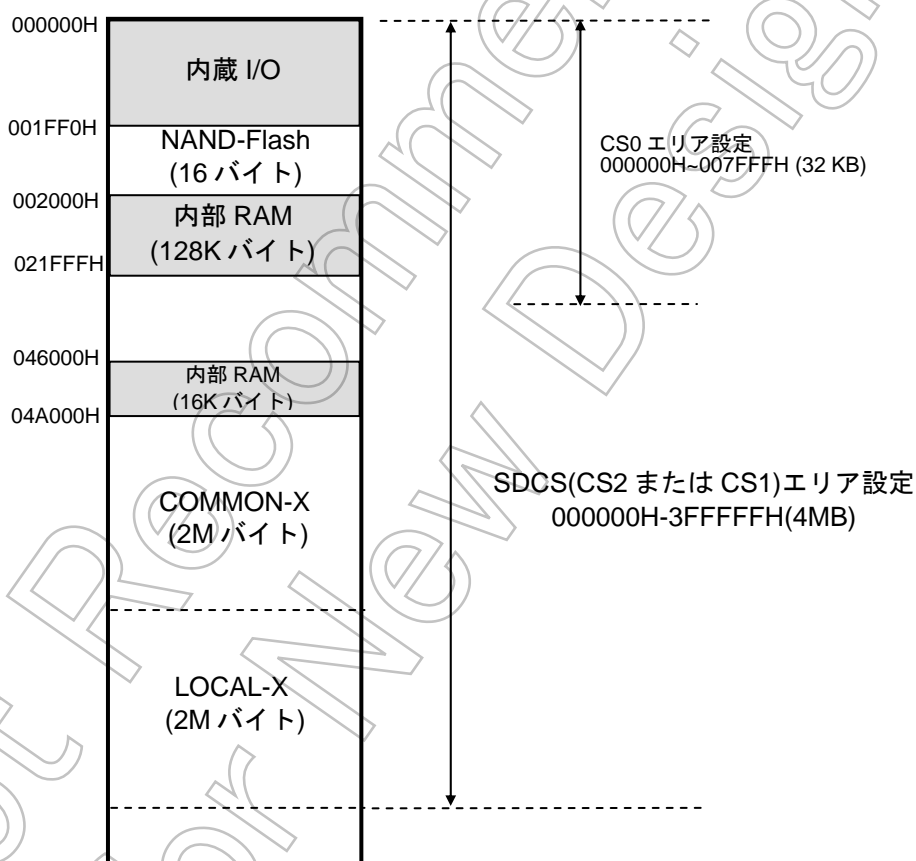


図 3.8.9 SDCS、CS0 推奨設定

3.9 外部メモリ拡張機能 (MMU)

プログラム/データエリアに3個のローカルエリアを持たせることにより2.1Gバイトまで拡張可能なMMU機能です。

推奨アドレスメモリマップは図3.9.1を参照してください。

使用メモリが16Mバイト以下の時は、MMUのレジスタの設定をする必要はありませんので、メモリコントローラの章を参照してください。

バンクの設定が可能なエリアはローカルエリアと呼ばれます。ローカルエリアのアドレスは固定されており変更できません。

また、バンク設定ができないエリアをコモンエリアと呼びます。

基本的に、一連のプログラムは一つのバンク内で終結させてください。同じローカルエリアの異なるバンク間をJP命令などで、直接分岐することはできません。詳細は先の設定例を参照願います。

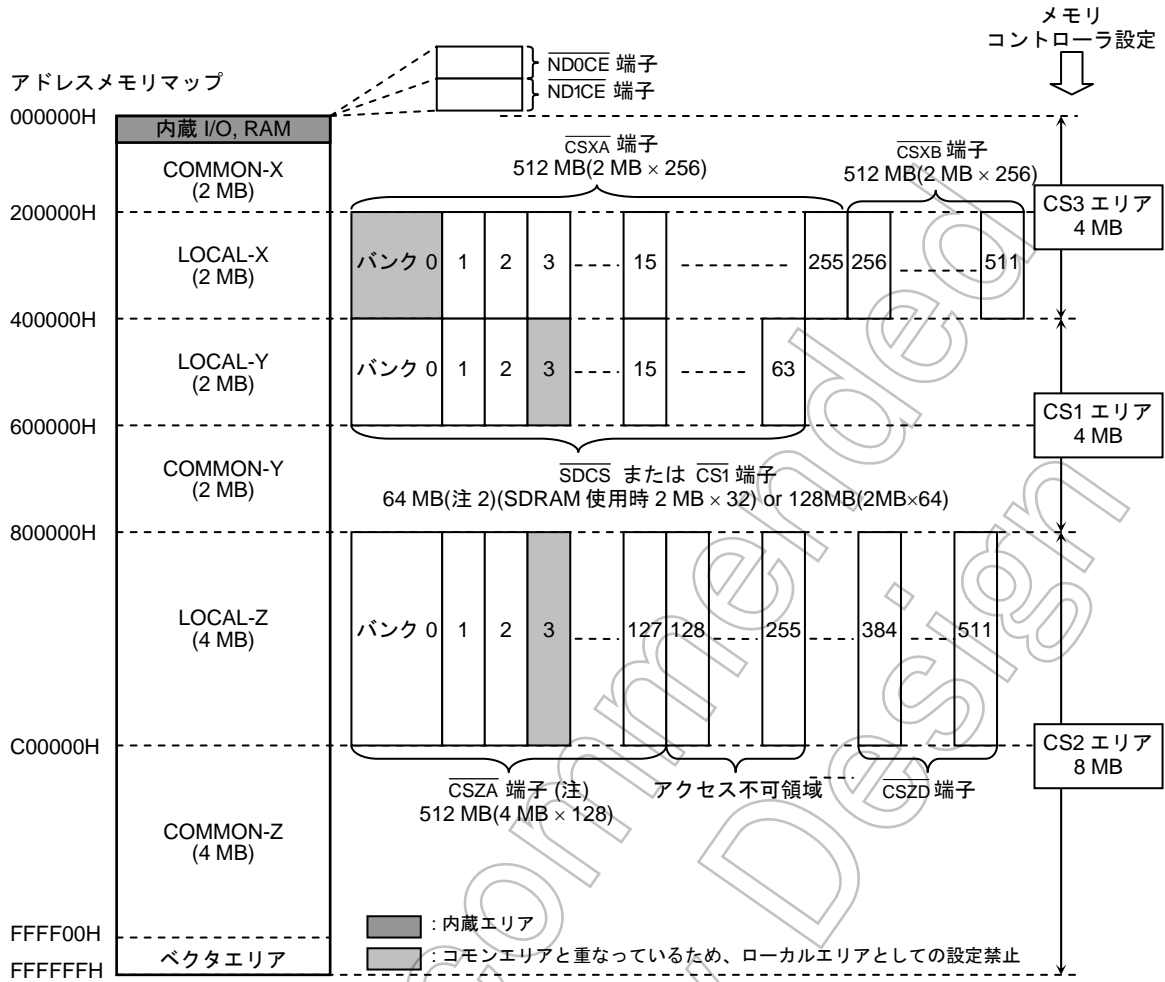
TMP92CF30は外部メモリを接続するための以下の外部端子を持っています。

アドレスバス : EA28, EA27, EA26, EA25, EA24, および A23 ~ A0
チップセレクト : $\overline{CS0} \sim \overline{CS3}$, $\overline{CSXA} \sim \overline{CSXB}$, \overline{CSZA} , \overline{CSZD} , \overline{SDCS} , $\overline{ND0CE}$ および $\overline{ND1CE}$
データバス : D31~D0

注) 本製品は、弊社同シリーズマイコン TMP92CZ26AXBG および TMP92CF26A のサブセットマイコンです。ピン数を縮小した関係上、拡張メモリの総容量が3.1Gバイトから2.1Gバイトに縮小され、あわせてZエリアのバンクが512バンクから256バンクに縮小されています。

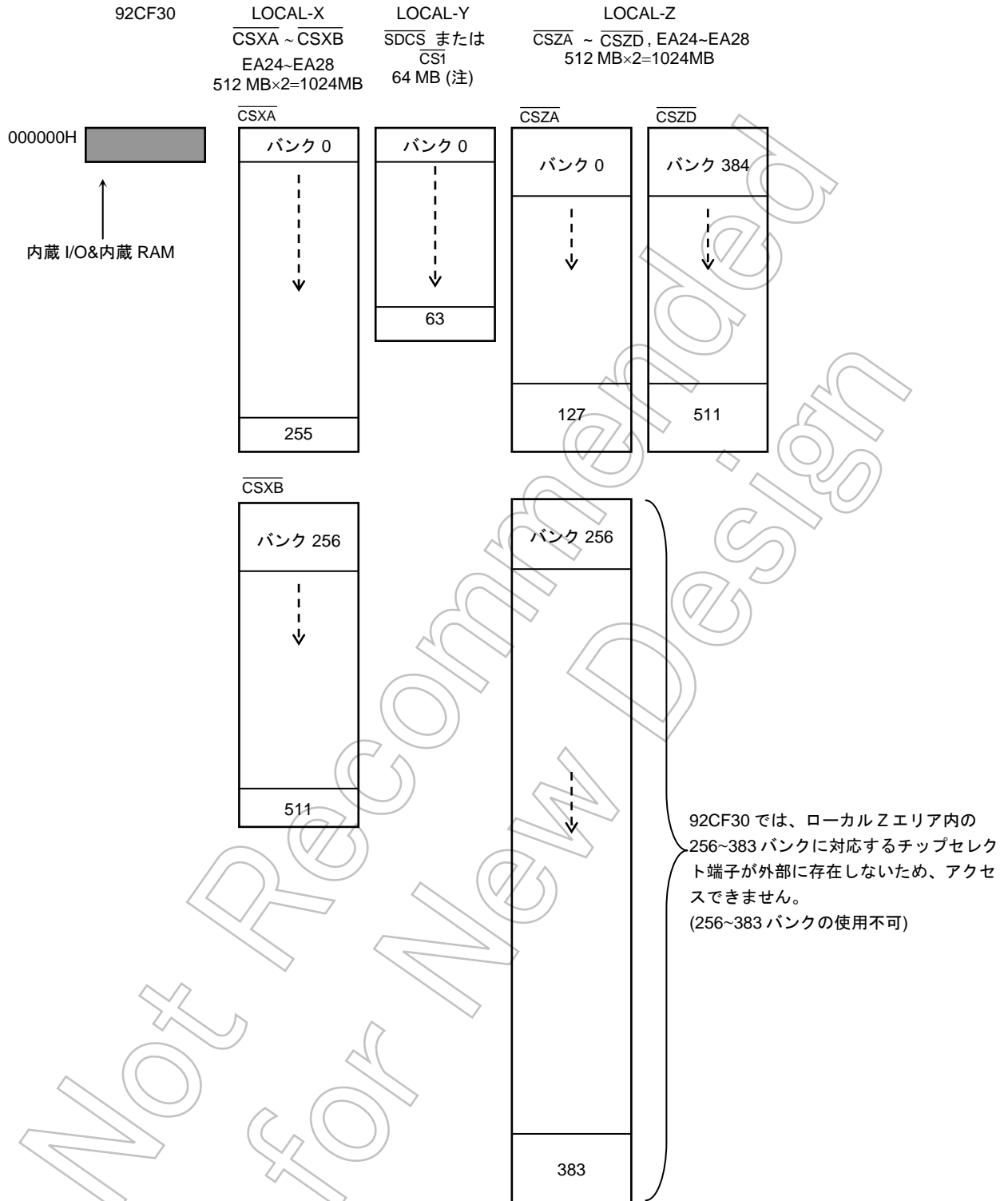
3.9.1 推奨メモリマップ

図3.9.1は推奨アドレスメモリマップのひとつを示しています。これは最大メモリサイズに拡張している例です。



注 1) CSZA は LOCAL-Z のバンク 0 から 127 までだけでなく COMMON-Z も対応するチップセレクトです。
注 2) LOCAL-Y エリアに SDRAM を接続する場合は 64MB(2MB×32)までの対応となります。

図 3.9.1 最大仕様の推奨メモリマップ (論理アドレス)



注) LOCAL-Y エリアに SDRAM を接続する場合は 64MB(2MB×32)までの対応となります。

図 3.9.2 最大仕様の推奨メモリマップ (物理アドレス)

3.9.2 コントロールレジスタ

TMP92CF30 の MMU は 21 個のレジスタを持っています。これらは 7 つの使用目的 (プログラム、リードデータ、ライトデータ、偶数/奇数チャンネル DMA 用ソースデータ、偶数/奇数用 DMA 用デスティネーションデータ) と 3 つのローカルエリア (LOCAL-X、Y、Z) の組み合わせとして用意されています。

これらの異なる 7 つの目的のレジスタを各々のローカルエリアに持たせることによって、データアクセスを容易にしています。

(使用方法と仕組み)

イネーブルレジスタと、各ローカルレジスタのバンク値を設定します。

関係する端子とメモリ設定をポートとメモリコントローラに設定します。

その後、CPU がローカルエリアの論理アドレスにアクセスすると、MMU はレジスタに設定されたバンクに基づいて、論理アドレスを物理アドレスへ変換して出力します。この物理アドレスは外部アドレスバス端子に出力され、外部メモリへのアクセスが可能となります。つまりプログラム上は同一の論理アドレスをアクセスしても、レジスタに設定されたバンクによって物理アドレスは変化し、別バンクのメモリへアクセスが可能となる仕組みになっています。

注 1) バンクを設定する際、コモンエリアと重なる設定はしないでください。(ローカルエリアとコモンエリアが同一のアドレスを示すため)

注 2) ローカルエリアでプログラムバンク (LOCALPX, PY or PZ) を変更することはできません。各ローカルエリアのプログラムバンクの設定は必ずコモンエリアで変更してください。(ただし、リードデータ、ライトデータのバンク設定はローカルエリアでも変更が可能です。)

注 3) リードデータ、ライトデータ、DMA 用データのバンクの設定 (LOCALRn、LOCALWn、LOCALLn、LOCALESn、LOCALEDn、LOCALOSn、LOCALODn; “n”は X、Y、Z を意味します。) レジスタが設定された後、そのバンクが有効になるまでにセットアップ時間を必要としますので、設定直後の命令によってそのメモリをアクセスすることはできません。この場合、下記の例のように SFR や他のメモリをアクセスするダミー命令の挿入が必要となります。

(例)

```
ld    xix, 200000h      ;
ldw   (localrx), 8001h ; リードデータバンクの設定
ldw   wa, (localrx)    ; ← SFRにアクセスするダミー命令を挿入してください。
-----
ldw   wa, (xix)        ; LOCAL-X エリアのバンク 1 をリード
```

注 4) LOCAL-Z 使用時、チップセレクト信号 \overline{CSZA} を P82 端子に設定してください。この場合、 \overline{CSZA} はバンク 0~15 用としてだけでなく COMMON-Z のチップセレクトとしても機能します。ただし、リセット後は P82 を設定する前に以下の設定を行ってください。

```
ldw   (localpz), 8000h ; プログラム用 LOCAL-Z バンクイネーブル
ldw   (localrz), 8000h ; データリード用 LOCAL-Z バンクイネーブル
ldw   (localwz), 8000h ; データライト用 LOCAL-Z バンクイネーブル (*1)
ld    (p8fc), -----0---B ;
ld    (p8fc2), -----1---B ; P82 端子を  $\overline{CSZA}$  出力に設定
```

*1) COMMON-Z エリアがデータライトメモリとして使用されない場合はこの設定はありません。

3.9.2.1 プログラム用バンクレジスタ

プログラム用バンクレジスタをこれらのレジスタへ設定してください。

前述のように、あるバンク内で、同一ローカルエリアの異なるバンクへの直接分岐はできません。バンク内で同一ローカルエリアのバンク切り替えは禁止です。

プログラム用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0	
LOCALPX (0880H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-X 用バンク数設定 (0はコモンエリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(0881H)	Bit symbol	LXE							X8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可	LOCAL-X 用バンク数設定 X8-X0 設定と CS 関係 000000000~011111111 CSXA 100000000~111111111 CSXB						

プログラム用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0	
LOCALPY (0882H)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W							
	リセット後			0	0	0	0	0	0
	機能	LOCAL-Y 用バンク数設定 (3はコモンエリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(0883H)	Bit symbol	LYE							
	Read/Write	R/W							
	リセット後	0							
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可							

プログラム用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALPZ (0884H)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z 用バンク数設定 (3はコモンエリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(0885H)	Bit symbol	LZE							Z8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可	LOCAL-Z 用バンク数設定 Z8-Z0 設定と CS 関係 000000000~001111111 CSZA 100000000~101111111 設定禁止 010000000~011111111 設定禁止 110000000~111111111 CSZD						

3.9.2.2 リードデータ用レジスタ

CPU のリードデータ用バンクをこれらのレジスタに設定してください。

下記は、LOCALX エリアにおいてリードデータ用バンクを“1”に設定した例です。“ldw wa, (xix)”命令では、xix 番地のデータを CPU の wa レジスタにリードする動作ですが、xix 番地をリードデータ用バンクに設定時、xix 番地からデータをリード(オペランド)する際にのみバンクがイネーブル状態となります。データをリード(オペランド)以外のアクセス(オペコード)はプログラムバンクがイネーブルとなります。

(例)

```

ld      xix, 200000h      ;
ld      (localrx), 8001h ;   リードデータバンクを設定
ldw     wa, (localrx)    ;   ← SFR にアクセスするダミー命令を挿入
ldw     wa, (xix)        ;   LOCAL-X エリアのバンク1をリード
    
```

リードデータ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0	
LOCALRX (0890H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	LOCAL-X 用バンク数設定 (0はコモンエリアと重なっているため設定禁止)							
		15	14	13	12	11	10	9	8
(0891H)	Bit symbol	LXE							X8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-X 用バンク使用 0: 禁止 1: 許可	LOCAL-X 用バンク数設定 X8-X0 設定と CS 関係 000000000~011111111 CSXA 100000000~111111111 CSXB						

リードデータ用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0	
LOCALRY (0892H)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W							
	リセット後			0	0	0	0	0	0
	機能	LOCAL-Y 用バンク数設定 (3はコモンエリアと重なっているため設定禁止)							
		15	14	13	12	11	10	9	8
(0893H)	Bit symbol	LYE							
	Read/Write	R/W							
	リセット後	0							
	機能	LOCAL-Y 用バンク使用 0: 禁止 1: 許可							

リードデータ用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALRZ (0894H)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z 用バンク数設定 (3はコモンエリアと重なっているため設定禁止)							
		15	14	13	12	11	10	9	8
(0895H)	Bit symbol	LZE							Z8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-Z 用バンク使用 0: 禁止 1: 許可	LOCAL-Z 用バンク数設定 Z8-Z0 設定と CS 関係 000000000~001111111 CSZA 100000000~101111111 設定禁止 010000000~011111111 設定禁止 110000000~111111111 CSZD						

3.9.2.3 ライトデータ用バンクレジスタ

CPUのライトデータ用バンクをこれらのレジスタに設定してください。

下記は、LOCAL-Xエリアにおいてライトデータ用バンクを“1”に設定した例です。“ldw (xix), wa”命令では、CPUのwaレジスタのデータをxix番地にライトする動作ですが、xix番地をライトデータ用バンクに設定時、xix番地にデータをライトする際(オペランド)にのみバンクがイネーブル状態となります。

(例)

```
ld    xix, 200000h    ;
ld    (localwx), 8001h    ; ライトデータバンクを設定
ldw   wa, (localwx)    ; ← SFRにアクセスするダミー命令を挿入
ldw   (xix), wa        ; LOCAL-Xエリアのバンク1へライト
```

ライトデータ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0		
LOCALWX (0898H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	LOCAL-X用バンク数設定 (0はコモンエリアと重なっているため設定禁止)								
	15	14	13	12	11	10	9	8		
(0899H)	Bit symbol	LXE								
	Read/Write	R/W							R/W	
	リセット後	0							0	
	機能	LOCAL-X用 バンク使用 0: 禁止 1: 許可	LOCAL-X用バンク数設定 X8-X0設定とCS関係 00000000~01111111 CSXA 10000000~11111111 CSXB							

ライトデータ用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0		
LOCALWY (089AH)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0	
	Read/Write	R/W								
	リセット後			0	0	0	0	0	0	
	機能	LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)								
	15	14	13	12	11	10	9	8		
(089BH)	Bit symbol	LYE								
	Read/Write	R/W								
	リセット後	0								
	機能	LOCAL-Y用 バンク使用 0: 禁止 1: 許可								

ライトデータ用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0		
LOCALWZ (089CH)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	LOCAL-Z用バンク数設定 (3はコモンエリアと重なっているため設定禁止)								
	15	14	13	12	11	10	9	8		
(089DH)	Bit symbol	LZE							Z8	
	Read/Write	R/W							R/W	
	リセット後	0							0	
	機能	LOCAL-Z用 バンク使用 0: 禁止 1: 許可	LOCAL-Z用バンク数設定 Z8-Z0設定とCS関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD							

3.9.2.4 DMA機能用バンクレジスタ

本 LSI では CPU のリード/ライト以外に内蔵の DMAC 回路がバスマスタとなって、データを高速に転送する機能を持っています。(DMAC のページを参照ください)

CPU のバンクとは異なる DMA 専用バンクで、CPU のプログラムバンク、リードバンク、ライトバンク等の状態にかかわらず、DMA 動作時のソースアドレスのバンク、デスティネーションアドレスのバンクの指定が可能です。

本 LSI で指定可能な DMAC は 6 チャンネルですが、バンク制御は 2 種類です。各々、DMA チャンネル 0,2,4 の偶数チャンネルは E グループ(ES、ED のグループ)、DMA チャンネル 1,3,5 の奇数チャンネルは O グループ(OS、OD のグループ)の 2 種類に分けられ、同一グループ内でのチャンネル別バンクの指定は出来ません。

下記は、LOCALX エリアにおいて DMA_ソースアドレス用バンクを 1、LOCALY エリアにおいて DMA_デスティネーションアドレス用バンクを 2 に設定した例です。DMAC の章で記述の DMA 機能で設定する、ソースアドレスが LOCALX エリア、デスティネーションアドレスが LOCALY エリアに設定されていた場合に、チャンネル 0 の DMA が起動すると、LOCALX のバンク 1 がソース、LOCALY のバンク 2 がデスティネーションになります。

(例)

```
ldw    (localesx), 8001h    ; チャンネル0用 DMA ソースバンクを設定
ldw    (localedy), 8002h   ; チャンネル0用 DMA デスティネーションバンクを設定
```

DMA チャンネル 0 起動

偶数グループ DMA ソース用 LOCAL-X レジスタ

		7	6	5	4	3	2	1	0
LOCALESX (08A0H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-X 用バンク数設定 (0 はコモンエリアと重なっているため設定禁止)							
		15	14	13	12	11	10	9	8
(08A1H)	Bit symbol	LXE							X8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可	LOCAL-X 用バンク数設定 X8-X0 設定と CS 関係 00000000~01111111 CSXA 10000000~11111111 CSXB						

偶数グループ DMA ソース用 LOCAL-Y レジスタ

		7	6	5	4	3	2	1	0
LOCALESY (08A2H)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W							
	リセット後			0	0	0	0	0	0
	機能	LOCAL-Y 用バンク数設定 (3 はコモンエリアと重なっているため設定禁止)							
		15	14	13	12	11	10	9	8
(08A3H)	Bit symbol	LYE							
	Read/Write	R/W							
	リセット後	0							
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可							

偶数グループ DMA ソース用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALESZ (08A4H)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z用バンク数設定 (3は共通エリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(08A5H)	Bit symbol	LZE							Z8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-Z用 バンク使用 0: 禁止 1: 許可	LOCAL-Z用バンク数設定 Z8-Z0 設定と CS 関係 000000000~001111111 CSZA 100000000~101111111 設定禁止 010000000~011111111 設定禁止 110000000~111111111 CSZD						

偶数グループ DMA デスティネーション用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0	
LOCALEDX (08A8H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-X用バンク数設定 (0は共通エリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(08A9H)	Bit symbol	LXE							X8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-X用 バンク使用 0: 禁止 1: 許可	LOCAL-X用バンク数設定 X8-X0 設定と CS 関係 000000000~011111111 CSXA 100000000~111111111 CSXB						

偶数グループ DMA デスティネーション用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0	
LOCALEDY (08AAH)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W							
	リセット後			0	0	0	0	0	0
	機能	LOCAL-Y用バンク数設定 (3は共通エリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(08ABH)	Bit symbol	LYE							
	Read/Write	R/W							
	リセット後	0							
	機能	LOCAL-Y用 バンク使用 0: 禁止 1: 許可							

偶数グループ DMA デスティネーション用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALEDZ (08ACH)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z用バンク数設定 (3は共通エリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(08ADH)	Bit symbol	LZE							Z8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-Z用 バンク使用 0: 禁止 1: 許可	LOCAL-Z用バンク数設定 Z8-Z0 設定と CS 関係 000000000~001111111 CSZA 100000000~101111111 設定禁止 010000000~011111111 設定禁止 110000000~111111111 CSZD						

奇数グループ DMA ソース用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0	
LOCALOSX (08B0H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-X用バンク数設定 (0は共通エリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(08B1H)	Bit symbol	LXE							X8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-X用 バンク使用 0: 禁止 1: 許可	LOCAL-X用バンク数設定 X8-X0 設定と CS 関係 000000000~011111111 CSXA 100000000~111111111 CSXB						

奇数グループ DMA ソース用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0	
LOCALOSY (08B2H)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W							
	リセット後			0	0	0	0	0	0
	機能	LOCAL-Y用バンク数設定 (3は共通エリアと重なっているため設定禁止)							
	15	14	13	12	11	10	9	8	
(08B3H)	Bit symbol	LYE							
	Read/Write	R/W							
	リセット後	0							
	機能	LOCAL-Y用 バンク使用 0: 禁止 1: 許可							

奇数グループ DMA ソース用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0		
LOCALOSZ (08B4H)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	LOCAL-Z 用バンク数設定 (3 は共通エリアと重なっているため設定禁止)								
	15	14	13	12	11	10	9	8		
(08B5H)	Bit symbol	LZE							Z8	
	Read/Write	R/W							R/W	
	リセット後	0							0	
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可	LOCAL-Z 用バンク数設定 Z8-Z0 設定と CS 関係 000000000~001111111 CSZA 100000000~101111111 設定禁止 010000000~011111111 設定禁止 110000000~111111111 CSZD							

奇数グループ DMA デスティネーション用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0		
LOCALODX (08B8H)	Bit symbol	X7	X6	X5	X4	X3	X2	X1	X0	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	LOCAL-X 用バンク数設定 (0 は共通エリアと重なっているため設定禁止)								
	15	14	13	12	11	10	9	8		
(08B9H)	Bit symbol	LXE							X8	
	Read/Write	R/W							R/W	
	リセット後	0							0	
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可	LOCAL-X 用バンク数設定 X8-X0 設定と CS 関係 000000000~011111111 CSXA 100000000~111111111 CSXB							

奇数グループ DMA デスティネーション用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0		
LOCALODY (08BAH)	Bit symbol			Y5	Y4	Y3	Y2	Y1	Y0	
	Read/Write	R/W								
	リセット後			0	0	0	0	0	0	
	機能	LOCAL-Y 用バンク数設定 (3 は共通エリアと重なっているため設定禁止)								
	15	14	13	12	11	10	9	8		
(08BBH)	Bit symbol	LYE								
	Read/Write	R/W								
	リセット後	0								
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可								

奇数グループ DMA デスティネーション用 LOCAL-Z レジスタ

		7	6	5	4	3	2	1	0
LOCALDZ (08BCH)	Bit symbol	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z用バンク数設定 (3はコモンエリアと重なっているため設定禁止)							
		15	14	13	12	11	10	9	8
(08BDH)	Bit symbol	LZE							Z8
	Read/Write	R/W							R/W
	リセット後	0							0
	機能	LOCAL-Z用 バンク使用 0: 禁止 1: 許可	LOCAL-Z用バンク数設定 Z8-Z0 設定と CS 関係 00000000~0011111111 CSZA 10000000~1011111111 設定禁止 01000000~0111111111 設定禁止 11000000~1111111111 CSZD						

Not Recommended for New Design

3.9.3 設定例

以下に下記条件での使用例を説明します。

No.	使用	メモリ	設定	MMU エリア	論理 アドレス	物理 アドレス
(a)	メイン ルーチン	NOR-Flash (16 MB, 1 pcs)	$\overline{CS2A}$, 32 ビット, 1 ウェイト	COMMON-Z	C00000H~ FFFFFFFH	
(b)	キャラクタ ROM			LOCAL-Z の バンク 0	800000H~ BFFFFFFFH	000000H~ 3FFFFFFFH
(c)	サブ ルーチン	SRAM (16 MB, 1 pcs)	$\overline{CS1}$, 16 ビット, 0 ウェイト	LOCAL-Y の バンク 0	400000H~ 5FFFFFFFH	000000H~ 1FFFFFFFH
(d)	スタック RAM	内蔵 RAM (144KB)	- (32 ビット, 2-1-1-1 クロック)	LOCAL-Y の バンク 2	002000H~ 049FFFFH	

(a) メインルーチン (COMMON-Z)

論理 アドレス	物理 アドレス	No	命令	コメント
		1	org C00000H	;
C00000H	<- (同一)	2	ldw (mamr2), 80FFH	; CS2 800000-FFFFFFH/8 MB
C000xxH	<-	3	ldw (b2csl), C222H	; CS2 32 ビット ROM, 1 ウェイト
		4	Ldw (mamr1), 40FFH	; CS1 400000-7FFFFFFH/4 MB
		5	ldw (b1csl), 8111H	; CS1 16 ビット RAM, 0 ウェイト
		5.1	ldw (localpz), 8000H	; プログラム用 LOCAL-Z バンクイネーブル
		5.2	ldw (localrz), 8000H	; リードデータ用 LOCAL-Z バンクイネーブル
		6	ld (p8fc), 02H	; P81: $\overline{CS1}$
		7	ld (p8fc2), 04H	; P82: $\overline{CS2A}$
		9	ld xsp, 48000H	; スタックポインタ = 48000H
		10	ldw (localpy), 8000H	; LOCAL-Y のバンク 0 はサブルーチン用にプログラムバンクとして設定。
		11	:	;
C000yyH	<-	12	call 400000H	; サブルーチンをコール
		13	:	;
		14	:	;
		15	:	;

- No.2~No.8 の命令はポートとメモリコントローラを設定します。
- No.9 はスタックポインタ設定です。内蔵 RAM に割り当てています。
- No.10 は No.12 の命令の実行のための設定です。
- No.12 はサブルーチンをコールする命令です。CPU が 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 000000H を出力します。また SRAM 用 $\overline{CS1}$ は論理アドレスが CS1 のエリア内にあるため、同時にアサートされます。これらの命令によって CPU はサブルーチンに分岐が可能となります。

注) この例はすでに SRAM にサブルーチンプログラムがライトされていることを前提にしています。

(b) サブルーチン (LOCAL-Y のバンク 0)

論理 アドレス	物理 アドレス	No	命令	コメント
		16	org 400000H	;
400000H	000000H	17	ldw (localrz), 8001H	; LOCAL-Zのバンク0はキャラクタ RAM 用 リードデータ用に設定
4000xxH	0000xxH	18	ld xiy, 800000H	; キャラクタROMリード用インデックスアド レスレジスタ
		19	ld wa, (xiy)	; キャラクタROMをリード
		20	:	;
		21	ld (localpy), 82H	;
		22	:	;
5000yyH	1000yyH	23	ret	;

- No.17 はキャラクタ ROM からデータをリードする LOCAL-Z のバンク 0 用設定です。
- No.18 および No.19 はキャラクタ ROM からデータをリードする命令です。CPU が 800000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 000000H を出力し、NOR-Flash 用 CSZA は論理アドレスが CS2 のエリア内にあるため同時にアサートされます。これらの命令によって、CPU はキャラクタ ROM からデータをリードすることが可能となります。
- No.21 はローカルエリアでプログラムバンクを切り替える命令です。バンク内で、同一ローカルエリアのプログラムバンク設定は禁止です。NG の例です。

3.10 SDRAM コントローラ(SDRAMC)

データ用、プログラム用、表示用としてアクセス可能な、SDRAM コントローラを内蔵しています。下記にその特徴を記します。

(1) サポート SDRAM

データレートタイプ	: SDR (シングルデータレート) タイプのみ
メモリ容量	: 16 / 64 / 128 / 256 / 512Mbit
バンク数	: 2 / 4 バンク
データバス幅	: 16 bit (本製品では、32bit データバスモードをサポートしていますが、SDRAM へのアクセスは 16bit のみとなります)
リードバースト長	: 1 ワード / フルページ
ライトモード	: シングル / バースト

(2) イニシャライズシーケンスコマンドのサポート

全バンクプリチャージコマンド
8回のオートリフレッシュコマンド
モードレジスタセットコマンド

(3) アクセスモード

	CPU サイクル	HDMA サイクル
バースト長	1ワード	1ワード / フルページ選択可
アドレッシングモード	シーケンシャル	シーケンシャル
CAS レイテンシ(クロック)	2	2
ライトモード	シングル	シングル / バースト選択可

(4) アクセスサイクル

● CPU アクセスサイクル

リードサイクル	: 1ワード - 最小 4-3-3-3 ステート
ライトサイクル	: シングル - 最小 3-2-2-2 ステート
データサイズ	: 1Byte / 1Word / 1LongWord

● HDMA アクセスサイクル

リードサイクル	: 1ワード - 最小 4-3-3-3 ステート / フルページ - 最小 4-1-1-1 ステート
ライトサイクル	: シングル - 最小 3-2-2-2 ステート / バースト - 最小 2-1-1-1 ステート
データサイズ	: 1Byte / 1Word / 1LongWord

(5) リフレッシュサイクル自動発生

- オート・リフレッシュは、SDRAM アクセス以外の期間に発生します。
- オート・リフレッシュ間隔は、プログラマブルです。
- セルフ・リフレッシュ機能をサポートしています。

注) SDRAM アドレス領域は、メモリコントローラの CS1、もしくは CS2 の設定により決まります。ただし、バスサイクルステート数は、SDRAM コントローラが管理します。

3.10.1 コントロールレジスタ

図 3.10.1にコントロールレジスタを示します。これらのレジスタを設定することで、SDRAMCの動作を制御します。

SDRAM アクセスコントロールレジスタ

	7	6	5	4	3	2	1	0	
SDACR (0250H)	SRDS	-	SMUXW1	SMUXW0	SPRE			SMAC	
Read/Write	R/W								R/W
リセット後	1	0	0	0	0			0	
機能	リードデータシフト機能 0: Disable 1: Enable	"0"をライトしてください	アドレスマルチプレクスタイプ選択 00: TypeA (A9-) 01: TypeB (A10-) 10: TypeC (A11-) 11: Reserved		リード/ライトコマンド選択 0: Without Auto Precharge 1: With Auto Precharge			SDRAMコントローラ 0: 禁止 1: 許可	

SDRAM コマンド間隔設定レジスタ

	7	6	5	4	3	2	1	0
SDCISR (0251H)		STMRD	STWR	STRP	STRCD	STRC2	STRC1	STRC0
Read/Write		R/W						
リセット後		1	1	1	1	1	0	0
機能		TMRD 0: 1CLK 1: 2CLK	TWR 0: 1CLK 1: 2CLK	TRP 0: 1CLK 1: 2CLK	TRCD 0: 1CLK 1: 2CLK	TRC 000: 1CLK 001: 2CLK 010: 3CLK 011: 4CLK	100: 5CLK 101: 6CLK 110: 7CLK 111: 8CLK	

SDRAM リフレッシュコントロールレジスタ

	7	6	5	4	3	2	1	0
SDRCR (0252H)				SSAE	SRS2	SRS1	SRS0	SRC
Read/Write	R/W				R/W			
リセット後	0			1	0	0	0	0
機能	"0"をライトしてください			セルフリフレッシュオート Exit機能 0: Disable 1: Enable	リフレッシュ間隔 000: 47state 100: 468state 001: 78state 101: 624state 010: 156state 110: 936state 011: 312state 111: 1248state			オートリフレッシュ 0: Disable 1: Enable

SDRAM コマンドレジスタ

		7	6	5	4	3	2	1	0	
SDCMM (0253H)	Bit symbol	/					SCMM2	SCMM1	SCMM0	
	Read/Write	/					R/W			
	リセット後	/					0	0	0	
	機能	/					コマンド発行 (注 1)(注 2) 000: Don't care 001: イニシャライズコマンド発行 a. 全バンクプリチャージコマンド b. 8回のオートリフレッシュコマンド c. モードレジスタセットコマンド 010: 全バンクプリチャージコマンド 100: Reserved 101: セルフリフレッシュ ENTRY コマンド 110: セルフリフレッシュ EXIT コマンド その他: Reserved			

注 1) コマンドが発行された後に<SCMM2:0>は“000”にクリアされますので、次のコマンド発行時は“000”であることを確認した上でライトしてください。ただし、セルフリフレッシュ ENTRY コマンドは“000”にクリアされませんので、セルフリフレッシュ中かどうか確認するフラグとして使用可能です。

注 2) セルフリフレッシュ EXIT コマンドは、セルフリフレッシュ ENTRY 中であることを確認した後、ライトしてください。

SDRAM HDMA バースト長選択レジスタ

		7	6	5	4	3	2	1	0
SDBLS (0254H)	Bit symbol	/		SDBL5	SDBL4	SDBL3	SDBL2	SDBL1	SDBL0
	Read/Write	/		R/W					
	リセット後	/		0	0	0	0	0	0
	機能	/		HDMA5 用	HDMA4 用	HDMA3 用	HDMA2 用	HDMA1 用	HDMA0 用
			HDMA バースト長選択 0:1 Word Read / Single Write 1:Full Page Read / Burst Write						

図 3.10.1 コントロールレジスタ

3.10.2 動作説明

(1) メモリアクセスコントロール

SDACR<SMAC>に“1”を設定すると、SDRAM コントローラはイネーブルになります。

バスマスタ(CPU, DMAC)が SDRAM アドレス領域へのアクセスサイクルを発生すると SDRAM コントローラは SDRAM 用の信号を出力します。

SDRAMサイクルのタイミングを図 3.10.2~図 3.10.5に示します。SDRAMアクセスサイクル数はメモリコントローラのウェイト制御には依存しません。本SDRAMコントローラが管理します。

(a) コマンド発行機能

SDCMM レジスタの設定に従いコマンドを発行します。また、バスマスタが発生したアクセスサイクルに応じて自動的にコマンドを発行します。

本SDRAMコントローラが発行するコマンドを表 3.10.1に示します。

表 3.10.1 コマンド一覧

コマンド	CKE _{n-1}	CKE _n	SDxxDQM	A10	A15-A11 A9-A0	SDCS	SDRAS	SDCAS	SDWE
Bank Activate	H	H	H	RA	RA	L	L	H	H
Precharge All	H	H	H	H	X	L	L	H	L
Read	H	H	L	L	CA	L	H	L	H
Read with Auto Precharge	H	H	L	H	CA	L	H	L	H
Write	H	H	L	L	CA	L	H	L	L
Write with Auto Precharge	H	H	L	H	CA	L	H	L	L
Mode Register Set	H	H	H	L	M	L	L	L	L
Burst Stop	H	H	H	X	X	L	H	H	L
Auto Refresh	H	H	H	X	X	L	L	L	H
Self Refresh Entry	H	L	H	X	X	L	L	L	H
Self Refresh Exit	L	H	H	X	X	H	H	H	H

注 1) H=High level、L=Low level、RA=Row address、CA=Column address、M=Mode data、X=don't care

注 2) CKE_nはコマンド入力サイクルのCKEレベルを示します。

CKE_{n-1}はコマンド入力サイクルの1つ前のサイクルでのCKEレベルを示します。

(b) アドレスマルチプレクス機能

アクセスサイクル中、A0~A15 端子よりロー/カラムのマルチプレクスアドレスを出力します。マルチプレクス幅は、SDACR<SMUXW1:0>で設定します。マルチプレクス幅とロー/カラムアドレスの関係を表 3.10.2 に示します。

表 3.10.2 アドレスマルチプレクス

92CF30 ピン 名称	SDRAM アクセスサイクルのアドレス			
	ローアドレス			カラムアドレス
	TypeA <SMUXW>"00"	TypeB <SMUXW>"01"	TypeC <SMUXW>"10"	
A0	A9	A10	A11	A1
A1	A10	A11	A12	A2
A2	A11	A12	A13	A3
A3	A12	A13	A14	A4
A4	A13	A14	A15	A5
A5	A14	A15	A16	A6
A6	A15	A16	A17	A7
A7	A16	A17	A18	A8
A8	A17	A18	A19	A9
A9	A18	A19	A20	A10
A10	A19	A20	A21	AP注)
A11	A20	A21	A22	ローアドレス
A12	A21	A22	A23	
A13	A22	A23	EA24	
A14	A23	EA24	EA25	
A15	EA24	EA25	EA26	

注) AP: オートプリチャージ

(c) バースト長

CPUによるアクセス時のバースト長は1ワードリード/シングルライトに固定されます。

HDMAによるSDRAMリードおよびライトのバースト長の選択は、下記の全条件を満たした場合可能になります。

- HDMA転送モードがインクリメントモード
- SDRAMと内臓RAM/内臓I/Oとの転送時

その他の設定では、1ワードリード/シングルライトでのみHDMA動作が可能です。HDMAのチャンネルごとの動作(シングルorバースト)をSDBLS<SDBL5:0>へ設定して下さい。

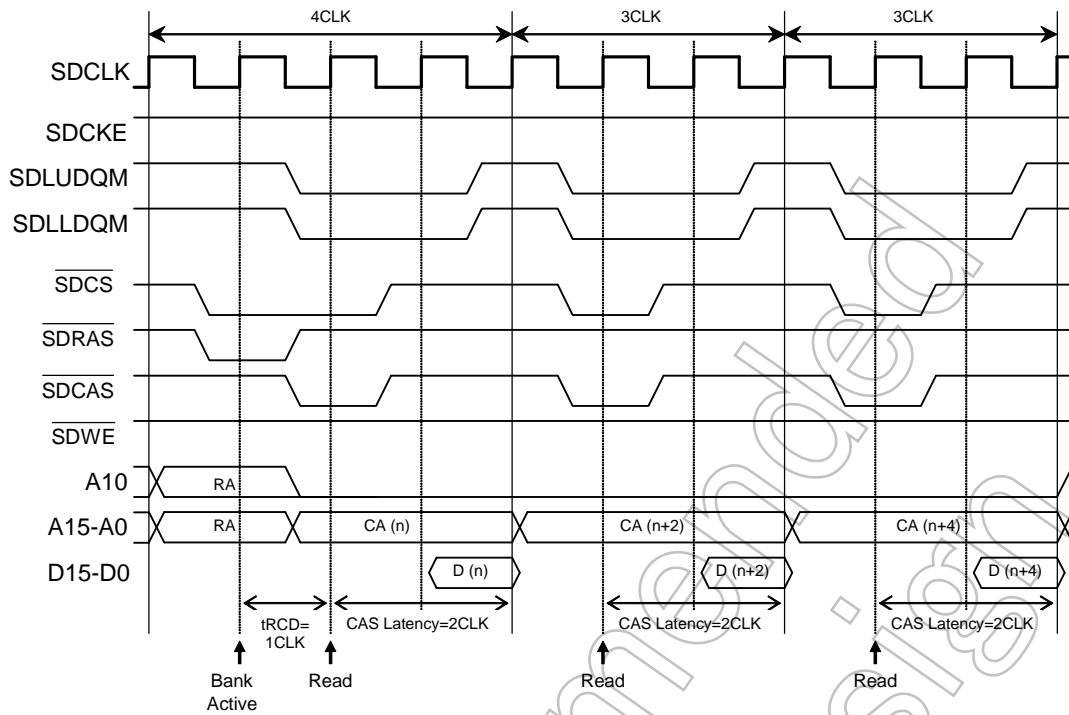


図 3.10.2 1ワードリードサイクルのタイミング

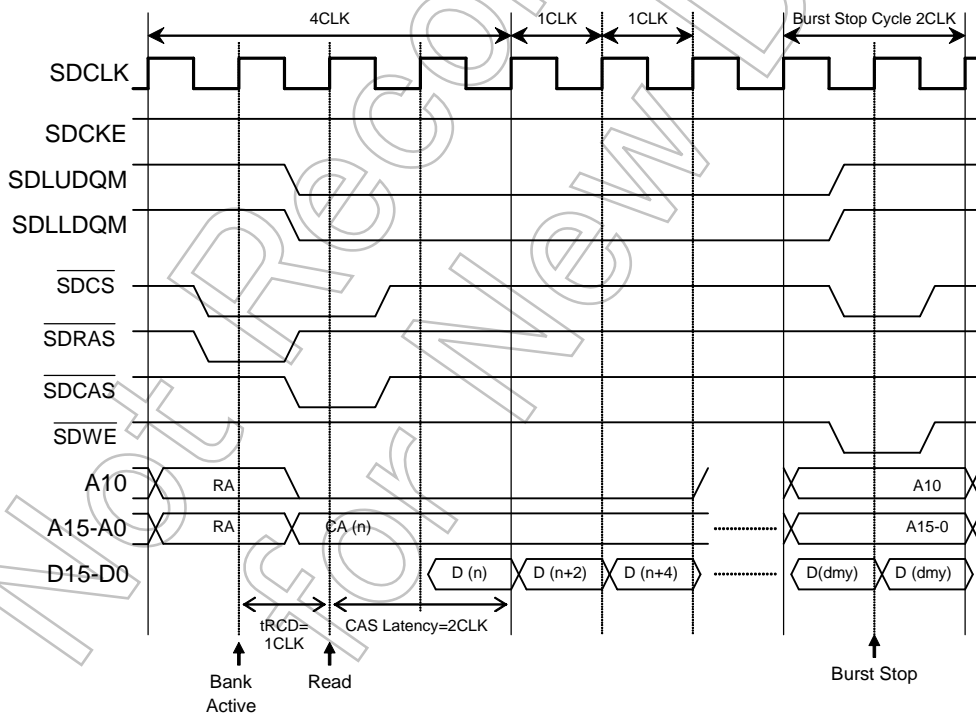


図 3.10.3 フルページリードサイクルのタイミング

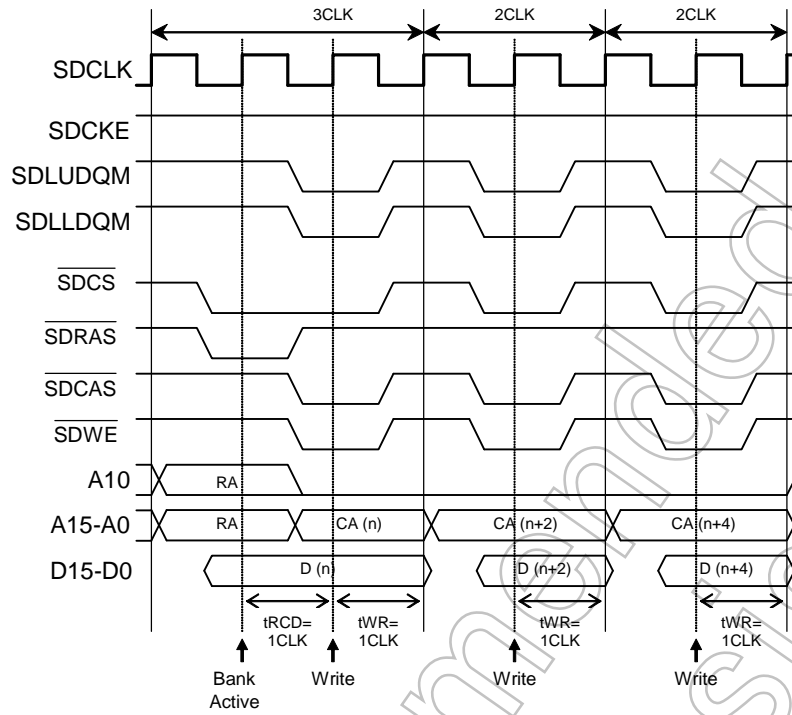


図 3.10.4 シングルライトサイクルのタイミング

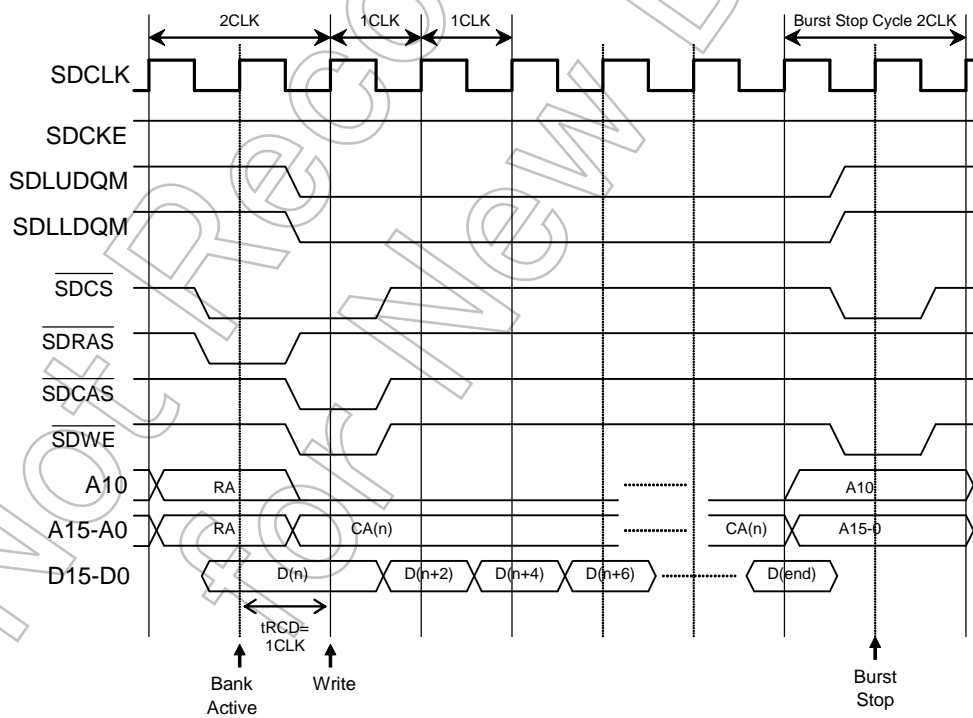


図 3.10.5 バーストライトサイクルのタイミング

(2) SDRAM 上での命令実行

CPU は SDRAM に格納された命令を実行することが可能です。しかし、以下の機能は動作することができません。

- a) HALT 命令の実行
- b) クロックギア設定の変更禁止 (変更による A.C 未達を懸念)
- c) SDACR、SDCMM、SDCISR レジスタ設定の変更禁止

上記の動作が必要とされる場合、内蔵 RAM 等の他のメモリに分岐して実行することが必要となります。

(3) コマンド間隔調整機能

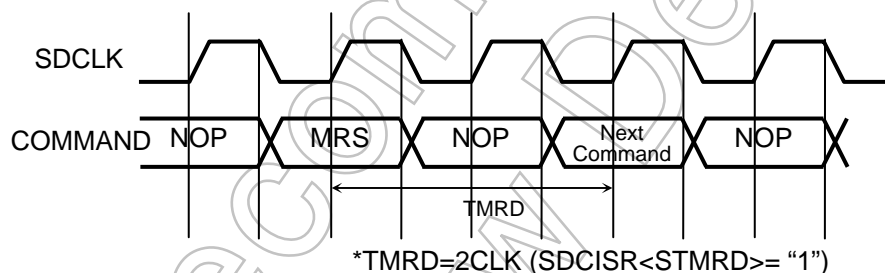
本機能により各種コマンド間隔を調整することができます。クロックギア等で動作周波数を変更した場合でも、最適なサイクルでアクセス可能となります。

設定は SDCISR レジスタにて行います。TMP92CF30 の動作周波数と SDRAM の A.C 規定に従って設定してください。

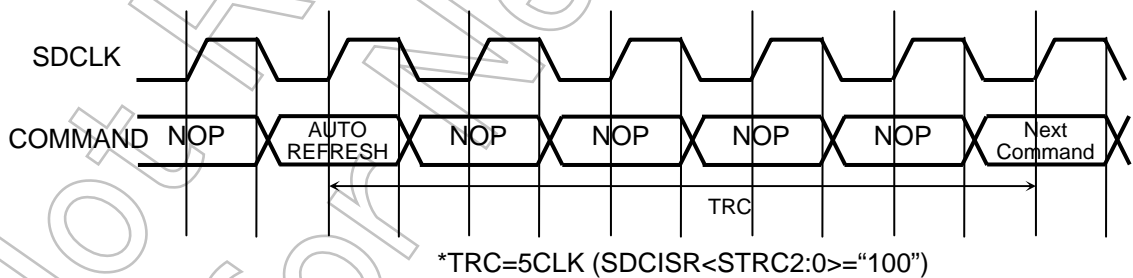
なお、SDCICR レジスタの変更は SDRAM へのアクセスが発生しない状態で行ってください。

以下に各種タイミング波形を示します。

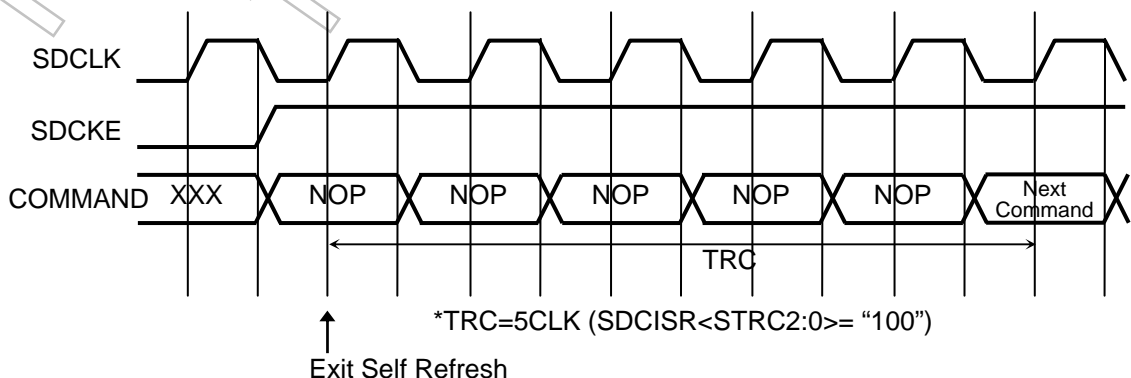
(a) モードレジスタセットコマンド



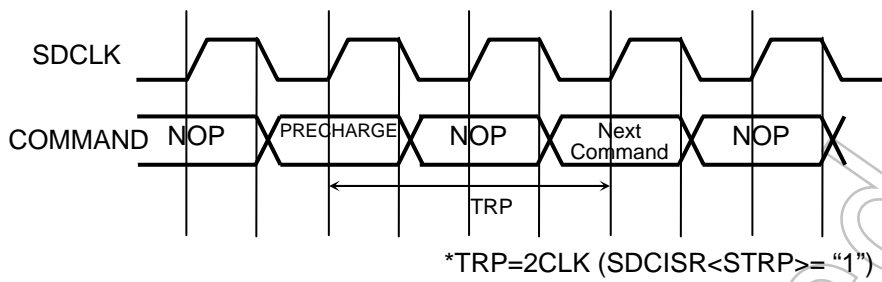
(b) オートリフレッシュコマンド



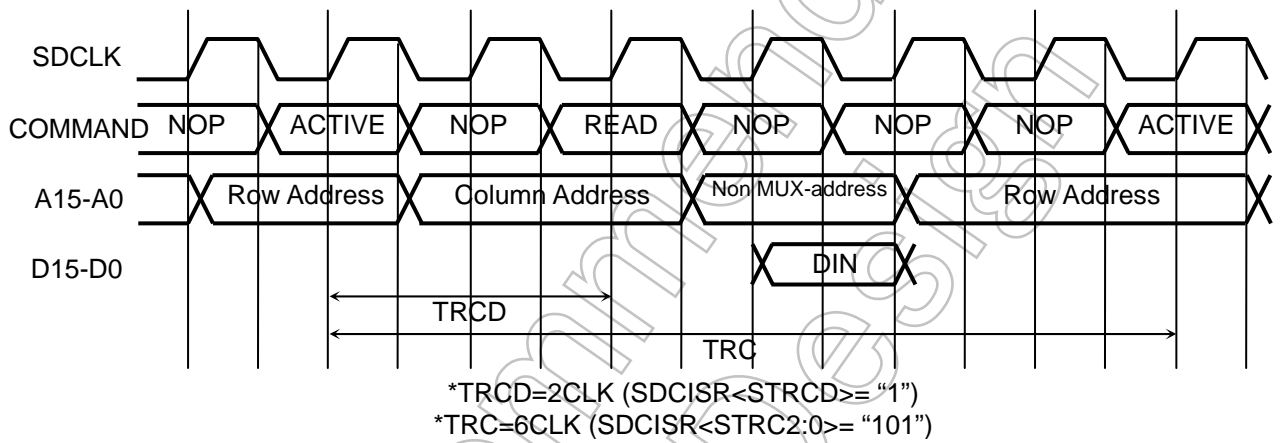
(c) セルフリフレッシュ Exit



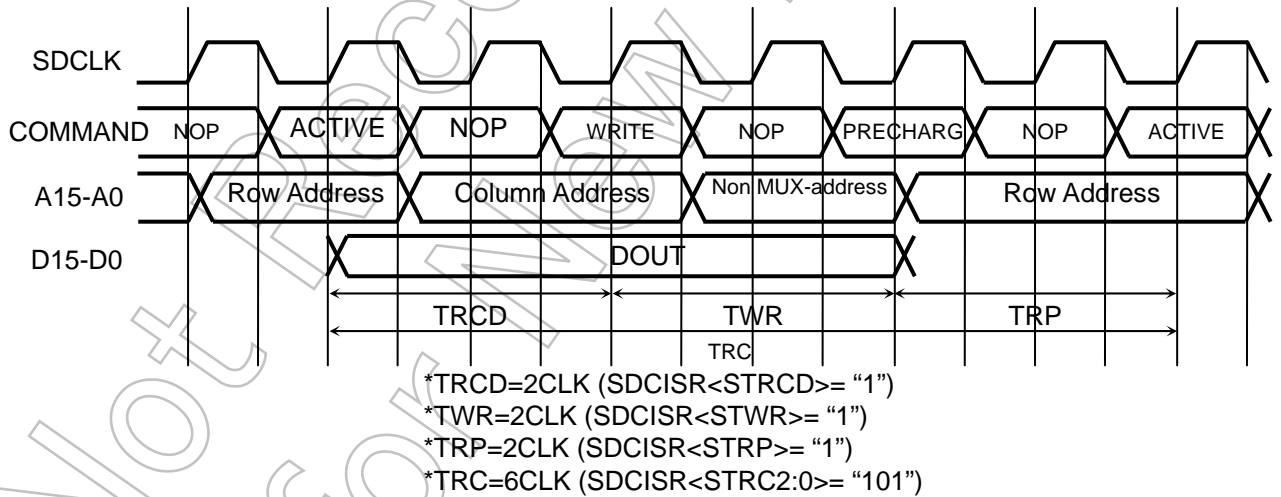
(d) プリチャージコマンド



(e) リードサイクル



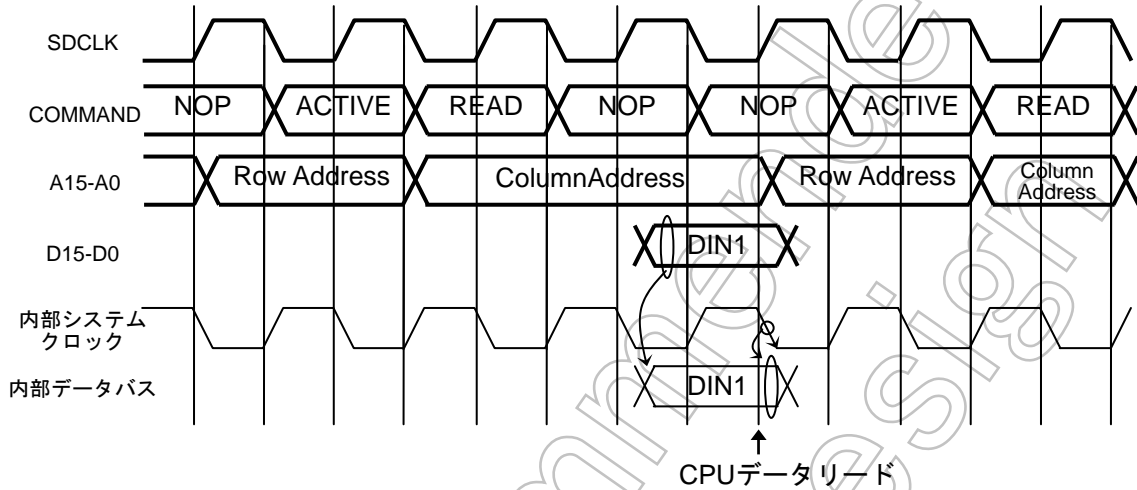
(f) ライトサイクル



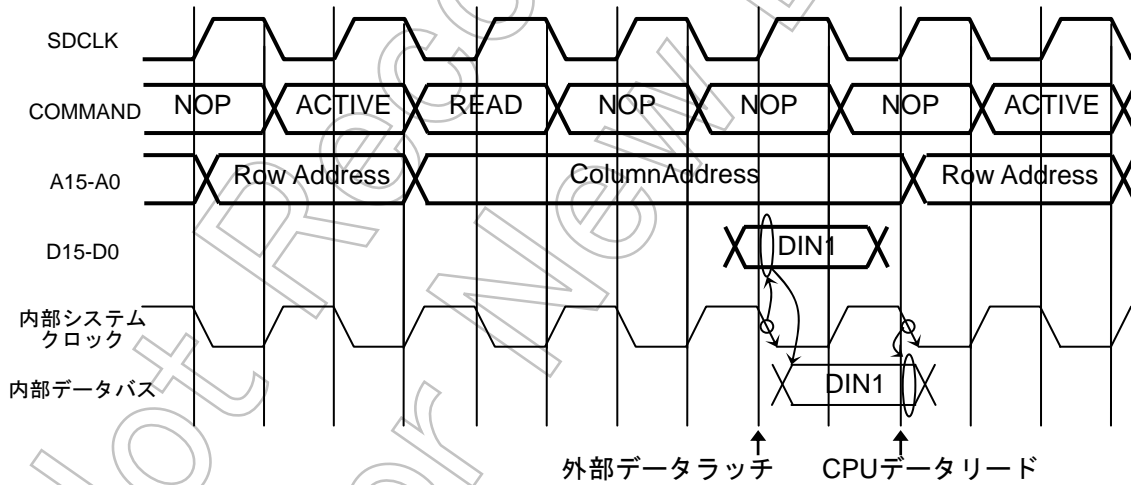
(4) リードデータシフト機能

SDRAM からのデータ入力 A.C.が満足しない場合に、リードデータをポート回路でラッチし次のステートで CPU へデータをリードさせる機能です。この機能を使用する場合、リードサイクルは 1 ステート増加します。ライトサイクルの動作には影響しません。以下にタイミング波形を示します。

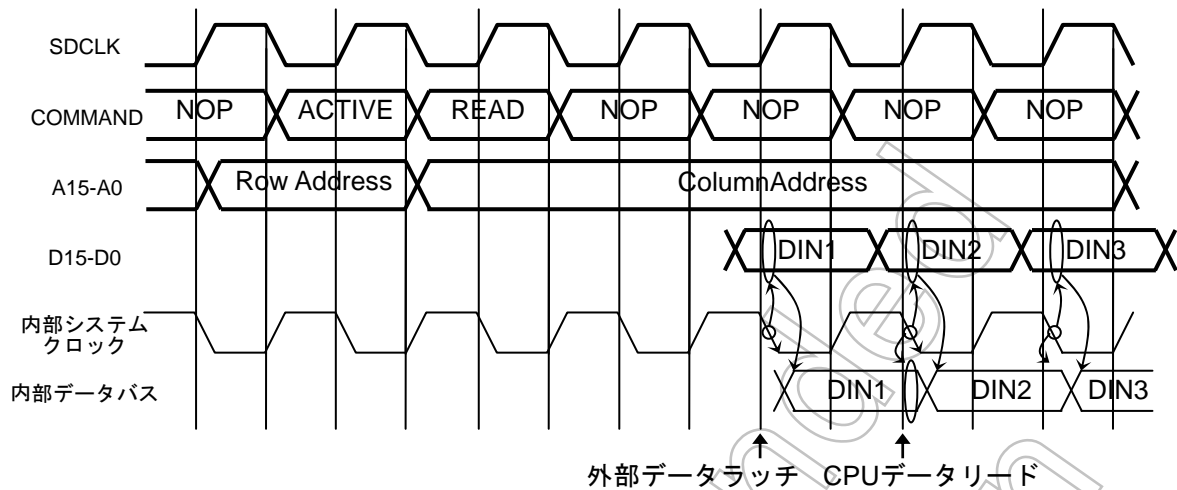
(a) リードデータシフト機能ディセーブル、1 ワードリード(SDACR<SRDS> = “0”)



(b) リードデータシフト機能イネーブル、1 ワードリード(SDACR<SRDS> = “1”)



(c) リードデータシフト機能イネーブル、フルページリード(SDACR<SRDS>=“1”)



(5) リード/ライトコマンド

1 ワードリード/シングルライトモード時に使用するリード/ライトコマンドを SDACR<SPRE>で設定可能です。

SDACR<SPRE>=“1”に設定した場合、“RD/WR With Auto Precharge”コマンドを使用します。これはアクセスサイクルごとに SDRAM 内部で自動的に Precharge が行われるため、アクセスサイクル中以外では SDRAM は常に“Bank Idle”状態になります。よって、SDRAM の消費電力を低減できますが、反面、アクセスサイクルごとに“Bank Active”コマンドが必要になるためパフォーマンスは低下します。

SDACR<SPRE>=“0”に設定した場合、“RD/WR Without Auto Precharge”コマンドを使用します。これはアクセスサイクル毎に Precharge が行われなため、SDRAM は常に“Bank Active”状態になります。よって、SDRAM の消費電力は大きくなりますが、反面、アクセスサイクルごとに“Bank Active”コマンドは不要になるためパフォーマンスは上がります。SDRAM のページ領域を超えたアクセスが発生した場合、Auto Refresh コマンドが発生した場合は、本 SDRAM コントローラが“All Bank Precharge”コマンドを自動的に発行します。

(6) リフレッシュコントロール

TMP92CF30はオートリフレッシュおよびセルフリフレッシュの2つのリフレッシュコマンドをサポートしています。

(a) オートリフレッシュ

オートリフレッシュコマンドは、SDRCR<SRS2:0>に設定された間隔をSDRCR<SRC>を“1”にすることで自動的に発生します。発生間隔は47~1248ステートの間に設定することが可能です。(0.78μs~20.8μs @ fSYS=60MHz)

CPUの動作(命令フェッチおよび実行)はオートリフレッシュコマンドを実行している間停止します。オートリフレッシュサイクルを図3.10.6に示します。また、オートリフレッシュ発生間隔を表3.10.3に示します。オートリフレッシュ機能はIDLE1モード、STOPモードでは動作しませんので、後述するセルフリフレッシュ機能を使用してください。

注) システムリセットによりオートリフレッシュ機能は無効となります。

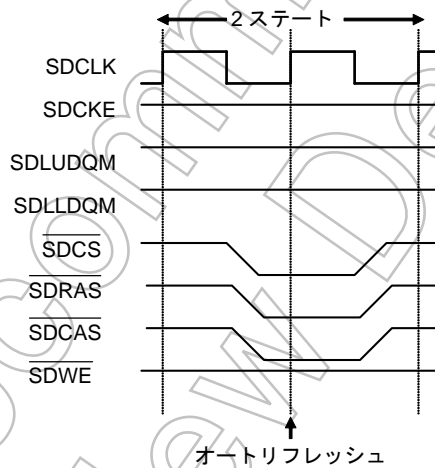


図 3.10.6 オートリフレッシュサイクルのタイミング

注 1) オートリフレッシュ間隔の設定は、以下の表を目安に設定してください。

注 2) SDRAMが要求する、リフレッシュ間隔とCPUの動作スピードに注意してください。

表 3.10.3 システムクロックとオートリフレッシュ間隔

SDRCR<SRS2:0>			挿入間隔 (ステート)	周波数(システムクロック)MHz											
SRS2	SRS1	SRS0		1	2	3	4	6	8	10	20	30	40	60	80
				リフレッシュ間隔μs											
0	0	0	47	47.0	23.5	15.67	11.75	7.83	5.88	4.70	2.35	1.57	1.18	0.78	0.59
0	0	1	78	78.0	39.0	26.0	19.5	13.0	9.75	7.80	3.9	2.60	1.95	1.30	0.98
0	1	0	156	156.0	78.0	52.0	39.0	26.0	19.5	15.60	7.8	5.20	3.90	2.60	1.95
0	1	1	312	312.0	156.0	104.0	78.0	52.0	39.0	31.2	15.60	10.4	7.80	5.20	3.90
1	0	0	468	468.0	234.0	156.0	117.0	78.0	58.5	46.8	23.4	15.60	11.7	7.80	5.85
1	0	1	624	624.0	312.0	208.0	156.0	104.0	78.0	62.4	31.2	20.8	15.60	10.4	7.80
1	1	0	936	936.0	468.0	312.0	234.0	156.0	117.0	93.6	46.8	31.2	23.4	15.60	11.70
1	1	1	1248	1248.0	624.0	416.0	312.0	208.0	156.0	124.8	62.4	41.6	31.2	20.8	15.60

注) 網掛けの部分は、64ms内に4096回リフレッシュが必要なSDRAMの場合、使用出来ない設定となります(リフレッシュ要求は、15.625μs以下)

(b)セルフリフレッシュ

セルフリフレッシュENTRYコマンドはSDCMM<SCMM2:0>を“101”にすることにより発生します。セルフリフレッシュサイクルを図 3.10.7に示します。セルフリフレッシュへENTRYする前に、必ず、一度全バンクをプリチャージしてください。セルフリフレッシュENTRYの間、リフレッシュはSDRAM内で動作します。(オートリフレッシュコマンドは必要ありません)

注 1) システムリセットによりスタンバイモードが解除された場合は I/O レジスタは初期化され、セルフリフレッシュ状態から Exit されます。また、オートリフレッシュ機能も無効になっていますので注意してください。

注 2) セルフリフレッシュ ENTRY 中は SDRAM にアクセスすることはできません。

注 3) セルフリフレッシュ ENTRY コマンド後に HALT 命令を実行する場合は、SDCMM<SCMM2:0>を“101”に設定する命令と HALT 命令間に 10 バイト以上の NOP あるいはほかの命令を実行してください。

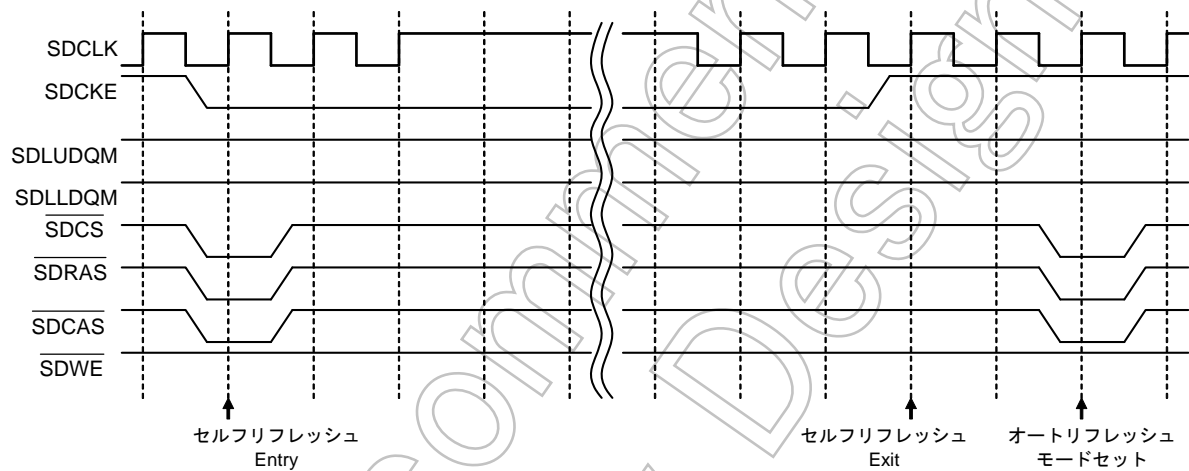


図 3.10.7 セルフリフレッシュサイクルのタイミング

設定例)

```
org 0x2000 ; Internal RAM
ld (sdcm),0x02 ; All Bank Precharge Command
ld (sdcm),0x05 ; Self Refresh Entry Command
NOP×10 ; Setup time
halt ;
```

セルフリフレッシュ状態は、セルフリフレッシュ EXIT コマンドを実行することにより解除できます。セルフリフレッシュ EXIT コマンドの実行は、SDCMM<SCMM2:0>に“110”をライントする方法と、HALT 状態解除に同期して自動的に EXIT する方法の 2 通りがあります。いずれの場合もセルフリフレッシュ EXIT 直後に 1 回のオートリフレッシュを実行し、その後は設定された条件でオートリフレッシュを実行します。セルフリフレッシュ EXIT した場合、<SCMM2:0>は“000”にクリアされます。

SDRAM リフレッシュコントロールレジスタ

	7	6	5	4	3	2	1	0
SDRCR (0252H)	Bit symbol	-	-	SSAE	SRS2	SRS1	SRS0	SRC
	Read/Write	R/W	-	-	R/W			
	リセット後	0	-	1	0	0	0	0
	機能	“0”をライントしてください	-	セルフリフレッシュ オート Exit 機能 0:Disable 1:Enable	リフレッシュ間隔 000: 47state 100: 468state 001: 78state 101: 624state 010: 156state 110: 936state 011: 312state 111: 1248state			オートリフレッシュ 0:Disable 1:Enable

HALT 状態解除に同期した EXIT コマンドの実行は、SDRCR<SSAE>を“1”にすることで可能となります。

HALT状態解除に同期したEXITコマンドの実行は、SDRCR<SSAE>を“0”にすることにより禁止することができます。自動的にEXITさせたくない場合は禁止してください。クロックギアダウン時の動作クロック周波数低下によりSDRAMの使用条件を満たさなくなる状態でEXITする場合も禁止してください。この場合の実行フローを図 3.10.8 に示します。

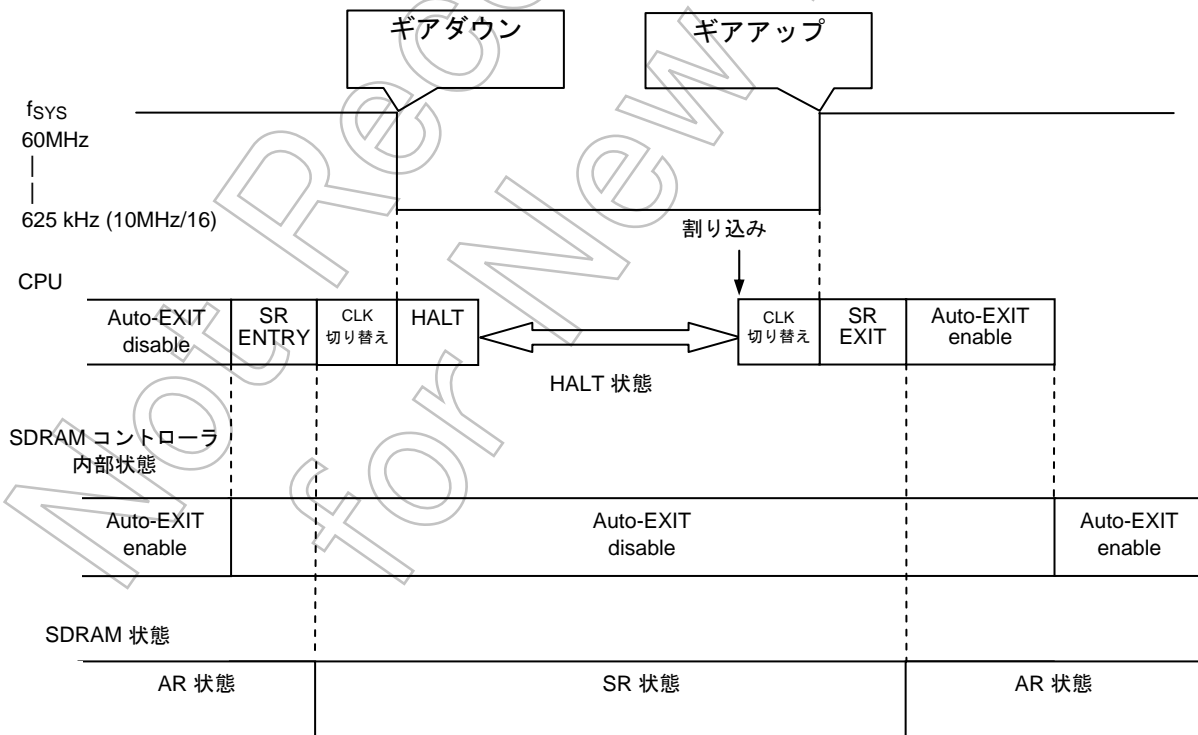


図 3.10.8 クロックギアダウンで HALT 命令実行する際の実行フロー例

(7) SDRAM イニシャライズ

リセット解除後 SDRAM に必要な以下のコマンドを発行することができます。イニシャライズコマンドの内容を下記に示します。

1. オールバンクプリチャージコマンド
2. 8回のオートリフレッシュコマンド
3. モードレジスタセットコマンド

上記コマンドは、SDCMM<SCMM2:0>を“001”にすることにより発行します。

このコマンドを発行中、CPU の動作(命令フェッチ、実行)は停止します。

また、イニシャライズコマンドを発行する前に、SDRAM コントロール信号とアドレス信号(A0~A15)としてのポートの設定が必要となります。

イニシャライズコマンドが終了した後、SDCMM<SCMM2:0>は自動的に“000”にクリアされます。

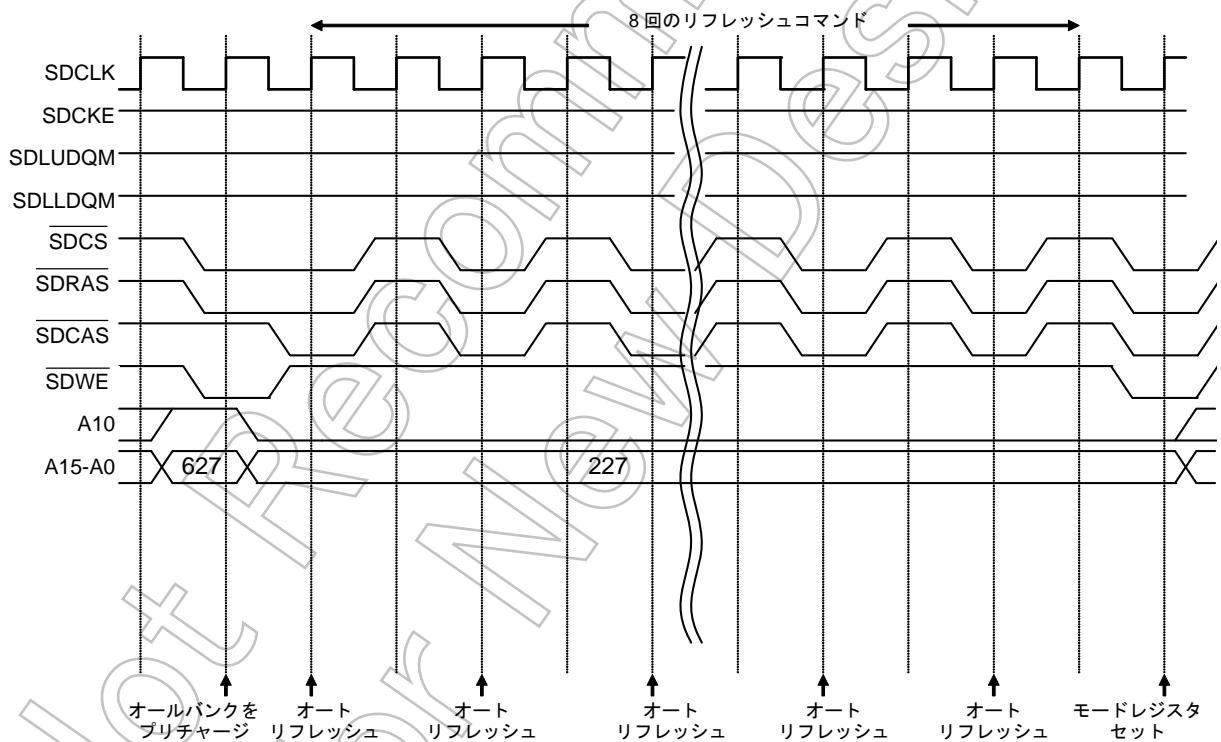


図 3.10.9 イニシャライズコマンドのタイミング

(8) 接続例

SDRAMとの接続例を 図 3.10.10 に示します。

表 3.10.4 SDRAM との接続

92CF30 ピン名称	SDRAM ピン名称				
	データバス幅 16bit				
	16M	64M	128M	256M	512M
A0	A0	A0	A0	A0	A0
A1	A1	A1	A1	A1	A1
A2	A2	A2	A2	A2	A2
A3	A3	A3	A3	A3	A3
A4	A4	A4	A4	A4	A4
A5	A5	A5	A5	A5	A5
A6	A6	A6	A6	A6	A6
A7	A7	A7	A7	A7	A7
A8	A8	A8	A8	A8	A8
A9	A9	A9	A9	A9	A9
A10	A10	A10	A10	A10	A10
A11	BS	A11	A11	A11	A11
A12	-	BS0	BS0	A12	A12
A13	-	BS1	BS1	BS0	BS0
A14	-	-	-	BS1	BS1
A15	-	-	-	-	-
$\overline{\text{SDCS}}$	CS	CS	CS	CS	CS
SDLUDQM	UDQM	UDQM	UDQM	UDQM	UDQM
SDLLDQM	LDQM	LDQM	LDQM	LDQM	LDQM
$\overline{\text{SDRAS}}$	RAS	RAS	RAS	RAS	RAS
SDCAS	CAS	CAS	CAS	CAS	CAS
SDWE	WE	WE	WE	WE	WE
SDCKE	CKE	CKE	CKE	CKE	CKE
SDCLK	CLK	CLK	CLK	CLK	CLK
SDACR	00:	00:	01:	01:	10:
<SMUXW>	TypeA	TypeA	TypeB	TypeB	TypeC

■ : Command address pin of SDRAM

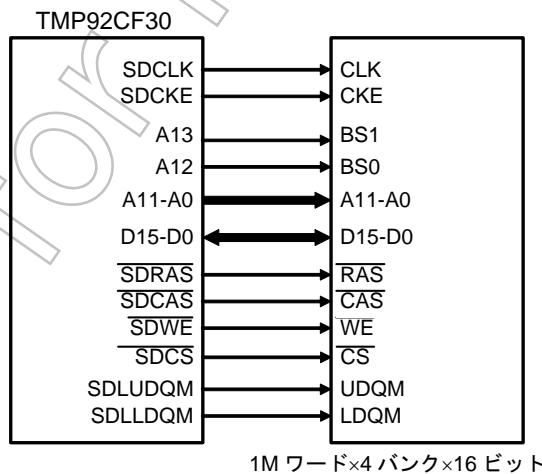


図 3.10.10 SDRAM との接続例 (1Mワード × 4バンク × 16ビット)

3.10.3 HDMAを使用した転送時間の計算例

HDMA を使用し、SDRAM を転送デバイスとした場合の転送時間計算例を以下に示します。

- SDRAM から内蔵 SRAM への転送

条件 1 : システムクロック (fsys) : 60MHz

SDRAM リードサイクル : フルページ(5-1-1-1) 16bit データバス

SDRAM Auto Refresh 間隔 : 936state(15.6μs)

内蔵 RAM ライトサイクル : ライト 1state 32bit データバス

転送バイト数 : 512Byte

計算例 :

$$\begin{aligned} \text{転送時間} &= (\text{SDRAM リード時間} + \text{SRAM ライト時間}) \times \text{転送回数} \\ &+ (\text{SDRAM バーストスタート} + \text{ストップ時間}) \\ &+ (\text{プリチャージ時間} + \text{Auto Refresh 時間}) \times \text{Auto Refresh 回数} \end{aligned}$$

- (a) リード/ライト時間

$$\begin{aligned} &(\text{SDRAM リード } 1\text{state} \times 2 + \text{内蔵 RAM ライト } 1\text{state}) \times 512\text{Byte} / 4\text{Byte} \\ &= 384\text{state} \times 1 / 60\text{MHz} \\ &= 6.4\mu\text{s} \end{aligned}$$

- (b) バーストスタート/ストップ時間

$$\begin{aligned} &\text{スタート (TRCD:2CLK) } 5\text{state} + \text{ストップ } 2\text{state} \\ &= 7\text{state} / 60\text{MHz} \\ &= 0.117\mu\text{s} \end{aligned}$$

- (c) Auto Refresh 時間

(a)が 384state であるため 0~1 回発生するが、ここでは 1 回発生するものとする。

$$\begin{aligned} &(\text{プリチャージ (TRP: 2CLK) } 2\text{state} + \text{AREF (TRC:5CLK) } 5\text{state}) \times \text{AREF } 1 \text{ 回} \\ &= 7\text{state} \times 1 / 60\text{MHz} \\ &= 0.117\mu\text{s} \end{aligned}$$

転送総時間 = (a) + (b) + (c)

$$\begin{aligned} &= 6.4\mu\text{s} + 0.117\mu\text{s} + 0.117\mu\text{s} \\ &= 6.634\mu\text{s} \end{aligned}$$

3.10.4 SDRAM使用時の注意点

SDRAM コントローラを使用する上でいくつかの注意点があります。
下記項目をよく確認いただき、誤った使用をしないようにご注意願います。

1) WAIT アクセス

SDRAM を使用する際は、SDRAM 以外のメモリアクセスに一部条件が追加されます。

メモリコントローラが持つ外部 WAIT 端子入力設定において、SDRAM コントローラが制御するオートリフレッシュ機能のリフレッシュ間隔 $\times 8190$ を超える時間を外部 WAIT として挿入することはできません。外部 WAIT はオートリフレッシュ間隔 $\times 8190$ 以下の時間にしてください。

2) HALT 命令前の SDRAM SR(セルフリフレッシュ)-Entry、Initialize、All Bank Precharge コマンド発行

SDRAM コントローラの持つコマンド (SR-Entry、Initialize、All Bank Precharge) の発行には SDCMM レジスタ設定後から数ステートの実行時間が必要です。

よって、その後に HALT 命令を実行する場合は、HALT 命令との間に 10 バイト以上の NOP 命令、あるいは他の命令を実行してください。

3) AR(オートリフレッシュ)間隔の設定

SDRAM 使用においては、使用する SDRAM の最低動作周波数、最低リフレッシュ間隔を満たすようなシステムクロック周波数を設定することが必要です。

SDRAM を使用し、且つクロックギアをアップ/ダウンさせることがあるシステムでは、SDRAM の AR 間隔に注意してください。

なお、AR 間隔を変更時は SDRCCR<SRC>に“0”をライトし AR を禁止にした状態に変更してください。

4) SFR の設定変更

SDACR<SPRE>、SDCISR レジスタの設定を変更する場合は、SDRAM コントローラを禁止 (SDACR<SMAC> = “0”) してから変更してください。

5) SDRAM コントローラの禁止

SDRAM コントローラを禁止する場合は、下記の手順で設定してください。

	LD	(SDCMM),0x02	;	All Bank Precharge コマンドを発行
LOOP:	LD	A,(SDCMM)	;	SDCMM レジスタのリード
	CP	A,0x00	;	All Bank Precharge コマンドが終了するまでポーリング
	JP	NZ,LOOP	;	
	LD	(SDACR),0x00	;	SDRAM コントローラを停止

3.11 NAND_Flashコントローラ

3.11.1 特長

NAND-Flash コントローラ (NDFC)は NAND-Flash メモリへの専用接続端子を備えています。

また、エラー訂正に必要な ECC 計算機能を備えています。SLC(Single Level Cell)タイプの NAND-Flash メモリに対応した、1-bit/256byte のエラー検知が可能な Hamming Code ECC 計算機能と、MLC(Multi Level Cell)タイプの NAND-Flash メモリに対応した、4-address/518byte のエラー検知が可能な、Reed Solomon ECC 計算機能もサポートしています。

チャンネル 0 とチャンネル 1 の計 2 チャンネルの NAND-Flash コントローラを内蔵していますが、チップインーブル以外の端子は兼用端子となっています。ここではチャンネル 0 のみの動作を説明します。

NAND-Flash コントローラには以下の特長があります。

- (1) レジスタによる NAND-Flash メモリインターフェースの制御
- (2) 8/16 ビット幅の NAND-Flash メモリに対応
- (3) 512 バイト/2048 バイトのページサイズに対応
- (4) 256KB 以上の大容量ブロックサイズに対応
- (5) Hamming Code ECC 生成回路を内蔵 (SLC タイプ用)
- (6) Reed Solomon 符号化・複合化による、4-address(4-byte)のエラー検出回路を内蔵 (MLC タイプ用)

注 1) NAND-Flash の \overline{WP} (Write Protect) 端子については、サポートしていません。必要な場合は、外部で準備してください。

注 2) 2チャンネルの同時アクセスはできません。切り替えて使用してください。

3.11.2 ブロック図

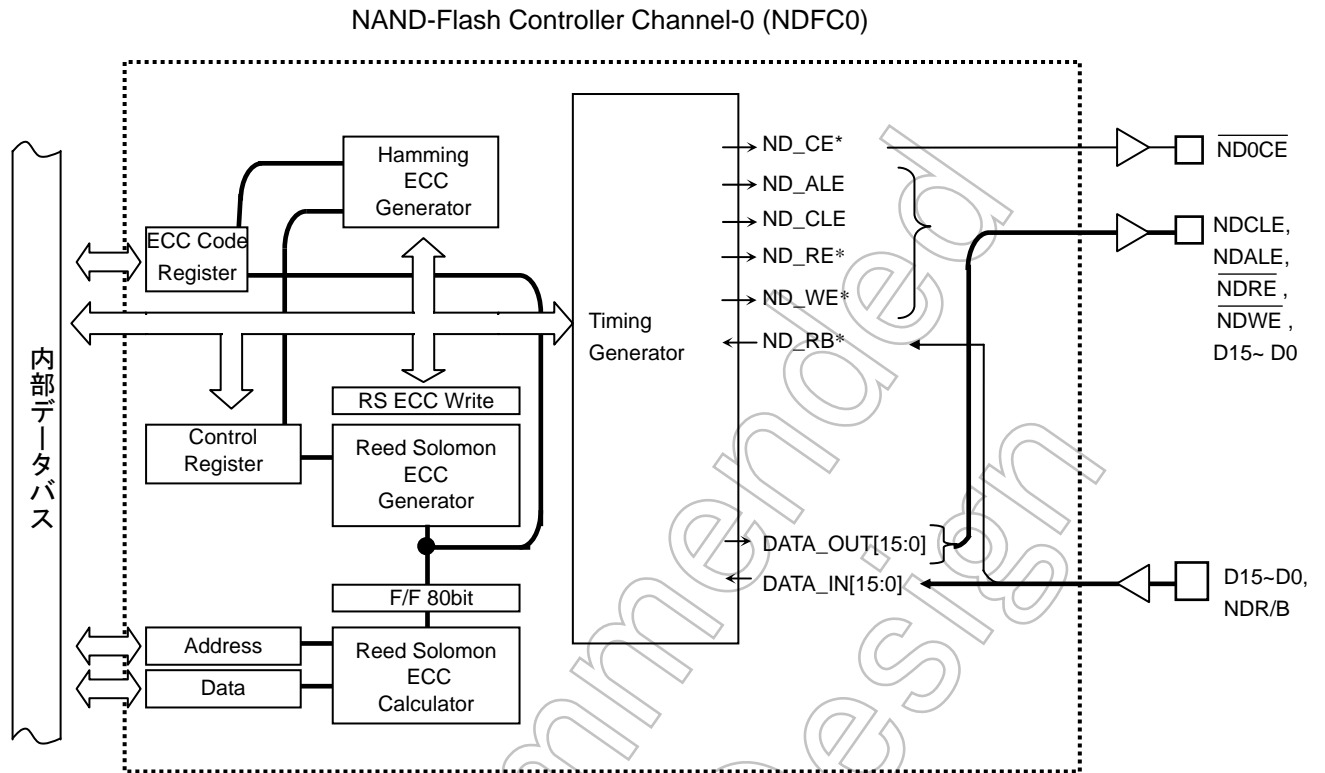


図 3.11.1 NAND Flash コントローラブロック図

Not Recommended for New Design

3.11.3 動作説明

3.11.3.1 NAND-Flashメモリへのアクセス

本制御回路では NAND-Flash メモリに対し、コントローラ内部のレジスタを経由して間接的にデータアクセスを行います。ここでは NAND-Flash メモリにアクセスするための動作を説明いたします。

NAND-Flash メモリへのコマンドを生成する専用のシーケンサは準備されていないので、NDCLE、NDALE、 $\overline{\text{NDCE}}$ 端子の制御は、全て S/W にて“H/L”の切り替えが必要です。

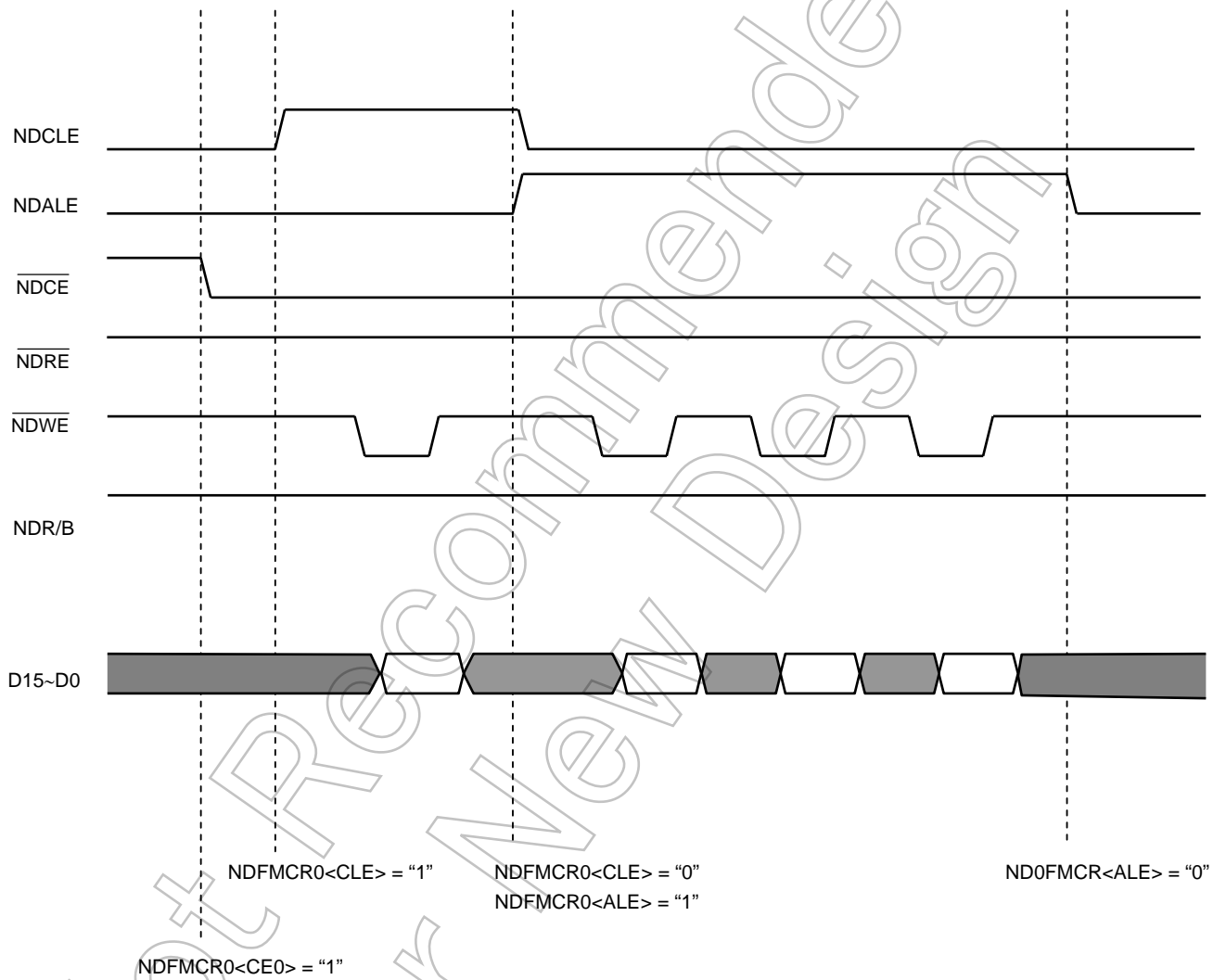


図 3.11.2 NAND-Flash への基本アクセス

次に $\overline{\text{NDRE}}$ 、 $\overline{\text{NDWE}}$ 信号の制御です。

ND0FDTR レジスタに対して、リード/ライトの動作を行います。実際のリード動作は ND0FDTR レジスタからのリードではなく、外部の NAND-Flash メモリのリード動作が終了した後に終了し、同様にライト動作も ND0FDTR レジスタへのライトではなく外部の NAND-Flash へのライトが終了した後で、ライト終了となります。

この時、 $\overline{\text{NDRE}}$ と $\overline{\text{NDWE}}$ の Low 幅と High 幅の調整が可能です。CPU の動作スピード (f_{sys}) と NAND-Flash メモリのアクセスタイムにあわせて調整してください(詳細は電気的特性を参照ください)。

下記の例は、 $\text{NDFMCR0}\langle\text{SPLW1:0}\rangle = 2$ 、 $\text{NDFMCR0}\langle\text{SPHW1:0}\rangle = 2$ に設定し 6clk アクセスにした例です(ライト時にはデータのドライブ時間も伸びます)。

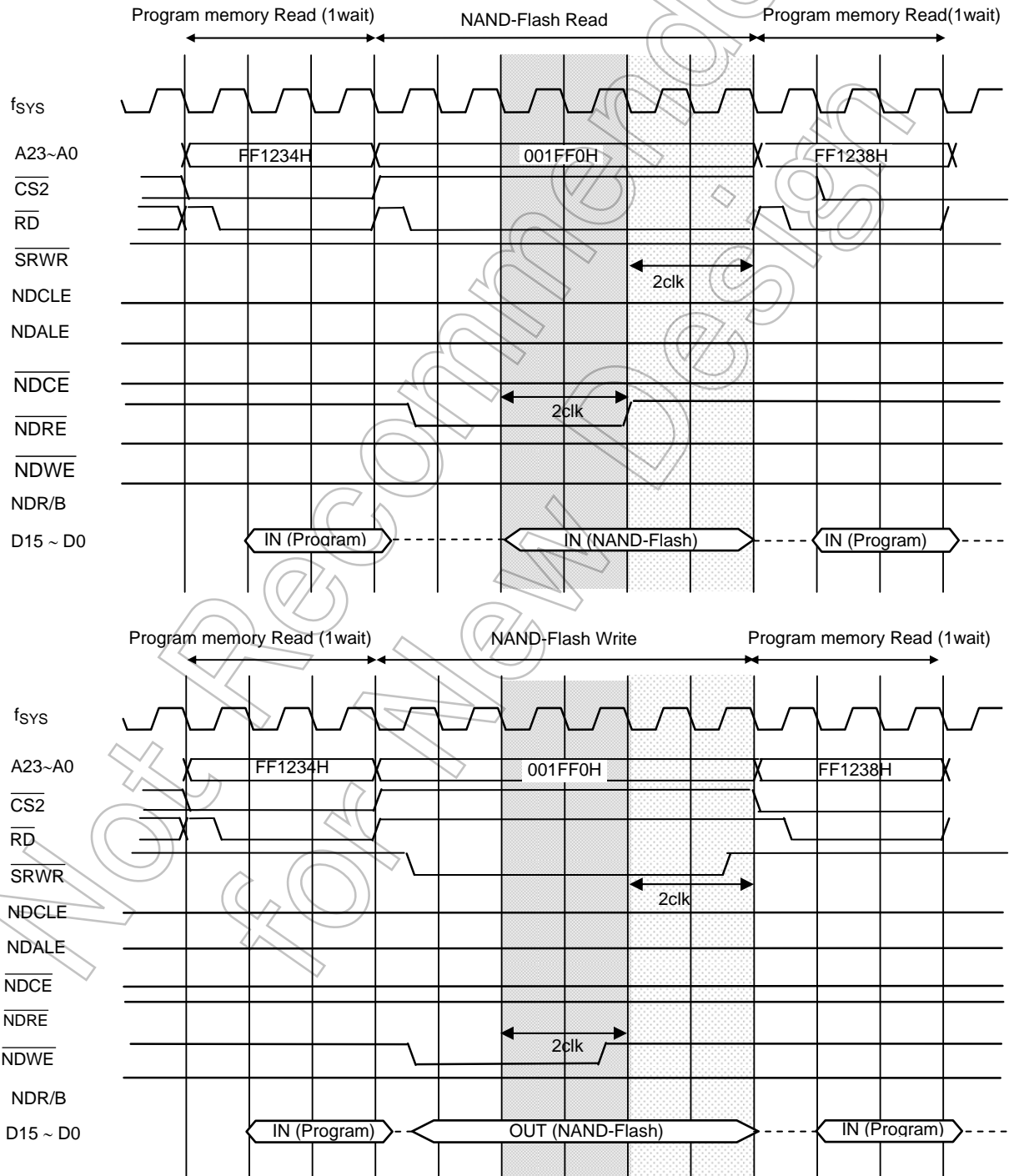


図 3.11.3 NAND-Flash へのリード/ライトアクセス

3.11.4 ECC 制御

ここでは、ECC の制御に関する説明をいたします。NAND-Flash メモリでは、その特性上メモリ内にエラービットが含まれる可能性があります。そこで、ECC(Error Correction Code)を利用して、エラー訂正処理が必要です。

下記のフローは、ECC 制御の基本的な流れを示すフローチャートです。

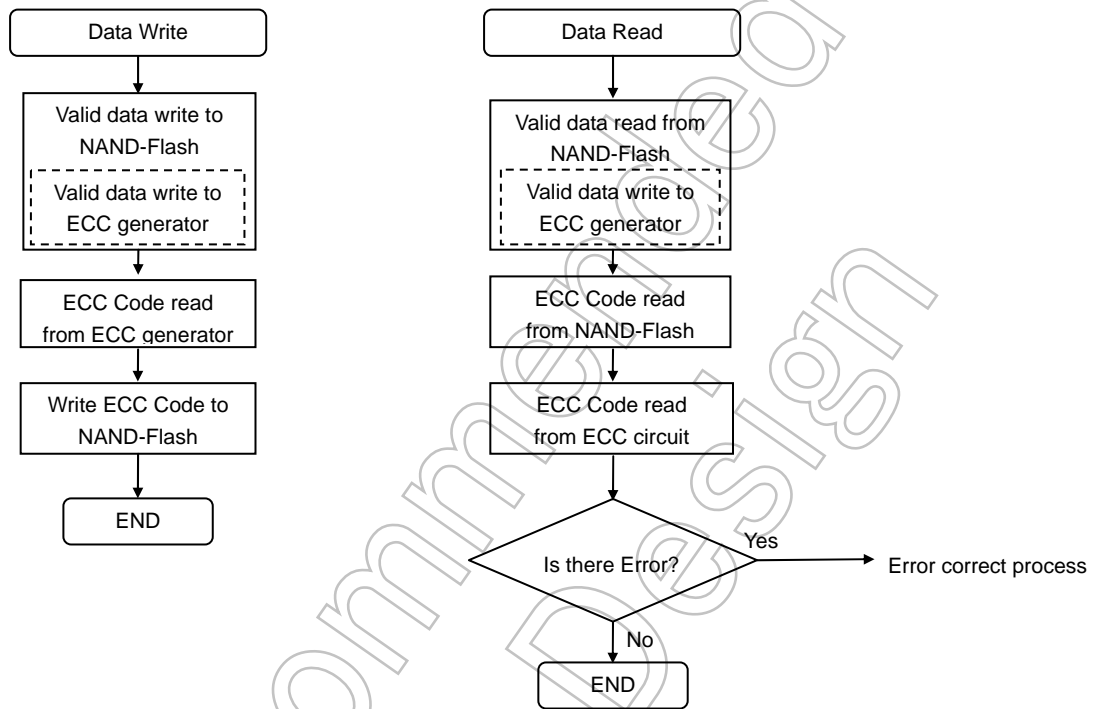


図 3.11.4 ECC 制御基本フロー

ライト時：

1. NAND-Flash メモリにデータライトする時は、実際の NAND-Flash メモリへライトするのと同時に、本回路内の ECC generator がライトしたデータの ECC を生成します。
2. 有効なデータとは別に、ECC を NAND-Flash メモリの冗長エリアにライトします。

リード時：

1. NAND-Flash メモリからリードする時は、ライト時と同様に、データのリードと同時に本回路内の ECC generator が ECC を発生させます。
2. NAND-Flash メモリから冗長エリアにライトしておいた ECC をリードし、ライト時とリード時の ECC を使って、エラービットを算出し、訂正を行います。

3.11.4.1 ハミングとリードソロモンの相違点

本回路では、SLC(または 2LC: 2 値データ)および MLC(または 4LC: 現在は 4 値データのみ)に対応した、ECC 発生回路(ECC Generator)を内蔵しています。

SLC に対応したハミング ECC 計算では、有効データ 256Byte に対し、22bit の ECC を発生させ、1-bit/256byte のエラーを検知・訂正することが出来ます。エラービットの検出計算、訂正は S/W にて対応する必要があります。Smart Media を使用する場合ハミングを使用します。

MLC に対応したリードソロモン ECC 計算では、有効データ 1Byte~518Byte に対し、80bit の ECC を発生させ、4-address/518byte のエラービットを検知・訂正することが出来ます。リードソロモン ECC も、ハミングと同様にエラービットの訂正は S/W での対応が必要ですが、エラービットの検出計算は H/W がサポートします。

下記にハミングとリードソロモンの違いを表にまとめています。

表 3.11.1 ハミングとリードソロモンの相違点

	Hamming	Reed Solomon
訂正可能な最大エラー数	1-bit	4-address (1-address = 8bit は全て訂正可能)
ECC のビット数	22 bit / 256 byte	80bit / ~518 byte
エラービットの検出方法	S/W にて対応します。	H/W が検出します。
エラービットの訂正方法	S/W にて対応します。	S/W にて対応します。
エラービットの検出時間	S/W にて対応しますので、S/W の作成方法に依存します。	下記の表を参照ください。
その他	Smart Media 対応	—

エラービット数	リードソロモン・エラービット 検出時間 Clock 数	備考
4	813 (max)	検出までにかかるトータルのクロック数を表していますが、CPU がレジスタに対してリード/ライトする時間は含んでいません。
3	648 (max)	
2	358 (max)	
1	219 (max)	
0	1	

3.11.4.2 エラー訂正方法

Hamming ECC

- 1 ページが 512byte の有効データの場合 44bit の ECC が発生します。エラーの訂正処理は 256byte ずつ、(ECC: 22bit 分)行う必要があります。ここでは、22bit の ECC を使って、256byte の訂正処理の方法を説明しています。
 - 大容量ページ(2048byte 等)の NAND-Flash メモリの場合は、複数回にわけて対応する必要があります。
- 1) 計算 ECC と冗長部の ECC を、それぞれ下位 2 バイトがラインパリティ(LPR15:0)、上位 1 バイトがカラムパリティ(CPR7:2: カラムパリティの有効データは上位 6 ビット)になるように、並び替えます。
 - 2) 各々の ECC の、排他的論理和をとり XOR データを生成します。
 - 3) XOR データが 0 なら ECC の一致が取れているので正常終了(エラーなし)。0 以外の場合、データ補正可能なエラーなのかをチェックします。
 - 4) XOR データ内に ON ビットが 2 ビット以上無ければ、ECC 自体の 1 ビット異常と認識し、終了します(訂正不可)。
 - 5) XOR データ内の有効データ、bit0 から bit21 までの 2 ビットずつのデータが 01B または 10B のいずれかになっていればデータ補正可能なエラーと判定し、データ補正に移行。00B または 11B が存在するならデータ補正不可能なエラーと判定し、異常終了します。

	訂正可能な XOR データ例	訂正不可能な XOR データ例												
2 進数	<table border="1"> <tr> <td>10 01 10</td> <td>00 カラムパリティ</td> </tr> <tr> <td>10 10 01 10</td> <td>ラインパリティ</td> </tr> <tr> <td>01 01 10 10</td> <td></td> </tr> </table>	10 01 10	00 カラムパリティ	10 10 01 10	ラインパリティ	01 01 10 10		<table border="1"> <tr> <td>10 11 10</td> <td>00 カラムパリティ</td> </tr> <tr> <td>10 10 01 10</td> <td>ラインパリティ</td> </tr> <tr> <td>01 01 10 10</td> <td></td> </tr> </table>	10 11 10	00 カラムパリティ	10 10 01 10	ラインパリティ	01 01 10 10	
10 01 10	00 カラムパリティ													
10 10 01 10	ラインパリティ													
01 01 10 10														
10 11 10	00 カラムパリティ													
10 10 01 10	ラインパリティ													
01 01 10 10														

- 6) データ補正は、XOR データのラインパリティからエラーのあった行情報、カラムパリティからビット情報を作成し、その 1 ビットを反転して終了します。

例) XOR データが 1001101010011001011010 の場合

2 バイトのラインパリティを 1 バイトに変換する。(10→1、01→0)

6 ビットのカラムパリティを 3 ビットに変換する。(10→1、01→0)

ラインパリティ: 10 10 01 10 01 01 10 10
 ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓
 1 1 0 1 0 0 1 1 = D3H

・ D3/FF H にエラー

カラムパリティ: 10 01 10
 ↓ ↓ ↓
 1 0 1 = 5

・ bit5 にエラー

212 番地のビット 5 のデータを反転し、訂正終了。

Reed-Solomon ECC

- 本回路では、518byte までの有効データに対し 80bit の ECC を発生します。大容量ページ(2048byte 等)の NAND-Flash メモリの場合は複数回にわたって対応することが必要です。
 - 基本的にエラー訂正のための計算作業は必要ありません。エラー検出が正常にされていれば、エラーアドレスとエラービットを参照するのみです。ただし、エラーアドレスの変換を必要とする場合があります。下記に例を用いて説明します。
- 1) NDRSCAn レジスタの示すエラーアドレスが 000H~007H までの場合は、ECC 部にエラーが存在しますが、訂正の必要はありません。
(ECC 部のエラー箇所の訂正は出来ません。しかし、ECC 部にエラーが存在した場合は ECC 部エラーを含め、トータル 4symbol のエラー訂正が本製品の能力になりますので、注意が必要です)
 - 2) NDRSCAn レジスタの示すエラーアドレスが 008H~20DH の場合は、20DH との差がエラーアドレスとなります。
(有効データを 512 バイトとして処理する場合は、エラーアドレスが 008H~207H の場合は、207H との差がエラーアドレスとなります)

例 1) NDRSCAn = 005H NDRSCDn = 04H = 00000100B の場合
エラーアドレスが 000H~007H の範囲であるため、訂正不要。
(エラービットはビット 2 に存在しますが、訂正不要)

例 2) NDRSCAn = 083H NDRSCDn = 81H = 10000001B の場合
 $20DH - 083H = 18AH$ 番地のビット 7 のデータとビット 0 のデータを反転し、訂正終了。
(有効データが 512 バイトの場合、 $207H - 083H = 184H$ 番地のビット 7 のデータとビット 0 のデータを反転し、訂正終了)

注) エラーアドレス(変換後のエラーアドレス)が、000H~007H と計算された場合は、冗長エリア(ECC)内にエラービットが存在することを示していますが、この場合エラー訂正は必要ありません。ReedSolomon では、冗長エリアも含め 4symbol 以内のエラー数であれば、たとえエラービットが冗長エリアの ECC であっても、正確にエラービットの算出をします。

3.11.5 レジスタの説明

		NAND-FLASH Control0 Register							
		7	6	5	4	3	2	1	0
NDFMCR0 (08C0H)	bit Symbol	WE	ALE	CLE	CE0	CE1	ECCE	BUSY	ECCRST
	Read/Write	R/W						R	W
	リセット後	0	0	0	0	0	0	0	0
リードモ ディファイ ライトでき ません。	機能	WE 許可 0: disable 1: enable	ALE 制御 0: "L" out 1: "H" out	CLE 制御 0: "L" out 1: "H" out	CE0 制御 0: "H" out 1: "L" out	CE1 制御 0: "H" out 1: "L" out	ECC 回路 制御 0: Disable 1: Enable	NANDF 状態 1: BUSY 0: Ready	ECC Reset 制御 0: - 1: Reset *リードす ると常に "0"にな ります。
		15	14	13	12	11	10	9	8
(08C1H)	bit Symbol	SPLW1	SPLW0	SPHW1	SPHW0	RSECCL	RSEDN	RSESTA	RSECGW
	Read/Write	R/W						W	R/W
	リセット後	0	0	0	0	0	0	0	0
リードモ ディファイ ライトでき ません。	機能	Strobe パルス幅制御 (NDRE と NDWE の Low 幅) 挿入幅 = (fsys) × (設定値)		Strobe パルス幅制御 (NDRE と NDWE の High 幅) 挿入幅 = (fsys) × (設定値)		Reed Solomon ECC Latch 0: disable 1: enable	Reed Solomon 動作切り 替え (ライト時) 0: encode 1: decode (リード時)	Reed Solomon Error Cal Start 0: - 1: Start *リードす ると常に "0"にな ります。	Reed Solomon ECC Generator Write 制御 0: Disable 1: Enable

図 3.11.5 NAND-Flash Mode control0 register

(a) <ECCRST>

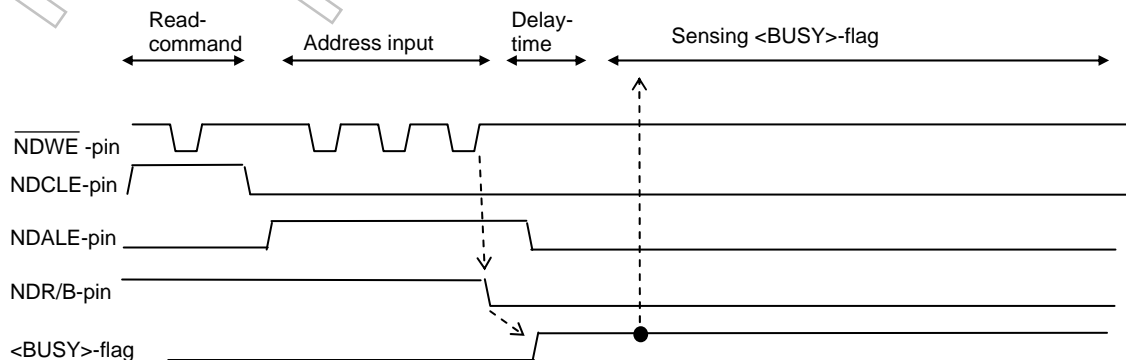
ハミング、リードソロモンともに、使用するビットです。

ハミング ECC のリセットの場合 NDFMCR1<ECCS>="0"、リードソロモン ECC をリセッ
トする場合 NDFMCR1<ECCS>="1"と設定し、"1"をライトすることで、回路内の ECC をク
リアします。また、同時に NDEC CRDn レジスタの内容もクリアされます。

この時、 NDFMCR0<ECCE> = "0"の状態ではクリアされませんので、必ず
NDFMCR0<ECCE> = "1"に設定するようにしてください。

(b) <BUSY>

ハミング、リードソロモンともに、使用するビットです。NAND-Flash メモリの状態(NDR/B
端子状態)を確認するビットです。BUSY 状態の時は"1"となり、RDY 状態の時は"0"とな
ります。数ステートのノイズフィルタを NDFC に内蔵しているため、NDR/B 端子の状態が変化
した場合、同時に<BUSY>フラグは更新されません。そのため、ソフトによる遅延時間(例 "NOP"
命令 × 10)がこのフラグのチェックを開始する前に必要となります。



(c) <ECCE>

ハミング、リードソロモンともに、使用するビットです。

ECC回路の制御を行うビットです。ECCをリセットする際(ECCRSTに“1”をライトする時)には、イネーブル状態で(“1”)ある必要があります。

(d) <CE1:0>、<CLE>、<ALE>

ハミング、リードソロモンともに、使用するビットです。NAND-Flashメモリの各端子を制御するビットです。

(e) <WE>

ハミング、リードソロモンともに、使用するビットです。ライトの許可を制御します。

(f) <RSECGW>

リードソロモンの場合のみ、使用するビットです。

ハミング使用時には“0”に設定してください。

有効データ部と ECC では、本回路内部でその処理方法が異なるため、S/Wで有効データ部をリードする時と、ECCをリードする時を分けて管理する必要があります。

NAND-Flashメモリから有効データをリードする時には、“0”: Disable とし、NAND-Flashの冗長エリアにライトされた ECC をリードする時には、“1”: Enable とします。

注 1) DMA 転送を利用した有効データ部と ECC の連続リードは出来ません。有効データのリードが終了した後、一旦転送を停止させ、本ビットの設定を“0”→“1”に変更した後に ECC をリードしてください。

注 2) NAND-Flashメモリから ECC をリードした直後は、内部処理のために、システムクロック(fsYS)20クロックの間は、NAND-Flashメモリへのアクセス(リード/ライト)とエラービットの算出計算が出来ません。NOP×20などの処理が必要です。

(g) <RSESTA>

リードソロモンの場合のみ、使用するビットです。

ライト時の ECC とリード時の ECC から生成された中間コードを使って、エラーアドレスとエラービットの箇所を計算します。“1”をライトすると、計算を開始します。

(h) <RSEDN>

リードソロモンの場合のみ、使用するビットです。

ハミング使用時には“0”に設定してください。

ライト時には ECC を発生させるために、“0”: encode を選択し、NDEC CRD_nからリードした ECC を NAND-Flash メモリの冗長エリアにライトします。またリード時には“1”: decode を選択し、NAND-Flash メモリから有効データをリードし、さらに NAND-Flash の冗長エリアにライトされた ECC をリードすることで、エラーアドレスとエラービットの箇所を計算させるための中間コードを発生します。

(i) <RSECCL>

リードソロモンの場合のみ、使用するビットです。

ハミング使用時には“0”に設定してください。

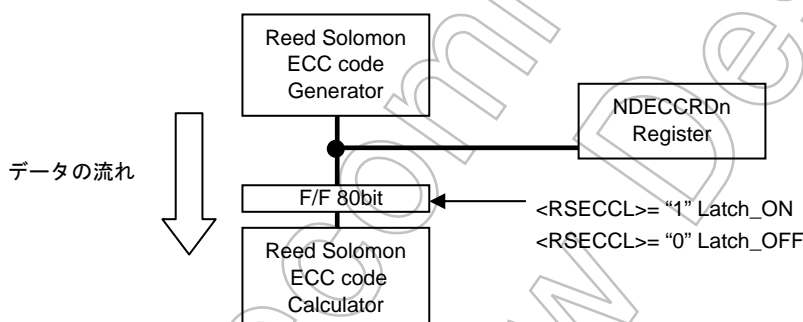
リードソロモンの回路は、2種類の回路からなっており、ECCを発生する回路と、ECCから、エラーアドレスとエラービットを算出する回路から構成されています。

ECCの発生と、エラー算出がシリアルに行われる場合は特に問題ありませんが、ECC発生とエラー計算を並列に行いたい場合は、エラー算出中には、エラー算出に使用する中間コードが変化しないように固定(ラッチ)しておく必要があります。

ライト時のECCとリード時のECCから生成された中間コードを使って、エラーアドレスとエラービットを計算しますが、その中間コードに、回路内部でラッチをかけるためのビットです。

<RSECCL>に“1”をライトすることで、中間コードにラッチがかかり、ECC発生回路がECCを更新させても、エラー算出回路には伝達されなくなり、エラーアドレス・エラービットを計算中も並行して、別ページの、ECCを発生させることが可能となります。この時のECC発生はEncode(ライト時)、Decode(リード時)共に対応可能です。

<RSECCL>に“0”をライトすると、ラッチが外れてECC発生回路のデータがエラー算出回路に逐次更新されます。



(j) <SPHW1:0>

ハミング、リードソロモンともに、使用するビットです。

$\overline{\text{NDRE}}$ と $\overline{\text{NDWE}}$ 信号の High 幅を設定します。設定値 $\times f_{\text{SYS}}$ の幅を High 幅に挿入できます。

(k) <SPLW1:0>

ハミング、リードソロモンともに、使用するビットです。

$\overline{\text{NDRE}}$ と $\overline{\text{NDWE}}$ 信号の Low 幅を設定します。設定値 $\times f_{\text{SYS}}$ の幅を Low 幅に挿入できます。

NAND-FLASH Control1 Register

		7	6	5	4	3	2	1	0	
NDFMCR1 (08C2H)	bit Symbol	INTERDY	INTRSC				BUSW	ECCS	SYSCKE	
	Read/Write	R/W						R/W		
	リセット後	0	0				0	0	0	
	機能	Interrupt READY 0: Mask 1: Enable	Interrupt RS calc 0: Mask 1: Enable				Data bus Width 0: 8bit 1: 16bit	ECC Calculation 0: H/C 1: R/S	Clock Control 0: disable 1: enable	
		15	14	13	12	11	10	9	8	
(08C3H)	bit Symbol	STATE3	STATE2	STATE1	STATE0	SEER1	SEER0			
	Read/Write	R								
	リセット後	0	0	0	0	不定	不定			
	機能	Status read(下図参照)								

表 3.11.2 Reed Solomon 計算結果状態一覧表

STATE<3:0>	Note
0000	計算終了 0(Error 無し)
0001	計算終了 1(5-symbol 以上 Error 有り:訂正不可)
0010	計算終了 2(Error 有り)
0011	
0100~1111	計算中

注) <STATE3:0>の値は計算処理をスタート後、有効となります。

SEER<1:0>	Note
00	1-address Error
01	2-address Error
10	3-address Error
11	4-address Error

注) <SEER1:0>の値は、計算終了後から有効となります。

(a) <SYSCKE>

ハミング、リードソロモンともに、使用するビットです。

本回路を使用する際には必ず“1”: Enable 状態にします。本回路を使用しない場合は“0”に設定し、消費電流を低減できます。

(b) <ECCS>

ハミング/リードソロモンの切り替えビットです。“0”でハミング、“1”でリードソロモンの設定となります。ECCをクリアする場合にも選択する必要があります。

(c) <BUSW>

ハミング、リードソロモンともに、使用するビットです。

アクセスする NAND-Flash メモリのバス幅を決めます。“0”で 8 ビットバス、“1”で 16 ビットバスの設定となります。メモリコントローラでの設定は不要です。

(d) <INTRSC>

リードソロモンの場合のみ、使用するビットです。

ハミング使用時には“0”に設定してください。

エラーアドレスとエラービットの計算が終了した際に、発生する割り込みの制御ビットです。“1”で割り込み許可、“0”で割り込み禁止を設定します。

(e) <INTRDY>

ハミング、リードソロモンともに、使用するビットです。

NAND-Flash メモリの NDR/B 端子の状態が **Busy** から **Ready** 状態(0→1)になった時に発生する割り込みの制御ビットです。“1”で割り込み許可、“0”で割り込み禁止を設定します。

(f) <STATE3:0>、<SEER1:0>

リードソロモンの場合のみ、使用するビットです。

ハミング使用時には、意味を持ちません。

エラーアドレスとエラービットの計算結果の状態を示すフラグです。詳細は表 3.11.2を参照してください。

Not Recommended
for New Design

NANDFC Data Register0										
NDFDTR0 (1FF0H)	bit Symbol	7	6	5	4	3	2	1	0	
	Read/Write	R/W								
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定	
	機能	NAND-Flash Data Register (7-0)								
(1FF1H)	bit Symbol	15	14	13	12	11	10	9	8	
	Read/Write	R/W								
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定	
	機能	NAND-Flash Data Register (15-8)								

NANDFC Data Register1										
NDFDTR1 (1FF2H)	bit Symbol	7	6	5	4	3	2	1	0	
	Read/Write	R/W								
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定	
	機能	NAND-Flash Data Register (7-0)								
(1FF3H)	bit Symbol	15	14	13	12	11	10	9	8	
	Read/Write	R/W								
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定	
	機能	NAND-Flash Data Register (15-8)								

注) このレジスタは R/W 可能なレジスタですが、内部に F/F は存在しません。ライト時とリード時の動作が異なるため、ライト後、リードしてもライトデータは保持されていません。

図 3.11.6 NAND-Flash データレジスタ(NDFDTR, ND1FDTR)

NAND-Flash メモリヘデータをリード・ライトする場合、NDFDTR0 レジスタをアクセスします。

このレジスタにデータをライトすると、NAND-FLASH メモリヘデータがライトされ、このレジスタをリードすると NAND-FLASH からデータをリードします。チャンネル 0、1 共に同一のレジスタを使用します。

DMA 動作で、4 バイト転送を利用できるようにレジスタを 4 バイト分準備しています。たとえば 32 ビットメモリの内蔵 RAM から 8 ビット幅の NAND-Flash メモリヘデータを DMA 転送する場合は、デスティネーションアドレスを NDFDTR0(NDFDTR1 は設定不可)に設定し、4 バイト転送の設定が可能です。DMA での実際の動作は『4 バイトリード×1回 → バイトライト×4回(この場合下位→上位アドレスの順)』となります。

データレジスタは 4 バイト存在しますが、NAND-Flash メモリデータアクセスの際は、必ず NDFDTR0(1FF0 番地)をアクセスしてください。詳細は表 3.11.3 を参照してください。

表 3.11.3 NANDFC Data Register アクセス方法

ライト時

アクセス データサイズ	命令実行例	8bit 幅 NAND-Flash	16bit 幅 NAND-Flash
1バイトアクセス	ld (0x1FF0),a	○	×
2バイトアクセス	ld (0x1FF0),wa	○	○
4バイトアクセス	ld (0x1FF0),xwa	○	○

リード時

アクセス データサイズ	命令実行例	8bit 幅 NAND-Flash	16bit 幅 NAND-Flash
1バイトアクセス	ld a,(0x1FF0)	○	×
2バイトアクセス	ld wa,(0x1FF0)	○	○
4バイトアクセス	ld xwa,(0x1FF0)	○	○

Not Recommended for New Design

NANDFC code ECC Register 0

		7	6	5	4	3	2	1	0
NDECCRD0 (08C4H)	bit Symbol	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NAND-Flash ECC code Register (7-0)							
		15	14	13	12	11	10	9	8
(08C5H)	bit Symbol	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NAND-Flash ECC code Register (15-8)							

NANDFC code ECC Register1

		7	6	5	4	3	2	1	0
NDECCRD1 (08C6H)	bit Symbol	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NAND-Flash ECC code Register (7-0)							
		15	14	13	12	11	10	9	8
(08C7H)	bit Symbol	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NAND-Flash ECC code Register (15-8)							

NANDFC code ECC Register2

		7	6	5	4	3	2	1	0
NDECCRD2 (08C8H)	bit Symbol	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NAND-Flash ECC code Register (7-0)							
		15	14	13	12	11	10	9	8
(08C9H)	bit Symbol	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NAND-Flash ECC code Register (15-8)							

NANDFC code ECC Register3										
	7	6	5	4	3	2	1	0		
NDECCRD3 (08CAH)	bit Symbol	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	NAND-Flash ECC code Register (7-0)								
	15	14	13	12	11	10	9	8		
(08CBH)	bit Symbol	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	NAND-Flash ECC code Register (15-8)								

NANDFC code ECC Register4										
	7	6	5	4	3	2	1	0		
NDECCRD4 (08CCH)	bit Symbol	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	NAND-Flash ECC code Register (7-0)								
	15	14	13	12	11	10	9	8		
(08CDH)	bit Symbol	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	NAND-Flash ECC code Register (15-8)								

図 3.11.7 NAND-Flash ECC コードリードレジスタ

本回路内で計算した、ECC をリードするためのレジスタです。

有効データのリード/ライトが終了し、NDFMCR0<ECCE>に"0"をライトした時点で、本レジスタには ECC が準備されています(NDFMCR0<ECCE>が "1" から "0" に変化したときに、最新の ECC に更新されます)。

ハミングの場合、22bit/~256Byte、リードソロモンの場合 80bit/~518Byte となります。

80 ビット分のレジスタが用意されており、16 ビット幅のレジスタが 5 つの構成となっていますので、32 ビットアクセスは出来ません。16 ビットずつリードしてください。

ECC 計算終了後、ハミングの場合、NDECCRD0 レジスタに前半 256 バイト分の 16 ビットラインパリティ、NDCCRD1<ECCD7:2> の 6 ビットに前半 256 バイト分カラムパリティが格納されています。さらに NDECCRD2 レジスタには後半 256 バイト分の 16 ビットラインパリティ、NDCCRD3<ECCD7:2> の 6 ビットに後半 256 バイト分カラムパリティが格納されています。

ハミングの場合、NDECCRD4 レジスタは使用しません。

リードソロモンの場合は、80 ビットの ECC が、NDECARD0、NDECARD1、NDECARD2、NDECARD3、NDECARD4 に格納されています。

注) ECC コードをリードする場合、NDFMCR0<ECCE>を“0”にした後に ECC データをリードしてください。
NDFMCR0<ECCE>が“1”から“0”に変化したときに最新の ECC に更新されます。また、NDFMCR0<ECCRST>
にて、ECC をリセットしても、ECC Generator 内部の ECC がクリアされるだけで、本レジスタの内容はリセ
ットされません。

レジスタ名	ハミング	リードソロモン
NDECARD0	[15:0] ラインパリティ (前半 256 バイト分)	[15:0] R/S ECC code 79:64
NDECARD1	[7:2] カラムパリティ (前半 256 バイト分)	[15:0] R/S ECC code 63:48
NDECARD2	[15:0] ラインパリティ (後半 256 バイト分)	[15:0] R/S ECC code 47:32
NDECARD3	[7:2] カラムパリティ (後半 256 バイト分)	[15:0] R/S ECC code 31:16
NDECARD4	未使用	[15:0] R/S ECC code 15:0

ECC を NAND-Flash メモリの冗長エリアにライトする例を、下記の表に示します。

ハミングの場合で、スマートメディアを利用する際は、スマートメディアの物理フォーマット仕様で冗長エリアのアドレスが規定されています。詳細はスマートメディアの物理フォーマット仕様を参照ください。

	リードソロモン	NAND-Flash アドレス
NDECARD0	[15:0] R/S ECC code 79:64	上位 8bit [79:72] → 518 番地 下位 8bit [71:64] → 519 番地
NDECARD1	[15:0] R/S ECC code 63:48	上位 8bit [63:56] → 520 番地 下位 8bit [55:48] → 521 番地
NDECARD2	[15:0] R/S ECC code 47:32	上位 8bit [47:40] → 522 番地 下位 8bit [39:32] → 523 番地
NDECARD3	[15:0] R/S ECC code 31:16	上位 8bit [31:24] → 524 番地 下位 8bit [23:16] → 525 番地
NDECARD4	[15:0] R/S ECC code 15:0	上位 8bit [15:8] → 526 番地 下位 8bit [7:0] → 527 番地

NANDFC Reed Solomon Calculation Result Address Register

NDRSCA0 (08D0H)		7	6	5	4	3	2	1	0
	bit Symbol	RS0A7	RS0A6	RS0A5	RS0A4	RS0A3	RS0A2	RS0A1	RS0A0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	NAND-Flash Reed Solomon Calculation Result Address Register (7-0)								
(08D1H)		15	14	13	12	11	10	9	8
	bit Symbol							RS0A9	RS0A8
	Read/Write							R	
	リセット後							0	0
機能							NAND-Flash Reed Solomon Calculation Result Address Register (9-8)		
NDRSCA1 (08D4H)		7	6	5	4	3	2	1	0
	bit Symbol	RS1A7	RS1A6	RS1A5	RS1A4	RS1A3	RS1A2	RS1A1	RS1A0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	NAND-Flash Reed Solomon Calculation Result Address Register (7-0)								
(08D5H)		15	14	13	12	11	10	9	8
	bit Symbol							RS1A9	RS1A8
	Read/Write							R	
	リセット後							0	0
機能							NAND-Flash Reed Solomon Calculation Result Address Register (9-8)		
NDRSCA2 (08D8H)		7	6	5	4	3	2	1	0
	bit Symbol	RS2A7	RS2A6	RS2A5	RS2A4	RS2A3	RS2A2	RS2A1	RS2A0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	NAND-Flash Reed Solomon Calculation Result Address Register (7-0)								
(08D9H)		15	14	13	12	11	10	9	8
	bit Symbol							RS2A9	RS2A8
	Read/Write							R	
	リセット後							0	0
機能							NAND-Flash Reed Solomon Calculation Result Address Register (9-8)		
NDRSCA3 (08DCH)		7	6	5	4	3	2	1	0
	bit Symbol	RS3A7	RS3A6	RS3A5	RS3A4	RS3A3	RS3A2	RS3A1	RS3A0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	NAND-Flash Reed Solomon Calculation Result Address Register (7-0)								
(08DDH)		15	14	13	12	11	10	9	8
	bit Symbol							RS3A9	RS3A8
	Read/Write							R	
	リセット後							0	0
機能							NAND-Flash Reed Solomon Calculation Result Address Register (9-8)		

図 3.11.8 NAND-Flash Reed Solomon Address3 register

エラーが 1-address のみの場合 NDRSCA0 レジスタにエラーアドレスが格納され、エラーが 2-address の場合、NDRSCA0 レジスタと NDRSCA1 レジスタにエラーアドレスが格納されます。このように、エラービットが 4-address 以内の場合に有効なエラーアドレスが格納されます。

エラーアドレスの数は、NDFMCR1<SEER1:0>を確認ください。

		7	6	5	4	3	2	1	0
NDRSCD0 (08D2H)	bit Symbol	RS0D7	RS0D6	RS0D5	RS0D4	RS0D3	RS0D2	RS0D1	RS0D0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NANDFC Reed Solomon Calculation Result Data Register (7-0)							
NDRSCD1 (08D6H)	bit Symbol	RS1D7	RS1D6	RS1D5	RS1D4	RS1D3	RS1D2	RS1D1	RS1D0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NANDFC Reed Solomon Calculation Result Data Register (7-0)							
NDRSCD2 (08DAH)	bit Symbol	RS2D7	RS2D6	RS2D5	RS2D4	RS2D3	RS2D2	RS2D1	RS2D0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NANDFC Reed Solomon Calculation Result Data Register (7-0)							
NDRSCD3 (08DEH)	bit Symbol	RS3D7	RS3D6	RS3D5	RS3D4	RS3D3	RS3D2	RS3D1	RS3D0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	NANDFC Reed Solomon Calculation Result Data Register (7-0)							

図 3.11.9 NAND-Flash Reed Solomon Data register

エラーが 1-address のみの場合 NDRSCD0 レジスタにエラーデータが格納され、エラーが 2-address の場合、NDRSCD0 レジスタと NDRSCD1 レジスタにエラーデータが格納されます。このように、エラービットが 4-address 以内の場合に有効なエラーデータが格納されます。

エラーアドレスの数は、NDFMCR1<SEER1:0>を確認ください。

3.11.6 SLCタイプNAND Flashへのアクセス例

1. 初期化

```

;
; ***** Initialize for NANDFC *****
;      condition: 8bit-bus, CE0, SLC, 512(528)Byte/Page, Hamming
;
      ld      (ndfmcr1),0001h ; 8bit bus, Hamming ECC, SYSCK-ON
      ld      (ndfmcr0),2000h ; SPLW1:0=0, SPHW1:0=2

```

2. ライト

有効データのライト

```

; ***** Writing valid data *****
;
      ldw     (ndfmcr0),2010h ; CE0 enable
      ldw     (ndfmcr0),20B0h ; WE enable, CLE enable
      ld      (ndfdtr0),80h   ; serial input command
      ldw     (ndfmcr0),20D0h ; ALE enable
      ld      (ndfdtr0),xxh   ; Address write (3 or 4times)
      ldw     (ndfmcr0),2095h ; Reset ECC code, ECCE enable, CE0 enable
      ld      (ndfdtr0),xxh   ; Data write (512-times)

```

ECC 発生→リード

```

; ***** ECC code Read *****
;
      ldw     (ndfmcr0),2010h ; ECC circuit disable

      ldw     xxxx,(ndecrd0)  ; Read ECC Code from internal circuit
;      1'st Read:      D15:0 > LPR15:0          For first half 256byte
      ldw     xxxx,(ndecrd1)  ; Read ECC Code from internal circuit
;      2'nd Read:     D15:0 > FFh+CPR5:0+11b For first half 256byte
      ldw     xxxx,(ndecrd0)  ; Read ECC Code from internal circuit
;      3'rd Read:     D15:0 > LPR15:0          For last half 256byte
      ldw     xxxx,(ndecrd1)  ; Read ECC Code from internal circuit
;      4'th Read:     D15:0 > FFh+CPR5:0+11b For last half 256byte

```

NAND-Flash メモリへの ECC のライト

```

; ***** Writing Dummy data & ECC code *****
;
      ldw     (ndfmcr0),2090h ; ECC circuit disable, data write mode
      ld      (ndfdtr0),xxh   ; Redundancy Area Data write (16-times)
;
;      Write to D520:  LPR7:0          > D7:0   For last half 256byte
;
;      Write to D521:  LPR15:8         > D7:0   For last half 256byte
;
;      Write to D522:  CPR5:0+11b     > D7:0   For last half 256byte
;
;      Write to D525:  LPR7:0          > D7:0   For first half 256byte
;
;      Write to D526:  LPR15:8         > D7:0   For first half 256byte
;
;      Write to D527:  CPR5:0+11b     > D7:0   For first half 256byte

```


ページプログラムの実行

```
;***** Set Auto Page program*****  
;  
    ldw    (ndfmc0),20B0h ; WE enable, CLE enable  
    ld     (ndfdtr0),10h   ; Auto page program command  
    ldw    (ndfmc0),2010h ; WE disable, CLE disable  
;  
;  
    Wait set up time (from Busy to Ready)  
    1. Flag polling  
    2. Interruption  
;  
;
```

ステータスのリード

```
;***** Read Status*****  
;  
    ldw    (ndfmc0),20B0h ; WE enable, CLE enable  
    ld     (ndfdtr0),70h   ; Status Read command  
    ldw    (ndfmc0),2010h ; WE disable, CLE disable  
    ld     xx,(ndfdtr0)   ; Status Read
```

Not Recommended
for New Design

3. リード

有効データのリード

; ***** Read valid data*****

;

```

ldw    (ndfmc0),2010h ; CE0 enable
ldw    (ndfmc0),20B0h ; WE enable, CLE enable
ld     (ndfdtr0),00h   ; Read command
ldw    (ndfmc0),20D0h ; ALE enable
ld     (ndfdtr0),xxh   ; Address write (3 or 4times)

```

;

;

Wait set up time (from Busy to Ready)

;

1. Flag polling

;

2. Interruption

;

```

ldw    (ndfmc0),2015h ; Reset ECC code, ECCE enable, CE0 enable
ld     xx,(ndfdtr0)   ; Data Read (512-times)
ldw    (ndfmc0),2010h ; ECC circuit disable
ld     xx,(ndfdtr0)   ; Redundancy Data Read (8-times)
ld     xx,(ndfdtr0)   ; ECC Data Read (3-times)
ld     xx,(ndfdtr0)   ; Redundancy Data Read (2-times)
ld     xx,(ndfdtr0)   ; ECC Data Read (3-times)

```

ECC 発生→リード

; ***** ECC code Read *****

;

```

ldw    (ndfmc0),2010h ; ECC circuit disable
ldw    xxxx,(ndecrd0) ; Read ECC Code from internal circuit
;      1'st Read:      D15-0 > LPR15:0           For first half 256byte
ldw    xxxx,(ndecrd1) ; Read ECC Code from internal circuit
;      2'nd Read:      D15-0 > FFh+CPR5:0+11b For first half 256byte
ldw    xxxx,(ndecrd0) ; Read ECC Code from internal circuit
;      3'rd Read:      D15-0 > LPR15:0           For last half 256byte
ldw    xxxx,(ndecrd1) ; Read ECC Code from internal circuit
;      4'th Read:      D15-0 > FFh+CPR5:0+11b For last half 256byte

```

ソフトウェア処理

リード時に発生したECCデータと、メモリからリードした冗長データを比較し、エラーが発生した場合には、エラールーチン処理を行い、データ補正を行います。詳細は 3.11.4.2の『エラー訂正方法』を参照ください。

4. IDリード

IDリードの手順は以下の通りです。

```
ldw    (ndfmc0),20B0h ; WE Enable, CLE enable
ld     (ndfdtr0),90h  ; write to ID read command
ldw    (ndfmc0),20D0h ; ALE enable, CLE disable
ld     (ndfdtr0),00h  ; write to 00
ldw    (ndfmc0),2010h ; WE disable, CLE disable
ld     xx,(ndfdtr0)   ; read 1'st ID maker code
ld     xx,(ndfdtr0)   ; read 2'nd ID device code
```

Not Recommended
for New Design

3.11.7 NAND Flash (MLCタイプ) へのアクセス例 (518byteを有効データとする場合)

1. 初期化

```

;
; ***** Initialize for NANDFC *****
;      condition: 16bit-bus, CE1, MLC, 2048(2112)Byte/Page, ReedSolomon
;
      ld      (ndfmc1),0007h ; 16bit bus, ReedSolomon ECC, SYSCK-ON
      ld      (ndfmc0),5000h ; SPLW1:0=1, SPHW1:0=1

```

2. ライト

有効データのライト

```

; ***** Writing valid data *****
;
      ldw     (ndfmc0),5008h ; CE1 enable
      ldw     (ndfmc0),50A8h ; WE enable, CLE enable
      ldw     (ndfdtr0),0080h ; serial input command
      ldw     (ndfmc0),50C8h ; ALE enable
      ldw     (ndfdtr0),00xxh ; Address write ( 4 or 5 times)
      ldw     (ndfmc0),508Dh ; Reset ECC code, ECCE enable
      ldw     (ndfdtr0),xxxxh ; Data write (259-times/518byte)
                                (256-times/512byte)

```

ECC 発生→リード

```

; ***** ECC code Read *****
;
      ldw     (ndfmc0),5008h ; ECC circuit disable
      ldw     (ndfmc0),50A8h ; WE enable, CLE enable
      ldw     (ndfdtr0),0080h ; serial input command
      ldw     (ndfmc0),50C8h ; ALE enable
      ldw     (ndfdtr0),00xxh ; Address write ( 4 or 5 times)

      ldw     xxxx,(ndecrd0) ; Read ECC Code from internal circuit
;      Read:   D79-64
      ldw     xxxx,(ndecrd1) ; Read ECC Code from internal circuit
;      Read:   D63-48
      ldw     xxxx,(ndecrd2) ; Read ECC Code from internal circuit
;      Read:   D47-32
      ldw     xxxx,(ndecrd3) ; Read ECC Code from internal circuit
;      Read:   D31-16
      ldw     xxxx,(ndecrd4) ; Read ECC Code from internal circuit
;      Read:   D15-0

```

NAND-Flash メモリへの ECC のライト

```

; ***** Writing Dummy data & ECC code*****
;
    ldw    (ndfmc0),5088h ; ECC circuit disable, data write mode
    ldw    (ndfdtr0),xxxxh ; Redundancy Area Data write
;
    Write to 207-206h address: > D79-64
    ldw    (ndfdtr1),xxxxh ; Redundancy Area Data write
;
    Write to 209-208h address: > D63-48
    ldw    (ndfdtr0),xxxxh ; Redundancy Area Data write
;
    Write to 20B-20Ah address: > D47-32
    ldw    (ndfdtr1),xxxxh ; Redundancy Area Data write
;
    Write to 20D-20Ch address: > D31-16
    ldw    (ndfdtr0),xxxxh ; Redundancy Area Data write
;
    Write to 20F-20Eh address: > D15-0
;
;
;    2112byte 分の処理のために、ライト動作を 4 回繰り返します。

```

ページプログラムの実行

```

; ***** Set Auto Page program*****
;
    ldw    (ndfmc0),50A8h ; WE enable, CLE enable
    ldw    (ndfdtr0),0010h ; Auto page program command
    ldw    (ndfmc0),5008h ; WE disable, CLE disable
;
;
;    Wait set up time (from Busy to Ready)
;
;    1. Flag polling
;
;    2. Interruption

```

注) ページサイズが 2112 バイトの場合、ECC 処理は 518 (512) バイト単位で終了しても、518(512)バイトごとのプログラミングはできません。ECC を含む 1 ページ分のデータがそろった時点でプログラミングを行います。詳細は NANDF メモリの仕様を参照してください。

ステータスのリード

```

; ***** Read Status*****
;
    ldw    (ndfmc0),50A8h ; WE enable, CLE enable
    ldw    (ndfdtr0),0070h ; Status Read command
    ldw    (ndfmc0),5008h ; WE disable, CLE disable
    ldw    xxxx,(ndfdtr0) ; Status Read

```

3. リード(ECCデータのリードを含む)

有効データのリード

; ***** Read valid data*****

;

ldw (ndfmcr0),5008h ; CE1 enable

ldw (ndfmcr0),50A8h ; WE enable, CLE enable

ldw (ndfdtr0),0000h ; Read command 1

ldw (ndfmcr0),50C8h ; ALE enable

ldw (ndfdtr0),00xxh ; Address write (4 or 5times)

ldw (ndfmcr0),50A8h ; WE enable, CLE enable

ldw (ndfdtr0),0030h ; Read command 2

;

;

Wait set up time (from Busy to Ready)

;

1. Flag polling

;

2. Interruption

;

ldw (ndfmcr0),540Dh ; ECC Reset, ECC circuit enable, decode mode

ldw xxxx,(ndfdtr0) ; Data Read (259-times:518byte)
(256-times:512byte)

ldw (ndfmcr0),550Ch ; RSECGW enable

ldw xxxx,(ndfdtr0) ; Read ECC Code (5-times:80bit)

;

;

Wait set up time (20system clock)

;

(1) エラービット計算処理

ldw (ndfmcr1),0047h ; Error bit calculation interrupt enable

ldw (ndfmcr0),560Ch ; Error bit calculation circuit start

;

;

Wait set up time

;

Interrupt routine (End of calculation for Reed Solomon Error bit)

;

INT: ldw xxxx,(ndfmcr1) ; Check Error status "state3:0, seer1:0"

;

;

エラーが発生した場合には、エラールーチン処理を行い、

;

データ補正を行います。詳細は 3.11.4.2の『エラー訂正方法』

;

を参照ください。

;

;

2112byte 分の処理のために、リード動作を 4 回繰り返します。

;

;

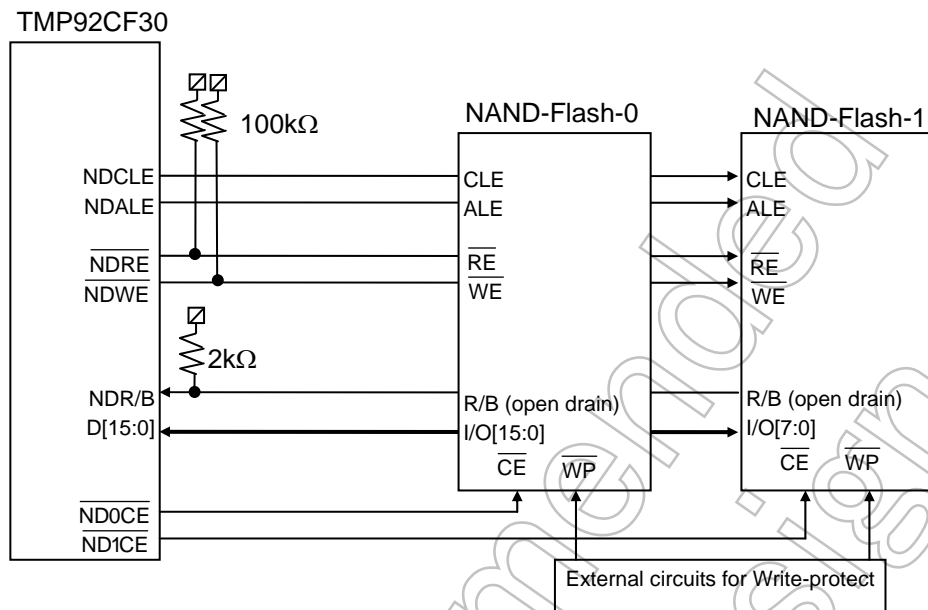
4. IDリード

ID リードの手順は以下の通りです。

```
ldw    (ndfmc0),50A8h ; WE enable, CLE enable
ldw    (ndfdtr0),0090h ; write to ID read command
ldw    (ndfmc0),50C8h ; ALE enable, CLE disable
ldw    (ndfdtr0),0000h ; write to 00
ldw    (ndfmc0),5008h ; WE disable, CLE disable
ldw    xxxx,(ndfdtr0) ; read 1'st ID maker code
ldw    xxxx,(ndfdtr1) ; read 2'ndID device code
```

Not Recommended
for New Design

3.11.8 NAND-Flash接続例



注 1) リセットによって、 $\overline{\text{NDRE}}$ と $\overline{\text{NDWE}}$ 端子は入力ポートに設定されますプルアップ抵抗が必要となります。

注 2) $\text{NDR}/\overline{\text{B}}$ 端子のプルアップ抵抗値については、使用する NAND-Flash メモリと、基板容量等によって適切な値を設定する必要があります。(標準設定例 : 2k Ω)

注 3) NAND-Flash の $\overline{\text{WP}}$ (Write Protect) 端子については、サポートしていません。必要な場合、外部で準備して下さい。

図 3.11.10 NAND-Flash 接続例

3.12 8ビットタイマ(TMRA)

8ビットタイマを8チャンネル(TMRA0~TMRA7)内蔵しています。

TMRAは2チャンネルを1モジュールとし、4モジュールで構成され、それぞれTMRA01, TMRA23, TMRA45, TMRA67と呼びます。各モジュールは次の4種類のモードを持っています。

- 8ビットインタバルタイマモード
- 16ビットインタバルタイマモード
- 8ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード
- 8ビットPWM (パルス幅変調: 固定周期で可変デューティ) 出力モード

図 3.12.1 ~ 図 3.12.4 に TMRA01, TMRA23, TMRA45, TMRA67 のブロック図を示します。

各チャンネルは主に8ビットアップカウンタ、8ビットコンパレータおよび8ビットタイマレジスタで構成され、2チャンネルに1つのプリスケアラ、タイマフリップフロップで構成されています。タイマの動作モードやタイマフリップフロップは5バイトのレジスタ(SFR)で制御されます。

4つの各モジュール(TMRA01, TMRA23, TMRA45, TMRA67)は、それぞれ独立に動作します。いずれのモジュールも表 3.12.1 に示される仕様相違点を除いて同一の動作をしますので、TMRA01 の場合についてのみ説明します。

表 3.12.1 TMRA のモジュール別仕様相違点

仕様		モジュール	TMRA01	TMRA23	TMRA45	TMRA67
外部端子	外部クロック 入力端子		TA0IN (PC1 と兼用)	TA2IN (PC3 と兼用)	低周波クロック 32kHz	低周波クロック 32kHz
	タイマフリップ フロップ出力端子		TA1OUT (PM1 と兼用)	-	-	TA7OUT (PP3 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ		TA01RUN (1100H)	TA23RUN (1108H)	TA45RUN (1110H)	TA67RUN (1118H)
	タイマレジスタ		TA0REG (1102H)	TA2REG (110AH)	TA4REG (1112H)	TA6REG (111AH)
			TA1REG (1103H)	TA3REG (110BH)	TA5REG (1113H)	TA7REG (111BH)
	タイマモードレジスタ		TA01MOD (1104H)	TA23MOD (110CH)	TA45MOD (1114H)	TA67MOD (111CH)
タイマフリップフロップ コントロールレジスタ		TA1FFCR (1105H)	TA3FFCR (110DH)	-	TA7FFCR (111DH)	

3.12.1 モジュール別のブロック図

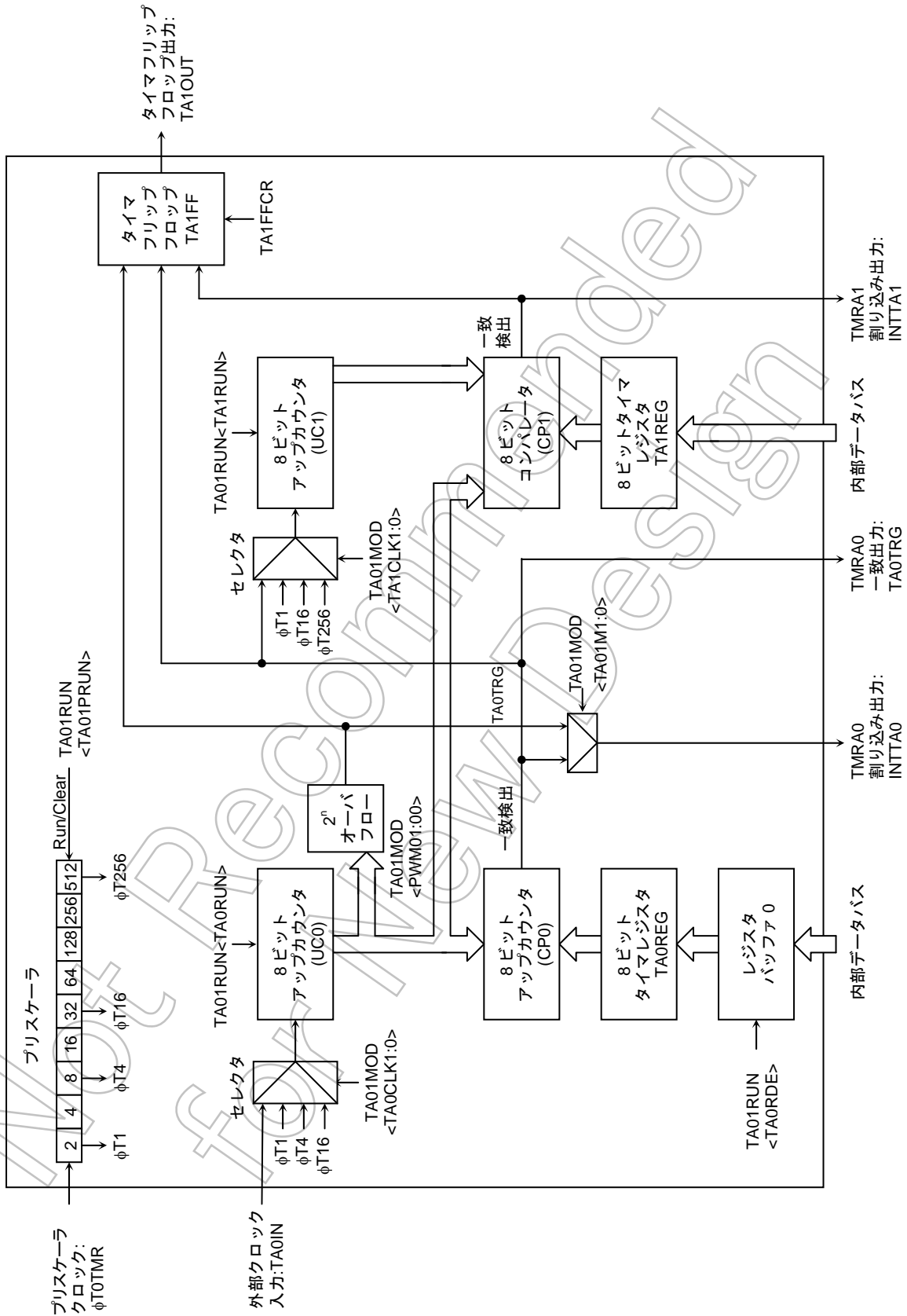


図 3.12.1 TMRA01 ブロック図

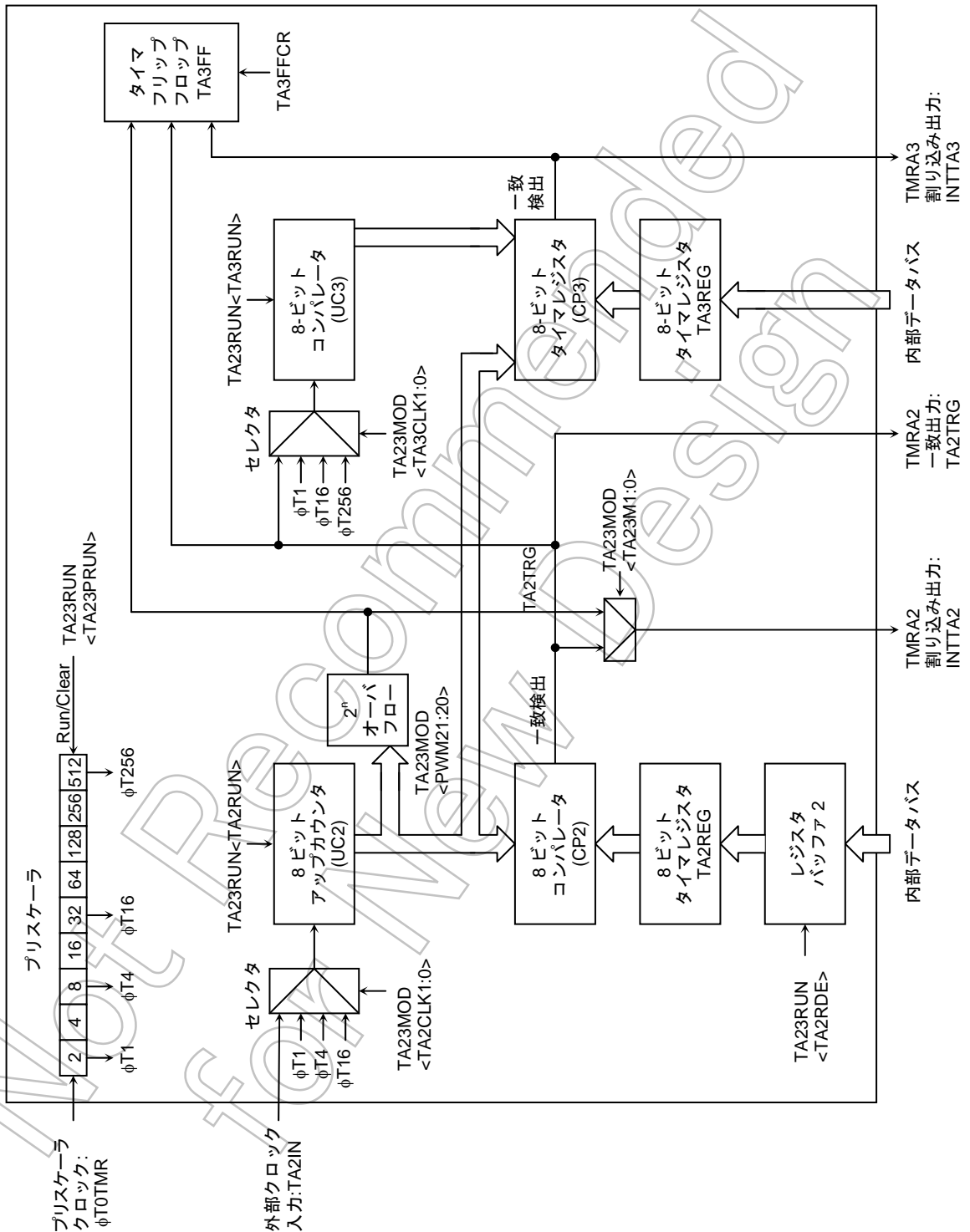


図 3.12.2 TMRA23 ブロック図

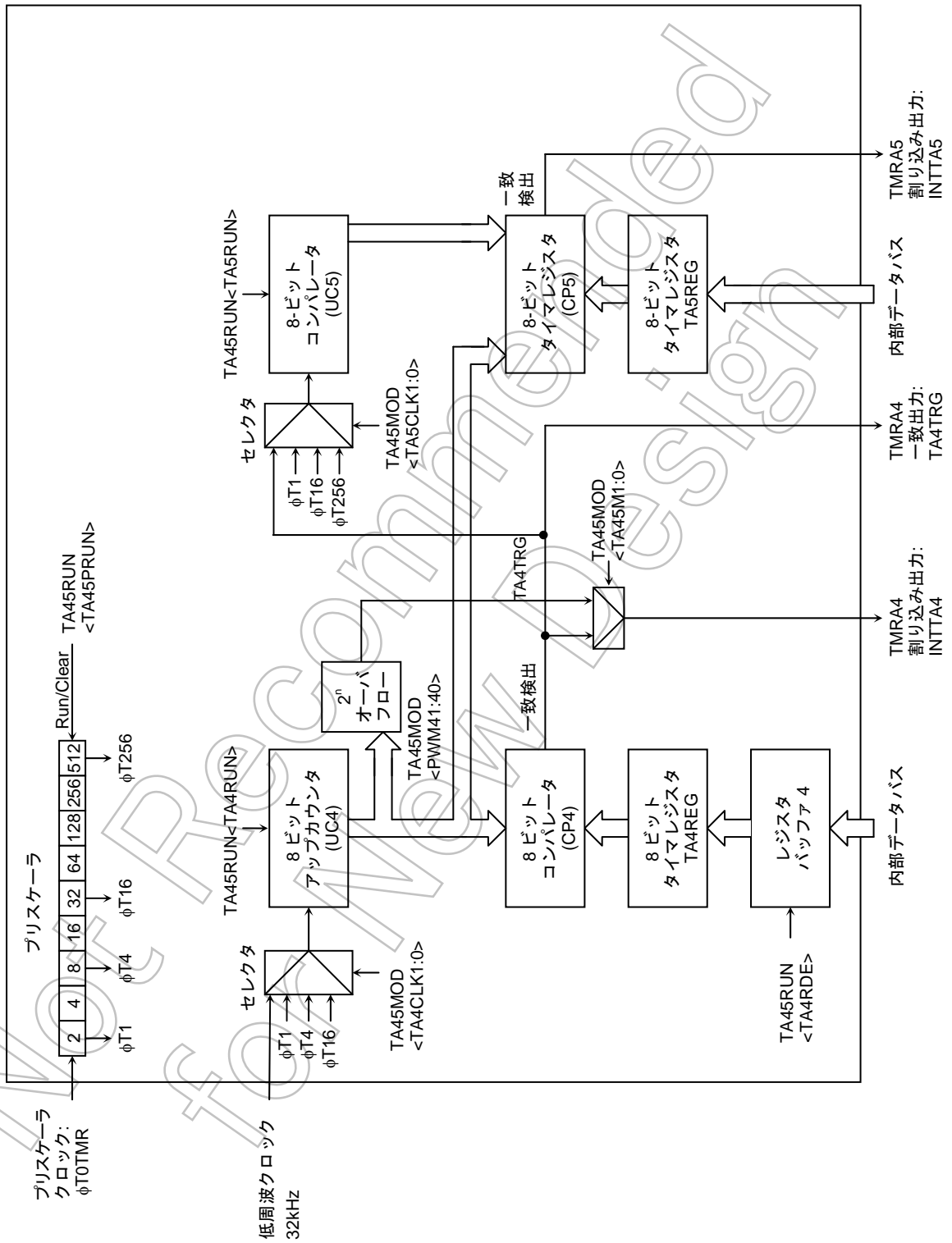


図 3.12.3 TMRA45 ブロック図

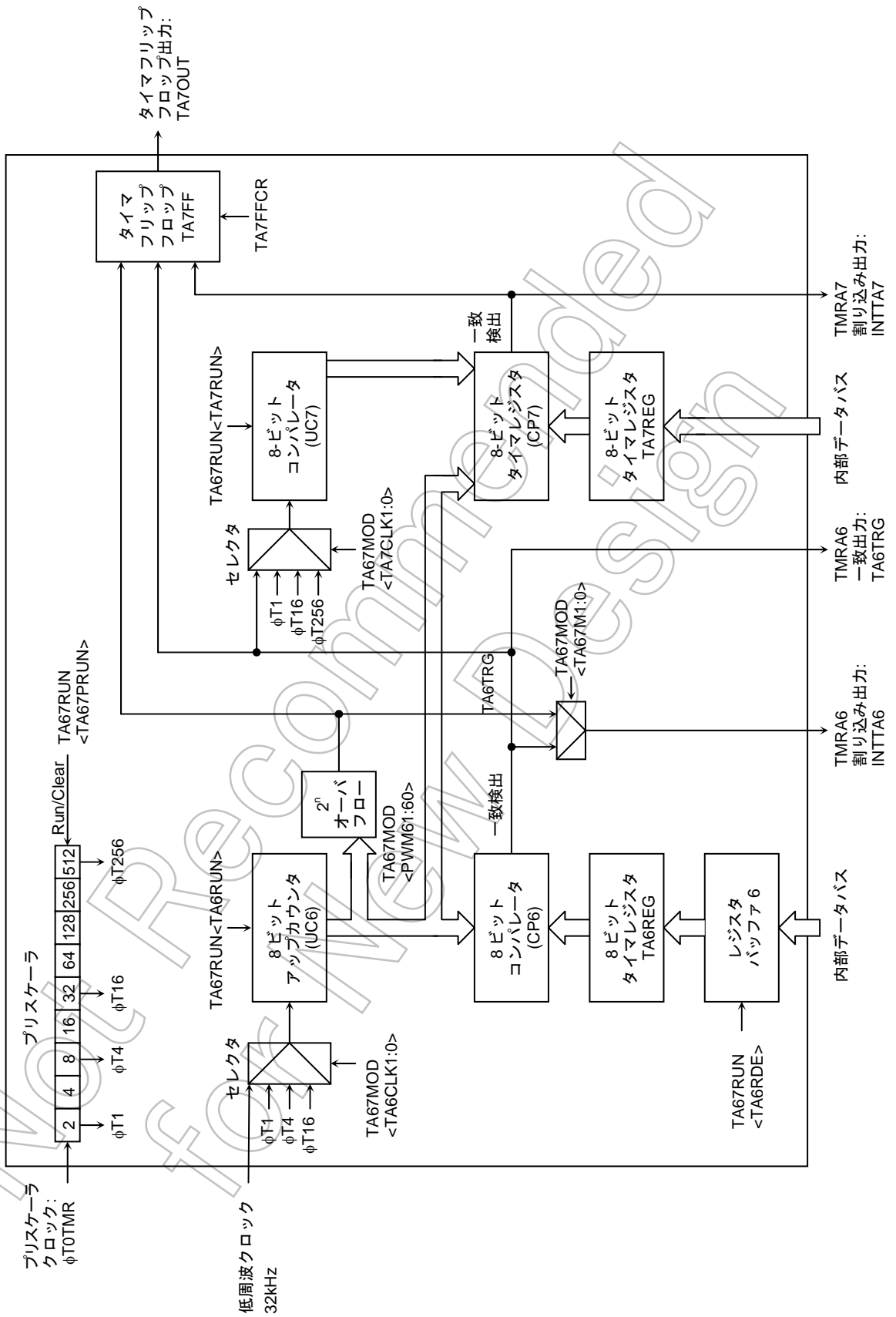


図 3.12.4 TMRA67 ブロック図

3.12.2 回路別の動作説明

(1) プリスケータ

TMRA01 のクロックソースを得るため 9 ビットプリスケータがあります。プリスケータの入力クロック ϕ T0TMR は、クロックギア部の SYSCR0<PRCK> にて選択したクロックです。

プリスケータはTA01RUN<TA01PRUN> により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケータ出力クロックの分解能を表 3.12.2 に示します。

(プリスケータとタイマカウンタは個別にスタートできますが、タイマカウンタのカウントアップはプリスケータ入力タイミングとプリスケータスタートタイミングに依存します。)

表 3.12.2 プリスケータ出力クロック分解能

	クロックギア 選択 SYSCR1 <GEAR2:0>	クロックギア部 プリスケータ SYSCR0 <PRCK>	-	タイマカウンタ入力クロック TMRA 部プリスケータ TAXxMOD<TAxCLK1:0>			
				ϕ T1(1/2)	ϕ T4(1/8)	ϕ T16(1/32)	ϕ T256(1/512)
fc	000(1/1)	0(1/2)	1/2	fc/8	fc/32	fc/128	fc/2048
	001(1/2)			fc/16	fc/64	fc/256	fc/4096
	010(1/4)			fc/32	fc/128	fc/512	fc/8192
	011(1/8)			fc/64	fc/256	fc/1024	fc/16384
	100(1/16)			fc/128	fc/512	fc/2048	fc/32768
	000(1/1)	1(1/8)		fc/32	fc/128	fc/512	fc/8192
	001(1/2)			fc/64	fc/256	fc/1024	fc/16384
	010(1/4)			fc/128	fc/512	fc/2048	fc/32768
	011(1/8)			fc/256	fc/1024	fc/4096	fc/65536
	100(1/16)			fc/512	fc/2048	fc/8192	fc/131072

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ TA01MOD で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、*TA0IN 端子からの外部クロックと、3 種類のプリスケアラ出力クロック $\phi T1$, $\phi T4$, $\phi T16$ から、TA01MOD<TA0CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは動作モードによって異なります。16 ビットタイマモードに設定した場合は、UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0>の設定によりプリスケアラ出力クロック $\phi T1$, $\phi T16$, $\phi T256$ と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, <TA1RUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされ、停止します。

注) TMR45 と TMR67 は、外部端子からのクロック入力に対応していませんが、低周波(32kHz)クロックを選択することが出来ます。

Not Recommended for New Design

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する 8 ビットのレジスタです。タイマレジスタへの設定値とアップカウンタの値が一致すると、コンパレータの一致検出信号が出力されます。タイマレジスタに“00H”を設定した場合は、アップカウンタのオーバフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。

ダブルバッファは、TA01RUN<TAORDE>により制御されます。<TAORDE>=“0”のときディセーブル、<TAORDE>=“1”のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ 0 へのデータ転送タイミングは、PWM モードの 2^n オーバフロー、または、PPG モードの周期のコンパレータ一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

(ダブルバッファ使用時は、PWM モードのオーバフロー又は、PPG モードの周期一致のみしかタイマレジスタを更新する方法はありません。)

リセット時は<TAORDE>=“0”に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値をライトし、<TAORDE>=“1”に設定した後、次の設定値をライトしてください。

図 3.12.5にTA0REGの構成を示します。

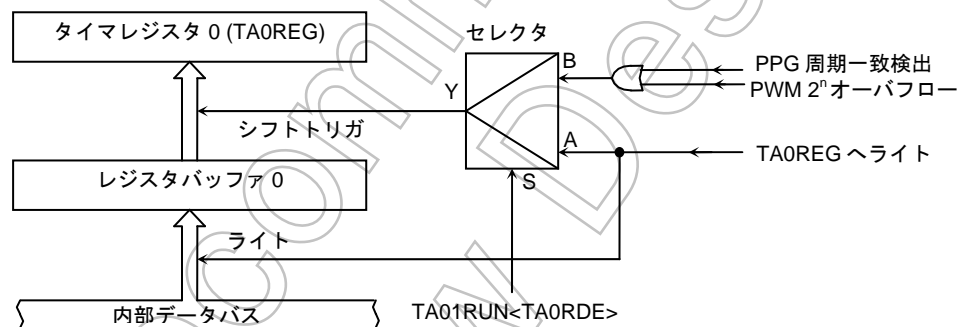


図 3.12.5 タイマレジスタ 0 (TA0REG)の構成

注) TA0REGとレジスタバッファ 0は同じアドレスに割り付けられています。

<TAORDE>=“0”のときは、レジスタバッファ 0と TA0REGの両方に同じ値がライトされ、<TAORDE>=“1”のときは、レジスタバッファ 0のみにライトされます。

(4) コンパレータ (CP0,CP1)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタを0にクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

注) タイマ動作中にタイマレジスタにアップカウンタ値以下の値をライトするとタイマはオーバフローを起こし期待した値での割り込みの発生は得られません。(変更した設定値がアップカウンタ値以上であれば正常に動作可能です。)

また、16ビットモードでの動作時は、下位8ビットのみのライトではコンペア回路が動作しませんのでライトは必ず下位8ビット、上位8ビットの順で16ビット単位で行ってください。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブルイネーブルは、TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FFは“0”になります。TA1FFCR<TA1FFC1:0>に“01”、または、“10”をライトすることで、TA1FFの値を“1”、または、“0”に設定することができます。また、このビットに“00”をライトすることにより、TA1FFの値を反転させることができます(ソフト反転)。

TA1FFの値は、タイマフリップフロップ出力端子 TA1OUT (PM1,PV0 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタの設定を行う必要があります。

各モードによる TA1FF の反転

8ビットタイマモード	: UC0 と TA0REG の一致または、UC1 と TA1REG の一致 (どちらか1つ選択)
16ビットタイマモード	: UC0 は TA0REG の一致及び、UC1 は TA1REG の一致
8ビットPWMモード	: オーバフローまたは、UC0 と TA0REG の一致
8ビットPPGモード	: UC0 と TA0REG 一致または UC0 と TA1REG の一致

注) タイマによる反転とレジスタ設定による変更要求が同時に行われた場合はその時の状態によって以下のような動作となりますので注意が必要です。

- タイマによる反転とレジスタ設定による反転が同時に起きた場合
→1回だけ反転します。
- タイマによる反転とレジスタ設定による“1”セットが同時に起きた場合
→“1”セットとなります。
- タイマによる反転とレジスタ設定による“0”クリアが同時に起きた場合
→“0”クリアとなります。

また、タイマ動作中に反転制御の変更を行うと正しく動作しませんので、設定の変更はタイマを停止させた状態で行って下さい。

3.12.3 SFR説明

TMRA01 RUN レジスタ

		7	6	5	4	3	2	1	0
TA01RUN (1100H)	Bit symbol	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA01 プリスケール	アップカウンタ(UC1)	アップカウンタ(UC0)

TA0REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウントアップ

注) TA01RUN のビット 4, 5, 6 は、リードすると "1" がリードされます。

TMRA23 RUN レジスタ

		7	6	5	4	3	2	1	0
TA23RUN (1108H)	Bit symbol	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA23 プリスケール	アップカウンタ(UC3)	アップカウンタ(UC2)

TA2REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウントアップ

注) TA23RUN のビット 4, 5, 6 は、リードすると "1" がリードされます。

図 3.12.6 TMRA のレジスタ

TMRA45 RUN レジスタ

	7	6	5	4	3	2	1	0
TA45RUN (1110H)	Bit symbol	TA4RDE			I2TA45	TA45PRUN	TA5RUN	TA4RUN
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可			IDLE2 モード時 0: 停止 1: 動作	TMRA45 プリスケ ラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウ ンタ(UC5)	アップカウ ンタ(UC4)

TA4REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウントアップ

注) TA45RUN のビット 4, 5, 6 は、リードすると“1”がリードされます。

TMRA67 RUN レジスタ

	7	6	5	4	3	2	1	0
TA67RUN (1118H)	Bit symbol	TA6RDE			I2TA67	TA67PRUN	TA7RUN	TA6RUN
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可			IDLE2 モード時 0: 停止 1: 動作	TMRA67 プリスケ ラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウ ンタ(UC7)	アップカウ ンタ(UC6)

TA6REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウントアップ

注) TA67RUN のビット 4, 5, 6 は、リードすると“1”がリードされます。

図 3.12.7 TMRA のレジスタ

TMRA01 モードレジスタ

		7	6	5	4	3	2	1	0
TA01MOD (1104H)	Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA1 ソースクロック 00: TA0TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA0 ソースクロック 00: TA0IN 端子入力 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA0 の入クロック

<TA0CLK1:0>	00	TA0IN 端子入力
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA1 の入カクロック

		TA01MOD<TA01M1:0>≠01	TA01MOD<TA01M1:0>=01
<TA1CLK1:0>	00	TMRA0 の一致出力	TMRA0 のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM01:00>	00	Reserved
	01	2^6 ×ソースクロック
	10	2^7 ×ソースクロック
	11	2^8 ×ソースクロック

TMRA01 の動作モード選択

<TA01MA1:0>	00	8ビットタイマ×2ch
	01	16ビットタイマ
	10	8ビットプログラム矩形波出力
	11	8ビットPWM (TMRA0), 8ビットタイマ (TMRA1)

図 3.12.8 TMRA のレジスタ

TMRA23 モードレジスタ

		7	6	5	4	3	2	1	0
TA23MOD (110CH)	Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA2 ソースクロック 00: TA2IN 端子入力 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA2の入カクロック

<TA2CLK1:0>		
00	TA2IN 端子入力	
01	$\phi T1$	
10	$\phi T4$	
11	$\phi T16$	

TMRA3の入カクロック

		TA23MOD<TA23M1:0>≠01	TA23MOD<TA23M1:0>=01
<TA3CLK1:0>	00	TMRA2 の一致出力	TMRA2のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM21:20>		
00	Reserved	
01	2^6 × ソースクロック	
10	2^7 × ソースクロック	
11	2^8 × ソースクロック	

TMRA23の動作モード選択

<TA23M1:0>		
00	8ビットタイマ×2ch	
01	16ビットタイマ	
10	8ビットプログラム矩形波出力	
11	8ビットPWM (TMRA2), 8ビットタイマ (TMRA3)	

図 3.12.9 TMRA のレジスタ

TMRA45 モードレジスタ

	7	6	5	4	3	2	1	0	
TA45MOD (1114H)	Bit symbol	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA5 ソースクロック 00: TA4TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA4 ソースクロック 00: 32kHz クロック 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA4の入カクロック

<TA4CLK1:0>		
	00	32kHz クロック
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA5の入カクロック

		TA45MOD<TA45M1:0>=01	TA45MOD<TA45M1:0>=01
<TA5CLK1:0>	00	TMRA4の一致出力	TMRA4のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM41:40>		
	00	Reserved
	01	2^6 × ソースクロック
	10	2^7 × ソースクロック
	11	2^8 × ソースクロック

TMRA45の動作モード選択

<TA45M1:0>		
	00	8ビットタイマ×2ch
	01	16ビットタイマ
	10	8ビットプログラム矩形波出力
	11	8ビットPWM(TMRA4), 8ビットタイマ(TMRA5)

図 3.12.10 TMRA のレジスタ

TMRA67 モードレジスタ

		7	6	5	4	3	2	1	0
TA67MOD (111CH)	Bit symbol	TA67M1	TA67M0	PWM61	PWM60	TA7CLK1	TA7CLK0	TA6CLK1	TA6CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA7 ソースクロック 00: TA6TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA6 ソースクロック 00: 32kHz クロック 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA6の入カクロック

<TA6CLK1:0>	00	32kHz クロック
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA7の入カクロック

		TA67MOD<TA67M1:0>≠01	TA67MOD<TA67M1:0>=01
<TA7CLK1:0>	00	TMRA6 の一致出力	TMRA6 のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM61:60>	00	Reserved
	01	2^6 × ソースクロック
	10	2^7 × ソースクロック
	11	2^8 × ソースクロック

TMRA67の動作モード選択

<TA67M1:0>	00	8ビットタイマ×2ch
	01	16ビットタイマ
	10	8ビットプログラム矩形波出力
	11	8ビットPWM (TMRA6), 8ビットタイマ (TMRA7)

図 3.12.11 TMRA のレジスタ

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (1105H)	Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リード モディファイ ライトはでき ません。	機能					00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号 セレクト 0: TMRA0 1: TMRA1

タイマフリップフロップ1 (TA1FF) の反転信号セレクト
(8ビットタイマモード以外は Don't care)

TA1FFIS	0	TMRA0 による反転
	1	TMRA1 による反転

TA1FF の反転制御

TA1FFIE	0	反転禁止
	1	反転許可

TA1FF の制御

<TA1FFC1:0>	00	TA1FF の値を反転 (ソフト反転)
	01	TA1FF を "1" にセット
	10	TA1FF を "0" にクリア
	11	Don't care

注) TA1FFCR のビット 4, 5, 6, 7 は、リードすると "1" がリードされます。

図 3.12.12 TMRA のレジスタ

TMRA3 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA3FFCR (110DH)	Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リード モディファイ ライトはでき ません。	機能					00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号 セレクト 0: TMRA2 1: TMRA3

タイマフリップフロップ 3 (TA3FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA3FFIS	0	TMRA2 による反転
	1	TMRA3 による反転

TA3FF の反転制御

TA3FFIE	0	反転禁止
	1	反転許可

TA3FF の制御

<TA3FFC1:0>	00	TA3FF の値を反転 (ソフト反転)
	01	TA3FF を "1" にセット
	10	TA3FF を "0" にクリア
	11	Don't care

注) TA3FFCR のビット 4, 5, 6, 7 は、リードすると "1" がリードされます。

図 3.12.13 TMRA のレジスタ

TMRA7 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA7FFCR (111DH)	Bit symbol					TA7FFC1	TA7FFC0	TA7FFIE	TA7FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リード モディファイ ライトはでき ません。	機能					00: TA7FF 反転 01: TA7FF セット 10: TA7FF クリア 11: Don't care	TA7FF 反転制御 0: 禁止 1: 許可	TA7FF 反転信号 セレクト 0: TMRA6 1: TMRA7	

タイマフリップフロップ7 (TA7FF) の反転信号セレクト
(8ビットタイマモード以外は Don't care)

TA7FFIS TA7FF の反転制御	0	TMRA6 による反転
	1	TMRA7 による反転

TA7FFIE TA7FF の制御	0	反転禁止
	1	反転許可

<TA7FFC1:0>	00	TA7FF の値を反転 (ソフト反転)
	01	TA7FF を "1" にセット
	10	TA7FF を "0" にクリア
	11	Don't care

注) TA7FFCR のビット 4, 5, 6, 7 は、リードすると "1" がリードされます。

図 3.12.14 TMRA のレジスタ

タイマレジスタ

		7	6	5	4	3	2	1	0
TA0REG (1102H)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA1REG (1103H)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA2REG (110AH)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA3REG (110BH)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA4REG (1112H)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA5REG (1113H)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA6REG (111AH)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			
TA7REG (111BH)	bit Symbol					—			
	Read/Write					W			
	リセット後					0			

注)上記レジスタは、リードモディファイライトは禁止です。

図 3.12.15 TMRA レジスタ

3.12.4 モード別動作説明

(1) 8ビットタイマモード

TMRA0, TMRA1は、それぞれ独立に8ビットインタバルタイマとして使用できます。機能、および、カウントデータの設定を行う場合、TMRA0, TMRA1を停止させた状態で行ってください。

1. 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD、TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例) $f_c = 50 \text{ MHz}$ で $20 \mu\text{s}$ ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

* クロック条件

クロックギア:	1/1
クロックギア部プリスケアラ:	1/2

	MSB								LSB	
	7	6	5	4	3	2	1	0		
TA01RUN	← -	X	X	X	-	-	0	-	TMRA1 を停止し、“0”にクリアします。	
TA01MOD	← 0	0	X	X	0	1	-	-	8ビットタイマモードにし、入力クロックを $\phi T1$ ($0.16 \mu\text{s}$ 分解能, @ $f_c = 50 \text{ MHz}$) に設定します。	
TA1REG	← 0	1	1	1	1	1	0	1	TA1REG に $20 \mu\text{s} \div \phi T1 = 125 = 7\text{DH}$ をライトします。	
INTETA01	← X	1	0	1	X	-	-	-	INTTA1 をイネーブル、割り込みレベル5に設定します。	
TA01RUN	← -	X	X	X	-	1	1	-	TMRA1 をカウントさせます。	

X : Don't care, - : No change

入力クロックの選択は表 3.12.2を参考にしてください。

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: TA0IN 端子入力、 $\phi T1$, $\phi T4$, $\phi T16$

TMRA1: TMRA0 の一致検出信号、 $\phi T1$, $\phi T16$, $\phi T256$

2. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例) $f_{SYS} = 50\text{MHz}$ で周期 $3.2\ \mu\text{s}$ の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を使用しますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

* クロック条件	<table border="0"> <tr> <td>クロックギア:</td> <td>1/1</td> </tr> <tr> <td>クロックギア部プリスケラ:</td> <td>1/2</td> </tr> </table>	クロックギア:	1/1	クロックギア部プリスケラ:	1/2																																																																													
クロックギア:	1/1																																																																																	
クロックギア部プリスケラ:	1/2																																																																																	
	<table border="0"> <tr> <td></td> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>TA01RUN</td> <td>←</td> <td>-</td> <td>X</td> <td>X</td> <td>X</td> <td>-</td> <td>-</td> <td>0</td> <td>-</td> </tr> <tr> <td>TA01MOD</td> <td>←</td> <td>0</td> <td>0</td> <td>X</td> <td>X</td> <td>0</td> <td>1</td> <td>X</td> <td>X</td> </tr> <tr> <td>TA1REG</td> <td>←</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>TA1FFCR</td> <td>←</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>PM</td> <td>←</td> <td>-</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>-</td> <td>0</td> <td>X</td> </tr> <tr> <td>PMFC</td> <td>←</td> <td>-</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>-</td> <td>1</td> <td>X</td> </tr> <tr> <td>TA01RUN</td> <td>←</td> <td>-</td> <td>X</td> <td>X</td> <td>X</td> <td>-</td> <td>1</td> <td>1</td> <td>-</td> </tr> </table>		7	6	5	4	3	2	1	0		TA01RUN	←	-	X	X	X	-	-	0	-	TA01MOD	←	0	0	X	X	0	1	X	X	TA1REG	←	0	0	0	0	1	0	1	0	TA1FFCR	←	X	X	X	X	1	0	1	1	PM	←	-	X	X	X	X	-	0	X	PMFC	←	-	X	X	X	X	-	1	X	TA01RUN	←	-	X	X	X	-	1	1	-	<p>TMRA1 を停止し、“0” にクリアします。</p> <p>8ビットタイマモードにし、入力クロックを $\phi T1$ ($0.16\ \mu\text{s}$ @ $f_{SYS} = 50\ \text{MHz}$) にします。</p> <p>TA1REG に $3.2\ \mu\text{s} \div \phi T1 \div 2 = 0\text{AH}$ をセットします。</p> <p>TA1FF を“0”にクリアし、TMRA1からの一致検出信号で反転するように設定します。</p> <p>PM1 を TA1OUT 出力端子に設定します。</p> <p>TMRA1 のカウントを開始させます。</p>
	7	6	5	4	3	2	1	0																																																																										
TA01RUN	←	-	X	X	X	-	-	0	-																																																																									
TA01MOD	←	0	0	X	X	0	1	X	X																																																																									
TA1REG	←	0	0	0	0	1	0	1	0																																																																									
TA1FFCR	←	X	X	X	X	1	0	1	1																																																																									
PM	←	-	X	X	X	X	-	0	X																																																																									
PMFC	←	-	X	X	X	X	-	1	X																																																																									
TA01RUN	←	-	X	X	X	-	1	1	-																																																																									

X: Don't care, -: No change

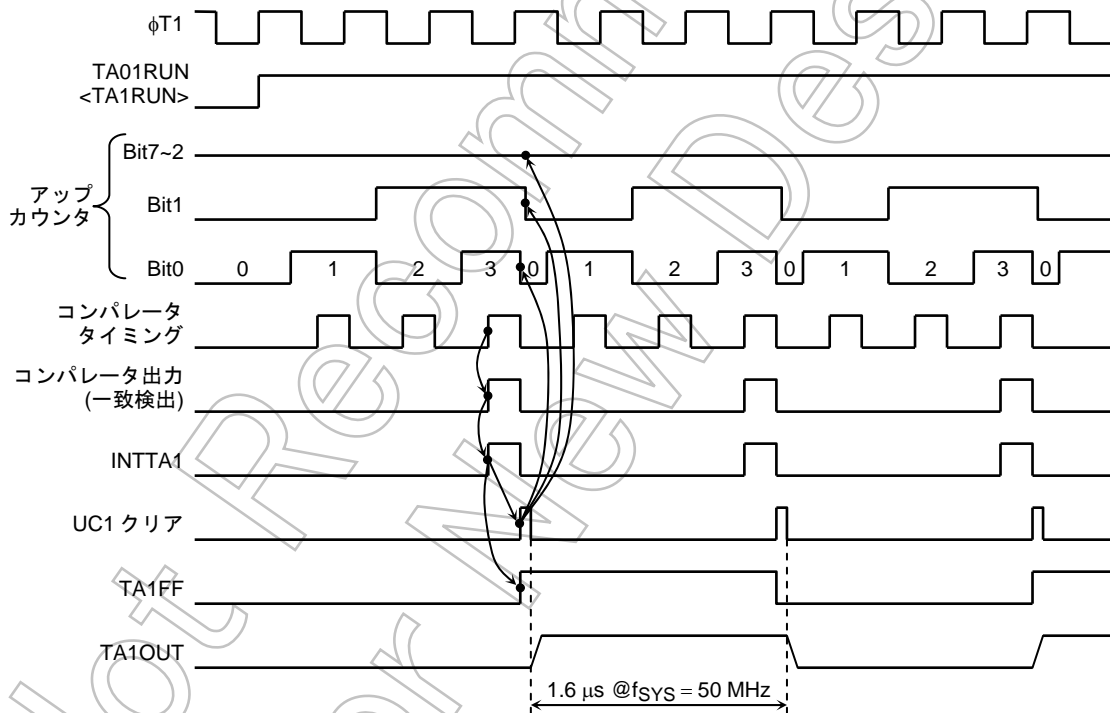


図 3.12.16 矩形波 (デューティ 50%) 出力のタイミングチャート

3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

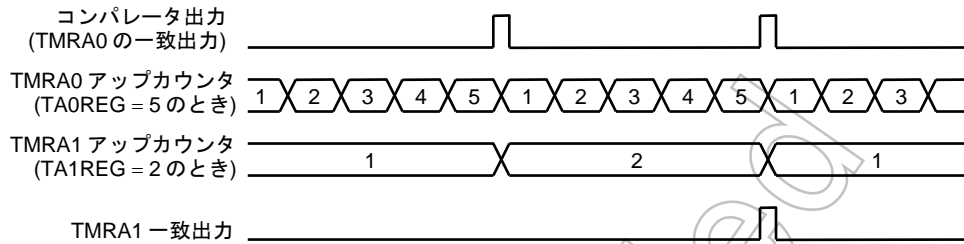


図 3.12.17 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。

TA01MOD<TA01M1:0>を“01”に設定することで16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0>の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバーフロー出力になります。TMRA0 の入力クロックの選択は表 3.12.2を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータをライトするとコンペアが一時禁止され、TA1REG へのデータライトでコンペアが開始されるためです)。

例: $f_{\text{SYS}} = 50 \text{ MHz}$ で 0.13 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

* クロック条件

{	システムクロック:	f_{SYS}
	プリスケアラクロック:	$f_{\text{SYS}}/4$

$\phi T16 (= 2.6 \mu\text{s} @ f_{\text{SYS}} = 50 \text{ MHz})$ を入力クロックとしてカウントすると

$$0.13 \text{ s} \div 2.6 \mu\text{s} = 50000 \equiv \text{C350H}$$

従って TA1REG = C3H, TA0REG = 50H を設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG が一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレータタイミング時、毎回一致検出信号が出力されます。TMRA0, TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例: TA1REG = 04H, TA0REG = 80H の場合



図 3.12.18 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブどちらの設定も可能です。

このモードに設定した場合 TMRA1 は使用できません。

矩形波は TA1OUT (PM1, PV0 と兼用) へ出力されます。

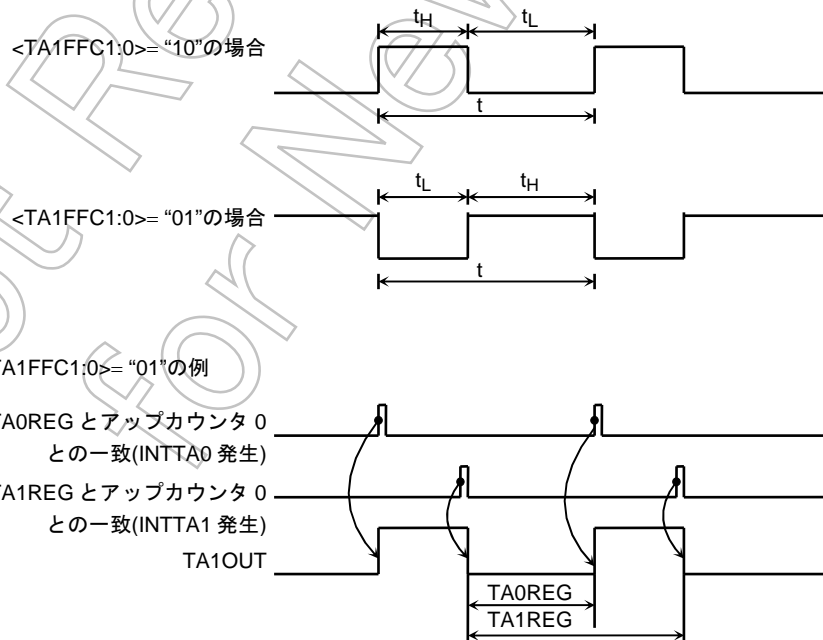


図 3.12.19 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ UC0 が、タイマレジスタ TA0REG および TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは、TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN<TA1RUN>=1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと 図 3.12.20 のようになります。

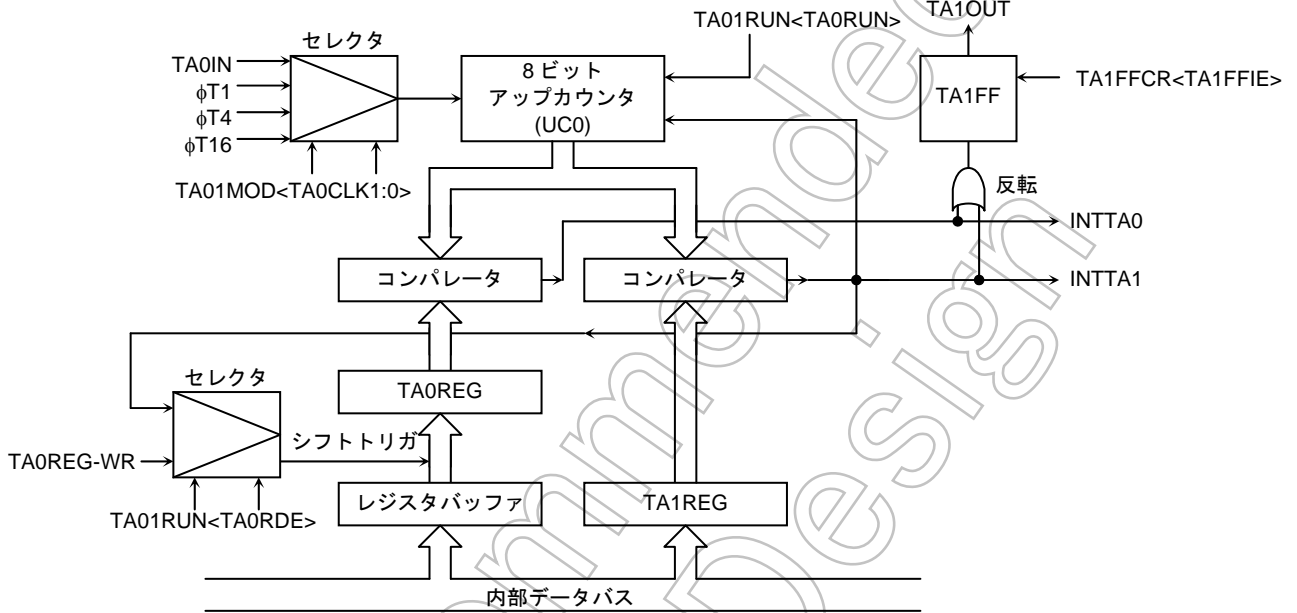


図 3.12.20 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が TA1REG と UC0 の一致時に、TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

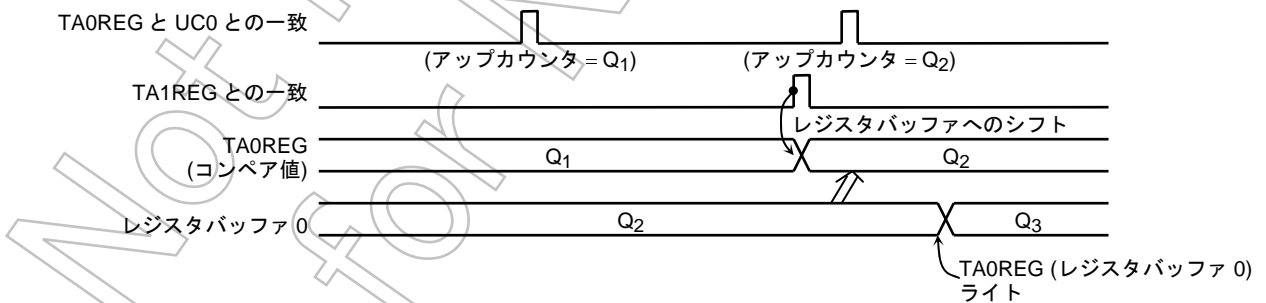
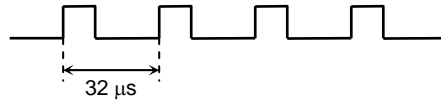


図 3.12.21 レジスタバッファの動作

注) TAxREG の設定値は、最小値 01H~最大値 00H(100Hに相当します)となります。また、設定値を最大値の 00H にした場合は、アップカウンタのオーバーフローに同期します。

例) デューティ 1/4 の 31.25 kHz のパルスを出力する場合 ($f_{SYS} = 50 \text{ MHz}$)



* クロック条件

{	システムクロック: f_{SYS}
	プリスケールクロック: $f_{SYS}/4$

タイマレジスタへの設定値を求めます。

周波数を 31.25 kHz するには、周期 $t = 1/31.25 \text{ kHz} = 32 \mu\text{s}$ の波形をつくります。

$\phi T1 = 0.16 \mu\text{s}$ (@50 MHz) を用いると、

$$32 \mu\text{s} \div 0.16 \mu\text{s} = 200$$

従って、TA1REG = 200 = C8H に設定します。

次に、デューティを 1/4 にするには、 $t \times 1/4 = 32 \mu\text{s} \times 1/4 = 8 \mu\text{s}$

$$8 \mu\text{s} \div 0.16 \mu\text{s} = 50$$

従って、TA0REG = 50 = 32H に設定します。

	7	6	5	4	3	2	1	0		
TA01RUN	←	-	X	X	X	-	-	0	0	TMRA0、A1 を停止し、“0”にクリアします。
TA01MOD	←	1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックを $\phi T1$ にします。
TA0REG	←	0	0	1	1	0	0	1	0	32H をライトします。
TA1REG	←	1	1	0	0	1	0	0	0	C8H をライトします。
TA1FFCR	←	X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします。
										bit2, 3 を“10”にすると負論理の出力波形が得られます。
PM	←	-	X	X	X	X	-	0	X	PM1 を TA1OUT 端子に設定します。
PMFC	←	-	X	X	X	X	-	1	X	
TA01RUN	←	1	X	X	X	-	1	1	1	TMRA0、TMRA1 のカウントを開始します。

X: Don't care, -: No change

(4) 8ビットPWM出力モード

TMRA0のみ可能なモードで、分解能8ビットまでのPWMを出力することができます。PWM出力はTA1OUT端子(PM1と兼用)へ出力されます。

このモードでは、TMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC0がタイマレジスタTA0REGの設定値と一致したとき、 2^n ($n = 6, 7, 8$ のいずれかをTA01MOD<PWM01:00>で指定)カウンタオーバーフロー発生時に起こります。また、UC0は 2^n カウンタのオーバーフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(TA0REGの設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REGの設定値) $\neq 0$

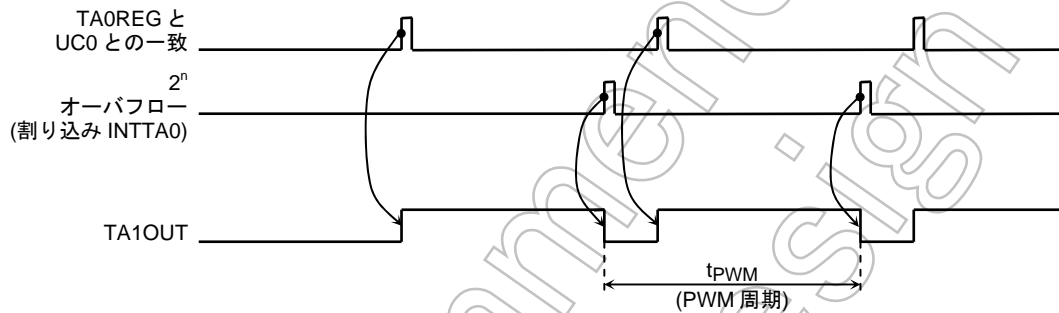


図 3.12.22 8ビットPWM出力波形

このモードをブロック図で示すと図 3.12.23のようになります。

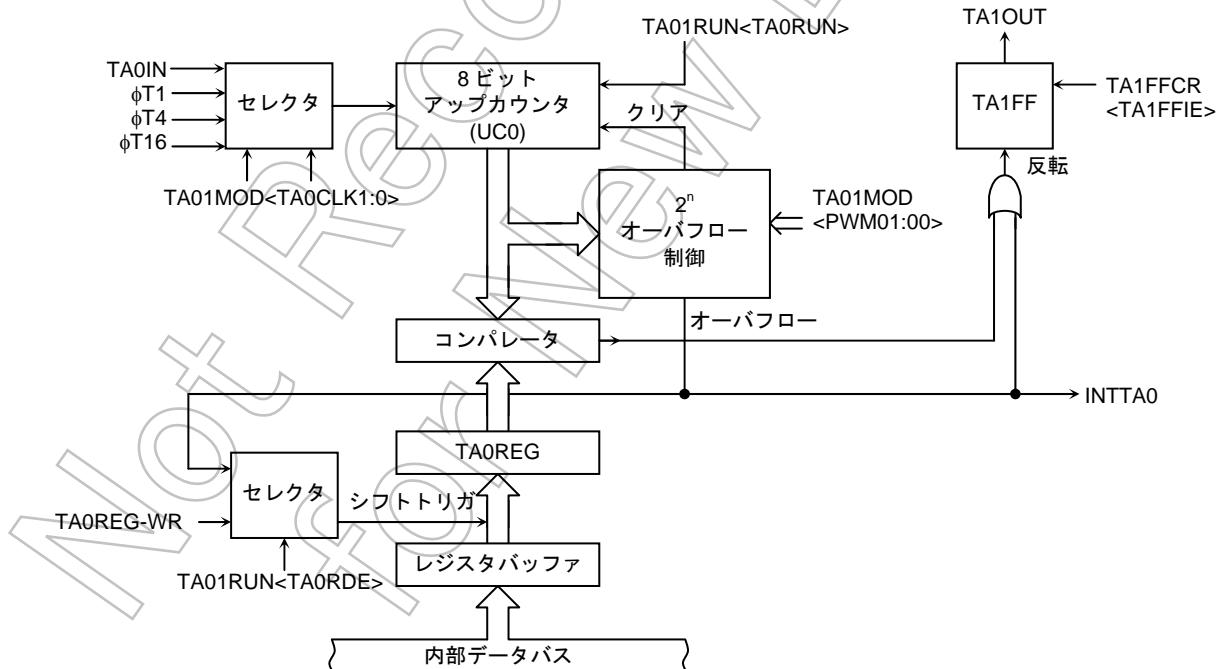
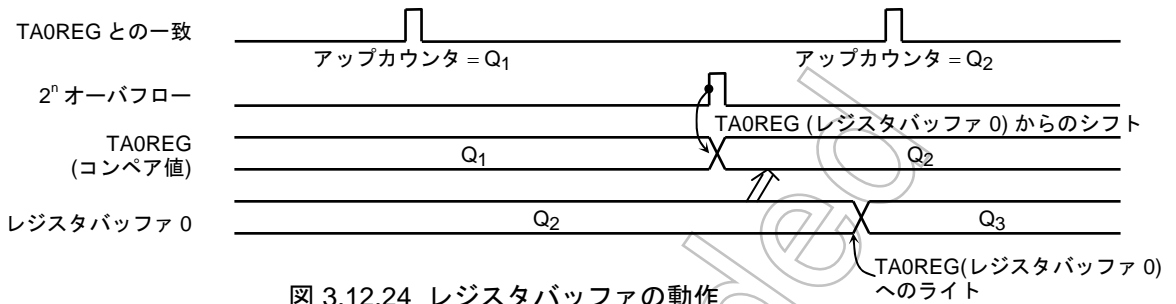


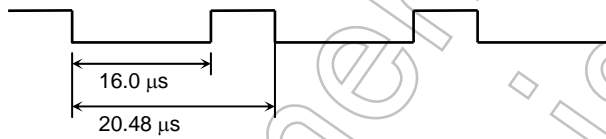
図 3.12.23 8ビットPWM出力モードのブロック図

このモードでは、TAOREG をダブルバッファイネーブルにすることにより、2ⁿ オーバフロー検出で、レジスタバッファの値が TAOREG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が、容易に行えます。



例) $f_{SYS} = 50 \text{ MHz}$ 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



* クロック条件
 { システムクロック: f_{SYS}
 プリスケアラクロック: $f_{SYS}/4$

PWM 周期 $20.48 \mu\text{s}$ を $\phi T1 = 0.16 \mu\text{s}$ ($@f_{SYS} = 50 \text{ MHz}$) で実現する場合:

$$20.48 \mu\text{s} \div 0.16 \mu\text{s} = 128 = 2^n$$

従って、 $n = 7$ に設定します。

“L” レベルの周期は $16.0 \mu\text{s}$ だから $\phi T1 = 0.16 \mu\text{s}$ では

$$16.0 \mu\text{s} \div 0.16 \mu\text{s} = 100 = 64H$$

を TAOREG に設定します。

	MSB	7	6	5	4	3	2	1	0	LSB	
TA01RUN	←	-	X	X	X	-	-	-	0		TMRA0 を停止し、“0”にクリアします。
TA01MOD	←	1	1	1	0	-	-	0	1		8 ビット PWM モード (周期 = 2^7) にし、 入力クロックを $\phi 1$ にします。
TA0REG	←	0	1	0	1	1	0	1	0		5AH をライトします。
TA1FFCR	←	X	X	X	X	1	0	1	X		TA1FF を 0 にクリアし、反転イネーブルにします。
PM	←	-	X	X	X	X	-	0	X	}	PC1 を TA1OUT 端子に設定します。
PMFC	←	-	X	X	X	X	-	1	X		
TA01RUN	←	1	X	X	X	-	1	-	1		TMRA0 のカウントを開始します。

X: Don't care, -: No change

表 3.12.3 PWM 周期

	クロックギア 選択 SYSCR1 <GEAR2:0>	クロックギア部 プリスケラ SYSCR0 <PRCK>	PWM cycle TAxxMOD<PWMx1:0>									
			2 ⁶ (x64)			2 ⁷ (x128)			2 ⁸ (x256)			
			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			
			φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)	
1/fc	000(x1) 001(x2) 010(x4) 011(x8) 100(x16)	0(x2)	x2	512/fc	2048/fc	8192/fc	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc
				1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc
				2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
				4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
				8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc
	000(x1) 001(x2) 010(x4) 011(x8) 100(x16)	1(x8)		2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
				4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
				8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc
				16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc	65536/fc	262144/fc	1048576/fc
				32768/fc	131072/fc	524288/fc	65536/fc	262144/fc	1048576/fc	131072/fc	524288/fc	2097152/fc

(5) 動作モード設定一覧

TMRA01 の各モードをまとめると表 3.12.4 のような設定になります。

表 3.12.4 各タイマモードの設定レジスタ

レジスタ名 <レジスタ中の機能名>	TA01MOD				TA1FFCR
	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	TA1FFIS
機能	タイマモード	PWM 周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマ F/F 反転信 号セレクト
8 ビットタイマ × 2 チャンネル	00	-	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	01	-	-	外部, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PPG × 1 チャンネル	10	-	-	外部, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PWM × 1 チャンネル	11	2 ⁶ , 2 ⁷ , 2 ⁸ (01, 10, 11)	-	外部, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PWM × 1 チャンネル	11	-	φT1, φT16, φT256 (01, 10, 11)	-	出力不可

-: Don't care

3.13 16ビットタイマ/イベントカウンタ(TMRB)

多機能 16 ビットタイマ/イベントカウンタを 2 チャンネル (TMRB0, TMRB1) 内蔵しています。TMRB は、次の 3 つの動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のようにキャプチャすることができます。

- 周波数測定モード
- パルス幅測定モード

図 3.13.1、図 3.13.2 に TMRB0, TMRB1 のブロック図を示します。

各チャンネルは、主に 16 ビットアップカウンタ、1 キャプチャレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。

タイマの動作モードやタイマフリップフロップは 11 バイトのレジスタ (SFR) で制御されます。

各チャンネル (TMRB0, TMRB1) はそれぞれ独立に動作します。いずれのチャンネルも表 3.13.1 に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRB0 の場合についてのみ説明します。

表 3.13.1 TMRB のチャンネル別仕様相違点

仕様		チャンネル	TMRB0	TMRB1	
外部端子	外部クロック/ キャプチャトリガ入力端子		TB0IN0 (PP4 と兼用)	TB1IN0 (PP5 と兼用)	
	タイマフリップフロップ 出力端子		TB0OUT0 (PP6 と兼用)	-	
SFR 名 (アドレス)	タイマ RUN レジスタ		TB0RUN (1180H)	TB1RUN (1190H)	
	タイマモードレジスタ		TB0MOD (1182H)	TB1MOD (1192H)	
	タイマフリップフロップ コントロールレジスタ		TB0FFCR (1183H)	-	
	タイマレジスタ			TB0RG0L (1188H)	TB1RG0L (1198H)
				TB0RG0H (1189H)	TB1RG0H (1199H)
				TB0RG1L (118AH)	TB1RG1L (119AH)
				TB0RG1H (118BH)	TB1RG1H (119BH)
	キャプチャレジスタ			TB0CP0L (118CH)	TB1CP0L (119CH)
				TB0CP0H (118DH)	TB1CP0H (119DH)
				TB0CP1L (118EH)	TB1CP1L (119EH)
			TB0CP1H (118FH)	TB1CP1H (119FH)	

3.13.1 チャンネル別のブロック図

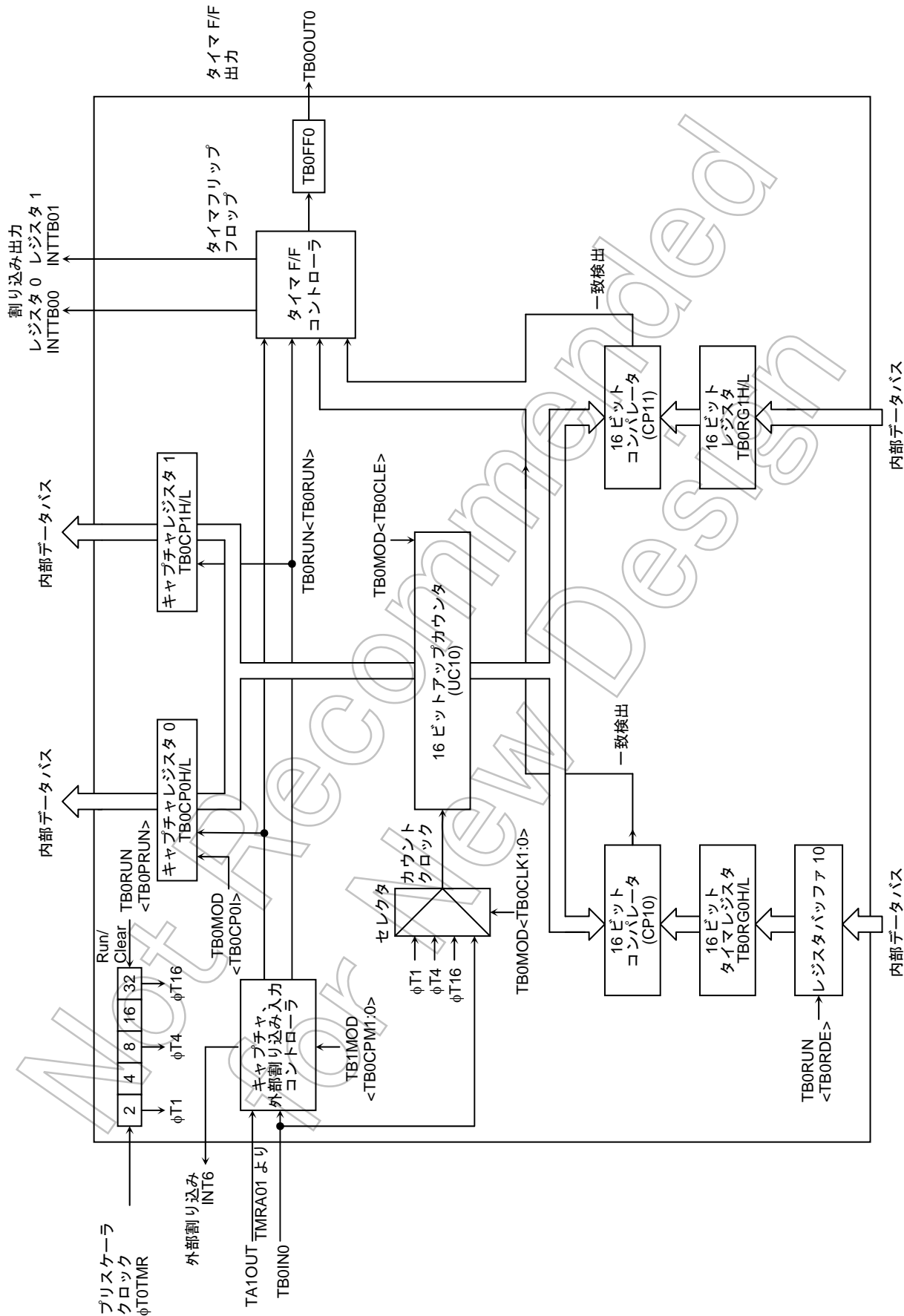


図 3.13.1 TMRB0 ブロック図

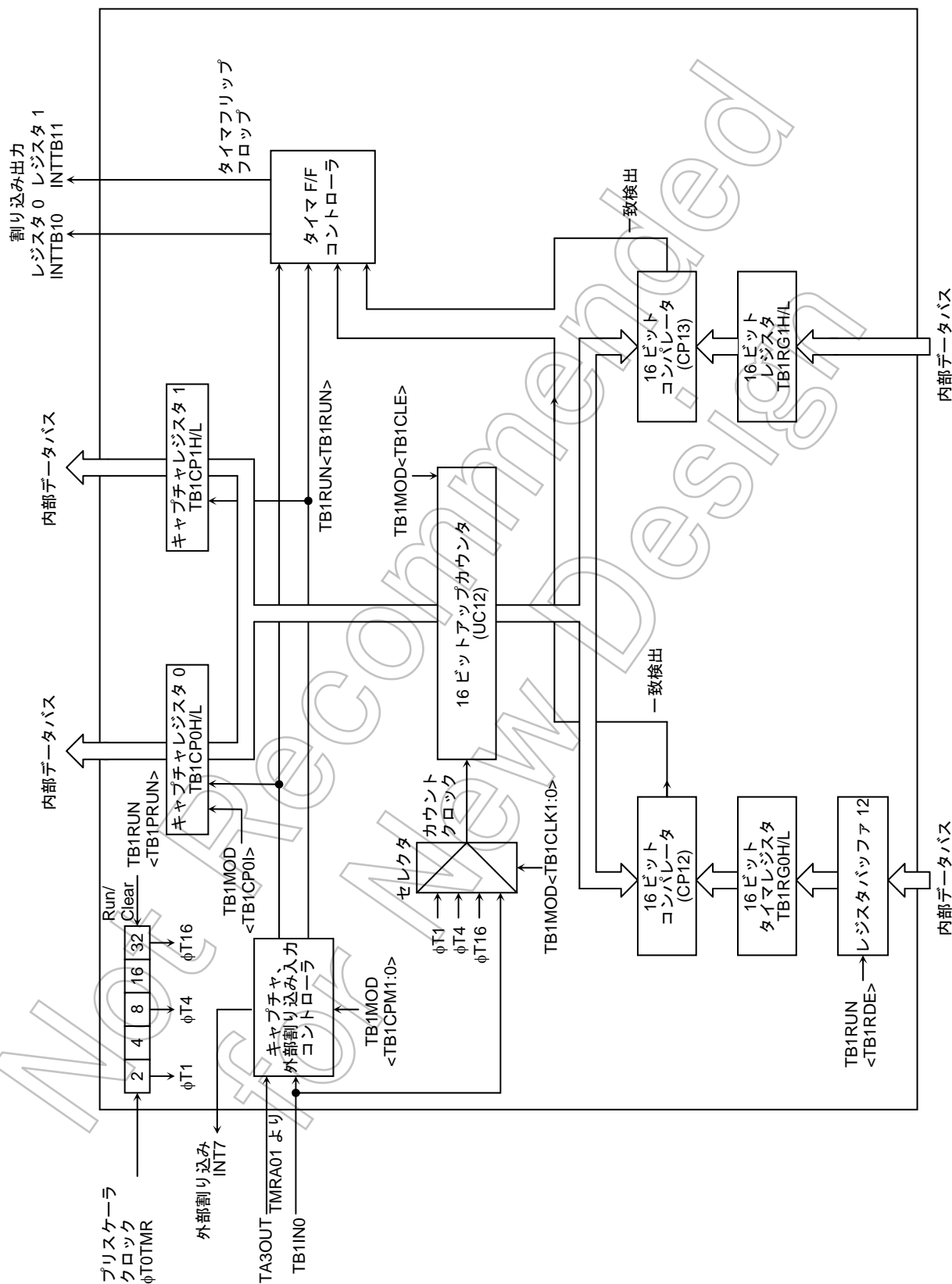


図 3.13.2 TMRB1 ブロック図

3.13.2 回路別の動作説明

(1) プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロック ϕ T0TMR はクロックギア部の SYSCR0<PRCK>にて選択したクロックです。

プリスケーラはTB0RUN<TB0PRUN>により制御されます。“1”に設定するとカウントを開始し、“0”に設定するとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.13.2に示します。

表 3.13.2 プリスケーラ出力クロック分解能

	クロックギア 選択 SYSCR1 <GEAR2:0>	クロックギア部 プリスケーラ SYSCR0 <PRCK>	-	タイマカウンタ入力クロック TMRB 部プリスケーラ TBxMOD<TBxCLK1:0>		
				ϕ T1(1/2)	ϕ T4(1/8)	ϕ T16(1/32)
fc	000(1/1)	1/2	1/2	fc/8	fc/32	fc/128
	001(1/2)			fc/16	fc/64	fc/256
	010(1/4)			fc/32	fc/128	fc/512
	011(1/8)			fc/64	fc/256	fc/1024
	100(1/16)			fc/128	fc/512	fc/2048
	000(1/1)	1/8		fc/32	fc/128	fc/512
	001(1/2)			fc/64	fc/256	fc/1024
	010(1/4)			fc/128	fc/512	fc/2048
	011(1/8)			fc/256	fc/1024	fc/4096
	100(1/16)			fc/512	fc/2048	fc/8192

(2) アップカウンタ (UC10)

TB0MOD<TB0CLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC10 の入力クロックは、3 種類のプリスケーラ出力クロック ϕ T1, ϕ T4, ϕ T16、または、TB0IN0 端子から入力される外部クロックのいずれかを選択できます。

UC10 は、TB0RUN<TB0RUN>によってカウントの開始および停止&クリアを設定します。

UC10 は、タイマレジスタ TB0RG1H/L と一致すると、クリアイネーブルであれば、“0”にクリアされます。クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE>で設定します。

(3) タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC10 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TB0RG0H/L, TB0RG1H/L へのデータ設定は、上位と下位の 2 バイトのデータ設定が必ず必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

(下位 8 ビットのみライトではコンペア回路が動作しませんのでライトは必ず下位 8 ビット、上位 8 ビットの順で 16 ビット単位で行って下さい)

このタイマレジスタは、TB0RG0H/L がダブルバッファ構成になっており、レジスタバッファ 10 とペアになっています。TB0RG0H/L は TB0RUN<TBORDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TBORDE> = "0" のときディセーブル、<TBORDE> = "1" のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 10 からタイマレジスタ TB0RG0H/L へのデータ転送は、UC10 と TB0RG1H/L との一致時に行われます。

但し、このデータ転送は、一致する前にレジスタバッファに上位 8 ビット、下位 8 ビットの両方がライトされている必要があります。片方のみしかライトされていないときはこのデータ転送は行われません。

ダブルバッファ回路は、レジスタバッファの上位 8 ビット、下位 8 ビットにライトされたかどうかを示す内部フラグをそれぞれ持っており、両方のフラグがライトされたことを示しているときに、アップカウンタ(UC10)とタイマレジスタ(TB0RG1H/L)の値が一致すると、データ転送が行われます。従って、上位、下位の順番に関係なく両方のレジスタバッファにライトされていると、アップカウンタ(UC10)とタイマレジスタ(TB0RG1H/L)の値が一致後、レジスタバッファからタイマレジスタへのデータ転送が行われます。このため、以下のように本来意図しないデータ転送が行われることがあります。

例えば、レジスタバッファへ(H1L1)を設定中に下位 8bit(L1)のみライト後、割り込みが発生し、割込みルーチン内でレジスタバッファへの 16 ビットライトとタイマレジスタへのデータ転送が行われると、割込みルーチン終了後に残りの上位 8 ビット(H1)をレジスタバッファにライトしても、内部フラグは、片方しかライトされたことを示さないため、アップカウンタ(UC10)とタイマレジスタ(TB0RG1H/L)の値が一致しても、タイマレジスタへのデータ転送は行われません。また、この後に新たにレジスタバッファに(H2L2)を設定しようとして下位 8 ビット(L2)をライトすると、内部フラグが両方にライトされたことを示し、残りの上位 8 ビット(H2)をレジスタバッファにライトする前に、アップカウンタ(UC10)とタイマレジスタ(TB0RG1H/L)の値が一致すると、タイマレジスタに(H2L1)がデータ転送され、意図した(H2L2)と異なるデータがタイマレジスタに転送されます。

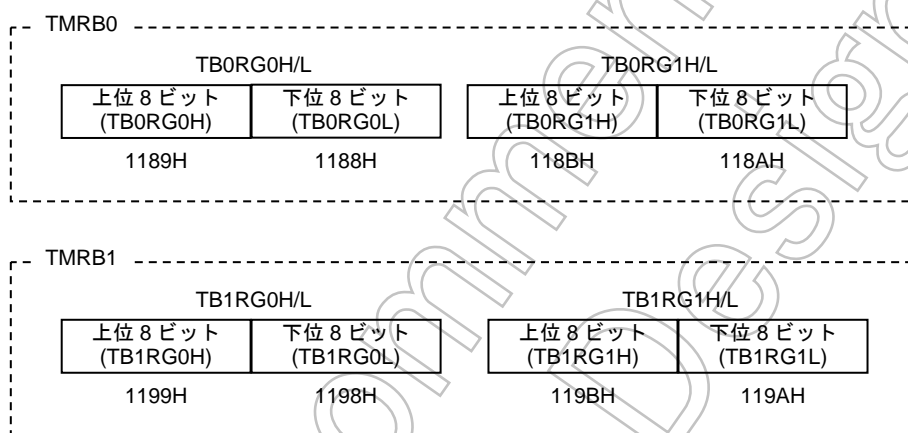
このような割り込みによるデータ転送のずれを避ける方法の 1 つとして、レジスタバッファへ設定前に DI(割り込み禁止)を行い、レジスタバッファ設定後、EI(割り込み許可)を行う方法があります。

リセット後は、TBORG0H/L, TBORG1H/L は不定のため 16 ビットタイマを使用する場合は、あらかじめデータをライトする必要があります。

リセット後は、TBORUN<TBORDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータをライトし<TBORDE> = “1” に設定した後、レジスタバッファ 10 へ次のデータをライトしてください。

TBORG0H/L とレジスタバッファ 10 は、同じアドレス 1189H/1188H に割り付けられています。<TBORDE> = “0” のときは、TBORG0H/L とレジスタバッファ 10 に同じ値がライトされ、<TBORDE> = “1” のときは、それぞれのレジスタバッファ 10 にのみライトされます。タイマレジスタに初期値をライトするときには、<TBORDE> = “0” に設定しダブルバッファをディセーブルにしておく必要があります。

各タイマレジスタのアドレスは次のとおりです。



TBORG0~TB1RG1 はライト専用レジスタのため、リードすることはできません。

(4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC10 の値をラッチする 16 ビットのレジスタです。

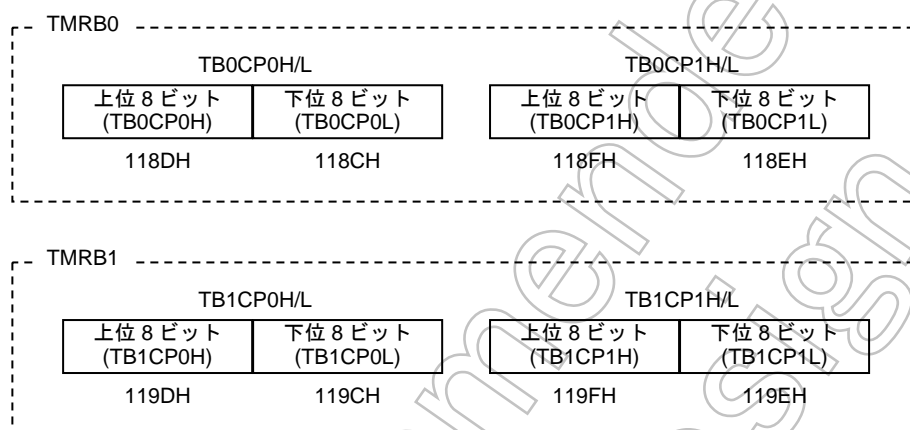
このキャプチャレジスタの値は上位と下位の 2 バイトのデータリードが必要です。

キャプチャレジスタをリードする場合は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順にリードしてください。

(キャプチャレジスタリード中はキャプチャ動作禁止になっていますので、必ず

下位 8 ビット、上位 8 ビットの順で 16 ビットのデータとしてリードしてください)

各キャプチャレジスタのアドレスは次のとおりです。



TB0CP0~TB1CP1 はリード専用レジスタです。プログラムによるライトはできません。

(5) キャプチャ、外部割り込み制御

アップカウンタ UC10 の値を、キャプチャレジスタ TB0CP0H/L, TB0CP1H/L にラッチするタイミングと、外部割り込みの発生を制御する回路です。

キャプチャレジスタのラッチタイミング、外部割り込みは、TB0MOD<TB0CPM1:0> で設定します。

また、ソフトウェアによってもアップカウンタ UC10 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0I>に“0”を設定するたびに、その時点の UC10 の値をキャプチャレジスタ TB0CP0H/L へキャプチャします。この際、プリスケアラを RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

(6) コンパレータ (CP10, CP11)

アップカウンタ UC10 と、タイマレジスタ TB0RG0H/L, TB0RG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTB00, INTTB01 を発生します。

(7) タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。TB0FF0 の制御は、TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1>によって設定できます。

リセット後、TB0FF0 の値は不定となります。TB0FFCR<TB0FF0C1:0>に “00” を設定することで反転、“01” を設定することで “1” にセット、“10” を設定することで “0” にクリアできます。

注) タイマによる反転とレジスタ設定による変更要求が同時に行われた場合はその時の状態によって以下のような動作となりますので注意が必要です。

- タイマによる反転とレジスタ設定による反転が同時に起きた場合
→ 1 回だけ反転します。
- タイマによる反転とレジスタ設定による “1” セットが同時に起きた場合
→ “1” セットとなります。
- タイマによる反転とレジスタ設定による “0” クリアが同時に起きた場合
→ “0” クリアとなります。

また、タイマによる反転と反転禁止を同時に行うと、反転する場合と反転しない場合が起きますので、反転の制御を変更(反転イネーブル/ディセーブル)は、タイマの動作を停止させた状態で行ってください。

TB0FF0 の値は、タイマ出力端子 TB0OUT0 端子 (PP6 と兼用)、TB0OUT1 端子 (PP7 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタに設定を行う必要があります。

3.13.3 SFR説明

TMRB0 RUN レジスタ

		7	6	5	4	3	2	1	0
TB0RUN (1180H)	Bit symbol	TB0RDE	-			I2TB0	TB0PRUN		TB0RUN
	Read/Write	R/W					R/W		R/W
	リセット後	0	0			0	0		0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB0 プリスケール 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ(UC10)

カウント動作

<TB0PRUN>, <TB0RUN>	0	停止 & クリア
	1	カウントアップ

注) TB0RUNのビット1, 4, 5は、リードすると“1”がリードされます。

TMRB1 RUN レジスタ

		7	6	5	4	3	2	1	0
TB1RUN (1190H)	Bit symbol	TB1RDE	-			I2TB1	TB1PRUN		TB1RUN
	Read/Write	R/W					R/W		R/W
	リセット後	0	0			0	0		0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB1 プリスケール 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ(UC12)

カウント動作

<TB1PRUN>, <TB1RUN>	0	停止 & クリア
	1	カウントアップ

注) TB1RUNのビット1, 4, 5は、リードすると“1”がリードされます。

図 3.13.3 TMRB のレジスタ

TMRB0 モードレジスタ

	7	6	5	4	3	2	1	0	
TB0MOD (1182H)	Bit symbol	-	-	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
リード モディファイ ライト できません	機能	"0"をライトしてください		ソフトウェア キャプチャ 制御 0:ソフトウェア キャプチャ 1:未定義	キャプチャタイミング 00: ディセーブル INT6は立ち上がり エッジ 01: TB0IN0 ↑ INT6は立ち上がり エッジ 10: TB0IN0 ↑ TB0IN0 ↓ INT6は立ち下がり エッジ 11: TA1OUT ↑ TA1OUT ↓ INT6は立ち上がり エッジ		アップ カウンタ制御 0:ディセーブル 1:イネーブル	ソースクロック選択 00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16	

入力クロック

<TB0CLK1:0>	00	外部入力クロック (TB0IN0 端子入力)
	01	φT1
	10	φT4
	11	φT16

アップカウンタ (UC10) のクリア

<TB0CLE>	0	アップカウンタのクリア禁止
	1	TB0RG1H/L との一致でクリア

キャプチャ/割り込みタイミング

		キャプチャ制御	INT6 制御
<TB0CPM1:0>	00	キャプチャ禁止	TB0IN0 の立ち上がりで INT6 発生
	01	TB0IN0 の立ち上がりで TB0CP0H/L へキャプチャ	TB0IN0 の立ち下がり INT6 発生
	10	TB0IN0 の立ち下がり TB0IN0 の立ち下がり TB0CP1H/L へキャプチャ	TB0IN0 の立ち上がり INT6 発生
	11	TA1OUT の立ち上がり TA1OUT の立ち下がり TB0CP1H/L へキャプチャ	TB0IN0 の立ち上がり INT6 発生

ソフトウェアキャプチャ

<TB0CP0I>	0	TB0CP0H/L へアップカウンタの値を取り込みます。
	1	未定義

図 3.13.4 TMRB のレジスタ

TMRB1 モードレジスタ

	7	6	5	4	3	2	1	0	
TB1MOD (1192H)	Bit symbol	-	-	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
リード モディファイ ライト できません	機能	"0"をライトしてください		ソフトウェア キャプチャ 制御 0:ソフトウェア キャプチャ 1:未定義	キャプチャタイミング 00: ディセーブル INT7は立ち上がり エッジ 01: TB1N0↑ INT7は立ち上がり エッジ 10: TB1N0↑,TB1N0↓ INT7は立ち下がり エッジ 11: TA3OUT↑ TA3OUT↓ INT7は立ち上がり エッジ		アップ カウンタ制御 0:ディセーブル 1:イネーブル	入力ロック選択 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16	

入力クロック

<TB1CLK1:0>	00	外部入力クロック (TB1IN0 端子入力)
	01	φT1
	10	φT4
	11	φT16

アップカウンタ (UC12) のクリア

<TB1CLE>	0	アップカウンタのクリア禁止
	1	TB1RG1H/L との一致でクリア

キャプチャ/割り込みタイミング

<TB1CPM1:0>	キャプチャ制御		INT7 制御
	00	キャプチャ禁止	TB1IN0 の立ち上がりで INT7 発生
01	TB1IN0 の立ち上がりで TB1CP0H/L へキャプチャ	TB1IN0 の立ち下がり INT7 発生	
10	TB1IN0 の立ち下がり TB1IN0 の立ち下がり TB1CP1H/L へキャプチャ	TB1IN0 の立ち上がり INT7 発生	
11	TA1OUT の立ち上がり TA1OUT の立ち下がり TB1CP1H/L へキャプチャ	TB1IN0 の立ち上がり INT7 発生	

ソフトウェアキャプチャ

<TB1CP0I>	0	TB1CP0H/L へアップカウンタの値を取り込みます。
	1	未定義

図 3.13.5 TMRB のレジスタ

TMRB0 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0	
TB0FFCR (1183H)	Bit symbol	-	-	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
	Read/Write	W*		R/W			W*		
	リセット後	1	1	0	0	0	0	1	1
リード モディファイ ライト できません	機能	"11"をライトしてください * リードすると常に "11"になります。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可 TB0CP1H/L へ UC10 値 をキャプチ ャする時			TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11"になります。		

タイマフリップフロップ (TB0FF0) の制御

<TB0FF0C1:0>	00	TB0FF0 の値を反転します。(ソフト反転)
	01	TB0FF0 を "1" にセットします
	10	TB0FF0 を "0" にセットします
	11	Don't care

UC10 と TB0RG0H/L との一致時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0E0T1>	0	反転禁止
	1	反転許可

UC10 と TB0RG1H/L との一致時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0E1T1>	0	反転禁止
	1	反転許可

TB0CP0H/L へ UC10 値をキャプチャした時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0C0T1>	0	反転禁止
	1	反転許可

TB0CP1H/L へ UC10 値をキャプチャした時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0C1T1>	0	反転禁止
	1	反転許可

図 3.13.6 TMRB のレジスタ

	7	6	5	4	3	2	1	0
TB0RG0L (1188H)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB0RG0H (1189H)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB0RG1L (118AH)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB0RG1H (118BH)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB1RG0L (1198H)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB1RG0H (1199H)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB1RG1L (119AH)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			
TB1RG1H (119BH)	bit Symbol				—			
	Read/Write				W			
	リセット後				0			

注) 上記レジスタは、リードモディファイライトは禁止です。

図 3.13.7 TMRB レジスタ

3.13.4 モード別動作説明

(1) 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TB0RG1H/L にインタバル時間を設定し、INTTB01 割り込みを発生します。

	7	6	5	4	3	2	1	0		
TB0RUN	←	-	0	X	X	-	-	X	0	TMRB0 を停止します。
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル 4) に、INTTB00 をディセーブルにします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能をディセーブルにします。
						(** = 01, 10, 11)				インタバル時間を設定します。
TB0RG1H/L	←	*	*	*	*	*	*	*	*	(16ビット)
		*	*	*	*	*	*	*	*	TMRB0 を起動します。
TB0RUN	←	-	0	X	X	-	1	X	1	

X: Don't care, -: No change

(2) 16ビットイベントカウンタモード

入力クロックを外部クロック (TB0IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値をリードすることができます。

	7	6	5	4	3	2	1	0		
TB0RUN	←	-	0	X	X	-	-	X	0	TMRB0 を停止します。
PPCR	←	X	X	-	1	-	-	-	X	PP4 を TB0IN0 入力モードに設定します。
PPFC	←	-	-	-	1	-	-	-	X	
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル 4) に、INTTB00 をディセーブルにします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	0	0	入力クロックを TB0IN0 端子入力にします。
TB0RG1H/L	←	*	*	*	*	*	*	*	*	カウント数を設定します。
		*	*	*	*	*	*	*	*	(16ビット)
TB0RUN	←	-	0	X	X	-	1	X	1	TMRB0 を起動します。

X: Don't care, -: No change

イベントカウンタとして使用する場合も、プリスケアラは “RUN” にしてください (TB0RUN <TB0PRUN> = “1”)。

(3) 16ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができません。出力パルスは、Low アクティブ、High アクティブどちらでも可能です。

アップカウンタ UC10 とタイマレジスタ TB0RG0H/L, TB0RG1H/L への設定値との一致によりタイマフリップフロップ TB0FF0 の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0H/L と TB0RG1H/L の設定値は次の条件を満たす必要があります。

$$(TB0RG0H/L \text{ への設定値}) < (TB0RG1H/L \text{ への設定値})$$

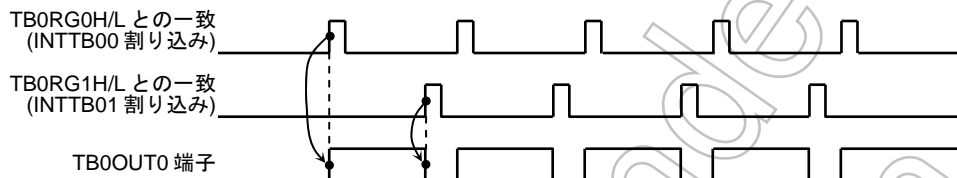


図 3.13.8 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB0RG0H/L のダブルバッファをイネーブルにすることにより、TB0RG1H/L との一致で、レジスタバッファ 0 の値が TB0RG0H/L へシフトインされます。これにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

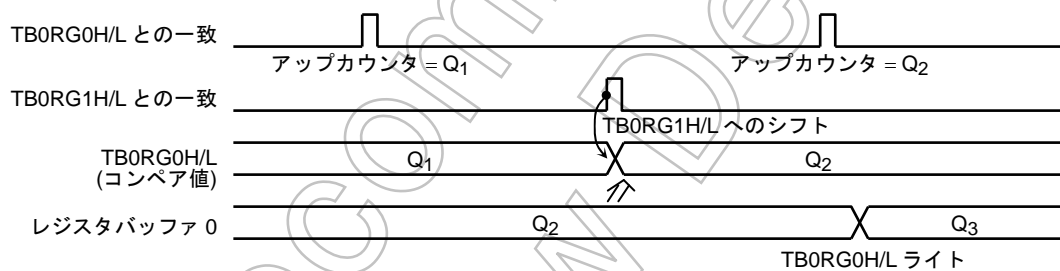


図 3.13.9 ダブルバッファの動作

注) TBxRGxH/L の設定値は、最小値 0001H~最大値 0000H(10000H に相当します) となります。又、設定値を最大値の "0000H" にした場合は、アップカウンタのオーバフローに同期します。

このモードのブロック図を示します。

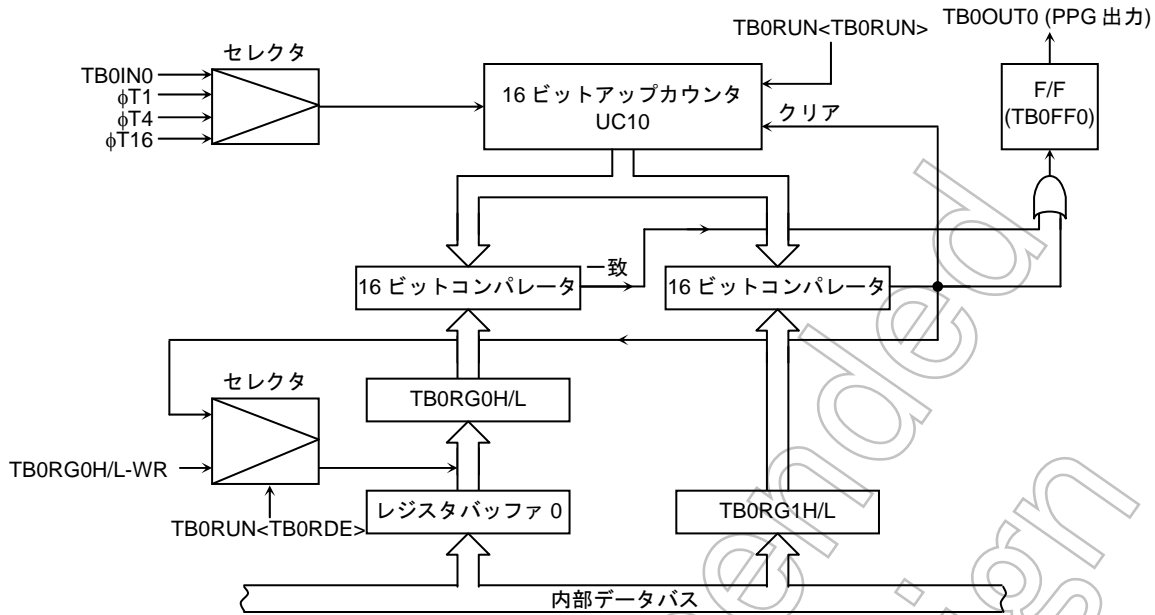


図 3.13.10 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TB0RUN	← 0	0	X	X	-	-	X	0	TB0REG0H/L のダブルバッファディセーブルおよび TMRB0 を停止します。
TB0RG0H/L	← *	*	*	*	*	*	*	*	デューティを設定します。 (16 ビット)
TB0RG1H/L	← *	*	*	*	*	*	*	*	周期を設定します。 (16 ビット)
TB0RUN	← 1	0	X	X	-	0	X	0	TB0RG0H/L のダブルバッファイネーブルにします。 (INTTB01 割り込みでデューティ/周期の変更)
TB0FFCR	← X	X	0	0	1	1	1	0	TB0FF0 を TB0RG0H/L、TB0RG1H/L との一致検出で反転するように設定します。また TB0FF0 の初期値を "0" にします。
TB0MOD	← 0	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
PPFC	← -	1	-	-	-	-	-	X	PP6 を TB0OUT0 に割り付けます。
TB0RUN	← 1	0	X	X	-	1	X	1	TMRB0 を起動します。

X: Don't care、 -: No change

(4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定

1. 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタ UC10 をプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。TB0IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ TB0CP0H/L に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT6 が発生します。この割り込みで、タイマレジスタ TB0RG0H/L には、TB0CP0H/L の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。タイマレジスタ TB0RG1H/L には、TB0RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ TB0FFCR<TB0E1T1, TB0E0T1> に “11” を設定し、UC10 と TB0RG0H/L との一致および TB0RG1H/L との一致により、タイマフリップフロップ TB0FF0 が反転するようにトリガイネーブルにします。ワンショットパルス出力後、INTTB01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、図 3.13.11 「外部トリガパルスからのワンショットパルス出力 (ディレイあり)」 の c、d、p と対応しています。

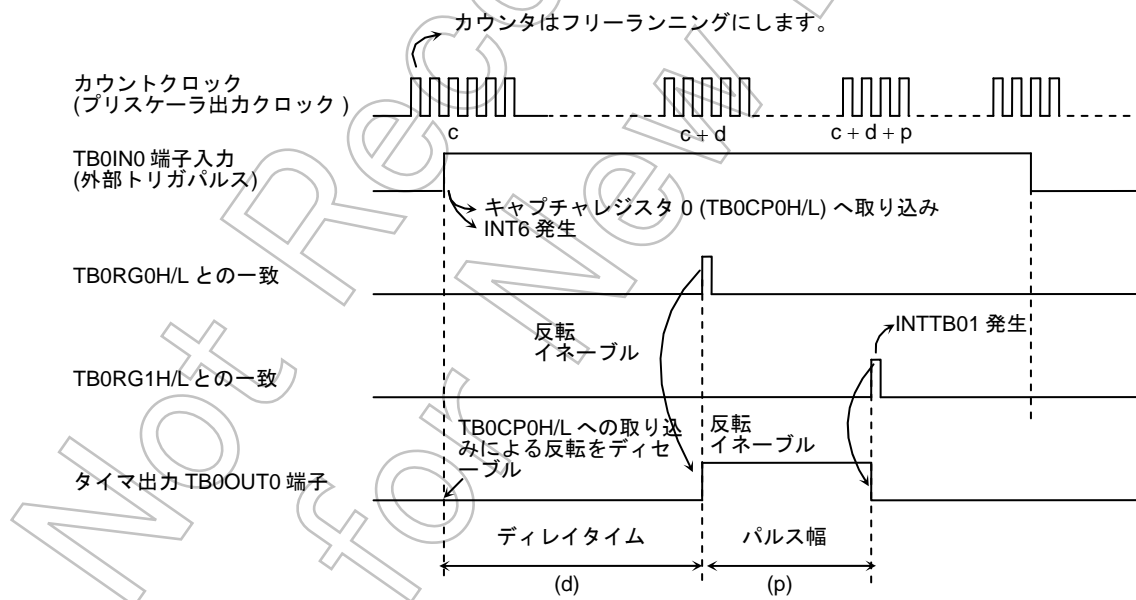


図 3.13.11 外部トリガパルスからのワンショットパルス出力 (ディレイあり)

設定例: TB0IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

*クロック条件

システムクロック: f_{sys}
 プリスケールクロック: $f_{sys}/4$

メインでの設定

TB0MOD	←	X	X	1	0	1	0	0	1	→	フリーランニングにします。 φT1 でカウントさせます。
TB0FFCR	←	X	X	0	0	0	0	1	0	→	TB0IN0 入力の立ち上がりで TB0CP0H/L へ取り込みます。
PPFC	←	-	-	1	-	-	-	-	-	X	TB0FF0 を "0" にクリアします。 TB0FF0 の反転をディセーブルにします。 PP6 端子を TB0OUT0 に割り付けます。(ポート設定)
INTE56	←	X	1	0	0	X	-	-	-	-	INT6 をイネーブルにします。
INTETB0	←	X	0	0	0	X	0	0	0	0	INTTB00, INTTB01 をディセーブルにします。
TB0RUN	←	-	0	X	X	-	1	X	1	-	TMRB0 を起動します。

INT6 ルーチンでの設定

TB0RG0H/L	←	TB0CP0H/L + 3ms/φT1									
TB0RG1H/L	←	TB0RG0H/L + 2ms/φT1									
TB0FFCR	←	X	X	-	-	1	1	-	-	→	TB0RG0H/L, TB0RG1H/L との一致による TB0FF0 の反転をイネーブルにします。
INTETB0	←	X	1	0	0	X	0	0	0	0	INTTB01 をイネーブルにします。

INTTB01 ルーチンでの設定

TB0FFCR	←	X	X	-	-	0	0	-	-	→	TB0RG0H/L, TB0RG1H/L との一致による TB0FF0 の反転をディセーブルにします。
INTETB0	←	X	0	0	0	X	0	0	0	0	INTTB01 をディセーブルにします。

X: Don't care, -: No change

ディレイが不要な場合、TB0CP0H/L への取り込みによって TB0FF0 を反転させ、割り込み INT6 で TB0CP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB0RG1H/L に設定します。TB0FF0 は、TB0RG1H/L と UC10 の一致によって反転するように、反転イネーブルを選択します。また、INTTB01 割り込みでこれをディセーブルに戻します。

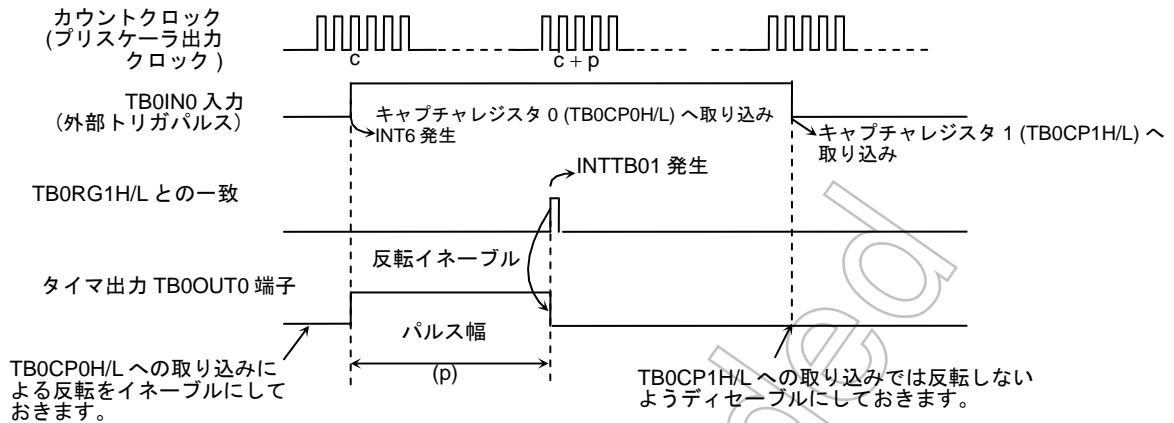


図 3.13.12 ワンショットパルス出力 (ディレイなし)

2. 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと8ビットタイマ(TMRA01)を組み合わせて行います(TMRA01は、TA1FFを反転させることで測定時間の設定に用います)。

TMRB0のカウントクロックはTB0IN0端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TB0CPM1:0>には“11”を設定します。この設定により、8ビットタイマ(TMRA01)のタイマフリップフロップTA1FFの立ち上がりで、キャプチャレジスタTB0CP0H/Lに16ビットアップカウンタUC10のカウンタ値を取り込み、8ビットタイマ(TMRA01)のTA1FFの立ち下がりで、キャプチャレジスタTB0CP1H/LにUC10のカウンタ値の取り込みを行います。

周波数は、8ビットタイマの割り込みINTTA0またはINTTA1で測定時間を基準にしてTB0CP0H/L、TB0CP1H/Lの差より求めます。

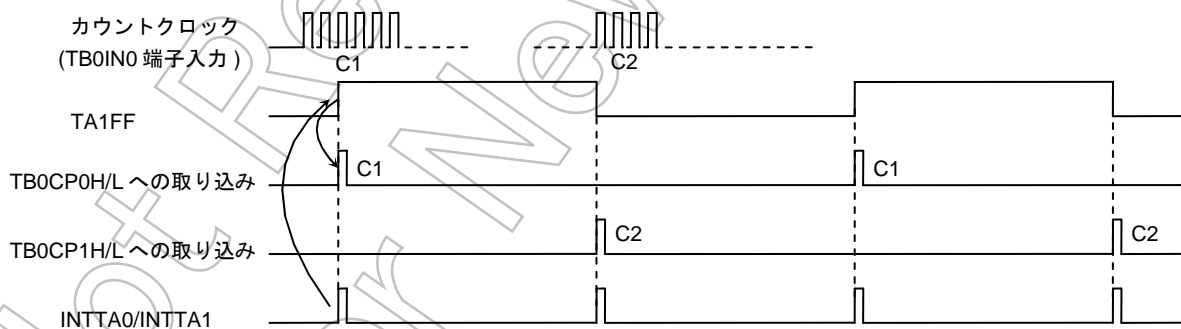


図 3.13.13 周波数測定

例えば、8ビットタイマによるTA1FFの“1”レベル幅の設定値が0.5sで、TB0CP0H/LとTB0CP1H/Lの差が100であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

注) 上記例の周波数は、Duty50%にした時の値です。

3. パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB0IN0 端子より外部パルスを入力し、アップカウンタ UC10 はプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ TB0CP0H/L, TB0CP1H/L に取り込みます。TB0IN0 端子の立ち下がりにより、INT6 が発生します。

“H”レベルパルス幅は、TB0CP0H/L と TB0CP1H/L の差を求め、その値に内部クロックの周期をかけることにより求めることができます。

例えば TB0CP0H/L と TB0CP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.8 \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.8 \mu\text{s} = 80 \mu\text{s}$ となります。

なお、クロックソースにより定まる UC10 の最大カウント時間を超えるパルス幅の測定を行う場合は、注意が必要です。この場合は、ソフトウェアによる処理を行ってください。

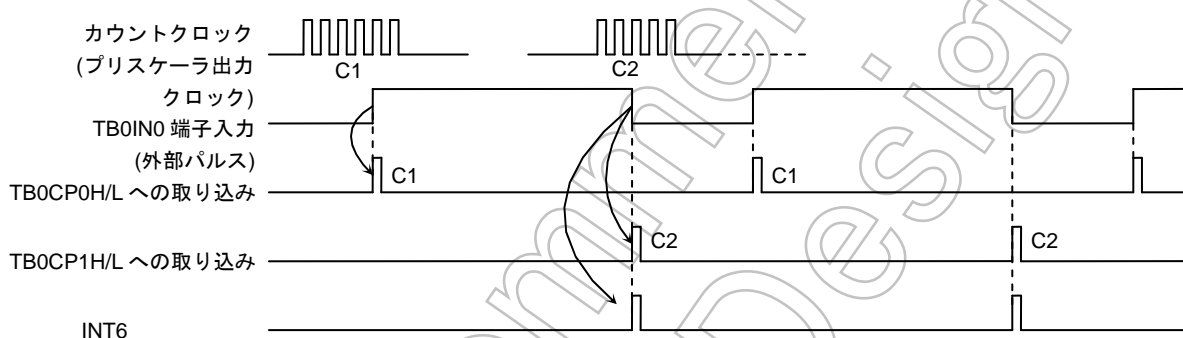


図 3.13.14 パルス幅測定

注) パルス幅測定は、TB0MOD<TB0CPM1:0>に“10”を設定することで行います。外部割り込み INT6 は、TB0IN0 入力の立ち下がりエッジで発生します。その他の設定では、INT6 は TB0IN0 入力の立ち上がりエッジで発生します。

また、外部パルスの“L”レベル幅を測定することもできます。この場合、2回目の INT6 割り込み処理により、1回目の C2 と 2回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより求めることができます。

3.14 シリアルチャネル(SIO)

シリアル入出力を2チャンネル内蔵しています。SIO0、SIO1 呼びます。下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。また、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。

- I/O インタフェースモード ———— モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ————
 - モード1: 送受信データ長 7ビット
 - モード2: 送受信データ長 8ビット
 - モード3: 送受信データ長 9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

図 3.14.2、図 3.14.3に、各チャンネルのブロック図を示します。

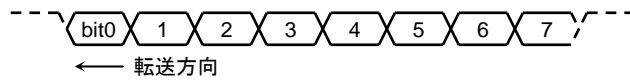
各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャンネルはそれぞれ独立に動作します。いずれのチャンネルも下記に示す表 3.14.1の使用相違点を除いて同一の動作をしますので、SIO0の場合のみ説明します。

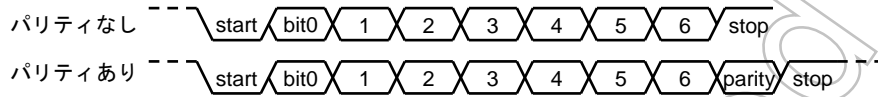
表 3.14.1 SIO のチャンネル別仕様相違点

	チャンネル 0	チャンネル 1
端子名称	TXD0 (P90 または PP3) RXD0 (P91 または PP4) CTS0/SCLK0 (P92 または PP5)	TXD1 (P90 または PP3) RXD1 (P91 または PP4) CTS1/SCLK1 (P92 または PP5)
IrDA モード	あり	あり

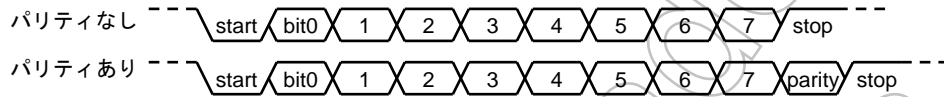
- モード0 (I/O インタフェースモード)



- モード1 (7ビット UART モード)



- モード2 (8ビット UART モード)



- モード3 (9ビット UART モード)



図 3.14.1 データフォーマット

3.14.1 ブロック図

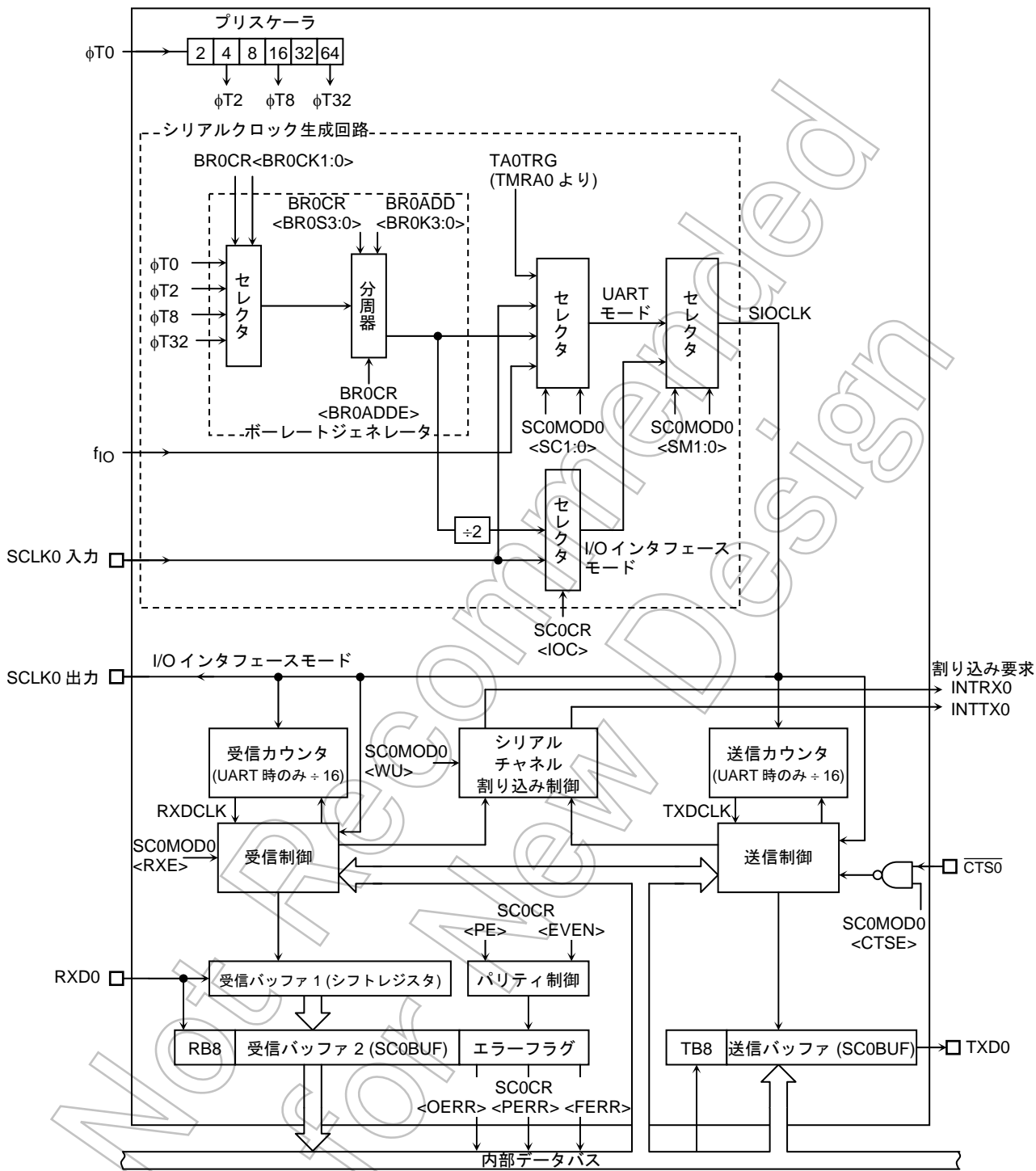


図 3.14.2 SIO0 ブロック図

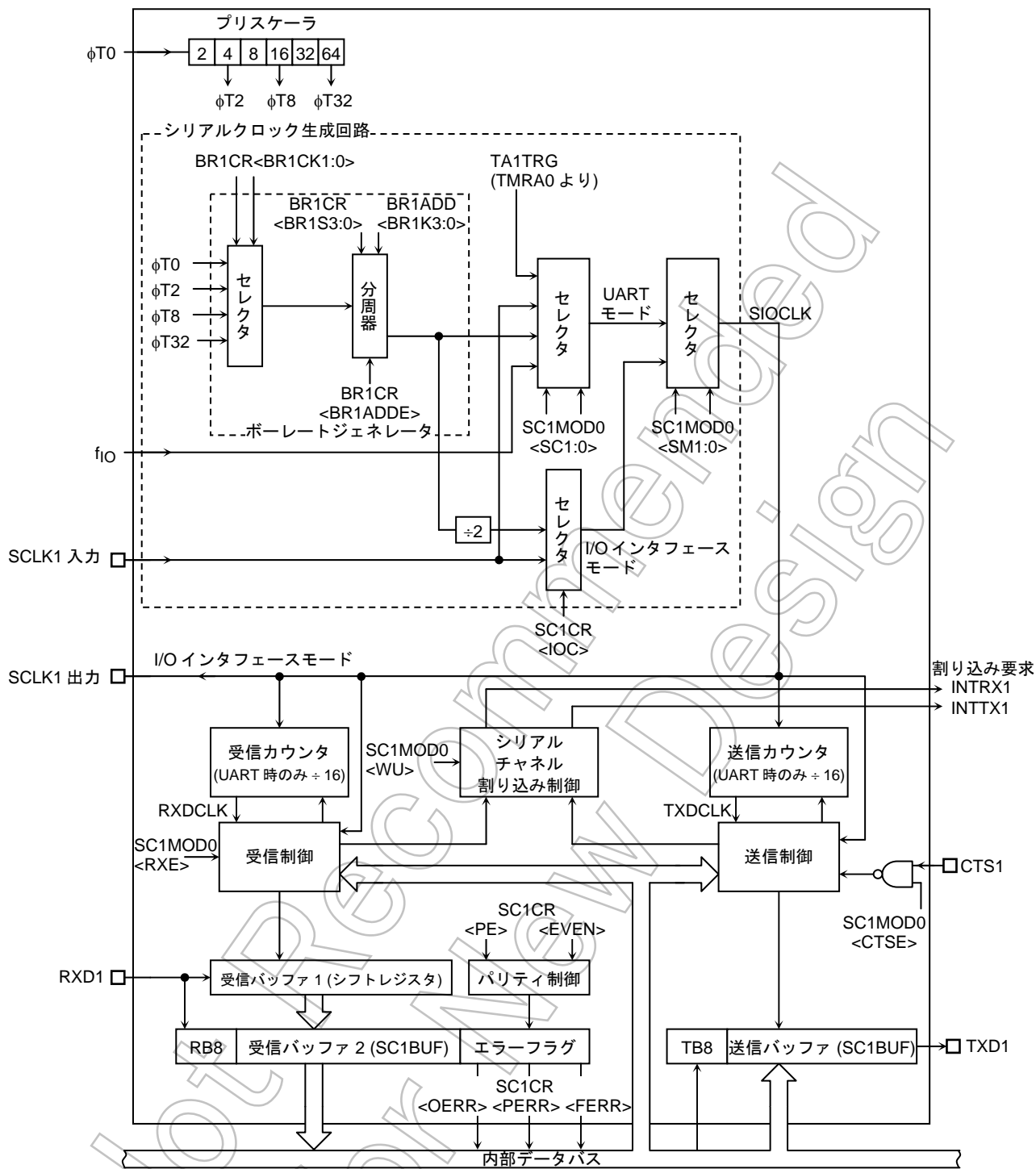


図 3.14.3 SIO1 ブロック図

- ブロック図の追加説明

下記に、TMP92CF30 に内蔵される 2ch の SIO 回路の接続イメージを示します。

2ch の回路が内蔵されており、各々の信号を P90,P91,P92、または PP3,PP4,PP5 に設定することが出来ます。

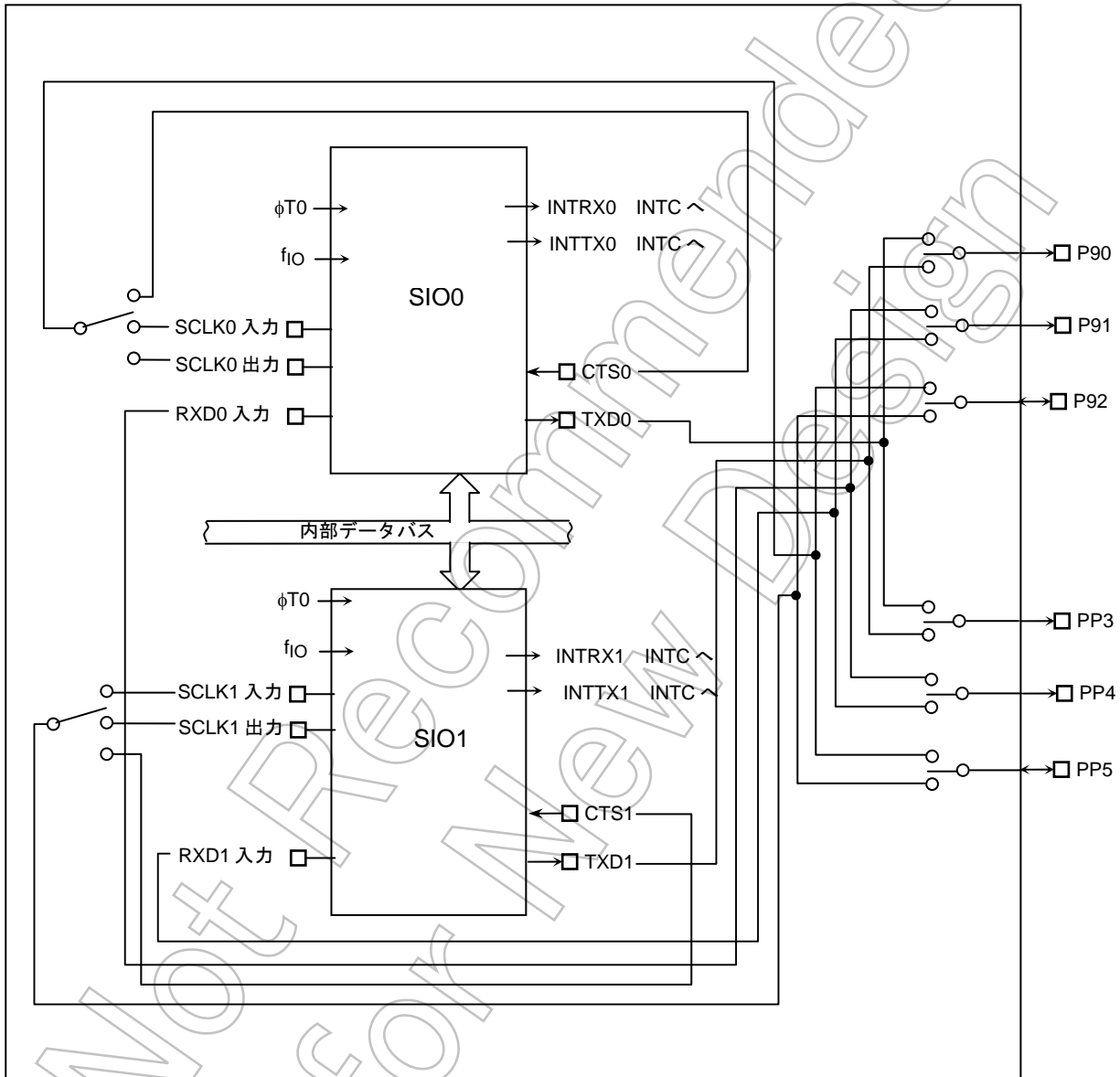


図 3.14.4 内部回路と外部ポートの接続イメージ図

注 1) 上記はイメージを示しており、回路構成や設定方法は、ポートの章を参照してください。

注 2) 外部ポートを切り替えて使用する場合は、内部回路を完全に停止させてから切り替えを行うようにしてください。

3.14.2 回路別動作説明

(1) SIO 部プリスケアラ、プリスケアラクロック選択

SIO0 の動作クロックを生成するために、6 ビットプリスケアラがあります。プリスケアラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合動作することが可能となります。プリスケアラ出力クロックの分解能を表 3.14.3に示します。

表 3.14.2 ボーレートジェネレータへのプリスケアラクロック分解能

-	クロックギア 選択 SYSCR1 <GEAR2:0>	-	ボーレートジェネレータ入力クロック SIO 部プリスケアラ BR0CR<BR0CK1:0>			
			$\phi T0(1/1)$	$\phi T2(1/4)$	$\phi T8(1/16)$	$\phi T32(1/32)$
fc	000(1/1)	1/4	fc/4	fc/16	fc/64	fc/256
	001(1/2)		fc/8	fc/32	fc/128	fc/512
	010(1/4)		fc/16	fc/64	fc/256	fc/1024
	011(1/8)		fc/32	fc/128	fc/512	fc/2048
	100(1/16)		fc/64	fc/256	fc/1024	fc/4096

ボーレートジェネレータには、プリスケアラ出力クロックより $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ の 4 種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、SIO部6ビットプリスケアラより、 $\phi T0$ 、 $\phi T2$ 、 $\phi T8$ 、 $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR0CR<BR0ADDE><BR0S3:0>で設定します。

ボーレートジェネレータは、1、 $N + (16 - K) / 16$ 、16分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>、BR0ADD<BR0K3:0>の設定に従い分周を行い転送速度を決定します。

- UARTモードの場合

- (1) BR0CR <BR0ADDE> = “0”の場合

BR0ADD <BR0K3:0> の設定は無視され、BR0CR <BR0S3:0> に設定された値“N”に従いN分周を行います。(N = 1、2、3... 16)

- (2) BR0CR <BR0ADDE> = “1”の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり BR0CR <BR0S3:0> に設定された値“N” (N = 2、3 ... 15)、BR0ADD <BR0K3:0> に設定された値“K”に従い $N + (16 - K) / 16$ 分周を行います。(K = 1、2、3 ... 15)

注) N = “1”および16のときは $N + (16 - K) / 16$ 分周機能は禁止となりますので必ず BR0CR <BR0ADDE> = “0” に設定してください。

- I/Oインタフェースモードの場合

I/Oインタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。必ず BR0CR <BR0ADDE> = “0”に設定してN分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UARTモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/Oインタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_C = 19.6608\text{MHz}$ で入力クロック ϕT_2 、分周値 “N” ($\text{BR0CR}\langle\text{BR0S3:0}\rangle = 8$ 、 $\text{BR0CR}\langle\text{BR0ADDE}\rangle = “0”$) の場合の UART モードのボーレートは、

$$\begin{aligned} * \text{ クロック条件} & \left\{ \begin{array}{l} \text{クロックギア} \\ \text{クロックギア} \end{array} \right. : 1/1 \\ \text{ボーレート} & = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ & = \frac{f_C/16}{8} \div 16 \\ & = 19.6608 \times 10^6 \div 16 \div 8 \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

注) $(16-K)/16$ 分周機能は禁止に設定されるため $\text{BR0ADD}\langle\text{BR0K3:0}\rangle$ の設定は無視されます。

- $N + (16-K)/16$ 分周 (UART モードのみ) の場合

また、 $f_C = 15.9744\text{MHz}$ で入力クロック ϕT_2 、分周値 “N” ($\text{BR0CR}\langle\text{BR0S3:0}\rangle = 6$ 、 $\text{BR0CR}\langle\text{BR0ADDE}\rangle = “1”$) の場合のボーレートは、

$$\begin{aligned} * \text{ クロック条件} & \left\{ \begin{array}{l} \text{クロックギア} \\ \text{クロックギア} \end{array} \right. : 1/1 \\ \text{ボーレート} & = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ & = \frac{f_C/16}{6 + \frac{(16-8)}{16}} \div 16 \\ & = 15.9744 \times 10^6 \div 16 \div \left(6 + \frac{8}{16}\right) \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

表 3.14.3 に UART モードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- UART モード

Baud Rate = 外部クロック入力 $\div 16$

ただし、(外部クロック入力周期) $\geq 4/f_{\text{SYS}}$ を満足する必要があります。

- I/O インタフェースモード

Baud Rate = 外部クロック入力

ただし、(外部クロック入力周期) $\geq 16/f_{\text{SYS}}$ を満足する必要があります。

表 3.14.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BROCR <BROADDE> = "0"の場合) (単位: kbps)

f _{sys} [MHz]	入力クロック		φT0 (f _{sys} /4)	φT2 (f _{sys} /16)	φT8 (f _{sys} /64)	φT32 (f _{sys} /256)
	分周値 N					
7.3728		1	115.200	28.800	7.200	1.800
↑		3	38.400	9.600	2.400	0.600
↑		6	19.200	4.800	1.200	0.300
↑		A	11.520	2.880	0.720	0.180
↑		C	9.600	2.400	0.600	0.150
↑		F	7.680	1.920	0.480	0.120
9.8304		1	153.600	38.400	9.600	2.400
↑		2	76.800	19.200	4.800	1.200
↑		4	38.400	9.600	2.400	0.600
↑		5	30.720	7.680	1.920	0.480
↑		8	19.200	4.800	1.200	0.300
↑		0	9.600	2.400	0.600	0.150
44.2368		6	115.20	28.800	7.200	1.800
↑		9	76.800	19.200	4.800	1.200
58.9824		2	460.800	115.200	28.800	7.200
↑		3	307.200	76.800	19.200	4.800
↑		5	184.320	46.080	11.520	2.880
↑		6	153.600	38.400	9.600	2.400
↑		8	115.200	28.800	7.200	1.800
↑		C	76.800	19.200	4.800	1.200
↑		F	61.440	15.360	3.840	0.960
73.728		1	1152.000	288.000	72.000	18.000
↑		3	384.000	96.000	24.000	6.000
↑		6	192.000	48.000	12.000	3.000
↑		A	115.200	28.800	7.200	1.800
↑		C	96.000	24.000	6.000	1.500
↑		F	76.800	19.200	4.800	1.200

注 1) I/O インタフェースモード時の転送レートは本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注 2) I/O インタフェースモードでは、TMRA0 一致検出信号を転送クロックとして使用することはできません。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

SC0CR <IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を2分周し、基本クロックをつくります。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR <SCLKS> の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

SC0MOD0 <SC1:0> の設定により、前記ボーレートジェネレータからのクロック、内部クロック f_{i0} 、タイマ TMRA0 からの一致検出信号、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7, 8, 9 発目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが “1”, “0”, “1” であれば、受信データは “1” と判断され、また、“0”, “0”, “1” であれば “0” と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

SC0CR <IOC> = “0” の SCLK 出力モードのときは、SC0CR <SCLKS> の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR <SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 度のサンプリング中 2 度以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろるともう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) をリードします。CPU が受信バッファ 2 (SC0BUF) をリードする前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) をリードしなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR <RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR <RB8> に格納されます。

9 ビット UART の場合、SC0MOD0 <WU> を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR <RB8> = “1” のときのみ、割り込み INTRX0 が発生します。

SIO 割り込みモードは SIMC レジスタによって設定可能です。

注 1) SC0CR<RB8>については受信バッファはダブルバッファ構造に対応していません。

注 2) 受信バッファ 1 から受信バッファ 2 への転送タイミングと CPU からのリードタイミングが同時の場合、不定になることがあります。これを避けるため、受信割り込みをトリガにして、受信バッファ 2 をリードするようにして下さい。

(7) 受信割り込み使用時の注意

- 受信割り込みは、割り込みの検出方法をレベルとエッジから選択できます。詳細は、3.6.3(3)機能切り替えレジスタ SIMC を参照して下さい。
- 受信割り込みは、割り込み検出方法がレベルの場合、レベルで出続けるため、割り込みジャンプ後も割り込み許可状態にしていると何度でも同じ割り込みが発生します。

(8) 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

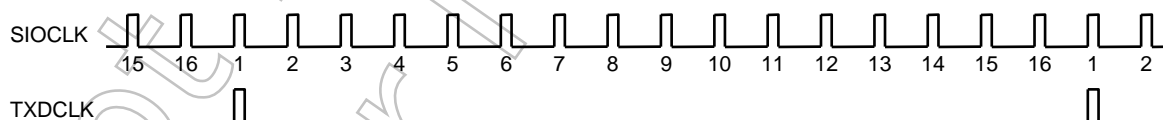


図 3.14.5 送信クロックの生成

(9) 送信制御部

- I/O インタフェースモードの場合

SC0CR <IOC> = “0” の SCLK 出力モードのときは、SC0CR <SCLKS> の設定に従って SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつ TXD0 端子へ出力します。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR <SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつ TXD0 端子へ出力します。

- 非同期通信 (UART) モード

送信バッファに CPU から送信データがライトされると次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

Not Recommended
for New Design

ハンドシェイク機能

$\overline{\text{CTS0}}$ を使用することにより、1 データフォーマット単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は $\text{SCOMOD}<\text{CTSE}>$ の設定によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が“H”レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が“L”レベルに戻るまで送信を停止します。ただし、 INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータをライトし、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを“H”レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

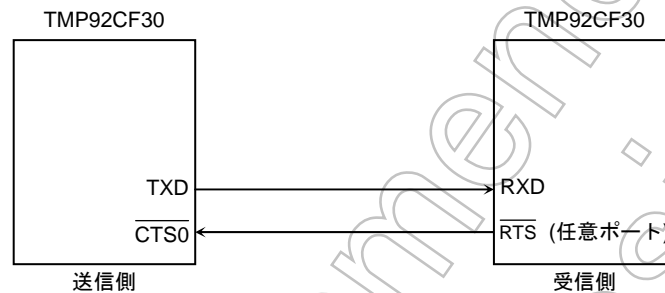
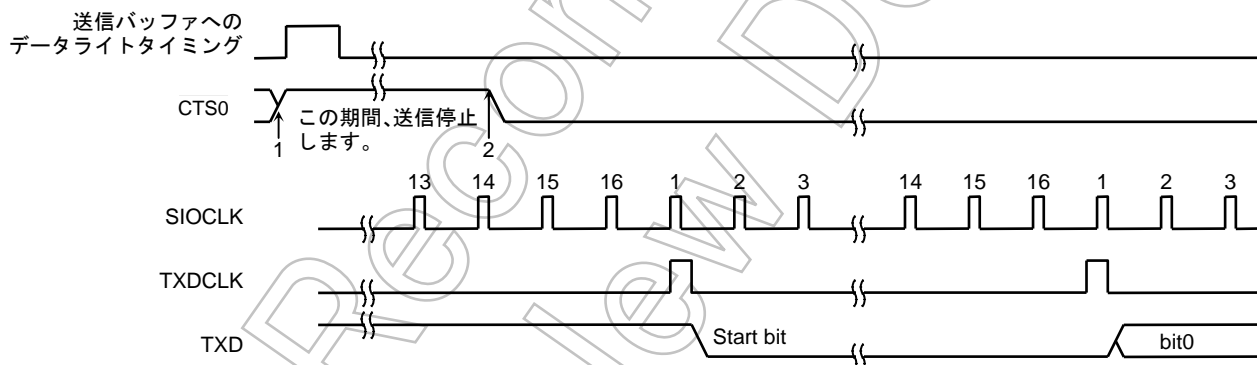


図 3.14.6 ハンドシェイク機能



注 1) 送信中に $\overline{\text{CTS0}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注 2) $\overline{\text{CTS0}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.14.7 $\overline{\text{CTS0}}$ (Clear to send) 信号のタイミング

(10)送信バッファ

送信バッファ SC0BUFは CPU よりライトされた送信データを最下位ビット(LSB)から順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティで INTTX0 割り込みが発生します。

(11)パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR <PE> を“1”に設定するとパリティ付の送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数あるいは奇数パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF にライトされたデータにより自動的にパリティを発生し、7ビット UART モードのときは SC0BUF <TB7> に、8ビット UART モードのときは SC0MOD0 <TB8> にパリティを格納して、送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファにライトする前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータにより、パリティを自動発生し、7ビット UART モードのときは、SC0BUF <RB7> と、8ビット UART モードのときは、SC0CR<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR <PERR> フラグがセットされます。

Not Recommended for New Design

(12)エラーフラグ

受信データの信頼性をあげるために3つのエラーフラグが用意されています。

1. オーバランエラー <OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if<OERR>=“1”の時
 - (ア) 受信禁止に設定 (<RXE>に“0”をライト)
 - (イ) 現フレームの終了待ち
 - (ウ) 受信バッファのリード
 - (エ) エラーフラグのリード
 - (オ) 受信許可に設定 (<RXE>に“1”をライト)
 - (カ) 再送信要求
- 4) その他の処理

注) オーバランエラーは、受信バッファ 2(SC0BUF)のみが対象になります。従って、SC0CR<RB8>をリードしなかった場合は、オーバランエラーは発生しません。

2. パリティエラー <PERR>

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

注) パリティエラーフラグはリードするとクリアされますが、2回検出をしているため、2回の間にパリティエラーフラグをリードした場合、クリアされていないように見ることがあります。これを避けるため、受信割り込みをトリガにしてパリティエラーフラグのリードをするようにして下さい。

3. フレーミングエラー <FERR>

受信データのストップビットを中央付近で3回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

(13)各信号発生タイミング

1. UARTモードの場合

受信

モード	9ビット (注)	8ビット+パリティ (注)	8ビット, 7ビット+パリティ, 7ビット
割り込み発生 タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	—	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
オーバランエラー 発生タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

注) 9ビットモード、8ビット+パリティモードでは、割り込みは9ビット目と同時に発生します。そのため、割り込み発生後、1ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9-ビット	8ビット+パリティ	8ビット, 7ビット+パリティ, 7ビット
割り込み タイミング	ストップビット送 信される直前	ストップビット送信 される直前	ストップビット送信される直前

2. I/O インタフェースモードの場合

送信 割り込み タイミング	SCLK 送信モード	最終ビット終了直後 (図 3.14.5参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (図 3.14.6参照)
受信 割り込み タイミング	SCLK 送信モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.14.22参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.14.23参照)

3.14.3 SFR説明

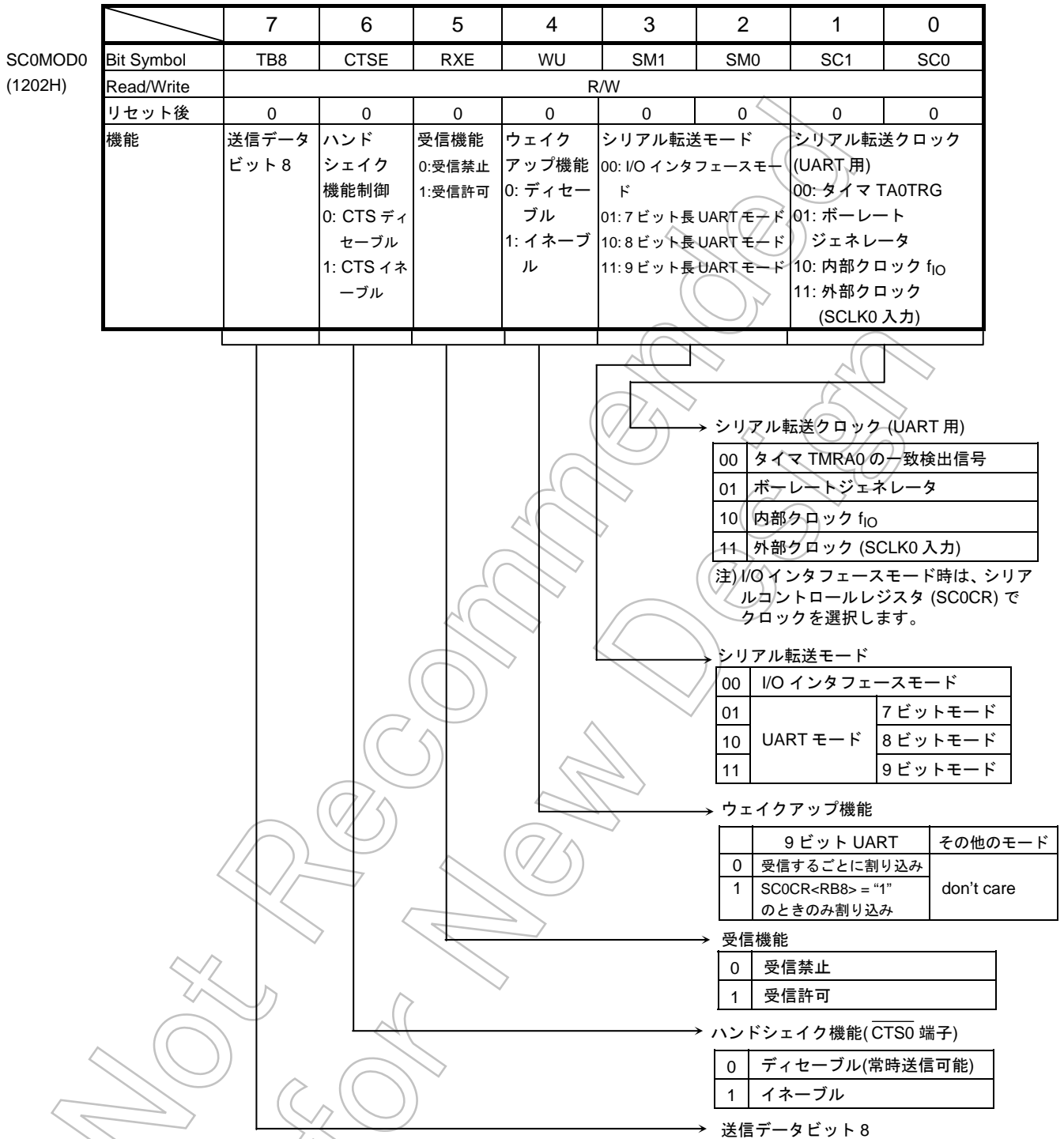
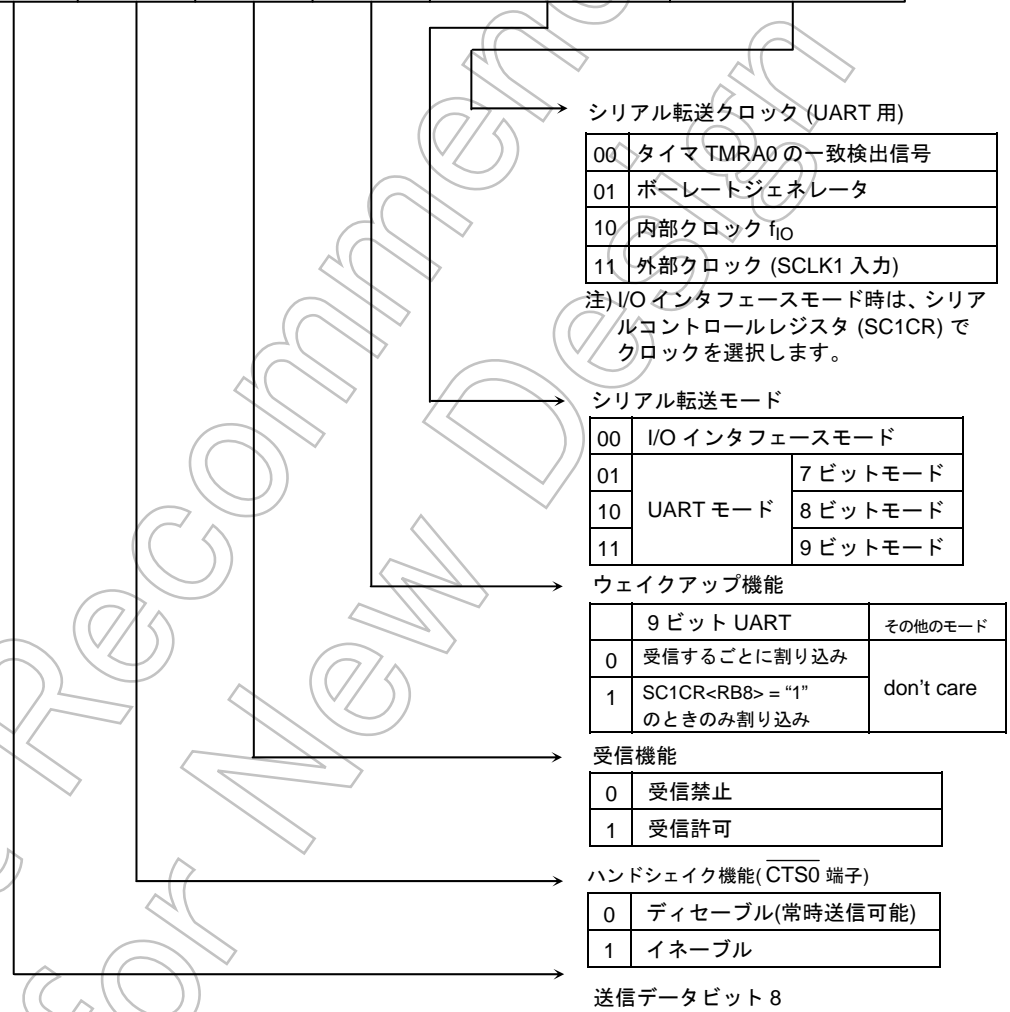


図 3.14.8 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

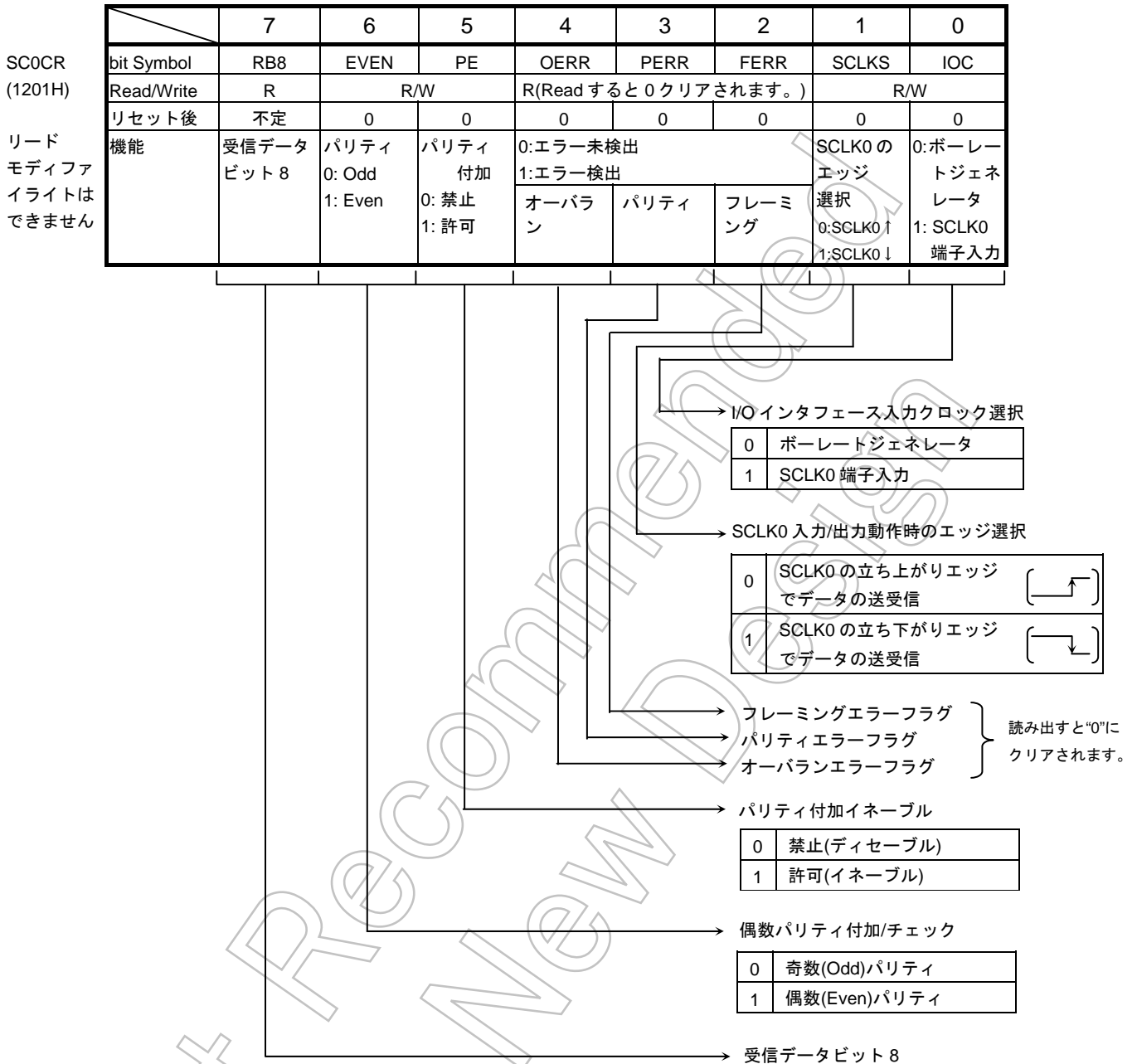
SC1MOD0
(120AH)

	7	6	5	4	3	2	1	0
Bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データ ビット 8	ハンド シェイク 機能制御 0: CTS デ ィセーブ ル 1: CTS イ ネーブ ル	受信機能 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセー ブル 1: イネーブ ル	シリアル転送モード 00: I/O インタフェースモ ード 01: 7ビット長 UART モー ド 10: 8ビット長 UART モー ド 11: 9ビット長 UART モー ド	シリアル転送クロック (UART 用) 00: *タイマ TA0TRG 01: ポーレートジェネ レータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK1 入力)		



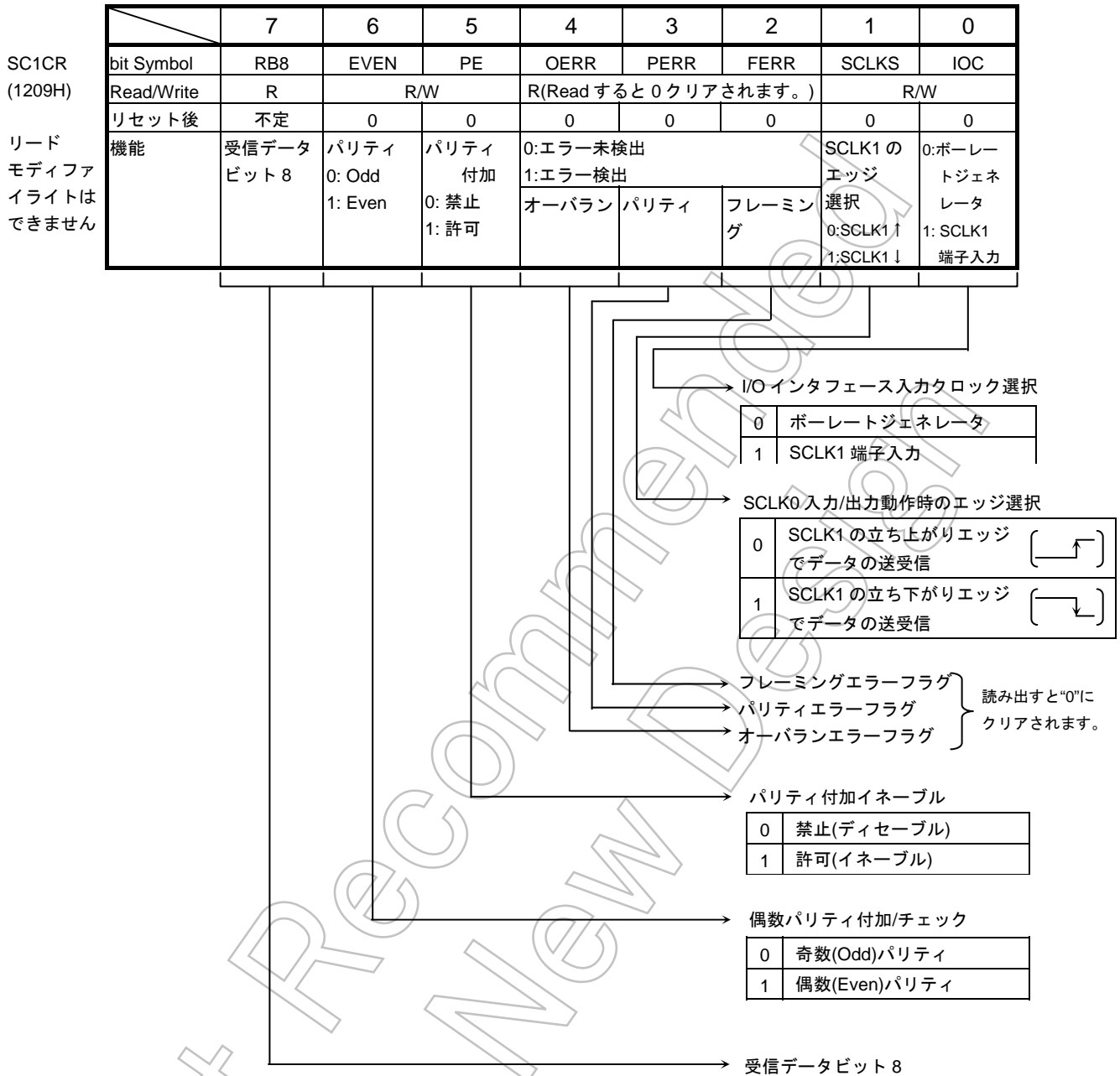
注) SIO1 のソースクロックをタイマから入力できますが、SIO0 のタイマと同じ TMRA0 のみの使用が可能です。SIO0 と異なるタイマの使用は出来ませんのでご注意ください。

図 3.14.9 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD0)



注) エラーフラグはリードされるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.14.10 シリアルコントロールレジスタ (SIO0 用、SC0CR)



注) エラーフラグはリードされるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.14.11 シリアルコントロールレジスタ (SIO1 用、SC1CR)

	7	6	5	4	3	2	1	0
BR0CR (1203H)	Bit Symbol	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	“0”をライトしてください	+ (16-K)/16 分周機能 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32	分周値 “N” の設定			

+ (16-K)/16 分周機能イネーブル

0	禁止(ディセーブル)
1	許可(イネーブル)

ポーレートジェネレータの入カクロックの選択

00	内部クロック φT0
01	内部クロック φT2
10	内部クロック φT8
11	内部クロック φT32

	7	6	5	4	3	2	1	0
BR0ADD (1204H)	Bit symbol				BR0K3	BR0K2	BR0K1	BR0K0
	Read/Write	R/W						
	リセット後				0	0	0	0
	機能	N+(16-K)/16 分周の K 値の設定						

ポーレートジェネレータの分周値の設定

	BR0CR <BR0ADDE> = “1”	BR0CR <BR0ADDE> = “0”
BR0CR <BR0S3:0>	0000(N = 16) or 0001(N = 1)	0010(N = 2) 1111(N = 15)
BR0ADD <BR0K3:0>	0000 0001(K = 1) 1111(K = 15)	0001(N = 1)(ONLY UART) 1111(N = 15) 0000(N = 16)
	禁止	禁止
	禁止	N + $\frac{16-K}{16}$ 分周

注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 to 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16-K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16-K)/16 分周機能を使用する場合、かならず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.14.12 ポーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)

		7	6	5	4	3	2	1	0
BR1CR (120BH)	bit Symbol	—	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	“0”をライトしてください	+ (16-K)/16 分周機能 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32	分周値 “N” の設定				

+ (16-K)/16 分周機能イネーブル

0	禁止(ディセーブル)
1	許可(イネーブル)

ポーレートジェネレータの入カロックの選択

00	内部クロック φT0
01	内部クロック φT2
10	内部クロック φT8
11	内部クロック φT32

		7	6	5	4	3	2	1	0
BR1ADD (120CH)	Bit symbol					BR1K3	BR1K2	BR1K1	BR1K0
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					N+(16-K)/16 分周の K 値の設定			

ポーレートジェネレータの分周値の設定

		BR1CR<BR1ADDE> = “1”		BR1CR<BR1ADDE> = “0”
BR1ADD <BR1K3:0>	0000	0000(N = 16) or 0001(N = 1)	0010(N = 2) ∴ 1111(N = 15)	0001(N = 1)(ONLY UART) ∴ 1111(N = 15) 0000(N = 16)
	0000 0001(K = 1) ∴ 1111(K = 15)	禁止 禁止	禁止 N + $\frac{16-K}{16}$ 分周	N 分周

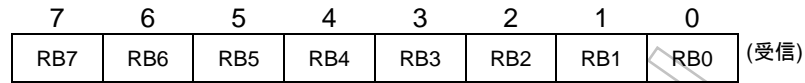
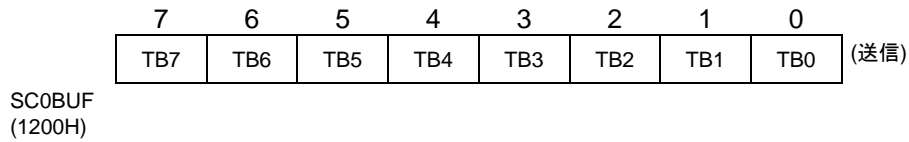
注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 to 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = “1” を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.14.13 ポーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)

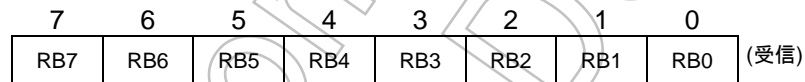
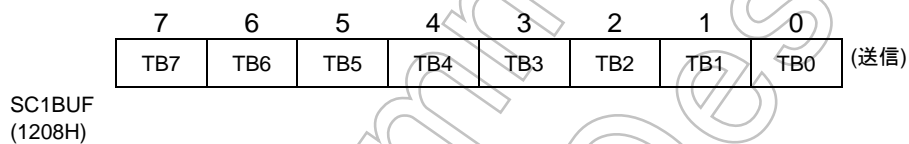


注) SC0BUF はリードモディファイライトできません。

図 3.14.14 シリアル送受信バッファレジスタ (SIO0 用、SC0BUF)

	7	6	5	4	3	2	1	0
SC0MOD1 (1205H)	Bit symbol	I2S0	FDPX0	/	/	/	/	/
	Read/Write	R/W	R/W	/	/	/	/	/
	リセット後	0	0	/	/	/	/	/
	機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	/	/	/	/	/

図 3.14.15 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)



注) SC1BUF はリードモディファイライトできません。

図 3.14.16 シリアル送受信バッファレジスタ (SIO1 用、SC1BUF)

	7	6	5	4	3	2	1	0
SC1MOD1 (120DH)	Bit symbol	I2S1	FDPX1	/	/	/	/	/
	Read/Write	R/W		/	/	/	/	/
	リセット後	0	0	/	/	/	/	/
	機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	/	/	/	/	/

図 3.14.17 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)

3.14.4 モード別動作説明

(1) モード0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

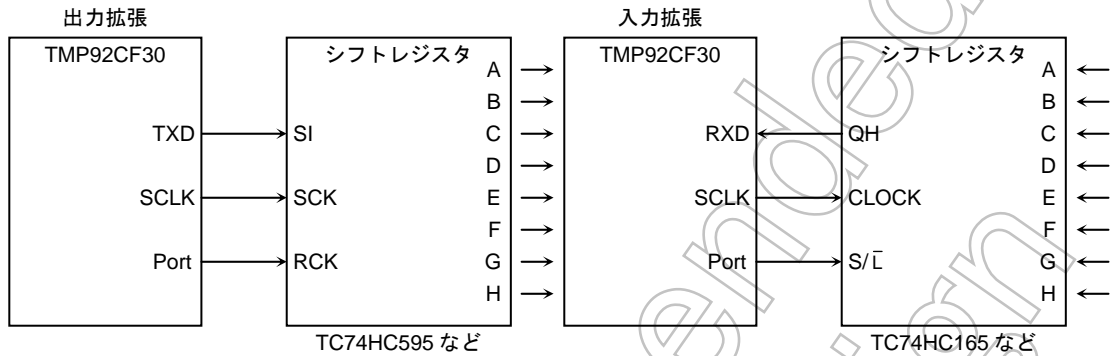


図 3.14.18 SCLK 出力モード接続例

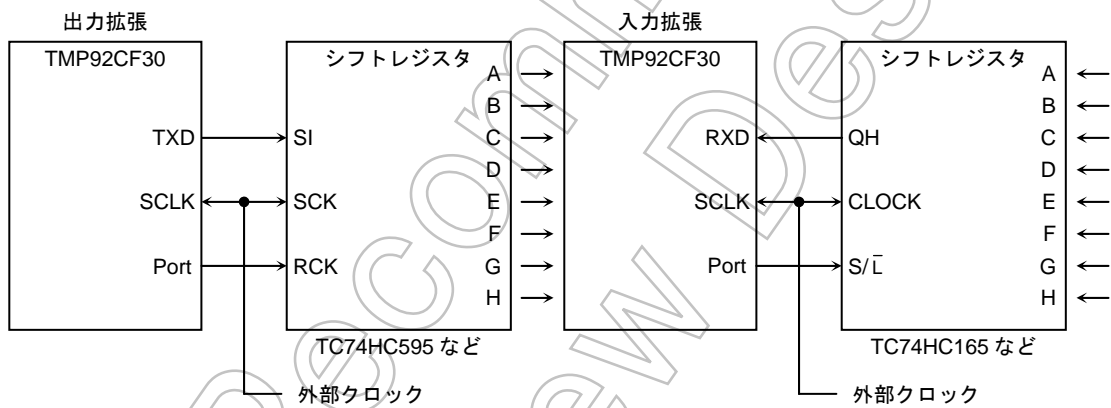


図 3.14.19 SCLK 入力モード接続例

1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータをライトするたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0 <ITX0C> がセットされ、割り込み INTTX0 が発生します

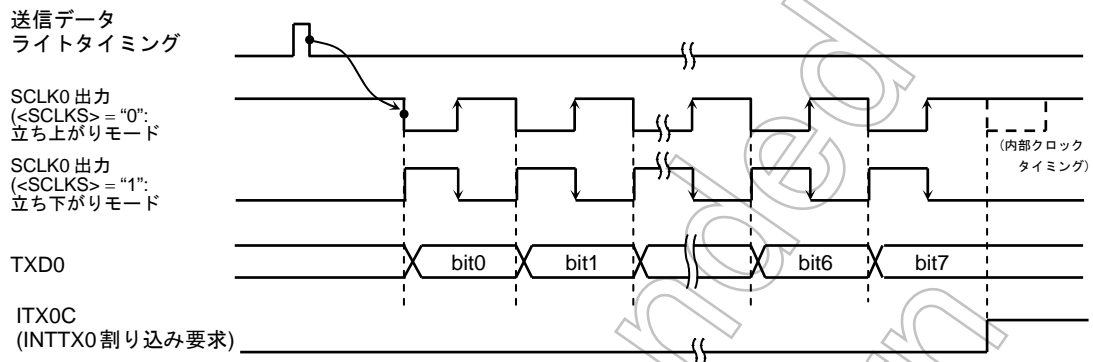


図 3.14.20 I/O インタフェース モード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータがライトされている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0 <ITX0C> がセットされ割り込み INTTX0 が発生します。

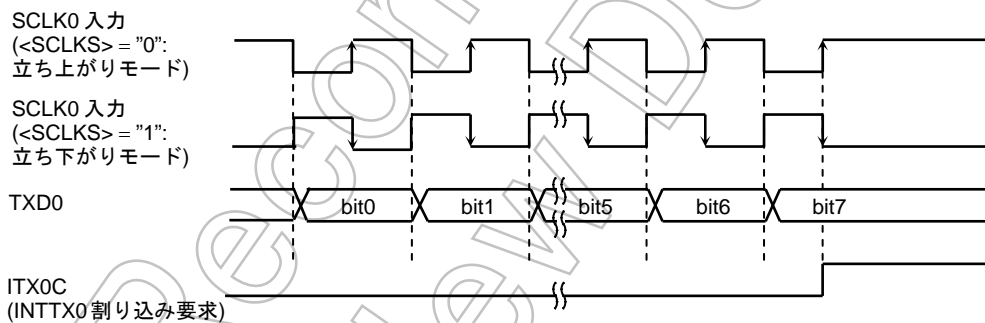


図 3.14.21 I/O インタフェース モード送信動作 (SCLK0 入力モード)

2. 受信

SCLK 出力モードでは受信データが CPU にリードされ、受信割り込みフラグ INTES0 <IRXOC> がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0 <IRXOC> がセットされて割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を“1”にセットすることで行います。

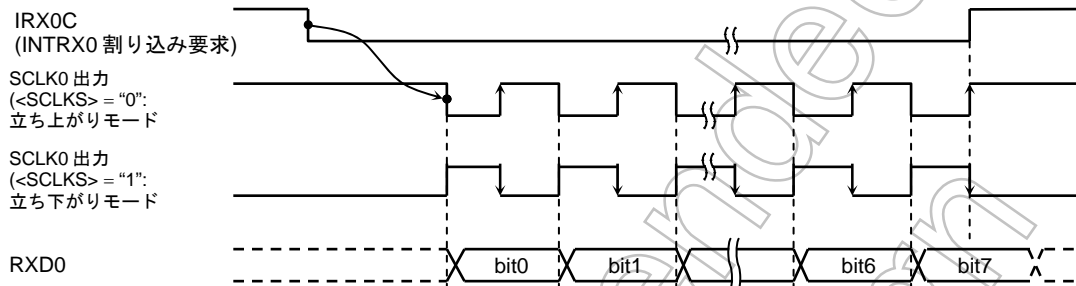


図 3.14.22 I/O インタフェース モード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU にリードされ、受信割り込みフラグ INTES0 <IRXOC> がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0 <IRXOC> がセットされて割り込み INTRX0 が発生します。

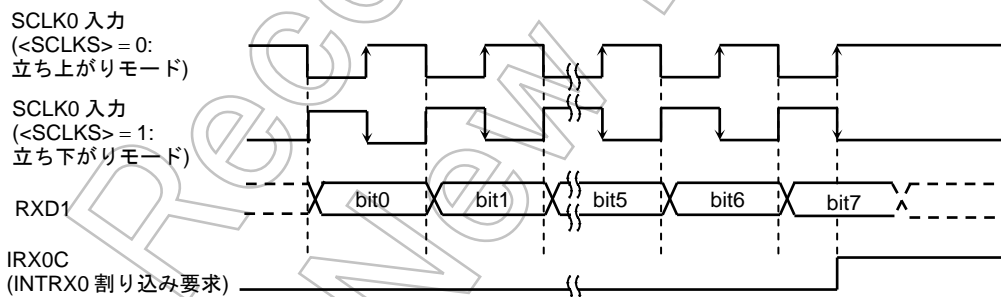


図 3.14.23 I/O インタフェース モード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SC0MOD <RXE> = “1”) にしておく必要があります。

3. 送受信 (全二重)

全二重モードで、送受信を行う場合は、かならず、受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1”~“6”のいずれか) を設定してください。受信処理は、送信割り込み処理ルーチン内で、上記例のように、送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力
 9600bps で送受信を行う場合
 $f_{SYS} = 2.4576 \text{ MHz}$

メインルーチンでの設定

	7	6	5	4	3	2	1	0		
INTES0	X	0	0	1	X	0	0	0	INTTX0 レベルを“1”に設定します。 INTRX0 レベルを“0”に設定します。	
P9CR	X	X	X	X	X	1	0	1	P90(TXD0), P91(RXD0), P92(SCLK0)に設定します。	
P9FC	-	-	X	X	X	1	X	1	I/O インタフェースモードに設定します。	
SC0MOD0	-	-	-	-	0	0	-	-	全二重モードに設定します。	
SC0MOD1	-	1	X	X	X	X	X	X	SCLK0 出力モード、立ち上がりエッジを選択します。	
SC0CR	-	-	-	-	-	-	0	0	転送レートを 9600bps に設定します。	
BR0CR	0	0	0	1	1	0	0	0	受信許可に設定します。	
SC0MOD0	-	-	1	-	-	-	-	-	送信データを設定し、送信開始します。	
SC0BUF	*	*	*	*	*	*	*	*		
INTTX0 割り込みルーチン										
Acc	←	SC0BUF								受信バッファをリードします。
SC0BUF	*	*	*	*	*	*	*	*	次の送信データを設定します。	

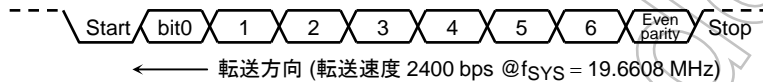
X = Don't care; “-” = No change

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD <SM1:0> を“01”にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR <PE> でパリティビット付加のイネーブル/ディセーブルを制御します。 <PE> = “1” (イネーブル) のときは、SC0CR <EVEN> で偶数パリティ/奇数パリティを選択できます。

例) 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



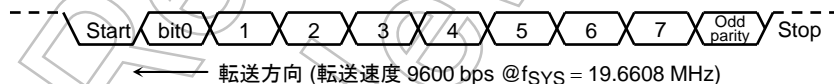
	7	6	5	4	3	2	1	0	
P9CR	← X	X	X	X	X	-	-	1	} P90 を TXD0 端子として設定します。
P9FC	← -	-	X	X	X	-	X	1	
SC0MOD0	← X	0	-	X	0	1	0	1	7 ビット UART モードに設定します。
SC0CR	← -	1	1	-	-	-	-	-	偶数パリティを付加します。
BROCR	← 0	0	1	0	1	0	0	0	転送レートを 2400 bps に設定します。
INTES0	← X	1	0	0	X	0	0	0	INTTX0 割り込みをイネーブル、レベル 4 に設定します。
SC0BUF	← *	*	*	*	*	*	*	*	送信データを設定します。

X : Don't care, - : No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0 <SM1:0> を“10”にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0CR <PE> でパリティビット付加のイネーブル/ディセーブルを制御します。 <PE> = “1” (イネーブル) のとき、SC0CR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例) 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



メインルーチンでの設定

	7	6	5	4	3	2	1	0	
P9CR	← X	X	X	X	X	-	0	-	P91 を RXD0 端子として設定します。
P9FC	← -	-	X	X	X	-	X	-	
SC0MOD0	← -	-	1	-	1	0	0	1	8ビットUARTモードで受信イネーブルにします。
SC0CR	← -	0	1	-	-	-	-	-	奇数パリティ付加します。
BR0CR	← 0	0	0	1	1	0	0	0	転送レートを 9600 bps に設定します。
INTES0	← X	1	0	0	X	0	0	0	INTTX0 割り込みをイネーブル、レベル 4 に設定します。

割り込みルーチンでの処理例

```

Acc ← SC0CR AND 00011100
if Acc ≠ 0 then ERROR
Acc ← SC0BUF
X : Don't care, - : No change

```

}エラーチェックを実行します。
受信データをリードします。

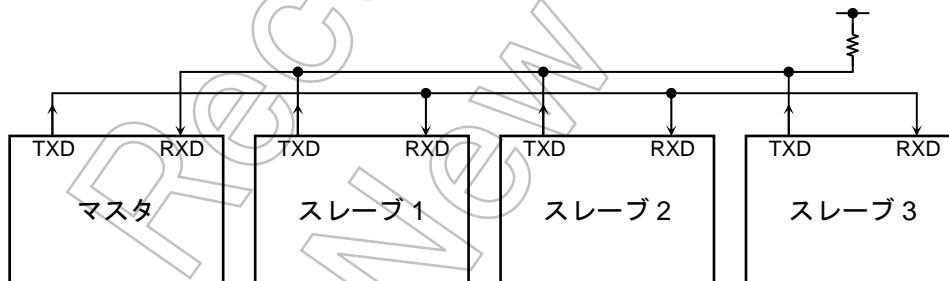
(4) モード 3 (9 ビット UART モード)

SC0MOD0 <SM1:0> を“11”にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタ SC0MOD0 の <TB8> にライトし、受信の場合シリアルチャネルコントロールレジスタ SC0CR の <RB8> に格納されます。また、バッファに対するライト、リードはかならず <TB8>、<RB8> を先に行い、SC0BUF を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0 <WU> を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = “1”のときのみ割り込み INTRX0 が発生します。

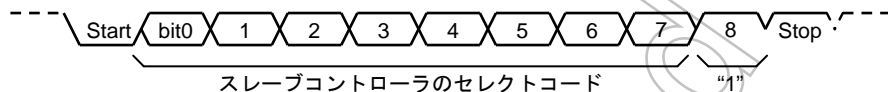


注) スレーブコントローラの TXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

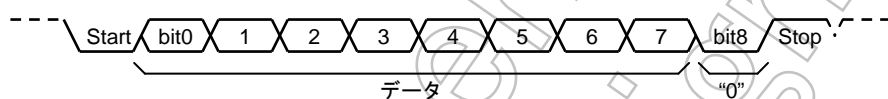
図 3.14.24 ウェイクアップ機能によるシリアルリンク

プロトコル

1. マスタおよびスレーブコントローラは9ビットUARTモードにします。
2. 各スレーブコントローラはSCOMOD0<WU>を“1”にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

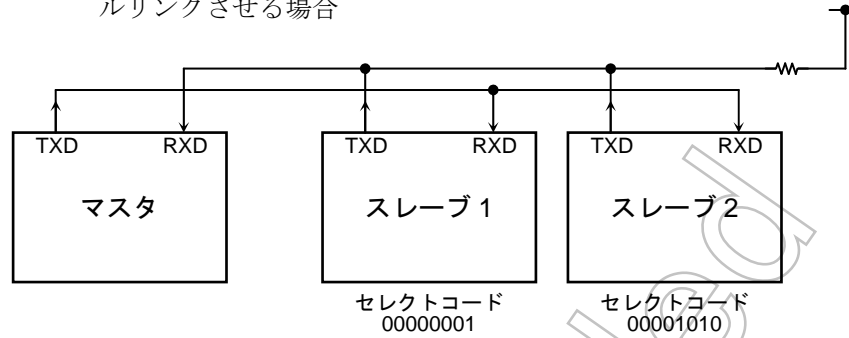


4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(SCOMOD0<WU>=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にクリアされます。



6. WU=1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX0が発生せず、受信データを無視します。また、<WU>=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{i0} を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合



- マスタコントローラの設定

メインルーチン

```
P9CR    ← X X X X X - 0 1 } P90 を TXD0、P91 を RXD0 端子として設定します。
P9FC    ← - - X X X - X 1 }
INTES0  ← X 1 0 0 X 1 0 1  INTTX0 割り込みをイネーブル、割り込みレベルを 4 に設定し
                                     ます。
                                     INTRX0 割り込みをイネーブル、割り込みレベルを 5 に設定し
                                     ます。

SC0MOD0 ← 1 0 1 0 1 1 1 0  9ビットUART モードの転送クロックとして  $f_{i0}$  を設定します。
SC0BUF   ← 0 0 0 0 0 0 0 1  スレーブコントローラ 1 のセレクトコードを設定します。
```

割り込みルーチン (INTTX0)

```
SC0MOD0 ← 0 - - - <- - - -  TB8 を "0" に設定します。
SC0BUF   ← * * * * * * * *  送信データを設定します。
```

- スレーブの設定

メイン

```
P9CR    ← X X X X X 0 1 } P90 を TXD0 (オープンドレイン出力) P91 を RXD0 にしま
P9FC    ← - - X X X - X 1 } す。
P9FC2   ← X X X X X X X 1 }
INTES0  ← X 1 0 0 X 1 0 0  INTTX0, INTRX0 をイネーブルにします。
SC0MOD0 ← 0 0 1 1 1 1 1 0  転送クロックとして  $f_{i0}$  を使用する 9ビット UART 送信モー
                                     ドで、<WU> を "1" に設定します。
```

INTRX0 割り込み

```
Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD0 ← - - - 0 - - - <WU> を "0" にクリア
```

3.14.5 IrDAのサポート

SIO0、SIO1には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.14.25に、構成図を示します。

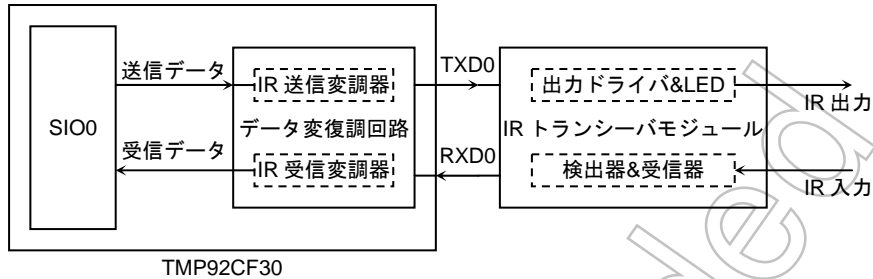


図 3.14.25 IrDA の構成図

(1) 送信データの変調

送信データが“0”のときは、モデムはボーレート周期の 3/16 倍の幅、または 1/16 倍の幅の TXD0 端子に“1”を出力します。またパルス幅は SIR0CR<PLSEL>にて選択されます。送信データが“1”のときは、モデムは“0”を出力します。

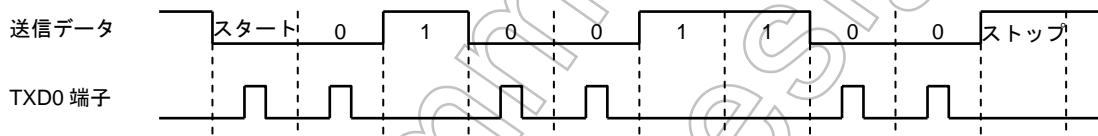


図 3.14.26 送信データの変調例

(2) 受信データの変調

受信データが、有効なパルス“1”の幅のときは、モデムは SIO0 に対して“0”を出力し、それ以外のときは、“1”を出力します。

有効なパルス幅は SIR0CR<SIR0WD3:0>にて選択されます。

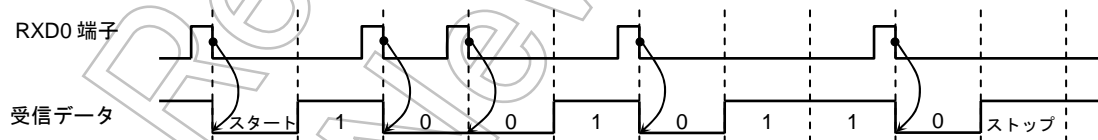


図 3.14.27 受信データの変調例

(3) データのフォーマット

データフォーマットは、以下のフォーマットのみとなります。

- データ長 : 8ビット
- パリティビット : なし
- ストップビット : 1ビット

(4) SFR 説明

図 3.14.28 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、かならずSIO0 が停止している間に行ってください。以下にこのレジスタの設定方法の特徴を示します。

- | | |
|-----------------------------|---|
| 1) SIO 設定 | ;SIO を UART に設定します。 |
| ↓ | |
| 2) LD (SIR0CR), 07H | ;受信データパルス幅を-16x に設定します。 |
| 3) LD (SIR0CR), 37H | ;TXEN, RXEN の送受信を許可します。 |
| ↓ | |
| 4) 送受信スタート
および SIO0 用の受信 | ;SIO0 から送信データが送られてくるか、赤外線受信パルスを受けると、
データの変復調を行います。 |

Not Recommended for New Design

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に “01”を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG、f_{IO}、SCLK0 入力を使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.14.4 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度許容誤差 (%)	パルス幅 (最小値)	パルス幅 3/16 (公称値)	パルス幅 (最大値)
2.4 kbps	RZI	±0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	±0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	±0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	±0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	±0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	±0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート $T \times 3/16$ 、または $1.6 \mu\text{s}$ (ボーレート 115.2 kbps 時の $T \times 3/16$ に相当) と規定されています。

TMP92CF30 では、送信時の出力パルス幅を $T \times 3/16$ と $T \times 1/16$ とを選択できる機能がありますが、 $T \times 1/16$ を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps、57.6 kbps 時には、出力パルス幅を $T \times 1/16$ に設定してはいけません。

同様の理由で、SIO0 のボーレートジェネレータでの $+(16-K)/16$ 分周機能は次の(6)USB における IrDA115.2Kbps の使用にて説明される場合以外、115.2Kbps のボーレートを発生させ使用することはできません。また、送信パルス幅を $1/16$ に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときもまた、 $+(16-K)/16$ 分周機能を使用することはできません。

表 3.14.5(16-K)/16 分周機能のボーレートとパルス幅

パルス幅	ボーレート					
	115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
$T \times 3/16$	×(注)	○	○	○	○	○
$T \times 1/16$	—	—	×	○	○	○

○: (16-K)/16 分周機能使用可

×: (16-K)/16 分周機能使用不可

—: $1/16$ パルス幅に設定不可

注) 特別な場合で(16-K)/16 分周機能使用可

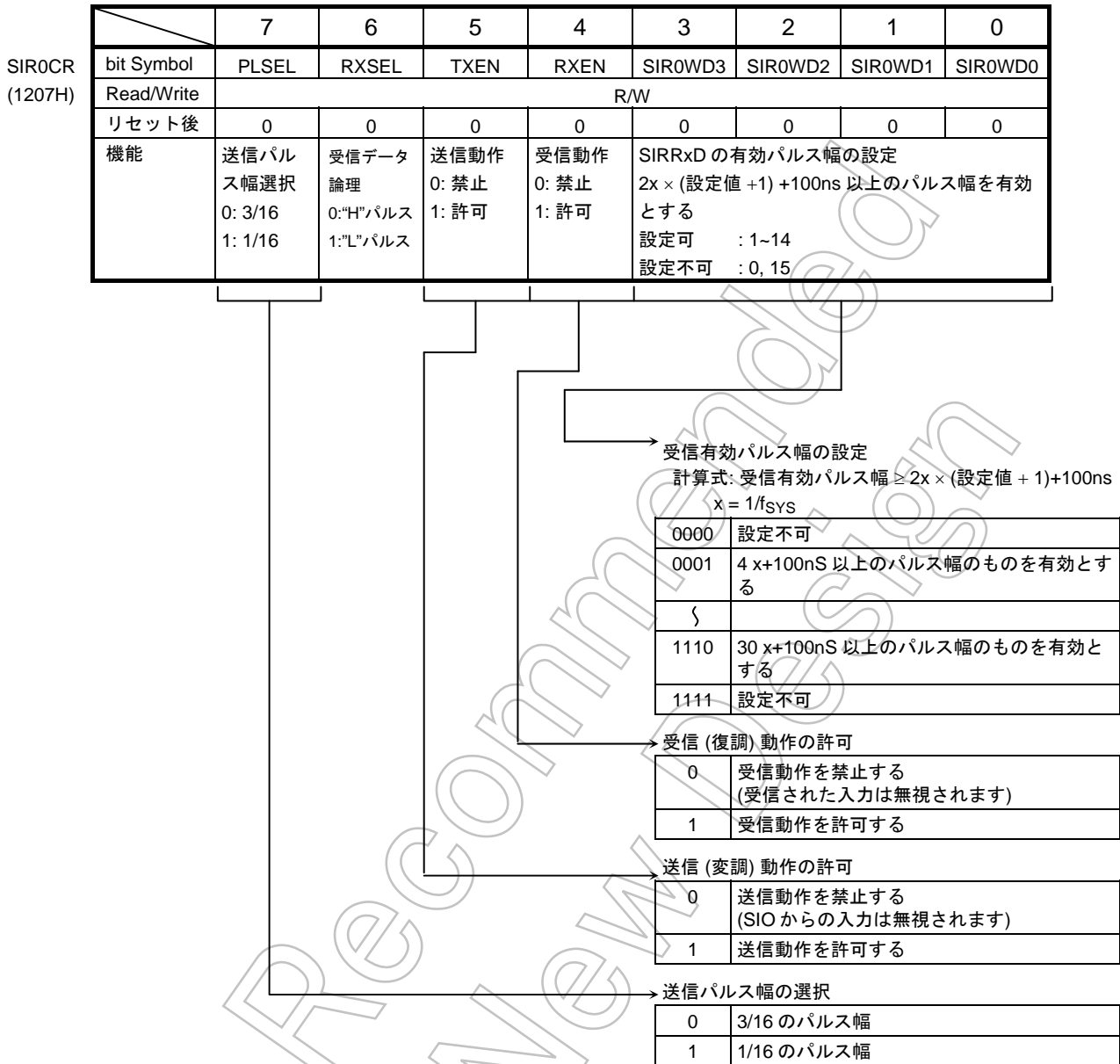


図 3.14.28 IrDA コントロールレジスタ 0 (SIO0 用)

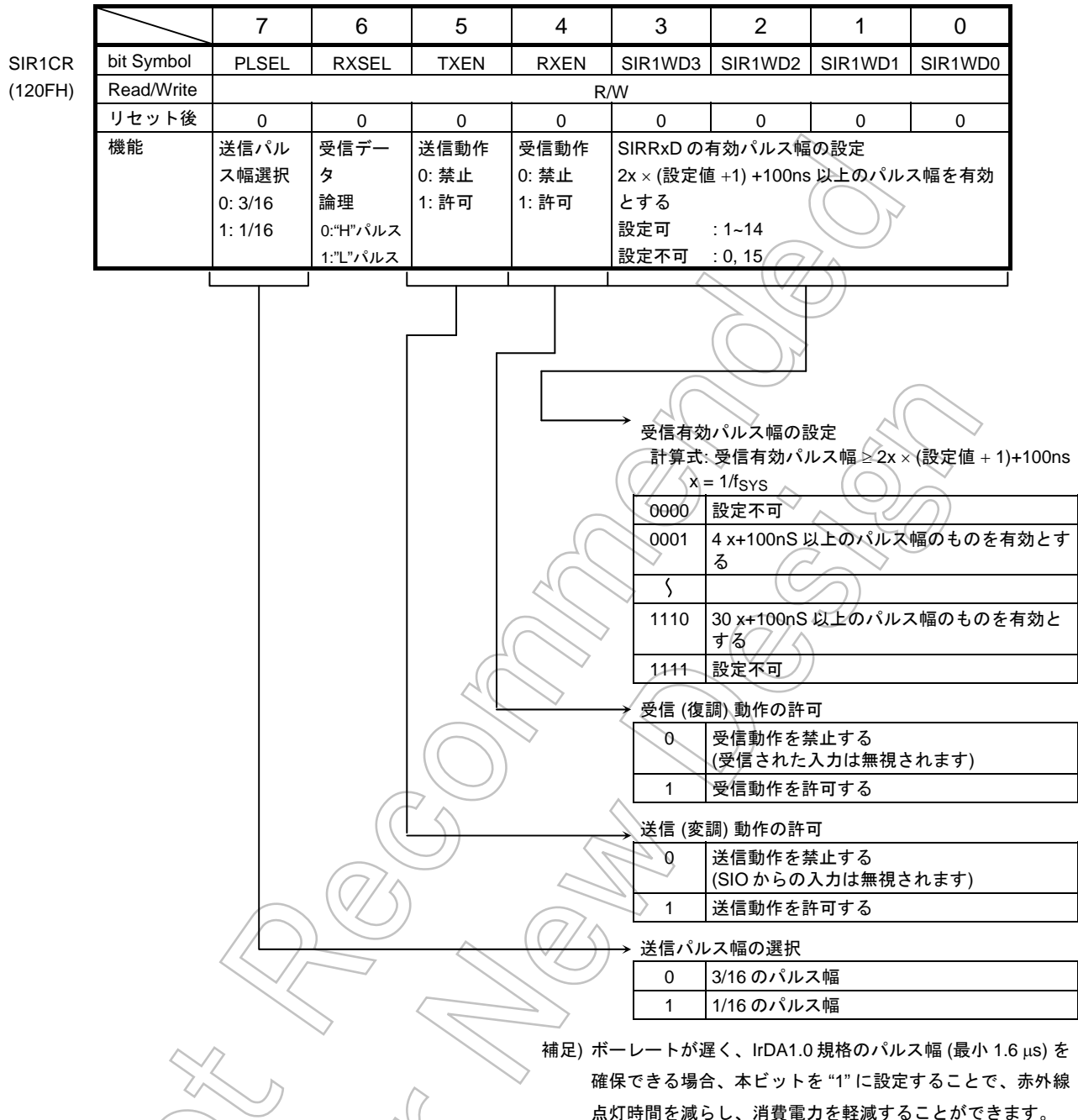


図 3.14.29 IrDA コントロールレジスタ 1 (SIO1 用)

3.15 シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。

シリアルバスインタフェースは、下記の動作モードのみを持っています。

- I²C バスモード (マルチマスタ)

I²C バスモードのときには、PV6 (SDA), PV7 (SCL) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	PVFC2<PV7F2, PV6F2>	PVCR<PV7C, PV6C>	PVFC<PV7F, PV6F>
I ² C バスモード	11	11	11

3.15.1 構成

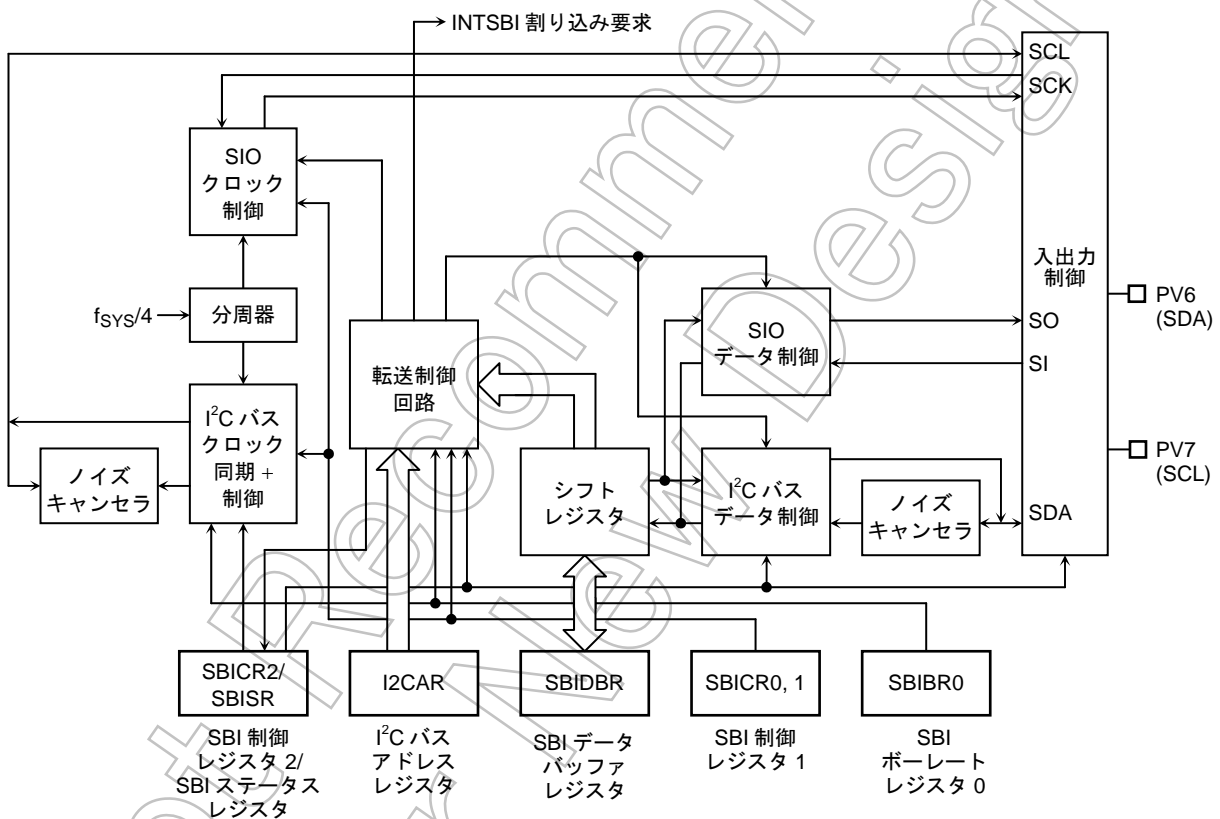


図 3.15.1 シリアルバスインタフェース (SBI)

3.15.2 制御

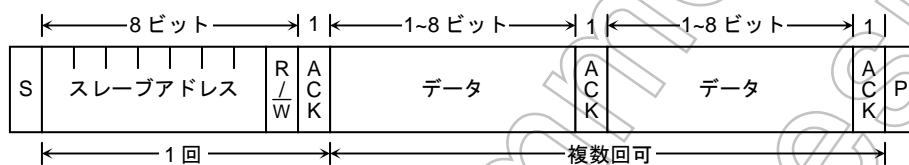
シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ 0 (SBICR0)
- シリアルバスインタフェース制御レジスタ 1 (SBICR1)
- シリアルバスインタフェース制御レジスタ 2 (SBICR2)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)
- シリアルバスインタフェースボーレートレジスタ 0 (SBIBR0)

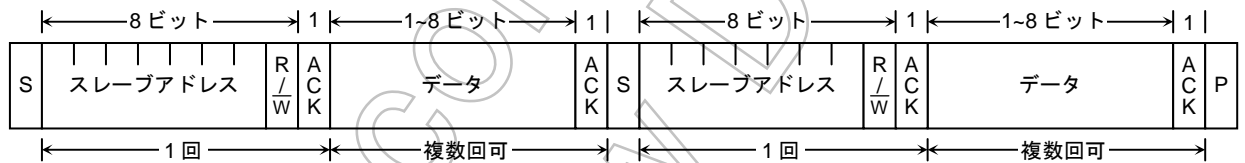
3.15.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 3.15.2に示します。

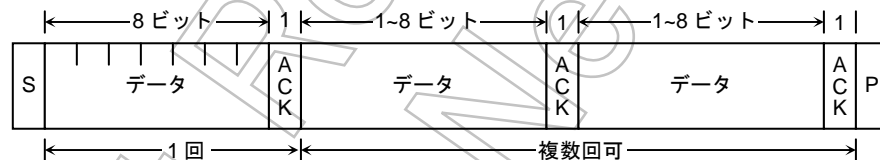
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



S: スタートコンディション

R/W: 方向ビット

ACK: アクノリッジビット

P: ストップコンディション

図 3.15.2 I²Cバスモード時のデータフォーマット

3.15.4 I²Cバスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

	7	6	5	4	3	2	1	0
Bit symbol	SBIEN	-	-	-	-	-	-	-
Read/Write	R/W	R						
リセット後	0	0	0	0	0	0	0	0
機能	SBI 動作 0: 禁止 1: 許可	リードすると常に"0"になります。						

リード
モディファイ
イライト
できません。

<SBIEN>: SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可"1"にしてください。

図 3.15.3 I²C バスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 1

SBICR1
(1240H)

リード
モディファイ
アライ
ト
できませ
ん。

	7	6	5	4	3	2	1	0
Bit symbol	BC2	BC1	BC0	ACK	-	SCK2	SCK1	SCK0/ SWRMON
Read/Write	R/W			R/W	R	R/W		R/W
リセット後	0	0	0	0	1	0	0	0/1 (注 2)
機能	転送ビット数の選択 注 1)			ア ク リ ジ メ ン ト ク ロ ッ ク	リ ー ド す る と 常 に “1” に な り ま す。	内 部 SCL 出 カ ク ロ ッ ク の 周 波 数 選 択 と リ セ ッ ト モ ニ タ		

内部 SCL 出カクログの周波数選択 <SCK2:0> @ライト

000	n=4	-	(注 3)
001	n=5	-	(注 3)
010	n=6	-	(注 3)
011	n=7	-	(注 3)
100	n=8	68 kHz	$\left. \begin{array}{l} \text{システムクロック: } f_{\text{SYS}} \\ \text{クロックギア: } fc/1 \\ \text{周波数} = \frac{f_{\text{SYS}}/4}{2^n + 36} \text{ [Hz]} \end{array} \right\}$
101	n=9	36 kHz	
110	n=10	19 kHz	
111	(Reserved)	(Reserved)	

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	初期値

アクリジジメントのためのクロック発生の選択

0	アクリジジのためのクロックを発生しない。
1	アクリジジのためのクロックを発生する。

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注 1) SCLラインクロックの周波数については、3.15.5 (3)「シリアルクロック」を参照してください。

注 2) SCK0 の初期値は “0”。SWRMON の初期値は、SBI 動作許可 (SBICR0<SBIEN>=“1”) の場合 SWRMON = “1”、SBI 動作禁止 (SBICR0<SBIEN>=“0”) の場合 SWRMON = “0” です。

注 3) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが I²C 規格の規格外となります。

図 3.15.4 I²C バスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

	7	6	5	4	3	2	1	0	
SBICR2 (1243H)	Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
	Read/Write	W			W 注1)		W 注1)		
	リセット後	0	0	0	1	0	0	0	0
リード モディファイ ライク できません。	機能	マスタ/ スレーブ の選択 0:スレーブ 1:マスタ	送信/受信 の選択 0:受信 1:送信	スタート/ ストップ コンディ ションの 発生 0:ストップ コンディシ ョン発生 1:スタート コンディシ ョン発生	INTSBI 割り込み 要求解除 0: Don't care 1:割り込み 要求の 解除	シリアルバスインタフ ェースの動作モード選 択 注2) 00:ポートモード 01:Reserved 10:I ² C バスモード 11:Reserved		ソフトウェアリセット の発生 最初に“10”、次に“01” をライトすると、ソフ トリセットが発生しま す。	

シリアルバスインタフェースの動作モード選択 注2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	Reserved
10	I ² C バスモード
11	Reserved

注1) このレジスタをリードすると、SBISR レジスタとして機能します。

注2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

また、ポートモードからI²C バスモードへの切り替えは、ポートの状態が“H”レベルになっていることを確認してから行ってください。

図 3.15.5 I²C バスモード関係のレジスタ

表 3.15.1 ベースクロック 分解能

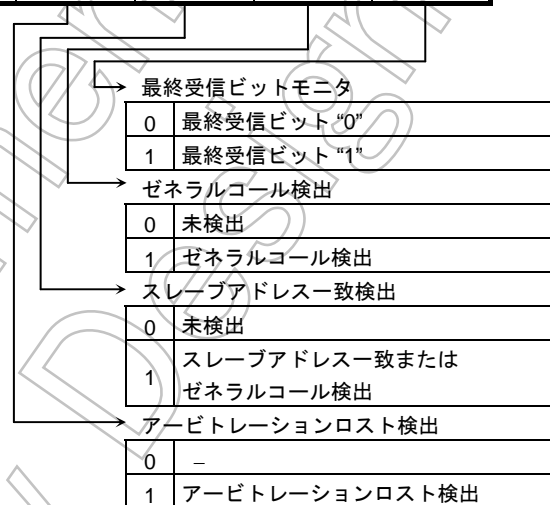
@f_{sys} = 80MHz

クロックギア値 <GEAR1:0>	ベースクロック 分解能
000(fc)	f _{sys} /2 ² (50ns)
001(fc/2)	f _{sys} /2 ³ (0.1μs)
010(fc/4)	f _{sys} /2 ⁴ (0.2μs)
011(fc/8)	f _{sys} /2 ⁵ (0.4μs)
100(fc/16)	f _{sys} /2 ⁶ (0.8μs)

シリアルバスインタフェースステータスレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R							
リセット後	0	0	0	1 注2)	0	0	0	0
機能	マスタ/スレーブ選択 モニタ 0:スレーブ 1:マスタ	送信/受信選択 モニタ 0:受信 1:送信	I ² Cバス状態 モニタ 0:バスフリー 1:バスビジー	INTSBI割り込み要求 モニタ 0:割り込み要求発生状態 1:割り込み要求解除状態	アービトレーションロスト検出 0: - 1:検出	スレーブアドレス一致検出 0:未検出 1:検出	ゼネラルコール検出 0:未検出 1:検出	最終受信ビットモニタ 0: "0" 1: "1"

SBISR (1243H)
リード
モード
モディファイ
アイト
できません。



注1) このレジスタをライトすると、SBICR2として機能します。

注2) PINの初期値はSBI動作許可(SBICR0<SBIEN>="1")の場合PIN="1"、SBI動作禁止(SBICR0<SBIEN>="0")の場合PIN="0"です。

図 3.15.6 I²Cバスモード関係のレジスタ

シリアルバスインタフェースポーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBIBR0 (1244H)	Bit symbol	-	I2SBI	-	-	-	-	-
	Read/Write	W	R/W	R				R/W
	リセット後	0	0	1	1	1	1	0
リード モディファイ アイト できません。	機能	リードすると常に“1”になります。	IDLE2 0: 停止 1: 動作	リードすると常に“1”になります。				“0”をライトしてください。

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

	7	6	5	4	3	2	1	0	
SBIDBR (1241H)	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	不定							

リード
モディファイ
アイト
できません。

注 1) 送信データライト時には、データを MSB (ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBIDBR はライト用のバッファとリード用のバッファを個別に持っているため、ライトしたデータをリードすることはできません。従って、ビット操作などのリードモディファイアイト命令 (RMW) ではアクセスできません。

I²C バスアドレスレジスタ

	7	6	5	4	3	2	1	0	
I2CAR (1242H)	Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	R/W							
リード モディファイ アイト できません。	リセット後	0	0	0	0	0	0	0	0
	機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス 認識 モードの 指定

↓ アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.15.7 I²C バスモード関係のレジスタ

3.15.5 I²Cバスモード時の制御

(1) アクノリッジメントモードの指定

スレーブアドレス一致、またはゼネラルコール検出時、SBICR1<ACK> を“1” にセットしておく、アクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK> を“0” に設定しておく、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

(2) 転送ビット数の選択

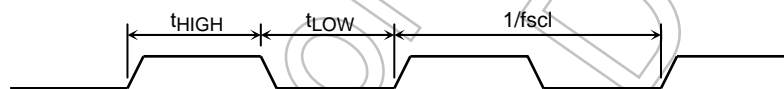
SBICR1<BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外の場合、<BC2:0> は一度設定された値を保持します。

(3) シリアルクロック

a. クロックソース

SBICR1<SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本誌記載の下記計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。



$$t_{LOW} = (2^{n-1} + 29) / (f_{SYS} / 4)$$

$$t_{HIGH} = (2^{n-1} + 6) / (f_{SYS} / 4)$$

$$f_{SCL} = 1 / (t_{LOW} + t_{HIGH})$$

$$= \frac{f_{SYS} / 4}{2^n + 36}$$

注) f_{SCL} は、 f_{SYS} を示します。

SBICR1<SCK2:0>	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10

図 3.15.8 クロックソース

b. クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタはこれを検出し、対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

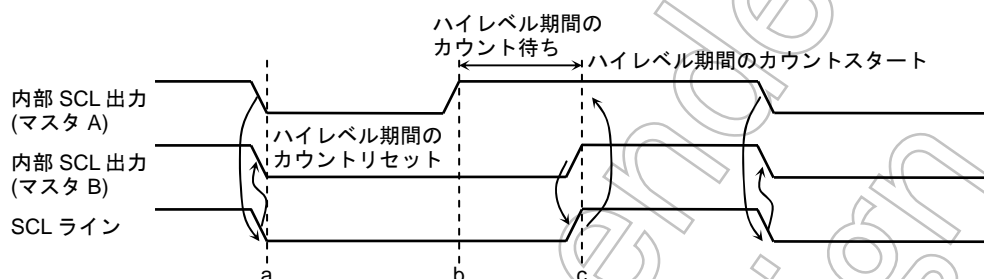


図 3.15.9 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B が、バスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと、最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I²CAR にスレーブアドレス <SA6:0> と <ALS> を設定します。

<ALS> に“0”を設定すると、アドレス認識モードになります。

(5) マスタ/スレーブの選択

SBICR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトラクションロストの検出で、ハードウェアにより“0”にクリアされます。

(6) トランスマッタ/レシーバの選択

SBICR2<TRX>を“1”に設定するとトランスマッタとして動作し、<TRX>を“0”に設定するとレシーバとして動作します。

スレーブモード時は、

- アドレスフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが I2CAR にセットした値と同じとき
- ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ \bar{W}) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にクリアされます。

マスタモード時は、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、または、アービトレーションロストの検出で、ハードウェアにより “0” にクリアされます。

(7) スタート/ストップコンディションの発生

SBICR<BB> が “0” のときに、SBICR2<MST, TRX, BB, PIN> に “1” をライトすると、バス上にスタートコンディションと、データバッファレジスタにライトしたスレーブアドレス、方向ビットが出力されます。あらかじめ <ACK> に “1” を設定してください。

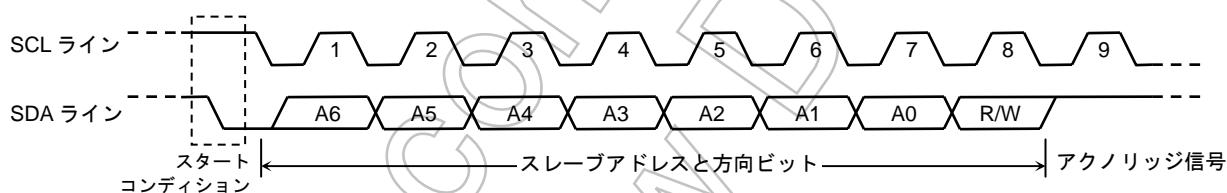


図 3.15.10 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”, <BB> に “0” をライトすると、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

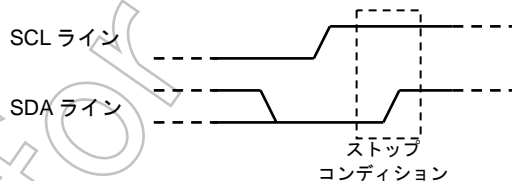


図 3.15.11 ストップコンディションの発生

また、SBISR<BB> をリードすることで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI) が発生すると、SBICR2<PIN> が“0”にクリアされます。<PIN> が“0”の間、SCL ラインを“L”レベルに引きます。

<PIN> は“1”ワードの送信または受信が終了すると“0”にクリアされ、SBIDBR にデータをライトするか、SBIDBR からデータをリードすると、“1”にセットされます。

<PIN> が“1”にセットされてから SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が“0”にクリアされます。プログラムで SBICR2<PIN> に“1”をライトすると“1”にセットされますが、“0”をライトしても“0”にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBICR2<SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するとき、シリアルバスインタフェース端子の状態が“H”レベルになっていることを確認後、<SBIM1:0> を“10”に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手順が必要となります。

バスビジー状態の時に、スタートコンディションを出力しようとした場合は SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が“L”レベルを出力、マスタ B が“H”レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、マスタ A よって“L”レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ (マスタ A のデータ) を取り込みます。このときマスタ B の出力したデータは無効になります。マスタ B のこの状態を“アービトレーションロスト”と呼びます。マスタ B は SDA 端子を開放し、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

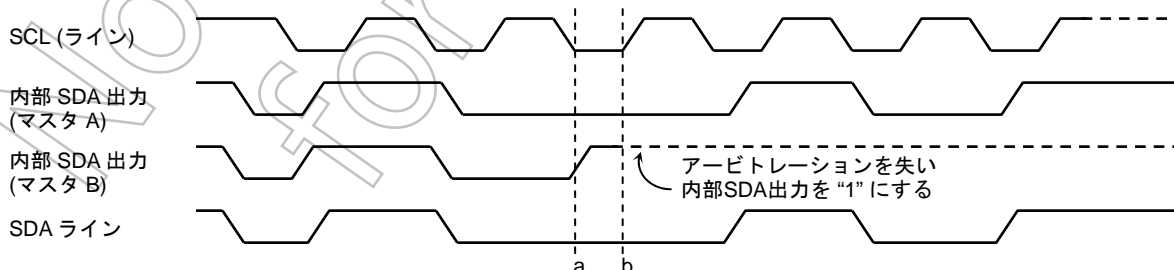


図 3.15.12 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合、アービトレーションロストになり、SBISR<AL> が“1”にセットされます。

<AL> が“1”にセットされると SBISR<MST, TRX> は“0”にリセットされ、スレーブレシーバモードになります。そのため、<AL> が“1”にセットされた後のデータ転送ではクロックの出力を停止します。

<AL> は SBIDBR にデータをライトするか、SBIDBR からデータをリードする、または SBICR2 にデータをライトすると、“0”にリセットされます。

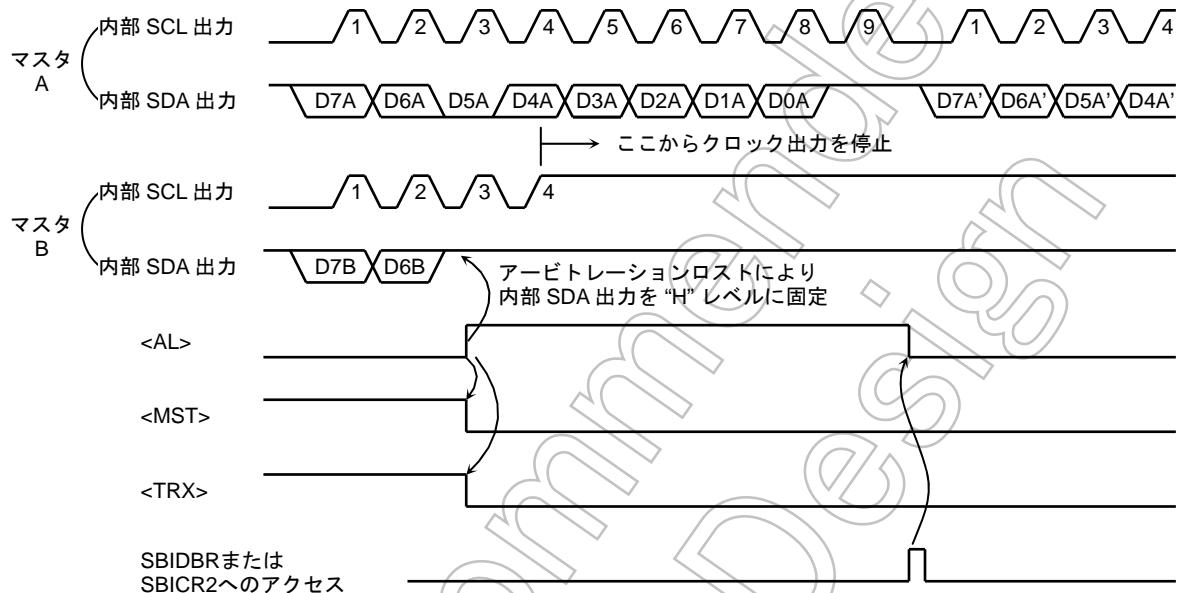


図 3.15.13 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

(11) スレーブアドレス一致検出モニタ

SBISR<AAS> は、スレーブモード時、アドレス認識モード (I2CAR<ALS> = “0”) のとき、ゼネラルコールまたは I2CAR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS> は SBIDBR にデータをライトするか、SBIDBR からデータをリードすると“0”にクリアされます。

(12) ゼネラルコール検出モニタ

SBISR<AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”) を受信したとき“1”にセットされ、バス上のスタートコンディションまたはストップコンディションが検出されると、“0”にクリアされます。

(13) 最終受信ビットモニタ

SBISR<LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBISR<LRB> をリードすると、ACK 信号がリードされます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2<SWRST1:0>へ最初に“10”、次に“01”をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、すべてのコントロールレジスタとステータスフラグは、リセット直後の値となります。

また、**SBICR1<SWRMON>**はシリアルバスインタフェース回路の初期化が終了すると、自動的に“1”にセットされます。

注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²Cモードからポートモードになります。

(15) シリアルバスインタフェースデータバッファレジスタ (SBIDBR)

SBIDBRをリード/ライトすることで、受信データのリード/送信データのライトを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

(16) I²C バスアドレスレジスタ (I2CAR)

I2CAR<SA6:0>は、スレーブデバイスとして動作する場合のスレーブアドレスを設定するビットです。

また、**I2CAR<ALS> = “0”**に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。**<ALS> = “1”**に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) IDLE2 設定レジスタ (SBIBR0)

SBIBR0<I2SBI>は、IDLE2モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT命令を実行する前に、あらかじめ設定してください。

3.15.6 I²Cバスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBICR1<ACK, SCK2:0> を設定します。SBICR1 のビット 7~5、3 には “0” をライトしてください。

次に I2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

最後に、SBICR2<MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” をライトし、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBICR1	←	0	0	0	X	0	X	X	ACK および SCL クロックの設定をします。
I2CAR	←	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

注) X: Don't care

(2) スタートコンディション、スレーブアドレスの発生

a. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。

次に、SBICR1<ACK> に “1” をライトして、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータをライトします。

<BB> = “0” の状態で、SBICR2<MST, TRX, BB, PIN> に “1111” をライトすると、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを開放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引き上げます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
→ Reg.	←	SBISR							バスがフリー状態になるまで確認します。
Reg.	←	Reg. e 0x20							
if Reg.	≠	0x00							
Then									
SBICR1	←	X	X	X	1	X	X	X	アクノリッジメントモードに設定します。
SBIDBR1	←	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	スタートコンディションの発生を行います。

INTSBI 割り込みルーチンでの処理例

INTCLR ← 0X2a 割り込み要求をクリアします。
 処理
 割り込み終了

b. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコールまたは I2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを“L”レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで INTSBI 割り込み要求が発生し、<PIN> (“0”にクリアされます。スレーブモード時は<PIN> (“0”の間、SCL ラインを“L”レベルに引きま



図 3.15.14 スタートコンディションとスレーブアドレスの発生

(3) 1ワードのデータ転送

1ワード転送終了の INTSBI 割り込みの処理で <MST> をテストし、マスタモード/スレーブモードの判断をします。

a. マスタモードの場合 (<MST> = "1")

<TRX> をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (<TRX> = "1")

<LRB> をテストします。<LRB> が "1" のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> が "0" のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき、SBIDBR に転送データをライトします。8 ビット以外の場合は <BC2:0>, <ACK> を設定し、転送データを SBIDBR にライトします。データをライトすると <PIN> が "1" になり、SCL 端子から次の 1ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後、INTSBI 割り込み要求が発生して <PIN> が "0" になり、SCL 端子を "L" レベルに引きます。複数ワードの転送が必要な場合は、上記 <LRB> のテストから繰り返します。

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
    7 6 5 4 3 2 1 0
SBICR1 ← X X X X X X X X      転送ビット数および ACK を設定します。
SBIDBR ← X X X X X X X X      転送データをライトします。
割り込み終了
注) X: Don't care

```

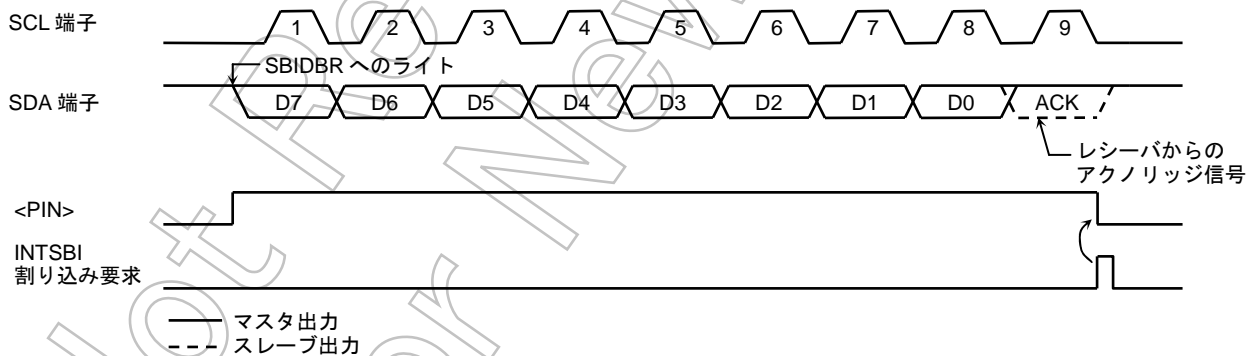


図 3.15.15 <BC2:0> = "000", <ACK> = "1" のときの例 (トランスミッタモード)

レシーバモードの場合 (<TRX> = "0")

転送するデータのビット数が 8 ビット以外の場合は <BC2:0>, <ACK> を設定し、SCL ラインを開放するために SBIDBR から受信データをリードします (スレーブアドレス送信直後のリードデータは不定です)。データをリードすると <PIN> は "1" になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで "L" レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN> が 0 になり SCL 端子を "L" レベルに引きます。SBIDBR から受信データをリードするたびに 1 ワードの転送クロックとアクノリッジを出力します。

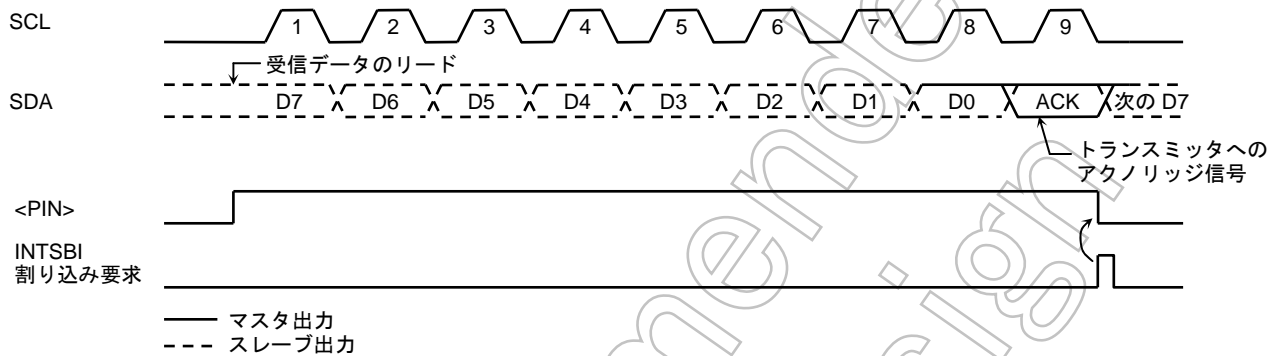


図 3.15.16 <BC2:0> = "000", <ACK> = "1" のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータをリードする前に <ACK> を "0" にクリアします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で <BC2:0> = "001" に設定し、データをリードすると、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは "H" レベルを保ちます。トランスミッタは ACK 信号としてこの "H" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

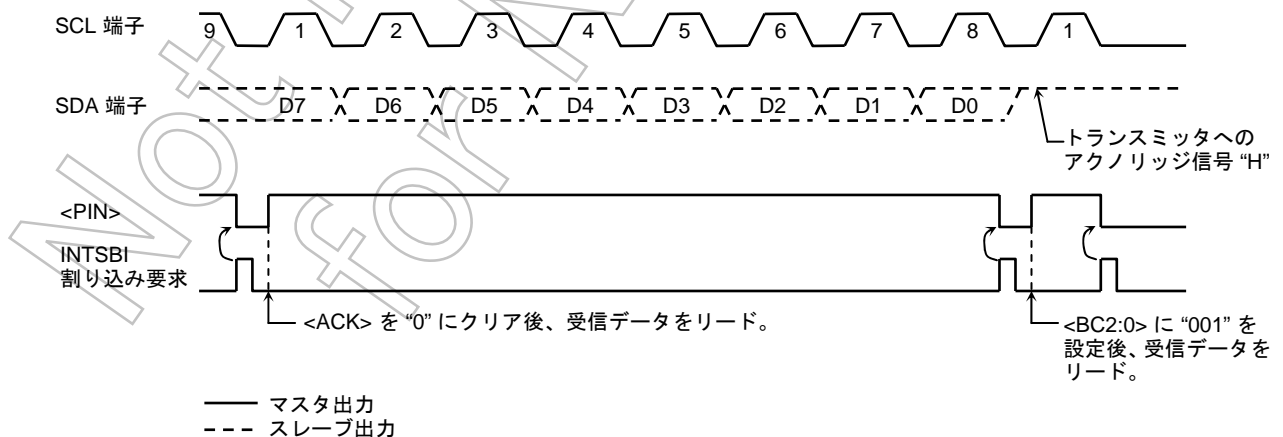


図 3.15.17 マスタレシーバモード時に、データの送信を終了させる場合の処理

例: データを N 回受信する場合

INTSBI 割り込み (データ送信後)

7 6 5 4 3 2 1 0
 SBICR1 ← X X X X X X X X
 Reg. ← SBIDBR
 割り込み終了

受信データのビット数および ACK を設定します。
 ダミーデータを取り込みます。

INTSBI 割り込み (データ受信 1~(N-2) 回目)

7 6 5 4 3 2 1 0
 Reg. ← SBIDBR
 割り込み終了

1~(N-2) 回目のデータを取り込みます。

INTSBI 割り込み (データ受信 (N-1) 回目)

7 6 5 4 3 2 1 0
 SBICR1 ← X X X 0 0 X X X
 Reg. ← SBIDBR
 割り込み終了

アクノリッジ信号のクロックを発生しないようにします。
 (N-1) 回目のデータを取り込みます。

INTSBI 割り込み (データ受信 N 回目)

7 6 5 4 3 2 1 0
 SBICR1 ← 0 0 1 0 0 X X X
 Reg. ← SBIDBR
 割り込み終了

1 ビット転送のためのクロックを発生します。
 N 回目のデータを取り込みます。

INTSBI 割り込み (データ受信後)

ストップコンディションを発生する処理
 割り込み終了
 注) X: Don't care

データ転送を終了させます。

b. スレーブモードの場合 (<MST> = "0")

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、または、ゼネラルコールを受信した後のデータ転送終了時に INTSBI 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると <PIN> が "0" にリセットされ、SCL 端子を "L" レベルに引きます。SBIDBR にデータをライト、SBIDBR からデータをリード、または、<PIN> に "1" を設定すると SCL 端子が t_{LOW} 後に開放されます。

SBISR<AL>, <TRX>, <AAS>, <AD0> をテストし、場合分けを行います。

表 3.15.2 にスレーブモード時の状態と必要な処理を示します。

例: スレーブシーバモード時スレーブアドレスが一致し、方向ビットが "1" の場合

INTSBI 割り込み

if TRX = 0

Then その他処理へ移行

if AL = 1

Then その他処理へ移行

if AAS = 0

Then その他処理へ移行

	7	6	5	4	3	2	1	0	
SBICR1	←	X	X	X	1	X	X	X	送信ビット数を設定します。
SBIDBR	←	X	X	X	X	X	X	X	送信データをセットします。

注) X: Don't care

表 3.15.2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBIDBR にライトします。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN> を“1”にセットするために SBIDBR のリード (ダミーリード)、または <PIN> に“1”をライトします。
		0	0	スレーブアドレスを送信中、またはデータ送信中に、アービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

(4) ストップコンディションの発生

SBISR<BB> = “1” のときに、SBICR2<MST, TRX, PIN>に “1”、<BB>に “0” をライトすると、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

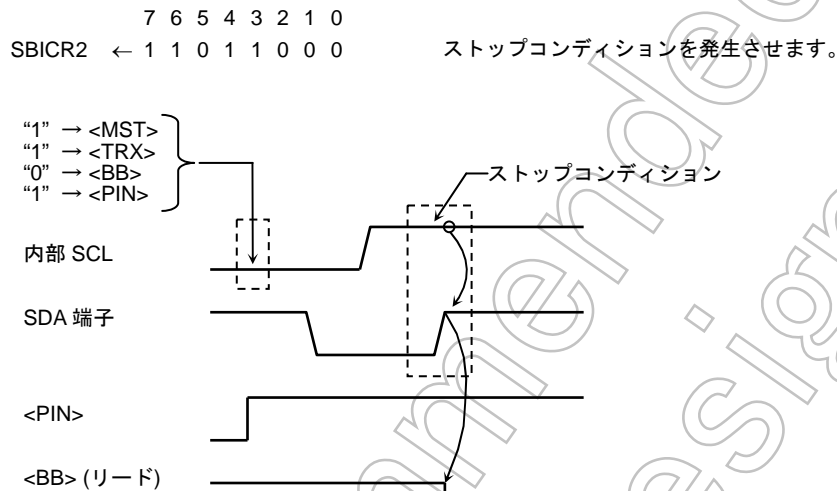


図 3.15.18 ストップコンディションの発生 (シングルマスタの場合)

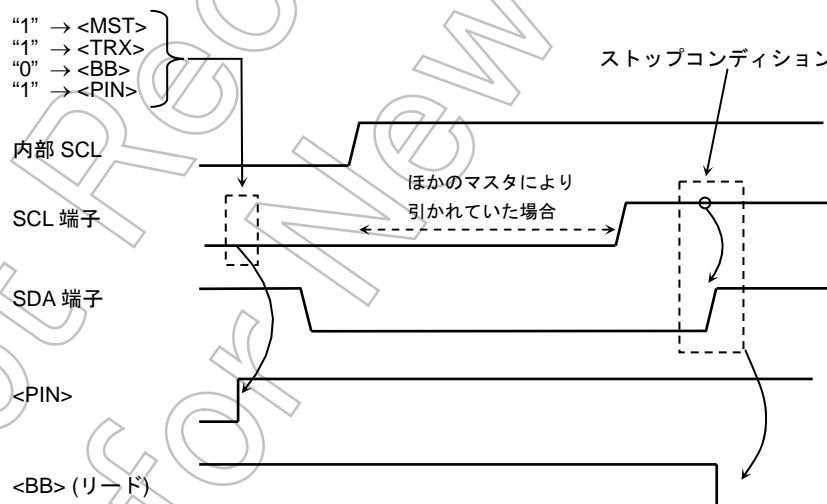


図3.15.19 ストップコンディションの発生 (マルチマスタの場合)

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBICR2<MST, TRX, BB> に“0”、<PIN> に“1”をライトし、バスを開放します。このとき SDA 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、SCL 端子が開放されバスフリー状態になったことを SBISR<BB> = “0”、もしくはポートモードによる SCL 端子の信号レベル 1 の確認で行います。次に <LRB> をテストして“1”になるまで待ち、ほかのデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μ s のソフトウェアによる待ち時間が必要です。

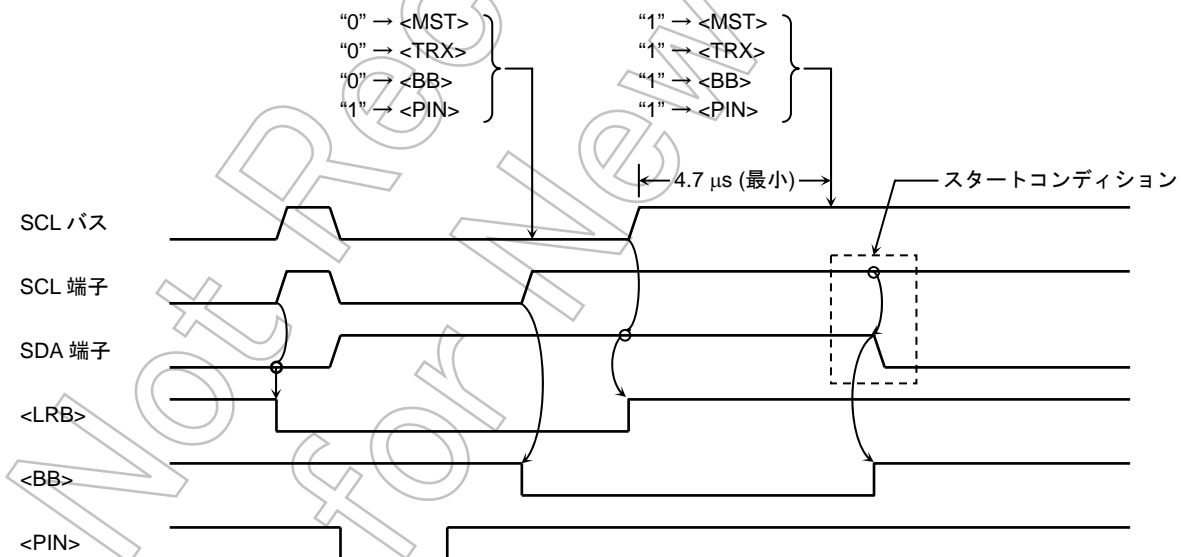
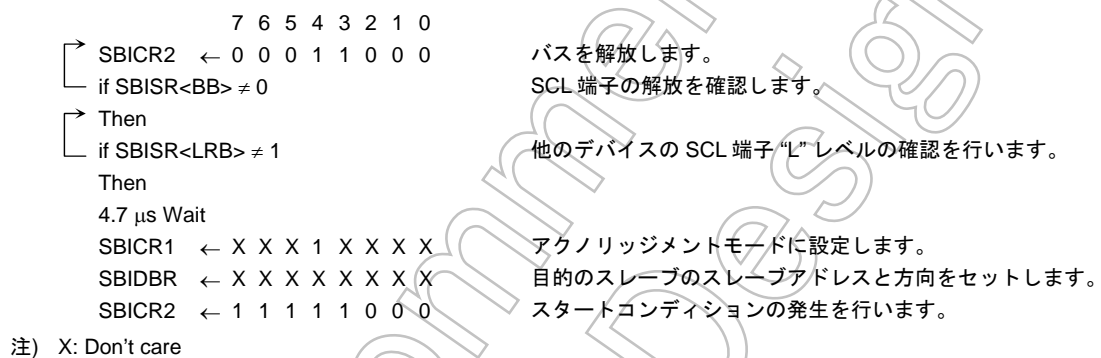


図 3.15.20 再スタートを発生する場合のタイミングチャート

注) <MST> = “0”の状態の時に<MST> = “0”をライトしないでください。(再スタートできません)

3.16 USBコントローラ

3.16.1 システム概要

USB コントローラ (UDC) は、USB システムを構築する上で、必要な種々のシリアルデータコミュニケーションに適合すべく設計されています。

主要機能と特長は次のとおりです。

- (1) USB rev1.1 をサポート
- (2) フルスピード (12 Mbps) 対応 (Low スピード (1.5 Mbps) には対応していません)
- (3) 384 バイトのディスクリプタ RAM を使用したエミュレーション自動応答(スタンダードリクエスト)
- (4) コントロール、割り込み、バルクの 3 種類の転送タイプに対応

エンドポイント 0: コントロール	64 バイト × 1FIFO
エンドポイント 1: バルク (OUT)	64 バイト × 2FIFO
エンドポイント 2: バルク (IN)	64 バイト × 2FIFO
エンドポイント 3: インターラプト (IN)	8 バイト × 1FIFO
- (5) 受信データのサンプルクロックを生成する DPLL を内蔵
- (6) SOP、EOP、RESUME、RESET、TIMEOUT を検出および生成
- (7) NRZI データのエンコードおよびデコード
- (8) スタフビットの挿入および除去
- (9) CRC の生成および検査
- (10) パケット ID の生成およびデコード
- (11) パワーマネジメント機能を内蔵
- (12) デュアルパケットモードに対応

注 1) TMP92CF30 は D+ 端子に必要なプルアップ抵抗を内蔵していません。外部でのプルアップ制御が必要です。外部スイッチ、出力ポートおよびソフトウェアで制御してください。

注 2) 動作上、一部 USB1.1 の規格と異なる仕様があります。後述の「3.16.11 使用上の注意事項」を事前に確認してください。

3.16.1.1 システム構成

USB コントローラ (UDC) は、下記の 3 ブロック構成となっています。

1. 900/H1 CPU I/F
2. UDC コア (DPLL, SIE, IFM, PWM)、リクエストコントローラ、ディスクリプタ RAM、4つのエンドポイント FIFO
3. USB トランシーバ

3.16.2章では、900/H1 CPU I/F 関連の構成を 3.16.3章では、UDCコア、リクエストコントローラ、ディスクリプタRAM関連の構成を説明します。

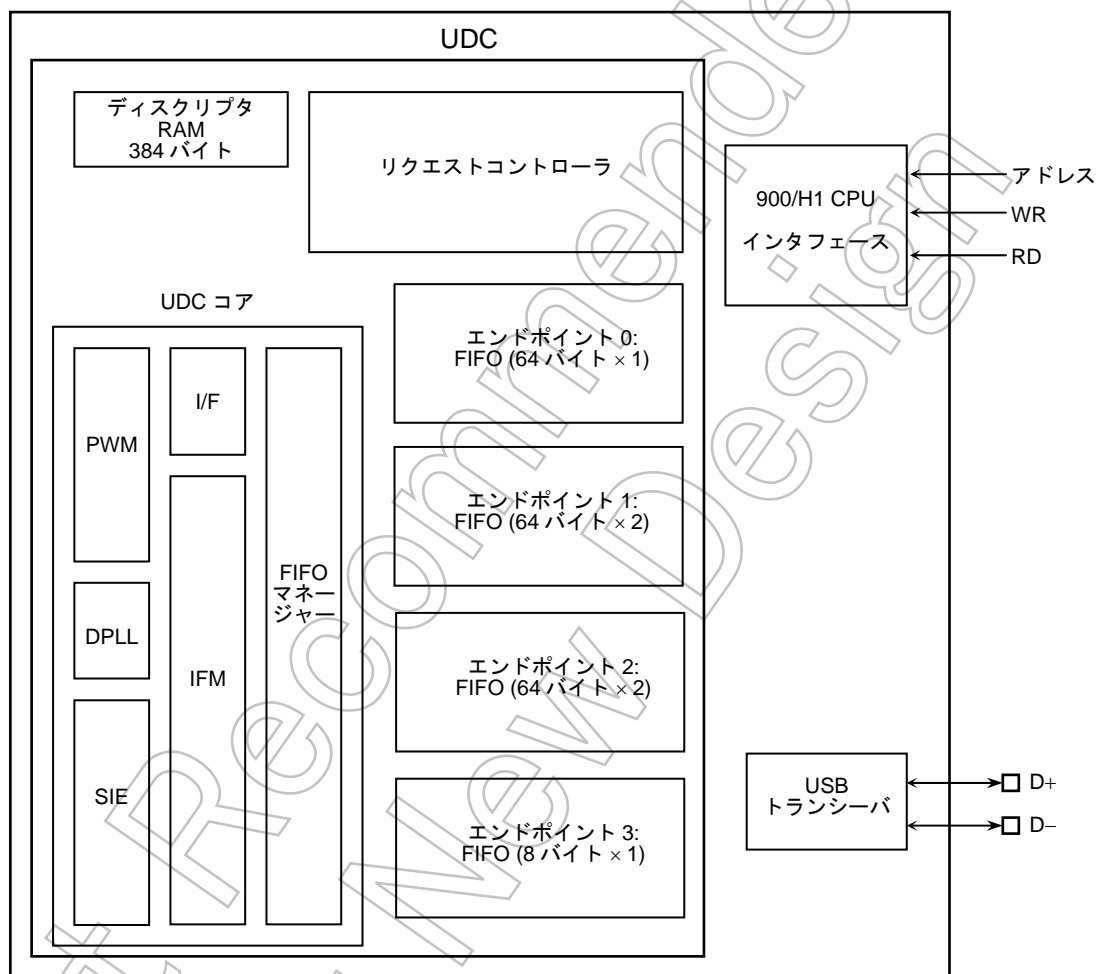
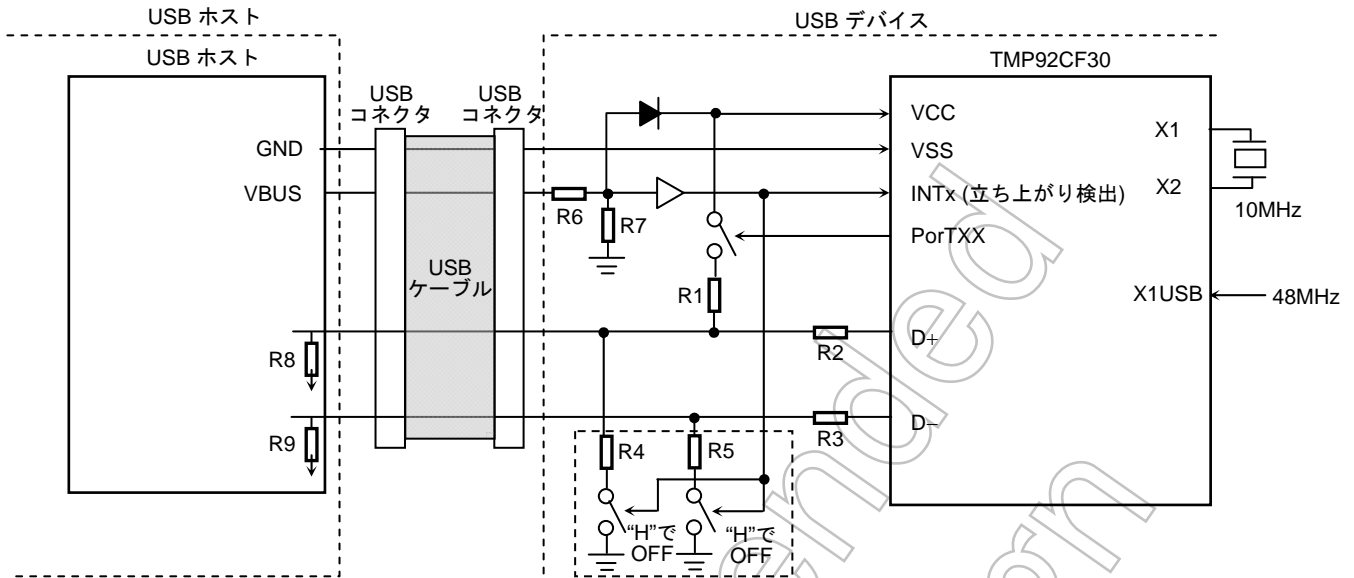


図 3.16.1 UDC ブロック図

3.16.1.2 接続例



TMP92CF30 内蔵の USB コントローラを使用する場合、以上のような接続が必要です。

- 1) D+端子のプルアップ処理
 - ・ USB 規定上、Full Speed の通信では、D+端子をプルアップすることが必要です。またこのプルアップは S/W で、ON/OFF 制御が必要です。
 - 推奨値：R1=1.5k Ω
- 2) D+、D-信号の直列抵抗挿入
 - ・ USB 規定上、D+、D-信号には、各々直列抵抗の挿入が必要です。
 - 推奨値：R2=27 Ω 、R3=27 Ω
- 3) コネクタ接続検出および D+端子、D-端子の貫通電流対策処理
 - ・ TMP92CF30 の D+、D-端子は未使用時(ホストと未接続時)には、貫通電流対策のために、レベル固定が必要です。ここでは、コネクタ接続の検出信号を利用して、レベル固定用のプルダウン抵抗を制御する方法を紹介しています。
 - 推奨値：R4=10k Ω 、R5=10k Ω
 - ・ コネクタ接続の検出を VBUS(5V 電圧)で検出する方法を例として紹介しています。※ 波形の立ち上がり、緩慢な場合、波形整形用に適当なバッファリングをすることをお勧めします。
 - 推奨値：R6=60k Ω 、R7=100k Ω (サスペンド時の VBUS 消費電流 < 500 μ A)
- 4) X1,X2 に 10MHz の発振子の接続、または X1USB に 48MHz のクロック入力
 - ・ 外部 10MHz 発振と、内蔵 PLL の組み合わせで USB を使用する場合、内蔵 PLL の精度の関係上、使用できる外付けハブの段数に制約が生じます(最大 3 段まで)。
 - ・ 外付けハブは 5 段接続が必須の場合は、必ず X1USB 端子より \pm 2500ppm 以下の精度で 48MHz のクロックを入力する必要があります。
- 5) HOST 側プルダウン抵抗
 - ・ USB 規定上、USB_HOST 側で D+信号と D-信号をプルダウンする必要があります。
 - 推奨値：R8=15k Ω 、R9=15k Ω

注) 上記の接続、および抵抗値などは一例であり、その動作を保証するものではありません。必ず最新の USB 規格の確認と、お客様のセット上での動作確認をお願いいたします。

3.16.2 900/H1 CPU I/F

900/H1 CPU I/F は、UDC 本体と 900/H1CPU とのアダプタです。
主に、下記のコントロールを行います。

- INTUSB (UDC からの割り込み) 発生
- SFR のアダプタ
- USB クロック制御 (48 MHz)

3.16.2.1 SFR説明

900/H1 CPU I/F には、UDC、USB トランシーバをコントロールするため、内部に以下のようなレジスタが用意されています。

USB コントロール

USBCR1 (USB コントロールレジスタ 1)

USB 割り込みコントロール

USBINTFR1 (USB 割り込みフラグレジスタ 1)

USBINTFR2 (USB 割り込みフラグレジスタ 2)

USBINTFR3 (USB 割り込みフラグレジスタ 3)

USBINTFR4 (USB 割り込みフラグレジスタ 4)

USBINTMR1 (USB 割り込みマスクレジスタ 1)

USBINTMR2 (USB 割り込みマスクレジスタ 2)

USBINTMR3 (USB 割り込みマスクレジスタ 3)

USBINTMR4 (USB 割り込みマスクレジスタ 4)

表 3.16.1 900/H1 CPU I/F SFR

アドレス	Read/Write	SFR symbol
07F0H	R/W	USBINTFR1
07F1H	R/W	USBINTFR2
07F2H	R/W	USBINTFR3
07F3H	R/W	USBINTFR4
07F4H	R/W	USBINTMR1
07F5H	R/W	USBINTMR2
07F6H	R/W	USBINTMR3
07F7H	R/W	USBINTMR4
07F8H	R/W	USBCR1

3.16.2.2 USBCR1 レジスタ

このレジスタは、USB 使用時に設定するレジスタで、USB クロックの許可、内部トランシーバの設定などを行います。

	7	6	5	4	3	2	1	0
bit Symbol	TRNS_USE	WAKEUP					SPEED	USBCLKE
Read/Write	R/W	R/W					R/W	R/W
リセット後	0	0					1	0
機能								

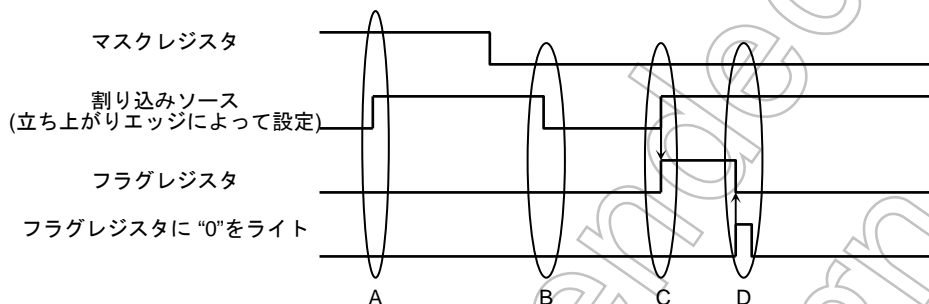
- **TRNS_USE (Bit7)**
 0: USB トランシーバの禁止
 1: USB トランシーバ許可
 USB を使用するアプリケーションでは、常に“1”に設定してください。
- **WAKEUP (Bit6)**
 0: -
 1: リモートウェイクアップ機能スタート
 リモートウェイクアップ機能が必要な時には、まず、レジスタ Current_Config<REMOTE WAKEUP>をチェックして下さい。
 <REMOTE WAKEUP>="1"(サスペンド状態)であることを確認し、<WAKEUP>に“1”をライトし、その後“0”を<WAKEUP>へライトしてください。これにより remote-wakeup 機能が開始されます。<REMOTE WAKEUP = “0”あるいは EP0,1,2,3_STATUS<SUSPEND>="0”の時には、<WAKEUP>に“1”をライトしないで下さい。
- **SPEED (Bit1)**
 1: フルスピード (12 MHz)
 0: Reserved
 このビットは USB スピードを選択します。
 常に“1”に設定してください。
- **USBCLKE (Bit0)**
 0: USB クロック禁止
 1: USB クロック許可
 このビットは USB クロックの供給を制御します。
 USB コントローラに供給される 48MHz のクロックは、PLL 回路から供給されます。(f_{USB})。よって USB コントローラにクロック供給を開始するときは、PLL 回路のロックアップが終了していることを(安定発振)確認後、<USBCLKE>に“1”をライトしてください。
 また、PLL を停止する際は、<USBCLKE>に“0”をライトし USB クロックを停止後、PLL を停止してください。

3.16.2.3 USBINTFRn、MRnレジスタ

これらの SFR は、UDC が出力する 23 個の割り込みソースから INTUSB(CPU に対しては 1 つのみ)を制御します。USBINTMRn はマスクレジスタで、USBINTFRn はフラグレジスタです。したがって INTUSB ルーチンでは、USBINTFRn を確認後に発生している割り込みを判断し、処理してください。

以下は全マスクおよびフラグレジスタコモン仕様となります。

(全マスクおよびフラグレジスタの共通仕様)



- A: フラグレジスタはマスクレジスタ = "1" のためセットされません。
- B: フラグレジスタは割り込みソースが "1" から "0" に切り替わるためセットされません。
- C: フラグレジスタはマスクレジスタ = "0" および割り込みソースが "0" から "1" に切り替わるためセットされます。
- D: フラグレジスタはフラグレジスタに "0" をライトすることによって "0" にリセットされます。

注1) "INTUSB 発生回数" および "フラグにセットされたビット数" は常に同じとは限りません。INTUSB 割り込みルーチンでは、フラグレジスタの確認後、フラグレジスタをクリアしてください。また、INTUSB 割り込みルーチン分岐後、フラグレジスタ(USBINTFRn)をリードする前に発生した割り込みは、INTC 割り込み要求フラグは保持されたままとなります。そのため、INTUSB 割り込みルーチンを抜けた後、再度 USB 割り込みルーチンに分岐しますが、フラグレジスタ(USBINTFRn)がすべて "0" の場合がありますので、その場合でも異常終了しないようソフトウェアで対応してください。

注2) USBINTMRn あるいは USBINTFRn にライトする時は、その前に INTUSB を禁止(00H を INTEUSB レジスタにライト)してください。

USBINTFR1
(07F0H)
リード
モディファイ
ライト
できません

	7	6	5	4	3	2	1	0
bit Symbol	INT_URST_STR	INT_URST_END	INT_SUS	INT_RESUME	INT_CLKSTOP	INT_CLKON		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		
リセット後	0	0	0	0	0	0		
機能	リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -							

注)上記の割り込みは、IDLE2,IDLE1 モードからのホルト解除が可能です。(STOP モードは解除できません)

※ USB で準備されている、24 種類の割り込みの内、上記 6 種類の割り込みは、IDLE1 モードからホルト解除が可能です。そのため、より低消費電力のシステムを構築することが可能です。ただし、その使用方法は以下に限られます。

IDLE1 へ移行 INT_SUS または INT_CLKSTOP フラグが “1” (SUSPEND 状態) の状態から、ホルト命令実行

IDLE1 から復帰 INT_RESUME または INT_CLKON 要求 (SUSPEND 解除要求) での、ホルト解除
INT_URST_STR または INT_URST_END 要求 (RESET 要求) での、ホルト解除

- INT_URST_STR (Bit7)
INT_URST_STR (USB リセット開始割り込み)のためのフラグレジスタです。
これは USB コントローラが USB ホストからの “USB リセット” 信号を受信しはじめたとき、“1” にセットされます。アプリケーションプログラムはこの割り込みによって全 UDC を初期化する必要があります。
- INT_URST_END (Bit6)
INT_URST_END (USB リセット終了割り込み)のためのフラグレジスタです。
これは USB コントローラが USB ホストからの “USB リセット終了” の信号を受信したとき “1” にセットされます。
- INT_SUS (Bit5)
INT_SUS (サスペンド割り込み)のためのフラグレジスタです。
これは USB が “サスペンド状態” に切り替わったとき “1” にセットされます。
- INT_RESUME (Bit4)
INT_RESUME (レジューム割り込み)のためのフラグレジスタです。
これは USB が “レジューム状態” に切り替わったときに “1” にセットされます。
- INT_CLKSTOP (Bit3)
INT_CLKSTOP (クロック供給停止許可割り込み)のためのフラグレジスタです。これは USB が “サスペンド状態” に切り替わった後に “1” にセットされます。クロックを停止する場合は、この割り込み検出後 USB CR1<USBCLKE> ビットを “0” にしてクロックを停止してください。
- INT_CLKON (Bit2)
INT_CLKON (クロック供給開始許可割り込み)のためのフラグレジスタです。
これは USB が “レジューム状態”、または USB ホストからの “USB リセット” 信号を検出したとき “1” にセットされます。クロックを停止している場合は、この割り込み検出後 USB CR1<USBCLKE> ビットを “1” にしてクロックを開始してください。

USBINTFR2
(07F1H)
リード
モディファイ
ライト
できません

	7	6	5	4	3	2	1	0
bit Symbol	EP1_FULL_A	EP1_Empty_A	EP1_FULL_B	EP1_Empty_B	EP2_FULL_A	EP2_Empty_A	EP2_FULL_B	EP2_Empty_B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -							

注) 上記の割り込みは、IDLE2 モードからのホルト解除が可能です。(IDLE1, STOP モードは解除できません。)

USBINTFR3
(07F2H)
リード
モディファイ
ライト
できません

	7	6	5	4	3	2	1	0
bit Symbol	EP3_FULL_A	EP3_Empty_A	EP3_FULL_B	EP3_Empty_B				
Read/Write	R/W	R/W	R/W	R/W				
リセット後	0	0	0	0				
機能	リード時 0: 割り込みなし 1: 割り込みあり ライト時 0: フラグクリア 1: -							

注) 上記の割り込みは、IDLE2 モードからのホルト解除が可能です。(IDLE1, STOP モードは解除できません。)

EPx_FULL_A/B:

(送信時)

CPU が FIFO_A/B にフルにデータをライトしたときに“1”にセットされます。

(受信時)

UDC が FIFO_A/B にフルにデータを受信したときに“1”にセットされます。

EPx_Empty_A/B:

(送信時)

FIFO が送信後空になったときに“1”にセットされます。

(受信時)

CPU が FIFO からデータをリードし、FIFO が空になったときに“1”にセットされます。

注) EPx_FULL_A/B および EPx_Empty_A/B のフラグレジスタはステータスフラグではありません。したがって FIFO ステータスが必要な場合 DATASET レジスタを検査しなければなりません。

USBINTFR4
(07F3H)
リード
モディファイ
ライト
できません

	7	6	5	4	3	2	1	0
bit Symbol	INT_SETUP	INT_EP0	INT_STAS	INT_STASN	INT_EP1N	INT_EP2N	INT_EP3N	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	
機能	リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -							

注) 上記の割り込みは、IDLE2 モードからのホルト解除が可能です。(IDLE1,STOP モードは解除できません。)

- INT_SETUP (Bit7)

INT_SETUP (セットアップ割り込み)のためのフラグレジスタです。

これは USB ホストから S/W(ソフトウェア)制御が必要な要求を受信したとき“1”にセットされます。INT_SETUP ルーチン内の S/W によって、まず 8 バイトのデバイスリクエストを UDC からリードし、各要求にしたがって処理を実行してください。

- INT_EP0 (Bit6)

INT_EP0 (コントロール転送のデータフェーズの受信データ割り込み)のためのフラグレジスタです。

UDC がコントロール転送のデータフェーズのデータを受信したときに“1”にセットされます。コントロールライト転送時この割り込みが発生した場合 FIFO からデータをリードする必要があります。コントロールリード転送時、この割り込みが発生した場合 FIFO へ送信データをライトする必要があります。ホストによってはデータステージ最終パケットの“ACK”をアサートしないことがあります。その場合、この割り込みは発生しません。よって最終パケットデータがデータステージでライトされた後のこの割り込みは無視してください。理由は送信データ数がホストから支持されるかデバイスの容量に依存するからです。

- INT_STAS (Bit5)

INT_STAS (ステータスステージ終了割り込み)のためのフラグレジスタです。

これはステータスステージが終了したとき“1”にセットされます。

この割り込みが発生した場合、リクエストが正常終了したことを意味します。

この割り込みが発生せず、INT_SETUP が発生した場合、EPO_STATUS <STAGE_ERR> は“1”にセットされ、リクエストが正常終了しなかったことを意味します。

- INT_STASN (Bit4)
INT_STASN(ホストステータスステージ切り替わり割り込み)ためのフラグレジスタです。USB ホストがコントロールリード転送でステータスステージに切り替わったとき“1”にセットされます。この割り込みはデータ長が wLength(ホストによって指定)より小さい場合必要になります。
- INT_EPxN (Bit3~Bit1)
INT_EPxN(ホストへの NAK 応答割り込み)ためのフラグレジスタです。これはエンドポイント 1,2,3 が NAK を送信したときに“1”にセットされます。

Not Recommended
for New Design

	7	6	5	4	3	2	1	0
USBINTMR1 (07F4H)	MSK_URST_STR	MSK_URST_END	MSK_SUS	MSK_RESUME	MSK_CLKSTOP	MSK_CLKON		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		
リセット後	1	1	1	1	1	1		
機能	0: マスクしない 1: マスクする							

- MSK_URST_STR (Bit7)
USBINTFR1<INT_URST_STR>のためのマスクレジスタです。
- MSK_URST_END (Bit6)
USBINTFR1 <INT_URST_END>>のためのマスクレジスタです。
- MSK_SUS (Bit5)
USBINTFR1<INT_SUS>のためのマスクレジスタです。
- MSK_RESUME (Bit4)
USBINTFR1<INT_RESUME>のためのマスクレジスタです。
- MSK_CLKSTOP (Bit3)
USBINTFR1<INT_URST_STR>のためのマスクレジスタです。
- MSK_CLKON (Bit2)
USBINTFR1 <INT_CLKON>のためのレジスタです。

Not Recommended for New Design

	7	6	5	4	3	2	1	0
USBINTMR2 (07F5H)	EP1_MSK_FA	EP1_MSK_EA	EP1_MSK_FB	EP1_MSK_EB	EP2_MSK_FA	EP2_MSK_EA	EP2_MSK_FB	EP2_MSK_EB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	1	1	1	1	1	1	1	1
機能	0: マスクしない 1: マスクする							

- EP1/2_MSK_FA/FB/EA/EB

USBINTFR2<EP1/2_FULL_A/B>,<EP1/2_Empty_A/B>のためのマスクレジスタです。

	7	6	5	4	3	2	1	0
USBINTMR3 (07F6H)	EP3_MSK_FA	EP3_MSK_EA						
Read/Write	R/W	R/W						
リセット後	1	1						
機能	0: マスクしない 1: マスクする							

- EP3_MSK_FA/FB/EA/EB

USBINTFR3<EP3_FULL_A/B>,<EP3_Empty_A/B>のためのマスクレジスタです。

	7	6	5	4	3	2	1	0
USBINTMR4 (07F7H)	MSK_SETUP	MSK_EP0	MSK_STAS	MSK_STASN	MSK_EP1N	MSK_EP2N	MSK_EP3N	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	1	1	1	1	1	1	1	
機能	0: マスクしない 1: マスクする							

- MSK_SETUP (Bit7)
USBINTFR4<INT_SETUP>のためのマスクレジスタです。
- MSK_EP0 (Bit6)
USBINTFR4<INT_EP0>のためのマスクレジスタです。
- MSK_STAS (Bit5)
USBINTFR4<INT_STAS>のためのマスクレジスタです。
- MSK_STASN (Bit4)
USBINTFR4<INT_STASN>のためのマスクレジスタです。
- MSK_EP1N (Bit3)
USBINTFR4<INT_EP1N>のためのマスクレジスタです。
- MSK_EP2N (Bit2)
USBINTFR4<INT_EP2N>のためのマスクレジスタです。
- MSK_EP3N (Bit1)
USBINTFR4<INT_EP3N>のためのマスクレジスタです。

Not Recommended for New Design

3.16.3 UDC コア

3.16.3.1 SFR説明

USB トランシーバおよび UDC をコントロールするため、内部に以下のようなレジスタが用意されています。

a) FIFO

エンドポイント 0~3 FIFO レジスタ

b) デバイスリクエスト

bmRequestType	レジスタ	bRequest	レジスタ
wValue_L	レジスタ	wValue_H	レジスタ
wIndex_L	レジスタ	wIndex_H	レジスタ
wLength_L	レジスタ	wLength_H	レジスタ

c) ステータス

Current_Config	レジスタ	USB_STATE	レジスタ
StandardRequest	レジスタ	Request	レジスタ
EPx_STATUS	レジスタ		

d) セットアップ

EPx_BCS	レジスタ	EPx_SINGLE	レジスタ
Standard Request mode	レジスタ	Request Mode	レジスタ
DescriptorRAM	レジスタ	PortStatus	レジスタ

e) コントロール

EPx_MODE	レジスタ	EOP	レジスタ
COMMAND	レジスタ	INT_Control	レジスタ
SetupReceived	レジスタ	USBREADY	レジスタ

f) その他

ADDRESS	レジスタ	DATASET	レジスタ
EPx_SIZE_L_A	レジスタ	EPx_SIZE_H_A	レジスタ
EPx_SIZE_L_B	レジスタ	EPx_SIZE_H_B	レジスタ
FRAME_L	レジスタ	FRAME_H	レジスタ
USBUFF TEST	レジスタ		

表 3.16.2 UDC コア SFR (1/3)

アドレス	Read/Write	SFR シンボル
0500H	R/W	Descriptor RAM0
0501H	R/W	Descriptor RAM1
0502H	R/W	Descriptor RAM2
0503H	R/W	Descriptor RAM3
⋮		⋮
067DH	R/W	Descriptor RAM381
067EH	R/W	Descriptor RAM382
067FH	R/W	Descriptor RAM383
0780H	R/W	ENDPOINT0
0781H	R/W	ENDPOINT1
0782H	R/W	ENDPOINT2
0783H	R/W	ENDPOINT3
0784H 注)	R/W	ENDPOINT4
0785H 注)	R/W	ENDPOINT5
0786H 注)	R/W	ENDPOINT6
0787H 注)	R/W	ENDPOINT7
0788H	-	Reserved
0789H	R/W	EP1_MODE
078AH	R/W	EP2_MODE
078BH	R/W	EP3_MODE
078CH 注)	R/W	EP4_MODE
078DH 注)	R/W	EP5_MODE
078EH 注)	R/W	EP6_MODE
078FH 注)	R/W	EP7_MODE
0790H	R	EP0_STATUS
0791H	R	EP1_STATUS
0792H	R	EP2_STATUS
0793H	R	EP3_STATUS
0794H 注)	R	EP4_STATUS
0795H 注)	R	EP5_STATUS
0796H 注)	R	EP6_STATUS
0797H 注)	R	EP7_STATUS
0798H	R	EP0_SIZE_L_A
0799H	R	EP1_SIZE_L_A
079AH	R	EP2_SIZE_L_A
079BH	R	EP3_SIZE_L_A
079CH 注)	R	EP4_SIZE_L_A
079DH 注)	R	EP5_SIZE_L_A
079EH 注)	R	EP6_SIZE_L_A
079FH 注)	R	EP7_SIZE_L_A
07A1H	R	EP1_SIZE_L_B
07A2H	R	EP2_SIZE_L_B
07A3H	R	EP3_SIZE_L_B
07A4H 注)	R	EP4_SIZE_L_B
07A5H 注)	R	EP5_SIZE_L_B
07A6H 注)	R	EP6_SIZE_L_B
07A7H 注)	R	EP7_SIZE_L_B
07A8H	-	Reserved

表 3.16.3 UDC コア SFR (2/3)

アドレス	Read/Write	SFR シンボル
07A9H	R	EP1_SIZE_H_A
07AAH	R	EP2_SIZE_H_A
07ABH	R	EP3_SIZE_H_A
07ACH 注)	R	EP4_SIZE_H_A
07ADH 注)	R	EP5_SIZE_H_A
07AEH 注)	R	EP6_SIZE_H_A
07AFH 注)	R	EP7_SIZE_H_A
07B1H	R	EP1_SIZE_H_B
07B2H	R	EP2_SIZE_H_B
07B3H	R	EP3_SIZE_H_B
07B4H 注)	R	EP4_SIZE_H_B
07B5H 注)	R	EP5_SIZE_H_B
07B6H 注)	R	EP6_SIZE_H_B
07B7H 注)	R	EP7_SIZE_H_B
07C0H	R	bmRequestType
07C1H	R	bRequest
07C2H	R	wValue_L
07C3H	R	wValue_H
07C4H	R	wIndex_L
07C5H	R	wIndex_H
07C6H	R	wLength_L
07C7H	R	wLength_H
07C8H	W	SetupReceived
07C9H	R	Current_Config
07CAH	R	StandardRequest
07CBH	R	Request
07CCH	R	DATASET1
07CDH	R	DATASET2
07CEH	R	USB_STATE
07CFH	W	EOP
07D0H	W	COMMAND
07D1H	R/W	EPx_SINGLE1
07D2H 注)	R/W	EPx_SINGLE2
07D3H	R/W	EPx_BCS1
07D4H 注)	R/W	EPx_BCS2
07D5H	-	Reserved
07D6H	R/W	INT_Control
07D7H	-	Reserved
07D8H	R/W	Standard Request Mode
07D9H	R/W	Request Mode
07DAH	-	Reserved
07DBH	-	Reserved
07DCH	-	Reserved
07DDH	-	Reserved

表 3.16.4 UDC コア SFR (3/3)

アドレス	Read/Write	SFR シンボル
07DEH	W	ID_CONTROL
07DFH	R	ID_STATE
07E0H	R/W	Port_Status
07E1H	R	FRAME_L
07E2H	R	FRAME_H
07E3H	R	ADDRESS
07E4H	-	Reserved
07E5H	-	Reserved
07E6H	R/W	USBREADY
07E7H	-	Reserved
07E8H	W	Set Descriptor STALL

注) これらのレジスタは、TMP92CF30 では使用されません。

Not Recommended
for New Design

3.16.3.2 EPx FIFOレジスタ (x: 0~3)

このレジスタは、エンドポイントごとに独立して用意されています。

このレジスタを介して UDC 内の FIFO へデータ転送、あるいは FIFO からのデータ転送を行います。

オートバスエナミュレーション時に、UDC 内部のリクエストコントローラが、エンドポイントディスクリプタに定義されているモードを、各々のエンドポイント毎、自動的に設定します。この設定された値により、各エンドポイントは任意の方向に自動的に設定されます。

	7	6	5	4	3	2	1	0	
Endpoint0 (0780H)	bit Symbol	EP0_DATA7	EP0_DATA6	EP0_DATA5	EP0_DATA4	EP0_DATA3	EP0_DATA2	EP0_DATA1	EP0_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

	7	6	5	4	3	2	1	0	
Endpoint1 (0781H)	bit Symbol	EP1_DATA7	EP1_DATA6	EP1_DATA5	EP1_DATA4	EP1_DATA3	EP1_DATA2	EP1_DATA1	EP1_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

	7	6	5	4	3	2	1	0	
Endpoint2 (0782H)	bit Symbol	EP2_DATA7	EP2_DATA6	EP2_DATA5	EP2_DATA4	EP2_DATA3	EP2_DATA2	EP2_DATA1	EP2_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

	7	6	5	4	3	2	1	0	
Endpoint3 (0783H)	bit Symbol	EP3_DATA7	EP3_DATA6	EP3_DATA5	EP3_DATA4	EP3_DATA3	EP3_DATA2	EP3_DATA1	EP3_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

注) これらのウィンドウレジスタは、各レジスタが1バイトアドレスのみ所有しているため、1バイトのロード命令を使用することにより、ライトあるいはリードをしなければなりません。2バイトあるいは4バイトでのロード命令は使用しないでください。

USB ホストから受信したデバイスリクエストは、以下に示す 8 バイト分のレジスタに格納されます。このデバイスリクエストは、bmRequestType、bRequest、wValue_L、wValue_H、wIndex_L、wIndex_H、wLength_L、wLength_H の 8 つのレジスタにより構成され、ホストから新規のセットアップトークンを受信するたびに更新されます。

エラーなく受信したときのみ、INT_SETUP 割り込みをアサートし、新規のデバイスリクエストを受信したことを知らせます。また、受信したリクエストによって、UDC 内で自動的に処理するリクエストがあります。その場合、INT_SETUP 割り込みを外部にアサートせず、STANDARD_REQUEST_FLAG、REQUEST_FLAG をもって、UDC が現在処理中のリクエストを外部に知らせます。

3.16.3.3 bmRequestTypeレジスタ

このレジスタは、デバイスリクエストのbmRequestTypeフィールドを示したものです。

	7	6	5	4	3	2	1	0
bmRequestType (07C0H)								
bit Symbol	DIRECTION	REQ_TYPE1	REQ_TYPE0	RECIPIENT4	RECIPIENT3	RECIPIENT2	RECIPIENT1	RECIPIENT0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

- DIRECTION (bit7) 0: ホストからデバイスへ
1: デバイスからホストへ
- REQ_TYPE (bit6~5) 00: スタンダード
01: クラス
10: ベンダー
11: Reserved
- RECIPIENT (bit4~0) 00000: デバイス
00001: インタフェース
00010: エンドポイント
00011: etc
Others: Reserved

3.16.3.4 bRequestレジスタ

このレジスタは、デバイスリクエストのbRequestフィールドを示したものです。

	7	6	5	4	3	2	1	0
bRequest (07C1H)								
bit Symbol	REQUEST7	REQUEST6	REQUEST5	REQUEST4	REQUEST3	REQUEST2	REQUEST1	REQUEST0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

- | | |
|-----------------------------|-----------------------------|
| (スタンダード) | (プリンタクラス) |
| Bit 00000000: GET_STATUS | Bit 00000000: GET_DEVICE_ID |
| 00000001: CLEAR_FEATURE | 00000001: GET_PORT_STATUS |
| 00000010: (Reserved) | 00000010: SOFT_RESET |
| 00000011: SET_FEATURE | |
| 00000100: (Reserved) | |
| 00000101: SET_ADDRESS | |
| 00000110: GET_DESCRIPTOR | |
| 00000111: SET_DESCRIPTOR | |
| 00001000: GET_CONFIGURATION | |
| 00001001: SET_CONFIGURATION | |
| 00001010: GET_INTERFACE | |
| 00001011: SET_INTERFACE | |
| 00001100: SYNCH_FRAME | |

3.16.3.5 wValueレジスタ

このレジスタには、wValue_Lレジスタと、wValue_Hレジスタの2つがあります。
wValue_Lレジスタは、ホストから転送されるデバイスリクエストのwValueフィールドの下位バイトを示し、wValue_Hレジスタは、その上位バイトを示します。

	7	6	5	4	3	2	1	0	
wValue_L (07C2H)	bit Symbol	VALUE_L7	VALUE_L6	VALUE_L5	VALUE_L4	VALUE_L3	VALUE_L2	VALUE_L1	VALUE_L0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0	
wValue_H (07C3H)	bit Symbol	VALUE_H7	VALUE_H6	VALUE_H5	VALUE_H4	VALUE_H3	VALUE_H2	VALUE_H1	VALUE_H0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

3.16.3.6 wIndexレジスタ

このレジスタには、wIndex_Lレジスタと、wIndex_Hレジスタの2つがあります。
wIndex_Lレジスタは、ホストから転送されるデバイスリクエストのwIndexフィールドの下位バイトを示し、wIndex_Hレジスタは、その上位バイトを示します。
これらは通常 Index やオフセットを渡すために使用します。

	7	6	5	4	3	2	1	0	
wIndex_L (07C4H)	bit Symbol	INDEX_L7	INDEX_L6	INDEX_L5	INDEX_L4	INDEX_L3	INDEX_L2	INDEX_L1	INDEX_L0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0	
wIndex_H (07C5H)	bit Symbol	INDEX_H7	INDEX_H6	INDEX_H5	INDEX_H4	INDEX_H3	INDEX_H2	INDEX_H1	INDEX_H0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

3.16.3.7 wLengthレジスタ

このレジスタには、wLength_Lレジスタと、wLength_Hレジスタの2つがあります。
wLength_Lレジスタは、ホストから転送されるデバイスリクエストのwLengthフィールドの下位バイトを示し、wLength_Hレジスタは、その上位バイトを示します。

	7	6	5	4	3	2	1	0	
wLength_L (07C6H)	bit Symbol	LENGTH_L7	LENGTH_L6	LENGTH_L5	LENGTH_L4	LENGTH_L3	LENGTH_L2	LENGTH_L1	LENGTH_L0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0	
wLength_H (07C7H)	bit Symbol	LENGTH_H7	LENGTH_H6	LENGTH_H5	LENGTH_H4	LENGTH_H3	LENGTH_H2	LENGTH_H1	LENGTH_H0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

3.16.3.8 SetupReceivedレジスタ

このレジスタは、外部アプリケーションが INT_SETUP 割り込みを認識したことを UDC に知らせるためのレジスタです。

	7	6	5	4	3	2	1	0
SetupReceived (07C8H)								
bit Symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	W	W	W	W	W	W	W	W
リセット後	0	0	0	0	0	0	0	0

UDC は、外部アプリケーションより、このレジスタをアクセスされると、デバイスリクエストを受信したものと認識し、EP0 の FIFO へのアクセス禁止を解きます。これは、1つ前のデバイスリクエストが正常に終了していない間に、新規のリクエストが来たときに、外部アプリケーションが新規のリクエストに対する INT_SETUP 割り込みを認識するまでの間、EP0 に格納されたデータを保護するためです。

従って、CPU が INT_SETUP 割り込みに対するデバイスリクエストを認識したとき、このレジスタに 00H を WR してください。

注) このレジスタにライトを行った後の EP0_FIFO レジスタへのアクセスは、12MHz の 2クロック分のリカバリタイムを必要とします。

3.16.3.9 Current_Configレジスタ

このレジスタは、SET_CONFIGURATION、SET_INTERFACE にてセットされた現在のコンフィグ値、インタフェース値を示します。

	7	6	5	4	3	2	1	0
Current_Config (07C9H)								
bit Symbol	REMOTEWAKEUP		ALTERNATE[1]	ALTERNATE[0]	INTERFACE[1]	INTERFACE[0]	CONFIG[1]	CONFIG[0]
Read/Write	R		R	R	R	R	R	R
リセット後	0		0	0	0	0	0	0

- CONFIG (Bit1~Bit0)
 - 00: UNCONFIGURED ホストによってまだコンフィグされていないことを示します。
 - 01: CONFIGURED1 ホストによってコンフィグ 1 に設定されたことを示します。
 - 10: CONFIGURED2 ホストによってコンフィグ 2 に設定されたことを示します。
- INTERFACE (Bit3~Bit2)
 - 00: INTERFACE0 ホストによってインタフェース 0 に設定されたことを示します。
 - 01: INTERFACE1 ホストによってインタフェース 1 に設定されたことを示します。
 - 10: INTERFACE2 ホストによってインタフェース 2 に設定されたことを示します。
- ALTERNATE (Bit5~Bit4)
 - 00: ALTERNATE0 ホストによって代替設定 0 に設定されたことを示します。
 - 01: ALTERNATE1 ホストによって代替設定 1 に設定されたことを示します。
 - 10: ALTERNATE2 ホストによって代替設定 2 に設定されたことを示します。
- REMOTE WAKEUP (Bit7)
 - 0: ディセーブル ホストによって Remote Wakeup をディセーブルにされたことを示します。
 - 1: イネーブル ホストによって Remote Wakeup をイネーブルにされたことを示します。

注 1) CONFIG, INTERFACE, ALTERNATE はそれぞれ 3 つ(0,1,2)をサポートしています。

注 2) 各リクエストをソフトウェア制御する場合は、このレジスタに値はセットされません。

3.16.3.10 StandardRequest レジスタ

このレジスタは、現在実行中のスタンダードリクエストを示すレジスタです。
各ビットで“1”がセットされているビットが現在実行中のリクエストです。

	7	6	5	4	3	2	1	0
Standard Request (07CAH)								
bit Symbol	S_INTERFACE	G_INTERFACE	S_CONFIG	G_CONFIG	G_DESCRIPTOR	S_FEATURE	C_FEATURE	G_STATUS
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

- S_INTERFACE (Bit 7) :SET_INTERFACE
- G_INTERFACE (Bit 6) :GET_INTERFACE
- S_CONFIG (Bit 5) :SET_CONFIGURATION
- G_CONFIG (Bit 4) :GET_CONFIGURATION
- G_DESCRIPTOR (Bit 3) :GET_DESCRIPTOR
- S_FEATURE (Bit 2) :SET_FEATURE
- C_FEATURE (Bit 1) :CLEAR_FEATURE
- G_STATUS (Bit 0) :GET_STATUS

3.16.3.11 Requestレジスタ

このレジスタは、現在実行中のデバイスリクエストを示すレジスタです。
各ビットで“1”がセットされているビットが現在実行中のリクエストです。

	7	6	5	4	3	2	1	0
Request (07CBH)								
bit Symbol		SOFT_RESET	G_PORT_STS	G_DEVICE_ID	VENDOR	CLASS	ExSTANDARD	STANDARD
Read/Write		R	R	R	R	R	R	R
リセット後		0	0	0	0	0	0	0

- SOFT_RESET (Bit 6) :SOFT_RESET
- G_PORT_STS (Bit 5) :GET_PORT_STATUS
- G_DEVICE_ID (Bit 4) :GET_DEVICE_ID
- VENDOR (Bit 3) :ベンダークラスリクエスト
- CLASS (Bit 2) :クラスリクエスト
- ExSTANDARD (Bit 1) :エナミュレーション自動応答未対応
(SET_DESCRIPTOR, SYNCH_FRAME)
- STANDARD (Bit 0) :スタンダードリクエスト

3.16.3.12 DATASETレジスタ

このレジスタは FIFO 内のデータの有無を示します。

アプリケーションは、このレジスタをアクセスすることにより、エンドポイントごとに FIFO のデータの有無を確認することができます。受信時には USB ホストからの有効なデータ転送が終了すると、割り込みと共に該当するエンドポイントに対応したビットが“1”にセットされ、アプリケーションが FIFO から 1 パケット分のデータをリードすると“0”にリセットされます。送信時は FIFO に 1 パケット分のデータの転送が終了すると“1”にセットされ、USB ホストに対して有効なデータ送信が行われると割り込みと共に“0”にリセットされます。

	7	6	5	4	3	2	1	0
DATASET1 (07CCH)								
bit Symbol	EP3_DSET_B	EP3_DSET_A	EP2_DSET_B	EP2_DSET_A	EP1_DSET_B	EP1_DSET_A		EP0_DSET_A
Read/Write	R	R	R	R	R	R		R
リセット後	0	0	0	0	0	0		0

	7	6	5	4	3	2	1	0
DATASET2 (07CDH)								
bit Symbol	EP7_DSET_B	EP7_DSET_A	EP6_DSET_B	EP6_DSET_A	EP5_DSET_B	EP5_DSET_A	EP4_DSET_B	EP4_DSET_A
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

注) DATASET1<EP3_DSET_B>、DATASET2 レジスタは TMP92CF30 では使用されません。

- シングルパケットモード (DATASET1: Bit0, 2, 4, 6 DATASET2: Bit0, 2, 4, 6)
これらのビットは該当エンドポイントの FIFO にデータがあるかないかを示します。

受信モードのエンドポイントでは該当エンドポイントのビットが“1”の状態であれば FIFO 内にリードされるべきデータが存在します。EPx_SIZE レジスタをアクセスし、リードすべきデータのサイズを把握し、そのサイズ分のデータをリードしてください。“0”のときはリードされるべきデータがありません。

送信モードのエンドポイントでは該当エンドポイントのビットが“0”であれば、CPU は FIFO へパイロード以下のデータを転送することが可能です。もしも“1”の状態であれば送信待ちのデータが FIFO 内にありますので、該当ビットが“0”にクリアされてから UDC 内の FIFO にデータを転送する必要があります。ショートパケットを送信する場合には、送信するデータを該当エンドポイントにライトした後、EOP レジスタをアクセスしてください。

- デュアルパケットモード (DATASET1: Bit3, 5, 7 DATASET2: Bit1, 3, 5, 7)

これらのビットは、デュアルパケットモード時に有効になります。デュアルパケットモードでは FIFO が 2 パケットありますので、パケット A、B ごとに DATASET ビットを用意しています。

アイソクロナス転送では、上記動作と異なり、現在のフレームでアクセス可能なパケットが示されます。この場合 A または B どちらかのビットが“1”になり、フレームの切り替わりに対応して更新されます。

- 注1) 受信モード時、該当エンドポイントの A、B パケットのビットが共に“1”ならば、EPx_SIZE レジスタの PKT_ACTIVE ビットを確認の上、データを受信すべきパケットのサイズを把握し、そのサイズ分のデータを取り込む必要があります。
- 注2) 送信モード時、該当エンドポイントの A、B パケットのビットが共に“1”でなければ、送信用 FIFO に空きがあることを示しています。ペイロードサイズ以下のデータを FIFO にライトしてください。もしも、ショートパケットとなる場合は、送信するデータを FIFO にライトした後、EOP レジスタをアクセスし、該当エンドポイントの EOP ビットに“0”をライトしてください。片方のパケットにライトできる最大サイズは MAX ペイロードサイズまでです。該当エンドポイントの A、B パケットのビットが共に“0”の場合、MAX ペイロードサイズ × 2 バイト分、連続してライトすることが可能です。
- 注3) デュアルモードでの送信時、A、B パケット共にデータがない状態で、EOP レジスタをアクセスし、該当エンドポイントの EOP ビットに“0”をライトした場合、NULL データが FIFO にセットされます。シングルモードにおいては、A パケットにデータがない状態で、上述した EOP アクセスを行うと、NULL データがバンク A の FIFO にセットされます。
- 注4) NULL パケット(0Length パケット)受信時にはこのレジスタはセットされません。

Not Recommended for New Design

3.16.3.13 EPx_STATUS レジスタ (x: 0~7)

これらは各エンドポイントのためのステータスレジスタです。
 <SUSPEND>はすべてのエンドポイントで共通です。

	7	6	5	4	3	2	1	0
EP0_STATUS (0790H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP1_STATUS (0791H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP2_STATUS (0792H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP3_STATUS (0793H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP4_STATUS (0794H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP5_STATUS (0795H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP6_STATUS (0796H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0
EP7_STATUS (0797H)	bit Symbol	TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	1	1	1	0	0

注) EP4,EP5,EP6,EP7 レジスタは TMP92CF30 では使用されません。

- TOGGLE (Bit6) トグルシーケンスビットの状態を表します。
 0: TOGGLE BIT0
 1: TOGGLE BIT1
- SUSPEND (Bit5) UDCのパワーマネージメントの状態を示します。
 SUSPENDの状態ではUDCに対するアクセスは制限されます。
 0: RESUME
 1: SUSPEND
 詳細は 3.16.9章を参照してください。

• STATUS (Bit4~Bit2)	<p>UDC のエンドポイントの状態を示します。 エンドポイントごとに転送の可否、あるいは各種転送の結果を示します。これは、各エンドポイントの転送モードと密接に関係します。 以下に各状態について説明します。(アイソクロナス転送のエンドポイントを使用した場合には、動作が異なりますので、詳細については 3.16.6章を参照ください。)</p>
000: READY	<p>受信: デバイスが受信可能な状態にあります。 エンドポイント 1~7 では、このレジスタは SET_CONFIGURATION にて転送タイプを設定することにより、“READY” に初期化されます。エンドポイント 0 ではホストからの USB リセットを検出すると READY に初期化されます。ステータスステージの正常終了時にも READY にセットされます。</p> <p>送信: 基本的には受信時と同様に初期化が行われた場合にセットされます。ただし送信の場合には、FIFO に送信用のデータがセットされてホストからのトークンに回答してデータをホストへ正常に転送し ACK を受信した場合にもステータスレジスタは変化せず READY のままとなります。この場合、EPx_Empty_A あるいは EPx_Empty_B 割り込みは正常に送信が終了したことを示します。</p>
001: DATAIN	<p>UDC は、ホストからの受信データがエラーなく受信されたときに、EPx_FULL_A あるいは EPx_FULL_B 割り込みは発生が発生するとともに DATAIN にセットされます。</p>
010: FULL	<p>3.16.8(2)章のステータスレジスタの詳細を参照してください。</p>
011: TX_ERR	<p>UDC は、ホストからの IN トークンに対してデータを送信した後、ホストからの ACK が受け取れなかった場合に、ステータスレジスタに TX_ERR をセットします。この場合 CPU への割り込みは発生しません。ホストはリトライを行い、再度 IN トークンを送ってきます。</p>
100: RX_ERR	<p>UDC は、受信したトークンのデータ部にエラー (CRC エラーなど) が合った場合に、ホストに ACK を送らずにステータスレジスタに RX_ERR をセットします。この場合 CPU への割り込みは発生しません。ホストはリトライを、行い再度データを UDC に送ってきます。また、データ部は正常でトグルエラーがあった場合には、ホストに ACK を送りステータスレジスタに RX_ERR をセットします。</p>
101: BUSY	<p>このステータスはコントロール転送のみに使用されます。 コントロール転送時にデータステージ終了後、ホストからステータスステージのトークンを受信したとき、セットされます。ステータスステージを終了する準備ができていときは、正常終了し READY に戻ります。パルク転送モードやインターラプト転送モードでは使用しません。</p>
110: STALL	<p>該当エンドポイントがストール状態になったことを示します。 この状態では SETUP トークンを除いて STALL ハンドシェイクを返します。コントロールエンドポイントでは SETUP トークンを受信するとストール状態から READY 状態にもどります。その他のエンドポイントでは、FIFO の初期化コマンドを受け付けると READY に戻ります。</p>
111: INVALID	<p>該当エンドポイントが未構成の状態を示します。 この状態のときは、ホストからのトークンに対して無反応となります。 リセットによる初期化時には、すべてのエンドポイントがこの状態となります。USB リセットを受信するとエンドポイント 0 のみ READY 状態に戻ります。構成されると該当エンドポイントは READY となります。</p>

- FIFO_DISABLE (Bit1)

- 0: FIFO 許可状態
- 1: FIFO 禁止状態

エンドポイント 0 以外の FIFO の状態を示します。

FIFO が禁止状態に設定されているとすべての転送に強制的に NAK ハンドシェイクを返します。禁止と許可の設定は COMMAND レジスタのアクセスで行います。転送モードが変更になったとき、このビットは“0”にクリアされます。

- STAGE_ERR (Bit0)

- 0: SUCCESS
- 1: ERROR

このビットは、ステータスステージが正常に終了しなかったことを示します。ステータスステージが正常に終了することなく、新規の SETUP トークンが来たときにセットされます。

このビットが“1”の場合、EPO_STATUS レジスタをリードすることによってこのビットは“0”にクリアされます。それ以降に、正常なコントロール転送やその他の転送が行われても、このビットはリセットされません。クリアするには必ずリードしてください。ソフトウェアの処理が終了し、EOP レジスタをライトすると、UDC はステータスステージへ移行し、ステータスステージ終了を待ちます。この時、ソフトウェアにてステータスステージが正常に終了したことを捕捉する必要がある場合には、新規のリクエストフラグが来たときに、このレジスタをリードすることにより、前回のリクエストが正常に終了したかどうかを把握することができます。また、ソフトウェアにてリクエストに対する処理実行中に、新規のリクエストフラグがアサートされた時にも、このビットをモニターすれば、前回のリクエストが途中で中断したかどうかわかります。

Not Recommended for New Design

3.16.3.14 EPx_SIZEレジスタ (x: 0~7)

このレジスタは以下の機能を備えています。

- 受信時、該当するエンドポイントに対して正常に受信した1パケット分のデータ数を示します。
- 送信時、ペイロードサイズを表示。ただし、ショートパケット送信時はそのレングス値を示します。送信時にはこのレジスタをリードする必要はありません。
- デュアルパケットモードの設定と現在有効なパケットを示します。

このレジスタはエンドポイントごとに用意されており、データサイズの上位 9~7 ビットを表す HIGH レジスタと、下位 6~0 ビットおよび FIFO のコントロールビットからなる LOW レジスタがあります。またデュアルパケットモードをサポートするため、HIGH/LOW レジスタはそれぞれパケット A、B の 2 セットが存在します。

		7	6	5	4	3	2	1	0
EP0_SIZE_L_A (0798H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP1_SIZE_L_A (0799H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP2_SIZE_L_A (079AH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP3_SIZE_L_A (079BH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP4_SIZE_L_A (079CH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP5_SIZE_L_A (079DH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP6_SIZE_L_A (079EH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0
EP7_SIZE_L_A (079FH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
		7	6	5	4	3	2	1	0

注) EP4,5,6,7_SIZE_L_A レジスタは TMP92CF30 では使用しません。

		7	6	5	4	3	2	1	0
EP1_SIZE_L_B (07A1H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP2_SIZE_L_B (07A2H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP3_SIZE_L_B (07A3H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP4_SIZE_L_B (07A4H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP5_SIZE_L_B (07A5H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP6_SIZE_L_B (07A6H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP7_SIZE_L_B (07A7H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0

注) EP3,4,5,6,7_SIZE_L_BレジスタはTMP92CF30では使用しません。

		7	6	5	4	3	2	1	0
EP1_SIZE_H_A (07A9H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP2_SIZE_H_A (07AAH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP3_SIZE_H_A (07ABH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP4_SIZE_H_A (07ACH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP5_SIZE_H_A (07ADH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP6_SIZE_H_A (07AEH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP7_SIZE_H_A (07AFH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0

注) EP4,5,6,7_SIZE_H_AレジスタはTMP92CF30では使用しません。

		7	6	5	4	3	2	1	0
EP1_SIZE_H_B (07B1H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP2_SIZE_H_B (07B2H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP3_SIZE_H_B (07B3H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP4_SIZE_H_B (07B4H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP5_SIZE_H_B (07B5H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP6_SIZE_H_B (07B6H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP7_SIZE_H_B (07B7H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0

注) EP3,4,5,6,7_SIZE_H_BレジスタはTMP92CF30では使用しません。

- DATASIZE9~7 (H Bit2~0)
- DATASIZE6~0 (L Bit6~0)

受信時はUDCがホストより受信した1パケット分のデータ数を示します。このレジスタはホストからの受信が正常終了した場合に更新されます。EPx_MODEレジスタを設定することでバルク転送/インターラプト転送時はMAXペイロードサイズ、アイソクロナス転送時は0に初期化されます。

- PKT_ACTIVE (L Bit7)
1: OUT_ENABLE
0: OUT_DISABLE

デュアルパケットモードを選択した場合に、このビットはアクセスが許されるパケットを示します。この場合、UDCは2つに分割されたFIFOのパケットAとパケットBに対して交互にアクセスを行います。UDC内のFIFOに対するCPUからのアクセスは、このビットを参照した上で行ってください。受信エンドポイントの場合、このビットが“1”のパケットからリードしてください。なお、シングルパケットモード使用時には常にパケットAを使用し、このビットは意味を持ちません。

3.16.3.15 FRAMEレジスタ

このレジスタは SOF トークンに伴ってホストより発行されるフレーム番号を示し、そしてこれはアイソクロナス転送に使用されます。

HIGH/LOW の 2 つレジスタがあり、それぞれフレーム番号の上位と下位を示します。

	7	6	5	4	3	2	1	0	
FRAME_L (07E1H)	bit Symbol	–	T[6]	T[5]	T[4]	T[3]	T[2]	T[1]	T[0]
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
FRAME_H (07E2H)	bit Symbol	T[10]	T[9]	T[8]	T[7]	CREATE	FRAME_STS1	FRAME_STS0
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	1	0

- T[10:7] (H Bit7~4)
- T[6:0] (L Bit6~0)

SOF トークン受信時に更新され、ホストから送られてくるフレーム番号を示します。

- CREATE (H Bit2)
0: DISABLE
1: ENABLE

UDC ホストからの SOF トークンが受信できなかった場合に備え、UDC 内部で SOF を自動発生する機能の許可、不許可を表示します。
この機能は COMMAND レジスタをアクセスすることにより設定します。リセットによってこのビットは“0”に初期化されます。

- FRAME_STS1-0 (H Bit1, 0)
00: BEFORE
01: VALID
10: LOST

これらのビットは、FRAME レジスタに表示されたフレーム番号が SOF トークン受信時にセットされた正しい値であるかどうかを示します。LOST 状態では正しいフレーム番号は不明です。VALID 状態では FRAME レジスタに表示された番号は正しいです。

BEFORE 状態では SOF の自動発生機能を使用しているときに、内部で SOF が発生した時刻より USB ホストから SOF トークンを受信した時点までを表示しています。フレーム番号としては FRAME レジスタに表示された物から一つ進んだ値が正しい値です。

3.16.3.16 ADDRESSレジスタ

エミュレーション時に USB ホストより指定されるデバイスアドレスを示します。

UDC からリードすることにより現在のアドレス設定を確認できます。

	7	6	5	4	3	2	1	0
ADDRESS (07E3H)	bit Symbol	A6	A5	A4	A3	A2	A1	A0
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0

- A6~0 (Bit6~0)

UDC はすべてのパケット ID 内のアドレスとこのレジスタの内容を比較して有効なトランザクションかどうかを判断します。USB リセットにより、00H に初期化されます。

3.16.3.17 EOPレジスタ

このレジスタは、コントロール転送のデータフェーズ終了時、またバルク IN、インターラプト IN 転送でのショートパケット送信時に使用します。

	7	6	5	4	3	2	1	0
EOP (07CFH) bit Symbol	EP7_EOPB	EP6_EOPB	EP5_EOPB	EP4_EOPB	EP3_EOPB	EP2_EOPB	EP1_EOPB	EP0_EOPB
Read/Write	W	W	W	W	W	W	W	W
リセット後	1	1	1	1	1	1	1	1

注 1) EOP<EP7_EOPB、EP6_EOPB、EP5_EOPB、EP4_EOPB>レジスタは TMP92CF30 では使用しません。

注 2) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタ
イト後、420ns 以上のダミー命令を挿入してください。

コントロール転送のデータフェーズにおいて、送信すべきデータを FIFO に全てライトした時、または、受信すべきデータを全てリードした時、EP0_EOPB ビットに“0”をライトしてください。UDC は、この信号をもってステータスステージ終了へと移行します。

バルク IN、インターラプト IN エンドポイントにおいて、ショートパケットを送信する場合、送信するデータのライト終了信号として使用します。この時、ライトしたエンドポイントに対応する EOPB ビットに“0”をライトしてください。必要のないビットには“1”をライトしてください。

Not Recommended for New Design

3.16.3.18 Port Statusレジスタ

このレジスタは、プリンタクラス対応のリクエスト受信時に使用します。
GET_PORT_STATUS リクエスト受信には、このレジスタに格納されているデータを使用することによって自動的に応答します。

	7	6	5	4	3	2	1	0
Port Status (07E0H)								
bit Symbol	Reserved7	Reserved6	PaperError	Select	NotError	Reserved2	Reserved1	Reserved0
Read/Write	W	W	W	W	W	W	W	W
リセット後	0	0	0	1	1	0	0	0

注)TMP92CF30ではプリンタクラスに対応していないためこのレジスタは使用しません。

リクエスト受信前にデータがセットされている必要があります。このレジスタは、全ビットライト可能ですので、Reserved ビットには“0”をライトしてください。

このレジスタはリセットにより、“18H”に初期化されます。

3.16.3.19 Standard Request Modeレジスタ

このレジスタは、スタンダードリクエストに対する応答をハードウェアで自動的に行うか、ソフトウェアにて制御するかを設定するレジスタです。各ビットがリクエストの種類を表します。

対象ビットを“0”にリセットすることにより、ハードウェアによる自動応答となり、“1”にセットすることにより、ソフトウェアでの制御となります。自動応答時にリクエストを受信した場合には、割り込み信号(INT_SETUP、INT_EP0、INT_STAS、INT_STASN)をディセーブルし、ソフトウェア制御時にリクエストを受信した場合には、割り込み信号をアサートし、制御権をソフトウェアに移します。

	7	6	5	4	3	2	1	0
Standard Request Mode (07D8H)								
bit Symbol	S_Interface	G_Interface	S_Config	G_Config	G_Descript	S_Feature	C_Feature	G_Status
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

- G_Status (Bit 0) : GET_STATUS
- C_Feature (Bit 1) : CLEAR_FEATURE
- S_Feature (Bit 2) : SET_FEATURE
- G_Descript (Bit 3) : GET_DESCRIPTOR
- G_Config (Bit 4) : GET_CONFIGURATION
- S_Config (Bit 5) : SET_CONFIGURATION
- G_Interface (Bit 6) : GET_INTERFACE
- S_Inteface (Bit 7) : SET_INTERFACE

3.16.3.20 Request Modeレジスタ

このレジスタは、クラスリクエストに対する応答をハードウェアで自動的に行うか、ソフトウェアにて制御するかを設定するレジスタです。各ビットがリクエストの種類を表します。

対象ビットを“0”にリセットすることにより、ハードウェアによる自動応答となり、“1”にセットすることにより、ソフトウェアでの制御となります。自動応答時にリクエストを受信した場合には、割り込み信号(INT_SETUP、INT_EP0、INT_STAS、INT_STASN)をディセーブルし、ソフトウェア制御時にリクエストを受信した場合には、割り込み信号をアサートし、制御権をソフトウェアに移します。

	7	6	5	4	3	2	1	0
Request Mode (07D9H)								
bit Symbol		Soft_Reset	G_Port_Sts	G_DeviceId				
Read/Write		R/W	R/W	R/W				
リセット後		0	0	0				

注)TMP92CF30では、プリンタクラスは自動応答に対応していないため、このレジスタは使用しません。

- — (Bit 0~3) : Reserved
- G_DeviceId (Bit 4) : GET_DEVICE_ID
- G_Port_Sts (Bit 5) : GET_PORT_STATUS
- Soft_Reset (Bit 6) : SOFT_RESET
- — (Bit 7) : Reserved

注 1) SET_ADDRESS リクエストについては、自動応答のみのサポートとなります。

注 2) SET_DESCRIPTOR、SYNCH_FRAMEについては、ソフトウェアでのみの制御となります。

注 3) ベンダーリクエスト、プリンタクラスなどのクラスリクエストについてもソフトウェアでのみの制御となります。

注 4) INT_SETUP、INT_EP0、INT_STAS、INT_STASNの割り込みは、ソフトウェア制御時のみアサートします。

3.16.3.21 COMMANDレジスタ

このレジスタは、エンドポイントごとにコマンドを設定するレジスタです。ビット 6~4にてエンドポイントの選択を、ビット 3~0 でコマンドの種類を設定することができます。サポートしていないエンドポイントに対して発行されたコマンドは無視されます。

	7	6	5	4	3	2	1	0
COMMAND (07D0H)								
bit Symbol		EP[2]	EP[1]	EP[0]	Command[3]	Command[2]	Command[1]	Command[0]
Read/Write		W	W	W	W	W	W	W
リセット後		0	0	0	0	0	0	0

注) このレジスタにライトする場合、12MHzの5クロック分のリカバリタイムを必要とします。このレジスタライト後、420ns以上のダミー命令を挿入してください。

- EP[2:0] (Bit 6~4)

- 000: エンドポイント 0 を選択します
- 001: エンドポイント 1 を選択します
- 010: エンドポイント 2 を選択します
- 011: エンドポイント 3 を選択します

- COMMAND[3:0] (Bit 3~0)

- 0000: Reserved
- 0001: Reserved
- 0010: SET_DATA0

該当エンドポイントのトグルシーケンスビットをクリアします。(EP0~3) このコマンドが入力されると該当エンドポイントのトグルシーケンスビットを強制的に“0”に設定します。転送によるデータトグルの更新はUDCにより自動的に行われますが、エンドポイントのトグルシーケンスビットを強制的に“0”に戻す場合は、このコマンドを実行する必要があります。コントロール転送とアイソクロナス転送では、すべてハードウェアで制御するため、このコマンドを実行する必要はありません。

- 0011: RESET

該当エンドポイントをリセットします。(EP0~3) このコマンドが入力されると該当エンドポイントの初期化を行います。

CLEAR_FEATURE リクエストによるエンドポイントのSTALLをクリアする場合には、このコマンドを実行してください。(転送のモードには影響を与えません。)

このコマンドによって初期化される項目は以下の通りです。

- 該当エンドポイントのトグルシーケンスビットをクリアします
- 該当エンドポイントのSTALLをクリアします
- FIFO_ENABLE 状態に設定します。
- FIFOのデータをクリアします。

- 0100: STALL

該当エンドポイントをSTALLさせます。(EP0~3) デバイスリクエストに対する応答として、STALLハンドシェイクを返信する必要がある場合には、このコマンドを実行してください。

- 0101: INVALID

該当エンドポイントを使用禁止状態にします。(EP1~3) UDCは、USBホストからのUSB_RESET信号を検出すると、自動的にエンドポイント0を除くすべてのエンドポイントを使用禁止状態にします。デバイスリクエストによりコンフィグ、インターフェースが変更された場合は、使用しないエンドポイントを使用禁止状態にする必要があります。

- 0110: CREATE_SOF

擬似SOF発生機能をイネーブルにします。(EP0) デフォルトは、ディセーブルに設定されており、アイソクロナス転送使用時に必要となります。詳細については、弊社技術部までお問い合わせください。

- 0111: FIFO_DISABLE

該当エンドポイントのFIFOをディセーブルにします。(EP1~3) 外部からこのコマンドがセットされると、該当エンドポイントに対する転送は、トグルエラー以外はすべてNAKを返信します。これが、外部からセットされたとき、パケットを受信中であれば、次のトークンから有効となります。転送実行中のパケットには影響を与えません。

1000: FIFO_ENABLE	該当エンドポイントの FIFO をイネーブルにします。(EP1~3) FIFO_DISABLE コマンドによって FIFO をディセーブルにしたとき、ディセーブル状態を解除するのに使用します。この場合もパケットを受信中であれば、次のトークンから有効となります。ホストからの USB_RESET 検出、SET_CONFIG、SET_INTERFACE リクエストによって転送モード設定を行ったとき、および RESET コマンド実行時に、該当エンドポイントは FIFO_ENABLE の状態になります。
1001: INIT_DESCRIPTOR	システム動作中にディスクリプタ RAM を書き替えた場合に使用します。(EP0) UDC はホストコントローラからの USB_RESET を検出すると、自動的にディスクリプタ RAM の中身を読み込み、各種設定を行います。システムが動作中にディスクリプタ RAM を変更した場合には、再度設定を読み直す必要がありますので、このコマンドを実行してください。USB ホストに接続した際は、自動的にリードを開始しますので、このコマンドを実行する必要はありません。
1010: FIFO_CLEAR	該当エンドポイントの FIFO を初期化します。(EP1~3) ただし、EPx_STATUS<TOGGLE>は初期化しません。 ソフトウェアによるリセットの場合には、このコマンドを実行してください このコマンドによって初期化される項目は以下の通りです。 <ul style="list-style-type: none">• 該当エンドポイントの STALL をクリアします• FIFO_ENABLE 状態に設定します。• FIFO のデータをクリアします。
1011: STALL_CLEAR	該当エンドポイントの STALL をクリアします。(EP1~3) エンドポイントの STALL のみをクリアする場合には、このコマンドを実行してください。

Not Recommended for New Design

3.16.3.22 INT_Controlレジスタ

このレジスタにライトする値により、INT_STASN 割り込みをディセーブル、イネーブルにします。

外部リセットによりディセーブルに初期化されます。また、セットアップパケットを受信時にディセーブルとします。

	7	6	5	4	3	2	1	0
INT_Control (07D6H)								
bit Symbol								Status_nak
Read/Write								R/W
リセット後								0

INT_STASN 割り込みは、コントロールリード転送において、ホストが wLength で指定したデータ長よりも、少ないデータ長でデータフェーズを終了した場合に、デバイス側とステージ管理の同期がとれなくなるため、ステータスステージに移行したことを知らせる目的で追加してあります。必要な場合は、セットアップパケット受信後にイネーブルにしてください。

- STATUS_NAK (Bit0)

0: INT_STASN 割り込み

ディセーブル

1: INT_STASN 割り込み

イネーブル

3.16.3.23 USB STATEレジスタ

USB ホストとの通信における、現在のデバイスのステートを表示します。

	7	6	5	4	3	2	1	0
USB STATE (07CEH)								
bit Symbol						Configured	Addressed	Default
Read/Write						R/W	R	R
リセット後						0	0	1

注) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタライト後、420ns 以上のダミー命令を挿入してください。

UDC 内部では、この Configured、Addressed、Default ビットを参照して各デバイスリクエストへの応答を管理しています。SET_CONFIG リクエストに対する処理をソフトウェアで行う場合、このレジスタに現在のステートをライトする必要があります。ホストよりコンフィグ 0 が指定された場合、Unconfigured となり、Addressed ステートに戻る必要があります。このため、コンフィグ 0 が指定された場合には、ビット 2 に“0”をライトする必要があります。

Configured ビット (ビット 2) に“0”がライトされたとき、ハードウェアにて Addressed ビット (ビット 1) を自動的に“1”にセットします。デバイスがサポートしているコンフィグ値をホストから指定されたとき、デバイスはそのコンフィグディスクリプタ中のエンドポイントディスクリプタにて指定されている値で、各エンドポイントのモード設定を行う必要があります。

モード設定終了後、EOP レジスタをアクセスする前に、この Configured ビット (ビット 2) を“1”にセットしてください。このビットが“1”にセットされたとき、Addressed ビット (ビット 1) は自動的に“0”にリセットされます。

- Bit2~0

001: Default

010: Addressed

100: Configured

3.16.3.24 EPx_MODEレジスタ

エンドポイントの転送モードを設定するレジスタです。(EP1~3)
SET_CONFIG、SET_INTERFACE の処理をソフトウェアでの制御する場合、このレジスタをアクセスしてモード設定を行ってください。

	7	6	5	4	3	2	1	0	
EP1_MODE (0789H)	bit Symbol			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0
EP2_MODE (078AH)	bit Symbol			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0
EP3_MODE (078BH)	bit Symbol			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0

ライト可能なタイミングは制約があります。

SET_CONFIG、SET_INTERFACE リクエストに対する処理をソフトウェア制御とした場合、INT_SETUP 割り込みを受信してから、EOP レジスタをアクセスするまでの間にライトを終了させてください。その他のタイミングではライト禁止とします。

注 1) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタ
ライト後、420ns 以上のダミー命令を挿入してください。

注 2) このレジスタに書き込みを行った場合、COMMAND レジスタの RESET と同等の初期化が行われます。

- DIRECTION (Bit0)

0: OUT ホストからデバイスへの向き
1: IN デバイスからホストへの向き

- MODE[1:0] (Bit2, 1)

00: コントロール転送
01: アイソクロナス転送
10: バルク転送、またはインターラプト転送
11: インターラプト (トグルなし)

- PAYLOAD[2:0] (Bit3, 4, 5)

000: 8 バイト
001: 16 バイト
010: 32 バイト
011: 64 バイト
100: 128 バイト
101: 256 バイト
110: 512 バイト
111: 1023 バイト (注 1)

注 1) アイソクロナス転送の最大パケットサイズは、1023 バイトです。

注 2) ディスクリプタの wMaXPacketSize に 8、16、…、1023 以外を指定した場合、Set_Configuration、Set_Interface の自動応答によって、ディスクリプタ値より大きい Payload が設定されます。

- Others (Bit6, 7) Reserved

3.16.3.25 EPx_SINGLEレジスタ

各エンドポイントの FIFO のモード (SINGLE/DUAL) を設定するレジスタです。

	7	6	5	4	3	2	1	0
EPx_SINGLE1 (07D1H)								
bit Symbol	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_SINGLE	EP2_SINGLE	EP1_SINGLE	
Read/Write	R/W	R/W	R/W		R/W	R/W	R/W	
リセット後	0	0	0		0	0	0	

注) エンドポイント 3 は TMP92CF30 ではシングルモードのみ対応しています。

- Bit 0: 未使用
 1: EP1_SINGLE
 2: EP2_SINGLE
 3: EP3_SINGLE
 4: 未使用
 5: EP1_SELECT
 6: EP2_SELECT
 7: EP3_SELECT

EPx_SINGLE ビットは、EPx_SELECT ビットが“1”のときに以下の内容が有効になります。

0: DUAL モード 1: SINGLE モード

EPx_SELECT ビットは、EPx_SINGLE ビットの内容を有効にするときに“1”にセットしてください。

0: 無効 1: 有効

3.16.3.26 EPx_BCSレジスタ

各エンドポイントの FIFO への CPU アクセスモードを有効にするレジスタです。

	7	6	5	4	3	2	1	0
EPx_BCS1 (07D3H)								
bit Symbol	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_BCS	EP2_BCS	EP1_BCS	
Read/Write	R/W	R/W	R/W		R/W	R/W	R/W	
リセット後	0	0	0		0	0	0	

- Bit 0: 未使用
 1: EP1_BCS
 2: EP2_BCS
 3: EP3_BCS
 4: 未使用
 5: EP1_SELECT
 6: EP2_SELECT
 7: EP3_SELECT

EPx_BCS ビットは、エンドポイント使用の有無にかかわらず、必ず“1”に設定してください。

0: Reserved 1: CPU アクセス

EPx_SELECT ビットは、EPx_BCS ビットの内容を有効にするときに“1”にセットしてください。

0: 無効 1: 有効

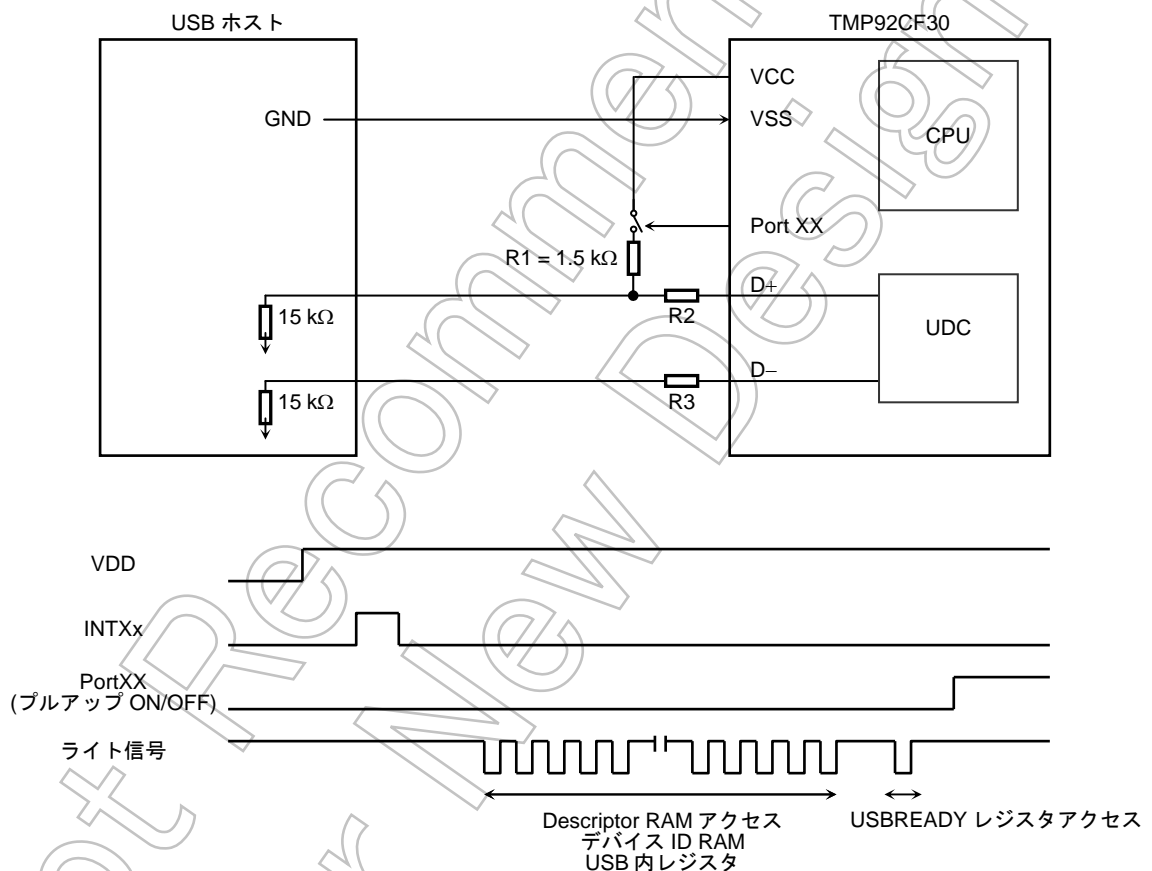
3.16.3.27 USBREADYレジスタ

これは、ディスクリプタ RAM に、データのライトが終了したことを UDC に知らせるためのレジスタです。ディスクリプタ RAM にデータを格納後、必ず Bit0 に“0”をライトしてください。

	7	6	5	4	3	2	1	0
bit Symbol								USBREADY
Read/Write								R/W
リセット後								0

Bit0: USBREADY

- 0: ディスクリプタ RAM へのライトが終了したことを示します。
 - 1: ディスクリプタ RAM へのライトが可能であることを示します。
- (ただし、ホストと接続されている状態でのディスクリプタ RAM ライトは行わないでください。)



USB ケーブルからの VDD 信号のレベルを検出し、初期化するシーケンスを入れてください。このとき、UDC は、USB_RESET 解除後、USBREADY レジスタに“0”をライトするまでは、USB_RESET 信号の検出をディセーブルします。

これは、D+信号上のプルアップ抵抗を制御信号にてコントロールする場合において、プルアップ抵抗が OFF 状態でホストと接続されているとき、ホスト側のプルダウン抵抗により USB_RESET 信号と等価な状態となるため、USBREADY レジスタに“0”をライトするまでは、USB_RESET の検出をしないようにしてあります。

注1) プルアップ抵抗およびコントロールスイッチは TMP92CF30 の外部で必要になります。

注2) 上記は通信時の接続例となります。コネクタ接続検出、未使用・未接続時の貫通電流対策の回路が別途必要となります。

3.16.3.28 Set Descriptor STALLレジスタ

このレジスタは、Set Descriptor リクエストに対して、データステージまたはステータスステージで自動的に STALL を返送するかどうかを設定するレジスタです。

	7	6	5	4	3	2	1	0
Set Descriptor STALL (07E8H)								S_D_STALL
Read/Write								W
リセット後								0

Bit0: S_D_STALL

- 0: ソフトウェア制御 (デフォルト)
- 1: 自動 STALL

3.16.3.29 Descriptor RAMレジスタ

このレジスタは、ディスクリプタを RAM に格納する際に使用します。ディスクリプタのサイズは、384 バイトです。ただし、ディスクリプタを格納する際は、ディスクリプタ RAM 構成例に従ったフォーマットでライトする必要があります。

	7	6	5	4	3	2	1	0
Descriptor RAM (0500H) ? (067FH)	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

RD/WR 可能なタイミングは、USB_RESET 検出前、および、SET_DESCRIPTOR リクエスト処理中のみです。

この SET_DESCRIPTOR リクエスト処理期間は、INT_SETUP アサートから、EOP レジスタをアクセスするまでです。また、SET_DESCRIPTOR にてディスクリプタの書き替え要求があった場合、以下のシーケンスでリクエストを処理してください。

- 1) SET_DESCRIPTOR リクエストで転送されたディスクリプタをパケットごとにリードしてください。
- 2) 最後のパケット分のディスクリプタをリード終了したら、ディスクリプタ用の RAM に全ディスクリプタをライトしてください。
- 3) ライト終了後、COMMAND レジスタの INIT_DESCRIPTOR を実行してください。
- 4) 以上の処理が終了しましたら、EOP レジスタをアクセスし、ステータスステージを終了させます。
- 5) INT_STAS 割り込みを受信したら、ステータスステージの正常終了を表します。

USB_RESET を検出すると自動的にリードを開始しますので、ホストに接続した際は、INIT_DESCRIPTOR コマンドを実行する必要はありません。

3.16.4 ディスクリプタRAM

USB 仕様で定義されるディスクリプタを格納するエリアです。デバイス、コンフィグ、インタフェース、エンドポイント、ストリングディスクリプタを以下のフォーマットでRAMにセットする必要があります。

Device Descriptor	18 バイト
Config1 Descriptor (Interfaces、Endpoint)	255 バイト以下
Config2 Descriptor (Interfaces、Endpoint)	255 バイト以下
String0 Length	1 バイト
String 1 Length	1 バイト
String 2 Length	1 バイト
String 3 Length	1 バイト
String 0 Descriptor	63 バイト以下
String 1 Descriptor	63 バイト以下
String 2 Descriptor	63 バイト以下
String 3 Descriptor	63 バイト以下

注 1) String Descriptor をサポートしない場合、StringxLength のエリアは、サイズ 0 としてください。未サポートストリングディスクリプタに対しては、STALL を返信します

注 2) Config Descriptor の説明はディスクリプタ例を参照してください。

注 3) UDC 内部のシーケンサにてコンフィグ数、インタフェース数、エンドポイント数を決定しますので、サポートするエンドポイント数が少なければ、アドレスを詰めて割り当ててください。

注 4) この機能はディスクリプタをRAMとして格納する場合のみ効果的です。

注 5) RAM サイズは全部で 384 バイトです。

注 6) ディスクリプタ RAM の RD/WR での可能なタイミングは USB_RESET および SET_DESCRIPTOR リクエストの処理前のみです。(このタイミング以外のアクセスを禁止します。) ライトは USB ホストに接続、および SET_DESCRIPTOR リクエストの処理の前に終了しなければなりません。この SET_DESCRIPTOR リクエスト処理時間は INT_SETUP アサートから EOP レジスタのアクセスまでの間となっています。

注 7) 標準ディスクリプタ以外のクラス・ディスクリプタやベンダー・ディスクリプタなどは、自動応答にて対応できません。

ディスクリプタ RAM 設定例:

アドレス	DATA	Description	Description
Device Descriptor			
500H	12H	bLength	
501H	01H	bDescriptorType	Device Descriptor
502H	00H	bcdUSB (L)	USB Spec 1.00
503H	01H	bcdUSB (H)	lfc's specify own
504H	00H	bDeviceClass	
505H	00H	bDeviceSubClass	
506H	00H	bDevicEProtocol	
507H	08H	bMAXPacketSize0	
508H	6CH	bVendor (L)	Toshiba
509H	04H	bVendor (H)	
50AH	01H	idProduct (L)	
50BH	10H	idProduct (H)	
50CH	00H	bcdDevice (L)	Release 1.00
50DH	01H	bcdDevice (H)	
50EH	00H	bManufacture	
50FH	00H	iProduct	
510H	00H	bSerialNumber	
511H	01H	bNumConfiguration	
Config1 Descriptor			
512H	09H	bLength	
513H	02H	bDescriptorType	Config Descriptor
514H	4EH	wtotalLength (L)	78 byte
515H	00H	wtotalLength (H)	
516H	01H	bNumInterfaces	
517H	01H	bConfigurationValue	
518H	00H	iConfiguration	
519H	A0H	bmAttributes	Bus powered-remote wakeup
51AH	31H	MaxPower	98 mA
Interface0 Descriptor AlternateSetting0			
51BH	09H	bLength	
51CH	04H	bDescriptorType	Interface Descriptor
51DH	00H	bInterfaceNumber	
51EH	00H	bAlternateSetting	AlternateSetting0
51FH	01H	bNumEndpoints	
520H	07H	bInterfaceClass	
521H	01H	bInterfaceSubClass	
522H	01H	bInterfaceProtocol	
523H	00H	iInterface	
Endpoint1 Descriptor			
524H	07H	bLength	
525H	05H	bDescriptorType	Endpoint Descriptor
526H	01H	bEndpointAddress	OUT
527H	02H	bmAttributes	BULK
528H	40H	wMaxpacketSize (L)	64 byte
529H	00H	wMaxpacketSize (H)	
52AH	00H	bInterval	

アドレス	DATA	Description	Description
Interface0 Descriptor AlternateSetting1			
52BH	09H	bLength	
52CH	04H	bDescriptorType	Interface Descriptor
52DH	00H	bInterfaceNumber	
52EH	01H	bAlternateSetting	AlternateSetting1
52FH	02H	bNumEndpoints	
530H	07H	bInterfaceClass	
531H	01H	bInterfaceSubClass	
532H	02H	bInterfaceProtocol	
533H	00H	iInterface	
Endpoint1 Descriptor			
534H	07H	bLength	
535H	05H	bDescriptorType	EndpointDescriptor
536H	01H	bEndpointAddress	OUT
537H	02H	bmAttributes	BULK
538H	40H	wMaxPacketSize (L)	64 byte
539H	00H	wMaxPacketSize (H)	
53AH	00H	bInterval	
Endpoint2 Descriptor			
53BH	07H	bLength	
53CH	05H	bDescriptorType	Endpoint Descriptor
53DH	82H	bEndpointAddress	IN
53EH	02H	bmAttributes	BULK
53FH	40H	wMaxpacketSize (L)	64 byte
540H	00H	wMaxpacketSize (H)	
541H	00H	bInterval	
Interface0 Descriptor AlternateSetting2			
542H	09H	bLength	
543H	04H	bDescriptorType	Interface Descriptor
544H	00H	bInterfaceNumber	
545H	02H	bAlternateSetting	AlternateSetting2
546H	03H	bNumEndpoints	
547H	FFH	bInterfaceClass	
548H	00H	bInterfaceSubClass	
549H	FFH	bInterfaceProtocol	
54AH	00H	iInterface	
Endpoint1 Descriptor			
54BH	07H	bLength	
54CH	05H	bDescriptorType	Endpoint Descriptor
54DH	01H	bEndpointAddress	OUT
54EH	02H	bmAttributes	BULK
54FH	40H	wMaxpacketSize (L)	64 byte
550H	00H	wMaxpacketSize (H)	
551H	00H	bInterval	
Endpoint2 Descriptor			
552H	07H	bLength	
553H	05H	bDESCRIPTORType	Endpoint Descriptor
554H	82H	bEndpointAddress	IN
555H	02H	bmAttributes	BULK
556H	40H	wMaxpacketSize (L)	64 byte
557H	00H	wMaxpacketSize (H)	
558H	00H	bInterval	

アドレス	DATA	Description	Description
Endpoint3 Descriptor			
559H	07H	bLength	
55AH	05H	bDESCRIPTORType	ENDPOINT DESCRIPTOR
55BH	83H	bEndpointAddress	IN
55CH	03H	bmAttributes	INTERRUPT
55DH	08H	wMaxpacketSize (L)	8 byte
55EH	00H	wMaxpacketSize (H)	
55FH	01H	bInterval	1 ms
String Descriptor Length SETUP Area			
560H	04H	bLength	Length of String Descriptor0
561H	10H	bLength	Length of String Descriptor 1
562H	00H	bLength	Length of String Descriptor 2
563H	00H	bLength	Length of String Descriptor 3
String Descriptor0			
564H	04H	bLength	
565H	03H	bDescriptorType	String Descriptor
566H	09H	bString	Language ID 0x0409
567H	04H	bString	
String Descriptor1			
568H	10H	bLength	
569H	03H	bDescriptorType	String Descriptor
56AH	00H	bString	(Toshiba)
56BH	54H	bString	T
56CH	00H	bString	
56DH	6FH	bString	o
56EH	00H	bString	
56FH	73H	bString	s
570H	00H	bString	
571H	68H	bString	h
572H	00H	bString	
573H	69H	bString	i
574H	00H	bString	
575H	62H	bString	b
576H	00H	bString	
577H	61H	bString	a
String Descriptor2			
String Descriptor3			

3.16.5 デバイスリクエスト

3.16.5.1 スタンダードリクエスト

UDC はスタンダードリクエストについて、自動応答をサポートしております。

(1) GET_STATUS リクエスト

このリクエストにより、指定された受信側のステータスを自動的に返信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000000B	GET_STATUS	0	0	2	Device, Interface あるいは Endpoint Status
10000001B			Interface		
10000010B			Endpoint		

デバイスへのリクエストについては、以下の情報をリトルエンディアン順に返信します。

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	Remote Wakeup	Self Power
D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0

- RemoteWakeup 現在のリモートウェイクアップの設定を返信します。このビットは、SET_FEATURE、CLEAR_FEATURE リクエストにより、セットあるいはリセットされます。デフォルトは、0 となります。
- SelfPower 現在の電源設定を返信します。コンフィグディスクリプタ内の bmAttributes フィールドに設定している値に応じて、Self、BusPower どちらかの値を返信します。

インタフェースへのリクエストについては、2 バイト分 00H を返信します。

エンドポイントへのリクエストについては、以下の情報をリトルエンディアン順に返信します。

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	HALT
D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0

- HALT 選択されたエンドポイントの HALT ステータスを返信します。

(2) CLEAR_FEATURE リクエスト

このリクエストにより、特定の機能をクリアまたはディセーブルします。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	CLEAR_	Feature	0	0	なし
00000001B	FEATURE	Selector	Interface Endpoint		
00000010B					

- 受信側デバイス

FeatureSelector: 1 現在のリモートウェイクアップの設定をディセーブルします。

FeatureSelector: 1 以外 STALL します。

- 受信側インタフェース

STALL します。

- 受信側エンドポイント

FeatureSelector: 0 該当エンドポイントの HALT をクリアします。

注) HALT のクリアとしては、以下の設定を行います。

・FIFO の初期化

・トグルシーケンスビットのクリア

・STALL 状態のクリア

FeatureSelector: 0 以外 STALL します。

注) 存在しないエンドポイントへのリクエストの場合、STALL します。

(3) SET_FEATURE リクエスト

このリクエストにより、特定の機能を設定またはイネーブルします。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	SET_	Feature	0	0	なし
00000001B	FEATURE	Selector	Interface Endpoint		
00000010B					

- 受信側デバイス

FeatureSelector: 1 現在のリモートウェイクアップの設定をイネーブルにします。

FeatureSelector: 1 以外 STALL します。

- 受信側インタフェース

STALL します。

- 受信側エンドポイント

FeatureSelector: 0 該当エンドポイントを HALT させます。

FeatureSelector: 0 以外 STALL します。

注) 存在しないエンドポイントへのリクエストの場合、STALL します。

(4) SET_ADDRESS リクエスト

このリクエストにより、デバイスアドレスを設定します。後続のリクエストは、ここで設定されたデバイスアドレスを使用して応答します。

このリクエストのステータスステージが正常に完了するまでは、以前のデバイスアドレスで応答します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
0000000B	SET_ADDRESS	Device Address	0	0	なし

(5) GET_DESCRIPTOR リクエスト

このリクエストにより、指定されたディスクリプタを返信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
1000000B	GET_DESCRIPTOR	Descriptor Type および Descriptor Index	0 あるいは Language ID	Descriptor Length	Descriptor

- デバイス ディスクリプタ RAM に格納されたデバイスディスクリプタを送信します。
- コンフィグ ディスクリプタ RAM に格納されたコンフィグディスクリプタを送信します。
このとき、コンフィグディスクリプタの次に続くインタフェース、エンドポイントディスクリプタについても続けて送信します。
- スtring wValue フィールドの下位バイトで指定されたインデックスの String ディスクリプタを送信します。

注) Get_Descriptor の自動応答によって「wLength」と「ディスクリプタタイプで定義された、ディスクリプタ長」を比較し、短いデータ長のディスクリプタを送信します。

(6) SET_DESCRIPTOR リクエスト

このリクエストにより、特定の機能を設定またはイネーブルします。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	SET_DESCRIPTOR	Descriptor Type および Descriptor Index	0 あるいは Language ID	Descriptor Length	Descriptor

このリクエストの自動応答については、未サポートです。

INT_SETUP 割り込みに応じて、受信したリクエストが、SET_DESCRIPTOR リクエストであることを判別した場合、DATASET レジスタの EPO_DSET_A ビットが“1”になっているのを確認し、データを引き取ってください。終了時には、EOP レジスタをアクセスし、EPO_EOPB ビットに“0”をライトするとステータスステージを終了します。処理としては、ベンダーリクエストと同様になりますので、詳細については、ベンダーリクエストの項を参照してください。

(7) GET_CONFIGURATION リクエスト

このリクエストにより、現在のデバイスのコンフィギュレーション値を送信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000000B	GET_CONFIG	0	0	1	Configuration Value

未構成時には、“0”を返信します。構成時には、そのコンフィギュレーション値を返信します。

(8) SET_CONFIGURATION リクエスト

このリクエストにより、デバイス構成を設定します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	SET_CONFIG	Configuration Value	0	0	なし

wValue フィールドの下位バイトで指定された値でコンフィギュレーションします。この値が“0”のときは、未構成になります。

(9) GET_INTERFACE リクエスト

このリクエストにより、指定されたインタフェースで設定されている AlternateSetting 値を返信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000001B	GET_INTERFACE	0	Interface	1	AlternateSetting

指定されたインタフェースが存在しない場合、STALL します。

(10) SET_INTERFACE リクエスト

このリクエストにより、指定したインタフェースにおける AlternateSetting を選択します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000001B	SET_INTERFACE	AlternateSetting	Interface	0	なし

指定されたインタフェースが存在しない場合、STALL します。

(11) SYNCH_FRAME リクエスト

このリクエストにより、エンドポイントの同期フレームを送信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000010B	SYNCH_FRAME	0	Endpoint	3	Frame No

このリクエストの自動応答については、未サポートです。

INT_SETUP 割り込みに応じて、受信したリクエストが SYNCH_FRAME であることを判別した場合、DATASET レジスタの EP0_DSET_A ビットが“0”になっているのを確認し、Frame No の 2 バイトのデータのライトを行ってください。終了時には、EOP レジスタをアクセスし、EP0_EOPB ビットに“0”をライトするとステータスステージを終了します。エンドポイントがアイソクロナス転送をサポートし、かつこのリクエストをサポートする場合のみ使用することができます。処理の方法としては、ベンダーリクエストと同様ですので、詳細については、ベンダーリクエストの項を参照してください。

3.16.5.2 プリンタクラスリクエスト

UDC はプリンタクラスのリクエストの自動応答はサポートしていません。INT_SETUP 割り込みに応じて、クラスリクエストに対する処理を行ってください。その場合の処理は、ベンダーリクエストに対する処理と同様になります。

3.16.5.3 ベンダーリクエスト (クラスリクエスト)

UDC はベンダーリクエストの自動応答はサポートしていません。

INT_SETUP 割り込みに応じて、デバイスリクエストが格納されたレジスタをアクセスして、受信したリクエストの判別を行い、そのリクエストがベンダーリクエストであった場合、外部から UDC を操作して、それに対応する処理を行う必要があります。

以下に、データフェーズが送信 (コントロールリード) と受信の場合 (コントロールライト) とに分けて説明します。

(a) コントロールリードリクエスト

bmRequestType	bRequest	wValue	wIndex	wLength	Data
110000xxB	ベンダー固有	ベンダー固有	ベンダー固有	ベンダー固有 (0 以外)	Vender Data

アプリケーションは、INT_SETUP 割り込みを受け付け後、受信したリクエストの内容を bmRequestType、bRequest、wValue、wIndex、wLength レジスタから判定し、そのリクエストに対応した処理を行ってください。

アプリケーションは、リクエストの判定を行った後、Setup_Received レジスタをアクセスし、INT_SETUP 割り込みを認識したことを UDC に知らせる必要があります。

次に DATASET レジスタをアクセスし、EPO_DSET_A ビットが“0”になっているのを確認して、エンドポイント 0 の FIFO にデータをライトしてください。(ペイロード以上のデータを送信する場合には、DATASET レジスタの EPO_DSET_A のビットをポーリングし、“0”であることを確認してからデータをライトしてください。INT_EPO 割り込み信号でも対応可能です)

すべてのデータをライトし終わったら、EOP レジスタの EPO のビットに“0”をライトしてください。UDC はこれを受け、ステータスステージを自動的に終了します。

また、UDC は正常にステータスステージを終了すると、INT_STAS 割り込みをアサートします。

外部のアプリケーションがステータスステージの正常終了を確認したい場合には、INT_STAS 割り込みを使用してステージの管理を行ってください。ステータスステージを正常に終了できなかった場合や、ステータスステージ中にもかかわらず新規の SETUP トークンを受信することがあります。この場合、INT_SETUP 割り込み信号アサート時に、EPO_STATUS レジスタの STAGE_ERROR ビットが“1”に変化し、外部にステータスステージを正常に終了できなかったことを知らせます。

また、USB のコントロールリード転送におけるプロトコルにて、wLength に示された値よりも短いデータ数でデータフェーズが終わることがあります。この場合、INT_STASN 割り込み信号によりステータスステージへの移行を知ることができます。通常、ベンダーリクエストの場合、ドライバー側にて受信バッファサイズをホストコントローラーにセットしますので、このようなことが発生することはありえません。

注) ホストによっては、デバイス側のペイロードサイズを把握するまでは、デバイスから 8 バイトのペイロードで送ったデータがショートパケットと認識され、見た目上、前述のケースになる場合がありますので、注意が必要です。

(b) コントロールライト/リクエスト

データフェーズがない場合

bmRequestType	bRequest	wValue	wIndex	wLength	Data
010000xxB	ベンダー固有	ベンダー固有	ベンダー固有	0	なし

アプリケーションは、INT_SETUP 割り込みを受け付け後、リクエストの内容を bmRequestType、bRequest、wValue、wIndex、wLength レジスタから判定し、そのリクエストに対応した処理を行ってください。アプリケーションは、リクエストの判定を行った後、SETUP_Received レジスタをアクセスし、INT_SETUP 割り込みを認識したことを UDC に知らせる必要があります。

アプリケーション側にて処理が終了しましたら、EOP レジスタの EP0 のビットに“0”をライトしてください。UDC はこれを受け、ステータスステージを自動的に終了します。

データフェーズがある場合

bmRequestType	bRequest	wValue	wIndex	wLength	Data
010000xxB	ベンダー固有	ベンダー固有	ベンダー固有	ベンダー固有 (0 以外)	Vender Data

アプリケーションは INT_SETUP 割り込みを受信したら、デバイスリクエストの内容を bmRequestType、bRequest、wValue、wIndex、wLength レジスタから判定し、そのリクエストに対応した処理を行ってください。アプリケーションは、リクエストの判定を行った後、SETUP_Received レジスタをアクセスし、INT_SETUP 割り込みを認識したことを UDC に知らせる必要があります。

アプリケーション側にてデータを受信する準備ができましたら、DATASET レジスタをアクセスし、EP0_DATASET が“1”であることを確認して、エンドポイント 0 の FIFO からデータをリードしてください。もしも、ペイロード以上のデータを受信する場合には、DATASET レジスタ EP0_DSET_A のビットをポーリングし、“1”になっているのを確認して次のパケットのデータをリードする必要があります (INT_EP0 割り込み信号を使用しても構いません)。すべてのデータをリードした後、EOP レジスタの EP0 のビットに“0”をライトしてください。UDC はこれを受け、ステータスステージを自動的に終了します。

UDC は、正常にステータスステージを終了しますと、INT_STAS 割り込みをアサートします。もしも外部のアプリケーションが、ステータスステージの正常終了を把握する場合には、この割り込み信号を使用して、ステージの管理を行ってください。また、ステータスステージを正常に終了できなかった場合や、同ステージ中に、新規の SETUP トークンを受信することがあります。このとき、INT_SETUP 割り込み信号アサート時に、EP0_STATUS レジスタの STAGE_ERROR ビットに“1”をたて、外部にステータスステージを正常に終了できなかったことを知らせます。

以下にアプリケーションから見た、UDC のコントロールフローを示します。

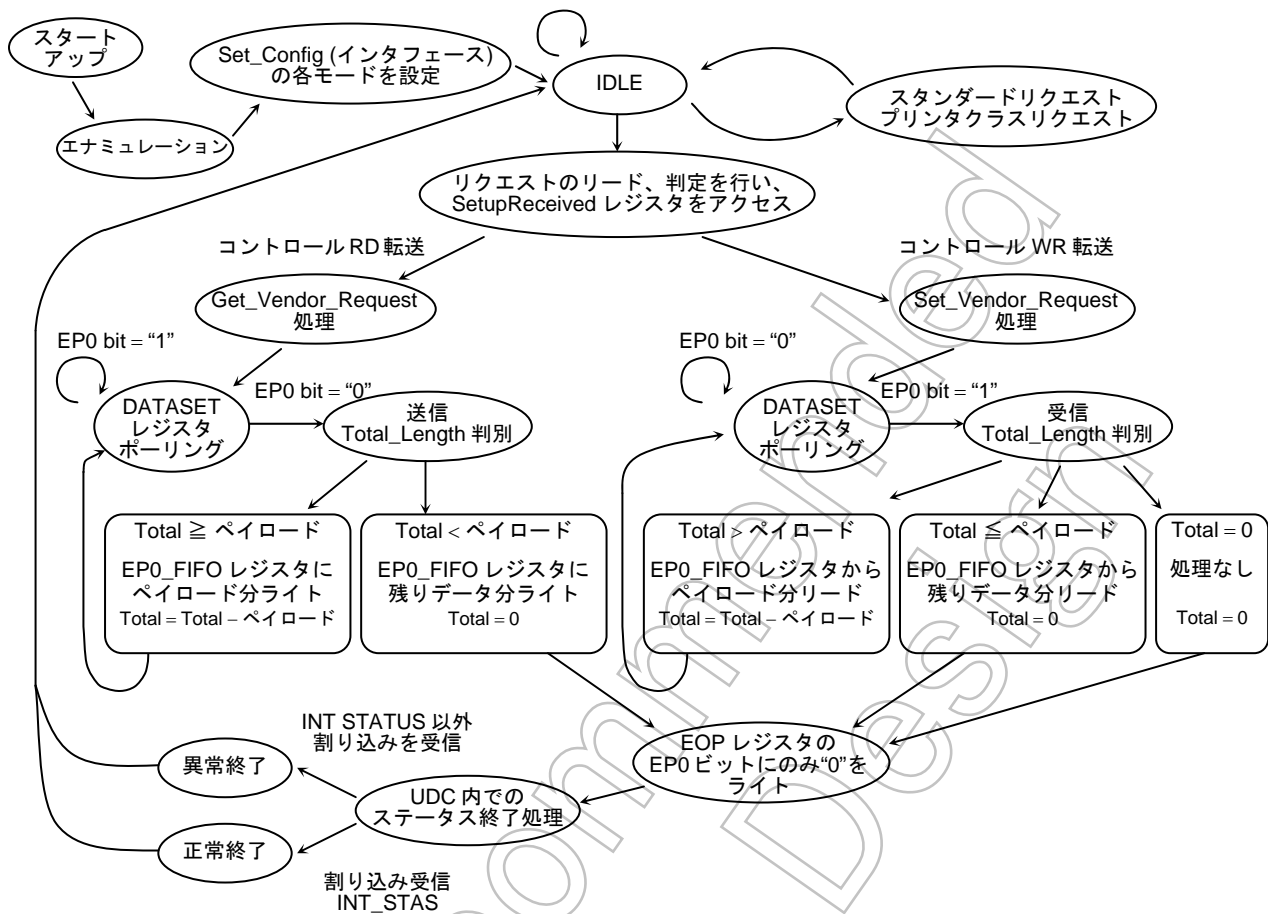


図 3.16.2 アプリケーションから見たUDC の制御フロー

注) SETUP パケットを重複して受信したような場合の特殊なケースについてのフローは明記しておりません。フローの詳細については、コントロール転送の章を参照してください。

3.16.6 転送モードとプロトコル処理

UDC はパケットの受信、アドレスエンドポイント転送モードの判定、エラー処理、データ受信パケットのトグルビット CRC 確認、データ送信パケットのトグルビット CRC を含んだ生成と、ハンドシェイク応答をハードウェアで自動的に行います。

(1) プロトコル概要

USB パケットのフォーマットは以下のように定義されており、送受信時共に UDC 内のハードウェアで処理されます。

- SYNC フィールド

各パケットの最初に必ず存在し、UDC 内部で入力データと内部 CLK の同期を取ります。

- パケット識別子フィールド (PID)

USB パケットごとに SYNC フィールドのすぐ後に続きます。このコードをデコードすることにより、UDC は PID タイプを判別し転送タイプを判断します。

- アドレスフィールド

このフィールドを使用して、UDC はホストからこのファンクションが指定されたかどうかを確認します。UDC は ADDRESS レジスタに設定されたアドレスと比較し、一致すればそれに続く処理を行い、一致しなければこのトークンを無視します。

- エンドポイントフィールド

4 ビットのフィールドで、2 つ以上のサブチャンネルを必要とする場合、そのファンクションを特定します。UDC はコントロールエンドポイントを除く、最大 7 つまでのエンドポイントをサポートすることが可能です。許可されていないエンドポイントに対するトークンは無視します。

- フレーム番号フィールド

11 ビットのフィールドは、ホストによってフレームごとにインクリメントされます。このフィールドは各フレームの一番始めに送られる SOF トークンに続いており、フレーム番号が指定されます。UDC は SOF トークン受信時にこのフィールドの内容を読み取り、FRAME レジスタにフレーム番号をセットします。

- データフィールド

このフィールドは 0~1023 バイトで、バイト単位のデータとなります。受信時、UDC はこのデータ部分だけを FIFO に転送し、CRC を確認した後、割り込み信号をアサートして FIFO へのデータ転送が終了したことを知らせます。送信時には IN トークンに続いて FIFO のデータを転送し、データの最後にデータ CRC フィールドを付加します。

- CRC 機能

トークンには 5 ビット、データには 15 ビットの CRC が付加されます。UDC は受信したデータの CRC と、付加された CRC との比較を自動的に行い、送信時には CRC を自動生成して送信します。転送モードによっては比較を行わない物があります。

(2) 転送モード

UDC はフルスピードで 4 つの転送モードをサポートしています。

- フルスピードデバイス
 - コントロール転送
 - インターラプト転送
 - バルク転送
 - アイソクロナス転送

以下に各転送モードにおける、UDC の動作について説明します。なお、各転送の動作については FIFO までのデータの流れを説明します。

(a) バルク転送

バルク転送は、エラー検出とリトライを利用してホストとファンクションとの間でエラーのない転送を保証します。基本的にはトークン、データ、ハンドシェイクの 3 フェーズを使用しますが、フロー制御およびストール条件では、データフェーズはハンドシェイクフェーズに置き換えられ、2 フェーズとなります。UDC はエンドポイントごとのステータスを保持しており、ハードウェアでフロー制御を行います。各エンドポイントの状態は EPx_STATUS レジスタにより確認することができます。

Not Recommended for New Design

(a-1) バルク送信モード

送信時のバルク転送は、以下のようなトランザクションフォーマットに従います。

- トークン : IN
- データ : DATA0/DATA1, NAK, STALL
- ハンドシェーク : ACK

制御フロー

IN トークンを受信したときの UDC 内部の制御フローを以下に示します。

1. トークンパケットを受け取り、アドレス・エンドポイント番号エラーを確認し、該当エンドポイントの転送モードが IN トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. EPx_STATUS レジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
 - STALL 状態 : ストールハンドシェークを返し、IDLE に戻ります。FIFO の状態を確認し、1 パケット分のデータが準備されていなければ、NAK ハンドシェークを返し、IDLE に戻ります。1 パケット分のデータが FIFO に準備されていれば、3 へ移行します。
3. データパケットの生成に移行します。

UDC 内部のトグルビットレジスタを使用して、データパケットを生成します。

次に、UDC 内部の FIFO から SIE へデータを転送しデータパケットを生成します。このとき転送されるデータ数を確認し、各エンドポイントの MAX ペイロードサイズ以上のデータがある場合、ビットスタフエラーを起こさせて、その転送を終了させ、STATUS を STALL とします。
4. FIFO のデータを最後まで転送すると、計算していた CRC ビットを最後に付加します。
5. ホストからの ACK ハンドシェークを受信すると
 - FIFO をクリアします。
 - DATASET レジスタをクリアします。
 - トグルビットを更新して次に備えます。
 - STATUS を READY にセットします。

UDC は正常終了します。FIFO は次のデータを受け入れることが可能です。もしも、ホストからの ACK を受信せずにタイムアウトしてしまったときは、

- STATUS を TX_ERR とします。
 - FIFO のアドレスポインタを元に戻します。
- を行い FIFO のデータを保存したまま次のリトライを待ちます。

このフローを図 3.16.3 に示します。

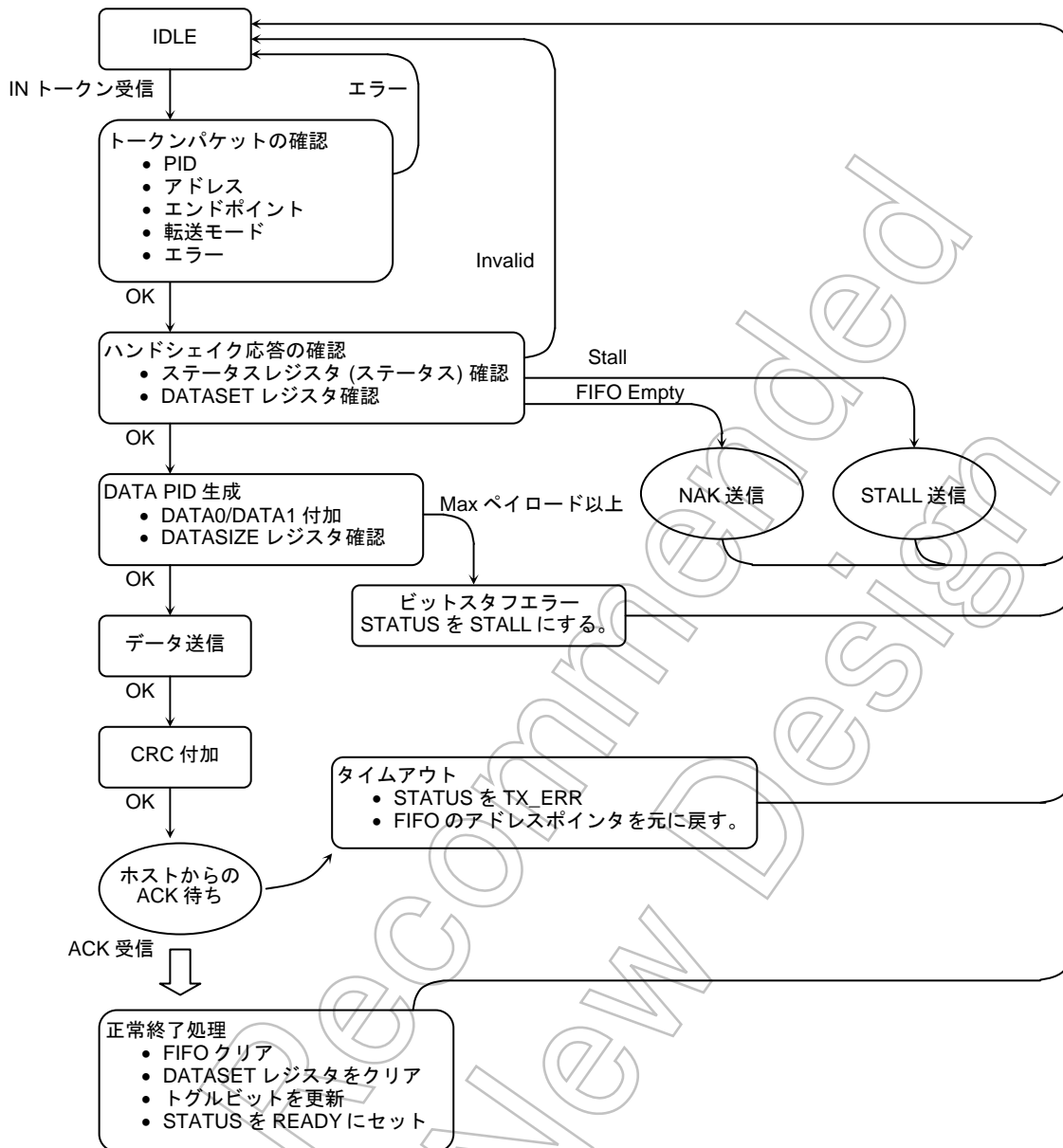


図 3.16.3 UDC 内部の制御フロー (バルク転送 (送信)/インターラプト転送 (送信))

(a-2) バルク受信モード

受信時のバルク転送は、以下のようなトランザクションフォーマットに従います。

- トークン : OUT
- データ : DATA0/DATA1
- ハンドシェーク : ACK, NAK, STALL

制御フロー

OUT トークンを受信したときの UDC 内部の制御フローを以下に示します。

1. トークンパケットを受け取り、アドレスエンドポイント番号エラーを確認し、該当エンドポイントの転送モードが OUT トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
 - STALL 状態 : データフェーズが終わり次第、STALL ハンドシェークを返し、IDLE に戻りデータは破棄します。FIFO の状態を確認し 1 パケット分のデータを格納する準備ができていなければ、今転送されたデータを破棄し、データフェーズに続いて NAK ハンドシェークを返し、IDLE に戻ります。
3. データパケットの受信を行います。

UDC 内部の SIE から FIFO へデータを転送します。

このとき、転送されたデータ数を確認し、各エンドポイントの MAX ペイロードサイズ以上のデータがある場合、STATUS を STALL とし、IDLE に戻ります。このとき、ACK ハンドシェークは返信しません。
4. データを最後まで FIFO に転送した後、計算した CRC と転送された CRC を比べて一致しないときはステータスに RX_ERR をセットして、ACK を返さずに IDLE に戻ります。USB ホストはリトライを試み、次のデータを正常に受信できたとき、STATUS は、DATAIN に変わります。また、データトグルが一致しなかったときは、前回の転送でホストが ACK を取れなかったものと判断し、現在の転送を前回の転送のリトライと考え、データを破棄、STATUS を RX_ERR とし、ホストへは ACK を返信して IDLE に戻ります。FIFO のアドレスポインタは元に戻されますので、次のデータを受信可能となります。
5. CRC とトグルが一致して正常に終了した場合には、ACK ハンドシェークを返して UDC 内で以下の処理を行います。
 - 転送データ数を DATASIZE レジスタにセットします。
 - DATASET レジスタをセットします。
 - トグルビットを更新して次に備えます。
 - STATUS を READY にセットします。

これで UDC は、正常終了します。

このフローを図 3.16.4 に示します。

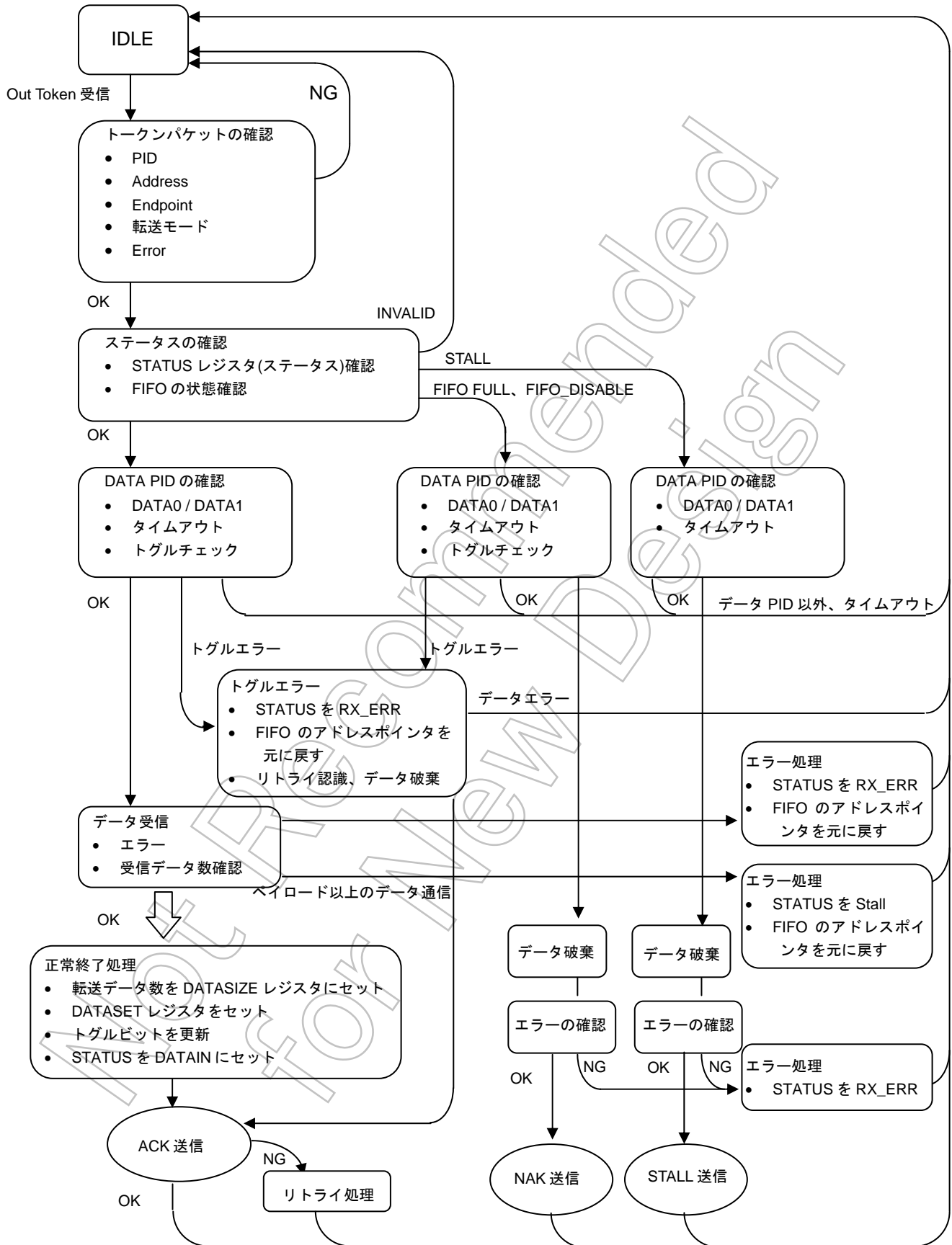


図 3.16.4 UDC 内部の制御フロー (バルク転送 (受信))

(b) インターラプト転送

インターラプト転送は、送信バルク転送と同一のトランザクション・フォーマットを使用します。

トグルビットを用いた転送時の UDC のハードウェアの設定、および応答は送信バルク転送と同一です。

インターラプト転送では、トグルビットを用いないで転送を行うことができます。この場合ホストからの ACK ハンドシェイクを受信しないときでもトグルビットを更新して正常終了します。UDC は次の転送のために FIFO をクリアします。

(b-1) インターラプト送信モード (トグルモード)

UDC の動作は、バルク送信モードと同一となります。(a) を参照してください。

(b-2) インターラプト送信モード (NOT トグルモード)

基本的にはバルク送信モードと同一ですが、ホストからの ACK ハンドシェイクを受信できなかった場合の処理が異なります。

データパケット送出後、ホストからの ACK ハンドシェイクを受信すると

- FIFO をクリアします。
- DATASET レジスタをクリアします。
- トグルビットを更新して次に備えます。
- ステータスを READY にセットします。

UDC は正常終了します。FIFO は次のデータを受け入れることが可能です。

もしも、ホストからの ACK を受信せずにタイムアウトしてしまったときは、

- FIFO をクリアします。
- DATASET レジスタをクリアします。
- トグルビットを更新して次に備えます。
- STATUS を TX_ERR とします。

を行い STATUS が変更となる以外は同一です。

(c) コントロール転送

コントロール転送は、次の3つのステージで構成されます。

- セットアップステージ
- データステージ
- ステータスステージ

データステージは省略される場合があります。それぞれのステージは1つあるいは複数のトランザクションで構成されます。UDCはハードウェアで3つのステージ管理を行いながら、それぞれのトランザクション処理を行います。コントロール転送はデータステージの有無、または方向によって以下の3つの種類があります。

- コントロールリード転送
- コントロールライト転送
- コントロールライト転送 (データステージなし)

3つの転送シーケンスは図 3.16.6、図 3.16.7、図 3.16.8に示します。

なお、UDCは、スタンダードリクエストについてハードウェアにて自動応答します。オプションのスタンダードリクエスト、クラスリクエスト、ベンダーリクエストについては、UDCをコントロールするCPUの介在が必要となります。

以下に、UDC内部の制御フローおよび、CPU介在時の制御フローを示します。

(c-1) セットアップステージ

セットアップステージは、トークンIDがSETUPとなることを除き送信バルクトランザクションと同一です。ただし、UDCの制御フローは異なります。

- トークン : SETUP
- データ : DATA0
- ハンドシェイク : ACK

制御フロー

SETUP トークンを受信したときのUDC内部の制御フローを以下に示します。

1. SETUP トークンパケットを受け取り、アドレス・エンドポイント番号エラーを確認し、該当エンドポイントがコントロール転送モードかを調べます。適合しなければIDLEに戻ります。
2. ステータスレジスタの状態を確認します。

INVALID状態でのみIDLEに戻ります。

バルク転送では、STATUSレジスタの値やFIFOの状態によりデータの受け入れを許可していましたが、セットアップステージではいかなる状況においても、STATUSをREADYに戻し、CPUからのFIFOへのアクセスを禁止し、エンドポイント0のFIFO内部をクリアし、以降のデータフェーズに備えます。

CPUがUDC内部のSetupReceivedレジスタをアクセスすると、デバイスリクエストを受信したことを認識したものとし、CPUからEP0のFIFOのアクセス禁止を解きます。これは一つ前のデバイスリクエストが正常に終了していない間に新規のリクエストが来たとき、受信できるようにするためです。

3. データパケットの受信を行います。
UDC 内部の SIE から 8 バイト分のデバイスリクエストを、以下のリクエストレジスタへデータを転送します。
 - bmRequestType レジスタ
 - bRequest レジスタ
 - wValue レジスタ
 - wIndex レジスタ
 - wLength レジスタ
4. データを最後まで FIFO に転送したのち、計算した CRC と転送された CRC を比べて一致しないときは、STATUS に RX_ERR をセットして、ホストに対し ACK ハンドシェイクを返さずに IDLE に戻ります。ホストはリトライします。
5. CRC とトグルが一致して正常に終了した場合には、ホストに ACK ハンドシェイクを返します。
 - 受信したデバイスリクエストの制御権を判別し、ソフトウェアでの制御が必要なリクエストであれば、INT_SETUP 割り込みをアサートして、外部にリクエスト受信したことを知らせます。ハードウェアでの自動応答をする場合には、INT_SETUP 割り込みをアサートしません。
 - ステージ制御フローに従って、次のステージの準備をします。
 - STATUS を DATAIN にセットします。
 - トグルビットを“1”にセットします。

これでセットアップステージは終了します。

このフローを図 3.16.5 に示します。

このセットアップステージで転送された 8 バイトのデータは、デバイスリクエストとなります。

CPU はデバイスリクエストに対応した処理を行わなければなりません。

UDC は 8 バイトのデータから次の内容だけを検出し、ステージ管理をハードウェアで行います。

- データステージの有無
- データステージの方向

これらを元にコントロールリード転送、コントロールライト転送、コントロールライト (データフェーズなし) 転送を判断します。

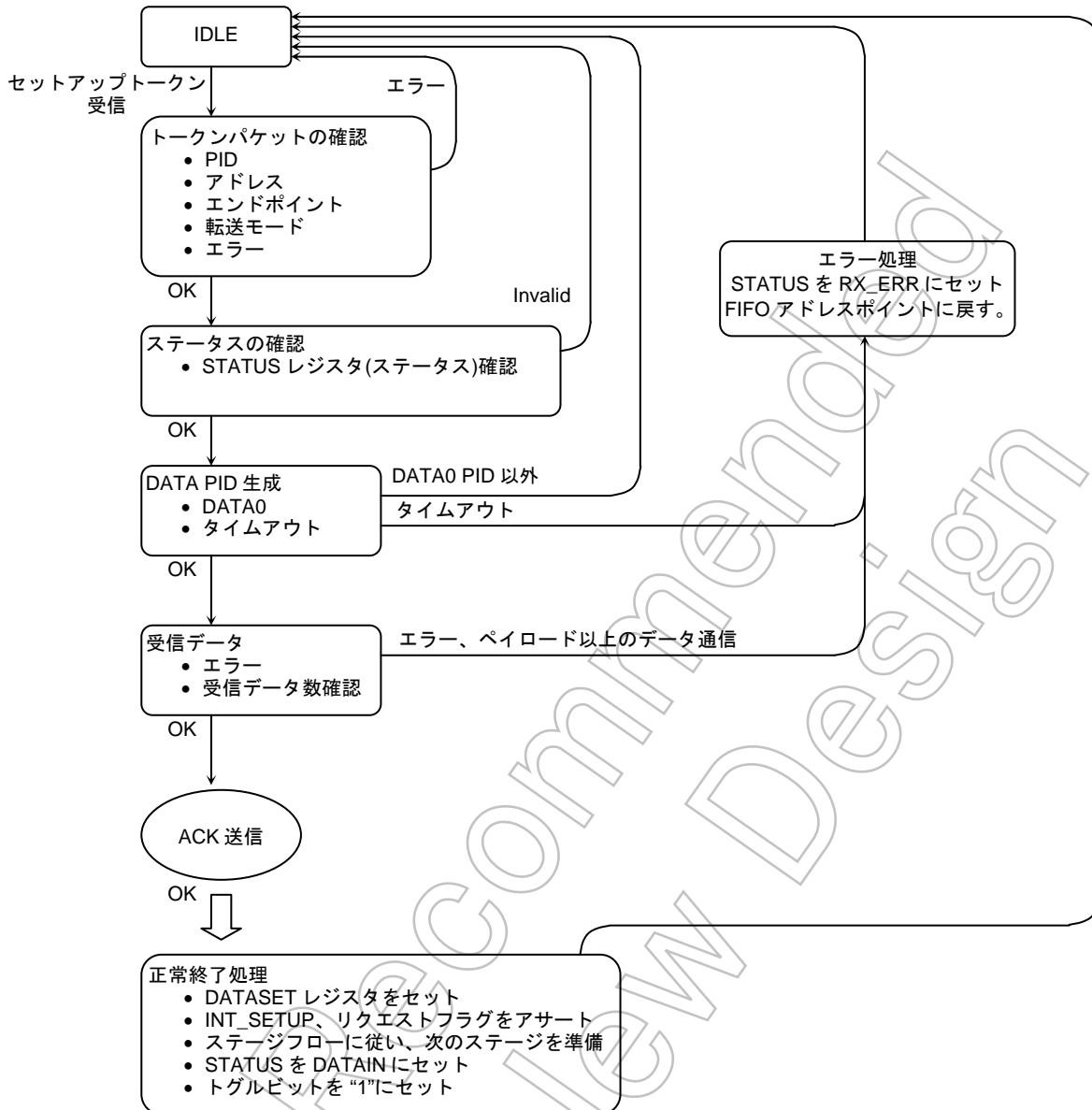


図 3.16.5 UDC 内部の制御フロー (セットアップステージ)

(c-2) データステージ

データステージは、トグルシーケンスに基づいて、1つまたは複数のトランザクションにより構成されます。トランザクションは送信または受信バルクトランザクションと同一フォーマットとなりますが、以下の点で異なります。

- セットアップステージを受けてトグルビットは“1”からスタートします。
- IN および OUT のトークンは、デバイスリクエスト中の方向ビットと比較して正しいかどうかを判断します。転送方向が逆のトークンを受信するとステータスステージとして認識します。
- INT_EPO 割り込みをアサートします。

(c-3) ステータスステージ

ステータスステージは、IN または OUT のトークンに続いて、DATA1 の PID を伴った 0 データ長の packets とハンドシェイクで構成されます。1つ前のステージとは方向が異なるトランザクションを使用します。これは以下のような組み合わせとなります。

- コントロールリード転送 : OUT
- コントロールライト転送 : IN
- コントロールライト転送 (データフェーズなし) : IN

UDC は内部のコントロール転送のフロー制御に基づいてステータスステージを処理します。このとき、ステータスステージが正常終了するために、CPU は処理の終わりで EOP レジスタの EP0 ビットに“0”をライトする必要があります。以下にステータスステージの詳細を示します。

(c-3-1) ステータスステージ

IN ステータスステージのトランザクションフォーマットは以下のようになります。

- トークン : IN
- データ : DATA1 (0 データ長)、NAK、STALL
- ハンドシェイク : ACK

制御フロー

UDC 内部の IN ステータスステージの処理フローは以下のようになります。

1. トークンパケットを受け取り、アドレスエンドポイント番号エラーを確認し、適合しなければ IDLE に戻ります。UDC 内部のステージ制御フローに基づいてステータスステージが許可されていれば、次に進みます。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
 - STALL 状態 : STALL ハンドシェイクを返し、IDLE に戻ります。

外部より EOP レジスタがアクセスされたかどうかを確認し、未アクセスであれば、コントロール転送を継続するため NAK ハンドシェイクを返し、IDLE に戻ります。

3. EOP レジスタがアクセスされたことを認識すると、0 データ長のデータパケットと CRC の送信を行います。

4. ホストからの ACK ハンドシェークを受信すると

- ステータスを **READY** にセットします。
- **INT_STAS** 割り込みをアサートします。

以上で正常終了となります。

もしもホストからの **ACK** ハンドシェークが受信できずタイムアウトした場合には、

- **STATUS** レジスタに **TX_ERR** をセットして **IDLE** に戻り、ステータスステージのリトライを待ちます。

このとき、ステータスステージが正常に終了することなく、新規のセットアップステージが開始されると、UDC は、**STATUS** レジスタにステージエラーをセットします。

(c-3-2) OUT ステータスステージ

OUT ステータスステージのトランザクションフォーマットは以下のようになります。

- トークン : **OUT**
- データ : **DATA1** (0 データ長)
- ハンドシェーク : **ACK, NAK, STALL**

制御フロー

UDC 内部の **OUT** ステータスステージの処理フローは以下のようになります。

1. トークンパケットを受け取りアドレス・エンドポイント番号エラーを確認し、適合しなければ **IDLE** に戻ります。UDC 内部のステージ制御フローに基づいてステータスステージが許可されていれば、次に進みます。
2. ステータスレジスタの状態を確認します。
 - **INVALID** 状態 : **IDLE** に戻ります。
 - **STALL** 状態 : データパケットを破棄して **STALL** ハンドシェークを返し、**IDLE** に戻ります。
 外部より **EOP** レジスタがアクセスされたかどうかを確認し、未アクセスであれば、コントロール転送を継続するため **NAK** ハンドシェークを返し、**IDLE** に戻ります。
3. **EOP** レジスタがアクセスされたことを認識すると、0 データパケットと **CRC** の受信を行います。
4. データにエラーがなかった場合には、ホストに対して **ACK** ハンドシェークを送信します。
 - **STATUS** を **READY** にセットします。
 - **INT_STAS** 割り込みをアサートします。

以上で正常終了となります。

もしも、データにエラーがあった場合には、**ACK** ハンドシェークを返しませんが、

- **STATUS** レジスタに **RX_ERR** をセットして **IDLE** に戻り、ステータスステージのリトライを待ちます。

このとき、ステータスステージが正常に終了することなく、新規のセットアップステージが開始されると、UDC は、**STATUS** レジスタにステージエラーをセットします。

このプロトコルのシーケンスについては、付録の項を参照願います。

(c-4) ステージ管理

UDC は、コントロール転送の各ステージの進行をハードウェアで管理しています。

各ステージの遷移は USB ホストからのトークンの受信、あるいは CPU がソフトウェアでレジスタをアクセスすることによって行われます。従って、コントロール転送のそれぞれのステージはソフトウェアと関係しながら進める必要があります。また UDC は SETUP ステージの 8 バイトのデータから次の内容だけを検出し、コントロール転送の種類を判別しステージ管理を行います。

- データステージの有無
- データステージの方向

これらを元にコントロールリード転送、コントロールライト転送、コントロールライト (データステージ無し) 転送を判断します。

以下に、各種のコントロール転送時のステージの遷移を行う条件を示します。

UDC 内のステートが次のステージに移行する前に、ホストから次のステージに対応したトークンを受信すると NAK ハンドシェイクを返し BUSY を USB ホストに伝えます。なお、すべてのコントロール転送においてどの状態からでもホストからの SETUP トークンを受信すると現在の処理を中止して UDC 内でセットアップステージに移行します。CPU は以前のコントロール転送を実行中であっても、新規の INT_SETUP 割り込みを受け付けることでこれに対応しなければなりません。

Not Recommended for New Design

コントロールリード転送時のステージ遷移条件

- * ホストからの SETUP トークンを受信
 - UDC 内でセットアップステージがスタートする。
 - リクエストのデータを正常に受信、判別し、外部に INT_SETUP 割り込みをアサートする。
 - UDC 内部でデータステージへ移行。
- * ホストからの IN トークンを受信
 - CPU は INT_SETUP 割り込みに反応してリクエストレジスタからリクエストを引き取る。
 - リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - デバイスリクエストの内容に応じ、DATASET レジスタの EP0 ビットをモニターし、データを FIFO にライトする。
 - UDC は、ペイロード分のデータを FIFO にセットされるか、EOP レジスタでショートパケット転送を CPU に指示された時点で、DATASET レジスタの EP0 ビットをセット。
 - UDC は、FIFO にセットされたデータを IN トークンに反応してホストへ転送。
 - CPU は処理が終了したとき、EOP レジスタの EP0 ビットに“0”をライトする。
 - UDC 内部でステータスステージへ移行。
- * ホストからの OUT トークンを受信
 - OUT トークンに対し ACK を返信し、UDC 内部で IDLE 状態に移行。
 - リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - INT_STAS 割り込みを外部にアサートする。

これらの状態遷移を図 3.16.6 に示します。

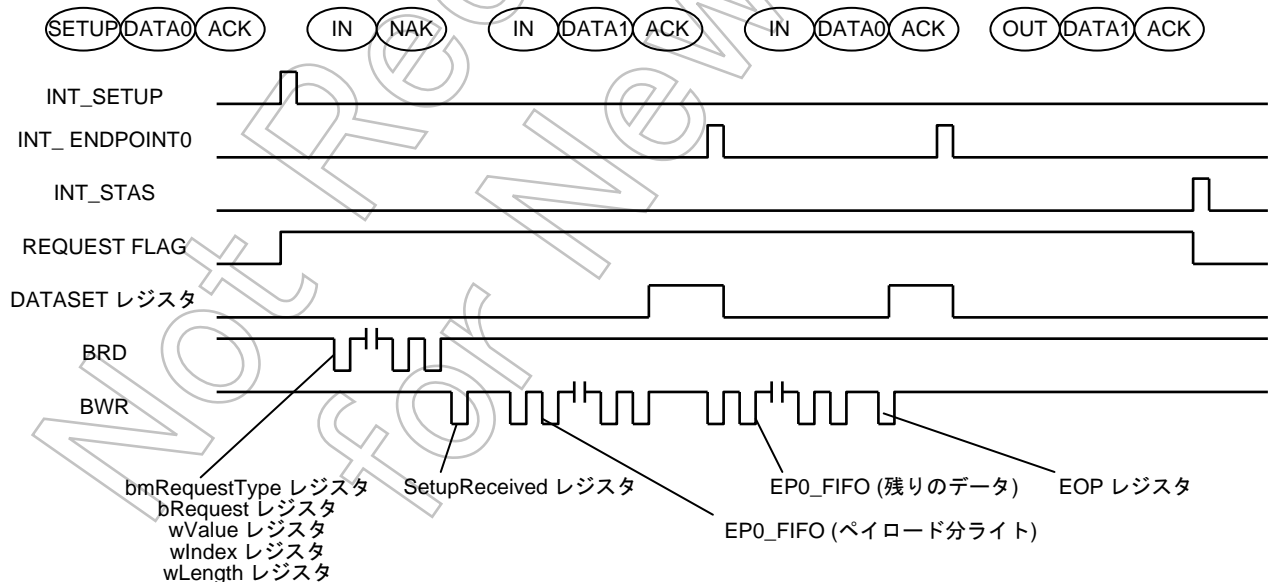


図 3.16.6 UDC 内部の制御フロー図 (コントロールリード転送)

コントロールライト転送時のステージ遷移条件

- * ホストからの SETUP トークンを受信
 - UDC 内でセットアップステージがスタートする。
 - リクエストのデータを正常に受信、判別し、外部に INT_SETUP 割り込みをアサートする。
 - UDC 内部でデータステージへ移行。
- * ホストからの OUT トークンを受信
 - CPU は INT_SETUP 割り込みに反応してリクエストレジスタからリクエストを引き取る。
 - CPU は、リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - データフェーズのデータを正常に受信し、DATASET レジスタの EP0 ビットをセット。
 - CPU は、DATASET レジスタがセットされたことにより、FIFO 内のデータを引き取る。
 - CPU は、デバイスリクエストに伴い、受信したデータの処理を行う。
 - CPU は、処理が終了したとき、EOP レジスタの EP0 ビットに“0”をライトする。
 - UDC 内部でステータスステージへ移行。
- * ホストからの IN トークンを受信
 - IN トークンに対し 0 データのデータパケットを返信し、UDC 内部で IDLE 状態に移行。
 - 0 データパケットに対する ACK を受信したとき、INT_STAS 割り込みを外部にアサートする。

これらの状態遷移を図 3.16.7 に示します。

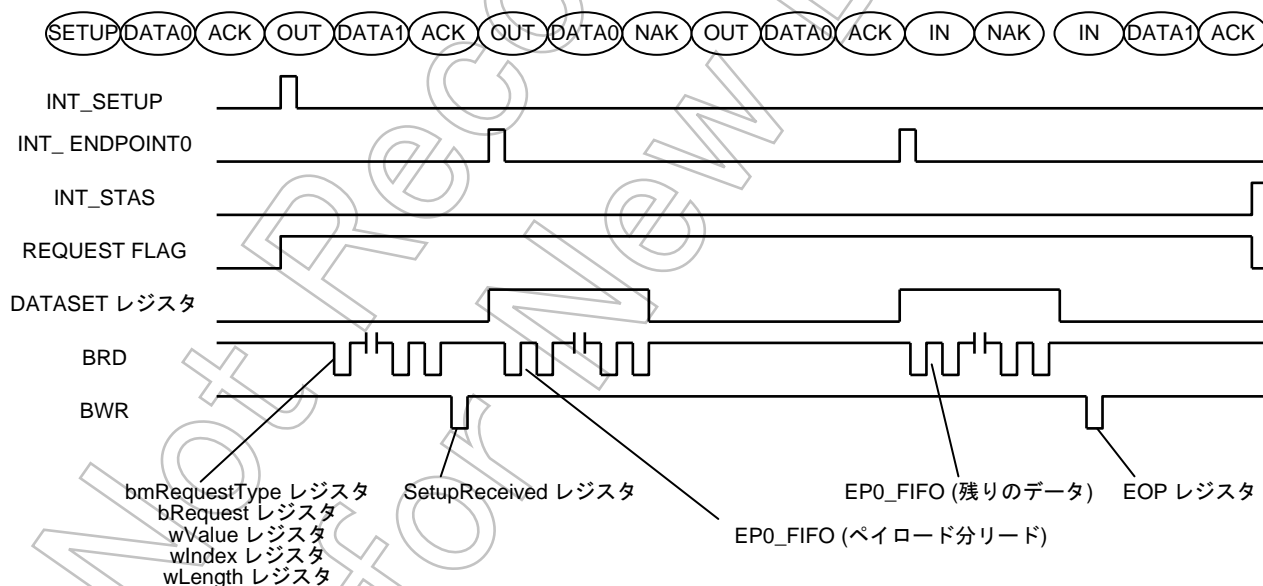


図 3.16.7 UDC 内部の制御フロー図 (コントロールライト転送)

コントロールリード転送において、データステージのトランザクション数は、デバイスリクエストで指定したデータ数と必ずしも一致しません。従って、CPU は、INT_STASN 割り込みを使用して処理を進めることが可能です。ただし、クラス、ベンダーリクエストを使用する際、wLength の値と、データフェーズでのデータ転送数を必ず一致させるようにすれば、この割り込みを使用する必要はありません。データステージのデータがわからない場合は、DATASIZE レジスタをアクセスし、現在受信したデータ数を確認することができます。

コントロールライト (データステージなし) 転送時のステージ遷移条件

- * ホストからの SETUP トークンを受信
 - UDC 内でセットアップステージがスタートする。
 - リクエストのデータを正常に受信、判別し、外部に INT_SETUP 割り込みをアサートする。
 - UDC 内部でデータステージへ移行。
- * ホストからの IN トークンを受信
 - CPU は、INT_SETUP 割り込みに反応してリクエストレジスタからリクエストを引き取る。
 - リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - CPU は、デバイスリクエストに伴い、受信したデータの処理を行う。
 - CPU は、処理が終了したとき、EOP レジスタの EPO ビットに“0”をライトする。
 - UDC 内部でステータスステージへ移行。
 - IN トークンに対し 0 データのデータパケットを返信し、UDC 内部で IDLE 状態に移行。
 - 0 データパケットに対する ACK を受信したとき、INT_STAS 割り込みを外部にアサートする。

これらの状態遷移を図 3.16.8 に示します。

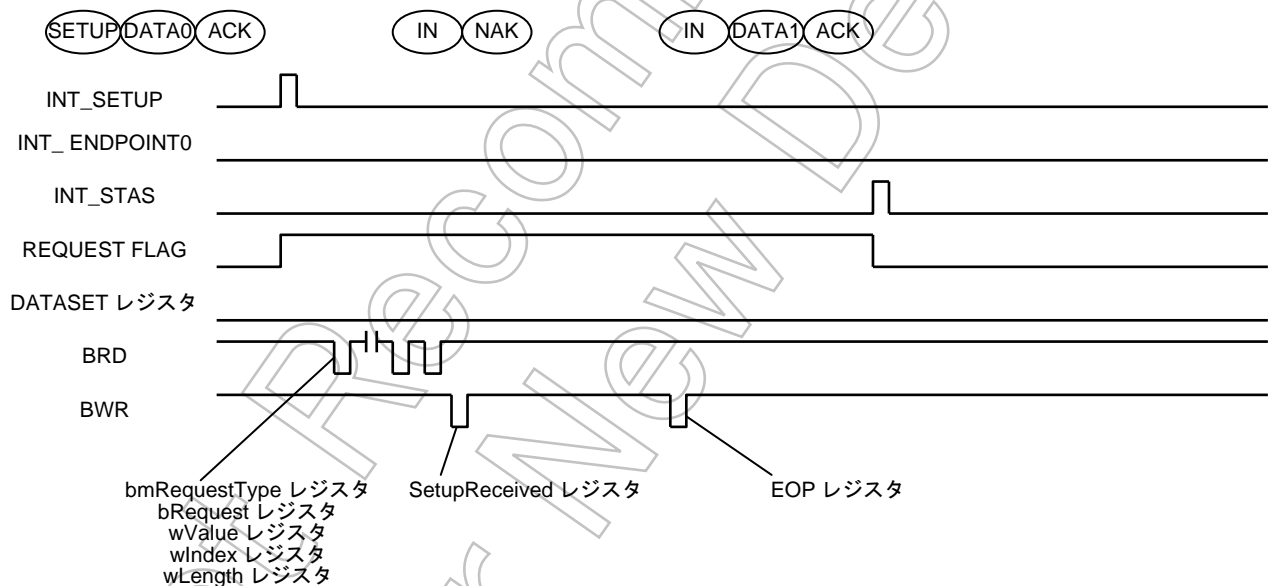


図 3.16.8 UDC 内部の制御フロー図 (コントロールライト転送データフェーズなし)

(d) アイソクロナス転送

アイソクロナス転送は、フレームごとに限定されたデータ数において転送を保証します。

ただし、他の3つの転送と異なりエラー発生時に再転送を行いません。従って、アイソクロナス転送は、トークン、データの2フェーズのみで転送を行い、ハンドシェイクフェーズは使用しません。また、このトランザクションはトグルシーケンスをサポートしていないため、データフェーズにおけるデータ PID は常に DATA0 となります。従って、UDC は、受信モード時にデータ PID の確認を行いません。

アイソクロナス転送ではフレームごとにデータを処理するため、転送終了時の処理をすべて SOF トークンの受信によって行います。UDC は、アイソクロナス転送時に内部の FIFO をデュアルパケットモード時と同様に2分割して使用します。

(d-1) アイソクロナス送信モード

送信時のアイソクロナス転送は、以下のようなトランザクションフォーマットに従います。

- トークン : IN
- データ : DATA0

制御フロー

アイソクロナス転送は、フレーム管理となっており、エンドポイントの FIFO ヘライトしたデータは、次のフレームでの IN トークンによって送信されます。

アイソクロナス送信転送時の FIFO には以下の二つの状態があります。

X. 現在のフレームでホストに送信するデータを格納している FIFO (DATASET レジスタビット = "1"の状態)

Y. 次のフレームでホストに送信するためのデータを格納する FIFO (DATASET レジスタビット = "0"の状態)

2分割された2つの FIFO (パケット A, B) は、2つの状態 (X, Y) のどちらかの状態となります。以下のフローは現在のフレームでパケット A が X 状態、パケット B が Y 状態として説明します。

SOF の受信により状態 X と Y は交互に切り替わります。

IN トークンを受信したときの UDC 内部の制御フローを以下に示します。

1. トークンパケットを受け取り、アドレスエンドポイント番号を確認し、該当エンドポイントの転送モードが IN トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
3. データパケットの生成に移行します。

データパケットを生成します。この際データ PID は必ず DATA0 を付加します。次に UDC 内部のパケット A の FIFO (X 状態) から SIE ヘデータを転送し、DATA パケットを生成します。
4. FIFO のデータを最後まで転送すると計算していた CRC ビットを最後に付加します。

5. ホストからの SOF トークンを受信すると以下の処理を行います。
- パケット A の FIFO を X 状態から Y 状態に変更し、データをクリアします。
 - パケット B を Y 状態から X 状態に変更します。
 - フレーム番号を FRAME レジスタにセットします。
 - SOF をアサートして外部にフレームがインクリメントされたことを知らせます。
 - DATASET レジスタは、パケット A のビットをクリアし、現在のフレームで転送する予定のパケット B のビットをセットします。
 - STATUS を READY にセットします。

UDC は、これで正常終了します。

パケット A の FIFO は次のデータを受け入れることが可能です。

この更新されたフレームでは、パケット A の FIFO とパケット B の FIFO の役割が入れ替わり、同一フローで転送が行われます。もしも、エラーなどで SOF トークンを受信できなかったときは、フレームの更新が行われないためこのデータは失われてしまいます。UDC は受信した PID 部分に問題がなく、CRC エラーを伴ったフレームデータを受信すると FRAME レジスタのステータスに LOST をセットし、正しいフレーム番号は不明になります。しかし、この場合 SOF はアサートされ、FIFO の状態は更新されます。なお、フレーム内でアイソクロナス送信転送を行うことなく SOF トークンを受信すると、USBC は X 状態になっていた FIFO をクリアするとともに、ステータスを FULL にセットします。

※EPx_DATASET_A,BはSOF受信後3クロック時間(12MHz)で変化します。FIFOへデータをWriteする場合はEPx_DATASET_A,Bが変化した後、FIFOへのアクセスを行ってください。

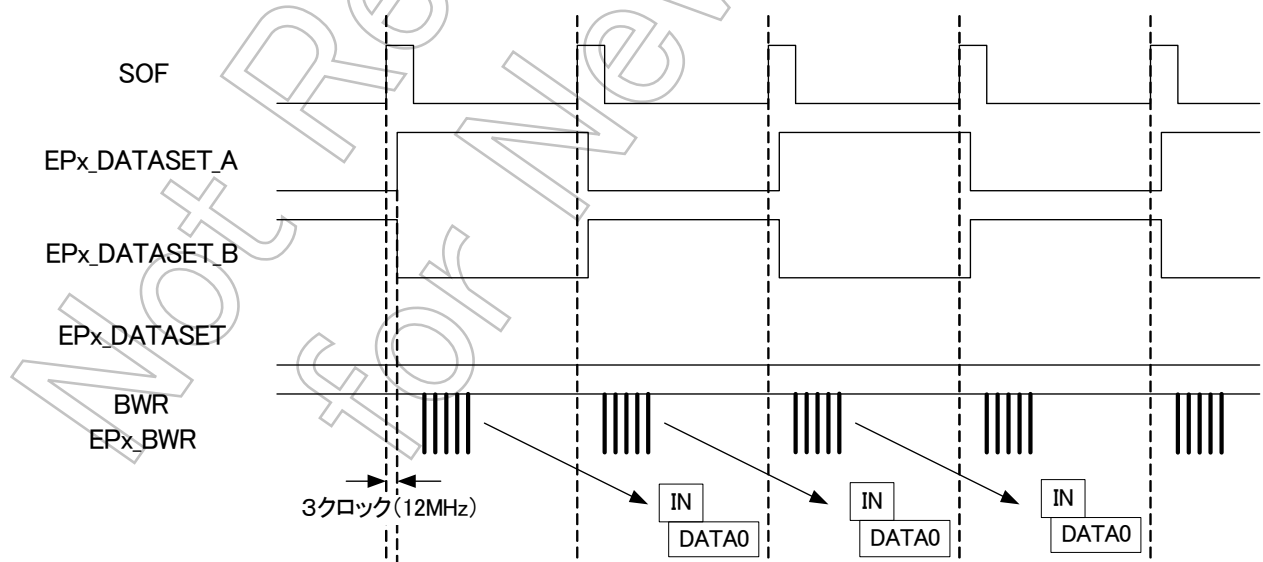


図 3.16.9 アイソクロナス転送 モード

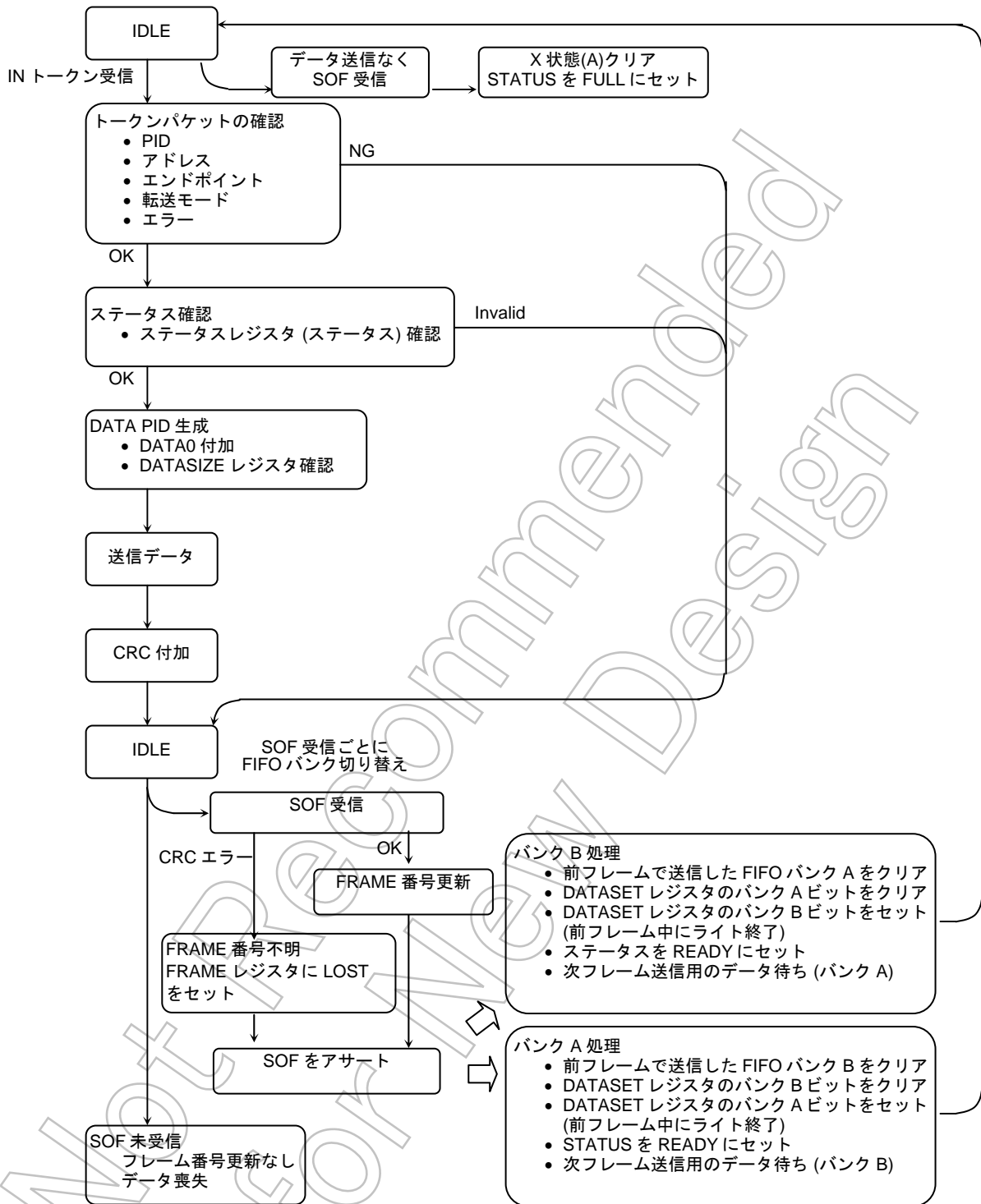


図 3.16.10 UDC 内部の制御フロー (アイソクロナス転送 (送信))

(d-2) アイソクロナス受信モード

受信時のアイソクロナス転送は、以下のようなトランザクションフォーマットに従います。

- トークン : OUT
- データ : DATA0

制御フロー

アイソクロナス転送はフレーム管理となっており、OUT トークンで FIFO に書かれたデータは、次のフレームで CPU に引き取られます。

アイソクロナス受信転送時の FIFO にも、以下の 2 つの状態があります。

- X. 現在のフレームにおいてホストから受信したデータを格納する FIFO (DATASET レジスタビット=“0”の状態)
- Y. 前のフレームでホストから受信したデータを格納している FIFO (DATASET レジスタビット=“1”の状態)

2 分割された 2 つの FIFO (パケット A, B) は、2 つの状態 (X, Y) のどちらかの状態となります。以下のフローは、現在のフレームでパケット A が X 状態、パケット B が Y 状態として説明します。SOF の受信により状態 X と Y は交互に切り替わります。

OUT トークンを受信したときの UDC 内部の制御フローを以下に示します。

すべての処理はハードウェアで行われます。

1. トークンパケットを受け取りアドレス・エンドポイント番号を確認し、該当エンドポイントの転送モードが OUT トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
3. データパケットの受信を行います。

UDC 内部の SIE からパケット A の FIFO (X 状態) ヘデータを転送します。

4. データを最後まで FIFO に転送したのち、計算した CRC と転送された CRC を比較します。

結果は転送終了時点でステータスに反映されますが、データは FIFO に格納し、パケット A に受信した転送データ数をパケット A の DATASIZE レジスタにセットします。

5. ホストからの SOF トークンを受信すると以下の処理を行います。
 - パケット A の FIFO を X 状態から Y 状態に変更します。
 - パケット B を Y 状態から X 状態に変更し、データをクリアして次の転送に備えます。
 - フレーム番号を FRAME レジスタにセットします。
 - SOF をアサートして外部にフレームがインクリメントされたことを知らせます。
 - DATASET レジスタは、パケット A のビットをセットし、現在のフレームで受信データを格納するパケット B のビットをクリアします。
 - CRC 比較結果が一致していた場合は、ステータスに DATAIN をセットします。もしも一致しなかった場合は、ステータスに RX_ERR をセットします。

UDC は、これで正常終了します。CPU はパケット A のデータを引き取りません。

この更新されたフレームでは、パケット A の FIFO とパケット B の FIFO の役割が入れ替わり同一フローで転送が行われます。もしも、エラーなどで SOF トークンを受信できなかったときは、フレームの更新が行われなためこのデータは失われてしまいます。UDC は受信した PID 部分に問題がなく、CRC エラーを伴ったフレームデータを受信すると FRAME レジスタの STATUS に LOST をセットし、正しいフレーム番号は不明になります。しかし、この場合 SOF はアサートされ、FIFO の状態は更新されます。なお、フレーム内でアイソクロナス送信転送を行うことなく SOF トークンを受信すると、UDC は X 状態になっていた FIFO をクリアするとともに STATUS を READY にセットします。

これらを図 3.16.12 に示します。

※EPx_DATASETはSOF受信後2クロック時間(12MHz)で立ち上がります。FIFO内のデータをReadする場合はEPx_DATASETが立ち上がった後、FIFOへのアクセスを行ってください。

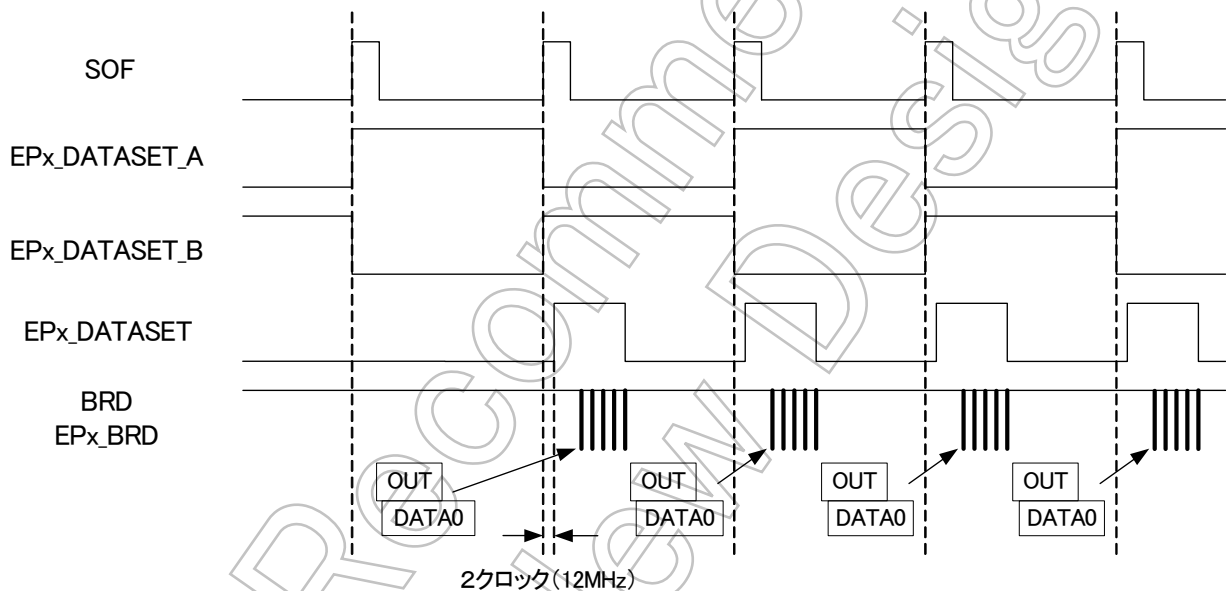


図 3.16.11 アイソクロナス受信モード

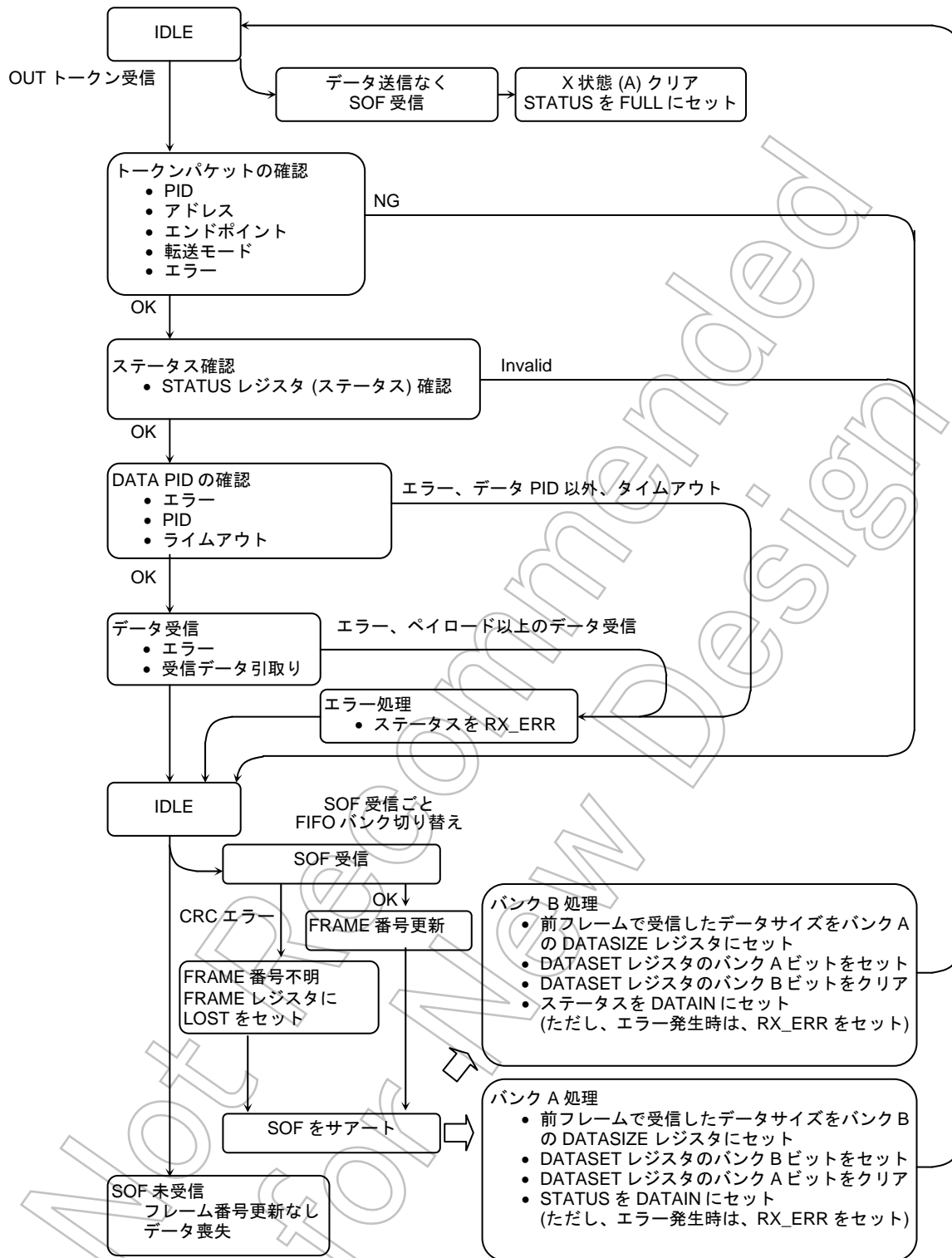


図 3.16.12 UDC 内部の制御フロー (アイソクロナス転送 (受信))

3.16.7 バスインタフェースとFIFOへのアクセス

(1) CPU バスインタフェース

UDC ではシングルパケット、デュアルパケットの 2 種類の FIFO アクセスを用意しております。シングルパケットモードは、ハードウェアでインプリメントされた FIFO 容量を 1 つの大きな FIFO として使用するモードです。デュアルパケットモードは、FIFO 容量を 2 分割し 2 つの独立した FIFO として使用します。UDC が USB ホストと送受信中でも FIFO との転送が可能であることより、バスを効率的に使用できます。ただし、コントロール転送はシングルパケットモードのみ対応しております。

デュアルパケットモードで使用するエンドポイントの EP_x_SINGLE 信号を“0”固定にする必要があります。この信号を“1”固定とした場合、FIFO レジスタはシングルモードで動作します。

例: エンドポイント 1 をペイロード 64 バイトのデュアルパケットで使用する場合

EP1_FIFO サイズ	:	128 バイトを用意
EP1_SINGLE 信号	:	“0”固定
EP1 ディスクリプタ設定		
方向	:	任意
MAX ペイロードサイズ	:	64 バイト
転送モード	:	任意

Not Recommended for New Design

(a) シングルパケットモード

CPU バス I/F 使用時における、シングルパケットモードのデータシーケンスについて示します。

図 3.16.13は受信シーケンスを、図 3.16.14は送信シーケンスを示します。ここでは FIFO へのアクセスを中心に説明しています。USBホストとのデータシーケンスについては、5章を参照してください。

なお、エンドポイント 0 については、シングルパケットモード専用になっておりますので、モードの変更はできません。

エンドポイント 1-3 のシングルパケット、デュアルパケットの切り替えは、EPx_SINGLE レジスタを設定することにより変更できます。転送時の切り替えはしないでください。

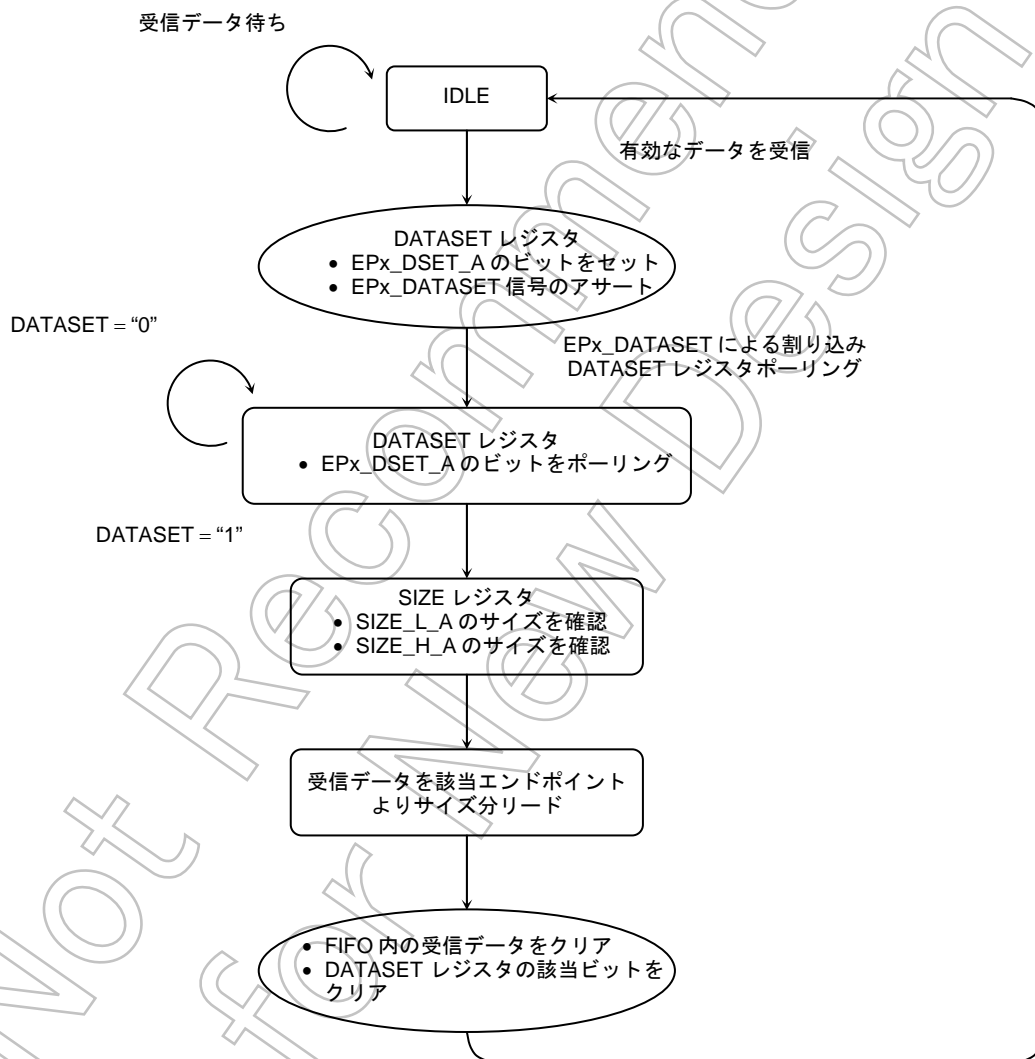


図 3.16.13 シングルパケットモード時の受信シーケンス

以下にシングルパケットモード時の送信シーケンスを示します。

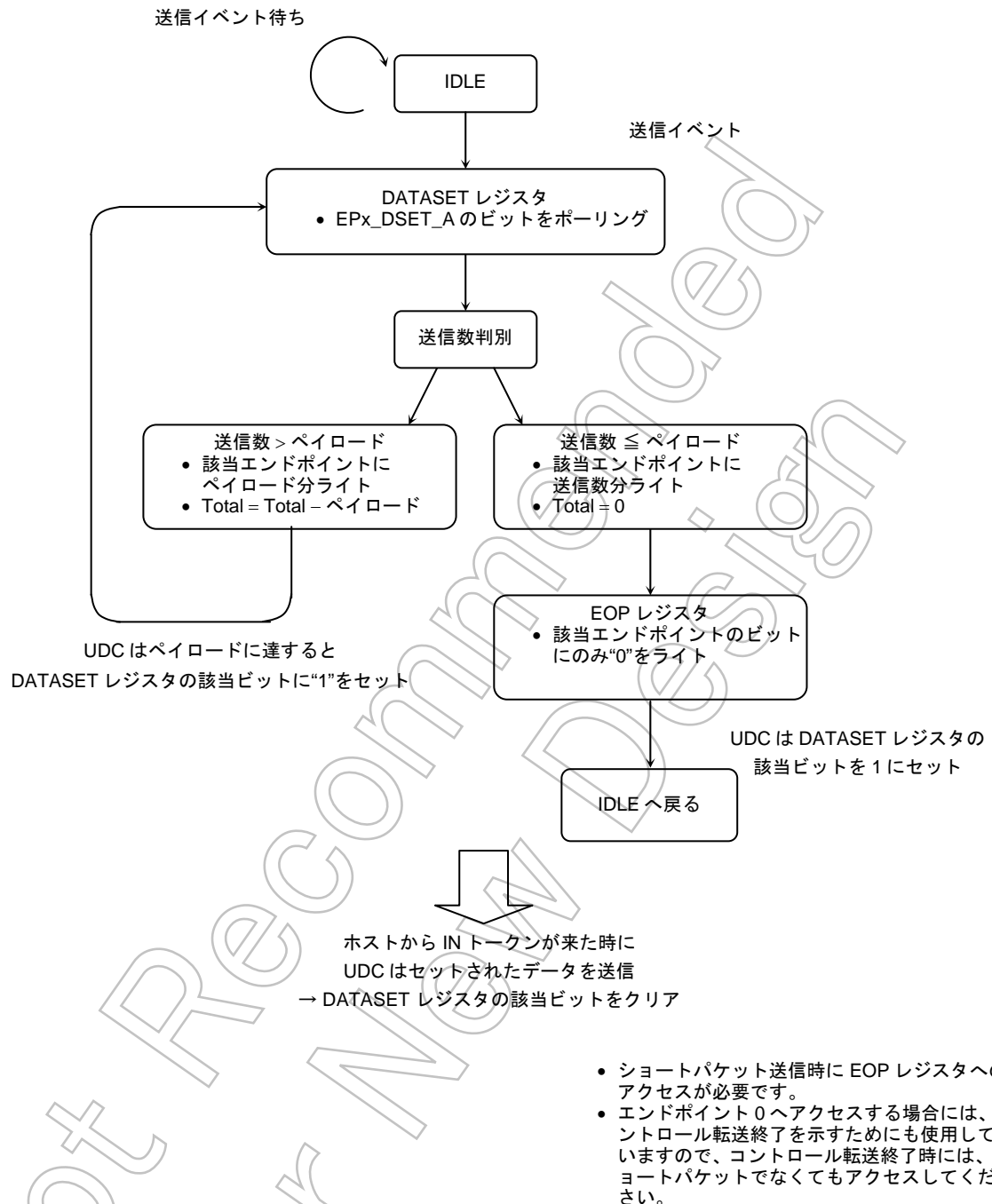


図 3.16.14 シングルパケットモード時の送信シーケンス

(b) デュアルパケットモード

デュアルパケットモードは、FIFO を 2 つの独立な A と B のパケットに分割し、ハードウェアにて順番にコントロールするモードです。USB ホストとのデータの送受信と、UDC 外部とのやり取りを同時に行うことが可能です。

受信用の FIFO からデータをリードするときには、2 つのパケットの状態を確認し、優先順位を考慮しながら行う必要があります。2 つのパケットに受信したデータを保持している場合においても、アクセスできる FIFO は、2 つのパケットで共通ですので、UDC は先に受信したデータから順次出力します。EP_x_SIZE レジスタは A、B パケットごとに用意されていますので、CPU は、PKT_ACTIVE ビットを用いてどちらのパケットが先にアクセスされたのかを確認の上、先に受信したパケットのデータ数を把握する必要があります。PKT_ACTIVE ビットが“1”にセットされているほうが先に受信したパケットになります。A パケットと B パケットは必ず交互にデータをセットします。

以下にこのシーケンスを示します。

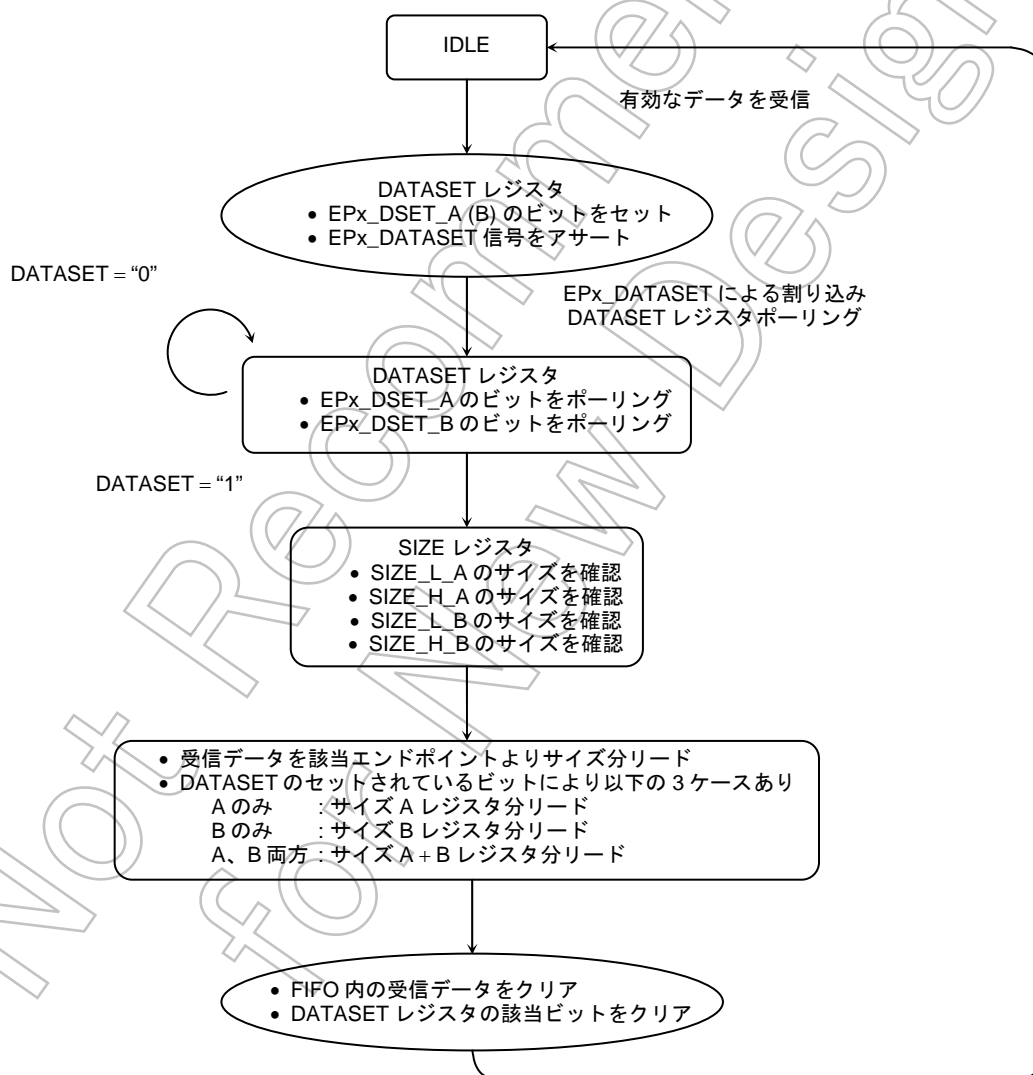
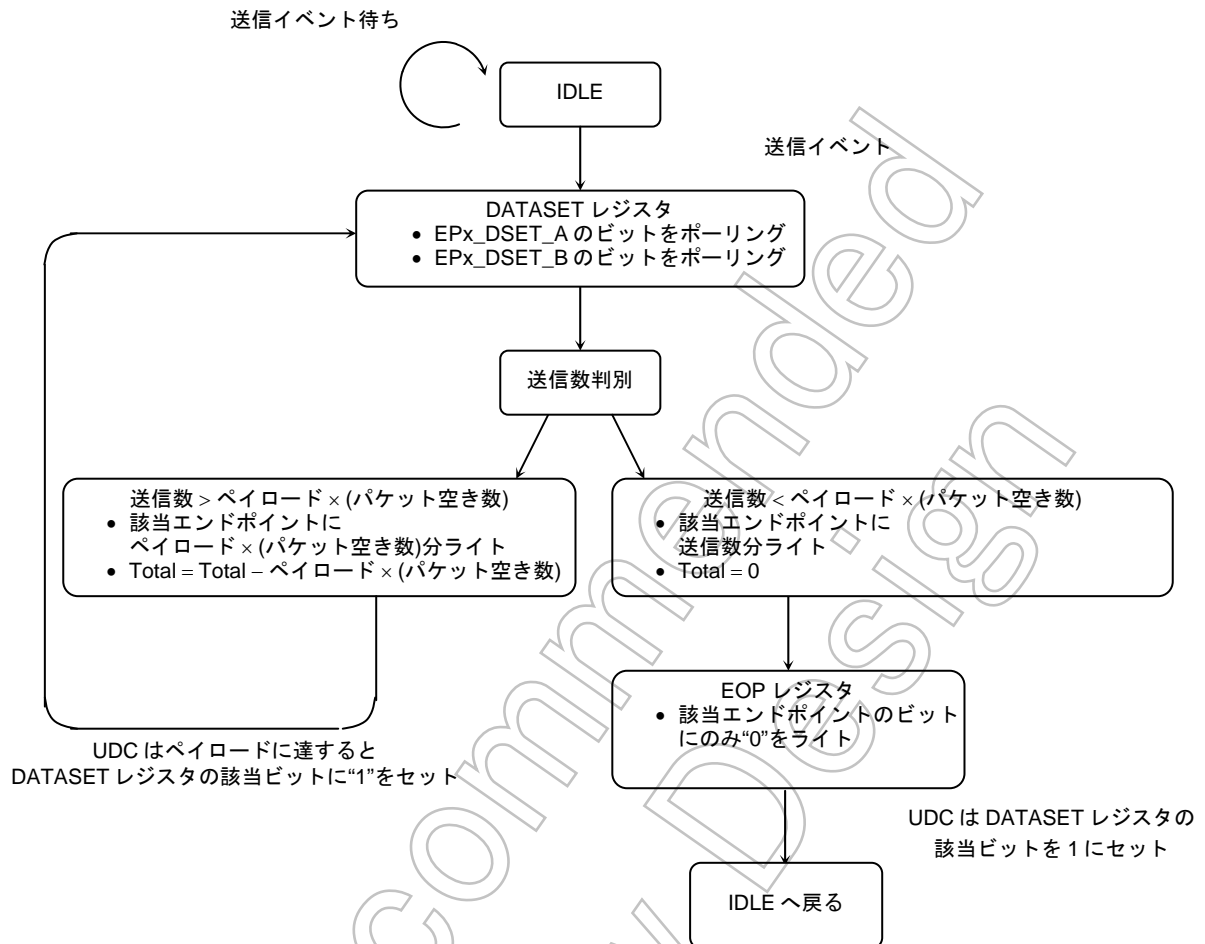


図 3.16.15 デュアルパケットモード時の受信シーケンス

送信時にはパケット A, B を考慮することなく空いている FIFO にデータをセットすることができます。

以下にデュアルパケットモード時の送信シーケンスを示します。



↓

ホストから IN トークンが来た時に
UDC はセットされたデータを送信
→ DATASET レジスタの該当ビットをクリア

- ショートパケット送信時に EOP レジスタへのアクセスが必要です。
- コントロール転送は、シングルモードのみとなります。

図 3.16.16 デュアルパケットモード時の送信シーケンス

(c) パケットの発行

NULL パケットを送信する場合、EPx_EOPB 信号より L パルスを入力することにより、FIFO に 0 レングスのデータがセットされ、IN トークンに対し NULL パケットを送信することが可能です。

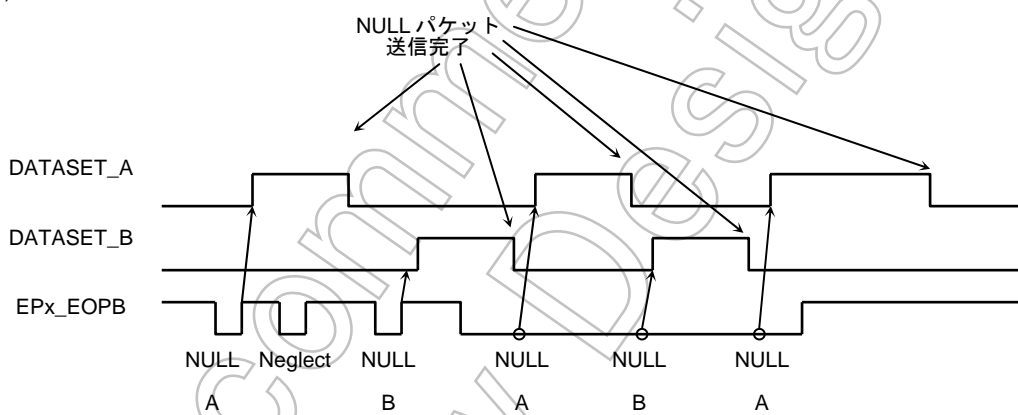
ただし、NULL データを FIFO にセットするには、DATASET 信号が L レベルの状態 (つまり FIFO にデータが入っていない場合) のみ有効となります。

ある期間内、受信した IN トークンに対してすべて NULL パケットにて応答する場合、EPx_EOPB 信号を L レベルに保持することにより、応答することが可能です。

しかしながら、デュアルパケットモードの場合、EPx_DATASET 信号はデータの空きを示すために L レベルアサートしますので、どちらのバンクにもデータがないという状態を、外部から知ることができません。

注) EOP レジスタアクセスによっても NULL パケットをセット可能です。

例)



(2) 割り込み制御

割り込み信号が用意されています。この機能はシステムを使用しています。

詳細は 3.16.2 900/H1 CPU I/F を参照してください。

3.16.8 USBデバイス応答

USB コントローラ (UDC) は、ハードウェアリセット検出時、USB バスリセット検出時、エミュレーション応答時に UDC 内の初期化や各種レジスタの設定を行います。

以下にそれぞれの状態について説明します。

(1) バスリセット検出時の状態

UDC は USB 信号線上にバスリセットを検出すると内部のレジスタを初期化し、USB ホストからのエミュレーション動作に備えます。UDC は USB リセット検出後にデフォルトパイプを使用可能とするため、ENDPOINT0 をコントロール転送、8 バイトペイロード、デフォルトアドレスに設定します。それ以外のエンドポイントを禁止状態に設定します。

レジスタ名		イニシャル値
ENDPOINT STATUS	EP0	00H
	EP0 以外	1CH

(2) STATUS レジスタ詳細

エンドポイントごとに用意されたステータスレジスタは UDC のエンドポイントごとの状態を示します。

それぞれの状態は各種 USB の転送に影響します。それぞれの転送時の状態変化は、5 章を参照してください。

EP_x_STATUS レジスタの値は 0~3 で以下の状態を表します。0~4 までの表示は各種転送の結果を示します。UDC 外部から確認することで、そのエンドポイントに対する直前の転送結果を確認することが可能です。

0	READY
1	DATAIN
2	FULL
3	TX_ERR
4	RX_ERR

これらの状態はエンドポイントが正常に動作していることを示します。

各転送モードにより表示の意味が異なりますので、以下の各転送モード別の欄を参照してください。

ISO 転送モード

1つ前のフレームの転送状態を示します。SOFの受信で更新されます。

	OUT (RX)	IN (TX)
イニシャル時	READY	READY
転送なし	READY	FULL
正常終了	DATAIN	READY
エラーを検出	RXERR	TXERR

ISO 転送以外の転送モード

直前の転送の結果を示します。転送終了時に更新されます。

	OUT, SETUP	IN
イニシャル時	READY	READY
正常転送終了時	DATAIN	READY
ステータスステージ終了時	READY	READY
エラー転送時	RXERR	TXERR

なお、イニシャル時とは RESET、USB リセット、Current_Config レジスタの更新時を示します。エラー検出時にはインターラプトのトグル転送モードとアイソクロナス転送モードを除いて EPx_DATASET を発生しません。

ステータスレジスタの表示のうち 5~7 はエンドポイントが特別な状態にあることを示します。

- 5 BUSY コントロール転送を行うエンドポイントでのみ発生します。UDC がコントロールライト転送を行っているときに CPU がエミュレーション処理を完了しない状態で、USB ホストからのステータスステージの ID を受信したときにセットされます。CPU がエミュレーション処理を終了し、UDC に対して EOP レジスタの EP0 ビットに "0" がライトされるまでは STATUS は BUSY となります。エミュレーション処理が終了し EOP レジスタの EP0 ビットに "0" がライトされ、USB ホストからのステータスステージを正常終了すれば、READY を表示します。
- 6 STALL エンドポイントが STALL 状態にあることを示します。この状態はプロトコル違反を行ったときか、バスエミュレーションでエラーを起こした場合に発生します。正常転送が可能な状態にエンドポイントに戻すためには USB ホストによるデバイスリクエストが必要となります。このリクエストにより正常状態に戻ります。ただし、コントロールエンドポイントについては、SETUP トークンを受信すると正常状態に戻りセットアップステージに入ります。
- 7 INVALID この状態はエンドポイントが使用できない状態であることを示します。UDC はディスクリプタで指定されていないエンドポイントを INVALID 状態に設定し、このエンドポイントに対するトークンはすべて無視します。この状態は初期化時には必ず発生します。UDC はハードウェアリセットを検出すると、すべてのエンドポイントを INVALID 状態に設定します。次に USB リセットを受信するとエンドポイント 0 のみが READY に更新されます。ディスクリプタ上で定義されたその他のエンドポイントは、SET_CONFIG リクエストを正常終了すると READY に更新されます。

3.16.9 パワーマネージメント

USB コントローラ (UDC) は任意のレジューム状態 (電源投入状態) からサスペンド (保留) 状態への移行、およびサスペンド状態から電源投入状態への復帰、を行うことが可能です。

UDC に供給する CLK を操作することにより更なる低消費電力化も可能です。

(1) サスペンド状態への移行

USB ホストは IDLE ステートを連続させることにより、USB デバイスをサスペンド状態に設定することができます。UDC は、以下の手順でサスペンド状態に移行します。

- UDC は USB 信号線上において 3ms 以上 (約 3.07ms) の連続した IDLE ステートを検出するとサスペンド状態に移行します。このとき、STATUS レジスタの SUSPEND ビットを“1”にセットします。
- UDC は USB 信号線上において 5ms 以上 (約 5.46ms) の連続した IDLE ステートを検出すると USBINTFR1<INT_SUS>と<INT_CLKSTOP>を“0”から“1”に更新します。その後、USBCR1<USBCLKE>ビットを“0”に設定して、USB クロックを停止してください。
- この状態では、UDC 内部のレジスタの値はすべて保持されていますが、外部からのアクセスはステータスレジスタと Current_Config レジスタ、USBINTFR1/2、USBINTMR1/2、USBCR1 のリード以外は行うことができません。

(2) ホストレジュームによるサスペンド状態からの復帰

USB ホストからのレジューム状態出力により USB 信号線上のバスのアクティビティが回復すると、UDC は SUSPEND 状態を解除し STATUS レジスタの SUSPEND ビットも“0”にリセットしてシステムを再開させます。このホストからのレジューム状態出力は少なくとも 20 ms 間は保持されているため、USB 信号線上に有効なプロトコルが発生するのはこの時間が経過した後となります。

(3) リモートウェイクアップによるサスペンド状態からの復帰

リモートウェイクアップはサスペンドしている USB デバイスから USB ホストにレジュームを促すためのシステムです。リモートウェイクアップはアプリケーションにより、サポートされない場合があります。またリモートウェイクアップはバスエナミュレーションによって USB ホストから使用を制限されます。

UDC のリモートウェイクアップ機能は許可されている場合に使用可能です。

バスエナミュレーションによるリモートウェイクアップの設定は、Current_Config レジスタの bit7 で確認できます。このビットが“1”のとき、リモートウェイクアップが使用可能です。このビットでリモートウェイクアップをディセーブルすることはしませんので、このビットがディセーブルを表す場合、リモートウェイクアップを行わないでください。

これらの条件を満たしているとき、サスペンド状態にある UDC の USBCR1<WAKEUP>に“1”→“0”をライトすることにより、USB ホストに対しレジューム状態出力を行い、UDC からホストへレジュームを促します。UDC はサスペンド状態に移行した後、2 ms の間は WAKEUP 入力を無視します。従って、リモートウェイクアップは、USBINTFR1<INT_SUS>が“1”になってから有効となります。

(4) CLK 入力信号の制御による低消費電力化

UDC はサスペンド状態に移行すると CLK を停止して低消費電力状態へ移行しますが、システムとしては供給される CLK を元から停止することにより、更なる低消費電力化が可能となります。UDC に供給している CLK は、USBINTFR1<INT_SUS>、<INT_CLKSTOP>と USBCR1<USBCLKE>を使用して USB へのクロック供給をコントロールすることができます。

そのためには、次のように動作する必要があります。UDC がサスペンド状態に移行すると USBINTFR1<INT_SUS>が“1”、USBINTFR1<INT_CLKSTOP>が“1”になり、確認後、USBCR1<USBCLKE>を“0”にセットすることにより、供給 CLK (USBCLK) を停止させます。ホストからのレジュームにより SUSPEND 状態が解除されると 3 ms 以内に正常な CLK を UDC に供給しなければなりません。

またリモートウェイクアップを使用するときは、使用前に必ず安定した CLK を UDC に供給する必要があります。CLK の発生源として逡倍回路を使用する場合も、上記の制御を必要とします。

Not Recommended for New Design

- USB リセットによるサスペンドからの復帰 (INT_CLKON 割り込みを使用)

UDC がサスペンド状態の時に CLK を停止させていると、USB リセットを検出することができませんので、前述のように SUSPEND 状態で CLK を制御することができません。

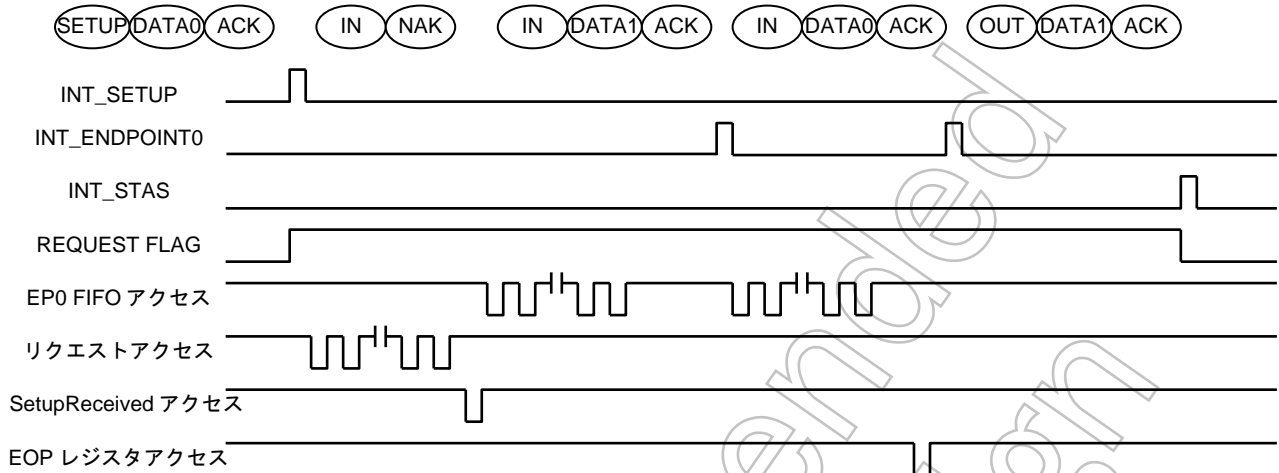
UDC が SUSPEND 状態の時に CLK を停止している場合は、INT_CLKON 割り込みを検出後 USBCR1<USBCLKE>を“1”にセットしてクロックを入力することによって、USB リセットを検出し SUSPEND 状態から復帰することができます。

Not Recommended
for New Design

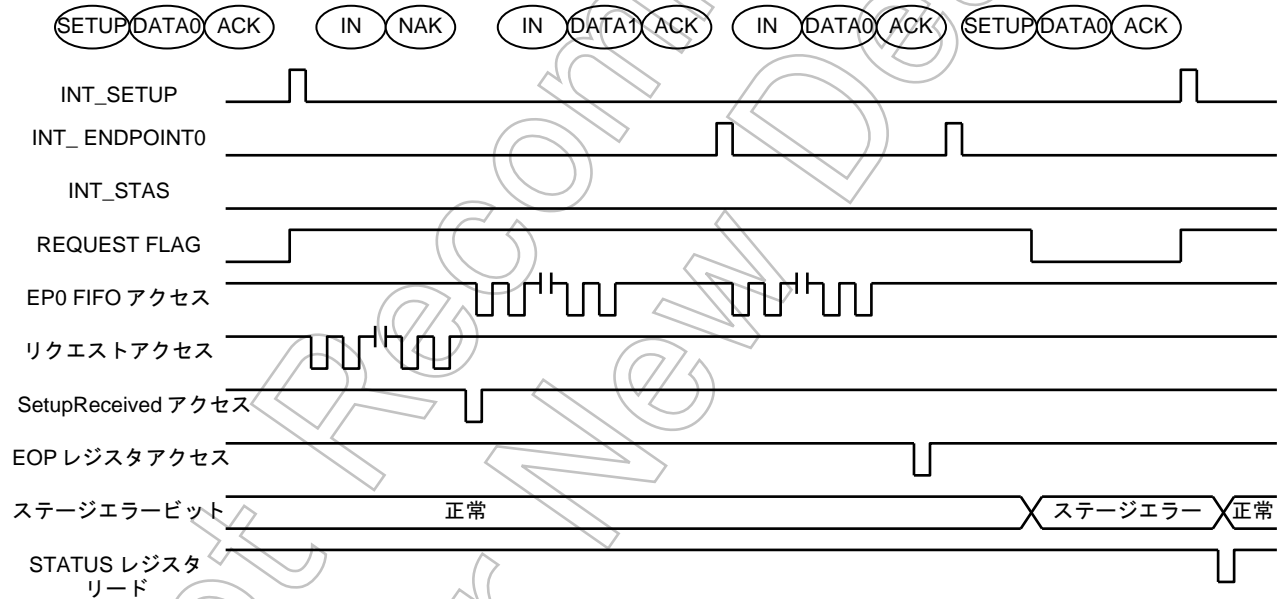
3.16.10 付録

(1) USB 通信における外部アクセスフロー

a) 正常動作



b) ステージエラー



(2) レジスタ初期値

レジスタ名	OUTSIDE リセット 初期値	USB_RESET 初期値	レジスタ名	OUTSIDE リセット 初期値	USB_RESET 初期値
bmRequestType	0x00	0x00	INT_Control	0x00	0x00
bRequest	0x00	0x00	USBBUFF_TEST	0x00	保持
wValue_L	0x00	0x00	USB_STATE	0x01	0x01
wValue_H	0x00	0x00	EPx_MODE	0x00	0x00
wIndex_L	0x00	0x00	EPx_STATUS	0x1C	0x1C
wIndex_H	0x00	0x00	EPx_SIZE_L_A	0x88	0x88
wLength_L	0x00	0x00	EPx_SIZE_L_B	0x08	0x08
wLength_H	0x00	0x00	EPx_SIZE_H_A	0x00	0x00
Current_Config	0x00	0x00	EPx_SIZE_H_B	0x00	0x00
StandardRequest	0x00	0x00	FRAME_L	0x00	0x00
Request	0x00	0x00	FRAME_H	0x02	0x02
DATASET	0x00	0x00	ADDRESS	0x00	0x00
Port Status	0x18	保持	EPx_SINGLE	0x00	保持
Standard Request Mode	0x00	保持	EPx_BCS	0x00	保持
Request Mode	0x00	保持	ID_STATE	0x01	0x00

注 1) 上記初期値は、RESET 信号によって初期化される値です。各種状態によって、表示する値が異なる場合があります。

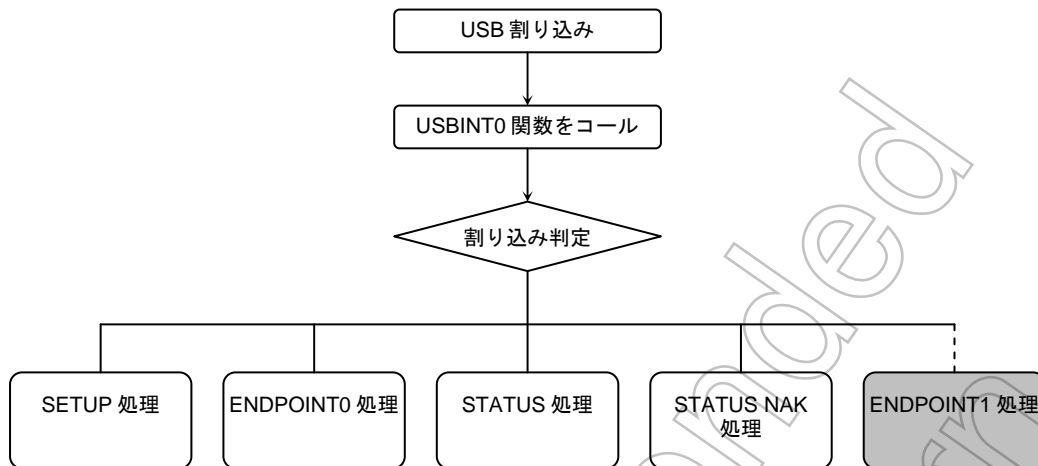
2 章のレジスタ構成を参照してください。

注 2) EP0_STATUS レジスタについては、USB_RESET 受信後、0x00 に初期化されます。

注 3) ID_STATE レジスタの初期値は、BRESET 信号によって初期化される値です。USB_RESET 信号をホストより受信すると 0x00 に初期化されます。

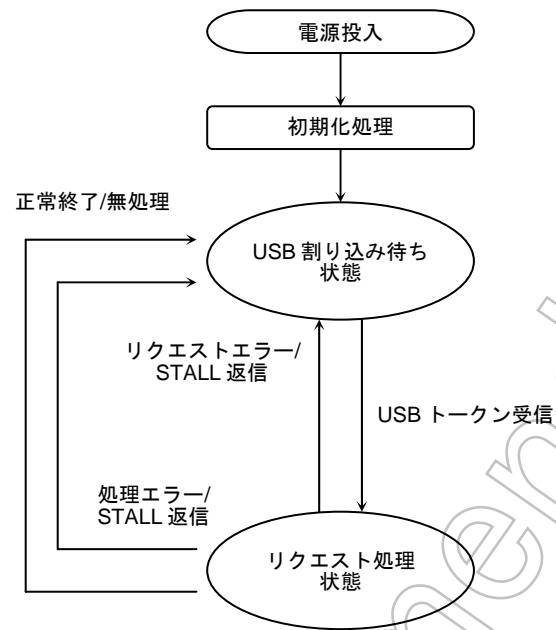
(3) USB コントロールフローチャート

(a) スタンダードリクエストに対する処理 (概略フローチャート (例))



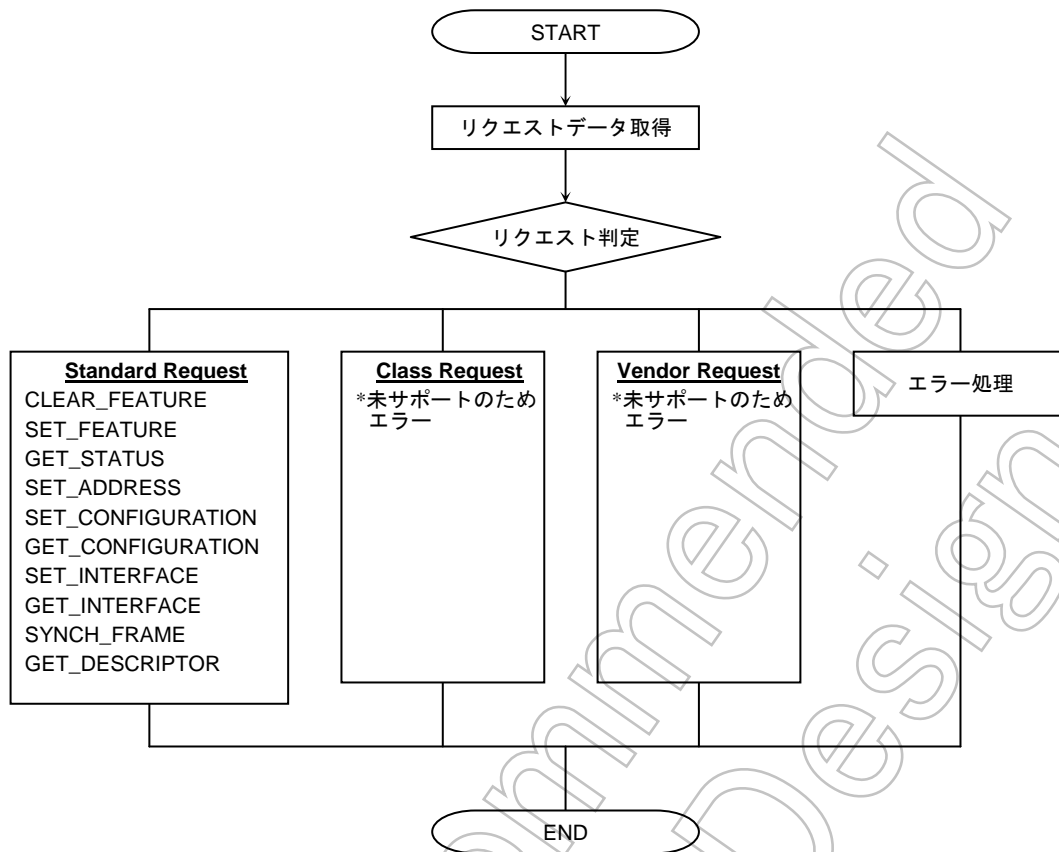
Not Recommended for New Designs

(b) 状態遷移

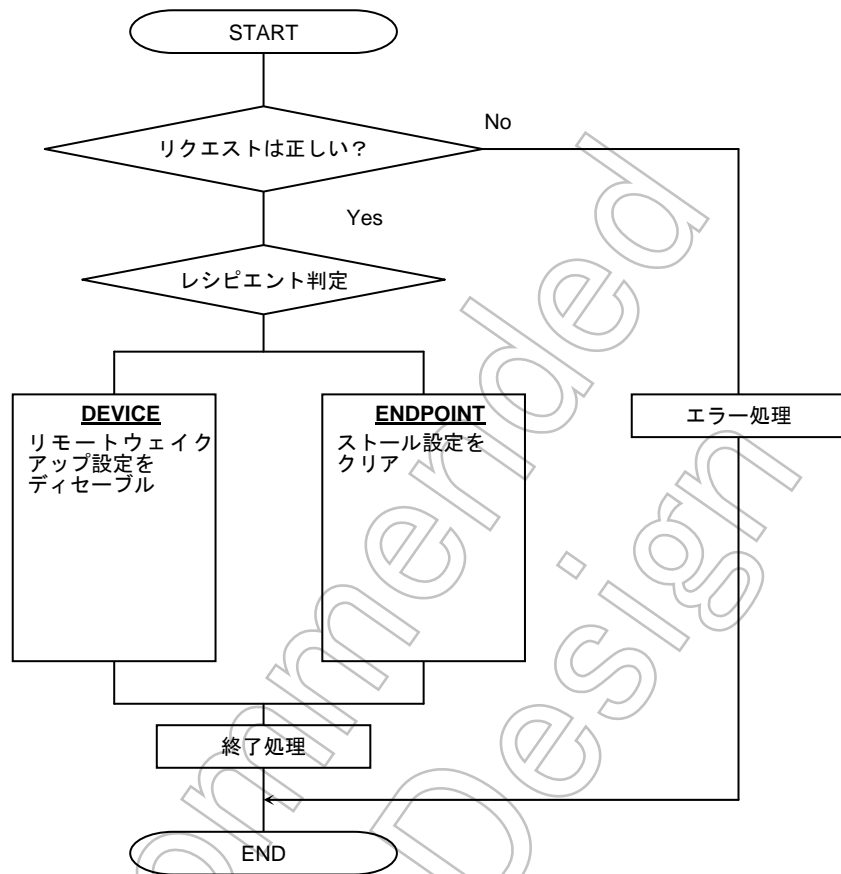


Not Recommended for New Design

(c) デバイスリクエストと各種リクエスト判定

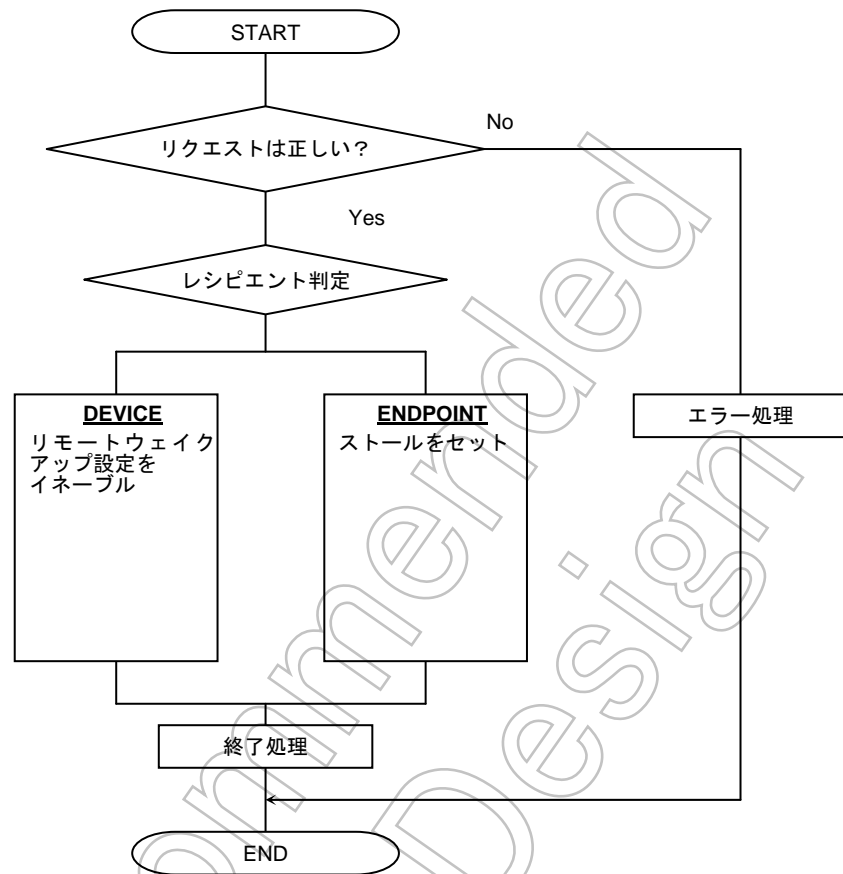


(c-1) CLEAR_FEATURE リクエスト処理



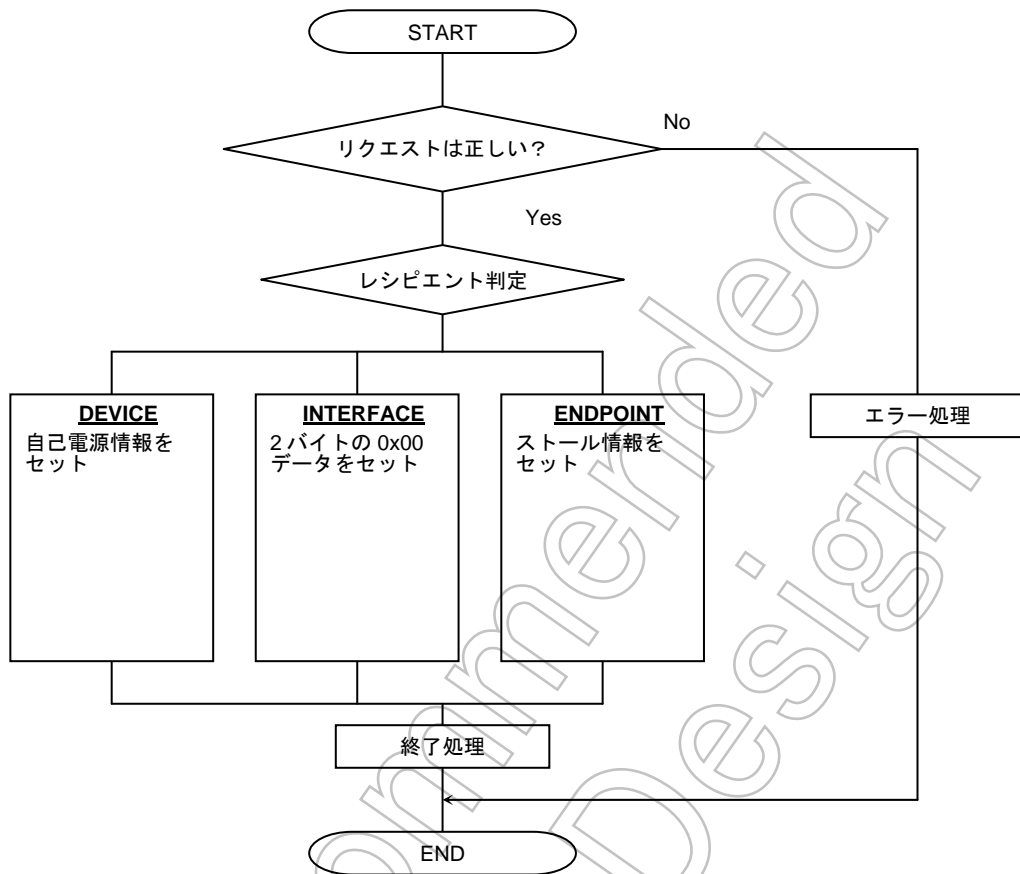
Not Recommended for New Design

(c-2) SET_FEATURE リクエスト処理

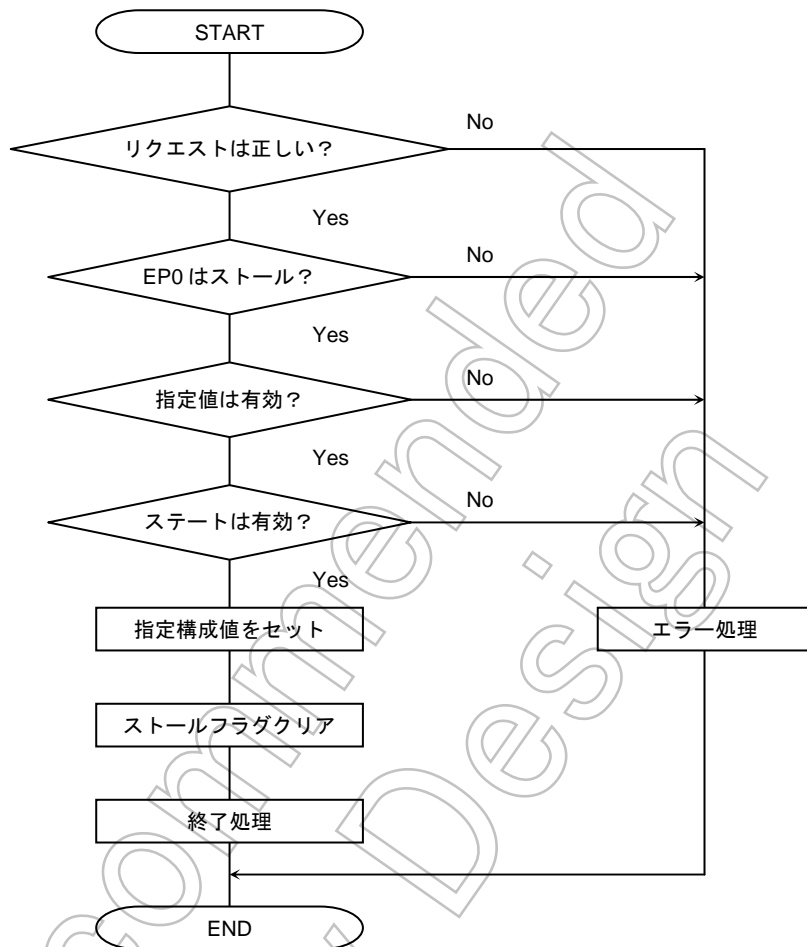


Not Recommended for New Design

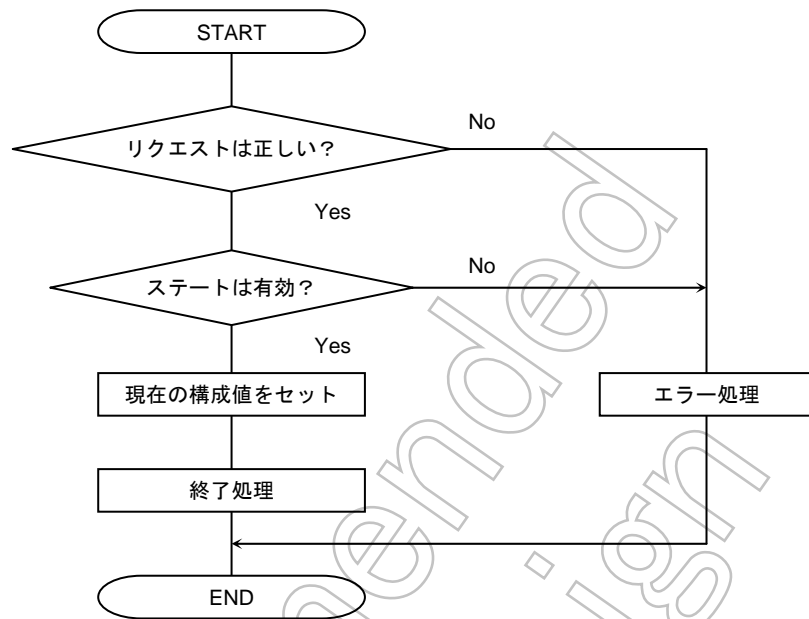
(c-3) GET_STATUS リクエスト処理



(c-4) SET_CONFIGURATION リクエスト処理

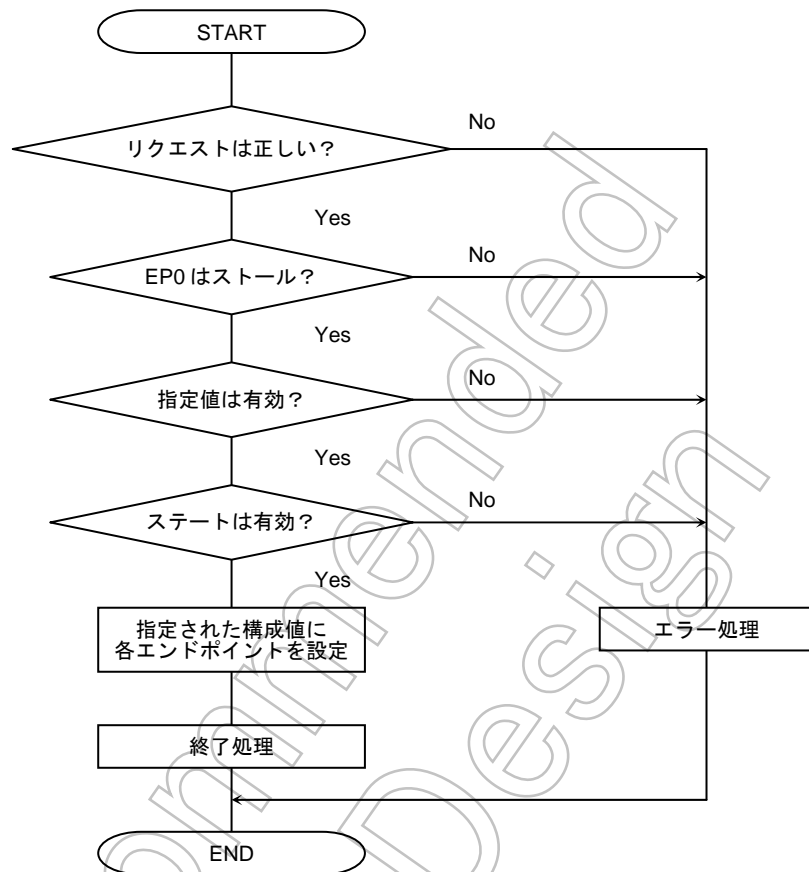


(c-5) GET_CONFIGURATION リクエスト処理

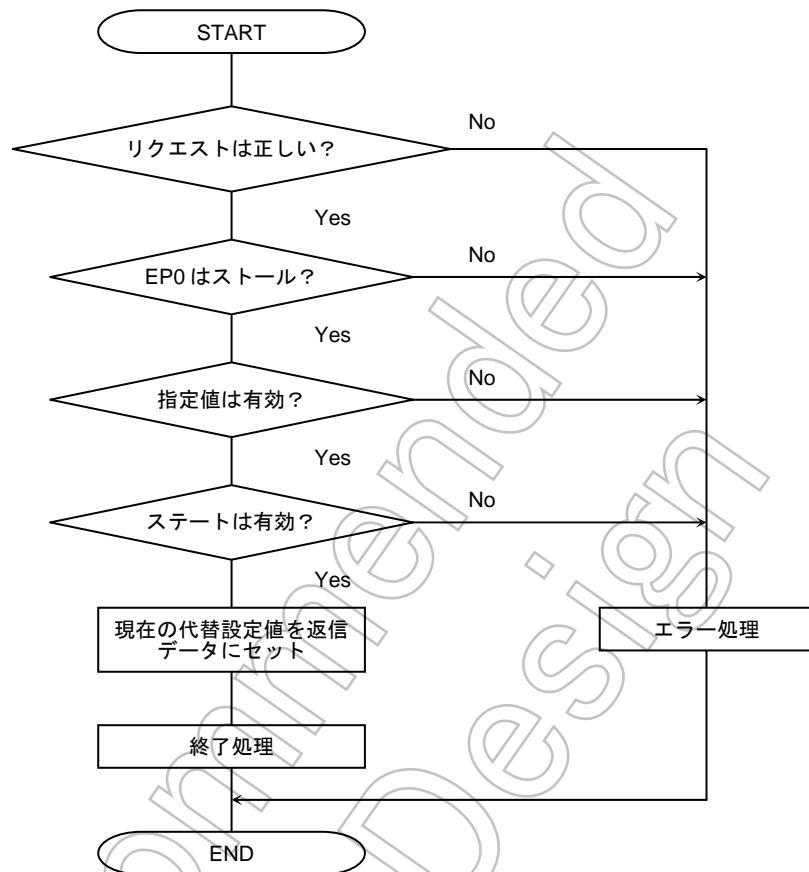


Not Recommended for New Design

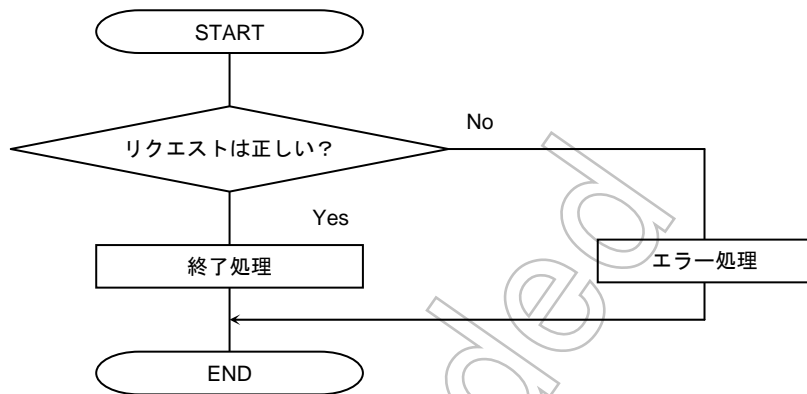
(c-6) SET_INTERFACE リクエスト処理



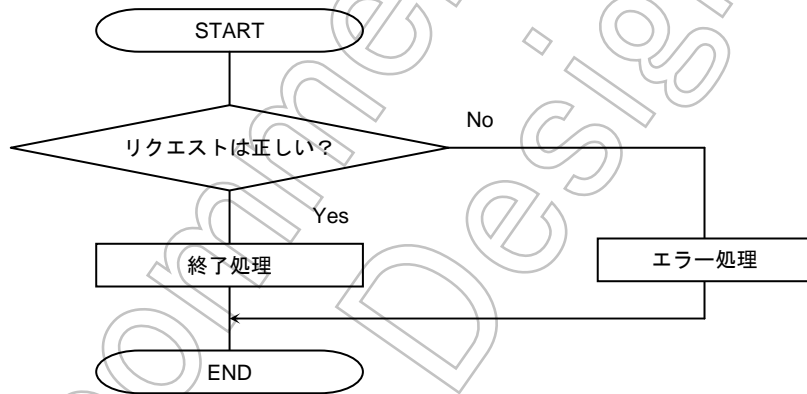
(c-7) SYNCH_FRAME リクエスト処理



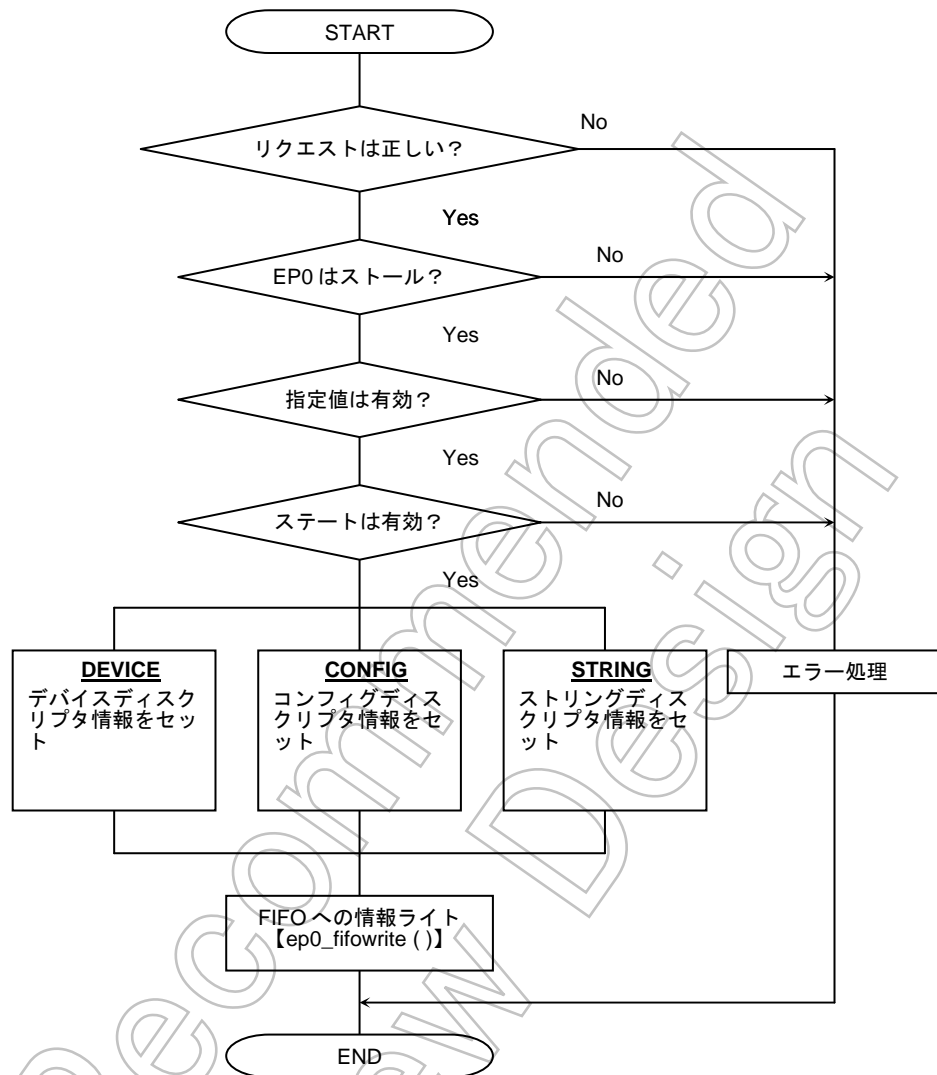
(c-8) SYNCH_FRAME リクエスト処理



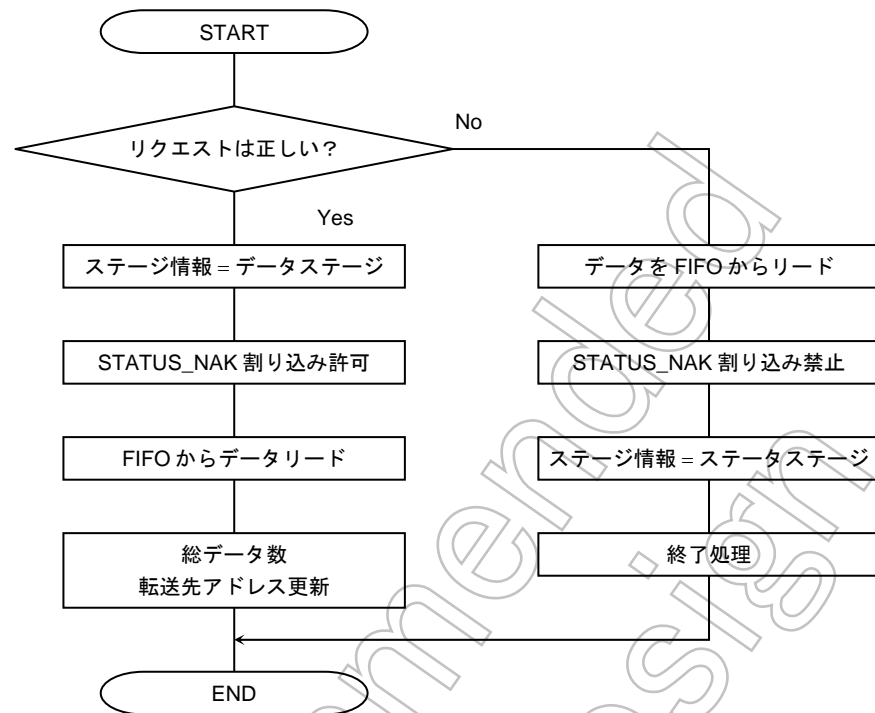
(c-9) SET_DESCRIPTOR リクエスト処理



(c-10) GET_DESCRIPTOR リクエスト処理

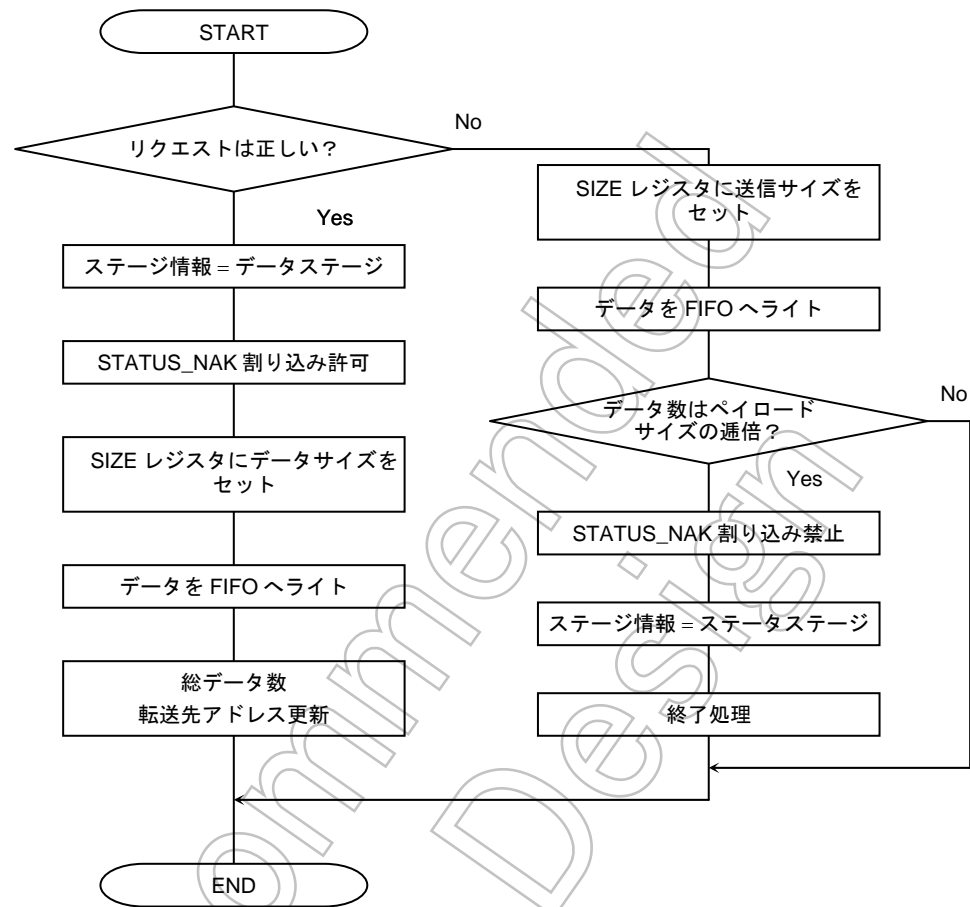


(c-11) EP0 の FIFO からのデータリード処理

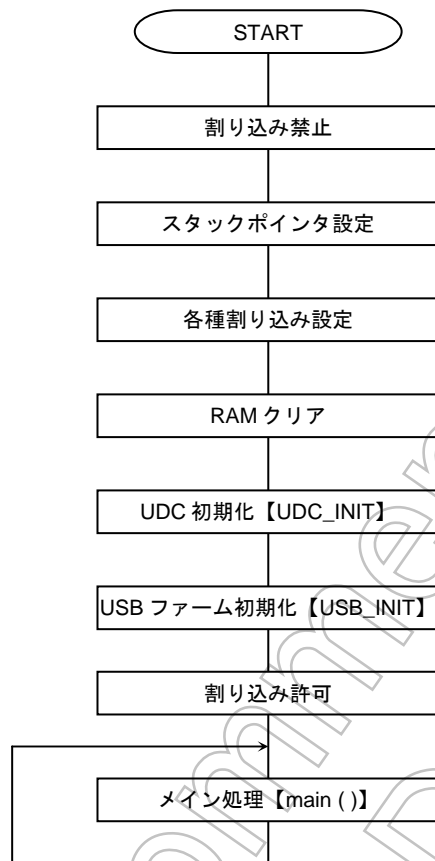


Not Recommended for New Design

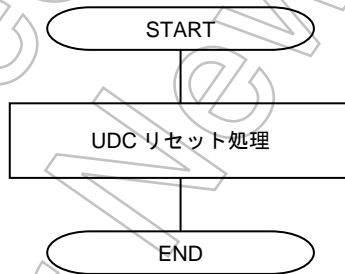
(c-12) EP0 の FIFO へのデータライト処理



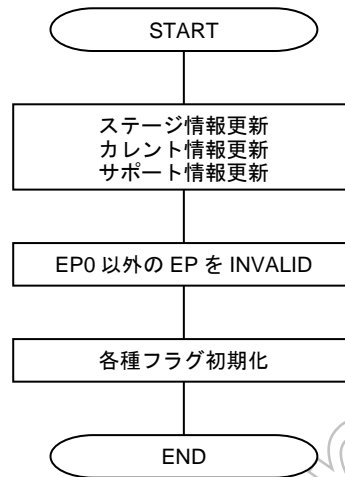
(c-13) マイコン初期設定処理



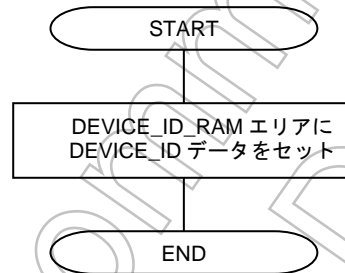
(c-14) UDC 初期設定処理



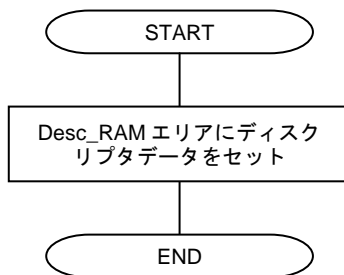
(c-15) USB ファーム変数初期設定処理



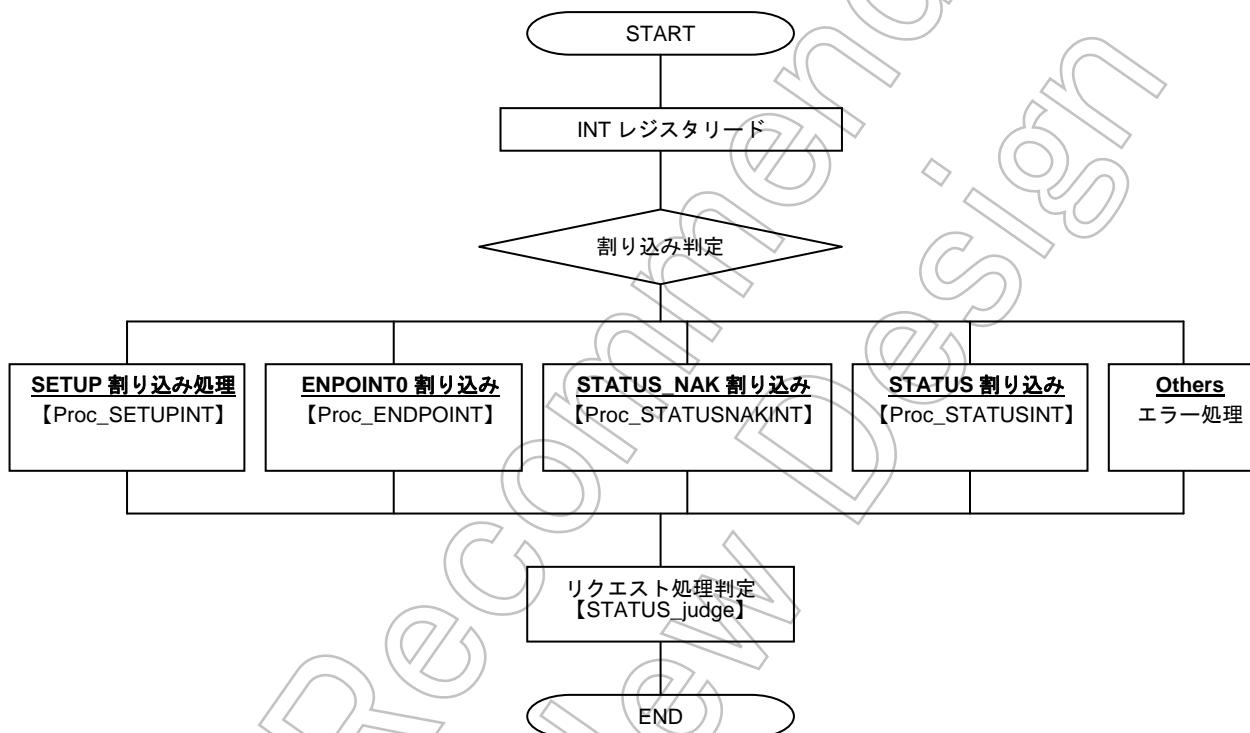
(c-16) DEVICE_ID データを UDC の DEVICE_ID にセット



(c-17) ディスクリプタデータセット処理



(c-18) USB 割り込み処理

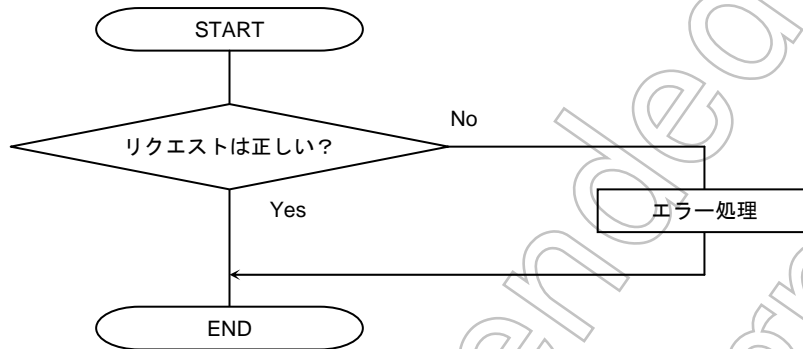


(c-19) 未使用マスカブル割り込みダミー機能

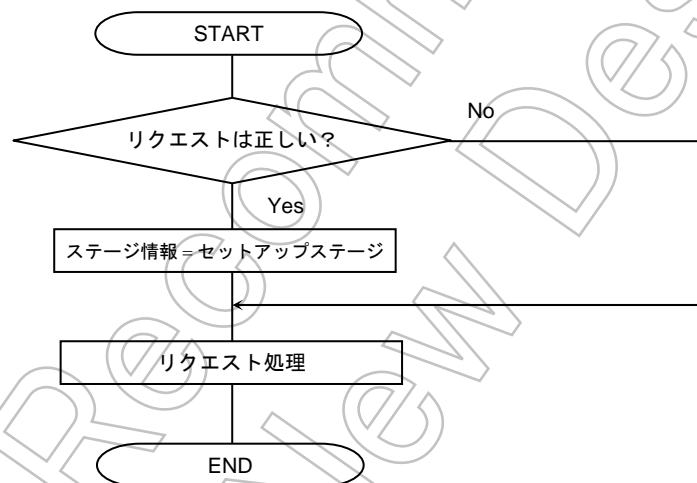
* 処理は何も行っていないため、概略フローは省略します。

(c-20) リクエスト判定処理

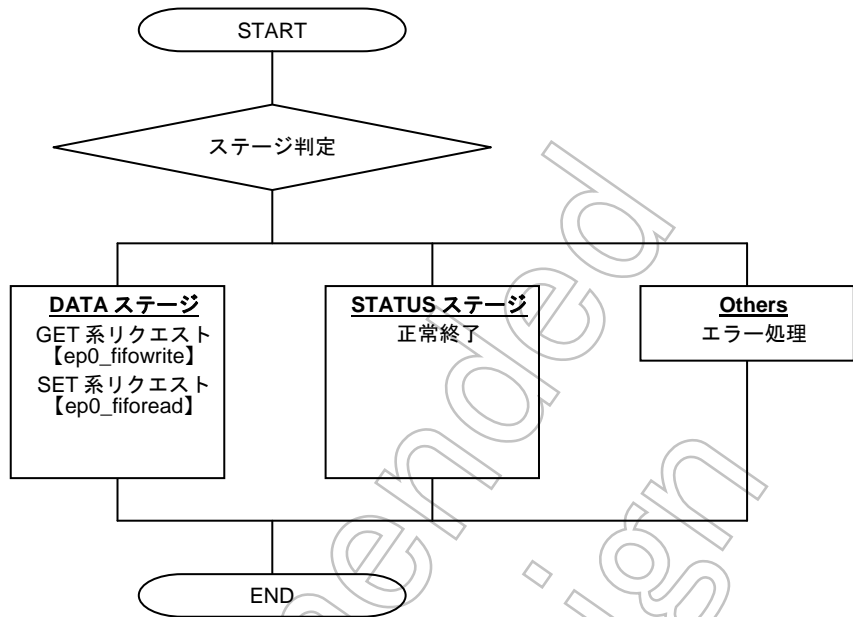
処理結果よりエラーの場合 STALL コマンドを発行します。



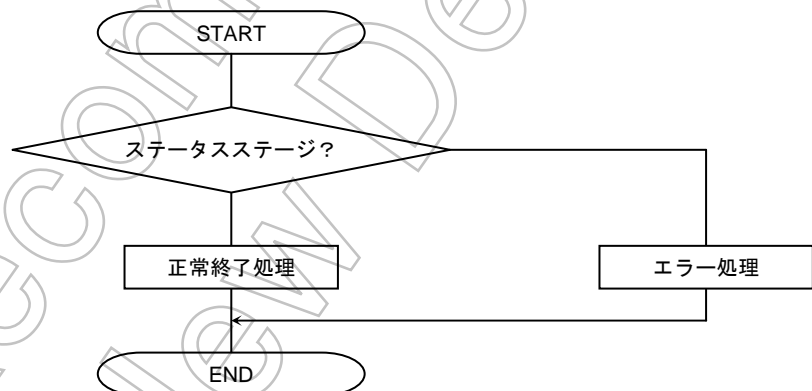
(c-21) セットアップステージ処理



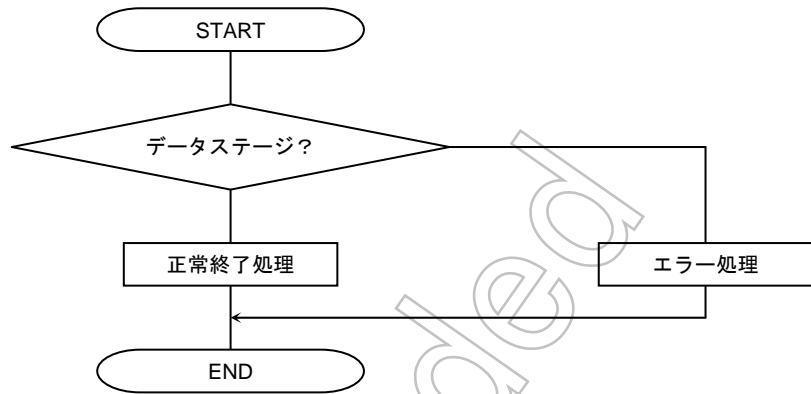
(c-22) セットアップステージ以外でのエンドポイント0の処理を行います。



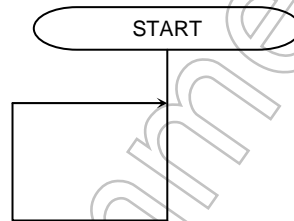
(c-23) ステータスステージ割り込み処理



(c-24) STATUS NAK 割り込み処理

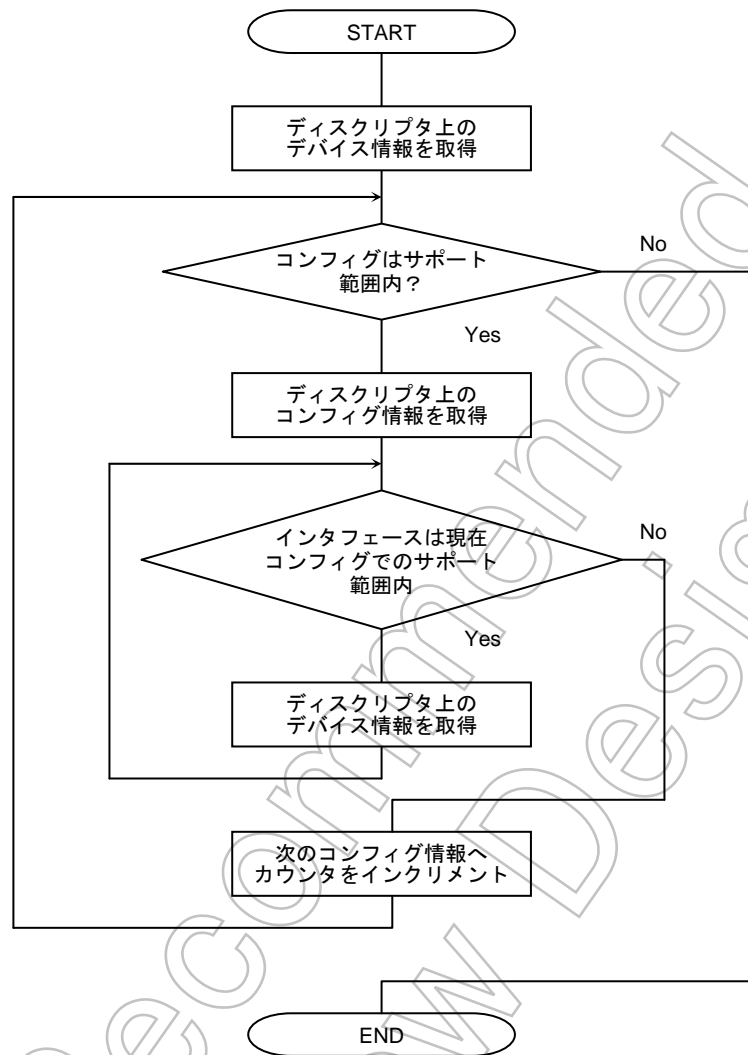


(c-25) USB 処理は割り込みにて行うためメインでは無処理



Not Recommended for New Design

(c-26) 各種ディスクリプタ情報 (標準リクエスト関連) の取得



3.16.11 使用上の注意事項

1. TMP92CF30 に内蔵される USB デバイスコントローラを利用する場合は、USB の規定から $10\text{MHz}\pm 2500\text{ppm}$ 以下(クリスタル発振子)の発振子を推奨いたします。またその場合も、本 USB デバイスコントローラと内部クロックの精度の関係上、外部ハブの利用は最大 3 段までとなります。USB コンプライアンス(USB ロゴ)の認証を受ける場合は、外付けハブは 5 段接続が必須のため、この場合は、必ず X1USB 端子より $\pm 2500\text{ppm}$ 以下の精度で 48MHz のクロックを入力する必要があります。

2. TMP92CF30 USB デュアルパケットモード使用時の動作について

デュアルパケットモードは、FIFO を 2 つの独立な A と B のパケットに分割し、ハードウェアにて順番にコントロールするモードです。

受信用の FIFO からデータをリードするときには、2 つのパケットの状態を確認し、優先順位を考慮しながら行う必要がありますが、その処理について以下ご注意願います。

有効データの存在を示す EPx_SIZE レジスタは A、B パケットごとに用意されていますので、CPU は、PKT_ACTIVE ビットを用いてどちらのパケットが先にアクセスされたのかを確認の上、先に受信したパケットのデータ数を把握する必要があります。PKT_ACTIVE ビットが“1”にセットされているほうが先に受信したパケットになります。

A のみアクティブ、B のみアクティブ、AB 共にアクティブの判断をする場合に、アクティブビットを、その都度レジスタから読み出すと、時間的なアクティブビットの変化により、処理を誤る可能性があります。

そのため、割込み要求などで EPx_SIZE レジスタ内のアクティブビットの情報は、一旦 RAM などに退避し、RAM 内の情報を使って分岐処理を行うようにしてください。

3.17 SPIC (SPI Controller)

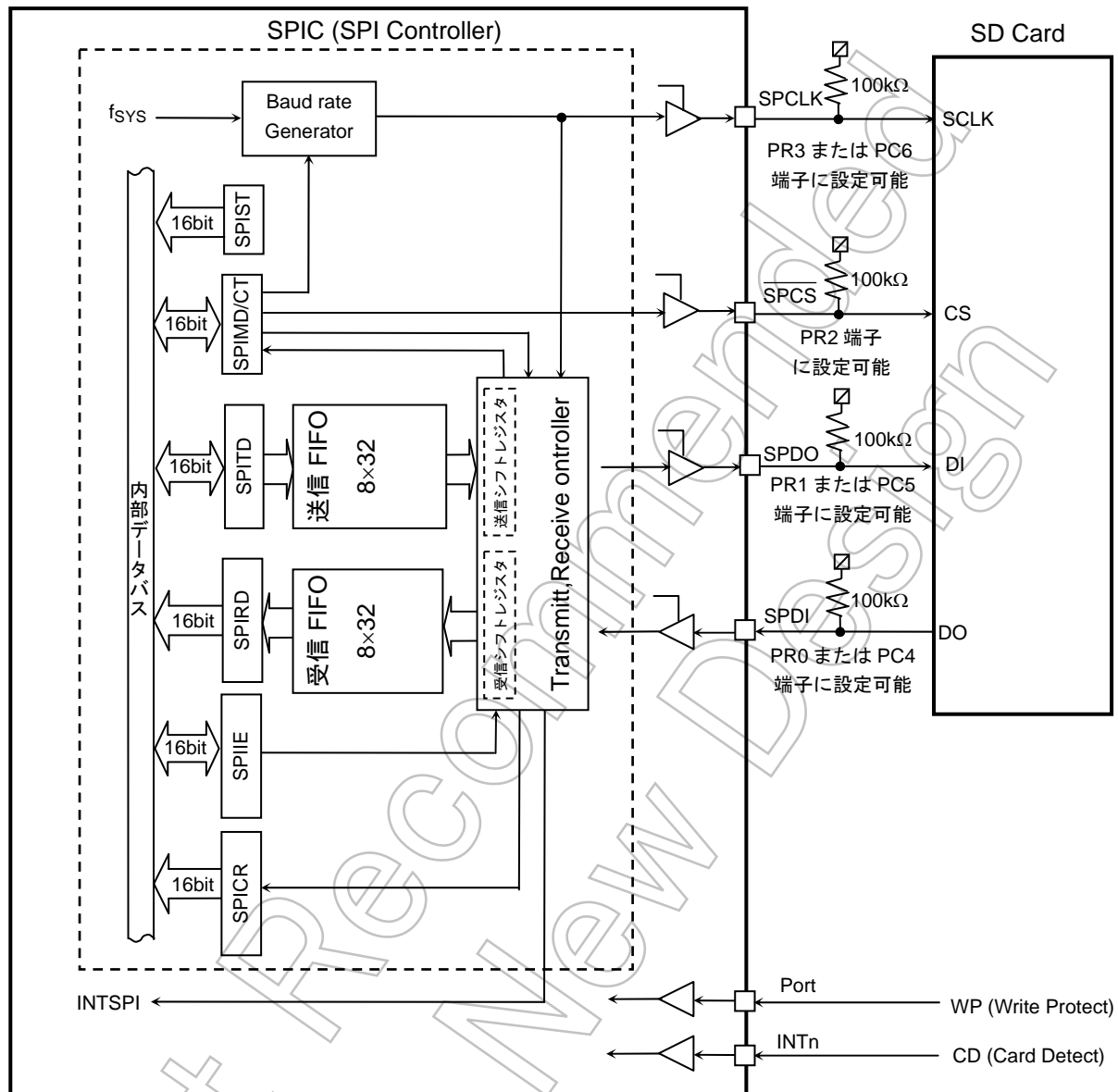
SPIC は、マスタモードのみをサポートする Serial Peripheral Interface Controller です。SD カード、MMC(Multi Media Card)等と SPI モードで接続が可能です。下記に特長を示します。

- 1) 送信/受信に各々32 バイトの FIFO を内蔵しています。
- 2) 送信/受信データの CRC7、CRC16 を生成可能です。
- 3) 最大 20Mbps ボーレート対応可能です。
- 4) 複数の SD カード、MMC と接続可能です。ただし、 \overline{CS} 端子として \overline{SPCS} 端子は 1 端子のため、2 接続以上は他の出力ポートを使用する必要があります。
また、内蔵の SPI 回路は 1 チャンネルのみ存在しており、PR0~PR3 端子と兼用となっておりますが、PC4~PC6 端子に割り当てることも可能になっています。
- 5) INTSPITX(送信割り込み)、INTSPIRX(受信割り込み)の 2 本の割り込み機能
RFUL、TEMP、REND、TEND の 4 種類の割り込みに対してそれぞれ、状態のリード、マスクを制御可能です。

Not Recommended for New Design

3.17.1 ブロック図

ブロック図、およびSDカードとの接続例を図 3.17.1に示します。



注 1) リセットによって、SPCLK, SPCS, SPDO, SPDI 端子は入力ポートに設定されます (PR0~PR3)。そのためレベル固定用のプルアップ抵抗が必要となります。実際に使用される抵抗の値に関しては最終セット上で確認してください。

注 2) Write Protect とカード検出のための端子は、汎用ポートや汎用割り込み信号を利用してください。

図 3.17.1 SPIC ブロック図と接続例

3.17.2 SFR

SPIC の SFR を以下に説明します。これらは 16 ビットデータバスで CPU に接続されています。

(1) SPIMD(SPI モード設定レジスタ)

SPIMD は動作モード、使用クロックなどを設定するレジスタです。

SPIMD レジスタ

		7	6	5	4	3	2	1	0
SPIMD (0820H) リード モディファイ アライメント できません	Bit symbol	SWRST	XEN				CLKSEL2	CLKSEL1	CLKSEL0
	Read/Write	W	R/W				R/W		
	リセット後	0	0				1	0	0
	機能	S/W リセット 0: don't care 1: Reset	SYSCK 0: disable 1: enable				ボーレート選択(注 1) 000: Reserved 100: f _{sys} /8 001: f _{sys} /2 101: f _{sys} /16 010: f _{sys} /3 110: f _{sys} /64 011: f _{sys} /4 111: f _{sys} /256		
		15	14	13	12	11	10	9	8
(0821H)	Bit symbol	LOOPBACK	MSB1ST	DOSTAT		TCPOL	RCPOL	TDINV	RDINV
	Read/Write	R/W				R/W			
	リセット後	0	1	1		0	0	0	0
	機能	LOOPBACK K テスト モード 0: disable 1: enable	送受信開始 BIT 0: LSB 1: MSB	非送信時の SPDO 端子 状態設定 0: "0" 固定 1: "1" 固定		送信時の 同期クロ ックエッ ジ 設定 0: 立ち下がり 1: 立ち上がり	受信時の 同期クロ ックエッ ジ 設定 0: 立ち下がり 1: 立ち上がり	送信時の データ反転 0: disable 1: enable	受信時の データ反転 0: disable 1: enable

注) 本 LSI の、SD カード SPI モードでは、20Mbps が最高速となります。使用される CPU の動作周波数(f_{sys})に合わせて 20MHz を超えた設定をしないようにしてください。

図 3.17.2 SPIMD レジスタ

(a) <LOOPBACK>

<XEN>= "1", <LOOPBACK>= "1" に設定すると、内部 SPDO 出力を内部 SPDI へ入力できますのでテストに使用できます。その際は送信、受信の実行の有無に関係なく常に SPCLK 端子よりクロックを出力します。

設定を変更するときは、送信/受信動作を実行しないでください。

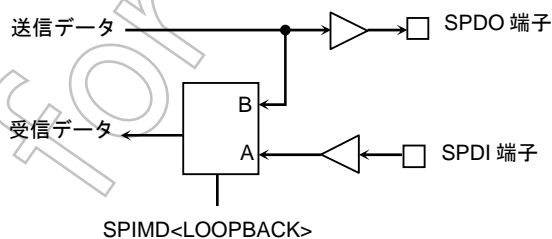


図 3.17.3 <LOOPBACK>レジスタの機能

(b) <MSB1ST>

送信/受信データの開始ビットを選択します。設定を変更するときは、送信/受信動作を実行しないでください。

(c) <DOSTAT>

非送信時(送信終了後や受信動作時)の SPDO 端子の状態を設定します。設定を変更するときは、送信/受信動作を実行しないでください。

(d) <TCPOL>

送信動作の同期クロックのエッジを選択します。設定を変更するときは、<XEN>= “0”の状態にしてください。また、<RCPOL>と同じ値を設定してください。

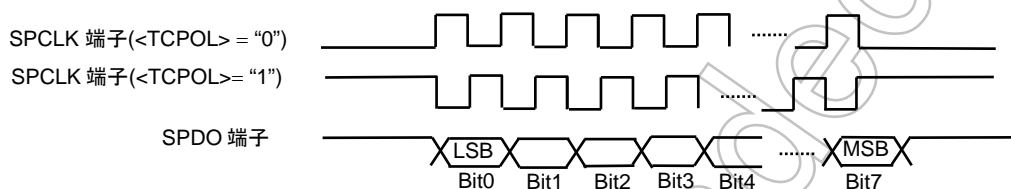


図 3.17.4 <TCPOL>レジスタの機能

(e) <RCPOL>

受信動作の同期クロックのエッジを選択します。設定を変更するときは、<XEN>= “0”の状態にしてください。また、<TCPOL>と同じ値を設定してください。

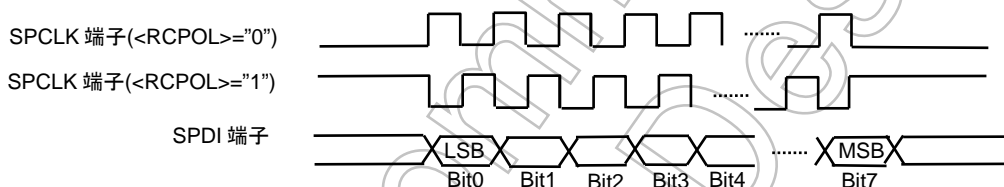


図 3.17.5 <RCPOL>レジスタの機能

(f) <TDINV>

送信データを SPDO 端子から出力するデータを論理反転する/しないを選択します。設定を変更するときは、送信/受信動作を実行しないでください。

(g) <RDINV>

SPDI 端子から入力する受信データを論理反転する/しないを選択します。設定を変更するときは、送信/受信動作を実行しないでください。

(h) <SWRST>

送受信のポインタにソフトウェアリセットをかけるビットです。<XEN>が“1”の状態では SPICT<TXE>に“0”をライトし、送信を停止してから、<SWRST>に“1”をライトすることで送信 FIFO および受信 FIFO のリードポインタ、ライトポインタを初期化します。

SPICT<TXE>に“0”をライトすると、送信途中の UNIT データが、送信された後に、送信が停止し、<SWRST>に“1”をライトすることで、送信 FIFO 内のデータは無効となります。一旦ソフトウェアリセットをかけた後に送信を再開してもデータは出力されません。送信途中には<SWRST>に“1”をライトしないでください。

また、受信においては、受信 FIFO にある受信データが無効になります。

連続受信の場合は、受信 FIFO 内のデータが無効となっても、連続して受信動作をしますので、SPICT<RXE>に“0”をライトして、現在受信中の受信終了後に受信動作を停止させ、(受信中の UNIT が無いことを確認後、REND 割り込み後または 1UNIT 受信時間経過後)、<SWRST>=“1”とすることで、受信動作を全て停止できます。受信途中には<SWRST>に“1”をライトしないでください。

ソフトウェアリセットを行うには<SWRST>=“1”とライトするだけの 1shot の動作でリセットされます(<SWRST>=“0”のライトは不要)。また、<XEN>=“1”と<SWRST>=“1”の同時ライトも対応しています。

(i) <XEN>

内部のクロックの動作設定を選択します。SPI コントローラを使用する際は常に“1”に設定してください。

(j) <CLKSEL2:0>

ボーレート選択レジスタです。ボーレートはシステムクロック(f_{SYS})から生成しています。下記の表に示すように、システムクロックに応じて、ボーレート設定が可能となります。設定を変更するときは、送信、受信動作を実行しないでください。

注) 本 LSI の、SD カード SPI モードでは、20Mbps が最高速となります。使用される CPU の動作周波数(f_{SYS})に合わせて 20MHz を超えた設定をしないようにしてください。

表 3.17.1 ボーレート設定例

<CLKSEL2:0>	ボーレート値[Mbps]	
	$f_{SYS} = 60\text{MHz}$ 時	$f_{SYS} = 80\text{MHz}$ 時
$f_{SYS}/2$	–	–
$f_{SYS}/3$	20	–
$f_{SYS}/4$	15	20
$f_{SYS}/8$	7.5	10
$f_{SYS}/16$	3.75	5
$f_{SYS}/64$	0.9375	1.25
$f_{SYS}/256$	0.234375	0.3125

(2) SPICT(SPI コントロールレジスタ)

SPICT はデータ長、CRCなどを設定するレジスタです。

SPICT レジスタ

		7	6	5	4	3	2	1	0
SPICT (0822H)	Bit symbol	CEN	SPCS_B	UNIT16	TXMOD	TXE	FDPXE	RXMOD	RXE
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		
	リセット後	0	1	0	0	0	0	0	0
	機能	通信端子 制御 0: disable 1: enable	SPCS 端 子 設定 0: "0"出力 1: "1"出力	データ長 選択 0: 8bit 1: 16bit	送信 モード 0: UNIT 1: 連続送 信	送信 イネーブ ル 0: disable 1: enable	全2重での アライメン ト 0: disable 1: enable	受信 モード 0: UNIT 1: 連続受信	受信 イネーブ ル 0: disable 1: enable
		15	14	13	12	11	10	9	8
(0823H)	Bit symbol	CRC16_7_B	CRCRX_TX_B	CRCRESET_B					
	Read/Write	R/W							
	リセット後	0	0	0					
	機能	CRC 選択 0: CRC7 1: CRC16	CRC データ 0: 送信 1: 受信	CRC 演算 レジスタ 制御 0: リセット 1: リセット 解除					

図 3.17.6 SPICT レジスタ

(a) <CRC16_7_B>

CRC7, CRC16 を選択するレジスタです。

(b) <CRCRX_TX_B>

CRC 演算回路への入力データを選択します。送信データと CRC 演算するか、受信データと CRC 演算するかを選択します。

(c) <CRCRESET_B>

CRC 演算レジスタを初期化します。

送信データのCRC16を計算し、送信データに続いてCRCを送信する手順を下図 3.17.7のフローチャートを用いて説明します。

- (1) CRC7とCRC16のどちらを計算するかSPICT<CRC16_7_B>に設定し、送受信のどちらのデータのCRCを計算するか<CRCRX_TX_B>で設定します。
- (2) SPICRレジスタをリセットするため、<CRCRESET_B>に“0”をライトしてから“1”をライトします。
- (3) 送信データをSPITDにライトし、全データの送信完了を待ちます。
- (4) SPICRレジスタをリードして、CRCの計算結果を取得します。
- (5) (4)で取得したCRCを(3)と同じ手順で送信します。

受信データのCRC計算も同様の手順で実行できます。

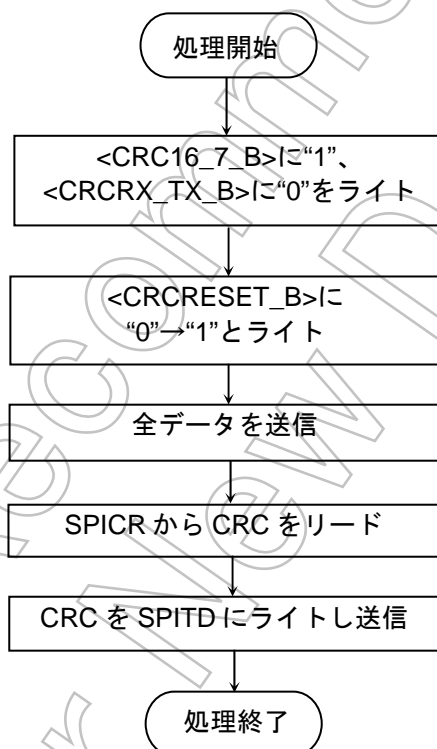


図 3.17.7 CRC 計算手順フローチャート

(d) <CEN>

SD カード、MMC との通信端子の許可/禁止設定を選択します。

カードが挿入されてない状態や電源が OFF の場合に、SPDI 端子がフローティング状態になり、貫通電流を流す事や $\overline{\text{SPCS}}$ 、SPCLK、SPDO 端子が“1”を出力しカードに電流を流し込むことを防止するためのレジスタです。ポート R の PRCR、PRFC レジスタ $\overline{\text{SPCS}}$ 、SPCLK、SPDO、SPDI を選択している状態で <CEN>に“0”をライトすると、SPIDI 端子を入力禁止(貫通電流防止状態)、 $\overline{\text{SPCS}}$ 、SPCLK、SPDO 端子をハイインピーダンス状態にします。

<CEN>は、カードが挿入されカードの電源を投入し、さらに SPI コントローラへのクロック供給をした後(SPIMD<XEN>=“1”後)、“1”をライトしてください。

(e) <SPCS_B>

SPCS 端子へ出力する値を設定します。

(f) <UNIT16>

送信/受信のデータ長を選択します。なお、これ以降 データ長を UNIT と記します。

設定を変更するときは、送信/受信動作を実行しないでください。

(g) <FDPXE>

全 2 重通信実行時に“1”に設定します。送信/受信を UNIT でアライメントさせるかどうかを選択します。設定を変更するときは、送信/受信動作を実行しないでください。

(h) <TXMOD>

UNIT 送信するか、連続送信するかを選択します。送信中には連続送信→UNIT 送信、UNIT 送信→連続送信の書き換えはできません。

UNIT 送信の場合送信 FIFO は無効となり、TEMP 割り込みは SPITD から送信シフトレジスタに転送された時点で発生します。

連続送信の場合 32 バイトの FIFO が有効となり、TEMP 割り込みは FIFO 内に 16 バイトの空きか、32 バイトの空きが出来た時点で発生します。

(i) <TXE>

送信イネーブルビットです。送信 FIFO に送信データをライトした後に“1”をライトするか、あらかじめ“1”をライトした状態で送信 FIFO に送信データをライトすることで、送信がスタートします。送信中も Enable/Disable の書き換えは可能です。送信中に“0”をライトすると、送信途中の UNIT のみ送信を完了した後、送信を停止します。

注意事項:

UNIT モード(SPICT<TXMOD>= "0")を使用時は、以下の制限があります。

SPICT<TXE>を“1”に設定した後、UNIT 送信が終了するまでは他のレジスタを変更しないで下さい。

Program Sample1:

```
LD      (SPITDx), A      ; 送信データを設定します。
DI      ; 割り込みディセーブルにします。
SET 3,  (SPICT)         ; <TXE>を“1”に設定し、送信をスタートさせます。
```

```
Wait:  BIT 1,  (SPIST)   ; 送信終了を待ちます。
        JPZ,   Wait
RES 3,  (SPICT)         ; <TXE>を“0”に設定し、ディセーブルにします。
EI      ; 割り込みイネーブルにします。
```

Program Sample2 (推奨):

送信終了フラグを確認してください。(SPIST<TEND>= "1")

```
LD (SPITDx), A      ; 送信データを設定します。
DI      ; 割り込みディセーブルにします。
SET 3, (SPICT)     ; <TXE>を“1”に設定し、送信をスタートさせます。
RES 3, (SPICT)     ; <TXE>を“0”に設定し、ディセーブルにします。
EI      ; 割り込みイネーブルにします。
```

(j) <RXMOD>

UNIT 受信するか、連続受信するかを選択します。

受信中には、連続受信→UNIT 受信、UNIT 受信→連続受信の書き換えは出来ません。

UNIT 受信の場合受信 FIFO は無効となり、RFUL 割り込みは受信シフトレジスタから SPIRD に転送された時点で発生します。

連続受信の場合、32 バイトの FIFO が有効となり、RFUL 割り込みは FIFO 内に 16 バイト分のデータが格納された時点か、32 バイト分のデータが格納された時点で発生します。

(k) <RXE>

UNIT 受信の場合“1”をライトすることで、UNIT 分のデータを 1 回だけ受信します。

“1”をライトしたまま SPIRD からデータリードすると、さらに 1 回だけ受信します。連続受信の場合“1”をライトすることで、32 バイトの FIFO がフルになるまで、連続して受信します。受信中も Enable/Disable の書き換えは可能です。受信中に“0”をライトすると、受信途中の UNIT のみ受信を完了した後受信を停止します。

[送受信動作モード]

SPI コントローラでは下記 6 つの動作モードをサポートしています。

これらは<FDPXE>、<RXMOD>、<RXE>、<TXMOD>、<TXE>レジスタで選択されます。

表 3.17.2 送受信動作モード

動作モード	レジスタ設定					説明
	<FDPXE>	<TXMOD>	<TXE>	<RXMOD>	<RXE>	
(1) UNIT 送信	0	0	1	x	x	ライトされた送信データを UNIT ごとに送信
(2) 連続送信	0	1	1	x	x	FIFO 内にライトされた送信データを順次送信
(3) UNIT 受信	0	x	x	0	1	1UNIT のみデータを受信
(4) 連続受信	0	x	x	1	1	バッファに空きがあれば自動受信
(5) UNIT 送受信	1	0	1	0	1	送信,受信データを UNIT ごとにアライメントし、1UNIT の送受信
(6) 連続送受信	1	1	1	1	1	送信,受信データを UNIT ごとにアライメントし、連続送受信

x: don't care

UNIT 送信と連続送信の違いについて

UNIT 送信は、まず SPICT<TXMOD>="0"として UNIT 送信モードに設定します。

UNIT 送信モードにすることで送信 FIFO は無効となります。SPICT<TXE>="1"の状態では UNIT データをライトするか、SPITD に 1UNIT 分のデータをライトした後に SPICT<TXE>="1"にすることによって実行されます。

送信中には、連続送信→UNIT 送信、UNIT 送信→連続送信の書き換えはできません。

UNIT 送信の場合、TEMP 割り込みは SPITD から送信シフトレジスタに転送された時点で発生します。また、TEND 割り込みは SPITD が空で、最後の UNIT の送信がすべて終了した時点で発生します。

注意事項:

UNIT モード(SPICT<TXMOD>="0")を使用時は、以下の制限があります。

SPICT<TXE>を"1"に設定した後、UNIT 送信が終了するまでは他のレジスタを変更しないで下さい。

Program Sample1:

```
LD (SPITDx), A ; 送信データを設定します。
DI ; 割り込みディセーブルにします。
SET 3, (SPICT) ; <TXE>を"1"に設定し、送信をスタートさせます。

Wait: BIT 1, (SPIST) ; 送信終了を待ちます。
JPZ, Wait
RES 3, (SPICT) ; <TXE>を"0"に設定し、ディセーブルにします。
EI ; 割り込みイネーブルにします。
```

Program Sample2 (推奨):

送信終了フラグを確認してください。(SPIST<TEND>="1")

```
LD (SPITDx), A ; 送信データを設定します。
DI ; 割り込みディセーブルにします。
SET 3, (SPICT) ; <TXE>を"1"に設定し、送信をスタートさせます。
RES 3, (SPICT) ; <TXE>を"0"に設定し、ディセーブルにします。
EI ; 割り込みイネーブルにします。
```

連続送信は、まず SPICT<TXMOD>="1"として連続送信モードに設定します。連続送信の場合、32 バイトの FIFO が有効となります。連続送信の場合は、送信 FIFO へのデータライトは必ず 16 バイトごとに行ってください。16 バイト以外のライトを行うと、TEMP 割り込みが正常に発生しません。

連続送信は、SPICT<TXE>="1"の状態ではライトされた送信データを順次送出します。または FIFO にデータをライトした後に SPICT<TXE>="1"とすることで、データをライトした順序で順次送出します。

連続送信ではデータのある限り連続して送出を行うため、送信 FIFO(32 バイト)が空にならない限り連続して送信することができます。

送信中には、連続送信→UNIT 送信、UNIT 送信→連続送信の書き換えはできません。

送信中も SPICT<TXE>の書き換えは可能です。送信中に SPICT<TXE>="0"をライトすると、送信途中の UNIT のみ送信を完了した後、送信を停止します。

連続送信の場合、TEMP 割り込みは FIFO 内に 16 バイトの空きか、32 バイトの空きができた時点で発生します。

また、TEND 割り込みは送信 FIFO が空で、最後の UNIT の送信がすべて終了した時点で発生します。

UNIT 受信と連続受信の違いについて

UNIT 受信は 1UNIT だけデータを受信するモードです。

SPICT<RXMOD>="0"に設定することで UNIT 受信モードになります。UNIT 受信モードにすることで受信 FIFO は無効となります。

SPICT<RXE>="1"をライトすると 1UNIT の受信を行い SPIRD に受信データが格納され受信を停止します。1UNIT ずつデータの受信、および処理を行いたい場合には、SPICT<RXE>="0"をライトしてから SPIRD をリードしてください。SPICT<RXE>が"1"のまま、再度 SPIRD をリードすると、再度 1UNIT だけ受信動作を行います。受信中には、連続受信→UNIT 受信、UNIT 受信→連続受信の書き換えはできません。

UNIT 受信の場合、RFUL と REND 割り込みは受信シフトレジスタから、SPIRD にシフトされた時点で発生します。

連続受信は、受信 FIFO に空きがある場合に、連続して自動的にデータを受信するモードです。SPICT<RXMOD>="1"をライトすることで連続受信モードになります。連続受信モードにすることで、32 バイトの受信 FIFO が有効になります。

連続受信の場合は、受信 FIFO からのデータリードは、必ず 16 バイトごとに行ってください。16 バイト以外のリードを行うと、RFUL 割り込みが正常に発生しません。

SPICT<RXE>="1"をライトすると、受信 FIFO に受信データが格納されます。受信 FIFO が FULL(32 バイト)にならない限り、次のデータを自動的に受信するため、UNIT ごとに途切れることなく連続して受信を行うことができます。受信中には、連続受信→UNIT 受信、UNIT 受信→連続受信の書き換えはできません。

受信中に SPICT<RXE>="0"をライトすると、リード中の UNIT の受信終了後、受信動作を停止します。RFUL 割り込みは FIFO 内に 16 バイト分のデータが格納された時点と、32 バイト分のデータが格納された時点で発生します。

また、REND 割り込みは、受信 FIFO 32 バイトが FULL になった状態で発生します。

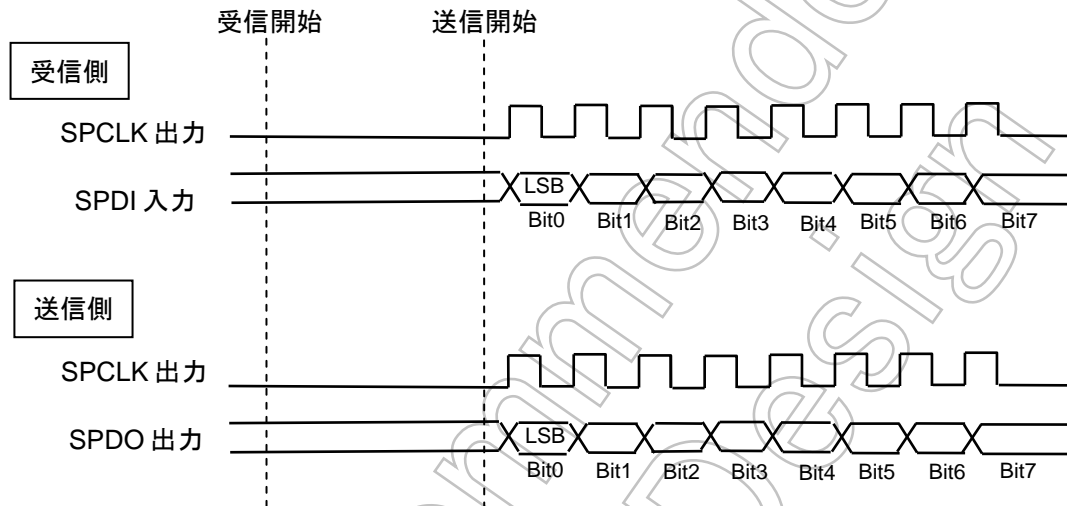
送受信について

送受信を同時に行う場合には、必ず<FDPXE>に“1”をライトしてください。

最初に<FDPXE>に“1”をライトしてから SPIC<RXE>に“1”をライトして UNIT 受信開始待機状態とします。

SPIC<FDPXE>に“1”をライトしてから<RXE>に“1”をライトすると、即座には受信は開始されません。これは同時に行うべき送信データがまだ準備されていないためです。<TXE>=“1”の状態、SPITD に送信データをライトするとその時点から送受信が開始されます。

この場合の送受信のそれぞれの動作は図のとおりとなります。



注) 送受信を同時に行わない場合は、<FDPXE>=“0”の状態で行います。

(3) 割り込み

割り込みは、割り込みコントローラに対して、送信割り込み INTSPITX と、受信割り込み INTSPIRX に大別され、さらに本回路内で、送信で 2 種類、受信で 2 種類の計 4 種類の割り込みがあります。

(a) 送信割り込み

TEMP(送信 FIFO エンプティ割り込み)と、TEND(送信終了割り込み)があります。

この 2 種類の割り込みの内、TEMP 割り込みは送信モードが UNIT か連続かの違いによってその発生が異なります。

連続送信の場合は、送信 FIFO へのデータライトは必ず 16 バイトごとに行ってください。16 バイト以外のライトを行うと、TEMP 割り込みが正常に発生しません。

UNIT 送信の時

UNIT 送信では送信 FIFO が無効となるため、エンプティ割り込みは SPITD にライトしたデータが送信シフトレジスタにシフトされた時点で発生します。

TEND は SPITD が空で、最後の UNIT の送信がすべて終了した時点で発生します。(SPIMD<TCPOL>="0"の時最終ビットのクロックの立ち下がり後)

連続送信の時

エンプティ割り込みは送信 FIFO に 16 バイト分空が出来た状態と、送信 FIFO に 32 バイトの空きが出来た時の 2 つの事象で発生します。

TEND は送信 FIFO が空で、最後の UNIT の送信がすべて終了した時点で発生します。(SPIMD<TCPOL>="0"の時最終ビットのクロックの立ち下がり後)

(b) 受信割り込み

RFUL(受信 FIFO 割り込み)と、REND(受信終了割り込み)があります。

この 2 種類の割り込みの内 RFUL 割り込みは、受信モードが UNIT か連続かの違いによってその発生が異なります。

連続受信の場合は受信 FIFO からのデータリードは必ず 16 バイトごとに行ってください。16 バイト以外のリードを行うと、RFUL 割り込みが正常に発生しません。

UNIT 受信の時

RFUL 割り込みは受信 FIFO が無効となるため、REND 割り込みと同じタイミングで発生します。受信シフトレジスタから、SPIRD にシフトされた時点で発生します。

連続受信の時

RFUL 割り込みは受信 FIFO に 16 バイト分のデータが格納された時と、32 バイト分のデータが格納された時の 2 つの事象で発生します。

REND 割り込みは、受信 FIFO 32 バイトが FULL になった状態で発生します。

(3-1) SPIST(SPI ステータスレジスタ)

SPIST は、3つのステータスを示すレジスタです。

		SPIST レジスタ								
		7	6	5	4	3	2	1	0	
SPIST (0824H)	Bit symbol					TEMP			TEND	REND
	Read/Write					R			R	
	リセット後					1			1	0
	機能					送信 FIFO 状態 0: 空きなし 1: 空きあり			送信状態 0: 送信中か 送信データ あり 1: 送信終了	受信状態 0: 受信中か 受信データ なし 1: 受信終了か、 FIFOに 空きなし
		15	14	13	12	11	10	9	8	
(0825H)	Bit symbol									
	Read/Write									
	リセット後									
	機能									

図 3.17.8. SPIST レジスタ

(a) <TEMP>

UNIT 送信の場合は、SPITD に有効データがある場合に“0”、また有効データが無い場合に“1”にセットされます。

連続送信の場合は、送信 FIFO 中に有効データが無い場合に“1”にセットされます。

(b) <TEND>

SPITD か、FIFO 中に送信すべき有効データがある場合と送信最中は“0”にリセットされ、SPITD か FIFO 中に送信すべき有効データが無く、且つデータをすべて送信終了した場合に“1”にセットされます。

(c) <REND>

UNIT 受信の場合は、受信を終了し SPIRD に有効データが格納された場合(有効データがある場合)に“1”にセットされ、受信中または有効データが無い場合に“0”にリセットされます。

連続受信の場合は、最終データの受信を終了し受信 FIFO 中に、32 バイトの有効データがある場合に“1”にセットされ、1 バイトでも空きが有る場合に“0”になります。

なお、RFUL フラグはその意味合いが REND フラグと全く同じになるために存在しません。

(3-2) SPIIE(SPI 割り込みイネーブルレジスタ)

SPIIE は、4つの割り込み出力の許可を設定するレジスタです。

SPIIE レジスタ

		7	6	5	4	3	2	1	0
SPIIE (082CH)	Bit symbol					TEMPIE	RFULIE	TENDIE	RENDIE
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					TEMP 割り込み 0: 禁止 1: 許可	RFUL 割り込み 0: 禁止 1: 許可	TEND 割り込み 0: 禁止 1: 許可	REND 割り込み 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
(082DH)	Bit symbol								
	Read/Write								
	リセット後								
	機能								

図 3.17.9 SPIIE レジスタ

(a) <TEMPIE>

TEMP 割り込みの許可を設定するビットです。

(b) <RFULIE>

RFUL 割り込みの許可を設定するビットです。

(c) <TENDIE>

TEND 割り込みの許可を設定するビットです。

(d) <RENDIE>

REND 割り込みの許可を設定するビットです。

注) 送信割り込み(INTSPITX)に 2 種類(TEMP、TEND)、受信割り込み(INTSPIRX)に 2 種類(RFUL、REND)の計 4 種類の割り込みがありますが、送信用の割り込みは TEMP か TEND、受信用の割り込みは RFUL か REND のどちらか 1 種類の割り込みを選択して使用してください。(TEMP と TEND の同時使用、または RFUL、REND の同時使用はしないでください)

(4) SPICR(SPI CRC レジスタ)

SPICR は送信/受信データの CRC 演算結果を格納するレジスタです。

		SPICR レジスタ							
		7	6	5	4	3	2	1	0
SPICR (0826H)	Bit symbol	CRCD7	CRCD6	CRCD5	CRCD4	CRCD3	CRCD2	CRCD1	CRCD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能		CRC 演算結果格納レジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0827H)	Bit symbol	CRCD15	CRCD14	CRCD13	CRCD12	CRCD11	CRCD10	CRCD9	CRCD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能		CRC 演算結果格納レジスタ[15:8]							

図 3.17.10 SPICR レジスタ

(a) <CRCD15:0>

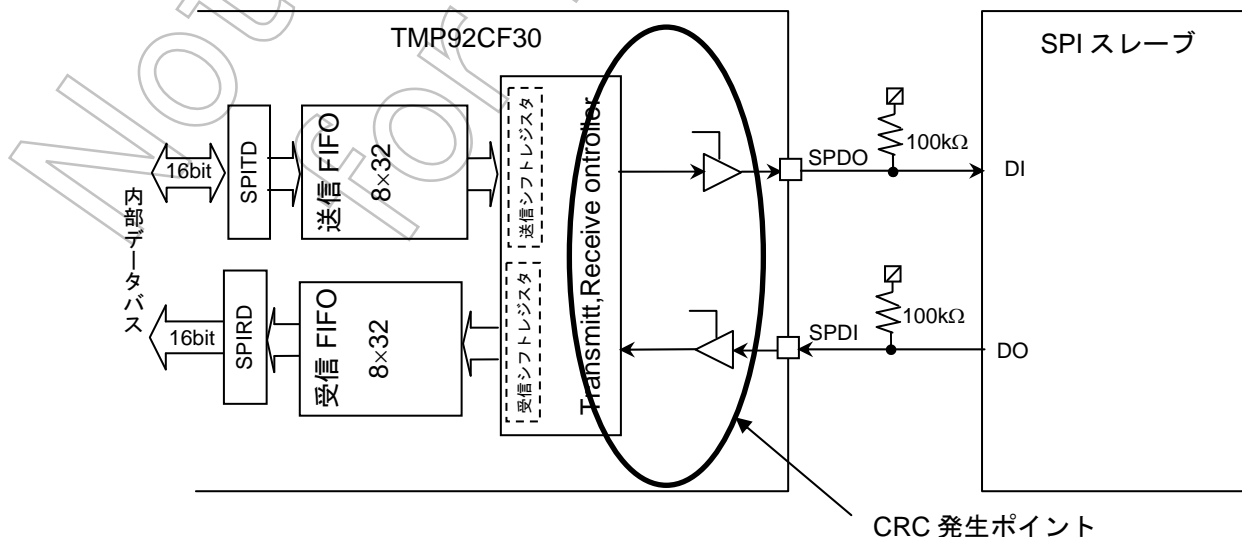
SPICR<CRCD15:0>レジスタの設定に従って演算した結果を格納するレジスタです。CRC16 の場合全ビット有効で、CRC7 の場合下位 7 ビットが有効です。

送信データの CRC16 を演算する場合の動作手順を例として説明します。

まず、<CRCD15:0>="1", <CRCRX_TX_B>="0", <CRCRESET_B>="0" をライト後に、<CRCRESET_B>="1" をライトして CRC 演算レジスタの初期化を実施します。次に送信データを SPITD へライトし CRC を演算する全データを送信終了させます。

送信終了は SPIST<TEND>で確認してください。終了後、SPICR レジスタをリードすると送信データの CRC16 をリードできます。

注) CRC 発生ポイントは、下記の示す様に、本マイコンの入出力時に発生します。FIFO を使用した連続送受信の場合等、CRC を比較するポイントに注意してください。



(5) SPITD(SPI 送信データレジスタ)

SPITD0、SPITD1は送信データをライトするレジスタです。

SPITD0 レジスタ

		7	6	5	4	3	2	1	0
SPITD0 (0830H)	Bit symbol	TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0831H)	Bit symbol	TXD15	TXD14	TXD13	TXD12	TXD11	TXD10	TXD9	TXD8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[15:8]							

SPITD1 レジスタ

		7	6	5	4	3	2	1	0
SPITD1 (0832H)	Bit symbol	TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0833H)	Bit symbol	TXD15	TXD14	TXD13	TXD12	TXD11	TXD10	TXD9	TXD8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[15:8]							

図 3.17.11 SPITD レジスタ

送信データをライトするレジスタです。リードすると最後にライトしたデータがリードされます。送信 FIFO に空きが無い状態で次のデータをライトすると上書きされますので注意が必要です。

SPITD は 4 バイト存在しますので、DMA との併用など 4 バイト命令でのライトも可能です。ただし、データをライトする際は必ず 830 番地からライトしてください。また、データをライトする方法(命令)には制約があります。

詳細は下記の表を参照してください。

送信データ ライトサイズ	命令実行例	UNIT 送信(FIFO 未使用)		連続送信(FIFO 使用)	
		1バイト送信 <unit16>=0	2バイト送信 <unit16>=1	1バイト送信 <unit16>=0	2バイト送信 <unit16>=1
1バイトライト	ld (0x830),a	○	×	禁止	×
2バイトライト	ld (0x830),wa	×	○	○	○
4バイトライト	ld (0x830),xwa	×	×	○	○

○: CPU がライトしたデータ全てが送信される。

×: CPU がライトした以外に無効なデータが送信される。

(6) SPIRD(SPI 受信データレジスタ)

SPIRD0、SPIRD1 は受信データをリードするレジスタです。

SPIRD0 レジスタ

		7	6	5	4	3	2	1	0
SPIRD0 (0834H)	Bit symbol	RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0835H)	Bit symbol	RXD15	RXD14	RXD13	RXD12	RXD11	RXD10	RXD9	RXD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データレジスタ[15:8]							

SPIRD1 レジスタ

		7	6	5	4	3	2	1	0
SPIRD0 (0836H)	Bit symbol	RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0837H)	Bit symbol	RXD15	RXD14	RXD13	RXD12	RXD11	RXD10	RXD9	RXD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データレジスタ[15:8]							

図 3.17.12 SPIRD レジスタ

受信データをリードするレジスタです。リードする際には RFUL または REND のステータスを確認後リードしてください。

SPIRD は 4 バイト存在しますので、DMA との併用など 4 バイト命令でのリードも可能ですが、基本的にデータをリードする際は 834 番地からリードしてください(一部例外あり)。

また、データをリードする方法(命令)には制約があります。詳細は下記の表を参照ください。

受信データ リードサイズ	命令実行例	UNIT 受信(FIFO 未使用)		連続受信(FIFO 使用)	
		1 バイト受信 <unit16>=0	2 バイト受信 <unit16>=1	1 バイト受信 <unit16>=0	2 バイト受信 <unit16>=1
1 バイトリード	ld a,(0x834)	○	○	禁止	禁止
	ld a,(0x835)	×	○	禁止	禁止
2 バイトリード	ld wa,(0x834)	△*1	○	○	○
4 バイトリード	ld xwa,(0x834)	△*2	△*3	○	○

○: CPU がリード時に有効データだけをリードする。

△: CPU がリード時に有効データ+無効データをリードする。無効データは読み捨てる必要がある。

×: CPU がリード時に無効データしかリードしない。

*1: 834 番地 = 有効データ 835 番地 = 無効データ

*2: 834 番地 = 有効データ 835 番地 = 無効データ 836 番地 = 無効データ、837 番地 = 無効データ

*3: 834 番地 = 有効データ 835 番地 = 有効データ 836 番地 = 無効データ、837 番地 = 無効データ

3.17.3 FIFOに関する注意点

本回路には、以下に示す注意があります。

(1) 送信

送信 FIFO が FULL の状態でデータをライトするとデータが上書きされてしまいます。また、FIFO 内のライトポインタも異常な状態となりますので割り込みや送信が正常に行われません。ソフトウェアでライト回数を管理してください。

連続送信の場合は、送信 FIFO へのデータライトは必ず 16 バイトごとに行ってください。16 バイト以外のライトを行うと、TEMP 割り込みが正常に発生しません。

注) 16 バイト以外の単位で送信する場合は UNIT 送信を使用してください。

(2) 受信

受信 FIFO が空の状態でデータをリードすると不定データがリードされます。また、FIFO 内のリードポインタも異常な状態となりますので割り込みや受信が正常に行われません。ソフトウェアでリード回数を管理してください。

連続受信の場合は、受信 FIFO からのデータリードは必ず 16 バイトごとに行ってください。16 バイト以外のリードを行うと、RFUL 割り込みが正常に発生しません。

注) 16 バイト以外の単位で受信する場合は UNIT 受信を使用してください。

(3) CRC

CRC の発生ポイントは、マイコンから SPI スレーブへの送受信に(詳細は SPICRC レジスタ説明の章を参照ください)します。FIFO を使用した連続送受信の場合、CRC 比較のタイミングに注意してください。

例) 連続受信の場合

1. 連続受信開始
2. 有効データ終了(FIFO_Full)
3. 受信停止
4. 有効データリード(FIFO→内蔵 RAM 等)
5. 内蔵 CRC 発生回路からの CRC1 リード
6. (SD-CARD から UNIT 受信→) CRC2 受信開始
7. CRC 比較

上記の 2→4 の動作は割り込みを利用した、HDMA 等の連続受信が可能ですが、CRC 比較を行う場合は、3のように一旦受信停止を行わないと、5の内蔵 CRC 発生からの CRC1 が、「有効データ+CRC2」を含む CRC となり、正常に処理されません。

3.18 I²S (Inter-IC Sound)

I²S フォーマット互換のシリアル出力回路を内蔵しています。外部に DA コンバータなどの音声出力用 LSI を接続することによりデジタルオーディオシステムなどに使用できます。

下記に特長を記述します。

表 3.18.1 動作の特長

	I ² S モード
チャンネル	1チャンネル
フォーマット	I ² S フォーマット互換 右寄せ、左寄せ対応可 ステレオ/モノラル対応 マスタ送信のみ
使用端子	1. I2S0CKO (クロック出力) 2. I2S0DO (出力) 3. I2S0WS (ワード選択出力)
WS 周波数	『転送クロックジェネレータ、ワードセレクト信号の設定』を 参照してください
データ転送レート	
送信バッファ	64Byte × 2
データ方向	MSB-first、LSB-first のどちらかを選択可能
データ長	8ビットまたは 16ビット
クロックのエッジ	立ち上がりエッジまたは立下りエッジ
割り込み	INTI2S0 (64 バイト FIFO バッファエンプティ割り込み)

3.18.1 ブロック図

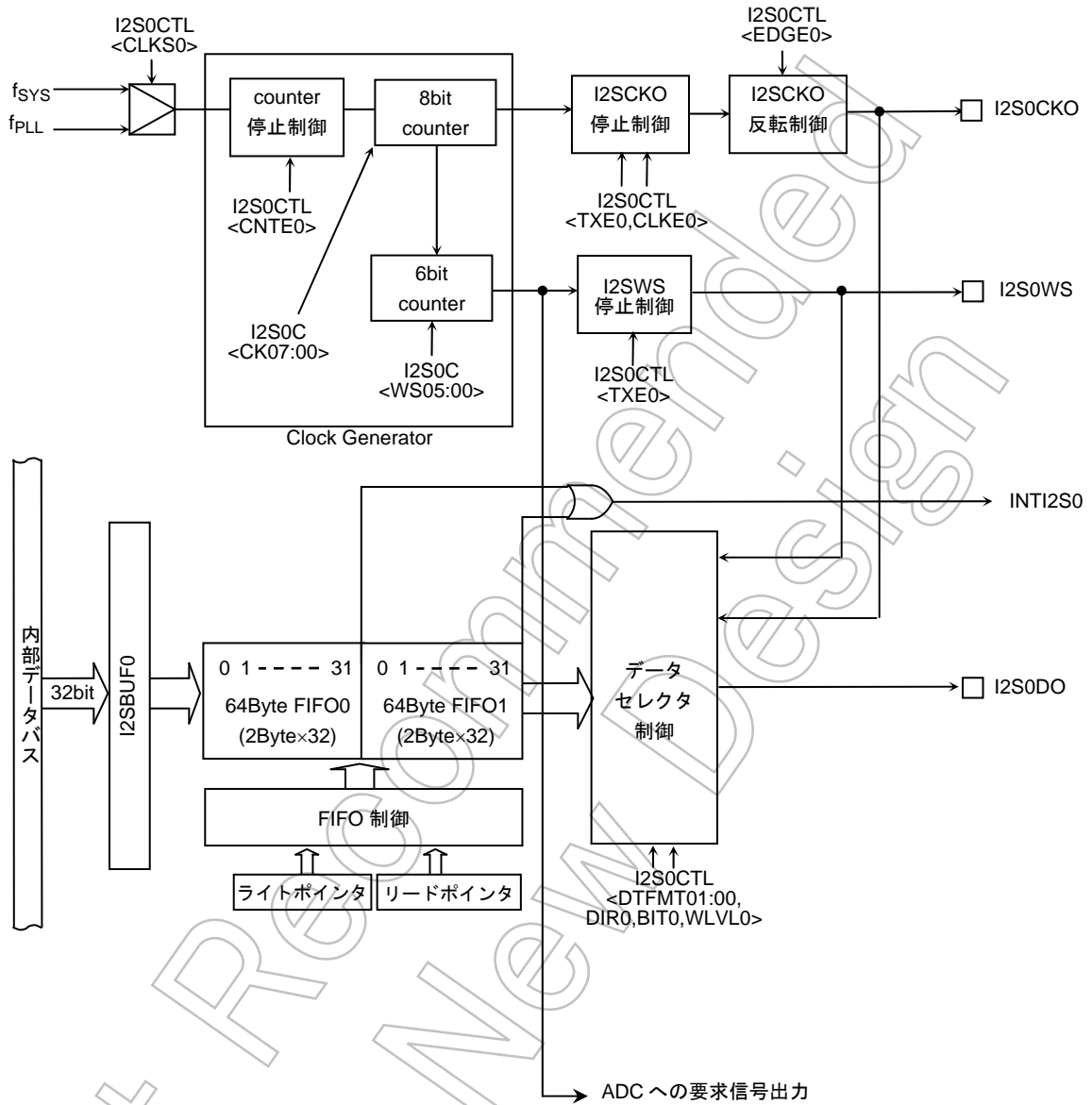


図 3.18.1 I²S ブロック図

3.18.2 SFR

以下の表は I²S の SFR です。この I²S の制御レジスタは 32 ビットデータバスで CPU に接続されます。下記の送信バッファ I2S0BUF は必ず 4 バイトの転送命令を使用してください。

I²S0 コントロールレジスタ

		7	6	5	4	3	2	1	0
I2S0CTL (1808H)	bit Symbol	TXE0	*CNTE0		DIR0	BIT0	DTFMT01	DTFMT00	SYSCKE0
	Read/Write	R/W				R/W			
	リセット後	0	0		0	0	0	0	0
	機能	送信 0: 停止 1: 開始	カウンタ 制御 0: クリア 1: スタート		送信開始 BIT 0: MSB 1: LSB	ビット長 0: 8 ビット 1: 16 ビット	出力フォーマット 00: I ² S 01: Left		10: Right 11: Reserve
(1809H)	bit Symbol	CLKS0			FSEL0	TEMP0	WLVL0	EDGE0	CLKE0
	Read/Write	R/W			R/W	R	R/W		
	リセット後	0			0	1	0	0	0
	機能	ソース クロック 選択 0: fsys 1: fPLL			ステレオ モノラル 切替え 0: ステレオ 1: モノラル	送信 FIFO 状態 0: data 有 1: data 無	WS レベル 0: low 左 1: high 左	データ出力 用クロック エッジ 0: 立ち下が り 1: 立ち上が り	クロック 許可 (送信後) 0: 動作 1: 停止

I²S0 分周値設定レジスタ

		7	6	5	4	3	2	1	0
I2S0C (180AH)	bit Symbol	CK07	CK06	CK05	CK04	CK03	CK02	CK01	CK00
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	CK 信号分周値設定(8 ビットカウンタ)							
(180BH)	Bit symbol			WS05	WS04	WS03	WS02	WS01	WS00
	Read/Write			R/W					
	リセット後			0	0	0	0	0	0
	機能			WS 信号分周値設定(6 ビットカウンタ)					

I²S0 バッファレジスタ

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2S0BUF (1800H)	bit Symbol	B015	B014	B013	B012	B011	B010	B009	B008	B007	B006	B005	B004	B003	B002	B001	B000
	Read/Write	W															
	リセット後	不定															
	機能	送信バッファ用レジスタ(FIFO バッファ)															
リード モディファイ ライトはでき ません	Bit Symbol	B031	B030	B029	B028	B027	B026	B025	B024	B023	B022	B021	B020	B019	B018	B017	B016
	Read/Write	W															
	リセット後	不定															
	機能	送信バッファ用レジスタ(FIFO バッファ)															

図 3.18.2 I²S チャンネル 0 制御レジスタ

(a) <SYSCKE0>

I²S 回路へのソースクロック接続を制御します。回路を動作させる場合は常に、<SYSCKE0>="1"に設定してください。FIFO バッファにデータを書き込む際にも、<SYSCKE0>="1"に設定しておくことが必要です。また、使用しない場合は消費電流を低減するために、<SYSCKE0>="0"に設定することをお勧めいたします。

(b) <DTFMT01:00>

データ出力フォーマットを設定するビットです。I²S、右寄せ、左寄せの設定ができます。

転送途中や、データ毎にフォーマットの変更は出来ません。フォーマットを切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(c) <BIT0>

データのビット長を設定するレジスタです。8/16ビットの設定が可能です。

転送途中や、データ毎にビット長の切り替えは出来ません。切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(d) <DIR0>

データ送信の方向を決めるビットです。LSB_Fast と MSB_Fast の切り替えが可能です。

転送途中や、データ毎に方向切り替えは出来ません。切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(e) <CNTE0>

クロックジェネレータカウンタのクリア/スタートを制御します。

SYSCKE0 ビットと同様に、本回路を使用時は常にスタート状態で使用します。

<CNTE0>="0"の状態、<TXE0>="0"とするとクロックジェネレータカウンタはクリアされますが、<CNTE0>="1"の状態では、<TXE0>="0"としてもクロックジェネレータカウンタはクリアされませんので注意してください。

(f) <TXE0>

データ送信の制御を行います。

<TXE0>="0"とすると送信を停止し、<TXE0>="1"とすると送信を開始します。

<CNTE0>="0"の状態、<TXE0>="0"とするとクロックジェネレータカウンタはクリアされ、送信 FIFO バッファの内容もクリアされます。

<CNTE0>="1"の状態、<TXE0>="0"とすると、送信 FIFO バッファの内容もクリアされますが、クロックジェネレータカウンタはクリアされませんので注意してください。

(g) <CLKE0>

<CLKE0>="0"に設定すると、常に I2S0CKO クロックを出力しますが、<CLKE0>="1"に設定すると、有効データ送信中のみ、I2S0CKO クロックを出力し、有効データが無い箇所ではクロックを出力しないモードになります。

注) I²S フォーマットでは、I2S0WS が変化して、1クロック後に有効データが出力されますが、<CLKE0>="1"に設定すると、I2S0WS の変化後の最初のクロックは有効データが存在しないため、クロックが出力されません。よって、I²S フォーマットでは、<CLKE0>="0"に設定しないでください。

(h) <EDGE0>

I2S0CKO とデータの位相関係を制御するビットです。

<EDGE0>="0"で立ち下がり設定となり、データの変化点でクロックが立ち下がり、立ち上がりエッジでデータをラッチするモードになります。また、<EDGE0>="1"で立ち上がり設定となり、データの変化点でクロックが立ち上がり、立ち下がりエッジでデータをラッチするモードになります。

エッジを切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(i) <WLVL0>

Word Select 信号(I2S0WS)の位相を設定するビットです。

I2S0WS 信号の出力は、常に"High"レベルが最初に出力されます。<WLVL0>を切り替えることによって、データ出力の順序が変わります。詳細は後述の"FIFO バッファおよびデータフォーマット"を参照してください。

位相を切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(j) <TEMPO>

送信 FIFO バッファにデータが存在するか否かを示すフラグです。

<TEMPO>="1"の時には、FIFO バッファに送信データは存在しません。<TEMPO>="0"の時には、送信 FIFO バッファ内に送信すべきデータが残っていることを示します。

このビットは読み取り専用ですので、ライトすることは出来ません。一旦送信を停止することで(<TXE0>="0")、FIFO バッファはクリアされます。

(k) <FSEL0>

ステレオかモノラルかを切り換えるビットです。

<FSEL0>="0"でステレオ、<FSEL0>="1"でモノラルを選択します。詳細は後述の"データフォーマット"を参照ください。

フォーマットを切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(l) <CLKS0>

I²S 回路へのソースクロック接続の切り替えを行うビットです。

<CLKS0>="0"で、CPU に供給されているシステムクロック (f_{sys}) が選択され、<CLKS0>="1"で、PLL 回路の出力クロック (f_{PLL}) が選択されます。f_{PLL} を選択する場合は、あらかじめ、PLL 回路を動作させ、PLL 回路が安定している必要(Lock-Up 時間確認)があります。詳細は、クロック逡倍回路の章を参照ください。

(m) <CK07:00>

クロックジェネレータカウンタの値を設定する 8 ビットのカウンタです。

カウンタ値を切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

(n) <WS05:00>

クロックジェネレータカウンタの値を設定する 6 ビットのカウンタです。

カウンタ値を切り替える際には、<SYSCKE0>="1"の状態、且つ<CNTE0>="0"の状態、<TXE0>="0"として、送信を停止してから切り替えを行ってください。

Not Recommended
for New Design

3.18.3 動作説明

(1) 転送クロックジェネレータ、ワードセレクト信号の設定

I²S 回路における、各クロック周波数(I2S0CKO、I2S0WS 信号)は、システムクロック (f_{sys})をソースクロックとして生成されます。プリスケアラと専用のクロックジェネレータによって分周し、転送クロックとサンプリング周波数を設定します。

<CNTE0>="1"に設定することで、カウンタがスタートします。<CNTE0>="0"とすればカウンタは停止し、クリアされます。

A) クロックジェネレータ

- 8ビットカウンタ

I2S0CTL<CLKS0>にて選択されたクロックを分周して、I2S0CKO 信号を生成する8ビットカウンタです。

- 6ビットカウンタ

上記 I2S0CKO 信号を分周して、I2S0WS 信号を生成する6ビットカウンタです。

B) ワードセレクト

- ワードセレクト信号(I2S0WS)

I²S フォーマットにおいて、有効データの位置と Left データと Right データを区別するための信号です。データ転送クロックに同期しています。

また、チャンネル0のみ本信号を ADC への AD 変換のトリガ信号として使用することが可能です。

WS 信号と、有効データの出力の関係は I²S フォーマットのほかに、『左寄せ』か『右寄せ』を選択することができます。

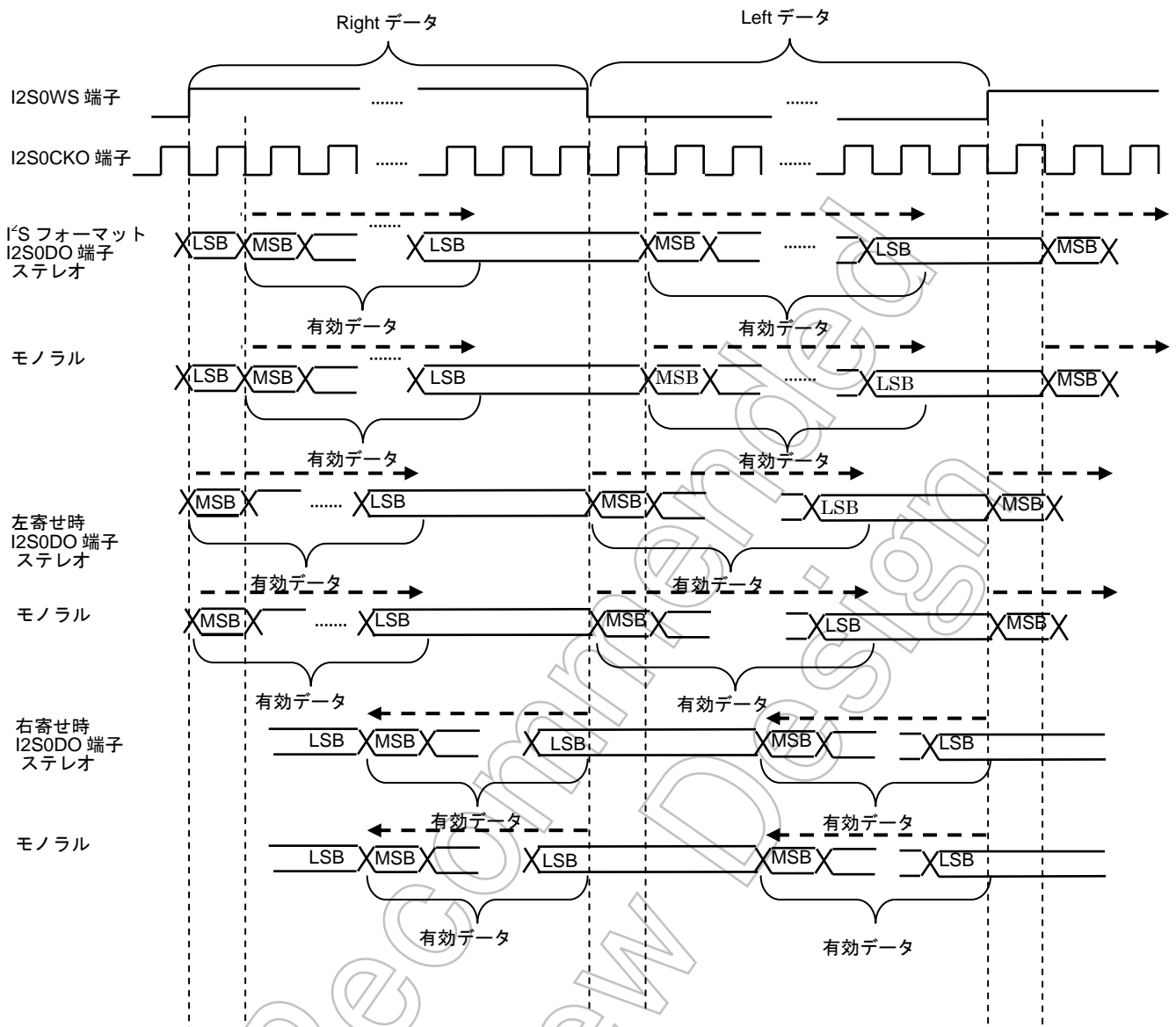
また、チャンネル0のみADCへWS信号の立ち上がりで割り込み要求を出力します。

(制御は ADC 内の制御レジスタにて行います)

(2) データフォーマット

I2S0CTL<DTFMT01:00>を設定することで、I²S フォーマットの他に、『左寄せ』か『右寄せ』を選択することができます。

また、I2S0CTL<FSEL0>を設定することで、ステレオ/モノラルの出力に対応しています。詳細は図 3.18.3を参照ください。



注) モノラル設定時には、Right データと Left データは同じ信号が出力されます。また、ステレオ設定時には、送信 FIFO バッファ内のデータは、1ワードずつ更新されますが、モノラル設定時には、同一データを 2 回送信後、次のデータに更新されます。
モノラル設定時には、左右同一のデータを送信 FIFO バッファに書き込む必要は無く、左右に同一のデータを出力します。

TMP92CZ26A/CF26A でサポートされているモノラル機能と、TMP92CF30 でサポートされているモノラル機能は異なりますのでご注意ください。TMP92CZ26A/CF26A でサポートされているモノラル機能は、片チャンネルのみ出力となります。

図 3.18.3 出力フォーマット

(3) クロックジェネレータ(8ビット/6ビットカウンタ)設定例

クロックジェネレータは、データ転送速度とサンプリング周波数を定める基準クロックを生成するための回路です。

	7	6	5	4	3	2	1	0	
I2S0C (180AH)	bit Symbol	CK07	CK06	CK05	CK04	CK03	CK02	CK01	CK00
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	CK 信号分周値設定(8ビットカウンタ)							
		15	14	13	12	11	10	9	8
(180BH)	Bit symbol			WS05	WS04	WS03	WS02	WS01	WS00
	Read/Write	R/W							
	リセット後			0	0	0	0	0	
	機能	WS 信号分周値設定(6ビットカウンタ)							

- 転送クロック I2S0CKO の設定

I2S0CTL<CLKS0>にて選択されたクロックを分周して転送クロックを生成します。8ビットのカウンタにて3~256分周の対応が可能です。(1、2分周の設定は禁止) また、転送クロックが10MHzを超える設定は禁止です。使用する周波数と分周値の組み合わせによって転送クロックが10MHzを超えないように設定してください。

例) 00000000 設定時=256分周 00000001 設定時=1分周

11111111 設定時=255分周、 $f_{SYS} = 60\text{MHz}$ 、I2S0C<CK07:00> = 150の場合

[データ転送速度]

$$I2S0CKO = f_{SYS} / 150 = 60 [\text{MHz}] / 150 = 400 [\text{kbps}]$$

注) I2S0C<CK07:00>に設定する値は、偶数設定を推奨します。奇数設定も可能ですが、奇数設定の場合はCK信号のクロック duty が50(になりません。奇数設定された場合には、I2S0CKO信号におけるHighの期間がLowの期間よりも、 f_{SYS} または f_{PLL} の1パルス分長く出力されます(<EDGE0> = "0"の時はLow幅が長くなる)。

- サンプリング周波数 WS の設定

上記で設定した転送クロック(CK)を分周して転送クロックを生成します。6ビットのカウンタにて16(64分周の対応が可能です(1~15分周の設定は禁止)。

例)000000 設定時=64分周、000001 設定時=1分周、111111 設定時=63分周

$f_{SYS} = 60\text{MHz}$ 、I2SnC<CK07:00> =150、I2SnC<WS05:00> = 50の場合

[サンプリング周波数]

$$I2S0CKO = f_{SYS} / 150 / 50 = 60 [\text{MHz}] / 150 / 50 = 8 [\text{kHz}]$$

本例では転送クロック 400kbps、サンプリング周波数 8kHz となります。

- 注 1) I2S0C<WS05:00>に設定する値は、転送データ数以上のクロック数を設定することが必要です。データ長 8 ビットの場合は 16 以上(I²S 転送の場合は 18 以上)、データ長 16 ビットの場合は 32 以上(I²S 転送の場合は 34 以上)に設定してください。
- 注 2) I2S0C<WS05:00>に設定する値は、偶数設定を推奨します。奇数設定も可能ですが、奇数設定の場合は WS 信号のクロック duty が 50%になりません。奇数設定された場合には、WS 信号における High の期間が Low の期間よりも、I2S0CKO の 1 パルス分長く出力されます。

- 特殊機能

I2S0WS 信号を利用した特殊機能として、チャンネル 0 にのみ、この信号の立ち上がりのタイミングを利用して、本 LSI に内蔵される AD コンバータの AD 変換をスタートさせることができます。

I2S0CTL<SYSCKE0>=“1”、I2S0CTL<CNTE0>=“1”にすることで、I2S0WS 信号を内蔵の AD コンバータに送ることが出来ます。このとき、I2S0CTL<TXE0>の値には無関係に動作することが出来ます。

本信号を利用した、詳細な AD 変換の利用方法は、AD コンバータの章を参照してください。

(4) FIFO バッファおよびデータフォーマット

16 ビット(幅)×32(深さ)×2 の計 128 バイトの FIFO バッファを持っています。4 バイト(32 ビット)の I2S0BUF レジスタにデータをライトすると、この FIFO バッファへデータがライトされます。

本 FIFO バッファへのライトは 4 バイト単位でのライトが必要です。出力の順序、左右等を考慮する必要があります。送信レジスタ I2S0BUF にデータライトする時には必ず 4 バイトの転送命令を使用してください。1 バイト、2 バイトの転送命令を使用すると FIFO バッファは更新されず、送信も開始されません。またアドレスは、1800H にライトしてください。(チャンネル 0 の場合です。チャンネル 1 の場合は 1810H にライトしてください。)

ライト データサイズ	命令実行例	ビット長=8bit 幅	ビット長=16bit 幅
1 バイトアクセス	ld (0x1800),a	×	×
2 バイトアクセス	ld (0x1800),wa	×	×
4 バイトアクセス	ld (0x1800),xwa	○	○

そのライトシーケンスは、

(4 バイト転送命令)×(16 回) = 64 バイトデータライト

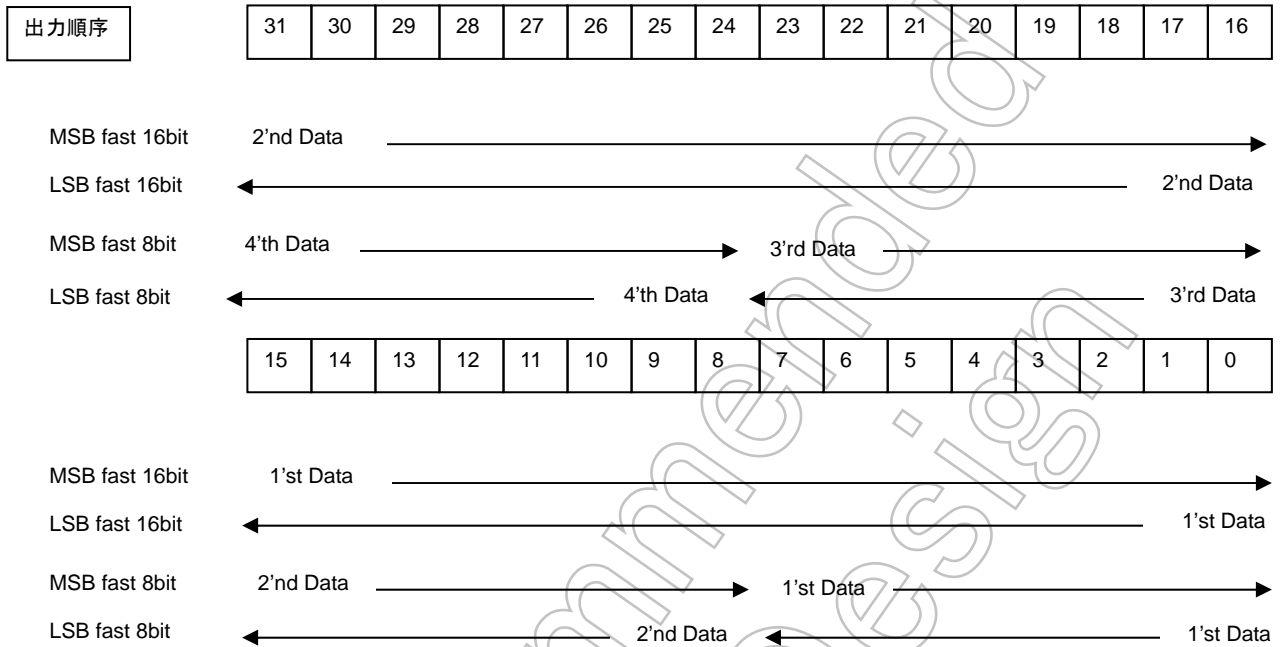
の 64 バイト単位でのデータライトをしてください。64 バイト単位で、データをライトしない場合、正常なタイミングで割り込みが発生しません。

I2S0CTL<TEMP0>フラグは、各々のチャンネルの FIFO バッファ(128 バイト)に有効データが無い場合に“1”にセットされ、1 バイトでも有効なデータが存在する場合は“0”にリセットされます(FIFO バッファ内の最後の有効データが、送信シフトレジスタに送られた瞬間に TEMP0 フラグは“1”にセットされます)。

ライトデータと出力順序は各々以下のようになります。

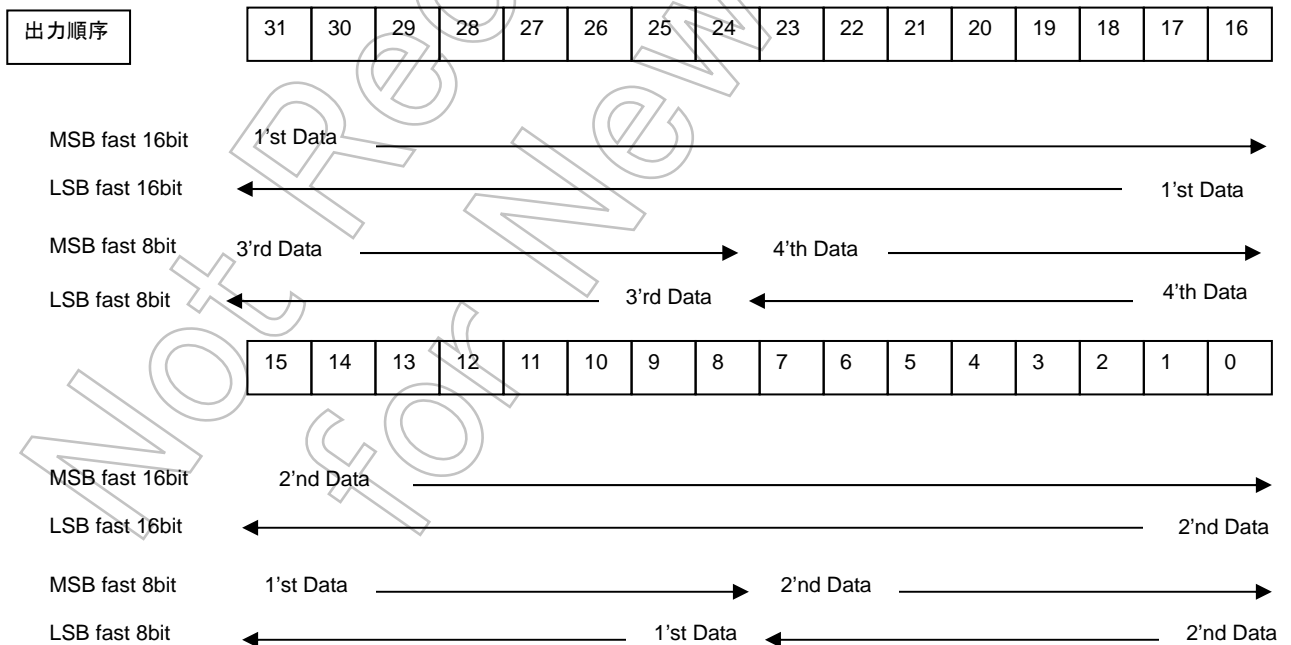
- I2S0CTL<WLVL0> = “0”の場合

I2S0BUF レジスタ



- I2S0CTL<WLVL0> = “1”の場合

I2SnBUF レジスタ

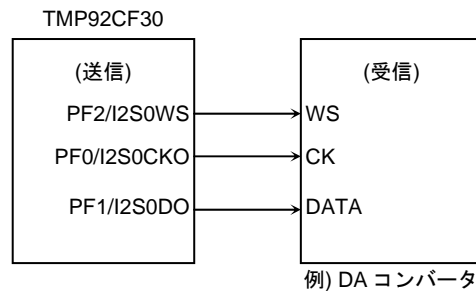


注) モノラル設定時は、左右の切り替え(I2S0CTL<WLVL0> = “0”と I2S0CTL<WLVL0> = “1”)で、データの出力順序が入れ替わりますので、ご注意ください。またモノラル設定時にはデータ更新が、同一データを2回送信してから更新されます。

3.18.4 設定例

(1) 接続例

図 3.18.4 はチャンネル 0 の外部LSIとの接続例を示しています。



注) RESET 後、PF0~PF2 はハイインピーダンス状態になります。必要に応じてプルアップ、あるいはプルダウンに接続してください。

図 3.18.4 外部 LSI との接続例

(2) 動作手順

連続して動作する 64 バイトの FIFO バッファを 2 個内蔵しており、64 バイト分の FIFO バッファのデータが空になると、INTI2S0 割り込みが発生します。割り込みルーチン中に次の送信データを FIFO バッファにライトしてください。

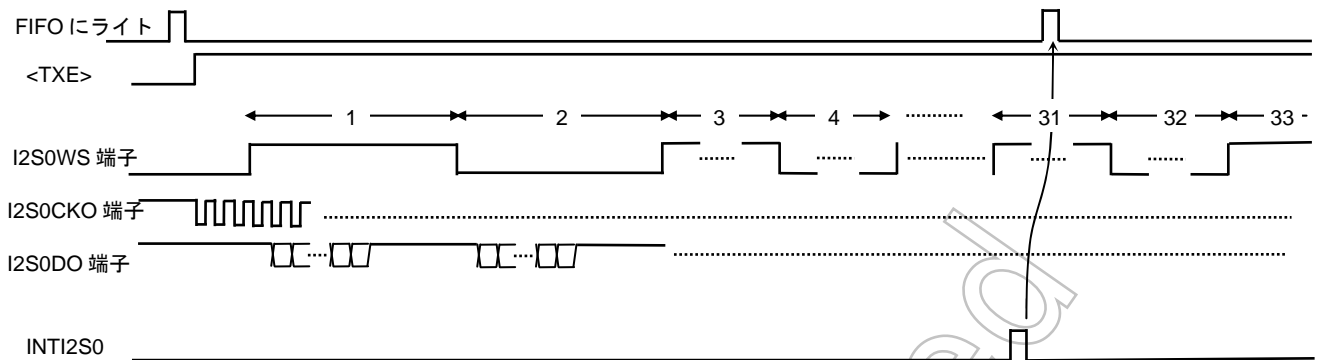
設定例およびタイミング図を以下に示します。

(設定例) I2S0WS を 8kHz、I2SnCKO を 400kHz、立ち上がりエッジに同期してデータ送信を行う場合 (@f_{sys} = 60 MHz)

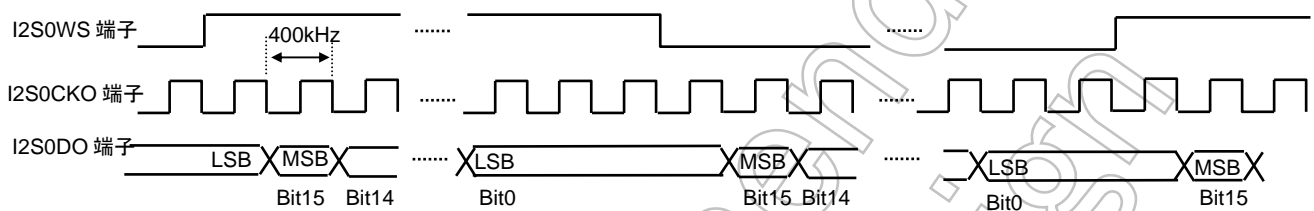
(メインルーチン)

	7	6	5	4	3	2	1	0	
INTEI2S01	X	-	-	-	X	0	0	1	割り込みレベルを設定
PFCR	X	X	-	-	-	-	-	-	端子を PF0 (I2S0CKO)、PF1 (I2S0DO)、PF2 (I2S0WS) に設定
PFFC	-	X	-	-	-	1	1	1	
I2S0C	1	0	0	1	0	1	1	0	分周値 N=150
	X	X	1	1	0	0	1	0	分周値 K=50
I2S0CTL	0	0	X	0	1	0	0	1	I ² S モード, MSB-first, 16bit に設定
	0	X	X	0	X	0	0	0	ステレオ, 立下がりエッジ, WS=0 Left, Clock 停止に設定
I2S0BUF	*	*	*	*	*	*	*	*	左右 4 バイトデータを FIFO にライト (32times: 128 バイト分)
	*	*	*	*	*	*	*	*	
	*	*	*	*	*	*	*	*	
	*	*	*	*	*	*	*	*	
I2S0CTL	1	1	X	0	1	0	0	1	送信開始
	0	X	X	0	X	0	0	0	
(INTI2S 割り込みルーチン)									
I2S0BUF	*	*	*	*	*	*	*	*	左右 4 バイトデータを FIFO にライト (16times: 64 バイト分)
	*	*	*	*	*	*	*	*	
	*	*	*	*	*	*	*	*	
	*	*	*	*	*	*	*	*	

X: Don't care, -: No change



全体のタイミング図



詳細なタイミング図

図 3.18.5 タイミング図 (I²S フォーマット/ステレオ/16bit/MSB 1'st の場合)

(3) 注意事項

1) INTI2S0 発生タイミング

FIFO バッファから、内部シフトレジスタへは 4 バイト単位で転送されます。

INTI2S0 は FIFO バッファに 64 バイト分の空が出来る度(61 バイト目から、64 バイト目の、4 バイトのデータを内部シフトレジスタへ転送後)と、FIFO バッファが完全に空になった状態(125 バイト目から、128 バイト目の 4 バイトのデータを内部シフトレジスタへ転送後)の 2 つの事象で発生します。これにより FIFO バッファ内には 64 バイトまたは 128 バイトの空があることとなり、次のデータをライトイネーブルとなります。

FIFO バッファへのライトは 64 バイトごとのライトが基本となります。FIFO バッファは 128 バイト分ありますので、残りの 64 バイト分の FIFO バッファが空になるまでは、I²S 出力は途切れることなく出力することが可能です。I2S0CTL<TEMP0> フラグを確認して、送信 FIFO バッファの状態を判断することも可能です。

2) I2SOCTL<TXE0>

<TXE0>レジスタに“1”をライトすることによって送信を開始し、“0”をライトすることによって停止します。<TXE0>に一度“1”をライトすると、FIFO バッファにデータが有る限り自動的にデータを送信します。<TXE0> = “1”の時(送信中)、は他の制御ビットの書き換えはしないでください。

送信を停止する場合、I2SOCTL<TEMPO>フラグを確認して FIFO バッファにデータが無いことを確認し、現在設定している I2SOWS の周期、2 周期が終了した時点(データが全て送信された後)で、“0”を<TXE0>にライトして停止させてください。ただし、モノラル転送の場合は I2SOWS の周期、4 周期が終了した時点(データが全て送信された後)で、“0”を<TXE0>にライトして停止させてください。

なお、送信中に<TXE0>に“0”をライトした場合は、直ちに送信を停止します。また送信を停止すると、同時に内蔵 FIFO バッファのリード・ライトポインタ、出力シフトレジスタのデータ、クロックジェネレータのカウンタがクリアされます(ただし、I2SOCTL<CNTE0>=“1”の時、クロックジェネレータはクリアされません。チャンネル 0 でクロックジェネレータをクリアする場合は、I2SOCTL<CNTE0>=“0”に設定してください)。そのため、一旦送信ストップ後に再度送信を開始しても、何も出力されません。

さらに、外部端子信号 WS は“L”に、CK はエッジの設定によって立ち上がりエッジの場合“L”に、立ち下がりエッジの場合“H”で停止します。

3) I2SOCTL<CNTE0>

I2SOCKO および、I2SOWS を生成するクロックジェネレータ(8bit/6bit カウンタ)を制御するビットです。

I2SOCTL<CNTE0>に“1”をライトすると、カウンタがスタートし、“0”をライトするとカウンタがクリアされます。通常、I²S データを送信する際は、I2SOCTL<TXE0>と I2SOCTL<CNTE0>の両方に“1”をライトし、送信を実行します。送信を停止する際も、I2SOCTL<TXE0>を“0”にし、I2SOCTL<CNTE0>=“1”では、クロックジェネレータはクリアされません。クロックジェネレータをクリアする場合は、I2SOCTL<CNTE0>=“0”に設定してください。

4) FIFO バッファ

128 バイトの FIFO バッファが用意されていますが、全ての FIFO バッファ領域を使用する必要はありません。その際、INTI2S0 割り込みをトリガに、64 バイトごとのライトが基本となります。INTI2S0 割り込みを待たずにライトしたり、64 バイト以外のライトを行うと、割り込みが正常に発生しません。また、FIFO バッファにデータをライトする時には、必ず<SYSCKE0>=“1”に設定する必要があります。

割り込みが不要な、最終データのライトが 64 バイトに満たない場合は、必要なデータをライト、その後 TEMPO フラグが“1”になることを確認し、現在設定している I2SOWS の周期、2 周期が終了した時点(データが全て送信された後)で、“0”を<TXE0>にライトして停止させてください。ただし、モノラル転送の場合は I2SOWS の周期、4 周期が終了した時点(データが全て送信された後)で、“0”を<TXE0>にライトして停止させてください。

5) I2S0BUF のアドレス

I2S0BUF にデータをライトする際には“ロングワードデータ転送命令”を使用します。“ワードデータ転送命令”、“バイトデータ転送命令”は使用できません。

```
例)  ld      (I2S0BUF),xwa;  OK
      ld      (I2S0BUF), wa;  NG
      ld      (I2S0BUF), a;   NG
```

6) HALT 命令との併用

I²S 回路は IDLE1/STOP モードでは動作しませんので、IDLE1 時にも動作する PLL クロックが、回路に誤動作を招く可能性があります。HALT モードに移行する前には I²S 回路を停止させてください。

また、送信を停止して、CPU を HALT モードに移行される場合、停止命令から HALT 実行までに、回路を正常に停止させる時間が必要です。NOP×10 時間を必要とします。

```
例)  ld      (I2S0CTL), 0x00 ;送信停止
      NOP×10
      HALT
```

Not Recommended for New Design

3.19 タッチスクリーンインタフェース (TSI)

4端子型抵抗網タッチスクリーンインタフェースを内蔵しています。TSIは、タッチ検出およびX/Y位置測定の2つの動作を容易に実現できます。TSI制御レジスタ(TSICR0,TSICR1)および内蔵ADコンバータを使用して実行します。

3.19.1 TSIの外部接続図、内部ブロック図

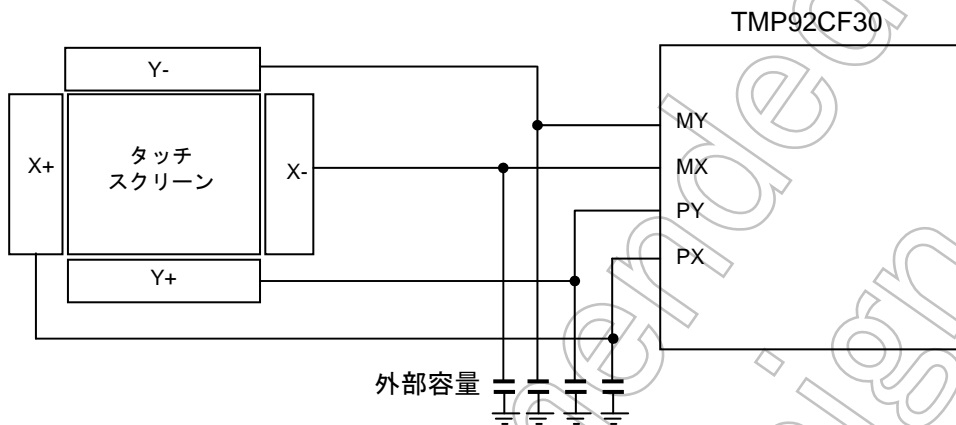


図 3.19.1 TSIの外部接続図

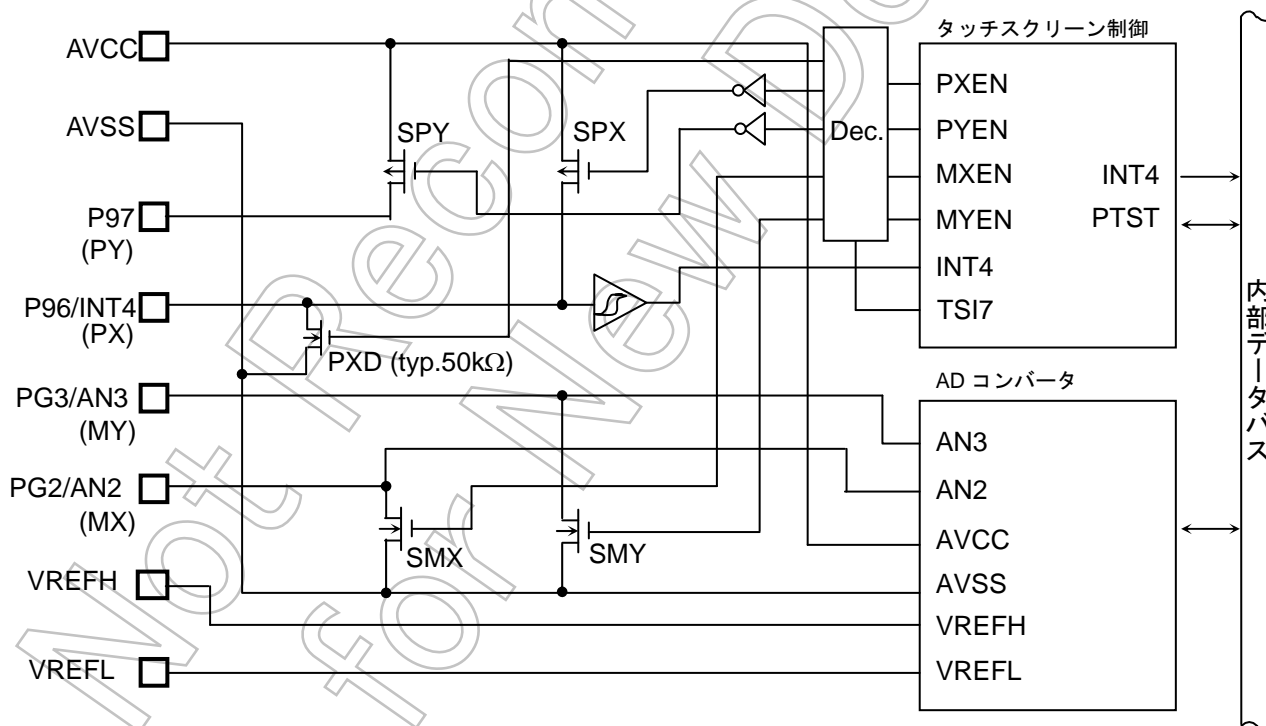


図 3.19.2 TSIの内部ブロック図

3.19.2 タッチスクリーンインタフェース (TSI)制御レジスタ

TSI 制御レジスタ

	7	6	5	4	3	2	1	0	
TSICR0 (01F0H)	bit Symbol	TSI7	INGE	PTST	TWIEN	PYEN	PXEN	MYEN	MXEN
	Read/Write	R/W		R	R/W				
	リセット後	0	0	0	0	0	0	0	
	機能	0: 禁止 1: 許可	ポート P96,97 の 入力ゲート 制御 0: 許可 1: 禁止	検出状態 0: 検出無 1: 検出中	INT4 割り 込み制御 0: 禁止 1: 許可	SPY 0: OFF 1: ON	SPX 0: OFF 1: ON	SMY 0: OFF 1: ON	SMX 0: OFF 1: ON

PXD(内部プルダウン抵抗)ON/OFF 設定

<PXEN>	0	1
<TSI7>	OFF	OFF
0	OFF	OFF
1	ON	OFF

デバウンス時間設定レジスタ

	7	6	5	4	3	2	1	0	
TSICR1 (01F1H)	bit Symbol	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	0: 禁止 1: 許可	1024	256	64	8	4	2	1	
		デバウンス時間は“(N*64-16) / f _{SYS} ”の式により設定されます。 “N”はビット6からビット0に“1”を設定した数の総計を表します。(注3)							

注1) デバウンス回路は CPU クロックが使用されているため、IDLE1、STOP モード時には、デバウンス回路は動作せずデバウンス回路を経由した割り込みも発生しません。IDLE1 あるいは STOP モード時には、HALT 状態以前にこの回路(“0”を TSICR1<DBC7>にライト)を禁止してください。また、デバウンス時間を“0”に設定した場合は禁止した状態からシステムクロック(f_{SYS})6クロック分遅れて内部に取り込まれます。

注2) AD コンバータでアナログ入力データを変換中に通常の C-MOS 入力ゲートに貫通電流が流れることを防ぐために、TSICR0<INGE>の制御をすることができます。中間電圧が入力される場合には本 bit で P96, P97C-MOS ロジックへの入力信号を遮断してください。TSICR0<PTST>は初期のペンタッチを確認するものです。TSICR0<INGE>にて C-MOS ロジックへの入力が遮断すると、本 bit は常に“1”になりますので注意してください。

注3) 例えば、(TSICR1)=95H に設定した場合、N = 64 + 4 + 1 = 69 となります。

3.19.3 タッチ検出手順

タッチ検出手順は、タッチスクリーンにペンがタッチされ、検出されるまでの手順です。

タッチされると割り込み INT4 を発生して本手順は終了します。X/Y 位置測定手順が終了すると再び本手順に戻し次のタッチ待ち状態として下さい。

非接触のタッチ待ち状態時は、SPY スイッチだけを ON させ、他 3 つのスイッチ:SMY, SPX,SMX はすべて OFF させて下さい。またこのとき、P96/INT4/PX 端子に内蔵するプルダウン抵抗は ON しています。

この状態ではタッチスクリーン内の X 方向と Y 方向の内部抵抗は接続されていないので P96/INT4/PX 端子は、内部プルダウン抵抗(PXD)により Low 状態となり、INT4 割り込みは発生しません。

次に、ペンがタッチされるとタッチスクリーン内の X 方向と Y 方向の内部抵抗が接続され P96/INT4/PX 端子は High 状態となり、INT4 割り込みを発生します。

1 回のペンタッチにより複数回の INT4 発生を防止するため、下記図のようなデバウンス回路があります。TSICR1 レジスタにデバウンス時間を設定することによりその時間以下のパルスが無視します。

デバウンス回路は、信号の立ち上がりを検出し、設定されたデバウンスカウンタ時間をカウントアップし、カウント後内部に信号を取り込みます。カウント中に信号が“L”になるとカウンタをクリアし、再度立ち上がりエッジ待ち状態になります。

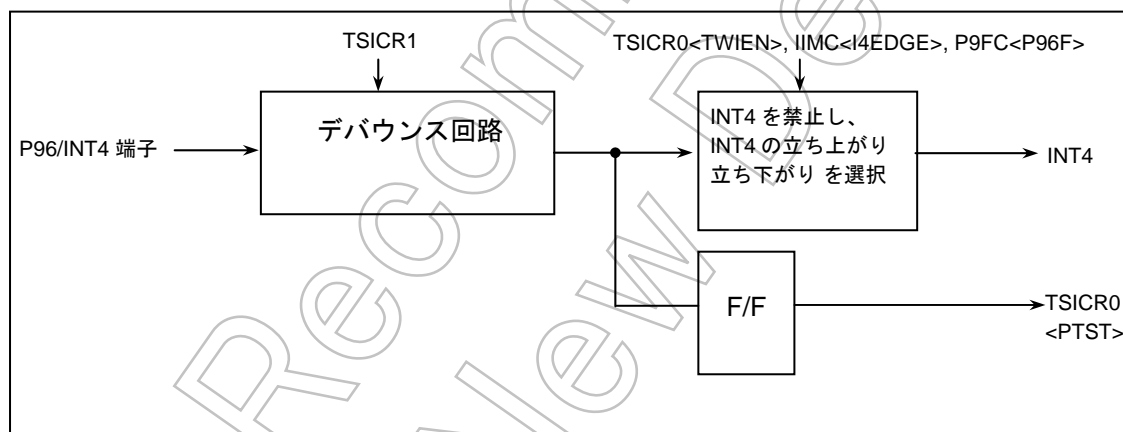


図 3.19.3 デバウンス回路のブロック図

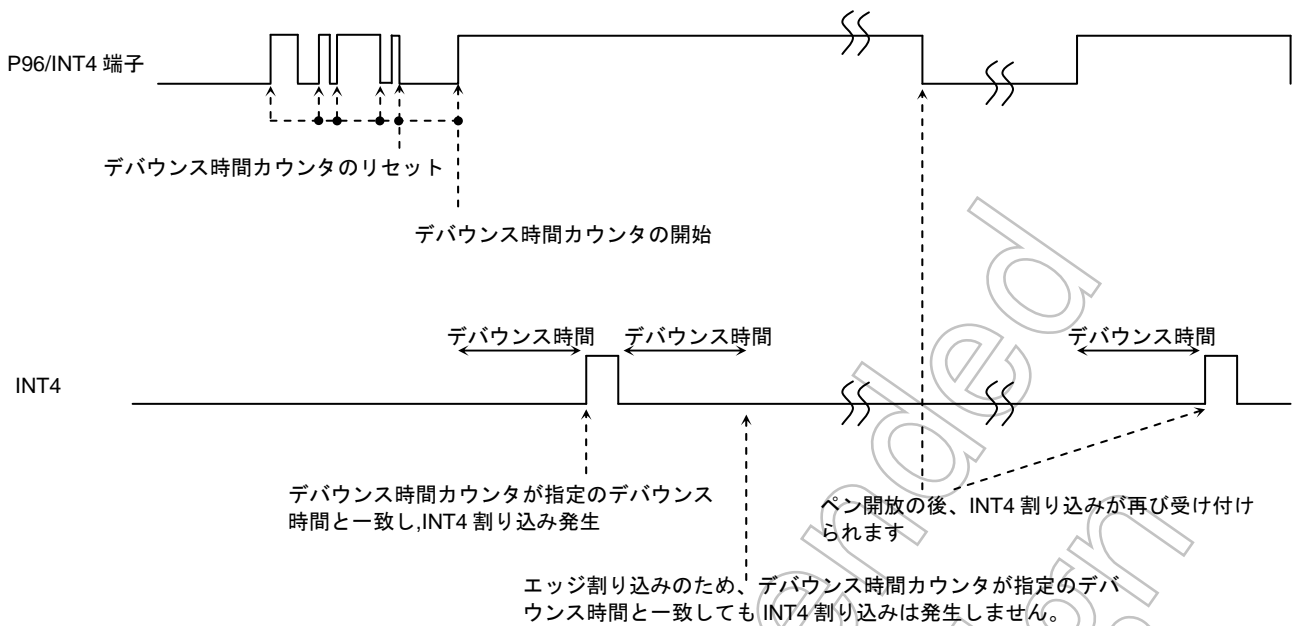


図 3.19.4 デバウンス回路のタイミング図

3.19.4 X/Y 位置測定手順

ペンがタッチされ INT4 割り込み発生により、ペンの位置の測定を下記手順で実行してください。

<X 位置座標測定>

まず SPX と SMX スイッチを ON, SPY, SMY を OFF させます。これにより、PG3/MY/AN3 端子に X 位置を示すアナログ電圧が入力されます。この電圧を AD コンバータでデジタルコードに変換させることにより X 位置座標を測定できます。

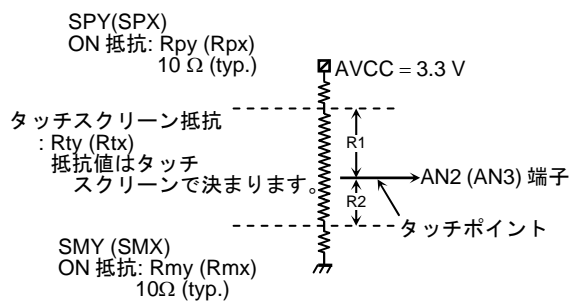
<Y 位置座標測定>

まず SPY と SMY スイッチを ON, SPX, SMX を OFF させます。これにより、PG2/MX/AN2 端子に Y 位置を示すアナログ電圧が入力されます。この電圧を AD コンバータでデジタルコードに変換させることにより Y 位置座標を測定できます。

上記 X, Y 位置測定時の AN3, AN2 端子へ入力されるアナログ電圧は図 3.19.5 に示すような TMP92CF30 内部のスイッチの ON 抵抗値とタッチスクリーン内部の抵抗の比で求められます。

したがって、タッチスクリーンの端をタッチした場合でもアナログ入力電圧は 3.3V もしくは 0V にはなりません。

また、各々の抵抗値はばらつきがありますので、これらの点を考慮の上設計してください。なお、AD 変換は必要に応じて数回実行して平均値を最終値とするなどして下さい。



[AN2、AN3 端子へのアナログ入力電圧: $E1$ を求める計算式]

$$E1 = ((R2 + R_{my}) / (R_{py} + R_{ty} + R_{my})) \times AVCC[V]$$

例) $AVCC = 3.3\text{ V}$ 、 $R_{py} = R_{my} = 10\ \Omega$ 、 $R1 = 400\ \Omega$ and $R2 = 100\ \Omega$ の場合
 $E1 = ((100 + 10) / (10 + 400 + 100 + 10)) \times 3.3$
 $= 0.698\text{ V}$

- 注 1) 上記は Y 座標位置の計算式ですが、X 座標位置も同様の
方法で求めることが可能です。
- 注 2) $R_{ty} = R1 + R2$ の関係となります。

図 3.19.5 アナログ入力電圧算出値

Not Recommended
for New Design

3.19.5 タッチスクリーンインタフェース(TSI)のフローチャート

(1) タッチ検出手順

(2) X/Y 位置測定手順

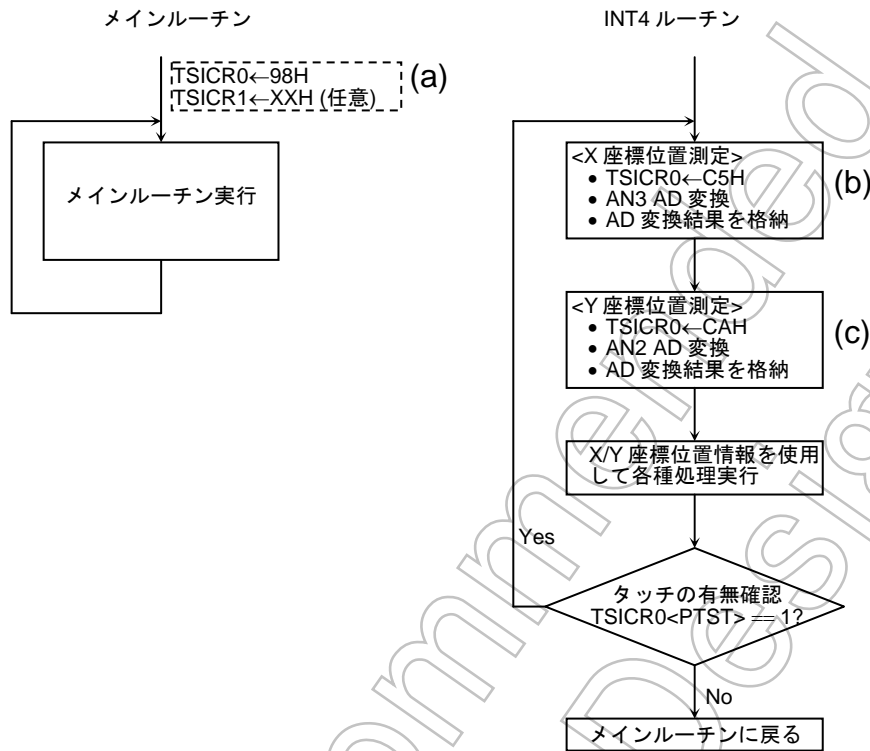
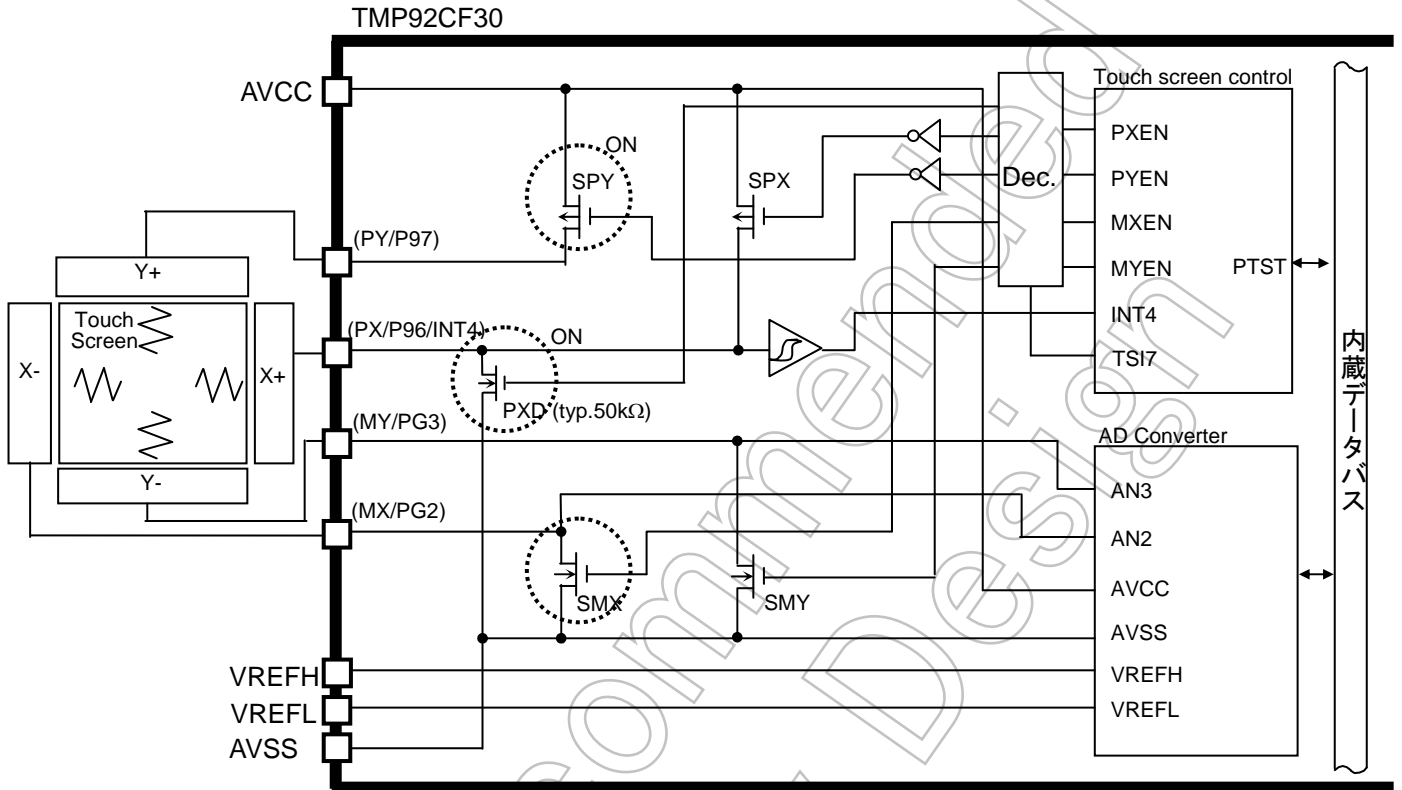


図 3.19.6 TSI 関係のフロー

次ページに、フロー内の(a)(b)(c)それぞれの回路状態を説明します。

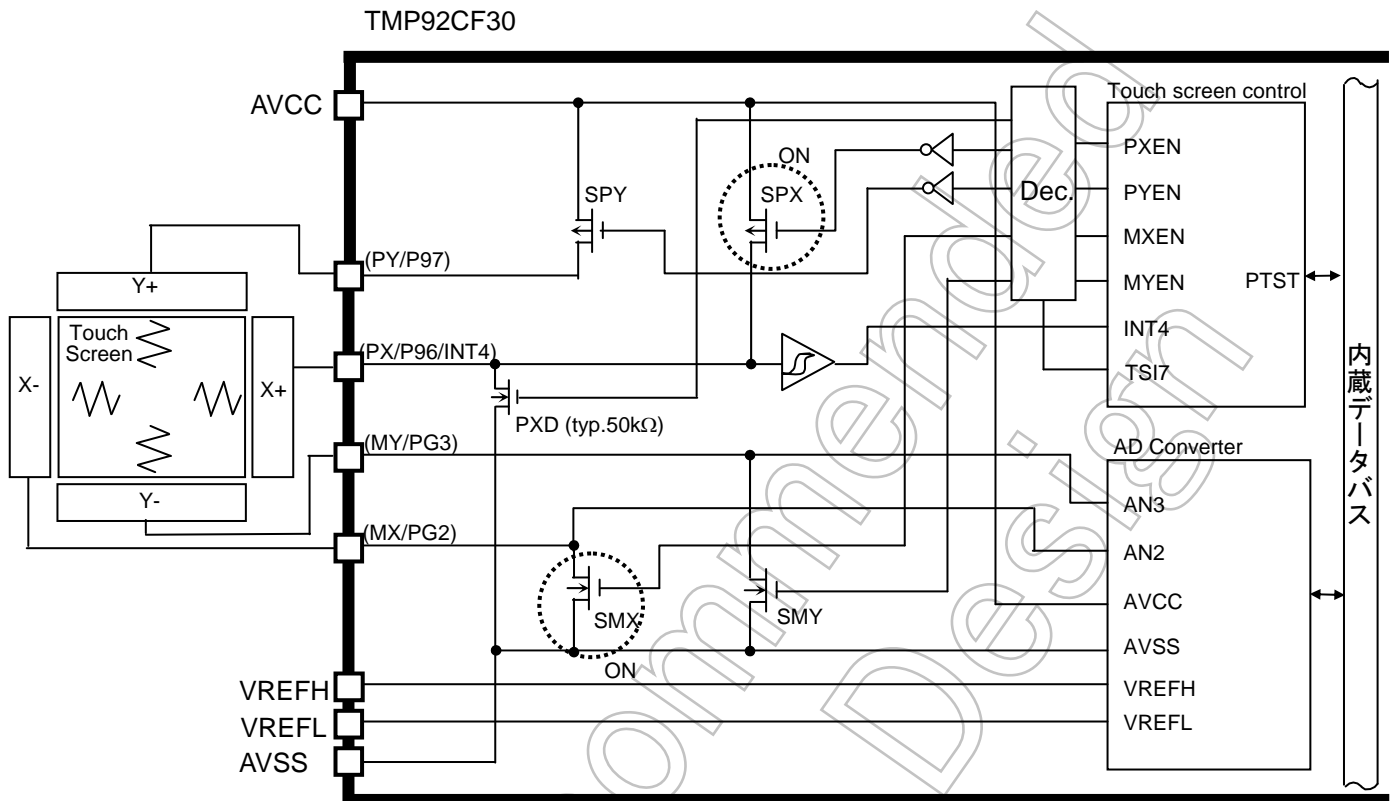
(a) メインルーチン: INT4 割り込み待ち状態

- (p9fc)<P96F>, <P97F>= "1" : P96 を INT4/PX に、P97 を PY に設定します。
- (inte34) : INT4 の割り込みレベルを設定します。
- (tsicr0)=98h : プルダウンレジスタ、SPY を ON に、INT4 割り込み許可に設定します。
- ei : 割り込みイネーブルにします。



(b) INT4 ルーチン: “X” 位置座標測定 (AD 変換スタート)

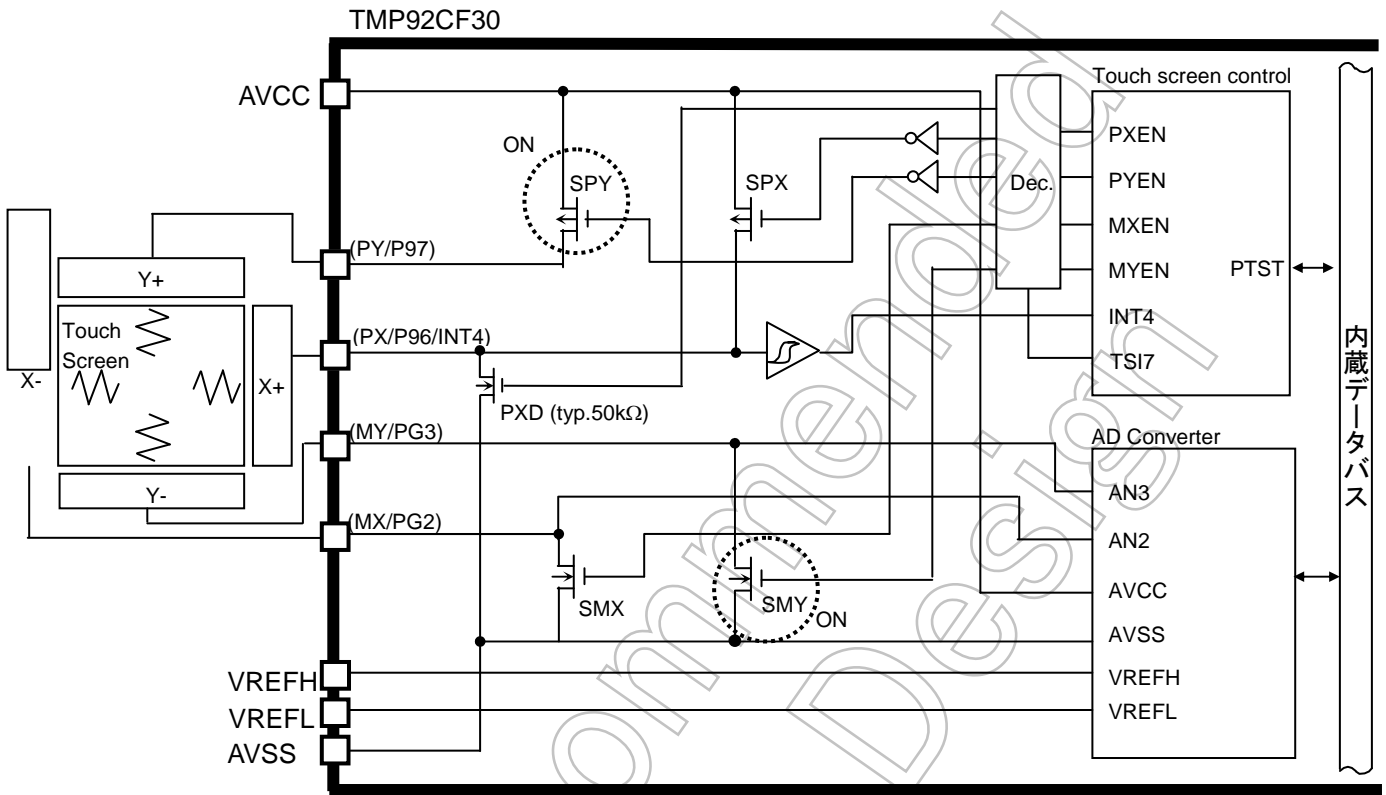
- (tsicr0)=c5h : SMX,SPX を ON に設定します。P97,P96 入力ゲート OFF にします。
- (admod1)=b0h : AN3 に設定します。
- (admod0)=08h : AD 変換を開始します。



Not Rec for New

(c) INT4 ルーチン: “Y” 位置座標測定 (AD 変換スタート)

- (tsicr0)=cah : SMY,SPY を ON に設定します。P97,P96 入力ゲート OFF にします。
- (admod1)=a0h : AN2 に設定します。
- (admod0)=08h : AD 変換を開始します。



Not Recommended for New

3.19.6 使用上の注意

1. デバウンス回路

デバウンス回路内は、CPU のシステムクロックが使用されているため、CPU にクロックが供給されない状態 (IDLE1、STOP モード時) では、デバウンス回路は動作しません。このため、デバウンス回路を経由した割り込みも発生しません。

IDLE1、STOP モード時から TSI を利用した起動を利用する場合には、HALT 状態以前に、デバウンス回路を禁止状態に設定してください。(TSICR1<DBC7>="0")

2. ポート処理

0V~AV_{cc} の中間電圧を、A/D コンバータで変換中に、回路構成上、通常の C-MOS 入力ゲート (P96 と P97) にも中間電圧が印加されてしまいます。

TSICR0<INGE>を利用して、ポート 96、97 の貫通電流対策をしてください。また、この時 (TSICR0<INGE>="1")、C-MOS ロジックへの入力が遮断すると、初期のペンタッチの確認を行う TSICR0<PTST>は、常に"1"になりますので注意してください。

Not Recommended
for New Design

3.20 リアルタイムクロック (RTC)

3.20.1 RTCの機能概略

- 1) 時計機能 (時間、分、秒)
- 2) カレンダー機能 (月日、週、うるう年)
- 3) 24 時間計と 12 時間計(AM/PM) のいずれかを選択可能
- 4) +/-30 秒補正機能 (ソフトウェアによる補正)
- 5) アラーム機能 (アラーム出力)
- 6) アラーム割り込み発生

3.20.2 ブロック図

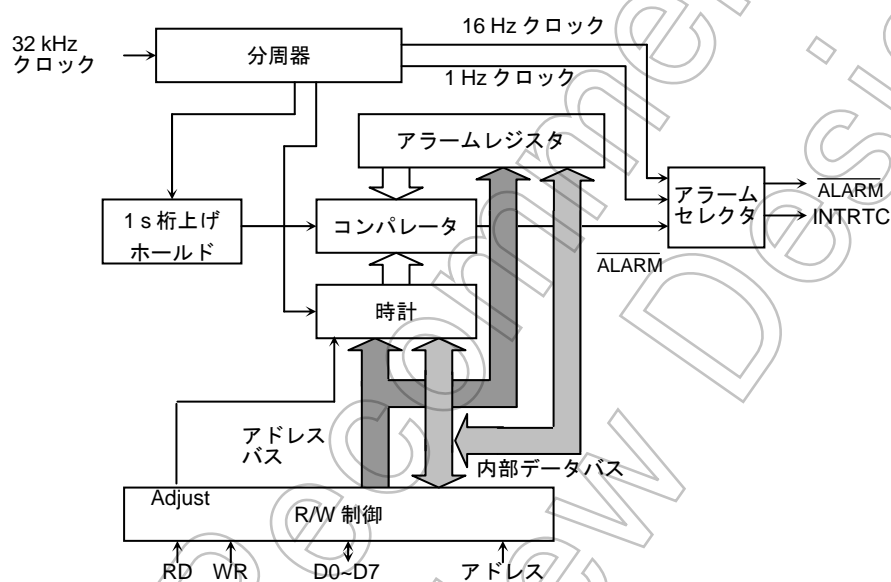


図 3.20.1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

3.20.3 コントロールレジスタ

表 3.20.1 PAGE0 (時計機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	1320H		40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁	R/W
MINR	1321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁	R/W
HOURL	1322H			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
DAYR	1323H						W2	W1	W0	曜日桁	R/W
DATER	1324H			20 日	10 日	8 日	4 日	2 日	1 日	日桁	R/W
MONTHR	1325H				10 月	8 月	4 月	2 月	1 月	月桁	R/W
YEARR	1326H	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁 (西暦下 2 桁)	R/W
PAGER	1327H	割り込み許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W, R/W
RESTR	1328H	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	"0"をライトしてください				リセットレジスタ	Wのみ

注) PAGE0 の SECR,MINR,HOURL,DAYR,DATER,MONTHR,YEARR はリードすると現在の状態がリードされます。

表 3.20.2 PAGE1 (アラーム機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	1320H										
MINR	1321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
HOURL	1322H			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
DAYR	1323H						W2	W1	W0	アラーム週桁	R/W
DATER	1324H			20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
MONTHR	1325H								24/12	24 時間クロック モード	R/W
YEARR	1326H								うるう年設定	うるう年モード	R/W
PAGER	1327H	割り込み許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W,R/W
RESTR	1328H	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	"0"をライトしてください				リセットレジスタ	Wのみ

注) PAGE1 の MINR,HOURL,DAYR,DATER,MONTHR,YEARR はリードすると現在の状態がリードされます。

3.20.4 コントロールレジスタの説明

RTC はシステムリセットによる初期化はされません。従って、RTC は各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

(1) 秒桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0	
SECR (1320H)	Bit symbol	SE6	SE5	SE4	SE3	SE2	SE1	SE0	
	Read/Write	R/W							
	リセット後	不定							
	機能	"0" がリード されます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁

設定例を下記に示します。

0	0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	0	1	1 秒
0	0	0	0	0	0	1	0	2 秒
0	0	0	0	0	0	1	1	3 秒
0	0	0	0	0	1	0	0	4 秒
0	0	0	0	0	1	0	1	5 秒
0	0	0	0	0	1	1	0	6 秒
0	0	0	0	0	1	1	1	7 秒
0	0	0	0	1	0	0	0	8 秒
0	0	0	0	1	0	0	1	9 秒
0	0	0	1	0	0	0	0	10 秒
:								
0	0	1	1	0	0	1	0	19 秒
0	1	0	0	0	0	0	0	20 秒
:								
0	1	0	1	0	0	1	0	29 秒
0	1	1	0	0	0	0	0	30 秒
:								
0	1	1	1	0	0	1	0	39 秒
1	0	0	0	0	0	0	0	40 秒
:								
1	0	0	1	0	0	1	0	49 秒
1	0	1	0	0	0	0	0	50 秒
:								
1	0	1	1	0	0	1	0	59 秒

注) 上記以外の設定はしないでください。

(2) 分析レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0	
MINR (1321H)	Bit symbol	MI6	MI5	MI4	MI3	MI2	MI1	MI0	
	Read/Write	R/W							
	リセット後	不定							
	機能	"0" がリード されません。	40分	20分	10分	8分	4分	2分	1分

設定例を下記に示します。

0	0	0	0	0	0	0	0	0分
0	0	0	0	0	0	0	1	1分
0	0	0	0	0	0	1	0	2分
0	0	0	0	0	0	1	1	3分
0	0	0	0	1	0	0	0	4分
0	0	0	0	1	0	1	1	5分
0	0	0	0	1	1	1	0	6分
0	0	0	0	1	1	1	1	7分
0	0	0	1	0	0	0	0	8分
0	0	0	1	0	0	1	1	9分
0	0	1	0	0	0	0	0	10分
:								
0	0	1	1	0	0	1	1	19分
0	1	0	0	0	0	0	0	20分
:								
0	1	0	1	0	0	1	1	29分
0	1	1	0	0	0	0	0	30分
:								
0	1	1	1	0	0	1	1	39分
1	0	0	0	0	0	0	0	40分
:								
1	0	0	1	0	0	1	1	49分
1	0	1	0	0	0	0	0	50分
:								
1	0	1	1	0	0	1	1	59分

注) 上記以外の設定はしないでください。

(3) 時間桁レジスタの設定 (PAGE0/1)

1. 24時間クロックモード (MONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
HOURR (1322H)			HO5	HO4	HO3	HO2	HO1	HO0
Bit symbol								
Read/Write			R/W					
リセット後			不定					
機能	"0" がリードされます。		20時	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	0	8時
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
:							
0	1	1	0	0	1	1	19時
1	0	0	0	0	0	0	20時
:							
1	0	0	0	1	1	1	23時

注) 上記以外の設定はしないでください。

2. 12時間クロックモード (MONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
HOURR (1322H)			HO5	HO4	HO3	HO2	HO1	HO0
Bit symbol								
Read/Write			R/W					
リセット後			不定					
機能	"0" がリードされます。		PM/AM	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時 (AM)
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	1	1	9時
0	1	0	0	0	0	0	10時
0	1	0	0	0	0	1	11時
1	0	0	0	0	0	0	0時 (PM)
1	0	0	0	0	0	1	1時

注) 上記以外の設定はしないでください。

(4) 週桁レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
DAYR (1323H)						WE2	WE1	WE0
Bit symbol						R/W		
Read/Write						不定		
リセット後						"0" がリードされます。		
機能								

設定例を下記に示します。

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

注) 上記以外の設定はしないでください。

(5) 日桁レジスタ (PAGE0/1)

	7	6	5	4	3	2	1	0
DATER (1324H)			DA5	DA4	DA3	DA2	DA1	DA0
Bit symbol			R/W					
Read/Write			不定					
リセット後			"0" がリードされます。	20日	10日	8日	4日	2日
機能								

設定例を下記に示します。

0	0	0	0	0	1	1日
0	0	0	0	1	0	2日
0	0	0	0	1	1	3日
0	0	0	1	0	0	4日
:						
0	0	1	0	0	1	9日
0	1	0	0	0	0	10日
0	1	0	0	0	1	11日
:						
0	1	1	0	0	1	19日
1	0	0	0	0	0	20日
:						
1	0	1	0	0	1	29日
1	1	0	0	0	0	30日
1	1	0	0	0	1	31日

注1) 上記以外の設定はしないでください。

注2) 2月30日など、存在しない日は設定しないでください。

(6) 月桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
MONTHR (1325H)				MO4	MO4	MO2	MO1	MO0
Bit symbol								
Read/Write				R/W				
リセット後				不定				
機能	"0" がリードされます。			10月	8月	4月	2月	1月

設定例を下記に示します。

0	0	0	0	1	1月
0	0	0	1	0	2月
0	0	0	1	1	3月
0	0	1	0	0	4月
0	0	1	0	1	5月
0	0	1	1	0	6月
0	0	1	1	1	7月
0	1	0	0	0	8月
0	1	0	0	1	9月
1	0	0	0	0	10月
1	0	0	0	1	11月
1	0	0	1	0	12月

注) 上記以外の設定はしないでください。

(7) 24 時間時計、12 時間時計の選択 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
MONTHR (1325H)								MO0
Bit symbol								
Read/Write								R/W
リセット後								不定
機能	"0" がリードされます。							1: 24 時間 0: 12 時間

(8) 年桁レジスタの設定 (PAGE0のみ)

	7	6	5	4	3	2	1	0	
YEARR (1326H)	Bit symbol	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
	Read/Write	R/W							
	リセット後	不定							
	機能	80年	40年	20年	10年	8年	4年	2年	1年

設定例を下記に示します。

0	0	0	0	0	0	0	0	00年
0	0	0	0	0	0	0	0	01年
0	0	0	0	0	0	0	1	02年
0	0	0	0	0	0	0	1	03年
0	0	0	0	0	0	1	0	04年
0	0	0	0	0	0	1	0	05年
⋮								
1	0	0	1	1	0	0	1	99年

注) 上記以外の設定はしないでください。

(9) うるう年レジスタの設定 (PAGE1のみ)

	7	6	5	4	3	2	1	0				
YEARR (1326H)	Bit symbol	/					LEAP1		LEAP0			
	Read/Write						R/W					
	リセット後						不定					
	機能	/					00: うるう年					
							"0" がリードされます。			01: うるう年から1年目		
										10: うるう年から2年目		
										11: うるう年から3年目		

設定例を下記に示します。

0	0	現在の年 (今年) がうるう年
0	1	現在がうるう年から1年目
1	0	現在がうるう年から2年目
1	1	現在がうるう年から3年目

(10) PAGE レジスタの設定 (PAGE0/1)

		7	6	5	4	3	2	1	0
PAGER (1327H)	Bit symbol	INTENA			ADJUST	ENATMR	ENAALM		PAGE
	Read/Write	R/W			W	R/W			R/W
	リセット後	0			不定	不定			不定
リードモ ディファイ アイト できませ ん	機能	INTRTC 0: 禁止 1: 許可	"0" がリードされます。		0: Don't care 1: 補正	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0" がリー ドされま す。	PAGE 設定

注) ENATMR および ENAAML の各々の割り込み許可ビットと、INTENA の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。
(時計/アラーム許可と割り込み許可の設定間に時間差を設ける。)

(例) 現時刻、アラーム設定

Id (pager), 0ch : 時計、アラーム許可

Id (pager), 8ch : 割り込み許可

PAGE	0	Page0 が選択されます
	1	Page1 が選択されます

ADJUST	0	Don't care
	1	秒を補正します。秒が 0~29 秒のときにこのビットを "1" にすると、秒は "0" になります。また、30~59 秒のときは分を桁上げて秒を "0" にします。fsys の一周期分 ADJUST 信号が出て、一度 ADJUST されるとその後自動的に ADJUST 解除されます。(PAGE0 のみ)

(11) リセットレジスタの設定 (PAGE0/1)

		7	6	5	4	3	2	1	0
RESTR (1328H)	Bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	-	-	-
	Read/Write	W							
	リセット後	不定							
リード モディファイ アイト できませ ん	機能	1 Hz 0: 許可 1: 禁止	16 Hz 0: 許可 1: 禁止	1: 時計 リセット	1: アラーム リセット	"0" をライトしてください。			

RSTALM	0	未使用
	1	アラームレジスタをリセットします。

RSTTMR	0	未使用
	1	カウンタリセット

<DIS1HZ>	<DIS16HZ>	PAGER<ENAALM>	割り込みソース信号
1	1	1	アラーム
0	1	0	1Hz
1	0	0	16Hz
その他			"0" が出力されます。

3.20.5 動作説明

(1) 時計データをリードする場合

1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で2度以上リードしてください。

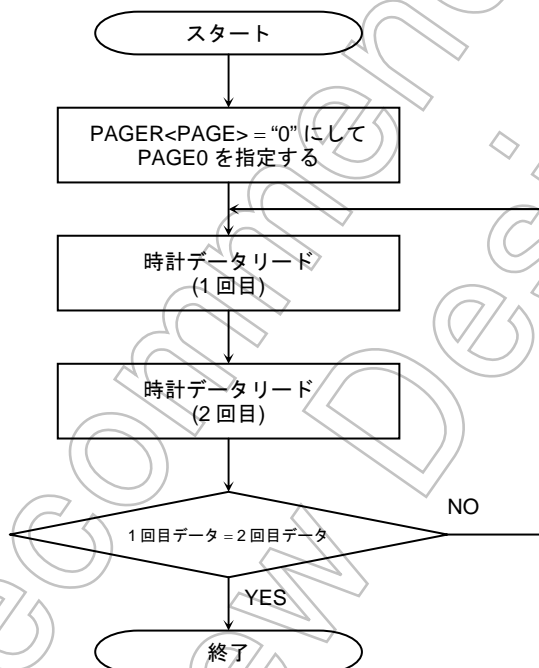


図 3.20.2 時計データのリードフロー

(2) 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためにはつぎの方法があります。

1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

RTC 内部には 32.768 kHz の信号から 1 Hz を発生する 15 段のカウンタが内蔵されており、このカウンタをリセットした後にデータをライトします。

ただし、カウンタクリアした場合、直後の 1 回目のみ、所定時間の半分でカウンタアップされます。そのため、正常な時間カウンタの設定をする場合は、カウンタクリア後、1Hz 割り込みを許可し、最初の割り込み(0.5s で発生)を待ってその後に時間設定をするようにしてください。

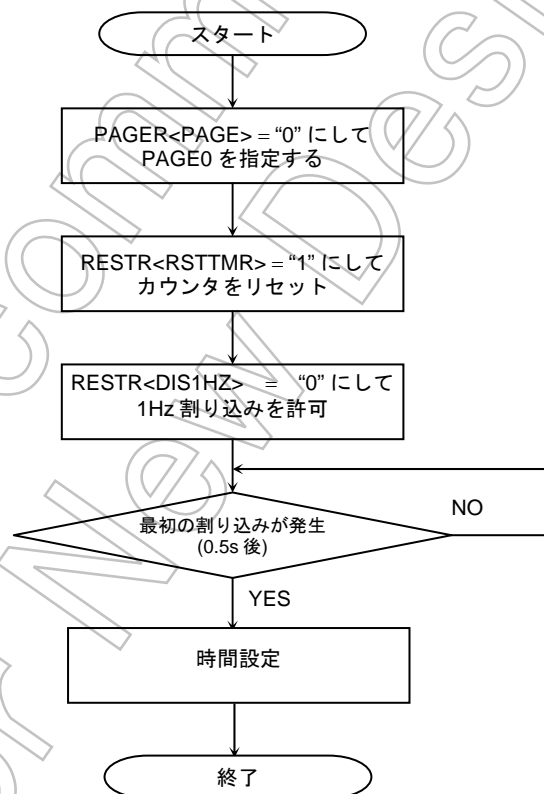


図 3.20.3 データライトのフロー

3. 時計を禁止する場合

PAGER<ENATMR>に“0”をライトすると、時計は禁止となって桁上げは禁止されますが、1s Carry ホールド回路により誤カウントを防ぐことができます。

1s Carry ホールド回路は、時計が禁止中に分周器から発生した1秒の桁上げ信号を1回分だけ保持し、時計許可になってからその桁上げ信号を時計に出力して時刻を補正し、継続して動作します。ただし、時計禁止状態が1秒以上続くと時計は遅れてきます。

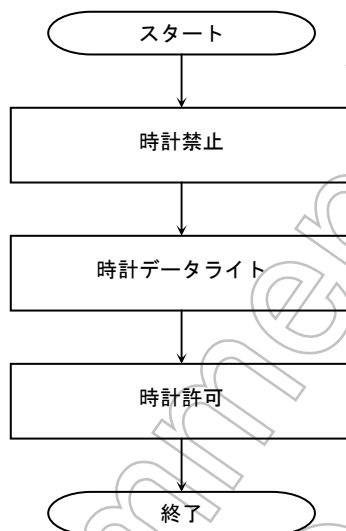


図 3.20.4 時計を禁止するフローチャート

3.20.6 アラーム機能の説明

PAGER<PAGE>に“1”をライトすることにより、PAGE1のレジスタ群でアラーム機能が使用できます。 $\overline{\text{ALARM}}$ 端子からは以下3つの信号のいずれかを出力できます。INTRTCはいずれの場合も立ち下がりエッジを検出して1ショットのパルスを出力します。

なお、RTCはリセットにより初期化されませんので、時計、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、“0”を出力
- (2) 1 Hzのクロックを出力
- (3) 16 Hzのクロックを出力

なお、RTCはリセットにより初期化されませんので、リセット後、時計、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、 $\overline{\text{ALARM}}$ 端子から“0”を出力

PAGER<ENAALM>=“1”で、PAGE1のアラームレジスタとPAGE0の時計の内容が一致したときに $\overline{\text{ALARM}}$ 端子に“0”を出力するとともに、PAGER<INTENA>=“1”ならばINTRTC割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

アラームの初期化はRESTR<RSTALM>に“1”をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁はDon't careになります。このときは、常に時計の内容と一致したことになりPAGER<INENA>、<ENAALM>が“1”であればINTRTC割り込みを出力します。

アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定は、PAGE1の各レジスタにデータをライトすることにより行われます。データを設定した項目は、Don't careが解除されます。

すべての項目が一致したときにPAGER<ENAALM>、PAGER<INTENA>が“1”であればINTRTC割り込みを要求します。ただし、未設定項目(Don't care状態)は常に一致しているものとみなされます。

一度設定した項目は独立にDon't careに戻すことはできませんがアラームの初期化を行うとすべてDon't careになります。

例えば、毎日正午(PM12:00)にアラームを出力させる場合のプログラムを下記に示します。

LD	(PAGER), 09H	;	アラーム禁止、PAGE1設定
LD	(RESTR), D0H	;	アラーム初期化
LD	(DAYR), 01H	;	W0
LD	(DATER), 01H	;	1日
LD	(HOURR), 12H	;	12時設定
LD	(MINR), 00H	;	00分設定
		;	セットアップ時間 31 μ s (注)
LD	(PAGER), 0CH	;	アラーム許可
LD	(PAGER), 8CH	;	割り込み許可

アラーム設定は、低周波クロックに同期して動作していますので、CPUが高周波で動作している場合、レジスタ設定してから有効になるまでに最大32 kHzの1クロック分(約30 μ s)のズレを生じることがあります。上記例の場合、時間設定しアラーム許可までの間に31 μ sのセットアップ時間が必要です。

注) このセットアップ時間は内部割り込みのみの使用の際は不要です。

(2) 1 Hz のクロックを出力する場合

PAGER<ENAALM> = “0”、RESTR<DIS1HZ> = “0”、<DIS16HZ> = “1” を設定すると $\overline{\text{ALARM}}$ 端子に 1 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

(3) 16 Hz のクロックを出力する場合

PAGER<ENAALM> = “0”、RESTR<DIS1HZ> = “1”、<DIS16HZ> = “0” を設定することにより $\overline{\text{ALARM}}$ 端子に 16 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

Not Recommended
for New Design

3.21 メロディ/アラームジェネレータ (MLD)

メロディ波形、アラーム波形を作成する機能です。出力波形は両方の波形を MLDALM 端子より出力します。また、アラームジェネレータに使用する 15 ビットのフリーランカウンタより 5 種類の一定周期の割り込みを発生可能です。

下記に特長を示します。

1) メロディジェネレータ

低速クロック (32.768 kHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

2) アラームジェネレータ

低速クロック (32.768 kHz) を元に作成された変調周波数 (4096 Hz) にて、8 種類のアラーム波形を生成し MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し 5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192Hz) の一定周期の割り込みを発生可能です。

Not Recommended for New Design

3.21.1 ブロック図

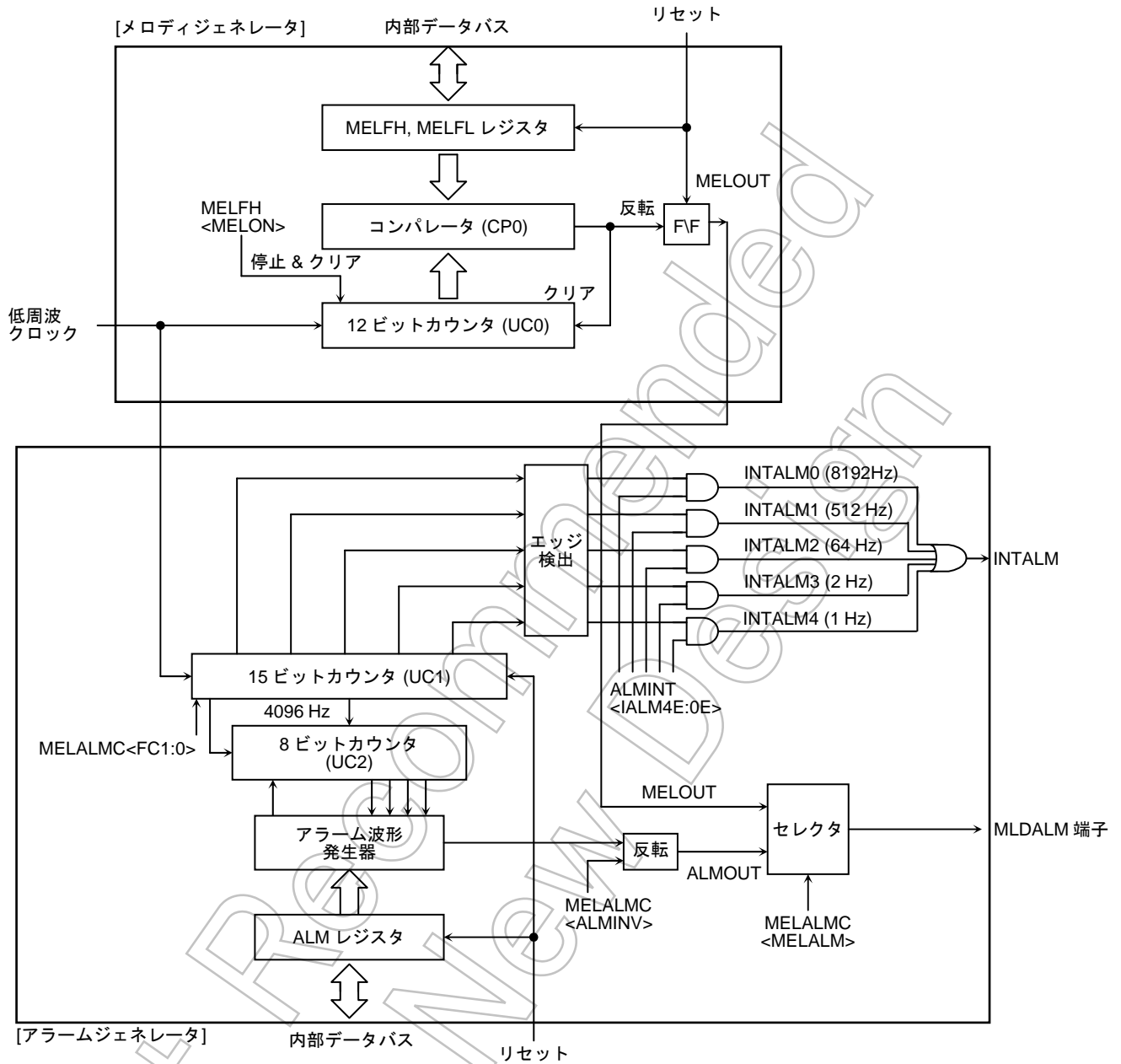


図 3.21.1 MLD ブロック図

3.21.2 コントロールレジスタ

ALM レジスタ

	7	6	5	4	3	2	1	0	
ALM (1330H)	Bit symbol	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	アラームパターン設定							

MELALMC レジスタ

	7	6	5	4	3	2	1	0
MELALMC (1331H)	Bit symbol	FC1	FC0	ALMINV	-	-	-	MELALM
	Read/Write	R/W		R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0
	機能	フリーランカウンタ制御 00: ホールド 01: 再スタート 10: クリア& 停止 11: クリア& スタート	アラーム 波形反転 1: 反転	"0" をライトしてください。				出力波形 選択 0: アラーム 1: メロディ

注 1) MELALMC<FC1>は常に"0" がリードされます。

注 2) フリーランカウンタが動作状態で、MELALMC<FC1:0>以外のビットに値を設定する場合は<FC1:0>に"01" をセットしてください。

MELFL レジスタ

	7	6	5	4	3	2	1	0	
MELFL (1332H)	Bit symbol	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	メロディ周波数設定 (下位 8 ビット)							

MELFH レジスタ

	7	6	5	4	3	2	1	0
MELFH (1333H)	Bit symbol	MELON			ML11	ML10	ML9	ML8
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	メロディ カウンタ 制御 0: ストップ & クリア 1: スタート			メロディ周波数設定 (上位 4 ビット)			

ALMINT レジスタ

	7	6	5	4	3	2	1	0	
ALMINT (1334H)	Bit symbol			-	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
	Read/Write			R/W	R/W				
	リセット後			0	0	0	0	0	
	機能			"0" をライ トしてく ださい。	1:INTALM4 (1Hz) 許可	1:INTALM3 (2Hz) 許可	1:INTALM2 (64Hz) 許可	1:INTALM1 (512Hz) 許可	1:INTALM0 (8192Hz) 許可

注) INTALM0~INTALM4 は、同時に複数許可禁止です。必ず 1 つのみ許可してください。

3.21.3 動作説明

3.21.3.1 メロディジェネレータ

低速クロック (32.768 kHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

(動作)

まず、MELALMC<MELALM>に“1”をライトし、MLDALM 端子からのメロディ波形出力を選択します。次に MELFH、MELFL レジスタの 12 ビットにメロディ出力周波数を設定します。

下記にメロディ出力周波数の求め方、設定例を示します。

(メロディ出力周波数計算式)

$$\text{メロディ出力周波数 } f_{\text{MLD}}[\text{Hz}] = 32768 / (2 \times N + 4) \quad @f_s = 32.768 [\text{kHz}]$$

$$\text{メロディ設定値 } N = (16384 / f_{\text{MLD}}) - 2$$

(注: N = 1~4095 (001H~FFFH)、0 は設定禁止)

(プログラム例)

“A” の音階を出力する場合 (440 Hz)

LD (MELALMC), XXXXX1B ; メロディ波形を選択
 LD (MELFL), 23H ; N = 16384/440 - 2 = 35.2 = 023H
 LD (MELFH), 80H ; 波形の生成を開始

(参考: 基本音階別設定値表)

音階	周波数 [Hz]	レジスタ値: N
C	264	03CH
D	297	035H
E	330	030H
F	352	02DH
G	396	027H
A	440	023H
B	495	01FH
C	528	01DH

3.21.3.2 アラームジェネレータ

低速クロック (32.768 kHz) を元に作成された周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し 5 種類(1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192Hz)の一定周期の割り込みを発生可能です。

(動作)

まず、MELALMC<MELALM>に“0”をライトし、MLDALM 端子からのアラーム波形出力を選択、さらに MELALMC<FC1:0>に“10”を設定し、内部のカウンタをクリアします。次に、ALM レジスタの 8 ビットにアラームパターンを設定します。出力データを反転したい場合には<ALMINV>を反転に設定します。

最後に MELALMC<FC1:0>に“11”を設定し、フリーランカウンタをスタートさせます。

停止したい場合は ALM レジスタに“00H”をライトしてください。それによりアラームは停止します。

下記にアラームパターンの設定値、プログラム例、設定別出力波形を示します。

(アラームパターンの設定値)

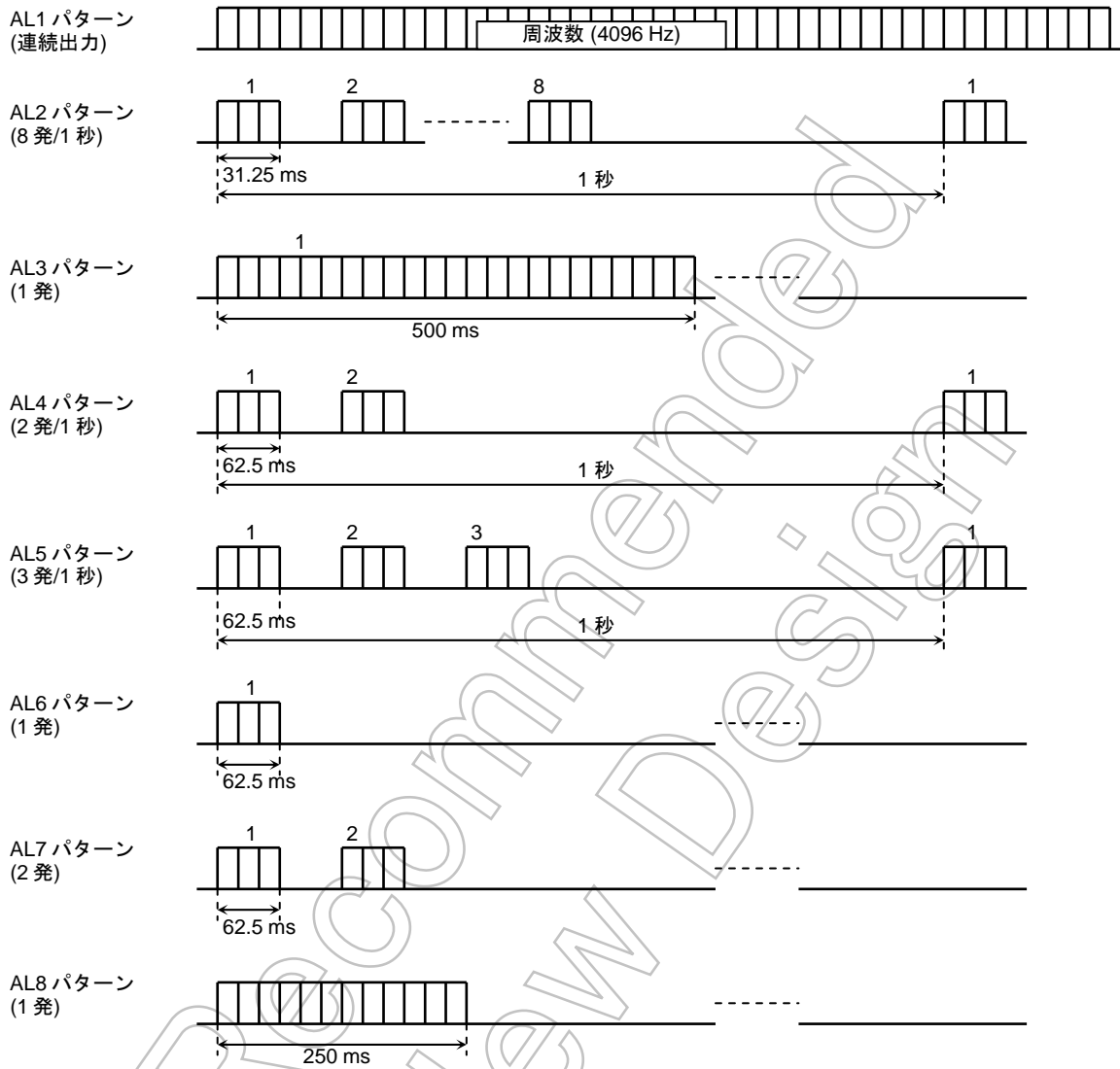
ALM レジスタ の設定値	アラーム波形
00H	“0” 固定
01H	AL1 パターン
02H	AL2 パターン
04H	AL3 パターン
08H	AL4 パターン
10H	AL5 パターン
20H	AL6 パターン
40H	AL7 パターン
80H	AL8 パターン
その他	未定義 (設定しないでください。)

(プログラム例)

AL2 パターン (31.25 ms/8 発/1 秒) のアラームを出力する場合

```
LD (MELALMC), 80H ; カウンタクリア、アラーム波形出力設定
LD (ALM), 02H ; AL2 パターン設定
LD (MELALMC), C0H ; フリーランカウンタスタート
```

例: 各設定値のアラームパターンの波形: 反転なし



Not Recommended for New Design

3.22 アナログ/デジタルコンバータ

6チャンネルのアナログ入力を持つ、10ビット逐次変換方式アナログ/デジタルコンバータ (ADコンバータ) を内蔵しています。

図 3.22.1に、ADコンバータのブロック図を示します。

6チャンネルのアナログ入力端子 (AN0~AN5) は、入力専用ポートと兼用です。

注1) IDLE2、IDLE1、STOP モードにより電源電流を低減させる場合は、タイミングにより内部コンバータがイネーブル状態のままスタンバイに入ることがありますので、ADコンバータの動作が停止していることを確認してから“HALT”命令を実行してください。ただし IDLE2 モードの場合は ADMOD0<I2AD>が“0”の場合に限ります。

注2) ADコンバータを停止している状態で ADMOD1<DACON> = “0”にすると、消費電流の低減が図れます。

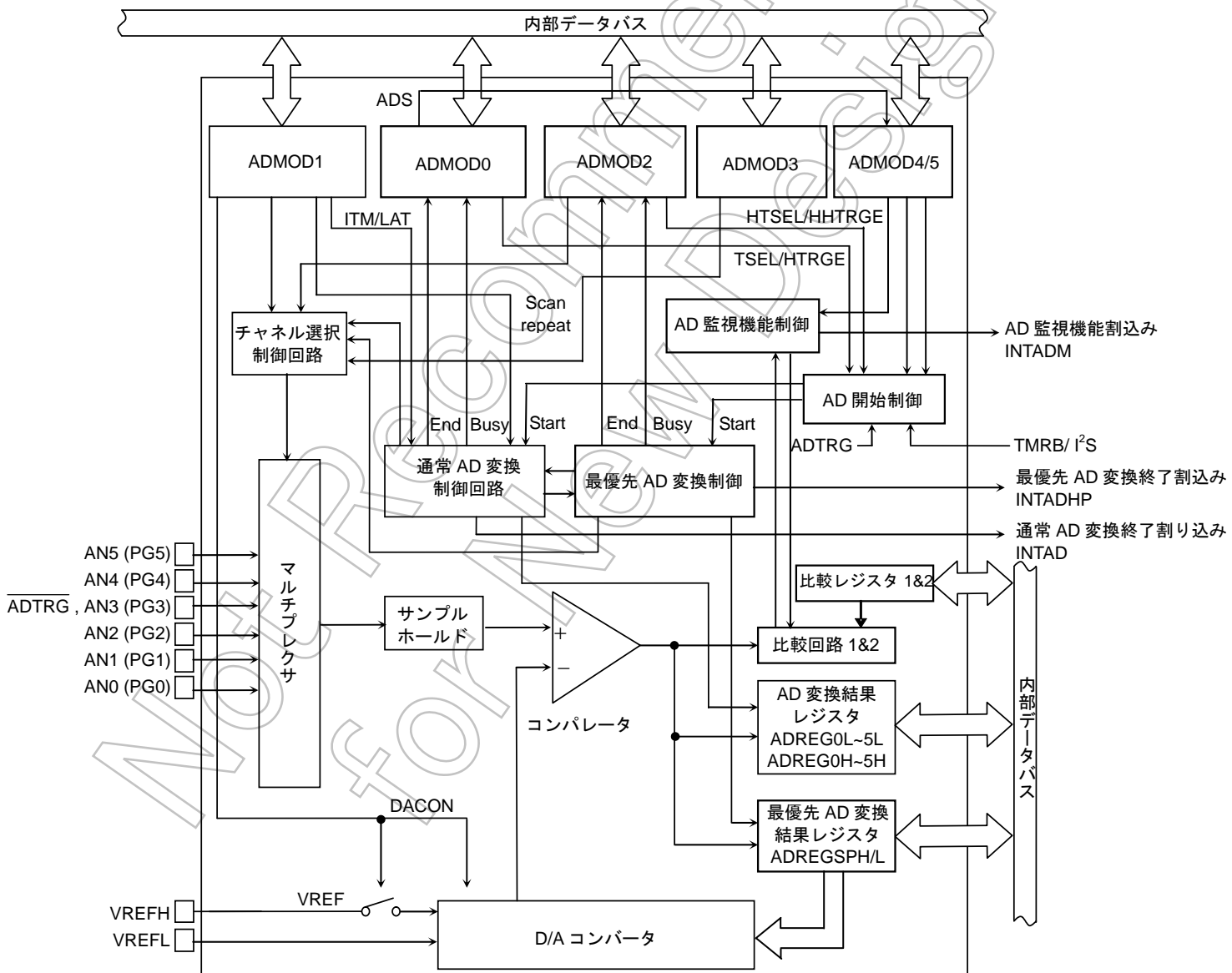


図 3.22.1 ADコンバータのブロック図

3.22.1 コントロールレジスタ

AD コンバータは、AD モードコントロールレジスタ (ADMOD0、ADMOD1、ADMOD2、ADMOD3、ADMOD4、ADMOD5) により制御されています。また、AD 変換結果は、AD 変換結果上位/下位レジスタ ADREG0H/L~ADREG5H/L の 12 個のレジスタに格納されます。また、最優先変換結果は ADREGSPH/L に格納されます。

図 3.22.2~図 3.22.11にADコンバータ関係のレジスタを示します。

		7	6	5	4	3	2	1	0
ADMOD0 (12B8H)	bit Symbol	EOS	BUSY		I2AD	ADS	HTRGE	TSEL1	TSEL0
	Read/Write	R	R		R/W				
	リセット後	0	0		0	0	0	0	0
	機能	通常 AD 変換シーケンスフラグ 0: 変換シーケンス中 または開始前 1: 変換シーケンス終了	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中		IDLE2 モード時の AD 変換 0: 停止 1: 動作	通常 AD 変換開始 0: Don't Care 1: AD 変換開始	ハードウェアトリガによる AD 変換 0: 禁止 1: 許可	ハードウェアトリガの選択 00: INTTB00 割り込み 01: Reserved 10: ADTRG 11: Reserved	

図 3.22.2 AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 1(通常変換制御)

ADMOD1
(12B9H)

	7	6	5	4	3	2	1	0
bit Symbol	DACON	ADCH2	ADCH1	ADCH0	LAT	ITM	REPEAT	SCAN
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	DA コンバータ、VREF 印加制御	アナログ入力チャンネルの選択			レイテンシ 0: Wait 無し 1: 最終チャンネルの変換結果格納レジスタをリード後開始	チャンネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャンネル固定モード 1: チャンネルスキャンモード

→チャンネル固定リピート変換モード時の AD 変換割り込み指定

チャンネル固定リピート変換モード <SCAN>="0", <REPEAT>="1"	
0	1 回変換するごとに割り込み発生
1	4 回変換するごとに割り込み発生

→チャンネルスキャンリピートモード時の SCAN 開始タイミングの制御

チャンネルスキャンリピートモード <SCAN>="1", <REPEAT>="1"	
0	Wait 無し
1	最終チャンネルの変換結果格納レジスタをリード後開始

→アナログ入力チャンネル選択

	<SCAN>	0	1
<ADCH2:0>		チャンネル固定	チャンネルスキャン
000		AN0	AN0
001		AN1	AN0→AN1
010		AN2	AN0→AN1→AN2
011		AN3(注)	AN0→AN1→AN2→AN3(注)
100		AN4	AN0→AN1→AN2→AN3→AN4(注)
101		AN5	AN0→AN1→AN2→AN3→AN4→AN5(注)
110		Reserved	
111		Reserved	

→DA コンバータ、VREF 印加制御

0	DAC、VREF 印加 off
1	DAC、VREF 印加 on (変換スタート前に"1"に設定してください)

注)PG3 端子を ADTRG として使用する場合、設定することはできません。

図 3.22.3 AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 2(最優先変換制御)

	7	6	5	4	3	2	1	0	
ADMOD2 (12BAH)	bit Symbol	HEOS	HBUSY			HADS	HHTRGE	HTSEL1	HTSEL0
	Read/Write	R	R			R/W			
	リセット後	0	0			0	0	0	0
	機能	最優先 AD 変換シーケンスフラグ 0: 変換シーケンス中または開始前 1: 変換シーケンス終了	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中			最優先 AD 変換開始 0: Don't Care 1: AD 変換開始 リードすると常に"0"がリードされます	ハードウェアトリガによる最優先 AD 変換 0: 禁止 1: 許可	ハードウェアトリガの選択 00: INTTB10 割込み 01: Reserved 10: ADTRG 11: I ² S Sampling Counter 出力	

AD モードコントロールレジスタ 3(最優先変換制御)

	7	6	5	4	3	2	1	0
ADMOD3 (12BBH)	bit Symbol	-	HADCH2	HADCH1	HADCH0			-
	Read/Write	R/W	R/W					R/W
	リセット後	0	0	0	0			0
	機能	"0"をライトしてください	最優先変換アナログ入力チャネルの選択					"0"をライトしてください

→アナログ入力チャネル選択

<HADCH2:0>	最優先変換時のアナログ入力チャネル
000	AN0
001	AN1
010	AN2
011	AN3(注)
100	AN4
101	AN5
110	Reserved
111	Reserved

注)PG3 端子を ADTRG として使用する場合、設定することはできません。

図 3.22.4 AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 4 (AD 監視機能制御)

	7	6	5	4	3	2	1	0	
ADMOD4 (12BCH)	bit Symbol	CMEN1	CMEN0	CMP1C	CMP0C	IRQEN1	IRQEN0	CMPINT1	CMPINT0
	Read/Write	R/W					R		
	リセット後	0	0	0	0	0	0	0	0
	機能	AD 監視機能 1 0: 禁止 1: 許可	AD 監視機能 0 0: 禁止 1: 許可	AD 監視機能 1 割り込みの 発生条件 0: 小 1: 等しい または大	AD 監視機能 0 割り込みの 発生条件 0: 小 1: 等しい または大	AD 監視機能 1 割り込みの 許可 0: 禁止 1: 許可(注)	AD 監視機能 0 割り込みの 許可 0: 禁止 1: 許可(注)	AD 監視機能 1 割り込みの ステータス 0: 未発生 1: 発生	AD 監視機能 0 割り込みの ステータス 0: 未発生 1: 発生

注) AD 監視機能割り込みが発生すると自動的にクリアされて禁止状態になります。

AD モードコントロールレジスタ 5 (AD 監視機能制御)

	7	6	5	4	3	2	1	0
ADMOD5 (12BDH)	bit Symbol	CM1CH2	CM1CH1	CM1CH0	CM0CH2	CM0CH1	CM0CH0	
	Read/Write	R/W			R/W			
	リセット後	0	0	0	0	0	0	0
	機能	AD 監視機能 1 用の 被比較アナログチャネル 000: AN0 100: AN4 001: AN1 101: AN5 010: AN2 110: Reserved 011: AN3 111: Reserved			AD 監視機能 0 用の 被比較アナログチャネル 000: AN0 100: AN4 001: AN1 101: AN5 010: AN2 110: Reserved 011: AN3 111: Reserved			

図 3.22.5 AD コンバータ関係のレジスタ

- 注 1) <HHTRGE>、<HTRGE>に“1”を設定してハードウェアトリガにより AD 変換を行なう場合、 $\overline{\text{ADTRG}}$ の場合は許可をする前に PGFC<PG3F>を“1”(ADTRG)に設定してください。また、16 ビットタイマの INTTBx0 割り込みトリガの場合は、タイマ動作の停止中にまず、<TSEL1:0>、<HTSEL1:0>を“00”に設定してトリガ要因にタイマを選択し、次に<HHTRGE>、<HTRGE>を“1”に設定して許可を行なってください。最後にタイマを動作させる事により、一定間隔での AD 起動が可能となります。
- 注 2) $\overline{\text{ADTRG}}$ での AD 変換の起動を途中で中止する場合は、最初にハードウェアトリガを禁止(<HHTRGE>= “0”、<HTRGE>= “0”)してから、PGFC<PG3F>を“0”にして汎用 PORT に設定してください。
- 注 3) $\overline{\text{ADTRG}}$ での AD 起動を行なう場合は、許可後(<HHTRGE>= “1”または<HTRGE>= “1”)に f_{SYS} で 3 クロック経過後可能になります。それ以前に入力された起動は無視されます。
- 注 4) AD 監視機能の比較レジスタ値を変更する時は、AD 監視機能を禁止(ADMOD4<CMEN1:0>= “0”)にしてから行ってください。

AD 変換結果下位レジスタ 0

	7	6	5	4	3	2	1	0
ADREG0L (12A0H)	bit Symbol	ADR01	ADR00				OVR0	ADR0RF
	Read/Write	R					R	R
	リセット後	0	0				0	0
	機能	AN0 AD 変換結果下位 2ビット格納					オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 0: 変換結果有 1: 変換結果有

AD 変換結果上位レジスタ 0

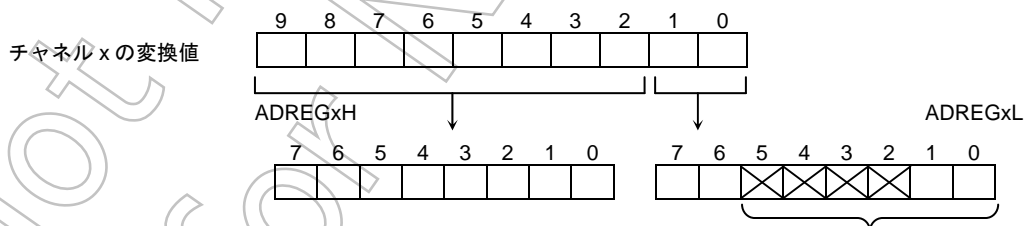
	7	6	5	4	3	2	1	0	
ADREG0H (12A1H)	bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	AN0 AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 1

	7	6	5	4	3	2	1	0
ADREG1L (12A2H)	bit Symbol	ADR11	ADR10				OVR1	ADR1RF
	Read/Write	R					R	R
	リセット後	0	0				0	0
	機能	AN1 AD 変換結果下位 2ビット格納					オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 0: 変換結果有 1: 変換結果有

AD 変換結果上位レジスタ 1

	7	6	5	4	3	2	1	0	
ADREG1H (12A3H)	bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	AN1 AD 変換結果上位 8ビット格納							



- ビット5~2をリードすると、常に“0”になります。
- ビット0は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1”にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0”にクリアされます。
- ビット1はオーバーランフラグ<OVRx>です。両方の変換結果格納レジスタ (ADREGxH, ADREGxL) をリードする前に変換結果が上書きされると“1”にセットされます。フラグのリードにより“0”にクリアされます。

図 3.22.6 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2

	7	6	5	4	3	2	1	0
ADREG2L (12A4H)	ADR21	ADR20					OVR2	ADR2RF
Read/Write	R						R	R
リセット後	0	0					0	0
機能	AN2 AD 変換結果下位 2ビット格納						オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 1: 変換結果有

AD 変換結果上位レジスタ 2

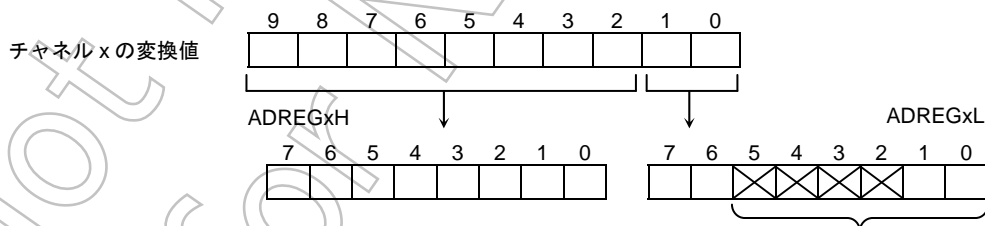
	7	6	5	4	3	2	1	0
ADREG2H (12A5H)	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	AN2 AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 3

	7	6	5	4	3	2	1	0
ADREG3L (12A6H)	ADR31	ADR30					OVR3	ADR3RF
Read/Write	R						R	R
リセット後	0	0					0	0
機能	AN3 AD 変換結果下位 2ビット格納						オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 1: 変換結果有

AD 変換結果上位レジスタ 3

	7	6	5	4	3	2	1	0
ADREG3H (12A7H)	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	AN3 AD 変換結果上位 8ビット格納							



- ビット5-2をリードすると、常に“0”になります。
- ビット0は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1”にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0”にクリアされます。
- ビット1はオーバーランフラグ<OVRx>です。両方の変換結果格納レジスタ (ADREGxH, ADREGxL) をリードする前に変換結果が上書きされると“1”にセットされます。フラグのリードにより“0”にクリアされます。

図 3.22.7 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 4

		7	6	5	4	3	2	1	0
ADREG4L (12A8H)	bit Symbol	ADR41	ADR40					OVR4	ADR4RF
	Read/Write	R						R	R
	リセット後	0	0					0	0
	機能	AN4 AD 変換結果下位 2ビット格納						オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 0: 変換結果有 1: 変換結果有

AD 変換結果上位レジスタ 4

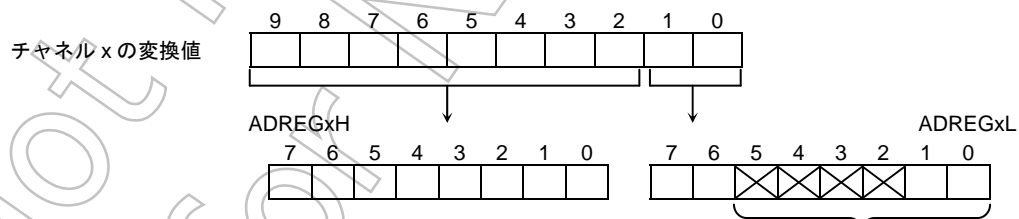
		7	6	5	4	3	2	1	0
ADREG4H (12A9H)	bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	AN4 AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 5

		7	6	5	4	3	2	1	0
ADREG5L (12AAH)	bit Symbol	ADR51	ADR50					OVR5	ADR5RF
	Read/Write	R						R	R
	リセット後	0	0					0	0
	機能	AN5 AD 変換結果下位 2ビット格納						オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 0: 変換結果有 1: 変換結果有

AD 変換結果上位レジスタ 5

		7	6	5	4	3	2	1	0
ADREG5H (12ABH)	bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	AN5 AD 変換結果上位 8ビット格納							



- ビット 5~2 をリードすると、常に“0”になります。
- ビット 0 は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1”にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0”にクリアされます。
- ビット 1 はオーバーランフラグ<OVRx>です。両方の変換結果格納レジスタ (ADREGxH, ADREGxL) をリードする前に変換結果が上書きされると“1”にセットされます。フラグのリードにより“0”にクリアされます。

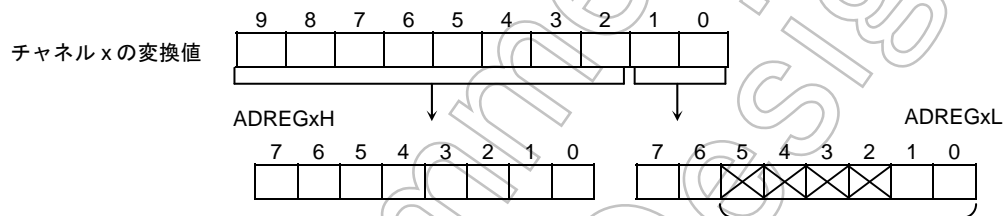
図 3.22.8 AD コンバータ関係のレジスタ

最優先 AD 変換結果下位レジスタ SP

		7	6	5	4	3	2	1	0
ADREGSPH (12B0H)	bit Symbol	ADRSP1	ADRSP0					OVRSP	ADRSPRF
	Read/Write	R						R	R
	リセット後	0	0					0	0
	機能	AD 変換結果下位 2ビット格納						オーバーラン フラグ 0: 発生無し 1: 発生	AD 変換結果 格納フラグ 0: 変換結果有 1: 変換結果有

最優先 AD 変換結果上位レジスタ SP

		7	6	5	4	3	2	1	0
ADREGSPH (12B1H)	bit Symbol	ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	AD 変換結果上位 8ビット格納							



- ビット5~2をリードすると、常に“0”になります。
- ビット0は、AD変換結果格納フラグ <ADR_xRF> です。AD変換値が格納されると、“1”にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0”にクリアされます。
- ビット1はオーバーランフラグ <OVR_x>です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) をリードする前に変換結果が上書きされると“1”にセットされます。フラグのリードにより“0”にクリアされます。

図 3.22.9 ADコンバータ関係のレジスタ

AD 変換結果比較基準 0 下位レジスタ

		7	6	5	4	3	2	1	0
ADCM0REGL (12B4H)	bit Symbol	ADR21	ADR20						
	Read/Write	R/W							
	リセット後	0	0						
	機能	AD 変換結果比較基準 下位 2 ビット格納							

AD 変換結果比較基準 0 上位レジスタ

		7	6	5	4	3	2	1	0
ADCM0REGH (12B5H)	bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	AD 変換結果比較基準上位 8 ビット格納							

AD 変換結果比較基準 1 下位レジスタ

		7	6	5	4	3	2	1	0
ADCM1REGL (12B6H)	bit Symbol	ADR21	ADR20						
	Read/Write	R/W							
	リセット後	0	0						
	機能	AD 変換結果比較基準 下位 2 ビット格納							

AD 変換結果比較基準 1 上位レジスタ

		7	6	5	4	3	2	1	0
ADCM1REGH (12B7H)	bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	AD 変換結果比較基準上位 8 ビット格納							

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADM0D4<CMEN1:0> = "0") した状態で行なってください。

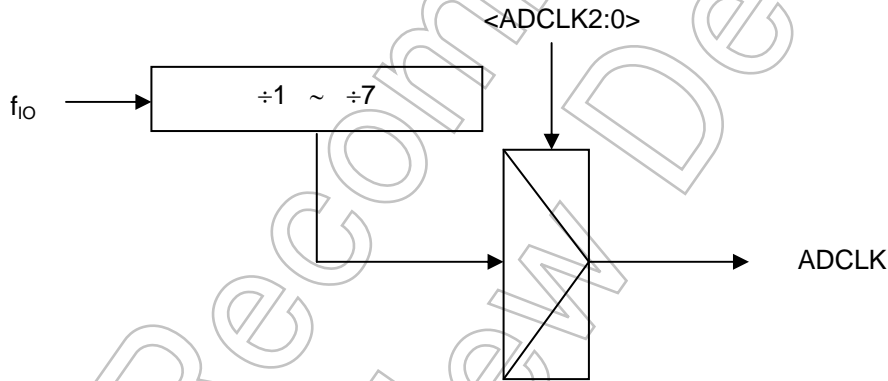
図 3.22.10 AD コンバータ関係のレジスタ

AD 変換クロック設定レジスタ

		7	6	5	4	3	2	1	0
ADCCLK (12BFH)	bit Symbol	/				-	ADCLK2	ADCLK1	ADCLK0
	Read/Write	/				R/W	R/W		
	リセット後	/				0	0	0	0
	機能	/				"0"をラ イトし てく ださい。	AD 変換クロック選択 000: Reserved 100: $f_{IO}/4$ 001: $f_{IO}/1$ 101: $f_{IO}/5$ 010: $f_{IO}/2$ 110: $f_{IO}/6$ 011: $f_{IO}/3$ 111: $f_{IO}/7$		

注 1) AD 変換は上記レジスタで選択されたクロックで実行されますが、保証精度を満足するためには AD 変換クロックを 12MHz 以下になるように変換クロックを選択する必要があります。
 注 2) AD 変換中は変換クロックを切り替えないでください。

図 3.22.11 AD コンバータ関係のレジスタ



$f_{IO}(f_{SYS}/2)$	<ADCLK2:0>	ADCLK	AD 変換速度
40MHz	100($f_{IO}/4$)	10.0MHZ	12 μ sec
	101($f_{IO}/5$)	8MHZ	15 μ sec
30MHz	011($f_{IO}/3$)	10.0MHZ	12 μ sec
	100($f_{IO}/4$)	7.5MHZ	16 μ sec

AD 変換速度は下記計算式で求められます。
 変換速度 = $120 \times (1/ADCLK)$

3.22.2 動作説明

3.22.2.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。

3.22.2.2 アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

(1) 通常 AD 変換時

- アナログ入力チャネルを固定で使用する場合 (ADMOD1<SCAN>=“0”)

ADMOD1<ADCH2:0>の設定により、アナログ入力 AN0~AN5 端子の中から 1 チャネルを選択します。

- アナログ入力チャネルをスキャンで使用する場合 (ADMOD1<SCAN>=“1”)

ADMOD1 <ADCH2:0> の設定により、6 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

(2) 最優先 AD 変換時

ADMOD3<HADCH2:0>の設定により、アナログ入力 AN0~AN5 端子の中から 1 チャネルを選択します。

リセット後は ADMOD1<SCAN> は“0”に ADMOD1<ADCH2:0> は“000”に初期化され、これにより選択が行なわれますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できません。

3.22.2.3 AD変換開始

AD変換には、通常AD変換と最優先AD変換の2種類があります。

通常AD変換はADMOD0<ADS>に“1”を設定することによりソフトで起動が掛かります。また、最優先AD変換はADMOD2<HADS>に“1”を設定することによりソフトで起動が掛かります。

通常AD変換はADMOD1<REPEAT,SCAN>で指定される4種類の動作モードから1つの動作モードが選択されます。最優先AD変換の動作モードはチャンネル固定のシングル変換のみです。

また、通常AD変換はADMOD0<TSEL1:0>、最優先AD変換はADMOD2<HTSEL1:0>で選択されるハードウェアトリガにより起動を掛けることができます。このビットが“10”の場合は、 $\overline{\text{ADTRG}}$ 端子より入力される信号の立ち下がりエッジにより起動が掛かり、このビットが“00”の場合は通常AD変換は16ビットタイマ割込みINTTB00で起動がかかり、最優先AD変換の場合は16ビットタイマ割込みINTTB10で起動がかかります。このビットが“11”の場合は、I²S サンプリングクロックで起動がかかります。ハードウェアトリガが許可された場合でもソフトウェア起動は有効です。

注) HHTRGE が ON の状態で、HTSEL を切り替えると予期せぬ割り込みが発生する可能性があります。HTSEL を切り替える場合は、一旦 HHTRGE を OFF に設定後、切り替えるようにしてください。

通常AD変換が開始されると、AD変換中を示すAD変換Busyフラグ(ADMOD0<BUSY>)が“1”にセットされます。また、最優先AD変換が開始されると、AD変換中を示すAD変換Busyフラグ(ADMOD2<HBUSY>)が“1”にセットされます。

通常AD変換中に最優先変換開始された場合、ADMOD0<BUSY>は“1”に保持されます。

<HEOS>、<EOS>は変換が終了すると“1”になります。このフラグはリードした時のみ“0”にクリアされます。

通常AD変換中にADMOD0<ADS>に“1”を設定すると通常AD変換が再起動されます。再起動された時点でそれまでの通常AD変換は直ちに中止されます。

通常AD変換中にハードウェアトリガによる通常AD変換の起動が許可されている場合は、ハードウェアトリガからの起動条件が成立するごとに通常AD変換が再起動されます。再起動された時点でそれまでの通常AD変換は直ちに中止され、再起動が掛かります。

通常AD変換中にADMOD2<HADS>に“1”を設定する、またはハードウェアトリガによる最優先AD変換の起動が許可されていて、ハードウェアトリガからの起動条件が成立すると、現在変換中のAD変換を直ちに中止して、最優先AD変換が始まりADMOD3<HADCH2:0>で指定されるチャンネルのAD変換(チャンネル固定のシングル変換)が開始されます。この結果がADREGSPH/Lへ格納されると、中止したチャンネルから通常AD変換を再開します。

注) AD変換が重なる場合、3回以上の変換が重なることは出来ません。

禁止例 1: 1回目通常変換	→ (1回目通常変換が終了する前に)2回目通常変換開始 → (2回目通常変換が終了する前に)3回目通常変換開始
禁止例 2: 1回目通常変換	→ (1回目通常変換が終了する前に)2回目通常変換開始 → (2回目通常変換が終了する前に)3回目 最優先 変換開始

3.22.2.4 AD変換モードとAD変換終了割り込み

AD 変換には、次の 4 つの動作モードが用意されています。通常 AD 変換の場合は ADMOD1<REPEAT,SCAN>の設定により選択ができます。最優先 AD 変換の場合はチャンネル固定のシングル変換モードのみです。

- a. チャンネル固定シングル変換モード
- b. チャンネルスキャンシングル変換モード
- c. チャンネル固定リピート変換モード
- d. チャンネルスキャンリピート変換モード

(1) 通常 AD 変換

動作モードの選択は、ADMOD1<REPEAT,SCAN>で行います。AD 変換が開始されると ADMOD0<BUSY>が“1”にセットされます。指定された AD 変換が終了すると、AD 変換終了割り込み (INTAD) が発生し、AD 変換シーケンス終了を示す ADMOD0<EOS> が“1”にセットされます。

a. チャンネル固定シングル変換モード

ADMOD0 <REPEAT,SCAN> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOS>が“1”にセットにされ、INTAD 割り込み要求が発生します。<EOS>はリードする事でのみ“0”にクリアされます。

b. チャンネルスキャンシングル変換モード

ADMOD0 <REPEAT,SCAN> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOS>が“1”にセットにされ、INTAD の割り込み要求が発生します。<EOS>はリードする事でのみ“0”にクリアされます。

c. チャンネル固定リピート変換モード

ADMOD0<REPEAT,SCAN>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOS> が“1”にセットされます。INTAD 割り込み要求発生タイミングは ADMOD1<ITM>の設定により選択できます。<EOS>がセットされるタイミングも割り込みのタイミングに連動します。

ADMOD0<EOS>はリードする事でのみ“0”にクリアされます。

<ITM> を“0”に設定すると AD 変換が 1 回終了するごとに割り込み要求が発生します。この場合変換結果は常に格納レジスタの ADREGxH/L に格納されます。格納時点で EOS は 1 になります。

<ITM> を“1”に設定すると AD 変換が 4 回終了するごとに割り込み要求が発生します。この場合変換結果は格納レジスタの ADREG0H/L ~ADREG3H/L に順次格納されます。ADREG3 に格納後<EOS>は“1”に設定され、再び ADREG0 から格納を始めます。ADMOD0<EOS>は 4 回目の変換結果が格納されると“1”になります。<EOS>はリードする事でのみ“0”にクリアされます。

d. チャンネルスキャンリピート変換モード

ADMOD0 <REPEAT, SCAN> に“11”を設定するとチャンネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。最終チャンネルの変換が終了するごとに ADMOD0<EOS>が“1”にセットされ、INTAD 割り込み要求が発生します。ADMOD0<EOS>はリードする事でのみ“0”にクリアされます。

リピート変換モード (c、d のモード) の動作を停止する場合は、ADMOD1 <REPEAT> に“0”をライトしてください。実行中のスキャン変換を終了した時点で、リピート変換モードは終了します。

ADMOD0<I2AD>=“0”の場合の IDLE2、IDLE1、STOP モードのスタンバイモードへ移行すると、AD 変換中でも AD コンバータはただちに動作を停止します。従って、スタンバイモードに移行するときの AD コンバータ状態によっては、AD コンバータは動作が停止しても電流を消費する事があります。これを避けるためには移行前に AD コンバータの動作を停止してください。

(2) 最優先 AD 変換

動作モードはチャンネル固定のシングル変換のみです。ADMOD1<REPEAT, SCAN>の設定は関係ありません。起動条件が成立すると、ADMOD3<HADCH2:0>で指定されるチャンネルの変換を一回だけ行います。変換が終了すると、最優先 AD 変換終了割り込み(INTADHP)が発生して、ADMOD2<HEOS>は“1”にセットされます。HEOS フラグはリードする事でのみ“0”にクリアされます。

表 3.22.1 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

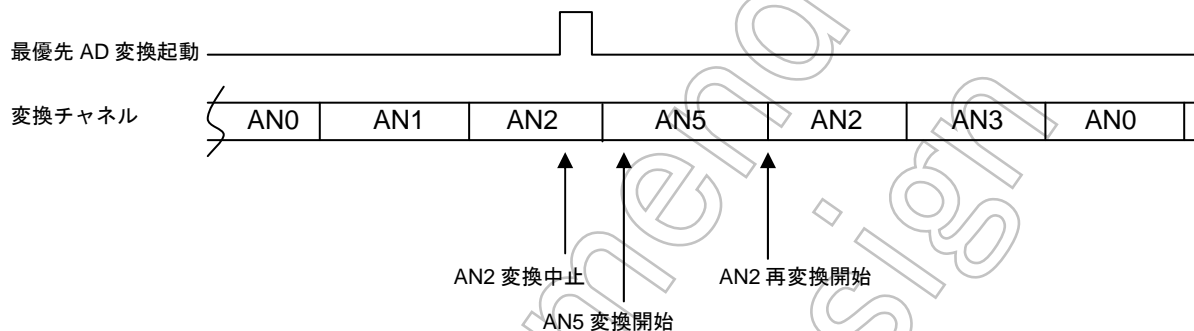
変換モード	割り込み発生 タイミング	EOS セット タイミング (注)	ADMOD1		
			ITM	REPEAT	SCAN
チャンネル固定 シングル変換	変換終了後	変換終了後	-	0	0
チャンネル固定 リピート変換	1回変換ごと	変換が1回 終了ごと	0	1	0
	4回変換ごと	変換が4回 終了後	1		
チャンネルスキャン シングル変換	スキャン変換 終了後	スキャン変換 終了後	-	0	1
チャンネルスキャン リピート変換	1回のスキャン変 換終了ごと	1回のスキャン変 換終了ごと	-	1	1

注) EOSはリードする事でのみ“0”にクリアされます。

3.22.2.5 最優先変換モード

通常 AD 変換に割り込んで、最優先 AD 変換を行う事ができます。最優先 AD 変換は ADMOD2<HADS>に“1”を設定するソフトによる起動と、ADMOD2<HTSEL1:0>の設定によりハードウェアトリガを用いた起動ができます。通常 AD 変換中に最優先 AD 変換が起動されると、現在変換中の AD 変換を直ちに中止して ADMOD3<HADC2:0>で指定されるチャンネルのシングル変換を行います。変換結果は ADREGSPH/L へ格納され、最優先 AD 変換割込み(INTADHP)が発生します。その後通常 AD 変換が中止したチャンネルから再開されます。また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

例) ADMOD1<REPEAT,SCAN> = “11”、ADMOD1<ADCH2:0> = “011”でチャンネル AN0~AN3 までのリピートスキ
ャン変換中に ADMOD3<HADCH2:0> = “101”で AN5 の最優先 AD 変換が起動された場合



3.22.2.6 AD監視機能

ADMOD4<CMEN1:0>に“1”を設定すると AD 監視機能が有効になり、ADMOD5 で指定されたアナログチャンネル変換終了後に結果格納レジスタの内容が比較基準レジスタ 0/1 の値より大または小 (CMP1C,0C で大か小は指定) になると IRQEN1, 0 の許可状態に応じて AD 監視機能割り込みが発生します。また、この比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。また、AD 監視機能に割り当てている格納レジスタは通常ではソフトでリードは行われませんので、オーバランフラグ<OVRx>は常にセットされていることになり、変換結果格納フラグ<ADR_xRF>もセットされているので注意してください。それぞれを別チャンネルに割り当てた場合には 2 つのアナログチャンネルに対して、大または小の監視が可能です。また、同じチャンネルに割り当てた場合には、電圧範囲を設定した監視が可能です。

3.22.2.7 AD変換時間

1 回当たりの AD 変換は、サンプリングクロック を含む 120 クロックです。AD 変換クロックは ADCLK<ADCLK2:0>によって、 f_{io} の 1/1~1/7 の中から選択されます。保証精度を満足するためには AD 変換クロックを 12MHz 以下、すなわち AD 変換時間を 10 μ s 以上にする必要があります。

3.22.2.8 AD変換結果の格納とリード

AD 変換結果は、通常 AD 変換の AD 変換結果上位/下位レジスタ (ADREG0H/L~ADREG5H/L) に格納されます(ADREG0H/L~ADREG5H/L は、リード専用のレジスタです)。

チャンネル固定リピート変換モードでは、AD 変換結果は、ADREG0H/L から ADREG3H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0、AN1、AN2、AN3、AN4、AN5 の変換結果がそれぞれ ADREG0H/L、ADREG1H/L、ADREG2H/L、ADREG3H/L、ADREG4H/L、ADREG5H/L に格納されます。

表 3.22.2 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.22.2 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力 チャンネル (ポート G)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定リピート 変換モード (4 回ごと)
AN0	ADREG0H/L	
AN1	ADREG1H/L	
AN2	ADREG2H/L	
AN3	ADREG3H/L	
AN4	ADREG4H/L	
AN5	ADREG5H/L	

注) オーバーランを漏れなく検出するために、変換結果格納レジスタの上位を先にリードし、次に下位をリードしてください。この結果、下位に存在する OVRn="0"、ADRnRF="1" であれば、正しい変換結果を得た事になります。

3.22.2.9 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は ADMOD0<EOS>のポーリングをしてください。ADMOD0<EOS>が"1"にセットされたことを確認後に AD 変換格納レジスタをリードしてください。

設定例:

1. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 2800H のメモリへライトする場合

メインルーチンでの設定

	7	6	5	4	3	2	1	0		
INTEAD	←	1	1	0	0	-	-	-	INTAD をイネーブルにし、レベルを "4" に設定します。	
ADMOD1	←	1	1	0	0	0	0	1	アナログ入力チャンネルを AN3 に設定します。	
ADMOD0	←	X	X	0	0	0	0	0	チャンネル固定シングル変換モードで変換を開始します。	
割り込みルーチンでの処理例										
WA	←	ADREG3								汎用レジスタ WA (16 ビット) へ ADREG3L、ADREG3H の値をリードします。
WA	←	>> 6								WA にリードした内容を右へ 6 回シフトし上位ビットに "0" を入れます。
(2800H)	←	WA								アドレス 2800H へ WA の内容をライトします。

2. AN0~AN2 の 3 端子のアナログ入力電圧をチャンネルスキャンリピート変換モードで AD 変換し続ける場合

INTEAD	←	1	0	0	0	-	-	-	INTAD を禁止します。	
ADMOD1	←	1	1	0	0	0	0	1	0	アナログ入力チャンネルを AN0~AN2 に設定します。
ADMOD0	←	X	X	0	0	0	1	1	1	チャンネルスキャンリピート変換モードで変換を開始します。

3. AN2 端子のアナログ入力電圧を最優先 AD 変換し、最優先 AD 変換終了割り込み (INTADHP) 処理ルーチンで変換値を 2A00H のメモリへライトする場合

	7	6	5	4	3	2	1	0		
INTEAD	←	1	1	0	1	-	-	-	INTADHP をイネーブルにし、レベル "5" に設定します。	
ADMOD1	←	1	0	0	0	0	0	0	DAC を On させます。	
ADMOD3	←	0	0	1	0	0	0	0	0	アナログ入力チャンネルを AN2 に設定します。
ADMOD2	←	0	0	0	0	1	0	0	0	最優先 AD 変換をソフト起動で開始します。
割り込みルーチンでの処理例										
WA	←	ADREGSP								汎用レジスタ WA (16 ビット) へ ADREGSP、ADREGSPH の値をリードします。
WA	←	>> 6								WA にリードした内容を右へ 6 回シフトし上位ビットに "0" を入れます。
(2A00H)	←	WA								アドレス 2A00H へ WA の内容をライトします。

4. AN4 端子のアナログ入力電圧をチャンネル固定シングルモードで通常 AD 変換し、変換結果が AD 変換比較レジスタに設定された値以上であれば、AD 比較機能割り込み (INTADM) 処理ルーチンで変換値を 2C00H のメモリにライトする場合

	7	6	5	4	3	2	1	0		
INTEAD	←	-	-	-	-	1	0	1	1	INTAD をイネーブルにし、レベルを "3" に設定します。
ADMOD5	←	0	0	0	0	1	0	0	0	比較 "0" 用の被比較アナログ入力チャンネルを AN4 に設定します。
ADMOD4	←	0	0	1	0	0	0	0	0	AD 比較機能 "0" を許可、比較割り込み "0" 発生を許可、比較割り込み "0" 発生条件 「変換結果 ≥ 結果比較レジスタ」
ADMOD1	←	1	0	1	0	0	0	0	0	アナログ入力チャンネルを AN4 に設定します。
ADMOD0	←	0	0	0	0	1	0	0	0	通常 AD 変換をソフト起動で開始します。
割り込みルーチンでの処理例										
WA	←	ADREG4								汎用レジスタ WA (16 ビット) へ ADREG4L、ADREG4H の値をリードします。
WA	←	>> 6								WA にリードした内容を右へ 6 回シフトし上位ビットに "0" を入れます。
(2C00H)	←	WA								アドレス 2C00H へ WA の内容をライトします。

X: Don't care, -: No change

3.23 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクابل割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトを内部リセットへ接続することにより、強制的にリセット動作を行うことができます。(外部の $\overline{\text{RESET}}$ 端子のレベルは変化しません。)

3.23.1 構成

図 3.23.1 にウォッチドッグタイマのブロック図を示します。

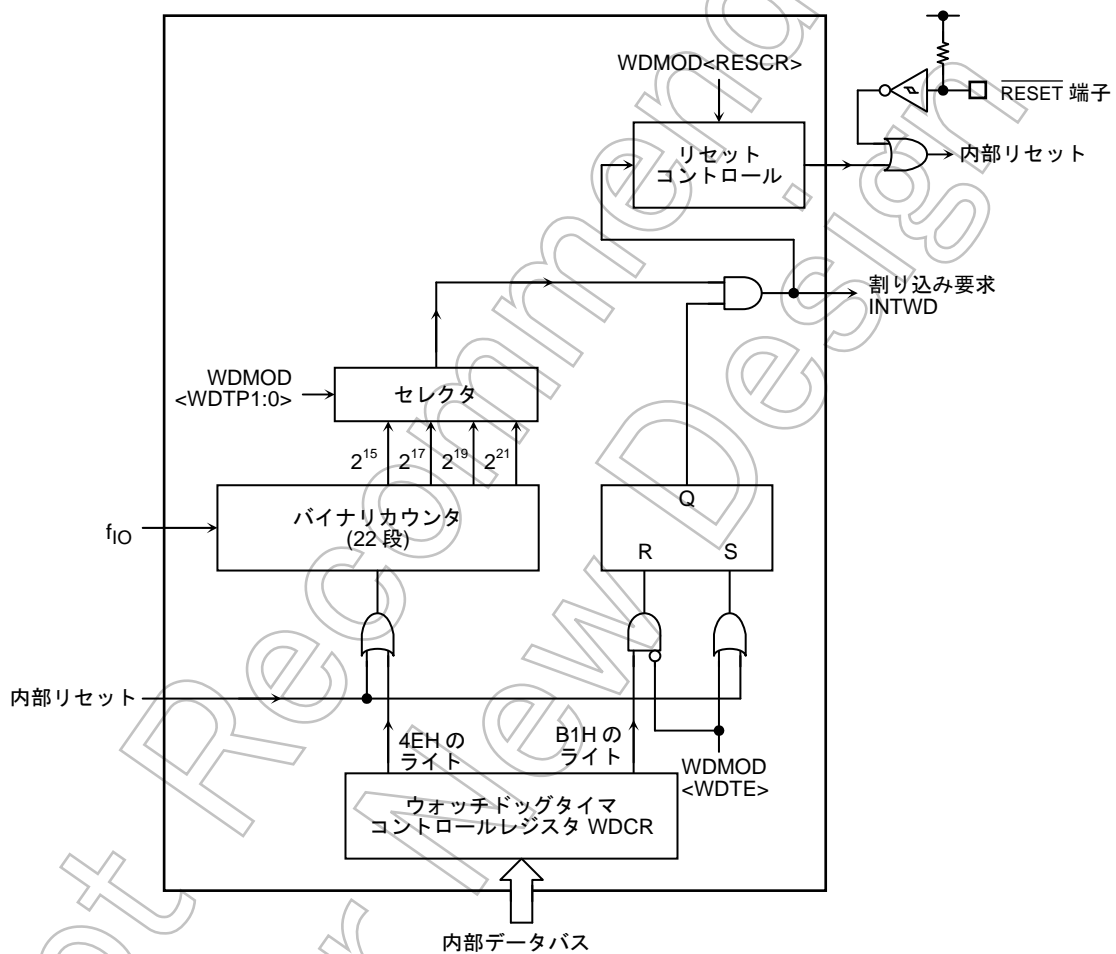


図 3.23.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

3.23.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>で設定された検出時間後に割り込みINTWDを発生させるタイマです。ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタをINTWD割り込みが発生する前に“0”にクリアすることが必要です。もし、CPUがノイズなどの原因で誤動作(暴走)しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD割り込みが発生します。CPUはINTWD割り込みにより誤動作(暴走)が発生したことを知り、誤動作(暴走)対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、IDLE1モードおよびSTOPモード中のウォッチドッグタイマは停止しています。バス解放中($\overline{\text{BUSAK}} = \text{“L”}$)は、カウントを続けます。

IDLE2モードでは、WDMOD<I2WDT>の設定に依存します。必要に応じて、IDLE2モードに入る前にWDMOD<I2WDT>を設定してください。

ウォッチドッグタイマは、クロック f_{i0} を入力クロックとする、22段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} 、 2^{17} 、 2^{19} および 2^{21} があります。



図 3.23.2 ノーマルモード

また、オーバフロー時に、本LSIをリセットすることも選択可能です。この場合、図 3.23.3で示すように32クロック($102.4 \mu\text{s}$ @ $f_{\text{OSCH}} = 10 \text{ MHz}$)の期間、リセットを行います。なお、この場合(リセットされた場合)、クロック f_{i0} は、高速発振器のクロック f_{OSCH} をクロックギアで16分周した f_{SYS} を基に、それを2分周して生成されたものが使われます。

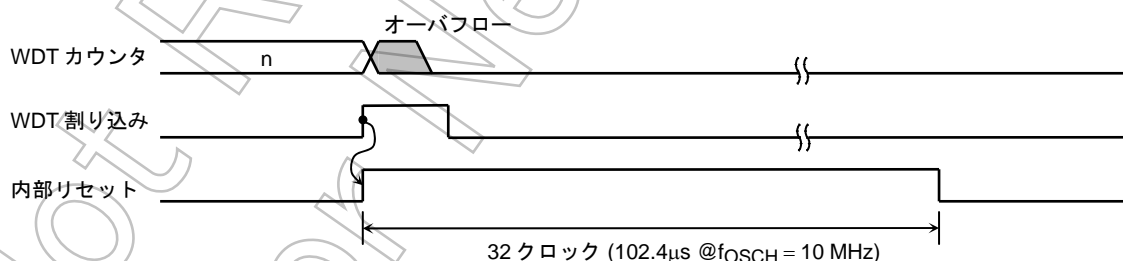


図 3.23.3 リセットモード

3.23.3 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ (WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD<WDTP1:0> = “00”に初期化されます。

ウォッチドッグ タイマの検出時間は $2^{15}/f_{IO}$ [s]です。(システムクロックの数は約 65,536 です。)

2. ウォッチドッグタイマイネーブル/ディセーブル制御レジスタ<WDTE>

リセット時 WDMOD<WDTE> = “1”に初期化されますので、ウォッチドッグ タイマはイネーブルになっています。ディセーブルにするには、このビットを “0” にクリアした後に WDCR レジスタにディセーブルコード (B1H) をライトする必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>を “1” にセットするだけでイネーブルとなります。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により本 LSI をリセットするか否かを設定するレジスタです。リセット時 WDMOD<RESCR> = “0”に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

● ディセーブル制御

WDMOD<WDTE>を “0” にクリアしたあと、この WDCR レジスタにディセーブルコード (B1H) をライトするとウォッチドッグ タイマをディセーブルにすることができます。

設定例:

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) をライトします。
WDMOD	← 0 - - X X - - 0	WDMOD<WDTE>を “0” にクリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) をライトします。

● イネーブル制御

WDMOD<WDTE>を “1” に設定します。

● ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) をライトすると、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) をライトします。
------	-------------------	-----------------------

注1) ディセーブル制御をする際には一旦クリアコード(4EH)をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

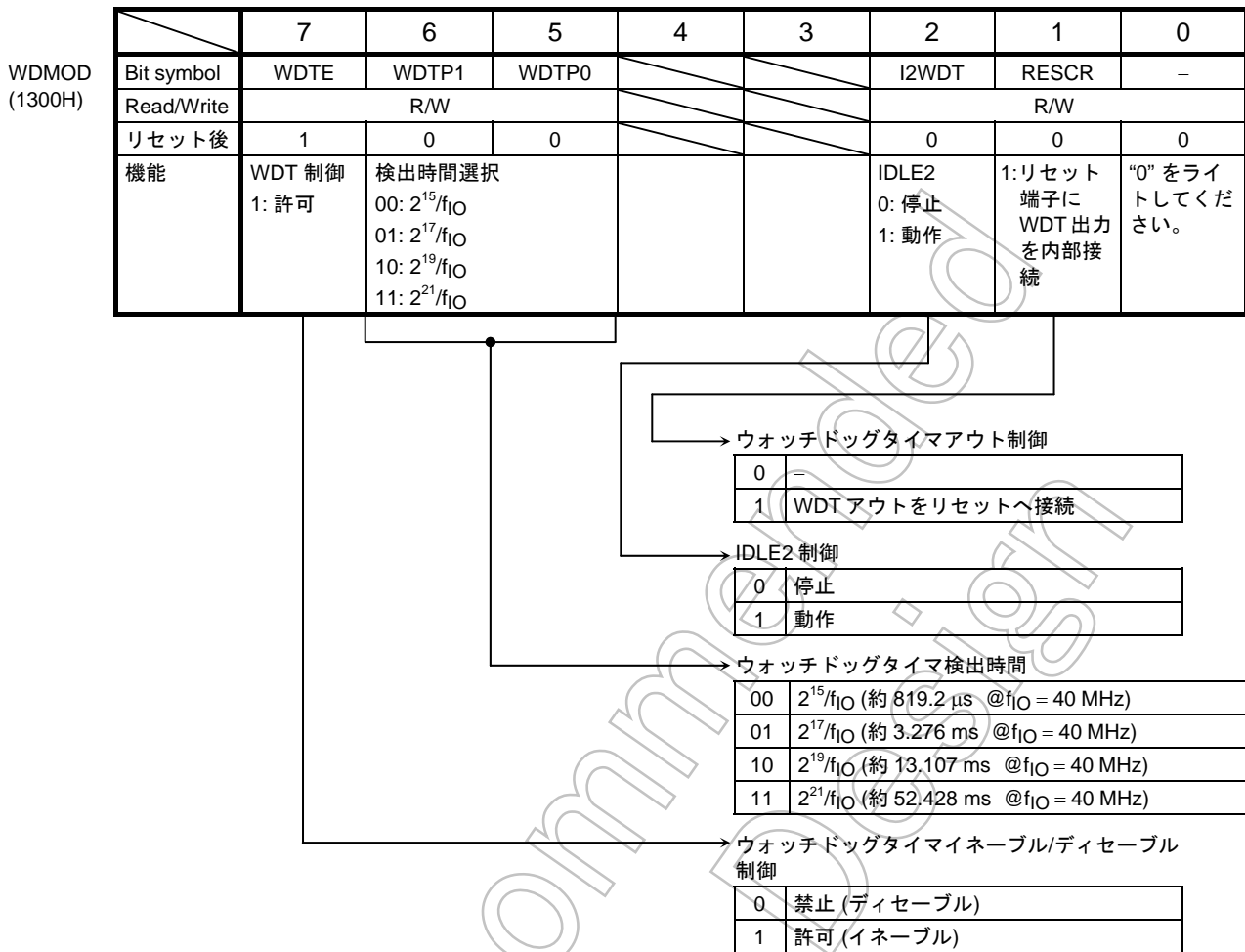


図 3.23.4 ウォッチドッグタイマモードレジスタ



図 3.23.5 ウォッチドッグタイマモードレジスタ

3.24 積和演算回路(Multiply and Accumulate Calculation unit)

32ビット×32ビット+64ビットの高速積和演算回路を内蔵しています。下記にその特徴を示します。

- 1MAC演算は1システムクロックで実行。(レジスタアクセス時間は除く)
- 3つの演算モード：1) 64ビット+32ビット×32ビット
2) 64ビット-32ビット×32ビット
3) 32ビット×32ビット-64ビット
- 符号なし/符号付き演算に対応。
- 演算は整数演算のみ対応。

3.24.1 レジスタ

TMP92CF30のMACは1個のコントロールレジスタ、3個のデータレジスタを持っています。これらは32ビットバスでCPUに接続され、1システムクロック(f_{SYS})でアクセス可能です。

3.24.1.1 コントロールレジスタ

コントロールレジスタを示します。このレジスタを設定することで、MACの動作を制御します。

MAC コントロールレジスタ

	7	6	5	4	3	2	1	0
MACCR (1BFCH)	MOVF	MOPST	MSTTG2	MSTTG1	MSTTG0	MSGMD	MOPMD1	MOPMD0
Read/Write	R/W	W				R/W		
リセット後	0	0	0	0	0	0	0	0
リード モディファイ ライト できません	機能 オーバー フロー フラグ 0:オーバー フロー無 し 1:オーバー フロー発 生	演算ソフト スタート 0:Don't care 1:演算スタ ート	演算スタートトリガ選択 000: MACMA<7:0>へのライト 001: MACMB<7:0>へのライト 010: MACMOR<7:0>へのライト 011: MACMOR<39:32>へのライト 1xx: <MOPST>への"1"ライト			符号モー ド 0:符号なし 1:符号付き	演算モード 00: 64 + 32×32 01: 64 - 32×32 10: 32×32 - 64 11: Reserved	

注1) <MOPST>はライトオンリーです。リードすると"0"がリードされます。

注2) <MSTTG2:0>への"1xx"設定と<MOPST>への"1"ライトは同ライトサイクルで行えます。

注3) <MOVF>は演算スタート後2システムクロック(f_{SYS})確定します。

3.24.1.2 データレジスタ

データレジスタを示します。

	データレジスタ							
	Bit<63:56>	Bit<55:48>	Bit<47:40>	Bit<39:32>	Bit<31:24>	Bit<23:16>	Bit<15:8>	Bit<7:0>
乗数 A レジスタ					(1BE3H)	(1BE2H)	(1BE1H)	MACMA (1BE0H)
乗数 B レジスタ					(1BE7H)	(1BE6H)	(1BE5H)	MACMB (1BE4H)
積和 レジスタ	(1BEFH)	(1BEEH)	(1BEDH)	MACORH (1BECH)	(1BEBH)	(1BEAH)	(1BE9H)	MACORL (1BE8H)

注 1) すべてのレジスタはリセット後は“0”にクリアされます。

注 2) すべてのレジスタはリードモディファイライト可能です。

注 3) すべてのレジスタは、Long Word/Word/Byte アクセス可能です (符号モード利用時は Long アクセスのみ)。

注 4) MACCR<MSTTG2:0>に“000”, “001”, “010”または“011”を設定し、かつ Word または Byte 単位でライトする場合は、各レジスタの<7:0>ビットを最後にライトしてください。

注 5) MACORL レジスタは演算スタート後 1 システムクロック(f_{SYS})で確定します。また、MACORH レジスタは演算スタート後 2 システムクロック(f_{SYS})で確定します。よって、演算直後に MACOR レジスタをリードする場合は MACORL レジスタからリードしてください。

注 6) 符号モードを使用時 (MACCR<MSGMD>=“1”)は、MACMA、MACMB レジスタは Long Word 命令(32 ビット)でライトしてください。

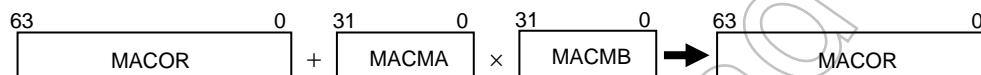
3.24.2 動作説明

(1) 演算モード

積和演算および積差演算の 3 種類の演算モードを持っています。この演算モードは MACCR<MOPMD1:0>で設定します。また、MACCR<MSGMD>で符号なし/符号付きモードの設定をします。各モードの動作を以下に示します。

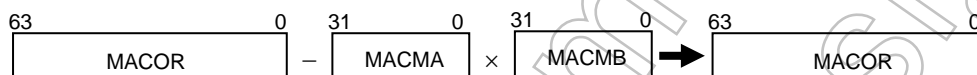
(a) 64 + 32 × 32 モード

このモードでは、MACMA レジスタと MACMB レジスタの内容を乗算した結果と MACOR レジスタの内容を加算し、その結果を再び MACOR レジスタに格納します。



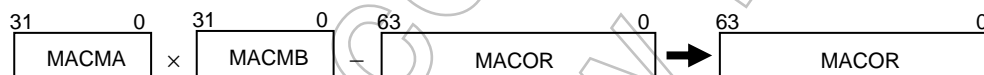
(b) 64 - 32 × 32 モード

このモードでは、MACMA レジスタと MACMB レジスタの内容を乗算した結果を MACOR レジスタの内容から減算し、その結果を再び MACOR レジスタに格納します。



(c) 32 × 32 - 64 モード

このモードでは、MACOR レジスタの内容を MACMA レジスタと MACMB レジスタの内容を乗算した結果から減算し、その結果を再び MACOR レジスタに格納します。



(d) 符号モード

積および積差演算モードとも、符号なしおよび符号付きモードの演算を実行可能です。

符号付きモードでは、MACMA/MACMB/MACORレジスタは符号付きレジスタとなり、最上位ビットを符号ビット、設定データを2の補数値として扱います。符号モードにより表現できる数値を表 3.24.1に示します。

表 3.24.1 データの表現範囲

	MACMA, MACMB レジスタ	MACOR レジスタ
符号なし	$0 \sim 2^{32}-1$	$0 \sim 2^{64}-1$
符号付き	$-2^{31} \sim +2^{31}-1$	$-2^{63} \sim +2^{63}-1$

符号付きモードは MACMA/MACMB レジスタへの設定値が符号付き(2の補数)データの場合に使用してください。また符号なしモードでも、MACORレジスタのみについては符号付き(2の補数)データを設定することにより符号付きで加減算が可能です。

符号モードを使用時 (MACCR<MSGMD>="1")は、MACMA, MACMB レジスタは Long Word 命令(32ビット)でライトしてください。

(2) 演算スタートトリガ

トリガの選択は、データレジスタ MACMA/MACMB/MACOR へのライトおよびソフトスタート (MACCR<MOPST>="1")から選択可能です。この設定は MACCR<MSTTG2>:0で行います。

(3) オーバーフローフラグ

演算結果がオーバーフロー (表 3.24.2を参照)すると MACCR<MOVF>は"1"にセットされます。また、一度でもオーバーフローが発生した場合、その後の演算結果に関わらず MACCR<MOVF>は"1"を保持します。また、リード動作等により自動的にクリアされませんので、"0"をライトすることによりクリアしてください。

表 3.24.2 オーバーフローの定義

符号モード	演算結果 (MACOR レジスタ値)	MACCR<MOVF>
符号有り	$MACOR > 2^{64}-1$	1
	$0 \leq MACOR \leq 2^{64}-1$	0
	$MACOR < 0$	1
符号無し	$MACOR > 2^{63}-1$	1
	$-2^{63} \leq MACOR \leq 2^{63}-1$	0
	$MACOR < -2^{63}$	1

3.24.3 動作例

(1) 符号なし積和演算

「33333333 + 11111111 × 22222222」の積和演算の設定例を示します。

```

ld      (MACCR),0x08      ; 符号なし積和演算モード
                                MACMB へのライトで演算スタート
ld      xde, 0x00000000
ld      xhl, 0x33333333
ld      xix, 0x11111111
ld      xiy, 0x22222222
ld      (MACORL),xhl      ; MACORL へ 33333333 ライト
ld      (MACORH),xde      ; MACORH クリア
ld      (MACMA),xix       ; MACMA へ 11111111 ライト
ld      (MACMB),xiy       ; MACMB へ 22222222 ライト ← 演算スタート
ld      xhl,(MACORL)      ; 下位演算結果 0x41FDB975 のリード
bit     7,(MACCR)         ; オーバーフローの有無確認
jp      nz,ERROR          ; オーバーフローの場合エラールーチンへ
ld      xde,(MACORH)      ; 上位演算結果 0x02468ACF のリード

```

(2) 符号付き積差演算

「33333333 - 11111111 × -22222222」の積和演算の設定例を示します。

```

ld      (MACCR),0x25      ; 符号付き積差演算モード
                                <MOPST>への“1”ライトで演算スタート
ld      xde, 0x00000000
ld      xhl, 0x33333333
ld      xix, 0x11111111
ld      xiy,0xDDDDDDDE    ; -22222222
ld      (MACORL),xhl      ; MACORL へ 33333333 ライト
ld      (MACORH),xde      ; MACORH クリア
ld      (MACMA),xix       ; MACMA へ 11111111 ライト
ld      (MACMB),xiy       ; MACMB へ -22222222 ライト
set     5, (MACCR)        ; ← 演算スタート
ld      xhl,(MACORL)      ; 下位演算結果 0x41FDB975 のリード
bit     7,(MACCR)         ; オーバーフローの有無確認
jp      nz,ERROR          ; オーバーフローの場合エラールーチンへ
ld      xde,(MACORH)      ; 上位演算結果 0x02468ACF のリード

```

(3) 符号なし積和演算 (2回の積和演算)

「(33333333 + 11111111 × 22222222)+(11111111 × 44444444)」積和演算の設定例を示します。

```

ld      (MACCR),0x08      ; 符号なし積和演算モード
                                MACMB への“1”ライトで演算スタート
ld      xde, 0x00000000
ld      xhl, 0x33333333
ld      xix, 0x11111111
ld      xiy, 0x22222222
ld      xiz, 0x44444444
ld      (MACORL),xhl      ; MACORL へ 33333333 ライト
ld      (MACORH),xde      ; MACORH クリア
ld      (MACMA),xix       ; MACMA へ 11111111 ライト
ld      (MACMB),xiy       ; MACMB へ 22222222 ライト ← 演算スタート
ld      (MACMB),xiz       ; MACMB へ 44444444 ライト ← 演算スタート
ld      xhl,(MACORL)      ; 下位演算結果 0x5F92C5F9 のリード
bit     7,(MACCR)         ; オーバーフローの有無確認
jp      nz,ERROR          ; オーバーフローの場合エラールーチンへ
ld      xde,(MACORH)      ; 上位演算結果 0x06D3A06D のリード

```

4. 電気的特性

4.1 絶対最大定格

記号	項目	定格	単位
DVCC3A	電源電圧	-0.3 ~ 3.9	V
DVCC1A		-0.3 ~ 3.0	
DVCC1B			
DVCC1C			
AVCC	-0.3 ~ 3.9		
V_{IN}	入力電圧	-0.3 ~ DVCC3A+0.3 (注 1) -0.3 ~ AVCC+0.3 (注 2)	V
I_{OL}	出力電流(1 端子当り)	15	mA
I_{OH}	出力電流(1 端子当り)	-15	mA
ΣI_{OL}	出力電流(合計)	80	mA
ΣI_{OH}	出力電流(合計)	-50	mA
P_D	消費電力($T_a=85^\circ\text{C}$)	600	mW
T_{SOLDER}	はんだ付け温度(10s)	260	$^\circ\text{C}$
T_{STG}	保存温度	-65~150	$^\circ\text{C}$
T_{OPR}	動作温度	-0~70	$^\circ\text{C}$

注 1) DVCC3A の最大定格を超えないようにしてください。

注 2) PG0~PG5、P96、P97、VREFH、VREFL は AVCC の最大定格が適用されます。

注 3) 絶対最大定格とは瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超える事ができない規格です。

絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

はんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230 $^\circ\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (Sn-37Pb 鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245 $^\circ\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (Sn-3.0Ag-0.5Cu はんだ使用時)	

4.2 DC 電気的特性

記号	項目	最小	標準	最大	単位	条件	
DVCC3A	General I/O Power Supply Voltage (DVCC=AVCC) (DVSSCOM=AVSS=0V)	3.0	3.3	3.6	V	X1=6 to 10MHz CPU CLK (80MHz) XT1=30 to 34kHz	
DVCC1A	Internal Power A	1.4	1.5	1.6	V		
DVCC1B	Internal Power B						
DVCC1C	High CLK oscillator and PLL Power						
V_{IL0}	Input Low Voltage for D0 to D7 P10 to P17 (D8 to 15), P60 to P67 P71 to P76, P90 PC4 to PC7, PF0 to PF5 PG0 to PG5, PJ5 to PJ6 PN0 to PN7, PR0 to PR3, PT0 to PT7, PX5,	-0.3	-	$0.3 \times DVCC3A$	V	$3.0 \leq DVCC3A \leq 3.6$	
V_{IL1}	Input Low Voltage for PV6 to PV7		-	$0.3 \times DVCC3A$		$3.0 \leq DVCC3A \leq 3.6$	
V_{IL2}	Input Low Voltage for P91 to P92, P96 to P97, PA0 to PA7 PC0 to PC3, PP3 to PP5, \overline{RESET}		-	$0.25 \times DVCC3A$		$3.0 \leq DVCC3A \leq 3.6$	
V_{IL3}	Input Low Voltage for AM0 to AM1		-	$0.1 \times DVCC3A$		$3.0 \leq DVCC3A \leq 3.6$	
V_{IL4}	Input Low Voltage for X1		-	$0.1 \times DVCC1C$		$1.4 \leq DVCC1C \leq 1.6$	
V_{IL5}	Input Low Voltage for XT1		-	$0.15 \times DVCC3A$		$3.0 \leq DVCC3A \leq 3.6$	

上記、電源範囲は同一系の電源が全て等しい条件下が前提となります。
(DVCC1A=DVCC1B=DVCC1C また DVCC3A = AVCC)

記号	項目	最小	標準	最大	単位	条件
V_{IH0}	Input High Voltage for D0 to D7 P10 to P17 (D8 to 15), P60 to P67 P71 to P76, P90 PC4 to PC7, PF0 to PF5 PG0 to PG5, PJ5 to PJ6 PN0 to PN7, PP1 to PP2 PR0 to PR3, PT0 to PT7 PX5	$0.7 \times DVCC3A$	–	$DVCC3A + 0.3$	V	$3.0 \leq DVCC3A \leq 3.6$
V_{IH1}	Input High Voltage for PV6 to PV7	$0.7 \times DVCC3A$	–	$DVCC3A + 0.3$		$3.0 \leq DVCC3A \leq 3.6$
V_{IH2}	Input High Voltage for P91 to P92, P96 to P97, PA0 to PA7, PC0 to PC3, PP3 to PP5, \overline{RESET}	$0.75 \times DVCC3A$	–	$DVCC3A + 0.3$		$3.0 \leq DVCC3A \leq 3.6$
V_{IH3}	Input High Voltage for AM0 to AM1	$0.9 \times DVCC3A$	–	$DVCC3A + 0.3$		$3.0 \leq DVCC3A \leq 3.6$
V_{IH4}	Input High Voltage for X1	$0.9 \times DVCC1C$	–	$DVCC1C + 0.3$		$1.4 \leq DVCC1C \leq 1.6$
V_{IH5}	Input High Voltage for XT1	$0.85 \times DVCC3A$	–	$DVCC3A + 0.3$		$3.0 \leq DVCC3A \leq 3.6$

Not Recommended
for New Designs

記号	項目	最小	標準	最大	単位	条件
V_{OL1}	Output Low Voltage1 P90 to P92, PC0 to PC3, PC7 PF0 to PF5, PK1 to PK7 PM1 to PM2, PM7 PN0 to PN7, PP3 to PP6 PV6 to PV7, PX5	-	-	0.4	V	$I_{OL} = 0.5\text{mA}, 3.0 \leq DVCC3A$
V_{OL2}	Output Low Voltage2 Except VOL1 output pin					$I_{OL} = 2\text{mA}, 3.0 \leq DVCC3A$
V_{OH1}	Output High Voltage1 P90 to P92, PC0 to PC3, PC7 PF0 to PF7, PK1 to PK7 PM1 to PM2, PM7 PN0 to PN7, PP3 to PP6 PV6 to PV7, PX5	2.4	-	-		$I_{OH} = -0.5\text{mA}, 3.0 \leq DVCC3A$
V_{OH2}	Output High Voltage2 Except VOL1 output pin					$I_{OH} = -2\text{mA}, 3.0 \leq DVCC3A$
I_{Mon}	Internal resistor (ON) MX, MY pins	-	-	30	Ω	$V_{OL} = 0.2\text{V}$ $V_{OH} = V_{CC} - 0.2\text{V}$ $V_{CC} = 3.0 \text{ to } 3.6\text{V}$
I_{Mon}	Internal resistor (ON) PX, PY pins	-	-	30		
I_{LI}	Input Leakage Current	-	0.02	± 5	μA	$0.0 \leq V_{in} \leq DVCC3A$
I_{LO}	Output Leakage Current	-	0.05	± 10	μA	$0.2 \leq V_{in} \leq DVCC3A - 0.2\text{V}$
R_{RST}	Pull Up/Down Resistor for RESET, PA0 to PA7, P96	30	50	70	$\text{k}\Omega$	
C_{IO}	Pin Capacitance	-	-	10	pF	$f_c = 1\text{MHz}$
V_{TH}	Schmitt Width for P91 to P92, P96 to P97, PA0 to PA7, PC0 to PC3, PP3 to PP5, RESET	0.6	0.8	1.0	V	$3.0 \leq DVCC3A \leq 3.6$

注) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ の値です。

記号	項目	最小	標準	最大	単位	条件		
I _{CC}	NORMAL (note2)	-	15	30	mA	PLL_ON f _{sys} =80MHz	DVCC3A= 3.6V	
			37	52			DVCC1A,1B,1C = 1.6V	
	IDLE2	-	0.5	1			DVCC3A = 3.6V	
			20	35			DVCC1A,1B,1C = 1.6V	
	NORMAL (note2)	-	12	23		DVCC3A = 3.6V		
			28	39		DVCC1A,1B,1C = 1.6V		
	IDLE2	-	0.4	0.8	DVCC3A = 3.6V			
			15	26	DVCC1A,1B,1C = 1.6V			
	IDLE1	-	12	45	μA	PLL_OFF f _{sys} =10MHz	DVCC3A = 3.6V	
			200	3200			DVCC1A,1B,1C = 1.6V	
	STOP	-	-	6		35	Ta ≤ 70°C	DVCC3A = 3.6V
				30			Ta ≤ 50°C	AVCC = 3.6V
800						Ta ≤ 70°C	DVCC1A =1.6V	
200				600		DVCC1B =1.6V		
					DVCC1C =1.6V			
					XT = OFF X = OFF			

注 1) Typ 値は特に指定のない限り Ta = 25°C、DVCC3A = 3.3 V、DVCC1A,1B,1C = 1.5V の値です。

注 2) ICC の測定条件 : バス端子の CL=50pF、バス以外の出力端子は開放、入力端子はレベル固定
(外部メモリに 8-wait アクセスで動作している状態)

注 3) 消費電流測定は、外部 16bit バスアクセスでのデータです。

4.3 AC電気的特性

以下に示す、すべてのAC規定は、特に指定の無い限り下記の条件下での測定結果となります。

AC測定条件

- 表中の最上段のクロックは、システムクロック周波数を示し、表中の計算式に使われる“T”はシステムクロックの周期 [ns] を示しています。
- 出力レベル: High = $0.7 \times DVCC3A$, Low = $0.3 \times DVCC3A$
- 入力レベル: High = $0.9 \times DVCC3A$, Low = $0.1 \times DVCC3A$

注) 表中の“計算式”は $DVCC3A=3.0V\sim 3.6V$ 、 $DVCC1A=DVCC1B=DVCC1C=1.4\sim 1.6V$ の範囲での規定を示します。

4.3.1 基本バスサイクル

リードサイクル

No.	項目	記号	計算式		80 MHz	60 MHz	単位
			Min	Max			
1	発振周期(X1/X2)	t _{OSC}	100	166.6	—	—	ns
2	システムクロック周期(=T)	t _{CYC}	12.5	2666	12.5	16.6	
3	SDCLK 低レベルパルス幅	t _{CL}	0.5T - 3		3.25	5.3	
4	SDCLK 高レベルパルス幅	t _{CH}	0.5T - 3		3.25	5.3	
5-1	A0 ~ A23 有効 → D0 ~ D31 入力 @ 0 ウェイト	t _{AD}		2.0T - 18.0	7	15.3	
5-2	A0 ~ A23 有効 → D0 ~ D31 入力 @ 4 ウェイト / 6 ウェイト	t _{AD4}		6.0T - 18.0	57	82	
		t _{AD6}		8.0T - 18.0	82	115	
6-1	\overline{RD} 立ち下がり → D0 ~ D31 入力 @ 0 ウェイト	t _{RD}		1.5T - 18.0	0.75	7	
6-2	\overline{RD} 立ち下がり → D0 ~ D31 入力 @ 4 ウェイト / 6 ウェイト	t _{RD4}		5.5T - 18.0	50.75	73.6	
		t _{RD6}		7.5T - 18.0	75.75	106.5	
7-1	\overline{RD} 低レベルパルス幅 @ 0 ウェイト	t _{RR}	1.5T - 10		8.75	14.9	
7-2	\overline{RD} 低レベルパルス幅 @ 4 ウェイト / 6 ウェイト	t _{RR4}	5.5T - 10		58.75	81.3	
		t _{RR6}	7.5T - 10		83.75	114.5	
8	A0 ~ A23 有効 → \overline{RD} 立ち下がり	t _{AR}	0.5T - 5		1.25	3.3	
9	\overline{RD} 立ち下がり → SDCLK 立ち上り	t _{RK}	0.5T - 5		1.25	3.3	
10	A0 ~ A23 有効 → D0 ~ D31 保持	t _{HA}	0		0	0	
11	\overline{RD} 立ち上がり → D0 ~ D31 保持	t _{HR}	0		0	0	
12	WAIT セットアップ時間	t _{TK}	20		20	20	
13	WAIT ホールド時間	t _{KT}	2		2	2	
14-1	SRAM 用データバイト制御アクセス時間 @ 0 ウェイト	t _{SBA}		1.5T - 18.0	0.75	7	
14-2	SRAM 用データバイト制御アクセス時間 @ 4 ウェイト / 6 ウェイト	t _{SBA4}		5.5T - 18.0	50.75	73.6	
		t _{SBA6}		7.5T - 18.0	75.75	107.0	
15	\overline{RD} 高レベルパルス幅	t _{RRH}	0.5T - 5		1.25	3.3	

AC測定条件

- Data_bus、Address_bus、各種制御信号の付加容量 C_L = 50 pF

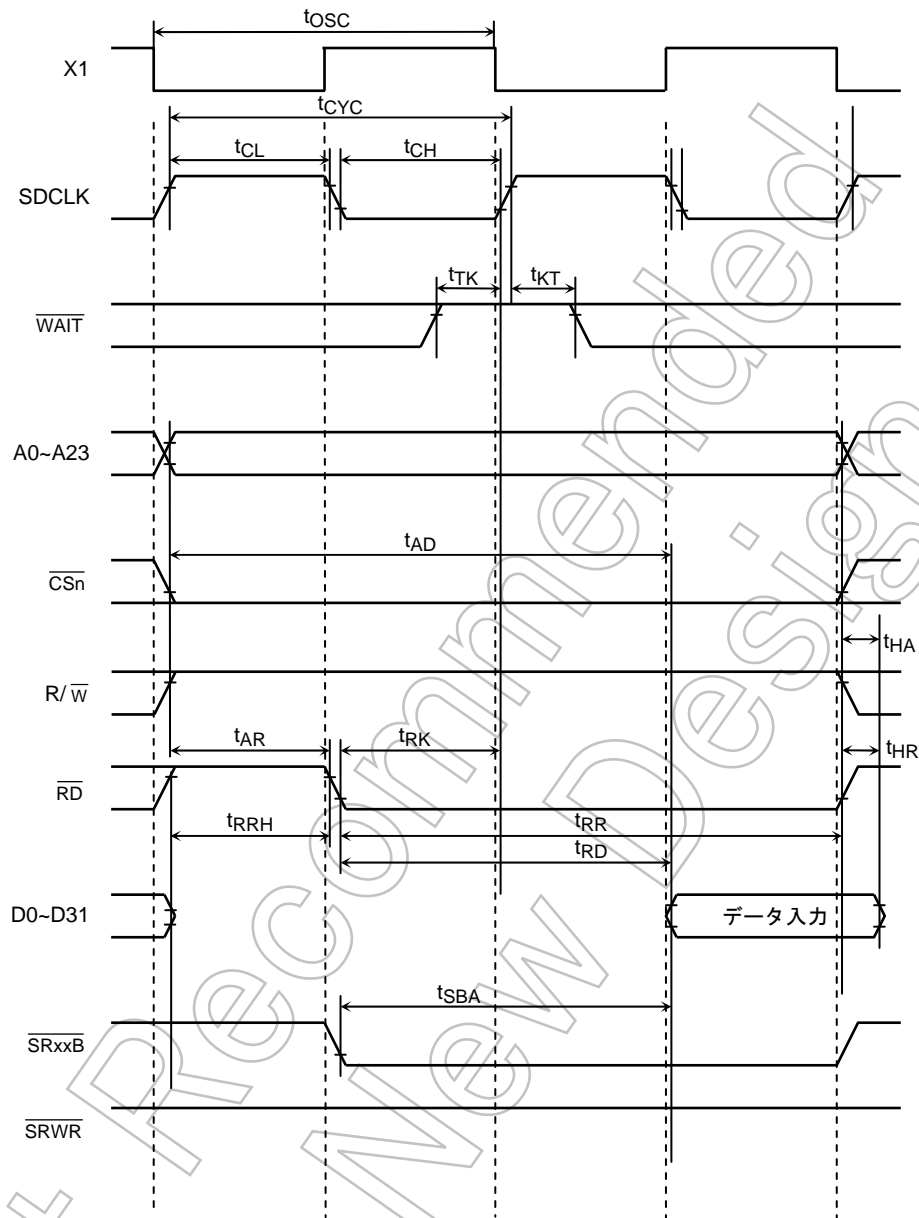
ライトサイクル

No.	項目	記号	計算式		80MHz	60MHz	単位
			Min	Max			
16-1	D0 ~ D31 有効 → \overline{WR} xx 立ち上がり @0 ウェイト	t_{DW}	1.0T - 6.0		6.5	10.6	ns
16-2	D0 ~ D31 有効 → \overline{WR} xx 立ち上がり @ 2 ウェイト / 4 ウェイト	t_{DW2}	3.0T - 6.0		31.5	43.8	
		t_{DW4}	5.0T - 6.0		56.5	77.0	
17-1	\overline{WR} xx 低レベルパルス幅 @0 ウェイト	t_{WW}	1.0T - 4.0		8.5	12.6	
17-2	\overline{WR} xx 低レベルパルス幅 @ 2 ウェイト / 4 ウェイト	t_{WW2}	3.0T - 4.0		33.5	45.8	
		t_{WW4}	5.0T - 4.0		58.5	79.0	
18	A0 ~ A23 有効 → \overline{WR} 立ち下がり	t_{AW}	0.5T - 5.0		1.25	3.3	
19	\overline{WR} xx 立ち下がり → SDCLK 立ち上がり	t_{WK}	0.5T - 5.0		1.25	3.3	
20	\overline{WR} xx 立ち上がり → A0 ~ A23 保持	t_{WA}	0.5T - 5.0		1.25	3.3	
21	\overline{WR} xx 立ち上がり → D0 ~ D31 保持	t_{WD}	0.5T - 5.0		1.25	3.3	
22	\overline{RD} 立ち上がり → D0 ~ D31 出力	t_{RDO}	0.5T - 1.0		5.25	7.3	
23-1	SRAM 用ライトパルス幅 @0 ウェイト	t_{SWP}	1.0T - 4.0		8.5	12.6	
23-2	SRAM 用ライトパルス幅 @ 2 ウェイト / 4 ウェイト	t_{SWP2}	3.0T - 4.0		33.5	45.8	
		t_{SWP4}	5.0T - 4.0		58.5	79.0	
24-1	SRAM データバイト制御 ~ ライト 終了時間 @0 ウェイト	t_{SBW}	1.0T - 4.0		8.5	12.6	
24-2	SRAM データバイト制御 ~ ライト 終了時間 @ 2 ウェイト / 4 ウェイト	t_{SBW2}	3.0T - 4.0		33.5	45.8	
		t_{SBW4}	5.0T - 4.0		58.5	79.0	
25	SRAM 用アドレスセットアップ時間	t_{SAS}	0.5T - 5.0		1.25	3.3	
26	SRAM 用ライトリカバリ時間	t_{SWR}	0.5T - 5.0		1.25	3.3	
27-1	SRAM 用データセットアップ時間 @0 ウェイト	t_{SDS}	1.0T - 6.0		6.5	10.6	
27-2	SRAM 用データセットアップ時間 @2 ウェイト / 4 ウェイト	t_{SDS2}	3.0T - 6.0		31.5	43.8	
		t_{SDS4}	5.0T - 6.0		56.5	77.0	
28	SRAM 用データ保持時間	t_{SDH}	0.5T - 5.0		1.25	3.3	

AC 測定条件

- Data_bus、Address_bus、各種制御信号の付加容量 $C_L = 50$ pF

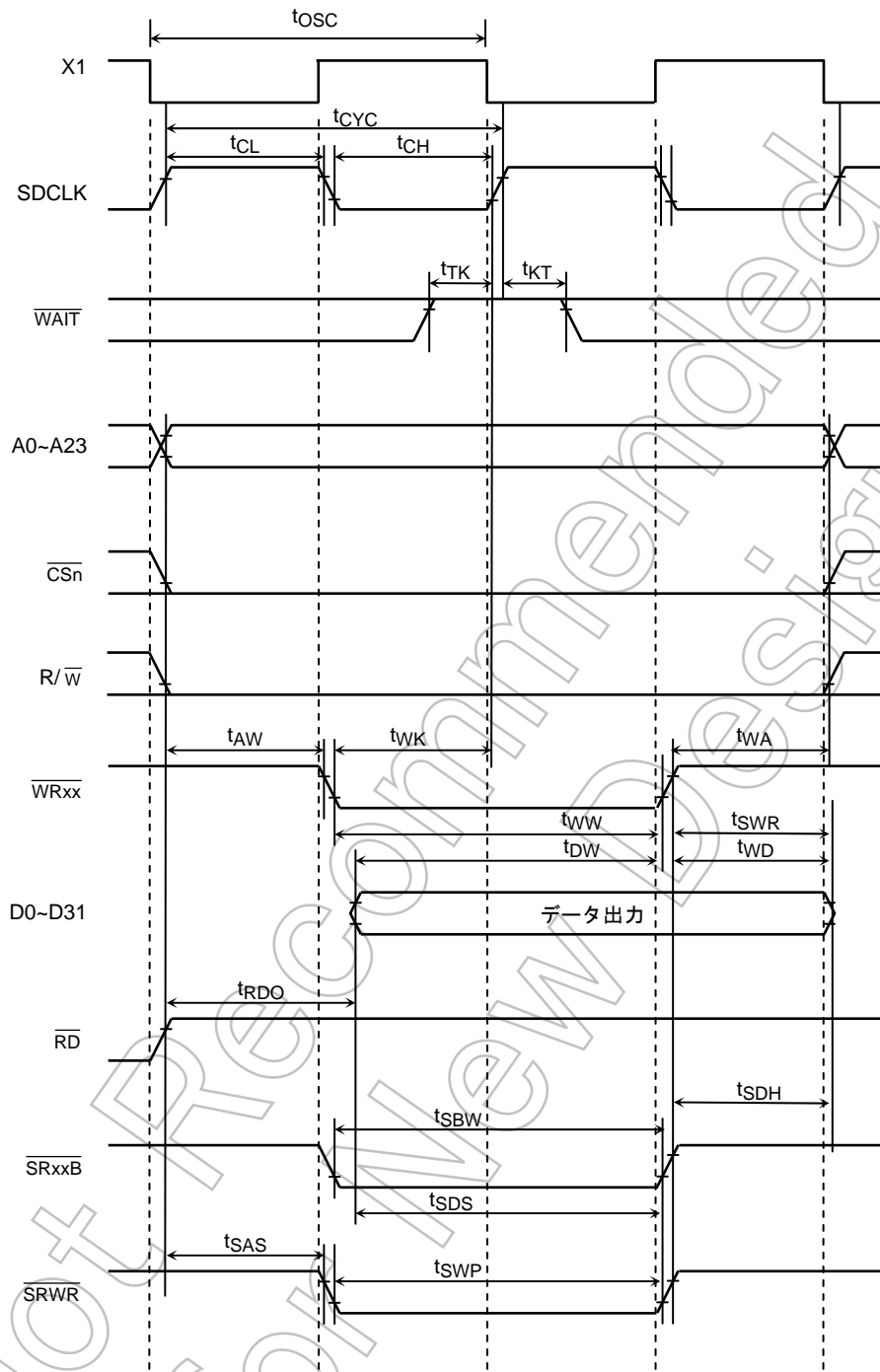
(1) リードサイクル (0 ウェイト)



注1) X1 入力信号と他の信号間の位相関係は不定です。

注2) 上記のタイミングチャートは基準バスタイミングの一例を示します。また、 \overline{CSn} 、 R/\overline{W} 、 \overline{RD} 、 \overline{WRxx} 、 \overline{SRxxB} 、 \overline{SRWR} 端子のタイミングはメモリコントローラのタイミング調整機能により調整可能です。

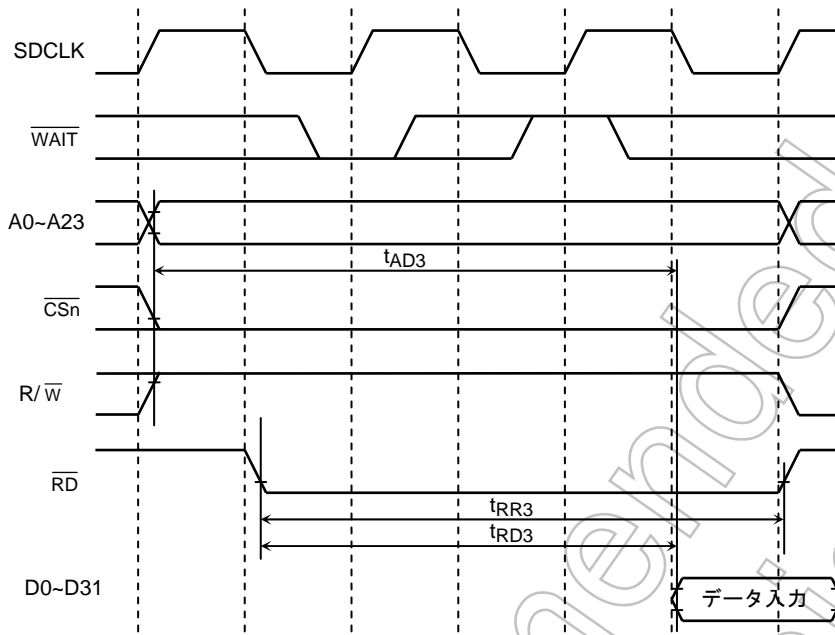
(2) ライトサイクル (0 ウェイト)



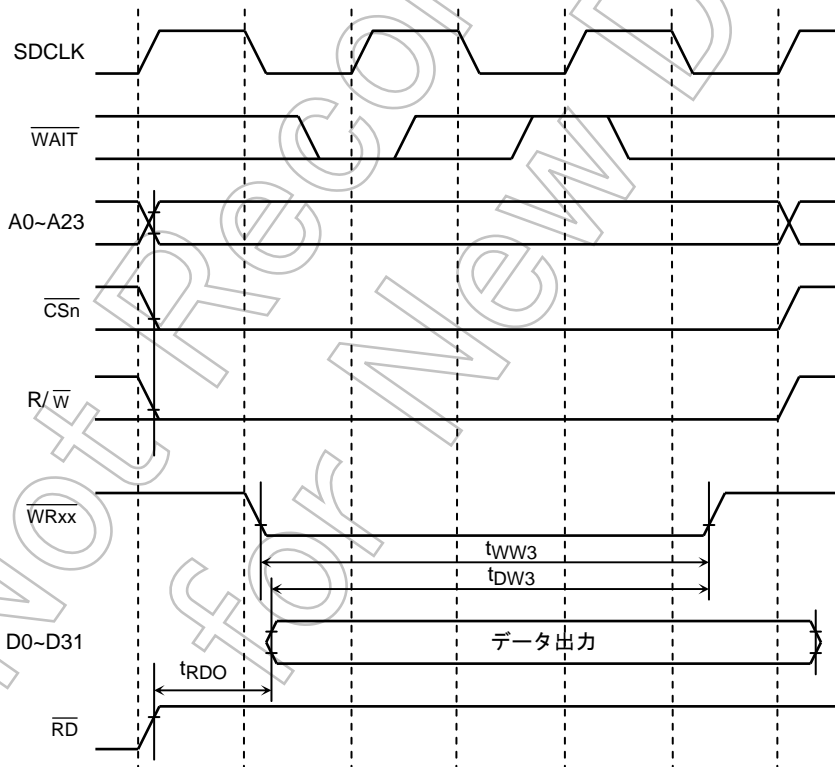
注1) X1 入力信号と他の信号間の位相関係は不定です。

注2) 上記のタイミングチャートは基準バスタイミングの一例を示します。また、 \overline{CSn} 、 R/\overline{W} 、 \overline{RD} 、 \overline{WRxx} 、 \overline{SRxxB} 、 \overline{SRWR} 端子のタイミングはメモリコントローラのタイミング調整機能により調整可能です。

(3) リードサイクル (1 ウェイト)



(4) ライトサイクル (1 ウェイト)



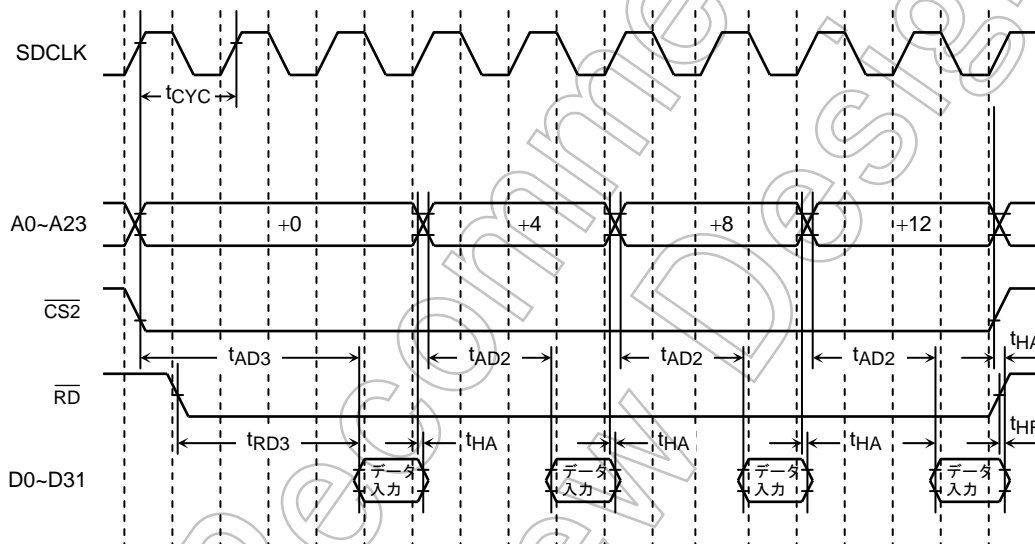
4.3.2 ページROM リードサイクル

(1) 3-2-2-2 モード

No.	項目	記号	計算式		80 MHz	60 MHz	単位
			Min	Max			
1	システムクロック周期 (= T)	t_{CYC}	12.5	2666	12.5	16.6	ns
2	A0, A1 → D0 ~ D31 入力	t_{AD2}		$2.0T - 18$	7	15.2	
3	A2 ~ A23 → D0 ~ D31 入力	t_{AD3}		$3.0T - 18$	19.5	31.8	
4	\overline{RD} 立ち下がり → D0 ~ D31 入力	t_{RD3}		$2.5T - 18$	13	24	
5	A0 ~ A23 無効 → D0 ~ D31 保持	t_{HA}	0		0	0	
6	\overline{RD} 立ち上がり → D0 ~ D31 保持	t_{HR}	0		0	0	

AC 測定条件

注) 上記表の“記号”の(a), (b), (c)は、メモリコントローラ内の MEMCR0<RDTMG1:0>レジスタの設定により \overline{RD} 端子の立ち下がりタイミングが異なった場合の値です。MEMCR0<RDTMG1:0>が “00”, “01”, “10”のそれぞれに (a), (b), (c)が対応します。



タイミングパルス図 (16 バイト設定例)

4.3.3 SDRAMコントローラAC電気的特性

No.	項目	記号	計算式		80 MHz	60 MHz	単位
			Min	Max			
1	Ref/Active to ref/active command period	t_{RC}	$\langle \text{STRC}[2:0] \rangle = "000"$	T		12.5	16.6
			$\langle \text{STRC}[2:0] \rangle = "110"$	7T		87.5	116.2
2	Active to precharge command period	t_{RAS}	$\langle \text{STRC}[2:0] \rangle = "000"$	2T (注 1)		25.0	33.2
			$\langle \text{STRC}[2:0] \rangle = "110"$	7T		87.5	116.2
3	Active to read/write command delay time	t_{RCD}	$\langle \text{STRCD} \rangle = "0"$	T		12.5	16.6
			$\langle \text{STRCD} \rangle = "1"$	2T		25.0	33.2
4	Precharge to active command period	t_{RP}	$\langle \text{STRP} \rangle = "0"$	T		12.5	16.6
			$\langle \text{STRP} \rangle = "1"$	2T		25.0	33.2
5	Active to active command period	t_{RRD}	$\langle \text{STRC}[2:0] \rangle = "000"$	3T (注 2)		37.5	49.8
			$\langle \text{STRC}[2:0] \rangle = "110"$	7T		87.5	116.2
6	Write recovery time	t_{WR}	$\langle \text{STWR} \rangle = "0"$	T		12.5	16.6
			$\langle \text{STWR} \rangle = "1"$	2T		25.0	33.2
7	CLK cycle time	t_{CK}	T			12.5	16.6
8	CLK high level width	t_{CH}	0.5T - 3			3.25	5.3
9	CLK low level width	t_{CL}	0.5T - 3			3.25	5.3
10-1	Access time from CLK(CL* -2) <SRDS> = "0" (リードデータシフト OFF)	t_{AC}		T - 16		-3.5	0.6
10-2	Access time from CLK(CL* =2) <SRDS> = "1" (リードデータシフト ON)	t_{AC}		T - 6.5		6	10.1
11	Data hold time from internal read	t_{HR}	0			0	0
12	Data set-up time	1Word/Single	t_{DS}	0.5T - 4		2.25	4.3
		Burst	t_{DS}	0.5T - 4		2.25	4.3
13	Data hold time	1Word/Single	t_{DH}	T - 10		2.5	6.6
		Burst	t_{DH}	0.5T - 4		2.25	4.3
14	Address set-up time	t_{AS}	0.5T - 4			2.25	4.3
15	Address hold time	t_{AH}	0.5T - 4			2.25	4.3
16	CKE set-up time	t_{CKS}	0.5T - 3			3.25	5.3
17	Command set-up time	t_{CMS}	0.5T - 3			3.25	5.3
18	Command hold time	t_{CMH}	0.5T - 4			2.25	4.3
19	Mode register set cycle time	t_{RSC}	T			12.5	16.6

*CL は CAS レイテンシを示しています。

AC 測定条件

- SDCLK 端子の付加容量 $C_L = 30 \text{ pF}$ 、その他の端子の付加容量 $C_L = 50 \text{ pF}$

注 1) "Active to pre-charge command period" の最小サイクルについては、SDCISR<STRC[2:0]>="000"設定でも

"001"設定と同じく READ/WRITE + PRECHARGE サイクル発生のため 2T (2クロック)になります。

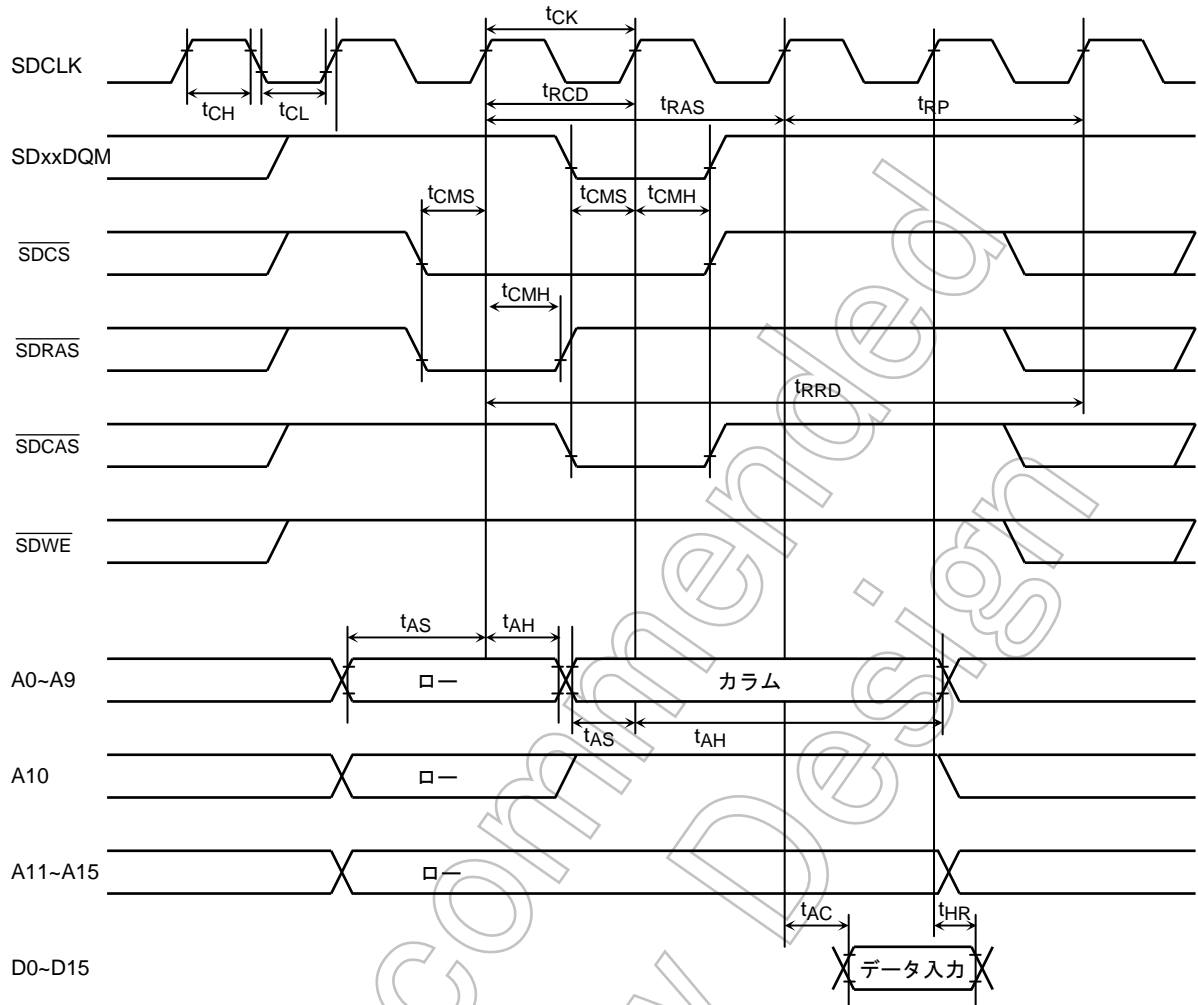
上記以外の設定値の場合、レジスタ設定値+1のクロック数になります(ex. "010"であれば、3クロック)。

注 2) "Active to active command period" の最小サイクルについては、SDCISR<STRC[2:0]>="000"設定でも

"001", "010"設定と同じく READ/WRITE + PRECHARGE + ACTIVE サイクル発生のため 3T (3クロック)になります。

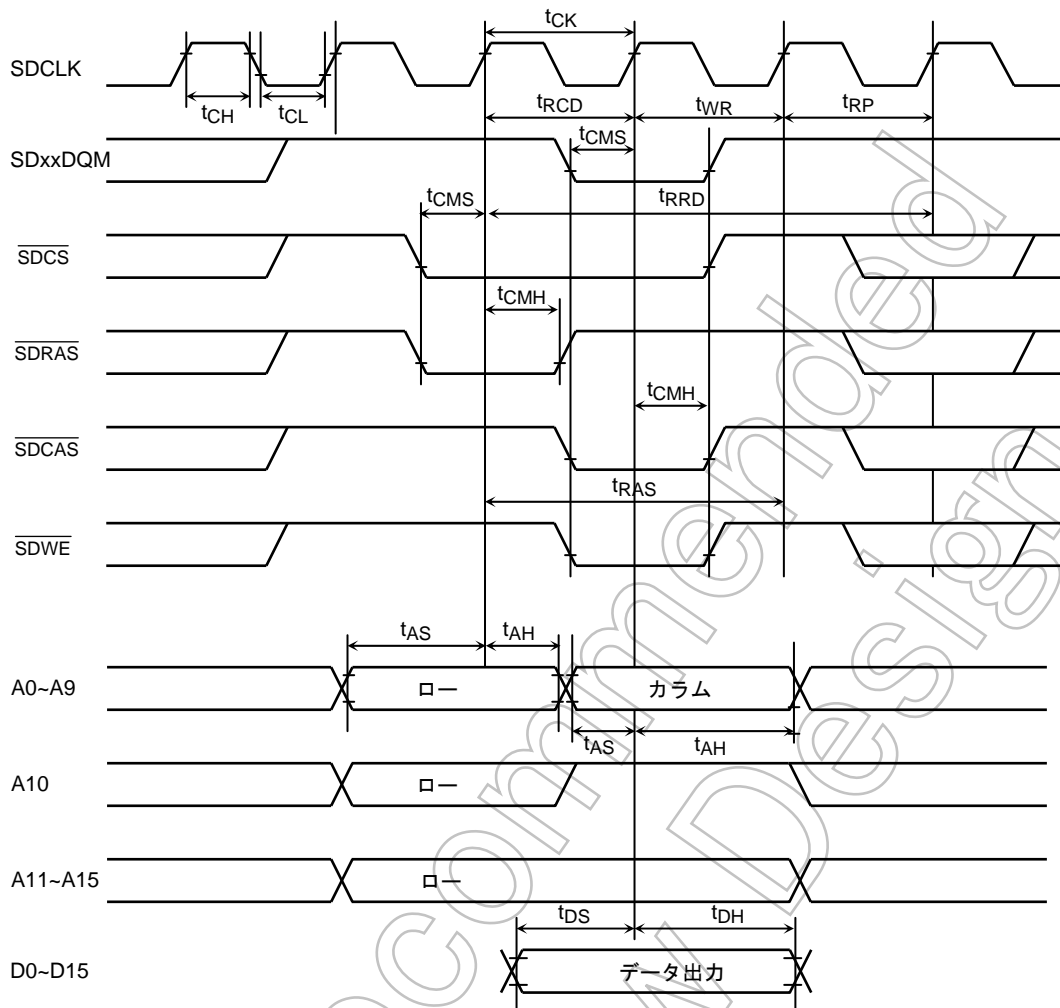
上記以外の設定値の場合、レジスタ設定値+1のクロック数になります(ex. "011"であれば、4クロック)。

(1) SDRAM リードタイミング (1Word 長リードモード、<SPRE>=1)



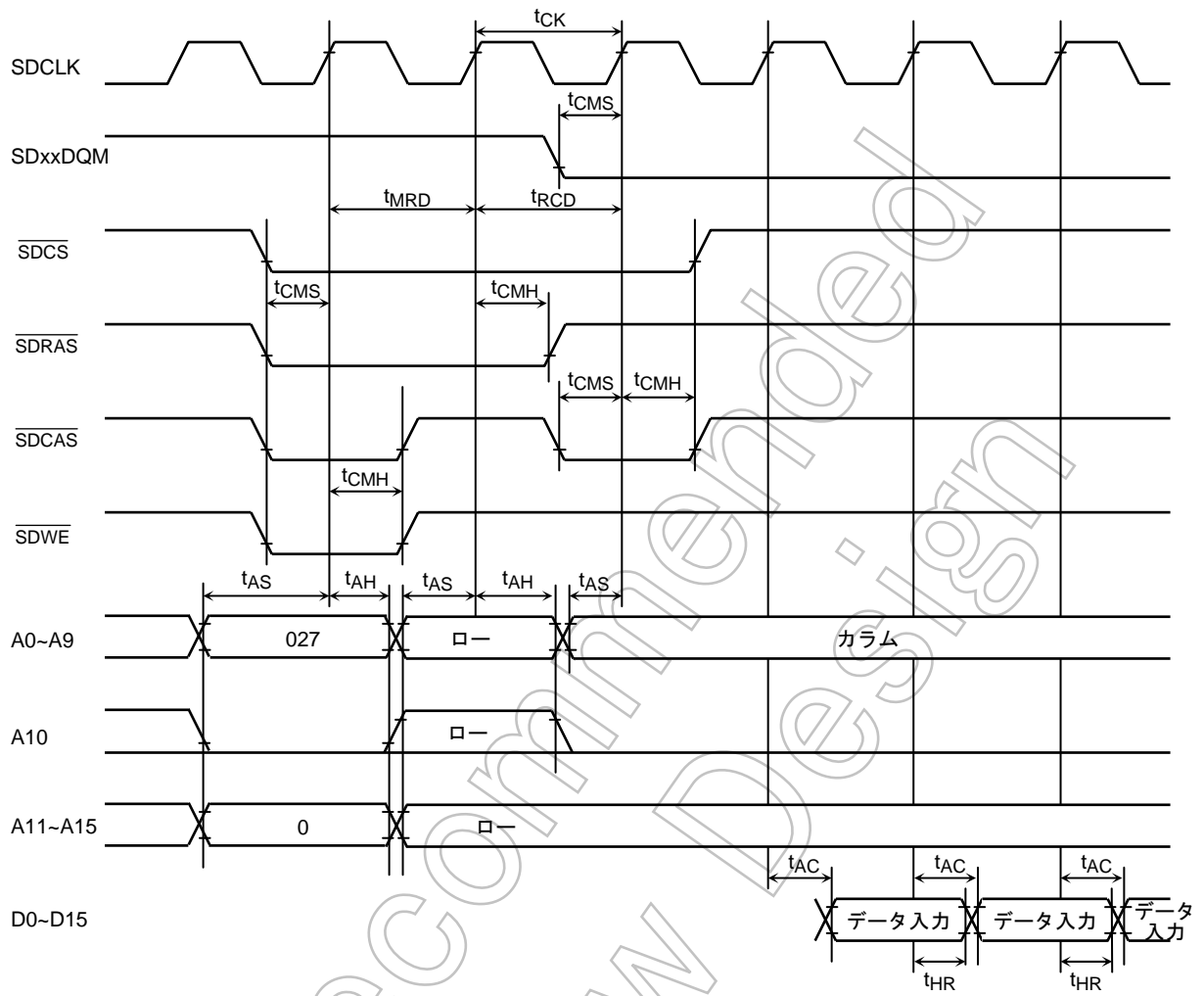
Not Recommended for New

(2) SDRAM ライトタイミング (Single ライトモード, <SPRE>=1)

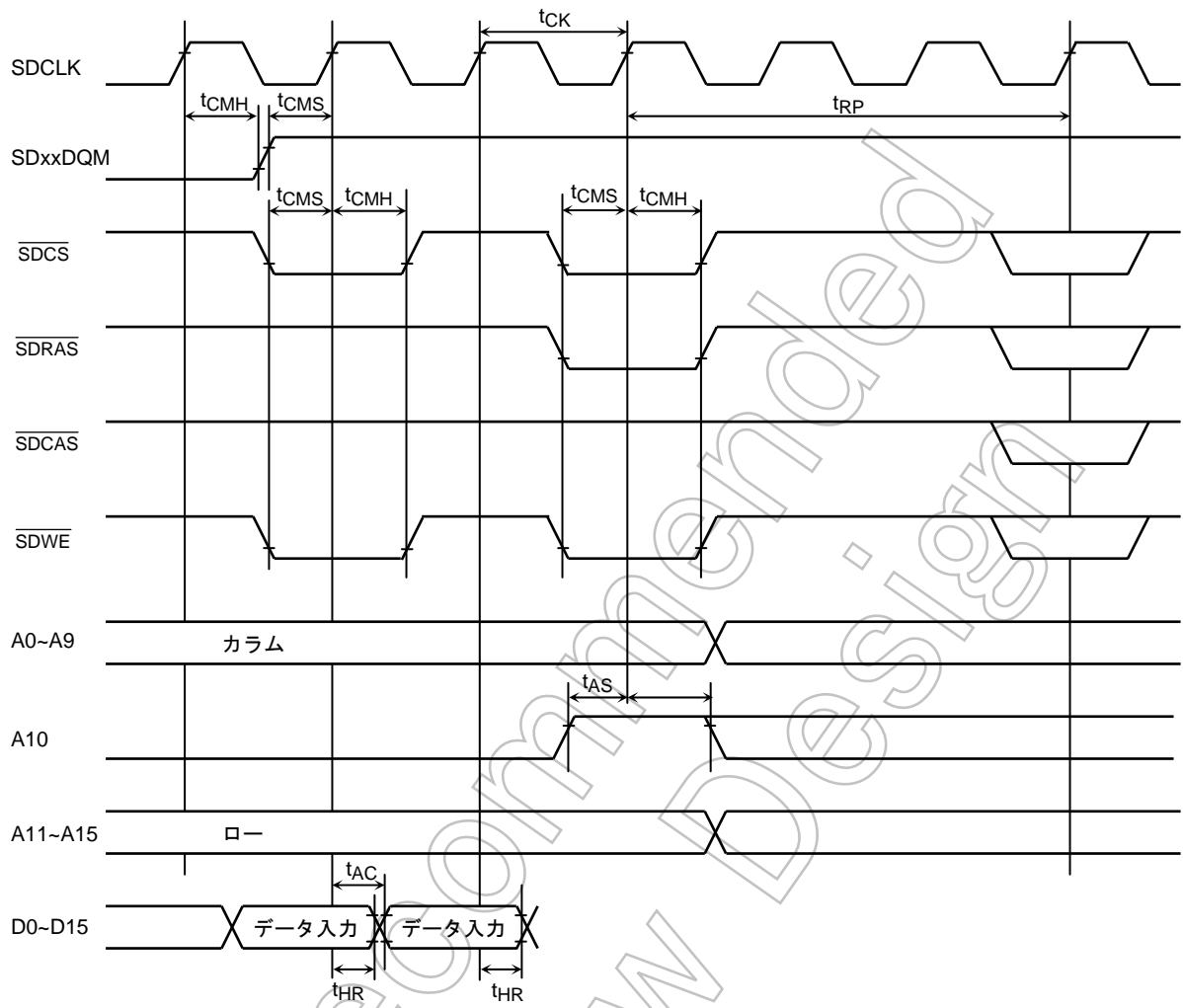


Not Recommended for New Design

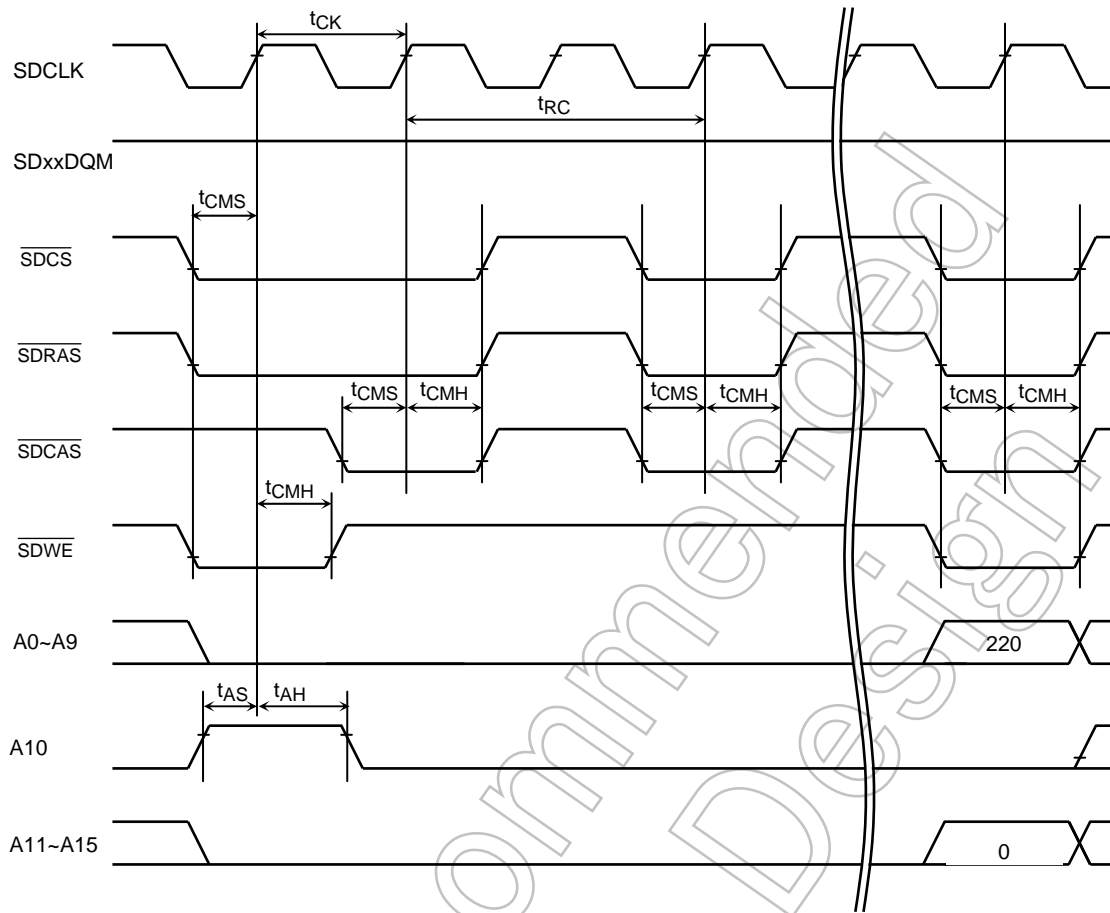
(3) SDRAM バーストリードタイミング (バーストサイクル開始)



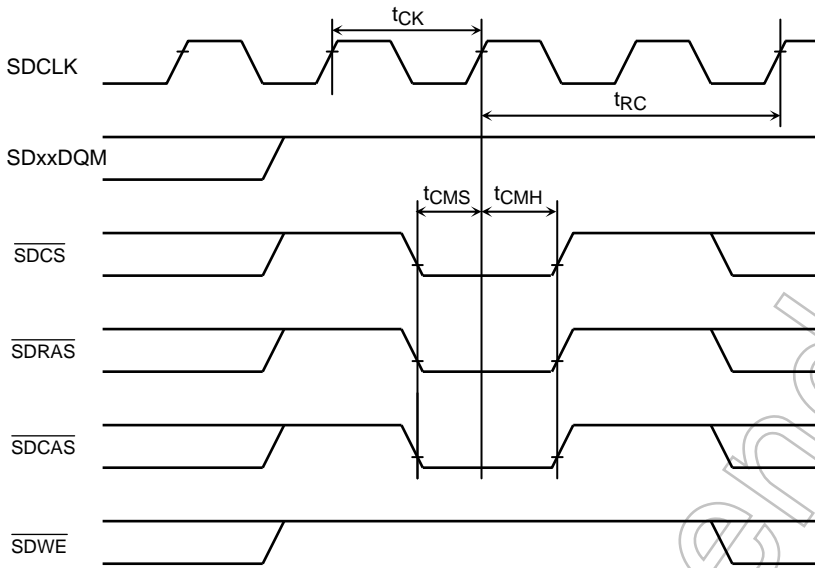
(4) SDRAM バーストリードタイミング (バーストタイミング終了)



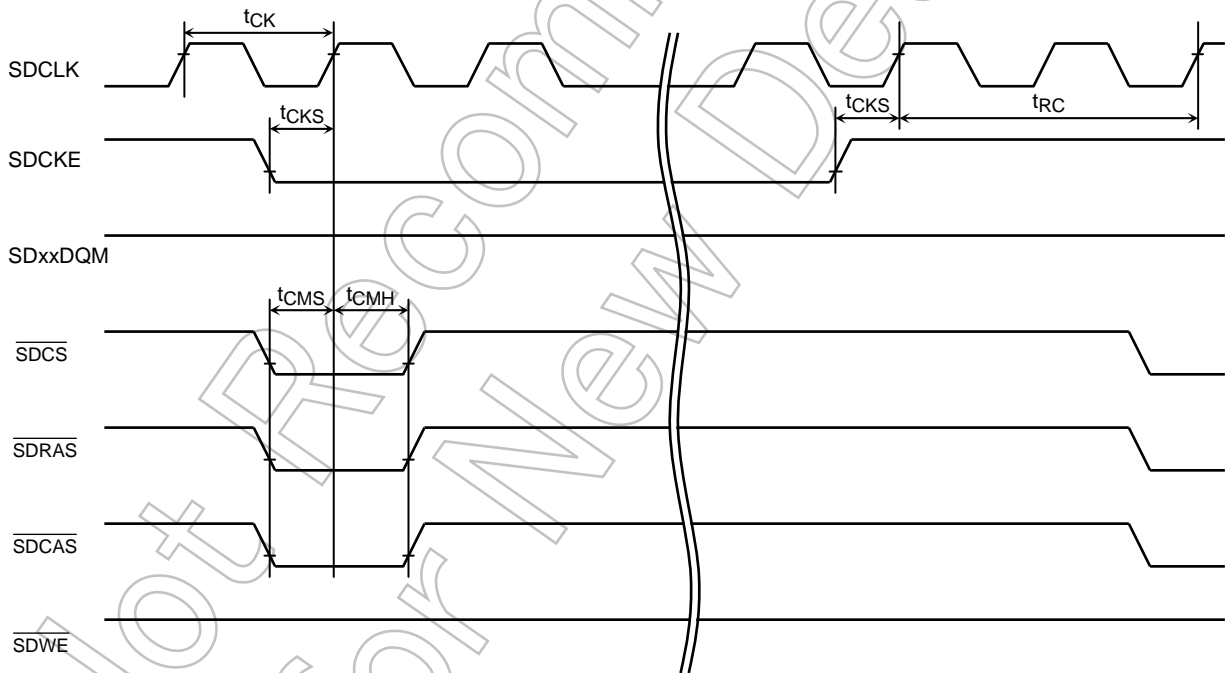
(5) SDRAM 初期化タイミング



(6) SDRAM リフレッシュタイミング



(7) SDRAM セルフリフレッシュタイミング



4.3.4 NANDフラッシュコントローラAC電気的特性

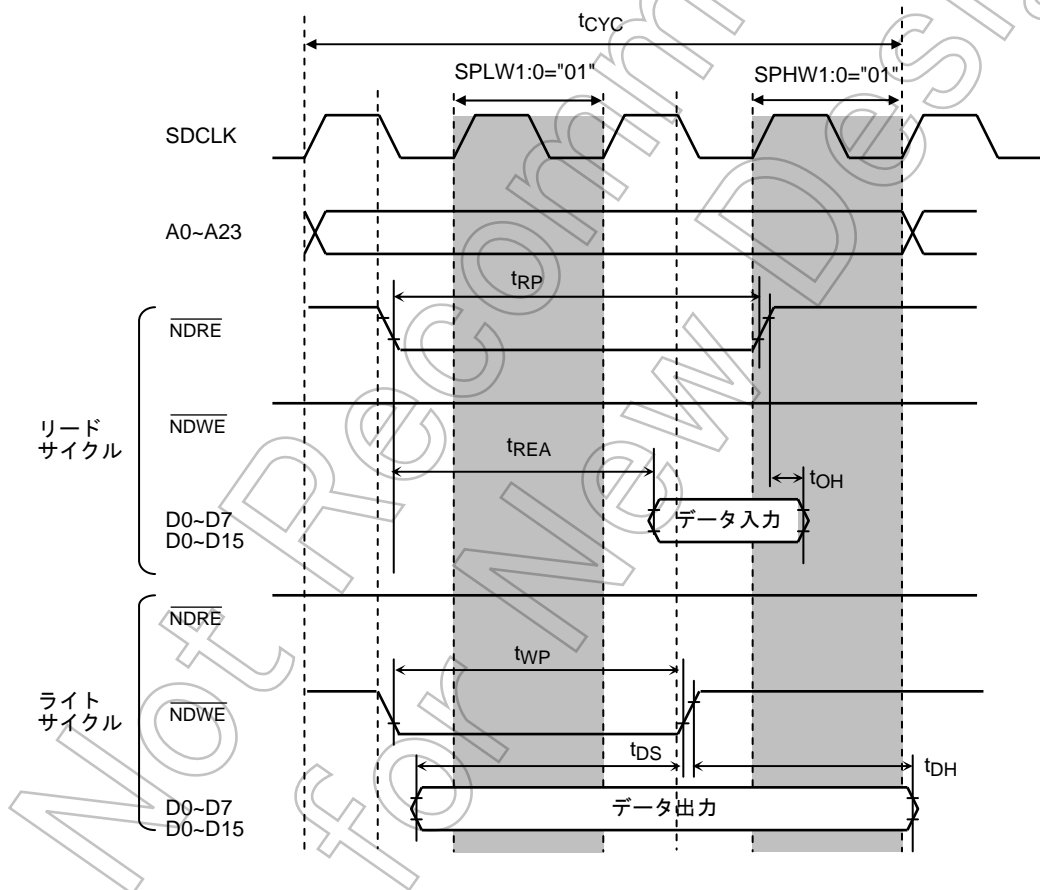
No.	記号	項目	計算式		80 MHz	60 MHz	単位
			Min	Max	(n=3) (m=3)	(n=3) (m=3)	
1	t _{NC}	アクセスサイクル	(2 + n + m)T		100	132	ns
2	t _{RP}	$\overline{\text{NDRE}}$ 低レベルパルス幅	(1.5 + n)T - 12		45	63	
3	t _{REA}	$\overline{\text{NDRE}}$ データアクセス時間		(1.5 + n)T - 15	41	60	
4	t _{OH}	リードデータ保持時間	0		0	0	
5	t _{WP}	$\overline{\text{NDWE}}$ 低レベルパルス幅	(1.0 + n)T - 20		30	47	
6	t _{DS}	ライトデータセットアップ時間	(1.0 + n)T - 20		30	47	
7	t _{DH}	ライトデータ保持時間	(0.5 + m)T - 2		42	56	

AC 測定条件

注) 計算式中の n は NDFMCR0<SPLW1:0> に設定された値を示し、m は NDFMCR0<SPHW1:0> に設定された値を示します。

例) NDFMCR0<SPLW1:0> = "01" のとき、n=1、t_{RP} = (1.5 + n)T - 12 = 2.5T - 12

上記計算式で、結果がマイナスになる設定は使用できませんので注意してください。



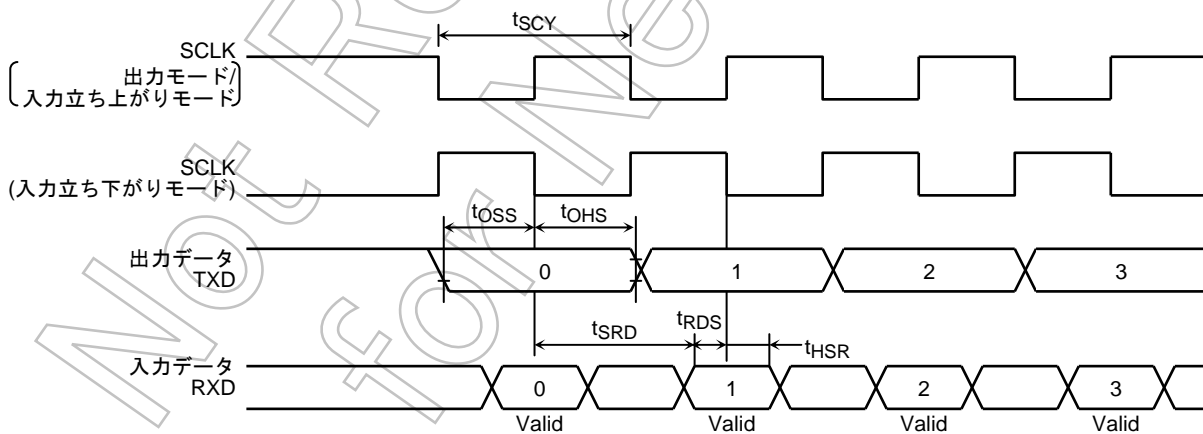
4.3.5 シリアルチャネルタイミング

(1) SCLK 入力モード (I/O インタフェースモード)

項目	記号	計算式		80 MHz	60 MHz	単位
		Min	Max			
SCLK 周期	t _{SCY}	16T		200	266	ns
出力データ→ SCLK 立ち上がり/立ち下がり	t _{OSS}	$t_{SCY}/2 - 4T - 30$		20	36.4	
SCLK 立ち上がり/立ち下がり →出力データ保持	t _{OHS}	$t_{SCY}/2 + 2T - 20$		105	146	
SCLK 立ち上がり/立ち下がり →入力データ保持	t _{HSR}	2T + 10		35	43	
SCLK 立ち上がり/立ち下がり →入力データ有効	t _{SRD}		t _{SCY} - 20	180	246	
入力データ有効 →SCLK 立ち上がり/立ち下がり	t _{RDS}	20		20	20	

(2) SCLK 出力モード (I/O インタフェースモード)

項目	記号	計算式		80 MHz	60 MHz	単位
		Min	Max			
SCLK 周期 (プログラマブル)	t _{SCY}	16T	8192T	200	266	ns
出力データ → SCLK 立ち上がり/立ち下がり	t _{OSS}	$t_{SCY}/2 - 40$		60	93	
SCLK 立ち上がり/立ち下がり → 出力データ保持	t _{OHS}	$t_{SCY}/2 - 40$		60	93	
SCLK 立ち上がり/立ち下がり → 入力データ保持	t _{HSR}	0		0	0	
SCLK 立ち上がり/立ち下がり → 入力データ有効	t _{SRD}		t _{SCY} - 1T - 50	137.5	199	
入力データ有効 → SCLK 立ち上がり/立ち下がり	t _{RDS}	1T + 50		62.5	66	



4.3.6 タイマ入力パルス(TA0IN,TA2IN,TB0IN0,TB1IN0)

項目	記号	計算式		80 MHz	60 MHz	単位
		Min	Max			
クロックサイクル	t_{VCK}	$8T+100$		200	234	ns
低レベルパルス幅	t_{VCKL}	$4T+40$		90	107	
高レベルパルス幅	t_{VCKH}	$4T+40$		90	107	

4.3.7 割り込み動作

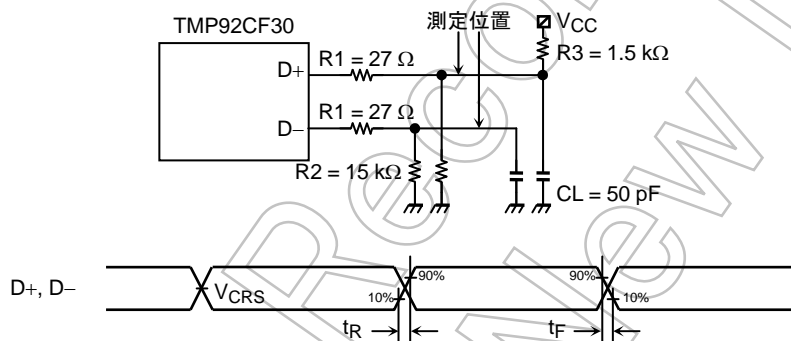
項目	記号	計算式		80 MHz	60 MHz	単位
		Min	Max			
INT0~INT7 低レベルパルス幅	t_{INTAL}	$2T+40$		65	74	ns
INT0~INT7 高レベルパルス幅	t_{INTAH}	$2T+40$		65	74	

4.3.8 USBタイミング (フルスピード)

$$DVCCA = 3.3 \pm 0.3 \text{ V} / f_{\text{USB}} = 48 \text{ MHz}$$

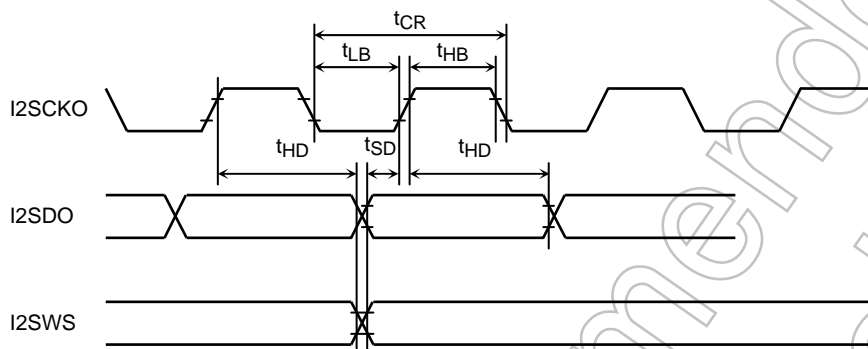
項目	記号	Min	Max	単位
D+, D-立ち上がり時間	t_R	4	20	ns
D+, D-立ち下がり時間	t_F	4	20	
出力信号交差電圧	V_{CRS}	1.3	2.0	V

AC測定条件



4.3.9 I²S タイミング

項目	記号	計算式		80 MHz	60 MHz	単位
		Min	Max			
I ² SCKO クロック周期	t_{CR}	t_{IC}		100	100	ns
I ² SCKO 高レベルパルス幅	t_{HB}	$0.5 t_{CR} - 15$		35	35	
I ² SCKO 低レベルパルス幅	t_{LB}	$0.5 t_{CR} - 15$		35	35	
I ² SDO, I ² SWS セットアップ時間	t_{SD}	$0.5 t_{CR} - 15$		35	35	
I ² SDO, I ² SWS 保持時間	t_{HD}	$0.5 t_{CR} - 8$		42	42	



注) I²S回路のI²SCKOの最大動作周波数は10MHzです。システムクロックが高速の場合でも、I²SCKOが10MHzを超える設定はしないでください。

AC 測定条件

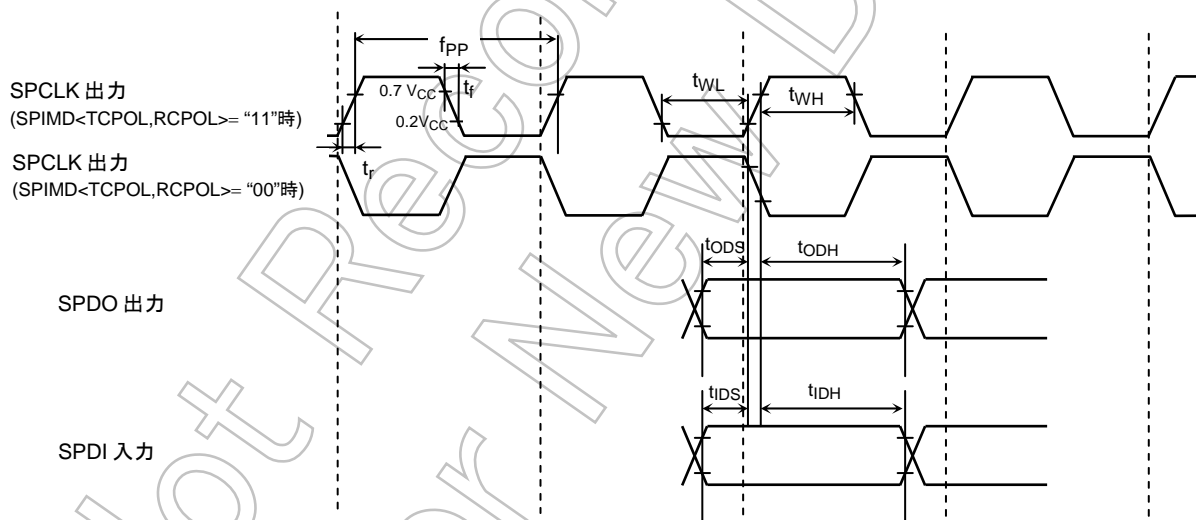
- I²SCKO、I²SDO、I²SWS 端子の付加容量は、CL=30pF

4.3.10 SPIコントローラ

項目	記号	計算式		80MHz	60 MHz	単位
		Min	Max			
SPCLK 周波数 (= 1/S)	f_{PP}		20	20	15	MHz
SPCLK 立ち上がり時間	t_r		6	6	6	ns
SPCLK 立ち下がり時間	t_f		6	6	6	
SPCLK 低レベルパルス幅	t_{WL}	$0.5S - 6$		19	28	
SPCLK 高レベルパルス幅	t_{WH}	$0.5S - 6$		19	28	
出力データ有効 → SPCLK 立ち上がり/立ち下がり	t_{ODS}	$0.5S - 18$		7	15	
SPCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODH}	$0.5S - 10$		15	23.4	
入力データ有効 → SPCLK 立ち上がり/立ち下がり	t_{IDS}	5		5	5	
SPCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDH}	5		5	5	

AC 測定条件

- 表中の最上段のクロックは、システムクロック周波数を示し、表中の計算式に使われる“S”は SPCLK クロックの周期 [ns] を示しています。
- 付加容量 $C_L = 25$ pF



4.4 AD変換特性

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH		AVCC - 0.2	AVCC	AVCC	V
アナログ基準電圧(-)	VREFL		DVSS	DVSS	DVSS + 0.2	
ADコンバータ電源供給電圧	AVCC		DVCC3A	DVCC3A	DVCC3A	
ADコンバータ GNP	AVSS		DVSS	DVSS	DVSS	
アナログ入力電圧	AVIN		VREFL		VREFH	
アナログ基準電圧 電源電流	IREFON	<VREFON> = "1"		0.38	0.45	mA
	IREFOFF	<VREFON> = "0"		1	5	μA
総合誤差 (量子化誤差 ±0.5LSB 含む)	E _T	変換速度 @ 12μs		±2.0	±4.0	LSB

注 1) 1 LSB = (VREFH - VREFL)/1024[V]

注 2) 最低動作周波数について

ADコンバータの最低動作クロックは3MHzです。(クロックギアで選択されたクロックの周波数が $f_{SYS}=3\text{MHz}$ 以上)

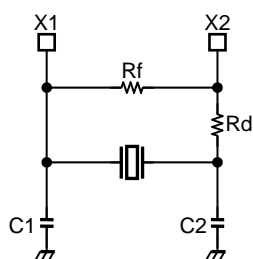
注 3) AVCC 端子より流れる電源電流は、DVCC3A 端子の電源電流 (I_{CC}) に含まれます。

4.5 推奨発振回路

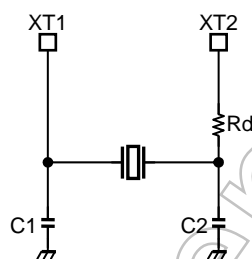
TMP92CF30 は、下記の発振子メーカーにて評価されております。発振子の選択時に活用願います。

注) 発振端子のトータル負荷容量は接続する外付け (または内蔵) 負荷容量 C1、C2 と、実装基板上の浮遊容量の和になります。C1、C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨いたします。

(1) 接続例



高周波発振器の接続図



低周波発振器の接続図

(2) 推奨セラミック発振子

本製品は(株)村田製作所社製セラミック発振子を推奨しております。

詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

5. 特殊機能レジスタ一覧表 (SFR)

特殊機能レジスタ (SFR: Special Function Register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FF0H の 8 K バイトのアドレス空間に割り付けられています。

- | | |
|--------------------------|---------------------------|
| (1) 入力ポート | (11) クロックギア、PLL |
| (2) 割り込み制御 | (12) 8 ビットタイマ |
| (3) メモリコントローラ | (13) 16 ビットタイマ |
| (4) TSI(タッチスクリーンインタフェース) | (14) SIO |
| (5) SDRAM コントローラ | (15) SBI |
| (6) USB コントローラ | (16) AD コンバータ |
| (7) SPI コントローラ | (17) ウォッチドッグタイマ |
| (8) MMU | (18) RTC(リアルタイムクロック) |
| (9) NAND_Flash コントローラ | (19) MLD(メロディ/アラームジェネレータ) |
| (10) DMA コントローラ | (20) I ² S |
| | (21) MAC |

表の構成

記号	名称	アドレス	7	6	1		0

→ Bit Symbol
 → Read/Write
 → システムリセット時の初期値
 → 備考

* 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxCR レジスタの bit 0 のみを“1”にしたい場合、通常は“SET 0, (PxCR)”ですがこのレジスタは“RMW 禁”のため、“LD”(転送)命令にて8ビットに対してライトする必要があります。

記号の意味

R/W : Read/Write 可能

R : Read のみ可能

W : Write のみ可能

W* : Read/Write 可能 (ただし、リードした場合、“1”になります。)

RMW 禁 : Read Modify Write ができません。(EX、ADD、ADC、BUS、SBC、INC、DEC、AND、OR、XOR、STCF、RES、SET、CHG、TSET、RLC、RRC、RL、RR、SLA、SRA、SLL、SRL、RLD、RRD の各命令使用不可)

R/W* : 該当ポートのブルアップレジスタの制御の際には、Read modify write 命令は使用できません。

表 5.1 入出力レジスタアドレスマップ

[1] Port (1/2)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0000H		0010H	P4	0020H	P8	0030H	PC
1H		1H		1H	P8FC2	1H	PCFC2
2H		2H		2H		2H	PCCR
3H		3H	P4FC	3H	P8FC	3H	PCFC
4H	P1	4H	P5	4H	P9	4H	
5H		5H		5H	P9FC2	5H	
6H	P1CR	6H		6H	P9CR	6H	
7H	P1FC	7H	P5FC	7H	P9FC	7H	
8H		8H	P6	8H	PA	8H	
9H		9H		9H		9H	
AH		AH	P6CR	AH		AH	
BH		BH	P6FC	BH	PAFC	BH	
CH		CH	P7	CH		CH	PF
DH		DH		DH		DH	
EH		EH	P7CR	EH		EH	PFCR
FH		FH	P7FC	FH		FH	PFFC
アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0040H	PG	0050H	PK	0060H	PP	0070H	Reserved
1H		1H		1H	PPFC2	1H	Reserved
2H		2H		2H	PPCR	2H	Reserved
3H	PGFC	3H	Reserved	3H	PPFC	3H	Reserved
4H		4H	PL	4H	PR	4H	Reserved
5H		5H	PLFC2	5H		5H	Reserved
6H		6H	PLCR	6H	PRCR	6H	Reserved
7H		7H	PLFC	7H	PRFC	7H	Reserved
8H		8H	PM	8H		8H	Reserved
9H		9H		9H		9H	Reserved
AH		AH		AH		AH	Reserved
BH		BH	PMFC	BH		BH	Reserved
CH	PJ	CH	PN	CH		CH	Reserved
DH		DH		DH		DH	Reserved
EH	PJCR	EH	PNCR	EH		EH	Reserved
FH	PJFC	FH	PNFC	FH		FH	Reserved

[1] Port (2/2)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0080H		0090H	PGDR	00A0H	PT	00B0H	PX
1H	P1DR	1H		1H	PTFC2	1H	PXFC2
2H		2H		2H	PTCR	2H	PXCR
3H		3H	PJDR	3H	PTFC	3H	PXFC
4H	P4DR	4H	PKDR	4H		4H	
5H	P5DR	5H	PLDR	5H		5H	
6H	P6DR	6H	PMDR	6H		6H	
7H	P7DR	7H	PNDR	7H		7H	
8H	P8DR	8H	PPDR	8H	PV	8H	
9H	P9DR	9H	PRDR	9H	PVFC2	9H	
AH	PADR	AH		AH	PVCR	AH	
BH		BH	PTDR	BH	PVFC	BH	
CH	PCDR	CH		CH		CH	
DH		DH	PVDR	DH		DH	
EH		EH		EH		EH	
FH	PFDR	FH	PXDR	FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[2] INTC

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
00D0H	INTE12	00E0H	INTESBIADM	00F0H	INTE0	0100H	DMA0V
1H	INTE34	1H	INTESPI	1H	INTETC01 /INTEDMA01	1H	DMA1V
2H	INTE56	2H	Reserved	2H	INTETC23 /INTEDMA23	2H	DMA2V
3H	INTE7	3H	INTEUSB	3H	INTETC45 /INTEDMA45	3H	DMA3V
4H	INTETA01	4H	Reserved	4H	INTETC67	4H	DMA4V
5H	INTETA23	5H	INTEALM	5H	SIMC	5H	DMA5V
6H	INTETA45	6H	Reserved	6H	IIMC0	6H	DMA6V
7H	INTETA67	7H		7H	INTWDT/NMI	7H	DMA7V
8H	INTETB0	8H	INTERTC	8H	INTCLR	8H	DMAB
9H	INTETB1	9H	INTEKEY	9H		9H	DMAR
AH		AH	Reserved	AH	IIMC1	AH	DMASEL
BH	INTES0	BH	INTEI2S0	BH		BH	
CH	INTES1	CH	INTENDFC	CH		CH	
DH		DH	Reserved	DH		DH	
EH		EH	INTEP0	EH		EH	
FH		FH	INTEAD	FH	Reserved	FH	

[3] MEMC

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0140H	B0CSL	0150H		0160H		01F0H	TSICR0
1H	B0CSH	1H		1H		1H	TSICR1
2H	MAMR0	2H		2H		2H	Reserved
3H	MSAR0	3H		3H		3H	
4H	B1CSL	4H		4H		4H	
5H	B1CSH	5H		5H		5H	
6H	MAMR1	6H		6H	PMEMCR	6H	
7H	MSAR1	7H		7H		7H	
8H	B2CSL	8H	BEXCSL	8H	CSTMGCR	8H	
9H	B2CSH	9H	BEXCSH	9H	WRTMGCR	9H	
AH	MAMR2	AH		AH	RDTMGCR0	AH	
BH	MSAR2	BH		BH	RDTMGCR1	BH	
CH	B3CSL	CH		CH	BROMCR	CH	
DH	B3CSH	DH		DH	RAMCR	DH	
EH	MAMR3	EH		EH		EH	
FH	MSAR3	FH		FH		FH	

[4] TSI

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[5] SDRAMC

アドレス	レジスタ名
0250H	SDACR
1H	SDCISR
2H	SDRCR
3H	SDCMM
4H	SDBLS
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
0280H	Reserved
1H	Reserved
2H	Reserved
3H	Reserved
4H	Reserved
5H	Reserved
6H	Reserved
7H	Reserved
8H	Reserved
9H	Reserved
AH	Reserved
BH	Reserved
CH	Reserved
DH	Reserved
EH	Reserved
FH	Reserved

アドレス	レジスタ名
0290H	Reserved
1H	Reserved
2H	Reserved
3H	Reserved
4H	Reserved
5H	Reserved
6H	Reserved
7H	Reserved
8H	Reserved
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
02A0H	Reserved
1H	Reserved
2H	Reserved
3H	
4H	Reserved
5H	Reserved
6H	Reserved
7H	
8H	Reserved
9H	Reserved
AH	Reserved
BH	Reserved
CH	Reserved
DH	Reserved
EH	Reserved
FH	Reserved

アドレス	レジスタ名
02F0H	Reserved
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[6] USBC (1/2)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0500H	Descriptor RAM (384 byte)	0780H	ENDPOINT0	0790H	EP0_STATUS	07A0H	EP1_SIZE_L_B EP2_SIZE_L_B EP3_SIZE_L_B Reserved EP1_SIZE_H_A EP2_SIZE_H_A EP3_SIZE_H_A Reserved EP1_SIZE_H_A EP2_SIZE_H_A EP3_SIZE_H_A
to		1H	ENDPOINT1	1H	EP1_STATUS	1H	
067FH		2H	ENDPOINT2	2H	EP2_STATUS	2H	
		3H	ENDPOINT3	3H	EP3_STATUS	3H	
		4H		4H		4H	
		5H		5H		5H	
		6H		6H		6H	
		7H		7H		7H	
		8H	Reserved	8H	EP0_SIZE_L_A	8H	
		9H	EP1_MODE	9H	EP1_SIZE_L_A	9H	
		AH	EP2_MODE	AH	EP2_SIZE_L_A	AH	
		BH	EP3_MODE	BH	EP3_SIZE_L_A	BH	
		CH		CH		CH	
		DH		DH		DH	
		EH		EH		EH	
		FH		FH		FH	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
07B0H	EP1_SIZE_H_B EP2_SIZE_H_B EP3_SIZE_H_B	07C0H	bmRequestType	07D0H	COMMAND
1H		1H	bRequest	1H	EPx_SINGLE1
2H		2H	wValue_L	2H	Reserved
3H		3H	wValue_H	3H	EPx_BCS1
4H		4H	wIndex_L	4H	Reserved
5H		5H	wIndex_H	5H	Reserved
6H		6H	wLength_L	6H	INT_Control
7H		7H	wLength_H	7H	Reserved
8H		8H	SetupReceived	8H	Standard Request Mode
9H		9H	Current_Config	9H	Request Mode
AH		AH	Standard Request	AH	Reserved
BH		BH	Request	BH	Reserved
CH		CH	DATASET1	CH	Reserved
DH		DH	DATASET2	DH	Reserved
EH		EH	USB STATE	EH	ID_CONTROL
FH		FH	EOP	FH	ID_STATE

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[6] USBC (2/2)

アドレス	レジスタ名	アドレス	レジスタ名
07E0H	Port Status	07F0H	USBINTFR1
1H	FRAME_L	1H	USBINTFR2
2H	FRAME_H	2H	USBINTFR3
3H	ADDRESS	3H	USBINTFR4
4H	Reserved	4H	USBINTMR1
5H	Reserved	5H	USBINTMR2
6H	USBREADY	6H	USBINTMR3
7H	Reserved	7H	USBINTMR4
8H	Set Descriptor STALL	8H	USBCR1
9H		9H	
AH		AH	
BH		BH	
CH		CH	
DH		DH	
EH		EH	
FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Not Recommended for New Design

[7] SPIC

アドレス	レジスタ名	アドレス	レジスタ名
0820H	SPIMD	0830H	SPITD0
1H	SPIMD	1H	SPITD0
2H	SPICT	2H	SPITD1
3H	SPICT	3H	SPITD1
4H	SPIST	4H	SPIRD0
5H	SPIST	5H	SPIRD0
6H	SPICR	6H	SPIRD1
7H	SPICR	7H	SPIRD1
8H		8H	
9H		9H	
AH		AH	
BH		BH	
CH	SPIIE	CH	
DH	SPIIE	DH	
EH		EH	
FH		FH	

[8] MMU

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0880H	LOCALPX	0890H	LOCALRX	08A0H	LOCALESX	08B0H	LOCALOSX
1H	LOCALPX	1H	LOCALRX	1H	LOCALESX	1H	LOCALOSX
2H	LOCALPY	2H	LOCALRY	2H	LOCALESY	2H	LOCALOSY
3H	LOCALPY	3H	LOCALRY	3H	LOCALESY	3H	LOCALOSY
4H	LOCALPZ	4H	LOCALRZ	4H	LOCALESZ	4H	LOCALOSZ
5H	LOCALPZ	5H	LOCALRZ	5H	LOCALESZ	5H	LOCALOSZ
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	Reserved	8H	LOCALWX	8H	LOCALEDX	8H	LOCALODX
9H	Reserved	9H	LOCALWX	9H	LOCALEDX	9H	LOCALODX
AH	Reserved	AH	LOCALWY	AH	LOCALEDY	AH	LOCALODY
BH	Reserved	BH	LOCALWY	BH	LOCALEDY	BH	LOCALODY
CH	Reserved	CH	LOCALWZ	CH	LOCALEDZ	CH	LOCALODZ
DH	Reserved	DH	LOCALWZ	DH	LOCALEDZ	DH	LOCALODZ
EH		EH		EH		EH	
FH		FH		FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[9] NAND-Flash コントローラ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
08C0H	NDFMCR0	08D0H	NDRSCA0	1FF0H	NDFDTR0
1H	NDFMCR0	1H	NDRSCA0	1H	NDFDTR0
2H	NDFMCR1	2H	NDRSCD0	2H	NDFDTR1
3H	NDFMCR1	3H		3H	NDFDTR1
4H	NDECCRD0	4H	NDRSCA1	4H	
5H	NDECCRD0	5H	NDRSCA1	5H	
6H	NDECCRD1	6H	NDRSCD1	6H	
7H	NDECCRD1	7H		7H	
8H	NDECCRD2	8H	NDRSCA2	8H	
9H	NDECCRD2	9H	NDRSCA2	9H	
AH	NDECCRD3	AH	NDRSCD2	AH	
BH	NDECCRD3	BH		BH	
CH	NDECCRD4	CH	NDRSCA3	CH	
DH	NDECCRD4	DH	NDRSCA3	DH	
EH		EH	NDRSCD3	EH	
FH		FH		FH	

Not Recommended for New Design

[10] DMAC

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0900H	HDMAS0	0910H	HDMAS1	0920H	HDMAS2	0930H	HDMAS3
1H	HDMAS0	1H	HDMAS1	1H	HDMAS2	1H	HDMAS3
2H	HDMAS0	2H	HDMAS1	2H	HDMAS2	2H	HDMAS3
3H		3H		3H		3H	
4H	HDMAD0	4H	HDMAD1	4H	HDMAD2	4H	HDMAD3
5H	HDMAD0	5H	HDMAD1	5H	HDMAD2	5H	HDMAD3
6H	HDMAD0	6H	HDMAD1	6H	HDMAD2	6H	HDMAD3
7H		7H		7H		7H	
8H	HDMACA0	8H	HDMACA1	8H	HDMACA2	8H	HDMACA3
9H	HDMACA0	9H	HDMACA1	9H	HDMACA2	9H	HDMACA3
AH	HDMACB0	AH	HDMACB1	AH	HDMACB2	AH	HDMACB3
BH	HDMACB0	BH	HDMACB1	BH	HDMACB2	BH	HDMACB3
CH	HDMAM0	CH	HDMAM1	CH	HDMAM2	CH	HDMAM3
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0940H	HDMAS4	0950H	HDMAS5	0970H	
1H	HDMAS4	1H	HDMAS5	1H	
2H	HDMAS4	2H	HDMAS5	2H	
3H		3H		3H	
4H	HDMAD4	4H	HDMAD5	4H	
5H	HDMAD4	5H	HDMAD5	5H	
6H	HDMAD4	6H	HDMAD5	6H	
7H		7H		7H	
8H	HDMACA4	8H	HDMACA5	8H	
9H	HDMACA4	9H	HDMACA5	9H	
AH	HDMACB4	AH	HDMACB5	AH	
BH	HDMACB4	BH	HDMACB5	BH	
CH	HDMAM4	CH	HDMAM5	CH	Reserved
DH		DH		DH	Reserved
EH		EH		EH	HDMAE
FH		FH		FH	HDMATR

[11] CGEAR, PLL

アドレス	レジスタ名
10E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	Reserved
7H	
8H	PLLCR0
9H	PLLCR1
AH	
BH	
CH	
DH	
EH	
FH	

[12] 8ビットタイマ

アドレス	レジスタ名
1100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

アドレス	レジスタ名
1110H	TA45RUN
1H	
2H	TA4REG
3H	TA5REG
4H	TA45MOD
5H	Reserved
6H	
7H	
8H	TA67RUN
9H	
AH	TA6REG
BH	TA7REG
CH	TA67MOD
DH	TA7FFCR
EH	
FH	

[13] 16ビットタイマ

アドレス	レジスタ名
1180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

[14] SIO

アドレス	レジスタ名
1190H	TB1RUN
1H	
2H	TB1MOD
3H	Reserved
4H	
5H	
6H	
7H	
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

アドレス	レジスタ名
1200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIR0CR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	SIR1CR

[15] SBI

アドレス	レジスタ名
1240H	SBICR1
1H	SBIDBR
2H	I2CAR
3H	SBICR2/SBISR
4H	SBIBR0
5H	
6H	
7H	SBICR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[16] 10ビット ADC

アドレス	レジスタ名
12A0H	ADREG0L
1H	ADREG0H
2H	ADREG1L
3H	ADREG1H
4H	ADREG2L
5H	ADREG2H
6H	ADREG3L
7H	ADREG3H
8H	ADREG4L
9H	ADREG4H
AH	ADREG5L
BH	ADREG5H
CH	Reserved
DH	Reserved
EH	Reserved
FH	Reserved

[17] WDT

アドレス	レジスタ名
1300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[18] RTC

アドレス	レジスタ名
1320H	SECR
1H	MINR
2H	HOURR
3H	DAYR
4H	DATER
5H	MONTHR
6H	YEARR
7H	PAGER
8H	RESTR
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[19] MLD

アドレス	レジスタ名
1330H	ALM
1H	MELALMC
2H	MELFL
3H	MELFH
4H	ALMINT
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[20] I²S

アドレス	レジスタ名	アドレス	レジスタ名
1800H	I2S0BUF	1810H	Reserved
1H		1H	
2H		2H	
3H		3H	
4H		4H	
5H		5H	
6H		6H	
7H		7H	
8H	I2S0CTL	8H	Reserved
9H	I2S0CTL	9H	Reserved
AH	I2S0C	AH	Reserved
BH	I2S0C	BH	Reserved
CH		CH	
DH		DH	
EH		EH	
FH		FH	

[21] MAC

アドレス	レジスタ名	アドレス	レジスタ名
1BE0H	MACMA	1BF0H	
1H	MACMA	1H	
2H	MACMA	2H	
3H	MACMA	3H	
4H	MACMB	4H	
5H	MACMB	5H	
6H	MACMB	6H	
7H	MACMB	7H	
8H	MACORL	8H	
9H	MACORL	9H	
AH	MACORL	AH	
BH	MACORL	BH	
CH	MACORH	CH	MACCR
DH	MACORH	DH	
EH	MACORH	EH	
FH	MACORH	FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

(1) 入出力ポート (1/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P1	PORT1	0004H	P17	P16	P15	P14	P13	P12	P11	P10	
			R/W								
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)								
P4	PORT4	0010H	P47	P46	P45	P44	P43	P42	P41	P40	
			R/W								
			0	0	0	0	0	0	0	0	
P5	PORT5	0014H	P57	P56	P55	P54	P53	P52	P51	P50	
			R/W								
			0	0	0	0	0	0	0	0	
P6	PORT6	0018H	P67	P66	P65	P64	P63	P62	P61	P60	
			R/W								
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)								
P7	PORT7	001CH		P76	P75	P74	P73	P72	P71	P70	
				R/W							
				外部端子データ(出力ラッチレジスタは“1”にセットされます)	外部端子データ(出力ラッチレジスタは“0”にクリアされます)	外部端子データ(出力ラッチレジスタは“1”にセットされます)	1				
P8	PORT8	0020H	P87	P86			P83	P82	P81	P80	
			R/W						R/W		
			1	1			1	0(注)	1	1	
P9	PORT9	0024H	P97	P96				P92	P91	P90	
			R						R/W		
			外部端子データ						外部端子データ(出力ラッチレジスタは“1”にセットされます)		
PA	PORTA	0028H	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
			R								
			外部端子データ								
PC	PORTC	0030H	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
			R/W								
			外部端子データ(出力ラッチレジスタは“1”にセットされます)								
PF	PORTF	003CH	PF7					PF2	PF1	PF0	
			R/W								
			1					外部端子データ(出力ラッチレジスタは“1”にセットされます)			
PG	PORTG	0040H			PG5	PG4	PG3	PG2	PG1	PG0	
			R								
			外部端子データ								

(1) 入出力ポート (2/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PJ	PORTJ	004CH	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0		
			R/W									
			1	外部端子データ(出カ ラッチレジスタは“1”にセ ットされます)				1	1	1	1	1
PK	PORTK	0050H	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0		
			R/W									
			0	0	0	0	0	0	0	0	0	
PL	PORTL	0054H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0		
			R/W									
			0	0	0	0	0	0	0	0	0	
PM	PORTM	0058H	PM7					PM2	PM1			
			R/W					R/W				
			1					1	1			
PN	PORTN	005CH	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0		
			R/W									
			外部端子データ(出カ ラッチレジスタは“1”にセ ットされます)									
PP	PORTP	0060H		PP6	PP5	PP4	PP3					
				R/W								
			0	外部端子データ (出カ ラッチレジスタは“0”にリセ ットされます)								
PR	PORTR	0064H					PR3	PR2	PR1	PR0		
							R/W					
							外部端子データ (出カ ラッチレジスタは“0”にリセ ットされます)					
PT	PORTT	00A0H	PT7	PT6	PT5	PT4	PT3	PT2	PT1	PT0		
			R/W									
			外部端子データ(出カ ラッチレジスタは“0”にリセ ットされます)									
PV	PORTV	00A8H	PV7	PV6								
			R/W									
			外部端子データ(出カ ラッチレジスタは“0”にリ セットされます)									
PX	PORTX	00B0H			PX5	PX4						
					R/W							
					外部端子データ (出カ ラッチレジスタは “0”にリセットされます)							

(1) 入出力ポート (3/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P1CR	PORT1 control register	0006H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C	
			W								
			0	0	0	0	0	0	0	0	
			0: 入力 1: 出力								
P1FC	PORT1 function register	0007H (RMW 禁)	/	/	/	/	/	/	/	P1F	
											W
											0/1
											0:ポート 1:データバス (D8-D15)
P4FC	PORT4 function register	0013H (RMW 禁)	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F	
			W								
			1	1	1	1	1	1	1	1	
			0: ポート 1: アドレスバス (A0~A7)								
P5FC	PORT5 function register	0017H (RMW 禁)	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F	
			W								
			1	1	1	1	1	1	1	1	
			0: ポート 1: アドレスバス (A8~A15)								
P6CR	PORT6 control register	001AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C	
			W								
			0	0	0	0	0	0	0	0	
			0: 入力 1: 出力								
P6FC	PORT6 function register	001BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F	
			W								
			1	1	1	1	1	1	1	1	
			0: ポート 1: アドレスバス (A16~A23)								
P7CR	PORT7 control register	001EH (RMW 禁)	/	P76C	P75C	P74C	P73C	P72C	P71C	/	
			W								
			/	0	0	0	0	0	0	/	
			/	0: 入力ポート, WAIT 1: 出力ポート	0: 入力ポート, NDR/B 1: 出力ポート, R/W	0: 入力ポート 1: 出力ポート, EA25	0: 入力ポート 1: 出力ポート, EA24	0: 入力ポート 1: 出力ポート, NDWE at <P72> = 0, WRLU at <P72> = 1	0: 入力ポート 1: 出力ポート, NDRE at <P71> = 0, WRL at <P71> = 1	/	
P7FC	PORT7 function register	001FH (RMW 禁)	/	P76F	P75F	P74F	P73F	P72F	P71F	P70F	
			W								
			/	0	0	0	0	0	0	0/1	
			/	0: ポート 1: WAIT	0: ポート 1: NDR/B, R/W	0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: NDWE at <P72> = 0, WRLU at <P72> = 1	0: ポート 1: NDRE at <P71> = 0, WRL at <P71> = 1	0: ポート 1: RD	

(1) 入出力ポート (4/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P8FC	PORT8 function register	0023H (RMW 禁)	P87F	P86F			P83F	P82F	P81F	P80F	
			W			W					
			1	1			0	0	0	0	
			0: 出力 ポート, 1:<P87F2>	0: ポート 1:<P86F2>			0: ポート 1: CS3, CSXA	0: ポート, CSZA, 1: CS2, SDCS	0: ポート 1: CS1	0: ポート 1: CS0	
P8FC2	PORT8 function register2	0021H (RMW 禁)	P87F2	P86F2			P83F2	P82F2	P81F2		
			W			W					
			0	0			0	0	0		
			0: CSXB 1: ND1CE	0: CSZD 1: ND0CE			0: ポート, CS3 1: CSXA	0: 出力 ポート, CS2 1: CSZA, SDCS	0: <P81F> 1: SDCS		
P9CR	PORT9 control register	0026H (RMW 禁)						P92C	P91C	P90C	
									W		
								0	0	0	
							0: 入力 ポート, CTS0/1, SCLK0/1 入力 1: 出力 ポート, SCLK0/1 出力	0: 入力 ポート, RXD0/1 入力 1: 出力 ポート	0: 入力 ポート 1: 出力 ポート, TXD0/1 出力		
P9FC	PORT9 function register	0027H (RMW 禁)		P96F				P92F		P90F	
				W				W		W	
				0				0		0	
			0: 入力 ポート 1: INT4				0: ポート, CTS0/1, SCLK0/1 入力 1: SCLK0 出力		0: ポート 1: TXD0/1 出力		
P9FC2	PORT9 function register2	0025H (RMW 禁)	-		P95F2	P94F2	P93F2	-		P90FC2	
			W			W			W		
					0	0	0	0		0	
			常に"0"を ライトして ください。	P92 の SCLK 選択 0: SCLK0 1: SCLK1	SIO0 の RXD 選択 0: P91 1: PP4	P90 の TXD 選択 0: TXD0 1: TXD1	常に"0"を ライトして ください。		0: CMOS 1: オープン ドレイン		
				SIO0 の SCLK, CTS 入力 選択 0: P92 1: PP5							

(1) 入出力ポート (5/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PAFC	PORTA function register	002BH (RMW 禁)	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F		
			W									
			0	0	0	0	0	0	0	0		
			0: キー入力禁止				1: キー入力許可					
PCCR	PORTC control register	0032H (RMW 禁)	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C		
			W									
			0	0	0	0	0	0	0	0		
			0: 入力ポート 1: 出力ポート, KO 出力 (オープンドレイン)	0: 入力ポート, EA28 1: 出力ポート, SPCLK 出力	0: 入力ポート, EA27 1: 出力ポート, SPDO 出力	0: 入力ポート, EA26 1: 出力ポート, SPDI 入力	0: 入力ポート, INT3 1: 出力ポート, TA2IN	0: 入力ポート, INT2 1: 出力ポート	0: 入力ポート, INT1 1: 出力ポート, TA0IN	0: 入力ポート, INT0 1: 出力ポート		
PCFC	PORTC function register	0033H (RMW 禁)	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F		
			W									
			0	0	0	0	0	0	0	0		
			0: ポート出力 (オープンドレイン) 1: KO8	0: ポート出力 1: EA28, SPCLK 出力	0: ポート出力 1: EA27, SPDO 出力	0: ポート入力 1: EA26, SPDI 入力	0: ポート 1: INT3, TA2IN	0: ポート 1: INT2	0: ポート 1: INT1, TA0IN	0: ポート 1: INT0		
PCFC2	PORTC function 2 register	0031H (RMW 禁)				PC4F2						
						W						
						0						
						SPDI 端子選択 0: PR0 1: PC4						
PFCR	PORTF control register	003EH (RMW 禁)							PF2C	PF1C	PF0C	
									W			
									0	0	0	
						0: 入力, 1: 出力						
PFFC	PORTF function register	003FH (RMW 禁)	PF7F							PF2F	PF1F	PF0F
									W			
									0			
									0			
						0: ポート 1: SDCLK			0: ポート 1: I2S0WS			
						0: ポート 1: I2S0DO			0: ポート 1: I2S0CKO			
PGFC	PORTG function register	0043H (RMW 禁)							PG3F			
									W			
									0			
									0: 入力ポート, AN3 1: ADTRG			

(1) 入出力ポート (6/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
PJCR	PORTJ control register	004EH (RMW 禁)		PJ6C	PJ5C						
				W							
				0	0						
				0:入力ポート SRUUB 出力 1:出力ポート, NDCLE 出力	0:入力ポート SRULB 出力 1:出力ポート, NDALE 出力						
PJFC	PORTJ function register	004FH (RMW 禁)	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F	
			W								
			0	0	0	0	0	0	0	0	0
			0:ポート 1:SDCKE	0:ポート 1:SRUUB, NDCLE 出力	0:ポート 1:SRULB, NDALE 出力	0:ポート 1:SDLUDQM	0:ポート 1:SDLLDQM	0:ポート 1:SDWE, SRWR	0:ポート 1:SDCAS, SRLUB	0:ポート 1:SDRAS, SRLLB	
PLCR	PORTL control register	0056H (RMW 禁)	PL7C	PL6FC	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C	
			W								
			0	0	0	0	0	0	0	0	0
			0:入力 1:出力								
PLFC	PORTL function register	0057H (RMW 禁)	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F	
			W								
			0	0	0	0	0	0	0	0	0
			0:ポート 1:設定禁止								
PLFC2	PORTL function 2 register	0055H (RMW 禁)								PL0F2	
										W	
											0/1
											0:ポート 1:データバス (D16-D23)
PMFC	PORTM function register	005BH (RMW 禁)	PM7F					PM2F	PM1F		
			W					W	W		
			0					0	0		
			0:ポート 1:設定禁止					0:ポート 1:ALARM at <PM2>=1 MLDALM at <PM2>=0	0:ポート 1:MLDALM at <PM1>=1, TA1OUT at <PM1>=0		
PNCR	PORTN control register	005EH (RMW 禁)	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C	
			W								
			0	0	0	0	0	0	0	0	0
			0:入力 1:出力								
PNFC	PORTN function register	005FH (RMW 禁)	PN7F	PN6F	PN5F	PN4F	PN3F	PN2F	PN1F	PN0F	
			W								
			0:CMOS出力 1:オーブンドレイン出力								

(1) 入出力ポート (7/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PPCR	PORTP control register	0062H (RMW 禁)			PP5C	PP4C	PP3C					
					W							
					0	0	0					
					0: 入力, 1: 出力							
PPFC	PORTP function register	0063H (RMW 禁)		PP6F	PP5F	PP4F	PP3F					
				W								
				0	0	0	0					
				0: ポート 1: TB0OUT0	0: ポート 1: INT7, TB1IN0 at <PP3F2>= 0	0: ポート 1: INT6, TB0IN0 at <PP2F2>= 0	0: ポート 1: INT5, TA7OUT at <PP1F2>= 0					
PPFC2	PORTP function 2 register	0061H (RMW 禁)		PP6F2	PP5F2	PP4F2	PP3F2	PP2F2	PP1F2	PP0F2		
				W								
				0	0	0	0	0	0	0		
				PP5 の SCLK 出力 0: SCLK1 1: SCLK0	SIO1 の RXD 選択 0: PP4 1: P91	PP3 選択 0: TXD1 1: TXD0	PP5 端子 0: 上記以外 1: SCLK, CTS 入力 または SCLK 出力	PP4 端子 0: 上記以外 1: RXD 入力	PP3 端子 0: 上記以外 1: TXD 出力	PP3 端子 0: CMOS 1: オープン ドレイン		
PRCR	PORTR control register	0066H (RMW 禁)					PR3C	PR2C	PR1C	PR0C		
							W					
							0	0	0	0		
							0: 入力 1: 出力					
PRFC	PORTR function register	0067H (RMW 禁)					PR3F	PR2F	PR1F	PR0F		
							W					
							0	0	0	0		
							0: ポート 1: SPCLK	0: ポート 1: SPCS	0: ポート 1: SPDO	0: ポート 1: SPDI		
PTCR	PORTT control register	00A2H (RMW 禁)	PT7C	PT6C	PT5C	PT4C	PT3C	PT2C	PT1C	PT0C		
			W									
			0	0	0	0	0	0	0	0		
PTFC	PORTT function register	00A3H (RMW 禁)	PT7F	PT6F	PT5F	PT4F	PT3F	PT2F	PT1F	PT0F		
			W									
			0	0	0	0	0	0	0	0		
PTFC2	PORTT function 2 register	00A1H (RMW 禁)								PT0F2		
											W	
												0/1
												0: ポート 1: データ バス (D24-D31)

(1) 入出力ポート (8/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0
PVCR	PORTV control register	00AAH (RMW 禁)	PV7C	PV6C						
			W							
			0	0						
			0: 入力	1: 出力						
PVFC	PORTV function register	00ABH (RMW 禁)	PV7F	PV6F						
			W							
			0	0						
			0: ポート 1: SCL	0: ポート 1: SDA						
PVFC2	PORTV function register2	00ABH (RMW 禁)	PV7F2	PV6F2						
			W							
			0	0						
			0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン						
PXCR	PORTX control register	00B2H (RMW 禁)			PX5C					
					0					
					W					
					0: 入力 1: 出力					
PXFC	PORTX function register	00B3H (RMW 禁)			PX5F	PX4F				
					W					
					0	0				
					0: ポート 1: X1USB 入力 at <PX5C>=0 X1D4 出力 at <PX5C>=1 , <PX5>=1	0: ポート 1: CLKOUT at <PX4>=0				
PXFC2	PORTX function 2 register	00B1H (RMW 禁)			PX5F2	PX4F2				
					W					
					0	0				
					X1D4 出力クロック 選択 00: X1 端子×1/8 01: X1 端子×1/4 10: X1 端子×1/2 11: X1 端子×1/1					

(1) 入出力ポート (9/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1DR	PORT1 drive register	0081H	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P4DR	PORT4 drive register	0084H	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P5DR	PORT5 drive register	0085H	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P6DR	PORT6 drive register	0086H	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P7DR	PORT7 drive register	0087H		P76D	P75D	P74D	P73D	P72D	P71D	P70D
			R/W							
				1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P8DR	PORT8 drive register	0088H	P87D	P86D			P83D	P82D	P81D	P80D
			R/W		R/W					
			1	1			1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P9DR	PORT9 drive register	0089H	P97D	P96D				P92D	P91D	P90D
			R/W		R/W					
			1	1				1	1	1
			スタンバイモード用入出力バッファドライブレジスタ				スタンバイモード用入出力バッファドライブレジスタ			
PADR	PORTA drive register	008AH	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
PCDR	PORTC drive register	008CH	PC7D	PC6D	PC5D	PC4D	PC3D	PC2D	PC1D	PC0D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
PFDR	PORTF drive register	008FH	PF7D					PF2D	PF1D	PF0D
			R/W		R/W					
			1					1	1	1
			スタンバイモード用入出力バッファドライブレジスタ				スタンバイモード用入出力バッファドライブレジスタ			

(1) 入出力ポート (10/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PGDR	PORTG drive register	0090H					PG3D		PG2D			
							R/W					
							1		1			
							スタンバイモード用 入出力バッファ ドライブレジスタ					
PJDR	PORTJ drive register	0093H	PJ7D	PJ6D	PJ5D	PJ4D	PJ3D	PJ2D	PJ1D	PJ0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PKDR	PORTK drive register	0094H	PK7D	PK6D	PK5D	PK4D	PK3D	PK2D	PK1D	PK0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PLDR	PORTL drive register	0095H	PL7D	PL6D	PL5D	PL4D	PL3D	PL2D	PL1D	PL0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PMDR	PORTM drive register	0096H	PM7D					PM2D	PM1D			
			R/W					R/W				
			1					1	1			
			スタンバイモード用入出力バッファドライブレジスタ									
PNDR	PORTN drive register	0097H	PN7D	PN6D	PN5D	PN4D	PN3D	PN2D	PN1D	PN0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PPDR	PORTP drive register	0098H	PP6D		PP5D	PP4D	PP3D					
			R/W									
			1		1	1	1					
			スタンバイモード用入出力バッファ ドライブレジスタ									
PRDR	PORTR drive register	0099H					PR3D	PR2D	PR1D	PR0D		
							R/W					
							1	1	1	1		
							スタンバイモード用入出力バッファ ドライブレジスタ					
PTDR	PORTT drive register	009BH	PT7D	PT6D	PT5D	PT4D	PT3D	PT2D	PT1D	PT0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									

(1) 入出力ポート (11/11)

記号	名称	アドレス	7	6	5	4	3	2	1	0
PVDR	PORTV drive register	009DH	PV7D	PV6D						
			R/W							
			1	1						
			スタンバイモード用入 出力バッファドライブ レジスタ							
PXDR	PORTX drive register	009FH			PX5D	PX4D				
			R/W							
			1	1						
			スタンバイモード用入 出力バッファ ドライブレジスタ							

Not Recommended for New Design

(2) 割り込み制御 (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0	INT0 enable	00F0H	-				INT0			
			-	-	-	-	I0C	I0M2	I0M1	I0M0
			-				R	R/W		
			"0"をライトしてください。				0	0	0	0
INTE12	INT1 & INT2 enable	00D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	00D1H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE56	INT5 & INT6 enable	00D2H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE7	INT7 enable	00D3H	-				INT7			
			-	-	-	-	I7C	I7M2	I7M1	I7M0
			-	-			R	R/W		
			"0"をライトしてください。				0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	00D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	00D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA45	INTTA4 & INTTA5 enable	00D6H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA67	INTTA6 & INTTA7 enable	00D7H	INTTA7 (TMRA7)				INTTA6 (TMRA6)			
			ITA7C	ITA7M2	ITA7M1	ITA7M0	ITA6C	ITA6M2	ITA6M1	ITA6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB0	INTTB00 & INTTB01 enable	00D8H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB1	INTTB10 & INTTB11 enable	00D9H	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES0	INTRX0 & INTRX0 enable	00DBH	INTRX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTRX1 enable	00DCH	INTRX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTESBIADM	INTSBI & INTADM enable	00E0H	INTADM				INTSBI			
			IADM0C	IADMM2	IADMM1	IADMM0	ISBI0C	ISBIM2	ISBIM1	ISBIM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

(2) 割り込み制御 (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTESPI	INTSPI enable	00E1H	INTSPITX				INTSPIRX			
			ISPITC	ISPITM2	ISPITM1	ISPITM0	ISPIRC	ISPIRM2	ISPIRM1	ISPIRM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEUSB	INTUSB enable	00E3H	-				INTUSB			
			-	-	-	-	IUSBC	IUSBM2	IUSBM1	IUSBM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEALM	INTALM enable	00E5H	-				INTALM			
			-	-	-	-	IALMC	IALMM2	IALMM1	IALMM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTERTC	INTRTC enable	00E8H	-				INTRTC			
			-	-	-	-	IRC	IRM2	IRM1	IRM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEKEY	INTKEY enable	00E9H	-				INTKEY			
			-	-	-	-	IKC	IKM2	IKM1	IKM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEI2S0	INTI2S0 enable	00EBH	-				INTI2S0			
			-	-	-	-	I2S0C	I2S0M2	I2S0M1	I2S0M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTENDFC	INTRSC & INTRDY enable	00ECH	INTRSC				INTRDY			
			IRSCC	IRSCM2	IRSCM1	IRSCM0	IRDYC	IRDYM2	IRDYM1	IRDYM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP0	INTP0 enable	00EEH	-				INTP0			
			-	-	-	-	IP0C	IP0M2	IP0M1	IP0M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEAD	INTAD & INTADHP enable	00EFH	INTADHP				INTAD			
			IADHPC	IADHPM2	IADHPM1	IADHPM0	IADC	IADM2	IADM1	IADM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

(2) 割り込み制御 (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
INTETC01 /INTDMA01	INTTC0/INTDMA0 & INTTC1/INTDMA1 enable	00F1H	INTTC1/INTDMA1				INTTC0/INTDMA0				
			ITC1C /IDMA1C	ITC1M2 /IDMA1M2	ITC1M1 /IDMA1M1	ITC1M0 /IDMA1M0	ITC0C /IDMA0C	ITC0M2 /IDMA0M2	ITC0M1 /IDMA0M1	ITC0M0 /IDMA0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC23 /INTDMA23	INTTC2/INTDMA2 & INTTC3/INTDMA3 enable	00F2H	INTTC3/INTDMA3				INTTC2/INTDMA2				
			ITC3C /IDMA3C	ITC3M2 /IDMA3M2	ITC3M1 /IDMA3M1	ITC3M0 /IDMA3M0	ITC2C /IDMA2C	ITC2M2 /IDMA2M2	ITC2M1 /IDMA2M1	ITC2M0 /IDMA2M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC45 /INTDMA45	INTTC4/INTDMA4 & INTTC5/INTDMA5 enable	00F3H	INTTC5/INTDMA5				INTTC4/INTDMA4				
			ITC5C /IDMA5C	ITC5M2 /IDMA5M2	ITC5M1 /IDMA5M1	ITC5M0 /IDMA5M0	ITC4C /IDMA4C	ITC4M2 /IDMA4M2	ITC4M1 /IDMA4M1	ITC4M0 /IDMA4M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC67	INTTC6 & INTTC7 enable	00F4H	INTTC7 (DMA7)				INTTC6 (DMA6)				
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
SIMC	SIO Interrupt mode control	00F5H (RMW 禁)	-	-					IR1LE	IROLE	
			W	W					W	W	
			0	0					1	1	
			“0”をライ トしてく ださい	“0”をライ トしてく ださい					0:INTRX1 エッジ モード 1:INTRX1 レベル モード	0:INTRX0 エッジ モード 1:INTRX0 レベル モード	
IIMC0	Interrupt Input mode control 0	00F6H (RMW 禁)	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE	
			W	W	W	W	W	W	R/W	R/W	
			0	0	0	0	0	0	0	0	
			INT5 エッジ 0:立ち上がり 1:立ち下がり	INT4 エッジ 0:立ち上がり 1:立ち下がり	INT3 エッジ 0:立ち上がり 1:立ち下がり	INT2 エッジ 0:立ち上がり 1:立ち下がり	INT1 エッジ 0:立ち上がり 1:立ち下がり	INT0 エッジ 0:立ち上がり 1:立ち下がり	0:INT0 エッジ モード 1:INT0 レベル モード	NMI エッジ 0: 立ち 下上がり 1: 両エッジ (立ち下がり, 立ち上がり)	
INTWDT/NMI	INTWD & NMI Flag enable	00F7H	NMI				INTWD				
			ITCNMI	-	-	-	ITCWD	-	-	-	
			R	-			R	-			
			0	0			0	0			
INTCLR	Interrupt clear control	00F8H (RMW 禁)	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0	
			W								
			0	0	0	0	0	0	0	0	
			割り込み ベクタ								
IIMC1	Interrupt Input mode control 1	00FAH (RMW 禁)							I7EDGE	I6EDGE	
									W	W	
									0	0	
									INT7 エッジ 0:立ち上がり 1:立ち下がり	INT6 エッジ 0:立ち上がり 1:立ち下がり	

(2) 割り込み制御 (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	0100H	/	/	DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 start vector	0101H	/	/	DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 start vector	0102H	/	/	DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 start vector	0103H	/	/	DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 start vector	0104H	/	/	DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 start vector	0105H	/	/	DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 start vector	0106H	/	/	DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 start vector	0107H	/	/	DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					
DMAB	DMA burst	0108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
1: DMA のバースト要求										
DMAR	DMA request (RMW 禁)	0109H	DREQ7	DREQ6	DREQ5	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1
			R/W							
			0	0	0	0	0	0	0	0
1: DMA のソフト要求										
DMASEL	Micro DMA/HDMA Select	010AH	/	/	DMASEL5	DMASEL4	DMASEL3	DMASEL2	DMASEL1	DMASEL0
					R/W					
					0	0	0	0	0	0
					0:マイクロ DMA5 1:HDMA5	0:マイクロ DMA4 1:HDMA4	0:マイクロ DMA3 1:HDMA3	0:マイクロ DMA2 1:HDMA2	0:マイクロ DMA1 1:HDMA1	0:マイクロ DMA0 1:HDMA0

(3) メモリコントローラ (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CSL	BLOCK0 CS/WAIT control register low	0140H	B0WW3	B0WW2	B0WW1	B0WW0	B0WR3	B0WR2	B0WR1	B0WR0
			R/W							
			0	0	1	0	0	0	1	0
			ライトサイクルウェイト数 0001: 0 ウェイト 0010: 1 ウェイト 0101: 2 ウェイト 0110: 3 ウェイト 0111: 4 ウェイト 1000: 5 ウェイト 1001: 6 ウェイト 1010: 7 ウェイト 1011: 8 ウェイト 1100: 9 ウェイト 1101: 10 ウェイト 1110: 12 ウェイト 1111: 16 ウェイト 0100: 20 ウェイト 0011: 6 ステート + WAIT 端子入力モード その他: Reserved				リードサイクルウェイト数 0001: 0 ウェイト 0010: 1 ウェイト 0101: 2 ウェイト 0110: 3 ウェイト 0111: 4 ウェイト 1000: 5 ウェイト 1001: 6 ウェイト 1010: 7 ウェイト 1011: 8 ウェイト 1100: 9 ウェイト 1101: 10 ウェイト 1110: 12 ウェイト 1111: 16 ウェイト 0100: 20 ウェイト 0011: 6 ステート + WAIT 端子入力モード その他: Reserved			
B0CSH	BLOCK0 CS/WAIT control register high	0141H	B0E			B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
			R/W							
			0			0	0	0	0	0
			CS 選択 0: ディセーブル 1: イネーブル			ダミーサイ クル 0: 挿入 しない 1: 挿入する	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Don't set		
B1CSL	BLOCK1 CS/WAIT control register low	0144H	B1WW3	B1WW2	B1WW1	B1WW0	B1WR3	B1WR2	B1WR1	B1WR0
			R/W							
			0	0	1	0	0	0	1	0
			ライトサイクルウェイト数 0001: 0 ウェイト 0010: 1 ウェイト 0101: 2 ウェイト 0110: 3 ウェイト 0111: 4 ウェイト 1000: 5 ウェイト 1001: 6 ウェイト 1010: 7 ウェイト 1011: 8 ウェイト 1100: 9 ウェイト 1101: 10 ウェイト 1110: 12 ウェイト 1111: 16 ウェイト 0100: 20 ウェイト 0011: 6 ステート + WAIT 端子入力モード その他: Reserved				リードサイクルウェイト数 0001: 0 ウェイト 0010: 1 ウェイト 0101: 2 ウェイト 0110: 3 ウェイト 0111: 4 ウェイト 1000: 5 ウェイト 1001: 6 ウェイト 1010: 7 ウェイト 1011: 8 ウェイト 1100: 9 ウェイト 1101: 10 ウェイト 1110: 12 ウェイト 1111: 16 ウェイト 0100: 20 ウェイト 0011: 6 ステート + WAIT 端子入力モード その他: Reserved			
B1CSH	BLOCK1 CS/WAIT control register high	0145H	B1E			B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
			R/W							
			0			0	0	0	0	0
			CS 選択 0: ディセーブル 1: イネーブル			ダミーサイ クル 0: 挿入 しない 1: 挿入する	00: ROM/SRAM 01: Reserved 10: Reserved 11: SDRAM	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Don't set		
B2CSL	BLOCK2 CS/WAIT control register low	0148H	B2WW3	B2WW2	B2WW1	B2WW0	B2WR3	B2WR2	B2WR1	B2WR0
			R/W							
			0	0	1	0	0	0	1	0
			ライトサイクルウェイト数 0001: 0 ウェイト 0010: 1 ウェイト 0101: 2 ウェイト 0110: 3 ウェイト 0111: 4 ウェイト 1000: 5 ウェイト 1001: 6 ウェイト 1010: 7 ウェイト 1011: 8 ウェイト 1100: 9 ウェイト 1101: 10 ウェイト 1110: 12 ウェイト 1111: 16 ウェイト 0100: 20 ウェイト 0011: 6 ステート + WAIT 端子入力モード その他: Reserved				リードサイクルウェイト数 0001: 0 ウェイト 0010: 1 ウェイト 0101: 2 ウェイト 0110: 3 ウェイト 0111: 4 ウェイト 1000: 5 ウェイト 1001: 6 ウェイト 1010: 7 ウェイト 1011: 8 ウェイト 1100: 9 ウェイト 1101: 10 ウェイト 1110: 12 ウェイト 1111: 16 ウェイト 0100: 20 ウェイト 0011: 6 ステート + WAIT 端子入力モード その他: Reserved			
B2CSH	BLOCK2 CS/WAIT control register high	0149H	B2E	B2M		B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
			R/W							
			1	0		0	0	0	0	1
			CS 選択 0: ディセーブル 1: イネーブル	0: 16MB 1: エリア 設定		ダミーサイ クル 0: 挿入しな い 1: 挿入する	00: ROM/SRAM 01: Reserved 10: Reserved 11: SDRAM	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Don't set		

(3) メモリコントローラ (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0							
B3CSL	BLOCK3 CS/WAIT control register low	014CH	B3WW3	B3WW2	B3WW1	B3WW0	B3WR3	B3WR2	B3WR1	B3WR0							
			R/W														
			0	0	1	0	0	0	1	0							
			ライトサイクルウェイト数				リードサイクルウェイト数										
			0001: 0 ウェイト	0010: 1 ウェイト	0001: 0 ウェイト	0010: 1 ウェイト	0101: 2 ウェイト	0110: 3 ウェイト	0101: 2 ウェイト	0110: 3 ウェイト	0111: 4 ウェイト	1000: 5 ウェイト	1001: 6 ウェイト	1010: 7 ウェイト	1011: 8 ウェイト	1100: 9 ウェイト	1101: 10 ウェイト
0011: 6 ステート + WAIT 端子入力モード				0011: 6 ステート + WAIT 端子入力モード				その他: Reserved									
B3CSH	BLOCK3 CS/WAIT control register high	014DH	B3E			B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0							
			R/W			R/W											
			0			0	0	0	0	0							
			CS 選択 0: ディセーブル 1: イネーブル			ダミー サイクル 0: 挿入 しない 1: 挿入する		00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved		データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Don't set							
BEXCSL	BLOCK EX CS/WAIT control register low	0158H	BEXWW3	BEXWW2	BEXWW1	BEXWW0	BEXWR3	BEXWR2	BEXWR1	BEXWR0							
			R/W														
			0	0	1	0	0	0	1	0							
			ライトサイクルウェイト数				リードサイクルウェイト数										
			0001: 0 ウェイト	0010: 1 ウェイト	0001: 0 ウェイト	0010: 1 ウェイト	0101: 2 ウェイト	0110: 3 ウェイト	0101: 2 ウェイト	0110: 3 ウェイト	0111: 4 ウェイト	1000: 5 ウェイト	1001: 6 ウェイト	1010: 7 ウェイト	1011: 8 ウェイト	1100: 9 ウェイト	1101: 10 ウェイト
0011: 6 ステート + WAIT 端子入力モード				0011: 6 ステート + WAIT 端子入力モード				その他: Reserved									
BEXCSH	BLOCK EX CS/WAIT control register high	0159H				BEXREC	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0							
			R/W			R/W											
			0			0	0	0	0	0							
						ダミー サイクル 0: 挿入 しない 1: 挿入する		00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved		00: 8 ビット 01: 16 ビット 10: Reserved 11: Don't set							

(3) メモリコントローラ (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MAMR0	Memory address mask register 0	0142H	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-9	M0V8
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可 1: 比較禁止							
MSAR0	Memory start address register 0	0143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 ~ A16 設定							
MAMR1	Memory address mask register 1	0146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	MV15-9	M1V8
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可 1: 比較禁止							
MSAR1	Memory start address register 1	0147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 ~ A16 設定							
MAMR2	Memory address mask register 2	014AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可 1: 比較禁止							
MSAR2	Memory start address register 2	014BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 ~ A16 設定							
MAMR3	Memory address mask register 3	014EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可 1: 比較禁止							
MSAR3	Memory start address register 3	014FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 ~ A16 設定							

(3) メモリコントローラ (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
PMEMCR	Page ROM control register	0166H				OPGE	OPWR1	OPWR0	PR1	PR0
						R/W				
						0	0	0	1	0
						ROM ページ アクセス 0:ディセー ブル 1:イネーブ ル	ページ 中ウェイト数 00:1クロック (n-1-1-1モード) 01:2クロック (n-2-2-2モード) 10:3クロック (n-3-3-3モード) 11: Reserved	1ページ中バイト数 00: 64バイト 01: 32バイト 10: 16バイト 11: 8バイト		
CSTMGCR	Adjust for Timing of control signal	0168H			TACSEL1	TACSEL0			TAC1	TAC0
					R/W		R/W			
					0	0	0	0		
					Select area to change timing 00:CS0 01:CS1 10:CS2 11:CS3	Select delay time(TAC) 00:0 × 1/f _{SYS} 01:1 × 1/f _{SYS} 10:2 × 1/f _{SYS} 11:Reserved				
WRMGCR	Adjust for Timing of control signal	0169H			TCWSEL1	TCWSEL0	TCWS1	TCWS0	TCWH1	TCWH0
					R/W					
					0	0	0	0	0	0
					Select area to change timing 00:CS0 01:CS1 10:CS2 11:CS3	Select delay time(TCWS) 00: 0.5 × 1/f _{SYS} 01: 1.5 × 1/f _{SYS} 10: 2.5 × 1/f _{SYS} 11: 3.5 × 1/f _{SYS}	Select delay time(TCWH) 00: 0.5 × 1/f _{SYS} 01: 1.5 × 1/f _{SYS} 10: 2.5 × 1/f _{SYS} 11: 3.5 × 1/f _{SYS}			
RDTMGCR0	Adjust for Timing of control signal	016AH	B1TCRS1	B1TCRS0	B1TCRH1	B1TCRH0	B0TCRS1	B0TCRS0	B0TCRH1	B0TCRH0
			R/W							
			0	0	0	0	0	0	0	0
			Select delay time(TCRS) 00: 0.5 × 1/f _{SYS} 01: 1.5 × 1/f _{SYS} 10: 2.5 × 1/f _{SYS} 11: 3.5 × 1/f _{SYS}	Select delay time(TCRH) 00: 0 × 1/f _{SYS} 01: 1 × 1/f _{SYS} 10: 2 × 1/f _{SYS} 11: 3 × 1/f _{SYS}	Select delay time(TCRS) 00: 0.5 × 1/f _{SYS} 01: 1.5 × 1/f _{SYS} 10: 2.5 × 1/f _{SYS} 11: 3.5 × 1/f _{SYS}	Select delay time(TCRH) 00: 0 × 1/f _{SYS} 01: 1 × 1/f _{SYS} 10: 2 × 1/f _{SYS} 11: 3 × 1/f _{SYS}				
RDTMGCR1	Adjust for Timing of control signal	016BH	B3TCRS1	B3TCRS0	B3TCRH1	B3TCRH0	B2TCRS1	B2TCRS0	B2TCRH1	B2TCRH0
			R/W							
			0	0	0	0	0	0	0	0
			Select delay time(TCRS) 00: 0.5 × 1/f _{SYS} 01: 1.5 × 1/f _{SYS} 10: 2.5 × 1/f _{SYS} 11: 3.5 × 1/f _{SYS}	Select delay time(TCRH) 00: 0 × 1/f _{SYS} 01: 1 × 1/f _{SYS} 10: 2 × 1/f _{SYS} 11: 3 × 1/f _{SYS}	Select delay time(TCRS) 00: 0.5 × 1/f _{SYS} 01: 1.5 × 1/f _{SYS} 10: 2.5 × 1/f _{SYS} 11: 3.5 × 1/f _{SYS}	Select delay time(TCRH) 00: 0 × 1/f _{SYS} 01: 1 × 1/f _{SYS} 10: 2 × 1/f _{SYS} 11: 3 × 1/f _{SYS}				
BROMCR	Boot Rom Control register	016CH						CSDIS	-	-
								R/W		
								1	1	0
								Nand-Flash Area CS Output 0:enable 1:disable	常に“1”を ライトして ください。	常に“0”を ライトして ください。
RAMCR	RAM Control register	016DH								-
										R/W
										“1”をライ トしてく ださい。

(4) TSI

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TSICR0	TSI control register0	01F0H	TSI7	INGE	PTST	TWIEN	PYEN	PXEN	MYEN	MXEN		
			R/W	R/W	R	R/W	R/W	R/W	R/W	R/W		
			0	0	0	0	0	0	0	0		
			0: 禁止 1: 許可	ポート P96,97 の入力ゲート制御 0: 許可 1: 禁止	検出状態 0: 検出無 1: 検出中	INT4 割り込み制御 0: 禁止 1: 許可	SPY 0: OFF 1: ON	SPX 0: OFF 1: ON	SMY 0: OFF 1: ON	SMX 0: OFF 1: ON		
TSICR1	TSI control register1	01F1H	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1		
			R/W									
			0	0	0	0	0	0	0	0		
			0: 禁止 1: 許可	1024	256	64	8	4	2	1		
デバウンス時間は“(N×64-16) / fsys”の式により設定されます。 “N”はビット6からビット0に“1”を設定した数の総計を表します。												

(5) SDRAM コントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SDACR	SDRAM access control register	0250H	SRDS	-	SMUXW1	SMUXW0	SPRE			SMAC		
			R/W									R/W
			1	0	0	0	0			0		
			リードデータシフト機能 0: Disable 1: Enable	"0"をライトしてください	アドレスマルチプレクスタイプ選択 00: TypeA (A9-) 01: TypeB (A10-) 10: TypeC (A11-) 11: Reserved	リード/ライトコマンド選択 0: Without Auto Precharge 1: With Auto Precharge			SDRAMコントローラ 0: 禁止 1: 許可			
SDCISR	SDRAM command clock register	0251H		STMRD	STWR	STRP	STRCD	STRC2	STRC1	STRC0		
			R/W									
				1	1	1	1	1	0	0		
				TMRD 0: 1CLK 1: 2CLK	TWR 0: 1CLK 1: 2CLK	TRP 0: 1CLK 1: 2CLK	TRCD 0: 1CLK 1: 2CLK	TRC 000: 1CLK 100: 5CLK 001: 2CLK 101: 6CLK 010: 3CLK 110: 7CLK 011: 4CLK 111: 8CLK				
SDRCR	SDRAM refresh control register	0252H	-			SSAE	SRS2	SRS1	SRS0	SRC		
			R/W									
			0			1	0	0	0	0		
			"0"をライトしてください			SR Auto Exit Function 0: disable 1: enable	リフレッシュ間隔 000: 47state 100: 468state 001: 78state 101: 624state 010: 156state 110: 936state 011: 312state 111: 1248state		オートリフレッシュ 0: Disable 1: Wnable			
SDCMM	SDRAM command register	0253H						SCMM2	SCMM1	SCMM0		
			R/W									
								0	0	0		
								コマンド発行 (注1)(注2) 000: Don't care 001: イニシャライズコマンド発行 a. 全バンクプリチャージコマンド b. 8回のオートリフレッシュコマンド c. モードレジスタセットコマンド 010: 全バンクプリチャージコマンド 100: Reserved 101: セルフリフレッシュ ENTRY コマンド 110: セルフリフレッシュ EXIT コマンド その他: Reserved				
SDBLS	SDRAM HDMA burst length register	0254H			SDBL5	SDBL4	SDBL3	SDBL2	SDBL1	SDBL0		
			R/W									
					0	0	0	0	0	0		
					HDMA5用	HDMA4用	HDMA3用	HDMA2用	HDMA1用	HDMA0用		
HDMA パースト長選択 0: 1 Word Read/Single Write 1: Full Page Read/Burst Write												

(6) USB コントローラ(1/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
Descriptor RAM0	Descriptor RAM 0 register	0500H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Descriptor RAM1	Descriptor RAM 1 register	0501H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Descriptor RAM2	Descriptor RAM 2 register	0502H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Descriptor RAM3	Descriptor RAM 3 register	0503H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
Descriptor RAM381	Descriptor RAM 381 register	067DH	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Descriptor RAM382	Descriptor RAM 382 register	067EH	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Descriptor RAM383	Descriptor RAM 383 register	067FH	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Endpoint0	Endpoint 0 register	0780H	EP0_DATA7	EP0_DATA6	EP0_DATA5	EP0_DATA4	EP0_DATA3	EP0_DATA2	EP0_DATA1	EP0_DATA0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Endpoint1	Endpoint 1 register	0781H	EP1_DATA7	EP1_DATA6	EP1_DATA5	EP1_DATA4	EP1_DATA3	EP1_DATA2	EP1_DATA1	EP1_DATA0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Endpoint2	Endpoint 2 register	0782H	EP2_DATA7	EP2_DATA6	EP2_DATA5	EP2_DATA4	EP2_DATA3	EP2_DATA2	EP2_DATA1	EP2_DATA0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
Endpoint3	Endpoint 3 register	0783H	EP3_DATA7	EP3_DATA6	EP3_DATA5	EP3_DATA4	EP3_DATA3	EP3_DATA2	EP3_DATA1	EP3_DATA0
			R/W							
			不定	不定	不定	不定	不定	不定	不定	不定
EP1_MODE	Endpoint 1 mode register	0789H			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
			R/W							
			0	0	0	0	0	0		
EP2_MODE	Endpoint 2 mode register	078AH			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
			R/W							
			0	0	0	0	0	0		
EP3_MODE	Endpoint 3 mode register	078BH			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
			R/W							
			0	0	0	0	0	0		

(6) USB コントローラ(2/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
EP0_STATUS	Endpoint 0 status register	0790H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
			0	0	1	1	1	0	0		
EP1_STATUS	Endpoint 1 status register	0791H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
			0	0	1	1	1	0	0		
EP2_STATUS	Endpoint 2 status register	0792H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
			0	0	1	1	1	0	0		
EP3_STATUS	Endpoint 3 status register	0793H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
			0	0	1	1	1	0	0		
EP0_SIZE_L_A	Endpoint 0 size register Low A	0798H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			1	0	0	0	1	0	0	0	
EP1_SIZE_L_A	Endpoint 0 size register Low A	0799H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			1	0	0	0	1	0	0	0	
EP2_SIZE_L_A	Endpoint 2 size register Low A	079AH	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			1	0	0	0	1	0	0	0	
EP3_SIZE_L_A	Endpoint 3 size register Low A	079BH	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			1	0	0	0	1	0	0	0	
EP1_SIZE_L_B	Endpoint 1 size register Low B	07A1H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			0	0	0	0	1	0	0	0	
EP2_SIZE_L_B	Endpoint 2 size register Low B	07A2H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			0	0	0	0	1	0	0	0	
EP3_SIZE_L_B	Endpoint 3 size register Low B	07A3H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
			0	0	0	0	1	0	0	0	
EP1_SIZE_H_A	Endpoint 1 size register High A	07A9H						DATASIZE9	DATASIZE8	DATASIZE7	
				R							
								0	0	0	
EP2_SIZE_H_A	Endpoint 2 size register High A	07AAH						DATASIZE9	DATASIZE8	DATASIZE7	
				R							
								0	0	0	
EP3_SIZE_H_A	Endpoint 3 size register HighA	07ABH						DATASIZE9	DATASIZE8	DATASIZE7	
				R							
								0	0	0	

(6) USB コントローラ(3/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
EP1_SIZE_H_B	Endpoint 1 size register High B	07B1H	/	/	/	/	/	DATASIZE9	DATASIZE8	DATASIZE7
			R							
			0	0	0	0	0	0	0	0
EP2_SIZE_H_B	Endpoint 2 size register High B	07B2H	/	/	/	/	/	DATASIZE9	DATASIZE8	DATASIZE7
			R							
			0	0	0	0	0	0	0	0
EP3_SIZE_H_B	Endpoint 0 size register High B	07B3H	/	/	/	/	/	DATASIZE9	DATASIZE8	DATASIZE7
			R							
			0	0	0	0	0	0	0	0
bmRequestType	bmRequest- Type register	07C0H	DIRECTION	REQ_TYPE1	REQ_TYPE0	RECIPIENT4	RECIPIENT3	RECIPIENT2	RECIPIENT1	RECIPIENT0
			R							
			0	0	0	0	0	0	0	0
bRequest	bRequest register	07C1H	REQUEST7	REQUEST6	REQUEST5	REQUEST4	REQUEST3	REQUEST2	REQUEST1	REQUEST0
			R							
			0	0	0	0	0	0	0	0
wValue_L	wValue register Low	07C2H	VALUE_L7	VALUE_L6	VALUE_L5	VALUE_L4	VALUE_L3	VALUE_L2	VALUE_L1	VALUE_L0
			R							
			0	0	0	0	0	0	0	0
wValue_H	wValue register High	07C3H	VALUE_H7	VALUE_H6	VALUE_H5	VALUE_H4	VALUE_H3	VALUE_H2	VALUE_H1	VALUE_H0
			R							
			0	0	0	0	0	0	0	0
wIndex_L	wIndex register Low	07C4H	INDEX_L7	INDEX_L6	INDEX_L5	INDEX_L4	INDEX_L3	INDEX_L2	INDEX_L1	INDEX_L0
			R							
			0	0	0	0	0	0	0	0
wIndex_H	wIndex register High	07C5H	INDEX_H7	INDEX_H6	INDEX_H5	INDEX_H4	INDEX_H3	INDEX_H2	INDEX_H1	INDEX_H0
			R							
			0	0	0	0	0	0	0	0
wLength_L	wLength register Low	07C6H	LENGTH_L7	LENGTH_L6	LENGTH_L5	LENGTH_L4	LENGTH_L3	LENGTH_L2	LENGTH_L1	LENGTH_L0
			R							
			0	0	0	0	0	0	0	0
wLength_H	wLength register High	07C7H	LENGTH_H7	LENGTH_H6	LENGTH_H5	LENGTH_H4	LENGTH_H3	LENGTH_H2	LENGTH_H1	LENGTH_H0
			R							
			0	0	0	0	0	0	0	0

(6) USB コントローラ(4/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SetupReceived	SetupReceived register	07C8H	D7	D6	D5	D4	D3	D2	D1	D0		
			W									
			0	0	0	0	0	0	0	0	0	
Current_Config	Current_Config register	07C9H	REMOTEWAKEUP		ALTERNATE[1]	ALTERNATE[0]	INTERFACE[1]	INTERFACE[0]	CONFIG[1]	CONFIG[0]		
			R		R							
			0		0	0	0	0	0	0	0	
Standard Request	Standard-Request register	07CAH	S_INTERFACE	G_INTERFACE	S_CONFIG	G_CONFIG	G_DESCRIPTOR	S_FEATURE	C_FEATURE	G_STATUS		
			R									
			0	0	0	0	0	0	0	0	0	
Request	Request register	07CBH		SOFT_RESET	G_PORT_STS	G_DEVICE_ID	VENDOR	CLASS	EXSTANDARD	STANDARD		
				R								
				0	0	0	0	0	0	0	0	
DATASET1	DATASET 1 register	07CCH	EP3_DSET_B	EP3_DSET_A	EP2_DSET_B	EP2_DSET_A	EP1_DSET_B	EP1_DSET_A		EP0_DSET_A		
			R								R	
			0	0	0	0	0	0	0	0	0	
DATASET2	DATASET 2 register	07CDH	EP7_DSET_B	EP7_DSET_A	EP6_DSET_B	EP6_DSET_A	EP5_DSET_B	EP5_DSET_A	EP4_DSET_B	EP4_DSET_A		
			R									
			0	0	0	0	0	0	0	0	0	
USB_STATE	USB state register	07CEH						Configured	Addressed	Default		
								R/W	R			
								0	0	1		
EOP	EOP register	07CFH	EP7_EOPB	EP6_EOPB	EP5_EOPB	EP4_EOPB	EP3_EOPB	EP2_EOPB	EP1_EOPB	EP0_EOPB		
			W									
			1	1	1	1	1	1	1	1		
COMMAND	Command register	07D0H		EP[2]	EP[1]	EP[0]	Command[3]	Command[2]	Command[1]	Command[0]		
			W									
				0	0	0	0	0	0	0		
EPx_SINGLE1	Endpoint 1 single register	07D1H	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_SINGLE	EP2_SINGLE	EP1_SINGLE			
			R/W				R/W					
			0	0	0		0	0	0			
EPx_BCS1	Endpoint 1 BCS register	07D3H	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_BCS	EP2_BCS	EP1_BCS			
			R/W				R/W					
			0	0	0		0	0	0			
INT_Control	Interrupt control register	07D6H								Status_nak		
										R/W		
										0		
Standard Request Mode	Standard Request mode register	07D8H	S_Interface	G_Interface	S_Config	G_Config	G_Descript	S_Feature	C_Feature	G_Status		
			R/W									
			0	0	0	0	0	0	0	0		
Request Mode	Request mode register	07D9H		Soft_Reset	G_Port_Sts	G_DeviceId						
				R/W								
				0	0	0						

(6) USB コントローラ(5/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
Port Status	Port status register	07E0H	Reserved7	Reserved6	PaperError	Select	NotError	Reserved2	Reserved1	Reserved0		
			W									
			0	0	0	1	1	0	0	0		
FRAME_L	Frame register Low	07E1H	-	T[6]	T[5]	T[4]	T[3]	T[2]	T[1]	T[0]		
			R									
			0	0	0	0	0	0	0	0		
FRAME_H	Frame register H	07E2H	T[10]	T[9]	T[8]	T[7]		CREATE	FRAME_STS1	FRAME_STS0		
			R				R					
			0	0	0	0		0	1	0		
ADDRESS	Address register	07E3H		A6	A5	A4	A3	A2	A1	A0		
			R									
				0	0	0	0	0	0	0		
USBREADY	USB ready register	07E6H								USBREADY		
										R/W		
										0		
Set Descriptor STALL	Set- Descriptor stall register	07E8H								S_D_STALL		
										W		
										0		
USBINTFR1	USB interrupt flag register 1	07F0H (RMW 禁)	INT_URST_STR	INT_URST_END	INT_SUS	INT_RESUME	INT_CLKSTOP	INT_CLKON				
			R/W									
			0	0	0	0	0	0				
			リード時 0: 割り込みなし 1: 割り込みあり				ライト時 0: フラグクリア 1: -					
USBINTFR2	USB interrupt flag register 2	07F1H (RMW 禁)	EP1_FULL_A	EP1_Empty_A	EP1_FULL_B	EP1_Empty_B	EP2_FULL_A	EP2_Empty_A	EP2_FULL_B	EP2_Empty_B		
			R/W									
			0	0	0	0	0	0	0	0		
			リード時 0: 割り込みなし 1: 割り込みあり				ライト時 0: フラグクリア 1: -					
USBINTFR3	USB interrupt flag register 3	07F2H (RMW 禁)	EP3_FULL_A	EP3_Empty_A	EP3_FULL_B	EP3_Empty_B						
			R/W									
			0	0	0	0						
			リード時 0: 割り込みなし 1: 割り込みあり				ライト時 0: フラグクリア 1: -					
USBINTFR4	USB interrupt flag register 4	07F3H (RMW 禁)	INT_SETUP	INT_EP0	INT_STAS	INT_STASN	INT_EP1N	INT_EP2N	INT_EP3N			
			R/W									
			0	0	0	0	0	0	0			
			リード時 0: 割り込みなし 1: 割り込みあり				ライト時 0: フラグクリア 1: -					

(6) USB コントローラ(6/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
USBINTMR1	USB interrupt mask register 1	07F4H	MSK_URST_STR	MSK_URST_END	MSK_SUS	MSK_RESUME	MSK_CLKSTOP	MSK_CLKON				
			R/W									
			1	1	1	1	1	1				
			0: マスクしない 1: マスクする									
USBINTMR2	USB interrupt mask register 2	07F5H	EP1_MSK_FA	EP1_MSK_EA	EP1_MSK_FB	EP1_MSK_EB	EP2_MSK_FA	EP2_MSK_EA	EP2_MSK_FB	EP2_MSK_EB		
			R/W									
			1	1	1	1	1	1	1	1		
			0: マスクしない 1: マスクする									
USBINTMR3	USB interrupt mask register 3	07F6H	EP3_MSK_FA	EP3_MSK_EA								
			R/W									
			1	1								
			0: マスクしない 1: マスクする									
USBINTMR4	USB interrupt mask register 4	07F7H	MSK_SETUP	MSK_EP0	MSK_STAS	MSK_STASN	MSK_EP1N	MSK_EP2N	MSK_EP3N			
			R/W									
			1	1	1	1	1	1	1			
			0: マスクしない 1: マスクする									
USBCR1	USB control register 1	07F8H	TRNS_USE	WAKEUP					SPEED	USBCLKE		
			R/W						R/W			
			0	0					1	0		
			Transceiver 0:disable 1:enable	Wake up 0:- 1:Start								

(7) SPIC (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SPI MD	SPI Mode Setting register	0820H (RMW 禁)	SWRST	XEN				CLKSEL2	CLKSEL1	CLKSEL0	
			W	R/W				R/W			
			0	0				1	0	0	
			S/Wリセット 0: Don't care 1: Reset	SYSCK 0: Disable 1: Enable				ボーレート選択 000: Reserved 100: f _{sys} /8 001: f _{sys} /2 101: f _{sys} /16 010: f _{sys} /3 110: f _{sys} /64 011: f _{sys} /4 111: f _{sys} /256			
SPI MD	SPI Mode Setting register	0821H	LOOPBACK	MSB1ST	DOSTAT		TCPOL	RCPOL	TDINV	RDINV	
			R/W				R/W				
			0	1	1		0	0	0	0	
			LOOPBACKテストモード 0: disable 1: enable	送受信開始BIT 0: LSB 1: MSB	非送信時のSPDO端子状態設定 0: "0"固定 1: "1"固定		送信時の同期クロックエッジ設定 0: 立ち上がり 1: 立ち下がり	受信時の同期クロックエッジ設定 0: 立ち上がり 1: 立ち下がり	送信時のデータ反転 0: disable 1: enable	受信時のデータ反転 0: disable 1: enable	
SPI CT	SPI Control register	0822H	CEN	SPCS_B	UNIT16	TXMOD	TXE	FDPXE	RXMOD	RXE	
			R/W								
			0	1	0	0	0	0	0	0	
			通信端子制御 0: disable 1: enable	SPCS 端子設定 0: "0"出力 1: "1"出力	データ長選択 0: 8bit 1: 16bit	送信モード 0: UNIT 1: 連続送信	送信イネーブル 0: disable 1: enable	全2重でのアライメント 0: disable 1: enable	受信モード 0: UNIT 1: 連続受信	受信イネーブル 0: disable 1: enable	
SPI CT	SPI Control register	0823H	CRC16_7_B	CRCRX_TX_B	CRCRESET_B						
			R/W								
			0	0	0						
			CRC 選択 0: CRC7 1: CRC16	CRCデータ 0: 送信 1: 受信	CRC演算レジスタ制御 0: リセット 1: リセット解除						
SPI ST	SPI Status register	0824H					TEMP		TEND	REND	
							R		R		
							1		1	0	
							送信 FIFO 状態 0: 空きなし 1: 空きあり		送信状態 0: 送信中か、送信 Data 有 1: 送信終了	受信状態 0: 受信中か、受信 Data 無 1: 受信終了か、FIFO に空き無	
SPI IE	SPI Interrupt enable register	082CH					TEMPIE	RFULIE	TENDIE	RENDIE	
			R/W								
							0	0	0	0	
							TEMP 割り込み 0: 禁止 1: 許可	RFUL 割り込み 0: 禁止 1: 許可	TEND 割り込み 0: 禁止 1: 許可	REND 割り込み 0: 禁止 1: 許可	
SPI IE	SPI Interrupt enable register	082DH									

(7) SPIC (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SPICR	SPI CRC register	0826H	CRCD7	CRCD6	CRCD5	CRCD4	CRCD3	CRCD2	CRCD1	CRCD0		
			R									
			0	0	0	0	0	0	0	0		
		CRC 演算結果格納レジスタ[7:0]										
		0827H	CRCD15	CRCD14	CRCD13	CRCD12	CRCD11	CRCD10	CRCD9	CRCD8		
			R									
0	0		0	0	0	0	0	0				
CRC 演算結果格納レジスタ[15:8]												
SPITD0	SPI transmission data0 register	0830H	TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0		
			R/W									
			0	0	0	0	0	0	0	0		
		送信データレジスタ[7:0]										
		0831H	TXD15	TXD14	TXD13	TXD12	TXD11	TXD10	TXD9	TXD8		
			R/W									
0	0		0	0	0	0	0	0				
送信データレジスタ[15:8]												
SPITD1	SPI transmission data1 register	0832H	TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0		
			R/W									
			0	0	0	0	0	0	0	0		
		送信データレジスタ[7:0]										
		0833H	TXD15	TXD14	TXD13	TXD12	TXD11	TXD10	TXD9	TXD8		
			R/W									
0	0		0	0	0	0	0	0				
送信データレジスタ[15:8]												
SPIRD0	SPI receive data0 register	0834H	RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0		
			R									
			0	0	0	0	0	0	0	0		
		受信データレジスタ[7:0]										
		0835H	RXD15	RXD14	RXD13	RXD12	RXD11	RXD10	RXD9	RXD8		
			R									
0	0		0	0	0	0	0	0				
受信データレジスタ[15:8]												
SPIRD1	SPI receive data1 register	0836H	RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0		
			R									
			0	0	0	0	0	0	0	0		
		受信データレジスタ[7:0]										
		0837H	RXD15	RXD14	RXD13	RXD12	RXD11	RXD10	RXD9	RXD8		
			R									
0	0		0	0	0	0	0	0				
受信データレジスタ[15:8]												

(8) MMU (1/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALPX	LOCALX register for program	0880H	X7	X6	X5	X4	X3	X2	X1	X0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-X用バンク数設定("0"はコモンエリアと重なっているため設定禁止)										
		0881H	LXE									X8
			R/W									R/W
0										0		
LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB											
LOCALPY	LOCALY register for program	0882H			Y5	Y4	Y3	Y2	Y1	Y0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Y用バンク数設定 ("3"はコモンエリアと重なっているため設定禁止)										
		0883H	LYE									
			R/W									
0												
LOCALY BANK 0:disable 1:enable												
LOCALPZ	LOCALZ register for program	0884H	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Z用バンク数設定("3"はコモンエリアと重なっているため設定禁止)										
		0885H	LZE									Z8
			R/W									R/W
0										0		
LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD											

Not for use

(8) MMU (2/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALRX	LOCALX register for read	0890H	X7	X6	X5	X4	X3	X2	X1	X0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-X用バンク数設定(0はコモンエリアと重なっているため設定禁止)										
		0891H	LXE									X8
			R/W									R/W
0										0		
LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB											
LOCALRY	LOCALY register for read	0892H			Y5	Y4	Y3	Y2	Y1	Y0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)										
		0893H	LYE									
			R/W									
0												
LOCALY BANK 0:disable 1:enable												
LOCALRZ	LOCALZ register for read	0894H	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Z用バンク数設定(3はコモンエリアと重なっているため設定禁止)										
		0895H	LZE									Z8
			R/W									R/W
0										0		
LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD											

Not for

(8) MMU (3/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALWX	LOCALX register for write	0898H	X7	X6	X5	X4	X3	X2	X1	X0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-X用バンク数設定(0はコモンエリアと重なっているため設定禁止)										
		0899H	LXE									X8
			R/W									R/W
0										0		
LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB											
LOCALWY	LOCALY register for write	089AH			Y5	Y4	Y3	Y2	Y1	Y0		
			R/W									
			0	0	0	0	0	0	0			
		LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)										
		089BH	LYE									
			R/W									
0												
LOCALY BANK 0:disable 1:enable												
LOCALWZ	LOCALZ register for write	089CH	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Z用バンク数設定(3はコモンエリアと重なっているため設定禁止)										
		089DH	LZE									Z8
			R/W									R/W
0										0		
LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD											

Not for

(8) MMU (4/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALESX	LOCALX register for DMA source	08A0H	X7	X6	X5	X4	X3	X2	X1	X0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-X用バンク数設定(0はコモンエリアと重なっているため設定禁止)										
		08A1H	LXE									X8
			R/W									R/W
0										0		
		LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB									
LOCALESY	LOCALY register for DMA source	08A2H			Y5	Y4	Y3	Y2	Y1	Y0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)										
		08A3H	LYE									
			R/W									
0												
		LOCALY BANK 0:disable 1:enable										
LOCALESZ	LOCALZ register for DMA source	08A4H	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Z用バンク数設定(3はコモンエリアと重なっているため設定禁止)										
		08A5H	LZE									Z8
			R/W									R/W
0										0		
		LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD									

(8) MMU (5/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALEDX	LOCALX register for DMA destination	08A8H	X7	X6	X5	X4	X3	X2	X1	X0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-X用バンク数設定(0はコモンエリアと重なっているため設定禁止)										
		08A9H	LXE									X8
			R/W									R/W
0										0		
		LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB									
LOCALEDY	LOCALY register for DMA destination	08AAH			Y5	Y4	Y3	Y2	Y1	Y0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)										
		08ABH	LYE									
			R/W									
0												
		LOCALY BANK 0:disable 1:enable										
LOCALEDZ	LOCALZ register for DMA destination	08ACH	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Z用バンク数設定(3はコモンエリアと重なっているため設定禁止)										
		08ADH	LZE									Z8
			R/W									R/W
0										0		
		LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD									

(8) MMU (6/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALOSX	LOCALX register for DMA source	08B0H	X7	X6	X5	X4	X3	X2	X1	X0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-X用バンク数設定(0はコモンエリアと重なっているため設定禁止)										
		08B1H	LXE									X8
			R/W									R/W
0										0		
LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB											
LOCALOSY	LOCALY register for DMA source	08B2H			Y5	Y4	Y3	Y2	Y1	Y0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)										
		08B3H	LYE									
			R/W									
0												
LOCALY BANK 0:disable 1:enable												
LOCALOSZ	LOCALZ register for DMA source	08B4H	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0		
		LOCAL-Z用バンク数設定(3はコモンエリアと重なっているため設定禁止)										
		08B5H	LZE									Z8
			R/W									R/W
0										0		
LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD											

Not for

(8) MMU (7/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
LOCALODX	LOCALX register for DMA destination	08B8H	X7	X6	X5	X4	X3	X2	X1	X0	
			R/W								
			0	0	0	0	0	0	0	0	
		LOCAL-X用バンク数設定(0はコモンエリアと重なっているため設定禁止)									
		08B9H	LXE								
R/W										R/W	
0										0	
LOCALX BANK 0:disable 1:enable	LOCALX用バンク数を設定 X8~X0設定とCSの関係 00000000~01111111 CSXA 10000000~11111111 CSXB										
LOCALODY	LOCALY register for DMA destination	08BAH			Y5	Y4	Y3	Y2	Y1	Y0	
			R/W								
			0	0	0	0	0	0	0		
		LOCAL-Y用バンク数設定 (3はコモンエリアと重なっているため設定禁止)									
		08BBH	LYE								
R/W											
0											
LOCALY BANK 0:disable 1:enable											
LOCALODZ	LOCALZ register for DMA destination	08BCH	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0	
			R/W								
			0	0	0	0	0	0	0	0	
		LOCAL-Z用バンク数設定(3はコモンエリアと重なっているため設定禁止)									
		08BDH	LZE								
R/W										R/W	
0										0	
LOCALZ BANK 0:disable 1:enable	LOCALZ用バンク数を設定 Z8~Z0設定とCSの関係 00000000~00111111 CSZA 10000000~10111111 設定禁止 01000000~01111111 設定禁止 11000000~11111111 CSZD										

Not for

(9) NAND フラッシュコントローラ (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
NDFMCR0	NANDF Control0 Register	08C0H (RMW 禁)	WE	ALE	CLE	CE0	CE1	ECCE	BUSY	ECCRST		
			R/W							R	W	
			0	0	0	0	0	0	0	0		
			WE 許可 0: disable 1: enable	ALE 制御 0: "L" out 1: "H" out	CLE 制御 0: "L" out 1: "H" out	CE0 制御 0: "H" out 1: "L" out	CE1 制御 0: "H" out 1: "L" out	ECC 回路制御 0: Disable 1: Enable	NANDF 状態 0: Ready 1: BUSY	ECC Code Reset 制御 0: - 1: Reset *リードすると常に"0"になります。		
			SPLW1	SPLW0	SPHW1	SPHW0	RSECCL	RSEDN	RSESTA	RSECGW		
R/W							W	R/W				
08C1H (RMW 禁)			0	0	0	0	0	0	0			
Strobe パルス幅制御 (NDRE と NDWE の Low 幅) 挿入幅 = (fsys) × (設定値)			Strobe パルス幅制御 (NDRE と NDWE の High 幅) 挿入幅 = (fsys) × (設定値)			Reed Solomon ECC data Latch 0: disable 1: enable	Reed Solomon 動作切り替え (ライト時) 0: encode 1: decode (リード時)	Reed Solomon Error Cal Start 0: - 1: Start *リードすると常に"0"になります。	Reed Solomon ECC Code Generator Write 制御 0: Disable 1: Enable			
NDFMCR1	NANDF Control1 Register	08C2H	INTERDY	INTRSC				BUSW	ECSS	SYSCKE		
			R/W		R/W							
			0	0				0	0	0		
			Interrupt READY 0: Mask 1: Enable	Interrupt RS calc 0: Mask 1: Enable				Data bus Width 0: 8bit 1: 16bit	ECC Calculation 0: H/C 1: R/S	Clock Control 0: disable 1: enable		
			STATE3	STATE2	STATE1	STATE0	SEER1	SEER0				
08C3H			R									
			0	0	0	0	不定	不定				
			Status read									
NDECCRD0	NANDF ECC Register0	08C4H	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0		
			R									
			0	0	0	0	0	0	0	0		
			NAND-Flash ECC code Register (7-0)									
			ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8		
R												
08C5H			0	0	0	0	0	0	0			
NAND-Flash ECC code Register (15-8)												
NDECCRD1	NANDF ECC Register1	08C6H	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0		
			R									
			0	0	0	0	0	0	0	0		
			NAND-Flash ECC code Register (7-0)									
			ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8		
R												
08C7H			0	0	0	0	0	0	0			
NAND-Flash ECC code Register (15-8)												

(9) NAND フラッシュコントローラ (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
NDECCRD2	NANDF Code ECC Register2	08C8H	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0		
			R									
			0	0	0	0	0	0	0	0		
		NAND-Flash ECC code Register (7-0)										
		08C9H	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8		
			R									
0	0		0	0	0	0	0	0	0	0		
NAND-Flash ECC code Register (15-8)												
NDECCRD3	NANDF Code ECC Register3	08CAH	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0		
			R									
			0	0	0	0	0	0	0	0	0	
		NAND-Flash ECC code Register (7-0)										
		08CBH	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8		
			R									
0	0		0	0	0	0	0	0	0	0		
NAND-Flash ECC code Register (15-8)												
NDECCRD4	NANDF Code ECC Register4	08CCH	ECCD7	ECCD6	ECCD5	ECCD4	ECCD3	ECCD2	ECCD1	ECCD0		
			R									
			0	0	0	0	0	0	0	0	0	
		NAND-Flash ECC code Register (7-0)										
		08CDH	ECCD15	ECCD14	ECCD13	ECCD12	ECCD11	ECCD10	ECCD9	ECCD8		
			R									
0	0		0	0	0	0	0	0	0	0		
NAND-Flash ECC code Register (15-8)												

Not Recommended for New

(9) NAND フラッシュコントローラ (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
NDRSCA0	NANDF read solomon Result address Register0	08D0H	RS0A7	RS0A6	RS0A5	RS0A4	RS0A3	RS0A2	RS0A1	RS0A0		
			R									
			0	0	0	0	0	0	0	0	0	
		NAND-Flash Reed Solomon Calculation Result Address Register (7-0)										
		08D1H									RS0A9	RS0A8
								R				
									0	0		
NAND-Flash Reed Solomon Calculation Result Address Register (9-8)												
NDRSCD0	NANDF read solomon Result data Register0	08D2H	RS0D7	RS0D6	RS0D5	RS0D4	RS0D3	RS0D2	RS0D1	RS0D0		
			R									
			0	0	0	0	0	0	0	0	0	
			NANDFC Reed Solomon Calculation Result Data Register (7-0)									
NDRSCA1	NANDF read solomon Result address Register1	08D4H	RS1A7	RS1A6	RS1A5	RS1A4	RS1A3	RS1A2	RS1A1	RS1A0		
			R									
			0	0	0	0	0	0	0	0	0	
		NAND-Flash Reed Solomon Calculation Result Address Register (7-0)										
		08D5H									RS1A9	RS1A8
								R				
									0	0		
NAND-Flash Reed Solomon Calculation Result Address Register (9-8)												
NDRSCD1	NANDF read solomon Result data Register1	08D6H	RS1D7	RS1D6	RS1D5	RS1D4	RS1D3	RS1D2	RS1D1	RS1D0		
			R									
			0	0	0	0	0	0	0	0	0	
			NANDFC Reed Solomon Calculation Result Data Register (7-0)									
NDRSCA2	NANDF read solomon Result address Register2	08D8H	RS2A7	RS2A6	RS2A5	RS2A4	RS2A3	RS2A2	RS2A1	RS2A0		
			R									
			0	0	0	0	0	0	0	0	0	
		NAND-Flash Reed Solomon Calculation Result Address Register (7-0)										
		08D9H									RS2A9	RS2A8
								R				
									0	0		
NAND-Flash Reed Solomon Calculation Result Address Register (9-8)												
NDRSCD2	NANDF read solomon Result data Register2	08DAH	RS2D7	RS2D6	RS2D5	RS2D4	RS2D3	RS2D2	RS2D1	RS2D0		
			R									
			0	0	0	0	0	0	0	0	0	
			NANDFC Reed Solomon Calculation Result Data Register (7-0)									

(9) NAND フラッシュコントローラ (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
NDRSCA3	NANDF read solomon Result address Register3	08DCH	RS3A7	RS3A6	RS3A5	RS3A4	RS3A3	RS3A2	RS3A1	RS3A0		
			R									
			0	0	0	0	0	0	0	0	0	
		NAND-Flash Reed Solomon Calculation Result Address Register (7-0)										
		08DDH									RS3A9	RS3A8
								R				
									0	0		
NAND-Flash Reed Solomon Calculation Result Address Register (9-8)												
NDRSCD3	NANDF read solomon Result data Register3	08DEH	RS3D7	RS3D6	RS3D5	RS3D4	RS3D3	RS3D2	RS3D1	RS3D0		
			R									
			0	0	0	0	0	0	0	0	0	
			NANDFC Reed Solomon Calculation Result Data Register (7-0)									
NDFDTR0	NANDF Data Register0	1FF0H	D7	D6	D5	D4	D3	D2	D1	D0		
			R/W									
			不定	不定	不定	不定	不定	不定	不定	不定	不定	
		NAND-Flash Data Register (7-0)										
		1FF1H	D15	D14	D13	D12	D11	D10	D9	D8		
			R/W									
不定	不定		不定	不定	不定	不定	不定	不定	不定			
NAND-Flash Data Register (15-8)												
NDFDTR1	NANDF Data Register1	1FF2H	D7	D6	D5	D4	D3	D2	D1	D0		
			R/W									
			不定	不定	不定	不定	不定	不定	不定	不定	不定	
		NAND-Flash Data Register (7-0)										
		1FF3H	D15	D14	D13	D12	D11	D10	D9	D8		
			R/W									
不定	不定		不定	不定	不定	不定	不定	不定	不定			
NAND-Flash Data Register (15-8)												

Not for NAND

(10) DMAC (1/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
HDMAS0	DMA source address Register0	0900H	D0SA7	D0SA6	D0SA5	D0SA4	D0SA3	D0SA2	D0SA1	D0SA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA0 (7:0)										
		0901H	D0SA15	D0SA14	D0SA13	D0SA12	D0SA11	D0SA10	D0SA9	D0SA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA0 (15:8)										
		0902H	D0SA23	D0SA22	D0SA21	D0SA20	D0SA19	D0SA18	D0SA17	D0SA16		
R/W												
0	0		0	0	0	0	0	0				
Set source address for DMA0 (23:16)												
HDMAD0	DMA destination address Register0	0904H	D0DA7	D0DA6	D0DA5	D0DA4	D0DA3	D0DA2	D0DA1	D0DA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA0 (7:0)										
		0905H	D0DA15	D0DA14	D0DA13	D0DA12	D0DA11	D0DA10	D0DA9	D0DA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA0 (15:8)										
		0906H	D0DA23	D0DA22	D0DA21	D0DA20	D0DA19	D0DA18	D0DA17	D0DA16		
R/W												
0	0		0	0	0	0	0	0				
Set destination address for DMA0 (23:16)												
HDMACA0	DMA Transfer count number A Register0	0908H	D0CA7	D0CA6	D0CA5	D0CA4	D0CA3	D0CA2	D0CA1	D0CA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number A for DMA0 (7:0)										
		0909H	D0CA15	D0CA14	D0CA13	D0CA12	D0CA11	D0CA10	D0CA9	D0CA8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number A for DMA0 (15:8)												
HDMACB0	DMA Transfer count number B Register0	090AH	D0CB7	D0CB6	D0CB5	D0CB4	D0CB3	D0CB2	D0CB1	D0CB0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number B for DMA0 (7:0)										
		090BH	D0CB15	D0CB14	D0CB13	D0CB12	D0CB11	D0CB10	D0CB9	D0CB8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number B for DMA0 (15:8)												
HDMAM0	DMA transfer Mode Register0	090CH				D0M4	D0M3	D0M2	D0M1	D0M0		
			R/W									
						0	0	0	0	0		
			DMA 転送モード選択								転送データサイズ	
000: 転送先 INC (I/O to MEM)								00: 1 バイト				
001: 転送先 DEC (I/O to MEM)								01: 2 バイト				
010: 転送元 INC (MEM to I/O)								10: 4 バイト				
011: 転送元 DEC (MEM to I/O)								11: Reserved				
100: 転送元/先 INC(MEM to MEM)												
101: 転送元/先 DEC(MEM to MEM)												
110: 転送元/先固定 (I/O to I/O)												
111: Reserved												

(10) DMAC (2/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
HDMAS1	DMA source address Register1	0910H	D1SA7	D1SA6	D1SA5	D1SA4	D1SA3	D1SA2	D1SA1	D1SA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA1 (7:0)										
		0911H	D1SA15	D1SA14	D1SA13	D1SA12	D1SA11	D1SA10	D1SA9	D1SA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA1 (15:8)										
		0912H	D1SA23	D1SA22	D1SA21	D1SA20	D1SA19	D1SA18	D1SA17	D1SA16		
R/W												
0	0		0	0	0	0	0	0				
Set source address for DMA1 (23:16)												
HDMAD1	DMA destination address Register1	0914H	D1DA7	D1DA6	D1DA5	D1DA4	D1DA3	D1DA2	D1DA1	D1DA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA1 (7:0)										
		0915H	D1DA15	D1DA14	D1DA13	D1DA12	D1DA11	D1DA10	D1DA9	D1DA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA1 (15:8)										
		0916H	D1DA23	D1DA22	D1DA21	D1DA20	D1DA19	D1DA18	D1DA17	D1DA16		
R/W												
0	0		0	0	0	0	0	0				
Set destination address for DMA1 (23:16)												
HDMACA1	DMA Transfer count number A Register1	0918H	D1CA7	D1CA6	D1CA5	D1CA4	D1CA3	D1CA2	D1CA1	D1CA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number A for DMA1 (7:0)										
		0919H	D1CA15	D1CA14	D1CA13	D1CA12	D1CA11	D1CA10	D1CA9	D1CA8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number A for DMA1 (15:8)												
HDMACB1	DMA Transfer count number B Register1	091AH	D1CB7	D1CB6	D1CB5	D1CB4	D1CB3	D1CB2	D1CB1	D1CB0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number B for DMA1 (7:0)										
		091BH	D1CB15	D1CB14	D1CB13	D1CB12	D1CB11	D1CB10	D1CB9	D1CB8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number B for DMA1 (15:8)												
HDMAM1	DMA transfer Mode Register1	091CH				D1M4	D1M3	D1M2	D1M1	D1M0		
			R/W									
						0	0	0	0	0		
			DMA 転送モード選択 000: 転送先 INC (I/O to MEM) 001: 転送先 DEC (I/O to MEM) 010: 転送元 INC (MEM to I/O) 011: 転送元 DEC (MEM to I/O) 100: 転送元/先 INC(MEM to MEM) 101: 転送元/先 DEC(MEM to MEM) 110: 転送元/先固定 (I/O to I/O) 111: Reserved								転送データサイズ 00: 1 バイト 01: 2 バイト 10: 4 バイト 11: Reserved	

(10) DMAC (3/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
HDMAS2	DMA source address Register2	0920H	D2SA7	D2SA6	D2SA5	D2SA4	D2SA3	D2SA2	D2SA1	D2SA0		
			R/W									
			0	0	0	0	0	0	0	0	0	
		Set source address for DMA2 (7:0)										
		0921H	D2SA15	D2SA14	D2SA13	D2SA12	D2SA11	D2SA10	D2SA9	D2SA8		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set source address for DMA2 (15:8)										
		0922H	D2SA23	D2SA22	D2SA21	D2SA20	D2SA19	D2SA18	D2SA17	D2SA16		
R/W												
0	0		0	0	0	0	0	0	0	0		
Set source address for DMA2 (23:16)												
HDMAD2	DMA destination address Register2	0924H	D2DA7	D2DA6	D2DA5	D2DA4	D2DA3	D2DA2	D2DA1	D2DA0		
			R/W									
			0	0	0	0	0	0	0	0	0	
		Set destination address for DMA2 (7:0)										
		0925H	D2DA15	D2DA14	D2DA13	D2DA12	D2DA11	D2DA10	D2DA9	D2DA8		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set destination address for DMA2 (15:8)										
		0926H	D2DA23	D2DA22	D2DA21	D2DA20	D2DA19	D2DA18	D2DA17	D2DA16		
R/W												
0	0		0	0	0	0	0	0	0	0		
Set destination address for DMA2 (23:16)												
HDMACA2	DMA Transfer count number A Register2	0928H	D2CA7	D2CA6	D2CA5	D2CA4	D2CA3	D2CA2	D2CA1	D2CA0		
			R/W									
			0	0	0	0	0	0	0	0	0	
		Set transfer-count-number A for DMA2 (7:0)										
		0929H	D2CA15	D2CA14	D2CA13	D2CA12	D2CA11	D2CA10	D2CA9	D2CA8		
			R/W									
0	0		0	0	0	0	0	0	0	0		
Set transfer-count-number A for DMA2 (15:8)												
HDMACB2	DMA Transfer count number B Register2	092AH	D2CB7	D2CB6	D2CB5	D2CB4	D2CB3	D2CB2	D2CB1	D2CB0		
			R/W									
			0	0	0	0	0	0	0	0	0	
		Set transfer-count-number B for DMA2 (7:0)										
		092BH	D2CB15	D2CB14	D2CB13	D2CB12	D2CB11	D2CB10	D2CB9	D2CB8		
			R/W									
0	0		0	0	0	0	0	0	0	0		
Set transfer-count-number B for DMA2 (15:8)												
HDMAM2	DMA transfer Mode Register2	092CH				D2M4	D2M3	D2M2	D2M1	D2M0		
			R/W									
						0	0	0	0	0	0	
			DMA 転送モード選択								転送データサイズ	
000: 転送先 INC (I/O to MEM)								00: 1 バイト				
001: 転送先 DEC (I/O to MEM)								01: 2 バイト				
010: 転送元 INC (MEM to I/O)								10: 4 バイト				
011: 転送元 DEC (MEM to I/O)								11: Reserved				
100: 転送元/先 INC(MEM to MEM)												
101: 転送元/先 DEC(MEM to MEM)												
110: 転送元/先固定 (I/O to I/O)												
111: Reserved												

(10) DMAC (4/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
HDMAS3	DMA source address Register3	0930H	D3SA7	D3SA6	D3SA5	D3SA4	D3SA3	D3SA2	D3SA1	D3SA0		
			R/W									
			0	0	0	0	0	0	0	0	0	
		Set source address for DMA3 (7:0)										
		0931H	D3SA15	D3SA14	D3SA13	D3SA12	D3SA11	D3SA10	D3SA9	D3SA8		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set source address for DMA3 (15:8)										
		0932H	D3SA23	D3SA22	D3SA21	D3SA20	D3SA19	D3SA18	D3SA17	D3SA16		
R/W												
0	0		0	0	0	0	0	0	0	0		
Set source address for DMA3 (23:16)												
HDMAD3	DMA destination address Register3	0934H	D3DA7	D3DA6	D3DA5	D3DA4	D3DA3	D3DA2	D3DA1	D3DA0		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set destination address for DMA3 (7:0)										
		0935H	D3DA15	D3DA14	D3DA13	D3DA12	D3DA11	D3DA10	D3DA9	D3DA8		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set destination address for DMA3 (15:8)										
		0936H	D3DA23	D3DA22	D3DA21	D3DA20	D3DA19	D3DA18	D3DA17	D3DA16		
R/W												
0	0		0	0	0	0	0	0	0	0		
Set destination address for DMA3 (23:16)												
HDMACA3	DMA Transfer count number A Register3	0938H	D3CA7	D3CA6	D3CA5	D3CA4	D3CA3	D3CA2	D3CA1	D3CA0		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set transfer-count-number A for DMA3 (7:0)										
		0939H	D3CA15	D3CA14	D3CA13	D3CA12	D3CA11	D3CA10	D3CA9	D3CA8		
			R/W									
0	0		0	0	0	0	0	0	0	0		
Set transfer-count-number A for DMA3 (15:8)												
HDMACB3	DMA Transfer count number B Register3	093AH	D3CB7	D3CB6	D3CB5	D3CB4	D3CB3	D3CB2	D3CB1	D3CB0		
			R/W									
			0	0	0	0	0	0	0	0	0	0
		Set transfer-count-number B for DMA3 (7:0)										
		093BH	D3CB15	D3CB14	D3CB13	D3CB12	D3CB11	D3CB10	D3CB9	D3CB8		
			R/W									
0	0		0	0	0	0	0	0	0	0		
Set transfer-count-number B for DMA3 (15:8)												
HDMAM3	DMA transfer Mode Register3	093CH				D3M4	D3M3	D3M2	D3M1	D3M0		
			R/W									
						0	0	0	0	0	0	0
			DMA 転送モード選択								転送データサイズ	
000: 転送先 INC (I/O to MEM)								00: 1 バイト				
001: 転送先 DEC (I/O to MEM)								01: 2 バイト				
010: 転送元 INC (MEM to I/O)								10: 4 バイト				
011: 転送元 DEC (MEM to I/O)								11: Reserved				
100: 転送元/先 INC(MEM to MEM)												
101: 転送元/先 DEC(MEM to MEM)												
110: 転送元/先固定 (I/O to I/O)												
111: Reserved												

(10) DMAC (5/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
HDMAS4	DMA source address Register4	0940H	D4SA7	D4SA6	D4SA5	D4SA4	D4SA3	D4SA2	D4SA1	D4SA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA4 (7:0)										
		0941H	D4SA15	D4SA14	D4SA13	D4SA12	D4SA11	D4SA10	D4SA9	D4SA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA4 (15:8)										
		0942H	D4SA23	D4SA22	D4SA21	D4SA20	D4SA19	D4SA18	D4SA17	D4SA16		
R/W												
0	0		0	0	0	0	0	0				
Set source address for DMA4 (23:16)												
HDMAD4	DMA destination address Register4	0944H	D4DA7	D4DA6	D4DA5	D4DA4	D4DA3	D4DA2	D4DA1	D4DA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA4 (7:0)										
		0945H	D4DA15	D4DA14	D4DA13	D4DA12	D4DA11	D4DA10	D4DA9	D4DA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA4 (15:8)										
		0946H	D4DA23	D4DA22	D4DA21	D4DA20	D4DA19	D4DA18	D4DA17	D4DA16		
R/W												
0	0		0	0	0	0	0	0				
Set destination address for DMA4 (23:16)												
HDMACA4	DMA Transfer count number A Register4	0948H	D4CA7	D4CA6	D4CA5	D4CA4	D4CA3	D4CA2	D4CA1	D4CA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number A for DMA4 (7:0)										
		0949H	D4CA15	D4CA14	D4CA13	D4CA12	D4CA11	D4CA10	D4CA9	D4CA8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number A for DMA4 (15:8)												
HDMACB4	DMA Transfer count number B Register4	094AH	D4CB7	D4CB6	D4CB5	D4CB4	D4CB3	D4CB2	D4CB1	D4CB0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number B for DMA4 (7:0)										
		094BH	D4CB15	D4CB14	D4CB13	D4CB12	D4CB11	D4CB10	D4CB9	D4CB8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number B for DMA4 (15:8)												
HDMAM4	DMA transfer Mode Register4	094CH				D4M4	D4M3	D4M2	D4M1	D4M0		
			R/W									
						0	0	0	0	0		
			DMA 転送モード選択 000: 転送先 INC (I/O to MEM) 001: 転送先 DEC (I/O to MEM) 010: 転送元 INC (MEM to I/O) 011: 転送元 DEC (MEM to I/O) 100: 転送元/先 INC(MEM to MEM) 101: 転送元/先 DEC(MEM to MEM) 110: 転送元/先固定 (I/O to I/O) 111: Reserved								転送データサイズ 00: 1 バイト 01: 2 バイト 10: 4 バイト 11: Reserved	

(10) DMAC (6/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
HDMAS5	DMA source address Register5	0950H	D5SA7	D5SA6	D5SA5	D5SA4	D5SA3	D5SA2	D5SA1	D5SA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA5 (7:0)										
		0951H	D5SA15	D5SA14	D5SA13	D5SA12	D5SA11	D5SA10	D5SA9	D5SA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set source address for DMA5 (15:8)										
		0952H	D5SA23	D5SA22	D5SA21	D5SA20	D5SA19	D5SA18	D5SA17	D5SA16		
R/W												
0	0		0	0	0	0	0	0				
Set source address for DMA5 (23:16)												
HDMAD5	DMA destination address Register5	0954H	D5DA7	D5DA6	D5DA5	D5DA4	D5DA3	D5DA2	D5DA1	D5DA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA5 (7:0)										
		0955H	D5DA15	D5DA14	D5DA13	D5DA12	D5DA11	D5DA10	D5DA9	D5DA8		
			R/W									
			0	0	0	0	0	0	0	0		
		Set destination address for DMA5 (15:8)										
		0956H	D5DA23	D5DA22	D5DA21	D5DA20	D5DA19	D5DA18	D5DA17	D5DA16		
R/W												
0	0		0	0	0	0	0	0				
Set destination address for DMA5 (23:16)												
HDMACA5	DMA Transfer count number A Register5	0958H	D5CA7	D5CA6	D5CA5	D5CA4	D5CA3	D5CA2	D5CA1	D5CA0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number A for DMA5 (7:0)										
		0959H	D5CA15	D5CA14	D5CA13	D5CA12	D5CA11	D5CA10	D5CA9	D5CA8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number A for DMA5 (15:8)												
HDMACB5	DMA Transfer count number B Register5	095AH	D5CB7	D5CB6	D5CB5	D5CB4	D5CB3	D5CB2	D5CB1	D5CB0		
			R/W									
			0	0	0	0	0	0	0	0		
		Set transfer-count-number B for DMA5 (7:0)										
		095BH	D5CB15	D5CB14	D5CB13	D5CB12	D5CB11	D5CB10	D5CB9	D5CB8		
			R/W									
0	0		0	0	0	0	0	0				
Set transfer-count-number B for DMA5 (15:8)												
HDMAM5	DMA transfer Mode Register5	095CH				D5M4	D5M3	D5M2	D5M1	D5M0		
			R/W									
						0	0	0	0	0		
			DMA 転送モード選択 000: 転送先 INC (I/O to MEM) 001: 転送先 DEC (I/O to MEM) 010: 転送元 INC (MEM to I/O) 011: 転送元 DEC (MEM to I/O) 100: 転送元/先 INC(MEM to MEM) 101: 転送元/先 DEC(MEM to MEM) 110: 転送元/先固定 (I/O to I/O) 111: Reserved								転送データサイズ 00: 1 バイト 01: 2 バイト 10: 4 バイト 11: Reserved	

(10) DMAC (7/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HDMAE	DMA enable Register	097EH			DMAE5	DMAE4	DMAE3	DMAE2	DMAE1	DMAE0
					R/W					
					0	0	0	0	0	0
					DMA チャンネル動作許可 0:Disable 1:Enable					
HDMATR	DMA timer Register	097FH	DMATE	DMATR6	DMATR5	DMATR4	DMATR3	DMATR2	DMATR1	DMATR0
			R/W							
			0	0	0	0	0	0		
			タイマ動作 0: Disable 1: Enable	バス占有最長時間設定 バス占有最長時間 / (256/f _{sys}) で求めた値を設定してください。 なお、00H は設定禁止です。						

Not Recommended for New Design

(11) クロックギア、PLL

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SYSCR0	System clock control register0	10E0H		XTEN	USBCLK1	USBCLK0		WUEF		PRCK	
				R/W				R/W		R/W	
				1	0	0		0		0	
				低速発振器 0: 停止 1: 発振	USB クロック選択 (f _{USB}) 00: Disable 01: Reserved 10: X1USB 11: f _{PLLUSB}				ウォームアップ タイマ		プリスケール クロック選択 0: f _{sys} /2 1: f _{sys} /8
SYSCR1	System clock control register1	10E1H						GEAR2	GEAR1	GEAR0	
				R/W				1	0	0	
				高周波ギア値の選択 000: fc 101: Reserved 001: fc/2 110: Reserved 010: fc/4 111: Reserved 011: fc/8 100: fc/16							
SYSCR2	System clock control register2	10E2H	-	CKOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0			
				R/W							
			0	0	1	0	1	1			
			"0" を ライトして ください。	CLKOUT 選択 0: f _{sys} 1: fs	ウォームアップタイマ 00: Reserved 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALT モード 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード				
EMCCR0	EMC control register0	10E3H	PROTECT					EXTIN	DRVOSCH	DRVOSCL	
			R				R/W	R/W	R/W	R/W	
			0				0	0	1	1	
			プロテクト フラグ 0: OFF 1: ON				"0"をライ トしてくだ さい。	1: 外部 クロック	高周波発振 器ドライバ アビリティ 1: NORMAL 0: WEAK	低周波発振 器ドライバ アビリティ 1: NORMAL 0: WEAK	
EMCCR1	EMC control register1	10E4H	下記 1st-KEY、2nd-KEY の動作実施によりプロテクト ON/OFF。 1st-KEY: EMCCR1 = 5AH、EMCCR2 = A5H を連続ライト。 2nd-KEY: EMCCR1 = A5H、EMCCR2 = 5AH を連続ライト。								
EMCCR2	EMC control register2	10E5H									
PLLCR0	PLL control register0	10E8H		FCSEL	LUPFG						
				R/W	R						
				0	0						
				fc クロック 選択 0: f _{OSCH} 1: f _{PLL}	ロック アップ タイマ 状態フラグ 0: Not end 1: End						
PLLCR1	PLL control register1	10E9H	PLL0	PLL1	LUPSEL					PLLTIMES	
				R/W						R/W	
			0	0	0				0		
			CPU 用 PLL0 0: Off 1: On	USB 用 PLL1 0: Off 1: On	ロックア ップカウン タ 段数選択 0: 12 段 (PLL0 用) 1: 13 段 (PLL1 用)				PLL 逡倍 数選択 0: ×12 1: ×16		

(12) 8ビットタイマ(1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TA01RUN	TMRA01 RUN register	1100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN		
			R/W				R/W					
			0				0	0	0	0		
			ダブルバッ ファ 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	TMRA01 プリスケ ーラ 0: 停止 & ク リア 1: 動作 (カ ウントアップ)	アップカ ウンタ (UC1)	アップカ ウンタ (UC0)		
TA0REG	8-bit timer register 0	1102H (RMW 禁)							W			
									0			
TA1REG	8-bit timer register 1	1103H (RMW 禁)							W			
									0			
TA01MOD	TMRA01 MODE register	1104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: TA0IN 端子入力 01: φT1 10: φT4 11: φT16			
TA1FFCR	TMRA1 Flip-Flop control register	1105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS		
									R/W		R/W	
									1	1	0	0
									00: TA1FF 反転 01: TA1FF 設定 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: Disable 1: Enable	TA1FF 反転選択 0: TMRA0 1: TMRA1
TA23RUN	TMRA23 RUN register	1108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN		
			R/W				R/W					
			0				0	0	0	0		
			ダブルバッ ファ 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	TMRA23 プリスケ ーラ 0: 停止 & ク リア 1: 動作 (カ ウントアップ)	アップカ ウンタ (UC3)	アップカ ウンタ (UC2)		
TA2REG	8-bit timer register 2	110AH (RMW 禁)							W			
									0			
TA3REG	8-bit timer register 3	110BH (RMW 禁)							W			
									0			
TA23MOD	TMRA23 MODE register	110CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0		
			R/W									
			0	0	0	0	0	0	0	0		
			動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: TA2IN 端子入力 01: φT1 10: φT4 11: φT16			
TA3FFCR	TMRA3 Flip-Flop control register	110DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS		
									R/W		R/W	
									1	1	0	0
									00: TA3FF 反転 01: TA3FF 設定 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: Disable 1: Enable	TA3FF 反転選択 0: TMRA2 1: TMRA3

(12) 8ビットタイマ(2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TA45RUN	TMRA45 RUN register	1110H	TA4RDE				I2TA45	TA45PRUN	TA5RUN	TA4RUN		
			R/W					R/W				
			0				0	0	0	0		
			ダブルバッ ファ 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	TMRA45 プリスケ ーラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウ ンタ(UC5)	アップカ ウンタ (UC4)		
TA4REG	8-bit timer register 4	1112H (RMW 禁)	-							W	0	
TA5REG	8-bit timer register 5	1113H (RMW 禁)	-							W	0	
TA45MOD	TMRA45 MODE register	1114H	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0		
			R/W									
			0	0	0	0	0	0	0	0		
			動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA5 ソースクロック 00: TA4TRG 01: φT1 10: φT16 11: φT256		TMRA4 ソースクロック 00: 32kHz クロック 01: φT1 10: φT4 11: φT16			
TA67RUN	TMRA67 RUN register	1118H	TA6RDE				I2TA67	TA67PRUN	TA7RUN	TA6RUN		
			R/W					R/W				
			0				0	0	0	0		
			ダブルバッ ファ 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	TMRA67 プリスケ ーラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウ ンタ(UC7)	アップカ ウンタ (UC6)		
TA6REG	8-bit timer register 2	111AH (RMW 禁)	-							W	0	
TA7REG	8-bit timer register 3	111BH (RMW 禁)	-							W	0	
TA67MOD	TMRA67 MODE register	111CH	TA67M1	TA67M0	PWM61	PWM60	TA7CLK1	TA7CLK0	TA6CLK1	TA6CLK0		
			R/W									
			0	0	0	0	0	0	0	0		
			動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA7 ソースクロック 00: TA6TRG 01: φT1 10: φT16 11: φT256		TMRA6 ソースクロック 00: 32kHz クロック 01: φT1 10: φT4 11: φT16			
TA7FFCR	TMRA7 Flip-Flop control register	111DH (RMW 禁)					TA7FFC1	TA7FFC0	TA7FFIE	TA7FFIS		
							R/W		R/W			
							1	1	0	0		
							00: TA7FF 反転 01: TA7FF 設定 10: TA7FF クリア 11: Don't care	TA7FF 反転制御 0: Disable 1: Enable	TA7FF 反転選択 0: TMRA6 1: TMRA7			

(13) 16ビットタイマ(1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TB0RUN	TMRB0 RUN register	1180H	TB0RDE	-			I2TB0	TB0PRUN		TB0RUN	
			R/W	R/W			R/W	R/W		R/W	
			0	0			0	0		0	
			ダブルパルファ	"0"をライトしてください			IDLE2	TMRB0プリスケラ		アップカウンタ(UC10)	
			0: Disable 1: Enable			0: 停止 1: 動作		タイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)			
TB0MOD	TMRB0 MODE register	1182H (RMW 禁)	-	-	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0	
			R/W		W*	R/W					
			0	0	1	0	0	0	0	0	
			"0"をライトしてください	ソフトウェアの実行	キャプチャの実行	キャプチャの実行	キャプチャの実行	キャプチャの実行	アップカウンタ制御	TMRB0 ソースクロック	
	0: ソフトウェアキャプチャ	0: ソフトウェアキャプチャ	0: ソフトウェアキャプチャ	0: ソフトウェアキャプチャ	0: ソフトウェアキャプチャ	0: クリア禁止 1: クリア許可	00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16				
TB0FFCR	TMRB0 Flip-Flop control register	1183H (RMW 禁)	-	-	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0	
			W*		R/W					W*	
			1	1	0	0	0	0	1	1	
			"11"をライトしてください	TB0FF0 反転制御	TB0FF0 反転制御	TB0FF0 反転制御	TB0FF0 反転制御	TB0FF0 反転制御	TB0FF0 反転制御	TB0FF0 反転制御	
	*リードすると常に"11"になります。	0: 反転禁止 1: 反転許可	0: 反転禁止 1: 反転許可	0: 反転禁止 1: 反転許可	0: 反転禁止 1: 反転許可	0: 反転禁止 1: 反転許可	0: 反転禁止 1: 反転許可	0: 反転禁止 1: 反転許可			
		TB0CP1H/LへUC10値をキャプチャする時	TB0CP0H/LへUC10値をキャプチャする時	UC10とTB0RG1H/Lとの一致時	UC10とTB0RG0H/Lとの一致時						
TB0RG0L	16 bit timer register 0 low	1188H (RMW 禁)					-	W	0		
TB0RG0H	16 bit timer register 0 high	1189H (RMW 禁)					-	W	0		
TB0RG1L	16 bit timer register 1 low	118AH (RMW 禁)					-	W	0		
TB0RG1H	16 bit timer register 1 high	118BH (RMW 禁)					-	W	0		
TB0CP0L	Capture register 0 low	118CH					-	R	未定義		
TB0CP0H	Capture register 0 high	118DH					-	R	未定義		
TB0CP1L	Capture register 1 low	118EH					-	R	未定義		
TB0CP1H	Capture register 1 high	118FH					-	R	未定義		

(13) 16ビットタイマ(2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB1RUN	TMRB1 RUN register	1190H	TB1RDE	-			I2TB1	TB1PRUN		TB1RUN
			R/W	R/W			R/W	R/W		R/W
			0	0			0	0		0
			ダブル バッファ	"0"をライ トしてくだ さい			IDLE2 0: 停止 1: 動作	TMRB1 プ リスケラ		アップカウ ンタ (UC12)
									タイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)	
TB1MOD	TMRB1 MODE register	1192H (RMW 禁)	-	-	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
			R/W		W*	R/W				
			0	0	1	0	0	0	0	0
			"0"をライ トしてくだ さい	ソフト ウェア キャプチャ の実行 0: ソフトウ ェアキャ プチャ 1: 未定義	キャプチャタイミング 00: ディセーブル INT7 は立ち上がりエッジ 01: TB1IN0 ↑ INT7 は立ち上がりエッジ 10: TB1IN0 ↑ TB1IN0 ↓ INT7 は立ち下がりエッジ 11: TA3OUT ↑ TA3OUT ↓ INT7 は立ち上がりエッジ	アップ カウンタ 制御 0: クリア 禁止 1: クリア 許可	TMRB1 ソースクロック 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16			
TB1RG0L	16 bit timer register 0 low	1198H (RMW 禁)	-	-	-	W	0			
TB1RG0H	16 bit timer register 0 high	1199H (RMW 禁)	-	-	-	W	0			
TB1RG1L	16 bit timer register low	119AH (RMW 禁)	-	-	-	W	0			
TB1RG1H	16 bit timer register 1 high	119BH (RMW 禁)	-	-	-	W	0			
TB1CP0L	Capture register 0 low	119CH	-	-	-	R	未定義			
TB1CP0H	Capture register 0 high	119DH	-	-	-	R	未定義			
TB1CP1L	Capture register 1-low	119EH	-	-	-	R	未定義			
TB1CP1H	Capture register 1 high	119FH	-	-	-	R	未定義			

(14) UART/シリアルチャネル(1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial channel 0 buffer register	1200H (RMW 禁)	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0		
			TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0		
			R (受信) /W (送信)								未定義	
SC0CR	Serial channel 0 control register	1201H (RMW 禁)	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			R	R/W		R (リードすると "0" にクリア)			R/W			
			不定	0	0	0	0	0	0	0	0	
			受信データビット 8	パリティ 0: Odd 1: Even	パリティ 0: Disable 1: Enable	0: エラー未検出 1: エラー	0: SCLK0↑ 1: SCLK0↓	0: ボーレートジェネレータ 1: SCLK0端子入力				
SC0MOD0	Serial channel 0 mode 0 register	1202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W								0 0	
			送信データビット 8	0: CTS ディセーブル 1: CTS イネーブル	0: 受信禁止 1: 受信許可	ウェイクアップ 0: Disable 1: Enable	00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK0 入力)				
BR0CR	Serial channel 0 baud rate control register	1203H	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0		
			R/W								0 0	
			0	0	0	0	0	0	0	0	0	
			"0"をライトしてください	(16-K)/16 分周 0: Disable 1: Enable	00: φT0 01: φT2 10: φT8 11: φT32	分周値 "N" 設定 0~F						
BR0ADD	Serial channel 0 K setting register	1204H					BR0K3	BR0K2	BR0K1	BR0K0		
			R/W								0 0	
			N+(16-K)/16 分周の K 値の設定 (1~F)									
SC0MOD1	Serial channel 0 mode 1 register	1205H	I2S0	FDPX0								
			R/W								0 0	
			IDLE2 0: 停止 1: 動作	入出力インタフェースモード 0: 半二重 1: 全二重								
SIR0CR	IrDA 0 control register	1207H	PLSEL	RXSEL	TXEN	RXEN	SIR0WD3	SIR0WD2	SIR0WD1	SIR0WD0		
			R/W								0 0	
			0	0	0	0	0	0	0	0	0	
			パルス幅送信選択 0: 3/16 1: 1/16	受信データ 0: "H"パルス 1: "L"パルス	送信 0: 禁止 1: 許可	受信 0: 禁止 1: 許可	受信パルス幅選択 有効 SIRR×D パルス幅設定 2x × (設定値 + 1) + 100ns 以上のパルス幅 設定可能: 1~14 設定不可能: 0, 15					

(14) UART/シリアルチャネル(2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SC1BUF	Serial channel 1 buffer register	1208H (RMW 禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0	
			R (受信) /W (送信) 未定義								
SC1CR	Serial channel 1 control register	1209H (RMW 禁)	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC	
			R	R/W		R (リードすると "0" にクリア)			R/W		
			不定	0	0	0	0	0	0	0	0
SC1MOD0	Serial channel 1 mode 0 register	120AH	受信データビット 8	パリティ 0: Odd 1: Even	パリティ 0: Disable 1: Enable	オーバーラン	パリティ	フレーミング	0: SCLK1↑ 1: SCLK1↓	0: ボーレートジェネレータ 1: SCLK1 端子入力	
			送信データビット 8	0: CTS ディセーブル 1: CTS イネーブル	0: 受信禁止 1: 受信許可	ウェイクアップ 0: Disable 1: Enable	00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK1 入力)			
			R/W 0 0 0 0 0 0 0 0								
BR1CR	Serial channel 1 baud rate control register	120BH	-	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0	
			R/W 0 0 0 0 0 0 0 0								
			"0"をライトしてください	(16-K)/16 分周 0: Disable 1: Enable	00: φT0 01: φT2 10: φT8 11: φT32	分周値 "N" 設定 0~F					
BR1ADD	Serial channel 1 K setting register	120CH	/				BR1K3	BR1K2	BR1K1	BR1K0	
			R/W 0 0 0 0								
			N+(16-K)/16 分周の K 値の設定 (1~F)								
SC1MOD1	Serial channel 1 mode 1 register	120DH	I2S1	FDPX1	/						
			R/W 0 0								
			IDLE2 0: 停止 1: 動作	入出力インタフェースモード 0: 半二重 1: 全二重							
SIR1CR	IrDA 1 control register	120FH	PLSEL	RXSEL	TXEN	RXEN	SIR1WD3	SIR1WD2	SIR1WD1	SIR1WD0	
			R/W 0 0 0 0 0 0 0 0								
			パルス幅送信選択 0: 3/16 1: 1/16	受信データ 0: "H"パルス 1: "L"パルス	送信 0: 禁止 1: 許可	受信 0: 禁止 1: 許可	受信パルス幅選択 有効 SIRR×D パルス幅設定 2x ×(設定値+ 1) + 100ns 以上のパルス幅 設定可能: 1~14 設定不可能: 0, 15				

(15) SBI

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SBICR1	Serial bus interface control register 1	1240H (RMW 禁)	BC2	BC1	BC0	ACK	-	SCK2	SCK1	SCK0 /SWRMON		
			R/W			R/W	R	R/W		R/W		
			0	0	0	0	1	0	0	0/1		
			転送ビット数 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7			ACKノリッ ジモード 0: 禁止 1: 許可	リードす ると常に "1"になり ます。	シリアルクロック周波数の選択 (ライト時) 000: 4 001: 5 010: 6 011: 7 100: 8 101: 9 110: 10 111: (Reserved)				
SBIDBR	SBI buffer register	1241H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
			R (受信)/W (送信)									
			不定									
I2CAR	I ² C BUS Address register	1242H (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS		
			R/W									
			0	0	0	0	0	0	0	0	0	
			スレーブアドレス設定									アドレス認 識 0: 許可 1: 禁止
SBISR (リード時)	Serial bus interface status register	1243H (RMW 禁)	MST	TRX	BB	PIN	AL/SBIM1	AAS/SBIM0	AD0/ SWRST1	LRB/ SWRST0		
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
			0	0	0	1	0	0	0	0		
			モード 選択 0: スレーブ 1: マスタ	送受選択 0: 受信 1: 送信	バス状態 のモニタ 0: フリー 1: ビジー	INTSBI 要求モニタ 0: 要求 1: 解除	アービト レーション ロス 検出モニタ 0: - 1: 検出	スレーブ アドレス 一致検出 モニタ 0: 未検出 1: 検出	ゼネラル コール 検出モニタ 0: 未検出 1: 検出	最終ビット 検出モニタ 0: "0" 1: "1"		
SBICR2 (ライト時)	Serial bus interface control register 2			スタート/ ストップ コンディ ションの 発生	INTSBI 要求 0: Don't care 1: 解除	SBIの動作モード選択 00: ポートモード 01: Reserved 10: I ² Cバスモード 11: Reserved	ソフトウェアリセットの 発生 最初に "10"、次に "01" を ライトすると、ソフトリ セットが発生します。					
SBIBR0	Serial bus interface baud rate register 0	1244H (RMW 禁)	-	I2SBI	-	-	-	-	-	-		
			W	R/W	R						R/W	
			0	0	1	1	1	1	1	0		
			リードす ると"1"に なります。	IDLE2 0: 停止 1: 動作	リードすると"1"になります。						"0"をライト してください。	
SBICR0	Serial bus interface control register 0	1247H (RMW 禁)	SBIEN	-	-	-	-	-	-	-		
			R/W	R								
			0	0	0	0	0	0	0	0		
			SBI動作 0: 禁止 1: 動作	リードすると"0"になります。								

(16) AD コンバータ (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADREG0L	AD result register 0 low	12A0H	ADR01	ADR00					OVR0	ADR0RF		
			R						R	R		
			0	0					0	0		
			AN0 AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREG0H	AD result register 0 high	12A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02		
			R									
			0	0	0	0	0	0	0	0	0	
			AN0 AD 変換結果上位 8 ビット格納									
ADREG1L	AD result register 1 low	12A2H	ADR11	ADR10					OVR1	ADR1RF		
			R						R	R		
			0	0					0	0		
			AN1 AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREG1H	AD result register 1 high	12A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12		
			R									
			0	0	0	0	0	0	0	0	0	
			AN1 AD 変換結果上位 8 ビット格納									
ADREG2L	AD result register 2 low	12A4H	ADR21	ADR20					OVR2	ADR2RF		
			R						R	R		
			0	0					0	0		
			AN2 AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREG2H	AD result register 2 high	12A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R									
			0	0	0	0	0	0	0	0	0	
			AN2 AD 変換結果上位 8 ビット格納									
ADREG3L	AD result register 3 low	12A6H	ADR31	ADR30					OVR3	ADR3RF		
			R						R	R		
			0	0					0	0		
			AN3 AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREG3H	AD result register 3 high	12A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32		
			R									
			0	0	0	0	0	0	0	0	0	
			AN3 AD 変換結果上位 8 ビット格納									
ADREG4L	AD result register 4 low	12A8H	ADR4	ADR4					OVR4	ADR4F		
			R						R	R		
			0	0					0	0		
			AN4 AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREG4H	AD result register 4 high	12A9H	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42		
			R									
			0	0	0	0	0	0	0	0	0	
			AN4 AD 変換結果上位 8 ビット格納									
ADREG5L	AD result register 5 low	12AAH	ADR5	ADR5					OVR5	ADR5F		
			R						R	R		
			0	0					0	0		
			AN5 AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREG5H	AD result register 5 high	12ABH	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52		
			R									
			0	0	0	0	0	0	0	0	0	
			AN5 AD 変換結果上位 8 ビット格納									

(16) AD コンバータ (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADREGSPL	High priority Conversion Register SP low	12B0H	ADRSP1	ADRSP0					OVSRP	ADRSPRF		
			R						R	R		
			0	0					0	0		
			AD 変換結果下位格納							Overrun 0: 発生無し 1: 発生	変換結果格納 1: 変換結果有	
ADREGSPH	High priority Conversion Register SP high	12B1H	ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2		
			R									
			0	0	0	0	0	0	0	0		
			AD 変換結果上位 8 ビット格納									
ADCM0REGL	Compare Register0 low	12B4H	ADR21	ADR20								
			R/W									
			0	0								
			AD 変換結果比較基準下位格納									
ADCM0REGH	Compare Register0 high	12B5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R/W									
			0	0	0	0	0	0	0	0		
			AD 変換結果比較基準上位 8 ビット格納									
ADCM1REGL	Compare Register1 low	12B6H	ADR21	ADR20								
			R/W									
			0	0								
			AD 変換結果比較基準下位格納									
ADCM1REGH	Compare Register1 high	12B7H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R/W									
			0	0	0	0	0	0	0	0		
			AD 変換結果比較基準上位 8 ビット格納									

(16) AD コンバータ (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADMOD0	AD mode control register 0	12B8H	EOS	BUSY		I2AD	ADS	HTRGE	TSEL1	TSEL0		
			R			R/W						
			0	0		0	0	0	0	0	0	
			通常 AD 変換シーケンスフラグ 0: 変換シーケンス中、または開始前 1: 変換シーケンス終了	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中		IDLE2 モード時の AD 変換 0: 停止 1: 動作	通常 AD 変換開始 0: Don't Care 1: AD 変換開始 リードすると常に"0"になります。	ハードウェアトリガによる AD 変換 0: 禁止 1: 許可	ハードウェアトリガの選択 00: INTTB00 割り込み 01: Reserved 10: ADTRG 11: Reserved			
ADMOD1	AD mode control register 1	12B9H	DACON	ADCH2	ADCH1	ADCH0	LAT	ITM	REPEAT	SCAN		
			R/W			R/W						
			0	0	0	0	0	0	0	0	0	
			DA コンバータ、VREF 印加制御	アナログ入力チャネルの選択			レイテンシ 0: Wait 無し 1: 最終チャネルの変換結果格納レジスタをリード後、開始	チャンネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャネル固定モード 1: チャネルスキャンモード		
ADMOD2	AD mode control register 2	12BAH	HEOS	HBUSY			HADS	HHTRGE	HTSEL1	HTSEL0		
			R			R/W						
			0	0			0	0	0	0		
			最優先 AD 変換シーケンスフラグ 0: 変換シーケンス中、または開始前 1: 変換シーケンス終了	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中			最優先 AD 変換開始 0: Don't Care 1: AD 変換開始 リードすると常に"0"になります。	ハードウェアトリガによる最優先 AD 変換 0: 禁止 1: 許可	ハードウェアトリガの選択 00: INTTB10 割り込み 01: Reserved 10: ADTRG 11: I ² S Sampling Counter 出力			
ADMOD3	AD mode control register 3	12BBH	-	HADCH2	HADCH1	HADCH0				-		
			R/W			R/W						
			0	0	0	0				0		
			"0"をライトしてください	最優先変換アナログ入力チャネルの選択							"0"をライトしてください	
ADMOD4	AD mode control register 4	12BCH	CMEN1	CMEN0	CMP1C	CMP0C	IRQEN1	IRQEN0	CMPINT1	CMPINT0		
			R/W			R/W						
			0	0	0	0	0	0	0	0	0	
			AD 監視機能 1 0: 禁止 1: 許可	AD 監視機能 0 0: 禁止 1: 許可	AD 監視機能 1 割り込みの発生条件 0: 小 1: 等しい または大	AD 監視機能 0 割り込みの発生条件 0: 小 1: 等しい または大	AD 監視機能 1 割り込みの許可 0: 禁止 1: 許可	AD 監視機能 0 割り込みの許可 0: 禁止 1: 許可	AD 監視機能 1 割り込みのステータス 0: 未発生 1: 発生	AD 監視機能 0 割り込みのステータス 0: 未発生 1: 発生		
ADMOD5	AD mode control register 5	12BDH		CM1H2	CM1CH1	CM1CH0		CM0CH2	CM0CH1	CM0CH0		
			R/W			R/W						
			0	0	0	0	0	0	0	0		
				AD 監視機能 1 用の被比較アナログチャネル 000: AN0 100: AN4 001: AN1 101: AN5 010: AN2 110: Reserved 011: AN3 111: Reserved				AD 監視機能 0 用の被比較アナログチャネル 000: AN0 100: AN4 001: AN1 101: AN5 010: AN2 110: Reserved 011: AN3 111: Reserved				
ADCCLK	AD conversion clock setting	12BFH					-	ADCLK2	ADCLK1	ADCLK0		
			R/W			R/W						
			0	0	0	0	0	0	0	0		
							"0"をライトしてください。	AD 変換クロック選択 000: Reserved 100: f _{IO} /4 001: f _{IO} /1 101: f _{IO} /5 010: f _{IO} /2 110: f _{IO} /6 011: f _{IO} /3 111: f _{IO} /7				

(17) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	1300H	WDTE	WDTP1	WDTP0			I2WDT	RESCR	-
			R/W					R/W		
			1	0	0			0	0	0
			WDT 制御 0: 禁止 1: 許可	検出時間選択 00: $2^{15}/f_{IO}$ 01: $2^{17}/f_{IO}$ 10: $2^{19}/f_{IO}$ 11: $2^{21}/f_{IO}$					IDLE2 0: 停止 1: 動作	1: WDT 出力をリセット端子に内部接続
WDCR	WDT control register	1301H (RMW 禁)	-							
			W							
			-							
			B1H: WDT 禁止コード 4E: WDT クリアコード							

Not Recommended for New Design

(18) RTC (Real-Time Clock)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SECR	Second register	1320H		SE6	SE5	SE4	SE3	SE2	SE1	SE0	
				R/W							
				不定							
			"0"がリード されます	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	
MINR	Minute register	1321H		MI6	MI5	MI4	MI3	MI2	MI1	MI0	
				R/W							
				不定							
			"0"がリード されます	40 分	20 分	10 分	8 分	4 分	2 分	1 分	
HOURL	Hour register	1322H			HO5	HO4	HO3	HO2	HO1	HO0	
				R/W							
				不定							
			"0"がリード されます	20 時間 (PM/AM)	10 時間	8 時間	4 時間	2 時間	1 時間		
DAYR	Day register	1323H						WE2	WE1	WE0	
				R/W							
				不定							
			"0"がリード されます							W2	W1
DATER	Date register	1324H			DA5	DA4	DA3	DA2	DA1	DA0	
				R/W							
				不定							
			"0"がリード されます	20 日	10 日	8 日	4 日	2 日	1 日		
MONTHR	Month register	1325H			MO4	MO3	MO2	MO1	MO0		
				R/W							
				不定							
			PAGE0	"0"がリード されます	10 月	8 月	4 月	2 月	1 月		
PAGE1	"0"がリード されます										
YEARR	Year register	1326H		YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
				R/W							
				不定							
			PAGE0	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年
PAGE1	"0"がリード されます								うるう年設定 00: うるう年 01: うるう年から 1 年後 10: うるう年から 2 年後 11: うるう年から 3 年後		
PAGER	Page register	1327H (RMW 禁)	INTENA			ADJUST	ENATMR	ENAALM		PAGE	
			R/W			W		R/W		R/W	
			0			不定		不定		不定	
			INTRTC 0: 禁止 1: 許可	"0"がリード されます	0: Don't care 1: 補正	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0"がリー ド されます	PAGE 設定		
RESTR	Reset register	1328H (RMW 禁)	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	RE3	RE2	RE1	RE0	
				W							
				不定							
			1 Hz 0: 許可 1: 禁止	16 Hz 0: 許可 1: 禁止	1: 時計 リセット	1: アラーム リセット	"0" をライトしてください。				

(19) メロディ/アラームジェネレータ

記号	名称	アドレス	7	6	5	4	3	2	1	0
ALM	Alarm-pattern register	1330H	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
			R/W							
			0	0	0	0	0	0	0	0
			アラームパターン設定							
MELALMC	Melody/ alarm control register	1331H	FC1	FC0	ALMINV	-	-	-	-	MELALM
			R/W							
			0	0	0	0	0	0	0	0
			フリーランカウンタ制御 00: ホールド 01: 再スタート 10: クリア&停止 11: クリア&スタート	アラーム波形反転 1: 反転	"0" をライトしてください。					出力周波数 0: アラーム 1: メロディ
MELFL	Melody frequency L-register	1332H	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
			R/W							
			0	0	0	0	0	0	0	0
			メロディ周波数設定 (下位 8 ビット)							
MELFH	Melody frequency H-register	1333H	MELON				ML11	ML10	ML9	ML8
			R/W				R/W			
			0				0	0	0	0
			メロディカウンタ制御 0: ストップ & クリア 1: スタート				メロディ周波数設 (上位 4 ビット)			
ALMINT	Alarm interrupt enable register	1334H			-	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
			R/W							
					0	0	0	0	0	0
					"0" をライトしてください	1:INTALM4 (1Hz) 許可	1:INTALM3 (2Hz) 許可	1:INTALM2 (64Hz) 許可	1:INTALM1 (512Hz) 許可	1:INTALM0 (8192Hz) 許可

(20) I²S

記号	名称	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
I2S0BUF	I ² S Trans- mission Buffer Register0	1800H (RMW 禁)	B015	B014	B013	B012	B011	B010	B009	B008	B007	B006	B005	B004	B003	B002	B001	B000		
			W																	
			不定																	
			送信バッファ用レジスタ(FIFO)																	
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
			B031	B030	B09	B028	B027	B026	B025	B024	B023	B022	B021	B020	B019	B018	B017	B016		
			W																	
不定																				
送信バッファ用レジスタ(FIFO)																				
I2S0CTL	I ² S Control Register0	1808H	TXE0	*CNTE0				DIR0	BIT0	DTFMT01	DTFMT00	SYSCKE0								
			R/W	R/W			R/W	R/W	R/W	R/W	R/W	R/W	R/W							
			0	0			0	0	0	0	0	0	0							
			送信 0: 停止 1: 開始	カウンタ 制御 0: クリア 1: スタート			送信開始 BIT 0: MSB 1: LSB	ビット長 0: 8ビット 1: 16ビット	出力フォーマット 00: I ² S 10: Right 01: Left 11: Reserve	システム クロック 0: 禁止 1: 許可										
I2S0CTL	I ² S Control Register0	1809H	CLKS0					FSEL0	TEMP0	WLVL0	EDGE0	CLKE0								
			R/W				R/W	R	R/W	R/W	R/W	R/W								
			0				0	1	0	0	0	0								
			ソース クロック 選択 0: f _{SYS} 1: f _{PLL}				ステレオ モノラル 切り替え 0: ステレオ 1: モノラル	送信 FIFO 状態 0: data 有 1: data 無	WS レベル 0: low 左 1: high 左	データ出力 用クロック エッジ 0: 立ち下が り 1: 立ち上が り	クロック 許可 (送信後) 0: 動作 1: 停止									
I2S0C	I ² S CK counter Register0	180AH	CK07	CK06	CK05	CK04	CK03	CK02	CK01	CK00										
			R/W																	
			0	0	0	0	0	0	0	0	0	0								
			CK 信号分周値設定(8ビットカウンタ)																	
I2S0C	I ² S WS counter Register0	180BH			WS05	WS04	WS03	WS02	WS01	WS00										
			R/W																	
					0	0	0	0	0	0	0	0								
			WS 信号分周値設定(6ビットカウンタ)																	

(21) MAC (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MACMA_LL	Data register 乗数 A-LL	1BE0H	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
			R/W							
			不定							
			乗数 A データレジスタ <7:0>							
MACMA_LH	Data register 乗数 A-LH	1BE1H	MA15	MA14	MA13	MA12	MA11	MA10	MA9	MA8
			R/W							
			不定							
			乗数 A データレジスタ <15:8>							
MACMA_HL	Data register 乗数 A-HL	1BE2H	MA23	MA22	MA21	MA20	MA19	MA18	MA17	MA16
			R/W							
			不定							
			乗数 A データレジスタ <23:16>							
MACMA_HH	Data register 乗数 A-HH	1BE3H	MA31	MA30	MA29	MA28	MA27	MA26	MA25	MA24
			R/W							
			不定							
			乗数 A データレジスタ <31:24>							
MACMB_LL	Data register 乗数 B-LL	1BE4H	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
			R/W							
			不定							
			乗数 B データレジスタ <7:0>							
MACMB_LH	Data register 乗数 B-LH	1BE5H	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8
			R/W							
			不定							
			乗数 B データレジスタ <15:8>							
MACMB_HL	Data register 乗数 B-HL	1BE6H	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
			R/W							
			不定							
			乗数 B データレジスタ <23:16>							
MACMB_HH	Data register 乗数 B-HH	1BE7H	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24
			R/W							
			不定							
			乗数 B データレジスタ <31:24>							
MACOR_LLL	Data register 和積-LLL	1BE8H	OR7	OR6	OR5	OR4	OR3	OR2	OR1	OR0
			R/W							
			不定							
			和積データレジスタ <7:0>							
MACOR_LLH	Data register 和積-LLH	1BE9H	OR15	OR14	OR13	OR12	OR11	OR10	OR9	OR8
			R/W							
			不定							
			和積データレジスタ <15:8>							
MACOR_LHL	Data register 和積-LGL	1BEAH	OR23	OR22	OR21	OR20	OR19	OR18	OR17	OR16
			R/W							
			不定							
			和積データレジスタ <23:16>							
MACOR_LHH	Data register 和積-LHH	1BEBH	OR31	OR30	OR29	OR28	OR27	OR26	OR25	OR24
			R/W							
			不定							
			和積データレジスタ <31:24>							

(21) MAC (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
MACOR_HLL	Data register 和積-HLL	1BECH	OR39	OR38	OR37	OR36	OR35	OR34	OR33	OR32		
			R/W									
			不定									
			和積データレジスタ<39:32>									
MACOR_HLH	Data register 和積-HLH	1BEDH	OR47	OR46	OR45	OR44	OR43	OR42	OR41	OR40		
			R/W									
			不定									
			和積データレジスタ<47:40>									
MACOR_HHL	Data register 和積-HHL	1BEEH	OR55	OR54	OR53	OR52	OR51	OR50	OR49	OR48		
			R/W									
			不定									
			和積データレジスタ<55:48>									
MACOR_HHH	Data register 和積-HHH	1BEFH	OR63	OR62	OR61	OR60	OR59	OR58	OR57	OR56		
			R/W									
			不定									
			和積データレジスタ<63:56>									
MACCR	MAC Control Register	1BFCH (RMW 禁)	MOVF	MOPST	MSTTG2	MSTTG1	MSTTG0	MSGMD	MOPMD1	MOPMD0		
			R/W	W	R/W			R/W	R/W			
			0	0	0	0	0	0	0	0		
			オーバーフローフラグ	演算ソフトスタート 0: don't care 1: 演算スタート	演算スタートトリガ選択 000: MACMA<7:0>へのライト 001: MACMB<7:0>へのライト 010: MACMOR<7:0>へのライト 011: MACMOR<39:32>へのライト 1xx: <MOPST>への"1"ライト			符号モード 0: 符号なし 1: 符号付き	演算モード 00: 64 + 32×32 01: 64 - 32×32 10: 32×32 - 64 11: Reserved			
			0: オーバーフロー無し 1: オーバーフロー発生	リードすると常に"0"になります。								
			Not Rec for New									

6. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例) TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

b. リードモディファイライト命令 (RMW)

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1: SET 3, (TA01RUN) ... TA01RUN レジスタのビット 3 をセットする

例 2: INC 1, (100H) ... アドレス 100H のデータを+1 する

• TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/#	ADC (mem), R/#
SUB (mem), R/#	SBC (mem), R/#
INC #3, (mem)	DEC #3, (mem)

論理演算

AND (mem), R/#	OR (mem), R/#
XOR (mem), R/#	

ビット操作

STCF #3/A, (mem)	RES #3, (mem)
SET #3, (mem)	CHG #3, (mem)
TSET #3, (mem)	

ローテート、シフト

RLC (mem)	RRC (mem)
RL (mem)	RR (mem)
SLA (mem)	SRA (mem)
SLL (mem)	SRL (mem)
RLD (mem)	RRD (mem)

c. fOSCH, fc, fSYS, fIO および 1 ステート

X1, X2 端子より入力されるクロック周波数を fOSCH、PLLCR0<FCSEL> レジスタにより選択されるクロック周波数を fc と呼びます。

また、SYSCR1<GEAR2:0> レジスタにより選択されるクロック周波数をシステムクロック fSYS、fSYS を 2 分周して得られたクロック周波数を fIO と呼びます。

この fSYS の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0 と AM1 端子

これらの端子は、V_{CC} (電源レベル) または V_{SS} (グラウンドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b. アドレス空間の予約領域

022000H~045FFFH の 144K バイト空間および FFFFF0H~FFFFFFH の 16 バイト空間は内部エリアとして予約されているため使用できません。また、エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータの制御のために使用されるため、その空間を使用することができません。

c. スタンバイモード (IDLE1)

IDLE1 モード(発振回路のみ動作)に設定し、HALT 命令を実行した場合、RTC、メロディ/アラームジェネレータ(MLD)は動作イネーブル状態です。必要に応じて止めてください。

d. ウォームアップタイム

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップタイムは動作を始めます。結果として、解除要求入力からシステムタロックが出力されるまでの間にはウォームアップ時間と同じだけの時間が掛かります。

e. ウォッチドッグタイム

リセット後、ウォッチドッグタイムは動作状態となっていますので、ウォッチドッグタイムを使用しない場合は動作禁止に設定してください。

f. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離す機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

g. CPU (マイクロ DMA)

LDC cr, r 命令、および LDC r, cr 命令だけが CPU 内の制御レジスタとのアクセスに利用できます。(例えば、DMASn レジスタなど)

h. 未定義 SFR ビット

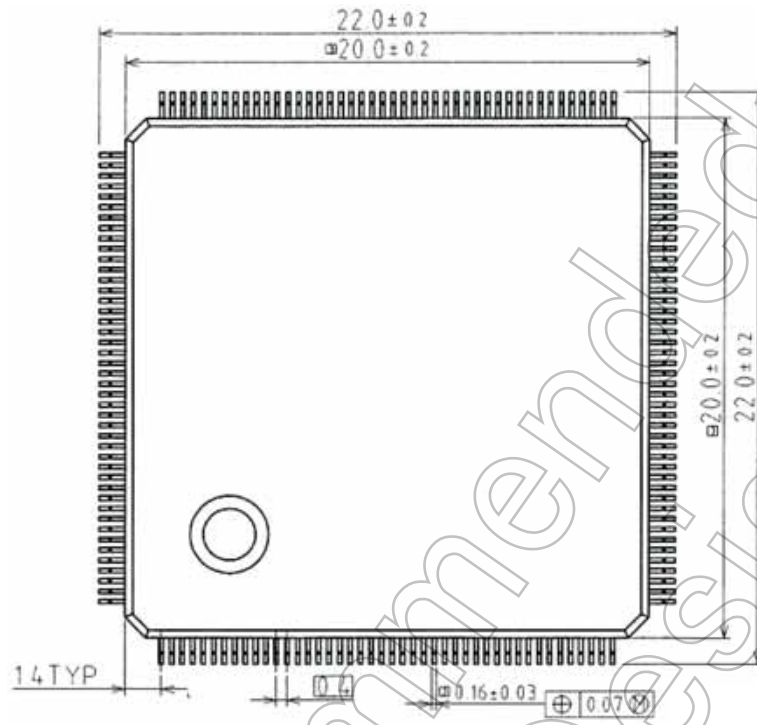
SFR (Special function register) の未定義ビットの値は、読み出すと不定値が出力されます。

i. 「POP SR」命令

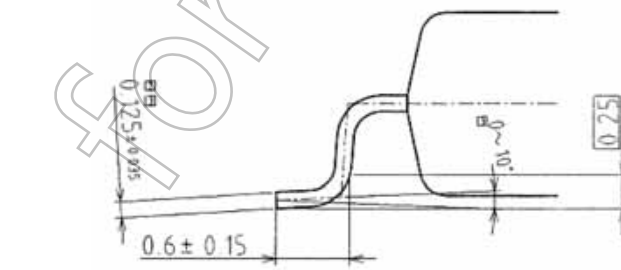
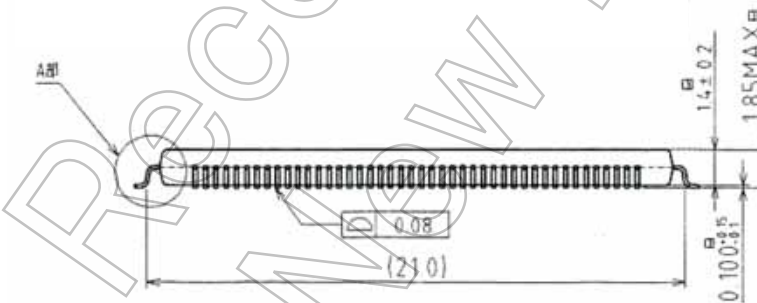
「POP SR」命令の実行は、DI (割り込み不許可) 状態で行ってください。

7. 外形寸法図

LQFP176-P-2020-0.40F



TOP VIEW



A部詳細図(25/1)

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は、適用可否に対する責任は負いません。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途書面による契約がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本製品および技術情報に関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

Not Recommended
for New Design