

32 ビット RISC マイクロコントローラ

TMPM4L グループ(1)

リファレンスマニュアル

例外

(EXCEPT-M4L(1))

Revision 1.1

2019-06

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
1.1. 種類	9
1.2. 処理の流れ	10
1.2.1. 例外要求と検出	10
1.2.2. 例外の処理と割り込み処理ルーチンへの分岐 (横取り)	12
1.2.3. 割り込み処理ルーチンの実行	14
1.2.4. 例外からの復帰	14
2. リセット例外	15
3. SysTick	15
4. 割り込み	16
4.1. マスク不能割り込み(NMI)	16
4.2. マスク可能割り込み	16
4.3. 割り込み要求	16
4.3.1. 割り込み経路	16
4.3.2. 割り込み要求の発生	18
4.3.3. 割り込み要求のモニタ	19
4.3.4. 割り込み要因の伝達	19
4.3.5. 外部割り込み端子を使用する際の注意	19
4.4. 要因一覧	20
4.5. 割り込み検知レベル	23
4.5.1. 低消費電力モード解除時の注意	23
4.6. 処理手順	24
4.6.1. 処理の流れ	24
4.6.2. 準備	25
4.6.3. 検出(INTIF)	27
4.6.4. 検出(CPU)	27
4.6.5. CPU の処理	27
4.6.6. 割り込み処理ルーチンでの処理(要因の取り下げ)	28
5. 例外/ 割り込み関連レジスタ	29
5.1. レジスタ一覧	29
5.2. 割り込み制御レジスタ A	32
5.2.1. [IANIC00] (マスク不能割り込み A コントロールレジスタ 00)	32
5.3. 割り込み制御レジスタ B	32

5.3.1. [IBNIC00] (マスク不能割り込み B コントロールレジスタ 00).....	32
5.3.2. [IBIMC000~043] (割り込み B モードコントロールレジスタ n).....	33
5.4. リセットフラグレジスタ.....	34
5.4.1. [RLMRSTFLG0] (リセットフラグレジスタ 0).....	34
5.4.2. [RLMRSTFLG1] (リセットフラグレジスタ 1).....	35
5.5. 割り込みモニタレジスタ.....	36
5.5.1. [IMNFLGNMI] (マスク不能割り込みモニタフラグレジスタ).....	36
5.5.2. [IMNFLG3] (割り込みモニタフラグレジスタ 3).....	36
5.5.3. [IMNFLG4] (割り込みモニタフラグレジスタ 4).....	38
5.6. NVIC レジスタ.....	39
5.6.1. SysTick 制御およびステータスレジスタ.....	39
5.6.2. SysTick リロード値レジスタ.....	39
5.6.3. SysTick 現在値レジスタ.....	39
5.6.4. SysTick 較正值レジスタ.....	39
5.6.5. 割り込み制御用レジスタ.....	40
5.6.5.1. 割り込みイネーブルセットレジスタ.....	40
5.6.5.2. 割り込みイネーブルクリアレジスタ.....	42
5.6.5.3. 割り込み保留セットレジスタ.....	44
5.6.5.4. 割り込み保留クリアレジスタ.....	46
5.6.6. 割り込み優先度レジスタ.....	48
5.6.7. ベクタテーブルオフセットレジスタ.....	49
5.6.8. アプリケーション割り込みおよびリセット制御レジスタ.....	50
5.6.9. システムハンドラ優先度レジスタ.....	51
5.6.10. システムハンドラ制御および状態レジスタ.....	52
6. 製品別の割り込み要因一覧.....	53
6.1. TPM4L2/TPM4L1.....	53
7. 改訂履歴.....	56
製品取り扱い上のお願い.....	57

図目次

図 4.1 割り込み伝達経路	17
----------------------	----

表目次

表 1.1 例外の種類と優先度	11
表 1.2 優先度のグループ化設定	12
表 4.1 割り込み伝達経路の説明	18
表 4.2 割り込み要因一覧(マスク不能割り込み)	20
表 4.3 割り込み要因一覧(割り込み制御レジスタ B(1))	20
表 4.4 割り込み要因一覧(割り込み制御レジスタ B(2)) (1/3)	21
表 4.5 割り込み要因一覧(割り込み制御レジスタ B(2)) (2/3)	22
表 4.6 割り込み要因一覧(割り込み制御レジスタ B(2)) (3/3)	23
表 7.1 改訂履歴	56

序章

関連するドキュメント

文書名
電源とリセット動作
周波数検知回路
クロック選択式ウォッチドッグタイマ
電圧検知回路
クロック制御と動作モード
Arm® Cortex®-M4 Processor Technical Reference Manual

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C, ... を表します。
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2, ... を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder input Circuit (32-bit)
A-VE	Advanced Vector Engine
IA	Interrupt control register A
IB	Interrupt control register B
IMCxx	Interrupt Mode Control xx
IMNFLGNMI	Interrupt Monitor Flag NMI
IMNFLGx	Interrupt Monitor Flag x
INT	Interrupt
INTIF	Interrupt Interface Logic
ISR	Interrupt Service Routine
LVD	Voltage Detection Circuit
NICxx	Non-Maskable Interrupt Control xx
NVIC	Nested Vectored Interrupt Controller
OFD	Oscillation Frequency Detector
PMD+	Programmable Motor Control Circuit Plus
POR	Power On Reset Circuit
RAMP	RAM parity
RLMRSTFLGx	RLM Reset Flag x
SIWDT	Clock Selective Watchdog Timer
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

例外はCPUのアーキテクチャと深くかかわる部分ですので、必要に応じて「Arm® Cortex®-M4 Processor Technical Reference Manual」もご覧ください。

1. 概要

例外はCPUに対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

全ての例外は優先度に従ってCPU内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPUはそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

1.1. 種類

例外には以下のようなものがあります。

それぞれの例外の詳細な内容は、「Arm Cortex-M4 Processor Technical Reference Manual」を参照してください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCcall (スーパーバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

1.2. 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明でハードウェアによる処理とソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
INTIF/CPU が例外を検出	INTIF/CPU が例外要求を検出します。	1.2.1.節
↓		
CPU が例外を処理	CPU が例外処理を行います。	1.2.2.節
↓		
CPU が割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	1.2.2.節
↓		
割り込み処理ルーチン実行	必要な処理を行います。	1.2.3.節
↓		
例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します	1.2.4.節

1.2.1. 例外要求と検出

(1) 例外要求の発生

例外は、CPUの命令実行、メモリアクセス、外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPUの命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

外部割り込み端子や周辺機能による例外の要求は、個々の機能要因により発生します。INTIFを経由する割り込みについては、割り込み制御レジスタの設定も必要になります。詳細は「4.割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度に従って最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。「構成可能」と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。

禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 1.1 例外の種類と優先度

例外	優先度	要因	オフセット
リセット	-3(最高)	リセット端子、POR リセット、OFD リセット、SIWDT リセット、LVD リセット、SYSRESETREQ リセット、LOCKUP リセット	0x00
マスク不能割り込み	-2	SIWDT、LVD	0x08
ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト	0x0C
メモリ管理	構成可能	MPU (メモリ保護ユニット) からの例外 実行不可(XN) (Execute Never) 領域からの命令フェッチ	0x10
バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス	0x14
用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー	0x18
予約	—	—	0x1C - 0x28
SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し	0x2C
デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ	0x30
予約	—	—	0x34
PendSV	構成可能	保留可能なシステムサービスへの要求	0x38
SysTick	構成可能	システムタイマからの通知	0x3C
外部割り込み	構成可能	外部割り込み端子や周辺機能(注)	0x40

注) 割り込みは、製品により要因が異なります。具体的な要因と番号については、「4.4.要因一覧」を参照してください。

(3) 優先度の設定

- 優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>に設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により3ビット～8ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8ビットの構成の場合、優先度は0～255のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

TMPM4L グループ(1)では、<PRI_n[7:0]>の上位4ビットを実装しています。優先度は0～15のレベルです。

- 優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 1.2に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 1.2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注) <PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。例えば、4 ビット構成の場合、<PRI_n[7:4]>で優先度が設定され、<PRI_n[3:0]>は"0000"になります。

1.2.2. 例外の処理と割り込み処理ルーチンへの分岐 (横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を「横取り」と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

1. プログラムカウンタ(PC)
2. プログラムステータスレジスタ(xPSR)
3. r0~r3
4. r12
5. リンクレジスタ(LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x00000000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

また、ベクタテーブルにはメインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチをあらためて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの初期値、リセット、マスク不能割り込み、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。

その他の例外については、割り込み処理ルーチンのアドレスを必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインタスクの初期化	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C~0x28	予約	—	—
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約	—	—
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

1.2.3. 割り込み処理ルーチンの実行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「4.割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPUは現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

1.2.4. 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン
保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。
このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。
- 処理が中断されている割り込み処理ルーチンへ復帰
保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。
- 元のプログラムへ復帰
保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPUは、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰
退避していた8つのレジスタ(PC, xPSR, r0~r3, r12, LR)を復帰しSPを調整します。
- 割り込み番号のロード
退避していたxPSRから現在有効な割り込み番号をロードします。この割り込み番号によってCPUはどの割り込みに復帰するかを制御します。
- SPの選択
例外(ハンドラモード)へ復帰する場合、SPはSP_mainです。スレッドモードへ復帰する場合、SPはSP_mainまたはSP_processです。

2. リセット例外

リセット例外には、以下の要因があります。

リセットの要因を確認するためには、リセットフラグレジスタの[*RLMRSTFLGn*]を参照してください。

- リセット端子によるリセット例外
リセット端子を"Low"レベルにしたのち、"High"レベルにすることによりリセット例外が発生します。
- POR によるリセット例外
POR によるリセット例外が発生する機能があります。POR の詳細はリファレンスマニュアルの「電源とリセット動作」を参照してください。
- OFD によるリセット例外
OFD によるリセット例外が発生する機能があります。OFD の詳細はリファレンスマニュアルの「周波数検知回路」を参照してください。
- SIWDT によるリセット例外
SIWDT にリセット例外が発生する機能があります。SIWDT の詳細はリファレンスマニュアルの「クロック選択式ウォッチドッグタイマ」を参照してください。
- LVD によるリセット例外
LVD にリセット例外が発生する機能があります。LVD の詳細はリファレンスマニュアルの「電圧検知回路」を参照してください。
- <SYSRESETREQ>によるリセット例外
NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの <SYSRESETREQ>をセットすることで、リセット例外が発生させることができます。
- LOCKUP によるリセット例外
回復不能な例外が発生すると Cortex-M4(FPU 機能搭載)プロセッサは LOCKUP 信号を出力し、リセット例外が発生します。LOCKUP の詳細は「Arm Cortex-M4 Processor Technical Reference Manual」を参照してください。

3. SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外が発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

4. 割り込み

この節では、割り込み要求の伝わる経路、要因、必要な設定について説明します。

4.1. マスク不能割り込み(NMI)

マスク不能割り込みには、以下の要因があります。

- SIWDT によるマスク不能割り込み
SIWDT にマスク不能割り込みを発生する機能があります。SIWDT の詳細はリファレンスマニュアルの「クロック選択式ウォッチドッグタイマ」を参照してください。
- LVD によるマスク不能割り込み
LVD にマスク不能割り込みを発生する機能があります。LVD の詳細はリファレンスマニュアルの「電圧検知回路」を参照してください。

4.2. マスク可能割り込み

マスク可能割り込みの要因については、「4.4.要因一覧」の割り込み制御レジスタ A、割り込み制御レジスタ B を参照してください。

4.3. 割り込み要求

割り込みは、割り込み要因ごとに割り込み要求信号により CPU へ通知されます。CPU は、優先順位付けを行い、最も優先度の高い割り込みを発生します。

4.3.1. 割り込み経路

割り込みは、低消費電力モードからの解除にも使用可能で要因により経路が異なります。

図 4.1 に割り込みの伝達経路を表 4.1 に割り込み伝達経路の説明を示します。

- IDLE、STOP1 モードを解除可能な割り込み
IDLE、STOP1 モードを解除可能な割り込みは、INTIF を経由する 2 経路があります。
 - (1) INTIF 内の割り込み制御レジスタ A で制御され CPU へ通知されます。(経路①②③)
 - (2) INTIF 内の割り込み制御レジスタ B で制御され CPU へ通知されます。(経路④⑤⑥)
- IDLE モードを解除可能な割り込み
IDLE モードを解除可能な割り込みの一部の要因は INTIF を経由(経路⑦)し割り込み制御レジスタ B で制御されますがその他の要因は INTIF を経由せず(経路⑧)直接 CPU へ通知されます。

低消費電力モード解除に関わらず INTIF を経由した割り込み要因を使用する場合は、割り込み制御レジスタ A または B の設定が必要です。

低消費電力モード解除要因の詳細については、リファレンスマニュアル「クロック制御と動作モード」の「低消費電力モードの解除ソース」の章を参照してください。

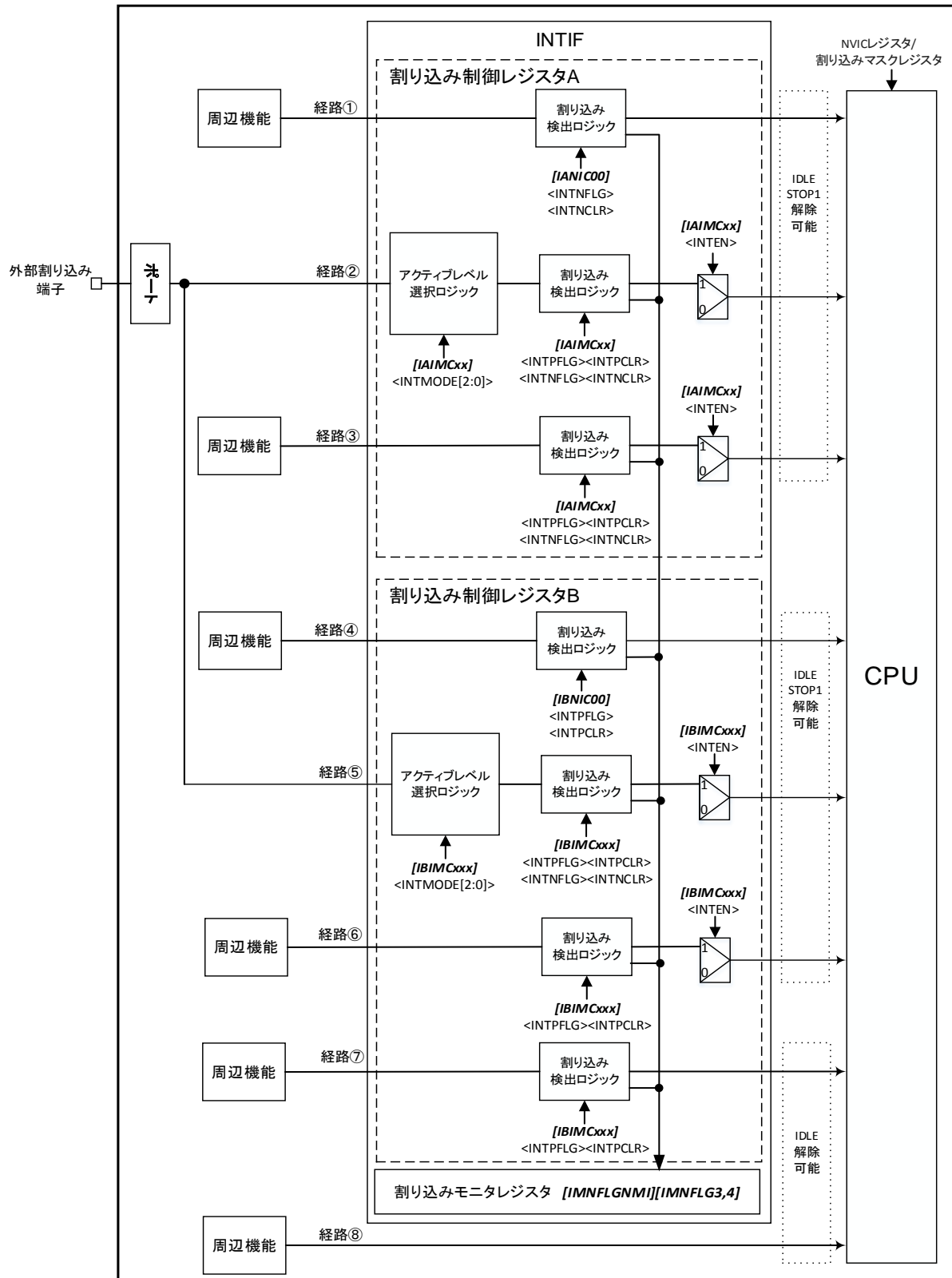


図 4.1 割り込み伝達経路

表 4.1 割り込み伝達経路の説明

経路	割り込み番号	割り込み要求	経路説明
①	—	LVD 割り込み	マスク不能割り込みです。 INTIF を経由して CPU に入力される経路です。 割り込み制御レジスタ A(<i>[IANIC00]</i>) で割り込み解除設定をします。
②	—	—	ポートの割り込み要求が INTIF を経由して CPU に入力される経路です。 要因ごとに割り込み制御レジスタ A(<i>[IAIMCxx]</i>) で割り込み検知レベルの選択、割り込み解除、割り込み要求の許可/禁止を設定します。
③	—	—	INTIF を経由して CPU に入力される経路です。 割り込み制御レジスタ A(<i>[IAIMCxx]</i>) で割り込み解除、割り込み要求の許可/禁止を設定します。
④	—	WDT 割り込み	マスク不能割り込みです。 INTIF を経由して CPU に入力される経路です。 割り込み制御レジスタ B(<i>[IBNIC00]</i>) で割り込み解除設定をします。
⑤	0~7	外部割り込み(00~07)	ポートの割り込み要求が INTIF を経由して CPU に入力される経路です。 要因ごとに割り込み制御レジスタ B(<i>[IBIMCxxx]</i>) で割り込み検知レベルの選択、割り込み解除、割り込み要求の許可/禁止を設定します。
⑥	8~23	T32A タイマー致、オーバフロー、 アンダフロー割り込み T32A キャプチャ割り込み	INTIF を経由して CPU に入力される経路です。 割り込み制御レジスタ B(<i>[IBIMCxxx]</i>) で割り込み解除、割り込み要求の許可/禁止を設定します。
⑦	—	—	INTIF を経由して CPU に入力される経路です。 要因ごとに割り込み制御レジスタ B(<i>[IBIMCxxx]</i>) で割り込み解除設定をします。
⑧	24~58	その他の割り込み(注)	INTIF を経由せず、直接 CPU に割り込み要求が入力される経路です。

注) その他の割り込みは「4.4.要因一覧」を参照してください。

4.3.2. 割り込み要求の発生

割り込み要求は、割り込み要求に割り当てられた外部割り込み端子、周辺機能、割り込み要因に割り当てられた NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部割り込み端子からの割り込み
外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み
周辺機能の割り込みを使用する場合、使用する周辺機能で割り込み要求が発生されるよう設定する必要があります。
設定の詳細については各章を参照ください。
- 割り込み要求の強制的な発生
NVIC の割り込み保留セットレジスタの該当するビットをセットすることで、割り込み要求を強制的に発生させることができます。

CPU は、割り込み要求の"High"レベルを割り込みとして認識します。

4.3.3. 割り込み要求のモニタ

INTIF には、割り込みモニタフラグを備えています。フラグをモニタすることで割り込み要求が発生していることが分かります。複数の割り込み要求を 1 つの割り込み要因で受けている場合、割り込みモニタレジスタで割り込み要求を判断することができます。詳細は、「4.4.要因一覧」を参照してください。

4.3.4. 割り込み要因の伝達

割り込み制御レジスタを経由しない割り込み要求は、直接 CPU に接続されます。低消費電力モードの解除要因として使用できる割り込みなど、INTIF を経由して CPU に接続される割り込みは、INTIF の割り込み制御レジスタの設定が必要です。割り込みを低消費電力モードの解除要因として使用する場合は "High" レベルが CPU に伝達されます。INTIF で割り込み検知レベル、割り込み検出許可/禁止の設定をしてください。なお、外部割り込みについては次項の注意事項に留意してください。

4.3.5. 外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル ($[PxIE] < PxmiE > = 0$) の場合 "Low" レベルとなります。割り込み制御レジスタで $[IAIMCxx] < INTMODE >$ を "Low" レベルとしていた場合、入力ディセーブルの状態でも外部割り込み端子が "Low" レベルと認識されその状態で割り込みを有効にするとそのまま CPU に伝わり割り込みが発生します。

割り込み端子入力を "High" レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

4.4. 要因一覧

マスク不能割り込み(NMI)の割り込み要因を表 4.2に示します。マスク不能割り込み(NMI)の要因解除の設定を割り込み制御レジスタ A と割り込み制御レジスタ B で行います。

表 4.2 割り込み要因一覧(マスク不能割り込み)

割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
INTLVD	LVD 割り込み	<i>[IANIC00]</i>	<i>[IMNFLGNMI]</i> <INT000FLG>
INTWDT0	WDT 割り込み	<i>[IBNIC00]</i>	<i>[IMNFLGNMI]</i> <INT016FLG>

割り込み制御レジスタ B の割り込み要因一覧を表 4.3に示します。これら割り込み要因は、低消費電力モード解除要因とすることができます。低消費電力モード解除検出の各種設定、割り込み検出許可/禁止を割り込み制御レジスタ B で行います。

表 4.3 割り込み要因一覧(割り込み制御レジスタB(1))

割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
0	INT00	外部割り込み 00	<i>[IBIMC000]</i>	<i>[IMNFLG3]</i> <INT096FLG>
1	INT01	外部割り込み 01	<i>[IBIMC001]</i>	<i>[IMNFLG3]</i> <INT097FLG>
2	INT02	外部割り込み 02	<i>[IBIMC002]</i>	<i>[IMNFLG3]</i> <INT098FLG>
3	INT03	外部割り込み 03	<i>[IBIMC003]</i>	<i>[IMNFLG3]</i> <INT099FLG>
4	INT04	外部割り込み 04	<i>[IBIMC004]</i>	<i>[IMNFLG3]</i> <INT100FLG>
5	INT05	外部割り込み 05	<i>[IBIMC005]</i>	<i>[IMNFLG3]</i> <INT101FLG>
6	INT06	外部割り込み 06	<i>[IBIMC006]</i>	<i>[IMNFLG3]</i> <INT102FLG>
7	INT07	外部割り込み 07	<i>[IBIMC007]</i>	<i>[IMNFLG3]</i> <INT103FLG>

割り込み制御レジスタ B の要因一覧を表 4.4～表 4.6 に示します。一部の割り込みは、割り込み検出許可/禁止の設定を割り込み制御レジスタ B で行います。

表 4.4 割り込み要因一覧(割り込み制御レジスタB(2)) (1/3)

割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
8	INTT32A00_AT_CT	T32A ch0 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC008]	[IMNFLG3] <INT104FLG>
		T32A ch0 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC009]	[IMNFLG3] <INT105FLG>
9	INTT32A00_A01_C0	T32A ch0 タイマ A キャプチャ 0	[IBIMC010]	[IMNFLG3] <INT106FLG>
		T32A ch0 タイマ A キャプチャ 1	[IBIMC011]	[IMNFLG3] <INT107FLG>
		T32A ch0 タイマ C キャプチャ 0	[IBIMC012]	[IMNFLG3] <INT108FLG>
10	INTT32A00_BT_C1	T32A ch0 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC013]	[IMNFLG3] <INT109FLG>
		T32A ch0 タイマ C キャプチャ 1	[IBIMC014]	[IMNFLG3] <INT110FLG>
11	INTT32A00_B01	T32A ch0 タイマ B キャプチャ 0	[IBIMC015]	[IMNFLG3] <INT111FLG>
		T32A ch0 タイマ B キャプチャ 1	[IBIMC016]	[IMNFLG3] <INT112FLG>
12	INTT32A01_AT_CT	T32A ch1 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC017]	[IMNFLG3] <INT113FLG>
		T32A ch1 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC018]	[IMNFLG3] <INT114FLG>
13	INTT32A01_A01_C0	T32A ch1 タイマ A キャプチャ 0	[IBIMC019]	[IMNFLG3] <INT115FLG>
		T32A ch1 タイマ A キャプチャ 1	[IBIMC020]	[IMNFLG3] <INT116FLG>
		T32A ch1 タイマ C キャプチャ 0	[IBIMC021]	[IMNFLG3] <INT117FLG>
14	INTT32A01_BT_C1	T32A ch1 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC022]	[IMNFLG3] <INT118FLG>
		T32A ch1 タイマ C キャプチャ 1	[IBIMC023]	[IMNFLG3] <INT119FLG>
15	INTT32A01_B01	T32A ch1 タイマ B キャプチャ 0	[IBIMC024]	[IMNFLG3] <INT120FLG>
		T32A ch1 タイマ B キャプチャ 1	[IBIMC025]	[IMNFLG3] <INT121FLG>
16	INTT32A02_AT_CT	T32A ch2 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC026]	[IMNFLG3] <INT122FLG>
		T32A ch2 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC027]	[IMNFLG3] <INT123FLG>
17	INTT32A02_A01_C0	T32A ch2 タイマ A キャプチャ 0	[IBIMC028]	[IMNFLG3] <INT124FLG>
		T32A ch2 タイマ A キャプチャ 1	[IBIMC029]	[IMNFLG3] <INT125FLG>
		T32A ch2 タイマ C キャプチャ 0	[IBIMC030]	[IMNFLG3] <INT126FLG>
18	INTT32A02_BT_C1	T32A ch2 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC031]	[IMNFLG3] <INT127FLG>
		T32A ch2 タイマ C キャプチャ 1	[IBIMC032]	[IMNFLG4] <INT128FLG>
19	INTT32A02_B01	T32A ch2 タイマ B キャプチャ 0	[IBIMC033]	[IMNFLG4] <INT129FLG>
		T32A ch2 タイマ B キャプチャ 1	[IBIMC034]	[IMNFLG4] <INT130FLG>

表 4.5 割り込み要因一覧(割り込み制御レジスタB(2)) (2/3)

割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
20	INTT32A03_AT_CT	T32A ch3 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC035]	[IMNFLG4] <INT131FLG>
		T32A ch3 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC036]	[IMNFLG4] <INT132FLG>
21	INTT32A03_A01_C0	T32A ch3 タイマ A キャプチャ 0	[IBIMC037]	[IMNFLG4] <INT133FLG>
		T32A ch3 タイマ A キャプチャ 1	[IBIMC038]	[IMNFLG4] <INT134FLG>
		T32A ch3 タイマ C キャプチャ 0	[IBIMC039]	[IMNFLG4] <INT135FLG>
22	INTT32A03_BT_C1	T32A ch3 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC040]	[IMNFLG4] <INT136FLG>
		T32A ch3 タイマ C キャプチャ 1	[IBIMC041]	[IMNFLG4] <INT137FLG>
23	INTT32A03_B01	T32A ch3 タイマ B キャプチャ 0	[IBIMC042]	[IMNFLG4] <INT138FLG>
		T32A ch3 タイマ B キャプチャ 1	[IBIMC043]	[IMNFLG4] <INT139FLG>
24	INTVCN0	A-VE ch0 スケジュール終了割り込み		
25	INTVCT0	A-VE ch0 タスク終了割り込み		
26	INTEMG0	PMD+ ch0 EMG 割り込み		
27	INTOVV0	PMD+ ch0 OVV 割り込み		
28	INTPWM0	PMD+ ch0 PWM 割り込み		
29	INTENC00	A-ENC32 ch0 エンコーダ入力割り込み 0		
30	INTENC01	A-ENC32 ch0 エンコーダ入力割り込み 1		
31	—	—		
32	INTADAPDA	ADC unitA PMDトリガ割り込み A		
33	INTADAPDB	ADC unitA PMDトリガ割り込み B		
34	INTADACP0	ADC unitA 監視機能 0 割り込み		
35	INTADACP1	ADC unitA 監視機能 1 割り込み		
36	INTADATRG	ADC unitA 汎用トリガ割り込み		
37	INTADASGL	ADC unitA 単独変換割り込み		
38	INTADACNT	ADC unitA 連続変換割り込み		
39	INTT0RX	TSPI ch0 受信割り込み		
40	INTT0TX	TSPI ch0 送信割り込み		
41	INTT0ERR	TSPI ch0 エラー割り込み		
42	INTT1RX	TSPI ch1 受信割り込み		
43	INTT1TX	TSPI ch1 送信割り込み		
44	INTT1ERR	TSPI ch1 エラー割り込み		

表 4.6 割り込み要因一覧(割り込み制御レジスタB(2)) (3/3)

割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
45	INTT2RX	TSPI ch2 受信割り込み		
46	INTT2TX	TSPI ch2 送信割り込み		
47	INTT2ERR	TSPI ch2 エラー割り込み		
48	INTUART0RX	UART ch0 受信割り込み		
49	INTUART0TX	UART ch0 送信割り込み		
50	INTUART0ERR	UART ch0 エラー割り込み		
51	INTUART1RX	UART ch1 受信割り込み		
52	INTUART1TX	UART ch1 送信割り込み		
53	INTUART1ERR	UART ch1 エラー割り込み		
54	INTUART2RX	UART ch2 受信割り込み		
55	INTUART2TX	UART ch2 送信割り込み		
56	INTUART2ERR	UART ch2 エラー割り込み		
57	INTPARIO	RAMP ch0 RAM パリティ割り込み		
58	INTFLCRDY	Code FLASH Ready 割り込み		

4.5. 割り込み検知レベル

INTIF を経由して割り込みを使用するときは、割り込み制御レジスタ A または B で割り込み検知レベル("Low"レベル/"High"レベル/立ち上がりエッジ/立ち下がりエッジ)を選択できます。検出された割り込みは、"High"レベル信号で CPU に出力されます。

各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを CPU に出力します。

CPU は割り込み信号の"High"レベルを割り込み要因とみなします。

4.5.1. 低消費電力モード解除時の注意

STOP1 モードからの解除設定には、下記 2 つの設定が必要です。

- ・ 割り込み制御レジスタ B(*IBIMCxxx*)の設定
割り込み検知レベル、割り込み検出許可/禁止
- ・ NVIC 割り込みイネーブルセットレジスタの設定
許可設定

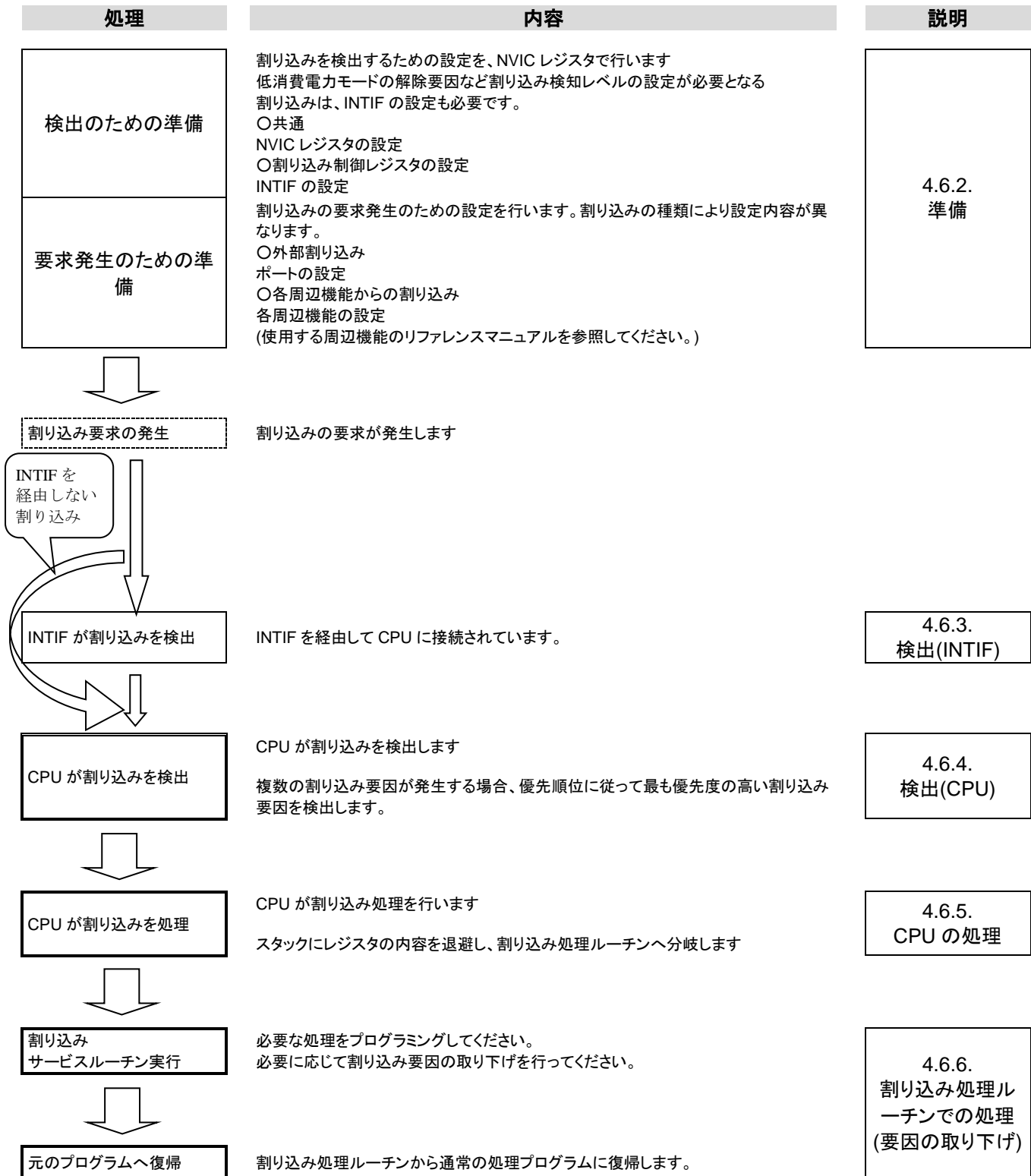
STOP1 モードから NORMAL モードに復帰する動作は高速クロック発振後、割り込みにジャンプすることで停止している命令が再開されます。

4.6. 処理手順

4.6.1. 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、ハードウェアによる処理とソフトウェアによる処理を示しています。



4.6.2. 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPUで割り込みを禁止し、次に割り込み経路でCPUから遠いところから設定を行い、最後にCPUで割り込みを許可します。

INTIFの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないようINTIF内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み端子)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. INTIF の設定
7. CPU 割り込み許可

(1) CPU 割り込み禁止

CPUを割り込み禁止状態にするには、**[PRIMASK]**レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォルト例外以外の全ての割り込みと例外がマスクされます。

このレジスタをセットするためには「MSR」命令を使用します。

割り込みマスクレジスタ		
[PRIMASK]	←	"1"(割り込み禁止)

注1) **[PRIMASK]**レジスタは、ユーザ・アクセス・レベルではセットできません。

注2) **[PRIMASK]**レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2) CPU 割り込み設定

NVIC レジスタの割り込み優先度レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8ビットの構成の場合"0"から"255"までの優先度を設定することができます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。この製品では割り込み優先度レジスタの優先度設定領域は4ビットの構成になっています。

(3) 要因の準備(1) (外部割り込み端子)

外部割り込み端子を使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートを入力として使用するために[PxIE]<PxmlE>を"1"に設定します。

ポートレジスタ		
[PxIE]<PxmlE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビットのファンクションレジスタ番号を示します。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「4.3.5.外部割り込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能のリファレンスマニュアルをご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
<SETPEND>	←	"1"

注) <SETPEND>は該当ビットを示します。

(6) INTIF の設定

INTIF を経由する割り込みは、割り込み制御レジスタで割り込み検出許可の設定を行います。

[IANIC00]/[IBNIC00]/[IBIMCxxx]レジスタは割り込み要求ごとの設定レジスタです。割り込み検出許可の前に、割り込み検出ロジックで不要な割り込み発生を防止するため割り込み要求のクリアを行います。

割り込み制御レジスタの詳細は、以下を参照してください。

割り込み制御レジスタ		
[IBIMCxxx]<INTMODE>	←	使用する割り込み要求に対応する値 (割り込み検知レベルのある割り込みのみ)
[IANIC00]<INTNCLR> [IBNIC00]<INTPCLR> [IBIMCxxx]<INTPCLR><INTNCLR>	←	使用する割り込みの要求クリア
[IBIMCxxx]<INTEN>	←	"1"(割り込み検出許可)

注) 「xxx」は割り込み要求固有の番号を示します。

(7) CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、**[PRIMASK]**レジスタを"0"にクリアします。

NVIC レジスタ		
<CLRPEND>	←	"1"
<SETENA>	←	"1"
割り込みマスクレジスタ		
[PRIMASK]	←	"0"

注 1) <CLRPEND>, <SETENA>は該当ビットを示します。

注 2) **[PRIMASK]**レジスタは、ユーザ・アクセス・レベルではセットできません。

4.6.3. 検出(INTIF)

INTIF で検出した割り込みは、INTIF から"High"レベルで CPU に伝えられます。

INTIF は割り込み検知レベル選択ロジック、割り込み検出ロジック、割り込み検出禁止/許可の機能があり、割り込み制御レジスタ A または B で各機能の設定を行います。

INTIF は割り込みを検出すると割り込み制御レジスタで<検出フラグ>がクリアされるまで"High"レベルの割り込み信号を CPU に出力します。クリアを行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で必ず<検出フラグ>のクリアを行ってください。同時に対応する割り込みの割り込みモニタレジスタもクリアされます。

4.6.4. 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

4.6.5. CPU の処理

割り込みが検出されると、CPU はスタックへ xPSR、PC、LR、r12、r3~r0 を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

4.6.6. 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。

Cortex-M4(FPU 機能搭載)プロセッサは自動的に xPSR、PC、LR、r12、r3～r0 をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

割り込みについては、割り込み制御レジスタで割り込み要求を解除する必要があるものがあります。

割り込み検知レベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられると INTIF からの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は INTIF の割り込み制御レジスタの<検出フラグ>をクリアすることで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

注) <検出フラグ>をクリアした後はクリアしたフラグを必ずリードしてください。

5. 例外/ 割り込み関連レジスタ

5.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

割り込み制御レジスタ A

周辺機能	チャンネル/ユニット	ベースアドレス
割り込み制御 A	IA	—

レジスタ名	アドレス(+Base)
マスク不能割り込み A コントロールレジスタ 00	<i>[IANIC00]</i> 0x0000

注) *[IANIC00]*レジスタアクセスは、バイト単位で行ってください。

割り込み制御レジスタB

周辺機能	チャンネル/ユニット	ベースアドレス
割り込み制御 B	IB	0x40083200

レジスタ名		アドレス(+Base)
マスク不能割り込み B コントロールレジスタ 00	[IBNIC00]	0x0010
割り込み B モードコントロールレジスタ 000	[IBIMC000]	0x0060
割り込み B モードコントロールレジスタ 001	[IBIMC001]	0x0061
割り込み B モードコントロールレジスタ 002	[IBIMC002]	0x0062
割り込み B モードコントロールレジスタ 003	[IBIMC003]	0x0063
割り込み B モードコントロールレジスタ 004	[IBIMC004]	0x0064
割り込み B モードコントロールレジスタ 005	[IBIMC005]	0x0065
割り込み B モードコントロールレジスタ 006	[IBIMC006]	0x0066
割り込み B モードコントロールレジスタ 007	[IBIMC007]	0x0067
割り込み B モードコントロールレジスタ 008	[IBIMC008]	0x0068
割り込み B モードコントロールレジスタ 009	[IBIMC009]	0x0069
割り込み B モードコントロールレジスタ 010	[IBIMC010]	0x006A
割り込み B モードコントロールレジスタ 011	[IBIMC011]	0x006B
割り込み B モードコントロールレジスタ 012	[IBIMC012]	0x006C
割り込み B モードコントロールレジスタ 013	[IBIMC013]	0x006D
割り込み B モードコントロールレジスタ 014	[IBIMC014]	0x006E
割り込み B モードコントロールレジスタ 015	[IBIMC015]	0x006F
割り込み B モードコントロールレジスタ 016	[IBIMC016]	0x0070
割り込み B モードコントロールレジスタ 017	[IBIMC017]	0x0071
割り込み B モードコントロールレジスタ 018	[IBIMC018]	0x0072
割り込み B モードコントロールレジスタ 019	[IBIMC019]	0x0073
割り込み B モードコントロールレジスタ 020	[IBIMC020]	0x0074
割り込み B モードコントロールレジスタ 021	[IBIMC021]	0x0075
割り込み B モードコントロールレジスタ 022	[IBIMC022]	0x0076
割り込み B モードコントロールレジスタ 023	[IBIMC023]	0x0077
割り込み B モードコントロールレジスタ 024	[IBIMC024]	0x0078
割り込み B モードコントロールレジスタ 025	[IBIMC025]	0x0079
割り込み B モードコントロールレジスタ 026	[IBIMC026]	0x007A
割り込み B モードコントロールレジスタ 027	[IBIMC027]	0x007B
割り込み B モードコントロールレジスタ 028	[IBIMC028]	0x007C
割り込み B モードコントロールレジスタ 029	[IBIMC029]	0x007D
割り込み B モードコントロールレジスタ 030	[IBIMC030]	0x007E
割り込み B モードコントロールレジスタ 031	[IBIMC031]	0x007F
割り込み B モードコントロールレジスタ 032	[IBIMC032]	0x0080
割り込み B モードコントロールレジスタ 033	[IBIMC033]	0x0081
割り込み B モードコントロールレジスタ 034	[IBIMC034]	0x0082
割り込み B モードコントロールレジスタ 035	[IBIMC035]	0x0083
割り込み B モードコントロールレジスタ 036	[IBIMC036]	0x0084
割り込み B モードコントロールレジスタ 037	[IBIMC037]	0x0085
割り込み B モードコントロールレジスタ 038	[IBIMC038]	0x0086
割り込み B モードコントロールレジスタ 039	[IBIMC039]	0x0087
割り込み B モードコントロールレジスタ 040	[IBIMC040]	0x0088
割り込み B モードコントロールレジスタ 041	[IBIMC041]	0x0089
割り込み B モードコントロールレジスタ 042	[IBIMC042]	0x008A
割り込み B モードコントロールレジスタ 043	[IBIMC043]	0x008B

注) **[IBNIC00]**、**[IBIMCxxx]**レジスタアクセスは、バイト単位で行ってください。

リセットフラグレジスタ

周辺機能	チャンネル/ユニット	ベースアドレス
リセットフラグ	RLM	—

レジスタ名	アドレス(+Base)
リセットフラグレジスタ 0	[RLMRSTFLG0]
リセットフラグレジスタ 1	[RLMRSTFLG1]

注) リセットフラグレジスタのアクセスは、バイト単位で行ってください。

割り込みモニタレジスタ

周辺機能	チャンネル/ユニット	ベースアドレス
割り込みモニタ	IMN	—

レジスタ名	アドレス(+Base)
マスク不能割り込みモニタフラグレジスタ	[IMNFLGNMI]
割り込みモニタフラグレジスタ 3	[IMNFLG3]
割り込みモニタフラグレジスタ 4	[IMNFLG4]

NVICレジスタ

周辺機能	チャンネル/ユニット	ベースアドレス
NVIC レジスタ	—	—

レジスタ名	アドレス(+Base)
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正值レジスタ	0x001C
割り込みイネーブルセットレジスタ 0	0x0100
割り込みイネーブルセットレジスタ 1	0x0104
割り込みイネーブルクリアレジスタ 0	0x0180
割り込みイネーブルクリアレジスタ 1	0x0184
割り込み保留セットレジスタ 0	0x0200
割り込み保留セットレジスタ 1	0x0204
割り込み保留クリアレジスタ 0	0x0280
割り込み保留クリアレジスタ 1	0x0284
割り込み優先度レジスタ	0x0400~0x043A
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

5.2. 割り込み制御レジスタ A

5.2.1. [IANIC00] (マスク不能割り込み A コントロールレジスタ 00)

Bit	Bit Symbol	リセット後	Type	機能
7	INTNCLR	0	W	検出フラグクリア制御 0: — 1: クリア リードすると"0"が読み出されます。
6	—	0	R	リードすると"0"が読めます。
5	INTNFLG	0	R	検出フラグ 0: 未検出 1: 検出
4:0	—	00101	R	リードすると"00101"が読めます。

5.3. 割り込み制御レジスタ B

5.3.1. [IBNIC00] (マスク不能割り込み B コントロールレジスタ 00)

Bit	Bit Symbol	リセット後	Type	機能
7	—	0	R	リードすると"0"が読めます。
6	INTPCLR	0	W	検出フラグクリア制御 0: — 1: クリア リードすると"0"が読み出されます。
5	—	0	R	リードすると"0"が読めます。
4	INTPFLG	0	R	検出フラグ 0: 未検出 1: 検出
3:0	—	0111	R	リードすると"0111"が読めます。

5.3.2. [IBIMC000~043] (割り込み B モードコントロールレジスタ n)

(1) [IBIMC000~007]レジスタ

Bit	Bit Symbol	リセット後	Type	機能
7	INTNCLR	0	W	立ち下がりエッジ検出フラグクリア制御 0: — 1: クリア リードすると"0"が読み出されます。
6	INTPCLR	0	W	立ち上がりエッジ検出フラグクリア制御 0: — 1: クリア リードすると"0"が読み出されます。
5	INTNFLG	0	R	立ち下がりエッジ検出フラグ 0: 未検出 1: 検出
4	INTPFLG	0	R	立ち上がりエッジ検出フラグ 0: 未検出 1: 検出
3:1	INTMODE[2:0]	000	R/W	割り込み検知レベル選択 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 101: Reserved 110: Reserved 111: Reserved
0	INTEN	0	R/W	割り込み制御 0: 割り込み検出禁止 1: 割り込み検出許可

(2) [IBIMC008~043]レジスタ

Bit	Bit Symbol	リセット後	Type	機能
7	—	0	R	リードすると"0"が読めます。
6	INTPCLR	0	W	検出フラグクリア制御 0: — 1: クリア リードすると"0"が読み出されます。
5	—	0	R	リードすると"0"が読めます。
4	INTPFLG	0	R	検出フラグ 0: 未検出 1: 検出
3:1	—	011	R	リードすると"011"が読めます。
0	INTEN	0	R/W	割り込み制御 0: 割り込み検出禁止 1: 割り込み検出許可

5.4. リセットフラグレジスタ

5.4.1. [RLMRSTFLG0] (リセットフラグレジスタ 0)

Bit	Bit Symbol	パワーオンリセット後	Type	機能
7:6	—	不定	R	リードすると不定値が読めます。
5	LVDRSTF	不定	R	LVD リセットフラグ 0: — 1: LVD によるリセット発生
			W	LVD リセットフラグ 0: クリア 1: Don't care
4	—	不定	R	リードすると不定値が読めます。
			W	"0"を書いてください。
3	PINRSTF	不定	R	リセット端子フラグ 0: — 1: リセット端子によるリセット発生
			W	リセット端子フラグ 0: クリア 1: Don't care
2:1	—	不定	R	リードすると不定値が読めます。
			W	"00"を書いてください。
0	PORSTF	1	R	パワーオンリセットフラグ 0: — 1: パワーオンリセットによるリセット発生
			W	パワーオンリセットフラグ 0: クリア 1: Don't care

注) パワーオンリセット解除後、<PORSTF>以外のリセットフラグは不定となります。パワーオンリセットの解除が検出された場合、全てのリセットフラグに"0"を書き込み、初期化してください。

5.4.2. [RLMRSTFLG1] (リセットフラグレジスタ 1)

Bit	Bit Symbol	パワーオンリセット後	Type	機能
7:4	—	0	R	リードすると"0"が読めます。
3	OFDRSTF	0	R	OFD リセットフラグ 0: — 1: OFD によるセット発生
			W	OFD リセットフラグ 0: クリア 1: Don't care
2	WDRSTF	0	R	SIWDT リセットフラグ 0: — 1: SIWDT によるリセット発生
			W	SIWDT リセットフラグ 0: クリア 1: Don't care
1	LOCKRSTF	0	R	LOCKUP のリセットフラグ 0: — 1: LOCKUP によるリセット発生
			W	LOCKUP のリセットフラグ 0: クリア 1: Don't care
0	SYSRSTF	0	R	<SYSRESETREQ>のリセットフラグ 0: — 1: <SYSRESETREQ>によるリセット発生
			W	<SYSRESETREQ>のリセットフラグ 0: クリア 1: Don't care

5.5. 割り込みモニタレジスタ

5.5.1. [IMNFLGNMI] (マスク不能割り込みモニタフラグレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:17	—	0	R	リードすると"0"が読めます。
16	INT016FLG	0	R	INTWDT0 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
15:1	—	0	R	リードすると"0"が読めます。
0	INT000FLG	0	R	INTLVD 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生

5.5.2. [IMNFLG3] (割り込みモニタフラグレジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31	INT127FLG	0	R	INTT32A02_BT_C1 (T32A ch2 タイマ B) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
30	INT126FLG	0	R	INTT32A02_A01_C0 (T32A ch2 タイマ C キャプチャ0) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
29	INT125FLG	0	R	INTT32A02_A01_C0 (T32A ch2 タイマ A キャプチャ1) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
28	INT124FLG	0	R	INTT32A02_A01_C0 (T32A ch2 タイマ A キャプチャ0) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
27	INT123FLG	0	R	INTT32A02_AT_CT (T32A ch2 タイマ C) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
26	INT122FLG	0	R	INTT32A02_AT_CT (T32A ch2 タイマ A) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
25	INT121FLG	0	R	INTT32A01_B01 (T32A ch1 タイマ B キャプチャ 1) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
24	INT120FLG	0	R	INTT32A01_B01 (T32A ch1 タイマ B キャプチャ 0) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
23	INT119FLG	0	R	INTT32A01_BT_C1 (T32A ch1 タイマ C キャプチャ 1) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
22	INT118FLG	0	R	INTT32A01_BT_C1 (T32A ch1 タイマ B) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
21	INT117FLG	0	R	INTT32A01_A01_C0 (T32A ch1 タイマ C キャプチャ 0) 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生

Bit	Bit Symbol	リセット後	Type	機能
20	INT116FLG	0	R	INTT32A01_A01_C0(T32A ch1 タイマ A キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
19	INT115FLG	0	R	INTT32A01_A01_C0(T32A ch1 タイマ A キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
18	INT114FLG	0	R	INTT32A01_AT_CT(T32A ch1 タイマ C)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
17	INT113FLG	0	R	INTT32A01_AT_CT(T32A ch1 タイマ A)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
16	INT112FLG	0	R	INTT32A00_B01 (T32A ch0 タイマ B キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
15	INT111FLG	0	R	INTT32A00_B01 (T32A ch0 タイマ B キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
14	INT110FLG	0	R	INTT32A00_BT_C1 (T32A ch0 タイマ C キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
13	INT109FLG	0	R	INTT32A00_BT_C1 (T32A ch0 タイマ B)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
12	INT108FLG	0	R	INTT32A00_A01_C0(T32A ch0 タイマ C キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
11	INT107FLG	0	R	INTT32A00_A01_C0(T32A ch0 タイマ A キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
10	INT106FLG	0	R	INTT32A00_A01_C0(T32A ch0 タイマ A キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
9	INT105FLG	0	R	INTT32A00_AT_CT(T32A ch0 タイマ C)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
8	INT104FLG	0	R	INTT32A00_AT_CT(T32A ch0 タイマ A)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
7	INT103FLG	0	R	INT07 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
6	INT102FLG	0	R	INT06 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
5	INT101FLG	0	R	INT05 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
4	INT100FLG	0	R	INT04 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
3	INT099FLG	0	R	INT03 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生

Bit	Bit Symbol	リセット後	Type	機能
2	INT098FLG	0	R	INT02 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
1	INT097FLG	0	R	INT01 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
0	INT096FLG	0	R	INT00 割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生

5.5.3. [IMNFLG4] (割り込みモニタフラグレジスタ 4)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11	INT139FLG	0	R	INTT32A03_B01 (T32A ch0 タイマ B キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
10	INT138FLG	0	R	INTT32A03_B01 (T32A ch0 タイマ B キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
9	INT137FLG	0	R	INTT32A03_BT_C1 (T32A ch0 タイマ C キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
8	INT136FLG	0	R	INTT32A03_BT_C1 (T32A ch0 タイマ B)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
7	INT135FLG	0	R	INTT32A03_A01_C0(T32A ch0 タイマ C キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
6	INT134FLG	0	R	INTT32A03_A01_C0(T32A ch0 タイマ A キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
5	INT133FLG	0	R	INTT32A03_A01_C0(T32A ch0 タイマ A キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
4	INT132FLG	0	R	INTT32A03_AT_CT(T32A ch0 タイマ C)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
3	INT131FLG	0	R	INTT32A03_AT_CT(T32A ch0 タイマ A)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
2	INT130FLG	0	R	INTT32A02_B01(T32A ch2 タイマ B キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
1	INT129FLG	0	R	INTT32A02_B01(T32A ch2 タイマ B キャプチャ 0)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生
0	INT128FLG	0	R	INTT32A02_BT_C1(T32A ch2 タイマ C キャプチャ 1)割り込み検出フラグ 0: 割り込み未発生 1: 割り込み発生

5.6. NVIC レジスタ

5.6.1. SysTick 制御およびステータスレジスタ

Bit	Bit Symbol	リセット後	Type	機能
31:17	—	0	R	リードすると"0"が読めます。
16	COUNTFLAG	0	R/W	0: タイマは"0"になっていない 1: タイマが"0"になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15:3	—	0	R	リードすると"0"が読めます。
2	CLKSOURCE	0	R/W	0: 外部参照クロック(fosc/64) 1: CPU クロック(fsys)
1	TICKINT	0	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	0	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

5.6.2. SysTick リロード値レジスタ

Bit	Bit Symbol	リセット後	Type	機能
31:24	—	0	R	リードすると"0"が読めます。
23:0	RELOAD[23:0]	不定	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

5.6.3. SysTick 現在値レジスタ

Bit	Bit Symbol	リセット後	Type	機能
31:24	—	0	R	リードすると"0"が読めます。
23:0	CURRENT[23:0]	不定	R	SysTick タイマ現在値
			W	クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

5.6.4. SysTick 較正值レジスタ

Bit	Bit Symbol	リセット後	Type	機能
31	NOREF	0	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	1	R	0: 較正值は 10 ms 1: 較正值は 10 ms でない
29:24	—	0	R	リードすると"0"が読めます。
23:0	TENMS	0x000000	R	較正值(注)

注) この製品では較正用の値は準備していません。

5.6.5. 割り込み制御用レジスタ

それぞれの割り込み要因について、割り込みイネーブルセットレジスタ、割り込みイネーブルクリアレジスタ、割り込み保留セットレジスタ、割り込み保留クリアレジスタがあります。各ビットが指定された割り込みに対応しています。

5.6.5.1. 割り込みイネーブルセットレジスタ

割り込みを許可したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを許可します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

このレジスタのビットをクリアするには、割り込みイネーブルクリアレジスタの対応するビットに"1"をセットします。

(a) 割り込みイネーブルセットレジスタ 0

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R/W	"0"を書いてください
30	SETENA (割り込み 30)	0	R/W	[ライト] 1: 割り込みを許可状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態
29	SETENA (割り込み 29)	0		
28	SETENA (割り込み 28)	0		
27	SETENA (割り込み 27)	0		
26	SETENA (割り込み 26)	0		
25	SETENA (割り込み 25)	0		
24	SETENA (割り込み 24)	0		
23	SETENA (割り込み 23)	0		
22	SETENA (割り込み 22)	0		
21	SETENA (割り込み 21)	0		
20	SETENA (割り込み 20)	0		
19	SETENA (割り込み 19)	0		
18	SETENA (割り込み 18)	0		
17	SETENA (割り込み 17)	0		
16	SETENA (割り込み 16)	0		
15	SETENA (割り込み 15)	0		
14	SETENA (割り込み 14)	0		
13	SETENA (割り込み 13)	0		
12	SETENA (割り込み 12)	0		
11	SETENA (割り込み 11)	0		
10	SETENA (割り込み 10)	0		
9	SETENA (割り込み 9)	0		
8	SETENA (割り込み 8)	0		
7	SETENA (割り込み 7)	0		
6	SETENA (割り込み 6)	0		
5	SETENA (割り込み 5)	0		
4	SETENA (割り込み 4)	0		
3	SETENA (割り込み 3)	0		
2	SETENA (割り込み 2)	0		
1	SETENA (割り込み 1)	0		
0	SETENA (割り込み 0)	0		

(b) 割り込みイネーブルセットレジスタ 1

Bit	Bit Symbol	リセット後	Type	機能
31:28	—	0	R	リードすると"0"が読めます
27	—	0	R/W	"0"を書いてください
26	SETENA (割り込み 58)	0	R/W	[ライト] 1: 割り込みを許可状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態
25	SETENA (割り込み 57)	0		
24	SETENA (割り込み 56)	0		
23	SETENA (割り込み 55)	0		
22	SETENA (割り込み 54)	0		
21	SETENA (割り込み 53)	0		
20	SETENA (割り込み 52)	0		
19	SETENA (割り込み 51)	0		
18	SETENA (割り込み 50)	0		
17	SETENA (割り込み 49)	0		
16	SETENA (割り込み 48)	0		
15	SETENA (割り込み 47)	0		
14	SETENA (割り込み 46)	0		
13	SETENA (割り込み 45)	0		
12	SETENA (割り込み 44)	0		
11	SETENA (割り込み 43)	0		
10	SETENA (割り込み 42)	0		
9	SETENA (割り込み 41)	0		
8	SETENA (割り込み 40)	0		
7	SETENA (割り込み 39)	0		
6	SETENA (割り込み 38)	0		
5	SETENA (割り込み 37)	0		
4	SETENA (割り込み 36)	0		
3	SETENA (割り込み 35)	0		
2	SETENA (割り込み 34)	0		
1	SETENA (割り込み 33)	0		
0	SETENA (割り込み 32)	0		

5.6.5.2. 割り込みイネーブルクリアレジスタ

割り込みを禁止したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを禁止します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

(a) 割り込みイネーブルクリアレジスタ 0

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R/W	"0"を書いてください
30	CLRENA (割り込み 30)	0	R/W	[ライト] 1: 割り込みを禁止状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態
29	CLRENA (割り込み 29)	0		
28	CLRENA (割り込み 28)	0		
27	CLRENA (割り込み 27)	0		
26	CLRENA (割り込み 26)	0		
25	CLRENA (割り込み 25)	0		
24	CLRENA (割り込み 24)	0		
23	CLRENA (割り込み 23)	0		
22	CLRENA (割り込み 22)	0		
21	CLRENA (割り込み 21)	0		
20	CLRENA (割り込み 20)	0		
19	CLRENA (割り込み 19)	0		
18	CLRENA (割り込み 18)	0		
17	CLRENA (割り込み 17)	0		
16	CLRENA (割り込み 16)	0		
15	CLRENA (割り込み 15)	0		
14	CLRENA (割り込み 14)	0		
13	CLRENA (割り込み 13)	0		
12	CLRENA (割り込み 12)	0		
11	CLRENA (割り込み 11)	0		
10	CLRENA (割り込み 10)	0		
9	CLRENA (割り込み 9)	0		
8	CLRENA (割り込み 8)	0		
7	CLRENA (割り込み 7)	0		
6	CLRENA (割り込み 6)	0		
5	CLRENA (割り込み 5)	0		
4	CLRENA (割り込み 4)	0		
3	CLRENA (割り込み 3)	0		
2	CLRENA (割り込み 2)	0		
1	CLRENA (割り込み 1)	0		
0	CLRENA (割り込み 0)	0		

(b) 割り込みイネーブルクリアレジスタ 1

Bit	Bit Symbol	リセット後	Type	機能
31:28	—	0	R	リードすると"0"が読めます
27	—	0	R/W	"0"を書いてください
26	CLRENA (割り込み 58)	0	R/W	[ライト] 1: 割り込みを禁止状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態
25	CLRENA (割り込み 57)	0		
24	CLRENA (割り込み 56)	0		
23	CLRENA (割り込み 55)	0		
22	CLRENA (割り込み 54)	0		
21	CLRENA (割り込み 53)	0		
20	CLRENA (割り込み 52)	0		
19	CLRENA (割り込み 51)	0		
18	CLRENA (割り込み 50)	0		
17	CLRENA (割り込み 49)	0		
16	CLRENA (割り込み 48)	0		
15	CLRENA (割り込み 47)	0		
14	CLRENA (割り込み 46)	0		
13	CLRENA (割り込み 45)	0		
12	CLRENA (割り込み 44)	0		
11	CLRENA (割り込み 43)	0		
10	CLRENA (割り込み 42)	0		
9	CLRENA (割り込み 41)	0		
8	CLRENA (割り込み 40)	0		
7	CLRENA (割り込み 39)	0		
6	CLRENA (割り込み 38)	0		
5	CLRENA (割り込み 37)	0		
4	CLRENA (割り込み 36)	0		
3	CLRENA (割り込み 35)	0		
2	CLRENA (割り込み 34)	0		
1	CLRENA (割り込み 33)	0		
0	CLRENA (割り込み 32)	0		

5.6.5.3. 割り込み保留セットレジスタ

割り込みを強制的に保留したり、保留されているかどうかを確認できます。

"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

(a) 割り込み保留セットレジスタ 0

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R/W	"0"を書いてください
30	SETPEND (割り込み 30)	不定	R/W	[ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
29	SETPEND (割り込み 29)	不定		
28	SETPEND (割り込み 28)	不定		
27	SETPEND (割り込み 27)	不定		
26	SETPEND (割り込み 26)	不定		
25	SETPEND (割り込み 25)	不定		
24	SETPEND (割り込み 24)	不定		
23	SETPEND (割り込み 23)	不定		
22	SETPEND (割り込み 22)	不定		
21	SETPEND (割り込み 21)	不定		
20	SETPEND (割り込み 20)	不定		
19	SETPEND (割り込み 19)	不定		
18	SETPEND (割り込み 18)	不定		
17	SETPEND (割り込み 17)	不定		
16	SETPEND (割り込み 16)	不定		
15	SETPEND (割り込み 15)	不定		
14	SETPEND (割り込み 14)	不定		
13	SETPEND (割り込み 13)	不定		
12	SETPEND (割り込み 12)	不定		
11	SETPEND (割り込み 11)	不定		
10	SETPEND (割り込み 10)	不定		
9	SETPEND (割り込み 9)	不定		
8	SETPEND (割り込み 8)	不定		
7	SETPEND (割り込み 7)	不定		
6	SETPEND (割り込み 6)	不定		
5	SETPEND (割り込み 5)	不定		
4	SETPEND (割り込み 4)	不定		
3	SETPEND (割り込み 3)	不定		
2	SETPEND (割り込み 2)	不定		
1	SETPEND (割り込み 1)	不定		
0	SETPEND (割り込み 0)	不定		

(b) 割り込み保留セットレジスタ 1

Bit	Bit Symbol	リセット後	Type	機能
31:28	—	0	R	リードすると"0"が読めます
27	—	0	R/W	"0"を書いてください
26	SETPEND (割り込み 58)	不定	R/W	[ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
25	SETPEND (割り込み 57)	不定		
24	SETPEND (割り込み 56)	不定		
23	SETPEND (割り込み 55)	不定		
22	SETPEND (割り込み 54)	不定		
21	SETPEND (割り込み 53)	不定		
20	SETPEND (割り込み 52)	不定		
19	SETPEND (割り込み 51)	不定		
18	SETPEND (割り込み 50)	不定		
17	SETPEND (割り込み 49)	不定		
16	SETPEND (割り込み 48)	不定		
15	SETPEND (割り込み 47)	不定		
14	SETPEND (割り込み 46)	不定		
13	SETPEND (割り込み 45)	不定		
12	SETPEND (割り込み 44)	不定		
11	SETPEND (割り込み 43)	不定		
10	SETPEND (割り込み 42)	不定		
9	SETPEND (割り込み 41)	不定		
8	SETPEND (割り込み 40)	不定		
7	SETPEND (割り込み 39)	不定		
6	SETPEND (割り込み 38)	不定		
5	SETPEND (割り込み 37)	不定		
4	SETPEND (割り込み 36)	不定		
3	SETPEND (割り込み 35)	不定		
2	SETPEND (割り込み 34)	不定		
1	SETPEND (割り込み 33)	不定		
0	SETPEND (割り込み 32)	不定		

5.6.5.4. 割り込み保留クリアレジスタ

保留された割り込みをクリアしたり、保留されているかどうかを確認できます。

"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

(a) 割り込み保留クリアレジスタ 0

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R/W	"1"を書いてください
30	CLRPEND (割り込み 30)	不定	R/W	[ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり
29	CLRPEND (割り込み 29)	不定		
28	CLRPEND (割り込み 28)	不定		
27	CLRPEND (割り込み 27)	不定		
26	CLRPEND (割り込み 26)	不定		
25	CLRPEND (割り込み 25)	不定		
24	CLRPEND (割り込み 24)	不定		
23	CLRPEND (割り込み 23)	不定		
22	CLRPEND (割り込み 22)	不定		
21	CLRPEND (割り込み 21)	不定		
20	CLRPEND (割り込み 20)	不定		
19	CLRPEND (割り込み 19)	不定		
18	CLRPEND (割り込み 18)	不定		
17	CLRPEND (割り込み 17)	不定		
16	CLRPEND (割り込み 16)	不定		
15	CLRPEND (割り込み 15)	不定		
14	CLRPEND (割り込み 14)	不定		
13	CLRPEND (割り込み 13)	不定		
12	CLRPEND (割り込み 12)	不定		
11	CLRPEND (割り込み 11)	不定		
10	CLRPEND (割り込み 10)	不定		
9	CLRPEND (割り込み 9)	不定		
8	CLRPEND (割り込み 8)	不定		
7	CLRPEND (割り込み 7)	不定		
6	CLRPEND (割り込み 6)	不定		
5	CLRPEND (割り込み 5)	不定		
4	CLRPEND (割り込み 4)	不定		
3	CLRPEND (割り込み 3)	不定		
2	CLRPEND (割り込み 2)	不定		
1	CLRPEND (割り込み 1)	不定		
0	CLRPEND (割り込み 0)	不定		

(b) 割り込み保留クリアレジスタ 1

Bit	Bit Symbol	リセット後	Type	機能
31:28	—	0	R	リードすると"0"が読めます
27	—	0	R/W	"1"を書いてください
26	CLRPEND (割り込み 58)	不定	R/W	[ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり
25	CLRPEND (割り込み 57)	不定		
24	CLRPEND (割り込み 56)	不定		
23	CLRPEND (割り込み 55)	不定		
22	CLRPEND (割り込み 54)	不定		
21	CLRPEND (割り込み 53)	不定		
20	CLRPEND (割り込み 52)	不定		
19	CLRPEND (割り込み 51)	不定		
18	CLRPEND (割り込み 50)	不定		
17	CLRPEND (割り込み 49)	不定		
16	CLRPEND (割り込み 48)	不定		
15	CLRPEND (割り込み 47)	不定		
14	CLRPEND (割り込み 46)	不定		
13	CLRPEND (割り込み 45)	不定		
12	CLRPEND (割り込み 44)	不定		
11	CLRPEND (割り込み 43)	不定		
10	CLRPEND (割り込み 42)	不定		
9	CLRPEND (割り込み 41)	不定		
8	CLRPEND (割り込み 40)	不定		
7	CLRPEND (割り込み 39)	不定		
6	CLRPEND (割り込み 38)	不定		
5	CLRPEND (割り込み 37)	不定		
4	CLRPEND (割り込み 36)	不定		
3	CLRPEND (割り込み 35)	不定		
2	CLRPEND (割り込み 34)	不定		
1	CLRPEND (割り込み 33)	不定		
0	CLRPEND (割り込み 32)	不定		

5.6.6. 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。
割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

アドレス	31	24	23	16	15	8	7	0
0xE000E400	PRI_3		PRI_2		PRI_1			PRI_0
0xE000E404		PRI_7		PRI_6		PRI_5		PRI_4
0xE000E408		PRI_11		PRI_10		PRI_9		PRI_8
0xE000E40C		PRI_15		PRI_14		PRI_13		PRI_12
0xE000E410		PRI_19		PRI_18		PRI_17		PRI_16
0xE000E414		PRI_23		PRI_22		PRI_21		PRI_20
0xE000E418		PRI_27		PRI_26		PRI_25		PRI_24
0xE000E41C	—		PRI_30		PRI_29			PRI_28
0xE000E420		PRI_35		PRI_34		PRI_33		PRI_32
0xE000E424		PRI_39		PRI_38		PRI_37		PRI_36
0xE000E428		PRI_43		PRI_42		PRI_41		PRI_40
0xE000E42C		PRI_47		PRI_46		PRI_45		PRI_44
0xE000E430		PRI_51		PRI_50		PRI_49		PRI_48
0xE000E434		PRI_55		PRI_54		PRI_53		PRI_52
0xE000E438	—		PRI_58		PRI_57			PRI_56

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。この製品では、4 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

Bit	Bit Symbol	リセット後	Type	機能
31:28	PRI_3[3:0]	0000	R/W	割り込み番号 3 優先度
27:24	—	0	R	リードすると"0"が読めます。
23:20	PRI_2[3:0]	0000	R/W	割り込み番号 2 優先度
19:16	—	0	R	リードすると"0"が読めます。
15:12	PRI_1[3:0]	0000	R/W	割り込み番号 1 優先度
11:8	—	0	R	リードすると"0"が読めます。
7:4	PRI_0[3:0]	0000	R/W	割り込み番号 0 優先度
3:0	—	0	R	リードすると"0"が読めます。

5.6.7. ベクタテーブルオフセットレジスタ

Bit	Bit Symbol	リセット後	Type	機能
31:7	TBLOFF[24:0]	0x0000000	R/W	オフセット値 アドレス 0x00000000 からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6:0	—	0	R	リードすると"0"が読めます。

5.6.8. アプリケーション割り込みおよびリセット制御レジスタ

Bit	Bit Symbol	リセット後	Type	機能
31:16	VECTKEY/ VECTKEYSTAT[15:0]	不定	W	レジスタキー このレジスタへ書き込みを行うには、<VECTKEY>に "0x05FA"を書き込む必要があります。
			R	レジスタキー リードすると"0xFA05"が読めます。
15	ENDIANESS	0	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14:11	—	0	R	リードすると"0"が読めます。
10:8	PRIGROUP[2:0]	000	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度 分けする際のビット構成を設定します。
7:3	—	0	R	リードすると"0"が読めます。
2	SYSRESETREQ	0	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力しま す。(注 2)
1	VECTCLRACTIVE	0	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みの全ての状態 の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	0	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM) 以 外の CPU 内部をリセットし、このビットもクリアされます。

注 1) この製品はリトルエンディアンがデフォルトで選択されます。

注 2) この製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセ
ットにより<SYSRESETREQ>はクリアされます。

5.6.9. システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。
例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

アドレス	31	24	23	16	15	8	7	0
0xE000ED18	PRI_7		PRI_6 (用法フォールト)		PRI_5 (バスフォールト)		PRI_4 (メモリ管理)	
0xE000ED1C	PRI_11 (SVCall)		PRI_10		PRI_9		PRI_8	
0xE000ED20	PRI_15 (SysTick)		PRI_14 (PendSV)		PRI_13		PRI_12 (デバッグモニタ)	

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。この製品では、4 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると "0" が読め、ライトは無視されます。

Bit	Bit Symbol	リセット後	Type	機能
31:28	PRI_7[3:0]	0000	R/W	予約
27:24	—	0	R	リードすると "0" が読めます。
23:20	PRI_6[3:0]	0000	R/W	用法フォールト 優先度
19:16	—	0	R	リードすると "0" が読めます。
15:12	PRI_5[3:0]	0000	R/W	バスフォールト 優先度
11:8	—	0	R	リードすると "0" が読めます。
7:4	PRI_4[3:0]	0000	R/W	メモリ管理 優先度
3:0	—	0	R	リードすると "0" が読めます。

5.6.10. システムハンドラ制御および状態レジスタ

Bit	Bit Symbol	リセット後	Type	機能
31:19	—	0	R	リードすると"0"が読めます。
18	USGFAULTENA	0	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAULTENA	0	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULTENA	0	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALLPENDEDED	0	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULTPENDEDED	0	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULTPENDEDED	0	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULTPENDEDED	0	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	0	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	0	R/W	PendSV 0: アクティブでない 1: アクティブ
9	—	0	R	リードすると"0"が読めます。
8	MONITORACT	0	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ
7	SVCALLACT	0	R/W	SVCall 0: アクティブでない 1: アクティブ
6:4	—	0	R	リードすると"0"が読めます。
3	USGFAULTACT	0	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	—	0	R	リードすると"0"が読めます。
1	BUSFAULT ACT	0	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	0	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新などを行いませんので注意して行ってください。

6. 製品別の割り込み要因一覧

6.1. TMPM4L2/TMPM4L1

M4L2	M4L1	割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
○	○	NMI	INTLVD	LVD 割り込み	[IANIC00]	[IMNFLGNMI] <INT000FLG>
			INTWDT0	WDT 割り込み	[IBNIC00]	[IMNFLGNMI] <INT016FLG>
○	○	0	INT00	外部割り込み 00	[IBIMC000]	[IMNFLG3] <INT096FLG>
○	○	1	INT01	外部割り込み 01	[IBIMC001]	[IMNFLG3] <INT097FLG>
○	○	2	INT02	外部割り込み 02	[IBIMC002]	[IMNFLG3] <INT098FLG>
○	○	3	INT03	外部割り込み 03	[IBIMC003]	[IMNFLG3] <INT099FLG>
○	○	4	INT04	外部割り込み 04	[IBIMC004]	[IMNFLG3] <INT100FLG>
○	○	5	INT05	外部割り込み 05	[IBIMC005]	[IMNFLG3] <INT101FLG>
○	○	6	INT06	外部割り込み 06	[IBIMC006]	[IMNFLG3] <INT102FLG>
○	—	7	INT07	外部割り込み 07	[IBIMC007]	[IMNFLG3] <INT103FLG>
○	○	8	INTT32A00_AT_CT	T32A ch0 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC008]	[IMNFLG3] <INT104FLG>
○	○			T32A ch0 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC009]	[IMNFLG3] <INT105FLG>
○	○	9	INTT32A00_A01_C0	T32A ch0 タイマ A キャプチャ 0	[IBIMC010]	[IMNFLG3] <INT106FLG>
○	○			T32A ch0 タイマ A キャプチャ 1	[IBIMC011]	[IMNFLG3] <INT107FLG>
○	○			T32A ch0 タイマ C キャプチャ 0	[IBIMC012]	[IMNFLG3] <INT108FLG>
○	○	10	INTT32A00_BT_C1	T32A ch0 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC013]	[IMNFLG3] <INT109FLG>
○	○			T32A ch0 タイマ C キャプチャ 1	[IBIMC014]	[IMNFLG3] <INT110FLG>
○	○	11	INTT32A00_B01	T32A ch0 タイマ B キャプチャ 0	[IBIMC015]	[IMNFLG3] <INT111FLG>
○	○			T32A ch0 タイマ B キャプチャ 1	[IBIMC016]	[IMNFLG3] <INT112FLG>
○	○	12	INTT32A01_AT_CT	T32A ch1 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC017]	[IMNFLG3] <INT113FLG>
○	○			T32A ch1 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC018]	[IMNFLG3] <INT114FLG>
○	○	13	INTT32A01_A01_C0	T32A ch1 タイマ A キャプチャ 0	[IBIMC019]	[IMNFLG3] <INT115FLG>
○	○			T32A ch1 タイマ A キャプチャ 1	[IBIMC020]	[IMNFLG3] <INT116FLG>
○	○			T32A ch1 タイマ C キャプチャ 0	[IBIMC021]	[IMNFLG3] <INT117FLG>
○	○	14	INTT32A01_BT_C1	T32A ch1 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC022]	[IMNFLG3] <INT118FLG>
○	○			T32A ch1 タイマ C キャプチャ 1	[IBIMC023]	[IMNFLG3] <INT119FLG>
○	○	15	INTT32A01_B01	T32A ch1 タイマ B キャプチャ 0	[IBIMC024]	[IMNFLG3] <INT120FLG>

M4L2	M4L1	割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
○	○			T32A ch1 タイマ B キャプチャ 1	[IBIMC025]	[IMNFLG3] <INT121FLG>
○	○	16	INTT32A02_AT_CT	T32A ch2 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC026]	[IMNFLG3] <INT122FLG>
○	○			T32A ch2 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC027]	[IMNFLG3] <INT123FLG>
○	○	17	INTT32A02_A01_C0	T32A ch2 タイマ A キャプチャ 0	[IBIMC028]	[IMNFLG3] <INT124FLG>
○	○			T32A ch2 タイマ A キャプチャ 1	[IBIMC029]	[IMNFLG3] <INT125FLG>
○	○			T32A ch2 タイマ C キャプチャ 0	[IBIMC030]	[IMNFLG3] <INT126FLG>
○	○	18	INTT32A02_BT_C1	T32A ch2 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC031]	[IMNFLG3] <INT127FLG>
○	○			T32A ch2 タイマ C キャプチャ 1	[IBIMC032]	[IMNFLG4] <INT128FLG>
○	○	19	INTT32A02_B01	T32A ch2 タイマ B キャプチャ 0	[IBIMC033]	[IMNFLG4] <INT129FLG>
○	○			T32A ch2 タイマ B キャプチャ 1	[IBIMC034]	[IMNFLG4] <INT130FLG>
○	○	20	INTT32A03_AT_CT	T32A ch3 タイマ A 一致、オーバフロー、アンダフロー	[IBIMC035]	[IMNFLG4] <INT131FLG>
○	○			T32A ch3 タイマ C 一致、オーバフロー、アンダフロー	[IBIMC036]	[IMNFLG4] <INT132FLG>
○	○	21	INTT32A03_A01_C0	T32A ch3 タイマ A キャプチャ 0	[IBIMC037]	[IMNFLG4] <INT133FLG>
○	○			T32A ch3 タイマ A キャプチャ 1	[IBIMC038]	[IMNFLG4] <INT134FLG>
○	○			T32A ch3 タイマ C キャプチャ 0	[IBIMC039]	[IMNFLG4] <INT135FLG>
○	○	22	INTT32A03_BT_C1	T32A ch3 タイマ B 一致、オーバフロー、アンダフロー	[IBIMC040]	[IMNFLG4] <INT136FLG>
○	○			T32A ch3 タイマ C キャプチャ 1	[IBIMC041]	[IMNFLG4] <INT137FLG>
○	○	23	INTT32A03_B01	T32A ch3 タイマ B キャプチャ 0	[IBIMC042]	[IMNFLG4] <INT138FLG>
○	○			T32A ch3 タイマ B キャプチャ 1	[IBIMC043]	[IMNFLG4] <INT139FLG>
○	○	24	INTVCN0	A-VE ch0 スケジュール終了割り込み		
○	○	25	INTVCT0	A-VE ch0 タスク終了割り込み		
○	○	26	INTEMG0	PMD+ ch0 EMG 割り込み		
○	○	27	INTOVV0	PMD+ ch0 OVV 割り込み		
○	○	28	INTPWM0	PMD+ ch0 PWM 割り込み		
○	○	29	INTENC00	A-ENC32 ch0 エンコーダ入力割り込み 0		
○	○	30	INTENC01	A-ENC32 ch0 エンコーダ入力割り込み 1		
—	—	31	—	—		
○	○	32	INTADAPDA	ADC unitA PMDトリガ割り込み A		
○	○	33	INTADAPDB	ADC unitA PMDトリガ割り込み B		
○	○	34	INTADACP0	ADC unitA 監視機能 0 割り込み		
○	○	35	INTADACP1	ADC unitA 監視機能 1 割り込み		
○	○	36	INTADATRG	ADC unitA 汎用トリガ割り込み		
○	○	37	INTADASGL	ADC unitA 単独変換割り込み		
○	○	38	INTADACNT	ADC unitA 連続変換割り込み		
○	○	39	INTT0RX	TSPI ch0 受信割り込み		
○	○	40	INTT0TX	TSPI ch0 送信割り込み		
○	○	41	INTT0ERR	TSPI ch0 エラー割り込み		

M4L2	M4L1	割り込み番号	割り込み要因	割り込み要求	割り込み制御レジスタ	割り込みモニタレジスタ
○	○	42	INTT1RX	TSPI ch1 受信割り込み		
○	○	43	INTT1TX	TSPI ch1 送信割り込み		
○	○	44	INTT1ERR	TSPI ch1 エラー割り込み		
○	○	45	INTT2RX	TSPI ch2 受信割り込み		
○	○	46	INTT2TX	TSPI ch2 送信割り込み		
○	○	47	INTT2ERR	TSPI ch2 エラー割り込み		
○	○	48	INTUART0RX	UART ch0 受信割り込み		
○	○	49	INTUART0TX	UART ch0 送信割り込み		
○	○	50	INTUART0ERR	UART ch0 エラー割り込み		
○	○	51	INTUART1RX	UART ch1 受信割り込み		
○	○	52	INTUART1TX	UART ch1 送信割り込み		
○	○	53	INTUART1ERR	UART ch1 エラー割り込み		
○	○	54	INTUART2RX	UART ch2 受信割り込み		
○	○	55	INTUART2TX	UART ch2 送信割り込み		
○	○	56	INTUART2ERR	UART ch2 エラー割り込み		
○	○	57	INTPARI0	RAMP ch0 RAM パリティ割り込み		
○	○	58	INTFLCRDY	Code FLASH Ready 割り込み		

○: 搭載、—: 非搭載

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2018-10-05	新規
1.1	2019-06-10	<ul style="list-style-type: none"> ・全般 数字等を「」括弧を"()"括弧に変更 "High","High"レベル,Highレベルを"High"レベルに統一 "Low","Low"レベル,Lowレベルを"Low"レベルに統一 "本製品"→"この製品" ・「用語・略語」 追加: NVIC,RAMP 削除: DNF,TRGSEL,TRM ・「1.2.2.例外要求と検出」表 1.1 予約行: "—0x34" → "0x34" ・「4.1.マスク不能割り込み(NMI)」 1項目 追加: "SIWDTの詳細はリファレンスマニュアルの「…」を参照してください。" 2項目 追加: "LVDの詳細はリファレンスマニュアルの「…」を参照してください。" ・「4.3.1.割り込み経路」 タイトル: "経路" → "割り込み経路" 表 4.1 割り込み要求列: "電圧検知回路割り込み" → "LVD 割り込み" "ウォッチドッグタイマ割り込み" → "WDT 割り込み" ⑥/経路説明: "割り込みの許可/禁止を設定" →"割り込み解除、割り込み要求の許可/禁止を設定" ⑧/割り込み要求: "上記以外の割り込み" → "その他の割り込み (注)" 追加: "注) その他の割り込みは「4.4.要因一覧」を参照してください。" ・「4.3.4.割り込み要因の伝達」 "割り込み許可" → "割り込み検出許可" ・「4.4.要因一覧」 本文: "「表 4.2 割り込み要因一覧(マスク不能割り込み)」"→"表 4.2" 表 4.2 割り込み要求列: "電圧検知回路" →"LVD"、"ウォッチドッグタイマ" →"WDT" 表 4.2、表 4.3 表下: "割り込み許可" → "割り込み検出許可" 表 4.5 割り込み要求列: "ベクトルエンジン" → "スケジュール終了" ・「4.6.1.処理の流れ」 「検出のための準備」の内容: "低消費電力モードの解除の設定" → "割り込み制御レジスタの設定" ・「4.6.2.」 (6) INTIF の設定: "割り込み許可" → "割り込み検出許可" ・「4.6.3.」 2 段目: "割り込み禁止" → "割り込み検出禁止" 3 段目: "解除" → "クリア" ・「4.6.6.」 (2) 割り込み要因の取り下げ: "割り込みフラグ" → "<検出フラグ>" ・「5.5.2.」 表 Bit Symbol 列: <INT96FLG> → <INT096FLG>, <INT97FLG> → <INT097FLG>, <INT98FLG> → <INT098FLG>, <INT99FLG> → <INT099FLG> ・「5.6.8.」 表 VECTRESET/機能項: "本ビット"→"このビット" ・「6.1.TMPM4L2/TMPM4L1」 割り込み番号列: "NMI 割り込み" → "NMI" 割り込み要求列: "電圧検知回路" → "LVD"、"ウォッチドッグタイマ" → "WDT" "ベクトルエンジン" → "スケジュール終了" "A-ENC32" → "A-ENC32 ch0" 表下: "○: 搭載、—: 非搭載" 追加

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。