

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル

周波数検知回路

(OFD-A)

Revision 2.2

2018-03

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するドキュメント	4
表記規約	5
用語・略語	7
1. 概要	8
2. 構成	9
3. 機能説明・動作説明	10
3.1. 設定方法	10
3.2. 検知周波数	10
3.3. 検知開始タイミング	12
3.4. 検知	12
3.5. 使用可能な MCU の動作モード	12
3.6. 外部高速発振クロック検知	12
4. レジスタ説明	13
4.1. レジスタ一覧	13
4.2. [OFDCR1] (周波数検知制御レジスタ 1)	14
4.3. [OFDMON] (検知対象クロック 1 モニタ設定レジスタ)	14
4.4. [OFDMN0] (最小検知周波数設定レジスタ 0 (EHOSC))	14
4.5. [OFDMN1] (最小検知周波数設定レジスタ 1 (fc))	14
4.6. [OFDMX0] (最大検知周波数設定レジスタ 0 (EHOSC))	15
4.7. [OFDMX1] (最大検知周波数設定レジスタ 1 (fc))	15
4.8. [OFDRST] (リセット制御レジスタ)	15
4.9. [OFDCR2] (周波数検知制御レジスタ 2)	15
4.10. [OFDSTAT] (ステータスレジスタ)	16
5. 使用方法の例	17
6. 改訂履歴	18
製品取り扱い上のお願ひ	19

図目次

図 2.1	周波数検知回路ブロック図	9
図 3.1	検知周波数範囲	11
図 5.1	動作手順例	17

表目次

表 2.1	接続仕様	9
表 3.1	クロック例	11
表 6.1	改訂履歴	18

序章

関連するドキュメント

文書名
クロック制御と動作モード
例外
電源とリセット動作
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。
例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタでユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A, B, C... を表します。
例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0, 1, 2... を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

OFD	Oscillation Frequency Detector
EHOSC	External High Speed Oscillator
IHOSC2	Internal High Speed Oscillator 2

1. 概要

周波数検知回路(OFD)は、選択されたクロック信号をモニタし設定した周波数の範囲を超えると異常であることを知らせます。以下に、機能の一覧を示します。

機能分類	機能	内容
クロック周波数の異常検知	モニタ対象クロック	外部高速発振器クロック (f_{EHOSC}) または、 高速クロック (f_C)
	基準クロック(注)	内蔵高速発振器 2 クロック (f_{IHOSC2})
	周波数検知範囲	最大値、最小値が設定可能。
	状態モニタ	ステータスレジスタで停止/動作中、異常あり/なしの確認が可能。
	リセット出力	異常検知でリセット出力の禁止/許可が可能。
プロテクト	プロテクト機能	誤書き込みを防止

注) OFD 動作中($OFDRST < OFDRSTEN \geq 1$ の時)に基準クロックが停止した場合、OFD リセットを発生します。(OFD 動作以前から基準クロックが停止している場合は発生しません。)

2. 構成

周波数検知回路の構成は以下です。

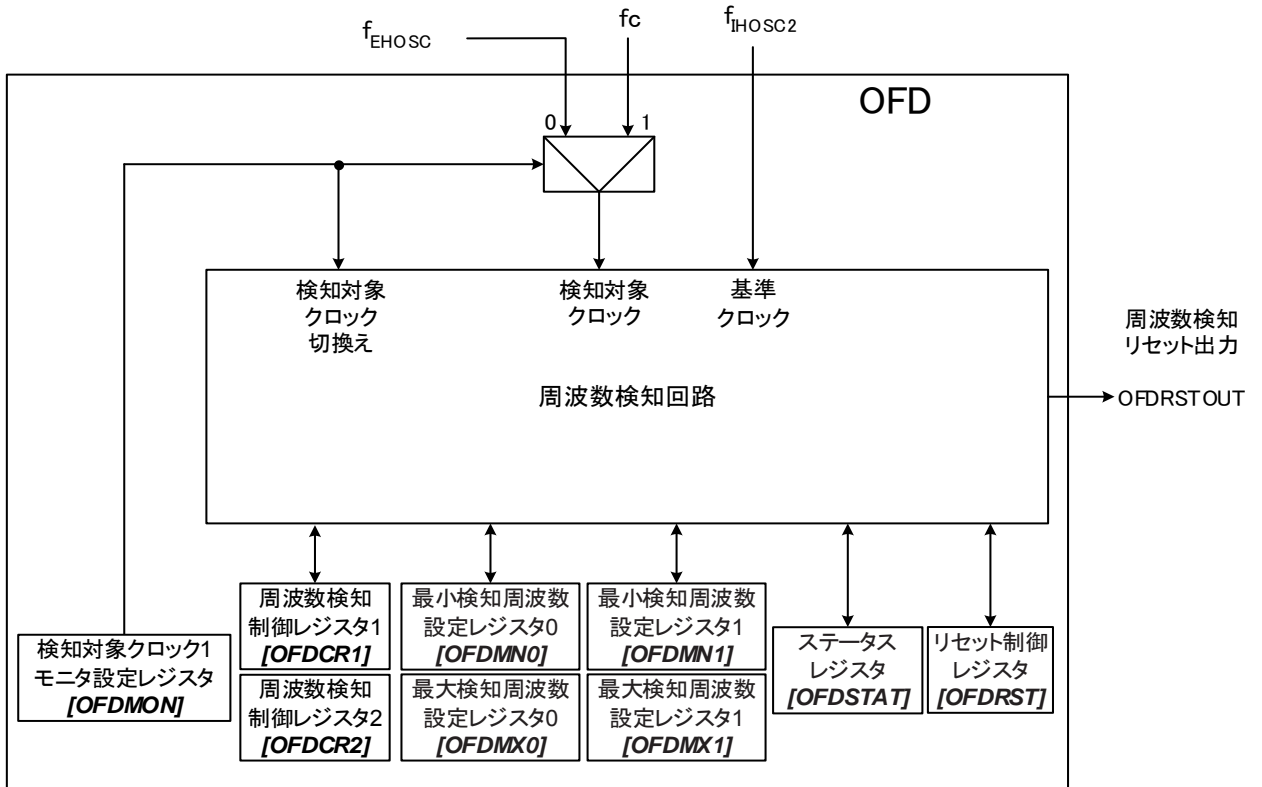


図 2.1 周波数検知回路ブロック図

表 2.1 接続仕様

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	f _{IHOSC2}	内蔵高速発振器2クロック	入力	クロック制御と動作モード
2	f _{EHOSC}	外部高速発振器クロック	入力	クロック制御と動作モード
3	f _c	内蔵高速発振器クロック (<i>[CGOSCCR]-OSCSEL</i> > と <i>[CGPLLOSEL]-PLL0SEL</i> >で選 択されたクロック)	入力	クロック制御と動作モード
4	OFDRSTOUT	OFD リセット	出力	電源とリセット動作

3. 機能説明・動作説明

周波数検知回路(OFD)はクロックの異常を検知するための機能です。

3.1. 設定方法

OFD を使用する場合は、f_{sys} 供給停止レジスタ A (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B (*[CGFSYSENB]*、*[CGFSYSMENB]*)、fc 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを“1” (クロック供給) に設定してください。また、基準クロック(OFD 用内蔵高速発振器(IHOSC2))を発振に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

リセットにより、*[OFDCR1]*以外のレジスタには書き込みができない状態になります。*[OFDCR1]*に"0xF9"を書き込むことにより、*[OFDCR1]*以外のレジスタに書き込みができるようになります。

- ・測定対象が f_{EHOSC} の場合

*[OFDMON]*を"0"に設定し、測定対象を外部高速発振器クロック(f_{EHOSC})に設定します。

検知する周波数の範囲の下限値を *[OFDMN0]*<OFDMN0>、上限値を*[OFDMX0]*<OFDMX0>に設定します。

- ・測定対象が fc の場合

*[OFDMON]*を"1"に設定し、測定対象を高速クロック (fc) に設定します。

検知する周波数の範囲の下限値を *[OFDMN1]*<OFDMN1>、上限値を*[OFDMX1]*<OFDMX1>に設定します。

[OFDRST] でリセット発生の許可/禁止を設定し、*[OFDCR2]*に"0xE4"を書き込むと動作を開始します。

誤書き込み防止のため、全てのレジスタの設定後、*[OFDCR1]*に"0x06"を設定し書き込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

3.2. 検知周波数

検知周波数には、基準クロックの発振精度によって、検知範囲と非検知範囲が存在します。検知範囲と非検知範囲の間の周波数では、検知されるかどうかは未確定です。

検知周波数上限値、下限値は、検知対象クロックと基準クロックの最大誤差より計算します。

[OFDMN0]<OFDMN0>、*[OFDMX0]*<OFDMX0>、*[OFDMN1]*<OFDMN1>、*[OFDMX1]*<OFDMX1> の値を決めるときの計算結果の丸め方により、検知範囲と非検知範囲の上限値、下限値が下記のように変わります。検知対象となるクロックのばらつきに応じて選択してください。

- ・fc 選択の時*[OFDMX1]*<OFDMX1>の値を切上げ、*[OFDMN1]*<OFDMN1>の値を切り捨てた場合
検知対象クロックに対して、非検知範囲の上限が高くなり、非検知範囲の下限が低くなります。
- ・fc 選択の時*[OFDMX1]*<OFDMX1>の値を切り捨て、*[OFDMN1]*<OFDMN1>の値を切上げた場合
検知対象クロックに対して、非検知範囲の上限が低くなり、非検知範囲の下限が高くなります。

(fc 選択の時)

図 3.1 に検知周波数範囲を示します。

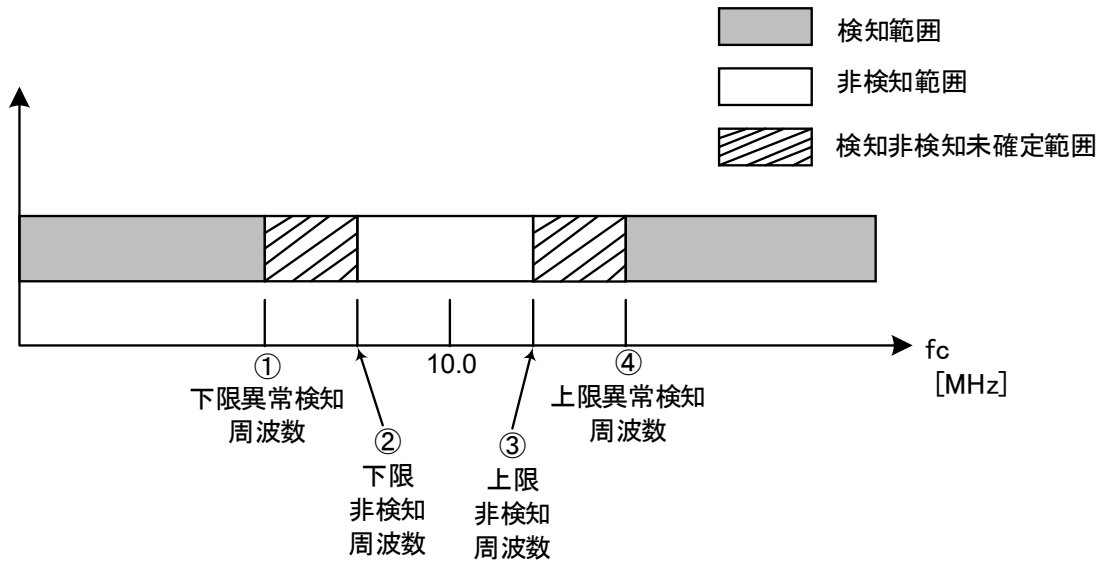


図 3.1 検知周波数範囲

誤差±10%の基準クロックを用いて、検知対象クロック誤差±1%(非検知範囲)を許容する場合の $[OFDMN1] <OFDMN1> / [OFDMX1] <OFDMX1>$ の設定値の算出方法を以下に示します。この例では、 $<OFDMX1>$ を切上げ、 $<OFDMN1>$ を切り捨てます。

表 3.1 クロック例

検知対象クロック	10MHz ± 1%	Max10.1MHz	⑤
		Min 9.9MHz	⑥
基準クロック	10MHz ± 10%	Max11.0MHz	⑦
		Min 9.0MHz	⑧

- 計算式：レジスタ設定値 = (検知対象クロック周波数 / 4) ÷ (基準クロック周波数 / 256)
= (検知対象クロック周波数 ÷ 基準クロック周波数) x 64

注) 上記は、基準クロックの分周が 256 分周となっている例です。

製品によって分周の数値は異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

設定値は計算式により以下のように求められます。

$$<OFDMX1>\text{の値} = (\text{⑤} \div \text{⑧}) \times 64 = 71.82\dots = 72 \text{ (小数点以下切上げ)} = 0x48$$

$$<OFDMN1>\text{の値} = (\text{⑥} \div \text{⑦}) \times 64 = 57.6 = 57 \text{ (小数点以下切り捨て)} = 0x39$$

このときの検知範囲は以下のように求められます。

$$\textcircled{1} = \textcircled{8} \times \langle \text{OFDMN1} \rangle \div 64 = 8.01 \text{ (切り捨て)}$$

$$\textcircled{4} = \textcircled{7} \times \langle \text{OFDMX1} \rangle \div 64 = 12.38 \text{ (切り上げ)}$$

また、このときの非検知範囲は以下のようになります。

$$\textcircled{2} = \textcircled{7} \times \langle \text{OFDMN1} \rangle \div 64 = 9.80 \text{ (切り上げ)}$$

$$\textcircled{3} = \textcircled{8} \times \langle \text{OFDMX1} \rangle \div 64 = 10.12 \text{ (切り捨て)}$$

よって、 $\langle \text{OFDMX1} \rangle$ に 0x48、 $\langle \text{OFDMN1} \rangle$ に 0x39 を設定すると、12.38MHz 以上と 8.01MHz 以下の発振周波数を検知した場合、周波数検知リセットを発生します。

また、9.80MHz から 10.12MHz の発振周波数を検知した場合、周波数検知リセットは発生しません。

3.3. 検知開始タイミング

動作開始から検知開始まで検知周期 2 周期分の時間が必要です。検知動作中かどうかは、 $[\text{OFDSTAT}] \langle \text{OFDBUSY} \rangle$ で確認することができます。

3.4. 検知

OFD が異常を検知してからリセットを発生するまで検知周期 2 周期分の時間が必要です。発生したリセットにより OFD は初期化され停止します。

注) リセットの要因は複数あります。例外/ 割り込み関連レジスタの $[\text{RLMRSTFLG1}]$ で要因を確認することができます。 $[\text{RLMRSTFLG1}]$ についてはリファレンスマニュアルの「例外」を参照してください。

3.5. 使用可能な MCU の動作モード

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。他のモードに遷移する際は、周波数検知回路を停止させてください。

3.6. 外部高速発振クロック検知

システムクロックを外部高速発振クロック (EHOSC) に切り換える場合にはモニタ機能で発振状態を確認し、 $[\text{OFDMON}] \langle \text{OFDMON} \rangle$ を "0" に設定してください。その際はリセットの発生を禁止し、 $[\text{OFDSTAT}] \langle \text{FRQERR} \rangle$ で状態を確認してください。 $[\text{OFDSTAT}] \langle \text{OFDBUSY} \rangle$ が動作中になってから $[\text{OFDSTAT}] \langle \text{FRQERR} \rangle$ の状態が有効になるまで検知周期 2 周期分の時間が必要です。

4. レジスタ説明

4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス		
			TYPE 1	TYPE 2	TYPE 3
周波数検知機能	OFD	-	0x400F1000	0x400E4000	0x40084000

注) 製品によって使用されるベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		アドレス(Base+)
周波数検知制御レジスタ 1	[OFDCR1]	0x0000
周波数検知制御レジスタ 2	[OFDCR2]	0x0004
最小検知周波数設定レジスタ 0 (EHOSC)	[OFDMN0]	0x0008
最小検知周波数設定レジスタ 1 (fc)	[OFDMN1]	0x000C
最大検知周波数設定レジスタ 0 (EHOSC)	[OFDMX0]	0x0010
最大検知周波数設定レジスタ 1 (fc)	[OFDMX1]	0x0014
リセット制御レジスタ	[OFDRST]	0x0018
ステータスレジスタ	[OFDSTAT]	0x001C
検知対象クロック 1 モニタ設定レジスタ	[OFDMON]	0x0020

4.2. [OFDCR1] (周波数検知制御レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:0	OFDWEN[7:0]	0x06	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 "0xF9"を設定すると、[OFDCR1]以外のレジスタへの書き込みができるようになります。 "0x06"、"0xF9"以外の値を書いた場合、"0x06"が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

4.3. [OFDMON] (検知対象クロック 1 モニタ設定レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	OFDMON	1	R/W	検知対象クロック選択 0: f _{EHOSC} 1: fc

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

4.4. [OFDMN0] (最小検知周波数設定レジスタ 0 (EHOSC))

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:0	OFDMN0[11:0]	0x000	R/W	検知周波数の下限値を設定します。(f _{EHOSC})

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

4.5. [OFDMN1] (最小検知周波数設定レジスタ 1 (fc))

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:0	OFDMN1[11:0]	0x000	R/W	検知周波数の下限値を設定します。(fc)

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

4.6. [OFDMX0] (最大検知周波数設定レジスタ 0 (EHOSC))

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:0	OFDMX0[11:0]	0x000	R/W	検知周波数の上限値を設定します。(f _{EHOSC})

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

4.7. [OFDMX1] (最大検知周波数設定レジスタ 1 (fc))

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:0	OFDMX1[11:0]	0x000	R/W	検知周波数の上限値を設定します。(fc)

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

4.8. [OFDRST] (リセット制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	OFDRSTEN	1	R/W	OFDリセット(OFDRSTOUT)発生制御 0: 禁止 1: 許可

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

4.9. [OFDCR2] (周波数検知制御レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:0	OFDEN[7:0]	0x00	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 "0x00"、"0xE4" 以外の値の書き込みは無効で値は変化しません。

4.10. [OFDSTAT] (ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	OFDBUSY	0	R	OFD 動作状態 0: 停止中 1: 動作中
0	FRQERR	0	R	異常検知フラグ 0: 異常でない 1: 異常

5. 使用方法の例

外部発振クロックを測定対象とした場合の周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、**[RLMRSTFLG1]**でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い、動作を許可します。このとき OFD のリセット発生は禁止しておきます。

検知開始を待って、**[OFDSTAT]** で異常検知フラグを確認し、異常がなければ外部発振クロックに切り替えます。

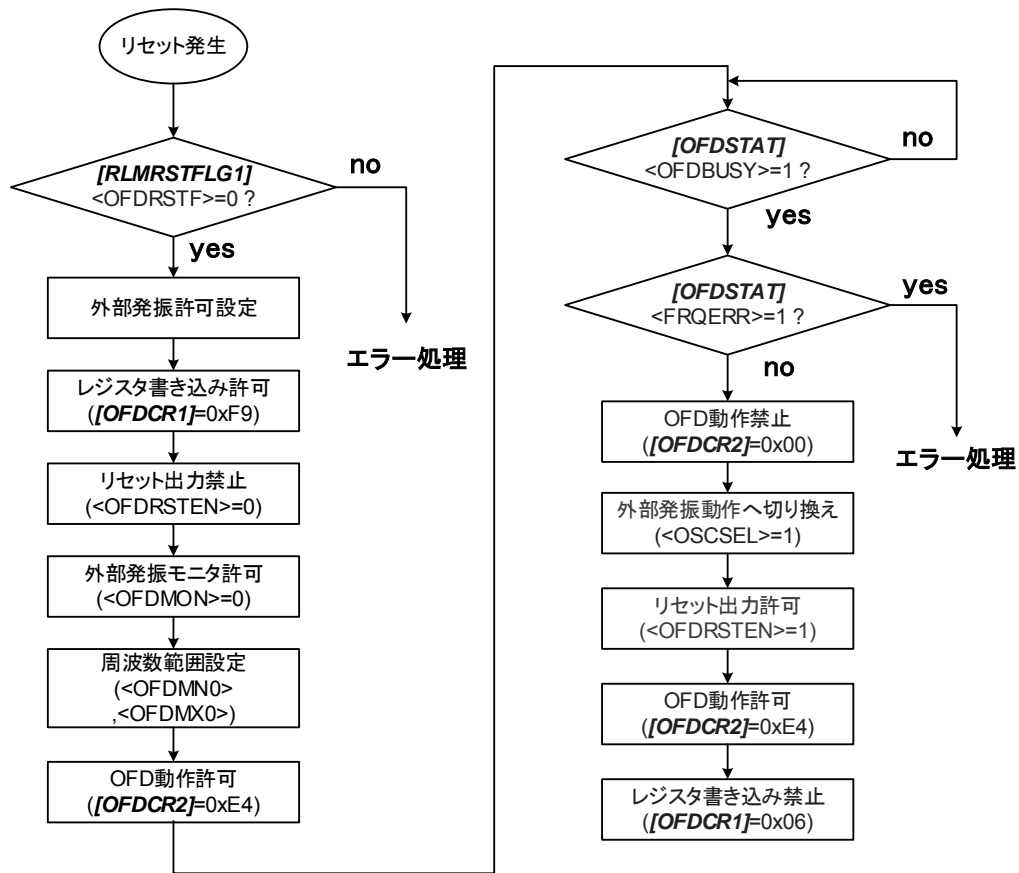


図 5.1 動作手順例

6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.0	2017-02-13	新規
1.1	2017-04-18	<p>表記規約 一部追記。(● 書き込みと読み出しで…)</p> <p>3.1. 異常検知機能 を削除。 ※以降、章番号繰り下げ。 文章は残し、以下を修正。 “周波数検知回路(OFD)はクロック発振子の異常…” →”周波数検知回路(OFD)はクロックの異常…”</p> <p>・章番号を入替及び章名を変更 3.2→3.1 設定方法 3.4→3.2 検知周波数 3.5→3.3 検知開始タイミング 3.3→3.4 リセット →3.4 検知 3.7→3.5 使用可能な MCU の動作モード 3.6→3.6 外部高速発振クロック検知</p> <p>3.2. 検知周波数 図 3.1 の下の文章の表現を変更。 表 3.1 の罫線を一部削除。 表 3.1 下へ計算式を追加。</p> <p>3.3. 検知開始タイミング “検知周期は 256/基準クロック周波数です。” の文章を削除。</p>
2.0	2017-08-02	<p>・社名変更による変更 表紙 商標の見直し 製品取り扱い上のお願いの差し替え</p> <p>3.1 設定方法 クロック供給レジスタの説明見直し</p> <p>4.1 レジスタ一覧 ベースアドレスに TYPE1/TYPE2 を記述</p>
2.1	2017-08-25	・Arm ロゴ修正
2.2	2018-03-09	<p>関連するドキュメント: 更新 用語・略語: 更新 全体: “[OFDMON1]”→” [OFDMON]”、 “<OFDMON1> ”→” <OFDMON> ”</p> <p>1. 概要 基準クロックに(注)を追加</p> <p>3.2 検知周波数 製品個別情報参照することを明記</p> <p>4.1. レジスタ一覧 修正: ベースアドレスの TYPE 1 “0x400E4000”->”0x400F1000” 追記: ベースアドレスを追加(TYPE 3)</p>

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。