

TX49/H4 コア搭載製品使用上の注意事項
Rev. 1.6

株式会社 **東芝** セミコンダクター社

まえがき

東芝マイクロコンピュータLSIおよび開発支援システムをご利用いただき誠にありがとうございます。

当社では民生品から産業用まで幅広い分野にご利用いただける各種のマイクロコンピュータLSI群を用意しております。

本資料は、このうち、64ビット TX System RISC TX49ファミリーのTX49/H4プロセッサコアおよびこれを搭載した製品に関わる使用上の注意事項について記述したものです。

2011 年 1 月

目 次

TX49/H4 コア搭載製品使用上の注意事項

第 1 章 はじめに	1-1
1.1 対象製品群	1-1
1.2 関連ドキュメント	1-1
1.3 使用上の注意事項 発行番号と対応製品の一覧	1-2
1.4 製品リビジョン ID	1-2
第 2 章 使用上の注意事項	2-1
ERT-TX49H4-001	2-1
ERT-TX49H4-002	2-3
ERT-TX49H4-003	2-4
ERT-TX49H4-004	2-5
ERT-TX49H4-005	2-6
ERT-TX49H4-006	2-7
ERT-TX49H4-007	2-8
ERT-TX49H4-008	2-9
ERT-TX49H4-009	2-10
ERT-TX49H4-010	2-11
ERT-TX49H4-011	2-13
ERT-TX49H4-012	2-14
ERT-TX49H4-013	2-15
ERT-TX49H4-014	2-16
ERT-TX49H4-015	2-18
ERT-TX49H4-016	2-19
ERT-TX49H4-017	2-21
ERT-TX49H4-018	2-22
ERT-TX49H4-019	2-23
付録 A 変更履歴	A-1

第1章 はじめに

1.1 対象製品群

本資料の対象となる製品について、以下に記します。

(1) コア関連

- TX49/H4 コア

(2) 汎用製品

- TMPR4955CFG-400/-450(TX4955C)
- TMPR4956CXBG-400/-450(TX4956C)
- TX4939XBG-400(TX4939)

1.2 関連ドキュメント

本資料に関連するドキュメントを以下に示します。

なお、本資料に掲載の内容は、関連ドキュメントの改訂時に反映される予定です。

ドキュメント名	資料 No.	改訂日
64 ビット TX System RISC TX49/H2, H3, H4, W4 コア アーキテクチャ Rev.2.1	BDJ0063E	2007 年 1 月
64 ビット TX System RISC TX49 ファミリー TMPR4955B/TMPR4955C Rev.1.1	BDJ0096B	2006 年 9 月
64 ビット TX System RISC TX49 ファミリー TMPR4956C Rev.1.1	BDJ0106B	2006 年 9 月
64 ビット TX System RISC TX49 ファミリー TX4939 Rev.3.3	BDJ0137C	2007 年 3 月

1.3 使用上の注意事項 発行番号と対応製品の一覧

各製品において該当する使用上の注意事項を以下の表に示します。(○: 該当、-: 非該当)

製品名 (品番) 発行番号	TX49/H4 コア (最新版)	TMPR4955CFG -400/-450 (TX4955C)	TMPR4956CXBG -400/-450 (TX4956C)	TX4939XBG -400 (TX4939)	
ERT-TX49H4-001	○	○	○	○	
ERT-TX49H4-002	—	—	○	—	
ERT-TX49H4-003	○	○	○	○	
ERT-TX49H4-004	○	○	○	○	
ERT-TX49H4-005	○	○	○	○	
ERT-TX49H4-006	○	○	○	○	
ERT-TX49H4-007	○	○	○	○	
ERT-TX49H4-008	○	○	○	○	
ERT-TX49H4-009	—	—	—	○	
ERT-TX49H4-010	○	—	—	○	
ERT-TX49H4-011	—	—	—	○	
ERT-TX49H4-012	—	—	—	○	
ERT-TX49H4-013	—	—	—	○	
ERT-TX49H4-014	—	—	—	○	
ERT-TX49H4-015	—	—	—	○	
ERT-TX49H4-016	—	—	—	○	
ERT-TX49H4-017	—	—	—	○	
ERT-TX49H4-018	—	—	—	○	
ERT-TX49H4-019	—	—	—	○	

1.4 製品リビジョン ID

各製品におけるリビジョン ID を以下の表に示します。

製品名 (品番) レジスタ名	TX49/H4 コア (最新版)	TMPR4955CFG -400/-450 (TX4955C)	TMPR4956CXBG -400/-450 (TX4956C)	TX4939XBG -400 (TX4939)	
CP0 : PRId	0x00002d40	0x00002d40	0x00002d40	0x00002d40	
CP1 : FCR0	0x00002d40	0x00002d40	0x00002d40	0x00002d40	
JTAGID	—	0x0002C031	0x0002C031	0x20037031	
REVID	—	—	—	0x49390010	
PCIID	—	—	—	0x0184102f	

第2章 使用上の注意事項

発行番号: ERT-TX49H4-001

対象製品名: TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C), TX4939XBG-400(TX4939)
限定条件: 先行ロード命令によるデータサイクルでバスエラーが発生し、後続命令でバスエラー例外よりも優先度の高い例外が発生すると、バスエラーを検出できない。

【概要】

先行ロード命令によるデータのリードサイクル中にバスエラー例外(DBE)が発生し、後続して実行されている命令で、バスエラー例外(DBE)よりも優先度の高い例外が発生すると、後続命令で発生した例外を優先的に処理し、バスエラー例外(DBE)を検出できなくなります。

【不具合の内容】

TX49 コアはノンブロッキングロード機能を持っており、先行するロード命令に続く命令が、そのロード命令に依存がなければストールせずに続けて実行されます。

先行ロード命令によるデータをリードしているとき、バスエラー例外(DBE)が発生し、後続で実行されている命令でバスエラー例外(DBE)よりも優先度の高い例外(連続する命令が同一タイミングで複数の例外が発生する場合の優先順位、以下の表 2.1参照)が発生すると、バスエラー例外(DBE)よりも後続命令によって発生した例外を優先的に処理し、バスエラー例外(DBE)を検出できなくなります。

表 2.1 同一タイミングで発生した場合の優先順位

優先先順位(高い順)		検出する PipeStage	命令同期 or 非同期
コールドリセット		M	Async
ソフトリセット		M	Async
NMI		M	Async
バスエラー(IBE)	命令フェッチ	M	Async
Ov, Tr, Sys, Bp, Ri, CpU, FPE		M	Sync
アドレスエラー(AdEL/AdES)	データアクセス	M	Sync
TLB リフィル(TLBL/TLBS)	データアクセス	M	Sync
TLB 無効(TLBL/TLBS)	データアクセス	M	Sync
TLB 変更(TLBL/TLBS)	データアクセス	M	Sync
バスエラー(DBE)	データアクセス	M	Async
割り込み		M	Async
アドレスエラー(AdEL)	命令フェッチ	E	Sync
TLB リフィル(TLBL)	命令フェッチ	E	Sync
TLB 無効(TLBL)	命令フェッチ	E	Sync

注: 上記表 2.1は「TX49/H2, H3, H4, W4 コアアーキテクチャ」p11-2 の表 11-3 例外の優先順位(同一命令が同一タイミングで複数の例外が発生する場合の優先順位)とは異なる点をご注意ください。

バスエラー例外が発生する条件は各製品毎に異なり、以下のようになります。

TX4955C および TX4956C では、

1. 外部エージェントからのリード時に SysCmd バスによって「誤りデータである」という通知を受け取ったとき
2. 外部エージェントからのリード時に SysAD バスと SysADC バスの不整合が生じたパリティエラーが発生したとき
3. R4300 タイププロトコルで、G2SConfig レジスタのタイムアウト機能を使用し、タイムアウトを検出したとき

の3つの場合があります。

なお、ColdReset 例外および SoftReset 例外については、例外発生後の処理で、初期化処理が行われるために問題ありません。また、NMI 例外についても、例外発生後の処理が、上記リセット例外の処理と同様であれば問題ありません。

【回避策】

1. 上記、不具合内容でバスエラーを使つての TX49 コアへのエラー通知を有効にしていない場合は問題ありません。
2. 先行するロード命令直後に SYNC 命令を実行することで、ロードデータが来るまで次の命令を実行しないため、本不具合を回避することができます。

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-002

対象製品名:

TMPR4956CXBG-400/-450(TX4956C)

限定条件:

G2SConfig レジスタへ 64 ビットバス幅モード時に Little Endian でアクセスした場合に、正常にアクセスできない。

【概要】

TX4956C を Little Endian で 64 ビットバス幅モードを使用している場合、G2SConfig レジスタ(0xff10_0000)に 64 ビット(ダブルワード)アクセスするとハングアップします。

【不具合の内容】

TX4956C の G2SConfig レジスタ(0xff10_0000)が 64 ビット内部バス(G-bus)の上位 32 ビット側に固定で割り付けられているため、Little Endian で 0xff10_0000 へ 64 ビット(ダブルワード)アクセスを行うと、内部デコーダが反応せず、TX49 コアが待ち状態になりハングアップしてしまいます。

【回避策】

以下のどちらかの方法でアクセスすれば上記不具合は発生しません。

1. G2SConfig レジスタへのアクセスを 32 ビット(Word)アクセスで行う。
2. G2SConfig レジスタへのアクセスを 64 ビット(ダブルワード)アクセスで行う場合は、Big Endian 使用時は 0xff10_0000 をアドレス指定し、Little Endian 使用時は 0xff10_0004 をアドレス指定する。

【改修】

対象製品の修正予定はありません。

なお、本不具合は TX4955C および TX4956C を 32 ビットバス幅モード(BSIZE64*=1)で使用する場合は該当しません。

発行番号: ERT-TX49H4-003

対象製品名:TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C),
TX4939XBG-400(TX4939)**限定条件:**

TLB Mapped 領域で、TLB を操作する命令を実行する場合

【概要】

TLB Mapped 領域で TLB を操作する命令を実行した場合、Branch/Jump の後の命令を誤って実行することがあります。

【仕様の注意点の内容】

TLB の操作を Unmapped 領域で行う場合は、問題ありません。もし、TLB Mapped 領域内で EntryHi/EntryLo0/EntryLo1 への mtc0 命令を実行し、同一または次のキャッシュラインにある branch/jump 命令で branch/jump した時は、飛び先での命令の実行が保証されません。

【制限事項】

TLB 自身を操作する命令(EntryHi/EntryLo0/EntryLo1 への書込み) は、TLB Mapped 領域ではなく、Unmapped 領域で実行してください。

Mapped 領域で EntryHi/EntryLo0/EntryLo1 への書込む必要がある場合は、mtc0 命令に引き続き、以下の様なコードを挿入してください。

```
mtc0    r4, r2      # EntryLo0 への書込み
sync                    # Load/Store 終了待ち
beq     r0, r0, 1f    # ITLB リフィル
nop
1:
```

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-004

対象製品名:TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C),
TX4939XBG-400(TX4939)**限定条件:**

SC/SCD 命令の直後に、特定の命令列が続いた場合

【概要】

SC/SCD 命令の直後に、Load/cache 命令がある または SC/SCD 命令で更新されたレジスタを参照する命令がある場合、結果が期待と異なったものになる可能性があります。

【不具合の内容】

SC/SCD 命令はストアが成功したか(1)しないか(0)が書き戻される命令ですので、通常、直後の分岐命令と組合せて使われます。この場合は問題ありません。

分岐以外の、以下の発生条件の命令が続いた場合、SC/SCD 命令からのデータの受け渡しに不具合があるため、SC/SCD 命令で更新されたデータを反映せずに結果が異なってしまいます。

また、LL bit が 0 の状態で、SC/SCD 命令直後に Load/Cache 命令が実行された場合、SC/SCD 命令が完全にキャンセルされずに、Cache 内のデータを上書きしてしまう場合があります。

【不具合の発生条件】

1. 問題が発生する可能性のある命令の並びは次のようになります。

SC または SCD 命令

命令 A

命令 B

上記の命令列において以下の条件をすべて満たす場合、命令 B が誤動作します。

- (1) 命令 B は、SC/SCD 命令および命令 A によって更新されるレジスタを参照する
- (2) 命令 A は、SC/SCD 命令によって更新されるレジスタをオペランドとして参照しない
- (3) SC/SCD 命令で DTLB miss が発生
- (4) SC/SCD 命令/命令 A/命令 B の命令フェッチがキャッシュでヒットし、さらに命令 A で memory 参照する場合に データキャッシュがヒットする

2. 問題が発生する可能性のある命令の並びは次のようになります。

SC または SCD 命令

Load 命令/Cache 命令

上記の命令列において以下の条件をすべて満たす場合、データキャッシュ内の一部データを上書きします。

- (1) SC/SCD 命令実行時に LL bit が 0
- (2) SC/SCD 命令が DTLB Hit
- (3) SC/SCD 命令が L1D\$ Hit
- (4) SC/SCD 命令の直後に、「同じ L1D\$ Index をアクセスする Load 命令」または「Cache 命令」のどちらかを実行

【回避策】

SC/SCD 命令の結果を受けて直後に条件分岐がある場合は、この不具合に該当しません。それ以外で発生条件を満たす場合は、SC/SCD 命令直後に nop または sync を挿入してください。

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-005

対象製品名:

TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C),
TX4939XBG-400(TX4939)

限定条件:

EJTAG の ICE/デバッガを作成する場合

【概要】

EJTAG の PC Trace で、デバッグモードからユーザーモードに戻れなくなる場合があります。

【不具合の内容】

市販の ICE ベンダから販売されている EJTAG ICE を使用する場合は問題ありません。EJTAG ICE を作成する場合に該当します。

EJTAG を PC Trace モードにして、TDI からデバッグインタラプトを入力してデバッグモードに入った場合、JtagBrk ビット (JTAG_CONTROL_REGISTER の bit 12) をクリアしてからユーザーモードに戻ろうとしても、デバッグインタラプトが再発生してしまい、戻れなくなります。

【不具合の発生条件】

PC Trace モードで TDI からデバッグインタラプトを入力し、JtagBrk ビットに 0 を書き込んでからユーザーモードに戻ろうとした場合に発生します。ただし、デバッグインタラプト入力から JtagBrk ビットに 0 を書き込むまでの間に、JtagBrk ビットに 1 を書き込んだ場合は問題ありません。

【回避策】

EJTAG ICE およびデバッガを開発する場合は、TDI からのデバッグインタラプト入力後、まず JtagBrk ビットに 1 書き込み、その後 0 を書き込んでからユーザーモードに戻ってください。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C),
TX4939XBG-400(TX4939)

限定条件:

未定義 FPU 命令が記述された場合

【概要】

未定義の FPU 命令を実行した場合、条件により、その後の命令の動作が保証されない場合があります。

【仕様の制限事項の内容】

本来、未定義命令は使用が禁止されています。FCR31 レジスタに書込む可能性の有る FPU 命令の後に未定義の FPU 命令がある場合、以下のような現象が発生します。

1. 未定義命令による E(unimplemented)例外の発生にもかかわらず、E 例外が発生した事を示す FCR31 レジスタ中の E bit(bit 17)が 0 となってしまうことがあります。(E 例外が発生しなかったように見える)
2. FCR31 レジスタに書き込む命令が ctc1 命令だった場合、TX49 コアがハングアップしてしまう可能性があります。

【発生条件】

問題が発生する可能性のある命令の並びは次のようになります。

FPU 命令(FCR31 への書込み可能性が有るもの) (例 c.ngle.d, ctc1 等)

(integer 命令)

FPU の未定義命令 (例 .word 0x4624eb6a)

上記 2 つの FPU 命令の間に Integer 側の命令が複数個入っている場合でも、不具合発生する可能性があります。

最初の FPU 命令の種類により、間に入る integer 命令の個数が変わります。以下の個数の integer 命令が間に入っていても不具合が発生する可能性が有ります。

最初の命令

div.d, sqrt.d	28 個以下の integer 命令
div.s, sqrt.s	14 個以下の integer 命令
mul.d	1 個以下の integer 命令
add.d, sub.d, cvt 系, c.cond.d, ctc1	1 個以下の integer 命令

注 1: cvt 系とは ceil.l.fmt, ceil.w.fmt, cvt.d.fmt, cvt.l.fmt, cvt.s.fmt, cvt.w.fmt,
floor.l.fmt, floor.w.fmt, round.l.fmt, round.w.fmt, trunc.l.fmt, trunc.w.fmt.

注 2: mov.fmt, neg.fmt, abs.fmt, mul.s, c.cond.s では今回の不具合は発生しません。

【制限事項】

FPU の未定義命令の使用は禁止されています。使用しないでください。何らかの理由で FPU の未定義命令を使用せざるを得ない場合は、FPU 未定義命令の前に FCR31 を読み出す cfc1 命令を置いてください。

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-007

対象製品名:TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C),
TX4939XBG-400(TX4939)**限定条件:**

ライトスルーモードで、特定の条件の下で Store, Load を連続実行した場合

【概要】

ライトスルーモードで Store, Load を連続実行したときに、冗長なライトバックが発生してしまうことがあります。

【不具合の内容】

ライトスルーモードで IS₀にヒットした Store, Load 命令を連続実行し、以下の発生条件がすべて成立した場合に、シングルライトにより書込み済みのデータを、再度バーストライトで書込むという冗長な動作が発生します。冗長は発生しますが、正しいデータが残ります。

【発生条件】

冗長が発生する可能性のある命令の並びは次のようになります。

Store

Load

- a) Store がデータキャッシュヒット
- b) Store と Load のアドレスが、異なるアドレスだが同じ Index を指している
- c) Store と Load のアドレスが、異なる Double Word
- d) Store Hit した Way と、FIFO が指している Way(次の置き換え Way)が同一
- e) Load がデータキャッシュミス

なお、上記条件を満たす Load と Store の間にある命令が、Store とは Index 依存の無い Load 命令のみで、その Load 命令が命令キャッシュヒット/データキャッシュヒットの場合、同様の冗長動作が発生します。

Store

Load (Store との Index 依存無し) × (1~n 個)

Load

Store 命令と Load 命令の間に、Load 以外の命令があれば、冗長動作は発生しません。

【回避策】

ライトバックモード使用時は発生しません。

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-008

対象製品名:TX49/H4 コア, TMPR4955CFG-400/-450(TX4955C), TMPR4956CXBG-400/-450(TX4956C),
TX4939XBG-400(TX4939)**限定条件:**

特定の条件の下で、命令フェッチによる TLB 例外が発生した場合

【概要】

命令フェッチによる TLB 例外の発生直前に実行された mfc0 命令が、特定の条件の元でレジスタの内容を誤って読み出す場合があります。

【不具合の内容】

命令フェッチによる TLB 例外が発生した場合、例外発生直前に実行された mfc0 命令が Status レジスタまたは Cause レジスタの一部を誤って読み出す場合があります。本来なら例外発生前の値でなければならないところを、Status レジスタは EXL を、Cause レジスタは BD と ExcCode の部分に例外発生後の値を読み出し、GPR に書き出してしまいます。

【発生条件】

問題が発生する可能性のある命令の並びは次のようになります。

ページ境界に置かれた mfc0 命令の直前に Load/Store/Sync 命令が配置されており、それ以前に実行された Load/Store 系命令が終了していない場合で、かつ、引続き TLB mapped 領域の Page 境界を超えて命令フェッチし TLB 例外が発生した場合。

Load/Store 命令

Load/Store/Sync 命令

MFC0 rt, rd ; rd が Status/Cause の場合

-- page 境界 --

nop ; TLB mapped 領域

【回避策】

Status レジスタ、Cause レジスタを読み出す mfc0 命令の直前に nop 命令を挿入してください。また、例外ハンドラ外で EXL, BD, ExcCode をマスクして使用することで回避できます。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

Serial I/O において、オーバランエラーをステータス変化割り込みステータスレジスタ(SISCISR)の“OERS”フィールドを参照することにより検出・処理している場合の不具合。
(ソフトウェアで参照している場合、もしくは DMA/割り込みコントロールレジスタ(SIDICR)の“STIE”フィールドに“1*****”をセットして、オーバランエラー発生時にステータス変化割り込みが発生するように設定している場合)

【概要】

ステータス変化割り込みステータスレジスタ(SISCISR)のオーバランエラー(OERS)フィールドに“0”をライトしても、このレジスタをクリアできません。また、同じレジスタのブレイク検出(UBRKD)フィールドに“0”をライトすると、オーバランエラー(OERS)フィールドがクリアされます。

【不具合内容】

本不具合は上記限定条件の元、以下のような内容で発生します。

Serial I/O の初期化後、一度目のオーバランエラーが発生すると、ステータス変化割り込みステータスレジスタ(SISCISR)のオーバランエラー(OERS)フィールドに“1”がセットされます。

1. 不具合 1

OERS フィールドに“1”がセットされた後に、OERS フィールドに“0”をライトしても、このレジスタをクリアできません。このため、一度でもオーバランエラーが発生すると、Serial I/O 内部に存在するオーバラン検出フラグの状態が OERS フィールドに正確に反映されず、二度目以降のオーバランエラーは OERS フィールドを参照しても検出できません。

2. 不具合 2

OERS フィールドに“1”がセットされた後に、同じレジスタの UBRKD フィールドに“0”をライトすると、OERS フィールドがクリアされてしまいます。

【回避策】

オーバランエラーの検出には DMA/割り込みステータスレジスタ(SIDISR)の UOER フィールドを使用してください。(UOER フィールドを使用してオーバランエラー検出・処理を実施している場合、本不具合の影響はありません。)

オーバランエラー発生時には Serial I/O 全体をソフトウェアリセットする必要がありますが、これが確実に行われていることを確認してください。ソフトウェアリセットは FIFO コントロールレジスタ (SIFCR) のソフトウェアリセット(SWRST)フィールドに“1”をセットすることにより実行可能です。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX49/H4 コア, TX4939XBG-400(TX4939)

限定条件:

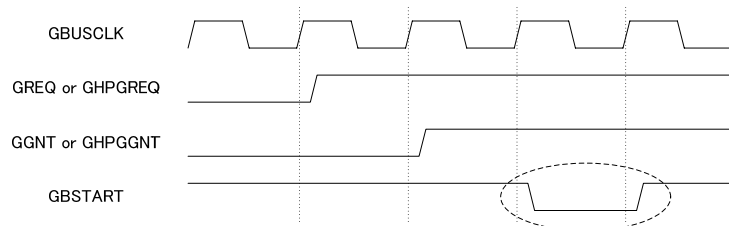
GREQ/GGNT 信号または GHPGREQ/GHPGGNT 信号による GBUS の ET コンカレンシ開放機能を利用している製品に、EJTAG ICE を接続して CFC0 命令または CTC0 命令を実行した場合

【概要】

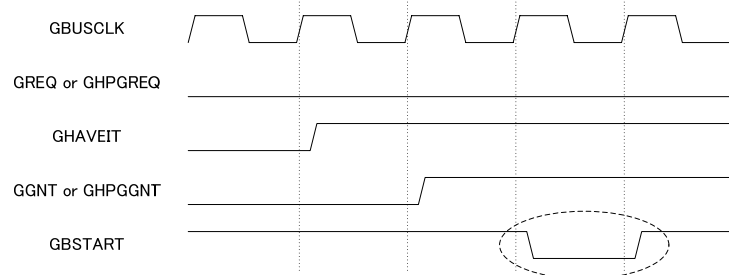
GREQ/GGNT 信号または GHPGREQ/GHPGGNT 信号により、GBUS が外部バスマスタに ET コンカレンシ開放された状態にあるとき、EJTAG ICE によって CFC0 命令または CTC0 命令が実行されると、不正な GBSTART 信号のアサートが発生します。

【不具合の内容】

EJTAG ICE による GPR ダンプ機能などでは、TX49 コアのコプロセッサバスサイクルを利用して、GPR の値を TX49 コア内蔵のデバッグサポートユニットに転送していますが、GREQ/GGNT 信号または GHPGREQ/GHPGGNT 信号により、GBUS が外部バスマスタへ ET コンカレンシ開放されている間に、EJTAG ICE によってコプロセッサバスサイクル要求が発行されると、TX49 コアが GBUS のバス権を取り戻した 1 クロック後に、GRD 信号および GWR 信号のアサートを伴わない不正な GBSTART 信号のアサートが 1 クロック期間行なわれます。



本不具合は、GREQ 信号または GHPGREQ 信号のデアサートによるバス権の遷移時だけでなく、GHAVEIT 信号のデアサートによるバス権の遷移時にも発生します。



本不具合が発生した際、アドレスバス出力およびデータバス出力は、発行中のコプロセッサバスサイクルのプロトコルに従った値となります。よって、アドレスバス(GAFM35-GAFM0)には CTC0 命令または CFC0 命令のコード(0x0_40**_****)が出力され、データバス(GDTM63-GDTM0)には CTC0 命令で指定された GPR の値が出力されます。

なお、EJTAG ICE により発行したコプロセッサバスサイクルは、TX49 コア内部で閉じているバスサイクルであるため、コプロセッサバスサイクルであることを示す GCPRD 信号および GCPWR 信号はアサートされません。

【発生条件】

本不具合が発生するのは、以下の条件をすべて満たした場合です。

1. GREQ/GGNT 信号または GHPGREQ/GHPGGNT 信号を使用した ET コンカレンシ開放機能を利用している。
2. EJTAG ICE のファームウェアが、CTC0 命令または CFC0 命令を使用したコプロセッサバスサイクルを発行している。

以下の場合、本不具合は発生しません。

1. バス開放機能を利用しないか、GSREQ/GSGNT 信号または GHPSERQ/GHPSGNT 信号を使用した ST コンカレンシバス開放機能のみを利用するシステムでは、本不具合は発生しません。
2. 通常、EJTAG ICE が CTC0 命令および CFC0 命令を使用するのは、GPR の値の参照または設定を行う場合ですが、CP0 内の DESAVE レジスタを介して同様の機能を実現している EJTAG ICE では、本不具合は発生しません。

以下の場合、本不具合が発生しても影響がありません。

1. GBUS に接続された外部デバイスが、バスサイクルの開始を認識する条件として、GBSTART 信号のアサートと同時に GRD 信号または GWR 信号のアサートを参照する設計となっている場合、本不具合の影響はありません。
2. GBUS に接続されたすべての外部デバイスが、本不具合発生時に必ず出力されるアドレスバスの値(0x0_40**_****)以外にマッピングされていれば、本不具合の影響はありません。

外部デバイスの対応による誤動作発生の可能性一覧

外部デバイスの対応				誤動作の可能性
GBSTART	GRD および GWR	GAFM35-GAFM0	アドレスマッピング	
参照している	参照している	—	—	無
参照している	参照していない	デコードしている	0x0_40**_****番地以外	無
参照している	参照していない	デコードしている	0x0_40**_****番地	有
参照している	参照していない	デコードしていない	—	有

※ ‘*’ は任意の 16 進数

【回避策】

コプロセッサバスサイクルをユーザーが利用する事は禁止されているため、本不具合が発生するのは、EJTAG ICE が CTC0 命令または CFC0 命令を使用している場合のみです。よって、EJTAG ICE がそれらの命令を実行する場合、外部バスマスタによる ET コンカレンシのバス開放要求を一時的に停止することが可能であれば、本不具合は発生しません。

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-011

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

RTCTBC レジスタ(タイムベース補正レジスタ)に関する不具合

【概要】

TX4939 データブックを参照すると、RTCTBC は VDDRRTC が供給されている限り内容を保持することが期待されます。しかし、実際は、VDDC が落ちると RTCTBC レジスタにリセットがかかり、データを保持することができません。

【不具合の内容】

RTCTBC は、VDDRRTC が供給されている限り内容を保持することが期待されますが、実際には、VDDC が落ちると RTCTBC レジスタにリセットがかかり、データを保持することができません。したがって、VDDC が落ちているときは、RTC カウンタの補正がかかりません。このため、VDDC が立ち上がり、システムが復帰したとき、RTC カウンタの値にずれがあり、正しい時刻を示さないことがあります。

【回避策】

常時 VDDC を供給してください。

【改修】

対象製品の修正予定はありません。現仕様のままお使いください。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

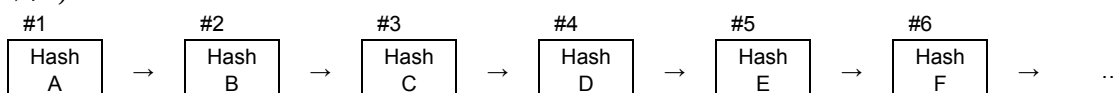
CRYPT エンジンにおいて、チェーンディスクリプタでのハッシュ計算後の処理についての不具合

【概要】

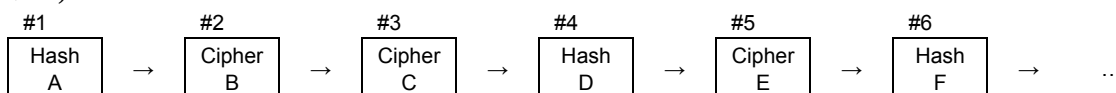
チェーンディスクリプタを用いた処理において、ハッシュ計算後の処理が正しく実行されない場合があります。

ここで、問題を発生させるチェーンディスクリプタとは下記のような構成をとるものを指します。下図において、各ディスクリプタ {#1, #2, ...} は独立したデータ {A, B, ...} の処理を担い、ディスクリプタ毎に処理結果が出力されるものと致します。

例 1)



例 2)



【不具合の内容】

上記の構成において、ハッシュ処理を行うディスクリプタの次に処理されるディスクリプタにおいて問題が発生します。これは Context Index Pointer(Cptr[2:0])の値が正しく暗号化エンジンにロードされないためです。

上記例 1)では 2 番目以降のすべてのハッシュ処理に対して、例 2)では 2 番目と 5 番目の暗号処理に対して、正しい演算結果を得られない可能性があります。

【回避策】

暗号化エンジンの使用に際しては以下の制限条件を十分考慮頂きますようお願い申し上げます。

1. 何らかの処理を担うディスクリプタに別のハッシュ処理を行うディスクリプタを繋げたチェーンディスクリプタを構成しないでください。
上記例 1)および例 2)のような使用方法を禁止いたします。
2. 1 つのデータのハッシュ値をチェーンディスクリプタによって処理する場合、チェーンディスクリプタを構成するディスクリプタの数は 2 個までに制限されます。

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-013

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

ATA100 コントローラにおける Additional コントロールレジスタ(ATA0/1 0x3C28/0x4C28)に関する仕様制限

【概要】

Ultra DMA リード時、データ転送単位の最初のデータを受信する前に Additional コントロールレジスタの Bit[6] (Transfer Pause)を 1 に設定する(転送中断)と、規格違反動作をします。

【不具合の内容】

通常、デバイスからのイニシャライズ開始に対する DMACK*信号に対して応答した後、最初のデータを受け取るまでポーズ通知を出してはいけません。

しかし、誤ってポーズ通知を出してしまいます。

【回避策】

Additional コントロールレジスタの Bit[6] (Transfer Pause)を 1 に設定しないでください。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

外部バスインタフェースから外付けのデバイスに、ページモードでページ境界を跨るアクセスを行った場合

【概要】

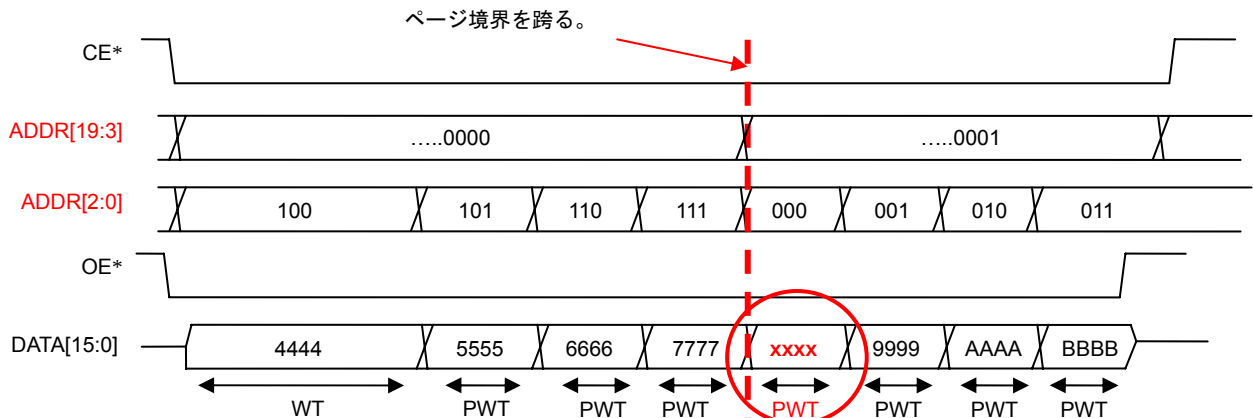
外部バスインタフェースから外付けのデバイスへのページモード(EBCCRn.PM=00 以外)でのアクセスで、アクセス途中にページ境界を跨ってしまった場合、跨った先頭のデータのアクセスにウェイトが正しく入りません。

【不具合内容】

ページモードでは、最初のデータのウェイト時間は EBCCRn.WT で指定し、2 番目以降のデータのウェイト時間は EBCCRn.PWT で指定します。しかし、アクセス中にページ境界を跨った先頭データには、EBCCRn.WT が入らずに、EBCCRn.PWT のウェイトのままでアクセスしてしまいます。

外部バスコントローラ(EBUSC)をページモードに設定した場合、バスマスタ(CPU,DMA コントローラ、または PCI コントローラ)が外部バスをバーストアクセスすると、EBUSC はページモードで動作します。ページサイズとしては、4,8,16 ページの 3 通り選択できます。EBUSC は先頭アドレスをインクリメントしながら指定したページサイズ分のデータをアクセスします。これをバスマスタからのアクセスのバーストサイズになるまで繰り返します。

このため、先頭アドレスによっては、ページ境界を跨いだアドレスで、EBCCRn.PWT で指定されたウェイト時間でのアクセスを行ってしまうことがあります。



NOR のページ境界を跨ったが、ウェイトが WT にならない(PWT になってしまう)。このため、NOR のアクセスタイムを満足できずに、データを正しくリードできない。

※ 図の信号は TX4937 の場合

【回避策】

1. TX49 コア使用上の制約、

TX49 コアをクリティカルワードファーストで使用する場合は、外部バスコントローラを下記の設定の組合せで使用しないでください。

- (1) EBCCRn.BSZ=1(8 ビットバス幅)かつ EBCCRn.PM=11(16 ページモード)
- (2) EBCCRn.BSZ=0(16 ビットバス幅)かつ EBCCRn.PM=10(8 ページモード)

TX49 コアのバーストアクセスは、すべて 4 バーストでアドレスは 8byte 境界になっています。そのため、問題となるのはページサイズが 16 バイト、つまり上記の 3 つの設定の時にあります。

2. PCI コントローラ使用上の制約

PCI コントローラがマスタとなり外部バスにバーストアクセスするような場合(PCI バス上のインシエータから外部バスに対して、メモリ空間 $n(n=0,1,2)$ を使用して PCI ターゲットアクセスを行う場合)、外部バスコントローラを下記の設定の組合せで使用しないでください。

- (1) EBCCRn.BSZ=1(8 ビットバス幅)かつ EBCCRn.PM=11(16 ページモード)
- (2) EBCCRn.BSZ=0(16 ビットバス幅)かつ EBCCRn.PM=10(8 ページモード)
- (3) EBCCRn.BSZ=0(16 ビットバス幅)かつ EBCCRn.PM=11(16 ページモード)

3. DMA コントローラ使用上の制約

DMA コントローラから外部バスにバースト転送するような場合、外部バスコントローラを下記の条件で設定してください。外部バスに対してバースト転送が発生しない場合は、これら制約はありません。

- (1) EBCCRn.BSZ=1(8 ビットバス幅)かつ EBCCRn.PM=11(16 ページモード)、
- (2) EBCCRn.BSZ=0(16 ビットバス幅)かつ EBCCRn.PM=10(8 ページモード)の場合
 - i) ソースアドレス(DMSARn)の設定値を 16byte アドレス境界にする。
 - ii) デスティネーションアドレス(DMDARn)の設定値を 16byte アドレス境界にする。
 - iii) DMA チェーンアドレス(DMCHARn) の設定値を 16byte アドレス境界にする。
 - iv) 転送バイト数をダブルワードの整数倍に設定する(DMACNTRn[2:0]=000)。
- (3) EBCCRn.BSZ=0(16 ビットバス幅)かつ EBCCRn.PM=11(16 ページモード)の場合
 - i) ソースアドレス(DMSARn)の設定値を 32byte アドレス境界にする。
 - ii) デスティネーションアドレス(DMDARn)の設定値を 32byte アドレス境界にする。
 - iii) DMA チェーンアドレス(DMCHARn)の設定値を 32byte アドレス境界にする。
 - iv) 転送バイト数をダブルワードの整数倍に設定する(DMACNTRn[2:0]=000)。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

DMA コントローラのデュアルアドレスバースト転送において、アドレス/カウントレジスタ設定値が 8byte 境界/8byte の倍数以外の転送を行った場合

【概要】

アドレス/カウントレジスタ設定値が 8byte 境界/8byte の倍数以外のデュアルアドレスバースト転送において、データシートに記載されていない制約事項があります。

【不具合の内容】

アドレス/カウントレジスタ設定値が 8byte 境界/8byte の倍数以外のデュアルアドレスバースト転送を実行する場合、以下の制約事項を満たす必要があります。

1. DMCCRn.USEXFSZ 設定値は'0'
2. 使用するチャネルと同じ DMA コントローラ他チャネルでのデュアルアドレスバースト転送禁止

例) DMAC0 のチャネルを使用する場合は、DMAC0 の他チャネルはデュアルアドレスバースト転送不可
(デュアルアドレスシングル転送/シングルアドレス転送は可)
DMAC1 は制限無し
(DMAC0 と DMAC1 は独立したコントローラです。)

デュアルアドレスバースト転送でのチャネルレジスタ設定制約

転送設定サイズ (DMCCRn.XFSZ)	DMSARn[2:0]		DMDARn[2:0]		DMSAIRn	DMDAIRn	DMCNTRn	DMCCRn. REVBYTE	DMCCRn. USEXFSZ
	DMSAIRn の設定値 が 0 以上の 場合	DMSAIRn の設定値 がマイナ スの場合	DMDAIRn の設定値 が 0 以上の 場合	DMDAIRn の設定値 がマイナ スの場合					
4/8 ダブルワード (DMMCR.FIFUM [n]=1)	000	111	000	111	8/0/-8	8/-8 ‡	000	0/1	0/1
	***	—	***	—	8	8	***	0	0
	—	***	—	***	-8	-8		0	0

‡: デスティネーションバースト禁止ビット (DMCCRn.DBINH) をセットしたときは、8, 0, -8 が指定できます。

【回避策】

DMA コントローラの仕様のため、回避策はありません。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

DMA コントローラのデュアルアドレスバースト転送において、アドレス/カウントレジスタ設定値が 8byte 境界/8byte の倍数以外の転送を行った場合

【概要】

アドレス/カウントレジスタ設定値が 8byte 境界/8byte の倍数以外のデュアルアドレスバースト転送において、レジスタ設定値が特定の条件を満たすと DMA コントローラが誤動作します。

【不具合の内容】

本不具合は、以下の条件をすべて満たす場合に発生します。

1. DMCNTRn が 0x100 以上で、DMCNTRn[7:0]が 0xfa~0xff
2. DMSARn[2:0]と DMCNTRn[2:0]を足した値が 9 以上
3. - DMCCRN.XFSZ が 4DW かつ DMSAIRn/DMDAIRn が 8 の場合
DMSARn[4:0]が 0x17 以下
- DMCCRN.XFSZ が 8DW かつ DMSAIRn/DMDAIRn が 8 の場合
DMSARn[5:0]が 0x37 以下
- DMCCRN.XFSZ が 4DW かつ DMSAIRn/DMDAIRn が-8 の場合
DMSARn[4:0]が 0x08 以上
- DMCCRN.XFSZ が 8DW かつ DMSAIRn/DMDAIRn が-8 の場合
DMSARn[5:0]が 0x08 以上

条件 2.の表

		DMSARn[2:0]							
		000	001	010	011	100	101	110	111
DMCNTRn[2:0]	000	-	-	-	-	-	-	-	-
	001	-	-	-	-	-	-	-	-
	010	-	-	-	-	-	-	-	NG
	011	-	-	-	-	-	-	NG	NG
	100	-	-	-	-	-	NG	NG	NG
	101	-	-	-	-	NG	NG	NG	NG
	110	-	-	-	NG	NG	NG	NG	NG
	111	-	-	NG	NG	NG	NG	NG	NG

条件 3.の表

DMCCRN.XFSZ	DMSAIRn/DMDAIRn	
	8	-8
4DW	DMSARn[4:0] ≤ 0x17	DMSARn[4:0] ≥ 0x08
8DW	DMSARn[5:0] ≤ 0x37	DMSARn[5:0] ≥ 0x08

【回避策】

不具合発生条件が成立しないように、DMA 転送を分割してください。

例) 不具合発生条件成立時のカウントレジスタ設定値が 0x2ff の場合

- サイズ 0x2f7 と 0x8 の 2 回の DMA 転送に分割

or

- サイズ 0x2f7 の DMA 転送とサイズ 0x8 の CPU での転送に分割

【改修】

対象製品の修正予定はありません。

発行番号: ERT-TX49H4-017

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

SIO(UART)通信でブレーク検出機能を使用し、オープンドレインイ状態を使用する場合

【概要】

SIO(UART)機能をオープンドレイン状態で使用し、且つ、ブレーク検出機能を使用した場合、対象製品では、ブレーク送信が正常に行われられないため、送信先で正しい転送ステータスを知ることができません。

【不具合の内容】

本不具合は、以下の条件をすべて満たす場合に発生します。

1. SIO(UART)通信でブレーク検出機能を使用している
2. ラインコントロールレジスタ (SILCR) のオープンドレインイネーブルビット(UODE: bit13) を 1'b1 (オープンドレイン出力) に設定した場合

※オープンドレインを使用するのは以下の場合です。

- (1)マルチコントローラシステムで使用する場合
- (2)シングルコントローラシステムで使用し、且つ、出力信号をシステム上でプルアップしている場合

【回避策】

ブレーク送信時に限り、オープンドレインイネーブルビット(UODE)をディセーブルにしてください。

[ブレーク送信開始]

[SIFLCR].TBRK ←1'b1・・・ブレーク送信をイネーブルにする

[SILCR].UODE ←1'b0・・・オープンドレインを一旦ディセーブルにする

[ブレーク送信停止]

[SILCR].UODE ←1'b0・・・オープンドレインをイネーブルに戻す

[SILCR].TBRK ←1'b0・・・ブレーク送信をディセーブルにする

【改修】

対象製品の修正予定はありません。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

SIO(UART)で、FIFO コントロールレジスタ(SIFCR)のソフトウェアリセットビット(SWRST)を使用して、ソフトウェアリセットを実行した場合

【概要】

SIO(UART)は、FIFO コントロールレジスタ(SIFCR)のソフトウェアリセットビット(SWRST:bit15)を 1'b1 にすることで、SIO(UART)全体のソフトウェアリセットが可能です。ソフトウェアリセットの完了前に SIO(UART)内の任意のレジスタ(*1)にアクセスすると、バスサイクルがハングアップし、バスエラーとなります。

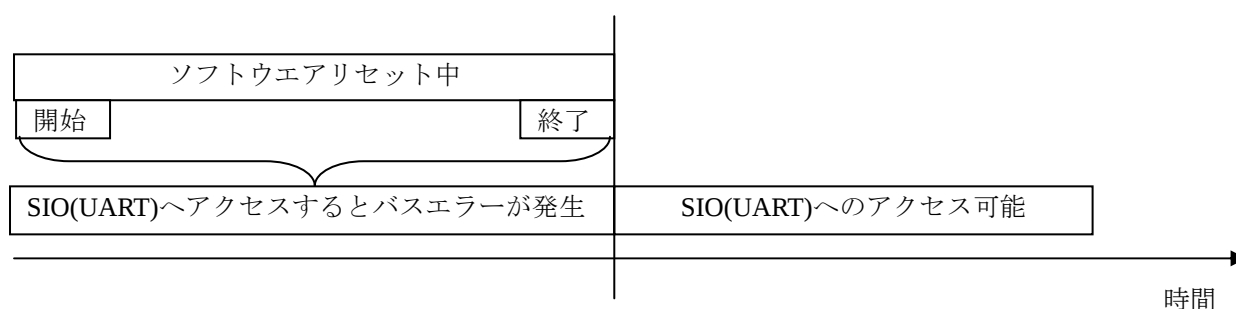
(*1)SWRST ビットの状態をポーリングした場合も本不具合の影響を受けます。

【不具合の内容】

以下の条件を満たす場合、本不具合が発生する可能性があります。

FIFO コントロールレジスタ(SIFCR)のソフトウェアリセット(SWRST)を 1'b1 セットし、ソフトウェアリセットを実行した場合

本不具合が発生した場合、バスサイクルがハングアップし、バスエラーとなります。



【回避策】

ソフトウェアリセット及びソフトウェアリセット後の SIO(UART)へのアクセスは以下のような手順で実施してください。

- 1) [SIFCR].SWRST に 1'b1 をライトする
- 2) UART にアクセスする場合は、1)の後、6 サイクル以上経過してからアクセスする

[参考]

ソフトウェアリセット設定後、6 サイクル以上の間隔を空ければどのような方法でも本不具合は回避可能です。間隔を空けるには、UART 以外の任意のレジスタやメモリへアクセスするといった方法があります。

【改修】

対象製品の修正予定はありません。

対象製品名:

TX4939XBG-400(TX4939)

限定条件:

SIO の CTS を使用して HW フロー制御を行う場合

【概要】

SIO の CTS 機能を使用して HW フロー制御を行う場合、以下の 2 つの状態、不要なデータが送信されることがあります。

- ・次に送信するデータが送信 FIFO にある状態であり、STOP ビット送信中に CTS がアサートされた場合
- ・送信 FIFO ヘデータセット後、CTS がアサートされた場合

【回避策】

CTS による HW フロー制御を使用しない。

[UAnFLCR].TRS を 0 に設定し、機能を無効として下さい。

CTS による HW フロー制御を使用する場合には、以下 a), b) 両方の制約を守って下さい。

- a) 送信 FIFO にデータを 2 個以上置かないようにして下さい。

[UAnFCR].TDIL= “01” にすることで、送信 FIFO にデータが 1 個ある時にバッファフルの状態になります。

- b) 送信 FIFO にデータを設定する時は、FIFO が Empty であること、及び CTS が “L” の状態であることを確認してから行って下さい。

FIFO の状態は、[UAnDISR].TDIS または、送信 FIFO 割込みで確認出来ます。

CTS の状態は、[UAnSCISR].CCTS で確認出来ます。

【改修】

対象製品の修正予定はありません。

付録 A 変更履歴

発行年月日	Revision	変更履歴
2004 年 9 月 8 日	Rev1.0	－
2005 年 12 月 26 日	Rev1.1	－
2007 年 1 月 19 日	Rev1.2	－
2007 年 3 月 1 日	Rev1.3	ERT-TX49H4-011、ERT-TX49H4-012、ERT-TX49H4-013 を追記
2007 年 9 月 6 日	Rev1.4	ERT-TX49H4-014 を追記
2008 年 6 月 19 日	Rev1.5	ERT-TX49H4-015、ERT-TX49H4-016 を追記
2011 年 1 月 25 日	Rev1.6	ERT-TX49H4-017、ERT-TX49H4-018、ERT-TX49H4-019 を追記

TX49/H4 コア搭載製品使用上の注意事項 Rev. 1.6

発行年月日	2011 年 1 月
発 行	株式会社東芝 セミコンダクター社
発 行 協 力	東芝ドキュメンツ株式会社
編 集	ロジック LSI 応用技術部

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。