

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86FS49BFG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A

- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

-
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

-
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

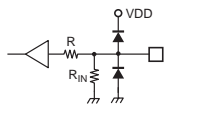
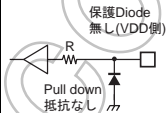
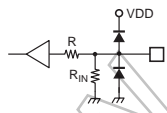
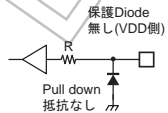
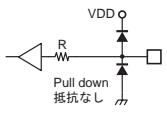
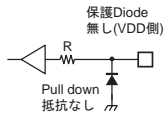

-
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

-
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

-
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S
-

製品の相違点

機能の相違点

| | 86CH49 | 86CM49 | 86PM49 | 86CS49 | 86FS49 | 86FS49A | 86FS49B |
|----------------------|---|---|---|--|---|---|---|
| ROM | 16K バイト (MASK) | 32K バイト (MASK) | 32K バイト (OTP) | 60K バイト (MASK) | 60K バイト (FLASH) | | |
| RAM | 512 バイト | 1K バイト | 1K バイト | 2K バイト | 2K バイト | | |
| DBR (注1) | 128 バイト (フラッシュ制御レジスタ無し) | | | | 128 バイト (フラッシュ制御レジスタ含む) | | |
| I/O | 56 端子 | | | | | | |
| 大電流ポート | 13 端子 (シンクオープンドレイン) | | | | | | |
| 割り込み | 外部 :5 内部 :19 | | | | | | |
| タイマカウンタ | 16 ビット :2ch 8 ビット :4ch | | | | | | |
| UART | 2ch | | | | | | |
| SIO | 2ch | | | | | | |
| I2C | 1ch | | | | | | |
| キーオン ウェイクアップ | 4ch | | | | | | |
| 10 ビット AD コンバータ (注2) | 16ch | | | | | | |
| フラッシュ セキュリティ | 設定はありません | | | | リードプロテクト | | リード/ライト プロテクト |
| TEST 端子の構造 |  |  |  |  |  |  |  |
| 電源電圧の 絶対最大定格 | 6.5V | | | | | | 6.0V |
| 対応エミュレーション チップ | TMP86C949XB | | | | | | |
| パッケージ | QFP64-P-1414-0.80A | QFP64-P-1414-0.80A LQFP64-P-1010-0.50D SDIP64-P-750-1.78 | | QFP64-P-1414-0.80A LQFP64-P-1010-0.50D | | | - |

注1) フラッシュ製品 (86FS49,86FS49A,86FS49B) は、DBR 領域の 0FFFH にフラッシュ制御レジスタ (FLSCR) を内蔵しています。マスク/OTP 製品/エミュレーションチップは FLSCR レジスタを内蔵していませんので、同レジスタをアクセスするプログラムを動作させても機能しません (フラッシュ製品と異なった動作をします)。

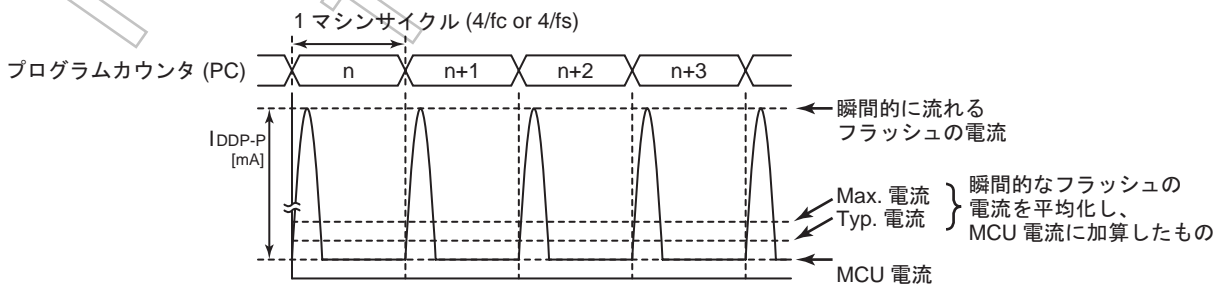
注2) 本データシートでは、旧版のデータシートから以下の端子名、レジスタ名を変更しました。呼称は変更となりますが、機能的に変更はありません。

| | 旧端子名 | 新端子名 |
|---------------|--|--|
| AD コンバータ入力端子名 | P60(AIN00) P61(AIN01) P62(AIN02) P63(AIN03) P64(AIN04) P65(AIN05) P66(AIN06) P67(AIN07) P70(AIN10) P71(AIN11) P72(AIN12) P73(AIN13) P74(AIN14) P75(AIN15) P76(AIN16) P77(AIN17) | P60(AIN0) P61(AIN1) P62(AIN2) P63(AIN3) P64(AIN4) P65(AIN5) P66(AIN6) P67(AIN7) P70(AIN8) P71(AIN9) P72(AIN10) P73(AIN11) P74(AIN12) P75(AIN13) P76(AIN14) P77(AIN15) |
| アナログ入力チャンネル選択 | 0000:AIN00 0001:AIN01 0010:AIN02 0011:AIN03 0100:AIN04 0101:AIN05 0110:AIN06 0111:AIN07 1000:AIN10 1001:AIN11 1010:AIN12 1011:AIN13 1100:AIN14 1101:AIN15 1110:AIN16 1111:AIN17 | 0000:AIN0 0001:AIN1 0010:AIN2 0011:AIN3 0100:AIN4 0101:AIN5 0110:AIN6 0111:AIN7 1000:AIN8 1001:AIN9 1010:AIN10 1011:AIN11 1100:AIN12 1101:AIN13 1110:AIN14 1111:AIN15 |

電気的特性の相違点

| | 86CH49 86CM49 86PM49 | 86CS49 | 86FS49 | 86FS49A | 86FS49B |
|-----------------------------|--|--------|--------|---------|---------|
| 動作条件 (MCU モード) リード/フエッチ時 | | | | | |
| 動作条件 (MCU モード) 消費/書き込み時 | - | - | - | | - |
| 動作条件 (シリアル PROM モード) | - | - | - | | - |
| 動作電流 | 動作電流は製品によって異なりますので、詳しくは各製品のデータシート (電気的特性) を参照してください。(注5) | | | | (注4) |

- 注 1) 86CS49 の場合、電源電圧 VDD が 2.0V 未満のときの動作温度 (Topr) は -20 ~ 85℃ となります。
- 注 2) 86FS49 の場合、電源電圧 VDD は、2つの非連続な電圧範囲となっています。MCU 動作中に電源電圧を (a) 領域から (b) 領域、または (b) 領域から (a) 領域に移行させないでください。
- 注 3) 86FS49A の場合、電源電圧 VDD が 3.0V 未満のときの動作温度 (Topr) は -20 ~ 85℃ となります。
- 注 4) 86FS49A/B の場合、フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリが間欠動作を行いますので、瞬間的に下図のようなピーク電流が流れます。よって電源電流 IDD(NORMAL1/2、SLOW1 モード時) は、ピーク電流を平均化した電流値と MCU 電流の和となります。
- 注 5) 86FS49B は、動作電流の測定条件のうち TEST 端子の V_{IL} レベルが他の製品と異なります。他の製品は TEST 端子の V_{IL} は V_{IL} ≤ 0.2V ですが、86FS49B では V_{IL} ≤ 0.1V で動作電流が定義されます。詳細は TMP86FS49B データシートの電気的特性の章を参照してください。



フラッシュメモリの間欠動作

Not Recommended
for New Design

改訂履歴

| 日付 | 版 | 改訂理由 |
|-----------|---|---------------|
| 2007/8/22 | 1 | First Release |
| 2008/8/29 | 2 | 内容改訂 |

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○" の箇所にて使用し、"ー" の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] \div TTREG 設定値で計算されます。

| BRG 設定 | 転送クロック [Hz] | RXDNC 設定 | | | |
|--------------------------------------|-------------|-----------------|-------------------------------|-------------------------------|--------------------------------|
| | | 00 (ノイズ除去なし) | 01 (31/fc[s] 未満の パルス除去) | 10 (63/fc[s] 未満の パルス除去) | 11 (127/fc[s] 未満の パルス除去) |
| 000 | fc/13 | ○ | ○ | ○ | ー |
| 110 (タイマカウンタ割り込みでの転送クロックが右記となる場合) | fc/8 | ○ | ー | ー | ー |
| | fc/16 | ○ | ○ | ー | ー |
| | fc/32 | ○ | ○ | ○ | ー |
| 上記以外 | | ○ | ○ | ○ | ○ |

Not Recommended for New Designs

目次

製品の相違点

TMP86FS49BFG

| | | |
|-----|-------|---|
| 1.1 | 特長 | 1 |
| 1.2 | ピン配置図 | 3 |
| 1.3 | ブロック図 | 4 |
| 1.4 | 端子機能 | 5 |

第2章 動作説明

| | | |
|---------|-------------------------|----|
| 2.1 | CPU コア機能 | 9 |
| 2.1.1 | メモリアドレスマップ | 9 |
| 2.1.2 | プログラムメモリ (Flash) | 9 |
| 2.1.3 | データメモリ (RAM) | 10 |
| 2.2 | システムクロック制御回路 | 11 |
| 2.2.1 | クロックジェネレータ | 11 |
| 2.2.2 | タイミングジェネレータ | 12 |
| 2.2.2.1 | タイミングジェネレータの構成 | |
| 2.2.2.2 | マシンサイクル | |
| 2.2.3 | 動作モードの種類 | 13 |
| 2.2.3.1 | シングルクロックモード | |
| 2.2.3.2 | デュアルクロックモード | |
| 2.2.3.3 | STOPモード | |
| 2.2.3.4 | 各動作モードの遷移 | |
| 2.2.4 | 動作モードの制御 | 18 |
| 2.2.4.1 | STOPモード | |
| 2.2.4.2 | IDLE1/2モード, SLEEP1/2モード | |
| 2.2.4.3 | IDLE0, SLEEPOモード | |
| 2.2.4.4 | SLOWモード | |
| 2.3 | リセット回路 | 33 |
| 2.3.1 | 外部リセット入力 | 33 |
| 2.3.2 | アドレストラップリセット | 34 |
| 2.3.3 | ウォッチドッグタイマリセット | 34 |
| 2.3.4 | システムクロックリセット | 34 |

第3章 割り込み制御回路

| | | |
|-------|--------------------------|----|
| 3.1 | 割り込みラッチ (IL23 ~ IL2) | 36 |
| 3.2 | 割り込み許可レジスタ (EIR) | 37 |
| 3.2.1 | 割り込みマスタ許可フラグ (IMF) | 37 |
| 3.2.2 | 割り込み個別許可フラグ (EF23 ~ EF4) | 37 |
| 注 3) | | 39 |
| 3.3 | 割り込み処理 | 40 |
| 3.3.1 | 割り込み受け付け処理 | 40 |
| 3.3.2 | 汎用レジスタ退避 / 復帰処理 | 41 |

| | | |
|---------|---------------------------|----|
| 3.3.2.1 | プッシュ/ポップ命令による汎用レジスタの退避/復帰 | |
| 3.3.2.2 | 転送命令による汎用レジスタの退避/復帰 | |
| 3.3.3 | 割り込みリターン | 42 |
| 3.4 | ソフトウェア割り込み (INTSW) | 44 |
| 3.4.1 | アドレスエラー検出 | 44 |
| 3.4.2 | デバッグ | 44 |
| 3.5 | 未定義命令割り込み (INTUNDEF) | 44 |
| 3.6 | アドレストラップ割り込み (INTATRAP) | 44 |
| 3.7 | 外部割り込み | 45 |

第4章 スペシャルファンクションレジスタ

| | | |
|-----|-----|----|
| 4.1 | SFR | 47 |
| 4.2 | DBR | 49 |

第5章 入出力ポート

| | | |
|-----|---|----|
| 5.1 | P0 (P07 ~ P00) ポート | 52 |
| 5.2 | P1 (P17 ~ P10) ポート | 54 |
| 5.3 | P2 (P22 ~ P20) ポート | 56 |
| 5.4 | P3 (P37 ~ P30) ポート (大電流, シンクオープンドレイン出力) | 57 |
| 5.5 | P4 (P47 ~ P40) ポート | 58 |
| 5.6 | P5 (P54 ~ P50) ポート (大電流, シンクオープンドレイン出力) | 60 |
| 5.7 | P6 (P67 ~ P60) ポート | 61 |
| 5.8 | P7 (P77 ~ P70) ポート | 64 |

第6章 ウォッチドッグタイマ (WDT)

| | | |
|-------|---------------------------|----|
| 6.1 | ウォッチドッグタイマの構成 | 67 |
| 6.2 | ウォッチドッグタイマの制御 | 67 |
| 6.2.1 | ウォッチドッグタイマによる暴走検出の方法 | 67 |
| 6.2.2 | ウォッチドッグタイマのイネーブル | 69 |
| 6.2.3 | ウォッチドッグタイマのディセーブル | 69 |
| 6.2.4 | ウォッチドッグタイマ割り込み (INTWDT) | 70 |
| 6.2.5 | ウォッチドッグタイマリセット | 70 |
| 6.3 | アドレストラップ | 71 |
| 6.3.1 | 内蔵RAM領域のアドレストラップ選択 (ATAS) | 71 |
| 6.3.2 | アドレストラップ発生時の動作選択 (ATOUT) | 71 |
| 6.3.3 | アドレストラップ割り込み (INTATRAP) | 71 |
| 6.3.4 | アドレストラップリセット | 72 |

第7章 タイムベースタイマ (TBT)

| | | |
|-------|--------------|----|
| 7.1 | タイムベースタイマ | 73 |
| 7.1.1 | 構成 | 73 |
| 7.1.2 | 制御 | 73 |
| 7.1.3 | 機能 | 74 |
| 7.2 | デバイダ出力 (DVO) | 75 |
| 7.2.1 | 構成 | 75 |
| 7.2.2 | 制御 | 75 |

第8章 16ビットタイマカウンタ 1 (TC1)

| | | |
|-------|------------------------------|----|
| 8.1 | 構成 | 77 |
| 8.2 | 制御 | 78 |
| 8.3 | 機能 | 80 |
| 8.3.1 | タイマモード | 80 |
| 8.3.2 | 外部トリガタイマモード | 82 |
| 8.3.3 | イベントカウンタモード | 84 |
| 8.3.4 | ウィンドウモード | 85 |
| 8.3.5 | パルス幅測定モード | 86 |
| 8.3.6 | プログラマブルパルスジェネレータ (PPG) 出力モード | 89 |

第9章 16ビットタイマカウンタ 2 (TC2)

| | | |
|-------|-------------|----|
| 9.1 | 構成 | 93 |
| 9.2 | 制御 | 94 |
| 9.3 | 機能 | 95 |
| 9.3.1 | タイマモード | 95 |
| 9.3.2 | イベントカウンタモード | 97 |
| 9.3.3 | ウィンドウモード | 97 |

第10章 8ビットタイマカウンタ (TC3, TC4)

| | | |
|----------|--|-----|
| 10.1 | 構成 | 99 |
| 10.2 | 制御 | 100 |
| 10.3 | 機能 | 106 |
| 10.3.1 | 8ビットタイマモード (TC3, 4) | 106 |
| 10.3.2 | 8ビットイベントカウンタモード (TC3, 4) | 107 |
| 10.3.3 | 8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4) | 107 |
| 10.3.4 | 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4) | 110 |
| 10.3.5 | 16ビットタイマモード (TC3 + 4) | 112 |
| 10.3.6 | 16ビットイベントカウンタモード (TC3 + 4) | 113 |
| 10.3.7 | 16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4) | 113 |
| 10.3.8 | 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4) | 116 |
| 10.3.9 | ウォーミングアップカウンタモード | 118 |
| 10.3.9.1 | 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1) | |
| 10.3.9.2 | 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1) | |

第11章 8ビットタイマカウンタ (TC5, TC6)

| | | |
|----------|---|-----|
| 11.1 | 構成 | 121 |
| 11.2 | 制御 | 122 |
| 11.3 | 機能 | 128 |
| 11.3.1 | 8ビットタイマモード (TC5, 6) | 128 |
| 11.3.2 | 8ビットイベントカウンタモード (TC5, 6) | 129 |
| 11.3.3 | 8ビットプログラマブル デバイダ出力 (PDO) モード (TC5, 6) | 129 |
| 11.3.4 | 8ビットパルス幅変調 (PWM) 出力モード (TC5, 6) | 132 |
| 11.3.5 | 16ビットタイマモード (TC5 + 6) | 134 |
| 11.3.6 | 16ビットイベントカウンタモード (TC5 + 6) | 135 |
| 11.3.7 | 16ビットパルス幅変調 (PWM) 出力モード (TC5 + 6) | 135 |
| 11.3.8 | 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC5 + 6) | 138 |
| 11.3.9 | ウォーミングアップカウンタモード | 140 |
| 11.3.9.1 | 低周波ウォーミングアップカウンタモード | |

(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)
11.3.9.2 高周波ウォーミングアップカウンタモード
(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

第 12 章 非同期型シリアルインターフェース (UART1)

| | | |
|--------|--------------------|-----|
| 12.1 | 構成 | 143 |
| 12.2 | 制御 | 144 |
| 12.3 | 転送データフォーマット | 146 |
| 12.4 | 転送レート | 147 |
| 12.5 | データのサンプリング方法 | 147 |
| 12.6 | STOP ビット長 | 148 |
| 12.7 | パリティ | 148 |
| 12.8 | 送受信動作 | 148 |
| 12.8.1 | データ送信動作 | 148 |
| 12.8.2 | データ受信動作 | 148 |
| 12.9 | ステータスフラグ | 149 |
| 12.9.1 | パリティエラー | 149 |
| 12.9.2 | フレーミングエラー | 149 |
| 12.9.3 | オーバランエラー | 149 |
| 12.9.4 | 受信バッファフル | 150 |
| 12.9.5 | 送信バッファエンプティ | 150 |
| 12.9.6 | 送信終了フラグ | 151 |

第 13 章 非同期型シリアルインターフェース (UART2)

| | | |
|--------|--------------------|-----|
| 13.1 | 構成 | 153 |
| 13.2 | 制御 | 154 |
| 13.3 | 転送データフォーマット | 156 |
| 13.4 | 転送レート | 157 |
| 13.5 | データのサンプリング方法 | 157 |
| 13.6 | STOP ビット長 | 158 |
| 13.7 | パリティ | 158 |
| 13.8 | 送受信動作 | 158 |
| 13.8.1 | データ送信動作 | 158 |
| 13.8.2 | データ受信動作 | 158 |
| 13.9 | ステータスフラグ | 159 |
| 13.9.1 | パリティエラー | 159 |
| 13.9.2 | フレーミングエラー | 159 |
| 13.9.3 | オーバランエラー | 159 |
| 13.9.4 | 受信バッファフル | 160 |
| 13.9.5 | 送信バッファエンプティ | 160 |
| 13.9.6 | 送信終了フラグ | 161 |

第 14 章 同期式シリアルインターフェース (SIO1)

| | | |
|----------|----------------|-----|
| 14.1 | 構成 | 163 |
| 14.2 | 制御 | 164 |
| 14.3 | 機能 | 166 |
| 14.3.1 | シリアルクロック | 166 |
| 14.3.1.1 | クロックソース | |
| 14.3.1.2 | シフトエッジ | |
| 14.3.2 | 転送ビット方向 | 168 |
| 14.3.2.1 | 送信モード | |

| | | |
|----------|--------|-----|
| 14.3.2.2 | 受信モード | |
| 14.3.2.3 | 送受信モード | |
| 14.3.3 | 転送モード | 169 |
| 14.3.3.1 | 送信モード | |
| 14.3.3.2 | 受信モード | |
| 14.3.3.3 | 送受信モード | |

第 15 章 同期式シリアルインタフェース (SIO2)

| | | |
|----------|----------|-----|
| 15.1 | 構成 | 181 |
| 15.2 | 制御 | 182 |
| 15.3 | 機能 | 184 |
| 15.3.1 | シリアルクロック | 184 |
| 15.3.1.1 | クロックソース | |
| 15.3.1.2 | シフトエッジ | |
| 15.3.2 | 転送ビット方向 | 186 |
| 15.3.2.1 | 送信モード | |
| 15.3.2.2 | 受信モード | |
| 15.3.2.3 | 送受信モード | |
| 15.3.3 | 転送モード | 187 |
| 15.3.3.1 | 送信モード | |
| 15.3.3.2 | 受信モード | |
| 15.3.3.3 | 送受信モード | |

第 16 章 シリアルバスインタフェース (I2C バス) ver.-D (SBI)

| | | |
|----------|-------------------------|-----|
| 16.1 | 構成 | 199 |
| 16.2 | 制御 | 200 |
| 16.3 | ソフトウェアリセット | 200 |
| 16.4 | I2C バスのデータフォーマット | 201 |
| 16.5 | シリアルバスインタフェースの制御 | 202 |
| 16.5.1 | アクノリッジメントモードの指定 | 205 |
| 16.5.1.1 | アクノリッジメントモード (ACK="1") | |
| 16.5.1.2 | 非アクノリッジメントモード (ACK="0") | |
| 16.5.2 | 転送ビット数の選択 | 206 |
| 16.5.3 | シリアルクロック | 206 |
| 16.5.3.1 | クロックソース | |
| 16.5.3.2 | クロック同期化 | |
| 16.5.4 | スレーブアドレスとアドレス認識モードの設定 | 207 |
| 16.5.5 | マスタ/スレーブの選択 | 207 |
| 16.5.6 | トランスマッタ/レシーバの選択 | 207 |
| 16.5.7 | スタート/ストップコンディションの発生 | 208 |
| 16.5.8 | 割り込みサービス要求と解除 | 209 |
| 16.5.9 | シリアルバスインタフェースの動作モード | 209 |
| 16.5.10 | アービトラージョンロスト検出モニタ | 209 |
| 16.5.11 | スレーブアドレス一致検出モニタ | 211 |
| 16.5.12 | ゼネラルコール検出モニタ | 211 |
| 16.5.13 | 最終受信ビットモニタ | 211 |
| 16.6 | I2C バスモード時のデータ転送手順 | 212 |
| 16.6.1 | デバイスの初期化 | 212 |
| 16.6.2 | スタートコンディション、スレーブアドレスの発生 | 212 |
| 16.6.3 | 1ワードのデータ転送 | 213 |
| 16.6.3.1 | MST が "1" のとき (マスタモード) | |
| 16.6.3.2 | MST が "0" のとき (スレーブモード) | |
| 16.6.4 | ストップコンディションの発生 | 216 |
| 16.6.5 | 再スタートの手順 | 216 |

第 17 章 10 ビット AD コンバータ (ADC)

| | | |
|------|----|-----|
| 17.1 | 構成 | 219 |
|------|----|-----|

| | | |
|--------|----------------------------------|-----|
| 17.2 | 制御 | 220 |
| 17.3 | 機能 | 223 |
| 17.3.1 | ソフトウェアスタートモード | 223 |
| 17.3.2 | リピードモード | 223 |
| 17.3.3 | レジスタの設定 | 224 |
| 17.4 | AD 変換時の STOP/SLOW モード | 225 |
| 17.5 | 入力電圧と変換結果 | 226 |
| 17.6 | AD コンバータの注意事項 | 227 |
| 17.6.1 | AD 変換終了割り込み (INTADC) の使用に関する制限事項 | 227 |
| 17.6.2 | アナログ入力端子電圧範囲 | 227 |
| 17.6.3 | アナログ入力兼用端子 | 227 |
| 17.6.4 | ノイズ対策 | 227 |

第 18 章 キーオンウェイクアップ (KWU)

| | | |
|------|----|-----|
| 18.1 | 構成 | 229 |
| 18.2 | 制御 | 229 |
| 18.3 | 機能 | 229 |

第 19 章 フラッシュメモリ

| | | |
|----------|--|-----|
| 19.1 | 制御 | 232 |
| 19.1.1 | フラッシュメモリのコマンドシーケンス制御 (FLSCR<FLSMD>) | 232 |
| 19.1.2 | フラッシュメモリのバンク切り替え制御 (FLSCR<BANKSEL>) | 232 |
| 19.2 | コマンドシーケンス | 233 |
| 19.2.1 | Byte Program | 233 |
| 19.2.2 | セクタイレース (4KB 単位の部分消去) | 233 |
| 19.2.3 | チップイレース (全面消去) | 234 |
| 19.2.4 | Product ID Entry | 234 |
| 19.2.5 | Product ID Exit | 234 |
| 19.2.6 | Security Program 設定 | 235 |
| 19.3 | トグルビット (D6) | 235 |
| 19.4 | フラッシュメモリ領域へのアクセス | 236 |
| 19.4.1 | シリアル PROM モードのフラッシュメモリ制御 | 236 |
| 19.4.1.1 | シリアル PROM モードの RAM ロダモードで RAM 領域に制御プログラムを展開して書き込む例 | |
| 19.4.2 | MCU モードのフラッシュメモリ制御 | 238 |
| 19.4.2.1 | MCU モードから RAM 領域に制御プログラムを展開して書き込む例 | |

第 20 章 シリアル PROM モード

| | | |
|--------|----------------------------------|-----|
| 20.1 | 概要 | 241 |
| 20.2 | メモリマッピング | 241 |
| 20.3 | シリアル PROM モード設定 | 242 |
| 20.3.1 | シリアル PROM モード制御端子 | 242 |
| 20.3.2 | 端子機能 | 242 |
| 20.3.3 | オンボード書き込み接続例 | 243 |
| 20.3.4 | シリアル PROM モードの起動 | 244 |
| 20.4 | インタフェース仕様 | 245 |
| 20.5 | 動作コマンド | 247 |
| 20.6 | 動作モード | 247 |
| 20.6.1 | フラッシュメモリ消去モード (動作コマンド: F0H) | 249 |
| 20.6.2 | フラッシュメモリ書き込みモード (動作コマンド: 30H) | 251 |
| 20.6.3 | RAM ロダモード (動作コマンド: 60H) | 254 |
| 20.6.4 | フラッシュメモリ SUM 出力モード (動作コマンド: 90H) | 256 |

| | | |
|---------|---|-----|
| 20.6.5 | 製品識別コード出力モード (動作コマンド: C0H) | 257 |
| 20.6.6 | フラッシュメモリステータス出力モード (動作コマンド: C3H) | 259 |
| 20.6.7 | フラッシュメモリ Security Program 設定モード (動作コマンド: FAH) | 260 |
| 20.7 | エラーコード | 262 |
| 20.8 | チェックサム (SUM) | 262 |
| 20.8.1 | 計算方法 | 262 |
| 20.8.2 | 計算対象データ | 262 |
| 20.9 | インテル Hex フォーマット (Binary) | 263 |
| 20.10 | パスワード | 264 |
| 20.10.1 | パスワード列 | 265 |
| 20.10.2 | パスワードエラー処理 | 265 |
| 20.10.3 | ソフトウェア開発時のパスワードについて | 265 |
| 20.11 | 製品識別コード | 266 |
| 20.12 | フラッシュメモリステータスコード | 267 |
| 20.13 | 消去範囲指定 | 268 |
| 20.14 | フローチャート | 269 |
| 20.15 | UART タイミング | 271 |

第 21 章 端子の入出力回路

| | | |
|------|--------------|-----|
| 21.1 | 制御端子 | 273 |
| 21.2 | 入出力ポート | 274 |

第 22 章 電気的特性

| | | |
|--------|---|-----|
| 22.1 | 絶対最大定格 | 277 |
| 22.2 | 動作条件 | 278 |
| 22.2.1 | MCU モード (フラッシュメモリの書き込みおよび消去動作時) | 278 |
| 22.2.2 | MCU モード (フラッシュメモリの書き込みおよび消去動作を除く) | 278 |
| 22.2.3 | シリアル PROM モード | 279 |
| 22.3 | DC 特性 | 280 |
| 22.4 | AD 変換特性 | 282 |
| 22.5 | AC 特性 | 283 |
| 22.6 | フラッシュ特性 | 283 |
| 22.6.1 | 書き込み特性 | 283 |
| 22.7 | 推奨発振条件 | 284 |
| 22.8 | 取り扱い上のご注意 | 284 |

第 23 章 外形寸法



Not Recommended
for New Design

CMOS 8ビット マイクロコントローラ

TMP86FS49BFG

TMP86FS49BFGは、61440バイトのフラッシュメモリを内蔵した高速、高機能8ビットシングルチップマイクロコンピュータで、マスクROM品のTMP86CH49FG/CM49FG/CS49FGとピンコンパチブルです。内蔵のフラッシュメモリにプログラムを書き込むことによりTMP86CH49FG/CM49FG/CS49FGと同等の動作を行うことができます。

| 製品形名 | ROM (FLASH) | RAM | パッケージ | マスクROM内蔵品 | エミュレーションチップ |
|--------------|-------------|---------|--------------------|-------------------------------|-------------|
| TMP86FS49BFG | 61440バイト | 2048バイト | QFP64-P-1414-0.80A | TMP86CH49FG/ CM49FG/CS49FG | TMP86C949XB |

1.1 特長

- 8ビットシングルチップマイクロコントローラ: TLCS-870/C シリーズ
 - 最小実行時間:
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令: 132 種類 731 命令
- 割り込み要因 24 要因 (外部: 5, 内部: 19)
- 入出力ポート (56 端子)
 - 大電流出力 13 端子 (Typ. 20mA)
- ウォッチドッグタイマ
 - 割り込み/内部リセット発生の選択 (プログラマブル)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- 16ビットタイマカウンタ: 1 チャンネル
 - タイマ, イベントカウンタ, PPG (プログラマブル矩形波) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- 16ビットタイマカウンタ: 1 チャンネル
 - タイマ, イベントカウンタ, ウィンドウモード

本製品は、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下「特定用途」という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- 8ビットタイマカウンタ: 4チャンネル
 - タイマ, イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)
 - PPG モード
 - 16ビットモード (タイマ2チャンネルを組み合わせ使用)
- 8ビットUART: 2チャンネル
- HSIO: 2チャンネル
- シリアルバスインタフェース (I²Cバス): 1チャンネル
- 10ビット逐次比較方式ADコンバータ
 - アナログ入力: 16チャンネル
- キーオンウエイクアップ: 4チャンネル
- クロック発振回路: 2回路
 - シングル/デュアルクロックモードの選択
- 低消費電力動作 (9モード)
 - STOPモード: 発振停止 (バッテリー/コンデンサバックアップ)
 - SLOW1モード: 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2モード: 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0モード: CPU停止。
 - 周辺ハードウェアのうち、TBTのみ動作 (高周波クロック) 継続し、TBT設定の基準時間経過により解除。
 - IDLE1モード: CPU停止。
 - 周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)
 - IDLE2モード: CPU停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0モード: CPU停止。
 - 周辺ハードウェアのうち、TBTのみ動作 (低周波クロック) 継続し、TBT設定の基準時間経過により解除。
 - SLEEP1モード: CPU停止。
 - 周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2モード: CPU停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧:
 - 4.5V~5.5V @ 16MHz / 32.768kHz
 - 2.7V~5.5V @ 8MHz / 32.768kHz

1.2 ピン配置図

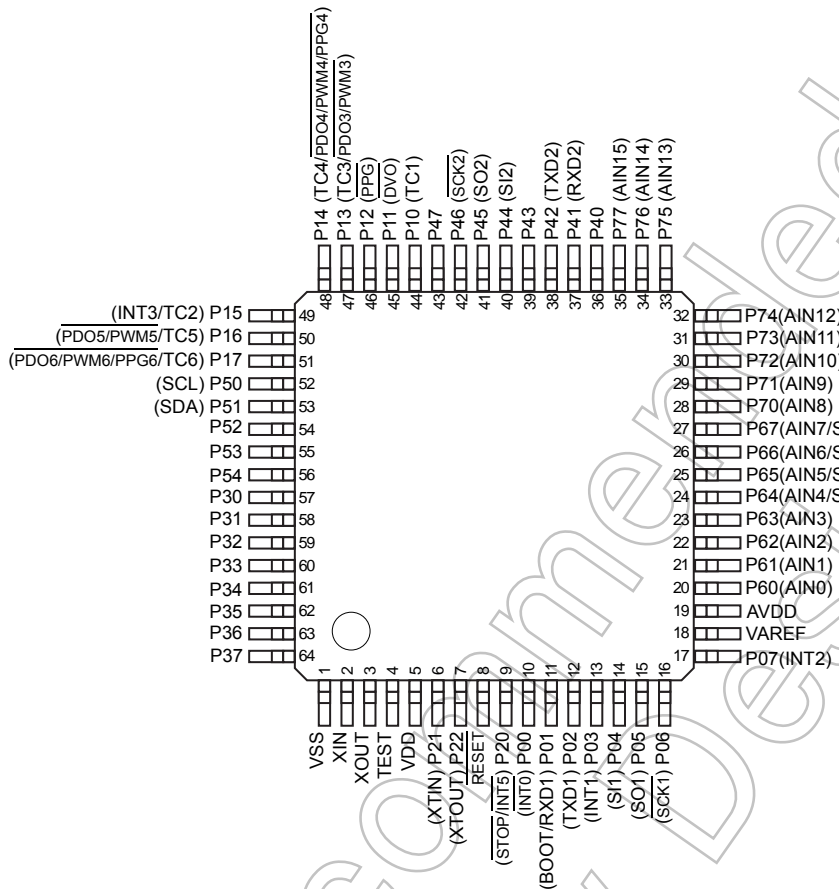


図 1-1 ピン配置図

1.3 ブロック図

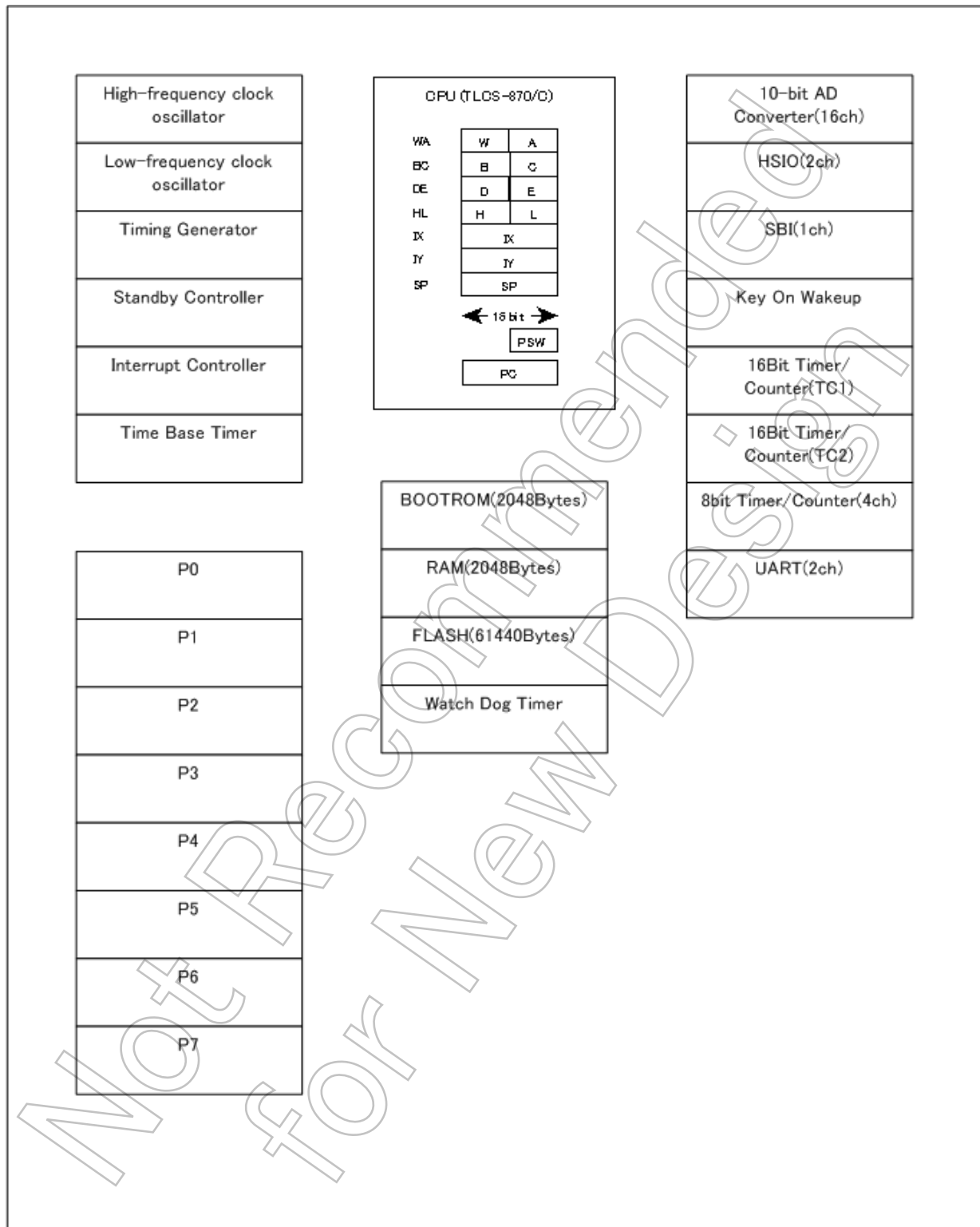


図 1-2 ブロック図

1.4 端子機能

TMP86FS49BFGは、MCUモードとシリアルPROMモード、パラレルPROMモードがあります。表1-1にMCUモード時の端子機能を示します。シリアルPROMモードについては、後続の「シリアルPROMモード」の章を参照してください。

表 1-1 端子機能表 (1 / 3)

| 端子名 | ピン番号 | 入出力 | 機能 |
|------------------------------|------|--------------|--|
| P07 INT2 | 17 | IO I | ポート07 外部割り込み2入力 |
| P06 SCK1 | 16 | IO IO | ポート06 シリアルクロック入出力1 |
| P05 SO1 | 15 | IO O | ポート05 シリアルデータ出力1 |
| P04 SI1 | 14 | IO I | ポート04 シリアルデータ入力1 |
| P03 INT1 | 13 | IO I | ポート03 外部割り込み1入力 |
| P02 TXD1 | 12 | IO O | ポート02 UARTデータ出力1 |
| P01 RXD1 BOOT | 11 | IO I I | ポート01 UARTデータ入力1 シリアルPROMモード制御入力 |
| P00 INT0 | 10 | IO I | ポート00 外部割り込み0入力 |
| P17 TC6 PDO6/PWM6/PPG6 | 51 | IO I O | ポート17 TC6端子入力 PDO6/PWM6/PPG6出力 |
| P16 TC5 PDO5/PWM5 | 50 | IO I O | ポート16 TC5端子入力 PDO5/PWM5出力 |
| P15 TC2 INT3 | 49 | IO I I | ポート15 TC2端子入力 外部割り込み3入力 |
| P14 TC4 PDO4/PWM4/PPG4 | 48 | IO I O | ポート14 TC4端子入力 PDO4/PWM4/PPG4出力 |
| P13 TC3 PDO3/PWM3 | 47 | IO I O | ポート13 TC3端子入力 PDO3/PWM3出力 |
| P12 PPG | 46 | IO O | ポート12 PPG出力 |
| P11 DVO | 45 | IO O | ポート11 デバイダ出力 |
| P10 TC1 | 44 | IO I | ポート10 TC1端子入力 |
| P22 XTOUT | 7 | IO O | ポート22 低周波発振子接続端子 |

表 1-1 端子機能表 (2 / 3)

| 端子名 | ピン番号 | 入出力 | 機能 |
|----------------------|------|--------------|---------------------------------------|
| P21 XTIN | 6 | IO I | ポート 21 低周波発振子接続端子 |
| P20 INT5 STOP | 9 | IO I I | ポート 20 外部割り込み 5 入力 STOP モード解除入力 |
| P37 | 64 | IO | ポート 37 |
| P36 | 63 | IO | ポート 36 |
| P35 | 62 | IO | ポート 35 |
| P34 | 61 | IO | ポート 34 |
| P33 | 60 | IO | ポート 33 |
| P32 | 59 | IO | ポート 32 |
| P31 | 58 | IO | ポート 31 |
| P30 | 57 | IO | ポート 30 |
| P47 | 43 | IO | ポート 47 |
| P46 SCK2 | 42 | IO IO | ポート 46 シリアルクロック入出力 2 |
| P45 SO2 | 41 | IO O | ポート 45 シリアルデータ出力 2 |
| P44 SI2 | 40 | IO I | ポート 44 シリアルデータ入力 2 |
| P43 | 39 | IO | ポート 43 |
| P42 TXD2 | 38 | IO O | ポート 42 UART データ出力 2 |
| P41 RXD2 | 37 | IO I | ポート 41 UART データ入力 2 |
| P40 | 36 | IO | ポート 40 |
| P54 | 56 | IO | ポート 54 |
| P53 | 55 | IO | ポート 53 |
| P52 | 54 | IO | ポート 52 |
| P51 SDA | 53 | IO IO | ポート 51 I2C バスデータ |
| P50 SCL | 52 | IO IO | ポート 50 I2C バスクロック |
| P67 AIN7 STOP3 | 27 | IO I I | ポート 67 アナログ入力 7 STOP3 入力 |
| P66 AIN6 STOP2 | 26 | IO I I | ポート 66 アナログ入力 6 STOP2 入力 |

表 1-1 端子機能表 (3 / 3)

| 端子名 | ピン番号 | 入出力 | 機能 |
|----------------------|------|--------------|--------------------------------|
| P65 AIN5 STOP1 | 25 | IO I I | ポート 65 アナログ入力 5 STOP1 入力 |
| P64 AIN4 STOP0 | 24 | IO I I | ポート 64 アナログ入力 4 STOP0 入力 |
| P63 AIN3 | 23 | IO I | ポート 63 アナログ入力 3 |
| P62 AIN2 | 22 | IO I | ポート 62 アナログ入力 2 |
| P61 AIN1 | 21 | IO I | ポート 61 アナログ入力 1 |
| P60 AIN0 | 20 | IO I | ポート 60 アナログ入力 0 |
| P77 AIN15 | 35 | IO I | ポート 77 アナログ入力 15 |
| P76 AIN14 | 34 | IO I | ポート 76 アナログ入力 14 |
| P75 AIN13 | 33 | IO I | ポート 75 アナログ入力 13 |
| P74 AIN12 | 32 | IO I | ポート 74 アナログ入力 12 |
| P73 AIN11 | 31 | IO I | ポート 73 アナログ入力 11 |
| P72 AIN10 | 30 | IO I | ポート 72 アナログ入力 10 |
| P71 AIN9 | 29 | IO I | ポート 71 アナログ入力 9 |
| P70 AIN8 | 28 | IO I | ポート 70 アナログ入力 8 |
| XIN | 2 | I | 発振子接続端子 |
| XOUT | 3 | O | 発振子接続端子 |
| RESET | 8 | I | リセット入力 |
| TEST | 4 | I | 出荷試験用端子。“L”レベルに固定してください。 |
| VAREF | 18 | I | AD 変換用アナログ基準電圧入力端子 |
| AVDD | 19 | I | アナログ電源 |
| VDD | 5 | I | 電源端子 |
| VSS | 1 | I | GND 端子 |

Not Recommended
for New Design

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割り込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86FS49BFG のメモリは、Flash, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86FS49BFG のメモリアドレスマップを示します。

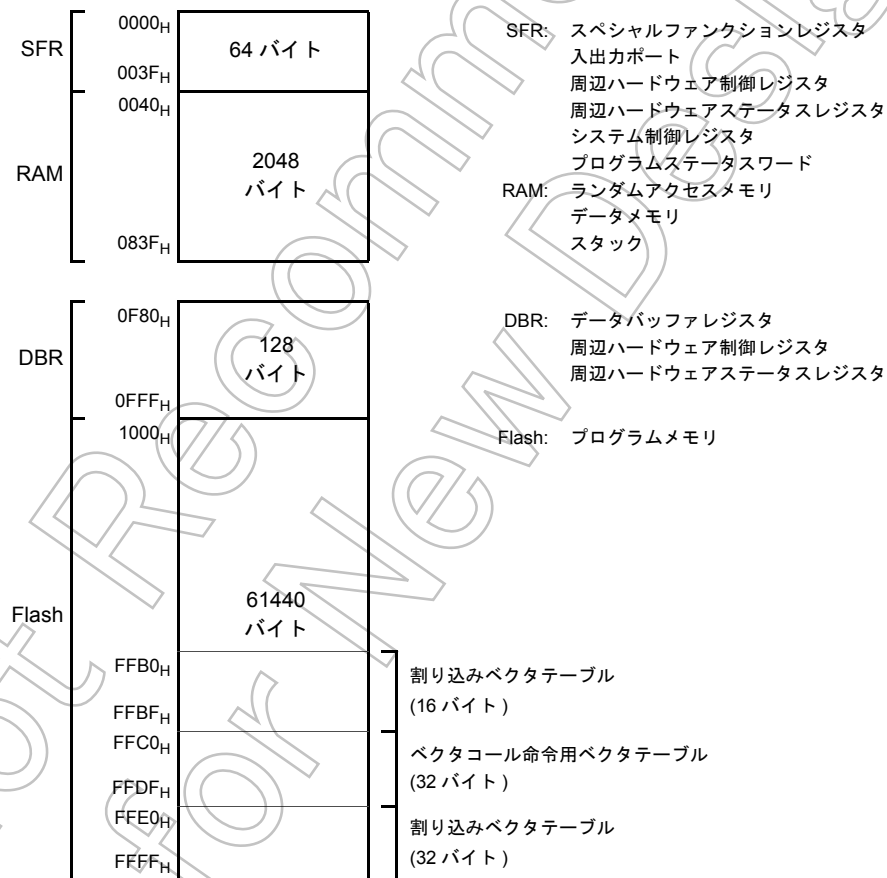


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (Flash)

TMP86FS49BFG は 61440 バイト (アドレス 1000H~FFFFH) のプログラムメモリ (Flash) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86FS49BFG は、2048 バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86FS49BFG の RAM クリア

| | | | |
|----------|-----|------------|--------------------|
| | LD | HL, 0040H | ; スタートアドレスの設定 |
| | LD | A, H | ; 初期化データ (00H) の設定 |
| | LD | BC, 07FFH | ; バイト数 (-1) の設定 |
| SRAMCLR: | LD | (HL), A | |
| | INC | HL | |
| | DEC | BC | |
| | JRS | F, SRAMCLR | |

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

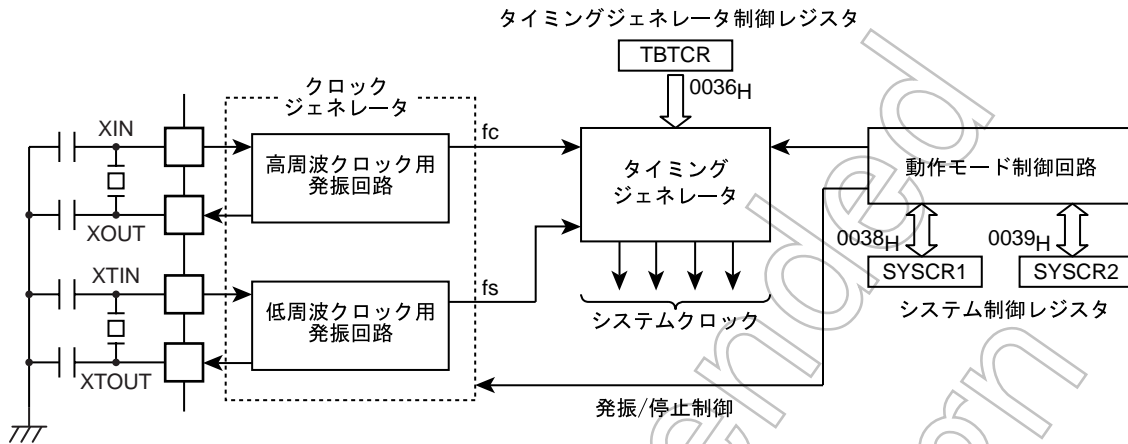


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

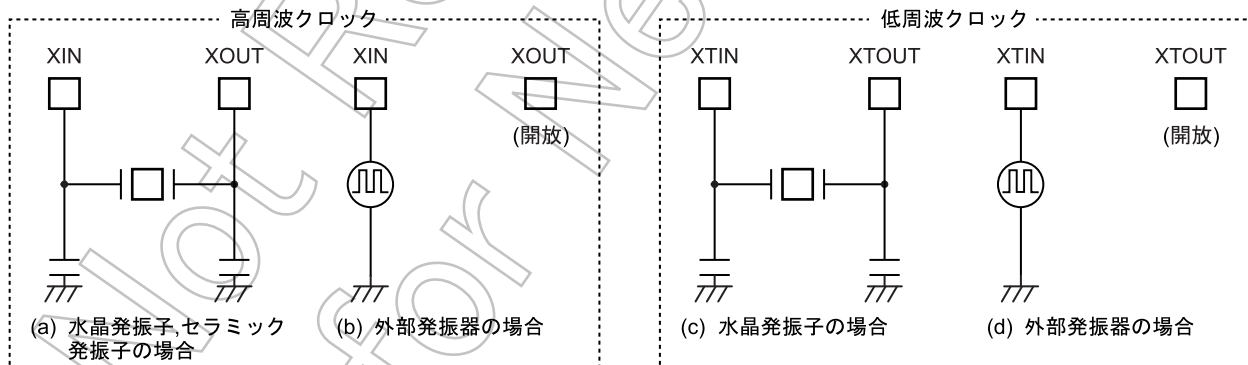


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動 / 解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

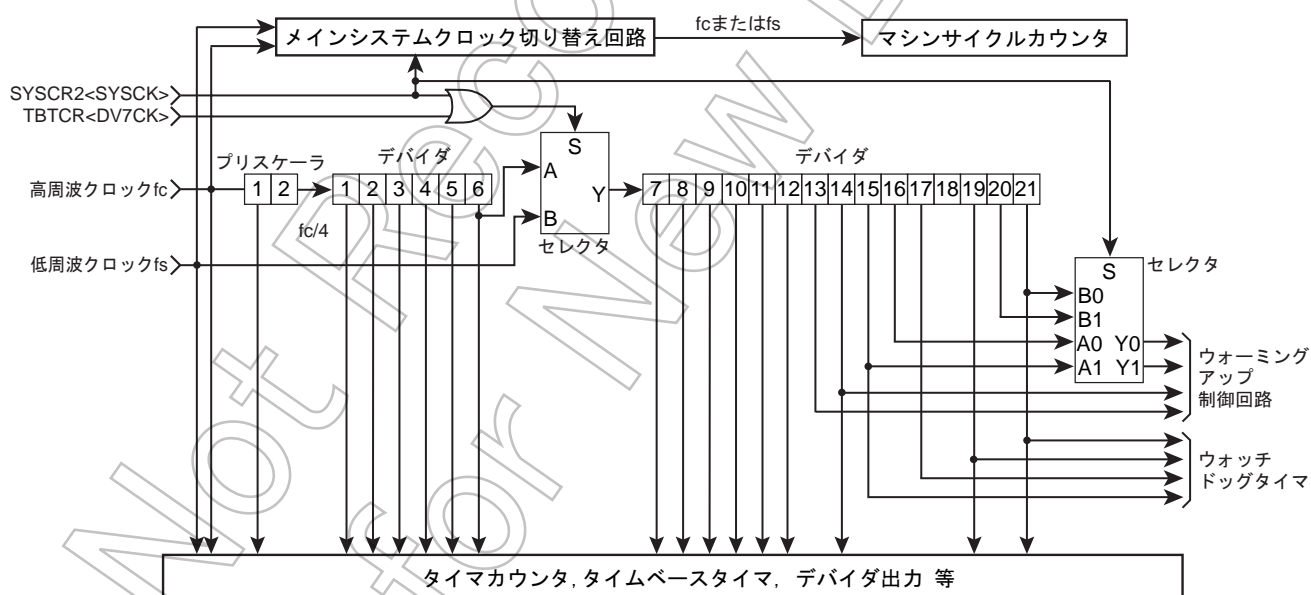


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

| | | | | | | | | | |
|------------------|---------|---------|-------|---------|---------|---|---|---|------------------|
| TBTCR (0036H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
| | (DV0EN) | (DV0CK) | DV7CK | (TBTEN) | (TBTCK) | | | | |

| | | | |
|-------|--------------------------|---------------------------|-----|
| DV7CK | デバイダ 7 段目への 入力クロックの選択 | 0: $fc/2^8$ [Hz] 1: fs | R/W |
|-------|--------------------------|---------------------------|-----|

- 注 1) シングルクロックモード時は、DV7CK を “1” にセットしないでください。
- 注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。
- 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。
- 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

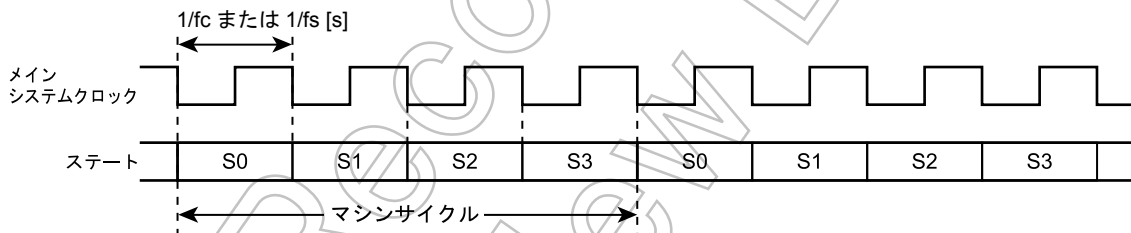


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTC> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF7 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s]、SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu s @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”, EF7 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

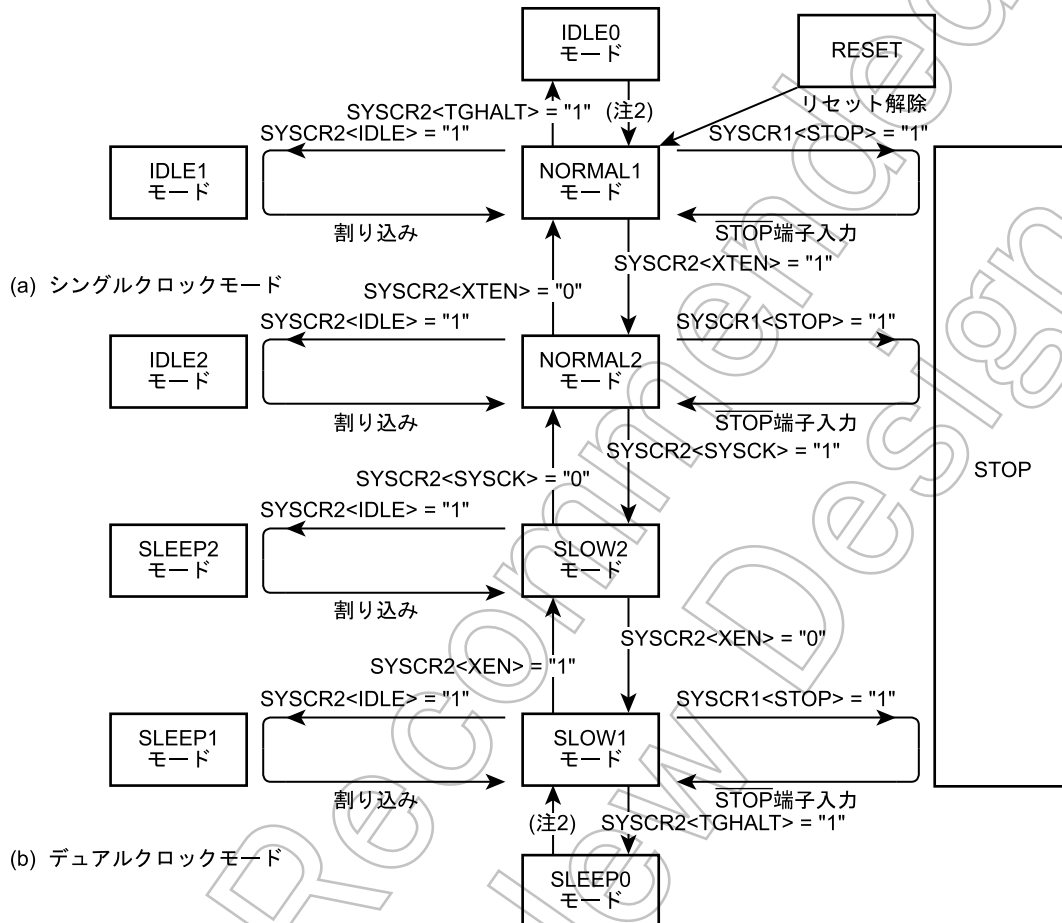
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOPモード起動時のモードに戻り、STOPモードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2) $\text{TBTCR}<\text{TBTCk}>$ によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

| 動作モード | | 発振回路 | | CPU コア | TBT | その他 周辺回路 | マシンサイクルタイム |
|--------------|---------|------|-----|--------|------|-------------|------------|
| | | 高周波 | 低周波 | | | | |
| シングル クロック | RESET | 発振 | 停止 | リセット | リセット | リセット | 4/fc [s] |
| | NORMAL1 | | | 動作 | 動作 | 動作 | |
| | IDLE1 | | | 停止 | | 動作 | |
| | IDLE0 | | | | | | |
| | STOP | 停止 | 停止 | 停止 | 停止 | — | |
| デュアル クロック | NORMAL2 | 発振 | 発振 | 高周波動作 | 動作 | 動作 | 4/fc [s] |
| | IDLE2 | | | 停止 | | | |
| | SLOW2 | | | 低周波動作 | | | |
| | SLEEP2 | | | 停止 | | | |
| | SLOW1 | 停止 | 停止 | 低周波動作 | 動作 | 動作 | 4/fs [s] |
| | SLEEP1 | | | | | | |
| | SLEEP0 | | | | | | |
| | STOP | | | 停止 | | | 停止 |

Not Recommended for New Designs

2.2.4 動作モードの制御

システム制御レジスタ 1

| | | | | | | | | | |
|-------------------|------|------|------|-------|-----|---|---|---|-----------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| SYSCR1 (0038H) | STOP | RELM | RETM | OUTEN | WUT | | | | (初期値:0000 00)** |

| | | | | | |
|-------|-----------------------------------|--|-----------------------|-----------------------|-----|
| STOP | STOPモードの起動 | 0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動) | | R/W | |
| RELM | STOPモードの解除方法の選択 | 0: エッジ解除モード (STOP端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP端子入力の“H”レベルで解除) | | R/W | |
| RETM | STOPモード解除後の動作モードの選択 | 0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る | | R/W | |
| OUTEN | STOPモード時のポート出力状態の選択 | 0: ハイインピーダンス 1: 出力保持 | | R/W | |
| WUT | STOPモード解除時のウォーミングアップ時間 単位: [s] | | NORMAL1/2モードへ戻る場合 | SLOW1モードへ戻る場合 | R/W |
| | | 00 | $3 \times 2^{16}/f_c$ | $3 \times 2^{13}/f_s$ | |
| | | 01 | $2^{16}/f_c$ | $2^{13}/f_s$ | |
| | | 10 | $3 \times 2^{14}/f_c$ | $3 \times 2^6/f_s$ | |
| | | 11 | $2^{14}/f_c$ | $2^6/f_s$ | |

- 注 1) RETM は、NORMALモードからSTOPモードを起動する場合は必ず“0”にしてください。SLOWモードからSTOPモードを起動する場合は必ず“1”にしてください。
- 注 2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
- 注 3) f_c ; 高周波クロック [Hz], f_s ; 低周波クロック [Hz], *, Don't care
- 注 4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注 5) OUTEN = “0”の指定でSTOPモードを起動すると、内部入力は“0”に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイakeup入力を使用する場合は、RELMを“1”に設定してください。
- 注 7) P20端子はSTOP端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHi-z状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

| | | | | | | | | | |
|-------------------|-----|------|-------|------|---|--------|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| SYSCR2 (0039H) | XEN | XTEN | SYSCK | IDLE | | TGHALT | | | (初期値: 1000 *0**) |

| | | | |
|--------|---------------------------------------|--|-----|
| XEN | 高周波発振器の制御 | 0: 発振停止 1: 発振継続または発振開始 | R/W |
| XTEN | 低周波発振器の制御 | 0: 発振停止 1: 発振継続または発振開始 | |
| SYSCK | システムクロックの 選択 (write)/ モニタ (read) | 0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP) | |
| IDLE | CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード) | 0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動) | R/W |
| TGHALT | TG 制御 (IDLE0, SLEEP0 モード) | 0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動) | R/W |

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/ SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP3 ~ STOP0 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP3 ~ STOP0 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP3 ~ STOP0 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルまたは STOP3 ~ STOP0 端子が“L”レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP3 ~ STOP0 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

| | | | |
|---------|------|---------------------|---|
| | LD | (SYSCR1), 01010000B | ; レベル解除モードにセットアップ |
| SSTOPH: | TEST | (P2PRD). 0 | ; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト |
| | JRS | F, SSTOPH | |
| | DI | | ; IMF←0 |
| | SET | (SYSCR1). 7 | ; STOP モードを起動 |

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0           ; ノイズ除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI      ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
    
```

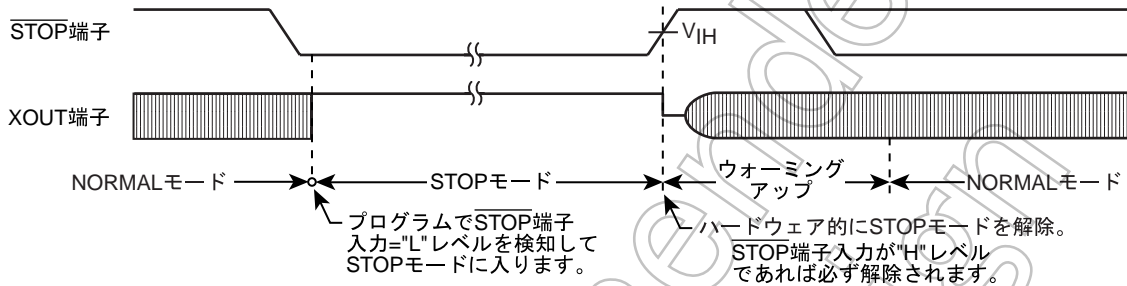


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP3 ~ STOP0 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP3 ~ STOP0 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ; IMF←0
LD      (SYSCR1), 10010000B  ; エッジ解除モードに設定して起動
    
```

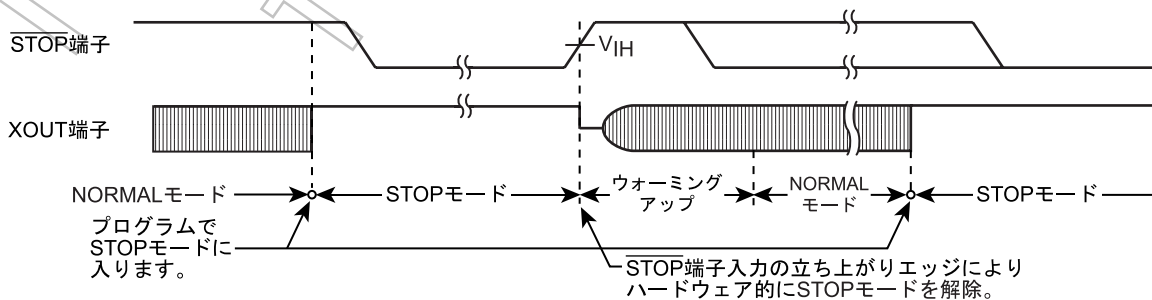


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

| WUT | ウォーミングアップ時間 [ms] | |
|-----|------------------|---------------|
| | NORMAL モードへ戻る場合 | SLOW モードに戻る場合 |
| 00 | 12.288 | 750 |
| 01 | 4.096 | 250 |
| 10 | 3.072 | 5.85 |
| 11 | 1.024 | 1.95 |

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

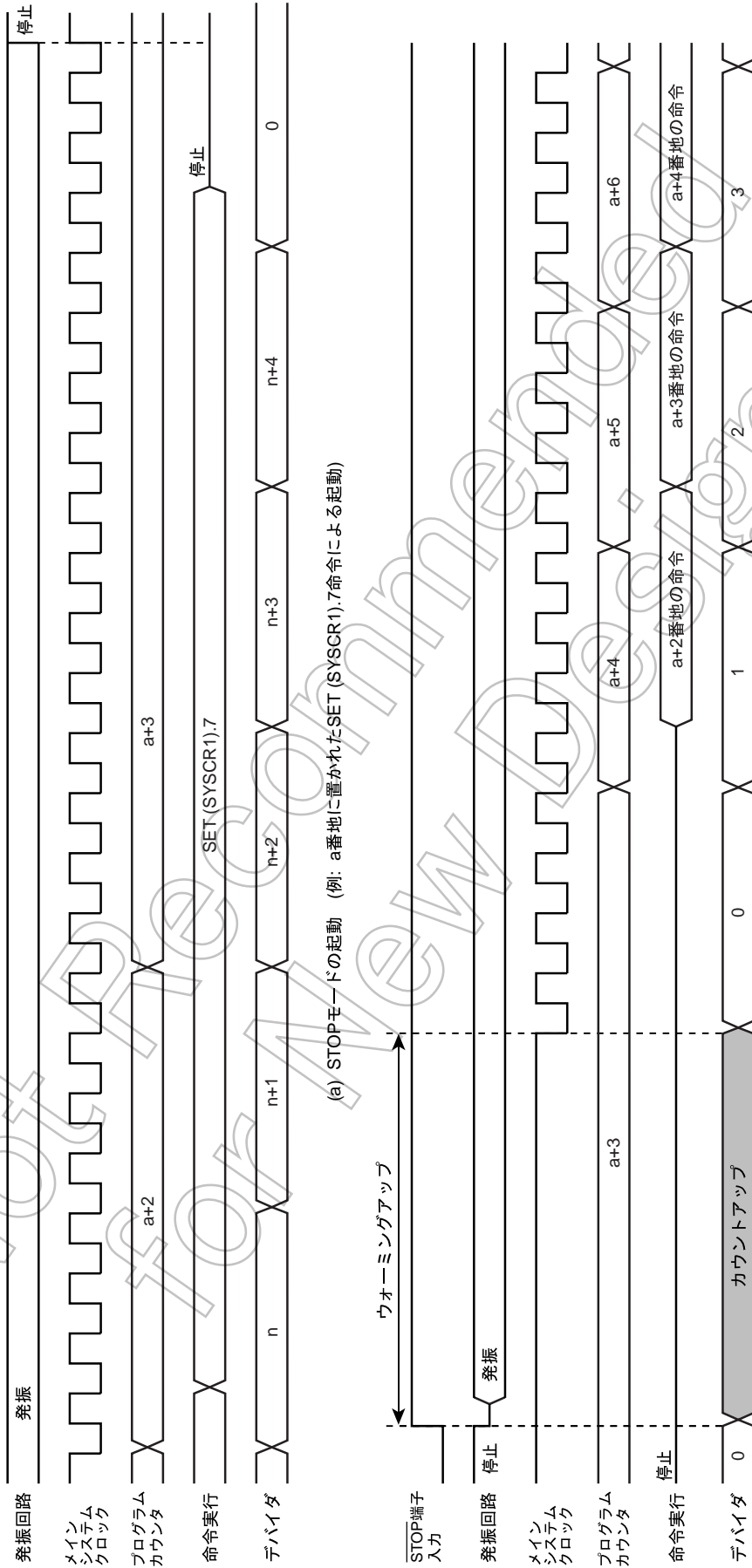


図 2-9 STOPモードの起動 / 解除

2.2.4.2 IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

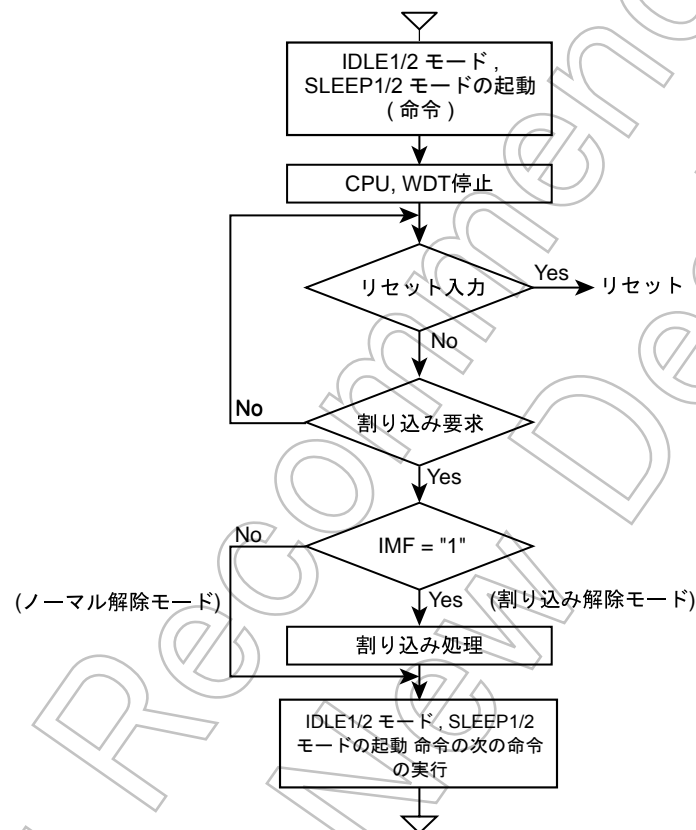


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

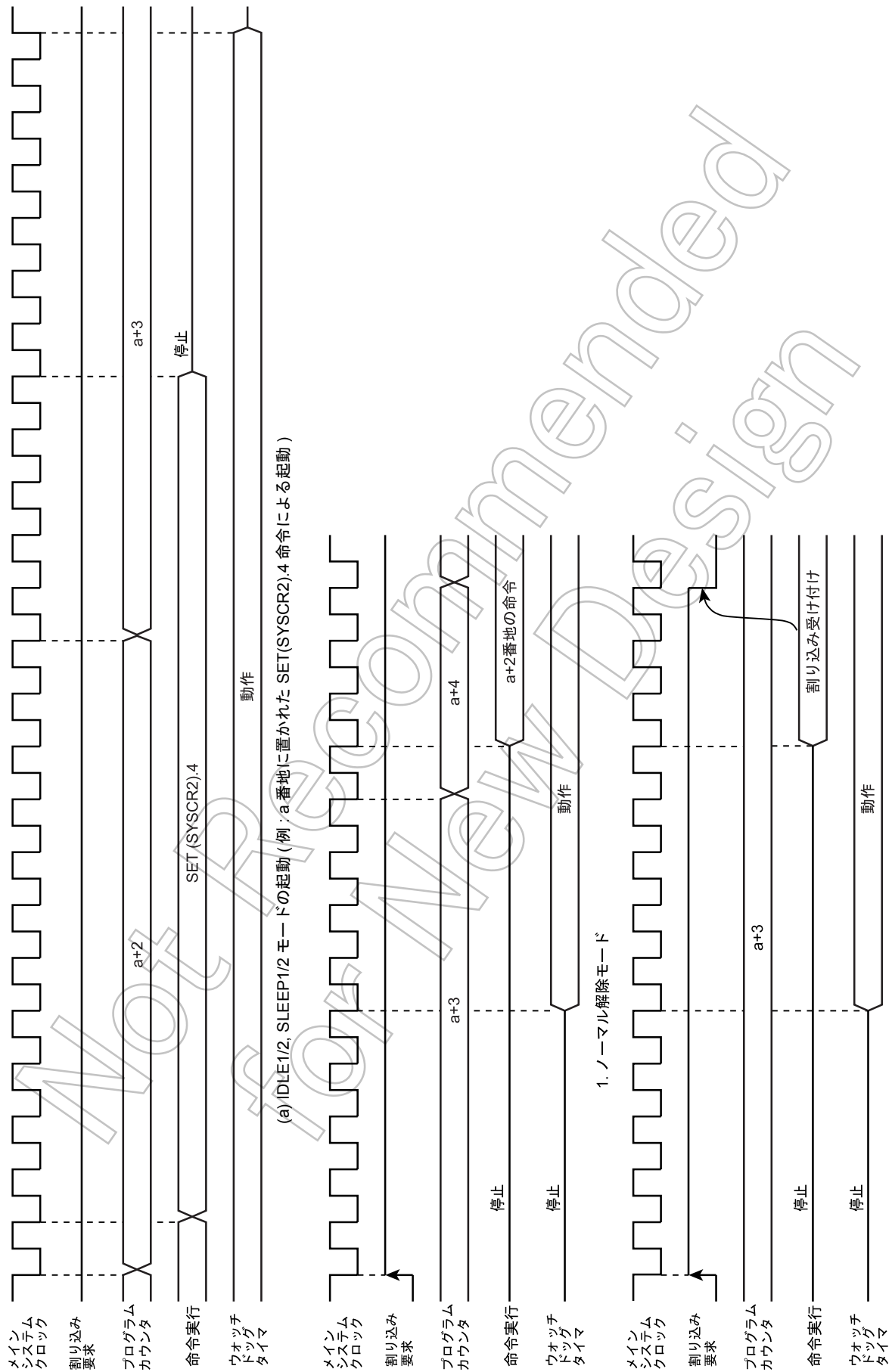


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出カラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

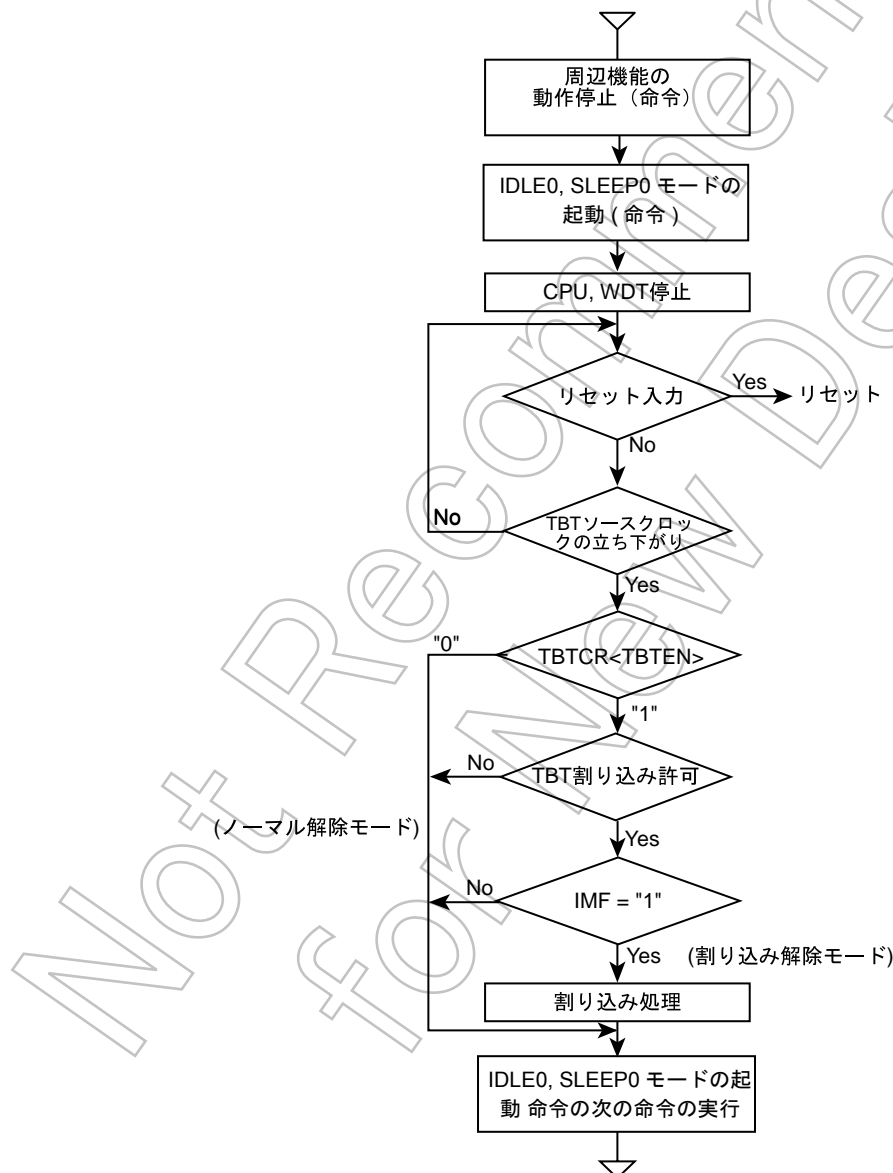


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF7) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・ EF7 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF7 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

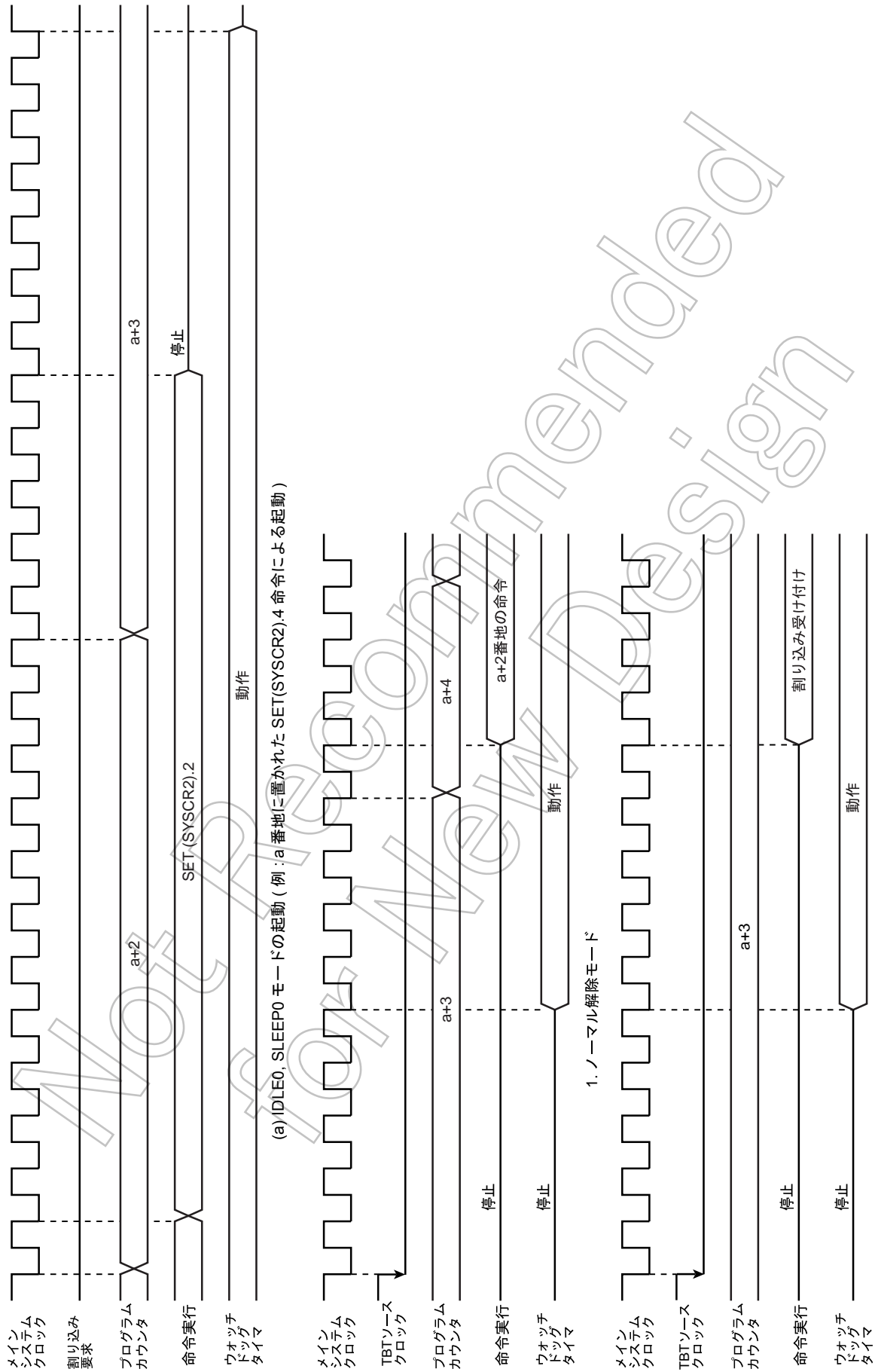


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC6, TC5) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                        ; (システムクロックを低周波に切り替え
                        ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)

```

(プログラム例 2) TC6, TC5 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

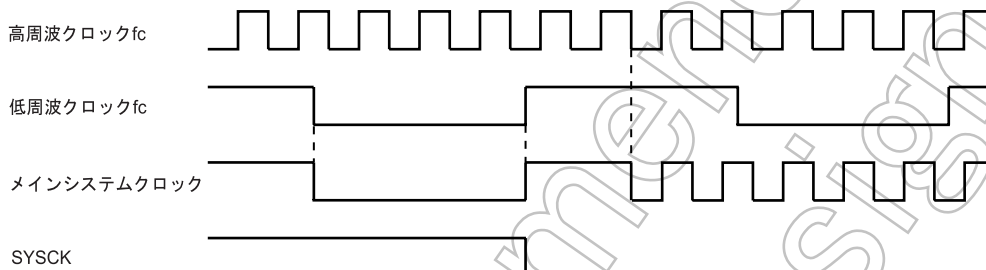
SET      (SYSCR2). 6      ; SYSCR2<XTEN>←1
                        ; (低周波クロック発振開始)
LD       (TC5CR), 43H     ; TC6, 5 のモードをセット
LD       (TC6CR), 05H     ; ウォーミングアップカウントモードに設定
LDW     (TTREG5), 8000H   ; ウォーミングアップ時間をセット
                        ; (発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRE). 2       ; INTTC6 の割り込みを許可
EI       ; IMF←1
SET      (TC6CR). 3       ; TC6, 5 スタート
PINTTC6: CLR      (TC6CR). 3 ; TC6, 5 ストップ
SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                        ; (システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)
RETI
;
VINTTC6: DW      PINTTC6  ; INTTC6 ベクタテーブル

```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を“1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC6, TC5) によって確保したあと、SYSCR2<SYSCK> を“0” にクリアしてシステムクロックを高周波に切り替えます。SLOWモードは RESET 端子を“L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC6, TC5 で SLOW1 モードから NORMAL2 モードへの切り替え
($f_c = 16 \text{ MHz}$, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN>←1
                          ; (高周波クロック発振開始)
LD       (TC5CR), 63H     ; TC6, 5 のモードをセット
LD       (TC6CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック: fc)
LD       (TTREG6), 0F8H   ; ウォーミングアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRE). 2        ; INTTC6 割り込みを許可
EI       ; IMF←1
SET      (TC6CR). 3       ; TC6, 5 スタート
↓
PINTTC6 CLR (TC6CR). 3     ; TC6, 5 ストップ
CLR      (SYSCR2). 5      ; SYSCR2<SYSCK>←0
                          ; (システムクロックを高周波に切り替え)
RETI
↓
VINTTC6: DW PINTTC6      ; INTTC6 ベクタテーブル
    
```

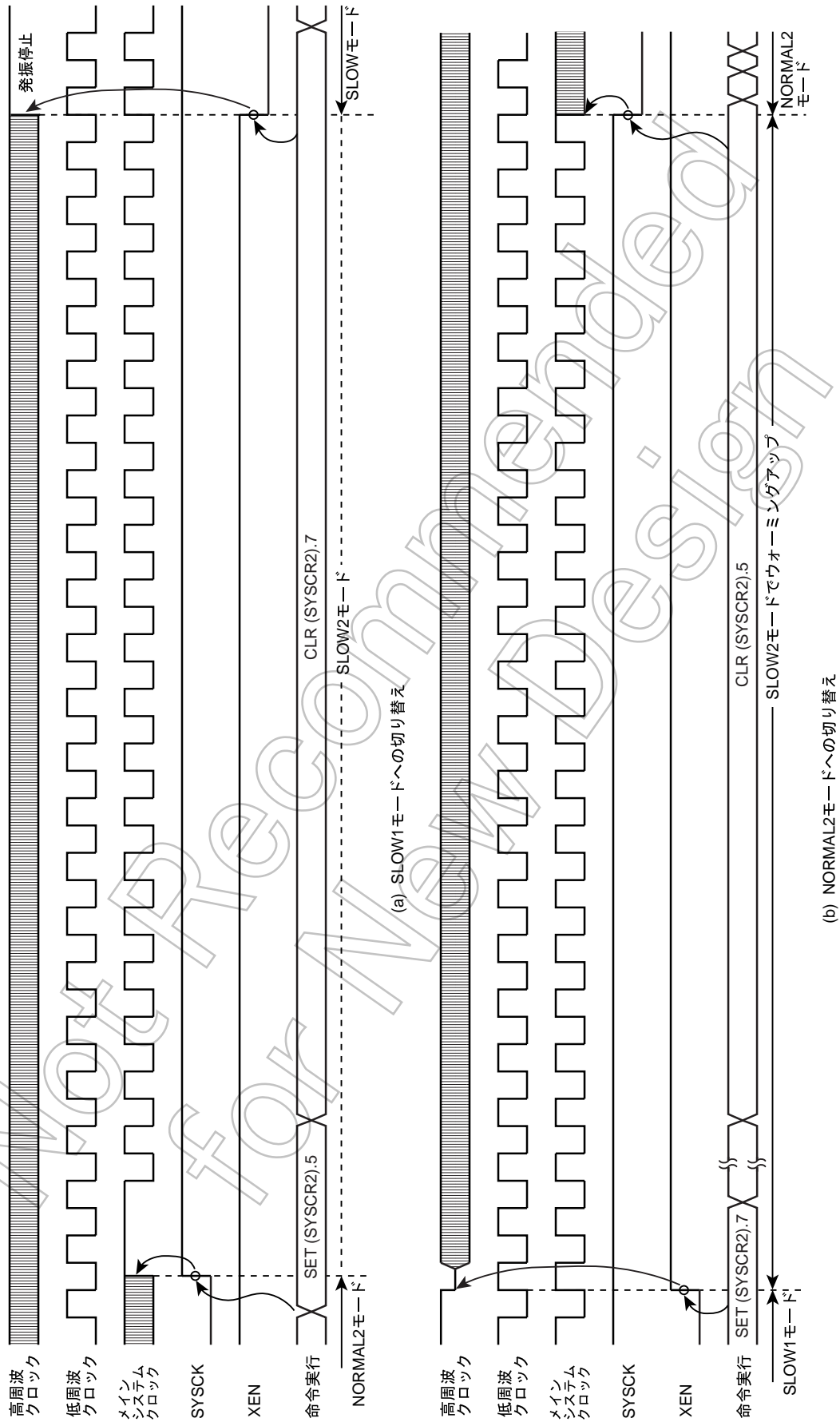



図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86FS49BFGには外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/fc[s]$ の期間リセット状態となります。

電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット)は初期化されませんので電源投入時に最大 $24/fc(1.5\mu s @ 16.0\text{ MHz})$ の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

| 内蔵ハードウェア | 初期値 | 内蔵ハードウェア | 初期値 |
|--|----------|---------------------------|-----------------|
| プログラムカウンタ (PC) | (FFFEH) | タイミングジェネレータのプリスケールおよびデバイダ | 0 |
| スタックポインタ (SP) | 初期化されません | | |
| 汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY) | 初期化されません | | |
| ジャンプステータスフラグ (JF) | 初期化されません | ウォッチドッグタイマ | イネーブル |
| ゼロフラグ (ZF) | 初期化されません | 入出力ポートの出カラッチ | 各入出力ポートの説明箇所を参照 |
| キャリーフラグ (CF) | 初期化されません | | |
| ハーフキャリーフラグ (HF) | 初期化されません | | |
| サインフラグ (SF) | 初期化されません | | |
| オーバフローフラグ (VF) | 初期化されません | | |
| 割り込みマスタ許可フラグ (IMF) | 0 | | |
| 割り込み個別許可フラグ (EF) | 0 | 制御レジスタ | 各制御レジスタの説明箇所を参照 |
| 割り込みラッチ (IL) | 0 | | |
| | | RAM | 初期化されません |

2.3.1 外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/fc [s]$) 以上の間 $\overline{\text{RESET}}$ 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

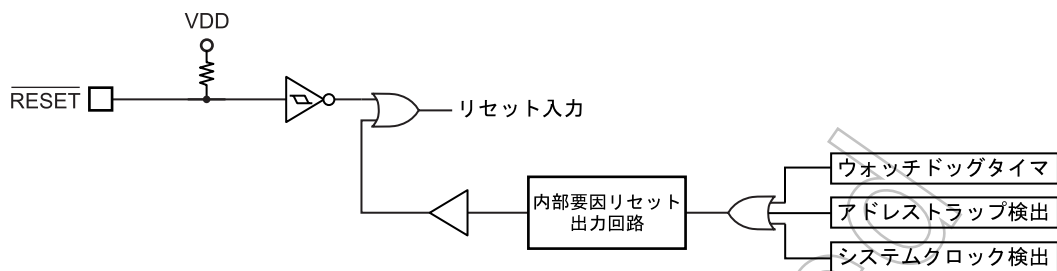
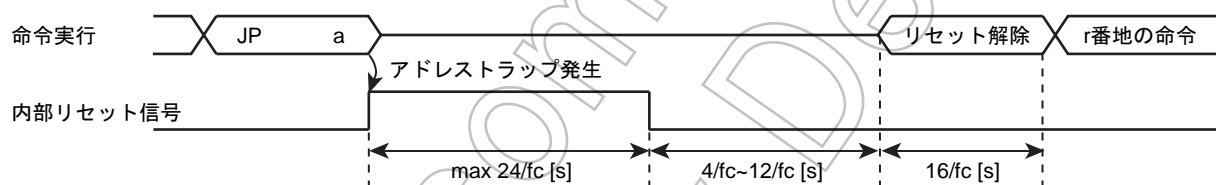


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとするときリセット信号が発生します。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

第3章 割り込み制御回路

TMP86FS49BFGには、リセットを除き合計24種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち4種はノンマスクブル割り込みで、そのほかはすべてマスクブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクブル割り込みに優先順位はありません。

| 割り込み要因 | | 許可条件 | 割り込みラッチ | ベクタアドレス | 優先順位 |
|--------|-------------------------|-------------------------|---------|---------|------|
| 内部/外部 | (リセット) | ノンマスクブル | - | FFFE | 1 |
| 内部 | INTSW (ソフトウェア割り込み) | ノンマスクブル | - | FFFC | 2 |
| 内部 | INTUNDEF (未定義命令実行割り込み) | ノンマスクブル | - | FFFC | 2 |
| 内部 | INTATRAP (アドレストラップ割り込み) | ノンマスクブル | IL2 | FFFA | 2 |
| 内部 | INTWDT (ウォッチドッグタイマ割り込み) | ノンマスクブル | IL3 | FFF8 | 2 |
| 外部 | $\overline{INT0}$ | IMF・EF4 = 1, INT0EN = 1 | IL4 | FFF6 | 5 |
| 内部 | INTTC1 | IMF・EF5 = 1 | IL5 | FFF4 | 6 |
| 外部 | INT1 | IMF・EF6 = 1 | IL6 | FFF2 | 7 |
| 内部 | INTTBT | IMF・EF7 = 1 | IL7 | FFF0 | 8 |
| 外部 | INT2 | IMF・EF8 = 1 | IL8 | FFEE | 9 |
| 内部 | INTTC4 | IMF・EF9 = 1 | IL9 | FFEC | 10 |
| 内部 | INTTC3 | IMF・EF10 = 1 | IL10 | FFEA | 11 |
| 内部 | INTSBI | IMF・EF11 = 1 | IL11 | FFE8 | 12 |
| 外部 | INT3 | IMF・EF12 = 1 | IL12 | FFE6 | 13 |
| 内部 | INTSIO1 | IMF・EF13 = 1 | IL13 | FFE4 | 14 |
| 内部 | INTSIO2 | IMF・EF14 = 1 | IL14 | FFE2 | 15 |
| 内部 | INTADC | IMF・EF15 = 1 | IL15 | FFE0 | 16 |
| 内部 | INTRXD1 | IMF・EF16 = 1 | IL16 | FFBE | 17 |
| 内部 | INTTXD1 | IMF・EF17 = 1 | IL17 | FFBC | 18 |
| 内部 | INTTC6 | IMF・EF18 = 1 | IL18 | FFBA | 19 |
| 内部 | INTTC5 | IMF・EF19 = 1 | IL19 | FFB8 | 20 |
| 内部 | INTRXD2 | IMF・EF20 = 1 | IL20 | FFB6 | 21 |
| 内部 | INTTXD2 | IMF・EF21 = 1 | IL21 | FFB4 | 22 |
| 内部 | INTTC2 | IMF・EF22 = 1 | IL22 | FFB2 | 23 |
| 外部 | $\overline{INT5}$ | IMF・EF23 = 1 | IL23 | FFB0 | 24 |

- 注1) アドレストラップ割り込み (INTATRAP) を使用するには WDTCR1<ATOOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。
- 注2) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。
- 注3) 割り込みラッチ IL15(INTADC) より優先順位が低い割り込みが受け付けられた時点で INTADC 割り込み要求が発生した場合に、INTADC の割り込みラッチがクリアされ、割り込み動作を行わない場合があります。詳しくは AD コンバータの章の「AD コンバータの注意事項」を参照してください。

3.1 割り込みラッチ (IL23 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003CH, 003DHおよび002EH番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW      (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例2) 割り込みラッチの読み出し

```
LD      WA, (ILL)                ; W ← ILH, A ← ILL
```

(プログラム例3) 割り込みラッチのテスト

```
TEST      (ILL), 7                ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクブル割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH および 002CH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などのリードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクブル割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクブル割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF23 ~ EF4)

各マスクブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクブル割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

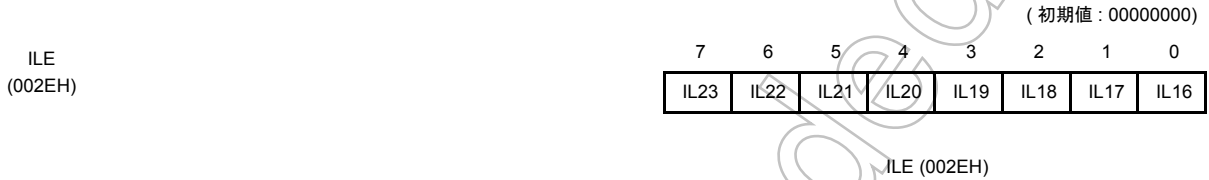
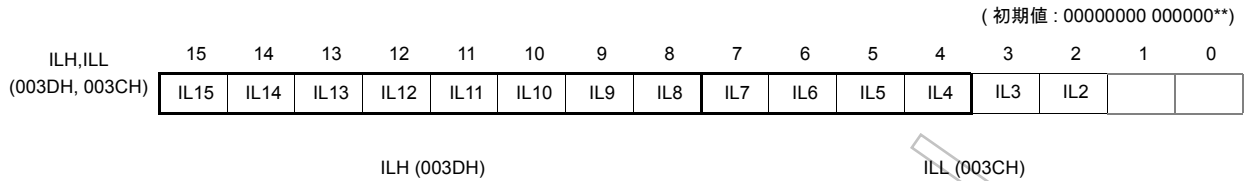
```
DI                                     ; IMF ← 0
LDW                                     ; EF15~EF13, EF11, EF7, EF5 ← 1
:   (EIRL), 1110100010100000B         ; 注) IMF はセットしない
:
EI                                     ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL;          /* 3AH は EIRL のアドレス */
DI ();
EIRL=10100000B;
:
EI ();
```

Not Recommended
for New Design

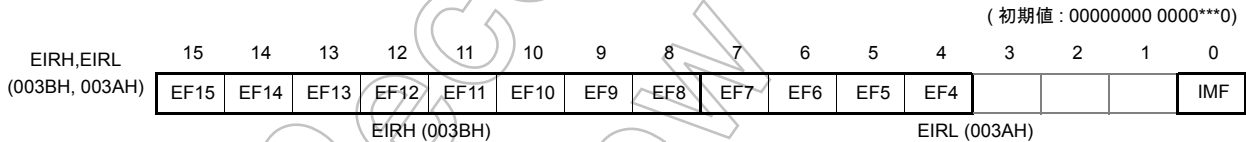
割り込みラッチ



| IL23~IL2 | 割り込みラッチ | RD時 | WR時 | R/W |
|----------|---------|----------------------------|--------------------------------|-----|
| | | 0: 割り込み要求なし 1: 割り込み要求あり | 0: 割り込み要求のクリア (注) 1: セットは不可 | |

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ



| EF23~EF4 | 割り込み個別許可フラグ (ビットごとに指定) | 0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可 | R/W |
|----------|------------------------|--|-----|
| IMF | 割り込みマスタ許可フラグ | 0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可 | |

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み処理

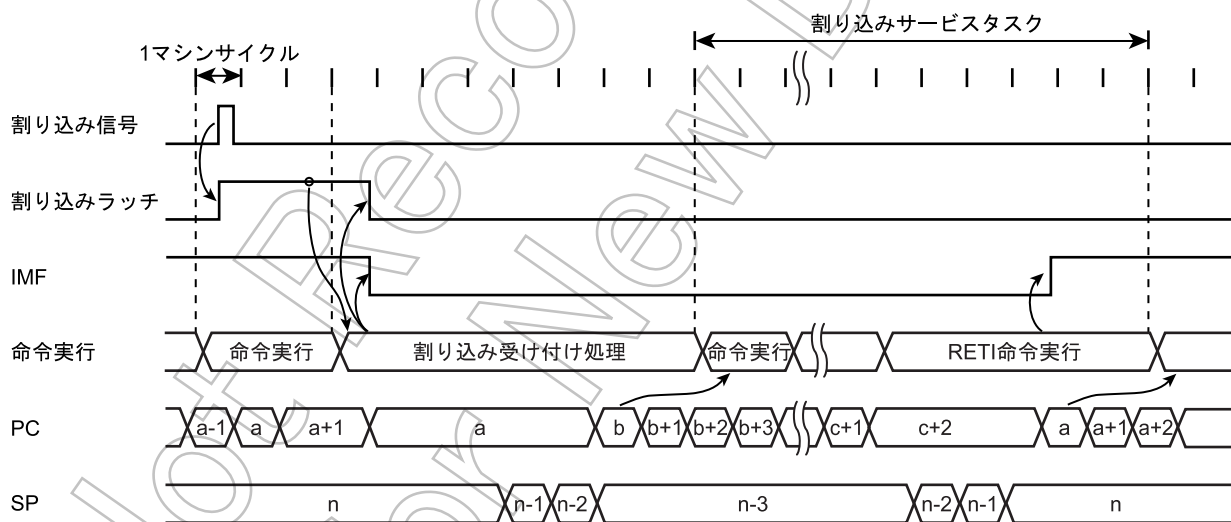
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 μ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

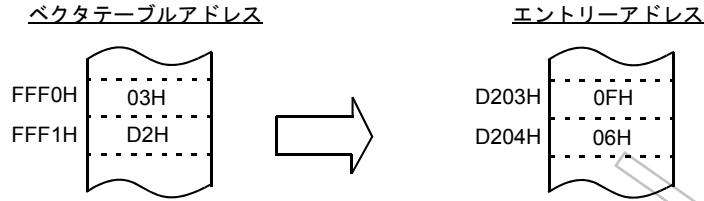


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の2つの方法があります。

3.3.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

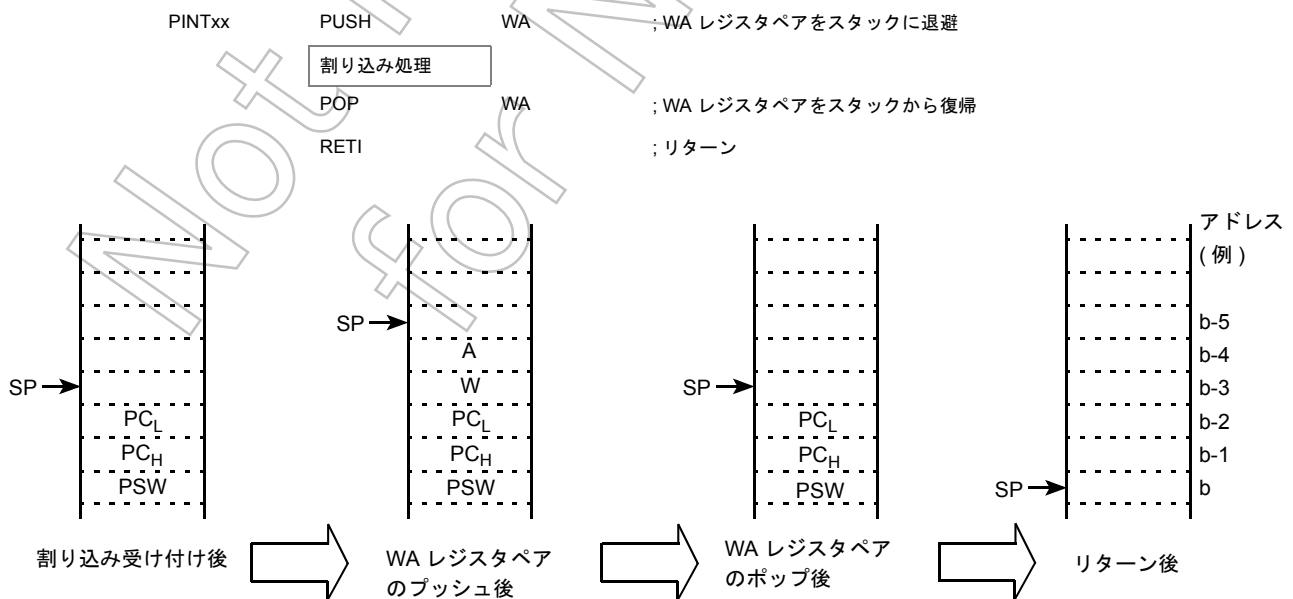


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

3.3.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx:  LD      (GSAVA), A      ; A レジスタの退避
          [割り込み処理]
          LD      A, (GSAVA)    ; A レジスタの復帰
          RETI                  ; リターン
    
```

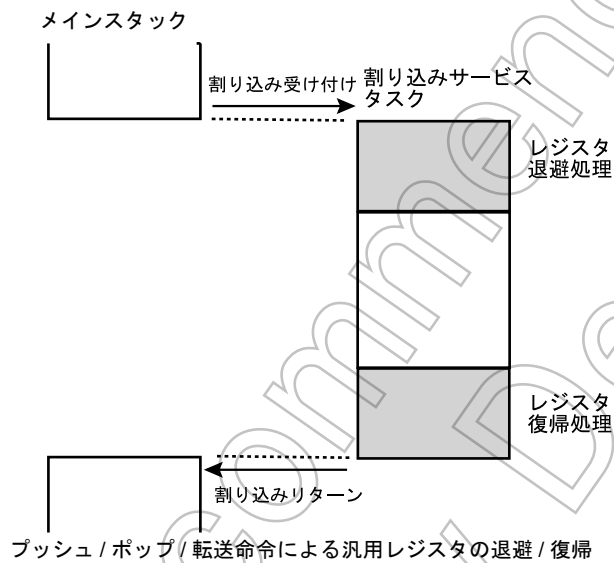


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

| [RET] / [RETN] 割り込みリターン |
|--|
| ①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 |
| ②スタックポインタを3回インクリメントします。 |

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

| | | | |
|--------|--------|-------------------|---------------------|
| PINTxx | POP | WA | ;スタックポインタを2つ戻す |
| | LD | WA, RetrunAddress | ;WAレジスタに再開アドレスを代入する |
| | PUSH | WA | ;スタックにプッシュダウンする |
| | 割り込み処理 | | |
| | RETN | | ;ノンマスカブル割り込みリターン命令 |

(プログラム例2) リターンしない場合 (割り込み受け付け前のPSWおよびIMFの値を破棄する場合)

| | | | |
|--------|--------|----------------|-------------------------|
| PINTxx | INC | SP | ;スタックポインタを3つ戻す |
| | INC | SP | |
| | INC | SP | |
| | 割り込み処理 | | |
| | LD | EIRL, data | ;IMFを"1"にセット、または"0"にクリア |
| | JP | RestartAddress | ;復帰アドレスへジャンプ |

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.5 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.7 外部割り込み

TMP86FS49BFGには、5本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1～INT3端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0/P00}}$ 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0/P00}}$ 端子の機能選択は、外部割り込み制御レジスタで行います。

| 要因 | 端子名 | 許可条件 | エッジ | デジタルノイズ除去回路 |
|------|--------------------------|------------------|-----------------------------|--|
| INT0 | $\overline{\text{INT0}}$ | IMF・EF4・INT0EN=1 | 立ち下がりエッジ | 2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。 |
| INT1 | INT1 | IMF・EF6 = 1 | 立ち下がりエッジ または 立ち上がりエッジ | 15/fc または 63/fc [s] 未満のパルスはノイズとして除去されません。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。 |
| INT2 | INT2 | IMF・EF8 = 1 | 立ち下がりエッジ または 立ち上がりエッジ | 7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。 |
| INT3 | INT3 | IMF・EF12 = 1 | 立ち下がりエッジ または 立ち上がりエッジ | 7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。 |
| INT5 | $\overline{\text{INT5}}$ | IMF・EF23 = 1 | 立ち下がりエッジ | 2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。 |

注 1) NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注 2) INT0EN = "0" のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

| | | | | | | | | | |
|---------|--------|--------|---|---|--------|--------|--------|---|-----------------|
| EINTCR | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| (0037H) | INT1NC | INT0EN | - | - | INT3ES | INT2ES | INT1ES | | (初期値: 00**000*) |

| | | | |
|---------|------------------|--|-----|
| INT1NC | INT1 のノイズ除去時間の選択 | 0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去 | R/W |
| INT0EN | P00/INT0 の機能選択 | 0: P00 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P00 ポートは入力モードにしてください) | R/W |
| INT3 ES | INT3 のエッジ選択 | 0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生 | R/W |
| INT2 ES | INT2 のエッジ選択 | 0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生 | R/W |
| INT1 ES | INT1 のエッジ選択 | 0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生 | R/W |

注 1) fc: 高周波クロック [Hz] *; Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 $2^6/fc$ の期間ノイズキャンセル時間が切り替わらない事があります。

Not Recommended for New Design

第4章 スペシャルファンクションレジスタ

TMP86FS49BFGは、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86FS49BFG の SFR, DBR の一覧を示します。

4.1 SFR

| アドレス | リード | ライト |
|-------|---------|---------|
| 0000H | | P0DR |
| 0001H | | P1DR |
| 0002H | | P2DR |
| 0003H | | P3DR |
| 0004H | | P4DR |
| 0005H | | P5DR |
| 0006H | | P6DR |
| 0007H | | P7DR |
| 0008H | | P0OUTCR |
| 0009H | | P1CR |
| 000AH | | P4OUTCR |
| 000BH | P0PRD | - |
| 000CH | P2PRD | - |
| 000DH | P3PRD | - |
| 000EH | P4PRD | - |
| 000FH | P5PRD | - |
| 0010H | | TC1DRAL |
| 0011H | | TC1DRAH |
| 0012H | | TC1DRBL |
| 0013H | | TC1DRBH |
| 0014H | | TTREG3 |
| 0015H | | TTREG4 |
| 0016H | | TTREG5 |
| 0017H | | TTREG6 |
| 0018H | | PWREG3 |
| 0019H | | PWREG4 |
| 001AH | | PWREG5 |
| 001BH | | PWREG6 |
| 001CH | | ADCCR1 |
| 001DH | | ADCCR2 |
| 001EH | ADCDR2 | - |
| 001FH | ADCDR1 | - |
| 0020H | | SIO1CR |
| 0021H | SIO1SR | - |
| 0022H | SIO1RDB | SIO1TDB |
| 0023H | | TC2CR |
| 0024H | | TC2DRL |
| 0025H | | TC2DRH |
| 0026H | | TC1CR |

| アドレス | リード | ライト |
|-------|---------|----------|
| 0027H | | TC3CR |
| 0028H | | TC4CR |
| 0029H | | TC5CR |
| 002AH | | TC6CR |
| 002BH | SIO2RDB | SIO2TDB |
| 002CH | | EIRE |
| 002DH | | Reserved |
| 002EH | | ILE |
| 002FH | | Reserved |
| 0030H | | Reserved |
| 0031H | | SIO2CR |
| 0032H | SIO2SR | - |
| 0033H | | Reserved |
| 0034H | - | WDCR1 |
| 0035H | - | WDCR2 |
| 0036H | | TBTCR |
| 0037H | | EINTCR |
| 0038H | | SYSCR1 |
| 0039H | | SYSCR2 |
| 003AH | | EIRL |
| 003BH | | EIRH |
| 003CH | | ILL |
| 003DH | | ILH |
| 003EH | | Reserved |
| 003FH | | PSW |

注1) Reserved の番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

| アドレス | リード | ライト |
|-------|---------|----------|
| 0F80H | | Reserved |
| 0F81H | | Reserved |
| 0F82H | | Reserved |
| 0F83H | | Reserved |
| 0F84H | | Reserved |
| 0F85H | | Reserved |
| 0F86H | | Reserved |
| 0F87H | | Reserved |
| 0F88H | | Reserved |
| 0F89H | | Reserved |
| 0F8AH | | Reserved |
| 0F8BH | | Reserved |
| 0F8CH | | Reserved |
| 0F8DH | | Reserved |
| 0F8EH | | Reserved |
| 0F8FH | | Reserved |
| 0F90H | SBISRA | SBICRA |
| 0F91H | | SBIDBR |
| 0F92H | - | I2CAR |
| 0F93H | SBISRB | SBICRB |
| 0F94H | | Reserved |
| 0F95H | UART1SR | UART1CR1 |
| 0F96H | - | UART1CR2 |
| 0F97H | RD1BUF | TD1BUF |
| 0F98H | UART2SR | UART2CR1 |
| 0F99H | - | UART2CR2 |
| 0F9AH | RD2BUF | TD2BUF |
| 0F9BH | | P6CR1 |
| 0F9CH | | P6CR2 |
| 0F9DH | | P7CR1 |
| 0F9EH | | P7CR2 |
| 0F9FH | - | STOPCR |

| アドレス | リード | ライト |
|-------|-----|----------|
| 0FA0H | | Reserved |
| :: | | :: |
| 0FBFH | | Reserved |

| アドレス | リード | ライト |
|-------|-----|----------|
| 0FC0H | | Reserved |
| :: | | :: |
| 0DFH | | Reserved |

| アドレス | リード | ライト |
|-------|-----|----------|
| 0FE0H | | Reserved |
| 0FE1H | | Reserved |
| 0FE2H | | Reserved |
| 0FE3H | | Reserved |
| 0FE4H | | Reserved |
| 0FE5H | | Reserved |
| 0FE6H | | Reserved |
| 0FE7H | | Reserved |
| 0FE8H | | Reserved |
| 0FE9H | | Reserved |
| 0FEAH | | Reserved |
| 0FEBH | | Reserved |
| 0FECH | | Reserved |
| 0FEDH | | Reserved |
| 0FEEH | | Reserved |
| 0FEFH | | Reserved |
| 0FF0H | | Reserved |
| 0FF1H | | Reserved |
| 0FF2H | | Reserved |
| 0FF3H | | Reserved |
| 0FF4H | | Reserved |
| 0FF5H | | Reserved |
| 0FF6H | | Reserved |
| 0FF7H | | Reserved |
| 0FF8H | | Reserved |
| 0FF9H | | Reserved |
| 0FFAH | | Reserved |
| 0FFBH | | Reserved |
| 0FFCH | | Reserved |
| 0FFDH | | Reserved |
| 0FFEH | | Reserved |
| 0FFFH | | FLSCR |

注1) Reservedの番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

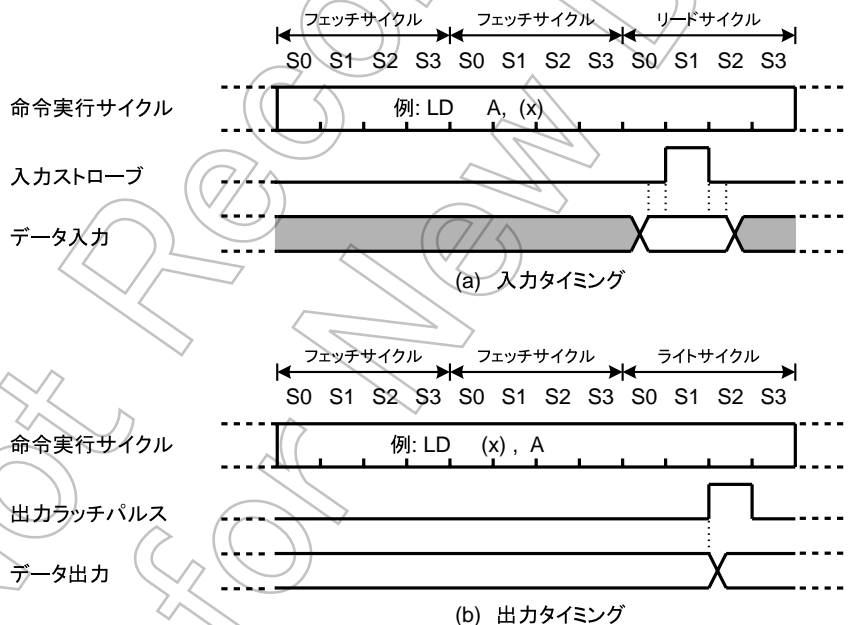
第 5 章 入出力ポート

TMP86FS49BFG は、8 ポート 56 端子の入出力ポートを内蔵しています。

| | 主機能 | 兼用機能 |
|--------|-------------|---|
| P0 ポート | 8 ビット入出力ポート | 外部割り込み入力, シリアルインタフェース入出力, UART 入出力, シリアル PROM モード制御入力 |
| P1 ポート | 8 ビット入出力ポート | 外部割り込み入力, タイマカウンタ入出力, デバイダ出力 |
| P2 ポート | 3 ビット入出力ポート | 低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力 |
| P3 ポート | 8 ビット入出力ポート | |
| P4 ポート | 8 ビット入出力ポート | シリアルインタフェース入出力, UART 入出力 |
| P5 ポート | 5 ビット入出力ポート | シリアルバスインタフェース入出力 |
| P6 ポート | 8 ビット入出力ポート | アナログ入力, キーオンウェイクアップ入力 |
| P7 ポート | 8 ビット入出力ポート | アナログ入力 |

すべての出力ポートはラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P0 (P07 ~ P00) ポート

P0 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、UART 入出力、シリアル PROM モード制御入力と兼用です。入力ポートまたは外部割り込み入力、シリアルインタフェース入出力、UART 入出力として用いる場合は、出力ラッチ (P0DR) を "1" にセットします。リセット時、出力ラッチ (P0DR) は "1" に、プッシュプル制御 (P0OUTCR) は "0" に初期化されます。

P0 ポートは、P0OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

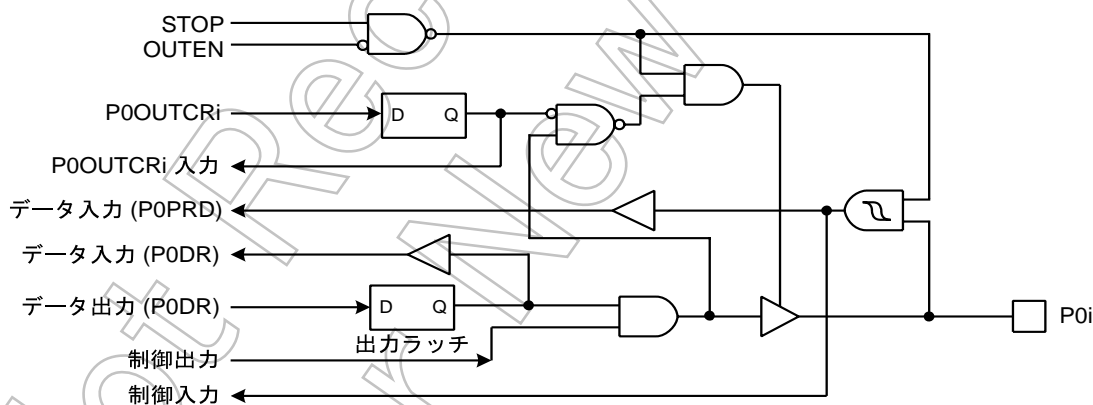
P0OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

入力ポートまたはシリアルインタフェース入力、UART 受信入力として使用する場合は、P0DR を "1" に設定した後、P0OUTCR の対応するビットを "0" に設定します。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

表 5-1 各機能別のレジスタ設定値 (P07 ~ P00)

| 機能 | 設定値 | |
|--|------|----------------|
| | P0DR | P0OUTCR |
| ポート入力、外部割り込み入力、シリアルインタフェース入力、UART 入力、シリアル PROM モード制御入力 | "1" | "0" |
| ポート "0" 出力 | "0" | 各アプリケーション向けに設定 |
| ポート "1" 出力、シリアルインタフェース出力、UART 出力 | "1" | |



注) i = 7 ~ 0

図 5-2 P0 ポート

| | | | | | | | | | |
|------------------------|-------------|-------------|------------|------------|-------------|-------------|---------------------|-------------|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| P0DR (0000H) R/W | P07 INT2 | P06 SCK1 | P05 SO1 | P04 SI1 | P03 INT1 | P02 TXD1 | P01 RXD1 BOOT | P00 INT0 | (初期値: 1111 1111) |

| | | | | | | | | | |
|--------------------|--|--|--|--|--|--|--|--|------------------|
| P0OUTCR (0008H) | | | | | | | | | (初期値: 0000 0000) |
|--------------------|--|--|--|--|--|--|--|--|------------------|

| | | | |
|---------|--------------------------|---------------------------------|-----|
| P0OUTCR | P0 ポートの入出力制御 (各ビット単位で指定) | 0: シンクオーブンドレイン出力 1: C-MOS 出力 | R/W |
|---------|--------------------------|---------------------------------|-----|

| | | | | | | | | |
|-------------------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| P0PRD (000BH) Read only | P07 | P06 | P05 | P04 | P03 | P02 | P01 | P00 |
|-------------------------------|-----|-----|-----|-----|-----|-----|-----|-----|

Not Recommended for New Design

5.2 P1 (P17 ~ P10) ポート

P1 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、タイマカウンタ入出力、外部割り込み入力、デバイダ出力と兼用です。

入出力の指定は、P1 ポート入出力制御レジスタ (PICR) によって行います。リセット時、PICR は "0" に初期化され、P1 ポートは入力モードとなります。また、P1 ポート出力ラッチは "0" に初期化されます。

入力ポートまたはタイマカウンタ入力、外部割り込み入力として使用する場合は、PICR の対応するビットを "0" に設定します。

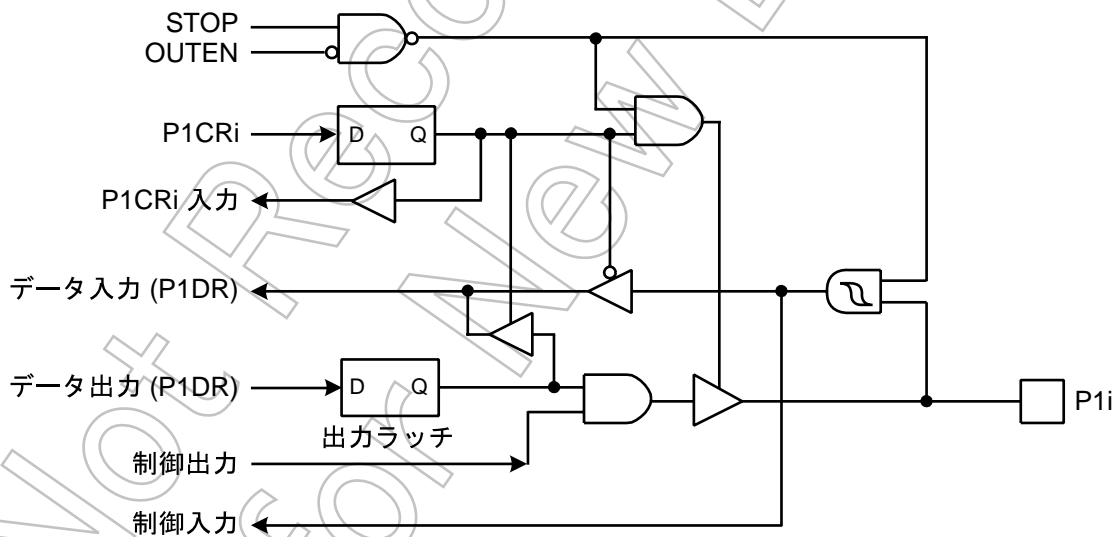
出力ポートとして使用する場合は、PICR の対応するビットを "1" に設定します。

タイマカウンタ出力、デバイダ出力として使用する場合は、あらかじめ PIDR を "1" に設定した後、PICR の対応するビットを "1" に設定します。

PICR が "1" に設定されている場合、PIDR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

表 5-2 各機能別のレジスタ設定値

| 機能 | 設定値 | |
|--------------------------|------|------|
| | P1DR | P1CR |
| ポート入力、タイマカウンタ入力、外部割り込み入力 | * | "0" |
| ポート "0" 出力 | "0" | "1" |
| ポート "1" 出力、タイマ出力、デバイダ出力 | "1" | "1" |



注) i = 7 ~ 0

図 5-3 P1 ポート

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令の実行により書き替わることがあります。

| | | | | | | | | | |
|------------------------|------|------|------|------|------|-----|-----|-----|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| P1DR (0001H) R/W | P17 | P16 | P15 | P14 | P13 | P12 | P11 | P10 | (初期値: 0000 0000) |
| | TC6 | TC5 | TC2 | TC4 | TC3 | PPG | DVO | TC1 | |
| | PWM6 | PWM5 | INT3 | PWM4 | PWM3 | | | | |
| | PDO6 | PDO5 | | PDO4 | PDO3 | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |

| | | | | | | | | | |
|-----------------|---|---|---|---|---|---|---|---|------------------|
| P1CR (0009H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
| | | | | | | | | | |

| | | | |
|------|-------------------------|----------------------|-----|
| P1CR | P1ポートの入出力制御 (各ビット単位で指定) | 0: 入力モード 1: 出力モード | R/W |
|------|-------------------------|----------------------|-----|

Not Recommended for New Design

5.3 P2 (P22 ~ P20) ポート

P2 ポートは 3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは機能端子として用いる場合は、出力ラッチ (P2DR) を“1”にセットします。出力ラッチ (P2DR) はリセット時“1”に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がり遅延が割込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P2DR レジスタを、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR, P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

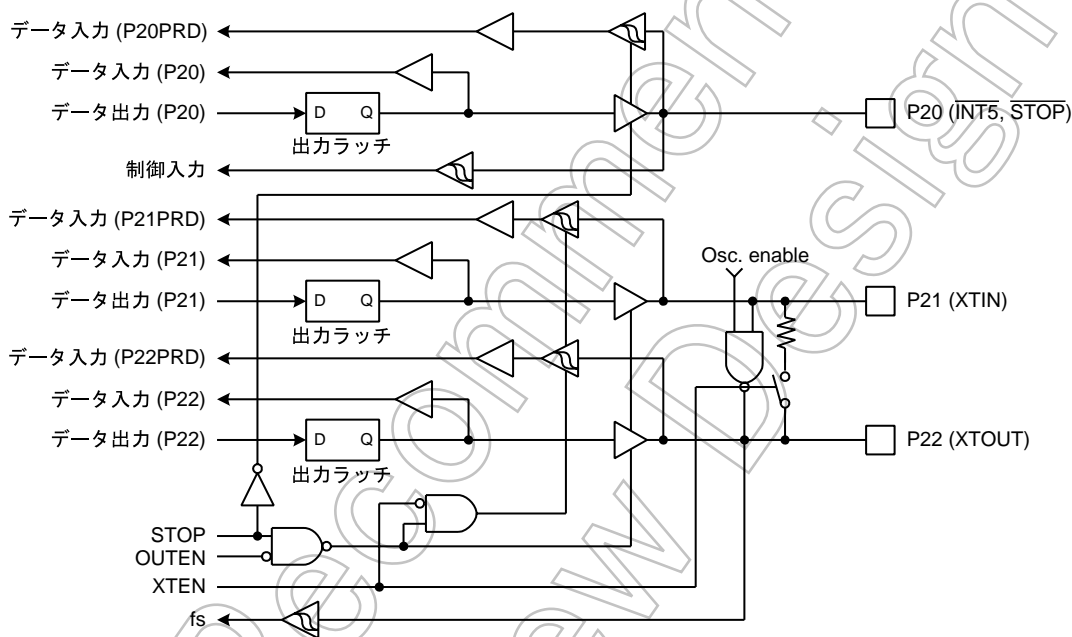
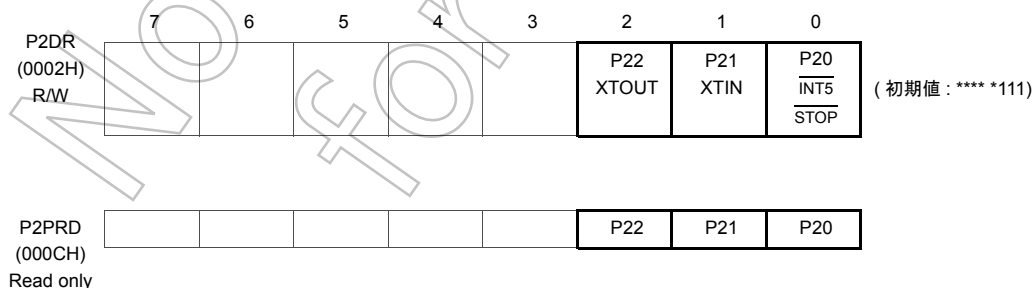


図 5-4 P2 ポート

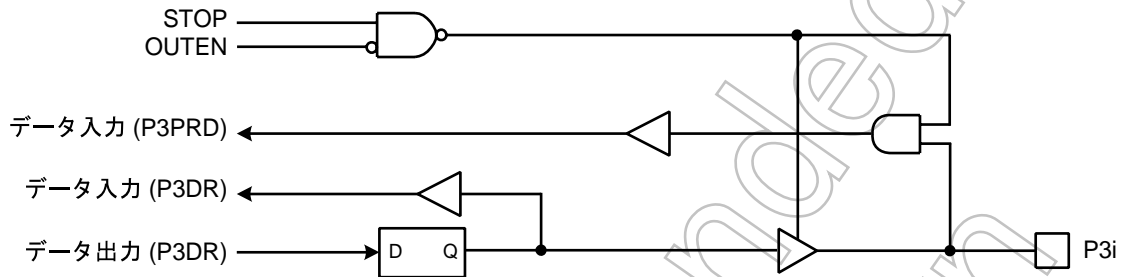


注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にもかかわらず、出力は High-Z 状態となります。

5.4 P3 (P37 ~ P30) ポート (大電流, シンクオープンドレイン出力)

P3 ポートは 8 ビットの入出力ポートです。入力ポートとして用いる場合は、出力ラッチ (P3DR) を "1" にセットします。リセット時、出力ラッチ (P3DR) は "1" に初期化されます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR レジスタを、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。



注) i = 7 ~ 0

図 5-5 P3 ポート

| | | | | | | | | | |
|------------------------|-----|-----|-----|-----|-----|-----|-----|-----|------------------|
| P3DR (0003H) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
| | P37 | P36 | P35 | P34 | P33 | P32 | P31 | P30 | |

| | | | | | | | | |
|-------------------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| P3PRD (000DH) Read only | P37 | P36 | P35 | P34 | P33 | P32 | P31 | P30 |
|-------------------------------|-----|-----|-----|-----|-----|-----|-----|-----|

5.5 P4 (P47 ~ P40) ポート

P4 ポートは 8 ビットの入出力ポートで、シリアルインタフェース入出力、UART 入出力と兼用です。入力ポートまたはシリアルインタフェース入出力、UART 入出力として用いる場合は、出力ラッチ (P4DR) を "1" にセットします。リセット時、出力ラッチ (P4DR) は "1" に、プッシュプル制御 (P4OUTCR) は "0" に初期化されます。

P4 ポートは、P4OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

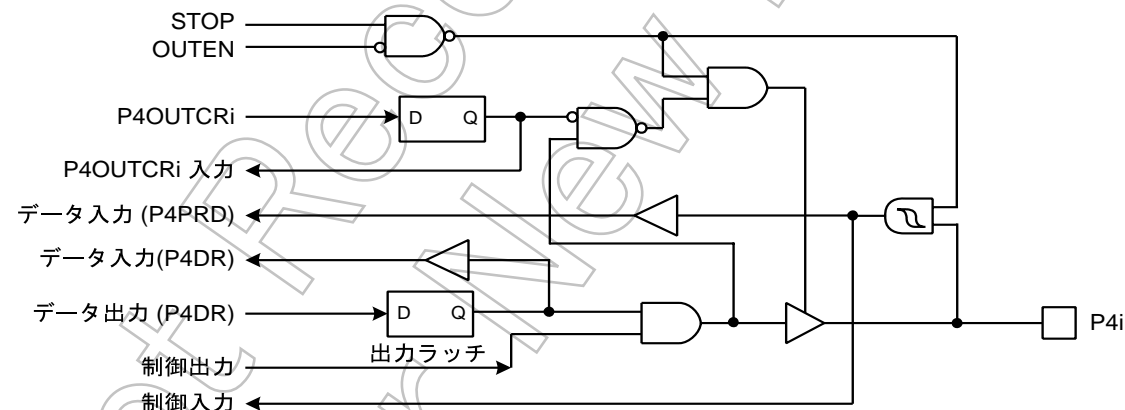
P4OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

入力ポートまたはシリアルインタフェース入力、UART 受信入力として使用する場合は、P4DR を "1" に設定した後、P4OUTCR の対応するビットを "0" に設定します。

P4 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P4DR レジスタを、端子の状態を読み込む場合は P4PRD レジスタをそれぞれ読み出してください。

表 5-3 各機能別のレジスタ設定値 (P47 ~ P40)

| 機能 | 設定値 | |
|-----------------------------------|------|----------------|
| | P4DR | P4OUTCR |
| ポート入力、UART 入力、シリアルインターフェース入力 | "1" | "0" |
| ポート "0" 出力 | "0" | 各アプリケーション向けに設定 |
| ポート "1" 出力、UART 出力、シリアルインターフェース出力 | "1" | |



注) i = 7 ~ 0

図 5-6 P4 ポート

| | | | | | | | | | |
|------------------------|-----|-------------|------------|------------|-----|-------------|-------------|-----|------------------|
| P4DR (0004H) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
| | P47 | P46 SCK2 | P45 SO2 | P44 SI2 | P43 | P42 TXD2 | P41 RXD2 | P40 | |

| | | | | | | | | |
|--------------------|--|--|--|--|--|--|--|------------------|
| P4OUTCR (000AH) | | | | | | | | (初期値: 0000.0000) |
|--------------------|--|--|--|--|--|--|--|------------------|

| | | | |
|---------|-------------------------|---------------------------------|-----|
| P4OUTCR | P4ポートの入出力制御 (各ビット単位で指定) | 0: シンクオープンドレイン出力 1: C-MOS 出力 | R/W |
|---------|-------------------------|---------------------------------|-----|

| | | | | | | | | |
|-------------------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| P4PRD (000EH) Read only | P47 | P46 | P45 | P44 | P43 | P42 | P41 | P40 |
|-------------------------------|-----|-----|-----|-----|-----|-----|-----|-----|

Not Recommended for New Design

5.6 P5 (P54 ~ P50) ポート (大電流、シンクオープンドレイン出力)

P5 ポートは 5 ビットの入出力ポートで、I²C バス入出力と兼用です。入力ポートまたは I²C バス入出力として用いる場合は、出力ラッチ (P5DR) を "1" にセットします。リセット時、出力ラッチ (P5DR) は "1" に初期化されます。

P5 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P5DR レジスタを、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

P5 ポートに対して P5DR、P5PRD のリード命令を実行した場合、ビット 7~5 は不定値が読み込まれます。

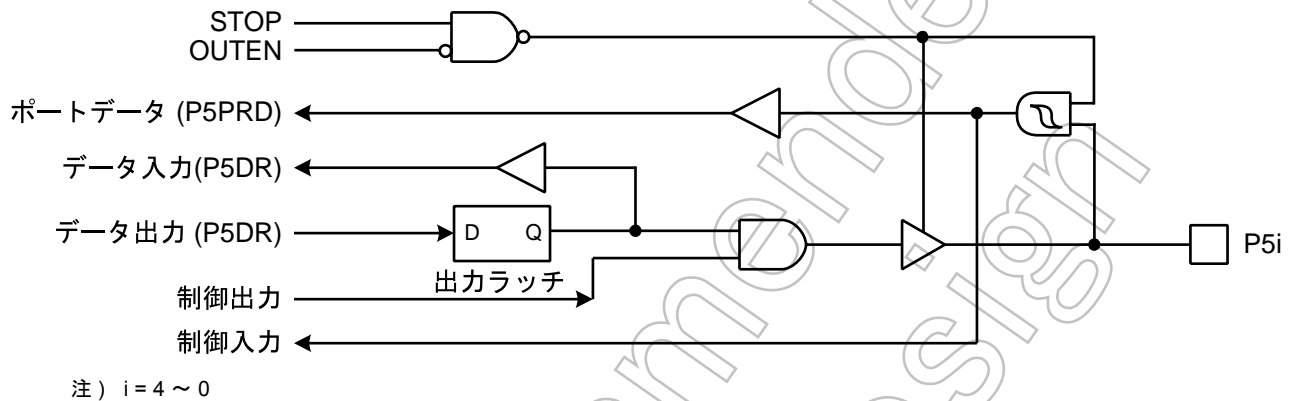
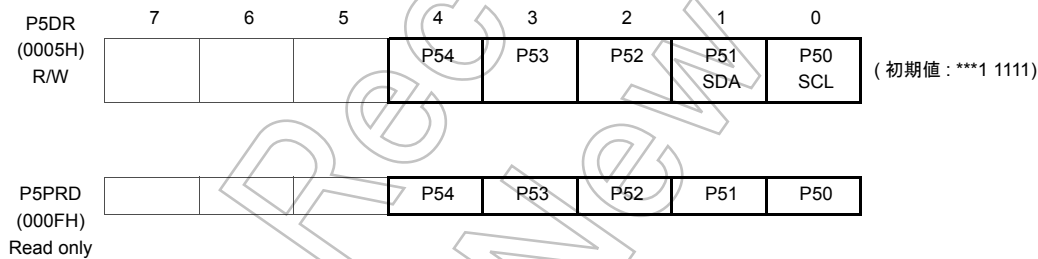


図 5-7 P5 ポート



5.7 P6 (P67 ~ P60) ポート

P6 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。

入出力の指定は、P6 ポート入出力制御レジスタ (P6CR1) と P6 ポート入力制御レジスタ (P6CR2) によって行います。

リセット時、P6CR1 は "0" に、P6CR2 は "1" に初期化され、P6 ポートは入力モードとなります。また、P6 ポート出力ラッチは "0" に初期化されます。

出力ポートとして使用する場合は、P6CR1 の対応するビットを "1" に設定します。

入力ポートとして使用する場合は、P6CR1 を "0" に設定した後、P6CR2 を "1" に設定します。

キーオンウェイクアップ入力として使用する場合は、P6CR1 を "0" に設定した後、STOPKEN を "1" に設定します。

アナログ入力として使用する場合は、P6CR1 を "0" に設定した後、P6CR2 を "0" に設定します。

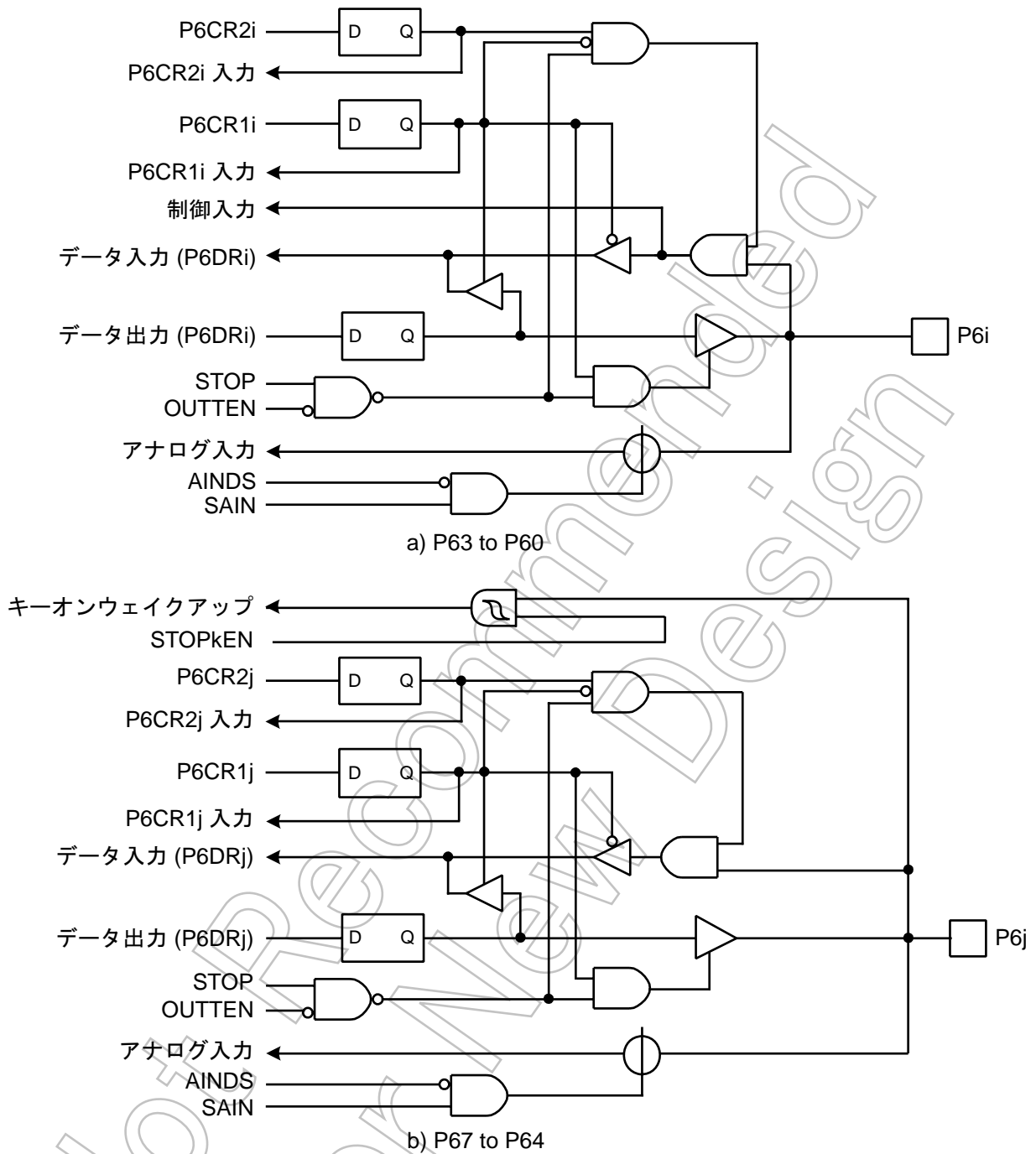
P6CR1 が "1" に設定されている場合、P6DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

表 5-4 各機能別のレジスタ設定値

| 機能 | 設定値 | | | |
|---------------|------|-------|-------|---------|
| | P6DR | P6CR1 | P6CR2 | STOPKEN |
| ポート入力 | * | "0" | "1" | * |
| キーオンウェイクアップ入力 | * | "0" | * | "1" |
| アナログ入力 | * | "0" | "0" | * |
| ポート "0" 出力 | "0" | "1" | * | * |
| ポート "1" 出力 | "1" | "1" | * | * |

表 5-5 各レジスタ設定による P6DR の読み出し値

| 条件 | | P6DR の読み出し値 |
|-------|-------|-------------|
| P6CR1 | P6CR2 | |
| "0" | "0" | "0" |
| "0" | "1" | 端子の状態 |
| "1" | "0" | 出力ラッチの内容 |
| | "1" | |



- 注 1) $i=3 \sim 0, j=7 \sim 4, k=3 \sim 0$
- 注 2) STOP は SYSCR1 のビット 7
- 注 3) SAIN は AD 入力選択信号
- 注 4) STOPKEN はキーオンウェイクアップ機能での入力選択信号

図 5-8 P6 ポート

| | | | | | | | | | |
|------------------------|----------------------|----------------------|----------------------|----------------------|-------------|-------------|-------------|-------------|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| P6DR (0006H) R/W | P67 AIN7 STOP3 | P66 AIN6 STOP2 | P65 AIN5 STOP1 | P64 AIN4 STOP0 | P63 AIN3 | P62 AIN2 | P61 AIN1 | P60 AIN0 | (初期値: 0000 0000) |

| | | | | | | | | | |
|------------------|---|---|---|---|---|---|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| P6CR1 (0F9BH) | | | | | | | | | (初期値: 0000 0000) |

| | | | |
|-------|---------------------------|--|-----|
| P6CR1 | P6 ポートの入出力制御 (各ビット単位で指定)) | 0: 入力モードまたはアナログ入力 / キーオンウェイクアップ入力 1: 出力モード | R/W |
|-------|---------------------------|--|-----|

| | | | | | | | | | |
|------------------|---|---|---|---|---|---|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| P6CR2 (0F9CH) | | | | | | | | | (初期値: 1111 1111) |

| | | | |
|-------|-------------------------|-----------------------|-----|
| P6CR2 | P6 ポートの入力制御 (各ビット単位で指定) | 0: アナログ入力 1: 入力モード | R/W |
|-------|-------------------------|-----------------------|-----|

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注 2) アナログ入出力端子は貫通電流対策のため、必ず P6CR2 の対応するビットを“0”にクリアしてください。
- 注 3) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P6CR1 = “1”)には設定しないでください。
- 注 4) アナログ入力として使用しないポートは、入出力ポートとして使用できます。ただし、A/D 変換中は精度を保つ意味で出力命令を実行しないようにしてください。また、アナログ入力と近接するポートに A/D 変換中、変化の激しい信号を入力しないようにしてください。

Not Recommended for New

5.8 P7 (P77 ~ P70) ポート

P7ポートは1ビット単位で入出力の指定ができる8ビットの入出力ポートで、アナログ入力と兼用です。

入出力の指定は、P7 ポート入出力制御レジスタ (P7CR1) と P7 ポート入力制御レジスタ (P7CR2) によって行います。

リセット時、P7CR1 は "0" に、P7CR2 は "1" に初期化され、P7 ポートは入力モードとなります。また、P7 ポート出力ラッチは "0" に初期化されます。

出力ポートとして使用する場合は、P7CR1 の対応するビットを "1" に設定します。

入力ポートとして使用する場合は、P7CR1 を "0" に設定した後、P7CR2 を "1" に設定します。

アナログ入力として使用する場合は、P7CR1 を "0" に設定した後、P7CR2 を "0" に設定します。

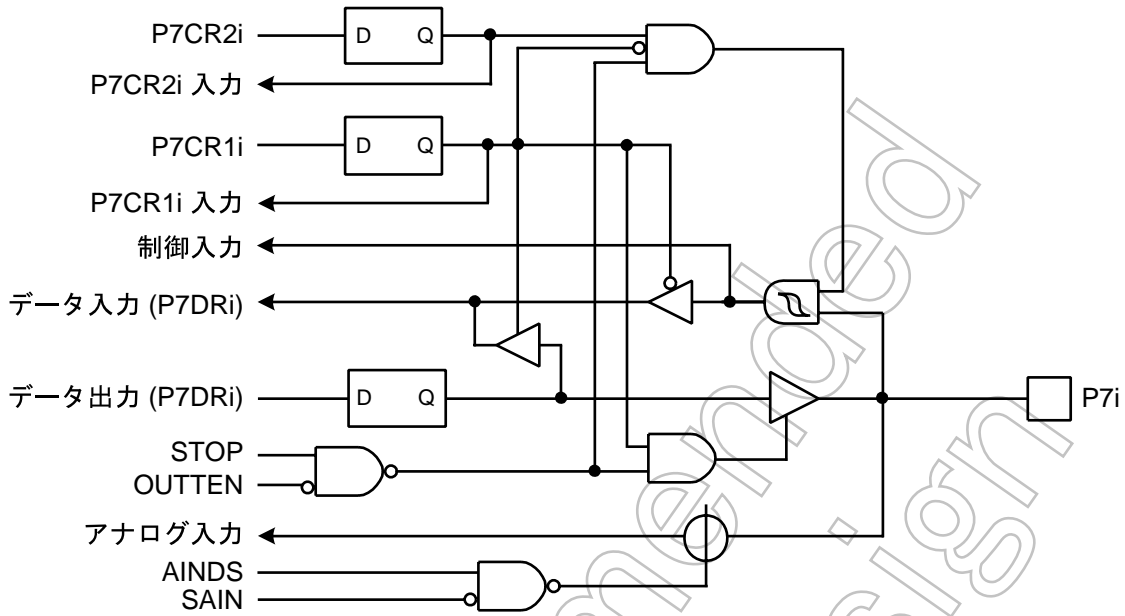
P7CR1 が "1" に設定されている場合、P7DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

表 5-6 各機能別のレジスタ設定値

| 機能 | 設定値 | | |
|------------|------|-------|-------|
| | P7DR | P7CR1 | P7CR2 |
| ポート入力 | * | "0" | "1" |
| アナログ入力 | * | "0" | "0" |
| ポート "0" 出力 | "0" | "1" | * |
| ポート "1" 出力 | "1" | "1" | * |

表 5-7 各レジスタ設定による P7DR の読み出し値

| 条件 | | P7DR の読み出し値 |
|-------|-------|-------------|
| P7CR1 | P7CR2 | |
| "0" | "0" | "0" |
| "0" | "1" | 端子の状態 |
| "1" | "0" | 出力ラッチの内容 |
| | "1" | |



- 注 1) $i = 7 \sim 0$
- 注 2) STOP は SYSCR1 のビット 7
- 注 3) SAIN は AD 入力選択信号

図 5-9 P7 ポート

| | | | | | | | | | |
|------------------------|--------------|--------------|--------------|--------------|--------------|--------------|-------------|-------------|------------------|
| P7DR (0007H) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
| | P77 AIN15 | P76 AIN14 | P75 AIN13 | P74 AIN12 | P73 AIN11 | P72 AIN10 | P71 AIN9 | P70 AIN8 | |

| | | | | | | | | | |
|------------------|---|---|---|---|---|---|---|---|------------------|
| P7CR1 (0F9DH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
|------------------|---|---|---|---|---|---|---|---|------------------|

| | | | |
|-------|--------------------------|-------------------------------|-----|
| P7CR1 | P7 ポートの入出力制御 (各ビット単位で指定) | 0: 入力モードまたはアナログ入力 1: 出力モード | R/W |
|-------|--------------------------|-------------------------------|-----|

| | | | | | | | | | |
|------------------|---|---|---|---|---|---|---|---|------------------|
| P7CR2 (0F9EH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
|------------------|---|---|---|---|---|---|---|---|------------------|

| | | | |
|-------|-------------------------|-----------------------|-----|
| P7CR2 | P7 ポートの入力制御 (各ビット単位で指定) | 0: アナログ入力 1: 入力モード | R/W |
|-------|-------------------------|-----------------------|-----|

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合は、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注 2) アナログ入出力端子は貫通電流対策のため、必ず P7CR2 の対応するビットを "0" にクリアしてください。
- 注 3) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P7CR1 = "1") には設定しないでください。
- 注 4) アナログ入力として使用しないポートは、入出力ポートとして使用できます。ただし、A/D 変換中は精度を保つ意味で出力命令を実行しないようにしてください。また、アナログ入力と近接するポートに A/D 変換中、変化の激しい信号を入力しないようにしてください。

Not Recommended
for New Design

第6章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

6.1 ウォッチドッグタイマの構成

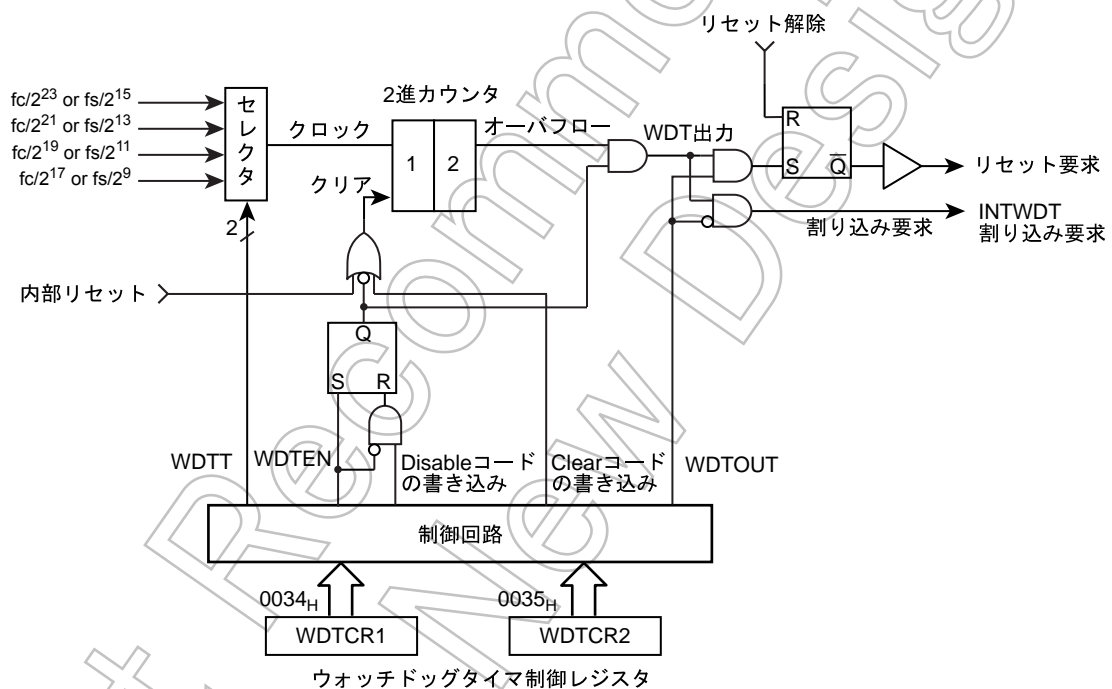


図 6-1 ウォッチドッグタイマの構成

6.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTTCR1、WDTTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

6.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEPモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEPモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ;2進カウンタのクリア
LD      (WDTCR1), 00001101B    ;WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
:
:                               ;WDTT 変更直前直後は必ずクリア; します)
:
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
:
LD      (WDTCR2), 4EH          ;2進カウンタのクリア

```

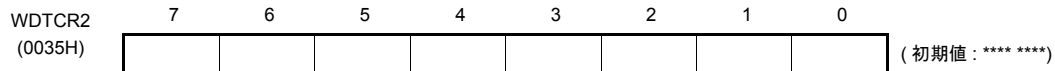
ウォッチドッグタイマ制御レジスタ

| | | | | | | | | |
|-------------------|---|---|--------|---------|-------|------|--------|------------------|
| WDTCR1 (0034H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | (ATAS) | (ATOUT) | WDTEN | WDTT | WDTOUT | (初期値: **11 1001) |

| | | | | | | |
|--------|------------------------------|------------------------------------|-------------|-------------|------------|-------------|
| WDTEN | ウォッチドッグタイマの許可/禁止 | 0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) | | | Write only | |
| WDTT | ウォッチドッグタイマ検出時間の設定 単位: [s] | NORMAL1/2 モード | | | Write only | |
| | | | DV7CK = 0 | DV7CK = 1 | | SLOW1/2 モード |
| | | 00 | $2^{25}/fc$ | $2^{17}/fs$ | | $2^{17}/fs$ |
| | | 01 | $2^{23}/fc$ | $2^{15}/fs$ | | $2^{15}/fs$ |
| | 10 | $2^{21}/fc$ | $2^{13}/fs$ | $2^{13}/fs$ | | |
| | 11 | $2^{19}/fc$ | $2^{11}/fs$ | $2^{11}/fs$ | | |
| WDTOUT | ウォッチドッグタイマ出力の選択 | 0: 割り込み要求 1: リセット要求 | | | Write only | |

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



| | | | | |
|--------|----------------------|------|--------------------------------|------------|
| WDTCR2 | ウォッチドッグタイマの制御コード書き込み | 4EH: | ウォッチドッグタイマの2進カウンタのクリア (クリアコード) | Write only |
| | | B1H: | ウォッチドッグタイマのディセーブル (ディセーブルコード) | |
| | | D2H: | アドレストラップ領域選択有効 | |
| | | その他 | 無効 | |

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

| WDTT | ウォッチドッグタイマ検出時間 [S] | | |
|------|--------------------|-----------|----------|
| | NORMAL 1/2 モード | | SLOW モード |
| | DV7CK = 0 | DV7CK = 1 | |
| 00 | 2.097 | 4 | 4 |
| 01 | 524.288 m | 1 | 1 |
| 10 | 131.072 m | 250 m | 250 m |
| 11 | 32.768 m | 62.5 m | 62.5 m |

6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 083FH          ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

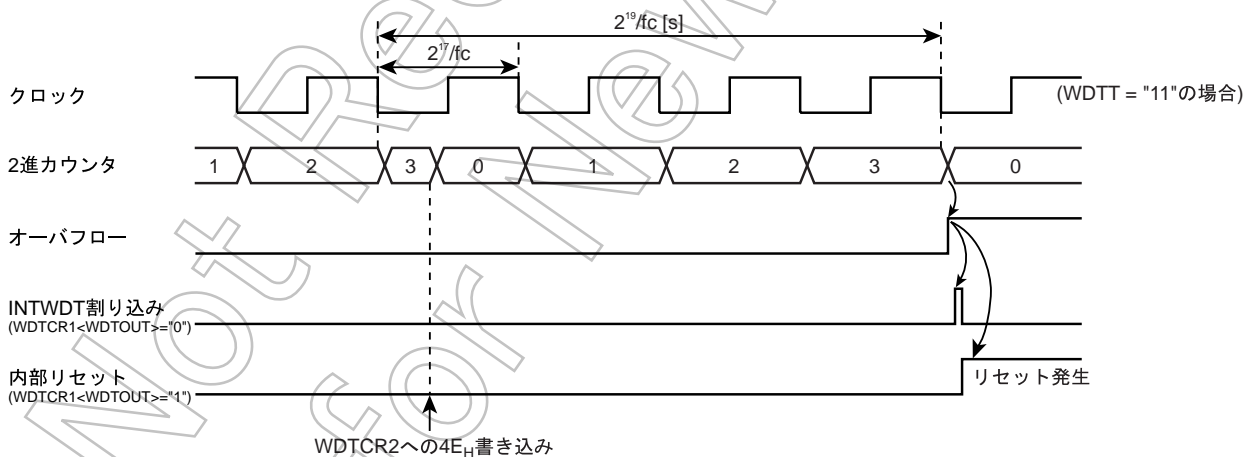


図 6-2 ウォッチドッグタイマ割り込み / リセット

6.3 アドレスラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレスラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

| | | | | | | | | | |
|-------------------|---|---|------|-------|---------|--------|----------|---|------------------|
| WDTCR1 (0034H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: **11 1001) |
| | — | — | ATAS | ATOUT | (WDTEN) | (WDTT) | (WDTOUT) | | |

| | | | | |
|-------|---------------------|----|--|------------|
| ATAS | 内蔵 RAM 領域のアドレスラップ選択 | 0: | アドレスラップ発生しない | Write only |
| | | 1: | アドレスラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり) | |
| ATOUT | アドレスラップ発生時の動作選択 | 0: | 割り込み要求 | Write only |
| | | 1: | リセット要求 | |

ウォッチドッグタイマ制御レジスタ 2

| | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|---------------|
| WDTCR2 (0035H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: **** *) |
| | | | | | | | | | |

| | | | | |
|--------|--|------|-----------------------------------|------------|
| WDTCR2 | ウォッチドッグタイマの制御コード書き込み兼 アドレスラップ領域選択の制御コード書き込み | D2H: | アドレスラップ領域選択有効 (ATRAP 設定コード) | Write only |
| | | 4EH: | ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) | |
| | | B1H: | ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) | |
| | | その他: | 無効 | |

6.3.1 内蔵 RAM 領域のアドレスラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレスラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレスラップが発生します。

6.3.2 アドレスラップ発生時の動作選択 (ATOUT)

アドレスラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

6.3.3 アドレスラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするときアドレスラップ割り込み要求 (INTATRAP) が発生します。

アドレスラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスタリングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

6.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ $fc = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/fc$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

第7章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

7.1 タイムベースタイマ

7.1.1 構成

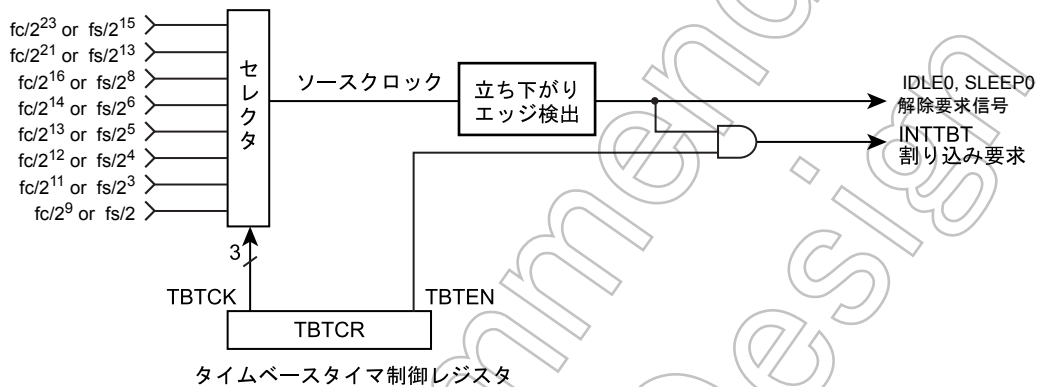


図 7-1 タイムベースタイマの構成

7.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

| | | | | | | | | | |
|---------------|---------|---------|---------|-------|--------|---|---|---|-------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| TBTCR (0036H) | (DVOEN) | (DVOCK) | (DV7CK) | TBTEN | TBTCCK | | | | (初期値 : 0000 0000) |

| TBTCCK | タイムベースタイマの 許可 / 禁止 | 0: ディセーブル 1: イネーブル | | | R/W |
|--------|-----------------------|------------------------|--------------------|--------------------------|-----|
| | | NORMAL1/2, IDLE1/2 モード | | SLOW1/2, SLEEP1/2 モード | |
| | | DV7CK = 0 | DV7CK = 1 | | |
| 000 | | fc/2 ²³ | fs/2 ¹⁵ | fs/2 ¹⁵ | |
| 001 | | fc/2 ²¹ | fs/2 ¹³ | fs/2 ¹³ | |
| 010 | | fc/2 ¹⁶ | fs/2 ⁸ | — | |
| 011 | | fc/2 ¹⁴ | fs/2 ⁶ | — | |
| 100 | | fc/2 ¹³ | fs/2 ⁵ | — | |
| 101 | | fc/2 ¹² | fs/2 ⁴ | — | |
| 110 | | fc/2 ¹¹ | fs/2 ³ | — | |
| 111 | | fc/2 ⁹ | fs/2 | — | |

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0") で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 7
```

表 7-1 タイムベースタイマ割り込み周波数 (例 : $fc = 16.0$ MHz, $fs = 32.768$ kHz 時)

| TBTCK | タイムベースタイマ割り込み周波数 [Hz] | | |
|-------|------------------------|------------------------|-----------------------|
| | NORMAL1/2, IDLE1/2 モード | NORMAL1/2, IDLE1/2 モード | SLOW1/2, SLEEP1/2 モード |
| | DV7CK = 0 | DV7CK = 1 | |
| 000 | 1.91 | 1 | 1 |
| 001 | 7.63 | 4 | 4 |
| 010 | 244.14 | 128 | — |
| 011 | 976.56 | 512 | — |
| 100 | 1953.13 | 1024 | — |
| 101 | 3906.25 | 2048 | — |
| 110 | 7812.5 | 4096 | — |
| 111 | 31250 | 16384 | — |

7.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

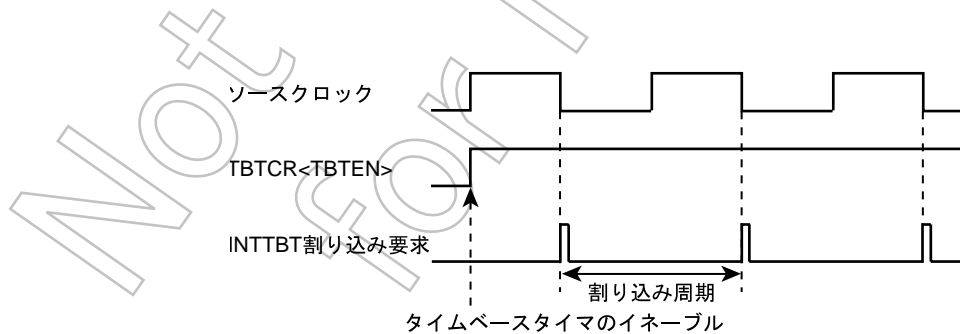


図 7-2 タイムベースタイマ割り込み

7.2 デバイダ出力 (\overline{DVO})

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 \overline{DVO} 端子から出力されます。

7.2.1 構成

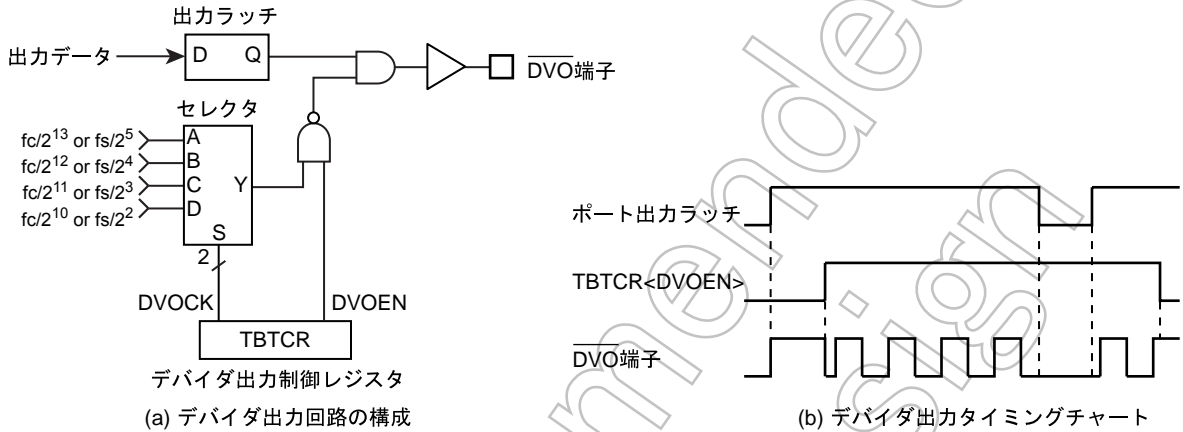


図 7-3 デバイダ出力

7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

| | | | | | | | | | |
|---------------|-------|-------|---------|---------|---|---|---|---------|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| TBTCR (0036H) | DVOEN | DVOCK | (DV7CK) | (TBTEN) | | | | (TBTCK) | (初期値: 0000 0000) |

| | | | | | | |
|-------|--|-----------------------|------------------------|-----------|----------|-----------------------|
| DVOEN | デバイダ出力の許可/禁止 | 0: ディセーブル 1: イネーブル | | | R/W | |
| DVOCK | デバイダ出力 (\overline{DVO} 端子) の周波数選択 単位: [Hz] | | NORMAL1/2, IDLE1/2 モード | | R/W | |
| | | | DV7CK = 0 | DV7CK = 1 | | SLOW1/2, SLEEP1/2 モード |
| | | 00 | $fc/2^{13}$ | $fs/2^5$ | | $fs/2^5$ |
| | | 01 | $fc/2^{12}$ | $fs/2^4$ | | $fs/2^4$ |
| | | 10 | $fc/2^{11}$ | $fs/2^3$ | | $fs/2^3$ |
| | | 11 | $fc/2^{10}$ | $fs/2^2$ | $fs/2^2$ | |

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0") で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

表 7-2 デバイダ出力の周波数 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

| DVOCK | デバイダ出力の周波数 [Hz] | | |
|-------|------------------------|-----------|--------------------------|
| | NORMAL1/2, IDLE1/2 モード | | SLOW1/2, SLEEP1/2 モード |
| | DV7CK = 0 | DV7CK = 1 | |
| 00 | 1.953 k | 1.024 k | 1.024 k |
| 01 | 3.906 k | 2.048 k | 2.048 k |
| 10 | 7.813 k | 4.096 k | 4.096 k |
| 11 | 15.625 k | 8.192 k | 8.192 k |

8.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

| | | | | | | | | | | | | | | | | |
|--------------------------|---|----|----|----|----|----|---|---|--|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TC1DRA (0011H, 0010H) | TC1DRAH (0011H) (初期値: 1111 1111 1111 1111) | | | | | | | | TC1DRAL (0010H) Read/Write | | | | | | | |
| TC1DRB (0013H, 0012H) | TC1DRBH (0013H) (初期値: 1111 1111 1111 1111) | | | | | | | | TC1DRBL (0012H) Read/Write (PPG 出力モード時のみ Write 可) | | | | | | | |

タイマカウンタ 1 制御レジスタ

| | | | | | | | | |
|------------------|------|----------------------------------|------|-------|------|--------------------------------|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TC1CR (0026H) | TFF1 | ACAP1 MCAP1 METT1 MPPG1 | TC1S | TC1CK | TC1M | Read/Write (初期値: 0000 0000) | | |

| | | | | | | | | | |
|---|---------------------------------------|---|-------------------|-----------|----------|-----------|------|-----------------------|-----|
| TFF1 | タイマ F/F1 制御 | 0: クリア | 1: セット | R/W | | | | | |
| ACAP1 | 自動キャプチャ制御 | 0: 自動キャプチャディセーブル | 1: 自動キャプチャイネーブル | R/W | | | | | |
| MCAP1 | パルス幅測定モード制御 | 0: 両エッジキャプチャ | 1: 片エッジキャプチャ | | | | | | |
| METT1 | 外部トリガタイマモード制御 | 0: トリガスタート | 1: トリガスタート & ストップ | R/W | | | | | |
| MPPG1 | PPG 出力制御 | 0: 連続 | 1: 単発 | | | | | | |
| TC1S | タイマカウンタ 1 の スタート制御 | | タイマ | 外部 | イベ ント | ウイン ドウ | パルス | PPG | R/W |
| | | 00: ストップ & カウンタクリア | ○ | ○ | ○ | ○ | ○ | ○ | |
| | | 01: コマンドスタート | ○ | - | - | - | - | ○ | |
| | | 10: 立ち上がりエッジスタート (外部トリガ / パルス / PPG) 立ち上がりエッジカウント (イベント) 正論理カウント (ウィンドウ) | - | ○ | ○ | ○ | ○ | ○ | |
| 11: 立ち下がりエッジスタート (外部トリガ / パルス / PPG) 立ち下がりエッジカウント (イベント) 負論理カウント (ウィンドウ) | - | ○ | ○ | ○ | ○ | ○ | | | |
| TC1CK | タイマカウンタ 1 の ソースクロックの選択 単位: [Hz] | NORMAL 1/2, IDLE 1/2 モード | | | | | デバイダ | SLOW, SLEEP モード | R/W |
| | | DV7CK = 0 | | DV7CK = 1 | | | | | |
| | | 00 | $fc/2^{11}$ | $fs/2^3$ | | | DV9 | $fs/2^3$ | |
| | | 01 | $fc/2^7$ | $fc/2^7$ | | | DV5 | - | |
| 10 | $fc/2^3$ | $fc/2^3$ | | | DV1 | - | | | |
| 11 | 外部クロック (TC1 端子入力) | | | | | | | | |
| TC1M | タイマカウンタ 1 の 動作モードの選択 | 00: タイマ / 外部トリガタイマ / イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード | | | | | | | R/W |

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイムスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。
- 注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

8.3 機能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

8.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック1周期以上の時間が経過した後に行ってください。

表 8-1 タイマカウンタ1の内部ソースクロック (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

| TC1CK | NORMAL1/2, IDLE1/2 モード | | | | SLOW, SLEEP モード | |
|-------|--------------------------|----------------|--------------------------|----------------|--------------------------|----------------|
| | DV7CK = 0 | | DV7CK = 1 | | 分解能 [μs] | 最大設定 時間 [s] |
| | 分解能 [μs] | 最大設定 時間 [s] | 分解能 [μs] | 最大設定 時間 [s] | | |
| 00 | 128 | 8.39 | 244.14 | 16.0 | 244.14 | 16.0 |
| 01 | 8.0 | 0.524 | 8.0 | 0.524 | - | - |
| 10 | 0.5 | 32.77 m | 0.5 | 32.77 m | - | - |

(プログラム例1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 16 \text{ MHz}$, $\text{TBTCR} < \text{DV7CK} > = \text{"0"}$ 時)

LDW (TC1DRA), 1E84H ; タイマレジスタの設定 ($1 \text{ s} \div 2^{11}/f_c = 1\text{E}84\text{H}$)

DI ; IMF = "0"

SET (EIRL), 5 ; INTTC1 割り込みを許可

EI ; IMF = "1"

LD (TC1CR), 00000000B ; ソースクロック, モード選択

LD (TC1CR), 00010000B ; TC1 スタート

(プログラム例2) 自動キャプチャ

LD (TC1CR), 01010000B ; ACAP1 \leftarrow 1

: : :

LD WA, (TC1DRB) ; キャプチャ値の読み出し

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック1周期以上の時間が経過した後に行ってください。

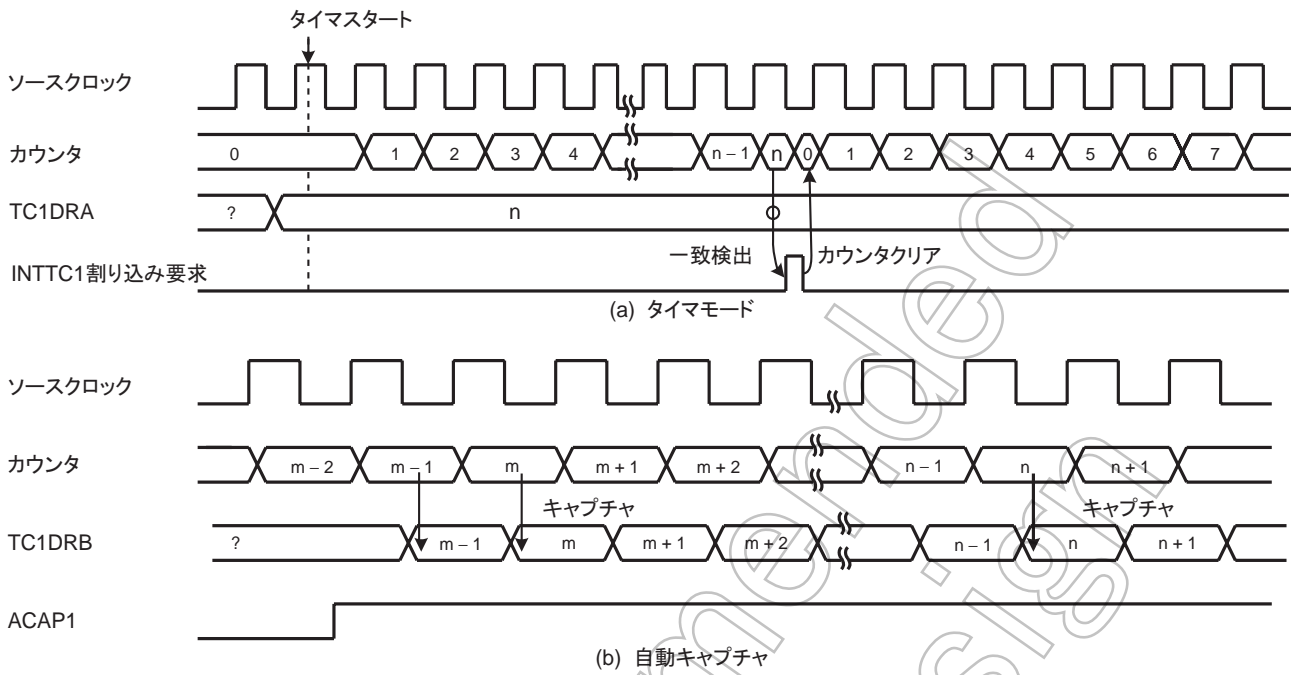


図 8-2 タイマモードタイミングチャート

8.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC1CR<METT1> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC1CR<METT1> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/f_c$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/f_c$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

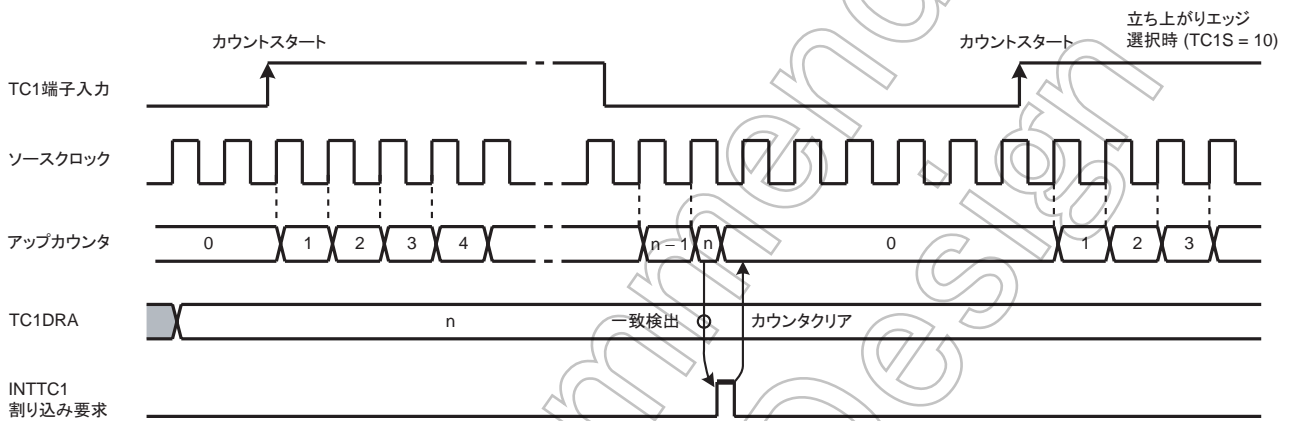
(プログラム例1) TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。

($f_c = 16 \text{ MHz}$ 時)

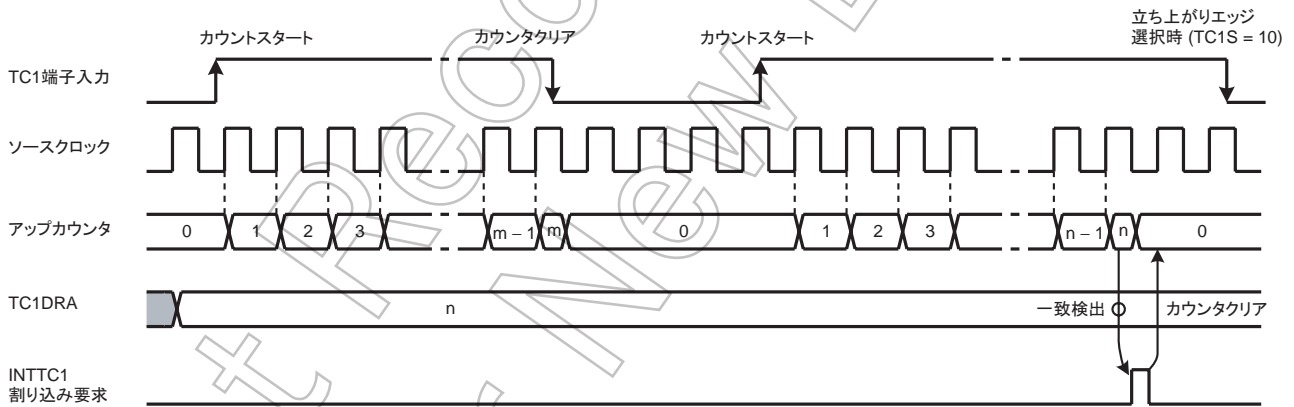
| | | |
|-----|--------------------|--|
| LDW | (TC1DRA), 007DH | ; $1\text{ms} \div 2^7/f_c = 7\text{DH}$ |
| DI | | ; IMF=“0” |
| SET | (EIRL), 5 | ; INTTC1 割り込み許可 |
| EI | | ; IMF=“1” |
| LD | (TC1CR), 00000100B | ; ソースクロック, モード選択 |
| LD | (TC1CR), 00100100B | ; TC1 外部トリガスタート, METT1=0 |

(プログラム例2) TC1 端子に“L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

| | | |
|-----|--------------------|------------------------------------|
| LDW | (TC1DRA), 01F4H | ; 4 ms ÷ 2 ⁷ /fc = 1F4H |
| DI | | ; IMF="0" |
| SET | (EIRL), 5 | ; INTTC1 割り込み許可 |
| EI | | ; IMF="1" |
| LD | (TC1CR), 00000100B | ; ソースクロック, モード選択 |
| LD | (TC1CR), 01110100B | ; TC1 外部トリガスタート, METT1=1 |



(a) トリガスタート (METT1 = 0)



(b) トリガスタート&ストップ (METT1 = 1)

注) m < n

図 8-3 外部トリガタイマモードタイミングチャート

8.3.3 イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを続けます。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1> を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

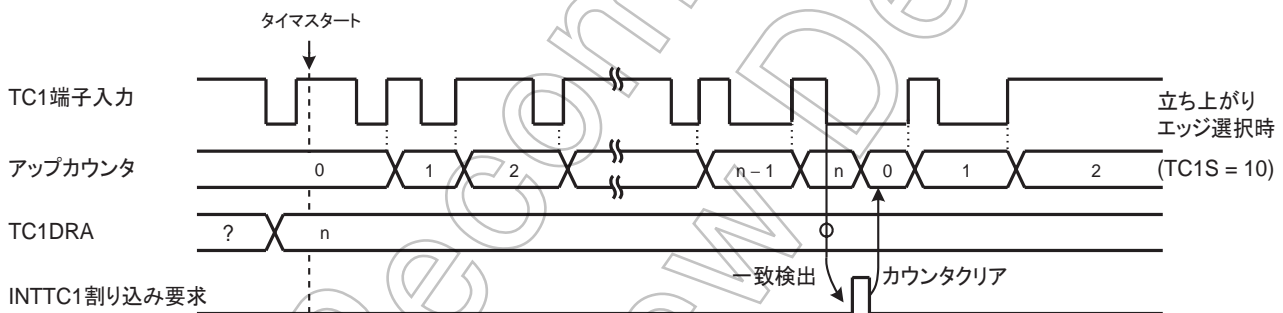


図 8-4 イベントカウンタモード タイミングチャート

表 8-2 タイマカウンタ 1 端子への入力パルス幅

| | 最小パルス幅 [s] | |
|-------|------------------------|-----------------------|
| | NORMAL1/2, IDLE1/2 モード | SLOW1/2, SLEEP1/2 モード |
| “H” 幅 | $2^3/f_c$ | $2^3/f_s$ |
| “L” 幅 | $2^3/f_c$ | $2^3/f_s$ |

8.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC1CR<TC1S>によって正論理(Hレベルの期間カウントアップ)または負論理(Lレベルの期間カウントアップ)の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC1CR<TC1CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

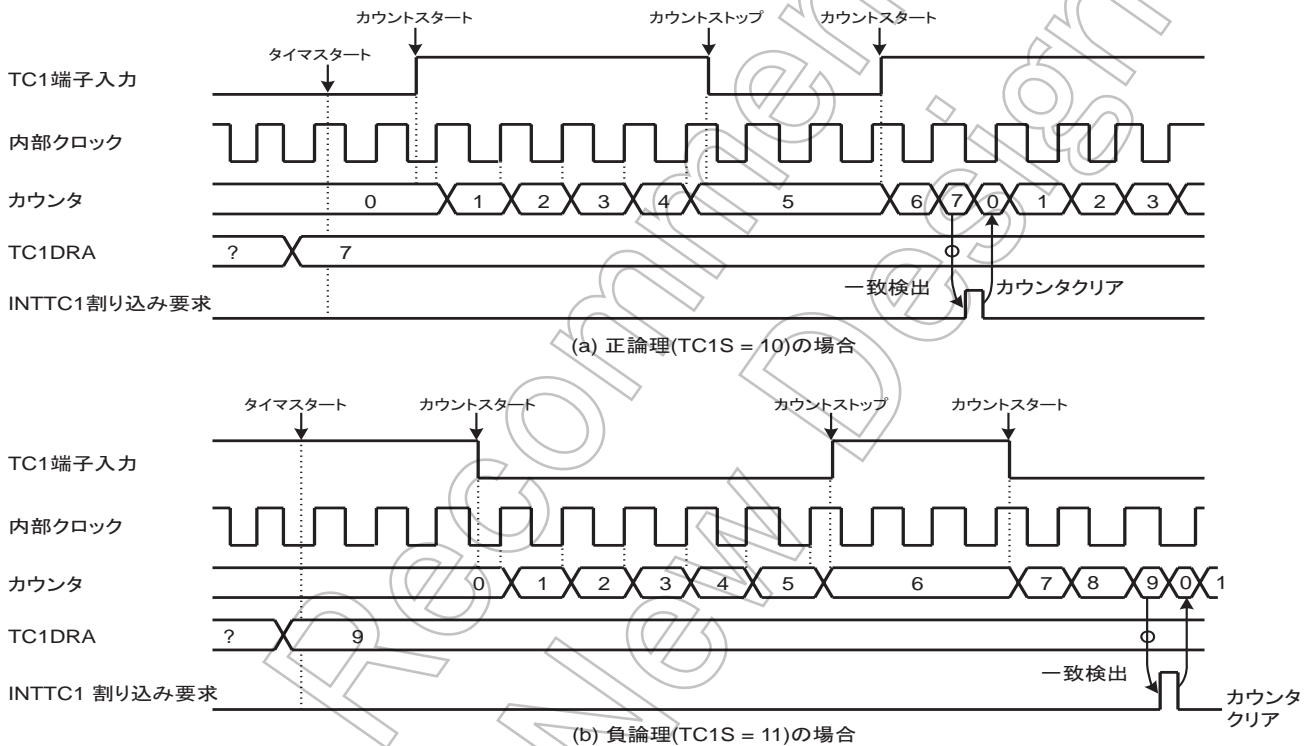


図 8-5 ウィンドウモード タイミングチャート

8.3.5 パルス幅測定モード

パルス幅測定モードは、TC1端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1>によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC1CR<MCAP1>= “1” (片エッジキャプチャ)の場合

HレベルまたはLレベルのいずれか一方の入力パルス幅を測定することができます。Hレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC1CR<MCAP1>= “0” (両エッジキャプチャ)の場合

Hレベルと周期、またはLレベルと周期のいずれかの入力パルス幅を測定することができます。Hレベルと周期を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルと周期を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

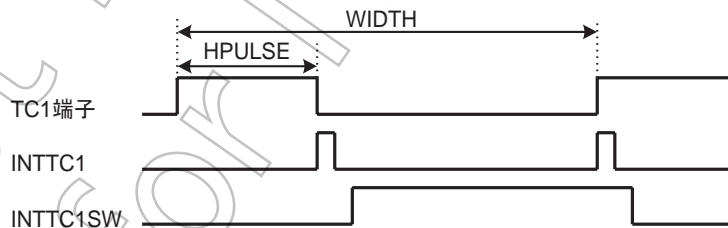
- 注1) キャプチャ値は、次のトリガエッジが検出されるまでにTC1DRBから必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このときTC1DRBは、16ビットアクセス命令による読み出しを推奨します。
- 注2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで“1”で停止するため、2回目のキャプチャ値は、スタート直後のキャプチャ値よりも“1”大きくなります。
- 注3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の1回目のキャプチャ値は読み捨ててください。

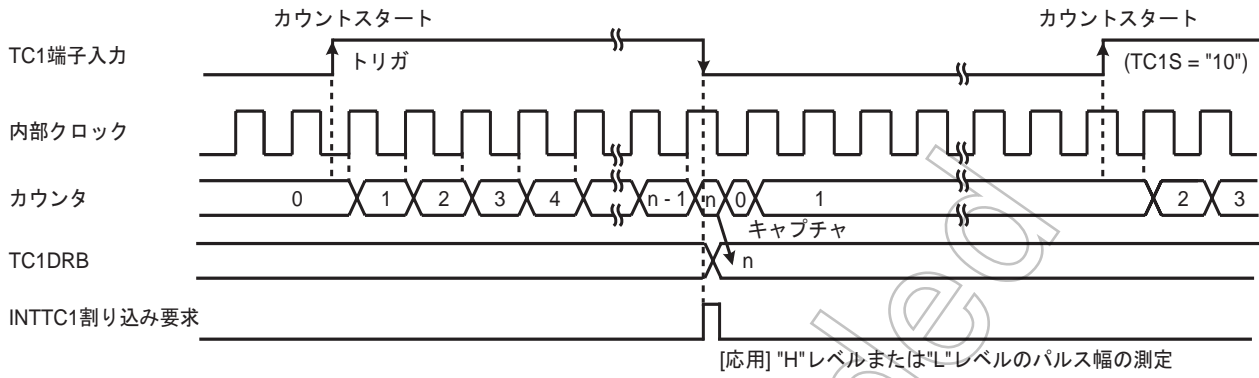
(プログラム例) デューティの測定。(分解能 $fc/2^7$ [Hz] 時)

```

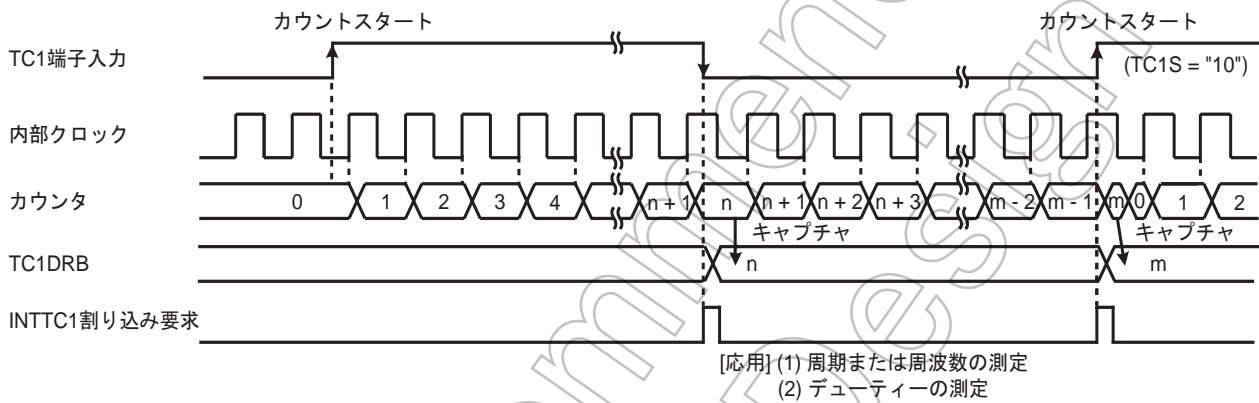
CLR      (INTTC1SW). 0      ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                                INTTC1 ごとに反転するように設定したアドレス

LD       (TC1CR), 00000110B ; TC1 のモード, ソースクロックを設定
DI       ; IMF="0"
SET     (EIRL). 5          ; INTTC1 割り込みを許可。
EI       ; IMF="1"
LD       (TC1CR), 00100110B ; MCAP1 = 0 で TC1 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC1SW). 0 ; INTTC1 割り込み, INTTC1 のサービススイッチの
                                反転 / テスト
JRS     F, SINTTC1
LD      A, (TC1DRBL)        ; TC1DRB の読み出し ("H" レベルパルス幅)
LD      W,(TC1DRBH)
LD      (HPULSE), WA        ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD      A, (TC1DRBL) ; TC1DRB の読み出し (周期)
LD      W,(TC1DRBH)
LD      (WIDTH), WA        ; 周期を RAM に格納
:
RETI    ; デューティ計算
:
VINTTC1: DW      PINTTC1    ; INTTC1 割り込みベクタ設定
    
```





(a) 片エッジキャプチャ (MCAP1 = "1")



(b) 両エッジキャプチャ (MCAP1 = "0")

図 8-6 パルス幅測定モード

8.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S> によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC1CR<MPPG1>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC1S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC1CR<MPPG1>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC1CR<TEF1> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1> を "0" に、L レベルに設定する場合は TC1CR<TFF1> を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1> はタイマ動作中に変更しないでください。TC1CR<TFF1> は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1> は正しく設定することができなくなります (このとき TC1CR<TFF1> を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M> を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800 μ s, “L” レベル 200 μ s のパルスを出力。(fc = 16 MHz 時)

ポートを設定する

```
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW    (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

ポートを設定する

```
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW    (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
:      :
LD      (TC1CR), 10000111B     ; タイマストップ
LD      (TC1CR), 10000100B     ; タイマモードに設定
LD      (TC1CR), 00000111B     ; PPG 出力モード、TFF1=0 に設定
LD      (TC1CR), 00010111B     ; タイマスタート
```

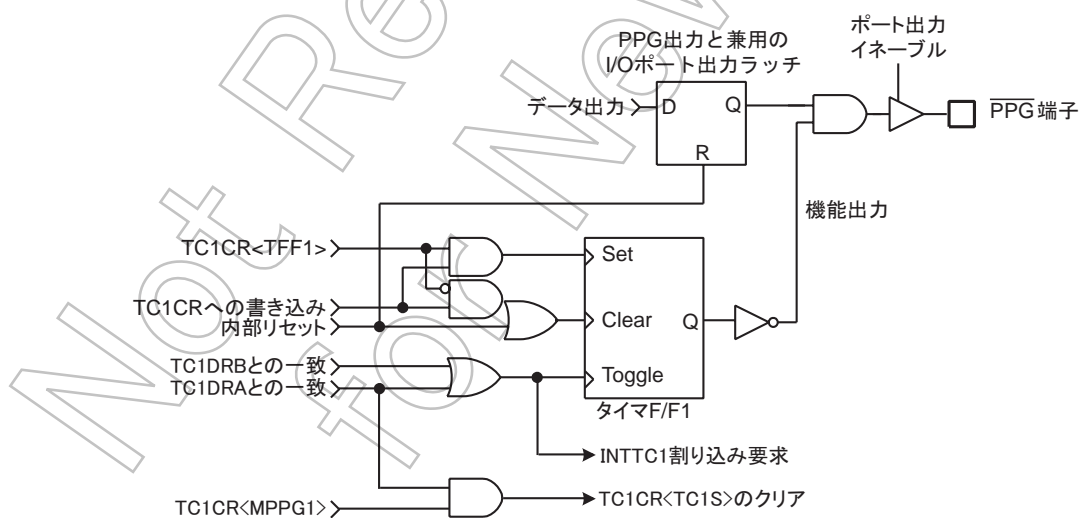


図 8-7 PPG 出力

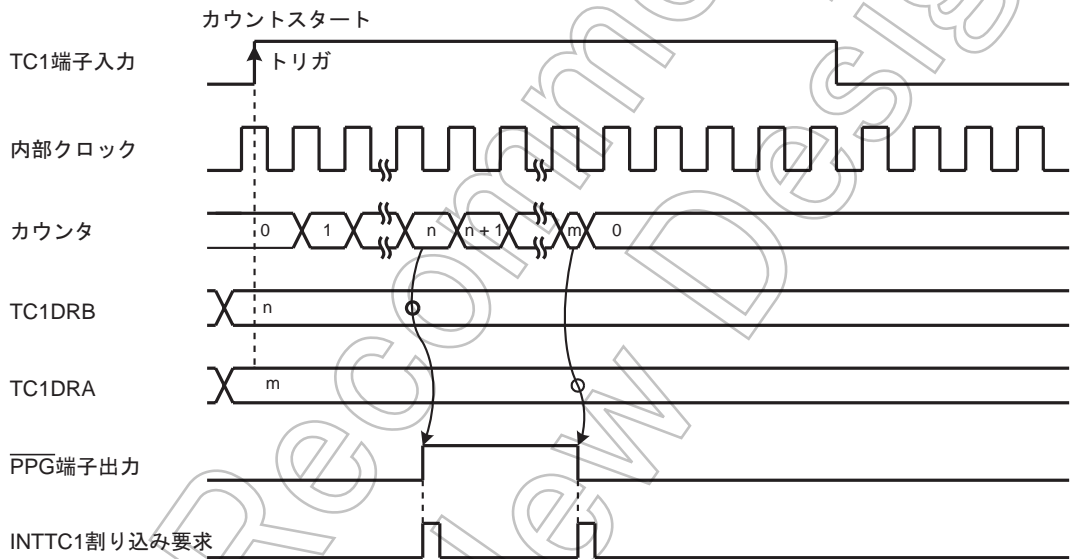
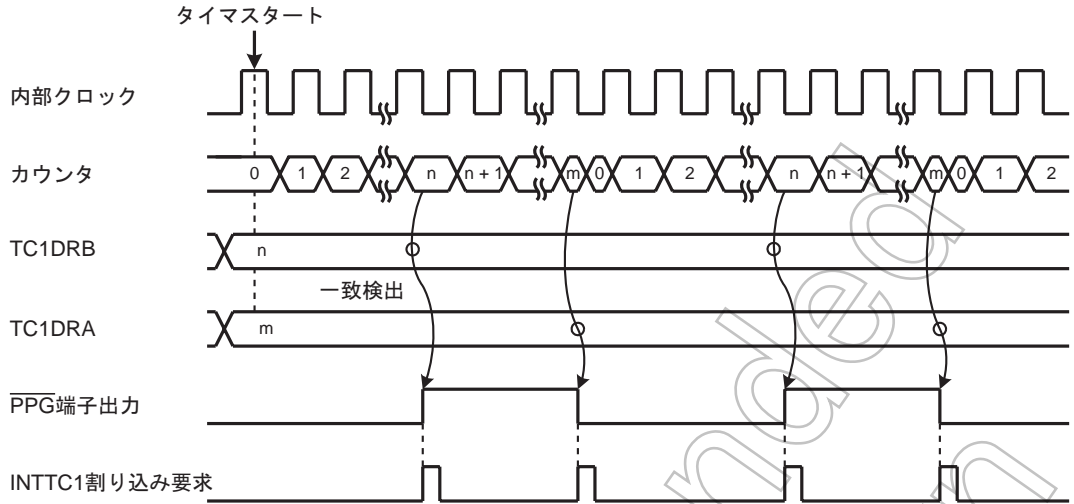
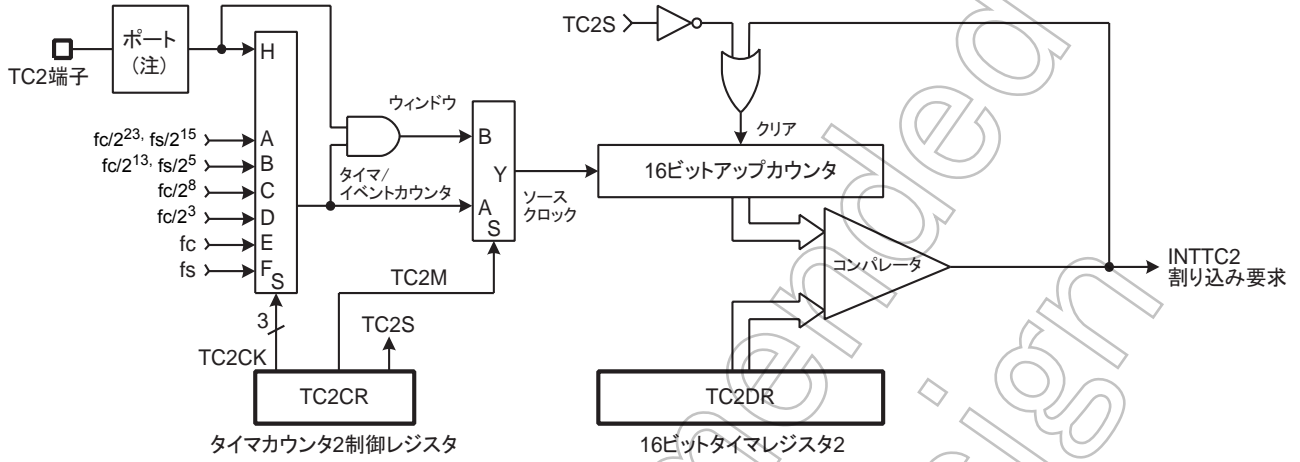


図 8-8 PPG 出力モード タイミングチャート

Not Recommended
for New Design

第9章 16ビットタイマカウンタ2 (TC2)

9.1 構成

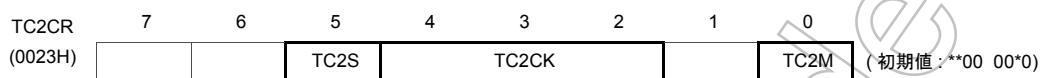
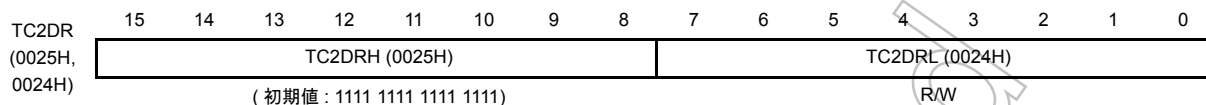


注) I/Oポートの設定によっては、制御入力機能が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 9-1 タイマカウンタ 2 (TC2)

9.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TC2DR) で制御されます。



| TC2S | タイマカウンタ2の スタート制御 | 0: ストップ & カウンタクリア 1: スタート | | | | | R/W | |
|-------|-------------------------------------|-----------------------------------|-------------|-------------|----------------|-----------------|-----|-------------|
| TC2CK | タイマカウンタ2の ソースクロックの選択 単位: [Hz] | NORMAL1/2, IDLE1/2 モード | | デバイダ | SLOW1/2 モード | SLEEP1/2 モード | R/W | |
| | | DV7CK = 0 | DV7CK = 1 | | | | | |
| | | 000 | $fc/2^{23}$ | $fs/2^{15}$ | DV21 | $fs/2^{15}$ | | $fs/2^{15}$ |
| | | 001 | $fc/2^{13}$ | $fs/2^5$ | DV11 | $fs/2^5$ | | $fs/2^5$ |
| | | 010 | $fc/2^8$ | $fc/2^8$ | DV6 | - | | - |
| | | 011 | $fc/2^3$ | $fc/2^3$ | DV1 | - | | - |
| | | 100 | - | - | - | fc (注1) | | - |
| | | 101 | fs | fs | - | - | | - |
| 110 | Reserved | | | | | | | |
| 111 | 外部クロック (TC2 端子入力) | | | | | | | |
| TC2M | タイマカウンタ2の 動作モードの選択 | 0: タイマ/イベントカウンタモード 1: ウィンドウモード | | | | | R/W | |

注1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注2) タイマレジスタ2 (TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側だけの書き込みでは、設定値は反映されません。

注3) タイマレジスタ2 (TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。

注4) モード、ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC2DR > 1 (ウォームアップのときは TC2DR₁₅ ~ TC2DR₁₁ > 1)

注6) TC2CR にリード命令を実行すると、ビット 1, 6, 7 は不定値が読み込まれます。

注7) ソースクロックに fc は、SLOW2 モード時のタイマモードのみ使用することができます。

注8) STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ2を使用する場合は、TC2S を再設定してください。

9.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

またタイマモードでは、ソースクロックとして f_c または f_s を選択すると、SLOW1 モードと NORMAL2 モード間で動作モードを切り替えるとき、発振子が安定するまでのウォーミングアップ時間を生成することができます。

9.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 2 (TC2DR) の設定値との一致で INTTC2 割り込み要求が発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードでソースクロックに f_c を選択すると、TC2DR の下位 11 ビットは比較対象とはならず、上位 5 ビットのみ的一致で INTTC2 割り込み要求が発生します。従ってこの場合、TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表 9-1 タイマカウンタ 2 の内部クロックソース (例: $f_c = 16$ MHz, $f_s = 32.768$ kHz 時)

| TC2CK | NORMAL1/2, IDLE1/2 モード | | | | SLOW1/2 モード | | SLEEP1/2 モード | |
|-------|------------------------|------------|------------|------------|-------------|------------|--------------|------------|
| | DV7CK = 0 | | DV7CK = 1 | | 分解能 | 最大設定時間 | 分解能 | 最大設定時間 |
| | 分解能 | 最大設定時間 | 分解能 | 最大設定時間 | | | | |
| 000 | 524.29 [ms] | 9.54 [h] | 1 [s] | 18.2 [h] | 1 [s] | 18.2 [h] | 1 [s] | 18.2 [h] |
| 001 | 512.0 [μs] | 33.55 [s] | 0.98 [ms] | 1.07 [min] | 0.98 [ms] | 1.07 [min] | 0.98 [ms] | 1.07 [min] |
| 010 | 16.0 [μs] | 1.05 [s] | 16.0 [μs] | 1.05 [s] | - | - | - | - |
| 011 | 0.5 [μs] | 32.77 [ms] | 0.5 [μs] | 32.77 [ms] | - | - | - | - |
| 100 | - | - | - | - | 62.5 [ns] | - | - | - |
| 101 | 30.52 [μs] | 2 [s] | 30.52 [μs] | 2 [s] | - | - | - | - |

注) ソースクロック f_c は SLOW モード時のタイマモードでのみ使用可能です。これは SLOW1 モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

(プログラム例) ソースクロック $f_c/2^3$ [Hz] で、タイマモードにセットし、25 ms ごとに割り込みを発生させる。($f_c = 16$ MHz 時)

```
LDW      (TC2DR), 061AH      ; TC2DR の設定 (25 ms ÷ 28/fc = 061AH)
DI                               ; IMF = "0"
SET      (EIRE), 6           ; INTTC2 割り込みを許可
EI                               ; IMF = "1"
LD       (TC2CR), 00001000B   ; ソースクロック / モード選択
LD       (TC2CR), 00101000B   ; タイマスタート
```

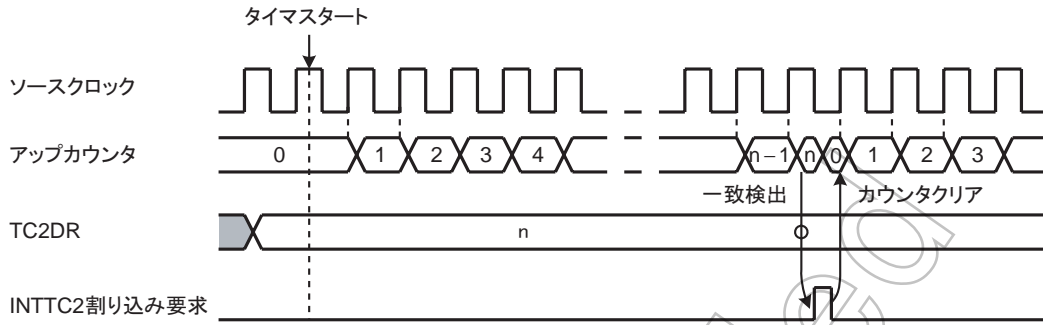



図 9-2 タイマモードタイミングチャート

Not Recommended for New Design

9.3.2 イベントカウンタモード

イベントカウンタモードは、TC2端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC2DR の設定値が一致すると INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC2 端子入力の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC2 端子入力の立ち下がりエッジで行われますので、INTTC2 割り込み要求は、アップカウンタと TC2DR が同値になった後の立ち下がりエッジで発生します。

TC2 端子への最小入力パルス幅は、表 9-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

(プログラム例) イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込み要求を発生させる。

```
LDW      (TC2DR), 640      ; TC2DR の設定
DI       ; IMF="0"
SET      (EIRE), 6        ; INTTC2 割り込みを許可
EI       ; IMF="1"
LD       (TC2CR), 00011100B ; TC2 ソースクロック / モード選択
LD       (TC2CR), 00111100B ; TC2 スタート
```

表 9-2 タイマカウンタ 2 の外部クロックソース

| | 最小パルス幅 | |
|-------|------------------------|-----------------------|
| | NORMAL1/2, IDLE1/2 モード | SLOW1/2, SLEEP1/2 モード |
| “H” 幅 | $2^3/f_c$ | $2^3/f_s$ |
| “L” 幅 | $2^3/f_c$ | $2^3/f_s$ |

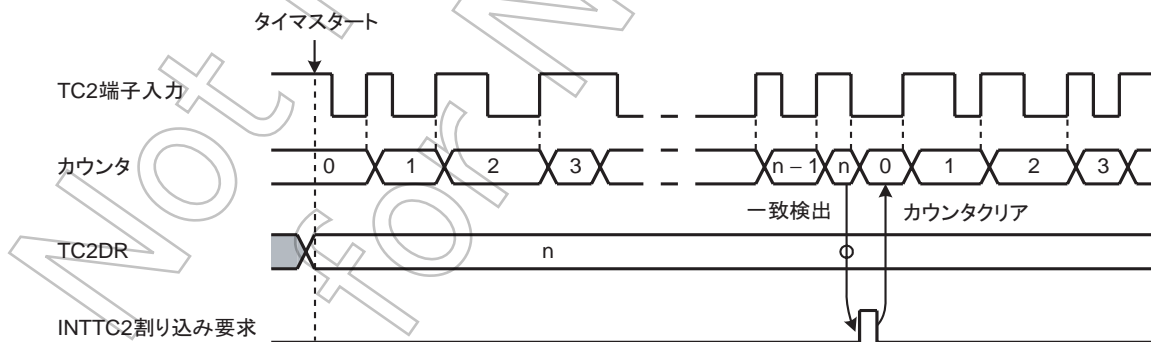


図 9-3 イベントカウンタモードタイミングチャート

9.3.3 ウィンドウモード

ウィンドウモードは、TC2 端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。アップカウンタの値と TC2DR の設定値が一致すると、INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC2CR<TC2CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

注) ウィンドウモードは SLOW/SLEEP モードで動作しませんので、NORMAL モードでウィンドウモードを使用しているときは、SLOW/SLEEP モードを起動する前に TC2CR<TC2S> を “0” に設定してあらかじめタイマカウンタ2を停止してください。

(プログラム例) 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる。
($f_c = 16 \text{ MHz}$, $\text{TBTCR}<\text{DV7CK}> = “0”$ 時)

```
LDW      (TC2DR), 00EAH      ; TC2DR の設定 ( $120 \text{ ms} \div 2^{13}/f_c = 00EAH$ )
DI       ; IMF= “0”
SET      (EIRE), 6          ; INTTC2 割り込みを許可
EI       ; IMF= “1”
LD       (TC2CR), 00000101B ; TC2 ソースクロック / モード選択
LD       (TC2CR), 00100101B ; TC2 スタート
```

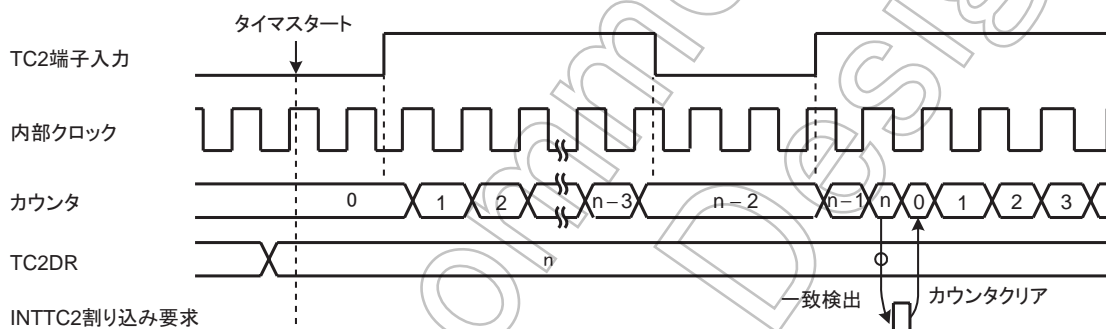


図 9-4 ウィンドウモードタイミングチャート

第 10 章 8 ビットタイマカウンタ (TC3, TC4)

10.1 構成

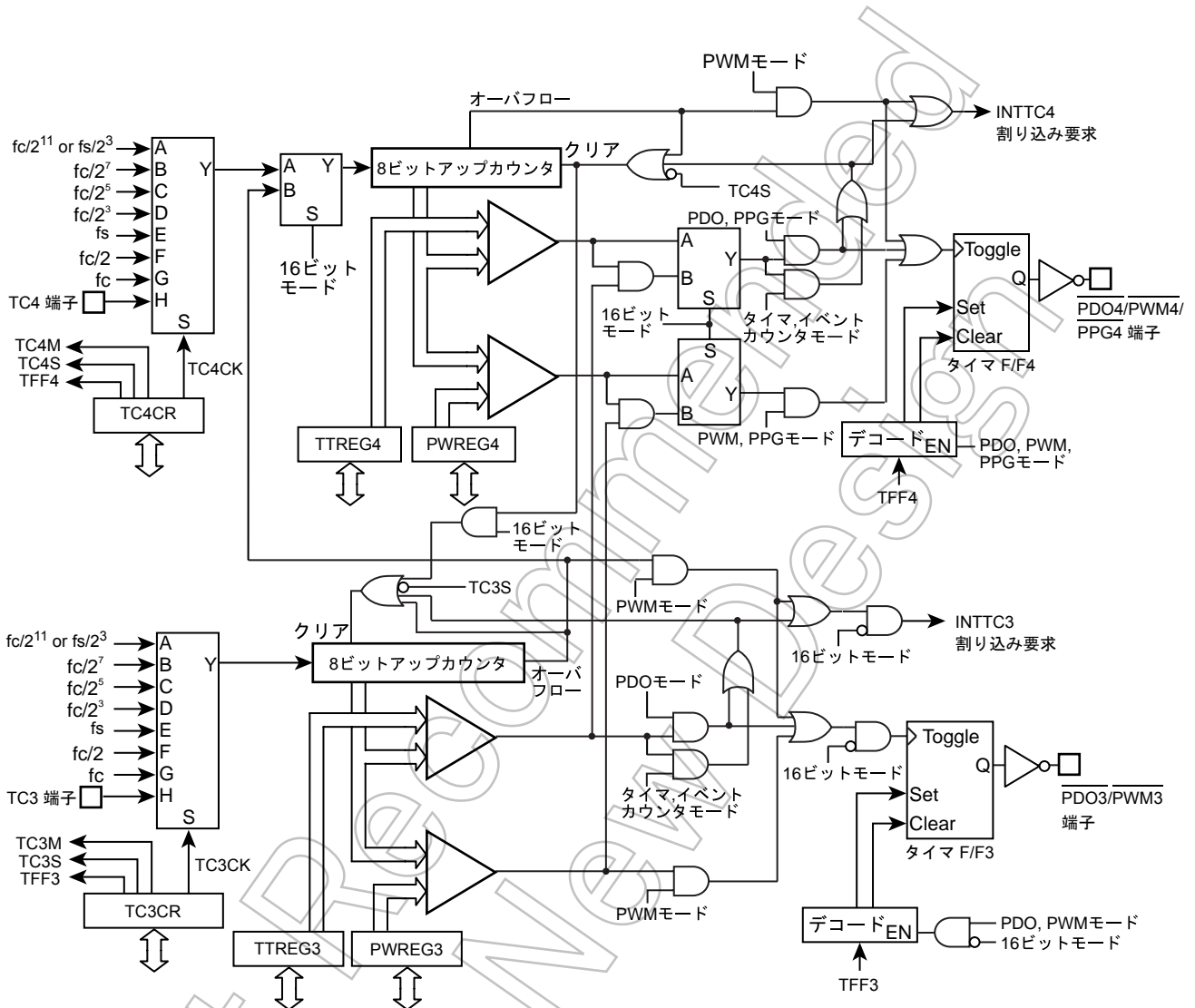


図 10-1 8 ビットタイマカウンタ 3, 4

10.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ 3 のタイマレジスタ

| | | | | | | | | | |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| TTREG3 (0014H) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
| | | | | | | | | | |

| | | | | | | | | | |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| PWREG3 (0018H) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
| | | | | | | | | | |

- 注 1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ 3 制御レジスタ

| | | | | | | | | | |
|------------------|------|-------|---|---|------|------|---|---|------------------|
| TC3CR (0027H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
| | TFF3 | TC3CK | | | TC3S | TC3M | | | |

| TFF3 | タイマ F/F3 の制御 | 0: クリア 1: セット | | | R/W | |
|-------|---------------|--|-------------|------------------------------|-----|----------|
| TC3CK | 動作クロック選択 [Hz] | NORMAL 1/2, IDLE 1/2 モード | | SLOW 1/2 SLEEP 1/2 モード | R/W | |
| | | DV7CK = 0 | | DV7CK = 1 | | |
| | | 000 | $fc/2^{11}$ | $fs/2^3$ | | $fs/2^3$ |
| | | 001 | $fc/2^7$ | $fc/2^7$ | | — |
| | | 010 | $fc/2^6$ | $fc/2^5$ | | — |
| | | 011 | $fc/2^3$ | $fc/2^3$ | | — |
| | | 100 | fs | fs | | fs |
| | | 101 | $fc/2$ | $fc/2$ | | — |
| 110 | fc | fc | fc (注 8) | | | |
| 111 | TC3 端子入力 | | | | | |
| TC3S | タイマスタート制御 | 0: 動作停止 & カウンタクリア 1: 動作開始 | | | R/W | |
| TC3M | 動作モード選択 | 000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1**: Reserved | | | R/W | |

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> にて行い、TC3M は "011" に固定してください。
- 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>, TC4CR<TFF4> にて設定してください。
- 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。

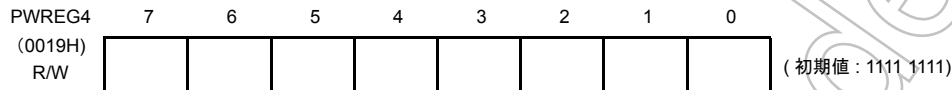
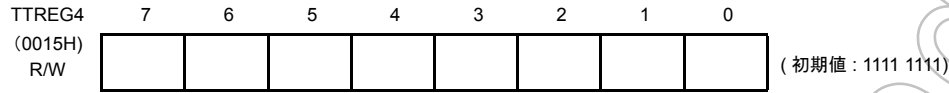
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

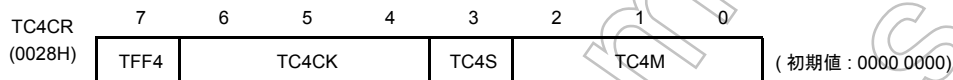
タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ 4 のタイマレジスタ



- 注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ 4 制御レジスタ



| | | | | | | |
|-------|---------------|--------------------------|------------------------------|-----|----------|----------|
| TFF4 | タイマ F/F4 の制御 | 0: | クリア | R/W | | |
| | | 1: | セット | | | |
| TC4CK | 動作クロック選択 [Hz] | NORMAL 1/2, IDLE 1/2 モード | | R/W | | |
| | | DV7CK = 0 | | | | |
| | | DV7CK = 1 | | | | |
| | | 000 | $fc/2^{11}$ | | $fs/2^3$ | $fs/2^3$ |
| | | 001 | $fc/2^7$ | | $fc/2^7$ | — |
| | | 010 | $fc/2^5$ | | $fc/2^5$ | — |
| | | 011 | $fc/2^3$ | | $fc/2^3$ | — |
| | | 100 | fs | | fs | fs |
| 101 | $fc/2$ | $fc/2$ | — | | | |
| 110 | fc | fc | — | | | |
| | | 111 | TC4 端子入力 | | | |
| TC4S | タイマスタート制御 | 0: | 動作停止 & カウンタクリア | R/W | | |
| | | 1: | 動作開始 | | | |
| TC4M | 動作モード選択 | 000: | 8 ビットタイマ / イベントカウンタモード | R/W | | |
| | | 001: | 8 ビットプログラマブルデバイダ出力 (PDO) モード | | | |
| | | 010: | 8 ビットパルス幅変調出力 (PWM) モード | | | |
| | | 011: | Reserved | | | |
| | | 100: | 16 ビットタイマ / イベントカウンタモード | | | |
| | | 101: | ウォーミングアップカウンタモード | | | |
| | | 110: | 16 ビットパルス幅変調出力 (PWM) モード | | | |
| | | 111: | 16 ビット PPG モード | | | |

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注 4) TC4M = 1** のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注 5) 16 ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

Not Recommended
for New Design

表 10-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

| 動作モード | $fc/2^{11}$ or $fs/2^3$ | $fc/2^7$ | $fc/2^5$ | $fc/2^3$ | fs | $fc/2$ | fc | TC3 端子 入力 | TC4 端子 入力 |
|----------------|-------------------------------|----------|----------|----------|----|--------|----|-----------------|-----------------|
| 8 ビットタイマ | ○ | ○ | ○ | ○ | — | — | — | — | — |
| 8 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | ○ |
| 8 ビット PDO | ○ | ○ | ○ | ○ | — | — | — | — | — |
| 8 ビット PWM | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | — |
| 16 ビットタイマ | ○ | ○ | ○ | ○ | — | — | — | — | — |
| 16 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | — |
| ウォーミングアップカウンタ | — | — | — | — | ○ | — | — | — | — |
| 16 ビット PWM | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — |
| 16 ビット PPG | ○ | ○ | ○ | ○ | — | — | — | ○ | — |

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 10-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

| 動作モード | $fc/2^{11}$ or $fs/2^3$ | $fc/2^7$ | $fc/2^5$ | $fc/2^3$ | fs | $fc/2$ | fc | TC3 端子 入力 | TC4 端子 入力 |
|----------------|-------------------------------|----------|----------|----------|----|--------|----|-----------------|-----------------|
| 8 ビットタイマ | ○ | — | — | — | — | — | — | — | — |
| 8 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | ○ |
| 8 ビット PDO | ○ | — | — | — | — | — | — | — | — |
| 8 ビット PWM | ○ | — | — | — | ○ | — | — | — | — |
| 16 ビットタイマ | ○ | — | — | — | — | — | — | — | — |
| 16 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | — |
| ウォーミングアップカウンタ | — | — | — | — | — | — | ○ | — | — |
| 16 ビット PWM | ○ | — | — | — | ○ | — | — | ○ | — |
| 16 ビット PPG | ○ | — | — | — | — | — | — | ○ | — |

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 10-3 比較用レジスタへの設定値に関する制約事項

| 動作モード | レジスタへの設定値 |
|--------------------|--|
| 8 ビットタイマ/イベントカウンタ | $1 \leq (TTREGn) \leq 255$ |
| 8 ビット PDO | $1 \leq (TTREGn) \leq 255$ |
| 8 ビット PWM | $2 \leq (PWREGn) \leq 254$ |
| 16 ビットタイマ/イベントカウンタ | $1 \leq (TTREG4, 3) \leq 65535$ |
| ウォーミングアップカウンタ | $256 \leq (TTREG4, 3) \leq 65535$ |
| 16 ビット PWM | $2 \leq (PWREG4, 3) \leq 65534$ |
| 16 ビット PPG | $1 \leq (PWREG4, 3) < (TTREG4, 3) \leq 65535$ かつ $(PWREG4, 3) + 1 < (TTREG4, 3)$ |

注) n = 3~4

Not Recommended
for New Design

10.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレータ出力 (PPG) モードがあります。

10.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 3, 4$

表 10-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 最大設定時間 | |
|-------------------|----------------|-----------------------------|--------------------------|------------------------------|--------------------------|------------------------------|
| DV7CK = 0 | DV7CK = 1 | | $f_c = 16 \text{ MHz}$ 時 | $f_s = 32.768 \text{ kHz}$ 時 | $f_c = 16 \text{ MHz}$ 時 | $f_s = 32.768 \text{ kHz}$ 時 |
| $f_c/2^{11}$ [Hz] | $f_s/2^3$ [Hz] | $f_s/2^3$ [Hz] | 128 μs | 244.14 μs | 32.6 ms | 62.3 ms |
| $f_c/2^7$ | $f_c/2^7$ | — | 8 μs | — | 2.0 ms | — |
| $f_c/2^5$ | $f_c/2^5$ | — | 2 μs | — | 510 μs | — |
| $f_c/2^3$ | $f_c/2^3$ | — | 500 ns | — | 127.5 μs | — |

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 4、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG4), 0AH           ; タイマレジスタの設定 (80  $\mu\text{s} \div 2^7 f_c = 0AH$ )
DI
SET   (EIRH), 1              ; INTTC4 割り込みを許可
EI
LD    (TC4CR), 00010000B     ; 動作クロックを  $f_c/2^7$ , 8 ビットタイマモードに設定
LD    (TC4CR), 00011000B     ; TC4 スタート
```

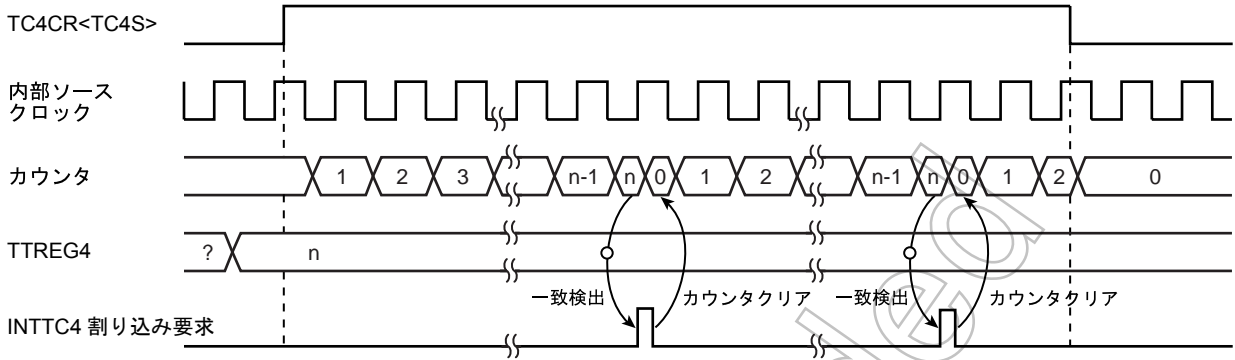


図 10-2 8ビットタイマモードタイミングチャート (TC4 の場合)

10.3.2 8ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

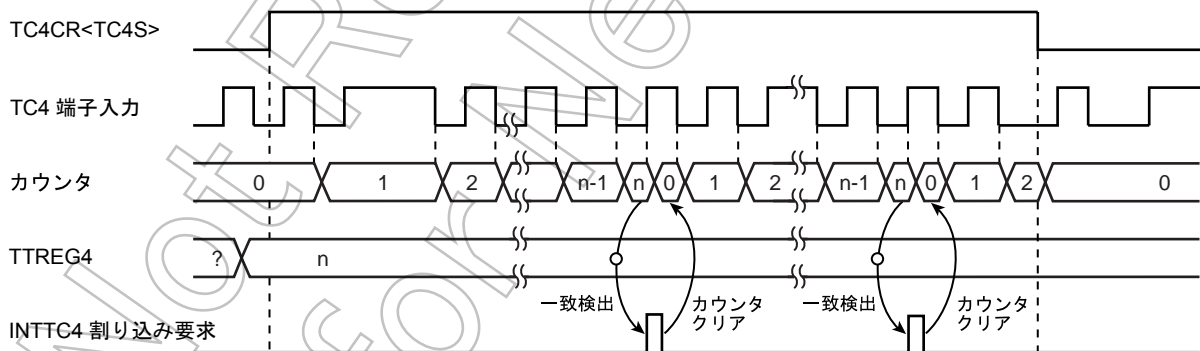


図 10-3 8ビットイベントカウンタモードタイミングチャート (TC4 の場合)

10.3.3 8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

| ポートを設定 | | |
|--------|--------------------|--|
| LD | (TTREG4), 3DH | ; $1/1024 \div 2^7/f_c \div 2 = 3DH$ |
| LD | (TC4CR), 00010001B | ; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定 |
| LD | (TC4CR), 00011001B | ; TC4 スタート |

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定
- 注 3) j = 3, 4

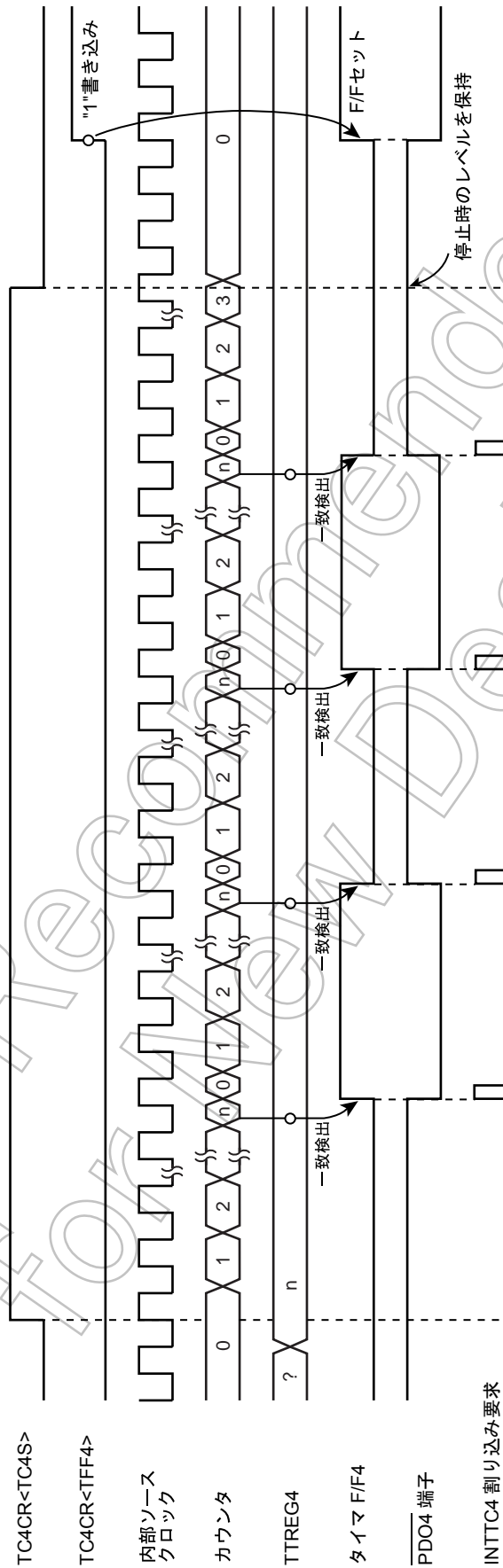


図 10-4 8ビット PDO モードタイミングチャート (TC4 の場合)

10.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例: タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 3, 4

表 10-5 PWM 出力モード

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 繰り返し周期 | |
|-------------------------------------|------------------------|-----------------------------|---------------|-------------------|---------------|-------------------|
| NORMAL1/2, IDLE1/2 モード DV7CK = 0 | DV7CK = 1 | | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 | fs = 32.768 kHz 時 |
| fc/2 ¹¹ [Hz] | fs/2 ³ [Hz] | fs/2 ³ [Hz] | 128 μs | 244.14 μs | 32.8 ms | 62.5 ms |
| fc/2 ⁷ | fc/2 ⁷ | — | 8 μs | — | 2.05 ms | — |
| fc/2 ⁵ | fc/2 ⁵ | — | 2 μs | — | 512 μs | — |
| fc/2 ³ | fc/2 ³ | — | 500ns | — | 128 μs | — |
| fs | fs | fs | 30.5 μs | 30.5 μs | 7.81 ms | 7.81 ms |
| fc/2 | fc/2 | — | 125 ns | — | 32 μs | — |
| fc | fc | — | 62.5 ns | — | 16 μs | — |

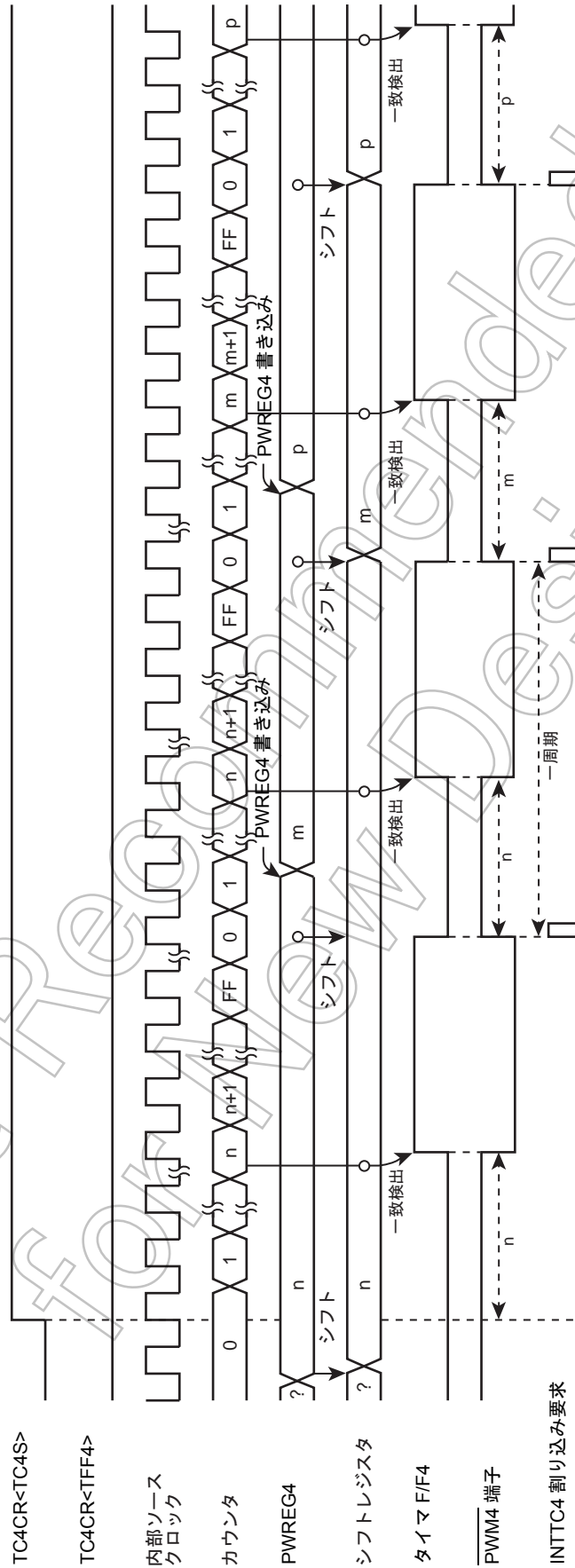


図 10-5 8ビット PWM 出力モードタイミングチャート (TC4 の場合)

10.3.5 16 ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 10-6 16 ビットタイマモードのソースクロック

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 繰り返し周期 | |
|------------------------|-------------------|-----------------------------|---------------|-------------------|---------------|-------------------|
| NORMAL1/2, IDLE1/2 モード | | | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 | fs = 32.768 kHz 時 |
| DV7CK = 0 | DV7CK = 1 | | | | | |
| fc/2 ¹¹ | fs/2 ³ | fs/2 ³ | 128 μs | 244.14 μs | 8.39 s | 16s |
| fc/2 ⁷ | fc/2 ⁷ | — | 8 μs | — | 524.3 ms | — |
| fc/2 ⁵ | fc/2 ⁵ | — | 2 μs | — | 131.1 ms | — |
| fc/2 ³ | fc/2 ³ | — | 500 ns | — | 32.8 ms | — |

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG3), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRH), 1           ; INTTC4 割り込みを許可
EI
LD       (TC3CR), 13H        ; 動作クロックを fc/27、16 ビットタイマモード
                                ; (下位側) に設定
LD       (TC4CR), 04H        ; 16 ビットタイマモード (上位側) に設定
LD       (TC4CR), 0CH        ; タイマスタート
```

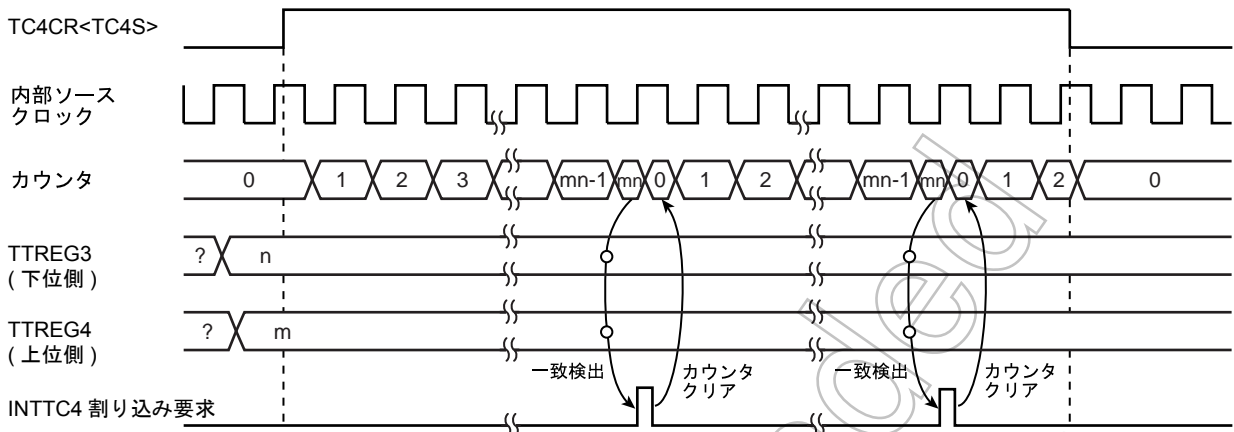


図 10-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

10.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{PDOj/PWMj/PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成とならないので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

10.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例：タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 10-7 16 ビット PWM 出力モード

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 繰り返し周期 | |
|------------------------|------------------------|------------------------|-----------|---------------|-------------------|---------------|
| NORMAL1/2, IDLE1/2 モード | DV7CK = 0 | | DV7CK = 1 | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 |
| fc/2 ¹¹ | fs/2 ³ [Hz] | fs/2 ³ [Hz] | 128 μs | 244.14 μs | 8.39 s | 16 s |
| fc/2 ⁷ | fc/2 ⁷ | — | 8 μs | — | 524.3 ms | — |
| fc/2 ⁵ | fc/2 ⁵ | — | 2 μs | — | 131.1 ms | — |
| fc/2 ³ | fc/2 ³ | — | 500ns | — | 32.8 ms | — |
| fs | fs | fs | 30.5 μs | 30.5 μs | 2 s | 2 s |
| fc/2 | fc/2 | — | 125 ns | — | 8.2 ms | — |
| fc | fc | — | 62.5 ns | — | 4.1 ms | — |

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```

        ポートを設定する
LDW    (PWREG3), 07D0H    ; パルス幅の設定
LD     (TC3CR), 33H      ; 動作クロックを fc/23、16 ビット PWM モード (下位側)
                           ; に設定
LD     (TC4CR), 056H    ; TFF4 初期値 “0”、16 ビット PWM モード (上位側)
                           ; に設定
LD     (TC4CR), 05EH    ; タイマスタート
    
```

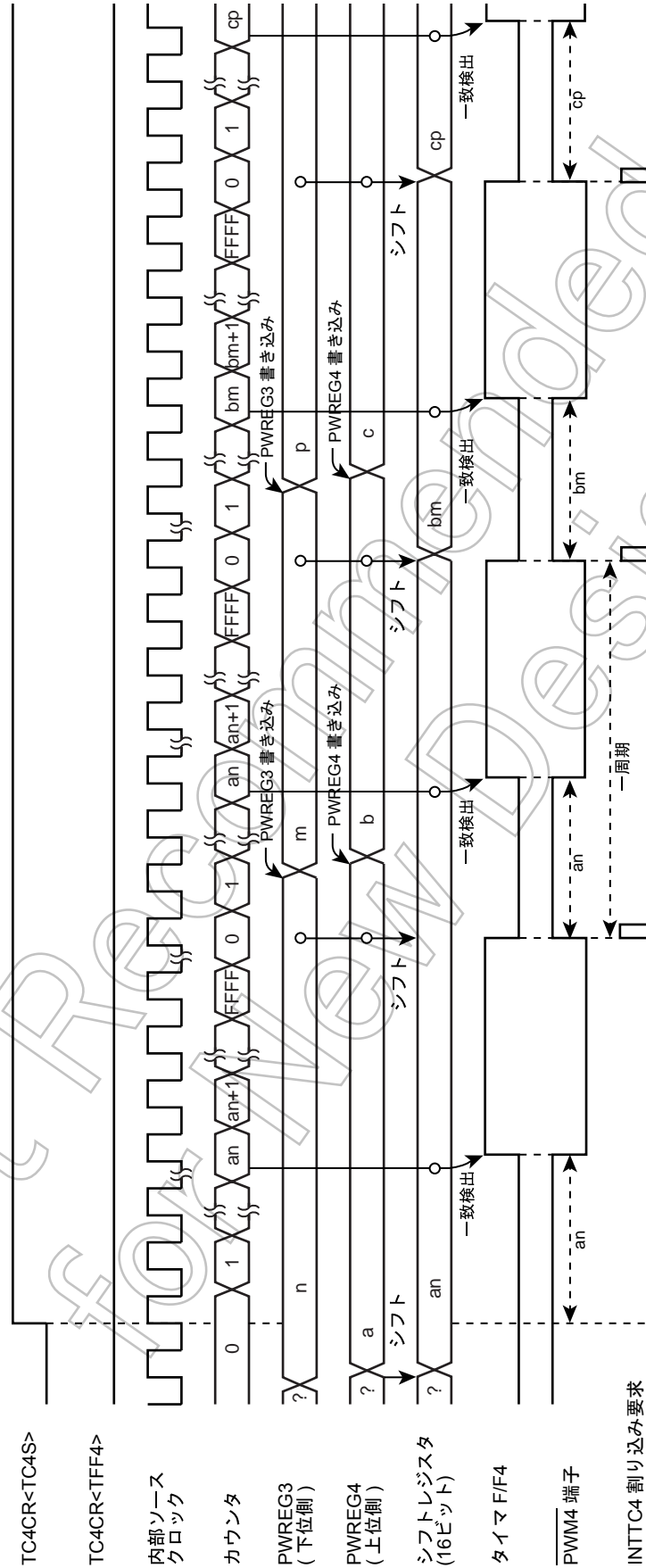


図 10-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

10.3.8 16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PPG4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG3), 07D0H      ; パルス幅の設定
LDW      (TTREG3), 8002H      ; 周期の設定
LD       (TC3CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC4CR), 057H       ; TFF4 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC4CR), 05FH       ; タイマスタート

```

注 1) プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例：タイマカウンタ停止時に PPG4 端子を “H” レベルに固定する。

```

CLR      (TC4CR).3; タイマ停止
CLR      (TC4CR).7; PPG4 端子を “H” レベルに設定

```

注 3) $i = 3, 4$

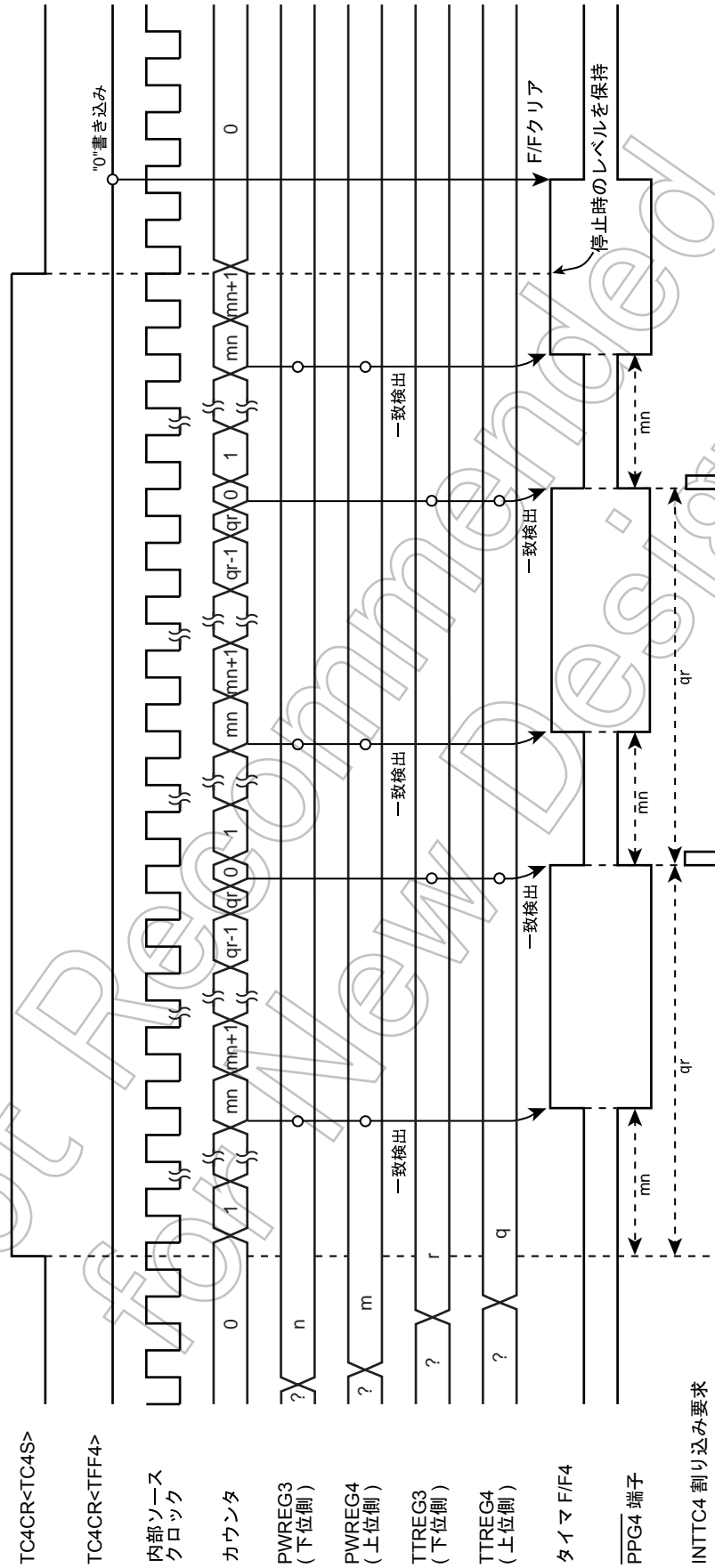


図 10-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

10.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 3 と 4 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

- 注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi> を “0” に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。
- 注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。
- 注 3) i = 3, 4

10.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を “1” に設定し低周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を “0” に設定し、高周波クロックを停止します。

表 10-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

| 最小設定時間 (TTREG4, 3 = 0100H) | 最大設定時間 (TTREG4, 3 = FF00H) |
|----------------------------|----------------------------|
| 7.81 ms | 1.99 s |

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC3CR), 43H    ;TFF3 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC4CR), 05H    ;TFF4 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG3), 8000H ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRH).1       ;INTTC4 割り込みを許可
EI       ;IMF ← “1”
SET      (TC4CR).3      ;TC4, 3 スタート
:       :
PINTTC4: CLR      (TC4CR).3 ;TC4, 3 ストップ
SET      (SYSCR2).5      ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7      ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:       :
VINTTC4: DW       PINTTC4 ;INTTC4 ベクタテーブル

```

10.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 10-9 高周波ウォーミングアップカウンタモードの設定時間

| 最小設定時間 (TTREG4, 3 = 0100H) | 最大設定時間 (TTREG4, 3 = FF00H) |
|----------------------------|----------------------------|
| 16 μ s | 4.08 ms |

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRH).1       ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
CLR      (SYSCR2).5      ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
CLR      (SYSCR2).6      ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
RETI
:
:
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル

```


Not Recommended
for New Design

第 11 章 8 ビットタイマカウンタ (TC5, TC6)

11.1 構成

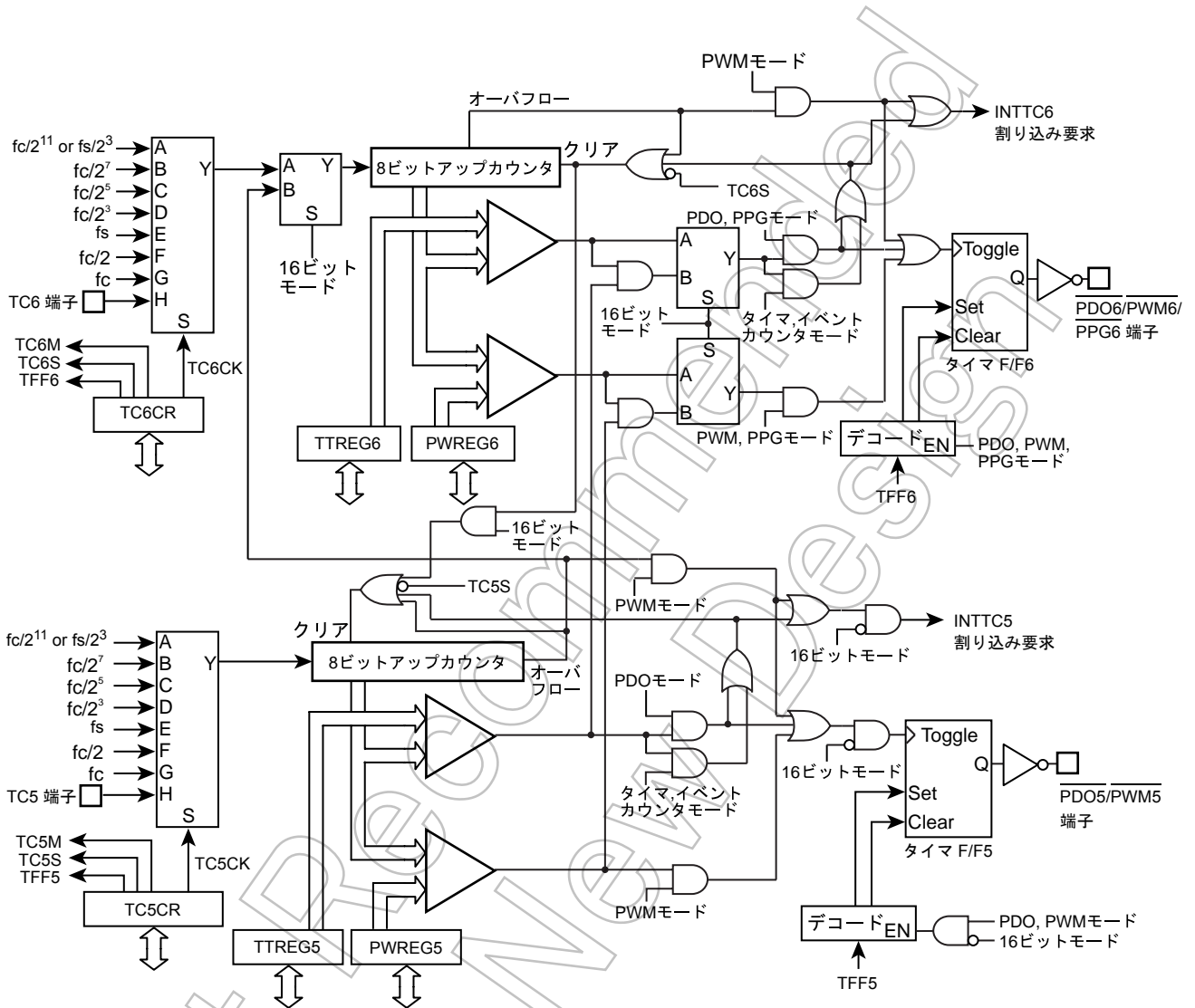


図 11-1 8 ビットタイマカウンタ 5, 6

11.2 制御

タイマカウンタ5は、タイマカウンタ5制御レジスタ (TC5CR) と2本の8ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマカウンタ5のタイマレジスタ

| | | | | | | | | | |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| TTREG5 (0016H) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
| | | | | | | | | | |

| | | | | | | | | | |
|--------------------------|---|---|---|---|---|---|---|---|------------------|
| PWREG5 (001AH) R/W | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 1111 1111) |
| | | | | | | | | | |

- 注 1) タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。
 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ5制御レジスタ

| | | | | | | | | | |
|------------------|------|-------|---|------|------|---|---|---|------------------|
| TC5CR (0029H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
| | TFF5 | TC5CK | | TC5S | TC5M | | | | |

| TFF5 | タイマ F/F5 の制御 | 0: クリア 1: セット | | | R/W | |
|-------|---------------|--|-------------|------------------------------|-----|----------|
| TC5CK | 動作クロック選択 [Hz] | NORMAL 1/2, IDLE 1/2 モード | | SLOW 1/2 SLEEP 1/2 モード | R/W | |
| | | DV7CK = 0 | DV7CK = 1 | | | |
| | | 000 | $fc/2^{11}$ | $fs/2^3$ | | $fs/2^3$ |
| | | 001 | $fc/2^7$ | $fc/2^7$ | | — |
| | | 010 | $fc/2^6$ | $fc/2^5$ | | — |
| | | 011 | $fc/2^3$ | $fc/2^3$ | | — |
| | | 100 | fs | fs | | fs |
| | | 101 | $fc/2$ | $fc/2$ | | — |
| 110 | fc | fc | fc (注 8) | | | |
| 111 | TC5 端子入力 | | | | | |
| TC5S | タイマスタート制御 | 0: 動作停止 & カウンタクリア 1: 動作開始 | | | R/W | |
| TC5M | 動作モード選択 | 000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1**: Reserved | | | R/W | |

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
 注 2) タイマ動作中は、TC5M, TC5CK, TFF5 の設定を変更しないでください。
 注 3) タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5 の設定を変更しないでください。ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5 の設定を変更することができます。
 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC6CR<TC6M> にて行い、TC5M は "011" に固定してください。
 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CK にて行い、タイマスタート制御、タイマ F/F の制御については TC6CR<TC6S>, TC6CR<TFF6> にて設定してください。
 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。

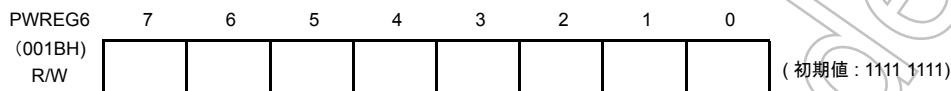
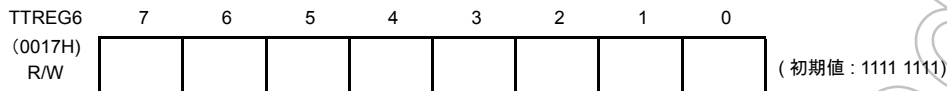
注7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。

注8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

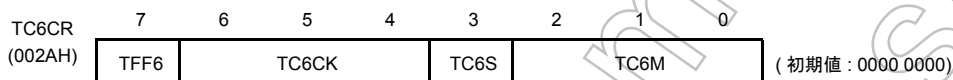
タイマカウンタ6は、タイマカウンタ6制御レジスタ (TC6CR) と2本の8ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマカウンタ 6 のタイマレジスタ



- 注 1) タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。

タイマカウンタ 6 制御レジスタ



| | | | | | | |
|-------|---------------|--------------------------|------------------------------|-----|------------------------|----------|
| TFF6 | タイマ F/F6 の制御 | 0: | クリア | R/W | | |
| | | 1: | セット | | | |
| TC6CK | 動作クロック選択 [Hz] | NORMAL 1/2, IDLE 1/2 モード | | R/W | | |
| | | DV7CK = 0 | | | SLOW 1/2 SLEEP 1/2 モード | |
| | | DV7CK = 1 | | | | |
| | | 000 | $fc/2^{11}$ | | $fs/2^3$ | $fs/2^3$ |
| | | 001 | $fc/2^7$ | | $fc/2^7$ | — |
| | | 010 | $fc/2^5$ | | $fc/2^5$ | — |
| | | 011 | $fc/2^3$ | | $fc/2^3$ | — |
| | | 100 | fs | | fs | fs |
| 101 | $fc/2$ | $fc/2$ | — | | | |
| 110 | fc | fc | — | | | |
| | | 111 | TC6 端子入力 | | | |
| TC6S | タイマスタート制御 | 0: | 動作停止 & カウンタクリア | R/W | | |
| | | 1: | 動作開始 | | | |
| TC6M | 動作モード選択 | 000: | 8 ビットタイマ / イベントカウンタモード | R/W | | |
| | | 001: | 8 ビットプログラマブルデバイダ出力 (PDO) モード | | | |
| | | 010: | 8 ビットパルス幅変調出力 (PWM) モード | | | |
| | | 011: | Reserved | | | |
| | | 100: | 16 ビットタイマ / イベントカウンタモード | | | |
| | | 101: | ウォーミングアップカウンタモード | | | |
| | | 110: | 16 ビットパルス幅変調出力 (PWM) モード | | | |
| | | 111: | 16 ビット PPG モード | | | |

- 注 1) fc : 高周波クロック [Hz] fs : 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC6M, TC6CK, TFF6 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6 の設定を変更しないでください。ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6 の設定を変更することができます。
- 注 4) TC6M = 1** のとき (16 ビットモードの上位側のとき) は、TC6CK の設定に関係なく、ソースクロックは TC5 オーバフロー信号になります。
- 注 5) 16 ビットモードで使用する場合、動作モードの選択は TC6M にて行います。そのとき、TC5CR<TC5M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC6S、TFF6 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。

Not Recommended
for New Design

表 11-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

| 動作モード | fc/2 ¹¹ or fs/2 ³ | fc/2 ⁷ | fc/2 ⁵ | fc/2 ³ | fs | fc/2 | fc | TC5 端子 入力 | TC6 端子 入力 |
|----------------|---|-------------------|-------------------|-------------------|----|------|----|-----------------|-----------------|
| 8 ビットタイマ | ○ | ○ | ○ | ○ | — | — | — | — | — |
| 8 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | ○ |
| 8 ビット PDO | ○ | ○ | ○ | ○ | — | — | — | — | — |
| 8 ビット PWM | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — | — |
| 16 ビットタイマ | ○ | ○ | ○ | ○ | — | — | — | — | — |
| 16 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | — |
| ウォーミングアップカウンタ | — | — | — | — | ○ | — | — | — | — |
| 16 ビット PWM | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | — |
| 16 ビット PPG | ○ | ○ | ○ | ○ | — | — | — | ○ | — |

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 11-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

| 動作モード | fc/2 ¹¹ or fs/2 ³ | fc/2 ⁷ | fc/2 ⁵ | fc/2 ³ | fs | fc/2 | fc | TC5 端子 入力 | TC6 端子 入力 |
|----------------|---|-------------------|-------------------|-------------------|----|------|----|-----------------|-----------------|
| 8 ビットタイマ | ○ | — | — | — | — | — | — | — | — |
| 8 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | ○ |
| 8 ビット PDO | ○ | — | — | — | — | — | — | — | — |
| 8 ビット PWM | ○ | — | — | — | ○ | — | — | — | — |
| 16 ビットタイマ | ○ | — | — | — | — | — | — | — | — |
| 16 ビットイベントカウンタ | — | — | — | — | — | — | — | ○ | — |
| ウォーミングアップカウンタ | — | — | — | — | — | — | ○ | — | — |
| 16 ビット PWM | ○ | — | — | — | ○ | — | — | ○ | — |
| 16 ビット PPG | ○ | — | — | — | — | — | — | ○ | — |

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 11-3 比較用レジスタへの設定値に関する制約事項

| 動作モード | レジスタへの設定値 |
|--------------------|--|
| 8 ビットタイマ/イベントカウンタ | $1 \leq (\text{TTREGn}) \leq 255$ |
| 8 ビット PDO | $1 \leq (\text{TTREGn}) \leq 255$ |
| 8 ビット PWM | $2 \leq (\text{PWREGn}) \leq 254$ |
| 16 ビットタイマ/イベントカウンタ | $1 \leq (\text{TTREG6, 5}) \leq 65535$ |
| ウォーミングアップカウンタ | $256 \leq (\text{TTREG6, 5}) \leq 65535$ |
| 16 ビット PWM | $2 \leq (\text{PWREG6, 5}) \leq 65534$ |
| 16 ビット PPG | $1 \leq (\text{PWREG6, 5}) < (\text{TTREG6, 5}) \leq 65535$ かつ $(\text{PWREG6, 5}) + 1 < (\text{TTREG6, 5})$ |

注) n = 5~6

Not Recommended
for New Design

11.3 機能

タイマカウンタ 5, 6 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 5, 6 (TC5, 6) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

11.3.1 8 ビットタイマモード (TC5, 6)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 5, 6$

表 11-4 タイマカウンタ 5, 6 のソースクロック (内部クロック)

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 最大設定時間 | |
|-------------------|----------------|-----------------------------|--------------------------|------------------------------|--------------------------|------------------------------|
| DV7CK = 0 | DV7CK = 1 | | $f_c = 16 \text{ MHz}$ 時 | $f_s = 32.768 \text{ kHz}$ 時 | $f_c = 16 \text{ MHz}$ 時 | $f_s = 32.768 \text{ kHz}$ 時 |
| $f_c/2^{11}$ [Hz] | $f_s/2^3$ [Hz] | $f_s/2^3$ [Hz] | 128 μs | 244.14 μs | 32.6 ms | 62.3 ms |
| $f_c/2^7$ | $f_c/2^7$ | — | 8 μs | — | 2.0 ms | — |
| $f_c/2^5$ | $f_c/2^5$ | — | 2 μs | — | 510 μs | — |
| $f_c/2^3$ | $f_c/2^3$ | — | 500 ns | — | 127.5 μs | — |

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 6、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG6), 0AH           ; タイマレジスタの設定 (80  $\mu\text{s} \div 2^7 f_c = 0AH$ )
DI
SET   (EIRE), 2              ; INTTC6 割り込みを許可
EI
LD    (TC6CR), 00010000B     ; 動作クロックを  $f_c/2^7$ , 8 ビットタイマモードに設定
LD    (TC6CR), 00011000B     ; TC6 スタート
```

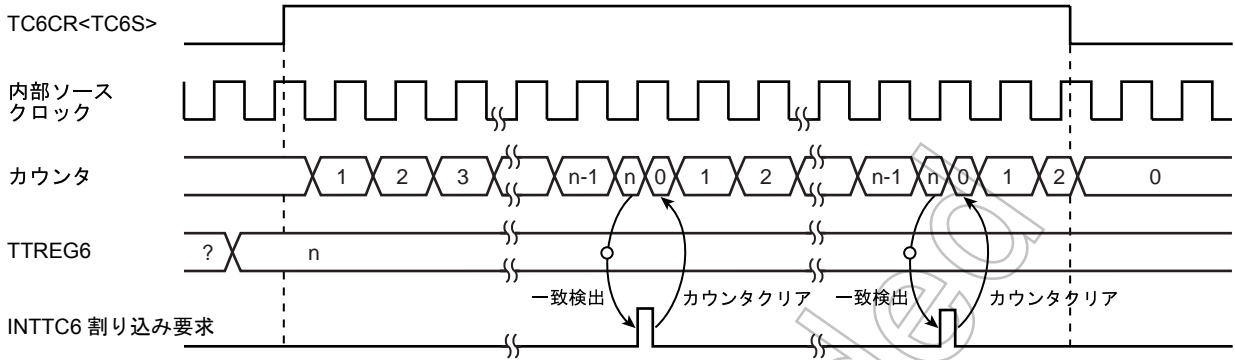


図 11-2 8 ビットタイマモードタイミングチャート (TC6 の場合)

11.3.2 8 ビットイベントカウンタモード (TC5, 6)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

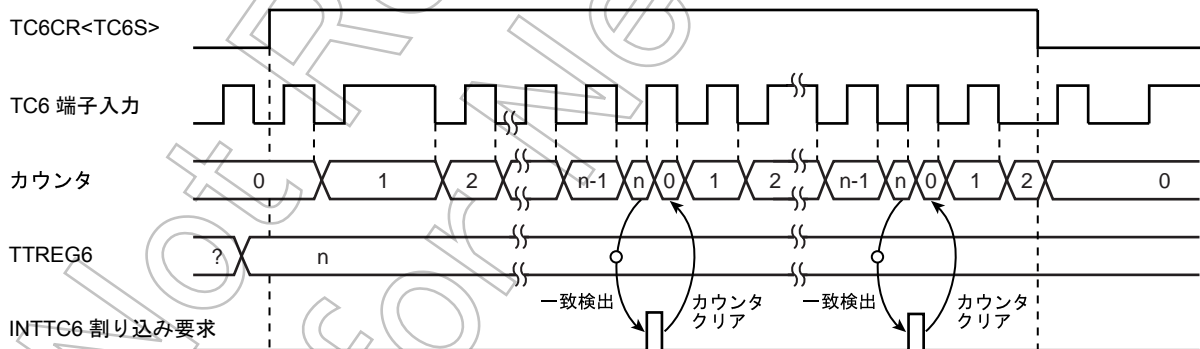


図 11-3 8 ビットイベントカウンタモードタイミングチャート (TC6 の場合)

11.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC5, 6)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC6 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

| ポートを設定 | | |
|--------|--------------------|--|
| LD | (TTREG6), 3DH | ; $1/1024 \div 2^7/f_c \div 2 = 3DH$ |
| LD | (TC6CR), 00010001B | ; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定 |
| LD | (TC6CR), 00011001B | ; TC6 スタート |

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定
- 注 3) j = 5, 6

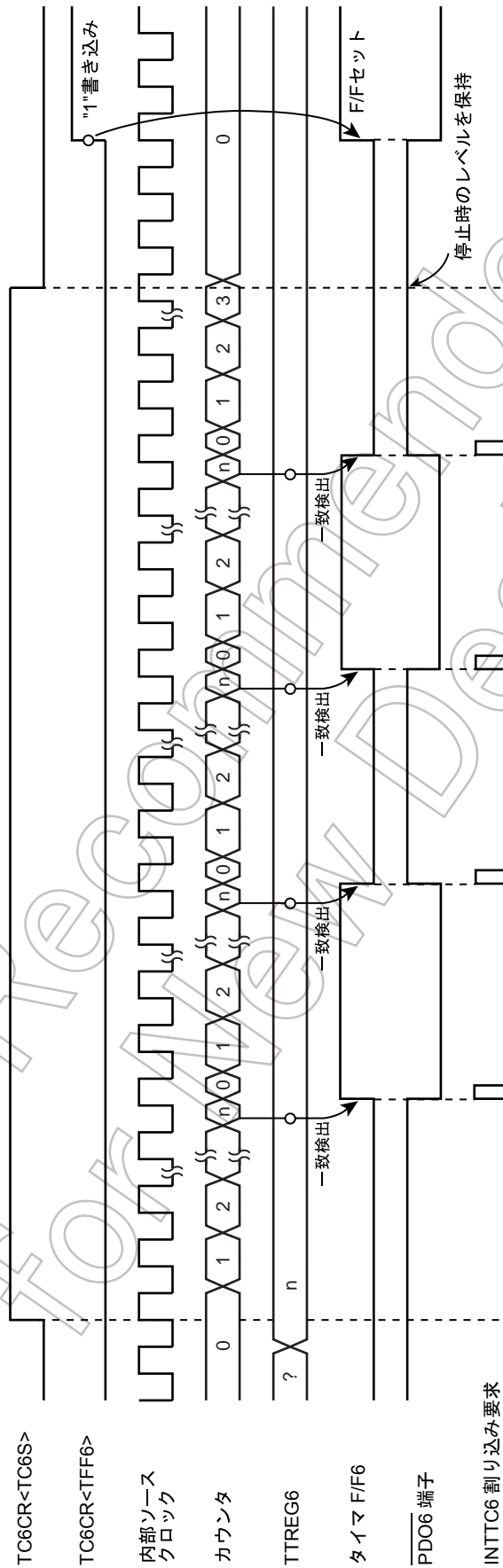


図 11-4 8ビット PDO モードタイミングチャート (TC6 の場合)

11.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC5, 6)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 5, 6

表 11-5 PWM 出力モード

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 繰り返し周期 | |
|-------------------------|------------------------|-----------------------------|---------------|-------------------|---------------|-------------------|
| NORMAL1/2, IDLE1/2 モード | | | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 | fs = 32.768 kHz 時 |
| DV7CK = 0 | DV7CK = 1 | | | | | |
| fc/2 ¹¹ [Hz] | fs/2 ³ [Hz] | fs/2 ³ [Hz] | 128 μs | 244.14 μs | 32.8 ms | 62.5 ms |
| fc/2 ⁷ | fc/2 ⁷ | — | 8 μs | — | 2.05 ms | — |
| fc/2 ⁵ | fc/2 ⁵ | — | 2 μs | — | 512 μs | — |
| fc/2 ³ | fc/2 ³ | — | 500ns | — | 128 μs | — |
| fs | fs | fs | 30.5 μs | 30.5 μs | 7.81 ms | 7.81 ms |
| fc/2 | fc/2 | — | 125 ns | — | 32 μs | — |
| fc | fc | — | 62.5 ns | — | 16 μs | — |

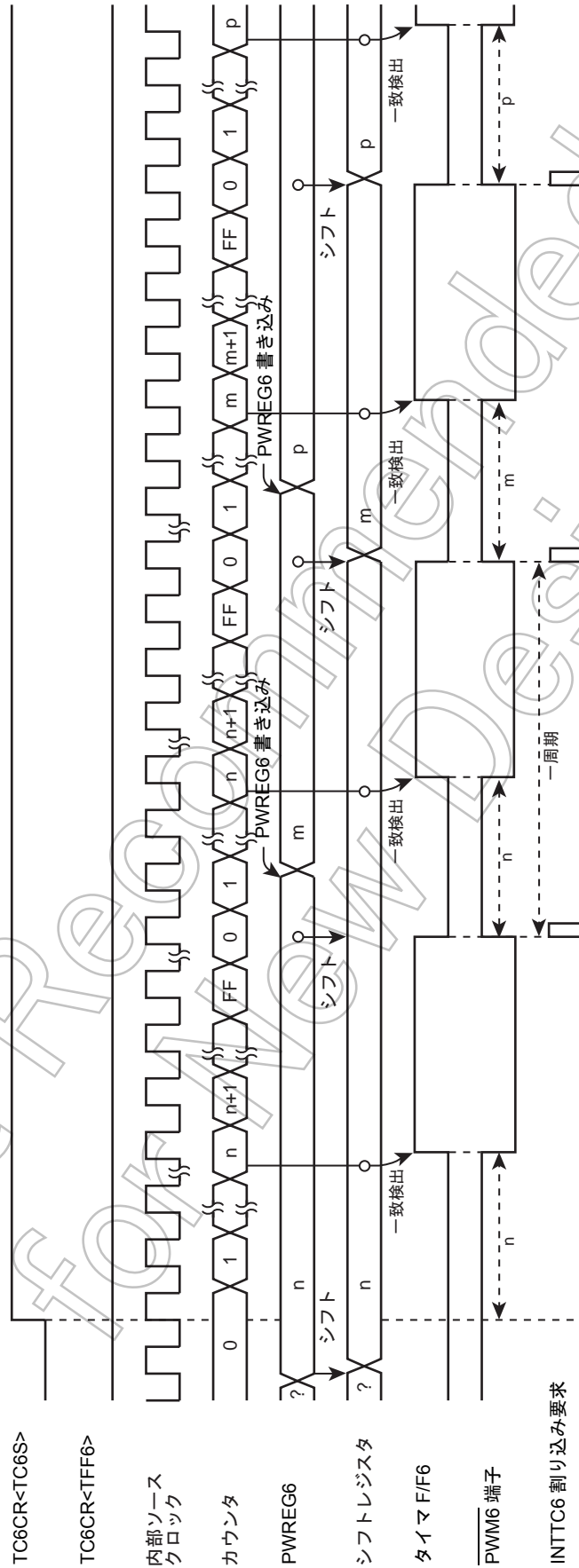


図 11-5 8ビット PWM 出力モードタイミングチャート (TC6 の場合)

11.3.5 16 ビットタイマモード (TC5 + 6)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 5 と 6 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) 設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

表 11-6 16 ビットタイマモードのソースクロック

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 繰り返し周期 | |
|------------------------|-------------------|-----------------------------|---------------|-------------------|---------------|-------------------|
| NORMAL1/2, IDLE1/2 モード | | | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 | fs = 32.768 kHz 時 |
| DV7CK = 0 | DV7CK = 1 | | | | | |
| fc/2 ¹¹ | fs/2 ³ | fs/2 ³ | 128 μs | 244.14 μs | 8.39 s | 16s |
| fc/2 ⁷ | fc/2 ⁷ | — | 8 μs | — | 524.3 ms | — |
| fc/2 ⁵ | fc/2 ⁵ | — | 2 μs | — | 131.1 ms | — |
| fc/2 ³ | fc/2 ³ | — | 500 ns | — | 32.8 ms | — |

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG5), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRE), 2           ; INTTC6 割り込みを許可
EI
LD       (TC5CR), 13H        ; 動作クロックを fc/27、16 ビットタイマモード
                                ; (下位側) に設定
LD       (TC6CR), 04H        ; 16 ビットタイマモード (上位側) に設定
LD       (TC6CR), 0CH        ; タイマスタート
```

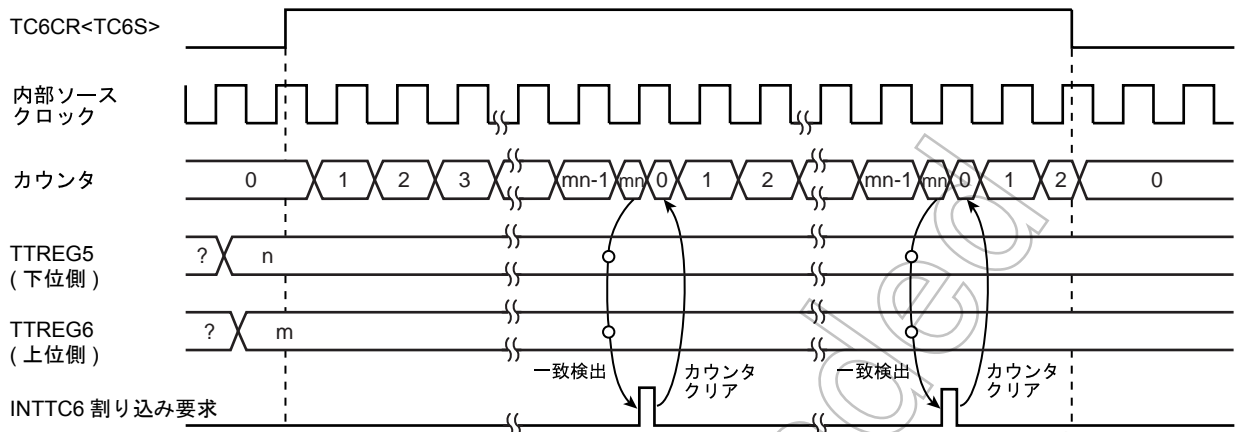


図 11-6 16 ビットタイマモードタイミングチャート (TC5 + TC6 の場合)

11.3.6 16 ビットイベントカウンタモード (TC5 + 6)

このモードは TC5 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 5 と 6 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) の設定値が一致すると INTTC6 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC5 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{PDOj}/\overline{PWMj}/\overline{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成とならないので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

11.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) 設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込みが発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F6 は “0” にクリアされます。

(PWM6 端子からはタイマ F/F6 値の反転レベルが出力されます)

PWM モード中の PWREG6, 5 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG6, 5 の設定値を変更することが可能です。タイマ動作中、PWREG6, 5 への設定値は INTTC6 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG6, 5 にデータを設定した直後にシフトされます。PWREG6, 5 の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, 5 に対してリード命令を実行すると PWREG6, 5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG6, 5 を設定してから INTTC6 割り込み要求までの間は、前回の PWREG6, 5 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG6, 5 への書き込みは、INTTC6 割り込み要求発生直後 (通常は INTTC6 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG6, 5 への書き込みと INTTC6 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC6 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM6 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください (タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください)。
例：タイマカウンタ停止時に PWM6 端子を “H” レベルに固定する。
CLR (TC6CR).3; タイマ停止
CLR (TC6CR).7; PWM6 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM6 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 11-7 16 ビット PWM 出力モード

| ソースクロック | | SLOW1/2, SLEEP1/2 モード | 分解能 | | 繰り返し周期 | |
|------------------------|------------------------|------------------------|---------------|-------------------|---------------|-------------------|
| NORMAL1/2, IDLE1/2 モード | DV7CK = 0 | | fc = 16 MHz 時 | fs = 32.768 kHz 時 | fc = 16 MHz 時 | fs = 32.768 kHz 時 |
| fc/2 ¹¹ | fs/2 ³ [Hz] | fs/2 ³ [Hz] | 128 μs | 244.14 μs | 8.39 s | 16 s |
| fc/2 ⁷ | fc/2 ⁷ | — | 8 μs | — | 524.3 ms | — |
| fc/2 ⁵ | fc/2 ⁵ | — | 2 μs | — | 131.1 ms | — |
| fc/2 ³ | fc/2 ³ | — | 500ns | — | 32.8 ms | — |
| fs | fs | fs | 30.5 μs | 30.5 μs | 2 s | 2 s |
| fc/2 | fc/2 | — | 125 ns | — | 8.2 ms | — |
| fc | fc | — | 62.5 ns | — | 4.1 ms | — |

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

- ポートを設定する
- LDW (PWREG5), 07D0H ; パルス幅の設定
- LD (TC5CR), 33H ; 動作クロックを fc/2³、16 ビット PWM モード (下位側) に設定
- LD (TC6CR), 056H ; TFF6 初期値 “0”、16 ビット PWM モード (上位側) に設定
- LD (TC6CR), 05EH ; タイマスタート

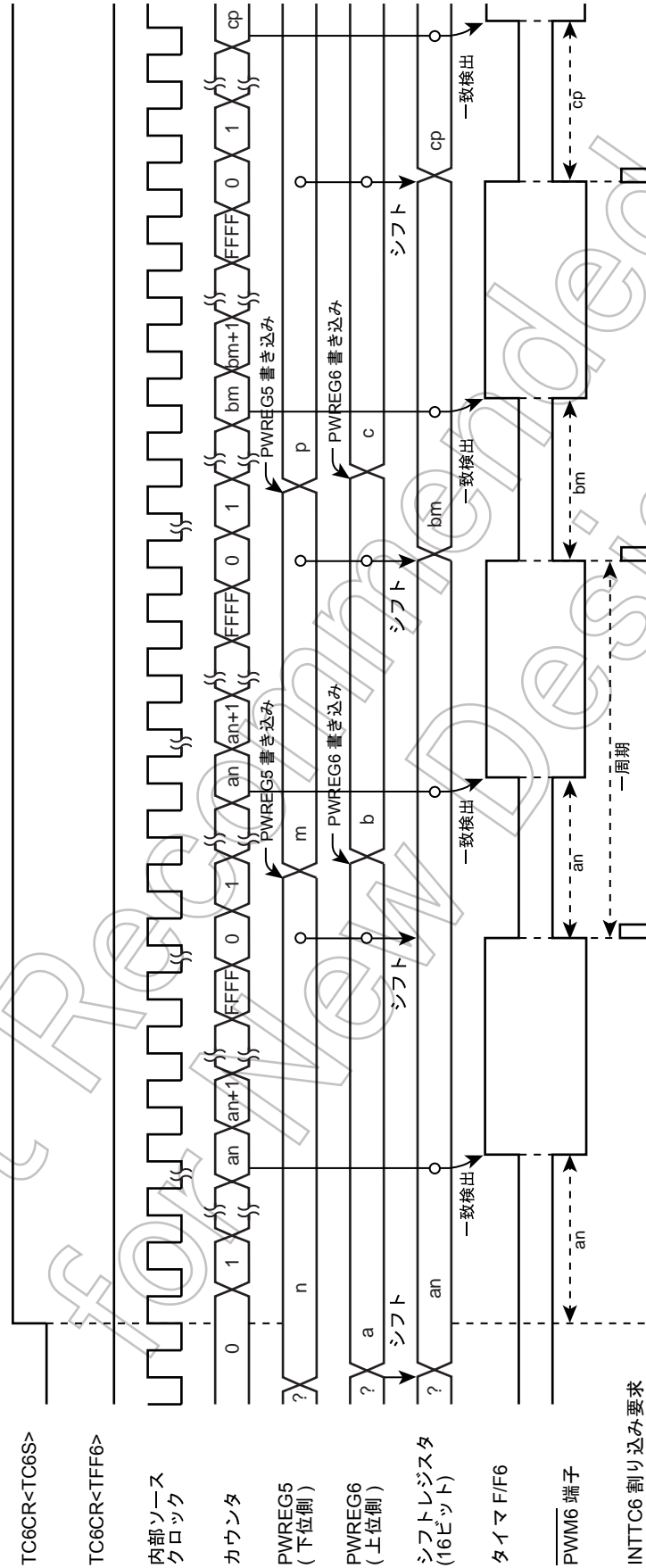


図 11-7 16 ビット PWM モードタイミングチャート (TC5 + TC6 の場合)

11.3.8 16 ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) の設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込み要求が発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F6 は “0” にクリアされます。

($\overline{\text{PPG6}}$ 端子からはタイマ F/F6 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG5), 07D0H      ; パルス幅の設定
LDW      (TTREG5), 8002H      ; 周期の設定
LD       (TC5CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC6CR), 057H      ; TFF6 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC6CR), 05FH      ; タイマスタート

```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREGi, TTREGi の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREGi, TTREGi はシフトレジスタ構成となりませんので、PWREGi, TTREGi への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREGi, TTREGi を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、 $\overline{\text{PPG6}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください。タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください。

例：タイマカウンタ停止時に $\overline{\text{PPG6}}$ 端子を “H” レベルに固定する。

```

CLR      (TC6CR).3; タイマ停止
CLR      (TC6CR).7;  $\overline{\text{PPG6}}$  端子を “H” レベルに設定

```

注 3) i = 5, 6

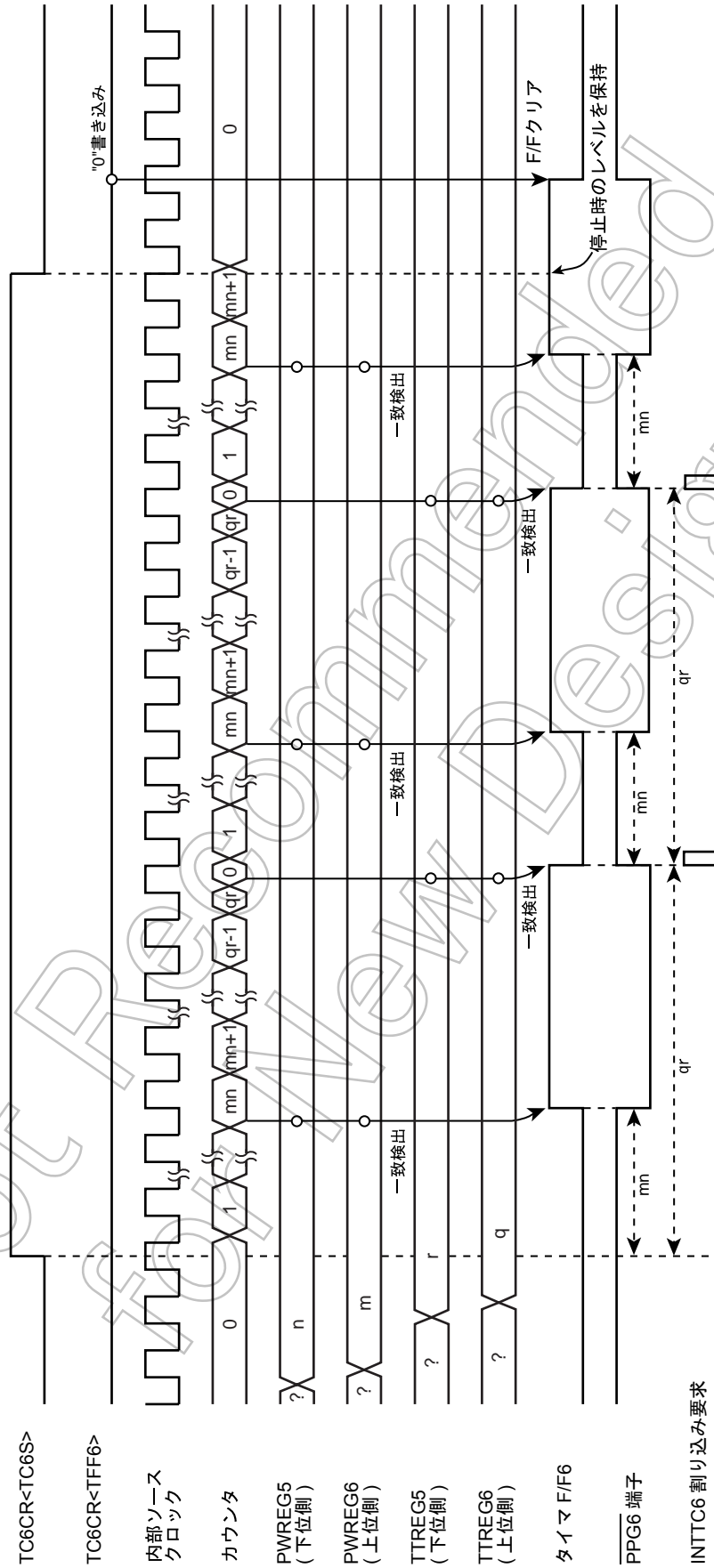


図 11-8 16ビット PPG モードタイミングチャート (TC5 + TC6 の場合)

11.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 5 と 6 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

- 注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi> を “0” に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。
- 注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG6, 5 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。
- 注 3) i = 5, 6

11.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を “1” に設定し低周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を “0” に設定し、高周波クロックを停止します。

表 11-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

| 最小設定時間 (TTREG6, 5 = 0100H) | 最大設定時間 (TTREG6, 5 = FF00H) |
|----------------------------|----------------------------|
| 7.81 ms | 1.99 s |

(プログラム例) TC6, 5 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC5CR).43H    ;TFF5 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC6CR).05H    ;TFF6 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG5).8000H ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRE).2       ;INTTC6 割り込みを許可
EI       ;IMF ← “1”
SET      (TC6CR).3      ;TC6, 5 スタート
:        :
PINTTC6: CLR      (TC6CR).3 ;TC6, 5 ストップ
SET      (SYSCR2).5      ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7      ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:        :
VINTTC6: DW        PINTTC6 ;INTTC6 ベクタテーブル
    
```

11.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 11-9 高周波ウォーミングアップカウンタモードの設定時間

| 最小設定時間 (TTREG6, 5 = 0100H) | 最大設定時間 (TTREG6, 5 = FF00H) |
|----------------------------|----------------------------|
| 16 μ s | 4.08 ms |

(プログラム例) TC6, 5 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC5CR), 63H    ; TFF5 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC6CR), 05H    ; TFF6 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG5), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRE). 2      ; INTTC6 割り込みを許可
EI       ; IMF ← “1”
SET      (TC6CR).3      ; TC6, 5 スタート
:
:
PINTTC6: CLR      (TC6CR).3 ; TC6, 5 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
          RETI
:
:
VINTTC6: DW      PINTTC6 ; INTTC6 ベクタテーブル

```

Not Recommended
for New Design

第 12 章 非同期型シリアルインターフェース (UART1)

12.1 構成

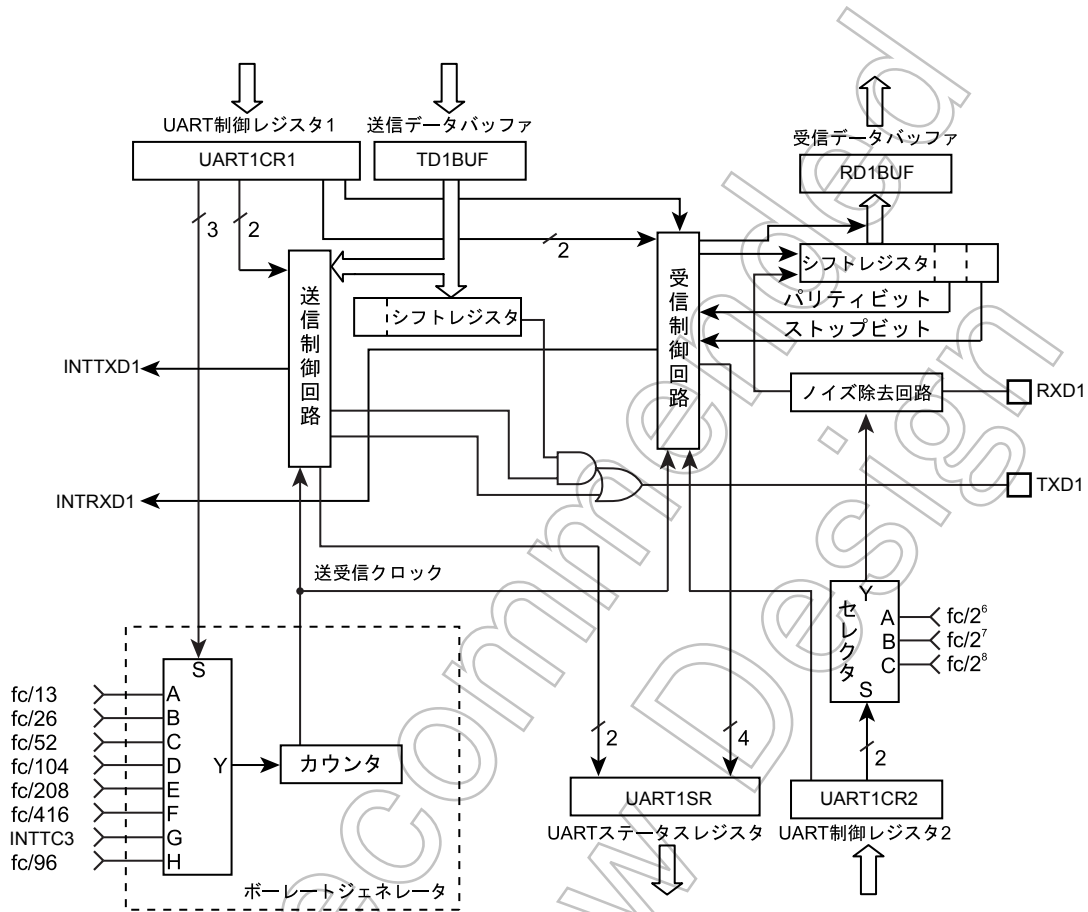


図 12-1 UART1 (非同期型シリアルインターフェース)

12.2 制御

UART1 は、UART1 制御レジスタ 1, 2 (UART1CR1, UART1CR2) で制御されます。また UART1 ステータスレジスタ (UART1SR) により動作状態のモニタができます。

UART1 制御レジスタ 1

| | | | | | | | | | |
|---------------------|-----|-----|------|------|----|-----|---|---|------------------|
| UART1CR1 (0F95H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | TXE | RXE | STBT | EVEN | PE | BRG | | | (初期値: 0000 0000) |

| | | | |
|------|------------|--|------------|
| TXE | 送信動作 | 0: ディセーブル 1: イネーブル | Write only |
| RXE | 受信動作 | 0: ディセーブル 1: イネーブル | |
| STBT | 送信ストップビット長 | 0: 1 ビット 1: 2 ビット | |
| EVEN | 偶数パリティ | 0: 奇数パリティ 1: 偶数パリティ | |
| PE | パリティ付加 | 0: パリティなし 1: パリティ付加 | |
| BRG | 転送クロック選択 | 000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96 | |

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART1 制御レジスタ 2

| | | | | | | | | | |
|---------------------|---|---|---|---|---|-------|--------|---|------------------|
| UART1CR2 (0F96H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | | | | | | RXDNC | STOPBR | | (初期値: **** *000) |

| | | | |
|--------|-------------------|---|------------|
| RXDNC | RXD 入力のノイズ除去時間の選択 | 00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去 | Write only |
| STOPBR | 受信ストップビット長 | 0: 1 ビット 1: 2 ビット | |

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART1 ステータスレジスタ

| | | | | | | | | | |
|--------------------|------|------|------|------|------|------|---|---|-------------------|
| UART1SR (0F95H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | PERR | FERR | OERR | RBFL | TEND | TBEP | | | (初期値 : 0000 11**) |

| | | | |
|------|--------------|--|-----------|
| PERR | パリティエラーフラグ | 0: パリティエラーなし 1: パリティエラー発生 | Read only |
| FERR | フレーミングエラーフラグ | 0: フレーミングエラーなし 1: フレーミングエラー発生 | |
| OERR | オーバランエラーフラグ | 0: オーバランエラーなし 1: オーバランエラー発生 | |
| RBFL | 受信バッファフルフラグ | 0: 受信バッファ空き 1: 受信バッファフル | |
| TEND | 送信終了フラグ | 0: 送信中 1: 送信終了 | |
| TBEP | 送信バッファ空きフラグ | 0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き | |

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART1 受信データバッファ

| | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|-------------------|
| RD1BUF (0F97H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Read only |
| | | | | | | | | | (初期値 : 0000 0000) |

UART1 送信データバッファ

| | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|-------------------|
| TD1BUF (0F97H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Write only |
| | | | | | | | | | (初期値 : 0000 0000) |

Not Recommended for New Design

12.3 転送データフォーマット

UART1 で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UART1CR1<STBT> でビット長の選択可)、パリティ UART1CR1<PE> でパリティ有無の選択可、UART1CR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

| PE | STBT | フレーム長 | | | | | | | | | | | |
|----|------|-------|---|---|---|---|----|----|----|--|--|--|--|
| | | 1 | 2 | 3 | 8 | 9 | 10 | 11 | 12 | | | | |
| 0 | 0 | | | | | | | | | | | | |
| 0 | 1 | | | | | | | | | | | | |
| 1 | 0 | | | | | | | | | | | | |
| 1 | 1 | | | | | | | | | | | | |

図 12-2 転送データフォーマット

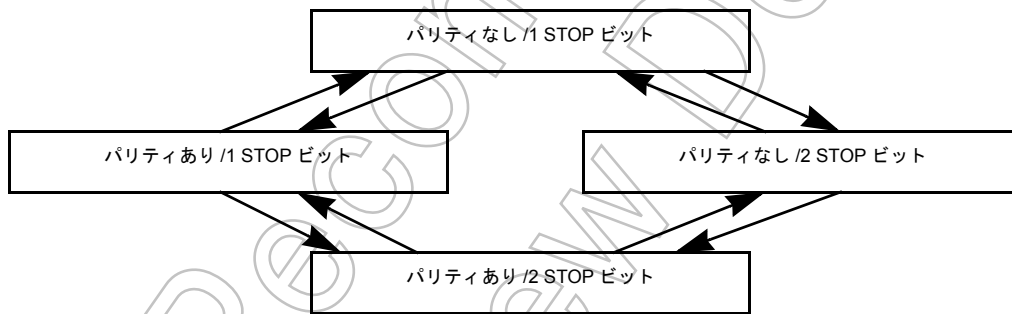


図 12-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 12-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

12.4 転送レート

UART1 の転送レート (ボーレート) は UART1CR1<BRG> により設定されます。以下に転送レートの例を示します。

表 12-1 転送レート (例)

| BRG | ソースクロック | | |
|-----|--------------|--------------|--------------|
| | 16 MHz | 8 MHz | 4 MHz |
| 000 | 76800 [baud] | 38400 [baud] | 19200 [baud] |
| 001 | 38400 | 19200 | 9600 |
| 010 | 19200 | 9600 | 4800 |
| 011 | 9600 | 4800 | 2400 |
| 100 | 4800 | 2400 | 1200 |
| 101 | 2400 | 1200 | 600 |

UART1 の転送レートとして TC3 使用を選択したとき (つまり UART1CR1<BRG>="110" に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC3 ソースクロック [Hz]} \div \text{TTREG3 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

12.5 データのサンプリング方法

UART1 のレシーバは、RXD1 端子入力にスタートビットが見つかるまで UART1CR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD1 端子の "L" レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

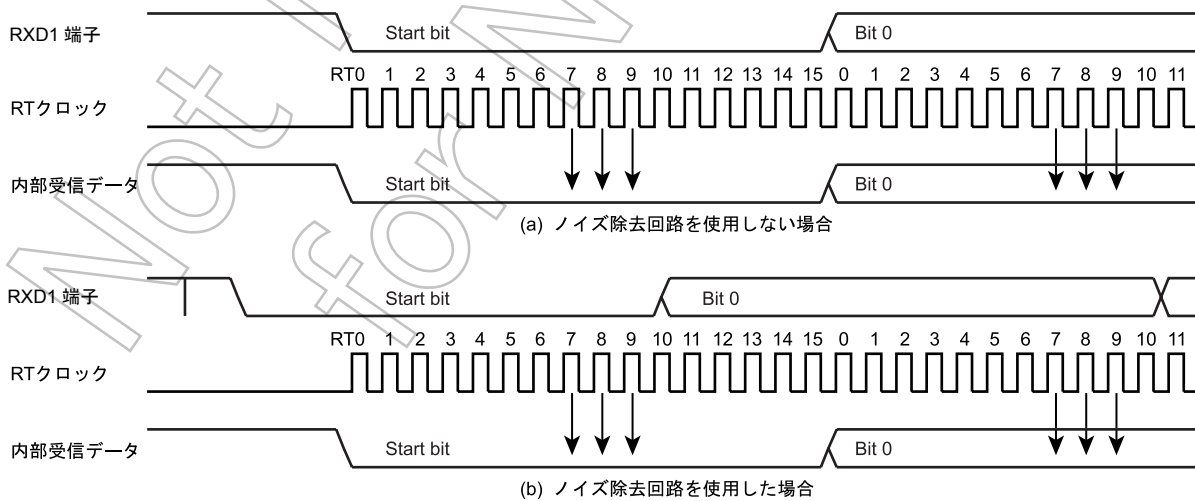


図 12-4 データのサンプリング方法

12.6 STOP ビット長

UART1CR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

12.7 パリティ

UART1CR1<PE> でパリティ付加の有無を、UART1CR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

12.8 送受信動作

12.8.1 データ送信動作

UART1CR1<TXE> を “1” にセットします。UART1SR を読み出し TBEP = “1” を確認後、TD1BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART1SR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD1 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART1CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART1CR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UART1SR<TBEP> は “1” にセットされ、INTTXD1 割り込みが発生します。

UART1CR1<TXE> が “0” の間および UART1CR1<TXE> に “1” を書き込んでから TD1BUF に送信データが書き込まれるまでの間、TXD1 端子は “H” レベルに固定されます。

送信を行う場合、UART1SR を読み出してから TD1BUF にデータを書き込んでください。読み出さないと、UART1SR<TBEP> が “0” にクリアされず送信が開始されません。

12.8.2 データ受信動作

UART1CR1<RXE> を “1” にセットします。その後、RXD1 端子からデータを受信すると、RD1BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD1BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART1SR<RBFL> がセットされ、INTRXD1 割り込みが発生します。データ転送ボーレートは UART1CR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD1BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD1BUF 内のデータは影響を受けません。

注) UART1CR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

12.9 ステータスフラグ

12.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART1SR<PERR> が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<PERR> は“0”にクリアされます。

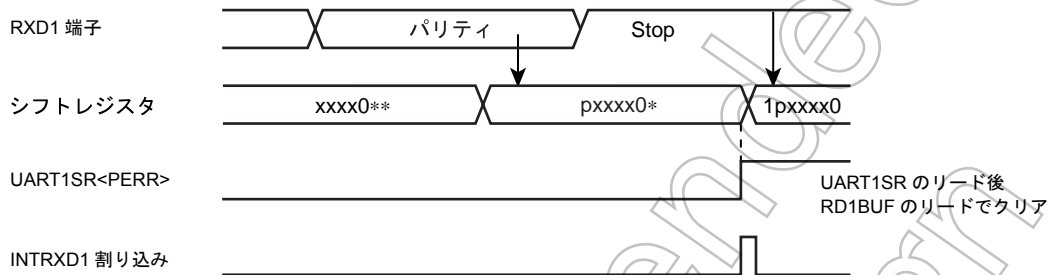


図 12-5 パリティエラーの発生

12.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART1SR<FERR> が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<FERR> は“0”にクリアされます。

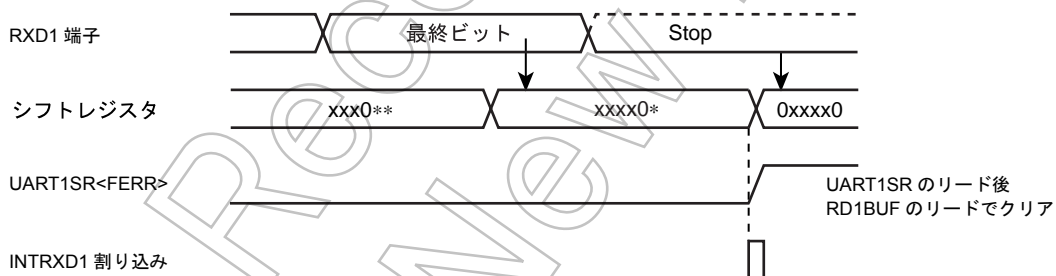


図 12-6 フレーミングエラーの発生

12.9.3 オーバランエラー

RD1BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART1SR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<OERR> は“0”にクリアされます。

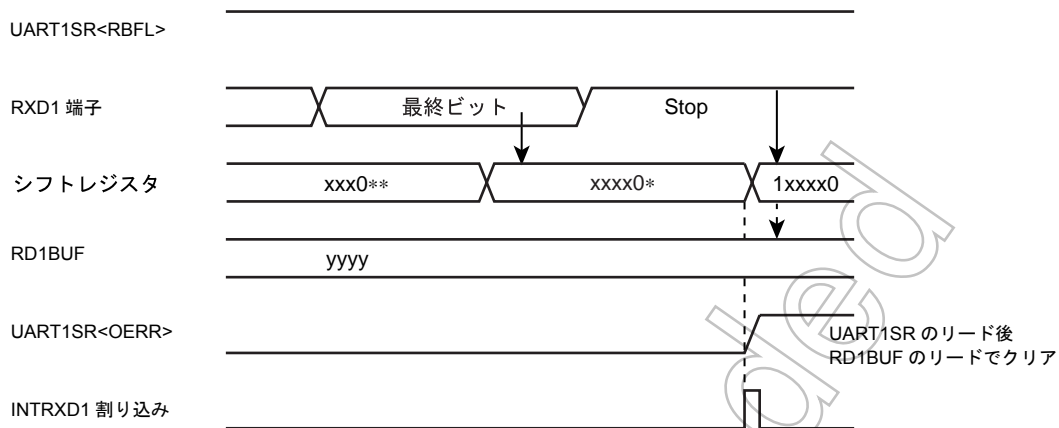


図 12-7 オーバランエラーの発生

注) オーバランエラーフラグ UART1SR<OERR> がクリアされるまで、受信動作は停止します。

12.9.4 受信バッファフル

受信データを RD1BUF に取り込むと UART1SR<RBFL> が “1” にセットされます。UART1SR を読み出した後、RD1BUF からデータを読み出すと UART1SR<RBFL> は “0” にクリアされます。

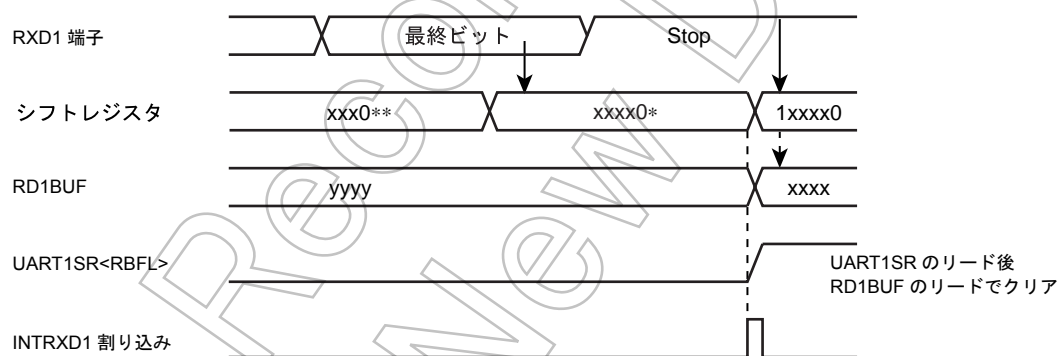


図 12-8 受信バッファフルの発生

注) 上記、UART1SR の読み出しから RD1BUF を読み出す間にオーバランエラーフラグ UART1SR<OERR> がセットされた場合、RD1BUF 読み出しだけではエラーフラグがクリアされません。再度 UART1SR を読み込み、エラーの確認を行ってください。

12.9.5 送信バッファエンpty

TD1BUF にデータが存在しないとき、つまり TD1BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART1SR<TBEP> が “1” にセットされます。UART1SR を読み出した後、TD1BUF にデータを書き込むと UART1SR<TBEP> は “0” にクリアされます。

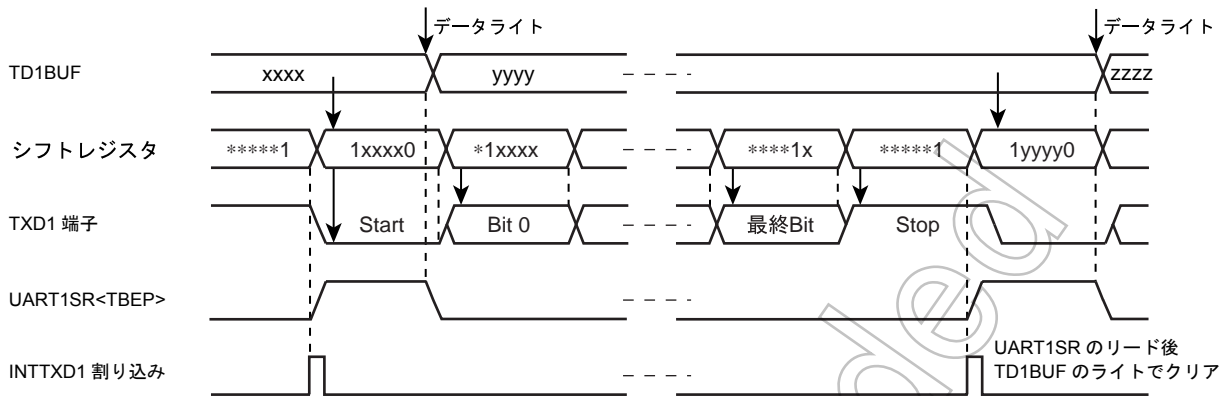


図 12-9 送信バッファエンプティの発生

12.9.6 送信終了フラグ

送信が終了し、TD1BUF 内に待機中のデータがないとき (UART1SR<TBEP>=“1”のとき) UART1SR<TEND> が“1”にセットされます。TD1BUF にデータを書き込んだ後、送信が開始されると UART1SR<TEND> は“0”にクリアされます。

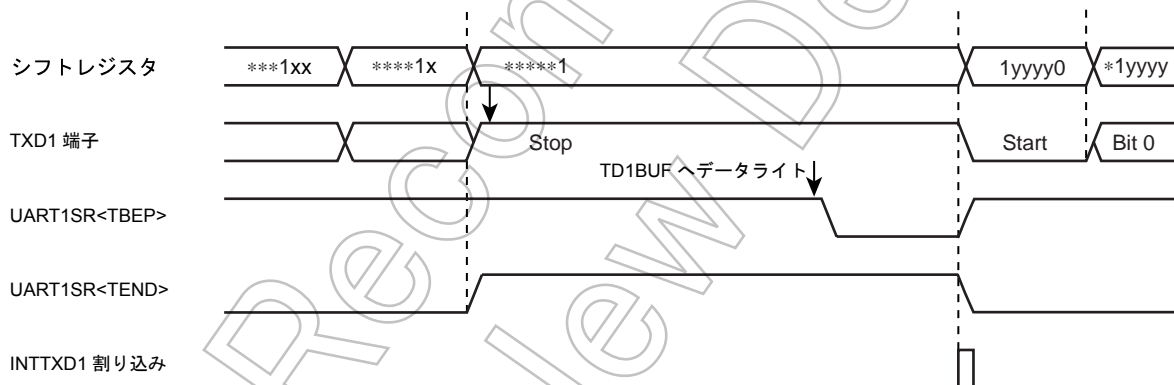


図 12-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

第 13 章 非同期型シリアルインターフェース (UART2)

13.1 構成

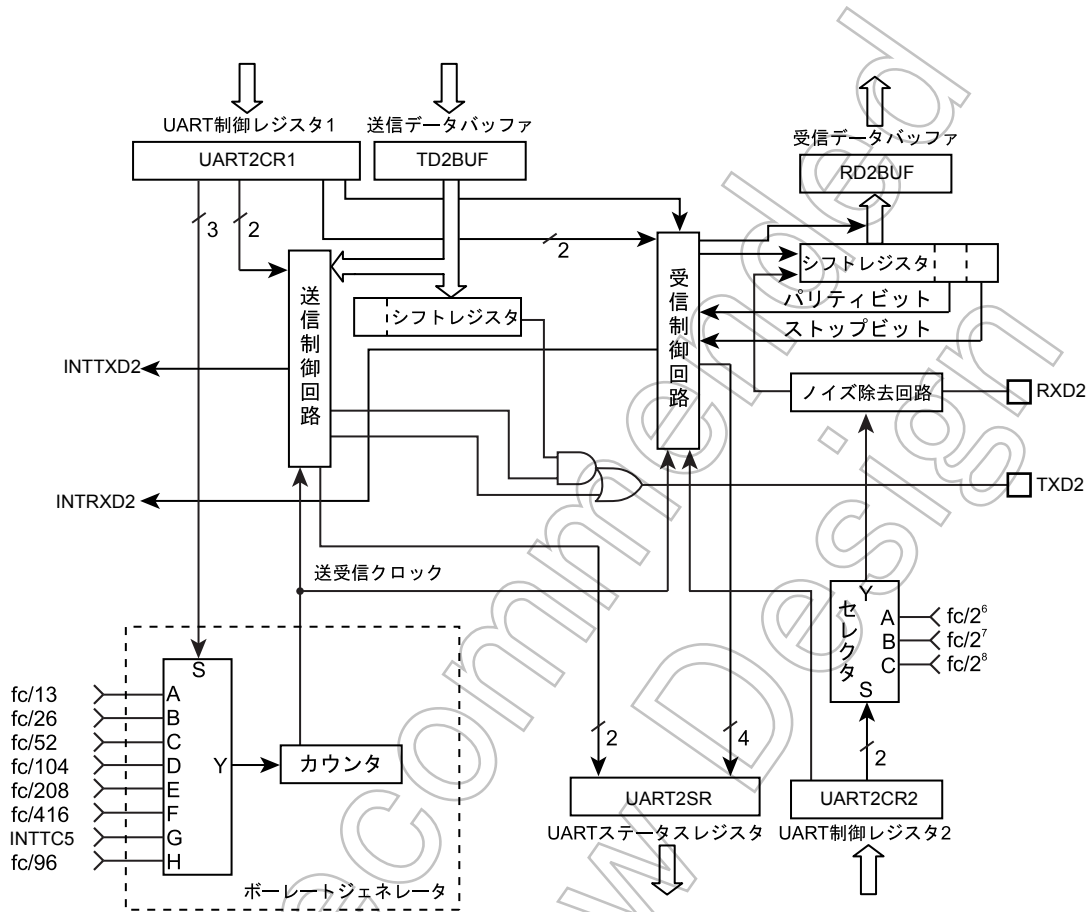


図 13-1 UART2 (非同期型シリアルインターフェース)

13.2 制御

UART2 は、UART2 制御レジスタ 1, 2 (UART2CR1, UART2CR2) で制御されます。また UART2 ステータスレジスタ (UART2SR) により動作状態のモニタができます。

UART2 制御レジスタ 1

| | | | | | | | | | |
|---------------------|-----|-----|------|------|----|-----|---|---|------------------|
| UART2CR1 (0F98H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | TXE | RXE | STBT | EVEN | PE | BRG | | | (初期値: 0000 0000) |

| | | | |
|------|------------|--|------------|
| TXE | 送信動作 | 0: ディセーブル 1: イネーブル | Write only |
| RXE | 受信動作 | 0: ディセーブル 1: イネーブル | |
| STBT | 送信ストップビット長 | 0: 1 ビット 1: 2 ビット | |
| EVEN | 偶数パリティ | 0: 奇数パリティ 1: 偶数パリティ | |
| PE | パリティ付加 | 0: パリティなし 1: パリティ付加 | |
| BRG | 転送クロック選択 | 000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96 | |

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART2 制御レジスタ 2

| | | | | | | | | | |
|---------------------|---|---|---|---|---|-------|--------|---|------------------|
| UART2CR2 (0F99H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | | | | | | RXDNC | STOPBR | | (初期値: **** *000) |

| | | | |
|--------|-------------------|---|------------|
| RXDNC | RXD 入力のノイズ除去時間の選択 | 00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去 | Write only |
| STOPBR | 受信ストップビット長 | 0: 1 ビット 1: 2 ビット | |

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART2 ステータスレジスタ

| | | | | | | | | | |
|--------------------|------|------|------|------|------|------|---|---|-------------------|
| UART2SR (0F98H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | PERR | FERR | OERR | RBFL | TEND | TBEP | | | (初期値 : 0000 11**) |

| | | | |
|------|--------------|--|-----------|
| PERR | パリティエラーフラグ | 0: パリティエラーなし 1: パリティエラー発生 | Read only |
| FERR | フレーミングエラーフラグ | 0: フレーミングエラーなし 1: フレーミングエラー発生 | |
| OERR | オーバランエラーフラグ | 0: オーバランエラーなし 1: オーバランエラー発生 | |
| RBFL | 受信バッファフルフラグ | 0: 受信バッファ空き 1: 受信バッファフル | |
| TEND | 送信終了フラグ | 0: 送信中 1: 送信終了 | |
| TBEP | 送信バッファ空きフラグ | 0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き | |

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART2 受信データバッファ

| | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|-------------------|
| RD2BUF (0F9AH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Read only |
| | | | | | | | | | (初期値 : 0000 0000) |

UART2 送信データバッファ

| | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|-------------------|
| TD2BUF (0F9AH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Write only |
| | | | | | | | | | (初期値 : 0000 0000) |

Not Recommended for New Design

13.3 転送データフォーマット

UART2 で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UART2CR1<STBT> でビット長の選択可)、パリティ UART2CR1<PE> でパリティ有無の選択可、UART2CR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

| PE | STBT | フレーム長 | | | | | | | | | | | |
|----|------|-------|---|---|---|---|----|----|----|--|--|--|--|
| | | 1 | 2 | 3 | 8 | 9 | 10 | 11 | 12 | | | | |
| 0 | 0 | | | | | | | | | | | | |
| 0 | 1 | | | | | | | | | | | | |
| 1 | 0 | | | | | | | | | | | | |
| 1 | 1 | | | | | | | | | | | | |

図 13-2 転送データフォーマット

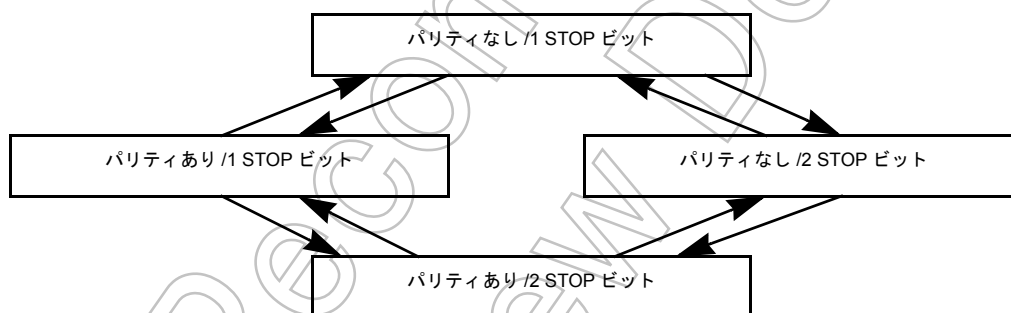


図 13-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 13-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

13.4 転送レート

UART2 の転送レート (ボーレート) は UART2CR1<BRG> により設定されます。以下に転送レートの例を示します。

表 13-1 転送レート (例)

| BRG | ソースクロック | | |
|-----|--------------|--------------|--------------|
| | 16 MHz | 8 MHz | 4 MHz |
| 000 | 76800 [baud] | 38400 [baud] | 19200 [baud] |
| 001 | 38400 | 19200 | 9600 |
| 010 | 19200 | 9600 | 4800 |
| 011 | 9600 | 4800 | 2400 |
| 100 | 4800 | 2400 | 1200 |
| 101 | 2400 | 1200 | 600 |

UART2 の転送レートとして TC5 使用を選択したとき (つまり UART2CR1<BRG>="110" に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC5 ソースクロック [Hz]} \div \text{TTREG5 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

13.5 データのサンプリング方法

UART2 のレシーバは、RXD2 端子入力にスタートビットが見つかるまで UART2CR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD2 端子の "L" レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

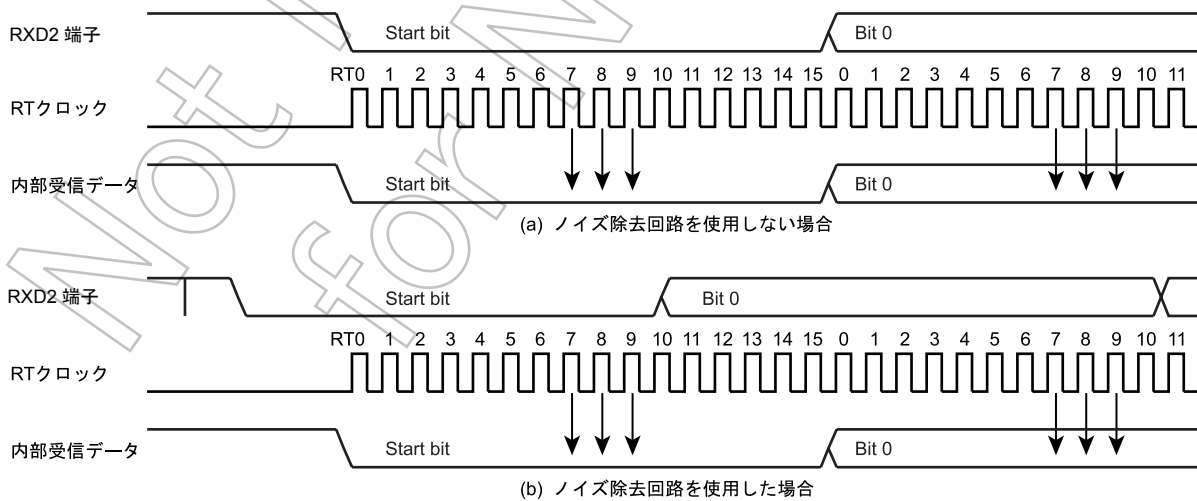


図 13-4 データのサンプリング方法

13.6 STOP ビット長

UART2CR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

13.7 パリティ

UART2CR1<PE> でパリティ付加の有無を、UART2CR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

13.8 送受信動作

13.8.1 データ送信動作

UART2CR1<TXE> を “1” にセットします。UART2SR を読み出し TBEP = “1” を確認後、TD2BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART2SR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD2 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART2CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART2CR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UART2SR<TBEP> は “1” にセットされ、INTTXD2 割り込みが発生します。

UART2CR1<TXE> が “0” の間および UART2CR1<TXE> に “1” を書き込んでから TD2BUF に送信データが書き込まれるまでの間、TXD2 端子は “H” レベルに固定されます。

送信を行う場合、UART2SR を読み出してから TD2BUF にデータを書き込んでください。読み出さないと、UART2SR<TBEP> が “0” にクリアされず送信が開始されません。

13.8.2 データ受信動作

UART2CR1<RXE> を “1” にセットします。その後、RXD2 端子からデータを受信すると、RD2BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD2BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART2SR<RBFL> がセットされ、INTRXD2 割り込みが発生します。データ転送ボーレートは UART2CR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD2BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD2BUF 内のデータは影響を受けません。

注) UART2CR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

13.9 ステータスフラグ

13.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART2SR<PERR> が“1”にセットされます。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<PERR> は“0”にクリアされます。

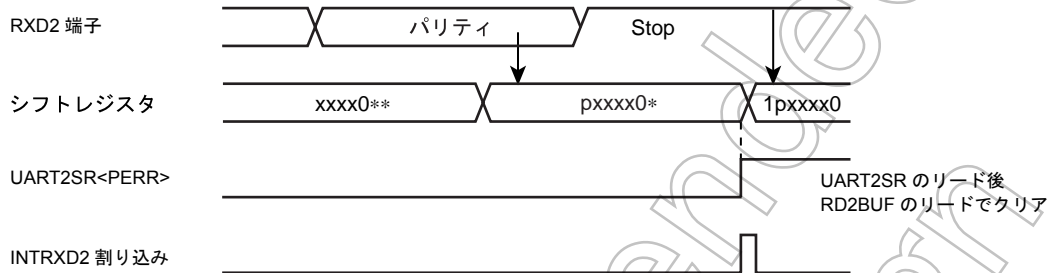


図 13-5 パリティエラーの発生

13.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART2SR<FERR> が“1”にセットされます。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<FERR> は“0”にクリアされます。

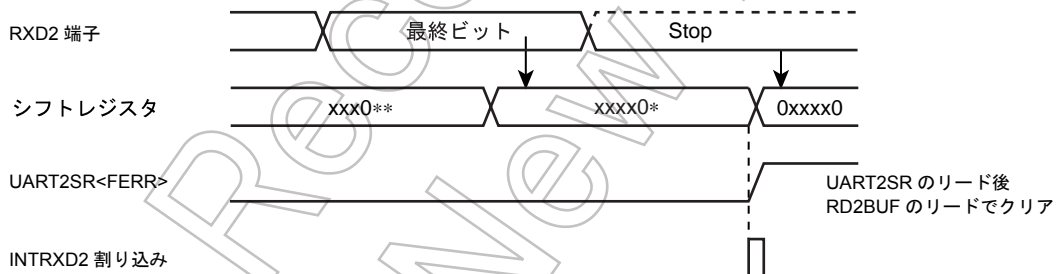


図 13-6 フレーミングエラーの発生

13.9.3 オーバランエラー

RD2BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART2SR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<OERR> は“0”にクリアされます。

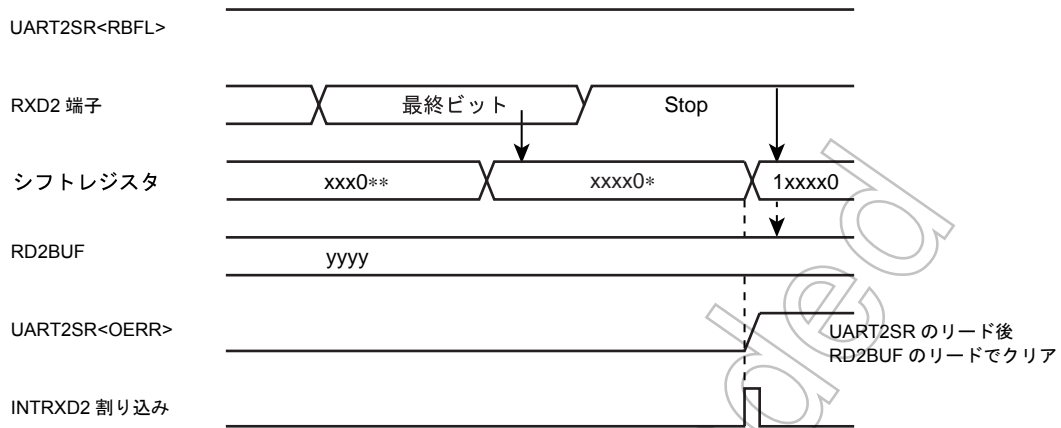


図 13-7 オーバランエラーの発生

注) オーバランエラーフラグ UART2SR<OERR> がクリアされるまで、受信動作は停止します。

13.9.4 受信バッファフル

受信データを RD2BUF に取り込むと UART2SR<RBFL> が “1” にセットされます。UART2SR を読み出した後、RD2BUF からデータを読み出すと UART2SR<RBFL> は “0” にクリアされます。

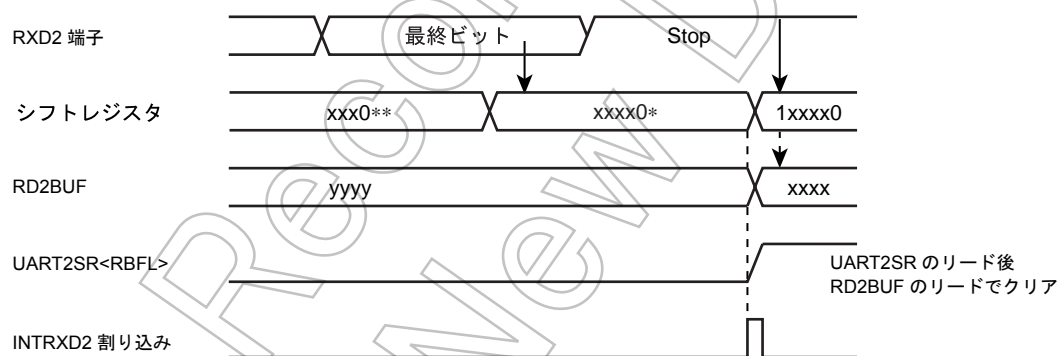


図 13-8 受信バッファフルの発生

注) 上記、UART2SR の読み出しから RD2BUF を読み出す間にオーバーランエラーフラグ UART2SR<OERR> がセットされた場合、RD2BUF 読み出しだけではエラーフラグがクリアされません。再度 UART2SR を読み込み、エラーの確認を行ってください。

13.9.5 送信バッファエンpty

TD2BUF にデータが存在しないとき、つまり TD2BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART2SR<TBEP> が “1” にセットされます。UART2SR を読み出した後、TD2BUF にデータを書き込むと UART2SR<TBEP> は “0” にクリアされます。

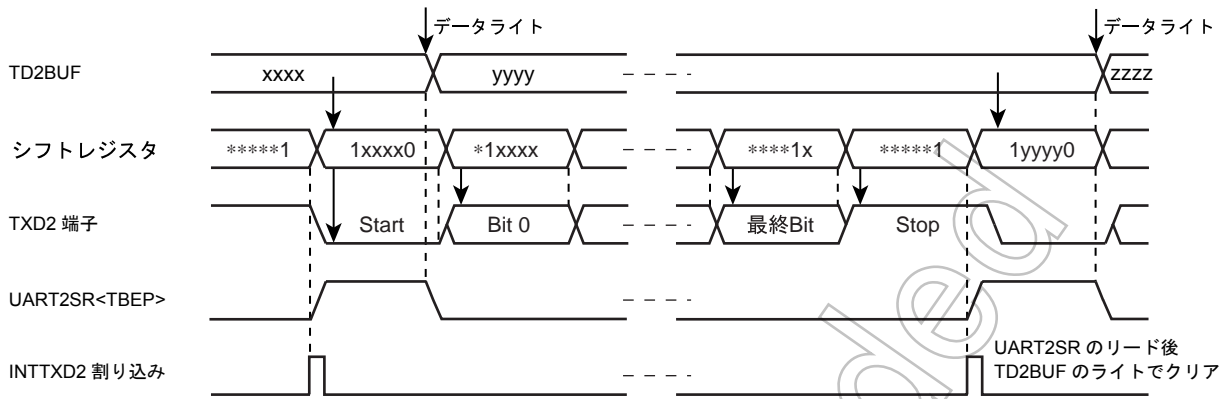


図 13-9 送信バッファエンプティの発生

13.9.6 送信終了フラグ

送信が終了し、TD2BUF 内に待機中のデータがないとき (UART2SR<TBEP>=“1”のとき) UART2SR<TEND> が“1”にセットされます。TD2BUF にデータを書き込んだ後、送信が開始されると UART2SR<TEND> は“0”にクリアされます。

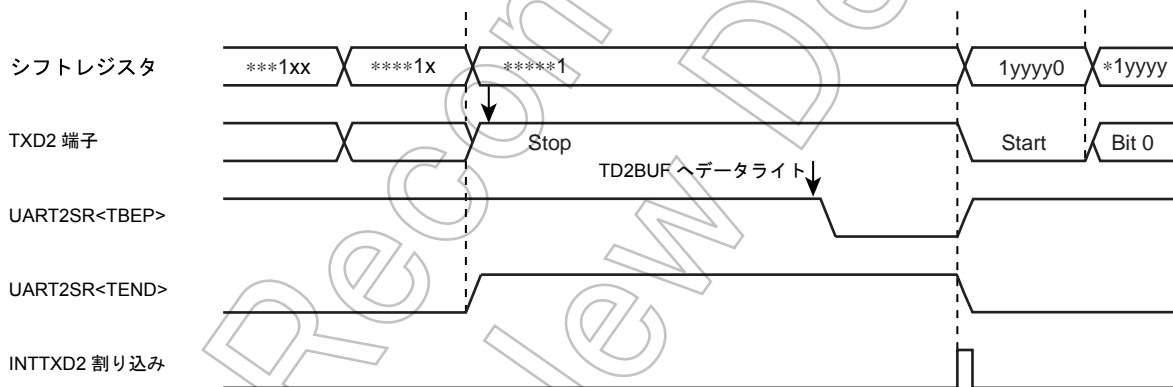


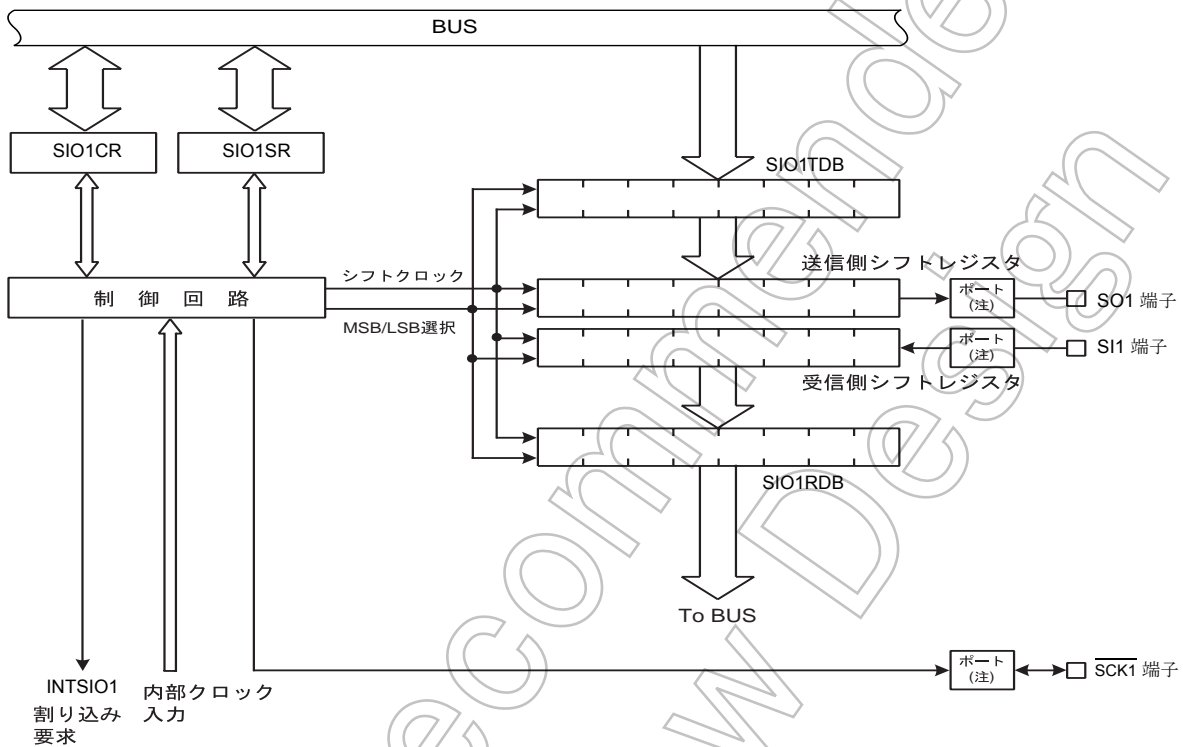
図 13-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

第 14 章 同期式シリアルインタフェース (SIO1)

SIO1 は S11, SO1, $\overline{\text{SCK1}}$ 端子を通して外部デバイスと接続されます。これらの I/O 端子をシリアルインタフェース用の端子として使用する場合、対応するポートの出力ラッチを“1”にセットします。

14.1 構成



注 1) 兼用入出力端子の入出力制御を正しく設定してください。
詳しくは入出力ポート制御レジスタの項を参照してください。

図 14-1 同期式シリアルインタフェース (SIO)

14.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO1CR) で行います。また、ステータスレジスタ (SIO1SR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ

| | | | | | | | | | |
|-------------------|------|--------|------|--------|-----|---|---|---|------------------|
| SIO1CR (0020H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | SIOS | SIOINH | SIOM | SIODIR | SCK | | | | (初期値: 0000 0000) |

| | | | | | | |
|--------|----------------------|--|----------------------------|------------------------|----------|-------------------|
| SIOS | 転送動作の開始 / 終了制御 | 0: 動作終了 1: 動作開始 | | | R/W | |
| SIOINH | 転送の強制終了 (注 1) | 0: - 転送強制停止 (停止後自動的に "0" にクリア) | | | | |
| SIOM | 転送モードの選択 | 00: 送信モード 01: 受信モード 10: 送受信モード 11: Reserved | | | | |
| SIODIR | 転送方向の選択 | 0: MSB (ビット 7) から転送を行う 1: LSB (ビット 0) から転送を行う | | | | |
| SCK | シリアルクロックの選択 | | NORMAL 1/2 or IDLE 1/2 モード | | | SLOW/SLEEP モード |
| | | | TBTCR <DV7CK> = "0" | TBTCR <DV7CK> = "1" | | |
| | | 000 | fc/2 ¹² | fs/2 ⁴ | | fs/2 ⁴ |
| | | 001 | fc/2 ⁸ | fc/2 ⁸ | | Reserved |
| | | 010 | fc/2 ⁷ | fc/2 ⁷ | Reserved | |
| | | 011 | fc/2 ⁶ | fc/2 ⁶ | Reserved | |
| | | 100 | fc/2 ⁵ | fc/2 ⁵ | Reserved | |
| 101 | fc/2 ⁴ | fc/2 ⁴ | Reserved | | | |
| 110 | fc/2 ³ | fc/2 ³ | Reserved | | | |
| 111 | 外部クロック (SCK1 端子から入力) | | | | | |

注 1) SIOINH に "1" を書き込んだ場合、SIO1CR <SIOS>, SIO1SR レジスタ, SIO1RDB レジスタ, SIO1TDB レジスタ が初期値に初期化されます。

注 2) 転送モード、転送方向、シリアルクロックの選択は、動作停止中 (SIO1SR<SIOF>="0") に行ってください。

注 3) fc: 高周波クロック [Hz]、fs: 低周波クロック、*: Don't care

シリアルインタフェースステータスレジスタ

| | | | | | | | | | |
|-------------------|------|-----|-----|-----|-------|-------|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| SIO1SR (0021H) | SIOF | SEF | TXF | RXF | TXERR | RXERR | | | (初期値: 0010 00**) |

| | | | |
|-------|----------------|--|-----------|
| SIOF | シリアル転送動作状態モニタ | 0: 動作停止中 1: 動作中 | Read only |
| SEF | クロック数モニタ | 0: 8クロック目 1: 1~7クロック目 | |
| TXF | 送信バッファエンプティフラグ | 0: 送信バッファにデータあり 1: 送信バッファにデータなし | |
| RXF | 受信バッファフルフラグ | 0: 受信バッファにデータなし 1: 受信バッファにデータあり | |
| TXERR | 送信エラーフラグ | Read 時 0: -(エラー発生なし) 1: 外部クロック動作時に送信バッファアンダーランが発生 Write 時 0: フラグのクリア 1: -(ソフトで“1”を書き込むことはできません) | R/W |
| RXERR | 受信エラーフラグ | Read 時 0: -(エラー発生なし) 1: 外部クロック動作時に受信バッファオーバーランが発生 Write 時 0: フラグのクリア 1: -(ソフトで“1”を書き込むことはできません) | |

注 1) TXERR, RXERR は、SIOS に“0”を書き込み、転送動作を終了しても“0”にクリアされません。従って TXERR, RXERR をクリアするには、これらのビットに“0”を書き込むか、SIO1CR <SIOINH> に“1”を書き込んでください。

注 2) *: Don't care

受信バッファレジスタ

| | | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Read only |
| SIO1RDB (0022H) | | | | | | | | | (初期値: 0000 0000) |

送信バッファレジスタ

| | | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|---|-----------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Write only |
| SIO1TDB (0022H) | | | | | | | | | (初期値: **** ***) |

注 1) SIO1TDB は書き込み専用レジスタですので、ビット操作などリードモディファイライト命令でアクセスしないでください。

注 2) SIO1TDB は、SIO1SR <TXF> が“1”であることを確認した後にデータを書き込んでください。SIO1SR<TXF> が“0”のときにデータを書き込んでも、書き込んだデータは SIO1TDB に転送されません。

注 3) *: Don't care

14.3 機能

14.3.1 シリアルクロック

14.3.1.1 クロックソース

シリアルクロックは、SIO1CR <SCK> によって選択されます。なお、シリアルクロックの変更は、SIO が動作停止中 (SIO1SR<SIOF>=“0”) に行ってください。

(1) 内部クロック

SIO1CR<SCK> に“111B”以外を設定すると、“表 14-1 シリアルクロックレート ($f_c = 16$ MHz, $f_s = 32.768$ Hz)” に示すクロックレートに従って、シリアルクロックが SCK1 端子から出力されます。なお、転送開始前および転送終了時、SCK1 端子は“H”レベルになります。

プログラムでのデータの書き込み (送信時) またはデータの読み取り (受信時) 処理が、このシリアルクロックレートに追従できない場合、“図 14-2 自動ウェイト機能 (送信モードの例)”のように SCK1 端子を“H”レベルで一時停止し、データバッファへのアクセスが行われるまで、シフト動作を待機させる自動ウェイト機能を内蔵しています。データの書き込み、データの読み出しにより、自動ウェイトが解除され SCK1 端子からシリアルクロックが出力されるまで、最大で、選択されているシリアルクロックの 1 周期かかります。

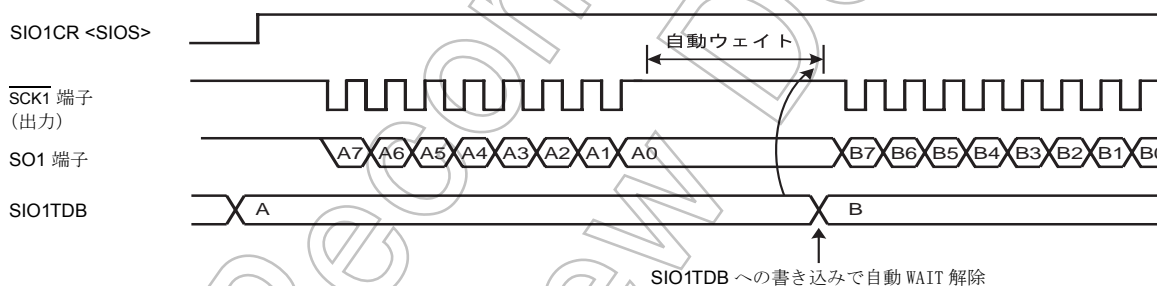


図 14-2 自動ウェイト機能 (送信モードの例)

表 14-1 シリアルクロックレート ($f_c = 16$ MHz, $f_s = 32.768$ Hz)

| SCK | NORMAL 1/2, IDLE 1/2 モード | | | | SLOW 1/2, SLEEP 1/2 モード | |
|-----|--------------------------|------------|---------------------|-----------|-------------------------|----------|
| | TBTCCR<DV7CK> = "0" | | TBTCCR<DV7CK> = "1" | | シリアルクロック | 転送速度 |
| | シリアルクロック | 転送速度 | シリアルクロック | 転送速度 | | |
| 000 | $f_c/2^{12}$ | 3.906 kbps | $f_s/2^4$ | 2048 bps | $f_s/2^4$ | 2048 bps |
| 001 | $f_c/2^8$ | 62.5 kbps | $f_c/2^8$ | 62.5 kbps | Reserved | - |
| 010 | $f_c/2^7$ | 125 kbps | $f_c/2^7$ | 125 kbps | Reserved | - |
| 011 | $f_c/2^6$ | 250 kbps | $f_c/2^6$ | 250 kbps | Reserved | - |
| 100 | $f_c/2^5$ | 500 kbps | $f_c/2^5$ | 500 kbps | Reserved | - |
| 101 | $f_c/2^4$ | 1.00 Mbps | $f_c/2^4$ | 1.00 Mbps | Reserved | - |
| 110 | $f_c/2^3$ | 2.00 Mbps | $f_c/2^3$ | 2.00 Mbps | Reserved | - |

(2) 外部クロック

SIO1CR<SCK>に“111B”を設定すると、外部から $\overline{\text{SCK1}}$ 端子に供給されるクロックが、シリアルクロックとして使用されます。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は、“H”レベル、“L”レベルともに $4/f_c$ 以上必要です。

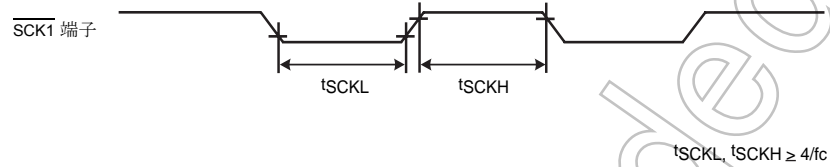


図 14-3 外部クロック

14.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

(1) 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

(2) 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

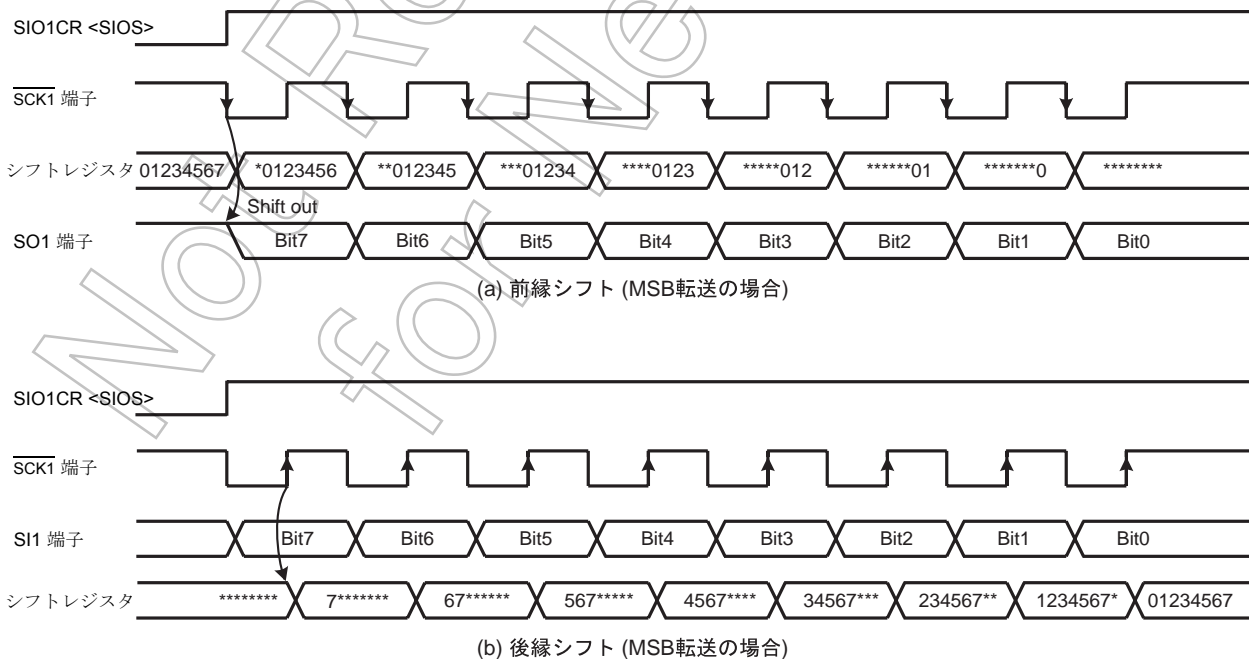


図 14-4 シフトエッジ

14.3.2 転送ビット方向

転送ビット方向は、SIO1CR <SIODIR> によって選択されます。なお、データの転送方向は、送信、受信で個別に設定することはできません。また、転送ビット方向の変更は、SIO 動作停止中 (SIO1SR<SIOF>=“0”) に行ってください。

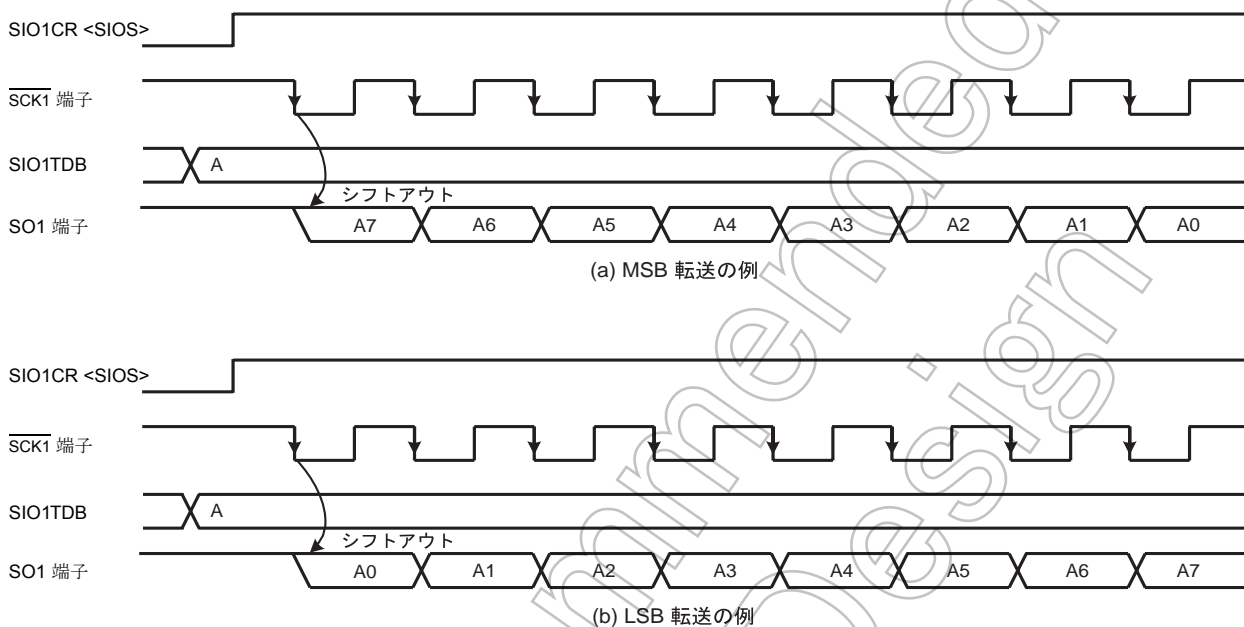


図 14-5 転送ビット方向 (送信モードの例)

14.3.2.1 送信モード

(1) MSB 転送

SIO1CR<SIODIR> に“0”を書き込むと MSB 送信モードとなり、SO1 端子から、送信データのビット 7 よりビット 0 へと順次送信されます。

(2) LSB 転送

SIO1CR <SIODIR> に“1”を書き込むと LSB 送信モードとなり、SO1 端子から、送信データのビット 0 よりビット 7 へと順次送信されます。

14.3.2.2 受信モード

(1) MSB 受信

SIO1CR <SIODIR> に“0”を書き込むと MSB 受信モードとなり、SI1 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

(2) LSB 受信

SIO1CR <SIODIR> に“1”を書き込むと LSB 受信モードとなり、SII 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

14.3.2.3 送受信モード

(1) MSB 送受信

SIO1CR <SIODIR> に“0”を書き込むと MSB 送受信モードとなり、SO1 端子から、送信データのビット 7 よりビット 0 へと順次送信され、SII 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

(2) LSB 送受信

SIO1CR <SIODIR> に“1”を書き込むと LSB 送受信モードとなり、SO1 端子から、送信データのビット 0 よりビット 7 へと順次送信され、SII 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

14.3.3 転送モード

転送モードは、SIO1CR <SIOM> によって送信 / 受信 / 送受信モードのいずれかを選択できます。

14.3.3.1 送信モード

SIO1CR <SIOM> に“00B”を設定すると、送信モードになります。

(1) 送信開始

SIO1CR <SIOM> に“00B”を書き込むことによって送信モードに設定し、SIO1CR <SCK> でシリアルクロックを、SIO1CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO1TDB) に送信データをセットすると、SIO1SR <TXF> が“0”にクリアされます。

SIO1CR <SIOS> に“1”を書き込むと、 $\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1SR <SIOF> が“1”にセットされます。

SO1 端子から $\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO1SR <SEF> が“1”にセットされます。

SIO1TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK1}}$ 端子の立ち上がりで、SIO1SR <TXF> が“1”にセットされます。また、次の $\overline{\text{SCK1}}$ 端子の立ち上がりで INTSIO1 割り込み要求が発生します。

注 1) 内部クロック動作の場合、送信バッファに送信データを書き込まれていない状態で SIO1CR <SIOS> に“1”をセットしても、送信は開始されません。

注 2) 内部クロック動作の場合、SIO1CR <SIOS> が“1”にセットされると、最大で、選択されているシリアルクロックの 1 周期後、SIO1TDB に書き込まれたデータがシフトレジスタに転送され、 $\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

注 3) 外部クロック動作の場合、SIO1CR <SIOS> が “1” にセットされた後、 $\overline{SCK1}$ 端子の立ち下がリエッジが入力されると、直ちに SIO1TDB に書き込まれたデータがシフトレジスタに転送され、SO1 端子から、SIO1CR <SIODIR> で選択した転送ビット方向より順に送信が開始されます。

(2) 送信動作中

SIO1TDB にデータを書き込むと、SIO1SR<TXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの送信データすべての送信が終了したとき、次に送信するデータが SIO1TDB に書き込まれていない場合、自動ウェイト機能が動作して $\overline{SCK1}$ 端子が “H” レベルになります。送信するデータを SIO1TDB に書き込むと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、送信動作が再開されます。

SIO1SR<TXF> が “1” のとき、8 ビットの送信データすべてを送信する前に SIO1TDB にデータを書き込むと、送信中のデータが送信された後、続けて書き込んだデータが送信されます。

外部クロック動作のとき、SIO1SR<TXF> が “1” にセットされてから、次のデータのシフト動作に入る前に、送信データを SIO1TDB に書き込む必要があります。送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO1SR<TXERR> が “1” にセットされ、INTSIO1 割り込み要求が発生します。

(3) 送信終了

送信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR<SIOS> に “0” を書き込む方法
SIO1CR<SIOS> に “0” を書き込むと、すべての送信データが転送を終了した後、送信動作を停止します。送信動作が終了すると SIO1SR<SIOF> が “0” にクリアされ、SO1 端子が “H” レベルになります。
外部クロック動作の場合、次の転送の開始によって SIO1SR<SEF> が “1” にセットされる前に、SIO1CR <SIOS> に “0” を書き込みます。
- SIO1CR<SIOINH> に “1” を書き込む方法
SIO1CR<SIOINH> に “1” を書き込むと、直ちに送信を終了します。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

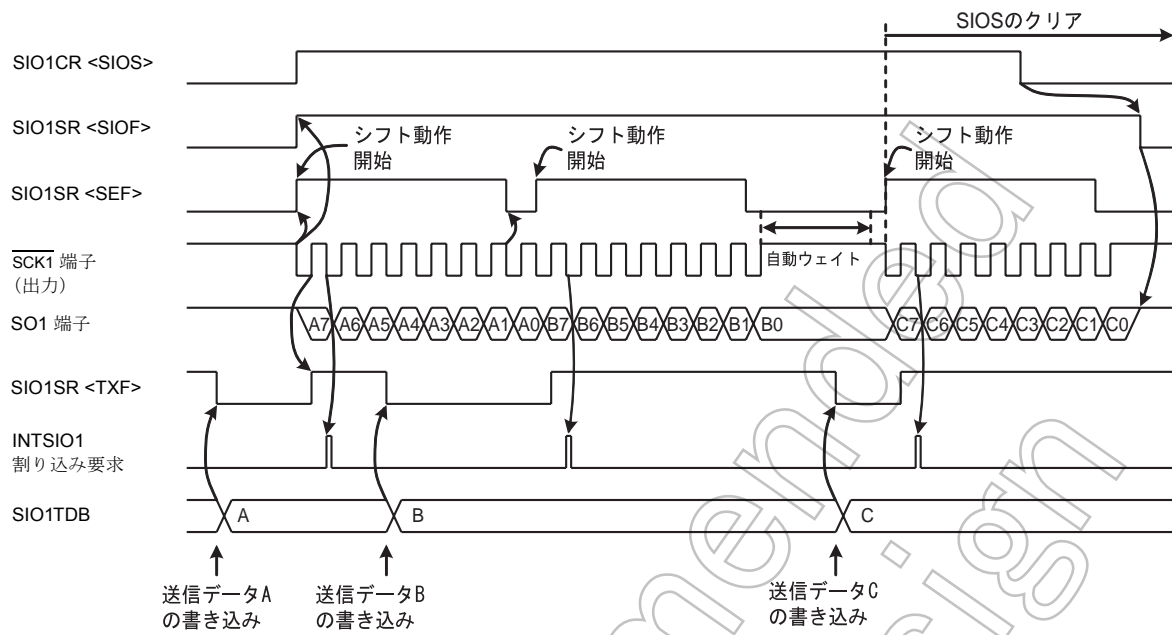


図 14-6 内部クロック、MSB 送信の例

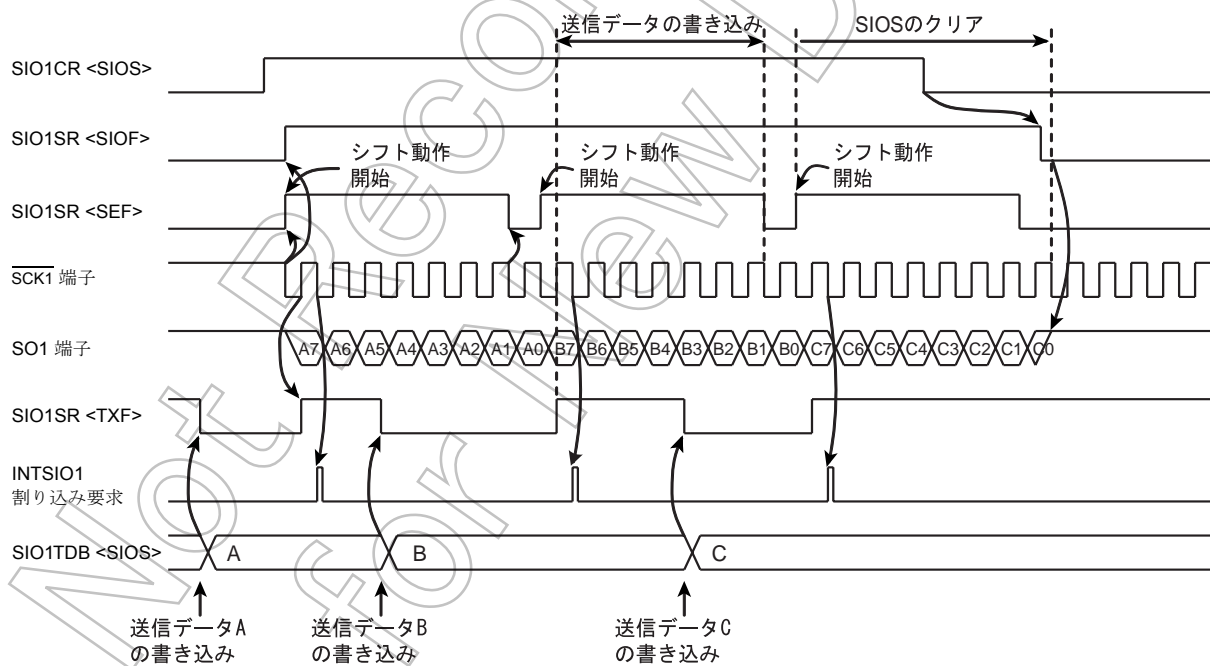


図 14-7 外部クロック、MSB 送信の例

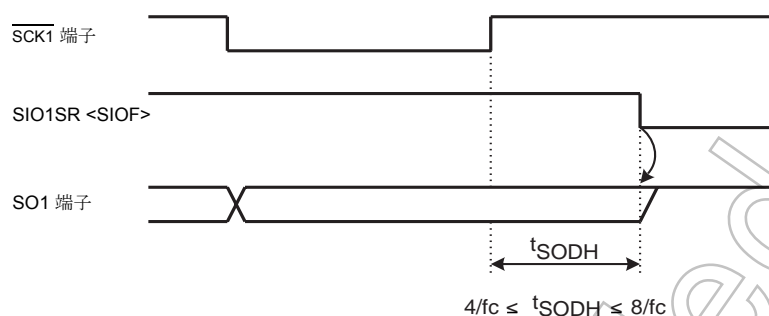


図 14-8 送信終了時のデータ保持時間

(4) 送信エラー処理

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、次の送信データを SIO1TDB に書き込む前に、シフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO1SR <TXERR> が “1” にセットされ、シフト動作が行われた次のクロックの立ち下がり で INTSIO1 割り込み要求が発生します。

SIO1CR <SIOS> を “1” にセットした後、SIO1TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO1SR <TXERR> が “1” にセットされると同時に、INTSIO1 割り込み要求が発生します。

SIO1SR <TXERR> が “1” にセットされると、SO1 端子からは “H” レベルが出力されます。

送信エラーが発生した場合、SIO1CR <SIOINH> に “1” を書き込み、送信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

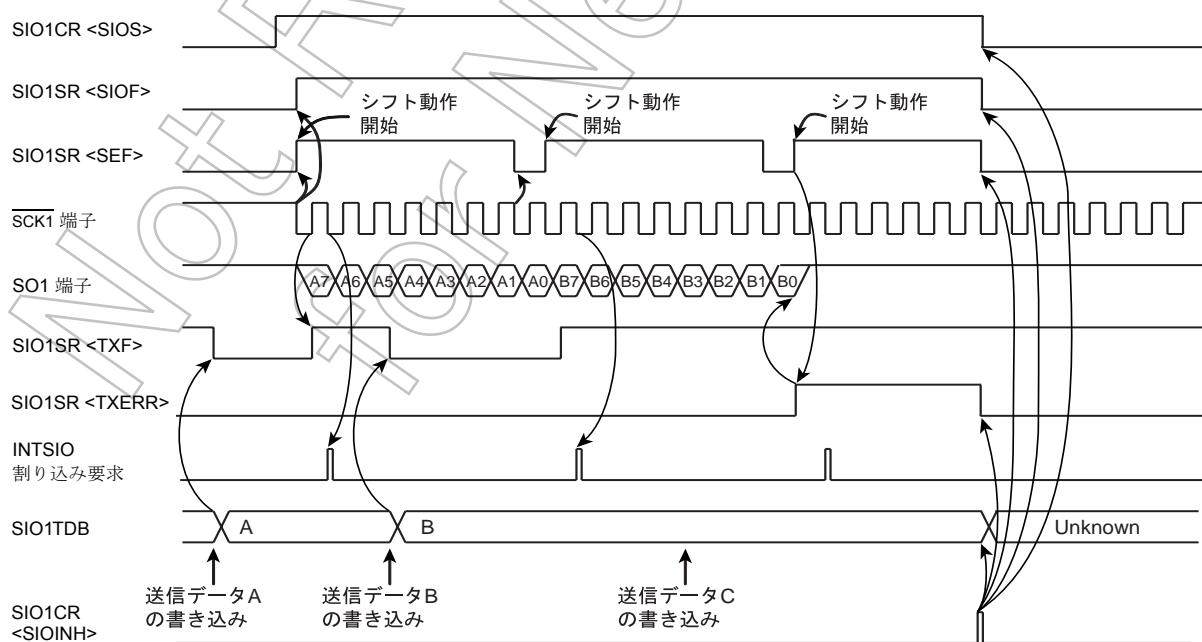


図 14-9 送信モードエラー処理の例

14.3.3.2 受信モード

SIO1CR <SIOM> に“01B”を書き込むと、受信モードになります。

(1) 受信開始

SIO1CR の SIO1CR <SIOM> に、“01B”を書き込み受信モードに設定し、SIO1CR <SCK> でシリアルクロックを、SIO1CR <SIODIR> で転送ビット方向を設定します。

$\overline{\text{SCK1}}$ 端子の立ち上がりエッジに同期して、SI1 端子から SIO1CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりエッジまでの間、SIO1SR <SEF> が“1”にセットされます。

8 ビットのデータが受信されると受信データがシフトレジスタから SIO1RDB に転送され、SIO1SR <RXF> が“1”にセットされるとともに、INTSIO1 割り込み要求が発生します。

注) 内部クロック動作の場合、SIO1CR <SIOS> が“1”にセットされると、最大、選択されているシリアルクロックの 1 周期分後、 $\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

(2) 受信動作中

SIO1RDB からデータを読み出すと、SIO1SR <RXF> は“0”にクリアされます。

内部クロック動作において、8 ビットの受信データすべての受信が終了したとき、自動ウェイト機能が動作し $\overline{\text{SCK1}}$ 端子が“H”レベルになります。SIO1RDB から受信データを読み出すと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、受信動作が再開されます。

外部クロック動作のとき、SIO1SR <RXF> が“1”にセットされてから、次の受信データのシフト動作が終了する前に、SIO1RDB から受信データを読み出す必要があります。受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO1SR <RXERR> が“1”にセットされ、INTSIO1 割り込み要求が発生します。

(3) 受信終了

受信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR <SIOS> に“0”を書き込む方法
SIO1CR <SIOS> に“0”を書き込むと、すべての受信データが転送を終了した後、受信動作を停止します。受信動作が終了すると、SIO1SR <SIOF> が“0”にクリアされます。
外部クロック動作の場合、次の転送が開始によって SIO1SR <SEF> が“1”にセットされる前に、SIO1CR <SIOS> に“0”を書き込みます。
- SIO1CR <SIOINH> に“1”を書き込む方法
SIO1CR <SIOINH> に“1”を書き込むと、直ちに受信を終了します。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

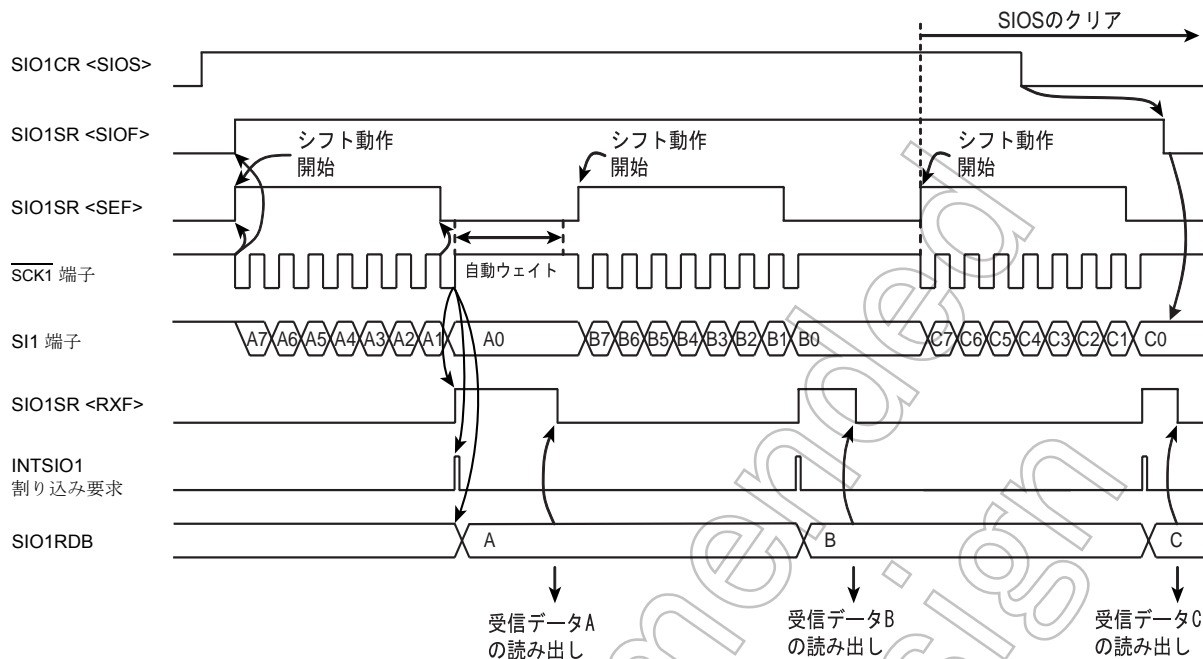


図 14-10 内部クロック、MSB 受信の例

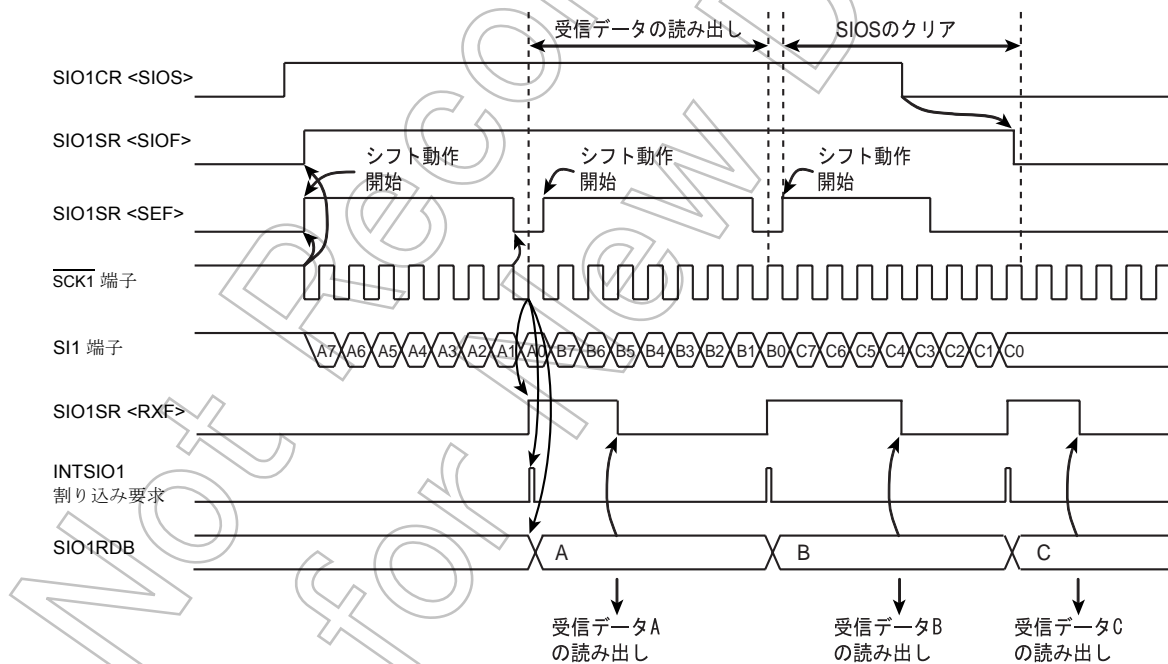


図 14-11 外部クロック、MSB 受信の例

(4) 受信エラー処理

下記の状態が発生すると受信エラーとなり、SIO1SR<RXERR> が“1”にセットされ、SIO1RDB とシフトレジスタ内のデータを保護するため、エラー発生以降の受信データは無視されます。

- 外部クロック動作のとき、SIO1SR<RXF> が“1”の状態、受信データを SIO1RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには SIO1CR <SIOS> に“0”を書き込み、受信動作を停止させます。次に、SIO1RDB からデータを読み出します。その後、再度 SIO1RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO1SR<RXERR> に“0”を書き込むと、SIO1SR<RXF> が“0”にクリアされます。SIO1CR <SIOS> を“0”にクリアした後、8ビット分のシリアルクロックが $\overline{\text{SCK1}}$ 端子から入力されると、SIO1SR<SIOF> が“0”にクリアされ、受信動作は停止します。受信動作を再開する場合には、SIO1SR<SIOF> が“0”にクリアされたことを確認してから行ってください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO1CR <SIOINH> に“1”を書き込み、受信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

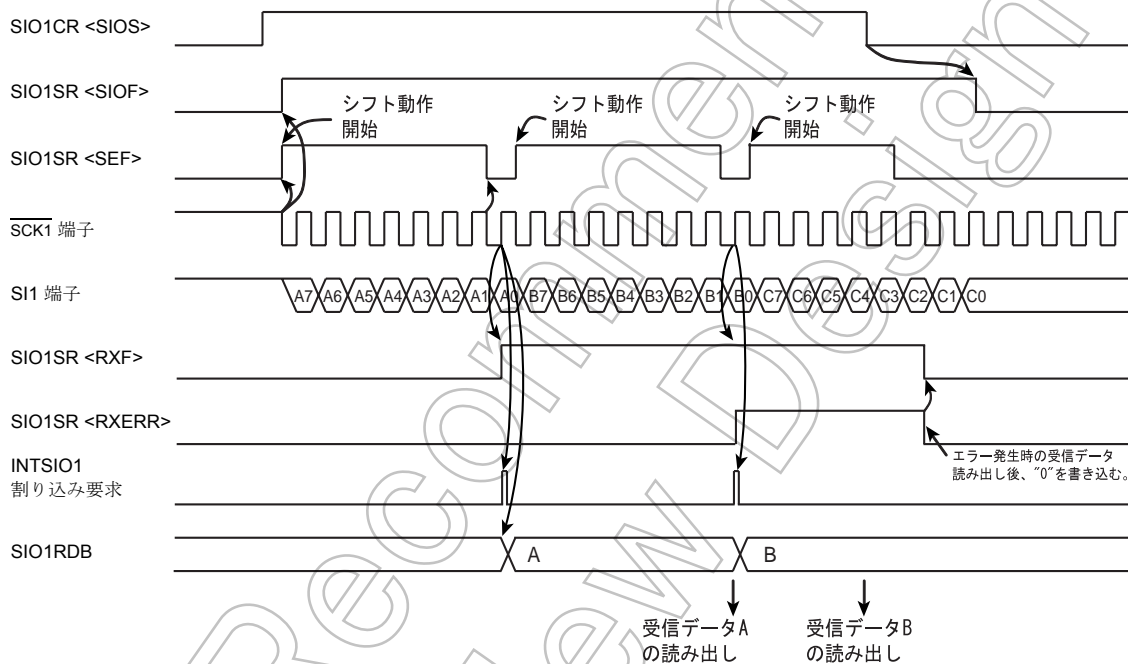


図 14-12 受信モードエラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

14.3.3.3 送受信モード

SIO1CR <SIOM> に“10B”を書き込むと、送受信モードになります。

(1) 送受信開始

SIO1CR の SIO1CR <SIOM> に“10B”を書き込み、送受信モードに設定し、SIO1CR <SCK> でシリアルクロックを、SIO1CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO1TDB) に送信データをセットします。送信バッファレジスタにデータが書き込まれると、SIO1SR<TXF> が“0”にクリアされます。

SIO1CR <SIOS> に“1”を書き込むと、 $\overline{\text{SCK1}}$ 端子の立ち上がりエッジに同期して、SIO1SR<SIOF> が“1”にセットされます。

SO1 端子から $\overline{\text{SCK1}}$ 端子の立ち下がりに同期して、SIO1CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。また、 $\overline{\text{SCK1}}$ 端子の立ち上がりに同期して、SIO1CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO1SR<SEF> が“1”にセットされます。

SIO1TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK1}}$ 端子の立ち上がりで、SIO1SR<TXF> が“1”にセットされます。また、8 ビットのデータが受信されると、受信データがシフトレジスタから SIO1RDB に転送され、SIO1SR<RXF> が“1”にセットされるとともに、INTSIO1 割り込み要求が発生します。

- 注 1) 内部クロック動作の場合、SIO1CR <SIOS> を“1”にセットすると、最大で、選択されているシリアルクロック 1 周期分後、SIO1TDB に書き込まれたデータがシフトレジスタに転送され、 $\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。
- 注 2) 外部クロック動作の場合、SIO1CR <SIOS> を“1”にセットした後、 $\overline{\text{SCK1}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO1TDB に書き込まれたデータがシフトレジスタに転送されます。また $\overline{\text{SCK1}}$ 端子の立ち上がりエッジが入力されると、受信動作を開始します。

(2) 送受信動作中

SIO1TDB にデータを書き込むと、SIO1SR<TXF> は“0”にクリアされます。また、SIO1RDB を読み出すと、SIO1SR<RXF> は“0”にクリアされます。

内部クロック動作において、8 ビットのデータすべての転送が終了したとき、以下に示す条件下では $\overline{\text{SCK1}}$ 端子が“H”レベルになり、自動ウェイト機能が動作します。

- SIO1RDB から受信データを読み出した後、次の送信データが SIO1TDB に書き込まれない場合
- 次の送信データを SIO1TDB に書き込んだ後、SIO1RDB から受信データを読み出されない場合
- 転送後、SIO1TDB、SIO1RDB ともにアクセスされない場合

SIO1RDB から受信データを読み出した後、送信データを SIO1TDB に書き込むか、送信データを SIO1TDB に書き込んだ後、SIO1RDB から受信データを読み出すと、最大で、選択されているシリアルクロック 1 周期分後、自動ウェイト状態は解除され、送受信が再開されます。

外部クロック動作のとき、次のシフト動作に入る前に、SIO1RDB から受信データを読み出し、送信データを SIO1TDB に書き込む必要があります。

SIO1SR<TXF> が“1”にセットされた後に、送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO1SR<TXERR> が“1”にセットされます。

また、SIO1SR<RXF> が“1”にセットされてから、次の受信データのシフト動作終了前に SIO1RDB から受信データを読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO1SR<RXERR> が“1”にセットされます。

(3) 送受信終了

送受信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR <SIOS> に“0”を書き込む方法
SIO1CR <SIOS> に“0”を書き込むと、送受信しているデータがすべて転送された後、送受信動作を停止します。送受信が終了すると SIO1SR<SIOF> が“0”にクリアされ、SO1 端子が“H”レベルになります。
外部クロック動作の場合、次のデータの転送が始まることによって SIO1SR<SEF> が“1”になる前に、SIO1CR <SIOS> に“0”を書き込みます。

- SIO1CR <SIOINH> に“1”を書き込む方法
 SIO1CR <SIOINH> に“1”を書き込むと、直ちに送受信を終了します。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

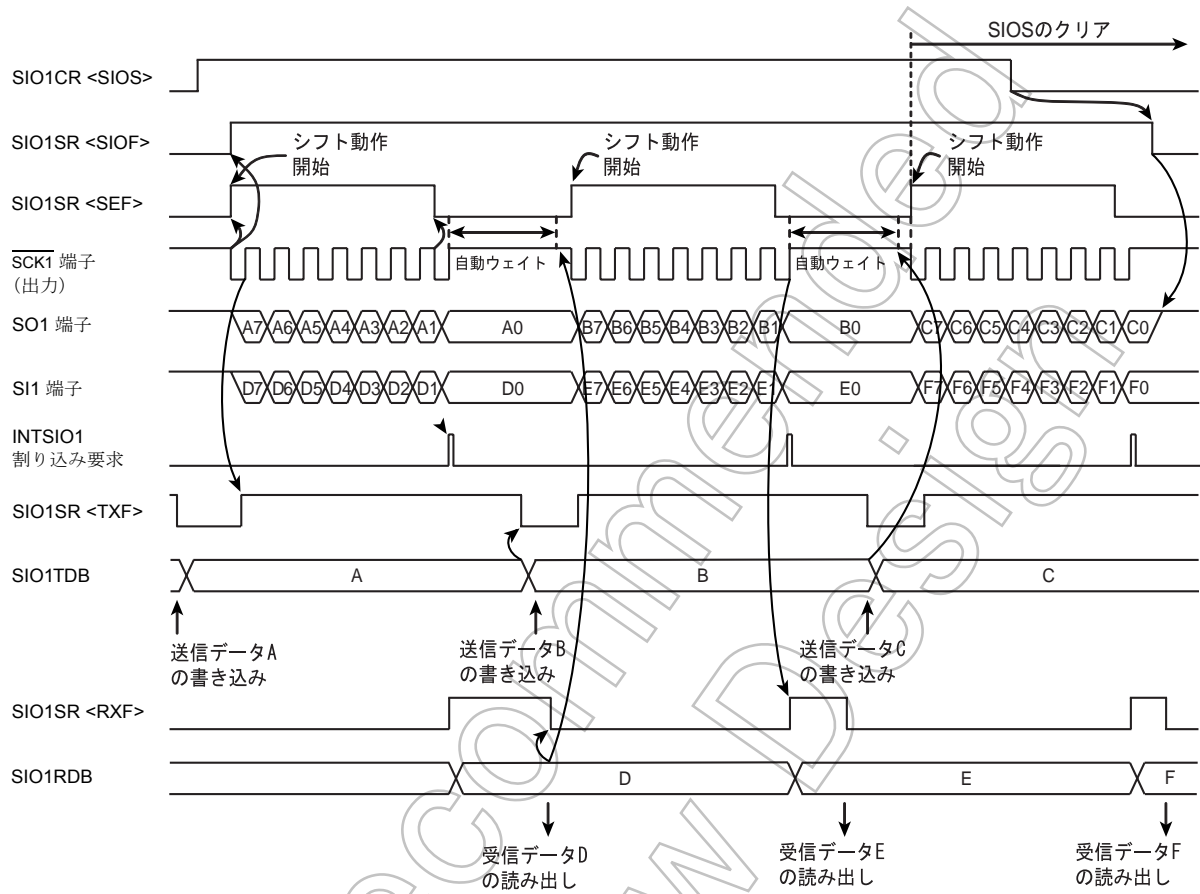


図 14-13 内部クロック、MSB 送受信の例

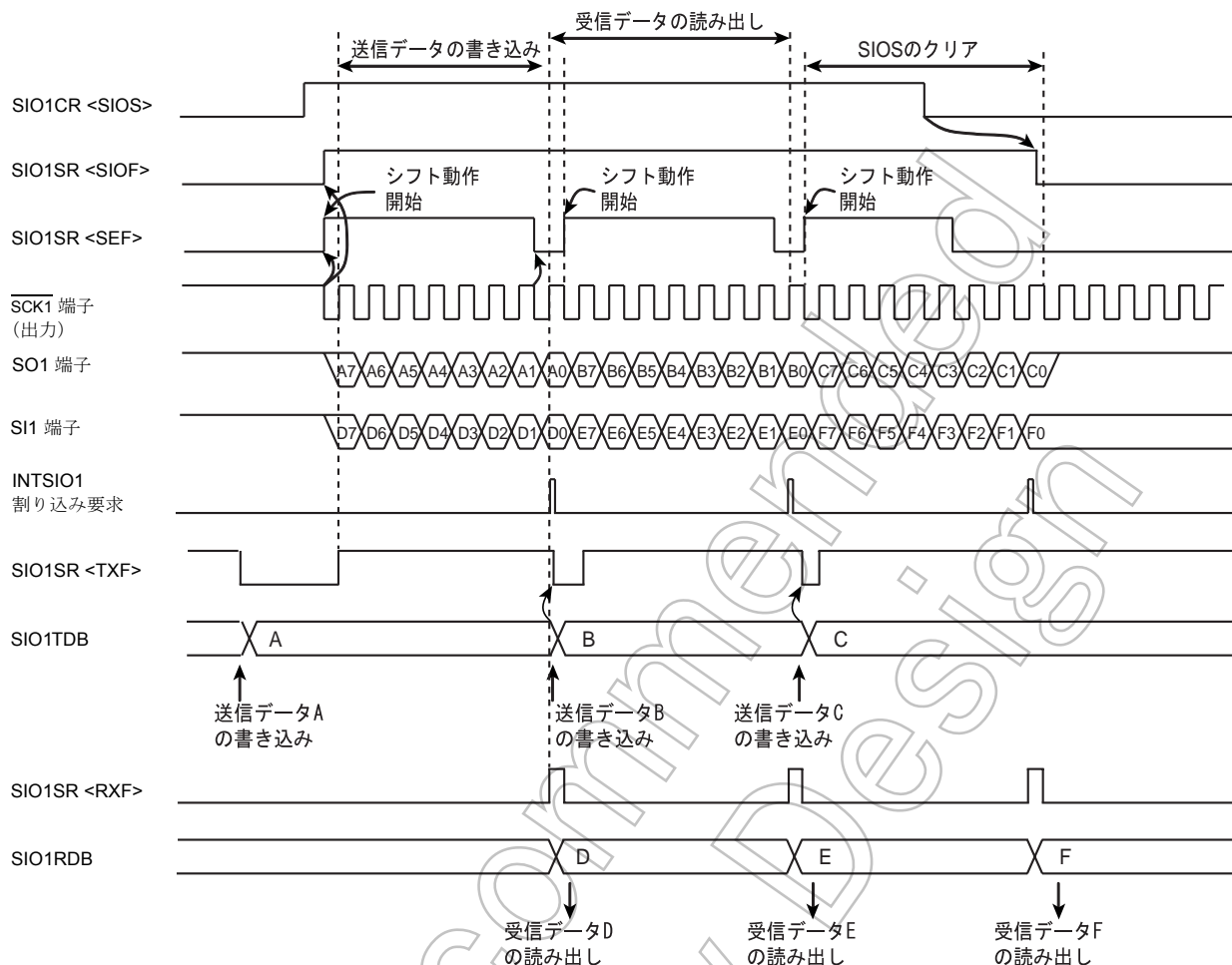


図 14-14 外部クロック、MSB 送受信の例

(4) 送受信エラー処理

下記の状態が発生すると、送受信エラーとなります。送信、受信のどちらでエラーが発生したかによって、エラー発生時の動作が異なります。

(a) 送信エラー

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、送信データを SIO1TDB に書き込む前にシフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO1SR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後、INTSIO1 割り込み要求が発生します。

SIO1CR <SIOS> を “1” にセットし、SIO1TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO1SR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後に INTSIO1 割り込み要求が発生します。

SIO1SR <TXERR> が “1” にセットされると、SO1 端子からは “H” レベルが出力されます。

送信エラーが発生した場合は、受信データを読み出した後、SIO1CR <SIOINH> に “1” を書き込み、送受信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

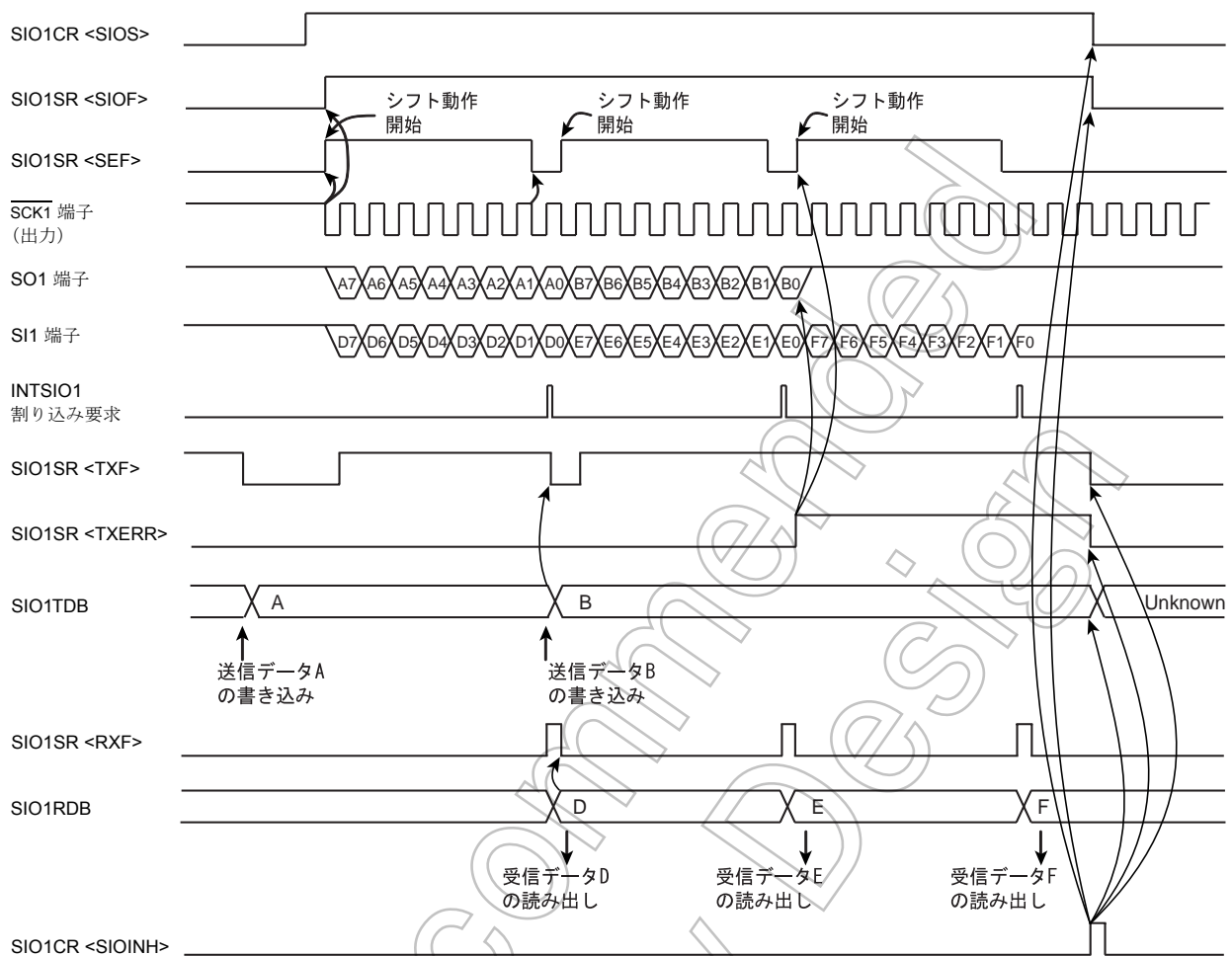


図 14-15 送受信モード (送信) エラー処理の例

(b) 受信エラー

下記の状態が発生すると受信エラーとなり、SIO1SR<RXERR>が“1”にセットされ、SIO1RDBとシフトレジスタ内のデータを保護するため、エラー発生以降のデータは無視されます。

- 外部クロック動作のとき、SIO1SR<RXF>が“1”の状態を受信データをSIO1RDBから読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには、SIO1CR<SIOS>に“0”を書き込み受信を停止させます。次に、SIO1RDBからデータを読み出します。その後、再度SIO1RDBを読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO1SR<RXERR>に“0”を書き込むと、SIO1SR<RXF>が“0”にクリアされます。SIO1CR<SIOS>を“0”にクリアした後、8ビット分のシリアルクロックがSCK1端子から入力されると、SIO1SR<SIOF>が“0”にクリアされ、受信動作は停止します。受信を再開する場合には、SIO1SR<SIOF>が“0”にクリアされたことを確認してください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO1CR<SIOINH>に“1”を書き込み、受信動作を強制停止させます。この場合、SIO1CR<SIOS>、SIO1SRレジスタ、SIO1RDBレジスタ、SIO1TDBレジスタが初期化されます。

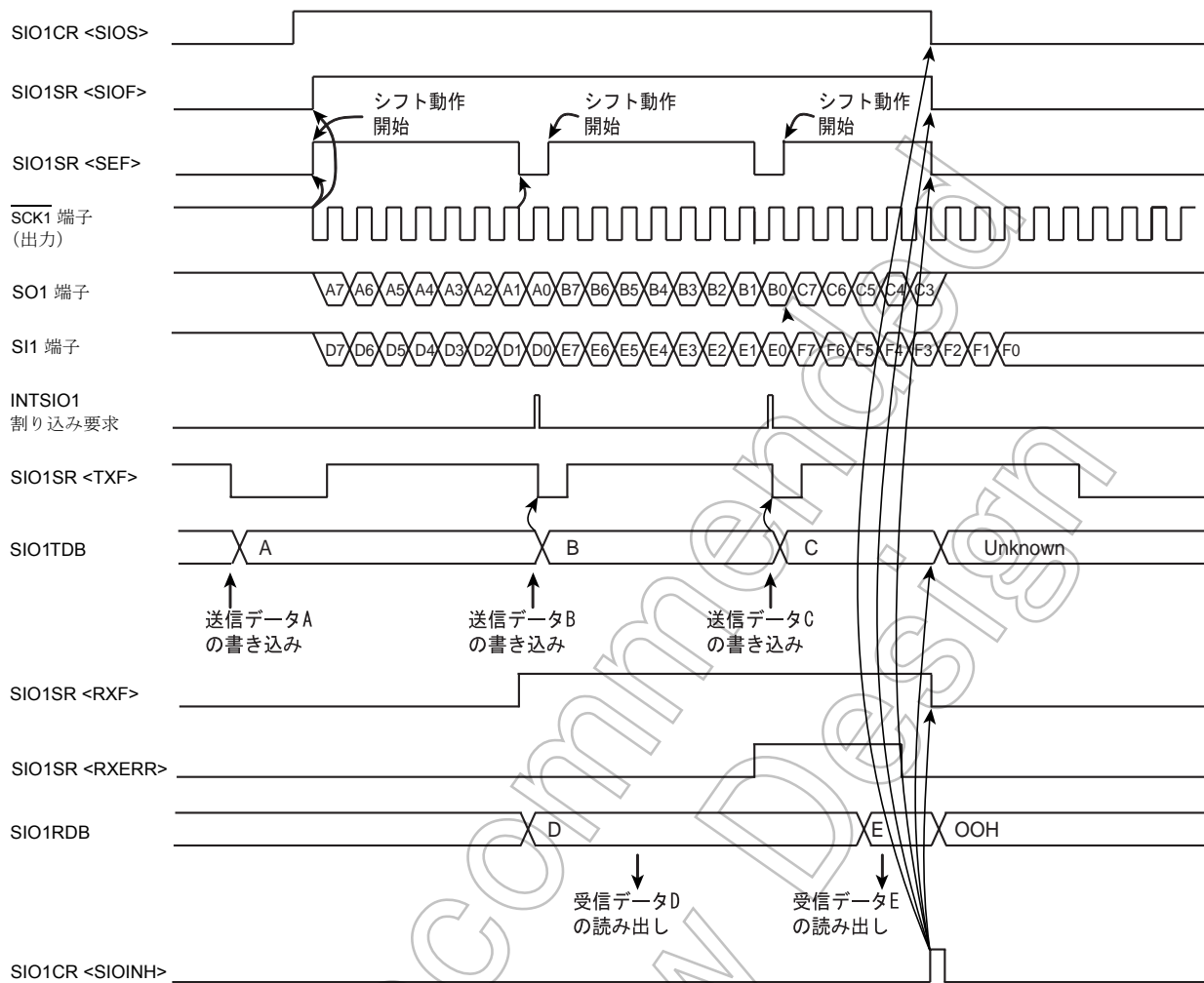


図 14-16 送受信モード (受信) エラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

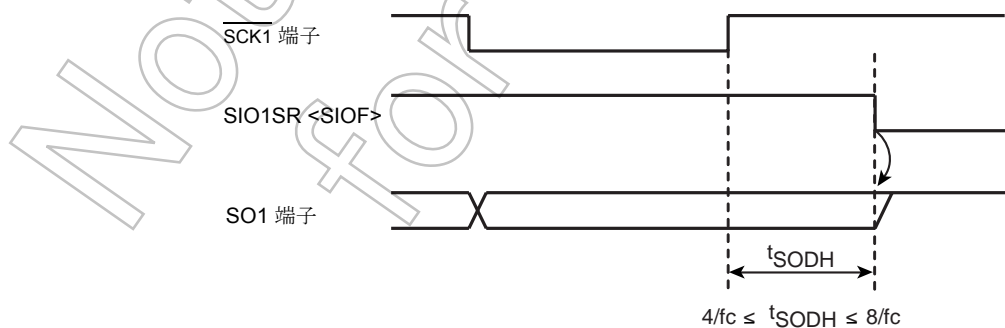
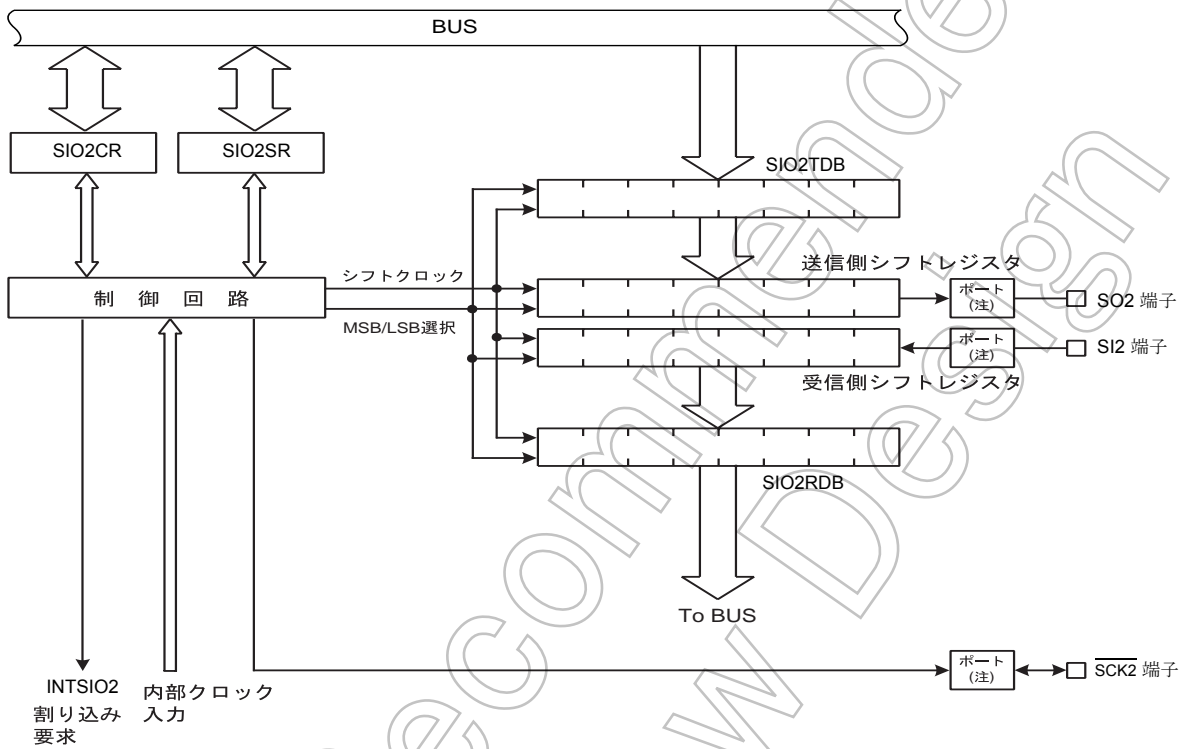


図 14-17 送受信終了時のデータ保持時間

第 15 章 同期式シリアルインタフェース (SIO2)

SIO2 は ,SI2, SO2, $\overline{SCK2}$ 端子を通して外部デバイスと接続されます。これらの I/O 端子をシリアルインタフェース用の端子として使用する場合、対応するポートの出力ラッチを“1”にセットします。

15.1 構成



注 1) 兼用入出力端子の入出力制御を正しく設定してください。
詳しくは入出力ポート制御レジスタの項を参照してください。

図 15-1 同期式シリアルインタフェース (SIO)

15.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO2CR) で行います。また、ステータスレジスタ (SIO2SR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ

| | | | | | | | | | |
|-------------------|------|--------|------|--------|-----|---|---|---|------------------|
| SIO2CR (0031H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | (初期値: 0000 0000) |
| | SIOS | SIOINH | SIOM | SIODIR | SCK | | | | |

| | | | | | |
|--------|----------------------|--|----------------------------|------------------------|----------|
| SIOS | 転送動作の開始 / 終了制御 | 0: 動作終了 1: 動作開始 | | | R/W |
| SIOINH | 転送の強制終了 (注 1) | 0: - 転送強制停止 (停止後自動的に "0" にクリア) | | | |
| SIOM | 転送モードの選択 | 00: 送信モード 01: 受信モード 10: 送受信モード 11: Reserved | | | |
| SIODIR | 転送方向の選択 | 0: MSB (ビット 7) から転送を行う 1: LSB (ビット 0) から転送を行う | | | |
| SCK | シリアルクロックの選択 | | NORMAL 1/2 or IDLE 1/2 モード | | |
| | | | TBTCR <DV7CK> = "0" | TBTCR <DV7CK> = "1" | |
| | | 000 | $fc/2^{12}$ | $fs/2^4$ | $fs/2^4$ |
| | | 001 | $fc/2^8$ | $fc/2^8$ | Reserved |
| | | 010 | $fc/2^7$ | $fc/2^7$ | Reserved |
| | | 011 | $fc/2^6$ | $fc/2^6$ | Reserved |
| | | 100 | $fc/2^5$ | $fc/2^5$ | Reserved |
| | | 101 | $fc/2^4$ | $fc/2^4$ | Reserved |
| 110 | $fc/2^3$ | $fc/2^3$ | Reserved | | |
| 111 | 外部クロック (SCK2 端子から入力) | | | | |

注 1) SIOINH に "1" を書き込んだ場合、SIO2CR <SIOS>, SIO2SR レジスタ, SIO2RDB レジスタ, SIO2TDB レジスタ が初期値に初期化されます。

注 2) 転送モード、転送方向、シリアルクロックの選択は、動作停止中 (SIO2SR <SIOF> = "0") に行ってください。

注 3) fc: 高周波クロック [Hz]、fs: 低周波クロック、*: Don't care

シリアルインタフェースステータスレジスタ

| | | | | | | | | | |
|-------------------|------|-----|-----|-----|-------|-------|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| SIO2SR (0032H) | SIOF | SEF | TXF | RXF | TXERR | RXERR | | | (初期値: 0010 00**) |

| | | | |
|-------|----------------|--|-----------|
| SIOF | シリアル転送動作状態モニタ | 0: 動作停止中 1: 動作中 | Read only |
| SEF | クロック数モニタ | 0: 8クロック目 1: 1~7クロック目 | |
| TXF | 送信バッファエンプティフラグ | 0: 送信バッファにデータあり 1: 送信バッファにデータなし | |
| RXF | 受信バッファフルフラグ | 0: 受信バッファにデータなし 1: 受信バッファにデータあり | |
| TXERR | 送信エラーフラグ | Read 時 0: -(エラー発生なし) 1: 外部クロック動作時に送信バッファアンダーランが発生 Write 時 0: フラグのクリア 1: -(ソフトで“1”を書き込むことはできません) | R/W |
| RXERR | 受信エラーフラグ | Read 時 0: -(エラー発生なし) 1: 外部クロック動作時に受信バッファオーバーランが発生 Write 時 0: フラグのクリア 1: -(ソフトで“1”を書き込むことはできません) | |

注 1) TXERR, RXERR は、SIOS に“0”を書き込み、転送動作を終了しても“0”にクリアされません。従って TXERR, RXERR をクリアするには、これらのビットに“0”を書き込むか、SIO2CR <SIOINH> に“1”を書き込んでください。

注 2) *: Don't care

受信バッファレジスタ

| | | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|---|------------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Read only |
| SIO2RDB (002BH) | | | | | | | | | (初期値: 0000 0000) |

送信バッファレジスタ

| | | | | | | | | | |
|--------------------|---|---|---|---|---|---|---|---|-----------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | Write only |
| SIO2TDB (002BH) | | | | | | | | | (初期値: **** ***) |

注 1) SIO2TDB は書き込み専用レジスタですので、ビット操作などリードモディファイライト命令でアクセスしないでください。

注 2) SIO2TDB は、SIO2SR <TXF> が“1”であることを確認した後にデータを書き込んでください。SIO2SR <TXF> が“0”のときにデータを書き込んでも、書き込んだデータは SIO2TDB に転送されません。

注 3) *: Don't care

15.3 機能

15.3.1 シリアルクロック

15.3.1.1 クロックソース

シリアルクロックは、SIO2CR <SCK> によって選択されます。なお、シリアルクロックの変更は、SIO が動作停止中 (SIO2SR <SIOF> = "0") に行ってください。

(1) 内部クロック

SIO2CR <SCK> に "111B" 以外を設定すると、“表 15-1 シリアルクロックレート ($f_c = 16$ MHz, $f_s = 32.768$ Hz)” に示すクロックレートに従って、シリアルクロックが SCK2 端子から出力されます。なお、転送開始前および転送終了時、SCK2 端子は “H” レベルになります。

プログラムでのデータの書き込み (送信時) またはデータの読み取り (受信時) 処理が、このシリアルクロックレートに追従できない場合、“図 15-2 自動ウェイト機能 (送信モードの例)” のように SCK2 端子を “H” レベルで一時停止し、データバッファへのアクセスが行われるまで、シフト動作を待機させる自動ウェイト機能を内蔵しています。データの書き込み、データの読み出しにより、自動ウェイトが解除され SCK2 端子からシリアルクロックが出力されるまで、最大で、選択されているシリアルクロックの 1 周期かかります。

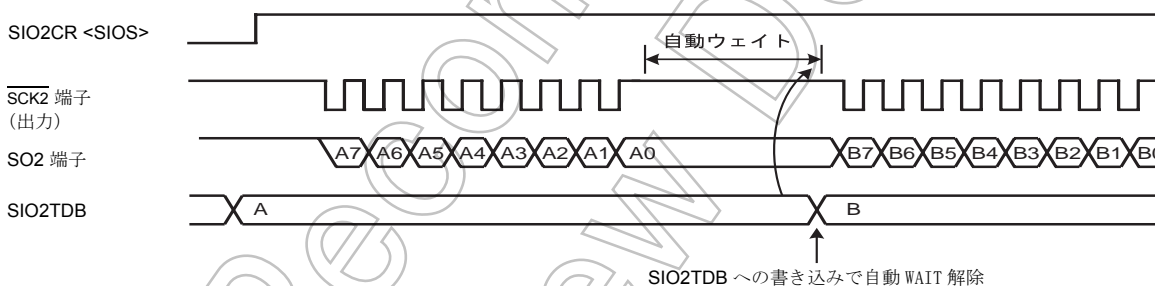


図 15-2 自動ウェイト機能 (送信モードの例)

表 15-1 シリアルクロックレート ($f_c = 16$ MHz, $f_s = 32.768$ Hz)

| SCK | NORMAL 1/2, IDLE 1/2 モード | | | | SLOW 1/2, SLEEP 1/2 モード | |
|-----|--------------------------|------------|----------------------|-----------|-------------------------|----------|
| | TBTCCR <DV7CK> = "0" | | TBTCCR <DV7CK> = "1" | | シリアルクロック | 転送速度 |
| | シリアルクロック | 転送速度 | シリアルクロック | 転送速度 | | |
| 000 | $f_c/2^{12}$ | 3.906 kbps | $f_s/2^4$ | 2048 bps | $f_s/2^4$ | 2048 bps |
| 001 | $f_c/2^8$ | 62.5 kbps | $f_c/2^8$ | 62.5 kbps | Reserved | - |
| 010 | $f_c/2^7$ | 125 kbps | $f_c/2^7$ | 125 kbps | Reserved | - |
| 011 | $f_c/2^6$ | 250 kbps | $f_c/2^6$ | 250 kbps | Reserved | - |
| 100 | $f_c/2^5$ | 500 kbps | $f_c/2^5$ | 500 kbps | Reserved | - |
| 101 | $f_c/2^4$ | 1.00 Mbps | $f_c/2^4$ | 1.00 Mbps | Reserved | - |
| 110 | $f_c/2^3$ | 2.00 Mbps | $f_c/2^3$ | 2.00 Mbps | Reserved | - |

(2) 外部クロック

SIO2CR <SCK> に “111B” を設定すると、外部から $\overline{\text{SCK2}}$ 端子に供給されるクロックが、シリアルクロックとして使用されます。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は、“H” レベル、“L” レベルともに $4/f_c$ 以上必要です。

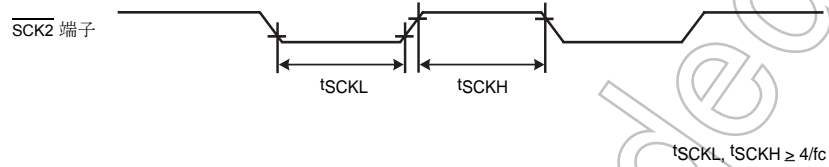


図 15-3 外部クロック

15.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

(1) 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK2}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

(2) 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK2}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

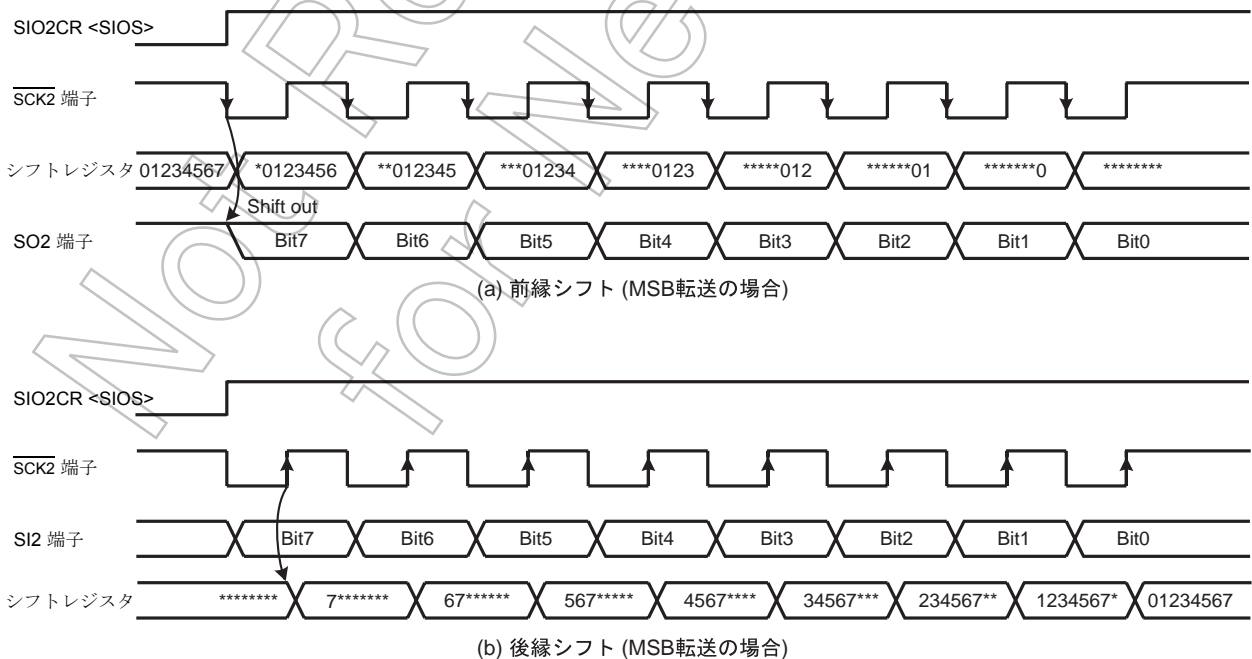


図 15-4 シフトエッジ

15.3.2 転送ビット方向

転送ビット方向は、SIO2CR <SIODIR> によって選択されます。なお、データの転送方向は、送信、受信で個別に設定することはできません。また、転送ビット方向の変更は、SIO 動作停止中 (SIO2SR <SIOF>=“0”) に行ってください。

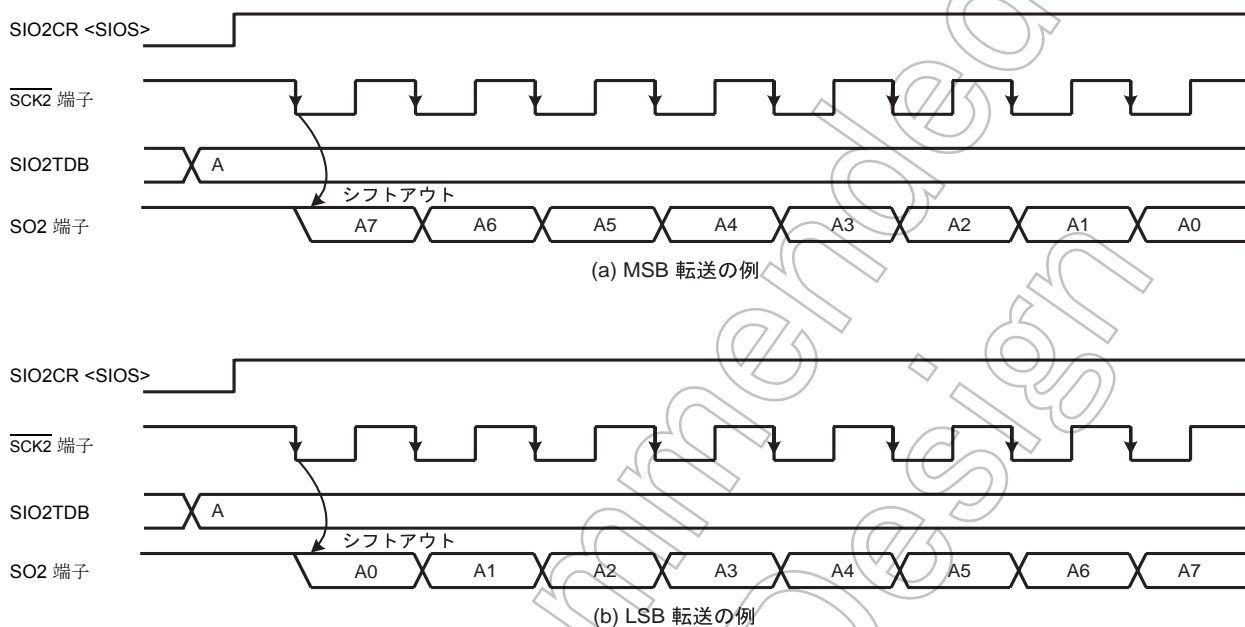


図 15-5 転送ビット方向 (送信モードの例)

15.3.2.1 送信モード

(1) MSB 転送

SIO2CR <SIODIR> に“0”を書き込むと MSB 送信モードとなり、SO2 端子から、送信データのビット 7 よりビット 0 へと順次送信されます。

(2) LSB 転送

SIO2CR <SIODIR> に“1”を書き込むと LSB 送信モードとなり、SO2 端子から、送信データのビット 0 よりビット 7 へと順次送信されます。

15.3.2.2 受信モード

(1) MSB 受信

SIO2CR <SIODIR> に“0”を書き込むと MSB 受信モードとなり、SI2 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

(2) LSB 受信

SIO2CR <SIODIR> に“1”を書き込むと LSB 受信モードとなり、SI2 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

15.3.2.3 送受信モード

(1) MSB 送受信

SIO2CR <SIODIR> に“0”を書き込むと MSB 送受信モードとなり、SO2 端子から、送信データのビット 7 よりビット 0 へと順次送信され、SI2 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

(2) LSB 送受信

SIO2CR <SIODIR> に“1”を書き込むと LSB 送受信モードとなり、SO2 端子から、送信データのビット 0 よりビット 7 へと順次送信され、SI2 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

15.3.3 転送モード

転送モードは、SIO2CR <SIOM> によって送信 / 受信 / 送受信モードのいずれかを選択できます。

15.3.3.1 送信モード

SIO2CR <SIOM> に“00B”を設定すると、送信モードになります。

(1) 送信開始

SIO2CR <SIOM> に“00B”を書き込むことによって送信モードに設定し、SIO2CR <SCK> でシリアルクロックを、SIO2CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO2TDB) に送信データをセットすると、SIO2SR <TXF> が“0”にクリアされます。

SIO2CR <SIOS> に“1”を書き込むと、 $\overline{\text{SCK2}}$ 端子の立ち下がりエッジに同期して、SIO2SR <SIOF> が“1”にセットされます。

SO2 端子から $\overline{\text{SCK2}}$ 端子の立ち下がりエッジに同期して、SIO2CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。

$\overline{\text{SCK2}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO2SR <SEF> が“1”にセットされます。

SIO2TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK2}}$ 端子の立ち上がりで、SIO2SR <TXF> が“1”にセットされます。また、次の $\overline{\text{SCK2}}$ 端子の立ち下がりですべて INTSIO2 割り込み要求が発生します。

注 1) 内部クロック動作の場合、送信バッファに送信データを書き込まれていない状態で SIO2CR <SIOS> に“1”をセットしても、送信は開始されません。

注 2) 内部クロック動作の場合、SIO2CR <SIOS> が“1”にセットされると、最大で、選択されているシリアルクロックの 1 周期後、SIO2TDB に書き込まれたデータがシフトレジスタに転送され、 $\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されます。

注 3) 外部クロック動作の場合、SIO2CR <SIOS> が “1” にセットされた後、 $\overline{SCK2}$ 端子の立ち下がりエッジが入力されると、直ちに SIO2TDB に書き込まれたデータがシフトレジスタに転送され、SO2 端子から、SIO2CR <SIODIR> で選択した転送ビット方向より順に送信が開始されます。

(2) 送信動作中

SIO2TDB にデータを書き込むと、SIO2SR<TXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの送信データすべての送信が終了したとき、次に送信するデータが SIO2TDB に書き込まれていない場合、自動ウェイト機能が動作して $\overline{SCK2}$ 端子が “H” レベルになります。送信するデータを SIO2TDB に書き込むと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、送信動作が再開されます。

SIO2SR <TXF> が “1” のとき、8 ビットの送信データすべてを送信する前に SIO2TDB にデータを書き込むと、送信中のデータが送信された後、続けて書き込んだデータが送信されます。

外部クロック動作のとき、SIO2SR<TXF> が “1” にセットされてから、次のデータのシフト動作に入る前に、送信データを SIO2TDB に書き込む必要があります。送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO2SR<TXERR> が “1” にセットされ、INTSIO2 割り込み要求が発生します。

(3) 送信終了

送信動作を終了させるには、以下の 2 つの方法があります。

- SIO2CR <SIOS> に “0” を書き込む方法
SIO2CR <SIOS> に “0” を書き込むと、すべての送信データが転送を終了した後、送信動作を停止します。送信動作が終了すると SIO2SR<SIOF> が “0” にクリアされ、SO2 端子が “H” レベルになります。
外部クロック動作の場合、次の転送の開始によって SIO2SR<SEF> が “1” にセットされる前に、SIO2CR <SIOS> に “0” を書き込みます。
- SIO2CR <SIOINH> に “1” を書き込む方法
SIO2CR <SIOINH> に “1” を書き込むと、直ちに送信を終了します。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

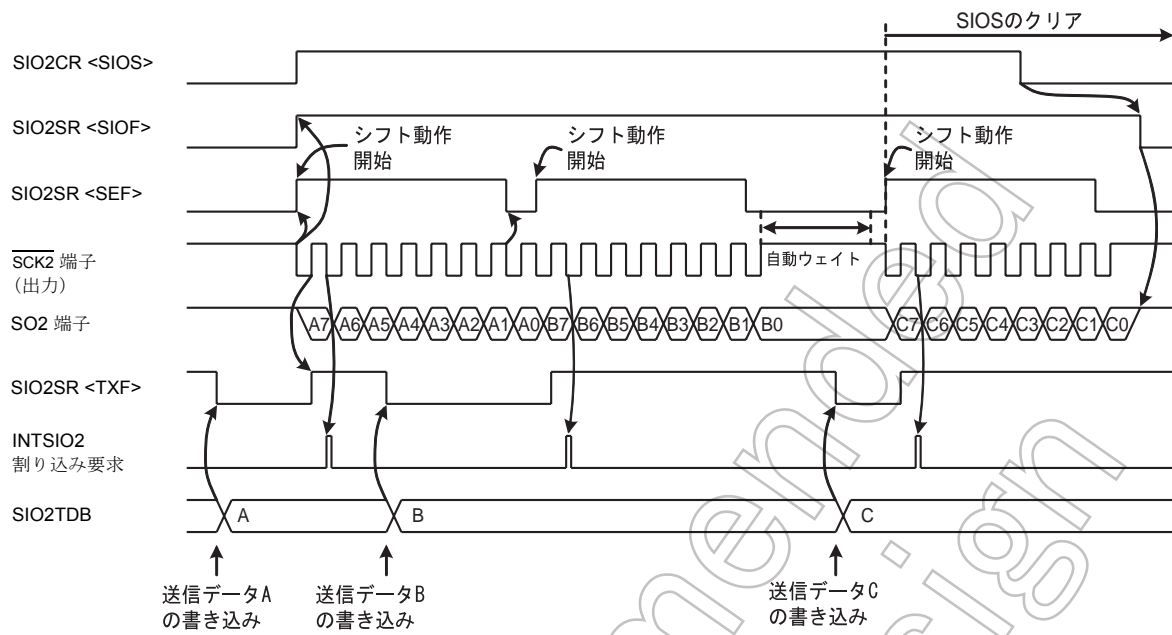


図 15-6 内部クロック、MSB 送信の例

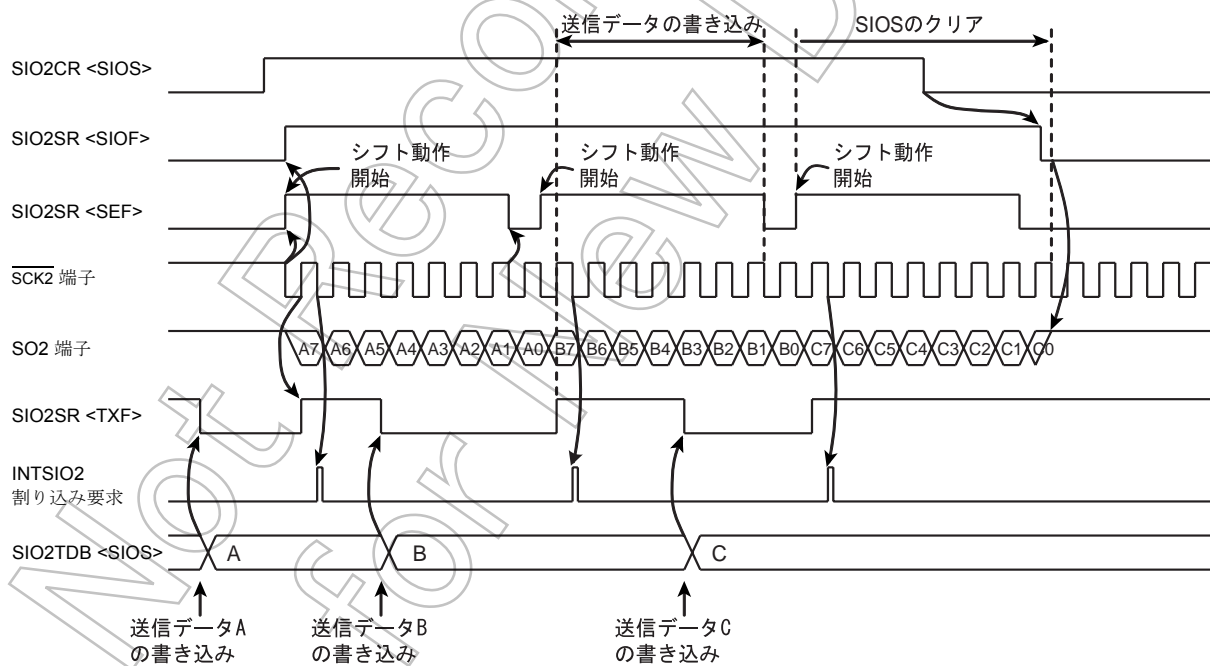


図 15-7 外部クロック、MSB 送信の例

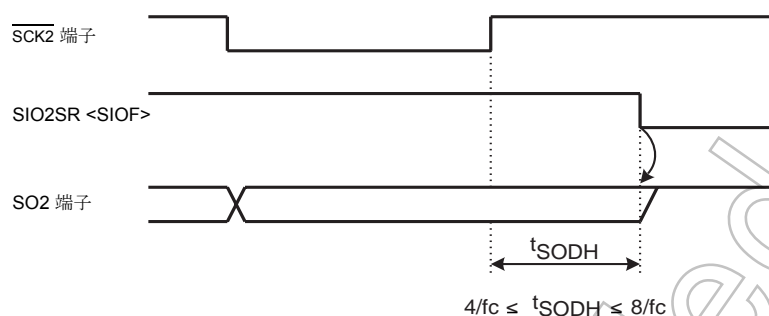


図 15-8 送信終了時のデータ保持時間

(4) 送信エラー処理

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、次の送信データを SIO2TDB に書き込む前に、シフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO2SR <TXERR> が“1”にセットされ、シフト動作が行われた次のクロックの立ち下がり で INTSIO2 割り込み要求が発生します。

SIO2CR <SIOS> を“1”にセットした後、SIO2TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO2SR <TXERR> が“1”にセットされると同時に、INTSIO2 割り込み要求が発生します。

SIO2SR <TXERR> が“1”にセットされると、SO2 端子からは“H”レベルが出力されます。

送信エラーが発生した場合、SIO2CR <SIOINH> に“1”を書き込み、送信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

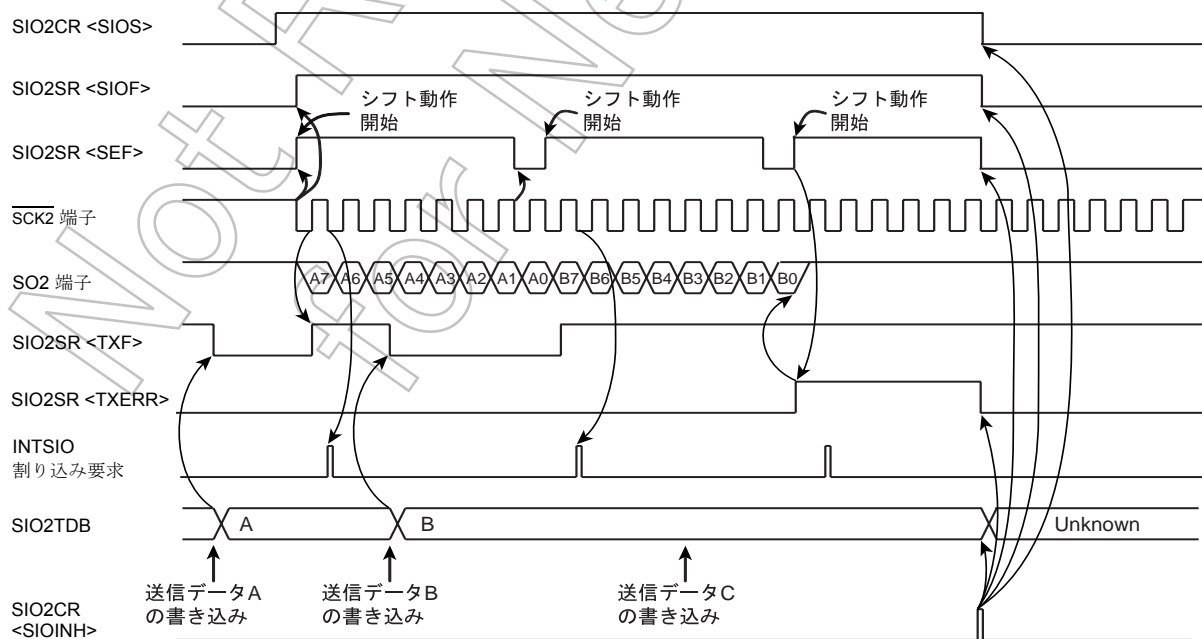


図 15-9 送信モードエラー処理の例

15.3.3.2 受信モード

SIO2CR <SIOM> に“01B”を書き込むと、受信モードになります。

(1) 受信開始

SIO2CR の SIO2CR <SIOM> に、“01B”を書き込み受信モードに設定し、SIO2CR <SCK> でシリアルクロックを、SIO2CR <SIODIR> で転送ビット方向を設定します。

$\overline{\text{SCK2}}$ 端子の立ち上がりエッジに同期して、SI2 端子から SIO2CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK2}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりエッジまでの間、SIO2SR <SEF> が“1”にセットされます。

8ビットのデータが受信されると受信データがシフトレジスタから SIO2RDB に転送され、SIO2SR <RXF> が“1”にセットされるとともに、INTSIO2 割り込み要求が発生します。

注) 内部クロック動作の場合、SIO2CR <SIOS> が“1”にセットされると、最大、選択されているシリアルクロックの 1 周期分後、 $\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されます。

(2) 受信動作中

SIO2RDB からデータを読み出すと、SIO2SR <RXF> は“0”にクリアされます。

内部クロック動作において、8 ビットの受信データすべての受信が終了したとき、自動ウェイト機能が動作し $\overline{\text{SCK2}}$ 端子が“H”レベルになります。SIO2RDB から受信データを読み出すと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、受信動作が再開されます。

外部クロック動作のとき、SIO2SR <RXF> が“1”にセットされてから、次の受信データのシフト動作が終了する前に、SIO2RDB から受信データを読み出す必要があります。受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO2SR <RXERR> が“1”にセットされ、INTSIO2 割り込み要求が発生します。

(3) 受信終了

受信動作を終了させるには、以下の 2 つの方法があります。

- SIO2CR <SIOS> に“0”を書き込む方法
SIO2CR <SIOS> に“0”を書き込むと、すべての受信データが転送を終了した後、受信動作を停止します。受信動作が終了すると、SIO2SR <SI OF> が“0”にクリアされます。
外部クロック動作の場合、次の転送が開始によって SIO2SR <SEF> が“1”にセットされる前に、SIO2CR <SIOS> に“0”を書き込みます。
- SIO2CR <SIOINH> に“1”を書き込む方法
SIO2CR <SIOINH> に“1”を書き込むと、直ちに受信を終了します。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

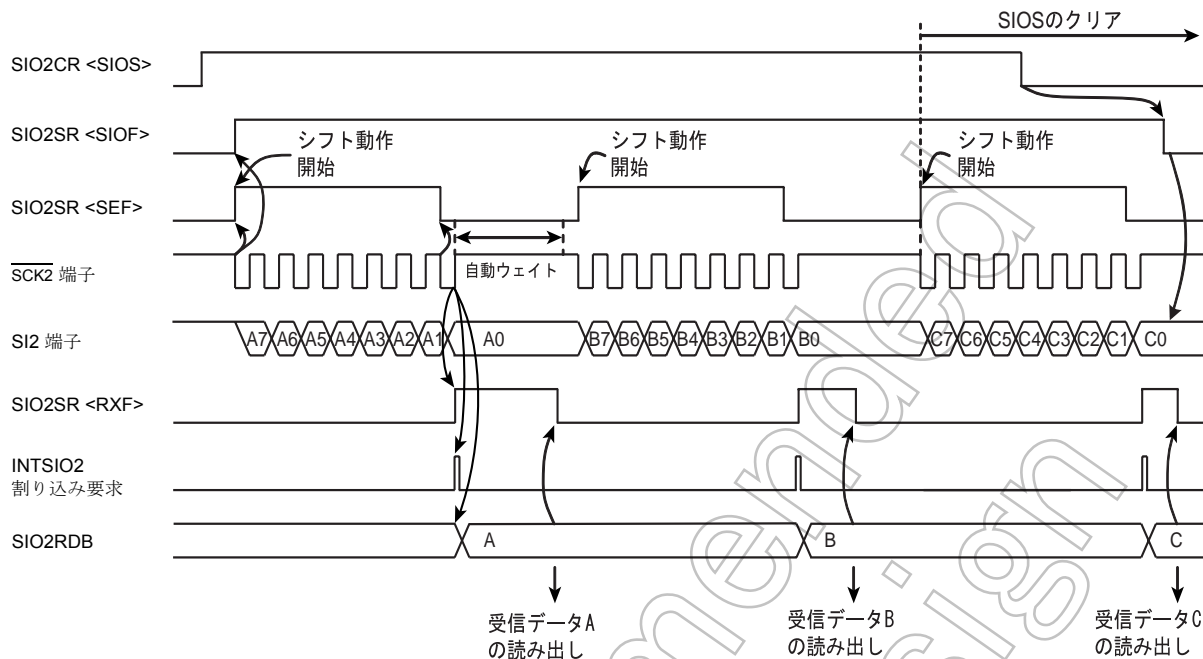


図 15-10 内部クロック、MSB 受信の例

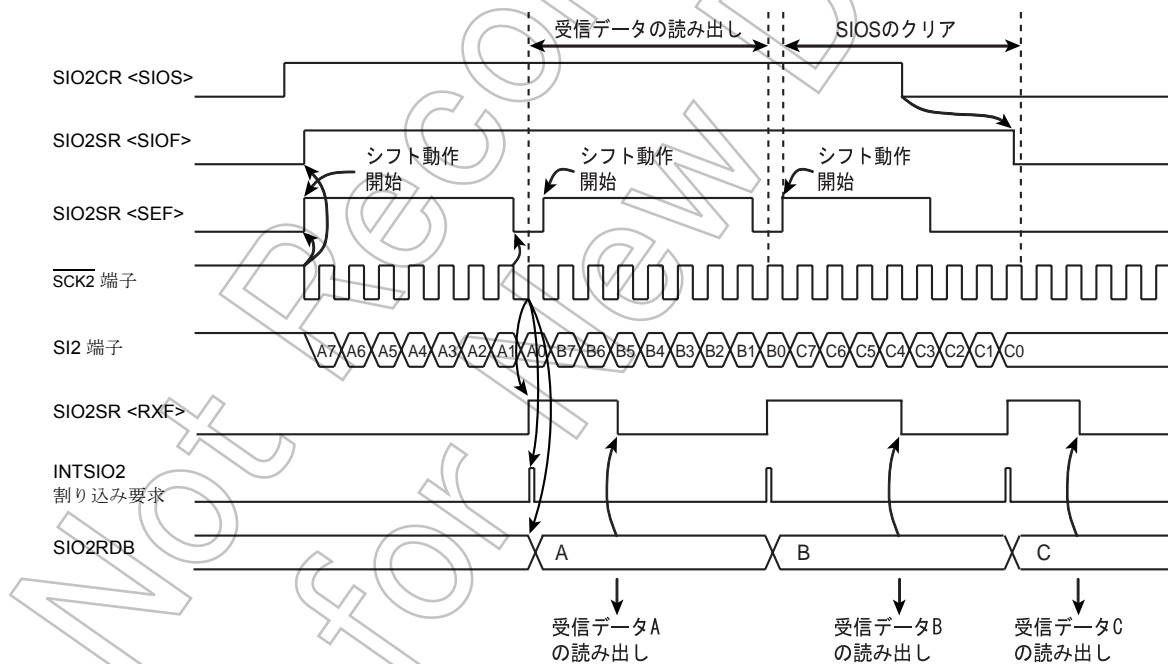


図 15-11 外部クロック、MSB 受信の例

(4) 受信エラー処理

下記の状態が発生すると受信エラーとなり、SIO2SR<RXERR> が“1”にセットされ、SIO2RDB とシフトレジスタ内のデータを保護するため、エラー発生以降の受信データは無視されます。

- 外部クロック動作のとき、SIO2SR<RXF> が“1”の状態、受信データを SIO2RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには SIO2CR <SIOS> に“0”を書き込み、受信動作を停止させます。次に、SIO2RDB からデータを読み出します。その後、再度 SIO2RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO2SR<RXERR>に“0”を書き込むと、SIO2SR<RXF>が“0”にクリアされます。SIO2CR <SIOS>を“0”にクリアした後、8ビット分のシリアルクロックが SCK2 端子から入力されると、SIO2SR<SIOF>が“0”にクリアされ、受信動作は停止します。受信動作を再開する場合には、SIO2SR<SIOF>が“0”にクリアされたことを確認してから行ってください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO2CR <SIOINH>に“1”を書き込み、受信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

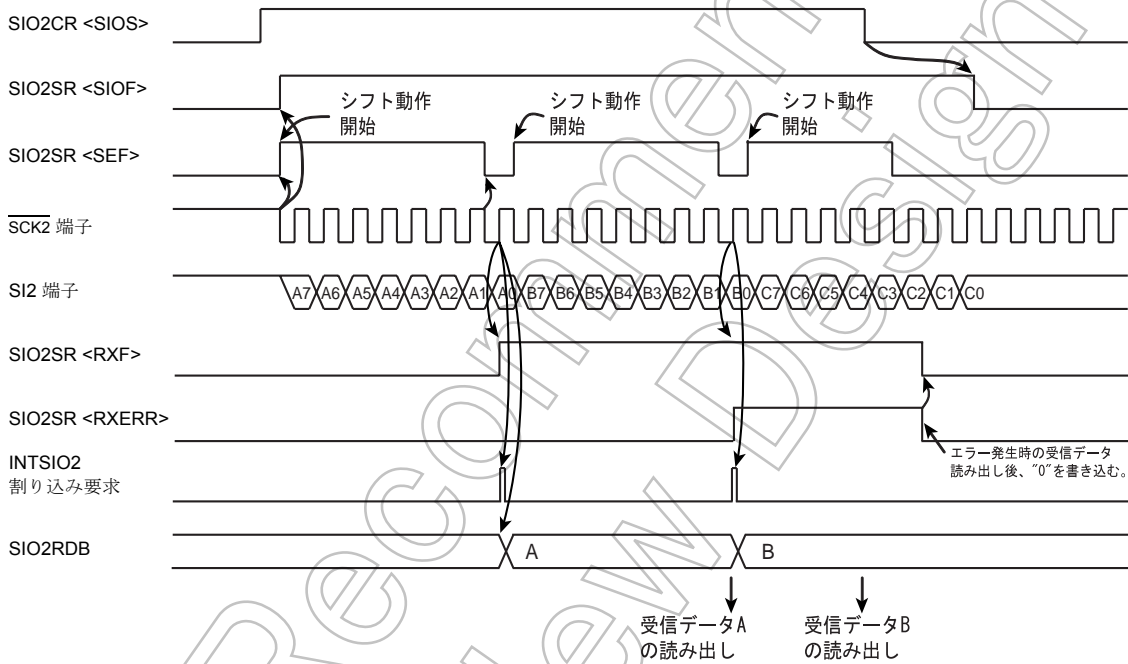


図 15-12 受信モードエラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

15.3.3.3 送受信モード

SIO2CR <SIOM> に“10B”を書き込むと、送受信モードになります。

(1) 送受信開始

SIO2CR の SIO2CR <SIOM> に“10B”を書き込み、送受信モードに設定し、SIO2CR <SCK> でシリアルクロックを、SIO2CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO2TDB) に送信データをセットします。送信バッファレジスタにデータが書き込まれると、SIO2SR<TXF>が“0”にクリアされます。

SIO2CR <SIOS> に“1”を書き込むと、SCK2 端子の立ち上がりエッジに同期して、SIO2SR<SIOF>が“1”にセットされます。

SO2 端子から $\overline{\text{SCK2}}$ 端子の立ち下がりに同期して、SIO2CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。また、 $\overline{\text{SCK2}}$ 端子の立ち上がりに同期して、SIO2CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK2}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO2SR<SEF> が“1”にセットされます。

SIO2TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK2}}$ 端子の立ち上がりで、SIO2SR<TXF> が“1”にセットされます。また、8 ビットのデータが受信されると、受信データがシフトレジスタから SIO2RDB に転送され、SIO2SR<RXF> が“1”にセットされるとともに、INTSIO2 割り込み要求が発生します。

注 1) 内部クロック動作の場合、SIO2CR <SIOS> を“1”にセットすると、最大で、選択されているシリアルクロック 1 周期分後、SIO2TDB に書き込まれたデータがシフトレジスタに転送され、 $\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されます。

注 2) 外部クロック動作の場合、SIO2CR <SIOS> を“1”にセットした後、 $\overline{\text{SCK2}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO2TDB に書き込まれたデータがシフトレジスタに転送されます。また $\overline{\text{SCK2}}$ 端子の立ち上がりエッジが入力されると、受信動作を開始します。

(2) 送受信動作中

SIO2TDB にデータを書き込むと、SIO2SR<TXF> は“0”にクリアされます。また、SIO2RDB を読み出すと、SIO2SR<RXF> は“0”にクリアされます。

内部クロック動作において、8 ビットのデータすべての転送が終了したとき、以下に示す条件下では $\overline{\text{SCK2}}$ 端子が“H”レベルになり、自動ウェイト機能が動作します。

- SIO2RDB から受信データを読み出した後、次の送信データが SIO2TDB に書き込まれない場合
- 次の送信データを SIO2TDB に書き込んだ後、SIO2RDB から受信データを読み出されない場合
- 転送後、SIO2TDB、SIO2RDB ともにアクセスされない場合

SIO2RDB から受信データを読み出した後、送信データを SIO2TDB に書き込むか、送信データを SIO2TDB に書き込んだ後、SIO2RDB から受信データを読み出すと、最大で、選択されているシリアルクロック 1 周期分後、自動ウェイト状態は解除され、送受信が再開されます。

外部クロック動作のとき、次のシフト動作に入る前に、SIO2RDB から受信データを読み出し、送信データを SIO2TDB に書き込む必要があります。

SIO2SR <TXF> が“1”にセットされた後に、送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO2SR<TXERR> が“1”にセットされます。

また、SIO2SR<RXF> が“1”にセットされてから、次の受信データのシフト動作終了前に SIO2RDB から受信データを読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO2SR<RXERR> が“1”にセットされます。

(3) 送受信終了

送受信動作を終了させるには、以下の 2 つの方法があります。

- SIO2CR <SIOS> に“0”を書き込む方法
SIO2CR <SIOS> に“0”を書き込むと、送受信しているデータがすべて転送された後、送受信動作を停止します。送受信が終了すると SIO2SR<SIOF> が“0”にクリアされ、SO2 端子が“H”レベルになります。
外部クロック動作の場合、次のデータの転送が始まることによって SIO2SR<SEF> が“1”になる前に、SIO2CR <SIOS> に“0”を書き込みます。

- SIO2CR <SIOINH> に“1”を書き込む方法
 SIO2CR <SIOINH> に“1”を書き込むと、直ちに送受信を終了します。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

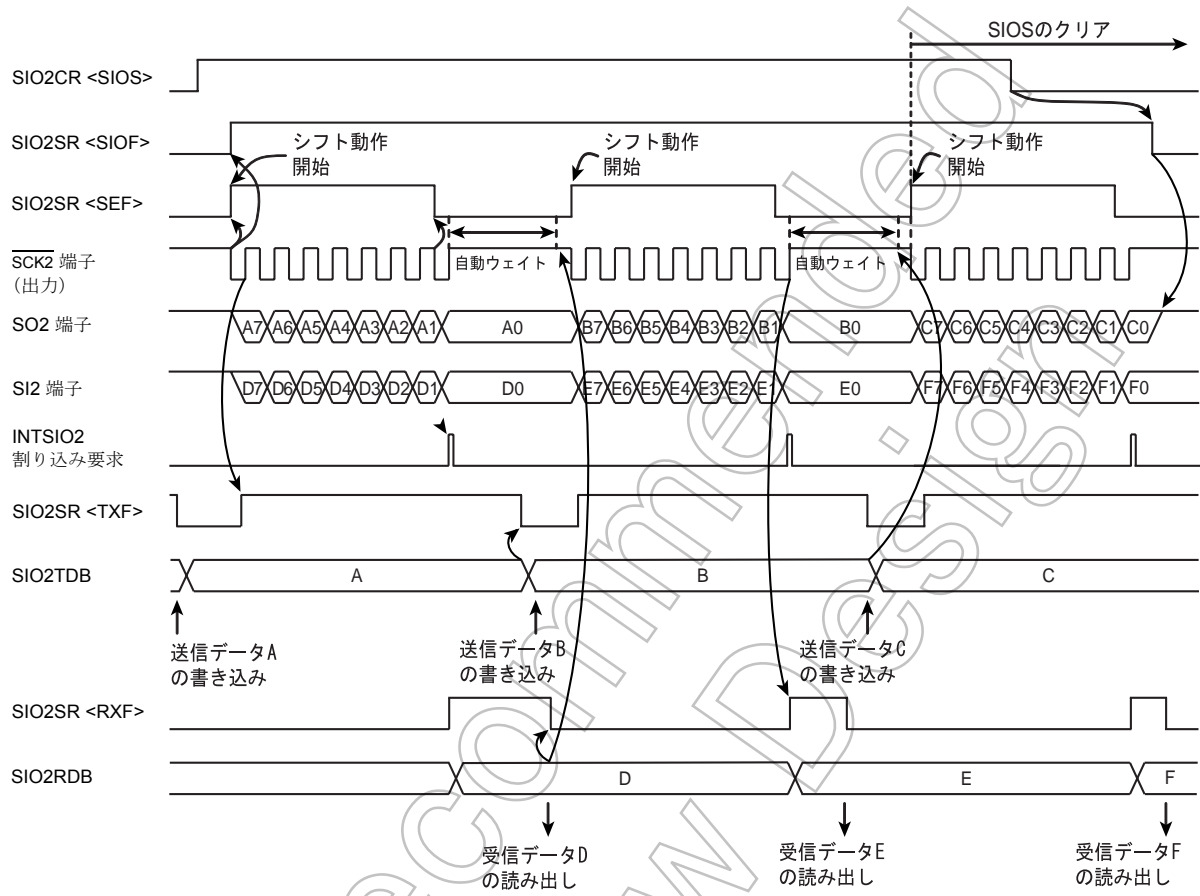


図 15-13 内部クロック、MSB 送受信の例

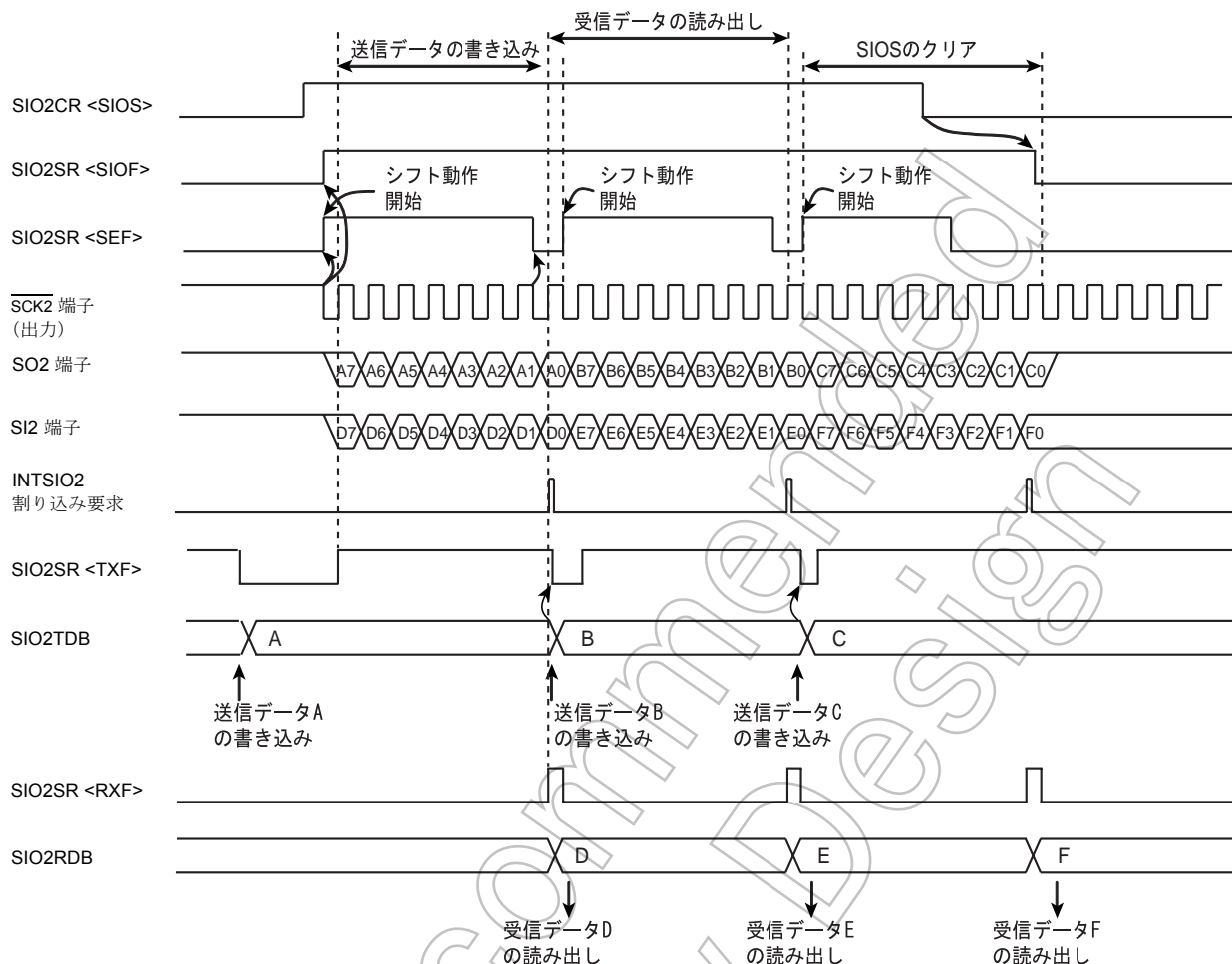


図 15-14 外部クロック、MSB 送受信の例

(4) 送受信エラー処理

下記の状態が発生すると、送受信エラーとなります。送信、受信のどちらでエラーが発生したかによって、エラー発生時の動作が異なります。

(a) 送信エラー

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、送信データを SIO2TDB に書き込む前にシフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO2SR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後、INTSIO2 割り込み要求が発生します。

SIO2CR <SIOS> を “1” にセットし、SIO2TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO2SR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後に INTSIO2 割り込み要求が発生します。

SIO2SR <TXERR> が “1” にセットされると、SO2 端子からは “H” レベルが出力されます。

送信エラーが発生した場合は、受信データを読み出した後、SIO2CR <SIOINH> に “1” を書き込み、送受信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

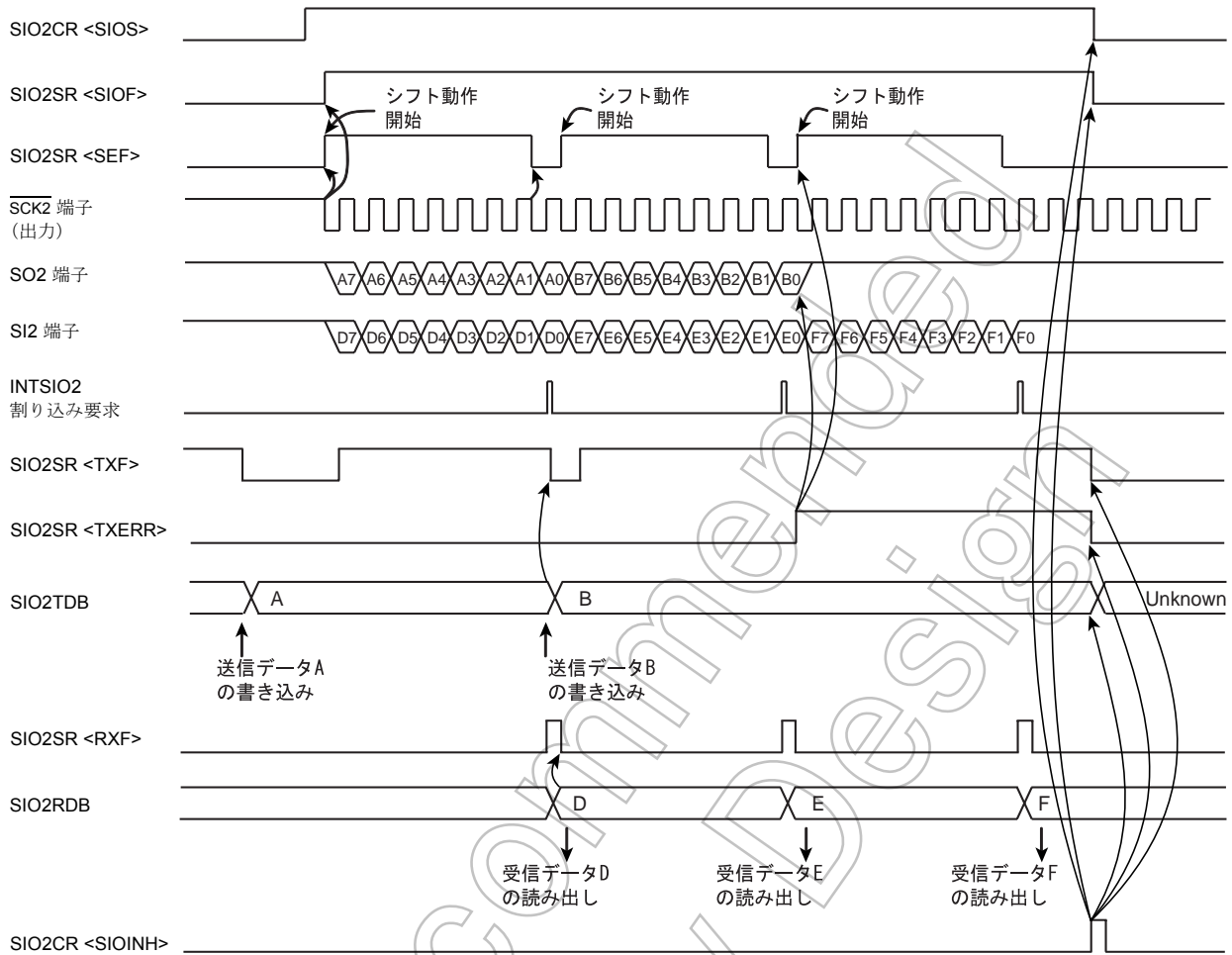


図 15-15 送受信モード (送信) エラー処理の例

(b) 受信エラー

下記の状態が発生すると受信エラーとなり、SIO2SR<RXERR> が“1”にセットされ、SIO2RDB とシフトレジスタ内のデータを保護するため、エラー発生以降のデータは無視されます。

- 外部クロック動作のとき、SIO2SR<RXF> が“1”の状態を受信データを SIO2RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには、SIO2CR <SIOS> に“0”を書き込み受信を停止させます。次に、SIO2RDB からデータを読み出します。その後、再度 SIO2RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO2SR<RXERR> に“0”を書き込むと、SIO2SR <RXF> が“0”にクリアされます。SIO2CR <SIOS> を“0”にクリアした後、8 ビット分のシリアルクロックが SCK2 端子から入力されると、SIO2SR<SIOF> が“0”にクリアされ、受信動作は停止します。受信を再開する場合には、SIO2SR<SIOF> が“0”にクリアされたことを確認してください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO2CR <SIOINH> に“1”を書き込み、受信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

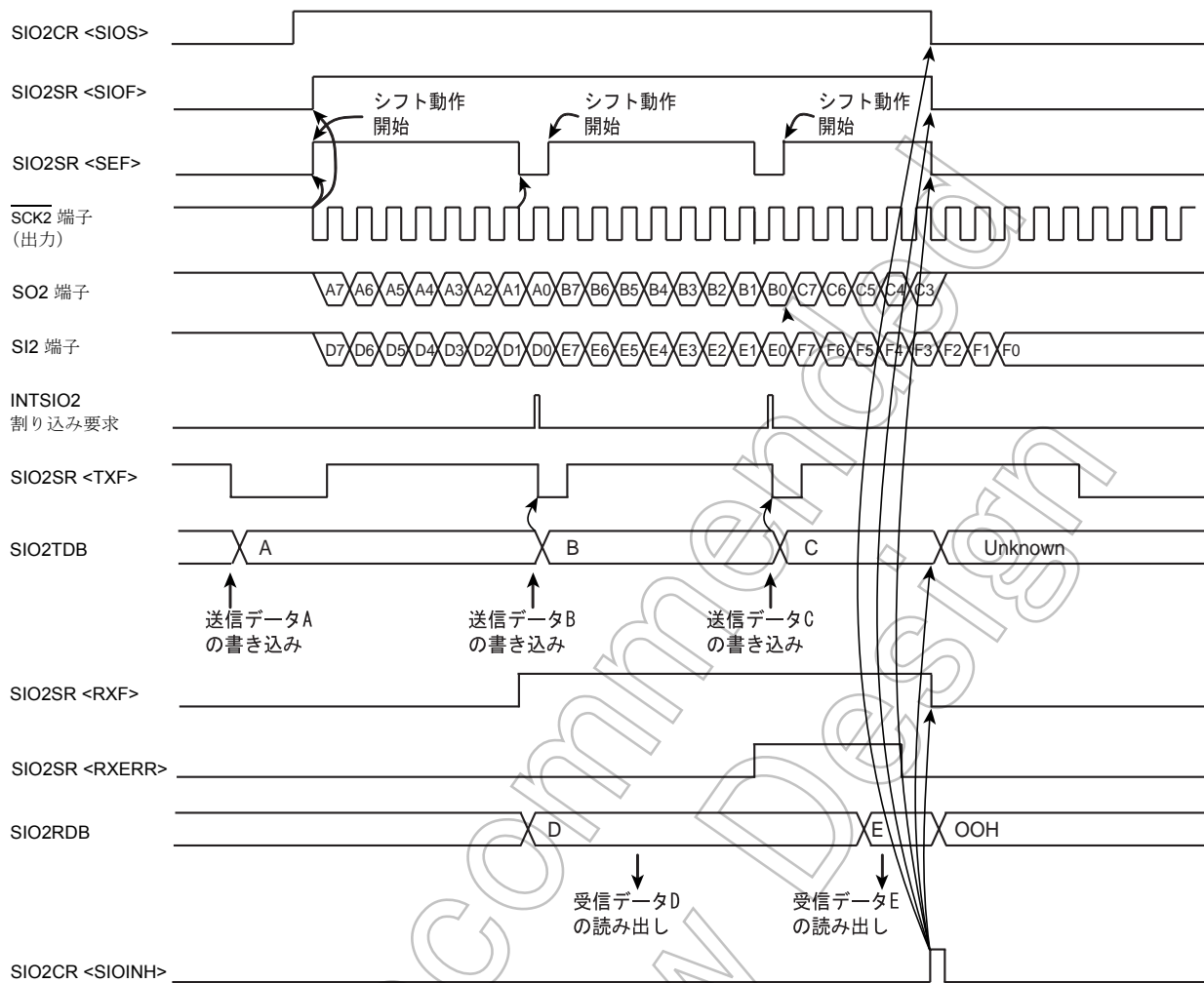


図 15-16 送受信モード (受信) エラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

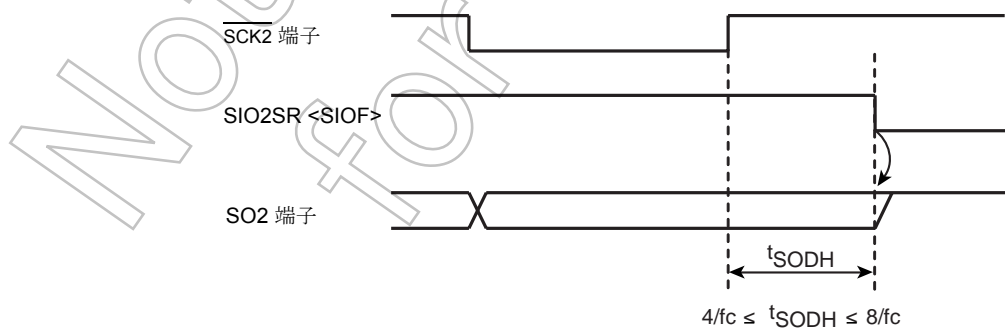


図 15-17 送受信終了時のデータ保持時間

第 16 章 シリアルバスインタフェース (I²C バス) ver.-D (SBI)

TMP86FS49BFG は、I²C バスとして機能するシリアルバスインタフェースを内蔵しています。シリアルバスインタフェースは、SDA と SCL を通して外部デバイスと接続されます。

シリアルバスインタフェース端子はポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応するポートの出力ラッチを“1”にセットします。シリアルバスインタフェース端子として使用しない場合は、ポートは通常の入出力ポートとして使用できます。

- 注 1) シリアルバスインタフェースは、NORMAL1/2 と IDLE1/2 モード時のみ使用できます。IDLE0、SLOW1/2、SLEEP0/1/2 モードでは使用できませんので、これらのモードに遷移するときには必ずシリアルバスインタフェースを停止してください。
- 注 2) TMP86FS49BFG の I²C バスは標準モードでのみ使用できます。高速モード、ハイスピードモードでは使用できません。
- 注 3) ポート設定の詳細については、I/O ポートの章を参照ください。

16.1 構成

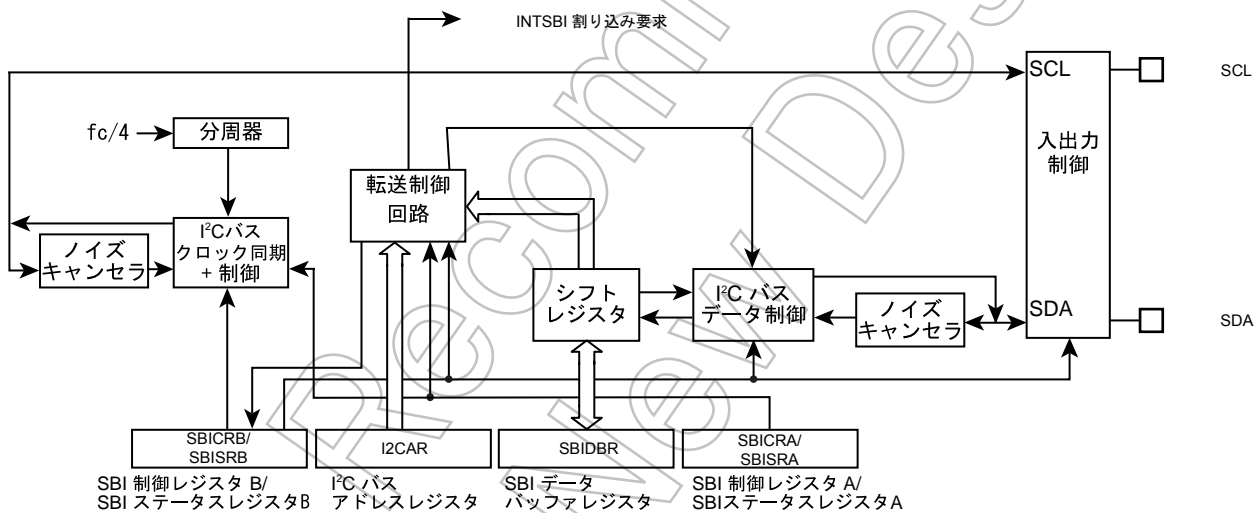


図 16-1 シリアルバスインタフェース (SBI)

16.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ A (SBICRA)
- シリアルバスインタフェース制御レジスタ B (SBICRB)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ A (SBISRA)
- シリアルバスインタフェースステータスレジスタ B (SBISRB)

16.3 ソフトウェアリセット

シリアルバスインタフェース回路は、シリアルバスインタフェース回路を初期化するソフトウェアリセット機能を持っています。ノイズなどによりシリアルバスインタフェース回路がロックしたとき、この機能を使うことでシリアルバスインタフェース回路を初期化することができます。

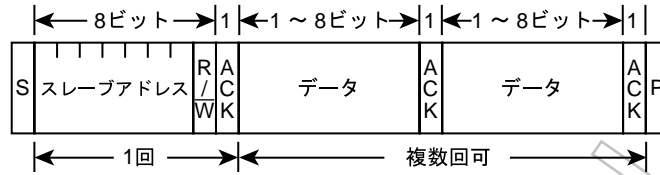
シリアルバスインタフェース回路をリセットする場合、SWRST (SBICRB のビット 1, 0) に “10”、“01” の順に書き込みを行います。

また、SBISRA<SWRMON> を読み出すことで、リセット信号が入力されているかをモニタすることができます。

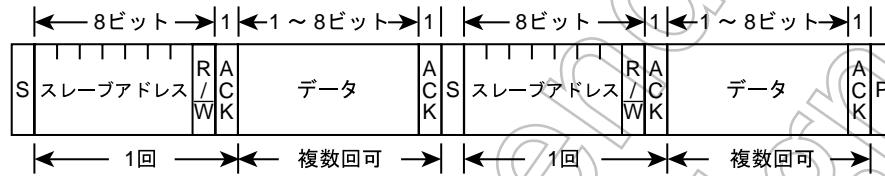
16.4 I²C バスのデータフォーマット

I²C バスのデータフォーマットを図 16-2 に示します。

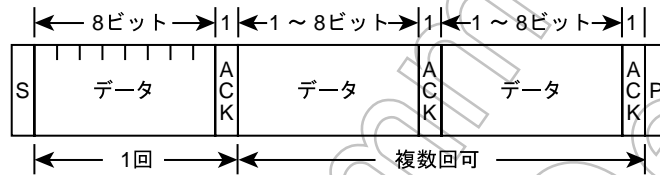
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット



S : スタートコンディション
 R/W : 方向ビット
 ACK : アクノリッジビット
 P : ストップコンディション

図 16-2 I²C バスのデータフォーマット

16.5 シリアルバスインタフェースの制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ A

| | | | | | | | | | |
|-------------------|----|---|---|-----|-----|---|---|---|------------------|
| SBICRA (0F90H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | BC | | | ACK | SCK | | | | (初期値: 0000 *000) |

| | BC | ACK = 0 のとき | | ACK = 1 のとき | | | |
|------|--|-------------|-----------------------|---------------|--------------------------|--------------|------------|
| | | クロック数 | データ長 | クロック数 | データ長 | | |
| BC | 転送ビット数の選択 | 000: | 8 | 8 | 9 | 8 | Write only |
| | | 001: | 1 | 1 | 2 | 1 | |
| | | 010: | 2 | 2 | 3 | 2 | |
| | | 011: | 3 | 3 | 4 | 3 | |
| | | 100: | 4 | 4 | 5 | 4 | |
| | | 101: | 5 | 5 | 6 | 5 | |
| | | 110: | 6 | 6 | 7 | 6 | |
| | | 111: | 7 | 7 | 8 | 7 | |
| ACK | アクリリッジのためのクロック発生を選択 | ACK | マスタモード | | スレーブモード | | R/W |
| | | 0: | アクリリッジのためのクロックを発生しない。 | | アクリリッジのためのクロック数をカウントしない。 | | |
| | | 1: | アクリリッジのためのクロックを発生する。 | | アクリリッジのためのクロック数をカウントする。 | | |
| SCK | シリアルクロック (fsc1) 周波数の選択 (SCL 端子への出力) [fsc1 = 1/(2 ⁿ + 1/fc + 8/fc)] | SCK | n | fc = 16 MHz 時 | fc = 8 MHz 時 | fc = 4 MHz 時 | Write only |
| | | 000: | 4 | Reserved | Reserved | 100.0 kHz | |
| | | 001: | 5 | Reserved | Reserved | 55.6 kHz | |
| | | 010: | 6 | Reserved | 58.8 kHz | 29.4 kHz | |
| | | 011: | 7 | 60.6 kHz | 30.3 kHz | 15.2 kHz | |
| | | 100: | 8 | 30.8 kHz | 15.4 kHz | 7.7 kHz | |
| | | 101: | 9 | 15.5 kHz | 7.8 kHz | 3.9 kHz | |
| | | 110: | 10 | 7.8 kHz | 3.9 kHz | 1.9 kHz | |
| 111: | Reserved | | | | | | |

注 1) *: Don't care、fc: 高周波クロック [Hz]

注 2) SBICRA は、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3) SCK は 100kHz を超える値に設定しないでください。

シリアルバスインタフェースデータバッファレジスタ

| | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|-------------------|
| SBIDBR (0F91H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | | | | | | | | | (初期値: **** *) R/W |

注 1) 送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。

注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3) *: Don't care

I²C バスアドレスレジスタ

| | | | | | | | | | |
|------------------|----------|-----|-----|-----|-----|-----|-----|-----|------------------|
| I2CAR (0F92H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | スレーブアドレス | | | | | | | ALS | (初期値: 0000 0000) |
| | SA6 | SA5 | SA4 | SA3 | SA2 | SA1 | SA0 | | |

| | | | |
|-----|--------------|-------------------------------------|------------|
| SA | スレーブアドレスの設定 | | Write only |
| ALS | アドレス認識モードの設定 | 0: スレーブアドレスを認識 1: スレーブアドレスを認識しない | |

- 注 1) I2CAR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 2) I2CAR を “00H” に設定しないでください (“00H” に設定した場合、スレーブモードで I²C バス規格の START バイト (“01H”) を受信したときにスレーブアドレスが一致したと判断します。)

シリアルバスインタフェース制御レジスタ B

| | | | | | | | | | |
|-------------------|-----|-----|----|-----|------|--------|--------|---|-------------------|
| SBICRB (0F93H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | MST | TRX | BB | PIN | SBIM | SWRST1 | SWRST0 | | (初期値 : 0001 0000) |

| | | | |
|------------------|-----------------------|---|------------|
| MST | マスタ / スレーブの選択 | 0: スレーブ 1: マスタ | Write only |
| TRX | 送信 / 受信の選択 | 0: レシーバ 1: トランスミッタ | |
| BB | スタート / ストップコンディションの発生 | 0: ストップコンディション発生 (MST, TRX, PIN が “1” のとき) 1: スタートコンディション発生 (MST, TRX, PIN が “1” のとき) | |
| PIN | 割り込みサービス要求の解除 | 0: - (“0” にクリアすることはできません) 1: 割り込みサービス要求の解除 | |
| SBIM | シリアルバスインタフェースの動作モード選択 | 00: ポートモード (シリアルバスインタフェースの出力禁止) 01: Reserved 10: I ² C バスモード 11: Reserved | |
| SWRST1 SWRST0 | ソフトウェアリセット開始ビット | 最初に “10”、次に “01” を書き込むとソフトウェアリセットが発生する | |

- 注 1) ポートモードへの切り替えは、バスフリーを確認してから行ってください。
 注 2) ポートモードから I²C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認後行ってください。
 注 3) SBICRB は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 4) SWRST (レジスタ SBICRB のビット 1, 0) に “10”、“01” を書き込むと、ソフトウェアリセットが起こります。この場合、SBIM 以外の SBICRB レジスタの各ビットと、SBICRA, I2CAR, SBISRA, SBISRB レジスタが初期化されます。

シリアルバスインタフェースステータスレジスタ A

| | | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|--------|-----------------|
| SBISRA (0F90H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | SWRMON | (初期値 : **** *1) |
|-------------------|---|---|---|---|---|---|---|---|--------|-----------------|

| | | | |
|--------|---------------|-----------------------------|-----------|
| SWRMON | ソフトウェアリセットモニタ | 0: ソフトウェアリセット中 1: -(初期値) | Read only |
|--------|---------------|-----------------------------|-----------|

シリアルバスインタフェースステータスレジスタ B

| | | | | | | | | | | | | | | | | | |
|-------------------|---|---|---|---|---|---|---|---|-----|-----|----|-----|----|-----|-----|-----|-------------------|
| SBISRB (0F93H) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | MST | TRX | BB | PIN | AL | AAS | AD0 | LRB | (初期値 : 0001 0000) |
|-------------------|---|---|---|---|---|---|---|---|-----|-----|----|-----|----|-----|-----|-----|-------------------|

| | | | |
|-----|---------------------|------------------------------------|-----------|
| MST | マスタ/スレーブ選択状態モニタ | 0: スレーブ 1: マスタ | Read only |
| TRX | トランスミッタ/レシーバ選択状態モニタ | 0: レシーバ 1: トランスミッタ | |
| BB | バス状態モニタ | 0: バスフリー 1: バスビジー | |
| PIN | 割り込みサービス要求状態モニタ | 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中 | |
| AL | アービトラクションロスト検出モニタ | 0: - 1: アービトラクションロスト検出 | |
| AAS | スレーブアドレス一致検出モニタ | 0: - 1: スレーブアドレス一致またはゼネラルコール検出 | |
| AD0 | ゼネラルコール検出モニタ | 0: - 1: ゼネラルコール検出 | |
| LRB | 最終受信ビットモニタ | 0: 最終受信ビット "0" 1: 最終受信ビット "1" | |

16.5.1 アクノリッジメントモードの指定

16.5.1.1 アクノリッジメントモード (ACK = "1")

シリアルバスインタフェース回路をアクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を "1" にセットします。アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときは、アクノリッジ信号のためのクロックをカウントします。

シリアルバスインタフェース回路がマスタトランスミッタモードのとき、アクノリッジのためのクロック期間中、SDA 端子はレシーバからのアクノリッジ信号を受信するために端子を開放します。マスタレシーバモードのときは、クロック期間中、SDA 端子を "L" レベルに引きアクノリッジ信号を発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスと I2CAR に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA 端子を "L" レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはゼネラルコール受信後のデータ転送において、トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA 端子を "L" レベルに引きアクノリッジ信号を発生します。表 16-1 にアクノリッジメントモードにおける SCL 端子と SDA 端子の状態を示します。

表 16-1 アクノリッジメントモードでの SCL 端子と SDA 端子の状態

| モード | 端子 | トランスミッタ | レシーバ |
|------|-----|---------------------|------------------------|
| マスタ | SCL | アクノリッジのためのクロックを付加 | |
| | SDA | アクノリッジ信号受信のために端子を開放 | アクノリッジ信号として端子に "L" を出力 |
| スレーブ | SCL | アクノリッジのためのクロックをカウント | |
| | SDA | - | アクノリッジ信号として端子に "L" を出力 |
| | | アクノリッジ信号受信のために端子を開放 | アクノリッジ信号として端子に "L" を出力 |

16.5.1.2 非アクノリッジメントモード (ACK = "0")

シリアルバスインタフェース回路を非アクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を "0" にクリアします。非アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを発生しません。スレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

16.5.2 転送ビット数の選択

BC (SBICRA のビット 7~5) により、次に送受信するデータのビット数を選択します。

BC はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、BC は一度設定された値を保持します。

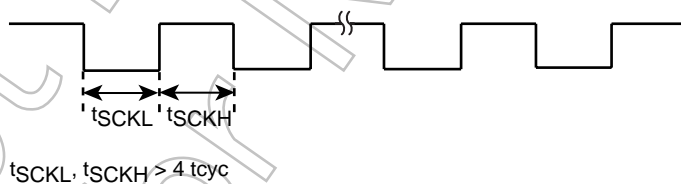
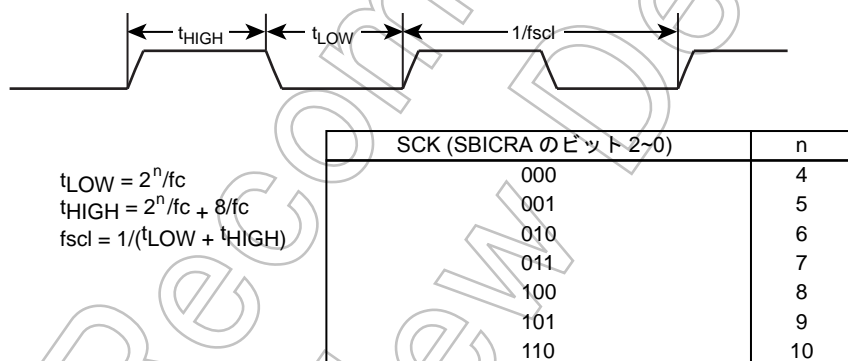
16.5.3 シリアルクロック

16.5.3.1 クロックソース

SCK (SBICRA のビット 2~0) で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

なお、マスタモード/スレーブモードともに外部から入力されるクロックの“H”レベル、“L”レベルは 4 マシンサイクル以上のパルス幅が必要です。

注) TMP86FS49BFG の I²C バスは、高速モードおよびハイスピードモードでは使用できませんので、SCK を 100 kHz を超える値に設定しないでください。



Note 1: fc = 高周波クロック

Note 2: tcyc = 4/fc (NORMAL, IDLE モード時)

図 16-3 クロックソース

16.5.3.2 クロック同期化

I²C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に “L” レベルに引いたマスタが、“H” レベルを出力しているマスタのクロックを無効にします。このため、“H” レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。

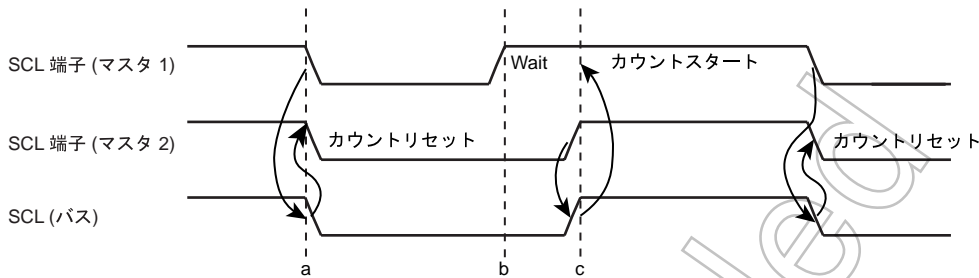


図 16-4 クロック同期化の例

a 点でマスタ 1 が SCL 端子を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ 2 はこれを検出し、マスタ 2 の“H”レベル期間のカウントリセットし、SCL 端子を“L”レベルに引きます。

b 点でマスタ 1 は“L”レベル期間のカウンタを終わり、SCL 端子を“H”レベルにします。しかしマスタ 2 がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ 1 は“H”レベル期間のカウンタを始めません。マスタ 1 は、c 点でマスタ 2 が SCL 端子を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。その後、“H”レベル期間のカウンタを終了したマスタが SCL 端子を“L”に引くことで、バスの SCL ラインは“L”レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと、最も長い“L”レベル期間をもつマスタによって決定されます。

16.5.4 スレーブアドレスとアドレス認識モードの設定

シリアルバスインタフェース回路を、スレーブアドレスを認識するアドレッシングフォーマットで使用する際には、ALS (I2CAR のビット 0) を“0”にクリアし、SA (I2CAR のビット 7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用する際には、ALS を“1”にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで利用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

16.5.5 マスタ/スレーブの選択

MST (SBICRB のビット 7) を“1”にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

MST を“0”にクリアすると、スレーブデバイスとして動作します。MST はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウェアにより“0”にクリアされます。

16.5.6 トランスマッタ/レシーバの選択

TRX (SBICRB のビット 6) を“1”にセットすると、シリアルバスインタフェース回路はトランスマッタとして動作し、TRX を“0”にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/W) が“1”の場合、TRX は“1”にセットされ、“0”の場合、TRX は“0”にク

リアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより送信した方向ビットが“1”の場合、TRX は“0”にクリアされ、“0”の場合、TRX は“1”に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRX はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウェアにより“0”にクリアされます。“表 16-2 各モードでの TRX の動作”に各モードでの TRX の変化条件と変化後の TRX の値を示します。

表 16-2 各モードでの TRX の動作

| モード | 方向ビット | 変化条件 | 変化後の TRX |
|---------|-------|----------------------------------|----------|
| スレーブモード | "0" | 受信したスレーブアドレスが I2CAR に設定された値と同じとき | "0" |
| | "1" | | "1" |
| マスタモード | "0" | ACK 信号が返ってきたとき | "1" |
| | "1" | | "0" |

シリアルバスインタフェース回路を、フリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRX はハードウェアによって変化することはありません。

16.5.7 スタート/ストップコンディションの発生

BB (SBISRB のビット 5) が“0”のときに、MST, TRX, BB, PIN に“1”を書き込むと、バス上に、スタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。あらかじめ ACK に“1”をセットしておいてください。

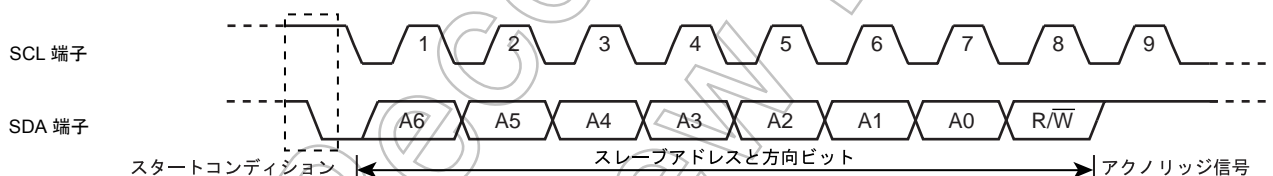


図 16-5 スタートコンディションの発生とスレーブアドレスの発生

BB=“1”のときに、MST と TRX, PIN に“1”を、BB に“0”を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB の内容を書き替えないでください。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより“L”レベルに引かれていた場合、SCL ラインが開放された後に、ストップコンディションが発生します。



図 16-6 ストップコンディションの発生

また、BB (SBISRB のビット 5) を読み出すことで、バスの状態を知ることができます。BB は、バス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます(バスフリー状態)。

16.5.8 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BC と ACK によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求 (INTSBI) が発生します。スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

シリアルバスインタフェース割り込み要求が発生すると、PIN (SBISRB のビット 4) が“0”にクリアされます。PIN が“0”の間、SCL 端子が“L”レベルに引かれます。

SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと PIN が“1”にセットされます。なお、PIN が“1”にセットされてから SCL 端子が開放されるまで、 t_{LOW} の時間がかかります。プログラムで PIN (SBICRB のビット 4) に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

注) マスタモードでアービトレーションロストが発生したとき、スレーブアドレスが一致しなかった場合は、PIN は“0”にクリアされません (INTSBI は発生します)。

16.5.9 シリアルバスインタフェースの動作モード

SBIM (SBICRB のビット 3~2) でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、SBIM を“10”にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

16.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I²C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 とともに同じデータを出力し、a 点でマスタ 1 がデータ“1”を出力、マスタ 2 がデータ“0”を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって“L”レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を“アービトレーションロスト”と呼び、アービトレーションを失ったマスタは、SDA 端子、SCL 端子を開放し、アービトレーションを失っていない、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが、1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

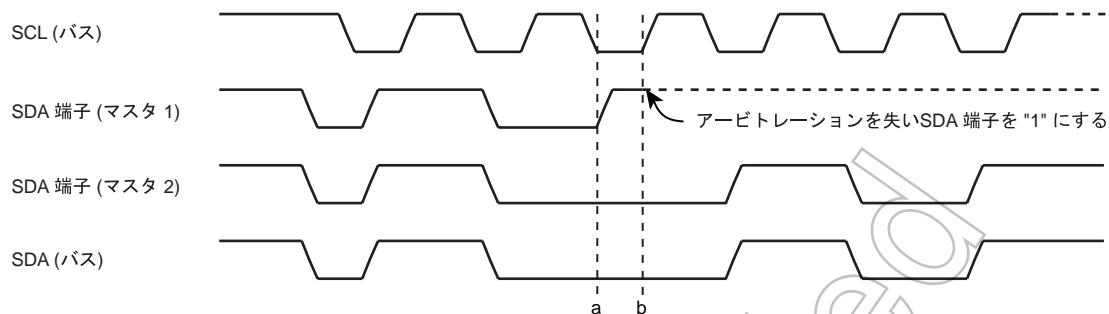


図 16-7 アービトレーションロスト

シリアルバスインタフェース回路では、バスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISR のビット 3) が“1”にセットされます。

AL が“1”にセットされると MST, TRX は“0”にリセットされ、スレーブレシーバモードになります。そのため、AL が“1”にセットされた後のデータの転送では、シリアルバスインタフェース回路はクロックの出力を停止します。

AL は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICRB にデータを書き込むと“0”にリセットされます。

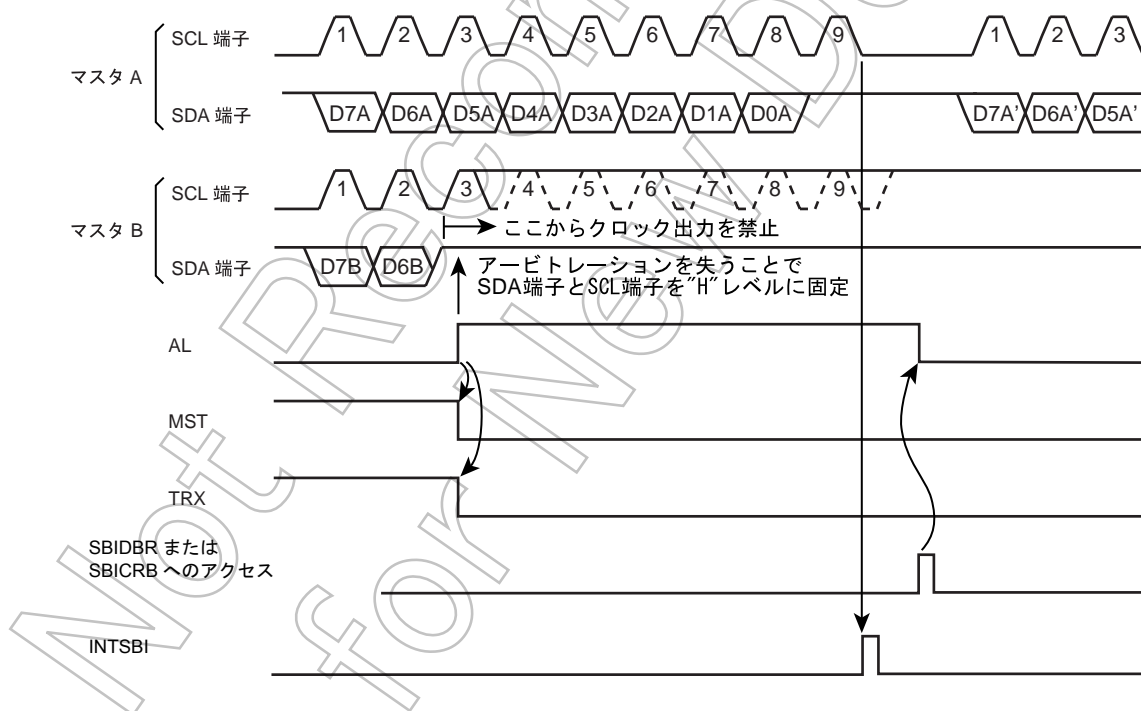


図 16-8 シリアルバスインタフェース回路がマスタ B の場合

16.5.11 スレーブアドレス一致検出モニタ

AAS (SBISRB のビット 2) は、スレーブモード時、アドレッシングフォーマット (ALS="0") の場合、ゼネラルコールまたは、I2CAR にセットした値と同じスレーブアドレスを受信すると、“1”にセットされます。フリーデータフォーマット (ALS="1") のときは、最初の 1 ワードを受信されると“1”にセットされます。AAS は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと“0”にクリアされます。

16.5.12 ゼネラルコール検出モニタ

AD0 (SBISRB のビット 1) はスレーブモード時、ゼネラルコール(スタートコンディション直後に受信した 8 ビットのデータがすべて“0”)のとき、“1”にセットされます。AD0 は、バス上のスタートコンディションまたはストップコンディションが検出されると、“0”にクリアされます。

16.5.13 最終受信ビットモニタ

LRB (SBISRB のビット 0) には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に LRB を読み出すと、アクノリッジ信号が読み出されます。

16.6 I²C バスモード時のデータ転送手順

16.6.1 デバイスの初期化

最初に SBICRA の ACK に“1”を、BC に“000”を書き込むことによって、アクノリッジのためのクロック数を“カウントする、”データ長を“8 ビット”に設定します。また、SCK に転送周波数を設定します。

次に I2CAR の SA にスレーブアドレスを設定します。

その後、シリアルバスインタフェース端子の状態が“H”になっていることを確認し、SBICRB の MST, TRX, BB に“0”を、PIN に“1”を、SBIM に“10”を、SWRST1,0 に“00”を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

16.6.2 スタートコンディション、スレーブアドレスの発生

バスフリー (BB=“0”) 状態を確認します。

ACK を“1”にセットし、SBIDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PIN に“1”を書き込むと、バス上にスタートコンディションと、SBIDBR に設定したスレーブアドレスと、方向ビットが出力されます。なお、スタートコンディション出力後、SCL 端子が立ち下がるまで、 t_{LOW} かかります。

この後、SCL の 9 クロック目の立ち下がりで INTSBI 割り込み要求が発生し、PIN が“0”にクリアされます。PIN が“0”の間、SCL 端子を“L”レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウェアにより、INTSBI 割り込み要求タイミングで TRX が方向ビットに合わせて変化します。

注 1) スレーブアドレスを出力するために SBIDBR を書き込むときは、事前に、ソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2) 出力するスレーブアドレスの書き込みから $98.0 \mu s$ (I²C バス規格による最短の転送時間) 以内に、再度ソフトウェアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBICRB の MST, TRX, BB, PIN に“1”を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBIDBR へ出力するスレーブアドレスを書き込んでから SBICRB の MST, TRX, BB, PIN に“1”を書き込みスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われ、SBIDBR に書き込んだスレーブアドレスが破壊されることがあります。

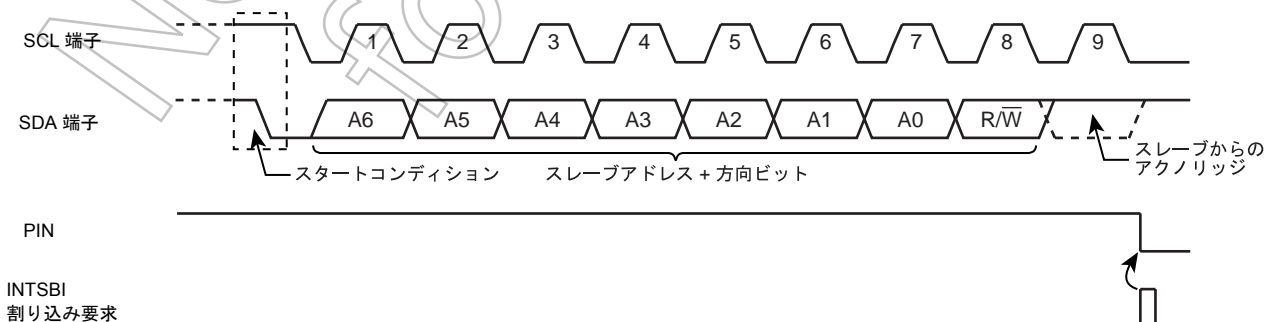


図 16-9 スタートコンディションとスレーブアドレスの発生

16.6.3 1ワードのデータ転送

1ワード転送終了の INTSBI 割り込みの処理で、MST をテストし、マスタモード/スレーブモードの判断をします。

16.6.3.1 MST が“1”のとき(マスタモード)

TRX をテストし、トランスミッタ/レシーバの判断をします。

(1) TRX が“1”のとき(トランスミッタモード)

LRB をテストします。LRB が“1”のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

LRB が“0”のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が8ビット以外の場合は BC を再設定し、ACK を“1”にセットした後、送信データを SBIDBR に書き込みます。データを書き込むと PIN が“1”になり、SCL 端子から次の1ワードのデータ転送用のシリアルクロックが発生し、SDA 端子から1ワードのデータが送信されます。送信終了後、INTSBI 割り込み要求が発生し、PIN が“0”になり、SCL 端子を“L”レベルに引きます。複数ワードの転送が必要な場合は、上記 LRB のテストから繰り返します。

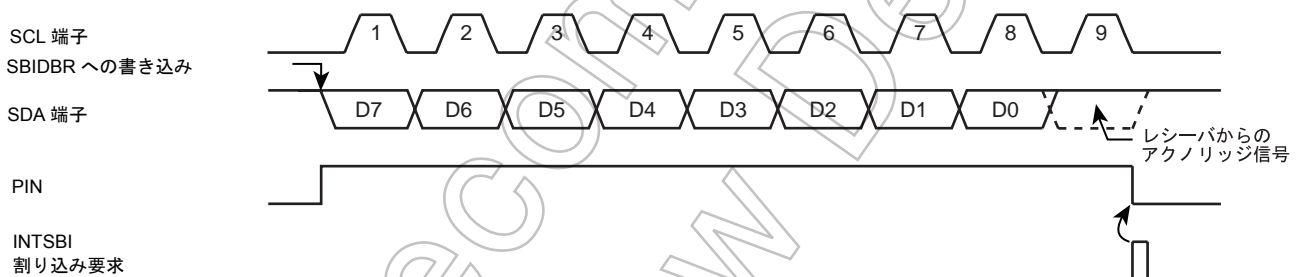


図 16-10 BC="000", ACK="1" の場合

(2) TRX が“0”のとき(レシーバモード)

次に転送するデータのビット数が、8ビット以外の場合は BC を再設定し、ACK に“1”をセットした後、SBIDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと PIN は“1”になり、次の1ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクリッジのタイミングで“L”レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、PIN が“0”になります。SBIDBR から受信データを読み出すたびに1ワードの転送クロックとアクリッジを出力します。

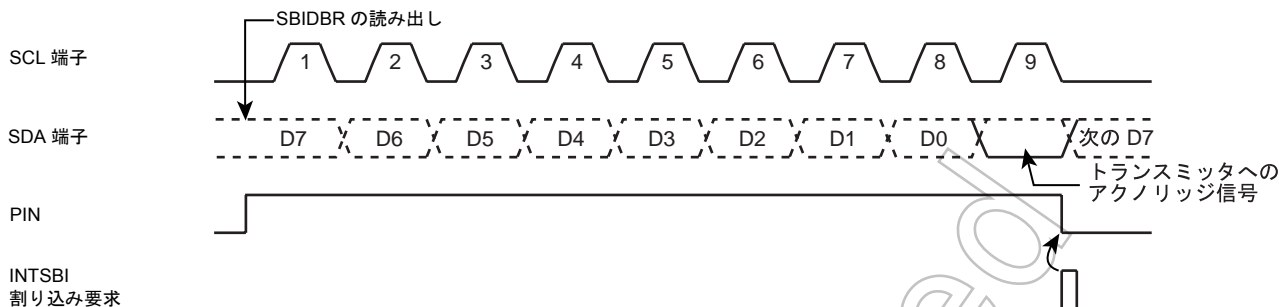


図 16-11 BC="000", ACK="1" の場合

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に、ACK を“0”にクリアします。これにより最終データの ACK のためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC="001"に設定し、データを読み出すと PIN が“1”にセットされ、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは“H”レベルを保ちます。トランスミッタは ACK ノリッジ信号としてこの“H”レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

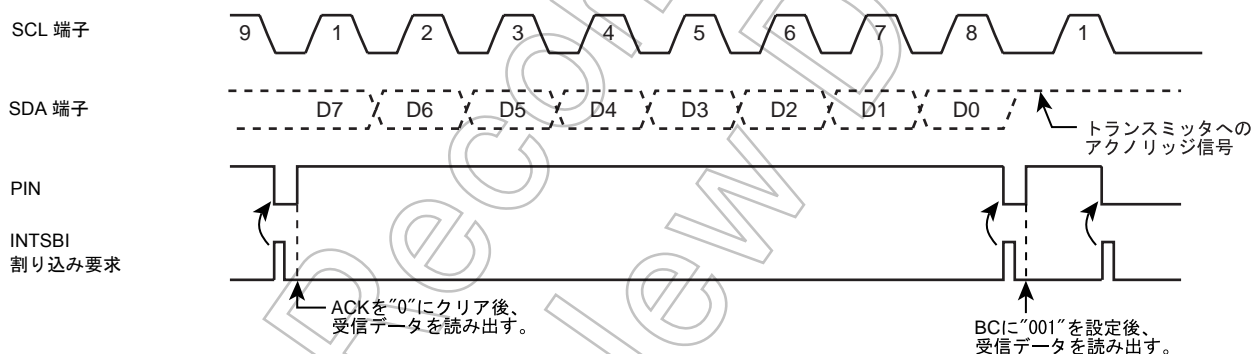


図 16-12 マスタレシーバモード時、データの送信を終了させるときの処理

16.6.3.2 MST が“0”のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理またはシリアルバスインタフェース回路が、アービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときの ACK ノリッジ信号出力後
- ゼネラルコールを受信したときの ACK ノリッジ信号出力後
- スレーブアドレス一致またはゼネラルコール受信後における、データ転送終了時

シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。アービトレーションを失った後の INTSBI と PIN の動作を表 16-3 に示します。

表 16-3 アービトレーションロスト時の INTSBI 割り込み要求と PIN の動作

| | | |
|---------------|--|---------------------------------------|
| | マスタモード時、スレーブアドレス送信中にアービトレーションを失った場合 | マスタトランスミットモード時、データ送信中にアービトレーションを失った場合 |
| INTSBI 割り込み要求 | ワード転送終了時に INTSBI 割り込み要求発生 | |
| PIN | I2CAR に設定されたスレーブアドレスと一致した場合、PIN は“0”にクリアされます。スレーブアドレスが一致しなかった場合は PIN は“1”を保持します。 | PIN は“1”を保持 (“0”にクリアされません)。 |

INTSBI 割り込み要求が発生すると、PIN (SBICRB のビット 4) が“0”にリセットされ、SCL 端子を“L”レベルに引きます。SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すか、または PIN を“1”にセットすると SCL 端子が t_{LOW} 後に開放されます。

AL (SBISRB のビット 3)、TRX (SBISRB のビット 6)、AAS (SBISRB のビット 2)、AD0 (SBISRB のビット 1) をテストし、場合分けを行います。“表 16-4 スレーブモード時の処理”にスレーブモード時の状態と必要な処理を示します。

表 16-4 スレーブモード時の処理

| TRX | AL | AAS | AD0 | 状態 | 処理 |
|-----|----|-----|-----|--|--|
| 1 | 1 | 1 | 0 | シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信 | 1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。 |
| | | 1 | 0 | スレーブレシーバモード時、マスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信 | |
| | 0 | | 0 | スレーブトランスミッタモード時、1 ワードのデータの送信が終了 | LRB をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので PIN に“1”をセット、TRX を“0”にリセットしバスを開放します。LRB が“0”にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。 |
| 0 | 1 | 1 | 1/0 | シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信 | PIN を“1”にセットするために SBIDBR を読み込みます (ダミー読み出し)。または PIN に“1”を書き込みます。 |
| | | 0 | 0 | シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了 | シリアルバスインタフェース回路はスレーブモードとなっています。AL を“0”にクリアするためには、SBIDBR を読み出すか、SBIDBR へ書き込みを行ってください。 |
| | 0 | 1 | 1/0 | スレーブレシーバモード時、マスタの送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信 | PIN を“1”にセットするために、SBIDBR を読み込みます (ダミー読み出し)。または PIN に“1”を書き込みます。 |
| | | 0 | 1/0 | スレーブレシーバモード時、1 ワードのデータの受信が終了 | 1 ワードのビット数を BC にセットし、受信データを SBIDBR から読み込みます。 |

注) スレーブモードで I2CAR が“00H”に設定されている場合、I²C バス規格の START バイト (“01H”) を受信したときにスレーブアドレスが一致したと判断し、TRX が“1”にセットされます。

16.6.4 ストップコンディションの発生

BB="1" のときに、MST, TRX, PIN に "1"、BB に "0" を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、MST, TRX, BB, PIN の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放された後、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、 t_{LOW} かかります。

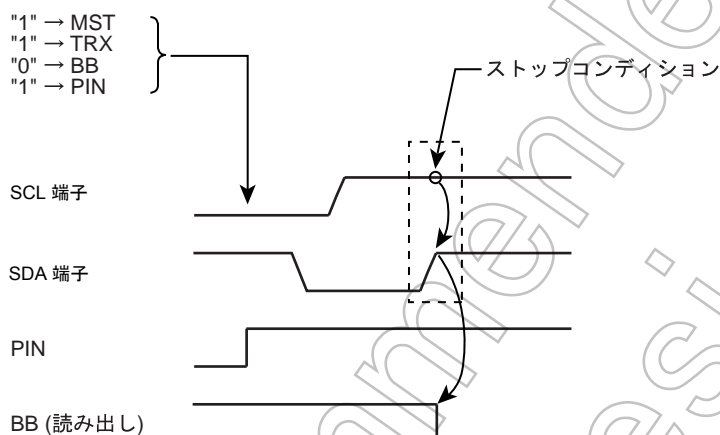


図 16-13 ストップコンディションの発生

16.6.5 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。再スタートが発生させる場合の手順を以下に示します。

まず、MST, TRX, BB に "0" を、PIN に "1" を書き込むと、SDA 端子は "H" レベルを保ち、SCL 端子が開放されます。このときバス上にストップコンディションは発生されないため、ほかのデバイスからみると、バスはビジー状態のままです。この後 BB をテストして、"0" になるまで待ち、シリアルバスインタフェース回路の SCL 端子が開放されたことを確認します。次に LRB をテストして "1" になるまで待ち、ほかのデバイスが、バスの SCL ラインを "L" レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 "16.6.2 スタートコンディション、スレーブアドレスの発生" の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 $4.7 \mu s$ のソフトウェアによる待ち時間が必要です。

注) マスタデバイスがレシーバの時、再スタートが発生させる前に、トランスマッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"H" レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の LRB は "1" となり、再スタートの手順で、LRB が "1" であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するには、ポートを読み出してください。

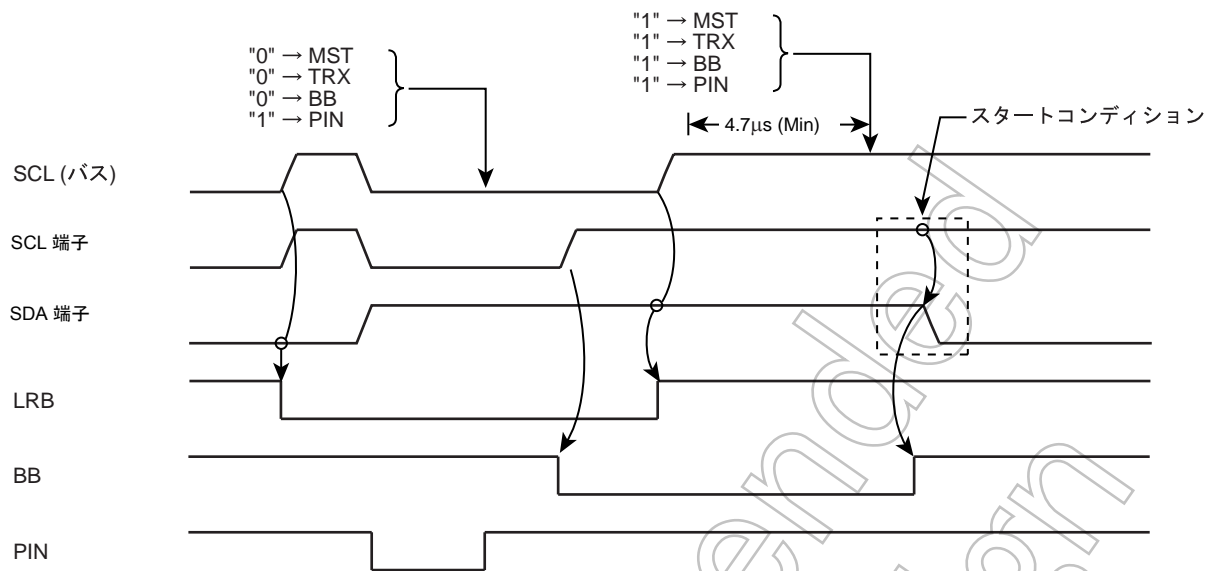


図 16-14 再スタートを発生させる場合のタイミングチャート

Not Recommended for New Design

Not Recommended
for New Design

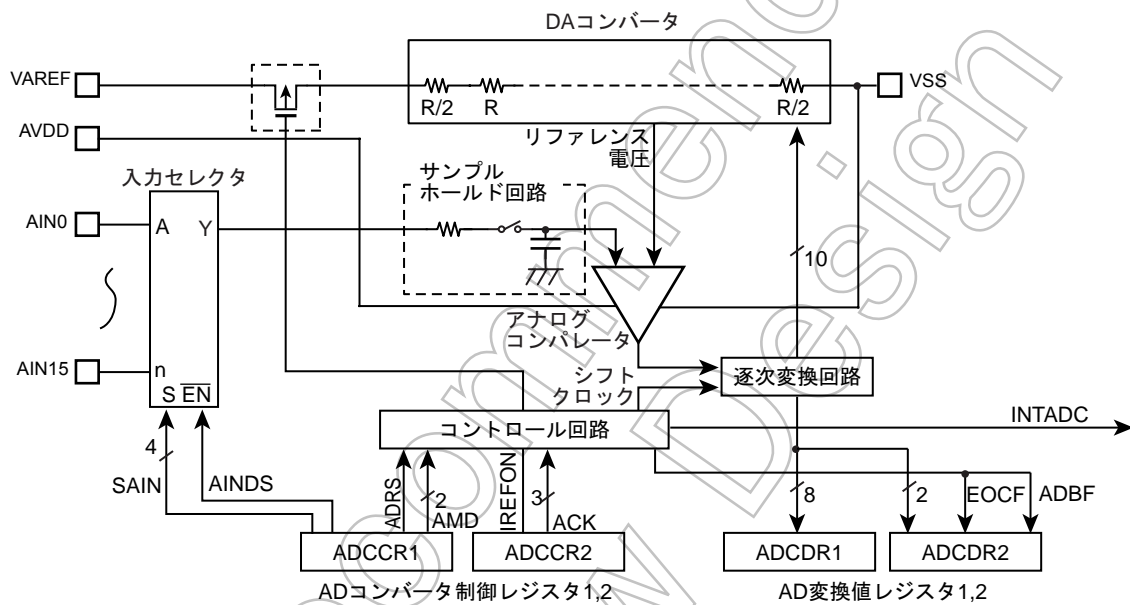
第 17 章 10 ビット AD コンバータ (ADC)

TMP86FS49BFG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

17.1 構成

10 ビット AD コンバータの回路構成を図 17-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 17-1 10 ビット AD コンバータ

17.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

| | | | | | | | | | |
|-------------------|------|-----|---|-------|------|---|---|---|------------------|
| ADCCR1 (001CH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | ADRS | AMD | | AINDS | SAIN | | | | (初期値: 0001 0000) |

| | | | |
|-------|--------------|--|-----|
| ADRS | AD 変換開始 | 0: — 1: AD 変換開始 | R/W |
| AMD | AD 動作モード | 00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード | |
| AINDS | アナログ入力制御 | 0: アナログ入力ディセーブル 1: アナログ入力ディセーブル | |
| SAIN | アナログ入力チャネル選択 | 0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: AIN8 1001: AIN9 1010: AIN10 1011: AIN11 1100: AIN12 1101: AIN13 1110: AIN14 1111: AIN15 | |

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

| | | | | | | | | | |
|-------------------|---|---|--------|-----|---|-----|---|-----|-----------------|
| ADCCR2 (001DH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | | | IREFON | "1" | | ACK | | "0" | (初期値:**0* 000*) |

| | | | |
|--------|----------------------------------|---|-----|
| IREFON | DA コンバータ (ラダー抵抗) の接続時間 | 0: AD 変換中のみ接続 1: 常時接続 | R/W |
| ACK | AD 変換時間選択 (変換時間例は下記表をご参照ください) | 000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved | |

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 17-1 ACK 設定と周波数別の変換時間

| 条件 | 変換時間 | 16MHz | 8MHz | 4 MHz | 2 MHz | 10-MHz | 5 MHz | 2.5 MHz |
|---------|----------|---------|----------|----------|----------|----------|----------|----------|
| ACK 000 | 39/fc | — | — | — | 19.5 μs | — | — | 15.6 μs |
| 001 | Reserved | | | | | | | |
| 010 | 78/fc | — | — | 19.5 μs | 39.0 μs | — | 15.6 μs | 31.2 μs |
| 011 | 156/fc | — | 19.5 μs | 39.0 μs | 78.0 μs | 15.6 μs | 31.2 μs | 62.4 μs |
| 100 | 312/fc | 19.5 μs | 39.0 μs | 78.0 μs | 156.0 μs | 31.2 μs | 62.4 μs | 124.8 μs |
| 101 | 624/fc | 39.0 μs | 78.0 μs | 156.0 μs | — | 62.4 μs | 124.8 μs | — |
| 110 | 1248/fc | 78.0 μs | 156.0 μs | — | — | 124.8 μs | — | — |
| 111 | Reserved | | | | | | | |

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

| | | | | | | | | | |
|-------------------|------|------|------|------|------|------|------|------|------------------|
| ADCDR1 (001FH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | AD09 | AD08 | AD07 | AD06 | AD05 | AD04 | AD03 | AD02 | (初期値: 0000 0000) |

AD 変換値レジスタ 2

| | | | | | | | | | |
|-------------------|------|------|------|------|---|---|---|---|------------------|
| ADCDR2 (001EH) | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| | AD01 | AD00 | EOCF | ADBF | | | | | (初期値: 0000 ****) |

| | | | |
|------|----------------|----------------------------|--------------|
| EOCF | AD 変換終了フラグ | 0: 変換前または変換中 1: 変換終了 | Read only |
| ADBF | AD 変換 BUSY フラグ | 0: AD 変換停止中 1: AD 変換実行中 | |

- 注 1) EOCF は、AD 変換レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。

Not Recommended
for New Design

17.3 機能

17.3.1 ソフトウェアスタートモード

ADCCR1<AMD> を“01” (ソフトウェアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

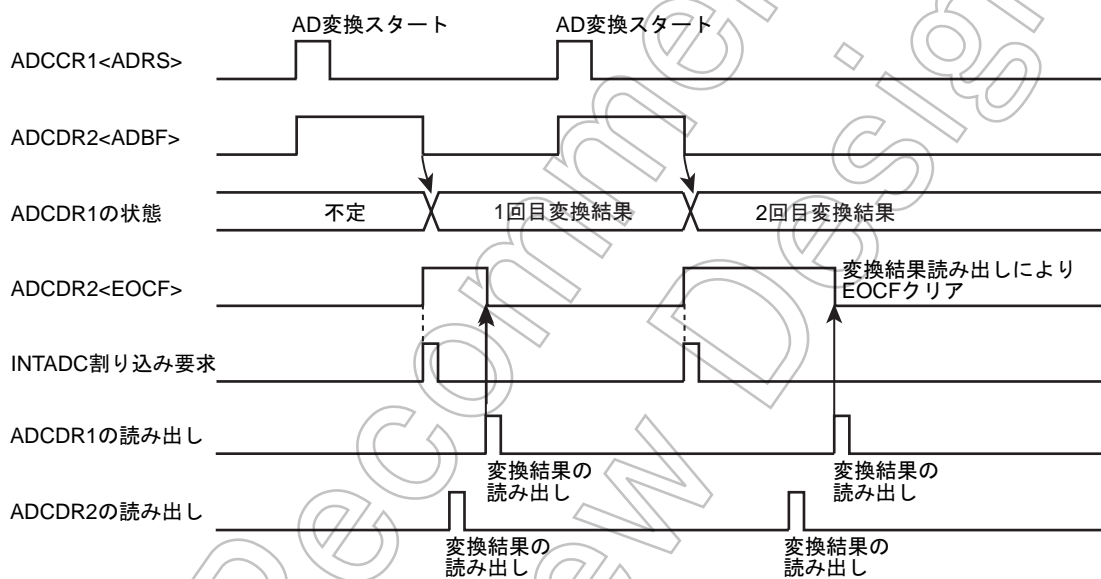


図 17-2 ソフトウェアスタートモード

17.3.2 リピートモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11” (リピートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

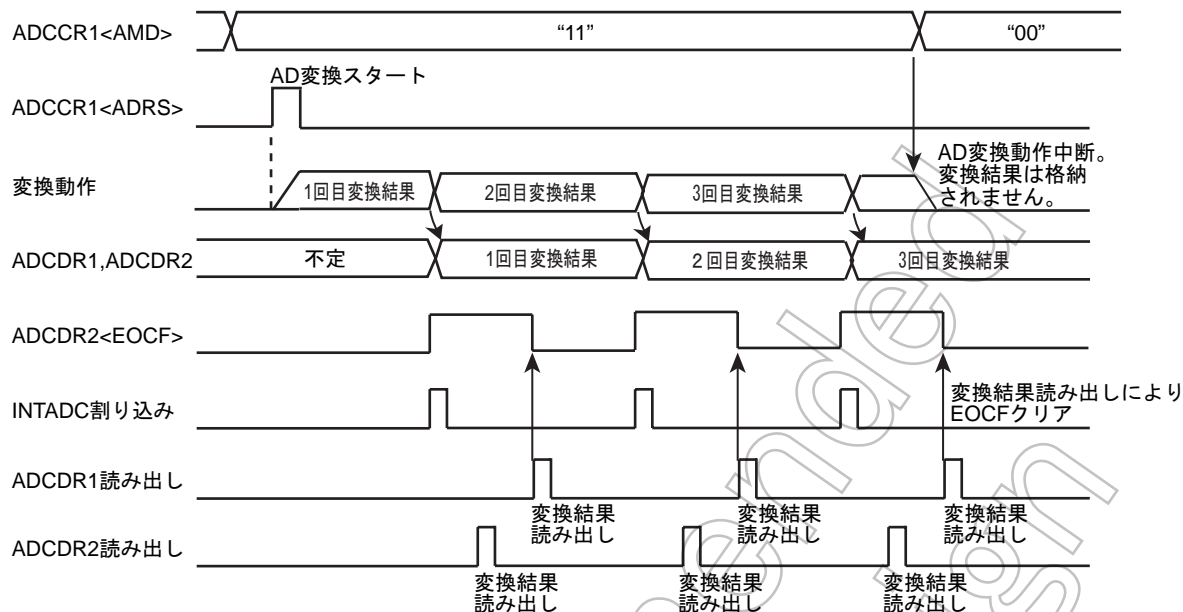


図 17-3 リピートモード

17.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 17-1 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCCR2) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCCR1)、AD 変換値レジスタ 2 (ADCCR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCCR1) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCCR1) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 $19.5 \mu s @ 16 \text{ MHz}$ およびアナログ入力チャンネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

; (ポートの設定)
;
;
;
LD      (ADCCR1), 00100011B      ; AIN3 を選択
LD      (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択

SLOOP: SET      (ADCCR1).7        ; ADRS = 1 (AD 変換開始)
        TEST     (ADCCR2).5        ; EOCF = 1 ?
        JRS      T, SLOOP

LD      A, (ADCCR2)              ; 変換結果の読み出し
LD      (9EH), A
LD      A, (ADCCR1)              ; 変換結果の読み出し
LD      (9FH), A

```

17.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

17.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 17-4 のように対応します。

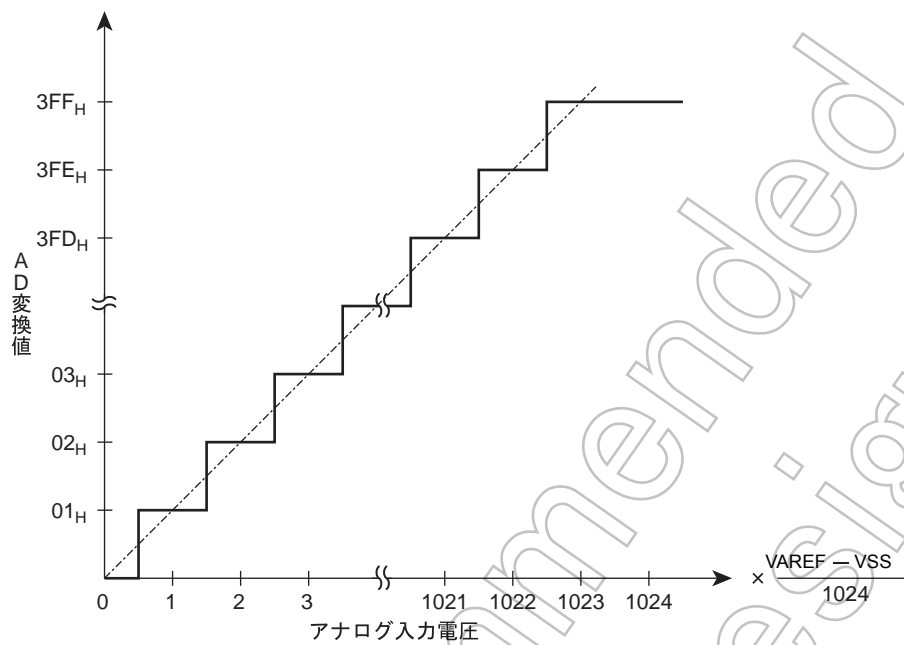


図 17-4 アナログ入力電圧と AD 変換値 (typ.) の関係

17.6 AD コンバータの注意事項

17.6.1 AD 変換終了割り込み (INTADC) の使用に関する制限事項

AD 変換終了割り込み (INTADC) を使用する場合、作製されたプログラムの構成によっては割り込み動作を行わないことがあります。例えば、割り込みラッチ IL15(INTADC) より優先順位の低い割り込みが受け付けられた時点で INTADC 割り込みが発生した場合に、INTADC の割り込みラッチがクリアされ、割り込み動作を行わない場合があります。

AD 変換終了を検知するには下記方法があります。

(1) AD 変換終了割り込み (INTADC) を使用しない方法
ソフトウェアにて AD 変換終了フラグ (EOCF) をモニタすることで AD 変換終了を検出することが出来ますので、AD 変換開始後に EOCF フラグをポーリング処理する、もしくは一定周期で EOCF フラグをモニタする等を行ってください。

(2) AD 変換終了割り込み (INTADC) より優先順位の低い割り込み処理中に変換終了を検出する方法

割り込み優先順位が INTADC より低い割り込み処理中に AD 変換終了フラグ (EOCF) および割り込みラッチ IL15 を確認し、IL15=0 かつ EOCF=1 の条件が成立した場合には、PUSH/POP 操作に注意した上で AD 処理ルーチンを CALL してください。

なおこの際、INTADC より高い優先順位の割り込み要求がセットされている場合は、割り込み優先順位に反して AD 割り込み処理ルーチンを先に実行することになりますので、必要に応じて INTADC より上位の割り込み要求を確認した上で処理を行うことを推奨します。

17.6.2 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN15) は、VAREF ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

17.6.3 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN15) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

17.6.4 ノイズ対策

アナログ入力端子の内部等価回路は、図 17-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

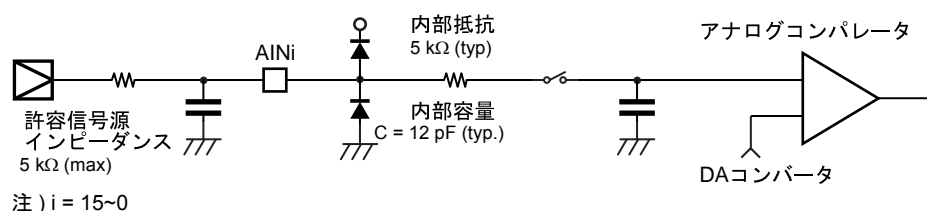


図 17-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 18 章 キーオンウェイクアップ (KWU)

TMP86FS49BFG は、P20($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に STOP0 ~ STOP3 の 4 つの端子でも STOP モードの解除が可能です。

STOP0 ~ STOP3 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の “18.2 制御” を参照してください。

18.1 構成

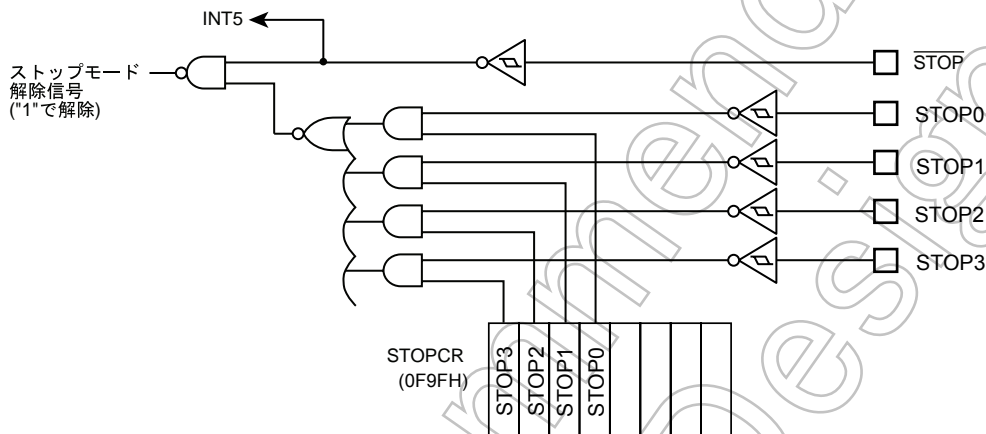
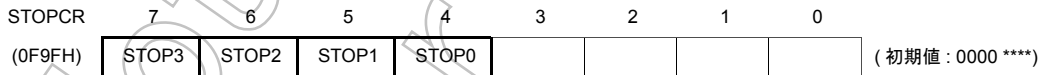


図 18-1 キーオンウェイクアップ回路

18.2 制御

STOP0 ~ STOP3 端子は、キーオンウェイクアップ制御レジスタ (STOPPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ



| | | | |
|-------|------------------------|----------------|------------|
| STOP3 | STOP3 端子による STOP モード解除 | 0: 禁止 1: 許可 | Write only |
| STOP2 | STOP2 端子による STOP モード解除 | 0: 禁止 1: 許可 | Write only |
| STOP1 | STOP1 端子による STOP モード解除 | 0: 禁止 1: 許可 | Write only |
| STOP0 | STOP0 端子による STOP モード解除 | 0: 禁止 1: 許可 | Write only |

18.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP0 ~ STOP3 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP0 ~ STOP3 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注 2,3)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP0 ~ STOP3 入力をすべて禁止にするか、入力が許可されている STOP0 ~ STOP3 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$ 端子および STOP0 ~ STOP3 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 18-2)
- 注 4) $\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP0 ~ STOP3 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。
- 注 5) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 6) STOP0 ~ STOP3 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず "L" レベルに固定してください。(図 18-3)

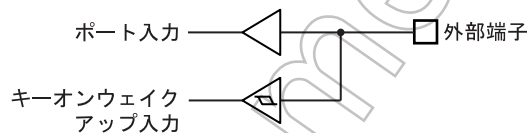
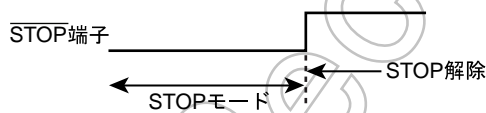


図 18-2 キーオンウェイクアップ入力とポート入力

a) $\overline{\text{STOP}}$ 端子の場合



b) STOP0 ~ STOP3 の場合

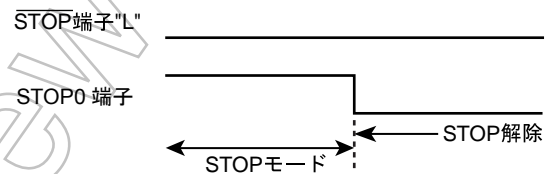


図 18-3 STOP 端子と STOP0 ~ STOP3 端子の優先順位

表 18-1 STOP モードの解除レベル (エッジ)

| 端子名 | 解除レベル (エッジ) | |
|--------------------------|---------------------------|------------------|
| | SYSCR1<RELM>="1" (注 2) | SYSCR1<RELM>="0" |
| $\overline{\text{STOP}}$ | "H" レベル | 立ち上がりエッジ |
| STOP0 | "L" レベル | 使用禁止 (注 1) |
| STOP1 | "L" レベル | 使用禁止 (注 1) |
| STOP2 | "L" レベル | 使用禁止 (注 1) |
| STOP3 | "L" レベル | 使用禁止 (注 1) |

第 19 章 フラッシュメモリ

TMP86FS49BFG は、61440 バイト (アドレス 1000H ~ FFFFH) のフラッシュメモリを内蔵しています。フラッシュメモリの書き込み / 消去などの制御は、以下の 3 つのモードで実行可能です。

- MCU モード

MCU モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。アプリケーションの動作を保った状態でフラッシュメモリの書き換えが可能ですので、出荷後のソフトウェアバグ修正やファームウェアの変更などに利用できます。

- シリアル PROM モード

シリアル PROM モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。シリアルインタフェース (UART) を使用することによって少ない端子で制御が可能ですので、出荷工程のオンボード書き込み (マイクロコントローラが基板に実装された状態での書き込み) などに利用できます。

- パラレル PROM モード

パラレル PROM モードは、サードパーティの提供するプログラムライタ等で単体のフラッシュメモリとしてフラッシュメモリをアクセスするモードで、アドレス / データ信号を直接制御することにより高速にフラッシュメモリをアクセスすることができます。プログラムライタのサポート状況については、当社営業窓口までお問い合わせください。

MCU モードおよびシリアル PROM モードは、フラッシュメモリの制御のためにフラッシュメモリ制御レジスタ (FLSCR) を使用します。本章では MCU モードおよびシリアル PROM モードでフラッシュメモリ制御 (FLSCR) を使用したフラッシュメモリのアクセス方法を説明します。

注 1) 旧版のデータシートで表記されていた「1 バイト書き込み」は、「Byte Program」に変更されました。

注 2) 旧版のデータシートで表記されていた「リードプロテクト設定」は、「Security Program」に変更されました。

19.1 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ (FLSCR) によって制御されます。

フラッシュメモリ制御レジスタ

| | | | | | | | | |
|---------|-------|---|---|---|---------|---|---|---|
| FLSCR | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| (0FFFH) | FLSMD | | | | BANKSEL | | | |

(初期値: 1100 1***)

| | | | |
|---------|--------------------------------------|---|-----|
| FLSMD | フラッシュメモリのコマンドシーケンス制御 | 1100: コマンドシーケンスの実行を禁止 0011: コマンドシーケンスの実行を許可 その他: Reserved | R/W |
| BANKSEL | フラッシュメモリのバンク切り替え制御 (シリアル PROM モードのみ) | 0: BANK0 に切り替え 1: BANK1 に切り替え | R/W |

- 注 1) フラッシュメモリのコマンドシーケンスは、FLSMD = “0011B” 設定のときのみ実行可能です。それ以外の設定のときはコマンドシーケンスを実行しても無効となります。
- 注 2) FLSMD は、“1100B”、“0011B” 以外設定しないでください。
- 注 3) BANKSEL はシリアル PROM モード時のみ機能します。MCU モードでは、フラッシュメモリは BANKSEL の設定に関係無く、常に実アドレス (1000~FFFFH) でアクセスされます。
- 注 4) FLSCR に対してリード命令を実行すると、ビット 2 ~ 0 は不定値が読み込まれます。

19.1.1 フラッシュメモリのコマンドシーケンス制御 (FLSCR<FLSMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリへのコマンドシーケンスの実行を禁止することができます (ライトプロテクト)。コマンドシーケンスの実行を許可するときは、FLSCR<FLSMD> を 0011B に設定します。コマンドシーケンスの実行を禁止するときは、FLSCR<FLSMD> を 1100B に設定します。リセット後、FLSCR<FLSMD> は 1100B に初期化され、コマンドシーケンスの実行は禁止の状態となります。通常はフラッシュメモリの書き込み / 消去を行うときを除き、FLSCR<FLSMD> を 1100B に設定します。

19.1.2 フラッシュメモリのバンク切り替え制御 (FLSCR<BANKSEL>)

シリアル PROM モードのとき、7800H~7FFFH は 2K バイトの BOOTROM がマッピングされ、フラッシュメモリは 8000H~FFFFH に 2 バンク化されてマッピングされます。1000H~7FFFH のフラッシュメモリは BANK0 として 9000H~FFFFH に、8000H~FFFFH のフラッシュメモリは BANK1 として 8000H~FFFFH にマッピングされます。バンクの切り替えは FLSCR<BANKSEL> によって行います。例えばフラッシュメモリの 7000H にアクセスするためには FLSCR<BANKSEL> を “0” に設定した後、F000H にアクセスします。フラッシュメモリの 9000H にアクセスするためには FLSCR<BANKSEL> を “1” に設定した後、9000H にアクセスします。

MCUモードのときは、1000H~FFFFH の実アドレスでアクセスします。このとき FLSCR<BANKSEL> は機能しません (設定値は他の動作に影響を与えません)。

表 19-1 フラッシュメモリのアドレス指定

| 動作モード | FLSCR <BANKSEL> | アクセスする領域 | アドレス指定 |
|---------------|--------------------|-------------|-------------|
| MCU モード | Don't care | 1000H~FFFFH | |
| シリアル PROM モード | 0 (BANK0) | 1000H~7FFFH | 9000H~FFFFH |
| | 1 (BANK1) | 8000H~FFFFH | |

19.2 コマンドシーケンス

MCU モードおよびシリアル PROM モードのコマンドシーケンスは 6 つのコマンドから構成されます (JEDEC 互換)。表 19-2 にコマンドシーケンスの詳細を示します。コマンドシーケンスで指定するアドレスは下位 12 ビットで認識されます (表 19-2 の BA, SA, Security Program の FF7FH を除く)。ただし上位 4 ビットは、フラッシュメモリがマッピングされている領域の何れかを指定する必要があります。詳細は表 19-3 を参照してください。

表 19-2 コマンドシーケンス

| | コマンド シーケンス | 1st Bus Write Cycle | | 2nd Bus Write Cycle | | 3rd Bus Write Cycle | | 4th Bus Write Cycle | | 5th Bus Write Cycle | | 6th Bus Write Cycle | |
|---|--------------------------|------------------------|------|------------------------|------|------------------------|------|------------------------|---------------|------------------------|------|------------------------|------|
| | | Add | Data | Add | Data | Add | Data | Add | Data | Add | Data | Add | Data |
| 1 | Byte Program | 555H | AAH | AAAH | 55H | 555H | A0H | BA (注 1) | Data (注 1) | - | - | - | - |
| 2 | セクタイレース (4KB 単位の部分消去) | 555H | AAH | AAAH | 55H | 555H | 80H | 555H | AAH | AAAH | 55H | SA (注 2) | 30H |
| 3 | チップイレース (全面消去) | 555H | AAH | AAAH | 55H | 555H | 80H | 555H | AAH | AAAH | 55H | 555H | 10H |
| 4 | Product ID Entry | 555H | AAH | AAAH | 55H | 555H | 90H | - | - | - | - | - | - |
| 5 | Product ID Exit | XXH | F0H | - | - | - | - | - | - | - | - | - | - |
| | Product ID Exit | 555H | AAH | AAAH | 55H | 555H | F0H | - | - | - | - | - | - |
| 6 | Security Program | 555H | AAH | AAAH | 55H | 555H | A5H | FF7FH | 00H | - | - | - | - |

注 1) 書き込みを行うアドレスとデータを設定してください。

注 2) アドレスの上位 4 ビットで消去範囲が選択されます。

表 19-3 コマンドシーケンスのアドレス指定

| 動作モード | FLSCR <BANKSEL> | アドレス指定 |
|---------------|--------------------|-------------|
| MCU モード | Don't care | 1***H~F***H |
| シリアル PROM モード | 0 (BANK0) | 9***H~F***H |
| | 1 (BANK1) | 8***H~F***H |

19.2.1 Byte Program

1 バイト単位でフラッシュメモリの書き込みを行います。4th Bus Write Cycle で書き込みを行うアドレスとデータを指定します。1 バイトあたりの書き込み時間は最大 40 μ s です。書き込みが終了するまでは、他のコマンドシーケンスを実行することができません。書き込み終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。書き込み中はリードする度にビット 6 が反転します。

注) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

19.2.2 セクタイレース (4KB 単位の部分消去)

4K バイト単位でフラッシュメモリの消去を行います。消去範囲は、6th Bus Write Cycle アドレスの上位 4 ビットで指定します。例えば MCU モードのとき、7000H~7FFFH の 4K バイトを消去する場合は、6th Bus Write Cycle として 7000H~7FFFH の何れかのアドレスを指定します。シリアル PROM モードのとき、7000H~7FFFH の 4K バイトを消去する場合は、FLSCR<BANKSEL> を“0”に設定した

後、6th Bus Write Cycle として F000H~FFFFH の何れかのアドレスを指定します。なお、セクタイレースは、シリアル PROM モード、MCU モードのみ有効です。パラレル PROM モードのときは動作しません。

4K バイトあたりの消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

19.2.3 チップイレース (全面消去)

フラッシュメモリの全領域を消去します。

全領域の消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

なお、消去された領域のデータは FFH となります。

19.2.4 Product ID Entry

Product ID Entry を実行すると Product ID モードが起動します。Product ID モード中、フラッシュメモリに対してリード命令を実行するとベンダー ID、フラッシュ ID、Security Program ステータス等を読み出すことができます。

表 19-4 Product ID モード時のリード値

| アドレス | 意味 | 読み出される値 |
|-------|------------------------|--|
| F000H | ベンダー ID | 98H |
| F001H | フラッシュマクロ ID | 41H |
| F002H | フラッシュサイズ | 0EH: 60 Kバイト 0BH: 48 Kバイト 07H: 32 Kバイト 05H: 24 Kバイト 03H: 16 Kバイト 01H: 8 Kバイト 00H: 4 Kバイト |
| FF7FH | Security Program ステータス | FFH: Security Program 解除状態 FFH 以外: Security Program 設定状態 |

注) アドレス F002H (フラッシュサイズ) は、各製品に内蔵するフラッシュメモリの容量によって決まります。例えば 60K バイトのフラッシュメモリを内蔵する製品では、(F002H) をリードすると "0EH" が読み出されます。

19.2.5 Product ID Exit

Product ID モードを終了します。

19.2.6 Security Program 設定

フラッシュメモリに対してリードプロテクトおよびライトプロテクトを設定します。Security Program を設定すると、パラレル PROM モードのときフラッシュメモリのリードおよびライトができなくなります。シリアル PROM モードのときは、フラッシュメモリ書き替えコマンドおよび RAM ロードコマンドが実行できなくなります。

シリアル PROM モードで Security Program を設定するには、Security Program コマンドシーケンスを実行する前に FLSCR<BANKSEL> を“1”にセットしてください。Security Program 設定を解除するには、チップイレースを実行する必要があります。Security Program が設定されているかどうかを確認するには、Product ID モードで FF7FH をリードします。詳細は表 19-4 を参照してください。Security Program の設定時間は最大 40 μ s です。Security Program の設定が終了するまでは、他のコマンドシーケンスを実行することができません。Security Program の設定終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。Security Program の設定中はリードする度にビット 6 が反転します。

19.3 トグルビット (D6)

フラッシュメモリの書き込み、チップイレース、Security Program 設定のコマンドシーケンスを実行すると、これらの処理が完了するまでの間、リードオペレーションによって読み出されるデータの 6 ビット目 (D6) の値は、リードする度に値が反転します。これを利用すると各処理の終了をソフト的に確認することができます。通常はフラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。

なお、フラッシュメモリの書き込み、チップイレース、Security Program 設定のコマンドシーケンスを実行した後、最初のリードオペレーションでリードされたトグルビットはかならず“1”になります。

19.4 フラッシュメモリ領域へのアクセス

フラッシュメモリの書き込み/消去/Security Program 設定時は、フラッシュメモリのすべての領域に対してリード、プログラムフェッチを実行することができません。従って、フラッシュメモリ領域に対してこれらの操作を行うときはBOOTROM領域もしくはRAM領域上の制御プログラムによってフラッシュメモリをアクセスする必要があります (フラッシュメモリのプログラムで直接フラッシュメモリを書き換えることはできません)。これらの領域上で制御プログラムを実行するにはシリアル PROM モード、または MCU モードを使用します。

- 注 1) フラッシュメモリ領域の書き込み、読み出しは 1 バイト単位、消去は全領域または 4K バイト単位で実行可能です。読み出しについては 1 つの転送命令で実行可能ですが、書き込み/消去については、コマンドシーケンス方式を使用していますので、数個の転送命令を実行する必要があります。
- 注 2) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

19.4.1 シリアル PROM モードのフラッシュメモリ制御

シリアル PROM モードは、BOOTROM 上に予め用意された制御プログラムによってフラッシュメモリをアクセスするモードです。フラッシュメモリのアクセスに関するほとんどの動作は、シリアルインタフェース (UART) の通信データによって簡易的に制御可能ですので、ユーザは制御レジスタの操作を特に意識する必要はありません。シリアル PROM モードの詳細については「シリアル PROM モード」の章を参照してください。

シリアル PROM モードで任意の周辺機能を使用してフラッシュメモリをアクセスする場合は、RAM ロードコマンドを利用して、RAM 上で制御プログラムを実行する必要があります。この場合の操作は、“19.4.1.1 シリアル PROM モードの RAM ロードモードで RAM 領域に制御プログラムを展開して書き込む例”を参照してください。

19.4.1.1 シリアル PROM モードの RAM ロードモードで RAM 領域に制御プログラムを展開して書き込む例

(1~2はBOOTROMによる制御、3~10はRAMに展開されたプログラムによる制御となります)

1. RAM ロードで書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF←“0”)。
4. FLSCR<FLSMD> を “0011B” に設定します
(コマンドシーケンスの実行を許可します)。
5. 消去コマンドシーケンスを実行します。
6. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
(読み出した値が同一になるまで 6. を繰り返します)
7. 書き込む領域に対応する BANK を FLSCR<BANKSEL> で指定します。
8. 書き込みコマンドシーケンスを実行します。
9. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
(読み出した値が同一になるまで 9. を繰り返します)
10. FLSCR<FLSMD> を “1100B” に設定します
(コマンドシーケンスの実行を禁止します)。

注 1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF) を “0” に設定し、割り込みを禁止にしてください。通常は RAM に展開するプログラムの先頭で DI 命令を実行してください。

注 2) RAM ロードを使用する場合は、BOOTROM によってウォッチドッグタイマは禁止に設定されていますので、RAM ロードプログラムによってウォッチドッグタイマを禁止に設定する必要はありません。

(プログラム例) チップイレースを実行した後、F000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```
DI                                ; 割り込みを禁止 (IMF←"0")
LD      (FLSCR),00111000B        ; コマンドシーケンスの実行を許可
LD      IX,0F555H
LD      IY,0FAAAH
LD      HL,0F000H

;#### フラッシュメモリチップイレー処理 ####
LD      (IX),0AAH                ; 1st Bus Write Cycle
LD      (IY),55H                 ; 2nd Bus Write Cycle
LD      (IX),80H                 ; 3rd Bus Write Cycle
LD      (IX),0AAH                ; 4th Bus Write Cycle
LD      (IY),55H                 ; 5th Bus Write Cycle
LD      (IX),10H                 ; 6th Bus Write Cycle
sLOOP1: LD      W,(HL)
      CMP      W,(HL)
      JR      NZ,sLOOP1          ; 同一の値が読み出されるまでループする
      SET      (FLSCR),3         ; BANK を 1 に設定

;#### フラッシュメモリ書き込み処理 ####
LD      (IX),0AAH                ; 1st Bus Write Cycle
LD      (IY),55H                 ; 2nd Bus Write Cycle
LD      (IX),0A0H                ; 3rd Bus Write Cycle
LD      (HL),3FH                 ; 4th Bus Write Cycle, (F000H)=3FH
sLOOP2: LD      W,(HL)
      CMP      W,(HL)
      JR      NZ,sLOOP2          ; 同一の値が読み出されるまでループする
      LD      (FLSCR),11001000B ; コマンドシーケンスの実行を禁止
sLOOP3: JP      sLOOP3
```

19.4.2 MCU モードのフラッシュメモリ制御

MCU モードの場合、RAM 上で制御プログラムを実行することによってフラッシュメモリの書き込みを行うことができます。RAM 上で実行する制御プログラムは、予めフラッシュメモリ内にコピーを用意しておくか、通信端子などを利用して外部から取り込む必要があります。

以下に MCU モードで RAM 上の制御プログラムを実行する方法 (例) を示します。

19.4.2.1 MCU モードから RAM 領域に制御プログラムを展開して書き込む例

(1~2 はフラッシュメモリ上のプログラムによる制御、3~11 は RAM に展開されたプログラムによる制御となります)

1. 書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF ← “0”)。
4. ウォッチドッグタイマを使用している場合は禁止に設定します。
5. FLSCR<FLSMD> を “0011B” に設定します (コマンドシーケンスの実行を許可します)。
6. 消去コマンドシーケンスを実行します。
7. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。(読み出した値が同一になるまで 7. を繰り返します)
8. 書き込みコマンドシーケンスを実行します。(BANK 指定は不要です)
9. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。(読み出した値が同一になるまで 9. を繰り返します)
10. FLSCR<FLSMD> を “1100B” に設定します (コマンドシーケンスの実行を禁止します)。
11. フラッシュ領域にジャンプします。

注 1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF) を “0” に設定し、割り込みを禁止にしてください。通常は RAM に展開するプログラムの先頭で DI 命令を実行してください。

注 2) フラッシュメモリに書き込みを行うときにノンマスクブル割り込みを意図的に使用しないでください (ウォッチドッグタイマを使用している場合は禁止にしてください)。書き込み中にノンマスクブル割り込みが発生すると、フラッシュメモリ (割り込みベクタ) から想定しないデータ値が読み込まれるためマイコンが誤動作する恐れがあります。

(プログラム例) E000H~EFFFH のセクタイレースを実行した後、E000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```

DI                                ; 割り込みを禁止 (IMF←"0")

LD      (WDTCR2),4EH              ; WDT 2 進カウンタのクリア

LDW     (WDTCR1),0B101H          ; WDT の禁止

LD      (FLSCR),00111000B        ; コマンドシーケンスの実行を許可

LD      IX,0F555H

LD      IY,0FAAAH

LD      HL,0E000H

;#### フラッシュメモリセクタイレース処理 ####

LD      (IX),0AAH                ; 1st Bus Write Cycle

LD      (IY),55H                 ; 2nd Bus Write Cycle

LD      (IX),80H                 ; 3rd Bus Write Cycle

LD      (IX),0AAH                ; 4th Bus Write Cycle

LD      (IY),55H                 ; 5th Bus Write Cycle

LD      (HL),30H                 ; 6th Bus Write Cycle

sLOOP1: LD      W,(HL)

      CMP     W,(HL)

      JR      NZ,sLOOP1          ; 同一の値が読み出されるまでループする

;#### フラッシュメモリ書き込み処理 ####

LD      (IX),0AAH                ; 1st Bus Write Cycle

LD      (IY),55H                 ; 2nd Bus Write Cycle

LD      (IX),0A0H                ; 3rd Bus Write Cycle

LD      (HL),3FH                 ; 4th Bus Write Cycle, (E000H)=3FH

sLOOP2: LD      W,(HL)

      CMP     W,(HL)

      JR      NZ,sLOOP2          ; 同一の値が読み出されるまでループする

LD      (FLSCR),11001000B        ; コマンドシーケンスの実行を禁止

JP      XXXXH                    ; フラッシュ領域にジャンプします。

```

(プログラム例) F000H からデータをリードして RAM の 98H に格納する

```

LD      A,(0F000H)              ; F000H からデータを読み出す

LD      (98H),A                 ; 98H にデータを格納する

```


Not Recommended
for New Design

第 20 章 シリアル PROM モード

20.1 概要

TMP86FS49BFG はフラッシュメモリへのプログラミング用に 2K バイトの BOOTROM(MASK ROM) を内蔵しています。BOOTROM は、シリアル PROM モードで有効になります。シリアル PROM モードは、TEST 端子と BOOT 端子、RESET 端子で制御され、UART を通して通信します。

シリアル PROM モードには、フラッシュメモリ書き込み、RAM ロード、フラッシュメモリ SUM 出力、製品識別コード出力、フラッシュメモリステータス出力、フラッシュメモリ消去、フラッシュメモリ Security Program 設定の 7 種類のモードがあります。シリアル PROM モードでは、メモリのアドレス割り当てが MCU モードと異なります。図 20-1 にシリアル PROM モードでのメモリアドレスマップを示します。

表 20-1 シリアル PROM モード動作範囲

| 項目 | Min | Max | 単位 |
|--------|-----|-----|-----|
| 電源電圧 | 4.5 | 5.5 | V |
| 高周波周波数 | 2 | 16 | MHz |

注) 上記の高周波周波数の範囲であってもサポートされない周波数があります。詳細については表 20-5 を参照ください。

20.2 メモリマッピング

図 20-1 にシリアル PROM モードと MCU モードのメモリマップを示します。

シリアル PROM モードではアドレス 7800H ~ 7FFFH に BOOTROM (マスク ROM) がマッピングされ、フラッシュメモリは 2 つのバンクに分割されてマッピングされます。よって、RAM ロードモード (60H) を使用するとき、フラッシュメモリのアドレスは図 20-1 に従って指定してください (バンクおよび制御レジスタの詳細については“フラッシュメモリ制御レジスタ”の章を参照してください)。

ただし、フラッシュメモリ書き込みコマンド (30H) を使用するとき、BOOTROM がアドレス変換を行いますのでフラッシュメモリのアドレスは MCU モードと同様に 1000H ~ FFFFH を指定してください。

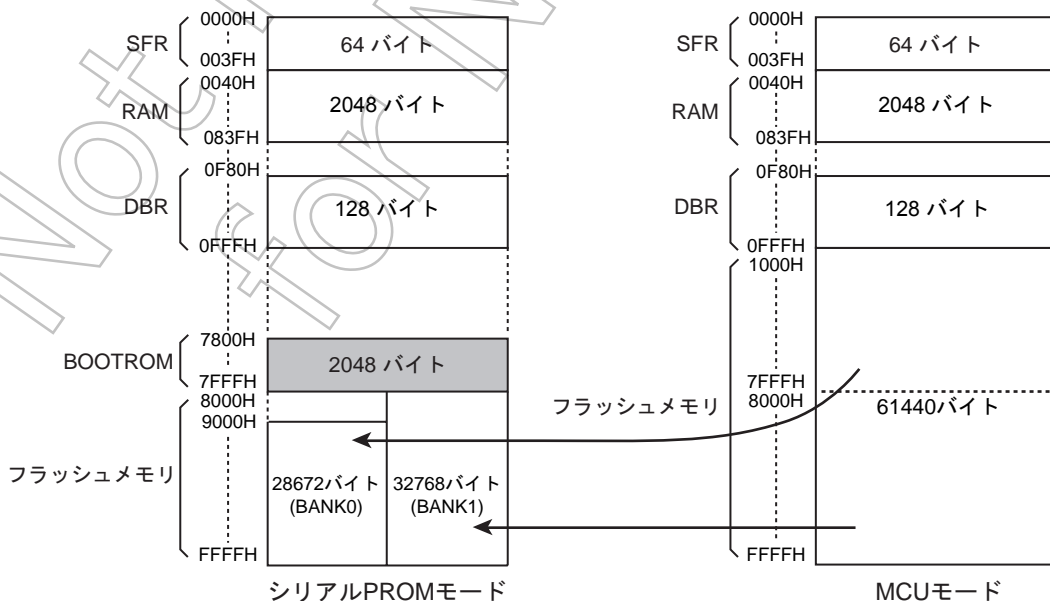


図 20-1 メモリアドレスマップ

20.3 シリアル PROM モード設定

20.3.1 シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 20-2 に示します。

表 20-2 シリアル PROM モード設定

| 端子 | 設定 |
|------------------------------|---|
| TEST 端子 | H レベル |
| BOOT/RXD1 端子 | H レベル |
| $\overline{\text{RESET}}$ 端子 |  |

注) シリアル PROM モードの起動端子 (BOOT 端子) は、UART 通信用端子 (RXD1 端子) と兼用です。同端子は、シリアル PROM モードが起動すると UART 通信用端子として機能します。

20.3.2 端子機能

シリアル PROM モード時、TXD1 (P02) と RXD1 (P01) をシリアル転送 (UART) 用端子として使用します。

表 20-3 シリアル PROM モードの端子機能

| 端子名 (シリアル PROM モード時) | 入出力 | 機能 | 端子名 (MCU モード時) |
|---------------------------|---------|--------------------------------|---------------------------|
| TXD1 | 出力 | シリアルデータ出力 | P02 |
| BOOT/RXD1 | 入力 / 入力 | シリアル PROM モード制御 / シリアルデータ入力 | P01 |
| $\overline{\text{RESET}}$ | 入力 | シリアル PROM モード制御 | $\overline{\text{RESET}}$ |
| TEST | 入力 | “H” レベルに固定します。 | TEST |
| VDD, AVDD | 電源 | 4.5 V ~ 5.5 V | |
| VSS | 電源 | 0 V | |
| VAREF | 電源 | 開放またはリファレンス電圧を印加してください。 | |
| P02, P01 以外の入出力ポート | 入出力 | シリアル PROM モード中はハイインピーダンスになります。 | |
| XIN | 入力 | 発振子を取り付け自己発振させてください。 | (注 2) |
| XOUT | 出力 | | |

注 1) オンボードプログラミング時、ほかの部品が実装されている場合は、これらの通信端子に影響を与えないようにしてください。

注 2) シリアル PROM モード時、高周波周波数の範囲は 2 ~ 16 MHz になります。

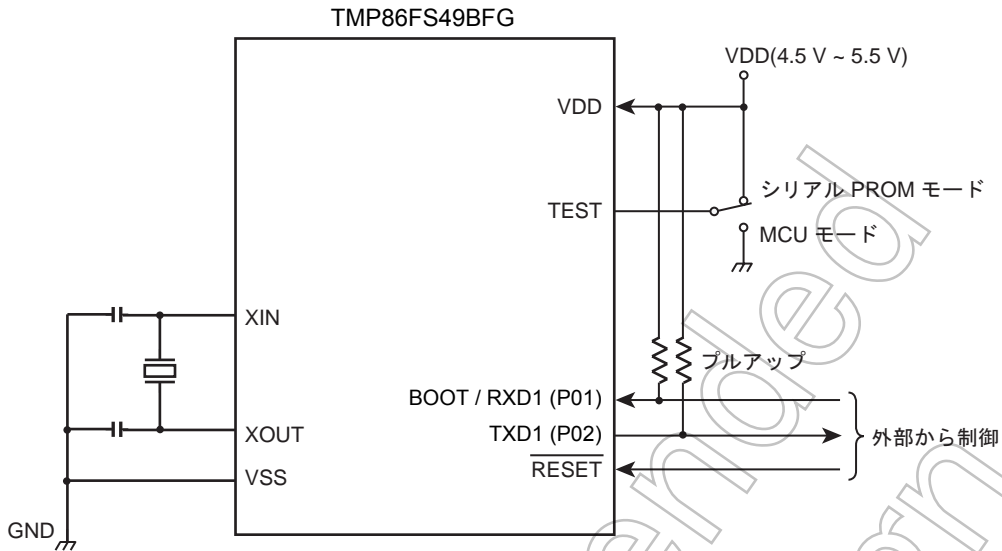


図 20-2 シリアル PROM モード端子設定

注) その他の端子処理については、“表 20-3 シリアル PROM モードの端子機能”を参照してください。

20.3.3 オンボード書き込み接続例

図 20-3 にオンボード書き込みを行う場合の接続例を示します。

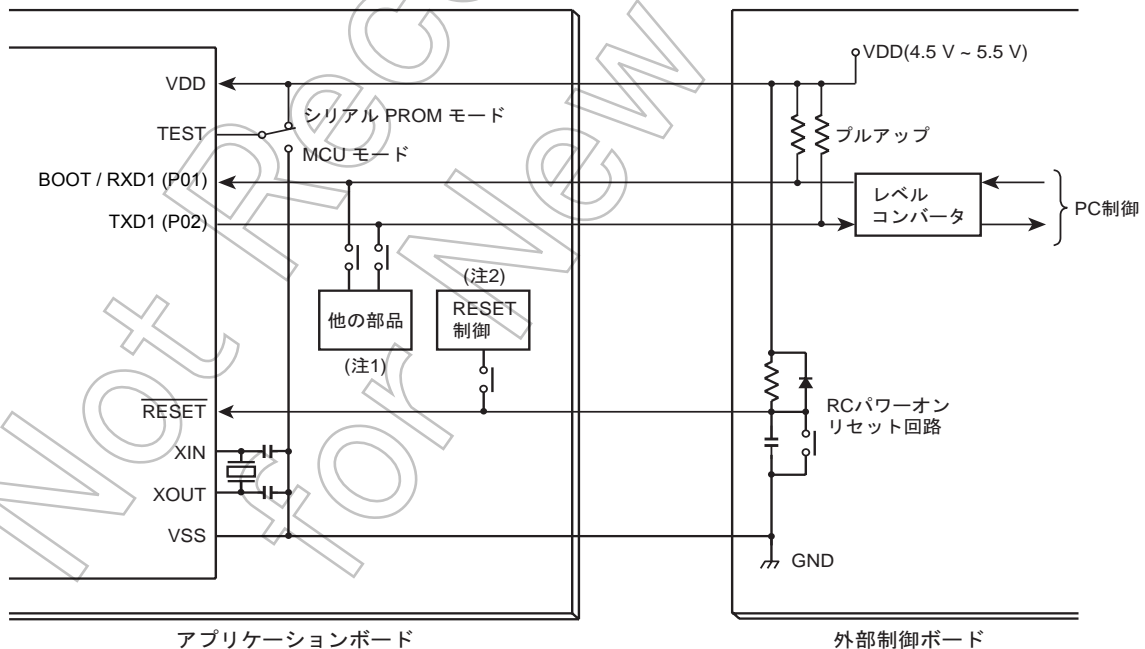


図 20-3 オンボード書き込み接続例

- 注 1) アプリケーション基板上的他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。
- 注 2) アプリケーション基板上的のリセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。
- 注 3) その他の端子処理については、“表 20-3 シリアル PROM モードの端子機能”を参照してください。

20.3.4 シリアル PROM モードの起動

シリアル PROM モードを起動するには以下の手順で行います。図 20-4 にシリアル PROM モードの設定タイミングを示します。

1. VDD 端子に電源を供給します。
2. $\overline{\text{RESET}}$ 端子を L レベルに設定します。
3. TEST 端子, BOOT/RXD1 端子を H レベルに設定します。
4. 電源およびクロック発振が十分安定するまで待ちます。
5. $\overline{\text{RESET}}$ 端子を L → H レベルに設定します。
6. セットアップ期間が経過した後、BOOT/RXD1 端子にマッチングデータ 5AH を入力します。セットアップ期間については “20.15 UART タイミング” を参照してください。

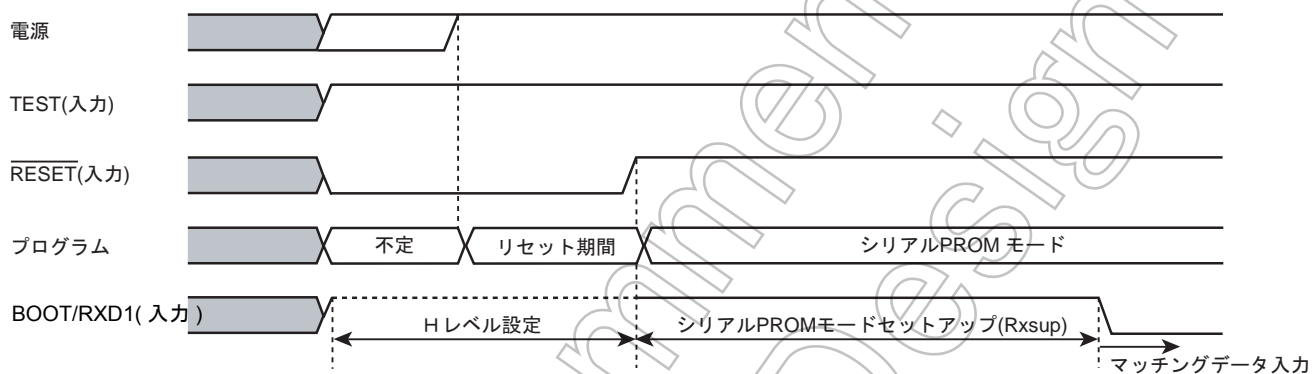


図 20-4 シリアル PROM モードタイミング

20.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートはマイコンの動作周波数によらず 9600 bps を自動検出します。その後、表 20-4 に示すボーレート変更データを TMP86FS49BFG に送信することによりボーレートの変更が可能です。表 20-5 にマイコンの動作周波数とボーレートを示します (表 20-5 に示されていない周波数では使用できません)。

- ボーレート (初期値) : 9600 bps
- データ長 : 8 ビット
- パリティビット : なし
- STOP ビット : 1 ビット

表 20-4 ボーレート変更データ

| ボーレート変更データ | 04H | 05H | 06H | 07H | 0AH | 18H | 28H |
|-------------|-------|-------|-------|-------|-------|-------|------|
| ボーレート (bps) | 76800 | 62500 | 57600 | 38400 | 31250 | 19200 | 9600 |

表 20-5 シリアル PROM モード時の動作周波数とボーレート対応表

| (注 3) | 基準ボーレート (bps) | | 76800 | | 62500 | | 57600 | | 38400 | | 31250 | | 19200 | | 9600 | |
|-------|---------------|-------------|-----------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | ボーレート変更データ | | 04H | | 05H | | 06H | | 07H | | 0AH | | 18H | | 28H | |
| | 基準周波数 (MHz) | 対応範囲 (MHz) | Baud rate (bps) | (%) | (bps) | (%) | (bps) | (%) | (bps) | (%) | (bps) | (%) | (bps) | (%) | (bps) | (%) |
| 1 | 2 | 1.91~2.10 | - | - | - | - | - | - | - | - | - | - | - | - | 9615 | +0.16 |
| 2 | 4 | 3.82~4.19 | - | - | - | - | - | - | - | - | 31250 | 0.00 | 19231 | +0.16 | 9615 | +0.16 |
| | 4.19 | 3.82~4.19 | - | - | - | - | - | - | - | - | 32734 | +4.75 | 20144 | +4.92 | 10072 | +4.92 |
| 3 | 4.9152 | 4.70~5.16 | - | - | - | - | - | - | 38400 | 0.00 | - | - | 19200 | 0.00 | 9600 | 0.00 |
| | 5 | 4.70~5.16 | - | - | - | - | - | - | 39063 | +1.73 | - | - | 19531 | +1.73 | 9766 | +1.73 |
| 4 | 6 | 5.87~6.45 | - | - | - | - | - | - | - | - | - | - | - | - | 9375 | -2.34 |
| | 6.144 | 5.87~6.45 | - | - | - | - | - | - | - | - | - | - | - | - | 9600 | 0.00 |
| 5 | 7.3728 | 7.05~7.74 | - | - | - | - | 57600 | 0.00 | - | - | - | - | 19200 | 0.00 | 9600 | 0.00 |
| 6 | 8 | 7.64~8.39 | - | - | 62500 | 0.00 | - | - | 38462 | +0.16 | 31250 | 0.00 | 19231 | +0.16 | 9615 | +0.16 |
| 7 | 9.8304 | 9.40~10.32 | 76800 | 0.00 | - | - | - | - | 38400 | 0.00 | - | - | 19200 | 0.00 | 9600 | 0.00 |
| | 10 | 9.40~10.32 | 78125 | +1.73 | - | - | - | - | 39063 | +1.73 | - | - | 19531 | +1.73 | 9766 | +1.73 |
| 8 | 12 | 11.75~12.90 | - | - | - | - | 57692 | +0.16 | - | - | 31250 | 0.00 | 18750 | -2.34 | 9375 | -2.34 |
| | 12.288 | 11.75~12.90 | - | - | - | - | 59077 | +2.56 | - | - | 32000 | +2.40 | 19200 | 0.00 | 9600 | 0.00 |
| | 12.5 | 11.75~12.90 | - | - | 60096 | -3.85 | 60096 | +4.33 | - | - | 30048 | -3.85 | 19531 | +1.73 | 9766 | +1.73 |
| 9 | 14.7456 | 14.10~15.48 | - | - | - | - | 57600 | 0.00 | 38400 | 0.00 | - | - | 19200 | 0.00 | 9600 | 0.00 |
| 10 | 16 | 15.27~16.77 | 76923 | +0.16 | 62500 | 0.00 | - | - | 38462 | +0.16 | 31250 | 0.00 | 19231 | +0.16 | 9615 | +0.16 |

- 注 1) 基準周波数と対応範囲はシリアル PROM モードが動作可能な周波数です。ただし周波数が対応範囲内であっても、外部コントローラ (パソコン等) や発振子の周波数誤差、通信端子の負荷容量などの要因により、シリアル PROM モードが正しく動作しない場合があります。
- 注 2) 基準周波数で確実に自動検出を行うために、外部コントローラ (パソコン等) と、発振周波数誤差との総合誤差を $\pm 3\%$ 以内で使用することを推奨します。
- 注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ (5AH) を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

20.5 動作コマンド

シリアル PROM モードでは、表 20-6 に示す 8 つのコマンドを使用します。リセット解除後、TMP86FS49BFG はマッチングデータ (5AH) 待ちの状態となります。

表 20-6 シリアル PROM モード動作コマンド

| コマンドデータ | 動作モード | 備考 |
|---------|------------------------------|---|
| 5AH | セットアップ | マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。 |
| F0H | フラッシュメモリ消去 | フラッシュメモリ領域 (アドレス 1000H~FFFFH) の消去が可能です。 |
| 30H | フラッシュメモリ書き込み | フラッシュメモリ領域 (アドレス 1000H~FFFFH) への書き込みが可能です。 |
| 60H | RAM ロード | 特定の RAM 領域 (アドレス 0050H~083FH) への書き込みが可能です。 |
| 90H | フラッシュメモリ SUM 出力 | フラッシュメモリの全領域 (アドレス 1000H~FFFFH) のチェックサム (2 バイト) の上位、下位の順に出力します。 |
| C0H | 製品識別コード出力 | 製品を識別するためのコード (13 バイトデータ) を出力します。 |
| C3H | フラッシュメモリステータス出力 | Security Program の状態等のステータスコード (7 バイトデータ) を出力します。 |
| FAH | フラッシュメモリ Security Program 設定 | Security Program の設定が可能です。 |

20.6 動作モード

シリアル PROM モードには、(1) フラッシュメモリ消去、(2) フラッシュメモリ書き込み、(3) RAM ロード、(4) フラッシュメモリ SUM 出力、(5) 製品識別コード出力、(6) フラッシュメモリステータス出力、(7) フラッシュメモリ Security Program 設定の 7 種類のモードがあります。以下は、各モードの概要です。

1. フラッシュメモリ消去モード
チップイレース (フラッシュメモリの全面消去) またはセクタイレース (フラッシュメモリの 4K バイト単位の消去) のいずれかの方法でフラッシュメモリを消去することができます。消去されたエリアのデータは FFH となります。Security Program が設定されている場合、フラッシュ消去モードのセクタイレースは実行できません。Security Program 設定を解除するには、フラッシュ消去モードのチップイレースを実行してください。なお、TMP86FS49BFG はブランク品の場合を除き、フラッシュメモリの消去を行う前にパスワード照合を行います。パスワードが一致しない限り、フラッシュメモリ消去モードは実行されません。
2. フラッシュメモリ書き込みモード
指定したフラッシュメモリのアドレスに、1 バイト単位で任意のデータを書き込むことができます。外部コントローラは、書き込みデータをインテル HEX フォーマットのバイナリデータとして送信してください。エンドレコードまでエラーがなければ、TMP86FS49BFG はフラッシュメモリ全領域 (1000H~FFFFH) のチェックサムを計算し、その結果を返します。なお、フラッシュメモリ書き込みモードは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FS49BFG はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。
3. RAM ロードモード
RAM ロードは、外部コントローラからインテル HEX フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM のアドレスにジャンプし、ユーザープログラムの実行を開始します。なお、RAM ロードモードは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FS49BFG はブランク品の場合を除き、RAM ロードモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ロードモードは実行されません。
4. フラッシュメモリ SUM 出力モード
フラッシュメモリ全領域 (1000H~FFFFH) のチェックサムを計算し、その結果を返します。

BOOTROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。

5. 製品識別コード出力コード
製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。
(TMP86FS49BFG の場合、ROM の領域はアドレス 1000H~FFFFH となります。)
6. フラッシュメモリステータス出力モード
FFE0H ~ FFFFH の状態と Security Program の状態が出力されます。出力されるコードは 7 バイトです。外部コントローラはこのコードを読み取ることにより、フラッシュメモリの状態を識別することができます。
7. フラッシュメモリ Security Program 設定モード
パラレル PROM モードでのフラッシュメモリデータの読み出しおよび書き込みを禁止します。シリアル PROM モードでは、フラッシュメモリ書き込みモード、RAM ローダーモードが禁止されます。フラッシュメモリ Security Program 設定を解除するにはフラッシュメモリ消去モードで、チップイレースを実行してください。

Not Recommended for New Designs

20.6.1 フラッシュメモリ消去モード (動作コマンド: F0H)

表 20-7 にフラッシュメモリ消去モードを示します。

表 20-7 フラッシュメモリ消去モード

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ |
|-------------|------------------------|------------------------------------|----------------------|--|
| BOOT ROM | 1 バイト目 2 バイト目 | マッチングデータ (5AH) - | 9600 bps 9600 bps | - (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません |
| | 3 バイト目 4 バイト目 | ボーレート変更データ (表 20-4) - | 9600 bps 9600 bps | - OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) |
| | 5 バイト目 6 バイト目 | 動作コマンドデータ (F0H) - | 変更後ボーレート 変更後ボーレート | - OK: エコーバックデータ (F0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) |
| | 7 バイト目 8 バイト目 | Password 数格納先アドレス 15-08 注 4,5) | 変更後ボーレート 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 9 バイト目 10 バイト目 | Password 数格納先アドレス 07-00 注 4,5) | 変更後ボーレート 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 11 バイト目 12 バイト目 | Password 比較開始アドレス 15-08 注 4,5) | 変更後ボーレート 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 13 バイト目 14 バイト目 | Password 比較開始アドレス 07-00 注 4,5) | 変更後ボーレート 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 15 バイト目 : m バイト目 | Password 列 注 4,5) - | 変更後ボーレート 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | n バイト目 | 消去範囲指定 注 2) | 変更後ボーレート | - |
| | n'th-1 バイト目 | - | 変更後ボーレート | OK: チェックサム (上位) (注 3) Error: 何も送信しません |
| | n'th バイト目 | - | 変更後ボーレート | OK: チェックサム (下位) (注 3) Error: 何も送信しません |
| | n'th+1 バイト目 | (次の動作コマンドデータ待ち) | 変更後ボーレート | - |

注 1) "xxH × 3" の意味は、xxH を 3 バイト送信後、動作停止状態になることを示します。

注 2) 消去範囲指定については "20.13 消去範囲指定" を参照してください。

注 3) チェックサムについては、後述の "20.8 チェックサム (SUM)" を参照してください。

注 4) パスワードについては、後述の "20.10 パスワード" を参照してください。

注 5) ブランク品には、Password 列は送信しないでください。

注 6) パスワードエラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 7) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ消去モードの動作

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリ消去モードコマンドデータ (F0H) となります。
3. 5 バイト目の受信データが表 20-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 F0H) をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同様です。ただしブランク品の場合はパスワード列を送信しないでください (ダミーのパスワード列を送信しないでください)。
5. n-2 バイト目は消去範囲指定データです。上位 4 ビットが消去範囲の開始アドレス、下位 4 ビットが終了アドレスです。詳細については、“20.13 消去範囲指定”を参照してください。
6. n-1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については、“20.8 チェックサム (SUM)”を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合のみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. デバイスはチェックサムを送信後、動作コマンドデータ待ちの状態となります。

20.6.2 フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 20-8 にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 20-8 フラッシュメモリ書き込みモード転送フォーマット

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ |
|-------------|-------------------------------|------------------------------------|----------------------|--|
| BOOT ROM | 1 バイト目 2 バイト目 | マッチングデータ (5AH) - | 9600 bps 9600 bps | -(ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません |
| | 3 バイト目 4 バイト目 | ボーレート変更データ (表 20-4) - | 9600 bps 9600 bps | - OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) |
| | 5 バイト目 6 バイト目 | 動作コマンドデータ (30H) - | 変更後ボーレート 変更後ボーレート | - OK: エコーバックデータ (30H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) |
| | 7 バイト目 8 バイト目 | パスワード数格納アドレスのビット 15~08 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 9 バイト目 10 バイト目 | パスワード数格納アドレスのビット 07~00 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 11 バイト目 12 バイト目 | パスワード比較開始アドレスのビット 15~08 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 13 バイト目 14 バイト目 | パスワード比較開始アドレスのビット 07~00 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 15 バイト目 : m バイト目 | パスワード列 (注 5) - | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | m + 1 byte : n - 2 バイト目 | インテル HEX フォーマット (Binary) (注 2) | 変更後ボーレート | - - |
| | n - 1 バイト目 | - | 変更後ボーレート | OK: チェックサム (High) (注 3) Error: 何も送信しません |
| | n バイト目 | - | 変更後ボーレート | OK: チェックサム (Low) (注 3) Error: 何も送信しません |
| | n + 1 バイト目 | (次の動作コマンドデータ待ち) | 変更後ボーレート | - |

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “20.7 エラーコード” を参照してください。

注 2) インテル HEX フォーマットについては、“20.9 インテル Hex フォーマット (Binary)” を参照してください。

注 3) チェックサムについては、“20.8 チェックサム (SUM)” を参照してください。

注 4) パスワードについては、“20.10 パスワード” を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

- 注 7) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 8) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われるとパスワードエラーとなるため、以降の処理が実行できなくなります。
- 注 9) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

フラッシュメモリ書き込みモードの動作説明

- 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FS49BFG (以下、デバイスと呼ぶ) はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps にあわせませす。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。したがって、外部コントローラはデバイスがエコーバックデータを送信するまでマッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細は表 20-5 を参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データは表 20-4 に示すとおり 5 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600 bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後、有効となります。もし、3 バイト目の受信データが、いずれのボーレート変更データに該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データはフラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 20-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7~0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。したがって、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態

となります。なお、FFE0H~FFFFH 領域がすべて FFH の場合はブランク品と判定され、パスワード比較は行われません。

12. $m+1$ バイト目 ~ $n-2$ バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク (3AH, “:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。

デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。

13. $n-1$ バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については “20.8 チェックサム (SUM)” を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Designs

20.6.3 RAM ロードモード (動作コマンド : 60H)

表 20-9 に RAM ロードモードの転送フォーマットを示します。

表 20-9 RAM ロードモード転送フォーマット

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ | |
|-------------|-----------------------------|------------------------------------|---|--|--|
| BOOT ROM | 1 バイト目 2 バイト目 | マッチングデータ (5AH) - | 9600 bps 9600 bps | - (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません | |
| | 3 バイト目 4 バイト目 | ボーレート変更データ (表 20-4) - | 9600 bps 9600 bps | - OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) | |
| | 5 バイト目 6 バイト目 | 動作コマンドデータ (60H) - | 変更後ボーレート 変更後ボーレート | - OK: エコーバックデータ (60H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) | |
| | 7 バイト目 8 バイト目 | パスワード数格納アドレスのビット 15~08 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません | |
| | 9 バイト目 10 バイト目 | パスワード数格納アドレスのビット 07~00 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません | |
| | 11 バイト目 12 バイト目 | パスワード比較開始アドレスのビット 15~08 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません | |
| | 13 バイト目 14 バイト目 | パスワード比較開始アドレスのビット 07~00 (注 4) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません | |
| | 15 バイト目 : m バイト目 | パスワード列 (注 5) - | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません | |
| | m + バイト目 : n - 2 バイト目 | インテル HEX フォーマット (Binary) (注 2) | 変更後ボーレート 変更後ボーレート | - - | |
| | n - 1 バイト目 | - | 変更後ボーレート | OK: チェックサム (High) (注 3) Error: 何も送信しません | |
| | n バイト目 | - | 変更後ボーレート | OK: チェックサム (Low) (注 3) Error: 何も送信しません | |
| | RAM | - | 書き込みを開始した RAM の先頭アドレスにジャンプしプログラムを実行します。 | | |

- 注 1) “xxH × 3” を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “20.7 エラーコード” を参照してください。
- 注 2) インテル HEX フォーマットについては “20.9 インテル Hex フォーマット (Binary)” を参照してください。
- 注 3) チェックサムについては、“20.8 チェックサム (SUM)” を参照してください。
- 注 4) パスワードについては、“20.10 パスワード” を参照してください。
- 注 5) FFE0H~FFFFH の領域がすべて “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 6) パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、デバイスがパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。

- 注 7) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 8) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 9) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

RAM ロードモードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは RAM ロードモードコマンドデータ (60H) となります。
3. 5 バイト目の受信データが表 20-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 60H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. m+1 バイト目 ~n-2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク (3AH, “:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データはアドレスにて指定された RAM に書き込まれます。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
6. n-1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については “20.8 チェックサム (SUM)” を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. チェックサムを送信後、最初に受信したデータレコードで指定される RAM アドレスにジャンプし、プログラムの実行を開始します。

20.6.4 フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 20-10 にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 20-10 フラッシュメモリ SUM 出力モード転送フォーマット

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ |
|-------------|------------------|------------------------------------|----------------------|--|
| BOOT ROM | 1 バイト目 2 バイト目 | マッチングデータ (5AH) - | 9600 bps 9600 bps | -(ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません |
| | 3 バイト目 4 バイト目 | ボーレート変更データ (表 20-4) - | 9600 bps 9600 bps | - OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) |
| | 5 バイト目 6 バイト目 | 動作コマンドデータ (90H) - | 変更後ボーレート 変更後ボーレート | - OK: エコーバックデータ (90H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) |
| | 7 バイト目 | - | 変更後ボーレート | OK: チェックサム (High) (注 2) Error: 何も送信しません |
| | 8 バイト目 | - | 変更後ボーレート | OK: チェックサム (Low) (注 2) Error: 何も送信しません |
| | 9 バイト目 | (次の動作コマンドデータ待ち) | 変更後ボーレート | - |

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “20.7 エラーコード” を参照してください。

注 2) チェックサムについては “20.8 チェックサム (SUM)” を参照してください。

フラッシュメモリ SUM 出力モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
- 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ (90H) となります。
- 5 バイト目の受信データが “表 20-6 シリアル PROM モード動作コマンド” に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
- 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については “20.8 チェックサム (SUM)” を参照してください。
- デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

20.6.5 製品識別コード出力モード (動作コマンド: C0H)

表 20-11 に製品識別コード出力モードの転送フォーマットを示します。

表 20-11 製品識別コード出力モード転送フォーマット

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ | |
|-------------|---------|------------------------------------|-----------------|---|--|
| BOOT ROM | 1 バイト目 | マッチングデータ (5AH) | 9600 bps | -(ボーレート自動判定) | |
| | 2 バイト目 | - | 9600 bps | OK: エコーバックデータ (5AH) Error: 何も送信しません | |
| | 3 バイト目 | ボーレート変更データ (表 20-4) | 9600 bps | - | |
| | 4 バイト目 | - | 9600 bps | OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) | |
| | 5 バイト目 | 動作コマンドデータ (C0H) | 変更後ボーレート | - | |
| | 6 バイト目 | - | 変更後ボーレート | OK: エコーバックデータ (C0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) | |
| | 7 バイト目 | | 変更後ボーレート | 3AH | スタートマーク |
| | 8 バイト目 | | 変更後ボーレート | 0AH | 転送データ数 (9~18 バイト目 までのバイト数) |
| | 9 バイト目 | | 変更後ボーレート | 02H | アドレス長 (2 バイト) |
| | 10 バイト目 | | 変更後ボーレート | 1DH | Reserved |
| | 11 バイト目 | | 変更後ボーレート | 00H | Reserved |
| | 12 バイト目 | | 変更後ボーレート | 00H | Reserved |
| | 13 バイト目 | | 変更後ボーレート | 00H | Reserved |
| | 14 バイト目 | | 変更後ボーレート | 01H | ROM のブロック数 (1 ブロック) |
| | 15 バイト目 | | 変更後ボーレート | 10H | ROM の先頭アドレス (上位) |
| | 16 バイト目 | | 変更後ボーレート | 00H | ROM の先頭アドレス (下位) |
| | 17 バイト目 | | 変更後ボーレート | FFH | ROM の終了アドレス (上位) |
| | 18 バイト目 | | 変更後ボーレート | FFH | ROM の終了アドレス (下位) |
| | 19 バイト目 | | 変更後ボーレート | D2H | 転送データのチェックサム (9~18 バイト目までのチェック サム) |
| | 20 バイト目 | | (次の動作コマンドデータ待ち) | 変更後ボーレート | - |

注) “xxH×3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “20.7 エラーコード” を参照してください。

製品識別コード出力モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
- 5 バイト目の受信データは製品識別コード出力モードコマンドデータ (C0H) となります。
- 5 バイト目の受信データが表 20-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C0H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
- 9 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については “20.11 製品識別コード” を参照してください。

5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended
for New Design

20.6.6 フラッシュメモリステータス出力モード (動作コマンド: C3H)

表 20-12 にフラッシュメモリステータス出力モードを示します。

表 20-12 フラッシュメモリステータス出力モード

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ | |
|-------------|------------------|------------------------------------|----------------------|---|------------------------------|
| BOOT ROM | 1 バイト目 2 バイト目 | マッチングデータ (5AH) - | 9600 bps 9600 bps | -(ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません | |
| | 3 バイト目 4 バイト目 | ボーレート変更データ (表 20-4) - | 9600 bps 9600 bps | - OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) | |
| | 5 バイト目 6 バイト目 | 動作コマンドデータ (C3H) - | 変更後ボーレート 変更後ボーレート | - OK: エコーバックデータ (C3H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) | |
| | 7 バイト目 | | 変更後ボーレート | 3AH | スタートマーク |
| | 8 バイト目 | | 変更後ボーレート | 04H | バイトカウント (9 ~ 12 バイト目までの数) |
| | 9 バイト目 | | 変更後ボーレート | 00H ~ 03H | ステータスコード 1 |
| | 10 バイト目 | | 変更後ボーレート | 00H | Reserved |
| | 11 バイト目 | | 変更後ボーレート | 00H | Reserved |
| | 12 バイト目 | | 変更後ボーレート | 00H | Reserved |
| | 13 バイト目 | | 変更後ボーレート | チェックサム (9~12 バイト目までの総和の 2 の補数) 9 バイト目が 00H のとき: 00H 9 バイト目が 01H のとき: FFH 9 バイト目が 02H のとき: FEH 9 バイト目が 03H のとき: FDH | |
| | 14 バイト目 | (次の動作コマンドデータ待ち) | 変更後ボーレート | - | |

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) ステータスコード 1 の詳細については、“20.12 フラッシュメモリステータスコード”を参照してください。

フラッシュメモリステータス出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ (C3H) となります。
3. 5 バイト目の受信データが表 20-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C3H) をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 9~13 バイト目は、ステータスコードとなります。ステータスコードの詳細については、“20.12 フラッシュメモリステータスコード”を参照してください。
5. ステータスコードを送信後、次の動作コマンドデータ待ちの状態となります。

20.6.7 フラッシュメモリ Security Program 設定モード (動作コマンド: FAH)

表 20-13 にフラッシュメモリ Security Program 設定モードを示します。

表 20-13 フラッシュメモリ Security Program 設定モード

| | 転送バイト数 | 外部コントローラから TMP86FS49BFG への転送データ | ボーレート | TMP86FS49BFG から 外部コントローラへの転送データ |
|-------------|------------------------|------------------------------------|----------------------|--|
| BOOT ROM | 1 バイト目 2 バイト目 | マッチングデータ (5AH) - | 9600 bps 9600 bps | - (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません |
| | 3 バイト目 4 バイト目 | ボーレート変更データ (表 20-4) - | 9600 bps 9600 bps | OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1) |
| | 5 バイト目 6 バイト目 | 動作コマンドデータ (FAH) - | 変更後ボーレート 変更後ボーレート | - OK: エコーバックデータ (FAH) Error: A1H × 3, A3H × 3, 63H × 3 (注 1) |
| | 7 バイト目 8 バイト目 | Password 数格納先アドレス 15-08 (注 2) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 9 バイト目 10 バイト目 | Password 数格納先アドレス 07-00 (注 2) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 11 バイト目 12 バイト目 | Password 比較開始アドレス 15-08 (注 2) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 13 バイト目 14 バイト目 | Password 比較開始アドレス 07-00 (注 2) | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | 15 バイト目 : m バイト目 | Password 列 (注 2) - | 変更後ボーレート | - OK: 何も送信しません Error: 何も送信しません |
| | n バイト目 | - | 変更後ボーレート | OK: FBH (注 3) Error: 何も送信しません |
| | n+1 バイト目 | (次の動作コマンドデータ待ち) | 変更後ボーレート | - |

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) パスワードについては、後述の “20.10 パスワード” を参照してください。

注 3) ブランク品に対して Security Program 設定モードを実行した場合、また、非ブランク品でパスワードエラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。この場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) パスワードアドレス、列データ受信中に通信エラーが発生した場合、TMP86FS49BFG は UART 通信を終了し動作停止状態となります。この場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ Security Program 設定モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
- 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ (FAH) となります。
- 5 バイト目の受信データが “表 20-6 シリアル PROM モード動作コマンド” に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信した

データと同じ値（この場合 FAH）をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード（63H）を 3 バイト送信した後、動作停止状態となります。

4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. n バイト目は、フラッシュメモリ Security Program が成功した場合、ステータスが外部コントローラに送信されます。

Not Recommended
for New Design

20.7 エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 20-14 に示します。

表 20-14 エラーコード一覧

| 送信データ | エラー内容 |
|---------------|-----------------|
| 62H, 62H, 62H | ポーレート変更データエラー |
| 63H, 63H, 63H | 動作コマンドエラー |
| A1H, A1H, A1H | 受信データのフレーミングエラー |
| A3H, A3H, A3H | 受信データのオーバーランエラー |

注) パスワードエラーの場合は、エラーコードは送信されません。

20.8 チェックサム (SUM)

20.8.1 計算方法

チェックサム (SUM) は byte + byte... + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例)

| | |
|-----|---|
| A1H | 左記 4 バイトが計算対照データの場合、チェックサムは以下ようになります。 A1H + B2H + C3H + D4H = 02EAH SUM (HIGH)= 02h SUM (LOW)= EAH |
| B2H | |
| C3H | |
| D4H | |

フラッシュメモリ書き込みモード、RAM ロードモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

20.8.2 計算対象データ

表 20-15 に各モードにおけるチェックサムの計算対象データを示します。

表 20-15 チェックサムの計算対象データ

| 動作モード | 計算対象データ | 備考 |
|--------------------|--|---|
| フラッシュメモリ書き込みモード | フラッシュメモリの全領域のデータ | フラッシュメモリの一部に書き込みを行った場合でも、フラッシュメモリ全領域 (1000H ~ FFFFH) のチェックサムを計算します。なお、インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。 |
| フラッシュメモリ SUM 出力モード | | |
| RAM ロードモード | 最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ | インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。 |
| 製品識別コード出力モード | 転送データの 9~18 バイト目のデータ | 詳細については、“20.11 製品識別コード”を参照してください。 |
| フラッシュメモリステータス出力モード | 転送データの 9~12 バイト目のデータ | 詳細については、“表 20-12 フラッシュメモリステータス出力モード”を参照してください。 |
| フラッシュメモリ消去モード | 消去したフラッシュメモリエリアの全データ (フラッシュメモリの全体または一部) | ブロック消去を行った場合は、消去した領域のみがチェックサムの対象となります。チップイレース (全面消去) を行った場合は、フラッシュメモリの全領域がチェックサムの対象となります。 |

20.9 インテル Hex フォーマット (Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH “:”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル HEX フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル HEX フォーマットエラーは以下の場合発生します。
 - レコードタイプが “00h”、“01h”、“02h” 以外の場合
 - チェックサムエラーが発生した場合
 - 拡張レコード (レコードタイプ = 02H) のデータ長が 02H でない場合
 - 拡張レコード (レコードタイプ = 02H) の拡張アドレスが 1000H 以上で、その後データレコードを受信した場合
 - エンドレコード (レコードタイプ = 01H) のデータ長が 00H でない場合

20.10 パスワード

TMP86FS49BFG はフラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内のアドレス 1000H~FF9FH となります (アドレス FFA0H~FFFFH はパスワードとして設定できません)。

アドレス FFE0H~FFFFH のデータがすべて“FFH”の場合、ブランク品とみなされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスを送信する必要があります。“表 20-16 ブランク品と書き込み品でのパスワード設定方法”にブランク品と書き込み品の場合のパスワード設定方法を示します。

表 20-16 ブランク品と書き込み品でのパスワード設定方法

| パスワード | ブランク品 (注 1) | 書き込み品 |
|-------------------------|------------------------------|---------------------------------|
| PNSA (パスワード数格納アドレス) | $1000H \leq PNSA \leq FF9FH$ | $1000H \leq PNSA \leq FF9FH$ |
| PCSA (パスワード比較開始アドレス) | $1000H \leq PCSA \leq FF9FH$ | $1000H \leq PCSA \leq FFA0 - N$ |
| N (パスワード数) | * | $8 \leq N$ |
| パスワード列の設定 | 不要 (注 5) | 必要 (注 2) |

注 1) アドレス FFE0H~FFFFH の領域がすべて“FFH”となっている製品をブランク品とします。

注 2) 3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード判定でエラーとなり、TMP86FS49BFG は何のデータも送信せず、停止状態となります)。

注 3) *: Don't care.

注 4) 上記条件を満たさない場合パスワードエラーとなります。なおパスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。

注 5) フラッシュメモリ書き込みモード、RAM ローダモードの時、ブランク品は PCSA の受信後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク (3AH ":") を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に "3AH" が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

注 6) フラッシュメモリ消去モードでは、ブランク品に対してパスワード列を送信しないでください。

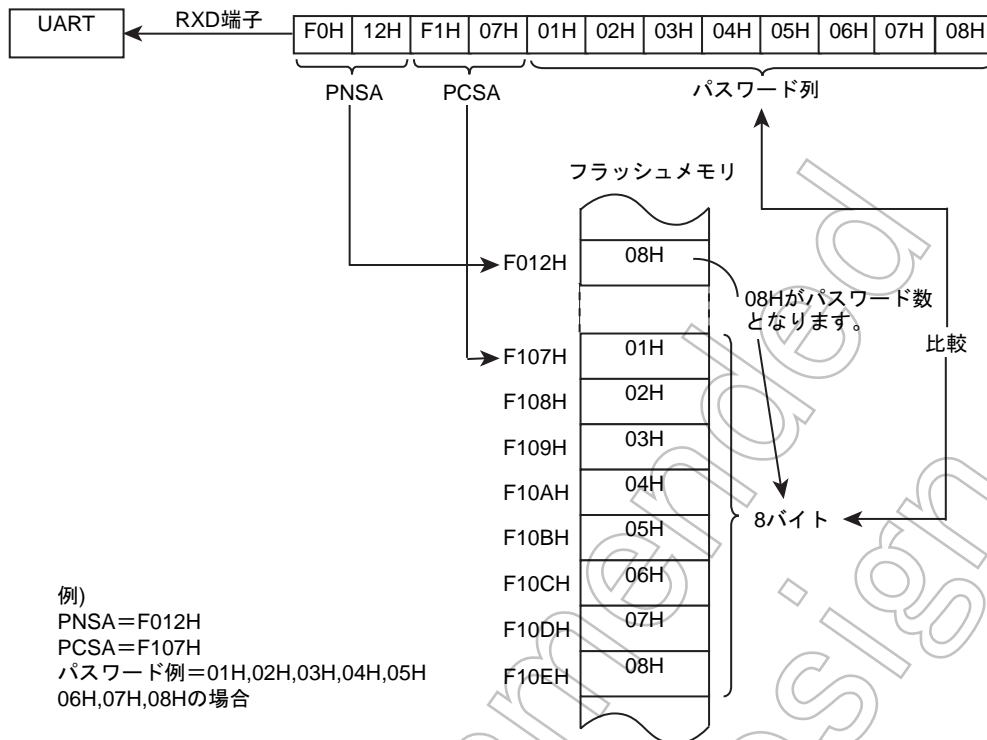


図 20-5 パスワードの比較 (例)

20.10.1 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

20.10.2 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

20.10.3 ソフトウェア開発時のパスワードについて

ソフトウェアの開発時にプログラムの変更が何度も行われると、パスワードが分からなくなってしまうことがあります。よって、ソフトウェアの開発時はパスワードを固定することを推奨します。

(プログラム例) F000H に PNSA、F001H から 8 バイトをパスワード列に割り当てる。
 (PCSA は F001H になります)

Password Section code abs = 0F000H

| | | |
|----|------------|-------------|
| DB | 08H | ; PNSA の定義 |
| DB | "CODE1234" | ; パスワード列の定義 |

20.11 製品識別コード

製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。表 20-17 に製品識別コードのデータフォーマットを示します。

表 20-17 製品識別コードのデータフォーマット

| データ | データの意味 | TMP86FS49BFG の場合のデータ |
|------|--|----------------------|
| 1st | スタートマーク (3AH) | 3AH |
| 2nd | 転送データ数 (3rd ~ 12th データの 10 バイト) | 0AH |
| 3rd | アドレスのバイト長 (2 バイト) | 02H |
| 4th | Reserved | 1DH |
| 5th | Reserved | 00H |
| 6th | Reserved | 00H |
| 7th | Reserved | 00H |
| 8th | ROM のブロック数 | 01H |
| 9th | ROM の先頭アドレス (上位) | 10H |
| 10th | ROM の先頭アドレス (下位) | 00H |
| 11th | ROM の終了アドレス (上位) | FFH |
| 12th | ROM の終了アドレス (下位) | FFH |
| 13th | 転送データのチェックサム (3rd ~ 12th データまでの総和の 2 の補数) | D2H |

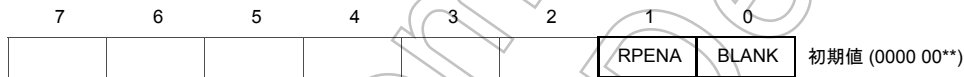
20.12フラッシュメモリステータスコード

フラッシュメモリステータスコードは7バイトのデータで、フラッシュメモリ Security Program の状態、FFE0H から FFFFH の状態を示します。

表 20-18 フラッシュメモリステータスコード

| データ | データの意味 | TMP86FS49BFG の場合 |
|-----|---|--|
| 1st | スタートマーク | 3AH |
| 2nd | 転送データ数 (3rd ~ 6th データの4バイト) | 04H |
| 3rd | ステータスコード | 00H ~ 03H (下記を参照) |
| 4th | Reserved | 00H |
| 5th | Reserved | 00H |
| 6th | Reserved | 00H |
| 7th | 転送データのチェックサム (3th ~ 6th データまでの総和の2の補数) | 3rd データが 00H のとき: 00H 3rd データが 01H のとき: FFH 3rd データが 02H のとき: FEH 3rd データが 03H のとき: FDH |

ステータスコード 1



| | | |
|-------|------------------------------|--|
| RPENA | フラッシュメモリ Security Program 状態 | 0: Security Program が解除された状態 1: Security Program が設定された状態 |
| BLANK | FFE0H ~ FFFFH の状態 | 0: FFE0 ~ FFFFH までの領域のデータがすべて FFH の場合 1: FFE0 ~ FFFFH までの領域のデータが上記以外の場合 |

ステータスコード 1 の内容によって、実行が制限されるコマンドがあります。詳細は以下の表を参照してください。フラッシュメモリ Security Program が設定されると「フラッシュメモリ書き替えコマンド」、「RAM ロードコマンド」は実行できなくなります。これらのコマンドを実行するためには事前にフラッシュの全面消去を実行してください。

| RPENA | BLANK | フラッシュメモリ書き替えモード | RAM ロードモード | フラッシュメモリ SUM 出力モード | 製品識別コード出力モード | フラッシュメモリステータス出力モード | フラッシュメモリ消去モード | | フラッシュメモリ Security Program 設定モード |
|-------|-------|-----------------|------------|--------------------|--------------|--------------------|---------------|---------|---------------------------------|
| | | | | | | | チップイレーズ | セクタイレーズ | |
| 0 | 0 | ○ | ○ | ○ | ○ | ○ | ○ | ○ | × |
| 0 | 1 | Pass | Pass | ○ | ○ | ○ | Pass | Pass | Pass |
| 1 | 0 | × | × | ○ | ○ | ○ | ○ | × | × |
| 1 | 1 | × | × | ○ | ○ | ○ | Pass | × | Pass |

注) ○: コマンド実行可能
 Pass: コマンド実行にはパスワードが必要
 ×: コマンド実行不可
 (コマンドのエコーバックを返した後、TMP86FS49BFG は UART 通信を終了し動作停止状態となります)

20.13 消去範囲指定

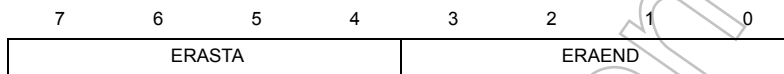
フラッシュメモリ消去モードで、n-2 バイト目はフラッシュ領域の消去範囲を指定します。

ERASTA で消去領域の開始アドレス、ERAEND で消去領域の終了アドレスを指定します。

ERASTA ≤ ERAEND となるデータを指定すると、セクタイレース (フラッシュメモリの 4K バイト単位の消去) が実行されます。ただし Security Program が設定された状態でセクタイレースを実行すると無限ループ状態となります。

ERASTA > ERAEND となるデータを指定すると、チップイレース (フラッシュメモリの全面消去) が実行され、フラッシュメモリの Security Program が解除されます。よってフラッシュメモリの Security Program を解除するためには、セクタイレースではなくチップイレースを実行してください。

消去範囲指定データ (n-2 バイト目のデータ)



| | | | |
|--------|------------|-------|---------|
| ERASTA | 消去領域開始アドレス | 0000: | 0000H ~ |
| | | 0001: | 1000H ~ |
| | | 0010: | 2000H ~ |
| | | 0011: | 3000H ~ |
| | | 0100: | 4000H ~ |
| | | 0101: | 5000H ~ |
| | | 0110: | 6000H ~ |
| | | 0111: | 7000H ~ |
| | | 1000: | 8000H ~ |
| | | 1001: | 9000H ~ |
| | | 1010: | A000H ~ |
| | | 1011: | B000H ~ |
| | | 1100: | C000H ~ |
| | | 1101: | D000H ~ |
| | | 1110: | E000H ~ |
| | | 1111: | F000H ~ |
| ERAEND | 消去領域終了アドレス | 0000: | ~ 0FFFH |
| | | 0001: | ~ 1FFFH |
| | | 0010: | ~ 2FFFH |
| | | 0011: | ~ 3FFFH |
| | | 0100: | ~ 4FFFH |
| | | 0101: | ~ 5FFFH |
| | | 0110: | ~ 6FFFH |
| | | 0111: | ~ 7FFFH |
| | | 1000: | ~ 8FFFH |
| | | 1001: | ~ 9FFFH |
| | | 1010: | ~ AFFFH |
| | | 1011: | ~ BFFFH |
| | | 1100: | ~ CFFFH |
| | | 1101: | ~ DFFFH |
| | | 1110: | ~ EFFFH |
| | | 1111: | ~ FFFFH |

注) フラッシュセルの存在しない領域に対してブロック消去を実行すると TMP86FS49BFG は UART 通信を終了し動作停止状態となります

Not Recommended
for New Design

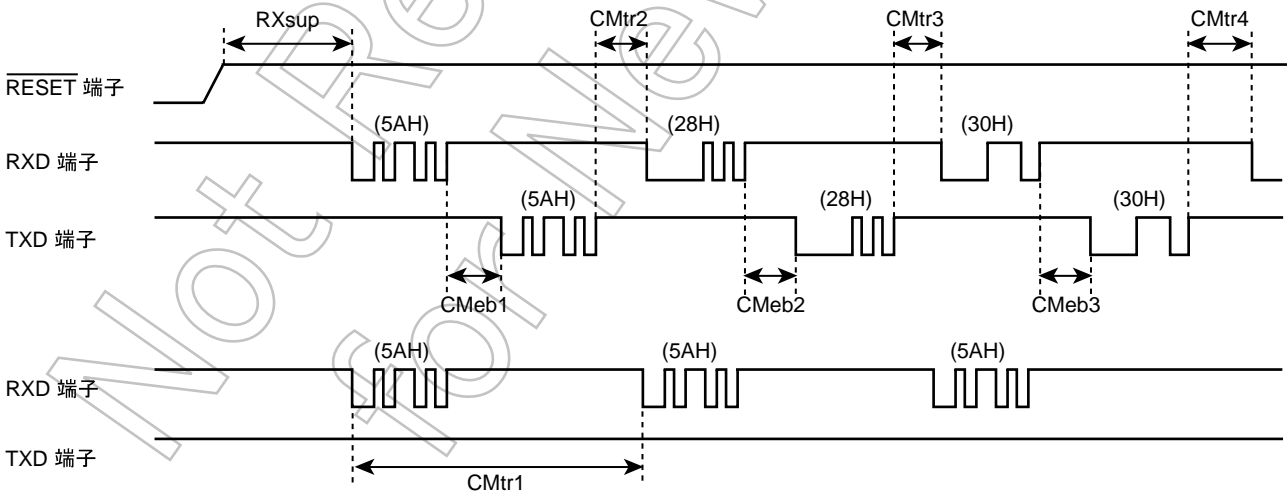
20.15UART タイミング

表 20-19 UART タイミング -1 (VDD = 4.5 V~5.5 V, fc = 2~16 MHz, Topr = -10 ~ 40°C)

| 項目 | 記号 | クロック数 (fc) | 必要最低時間 | |
|--------------------------------|-------|-----------------|---------------|----------------|
| | | | At fc = 2 MHz | At fc = 16 MHz |
| マッチングデータ (5AH) 受信からエコーバックまでの時間 | CMeb1 | Approx. 930 | 465 μ s | 58.1 μ s |
| ボーレート変更データ受信からエコーバックまでの時間 | CMeb2 | Approx. 980 | 490 μ s | 61.3 μ s |
| 動作コマンド受信からエコーバックまでの時間 | CMeb3 | Approx. 800 | 400 μ s | 50 μ s |
| チェックサム計算時間 | CKsm | Approx. 7864500 | 3.93 s | 491.5 μ s |
| フラッシュメモリ一括消去時間 | CEall | - | 30 ms | 30 ms |
| フラッシュメモリ一部消去時間 (4K ごと) | CEsec | - | 15 ms | 15 ms |

表 20-20 UART タイミング -2 (VDD = 4.5 V~5.5 V, fc = 2 ~16 MHz, Topr = -10 ~ 40°C)

| 項目 | 記号 | クロック数 (fc) | 必要最低時間 | |
|---|-------|------------|---------------|----------------|
| | | | At fc = 2 MHz | At fc = 16 MHz |
| リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間 | RXsup | 2100 | 1.05 ms | 131.3 ms |
| マッチングデータ送信間隔 | CMtr1 | 28500 | 14.2 ms | 1.78 ms |
| マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間 | CMtr2 | 380 | 190 μ s | 23.8 μ s |
| ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間 | CMtr3 | 650 | 325 μ s | 40.6 μ s |
| 動作コマンドのエコーバックからパスワード数格納アドレス (上位) 受信可能となるまでの時間 | CMtr4 | 800 | 400 μ s | 50 μ s |



Not Recommended
for New Design

第 21 章 端子の入出力回路

21.1 制御端子

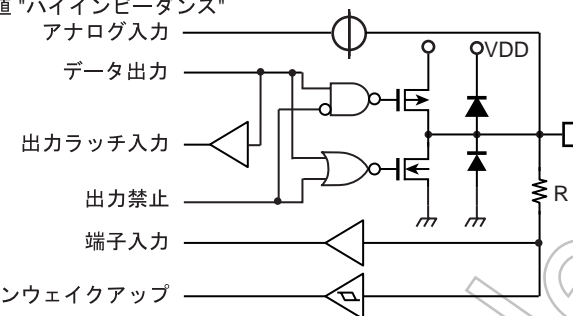
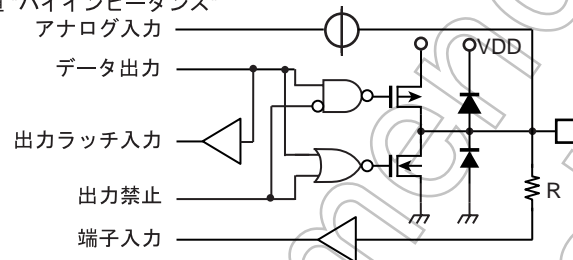
TMP86FS49BFG の制御端子の入出力回路を示します。

| 制御端子 | 入出力 | 回路 | 備考 |
|---------------------------|----------|----|---|
| XIN XOUT | 入力 出力 | | 高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 0.5 \text{ k}\Omega$ (typ.) |
| XTIN XTOUT | 入力 出力 | | 低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.) |
| $\overline{\text{RESET}}$ | 入力 | | ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 100 \Omega$ (typ.) |
| TEST | 入力 | | プルダウン抵抗なし $R = 100 \Omega$ (typ.) MCU モードでは必ず "L" レベルに 固定して下さい |

注) TMP86FS49BFG の TEST 端子には、プルダウン抵抗と VDD 側の保護ダイオードは内蔵されていません。MCU モードでは、必ず "L" レベルに固定してください。

21.2 入出力ポート

| ポート | 入出力 | 入出力回路およびコード | 備考 |
|----------|-----|---|---|
| P1 | 入出力 | <p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>出力禁止</p> <p>端子入力</p> <p>VDD</p> <p>R</p> | <p>トライステート入出力</p> <p>ヒステリシス入力</p> <p>R = 100 Ω (typ.)</p> |
| P3 | 入出力 | <p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p> | <p>シンクオープンドレイン出力</p> <p>大電流出力</p> <p>R = 100 Ω (typ.)</p> |
| P2 | 入出力 | <p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p> | <p>シンクオープンドレイン出力</p> <p>ヒステリシス入力</p> <p>R = 100 Ω (typ.)</p> |
| P5 | 入出力 | <p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p> | <p>シンクオープンドレイン出力</p> <p>大電流出力</p> <p>ヒステリシス入力</p> <p>R = 100 Ω (typ.)</p> |
| P0 P4 | 入出力 | <p>初期値 "ハイインピーダンス"</p> <p>P-ch 制御</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>出力禁止</p> <p>端子入力(制御入力)</p> <p>VDD</p> <p>R</p> | <p>シンクオープンドレイン出力</p> <p>または</p> <p>C-MOS 出力</p> <p>ヒステリシス入力</p> <p>R = 100 Ω (typ.)</p> |

| ポート | 入出力 | 入出力回路およびコード | 備考 |
|--------------------------------|-----|--|---------------------------------------|
| P67 P66 P65 P64 | 入出力 | <p>初期値 "ハイインピーダンス" アナログ入力</p>  <p>データ出力</p> <p>出力ラッチ入力</p> <p>出力禁止</p> <p>端子入力</p> <p>キーオンウェイクアップ</p> | トライステート入出力 $R = 100 \Omega$ (typ.) |
| P63 P62 P61 P60 P7 | 入出力 | <p>初期値 "ハイインピーダンス" アナログ入力</p>  <p>データ出力</p> <p>出力ラッチ入力</p> <p>出力禁止</p> <p>端子入力</p> | トライステート入出力 $R = 100 \Omega$ (typ.) |

Not Recommended for New Designs

Not Recommended
for New Design

第 22 章 電気的特性

22.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(VSS = 0 V)

| 項 目 | 記号 | 端 子 | 規 格 | 単 位 |
|---|-------------------|----------------------------|-----------------------|--------------------|
| 電源電圧 | V_{DD} | | -0.3 ~ 6.0 | V |
| 入力電圧 | V_{IN} | | -0.3 ~ $V_{DD} + 0.3$ | V |
| 出力電圧 | V_{OUT1} | | -0.3 ~ $V_{DD} + 0.3$ | V |
| 出力電流 (1 端子当り) | I_{OUT1} | P0, P1, P4, P6, P7 ポート | -1.8 | mA |
| | I_{OUT2} | P0, P1, P2, P4, P6, P7 ポート | 3.2 | |
| | I_{OUT3} | P3, P5 ポート | 30 | |
| 出力電流 (全端子総計) | ΣI_{OUT1} | P0, P1, P2, P4, P6, P7 ポート | 60 | |
| | ΣI_{OUT2} | P3, P5 ポート | 80 | |
| 消費電力 [$T_{opr} = 85\text{ }^{\circ}\text{C}$] | P_D | | 250 | mW |
| はんだ付け温度 (時間) | T_{sld} | | 260 (10 s) | $^{\circ}\text{C}$ |
| 保存温度 | T_{stg} | | -55 ~ 125 | |
| 動作温度 | T_{opr} | | -40 ~ 85 | |

22.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように、応用機器の設計を行ってください。

22.2.1 MCU モード（フラッシュメモリの書き込みおよび消去動作時）

($V_{SS} = 0\text{ V}$, $T_{opr} = -10 \sim 40^\circ\text{C}$)

| 項目 | 記号 | 端子 | 条件 | Min | Max | 単位 |
|----------|-----------|-------------|----------------------------|----------------------|----------------------|-----|
| 電源電圧 | V_{DD} | | NORMAL1, 2 モード | 4.5 | 5.5 | V |
| 高レベル入力電圧 | V_{IH1} | ヒステリシス入力を除く | $V_{DD} \geq 4.5\text{ V}$ | $V_{DD} \times 0.70$ | V_{DD} | |
| | V_{IH2} | ヒステリシス入力 | | $V_{DD} \times 0.75$ | | |
| 低レベル入力電圧 | V_{IL1} | ヒステリシス入力を除く | $V_{DD} \geq 4.5\text{ V}$ | 0 | $V_{DD} \times 0.30$ | |
| | V_{IL2} | ヒステリシス入力 | | | $V_{DD} \times 0.25$ | |
| クロック周波数 | f_c | XIN, XOUT | | 1.0 | 16.0 | MHz |

22.2.2 MCU モード（フラッシュメモリの書き込みおよび消去動作を除く）

($V_{SS} = 0\text{ V}$, $T_{opr} = -40 \sim 85^\circ\text{C}$)

| 項目 | 記号 | 端子 | 条件 | Min | Max | 単位 |
|----------|-----------|-------------|---|-------------------------|-------------------------|-----|
| 電源電圧 | V_{DD} | | $f_c = 16\text{ MHz}$ NORMAL1, 2 モード IDLE0, 1, 2 モード | 4.5 | 5.5 | V |
| | | | $f_c = 8\text{ MHz}$ NORMAL1, 2 モード IDLE0, 1, 2 モード | | | |
| | | | $f_s = 32.768\text{ kHz}$ SLOW1, 2 モード SLEEP0, 1, 2 モード | 2.7 | | |
| | | | STOP モード* | | | |
| 高レベル入力電圧 | V_{IH1} | ヒステリシス入力を除く | $V_{DD} \geq 4.5\text{ V}$ | $V_{DD} \times 0.70$ | V_{DD} | V |
| | V_{IH2} | ヒステリシス入力 | | $V_{DD} \times 0.75$ | | |
| | V_{IH3} | | | $V_{DD} < 4.5\text{ V}$ | | |
| 低レベル入力電圧 | V_{IL1} | ヒステリシス入力を除く | $V_{DD} \geq 4.5\text{ V}$ | 0 | $V_{DD} \times 0.30$ | V |
| | V_{IL2} | ヒステリシス入力 | | | $V_{DD} \times 0.25$ | |
| | V_{IL3} | | | | $V_{DD} < 4.5\text{ V}$ | |
| クロック周波数 | f_c | XIN, XOUT | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 1.0 | 8.0 | MHz |
| | | | $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | 16.0 | |
| | f_s | XTIN, XTOUT | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 30.0 | 34.0 | kHz |

22.2.3 シリアル PROM モード

(V_{SS} = 0 V, T_{opr} = -10 ~ 40°C)

| 項目 | 記号 | 端子 | 条件 | Min | Max | 単位 |
|----------|------------------|-------------|-------------------------|------------------------|------------------------|----|
| 電源電圧 | V _{DD} | | NORMAL1, 2 モード | 4.5 | 5.5 | V |
| 高レベル入力電圧 | V _{IH1} | ヒステリシス入力を除く | V _{DD} ≥ 4.5 V | V _{DD} × 0.70 | V _{DD} | |
| | V _{IH2} | ヒステリシス入力 | | V _{DD} × 0.75 | | |
| 低レベル入力電圧 | V _{IL1} | ヒステリシス入力を除く | V _{DD} ≥ 4.5 V | 0 | V _{DD} × 0.30 | |
| | V _{IL2} | ヒステリシス入力 | | V _{DD} × 0.25 | | |
| クロック周波数 | fc | XIN, XOUT | | 2.0 | 16.0 | |

Not Recommended for New Design

22.3 DC 特性

(V_{SS} = 0 V, Topr = -40 ~ 85 °C)

| 項目 | 記号 | 端子 | 条件 | Min | Typ. | Max | 単位 | | | |
|--|--------------------|----------------------------|---|-----|------|-----|----|---|-----|-----|
| ヒステリシス電圧 | V _{HS} | ヒステリシス入力 | | — | 0.9 | — | V | | | |
| 入力電流 | I _{IN1} | TEST | V _{DD} = 5.5 V, V _{IN} = V _{TEST} = 5.5 V / 0 V | — | — | ±2 | μA | | | |
| | I _{IN2} | シンクオープンドレイン, トライステートポート | | | | | | | | |
| | I _{IN3} | RESET, STOP | | | | | | | | |
| 入力抵抗 | R _{IN2} | RESET プルアップ | V _{DD} = 5.5 V, V _{IN} = 0 V | 100 | 220 | 450 | kΩ | | | |
| 出力リーク電流 | I _{LO1} | シンクオープンドレイン | V _{DD} = 5.5 V, V _{OUT} = 5.5 V | — | — | 2 | μA | | | |
| | I _{LO2} | トライステートポート | V _{DD} = 5.5 V, V _{OUT} = 5.5 V / 0 V | — | — | ±2 | | | | |
| 高レベル出力電圧 | V _{OH} | トライステートポート | V _{DD} = 4.5 V, I _{OH} = -0.7 mA | 4.1 | — | — | V | | | |
| 低レベル出力電圧 | V _{OL} | XOUT, P3, P5 ポートを除く | V _{DD} = 4.5 V, I _{OL} = 1.6 mA | — | — | 0.4 | | | | |
| 低レベル出力電流 | I _{OL} | 大電流 (P3, P5 ポート) | V _{DD} = 4.5 V, V _{OL} = 1.0 V | — | 20 | — | mA | | | |
| NORMAL1, 2 モード時電源電流 | I _{DD} | | V _{DD} = 5.5 V V _{IN} = 5.3 V / 0.2 V V _{TEST} = 5.3 V / 0.1 V f _c = 16 MHz f _s = 32.768 kHz | — | 9 | 16 | mA | | | |
| IDLE0, 1, 2 モード時電源電流 | | | | | | | | — | 6 | 8 |
| SLOW1 モード時 電源電流 | | | | | | | | — | 27 | 260 |
| | | | | | | | | | | |
| SLEEP1 モード時 電源電流 | | | | | | | | — | 6.5 | 13 |
| SLEEP0 モード時 電源電流 | | | | | | | | — | 6 | 12 |
| STOP モード時 電源電流 | | | | | | | | — | 0.5 | 10 |
| 間欠動作ピーク電流 (注 5,6) | I _{DPP-P} | | V _{DD} = 5.5 V V _{IN} = 5.3 V / 0.2 V, V _{TEST} = 5.3 V / 0.1 V Topr = -10 ~ 40 °C | — | 10 | — | mA | | | |
| | | | | | | | | V _{DD} = 3.0 V V _{IN} = 5.3 V / 0.2 V, V _{TEST} = 5.3 V / 0.1 V Topr = -10 ~ 40 °C | — | 2 |
| フラッシュメモリ書き 込み、消去、セキュリ ティプログラム電流 (注 7,8) | I _{DDEW} | | V _{DD} = 5.5 V V _{IN} = 5.3 V / 0.2 V, V _{TEST} = 5.3 V / 0.1 V Topr = -10 ~ 40 °C | — | 26 | — | mA | | | |

注 1) Typ. 値は、条件に指定なき場合 Topr = 25 °C, V_{DD} = 5.0 V 時の値を示します。

注 2) 入力電流 I_{IN3}: プルアップ抵抗による電流を除きます。

注 3) I_{DD} は、I_{REF} を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE.2 モードと同等です。

注 5) フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリは間欠動作を行いますので、瞬間的に図 22-1 のようなピーク電流が流れます。よってこの場合の電源電流 I_{DD}(NORMAL1/2、SLOW1 モード時) は、ピーク電流を平均化した電流値と MCU 電流の和となります。

- 注 6) 電源設計の際はピーク電流が供給可能な回路設計にしてください。また、このピーク電流によりデバイス内部の電源電圧が変動します。デバイスの安定動作のため、デバイス電源近傍に $0.1\mu\text{F}$ 程度のバイパスコンデンサを接続してください。特に SLOW1 モードではピーク電流と平均化された電流の差が大きくなります。
- 注 7) フラッシュメモリに対して、書き込み、消去、あるいはセキュリティプログラムを行うと、瞬時的に図 22-2 のようなピーク電流が流れます。
- 注 8) 電源設計の際はピーク電流が供給可能な回路設計にしてください。また、このピーク電流によりデバイス内部の電源電圧が変動します。デバイスの安定動作のため、デバイスの電源近傍に $0.1\mu\text{F}$ 程度のバスコンを接続してください。
- 注 9) V_{IN} : TEST 端子を除く端子に印加される電圧、 V_{TEST} : TEST 端子に印加される電圧
- 注 10) フラッシュの書き込み、消去、セキュリティプログラムは、 $T_{\text{opr}} = -10 \sim 40^\circ\text{C}$ の範囲内で実施してください。この温度範囲以外で実施したときの動作は保証されません。

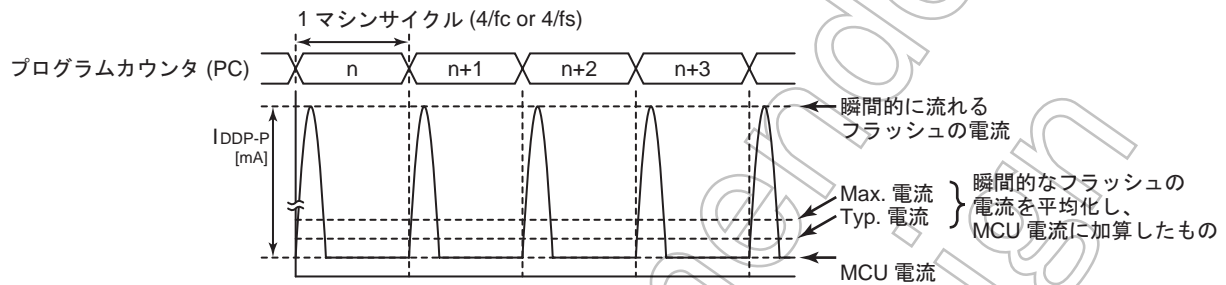


図 22-1 フラッシュメモリの間欠動作

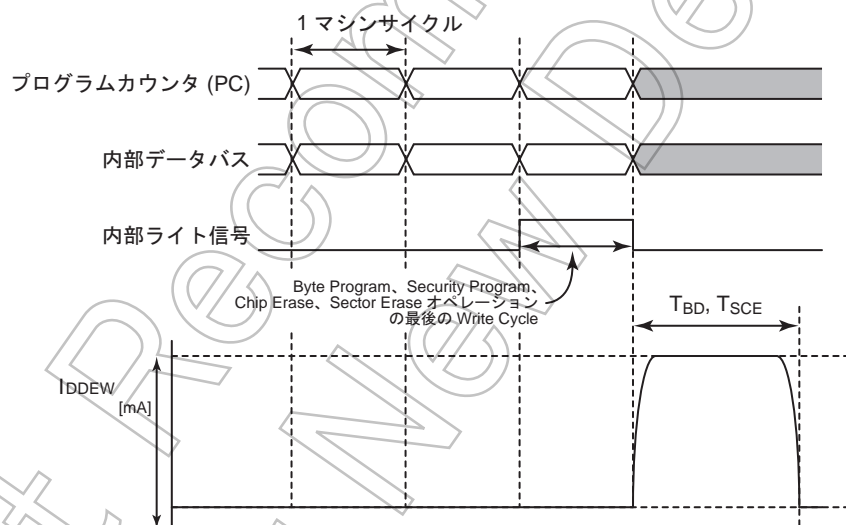


図 22-2 フラッシュメモリの消去、書き込み時の電流

22.4 AD 変換特性

($V_{SS} = 0.0\text{ V}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $T_{opr} = -40 \sim 85\text{ }^{\circ}\text{C}$)

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|--------------------|-------------------|---|-----------------|------|------------|-----|
| アナログ基準電源電圧 | V_{AREF} | | $A_{VDD} - 1.0$ | — | A_{VDD} | V |
| アナログ制御回路電源電圧 | A_{VDD} | | V_{DD} | | | |
| アナログ基準電源電圧範囲 (注 4) | ΔV_{AREF} | | 3.5 | — | — | |
| アナログ入力電圧範囲 | V_{AIN} | | V_{SS} | — | V_{AREF} | |
| アナログ基準電圧電源電流 | I_{REF} | $V_{DD} = A_{VDD} = V_{AREF} = 5.5\text{ V}$ $V_{SS} = 0.0\text{ V}$ | — | 0.6 | 1.0 | mA |
| 非直線性誤差 | | $V_{DD} = A_{VDD} = 5.0\text{ V}$, $V_{SS} = 0.0\text{ V}$, $V_{AREF} = 5.0\text{ V}$ | — | — | ± 2 | LSB |
| ゼロ誤差 | | | — | — | ± 2 | |
| フルスケール誤差 | | | — | — | ± 2 | |
| 総合誤差 | | | — | — | ± 2 | |

($V_{SS} = 0\text{ V}$, $2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$, $T_{opr} = -40 \sim 85\text{ }^{\circ}\text{C}$)

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|--------------------|-------------------|---|-----------------|------|------------|-----|
| アナログ基準電源電圧 | V_{AREF} | | $A_{VDD} - 1.0$ | — | A_{VDD} | V |
| アナログ制御回路電源電圧 | A_{VDD} | | V_{DD} | | | |
| アナログ基準電源電圧範囲 (注 4) | ΔV_{AREF} | | 2.5 | — | — | |
| アナログ入力電圧範囲 | V_{AIN} | | V_{SS} | — | V_{AREF} | |
| アナログ基準電圧電源電流 | I_{REF} | $V_{DD} = A_{VDD} = V_{AREF} = 4.5\text{ V}$ $V_{SS} = 0.0\text{ V}$ | — | 0.5 | 0.8 | mA |
| 非直線性誤差 | | $V_{DD} = A_{VDD} = 2.7\text{ V}$ $V_{SS} = 0.0\text{ V}$, $V_{AREF} = 2.7\text{ V}$ | — | — | ± 2 | LSB |
| ゼロ誤差 | | | — | — | ± 2 | |
| フルスケール誤差 | | | — | — | ± 2 | |
| 総合誤差 | | | — | — | ± 2 | |

- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
- 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。
- 注 3) A_{IN} 入力端子への入力電圧は $V_{AREF} \sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。
- 注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$
- 注 5) AD コンバータを使用しない場合、 A_{VDD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

22.5 AC 特性

(V_{SS} = 0 V, 4.5 V ≤ V_{DD} ≤ 5.5 V, Topr = -40 ~ 85°C)

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|--------------|------------------|--------------------|-------|-------|-------|----|
| マシンサイクルタイム | t _{cy} | NORMAL1, 2 モード時 | 0.25 | — | 4 | μs |
| | | IDLE0, 1, 2 モード時 | | | | |
| | | SLOW1, 2 モード時 | 117.6 | — | 133.3 | |
| | | SLEEP0, 1, 2 モード時 | | | | |
| 高レベルクロックパルス幅 | t _{WCH} | 外部クロック動作 (XIN 入力) | — | 31.25 | — | ns |
| 低レベルクロックパルス幅 | t _{WCL} | fc = 16 MHz 時 | | | | |
| 高レベルクロックパルス幅 | t _{WSH} | 外部クロック動作 (XTIN 入力) | — | 15.26 | — | μs |
| 低レベルクロックパルス幅 | t _{WSL} | fs = 32.768 kHz 時 | | | | |

(V_{SS} = 0 V, 2.7 V ≤ V_{DD} < 4.5 V, Topr = -40 ~ 85°C)

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|--------------|------------------|--------------------|-------|-------|-------|----|
| マシンサイクルタイム | t _{cy} | NORMAL1, 2 モード時 | 0.5 | — | 4 | μs |
| | | IDLE0, 1, 2 モード時 | | | | |
| | | SLOW1, 2 モード時 | 117.6 | — | 133.3 | |
| | | SLEEP0, 1, 2 モード時 | | | | |
| 高レベルクロックパルス幅 | t _{WCH} | 外部クロック動作 (XIN 入力) | — | 62.5 | — | ns |
| 低レベルクロックパルス幅 | t _{WCL} | fc = 8 MHz 時 | | | | |
| 高レベルクロックパルス幅 | t _{WSH} | 外部クロック動作 (XTIN 入力) | — | 15.26 | — | μs |
| 低レベルクロックパルス幅 | t _{WSL} | fs = 32.768 kHz 時 | | | | |

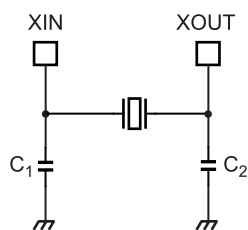
22.6 フラッシュ特性

22.6.1 書き込み特性

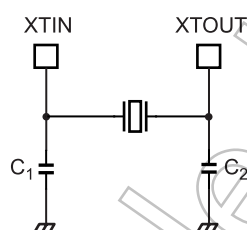
(V_{SS} = 0 V)

| 項目 | 条件 | Min | Typ. | Max. | 単位 |
|------------------|--|-----|------|------|----|
| フラッシュメモリ書き替え保証回数 | V _{SS} = 0 V, Topr = -10 ~ 40°C | — | — | 100 | 回 |

22.7 推奨発振条件



(1) 高周波発振



(2) 低周波発振

- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの弊社ホームページをご参照ください。
<http://www.murata.co.jp/>

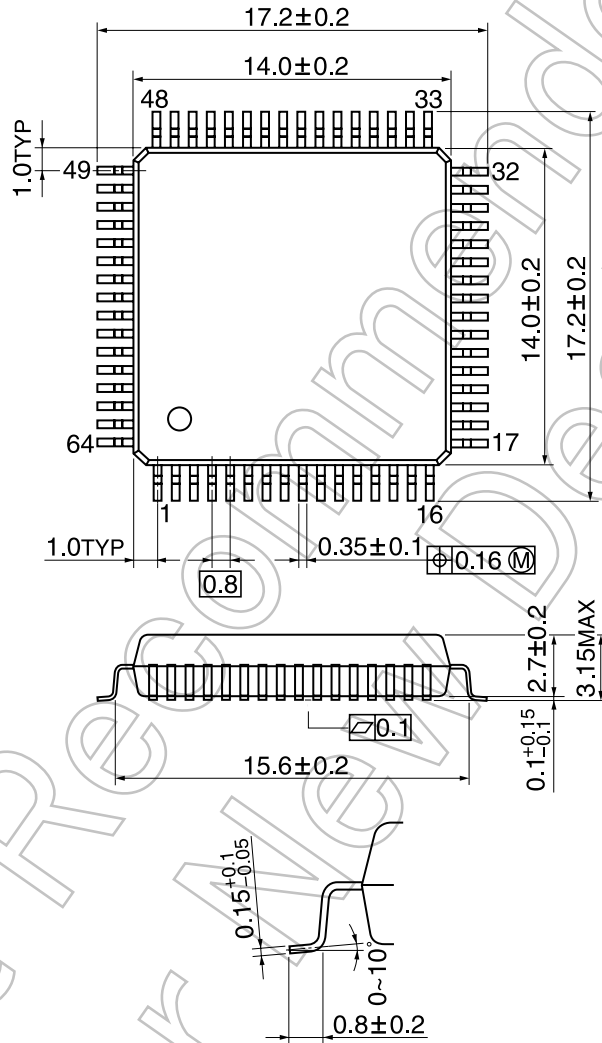
22.8 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
試験項目
はんだ付け性
試験条件
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
備考
フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

第 23 章 外形寸法

QFP64-P-1414-0.80A Rev 01

Unit: mm



Not Recommended
for New Design

あとがき

この資料はTMP86FS49BFGのハードウェア(LSI)を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア(LSI)の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今のCMOS LSIの製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用LSIも次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れたMOS製造技術、特に実績のあるCMOS技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年8月22日

8ビットマイクロコントローラ

TMP86FS49BFG

発行年月日

2007年8月22日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
