

**TOSHIBA**

8 ビットマイクロコントローラ  
TLCS-870/C シリーズ

**TMP86CM74AFG**

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。  
021023\_A

- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023\_B

- 
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106\_Q

- 
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023\_C

- 
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023\_E

- 
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023\_D

- 
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519\_S
-

### 改訂履歴

日付	版	改訂理由
2007/11/14	1	First Release
2008/8/29	2	内容改訂

Not Recommended  
for New Design

## UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"ー"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

Not Recommended for New Designs

正誤表

## 【電気的特性】章

## 絶対最大定格

項目	記号	端子	
		出力電圧	VOUT2

## DC特性 (1)

項目	記号	端子	
		ブルダウン抵抗	RK
出力リーク電流	ILO2	シンクオープンドレイン (誤)	ソースオープンドレイン (正)

## DC特性 (2)

項目	記号	端子	
		ブルダウン抵抗	RK
出力リーク電流	ILO2	シンクオープンドレイン (誤)	ソースオープンドレイン (正)

Not Recommended for New Design

# 目次

---

---

## TMP86CM74AFG

---

---

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

---

---

## 第2章 動作説明

---

---

2.1	CPU コア機能	9
2.1.1	メモリアドレスマップ	9
2.1.2	プログラムメモリ (MaskROM)	9
2.1.3	データメモリ (RAM)	10
2.2	システムクロック制御回路	11
2.2.1	クロックジェネレータ	11
2.2.2	タイミングジェネレータ	12
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	13
2.2.3.1	シングルクロックモード	
2.2.3.2	デュアルクロックモード	
2.2.3.3	STOPモード	
2.2.3.4	各動作モードの遷移	
2.2.4	動作モードの制御	18
2.2.4.1	STOPモード	
2.2.4.2	IDLE1/2モード, SLEEP1/2モード	
2.2.4.3	IDLE0, SLEEP0モード	
2.2.4.4	SLOWモード	
2.3	リセット回路	33
2.3.1	外部リセット入力	33
2.3.2	アドレストラップリセット	34
2.3.3	ウォッチドッグタイマリセット	34
2.3.4	システムクロックリセット	34

---

---

## 第3章 割り込み制御回路

---

---

3.1	割り込みラッチ (IL15 ~ IL2)	35
3.2	割り込み許可レジスタ (EIR)	37
3.2.1	割り込みマスタ許可フラグ (IMF)	37
3.2.2	割り込み個別許可フラグ (EF15 ~ EF4)	37
3.3	割り込み要因の選択 (INTSEL)	40
3.4	割り込み処理	41
3.4.1	割り込み受け付け処理	41
3.4.2	汎用レジスタ退避 / 復帰処理	42
3.4.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.4.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.4.3	割り込みリターン	43
3.5	ソフトウェア割り込み (INTSW)	45
3.5.1	アドレスエラー検出	45

3.5.2 デバッグング .....	45
3.6 未定義命令割り込み (INTUNDEF) .....	45
3.7 アドレストラップ割り込み (INTATRAP) .....	45
3.8 外部割り込み .....	46

---

## 第4章 スペシャルファンクションレジスタ

---

4.1 SFR .....	49
4.2 DBR .....	51

---

## 第5章 入出力ポート

---

5.1 P0 (P07~P00) ポート .....	56
5.2 P1 (P17~P10) ポート .....	57
5.3 P2 (P22~P20) ポート .....	59
5.4 P3 (P31~P30) ポート .....	60
5.5 P4 (P47~P40) ポート .....	61
5.6 P5 (P53~P50) ポート .....	62
5.7 P6 (P67~P60), P7 (P77~P70), P8 (P87~P80), P9 (P97~P90) ポート .....	63
5.8 PD (PD4~PD0) ポート .....	64

---

## 第6章 ウォッチドッグタイマ (WDT)

---

6.1 ウォッチドッグタイマの構成 .....	65
6.2 ウォッチドッグタイマの制御 .....	65
6.2.1 ウォッチドッグタイマによる暴走検出の方法 .....	65
6.2.2 ウォッチドッグタイマのイネーブル .....	67
6.2.3 ウォッチドッグタイマのディセーブル .....	67
6.2.4 ウォッチドッグタイマ割り込み (INTWDT) .....	68
6.2.5 ウォッチドッグタイマリセット .....	68
6.3 アドレストラップ .....	69
6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS) .....	69
6.3.2 アドレストラップ発生時の動作選択 (ATOUT) .....	69
6.3.3 アドレストラップ割り込み (INTATRAP) .....	69
6.3.4 アドレストラップリセット .....	70

---

## 第7章 タイムベースタイマ (TBT)

---

7.1 タイムベースタイマ .....	71
7.1.1 構成 .....	71
7.1.2 制御 .....	71
7.1.3 機能 .....	72
7.2 デバイダ出力 (DVO) .....	73
7.2.1 構成 .....	73
7.2.2 制御 .....	73

---

## 第8章 16ビットタイマカウンタ 1 (TC1)

---

8.1 構成 .....	75
--------------	----

8.2	制御	76
8.3	機能	78
8.3.1	タイマモード	78
8.3.2	外部トリガタイマモード	80
8.3.3	イベントカウンタモード	82
8.3.4	ウィンドウモード	83
8.3.5	パルス幅測定モード	84
8.3.6	プログラマブルパルスジェネレータ (PPG) 出力モード	87

## 第9章 16ビットタイマカウンタ 2 (TC2)

9.1	構成	91
9.2	制御	92
9.3	機能	93
9.3.1	タイマモード	93
9.3.2	イベントカウンタモード	95
9.3.3	ウィンドウモード	95

## 第10章 8ビットタイマカウンタ 3 (TC3)

10.1	構成	97
10.2	制御	98
10.3	機能	99
10.3.1	タイマモード	99
図 10-3		101
10.3.3	キャプチャモード	102

## 第11章 8ビットタイマカウンタ 4 (TC4)

11.1	構成	105
11.2	制御	106
11.3	機能	108
11.3.1	タイマモード	108
11.3.2	イベントカウンタモード	109
11.3.3	プログラマブルデバイダ出力 (PDO) モード	110
11.3.4	パルス幅変調 (PWM) 出力モード	111

## 第12章 同期式シリアルインタフェース (SIO)

12.1	構成	113
12.2	制御	114
12.3	機能	115
12.3.1	シリアルクロック	115
12.3.1.1	クロックソース	
12.3.1.2	シフトエッジ	
12.3.2	転送ビット方向	117
12.3.2.1	MSB 転送	
12.3.2.2	LSB 転送	
12.3.3	転送モード	118
12.3.3.1	送信モード	
12.3.3.2	送信エラー	
12.3.3.3	受信モード	
12.3.3.4	受信エラー	
12.3.3.5	送受信モード	
12.3.3.6	送受信エラー	



注)	131
----	-----

---

---

## 第13章 8ビットADコンバータ

---

13.1	構成	133
13.2	制御	134
13.3	機能	137
13.3.1	ADコンバータの動作	137
13.3.2	レジスタの設定	137
13.3.3	AD変換時のSTOP/SLOWモード	138
13.3.4	入力電圧と変換結果	139
13.4	ADコンバータの注意事項	140
13.4.1	アナログ入力端子電圧範囲	140
13.4.2	アナログ入力兼用端子	140
13.4.3	ノイズ対策	140

---

---

## 第14章 キーオンウェイクアップ (KWU)

---

14.1	構成	141
14.2	制御	141
14.3	機能	141

---

---

## 第15章 蛍光表示管 (VFT) 駆動回路

---

15.1	機能	143
15.2	構成	144
15.3	制御	145
15.3.1	表示モードの設定	148
15.3.2	表示データの設定	148
15.4	表示動作	150
15.5	表示動作例	151
15.5.1	コンベンショナルタイプ蛍光表示管の場合	151
15.5.2	グリッドスキャンタイプ蛍光表示管の場合	152
15.6	ポート機能	153
15.6.1	高耐圧ポート	153
15.6.1.1	P6-P9ポート	
15.6.1.2	PDポート	
15.6.2	注意事項	153
15.6.2.1	出力時	
15.6.2.2	入力時	

---

---

## 第16章 端子の入出力回路

---

16.1	制御端子	155
16.2	入出力ポート	156

---

---

## 第17章 電気的特性

---

17.1	絶対最大定格	159
17.2	動作条件	160

17.3	消費電力の計算方法	161
17.3.1	消費電力 $P_{max}$ = 動作消費電力 + ノーマル出力ポート損失 + VFT ドライバ損失	161
17.4	DC 特性	162
17.4.1	DC 特性 (1) (VDD = 5 V)	162
17.4.2	DC 特性 (2) (VDD = 3 V)	163
17.5	AD 変換特性	164
17.6	AC 特性	165
17.7	高速シリアルインタフェース AC 特性	166
注)		166
注)		166
17.8	推奨発振条件	167
17.9	取り扱い上のご注意	167

---

---

## 第 18 章 外形寸法

---

---

---

Not Recommended for New Design



Not Recommended  
for New Design

## CMOS 8ビットマイクロコントローラ

## TMP86CM74AFG

製品形名	ROM (MaskROM)	RAM	パッケージ	OTP 内蔵品	エミュレーション チップ
TMP86CM74AFG	32768 バイト	2048 バイト	QFP80-P-1420-0.80M	TMP86PM74AFG	TMP86C974XB

## 1.1 特長

- 8ビットシングルチップマイクロコントローラ：TLCS-870/Cシリーズ
  - 最小実行時間：
    - 0.25  $\mu$ s (16 MHz 動作時)
    - 122  $\mu$ s (32.768 kHz 動作時)
  - 基本機械命令：132 種類 731 命令
- 割り込み要因 17 要因 (外部：6, 内部：11)
- 入出力ポート (70 端子)
  - 大電流出力 2 端子 (Typ. 20mA)
- ウォッチドッグタイマ
  - 割り込み / 内部リセット発生の選択 (プログラマブル)
- プリスケアラ
  - タイムベースタイマ機能
  - デバイダ出力機能
- 16ビットタイマカウンタ：1 チャンネル
  - タイマ, イベントカウンタ, PPG (プログラマブル矩形波) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- 16ビットタイマカウンタ：1 チャンネル
  - タイマ, イベントカウンタ, ウィンドウモード
- 8ビットタイマカウンタ：1 チャンネル
  - タイマ, イベントカウンタモード
  - キャプチャモード
- 8ビットタイマカウンタ：1 チャンネル

• 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023\_A

• 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023\_B

• 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106\_Q

• 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023\_C

• 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023\_E

• 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023\_D

• マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519\_S

- タイマ, イベントカウンタ
- PWM (パルス幅変調出力)
- PDO (Programmable Divider Output) モード
- シリアルインタフェース
  - 高速 8 ビット SIO :1 チャンネル (32 バイトバッファ内蔵)
- 8 ビット逐次比較方式 AD コンバータ
  - アナログ入力: 8 チャンネル
- キーオンウェイクアップ: 4 チャンネル
- 蛍光表示管駆動回路 (自動表示)
  - プログラマブルグリッドスキャン出力可能
  - 高耐圧出力ポート (MAX 40 V 耐圧 × 37 本)
- クロック発振回路: 2 回路
  - シングル/デュアルクロックモードの選択
- 低消費電力動作 (9 モード)
  - STOP モード: 発振停止 (バッテリー/コンデンサバックアップ)
  - SLOW1 モード: 低周波クロックによる低周波動作 (高周波停止)
  - SLOW2 モード: 低周波クロックによる低周波動作 (高周波発振)
  - IDLE0 モード: CPU 停止。
    - 周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - IDLE1 モード: CPU 停止。
    - 周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
  - IDLE2 モード: CPU 停止。
    - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
  - SLEEP0 モード: CPU 停止。
    - 周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - SLEEP1 モード: CPU 停止。
    - 周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
  - SLEEP2 モード: CPU 停止。
    - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧:
  - 4.5 V-5.5 V @ 16MHz /32.768 kHz
  - 2.7 V-5.5 V @ 8 MHz /32.768 kHz

1.2 ピン配置図

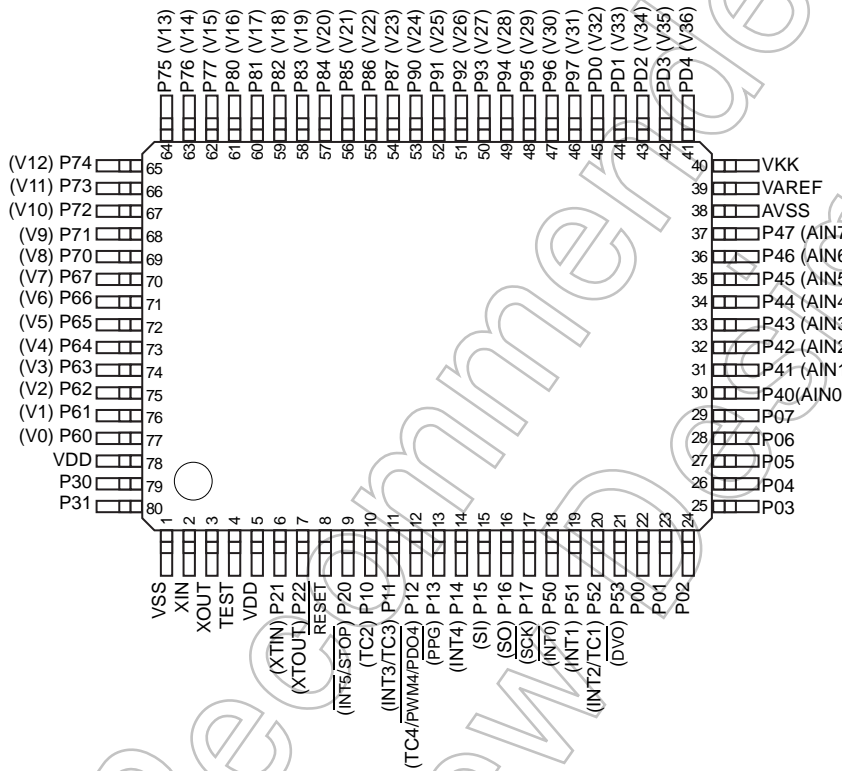


図 1-1 ピン配置図

## 1.3 ブロック図

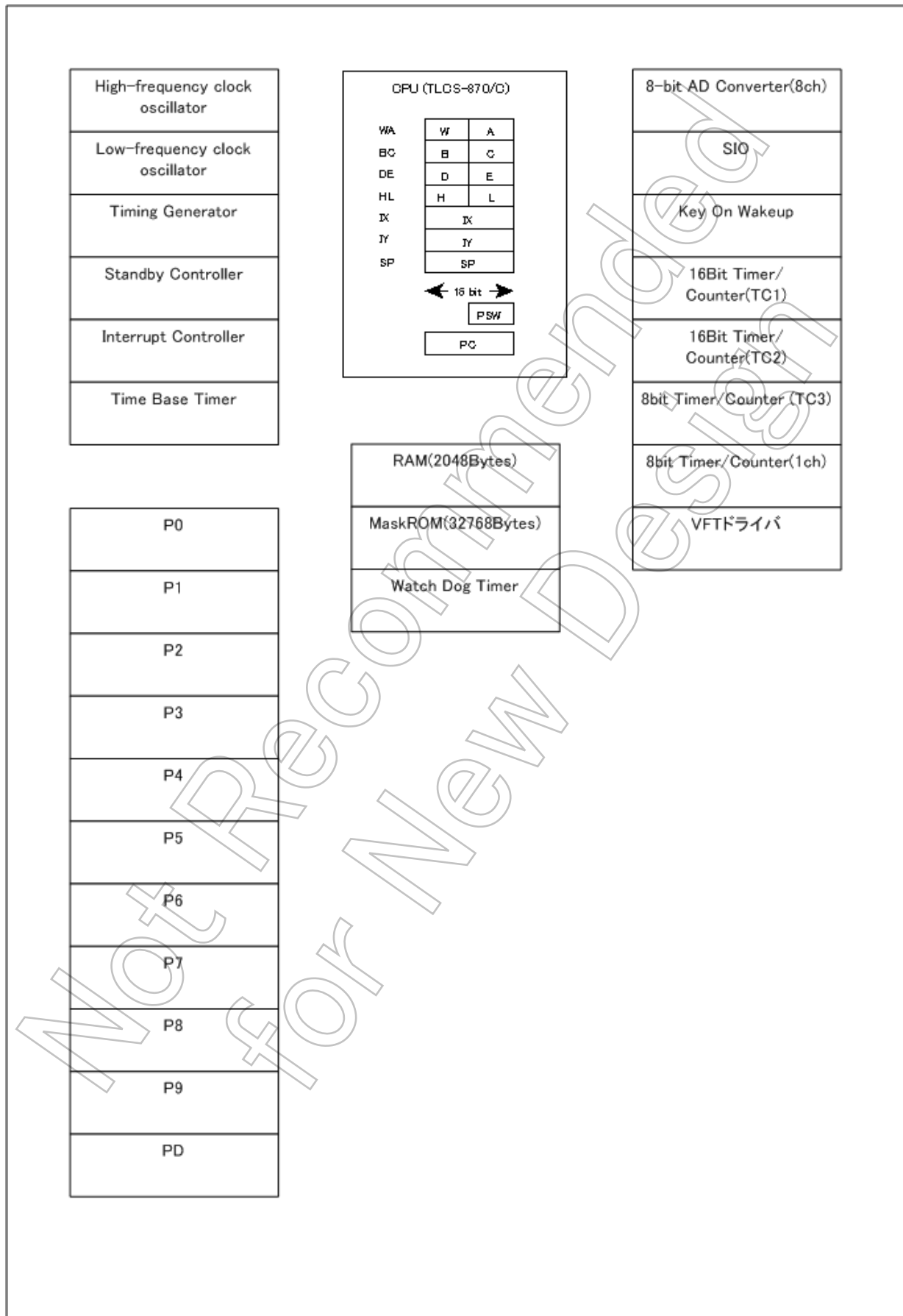


図 1-2 ブロック図

## 1.4 端子機能

表 1-1 端子機能表 ( 1 / 4 )

端子名	ピン番号	入出力	機能
P07	29	IO	ポート 07
P06	28	IO	ポート 06
P05	27	IO	ポート 05
P04	26	IO	ポート 04
P03	25	IO	ポート 03
P02	24	IO	ポート 02
P01	23	IO	ポート 01
P00	22	IO	ポート 00
P17 SCK	17	IO IO	ポート 17 シリアルクロック入力 / 出力
P16 SO	16	IO O	ポート 16 シリアルデータ出力
P15 SI	15	IO I	ポート 15 シリアルデータ入力
P14 INT4	14	IO I	ポート 14 外部割り込み 4 入力
P13 PPG	13	IO O	ポート 13 PPG 出力
P12 PWM4/PDO4 TC4	12	IO O I	ポート 12 PWM4/PDO4 出力 TC4 端子入力
P11 TC3 INT3	11	IO I I	ポート 11 TC3 端子入力 外部割り込み 3 入力
P10 TC2	10	IO I	ポート 10 TC2 端子入力
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 STOP INT5	9	IO I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力
P31	80	IO	ポート 31
P30	79	IO	ポート 30
P47 AIN7 STOP5	37	IO I I	ポート 47 アナログ入力 7 STOP5 入力



表 1-1 端子機能表 ( 2 / 4 )

端子名	ピン番号	入出力	機能
P46 AIN6 STOP4	36	IO I I	ポート 46 アナログ入力 6 STOP4 入力
P45 AIN5 STOP3	35	IO I I	ポート 45 アナログ入力 5 STOP3 入力
P44 AIN4 STOP2	34	IO I I	ポート 44 アナログ入力 4 STOP2 入力
P43 AIN3	33	IO I	ポート 43 アナログ入力 3
P42 AIN2	32	IO I	ポート 42 アナログ入力 2
P41 AIN1	31	IO I	ポート 41 アナログ入力 1
P40 AIN0	30	IO I	ポート 40 アナログ入力 0
P53 DVO	21	IO O	ポート 53 デバイダ出力
P52 TC1 INT2	20	IO I I	ポート 52 TC1 端子入力 外部割り込み 2 入力
P51 INT1	19	IO I	ポート 51 外部割り込み 1 入力
P50 INT0	18	IO I	ポート 50 外部割り込み 0 入力
P67 V7	70	IO O	ポート 67 グリッド出力 7
P66 V6	71	IO O	ポート 66 グリッド出力 6
P65 V5	72	IO O	ポート 65 グリッド出力 5
P64 V4	73	IO O	ポート 64 グリッド出力 4
P63 V3	74	IO O	ポート 63 グリッド出力 3
P62 V2	75	IO O	ポート 62 グリッド出力 2
P61 V1	76	IO O	ポート 61 グリッド出力 1
P60 V0	77	IO O	ポート 60 グリッド出力 0
P77 V15	62	IO O	ポート 77 グリッド出力 15

表 1-1 端子機能表 ( 3 / 4 )

端子名	ピン番号	入出力	機能
P76 V14	63	IO O	ポート 76 グリッド出力 14
P75 V13	64	IO O	ポート 75 グリッド出力 13
P74 V12	65	IO O	ポート 74 グリッド出力 12
P73 V11	66	IO O	ポート 73 グリッド出力 11
P72 V10	67	IO O	ポート 72 グリッド出力 10
P71 V9	68	IO O	ポート 71 グリッド出力 9
P70 V8	69	IO O	ポート 70 グリッド出力 8
P87 V23	54	IO O	ポート 87 セグメント出力 23
P86 V22	55	IO O	ポート 86 セグメント出力 22
P85 V21	56	IO O	ポート 85 セグメント出力 21
P84 V20	57	IO O	ポート 84 セグメント出力 20
P83 V19	58	IO O	ポート 83 セグメント出力 19
P82 V18	59	IO O	ポート 82 セグメント出力 18
P81 V17	60	IO O	ポート 81 セグメント出力 17
P80 V16	61	IO O	ポート 80 セグメント出力 16
P97 V31	46	IO O	ポート 97 セグメント出力 31
P96 V30	47	IO O	ポート 96 セグメント出力 30
P95 V29	48	IO O	ポート 95 セグメント出力 29
P94 V28	49	IO O	ポート 94 セグメント出力 28
P93 V27	50	IO O	ポート 93 セグメント出力 27
P92 V26	51	IO O	ポート 92 セグメント出力 26
P91 V25	52	IO O	ポート 91 セグメント出力 25

表 1-1 端子機能表 ( 4 / 4 )

端子名	ピン番号	入出力	機能
P90 V24	53	IO O	ポート 90 セグメント出力 24
PD4 V36	41	IO O	ポート D4 セグメント出力 36
PD3 V35	42	IO O	ポート D3 セグメント出力 35
PD2 V34	43	IO O	ポート D2 セグメント出力 34
PD1 V33	44	IO O	ポート D1 セグメント出力 33
PD0 V32	45	IO O	ポート D0 セグメント出力 32
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
RESET	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VAREF	39	I	AD 変換用アナログ基準電圧入力端子
AVSS	38	I	アナログ電源
VDD	5	I	電源端子
VSS	1	I	GND 端子

## 第 2 章 動作説明

### 2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

#### 2.1.1 メモリアドレスマップ

TMP86CM74AFG のメモリは、MaskROM, RAM, SFR ( スペシャルファンクションレジスタ ), DBR( データバッファレジスタ ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CM74AFG のメモリアドレスマップを示します。

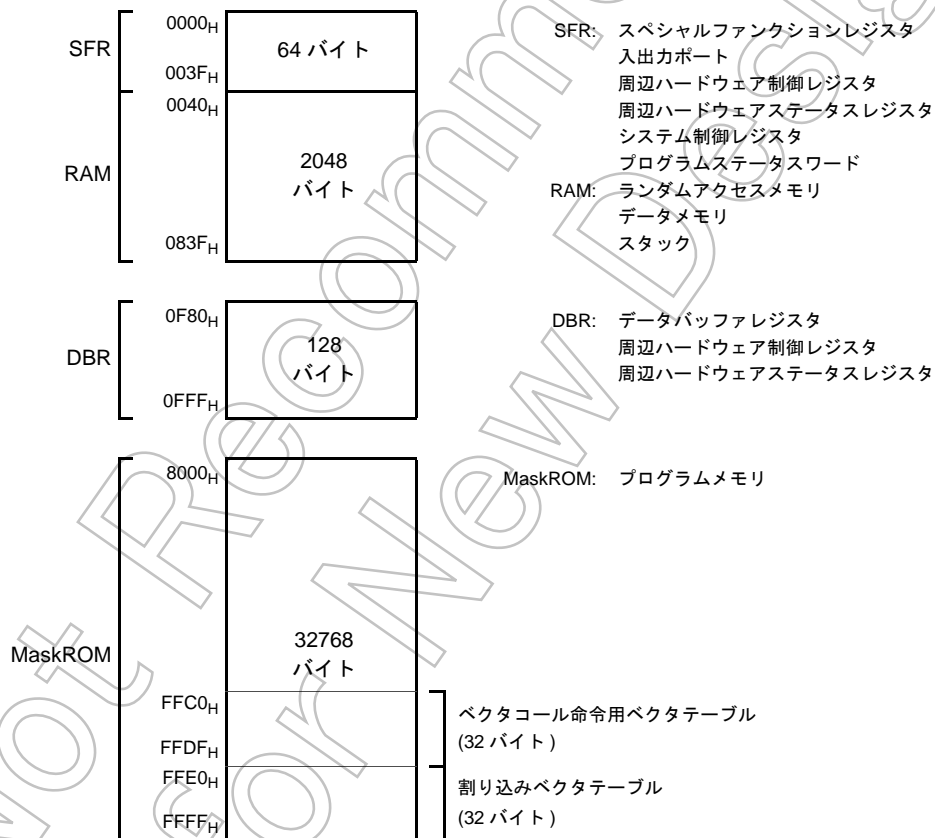


図 2-1 メモリアドレスマップ

#### 2.1.2 プログラムメモリ (MaskROM)

TMP86CM74AFG は 32768 バイト ( アドレス 8000H-FFFFH ) のプログラムメモリ (MaskROM) を内蔵しています。

### 2.1.3 データメモリ (RAM)

TMP86CM74AFG は、2048 バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86CM74AFG の RAM クリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ (00H) の設定
	LD	BC, 07FFH	; バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

## 2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

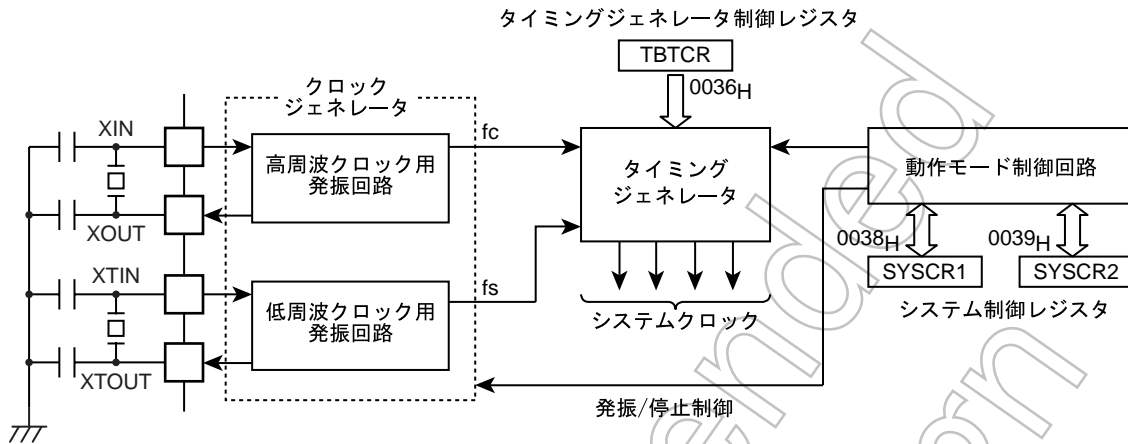


図 2-2 システムクロック制御回路

### 2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数  $f_c$ )、低周波クロック (周波数  $f_s$ ) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

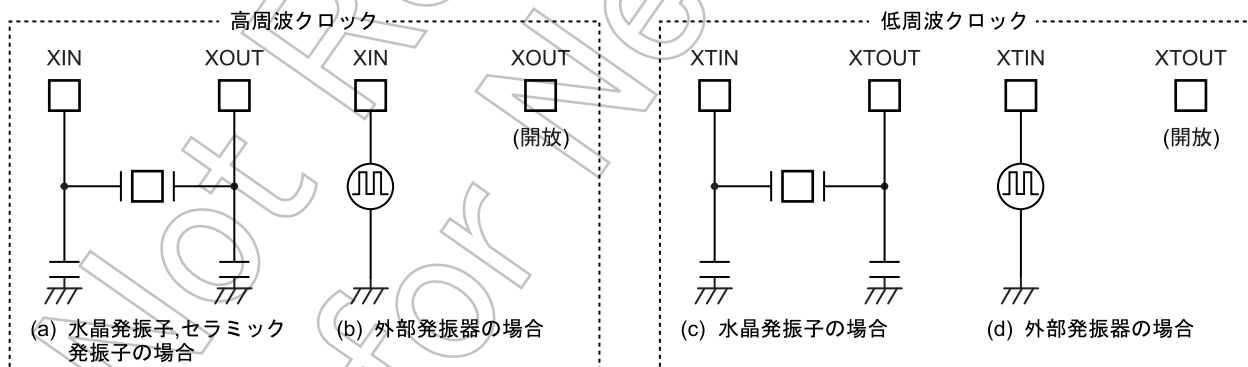


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

## 2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ( $\overline{\text{DVO}}$ ) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

### 2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動 / 解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

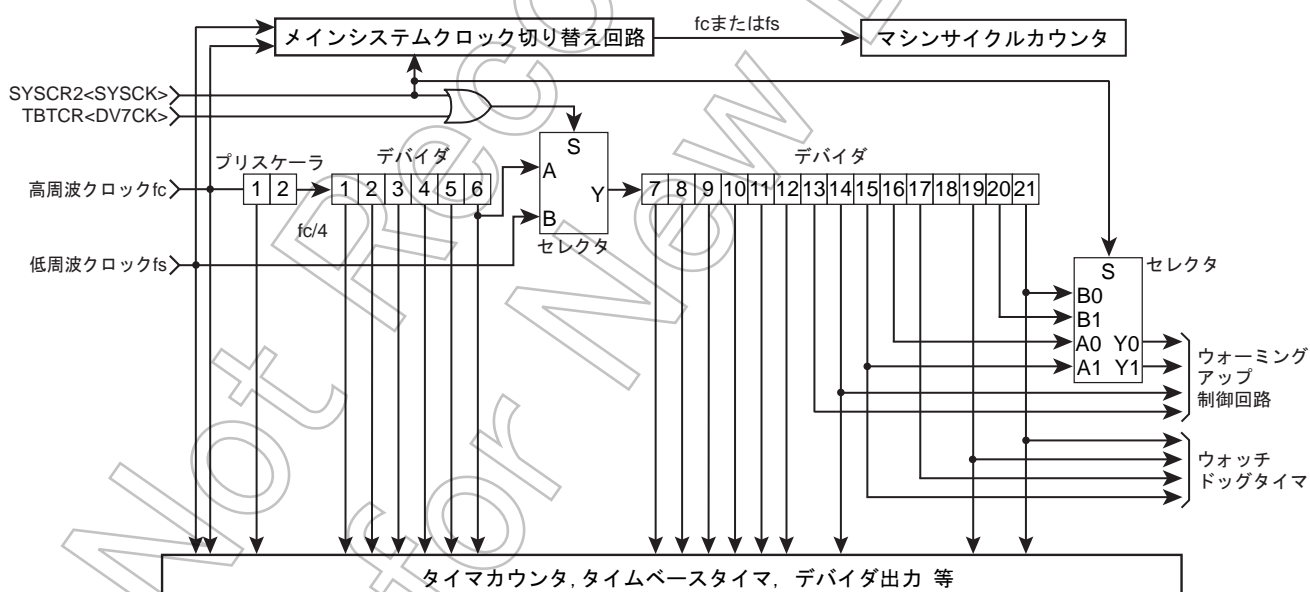


図 2-4 タイミングジェネレータの構成

## タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DV0EN)	(DV0CK)	DV7CK	(TBTEN)	(TBTCK)				

DV7CK	デバイダ7段目への 入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W
-------	------------------------	---------------------------	-----

- 注 1) シングルクロックモード時は、DV7CK を“1” にセットしないでください。  
 注 2) 低周波クロックの発振安定前に DV7CK を“1” にセットしないでください。  
 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*: Don't care  
 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ7段目には fs が入力されます。  
 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ7段目にはデバイダ6段目の出力が入力されます。

## 2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

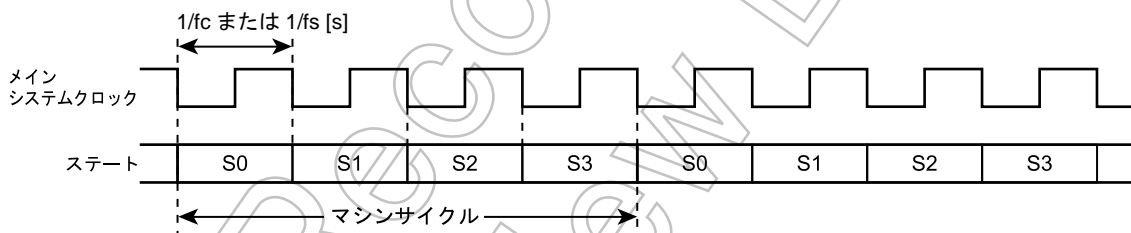


図 2-5 マシンサイクル

## 2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

## 2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは  $4/fc$  [s] となります。



### (1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

### (2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

### (3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EFEF7 (TBT の割り込み個別許可フラグ) = “1”, TBTCCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

## 2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時  $4/f_c$  [s], SLOW, SLEEP モード時  $4/f_s$  [s] ( $122 \mu\text{s}$  @  $f_s = 32.768 \text{ kHz}$ ) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

### (1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

## (2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

## (3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

## (4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

## (5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

## (6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

## (7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”, EFEF7 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

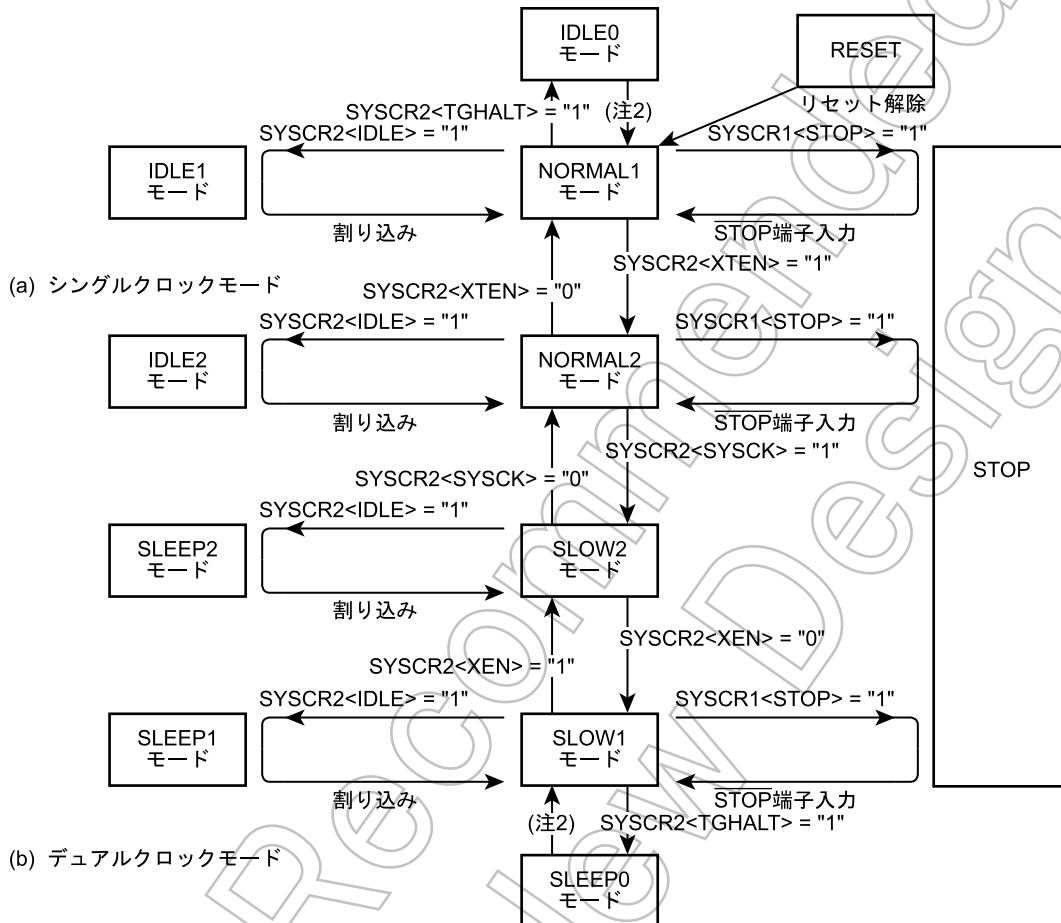
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

### 2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、 $\overline{\text{STOP}}$  端子入力で行い、ウォーミングアップ時間経過後、STOPモード起動時のモードに戻り、STOPモードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2モードを総称してNORMALモード、SLOW1, SLOW2モードをSLOWモード、IDLE0, IDLE1, IDLE2モードをIDLEモード、SLEEP0, SLEEP1, SLEEP2モードをSLEEPモードと呼びます。

注 2) TBTCR<TBTK>によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路		CPU コア	TBT	その他 周辺回路	マシンサイクル タイム
		高周波	低周波				
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止		動作	
	IDLE0						
	STOP	停止	停止	停止	停止	—	
デュアル クロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			
	SLEEP2			停止			
	SLOW1	停止	停止	低周波動作	動作	動作	4/fs [s]
	SLEEP1						
	SLEEP0						
	STOP			停止			停止

Not Recommended for New Design

## 2.2.4 動作モードの制御

### システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値: 0000 00)**

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動)		R/W	
RELM	STOPモードの解除方法の選択	0: エッジ解除モード (STOP端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP端子入力の "H" レベルで解除)		R/W	
RETM	STOPモード解除後の動作モードの選択	0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る		R/W	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W	
WUT	STOPモード解除時のウォーミングアップ時間 単位: [s]		NORMAL1/2モードへ戻る場合	SLOW1モードへ戻る場合	R/W
		00	$3 \times 2^{16}/f_c$	$3 \times 2^{13}/f_s$	
		01	$2^{16}/f_c$	$2^{13}/f_s$	
		10	$3 \times 2^{14}/f_c$	$3 \times 2^6/f_s$	
		11	$2^{14}/f_c$	$2^6/f_s$	

- 注 1) RETM は、NORMALモードからSTOPモードを起動する場合は必ず“0”にしてください。SLOWモードからSTOPモードを起動する場合は必ず“1”にしてください。
- 注 2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
- 注 3)  $f_c$ ; 高周波クロック [Hz],  $f_s$ ; 低周波クロック [Hz], \*, Don't care
- 注 4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注 5) OUTEN = “0”の指定でSTOPモードを起動すると、内部入力は“0”に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイakeup入力を使用する場合は、RELMを“1”に設定してください。
- 注 7) P20端子はSTOP端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHi-z状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, \* ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

### 2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と  $\overline{\text{STOP}}$  端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$  端子は、P20 ポートならびに  $\overline{\text{INT5}}$  (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$  端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

#### (1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$  端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサ バックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$  端子入力が“H”レベルまたは STOP5 ~ STOP2 端子が“L”レベルの状態では STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$  端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2.  $\overline{\text{INT5}}$  割り込みによる方法 ( $\overline{\text{INT5}}$  端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD). 0	; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト
	JRS	F, SSTOPH	
	DI		; IMF←0
	SET	(SYSCR1). 7	; STOP モードを起動

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0           ; ノイズ 除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI      ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
    
```

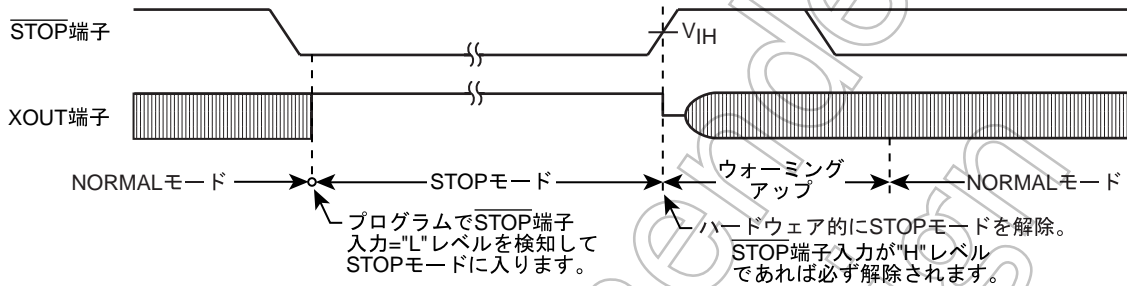


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び  $\overline{\text{STOP}}$  端子入力が "L" レベルまたは、STOP5 ~ STOP2 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$  端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$  端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を  $\overline{\text{STOP}}$  端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$  端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ; IMF←0
LD      (SYSCR1), 10010000B  ; エッジ解除モードに設定して起動
    
```

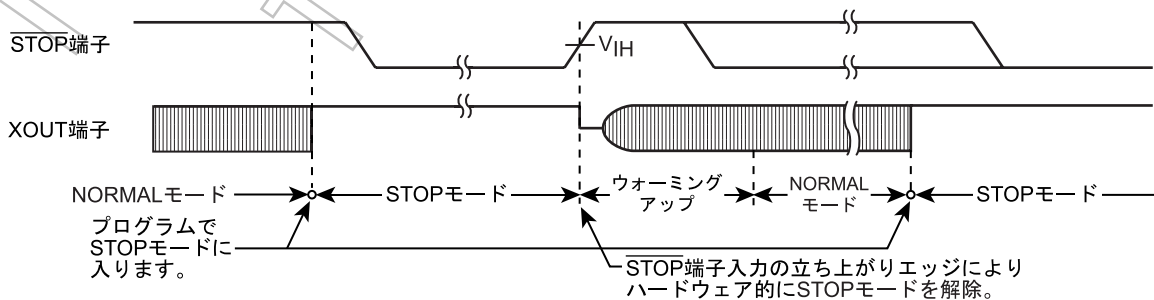


図 2-8 エッジ解除モード



STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例:  $f_c = 16.0$  MHz,  $f_s = 32.768$  kHz 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。



### 2.2.4.2 IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の2つ先の命令のアドレスを保持します。

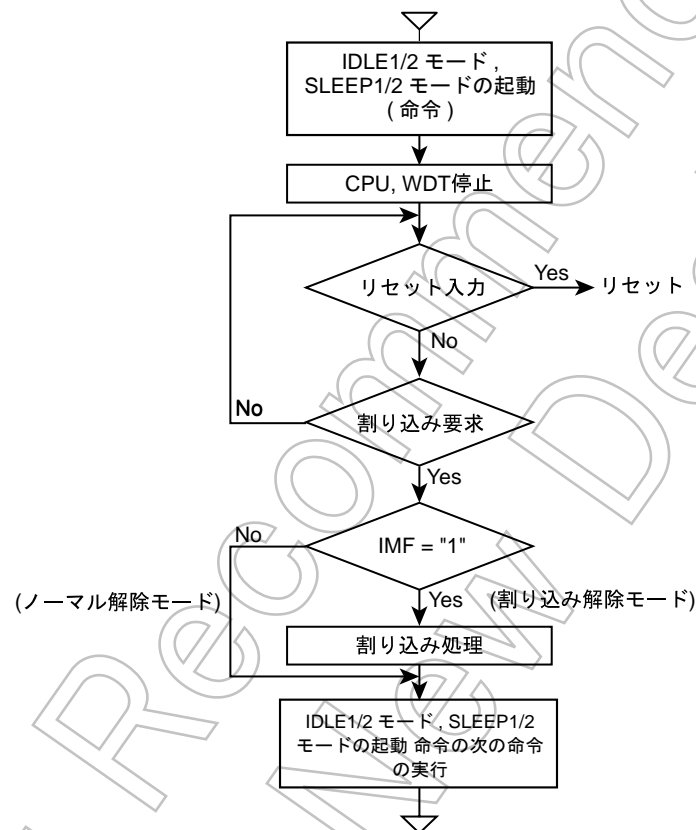


図 2-10 IDLE1/2 モード, SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

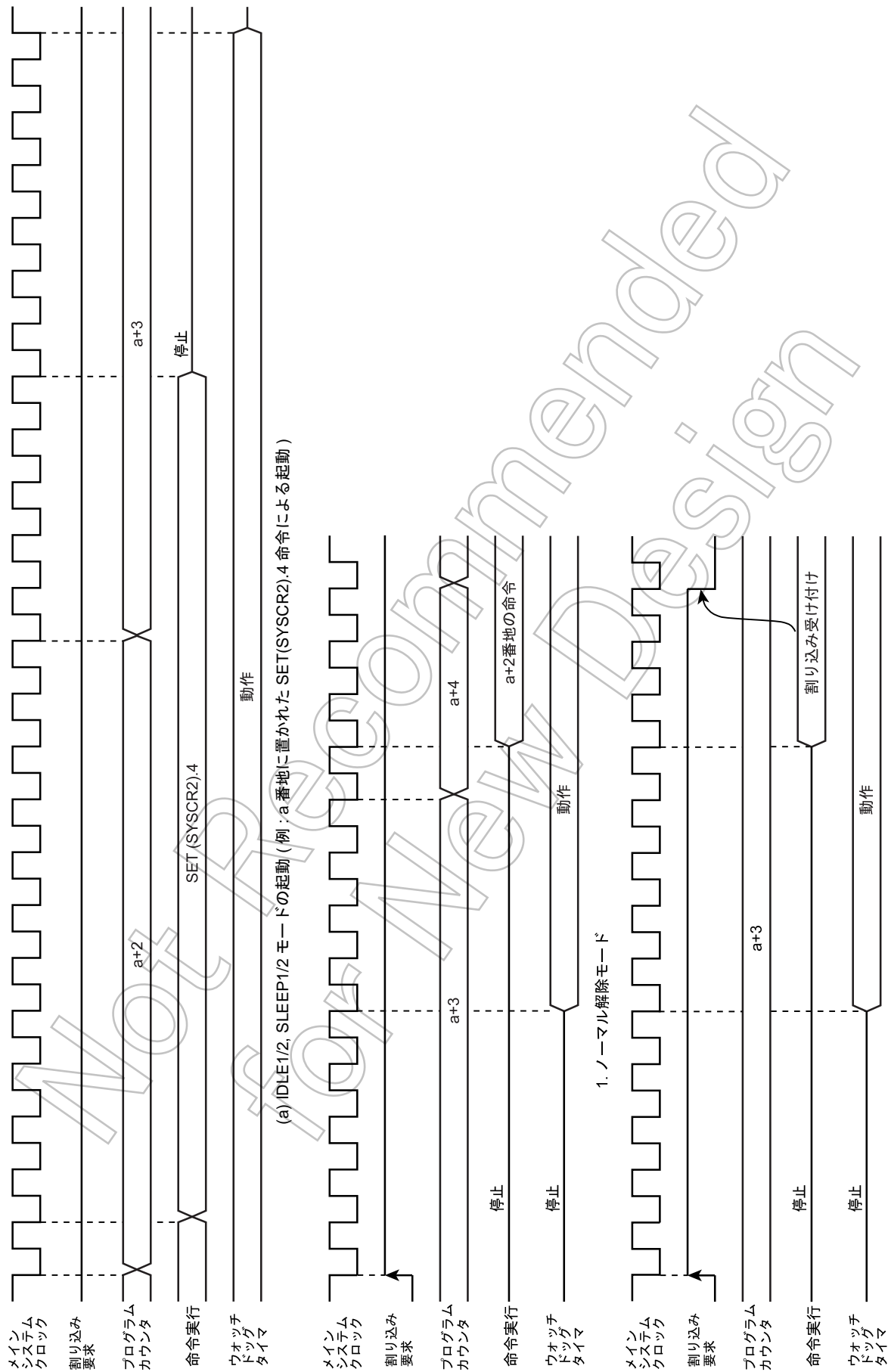


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

## 2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

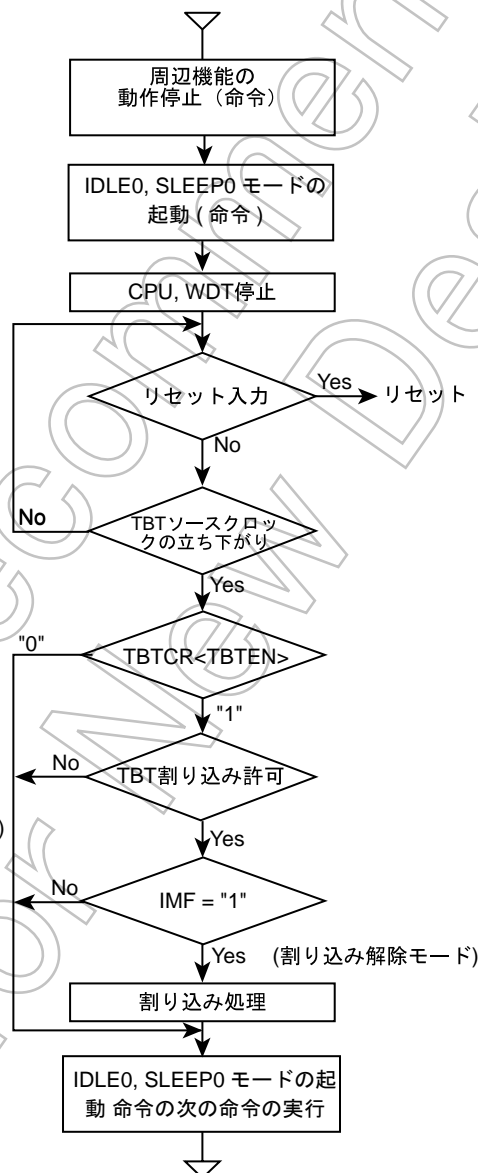


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EFEF7) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは  $\overline{\text{RESET}}$  端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動/復帰します。

(1) ノーマル解除モード (IMF ・ EFEF7 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EFEF7 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

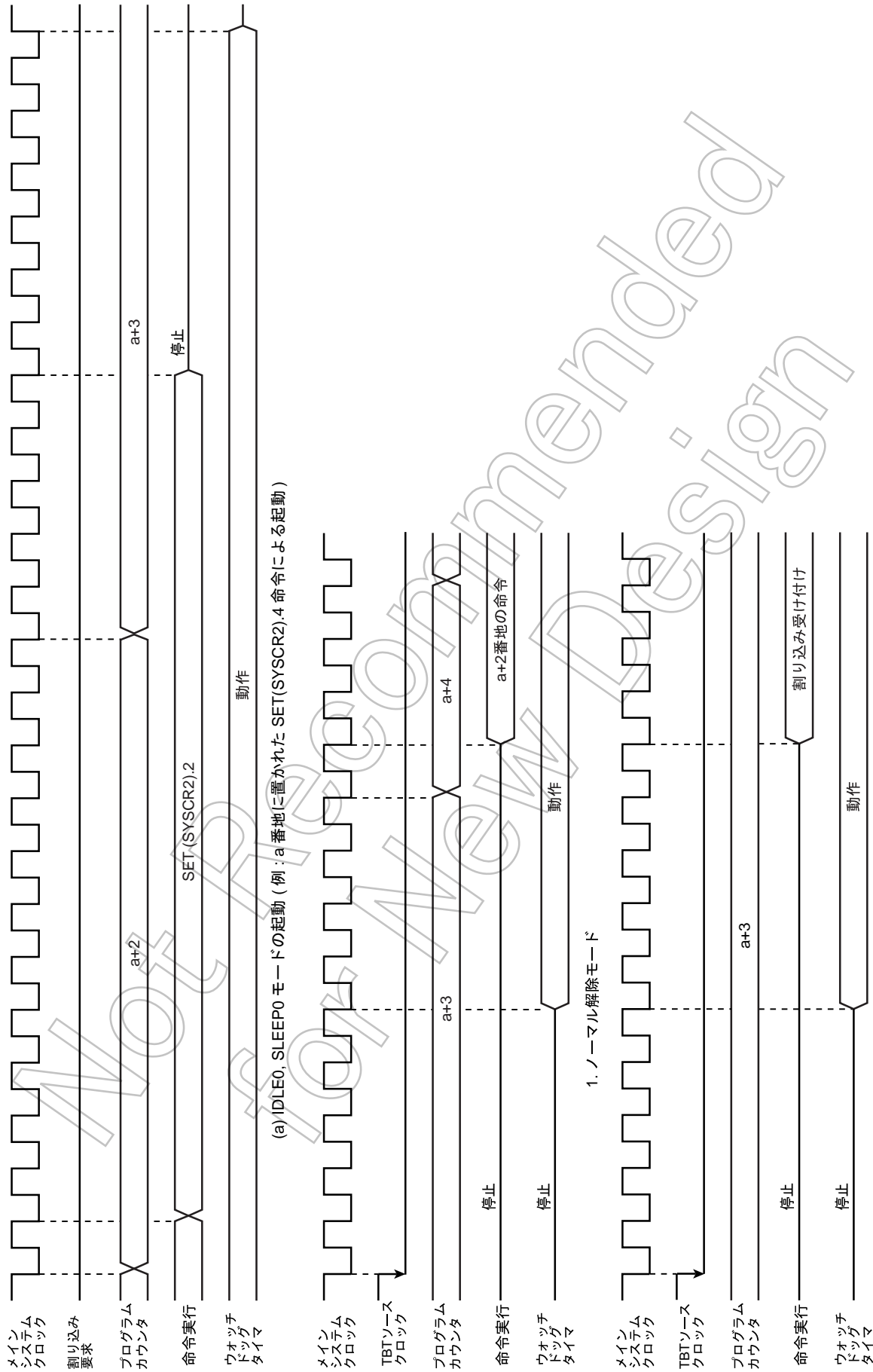


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除



### 2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

#### (1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻すために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC2) を使用すると便利です。

#### (プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                        ; (システムクロックを低周波に切り替え
                        ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)

```

#### (プログラム例 2) TC2 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

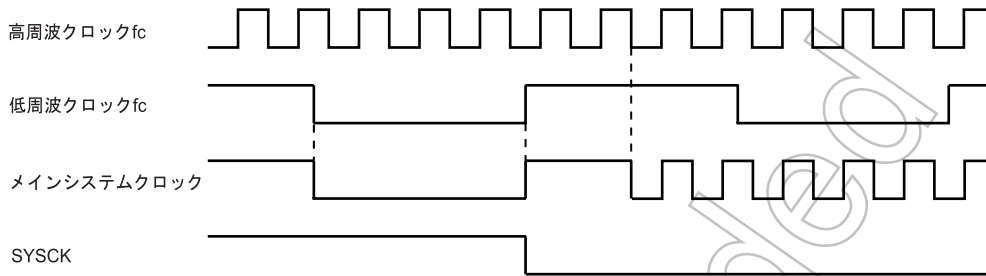
SET      (SYSCR2). 6      ; SYSCR2<XTEN>←1
                        ; (低周波クロック発振開始)
LD       (TC2CR), 14H     ; TC2 のモードをセット
LDW     (TC2DRL), 8000H   ; ウォーミングアップ時間をセット
                        ; (発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 5       ; INTTC2 の割り込みを許可
EI       ; IMF←1
SET      (TC2CR). 5      ; TC2 スタート
;
PINTTC2: CLR      (TC2CR). 5      ; TC2 ストップ
SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                        ; (システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)
RETI
;
VINTTC2: DW       PINTTC2      ; INTTC2 ベクタテーブル

```

#### (2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN>を“1”にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC2) によって確保したあと、SYSCR2<SYSCK>を“0”にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは RESET 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC2 で SLOW1 モードから NORMAL2 モードへの切り替え  
( $f_c = 16 \text{ MHz}$ , ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ;SYSCR2<XEN>←1
                          ;(高周波クロック発振開始)
LD       (TC2CR), 10H    ;TC2 のモードをセット
LD       (TC2DRH), 0F8H  ;ウォーミングアップ時間をセット
                          ;(周波数と発振子の特性で時間を決定します)
DI       ;IMF←0
SET      (EIRH). 5      ;INTTC2 割り込みを許可
EI       ;IMF←1
SET      (TC2CR). 5     ;TC2 スタート
;
PINTTC2 CLR      (TC2CR). 5 ;TC2 ストップ
CLR      (SYSCR2). 5    ;SYSCR2<SYSCK>←0
                          ;(システムクロックを高周波に切り替え)
RETI
;
VINTTC2: DW      PINTTC2 ;INTTC2 ベクタテーブル
    
```

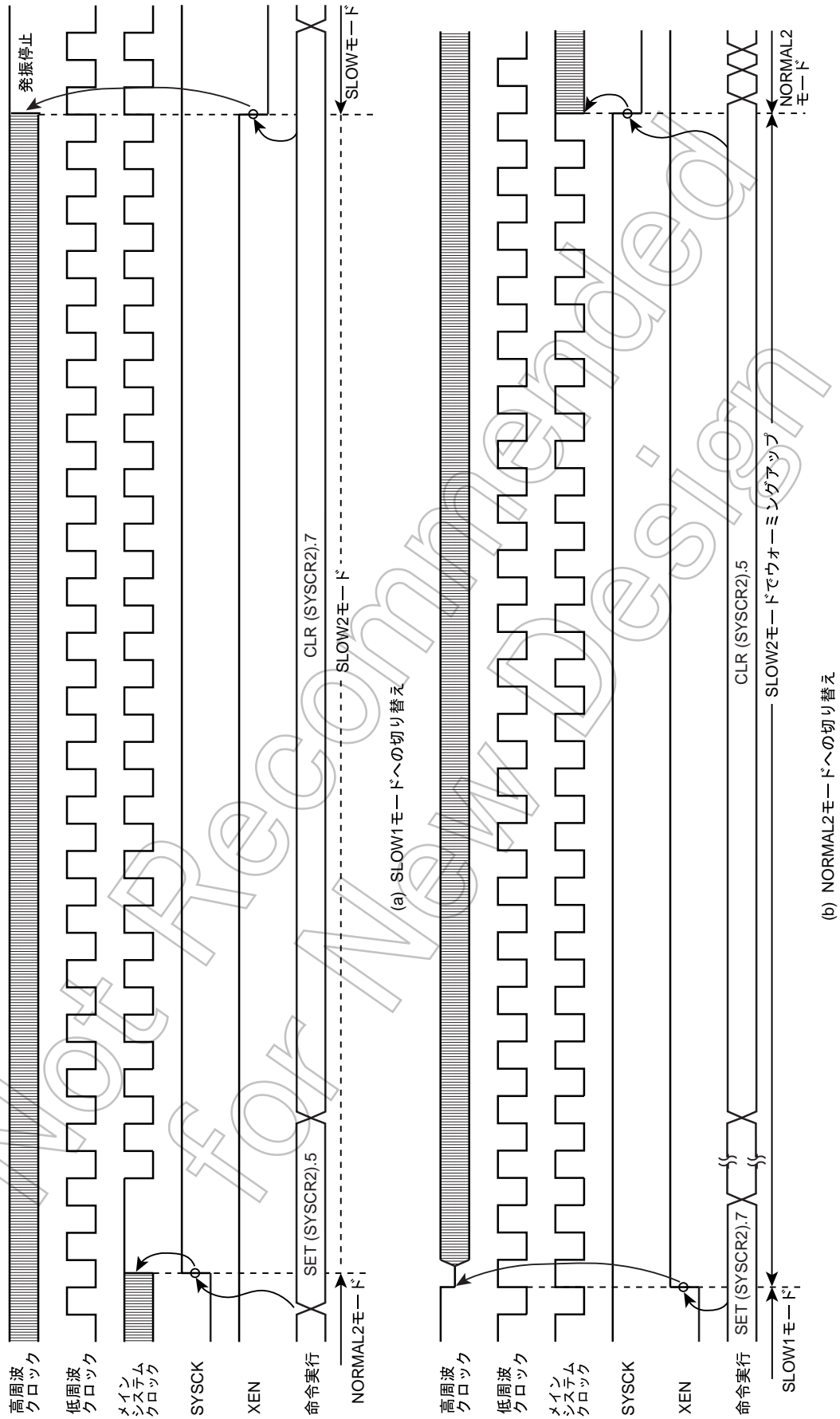


図 2-14 SLOW ↔ NORMAL2 モード切り替え

## 2.3 リセット回路

TMP86CM74AFG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大  $24/fc[s]$  の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大  $24/fc(1.5\mu s @ 16.0\text{ MHz})$  の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		
		RAM	初期化されません

### 2.3.1 外部リセット入力

$\overline{\text{RESET}}$  端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ( $12/fc [s]$ ) 以上の間  $\overline{\text{RESET}}$  端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$  端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

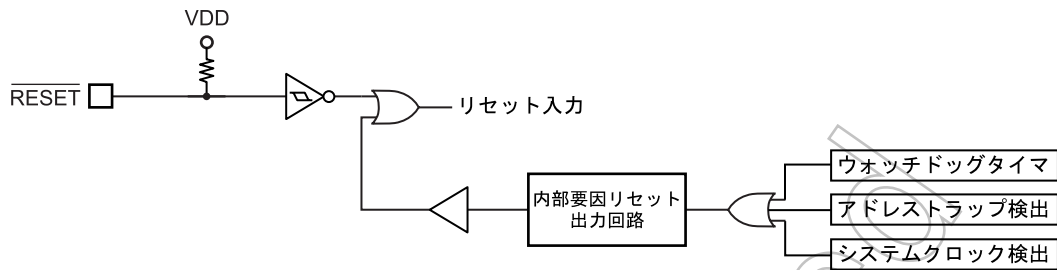
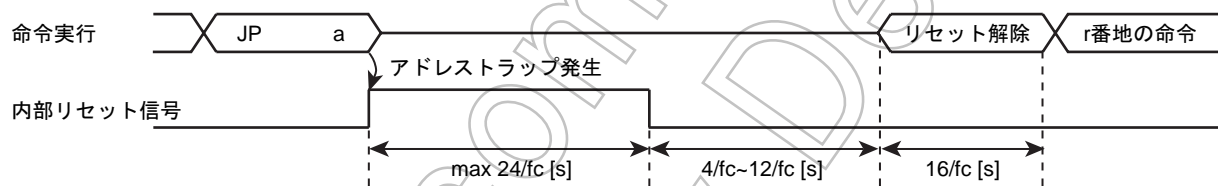


図 2-15 リセット回路

### 2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時)、DBR または SFR 領域から命令をフェッチしようとするときリセット信号が発生します。リセット時間は、最大  $24/fc$  [s] ( $1.5 \mu s @ 16.0 \text{ MHz}$ ) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

### 2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

### 2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大  $24/fc$  [s] ( $1.5 \mu s @ 16.0 \text{ MHz}$ ) です。

## 第3章 割り込み制御回路

TMP86CM74AFG には、リセットを除き合計 17 種類の割り込み要因（うち、1 要因はマルチプレクス）があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクابل割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスクابل	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスクابل	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクابل	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクابل	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクابل	IL3	FFF8	2
外部	$\overline{\text{INT0}}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
内部	INTTC1	IMF・EF5 = 1	IL5	FFF4	6
外部	INT1	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTBT	IMF・EF7 = 1	IL7	FFF0	8
内部	INTTC3	IMF・EF8 = 1	IL8	FFEE	9
内部	INTSIO	IMF・EF9 = 1	IL9	FFEC	10
内部	INTTC4	IMF・EF10 = 1	IL10	FFEA	11
外部	INT3	IMF・EF11 = 1	IL11	FFE8	12
外部	INT4	IMF・EF12 = 1	IL12	FFE6	13
内部	INTTC2	IMF・EF13 = 1	IL13	FFE4	14
外部	$\overline{\text{INT5}}$	IMF・EF14 = 1	IL14	FFE2	15
内部	INTADC	IMF・EF15 = 1, IL15ER = 0	IL15	FFE0	16
外部	INT2	IMF・EF15 = 1, IL15ER = 1			

注 1) 割り込みソースを共有している割り込み要因は、INTSEL レジスタ（「3.3 割り込み要因の選択 (INTSEL)」）で設定します。

注 2) アドレストラップ割り込み (INTATRAP) を使用するには WDTCR1<ATOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注 3) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

### 3.1 割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW      (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例 2) 割り込みラッチの読み出し

```
LD      WA, (ILL) ; W ← ILH, A ← ILL
```

(プログラム例 3) 割り込みラッチのテスト

```
TEST      (ILL). 7 ; IL7 = 1 ならジャンプ
JR      F, SSET
```

## 3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

### 3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0” にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

### 3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI                                     ; IMF ← 0
LDW                                     ; EF15-EF13, EF11, EF7, EF5 ← 1
:   (EIRL), 1110100010100000B         ; 注) IMF はセットしない
:
EI                                     ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL;          /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```



Not Recommended  
for New Design

割り込みラッチ

(初期値 : 00000000 000000\*\*)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

IL15~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。  
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値 : 00000000 0000\*\*\*\*)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF

EIRH (003BH)

EIRL (003AH)

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) \*: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。  
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

### 3.3 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が発生する前に INTSEL レジスタを適切に設定する必要があります。

1. INTADC と INT2 は優先順位 16 の割り込みソースを共有します。

#### 割り込み要因セクタ

INTSEL (003EH)	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	IL15ER	(初期値: **** ***)

IL15ER	INTADC, INT2 の選択	0: INTADC 1: INT2	R/W
--------	------------------	----------------------	-----

Not Recommended for New Design

### 3.4 割り込み処理

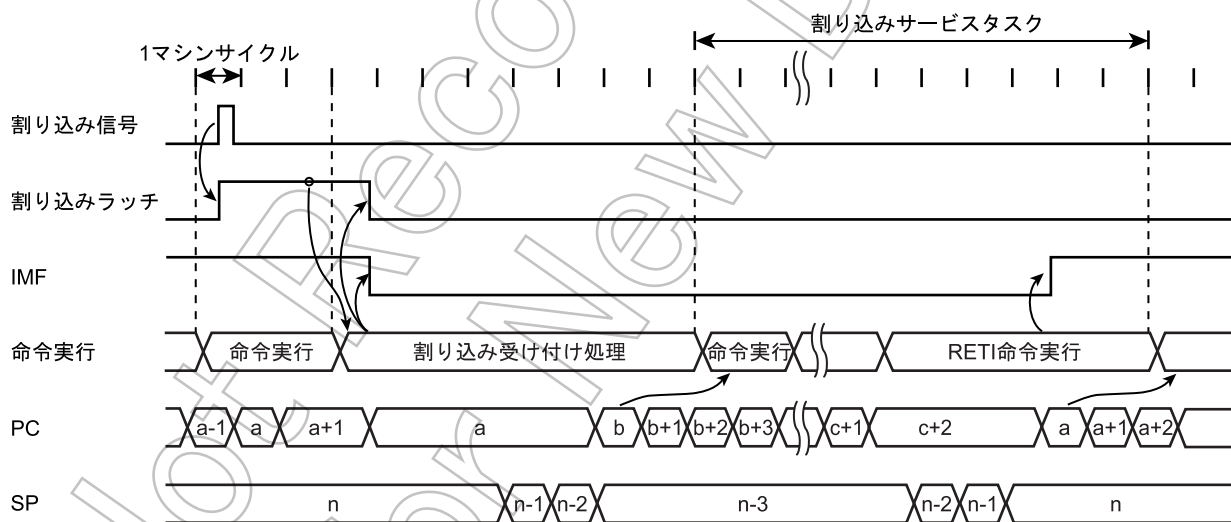
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2  $\mu$ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] ( マスカブル割り込みの場合 )/[RETN] ( ノンマスカブル割り込みの場合 ) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

#### 3.4.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

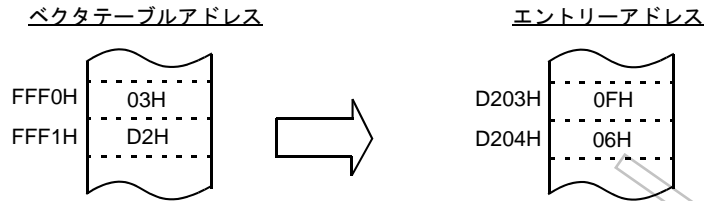


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

### 3.4.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の2つの方法があります。

#### 3.4.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

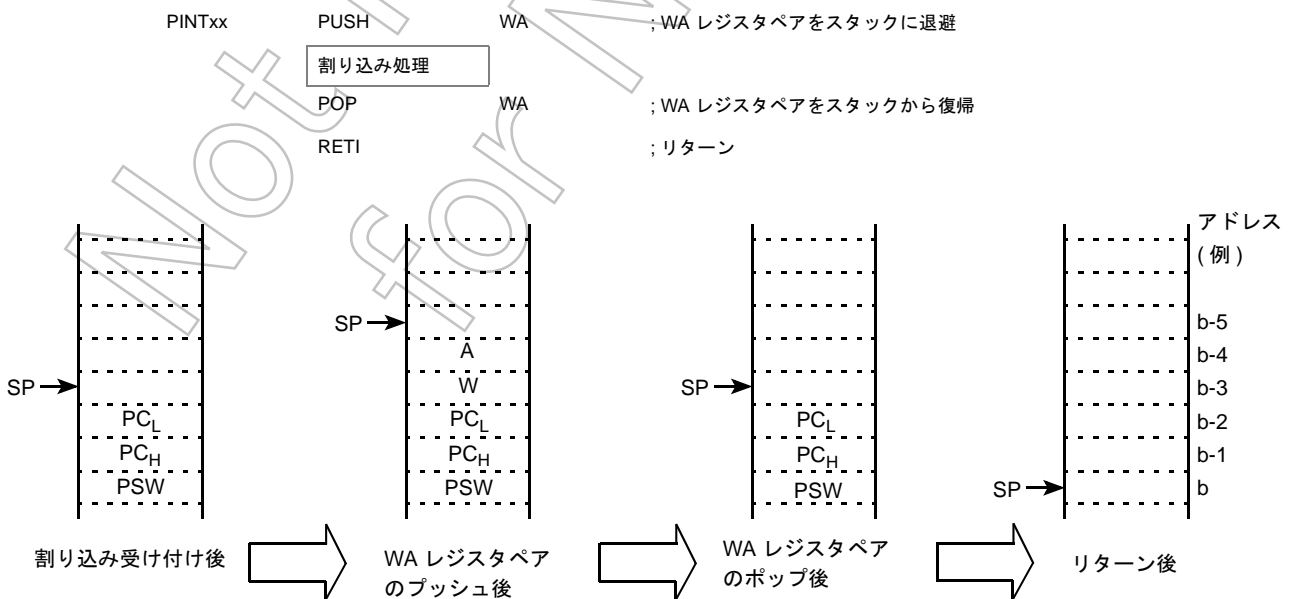


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

### 3.4.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```
PINTxx: LD      (GSAVA), A      ; A レジスタの退避
        [割り込み処理]
        LD      A, (GSAVA)     ; A レジスタの復帰
        RETI                    ; リターン
```

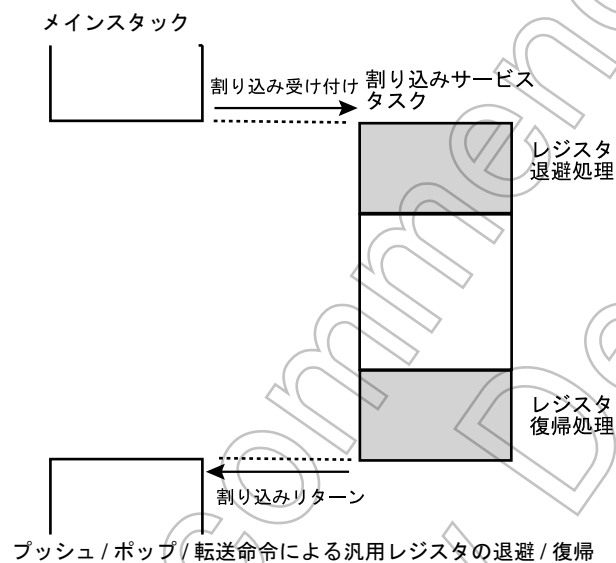


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

### 3.4.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RET] / [RETN] 割り込みリターン
①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。
②スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。  
割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	; スタックポインタを2つ戻す
	LD	WA, RetrunAddress	; WA レジスタに再開アドレスを代入する
	PUSH	WA	; スタックにプッシュダウンする
	割り込み処理		
	RETN		; ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	; スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	; IMF を "1" にセット、または "0" にクリア
	JP	RestartAddress	; 復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

## 3.5 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

### 3.5.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

### 3.5.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

## 3.6 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

## 3.7 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。



### 3.8 外部割り込み

TMP86CM74AFG には、6本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き（一定時間未満のパルス入力をノイズとして除去します）となっています。

また、INT1～INT4端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0/P50}}$ 端子は、外部割り込み入力端子として使用するか出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および  $\overline{\text{INT0/P50}}$ 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ (レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去され ます。7/fc [s] 以上は確実に信号とみなされ ます。SLOW/SLEEP モード時は、1/fs [s] 未 満はノイズとして除去され、3.5/fs [s] 以上 は確実に信号とみなされます。
INT1	INT1	IMF・EF6 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイ ズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLE EP モード時は、1/fs [s] 未満はノイズとし て除去され、3.5/fs [s] 以上は確実に信号と みなされます。
INT2	INT2	IMF・EF15 = 1 及び IL15ER=1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去さ れます。25/fc [s] 以上は確実に信号とみなさ れます。SLOW/SLEEP モード時は、1/fs [s] 未 満はノイズとして除去され、3.5/fs [s] 以上 は確実に信号とみなされます。
INT3	INT3	IMF・EF11 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去さ れます。25/fc [s] 以上は確実に信号とみなさ れます。SLOW/SLEEP モード時は、1/fs [s] 未 満はノイズとして除去され、3.5/fs [s] 以上 は確実に信号とみなされます。
INT4	INT4	IMF・EF12 = 1	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、“H”レベル	7/fc [s] 未満のパルスはノイズとして除去さ れます。25/fc [s] 以上は確実に信号とみなさ れます。SLOW/SLEEP モード時は、1/fs [s] 未 満はノイズとして除去され、3.5/fs [s] 以上 は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF14 = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去さ れます。7/fc [s] 以上は確実に信号とみなさ れます。SLOW/SLEEP モード時は、1/fs [s] 未 満はノイズとして除去され、3.5/fs [s] 以上 は確実に信号とみなされます。

注1) NORMAL1,2 または IDLE1,2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注2) INT0EN = “0” のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

## 外部割り込み制御レジスタ

EINTCR      7            6            5            4            3            2            1            0  
 (0037H)    INT1NC   INT0EN   INT4ES   INT3ES   INT2ES   INT1ES   (初期値 : 0000 000\*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P50/INT0 の機能選択	0: P50 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P50 ポートは入力モードにしてください)	R/W
INT4ES	INT4 のエッジ (レベル) 選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H" レベルで割り込み要求発生	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

- 注 1) fc; 高周波クロック [Hz] \*; Don't care
- 注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。
- 注 3) INT1NC を切り替えた場合、最大  $2^6/fc$  の期間ノイズキャンセル時間が切り替わらない事があります。
- 注 4) INT4 端子の状態が "H" レベルの状態でリセットが解除された場合、INT4 のエッジ選択 (INT4ES) を「"H" レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended for New

Not Recommended  
for New Design

## 第4章 スペシャルファンクションレジスタ

TMP86CM74AFG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86CM74AFG の SFR, DBR の一覧を示します。

### 4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P4DR
0005H		P5DR
0006H		P6DR
0007H		P7DR
0008H		P8DR
0009H		P9DR
000AH		P0CR
000BH		P1OUTCR
000CH		P4CR1
000DH		P5CR
000EH		ADCCR1
000FH		ADCCR2
0010H		TC3DRA
0011H	TC3DRB	-
0012H		TC3CR
0013H		TC2CR
0014H		TC4CR
0015H	P1PRD	-
0016H	P2PRD	-
0017H	P3PRD	-
0018H		TC4DR
0019H		SIOCR1
001AH		SIOCR2
001BH	SIOSR	-
001CH		SIOBUF
001DH		PDDR
001EH		Reserved
001FH		Reserved
0020H		TC1DRAL
0021H		TC1DRAH
0022H		TC1DRBL
0023H		TC1DRBH
0024H		TC2DRL
0025H		TC2DRH
0026H	ADCDR2	-

アドレス	リード	ライト
0027H	ADCDR1	-
0028H		P4CR2
0029H		TC3SEL
002AH		VFTCR1
002BH		VFTCR2
002CH		VFTCR3
002DH	VFTSR	-
002EH		Reserved
002FH		Reserved
0030H		Reserved
0031H	-	STOPCR
0032H		TC1CR
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		INTSEL
003FH		PSW

注1) Reservedの番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

## 4.2 DBR

アドレス	リード	ライト
0F80H		VFTDBR(T0,V7 ~ V0)
0F81H		VFTDBR(T1,V7 ~ V0)
0F82H		VFTDBR(T2,V7 ~ V0)
0F83H		VFTDBR(T3,V7 ~ V0)
0F84H		VFTDBR(T4,V7 ~ V0)
0F85H		VFTDBR(T5,V7 ~ V0)
0F86H		VFTDBR(T6,V7 ~ V0)
0F87H		VFTDBR(T7,V7 ~ V0)
0F88H		VFTDBR(T8,V7 ~ V0)
0F89H		VFTDBR(T9,V7 ~ V0)
0F8AH		VFTDBR(T10,V7 ~ V0)
0F8BH		VFTDBR(T11,V7 ~ V0)
0F8CH		VFTDBR(T12,V7 ~ V0)
0F8DH		VFTDBR(T13,V7 ~ V0)
0F8EH		VFTDBR(T14,V7 ~ V0)
0F8FH		VFTDBR(T15,V7 ~ V0)
0F90H		VFTDBR(T0,V15 ~ V8)
0F91H		VFTDBR(T1,V15 ~ V8)
0F92H		VFTDBR(T2,V15 ~ V8)
0F93H		VFTDBR(T3,V15 ~ V8)
0F94H		VFTDBR(T4,V15 ~ V8)
0F95H		VFTDBR(T5,V15 ~ V8)
0F96H		VFTDBR(T6,V15 ~ V8)
0F97H		VFTDBR(T7,V15 ~ V8)
0F98H		VFTDBR(T8,V15 ~ V8)
0F99H		VFTDBR(T9,V15 ~ V8)
0F9AH		VFTDBR(T10,V15 ~ V8)
0F9BH		VFTDBR(T11,V15 ~ V8)
0F9CH		VFTDBR(T12,V15 ~ V8)
0F9DH		VFTDBR(T13,V15 ~ V8)
0F9EH		VFTDBR(T14,V15 ~ V8)
0F9FH		VFTDBR(T15,V15 ~ V8)

アドレス	リード	ライト
0FA0H		VFTDBR(T0,V23 ~ V16)
0FA1H		VFTDBR(T1,V23 ~ V16)
0FA2H		VFTDBR(T2,V23 ~ V16)
0FA3H		VFTDBR(T3,V23 ~ V16)
0FA4H		VFTDBR(T4,V23 ~ V16)
0FA5H		VFTDBR(T5,V23 ~ V16)
0FA6H		VFTDBR(T6,V23 ~ V16)
0FA7H		VFTDBR(T7,V23 ~ V16)
0FA8H		VFTDBR(T8,V23 ~ V16)
0FA9H		VFTDBR(T9,V23 ~ V16)
0FAAH		VFTDBR(T10,V23 ~ V16)
0FABH		VFTDBR(T11,V23 ~ V16)
0FACH		VFTDBR(T12,V23 ~ V16)
0FADH		VFTDBR(T13,V23 ~ V16)
0FAEH		VFTDBR(T14,V23 ~ V16)
0FAFH		VFTDBR(T15,V23 ~ V16)
0FB0H		VFTDBR(T0,V31 ~ V24)
0FB1H		VFTDBR(T1,V31 ~ V24)
0FB2H		VFTDBR(T2,V31 ~ V24)
0FB3H		VFTDBR(T3,V31 ~ V24)
0FB4H		VFTDBR(T4,V31 ~ V24)
0FB5H		VFTDBR(T5,V31 ~ V24)
0FB6H		VFTDBR(T6,V31 ~ V24)
0FB7H		VFTDBR(T7,V31 ~ V24)
0FB8H		VFTDBR(T8,V31 ~ V24)
0FB9H		VFTDBR(T9,V31 ~ V24)
0FBAH		VFTDBR(T10,V31 ~ V24)
0FBBH		VFTDBR(T11,V31 ~ V24)
0FBCH		VFTDBR(T12,V31 ~ V24)
0FBDH		VFTDBR(T13,V31 ~ V24)
0FBEH		VFTDBR(T14,V31 ~ V24)
0FBFH		VFTDBR(T15,V31 ~ V24)

アドレス	リード	ライト
0FC0H		VFTDBR(T0,V36 ~ V32)
0FC1H		VFTDBR(T1,V36 ~ V32)
0FC2H		VFTDBR(T2,V36 ~ V32)
0FC3H		VFTDBR(T3,V36 ~ V32)
0FC4H		VFTDBR(T4,V36 ~ V32)
0FC5H		VFTDBR(T5,V36 ~ V32)
0FC6H		VFTDBR(T6,V36 ~ V32)
0FC7H		VFTDBR(T7,V36 ~ V32)
0FC8H		VFTDBR(T8,V36 ~ V32)
0FC9H		VFTDBR(T9,V36 ~ V32)
0FCAH		VFTDBR(T10,V36 ~ V32)
0FCBH		VFTDBR(T11,V36 ~ V32)
0FCH		VFTDBR(T12,V36 ~ V32)
0FCDH		VFTDBR(T13,V36 ~ V32)
0FCEH		VFTDBR(T14,V36 ~ V32)
0FCFH		VFTDBR(T15,V36 ~ V32)
0FD0H		Reserved
0FD1H		Reserved
0FD2H		Reserved
0FD3H		Reserved
0FD4H		Reserved
0FD5H		Reserved
0FD6H		Reserved
0FD7H		Reserved
0FD8H		Reserved
0FD9H		Reserved
0FDAH		Reserved
0FDBH		Reserved
0FDCH		Reserved
0FDDH		Reserved
0FDEH		Reserved
0DFH		Reserved

アドレス	リード	ライト
0FE0H		Reserved
...		...
0FFFH		Reserved

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) - ; アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。



Not Recommended  
for New Design

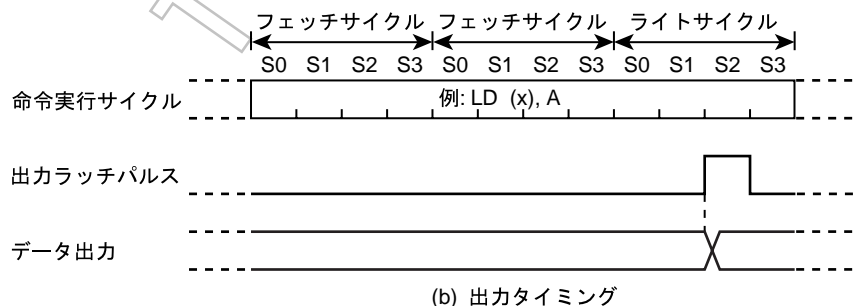
## 第 5 章 入出力ポート

TMP86CM74AFG は、11 ポート 70 端子の入出力ポートを内蔵しています。

1. P0 ポート : 8 ビット入出力ポート
2. P1 ポート :  
8 ビット入出力ポート ( 外部割り込み入力 , タイマカウンタ入力 , シリアルインタフェース入出力と兼用 )
3. P2 ポート :  
3 ビット入出力ポート ( 低周波発振子接続端子 , 外部割り込み入力 , STOP モード解除信号入力と兼用 )
4. P3 ポート : 2 ビット入出力ポート
5. P4 ポート : 8 ビット入出力ポート ( アナログ入力 , STOP モード解除信号入力と兼用 )
6. P5 ポート : 4 ビット入出力ポート ( 外部割り込み入力 , タイマカウンタ入力 , デバイダ出力と兼用 )
7. P6 ポート : 8 ビット入出力ポート ( グリッド出力と兼用 )
8. P7 ポート : 8 ビット入出力ポート ( グリッド出力と兼用 )
9. P8 ポート : 8 ビット入出力ポート ( セグメント出力と兼用 )
10. P9 ポート : 8 ビット入出力ポート ( セグメント出力と兼用 )
11. PD ポート : 5 ビット入出力ポート ( セグメント出力と兼用 )

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありません。外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できません。チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング ( 例 )

### 5.1 P0 (P07~P00) ポート

P0 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P0 ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CR は“0”にセットされ、P0 ポートは入力モードとなります。また、P0 ポート出力ラッチ (P0DR) は、リセット時に“0”に初期化されます。

注) 入力モードに設定されているポートは端子入力の状態を読みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

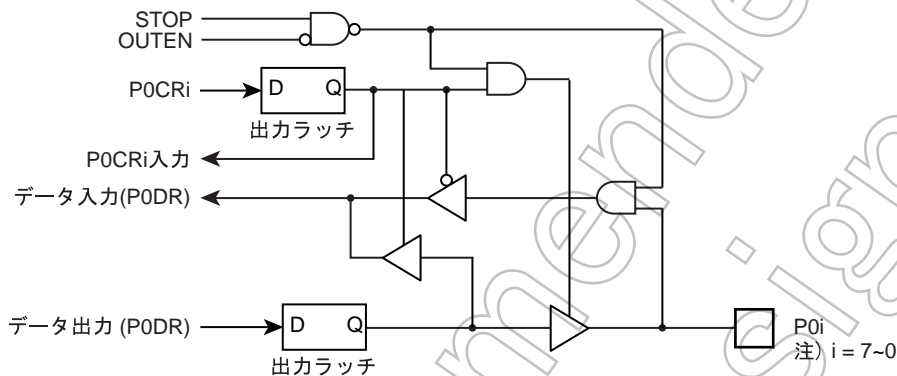


図 5-2 ポート P0

P0DR (0000H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P07	P06	P05	P04	P03	P02	P01	P00	

P0CR (000AH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)

P0CR	P0 ポートの入出力制御 (各ビット単位で指定)	0: 入力モード 1: 出力モード	R/W
------	-----------------------------	----------------------	-----

## 5.2 P1 (P17~P10) ポート

P1 ポートは、8 ビットの入出力ポートで、タイマカウンタ入出力、外部割り込み入力、シリアルインタフェース入出力と兼用です。入力ポートまたは、端子機能として用いる場合は、出力ラッチを“1”にセットします。リセット時、出力ラッチ (P1DR) は“1”に、プッシュプル制御レジスタ (P1OUTCR) は“0”に初期化されます。

P1 ポートは P1OUTCR により出力回路を Nch オープンドレイン出力、CMOS 出力に選択することができます。入力ポートとして使用する場合は、P1DR を“1”にセットした後、P1OUTCR の対応するビットを“0”に設定します。

P1 ポートはデータ入力レジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DR を、端子の状態を読み込む場合は P1 ポート端子入力レジスタ (P1PRD) レジスタをそれぞれ読み出してください。

なお、TC3 入力には TC3 入力制御レジスタ (TC3SEL) レジスタにより、入力波形の位相を反転させることができます。

P10, P11, P12, P13, P14 には TC2, TC3/INT3,  $\overline{\text{PWM4}}/\overline{\text{PDO4}}/\text{TC4}$ ,  $\overline{\text{PPG}}$ , INT4 の機能が兼用されており、TC2, TC3, INT3, TC4, INT4 の機能を使用する場合には使用する端子を入力モードに設定し、 $\overline{\text{PWM4}}$ ,  $\overline{\text{PDO4}}$ ,  $\overline{\text{PPG}}$  機能を使用する場合には使用する端子を出力モードに設定してください。

P15, P16, P17 には、SI, SO,  $\overline{\text{SCK}}$  の各機能が兼用されており、これらの機能を使用する場合は、SI は入力モード, SO は出力モード,  $\overline{\text{SCK}}$  は入力または出力モードにして使用してください。

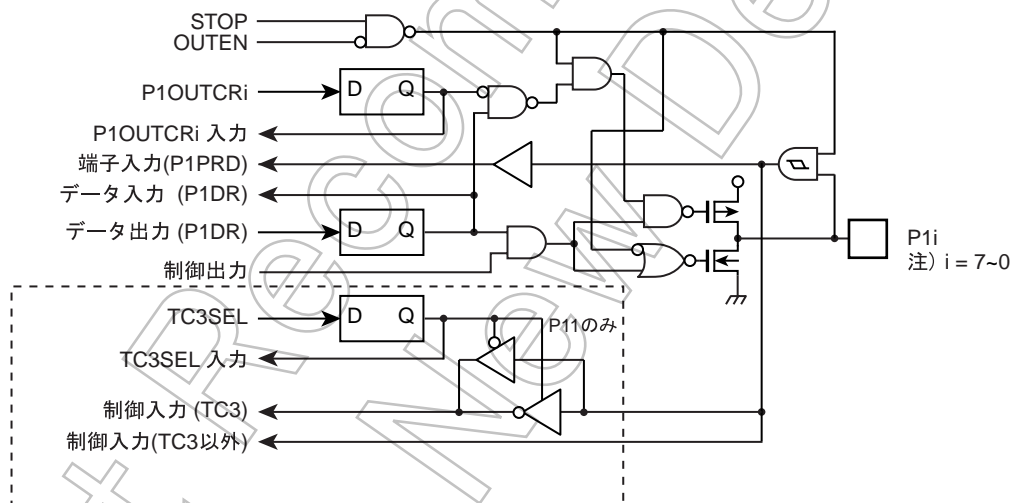


図 5-3 P1 ポート

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17 SCK	P16 SO	P15 SI	P14 INT4	P13 PPG	P12 PWM4 PDO4 TC4	P11 TC3 INT3	P10 TC2	(初期値: 1111 1111)

P1OUTCR (000BH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
--------------------	---	---	---	---	---	---	---	---	------------------

P1OUTCR	P1ポートの入出力制御 (各ビット単位で指定)	0: Nch オープンドレイン出力 1: CMOS 出力	R/W
---------	----------------------------	---------------------------------	-----

	7	6	5	4	3	2	1	0	
P1PRD (0015H) Read only	P17	P16	P15	P14	P13	P12	P11	P10	

TC3SEL (0029H)	7	6	5	4	3	2	1	0	TC3INV (初期値: **** *0)
-------------------	---	---	---	---	---	---	---	---	-----------------------

TC3INV	TC3 入力制御	0: 正転入力 1: 反転入力	R/W
--------	----------	--------------------	-----

P1OUTCR	P1DR	機能
0	0	"L" 出力
0	1	入力 / オープンドレイン出力 / 制御入力
1	0	"L" 出力
1	1	"H" 出力 / 制御出力

### 5.3 P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、端子機能として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DR はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がり で割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2 ポート端子入力レジスタ (P2PRD) レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

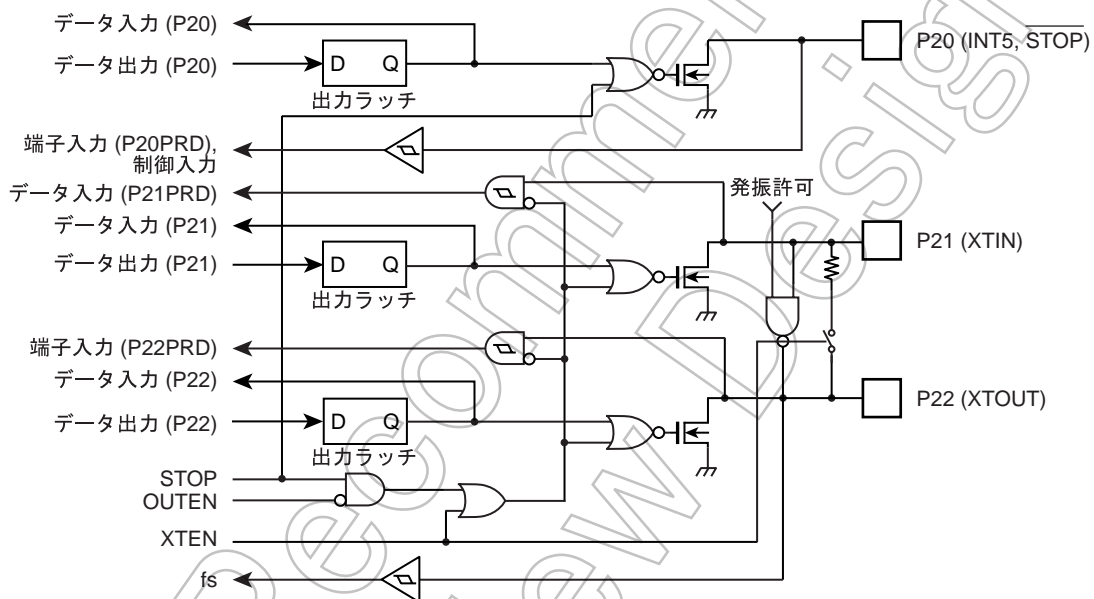
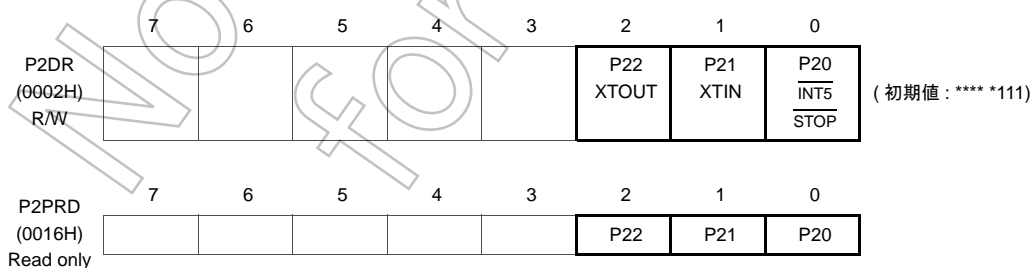


図 5-4 P2 ポート



注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

## 5.4 P3 (P31~P30) ポート

P3 ポートは、2 ビットの入出力ポートです。入力ポートとして用いる場合は、出力ラッチ (P3DR) を“1”にセットします。リセット時、出力ラッチ (P3DR) は“1”に初期化されます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR を端子状態を読み込む場合は P3 ポート端子入力レジスタ (P3PRD) レジスタをそれぞれ読み出してください。

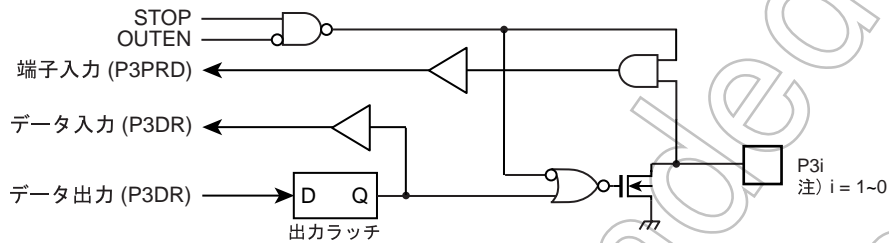
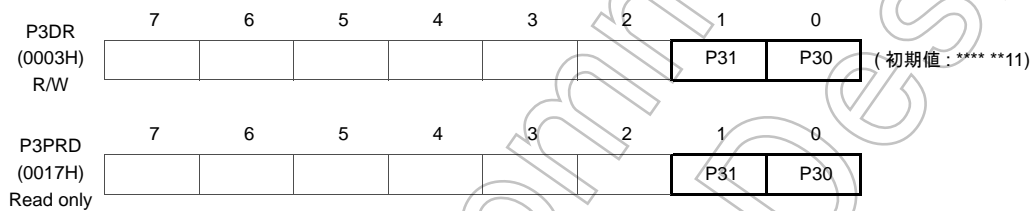


図 5-5 P3 ポート



### 5.5 P4 (P47~P40) ポート

P4ポートは、1ビット単位で入出力の指定ができる8ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。入出力の指定は、P4ポート入出力制御レジスタ(P4CR1)によって行います。出力として使用する場合は、対応するビットのP4CR1を“1”にセットし出力モードに設定します。入力モードとして使用する場合は、対応するビットのP4CR1を“0”にクリアした後、P4CR2を“1”にセットします。アナログ入力、キーオンウェイクアップ入力として使用する場合、P4CR1を“0”にクリアした後、P4CR2を“0”にクリアします(アナログ入力の場合は、その後ADCCR1<AINDS>=“0”にするとともにADをスタートさせます)。リセット時は、P4CR1は“0”、P4CR2は“1”に初期化され、P4ポートは入力モードとなります。またP4ポート出力ラッチ(P4DR)は、リセット時に“0”に初期化されます。

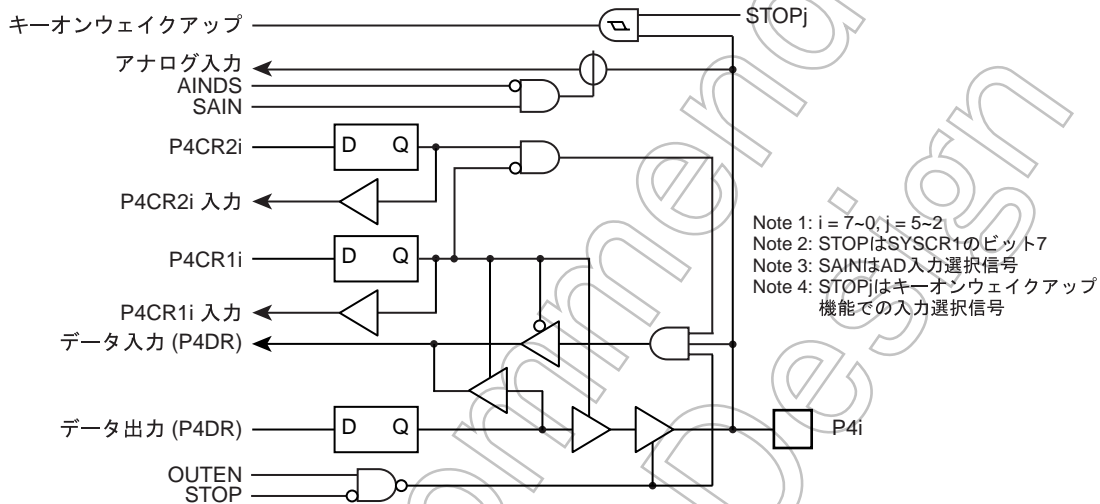


図 5-6 P4 ポート

P4DR (0004H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P47 AIN7 STOP5	P46 AIN6 STOP4	P45 AIN5 STOP3	P44 AIN4 STOP2	P43 AIN3	P42 AIN2	P41 AIN1	P40 AIN0	
P4CR1 (000CH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
P4CR1	P4ポートの入出力制御 (各ビット単位で指定)		0: 入力モードまたはアナログ入力/キーオンウェイクアップ入力 1: 出力モード					R/W	
P4CR2 (0028H)	7	6	5	4	3	2	1	0	(初期値: 1111 1111)
P4CR2	P4ポートの入出力制御 (各ビット単位で指定)		0: アナログ入力/キーオンウェイクアップ入力 1: 入力モード					R/W	

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注 2) P4CR2はアナログ入力使用端子の入力ゲート制御です。アナログ入力時は、貫通電流対策のためP4CR2を“0”に設定し入力ゲートを固定します。入力モード時はP4CR2を“1”に設定します。キーオンウェイクアップで使用する場合は、入力受けが独立しているためP4CR2は“0”に設定します。
- 注 3) アナログ入力時は、キーオンウェイクアップ制御レジスタ(STOPj)を“0”にしてください。



## 5.6 P5 (P53~P50) ポート

P5 ポートは 1 ビット単位で入出力の指定ができる 4 ビット汎用入出力ポートです。入出力の指定は P5 ポート出力制御レジスタ (P5CR) によって行います。リセット時、P5CR は “0” に初期化され、P5 ポートは入力モードとなります。また、P5 ポートの出力ラッチ (P5DR) は “0” に初期化されます。

P50, P51, P52 は  $\overline{\text{INT0}}$ , INT1, INT2/TC1 の機能が兼用されており、これらの機能を使用する場合は使用する端子を入力モードに設定してください。

P53 は  $\overline{\text{DVO}}$  の機能が兼用されており、機能を使用する場合は出力モードに設定してください。

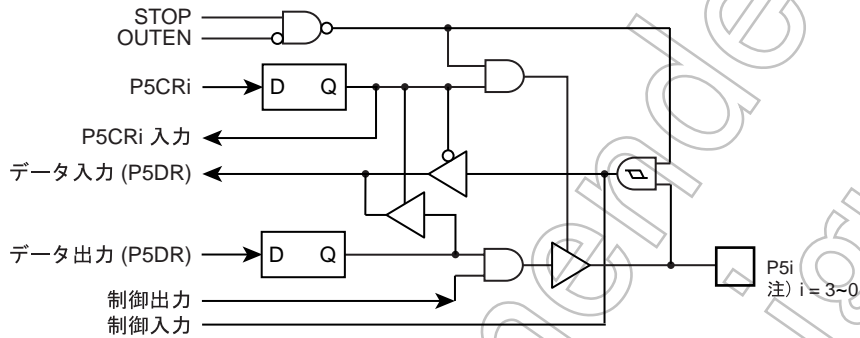


図 5-7 P5 ポート

	7	6	5	4	3	2	1	0	
P5DR (0005H)					P53 DVO	P52 INT2 TC1	P51 INT1	P50 INT0	(初期値: **** 0000)
P5CR (000DH)									(初期値: **** 0000)
P5CR	P5 ポートの入出力制御 (各ビット単位で指定)			0: 入力モード 1: 出力モード				R/W	

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

### 5.7 P6 (P67~P60), P7 (P77~P70), P8 (P87~P80), P9 (P97~P90) ポート

P6, P7, P8, P9 ポートは、8 ビットの高耐圧入出力ポートで VFT ドライバ出力と兼用しており、VFT を直接駆動できます。入力ポートまたは VFT ドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。

VFT ドライバ出力に設定されていない端子は、入出力ポートとして使用できますが、VFT ドライバ使用時に通常の入出力として使用する場合、端子に兼用されている VFT ドライバ出力データバッファメモリ (DBR) を“0”にクリアする必要があります。リセット時、出力ラッチは“0”に初期化されます。

P6, P7, P8, P9 ポートはプルダウン抵抗が内蔵されているため、VFT 駆動用として使用されることを推奨します。

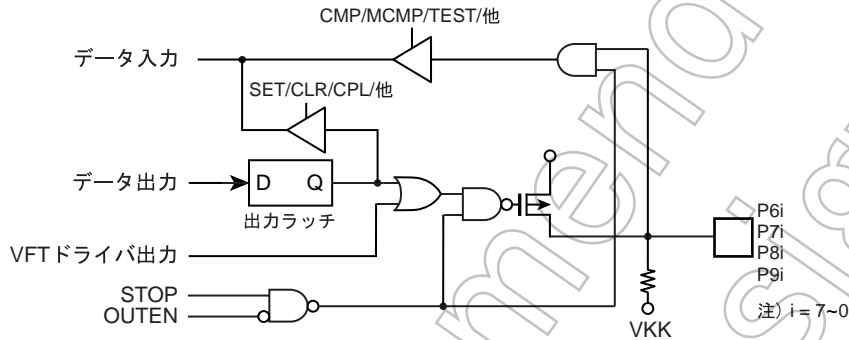


図 5-8 P6, P7, P8, P9 ポート

P6DR (0006H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P67	P66	P65	P64	P63	P62	P61	P60	
P7DR (0007H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P77	P76	P75	P74	P73	P72	P71	P70	
P8DR (0008H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P87	P86	P85	P84	P83	P82	P81	P80	
P9DR (0009H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P97	P96	P95	P94	P93	P92	P91	P90	

### 5.8 PD (PD4~PD0) ポート

PD ポートは、高耐圧入出力ポートで VFT ドライバ出力と兼用しており、VFT を直接駆動できます。1 ビット単位で、セグメント、入出力ポートの指定ができ、VFT ドライバ制御レジスタ 1(VFTCR1) の VFTCR1<VSEL> によって行います。リセット時、VSEL は“0”にクリアされていますので入出力ポートとなります。入力ポートとして用いる場合は、出力ラッチを“0”にセットします。出力ラッチは、リセット時“0”に初期化されます。

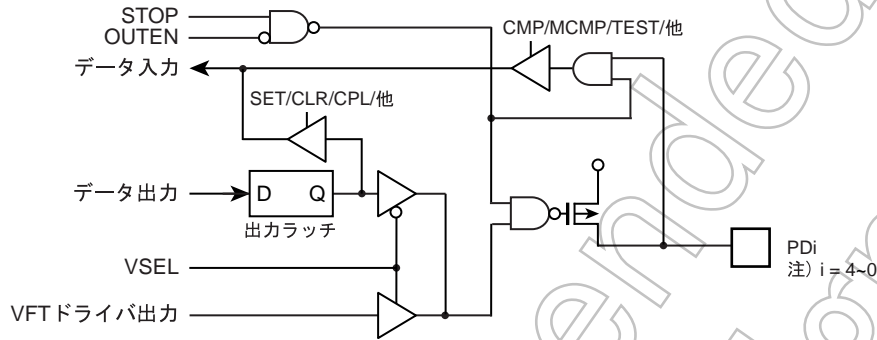
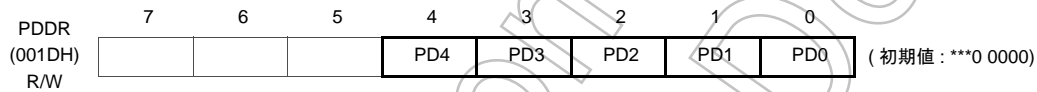


図 5-9 PD ポート



## 第6章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

### 6.1 ウォッチドッグタイマの構成

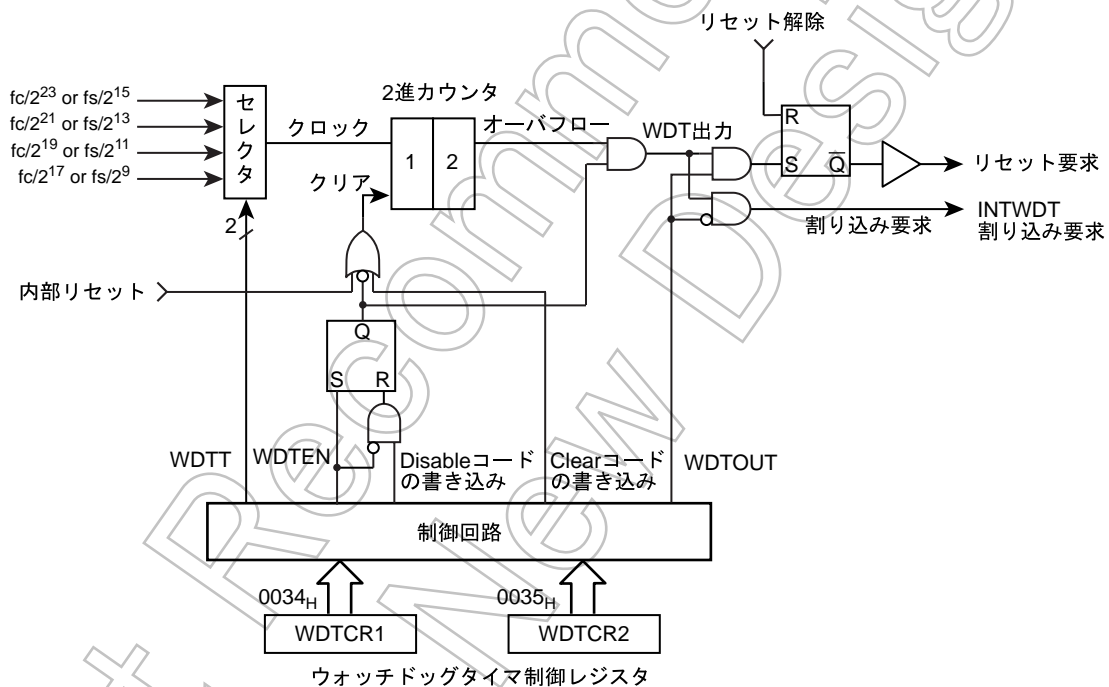


図 6-1 ウォッチドッグタイマの構成

### 6.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTTCR1、WDTTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

#### 6.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を  $2^{21}/fc$  [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
LD      (WDTCR1), 00001101B   ; WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
:                                     ; WDTT 変更直前直後は必ずクリア; します)
:
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
:
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア

```

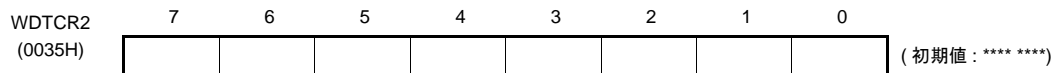
ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可			Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2 モード			Write only
			SLOW1/2 モード		
		DV7CK = 0	DV7CK = 1		
		00	$2^{25}/fc$	$2^{17}/fs$	
	01	$2^{23}/fc$	$2^{15}/fs$	$2^{15}/fs$	
	10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$	
	11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求			Write only

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] \*; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) \*: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例: fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

### 6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 083FH          ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

### 6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大  $24/f_c$  [s] ( $1.5 \mu\text{s}$  @  $f_c = 16.0 \text{ MHz}$ ) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で  $24/f_c$  (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

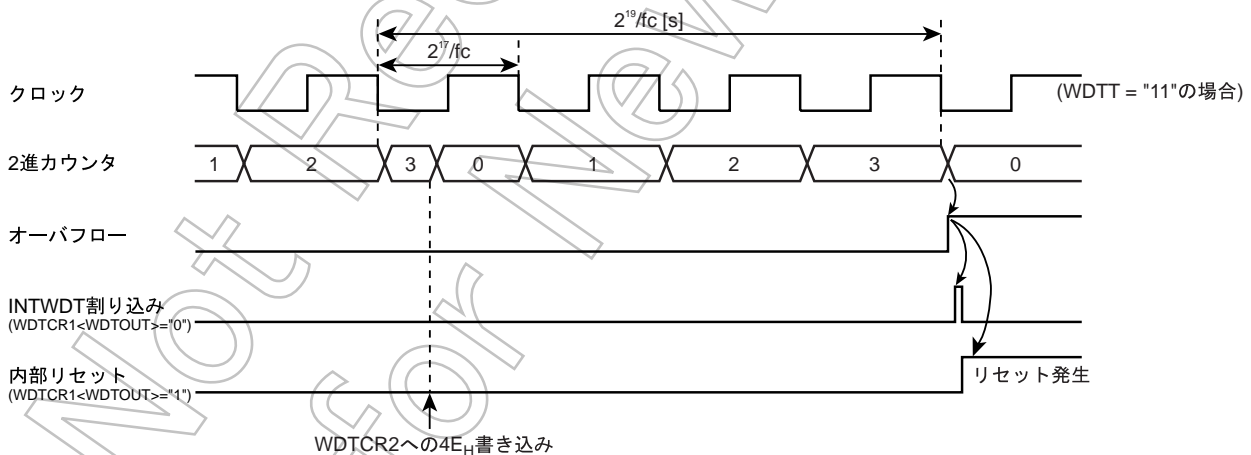


図 6-2 ウォッチドッグタイマ割り込み / リセット

## 6.3 アドレスラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレスラップ時の制御用レジスタと兼用となっています。

### ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	

ATAS	内蔵 RAM 領域のアドレスラップ選択	0:	アドレスラップ発生しない	Write only
		1:	アドレスラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレスラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

### ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み兼 アドレスラップ領域選択の制御コード書き込み	D2H:	アドレスラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

#### 6.3.1 内蔵 RAM 領域のアドレスラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレスラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレスラップが発生します。

#### 6.3.2 アドレスラップ発生時の動作選択 (ATOUT)

アドレスラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

#### 6.3.3 アドレスラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするときアドレスラップ割り込み要求 (INTATRAP) が発生します。

アドレスラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。



また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

### 6.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大  $24/f_c$  [s] ( $1.5 \mu\text{s}$  @  $f_c = 16.0 \text{ MHz}$ ) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で  $24/f_c$  (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

## 第7章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

### 7.1 タイムベースタイマ

#### 7.1.1 構成

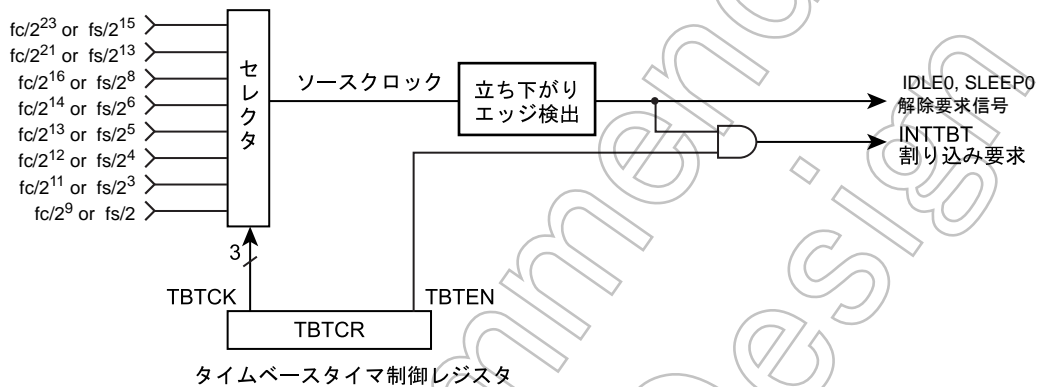


図 7-1 タイムベースタイマの構成

#### 7.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

#### タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCCK				(初期値 : 0000 0000)

TBTCCK	タイムベースタイマの 許可 / 禁止	0: ディセーブル 1: イネーブル			R/W
		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
		DV7CK = 0	DV7CK = 1		
000		fc/2 <sup>23</sup>	fs/2 <sup>15</sup>	fs/2 <sup>15</sup>	
001		fc/2 <sup>21</sup>	fs/2 <sup>13</sup>	fs/2 <sup>13</sup>	
010		fc/2 <sup>16</sup>	fs/2 <sup>8</sup>	—	
011		fc/2 <sup>14</sup>	fs/2 <sup>6</sup>	—	
100		fc/2 <sup>13</sup>	fs/2 <sup>5</sup>	—	
101		fc/2 <sup>12</sup>	fs/2 <sup>4</sup>	—	
110		fc/2 <sup>11</sup>	fs/2 <sup>3</sup>	—	
111		fc/2 <sup>9</sup>	fs/2	—	

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*: Don't care

注2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を  $fc/2^{16}$  [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 7
```

表 7-1 タイムベースタイマ割り込み周波数 (例 :  $fc = 16.0$  MHz,  $fs = 32.768$  kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	—
011	976.56	512	—
100	1953.13	1024	—
101	3906.25	2048	—
110	7812.5	4096	—
111	31250	16384	—

### 7.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

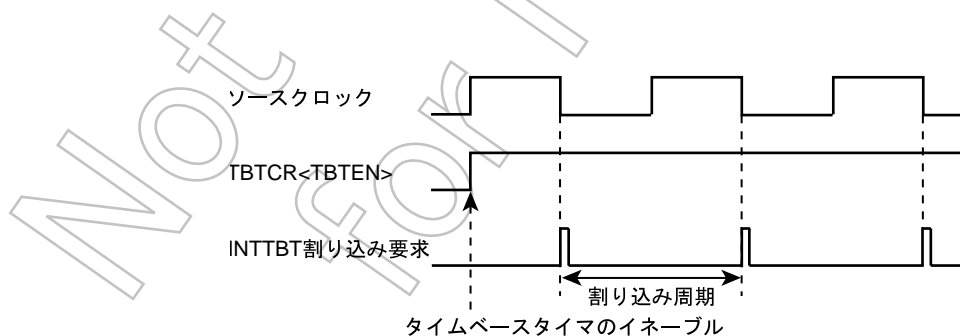


図 7-2 タイムベースタイマ割り込み

## 7.2 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 $\overline{DVO}$  端子から出力されます。

### 7.2.1 構成

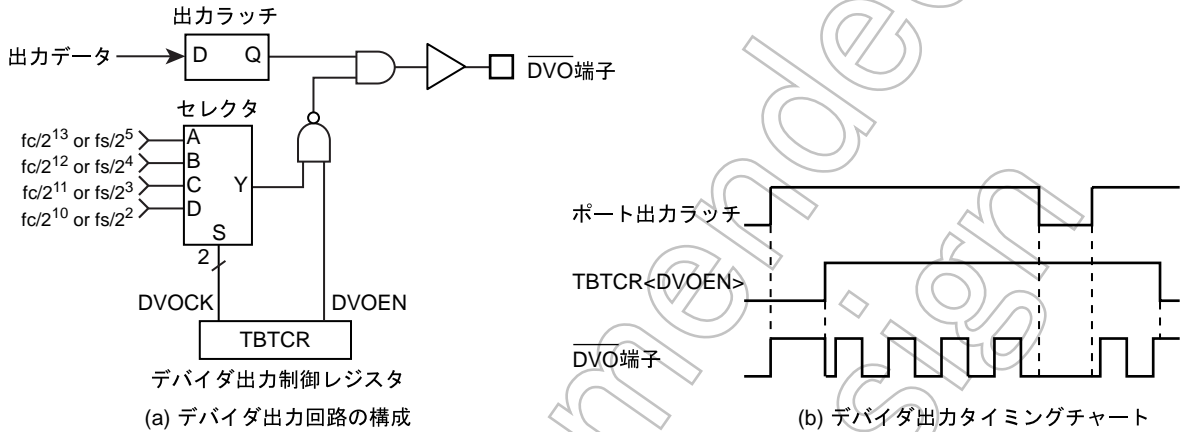


図 7-3 デバイダ出力

### 7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

#### タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)				(TBTCK)	(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			R/W	
DVOCK	デバイダ出力 ( $\overline{DVO}$ 端子) の周波数選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1		
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$		$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$			

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ( $f_c = 16.0$  MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

表 7-2 デバイダ出力の周波数 (例:  $f_c = 16.0$  MHz,  $f_s = 32.768$  kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k



## 8.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

### タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0021H, 0020H)	TC1DRAH (0021H)								TC1DRAL (0020H)							
	(初期値: 1111 1111 1111 1111)								Read/Write							
TC1DRB (0023H, 0022H)	TC1DRBH (0023H)								TC1DRBL (0022H)							
	(初期値: 1111 1111 1111 1111)								Read/Write (PPG 出力モード時のみ Write 可)							

### タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0
TC1CR (0032H)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	Read/Write (初期値: 0000 0000)		

TFF1	タイマ F/F1 制御	0: クリア	1: セット	R/W	
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル	R/W	
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ		
METT1	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート & ストップ		
MPPG1	PPG 出力制御	0: 連続	1: 単発		
TC1S	タイマカウンタ 1 のスタート制御	00: ストップ & カウンタクリア	01: コマンドスタート		R/W
		10: 立ち上がりエッジスタート (外部トリガ / パルス / PPG) 立ち上がりエッジカウント (イベント) 正論理カウント (ウィンドウ)	11: 立ち下がりエッジスタート (外部トリガ / パルス / PPG) 立ち下がりエッジカウント (イベント) 負論理カウント (ウィンドウ)		
		NORMAL 1/2, IDLE 1/2 モード		デバイダ	
		DV7CK = 0	DV7CK = 1		
TC1CK	タイマカウンタ 1 のソースクロックの選択 単位: [Hz]	00: $fc/2^{11}$	01: $fc/2^7$	R/W	
		10: $fc/2^3$	11: 外部クロック (TC1 端子入力)		
TC1M	タイマカウンタ 1 の動作モードの選択	00: タイマ / 外部トリガタイマ / イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード			R/W

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。  
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。
- 注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design



## 8.3 機能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

### 8.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック1周期以上の時間が経過した後に行ってください。

表 8-1 タイマカウンタ1の内部ソースクロック (例:  $f_c = 16 \text{ MHz}$ ,  $f_s = 32.768 \text{ kHz}$  時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		分解能 [ $\mu\text{s}$ ]	最大設定 時間 [s]
	分解能 [ $\mu\text{s}$ ]	最大設定 時間 [s]	分解能 [ $\mu\text{s}$ ]	最大設定 時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

(プログラム例1) ソースクロック  $f_c/2^{11}$  [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。(  $f_c = 16 \text{ MHz}$ ,  $\text{TBTCR}<\text{DV7CK}> = \text{"0"}$  時)

LDW (TC1DRA), 1E84H ; タイマレジスタの設定 ( $1 \text{ s} \div 2^{11}/f_c = 1\text{E}84\text{H}$ )

DI ; IMF = "0"

SET (EIRL), 5 ; INTTC1 割り込みを許可

EI ; IMF = "1"

LD (TC1CR), 00000000B ; ソースクロック, モード選択

LD (TC1CR), 00010000B ; TC1 スタート

(プログラム例2) 自動キャプチャ

LD (TC1CR), 01010000B ; ACAP1  $\leftarrow$  1

: : :

LD WA, (TC1DRB) ; キャプチャ値の読み出し

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック1周期以上の時間が経過した後に行ってください。

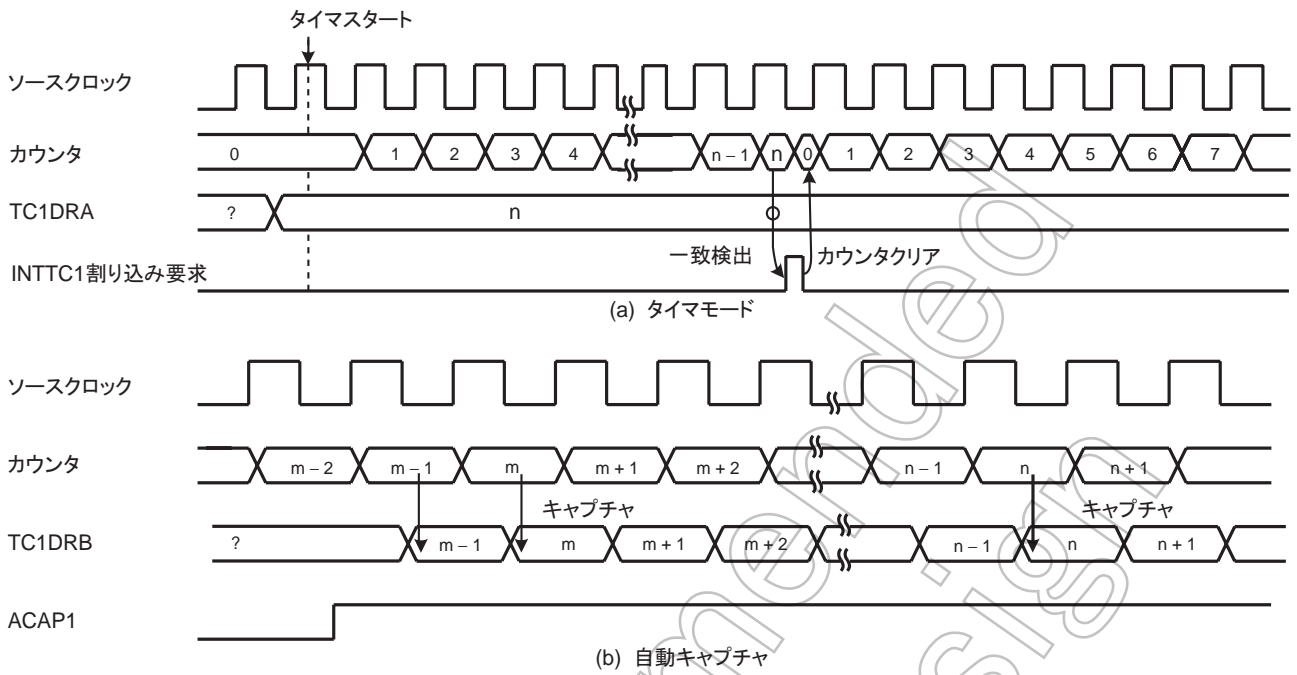


図 8-2 タイマモードタイミングチャート

Not Recommended for New Design

### 8.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC1CR<METT1> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC1CR<METT1> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時  $4/f_c$  [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/f_c$  [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

(プログラム例 1) TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。

( $f_c = 16 \text{ MHz}$  時)

LDW	(TC1DRA), 007DH	; $1\text{ms} \div 2^7/f_c = 7\text{DH}$
DI		; IMF= "0"
SET	(EIRL), 5	; INTTC1 割り込み許可
EI		; IMF= "1"
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 00100100B	; TC1 外部トリガスタート, METT1 = 0

(プログラム例2) TC1 端子に“L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

LDW	(TC1DRA), 01F4H	; 4 ms ÷ 2 <sup>7</sup> /fc = 1F4H
DI		; IMF=“0”
SET	(EIRL). 5	; INTTC1 割り込み許可
EI		; IMF=“1”
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 01110100B	; TC1 外部トリガスタート, METT1=1

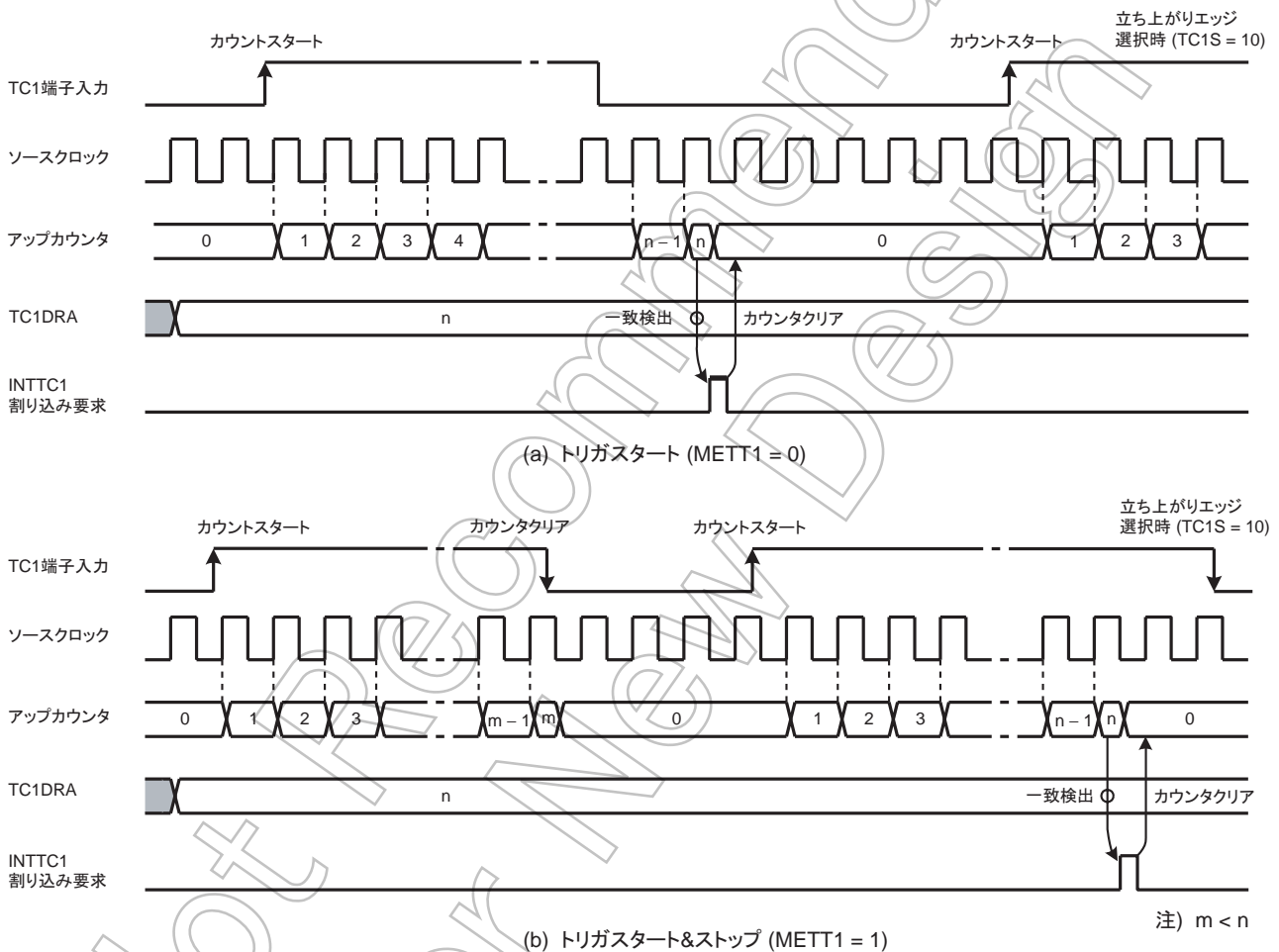


図 8-3 外部トリガタイマモードタイミングチャート

### 8.3.3 イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを続けます。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1> を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

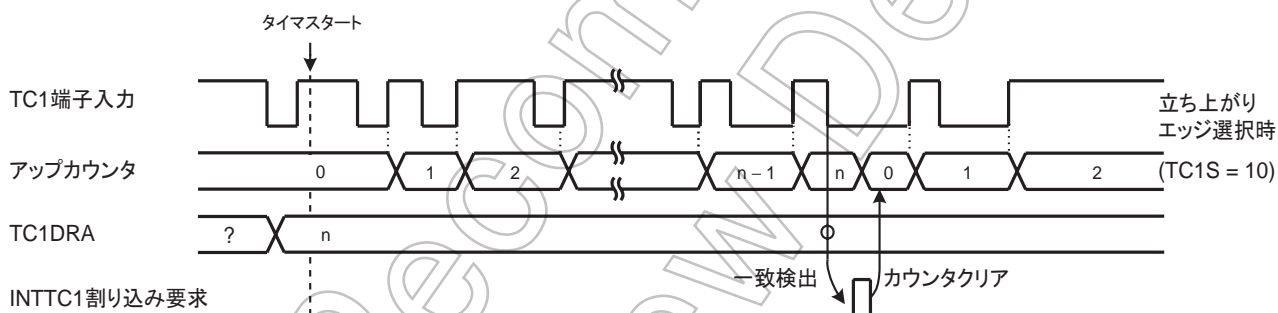


図 8-4 イベントカウンタモード タイミングチャート

表 8-2 タイマカウンタ 1 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

### 8.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC1CR<TC1S> によって正論理 (H レベルの期間カウントアップ) または負論理 (L レベルの期間カウントアップ) の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC1CR<TC1CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

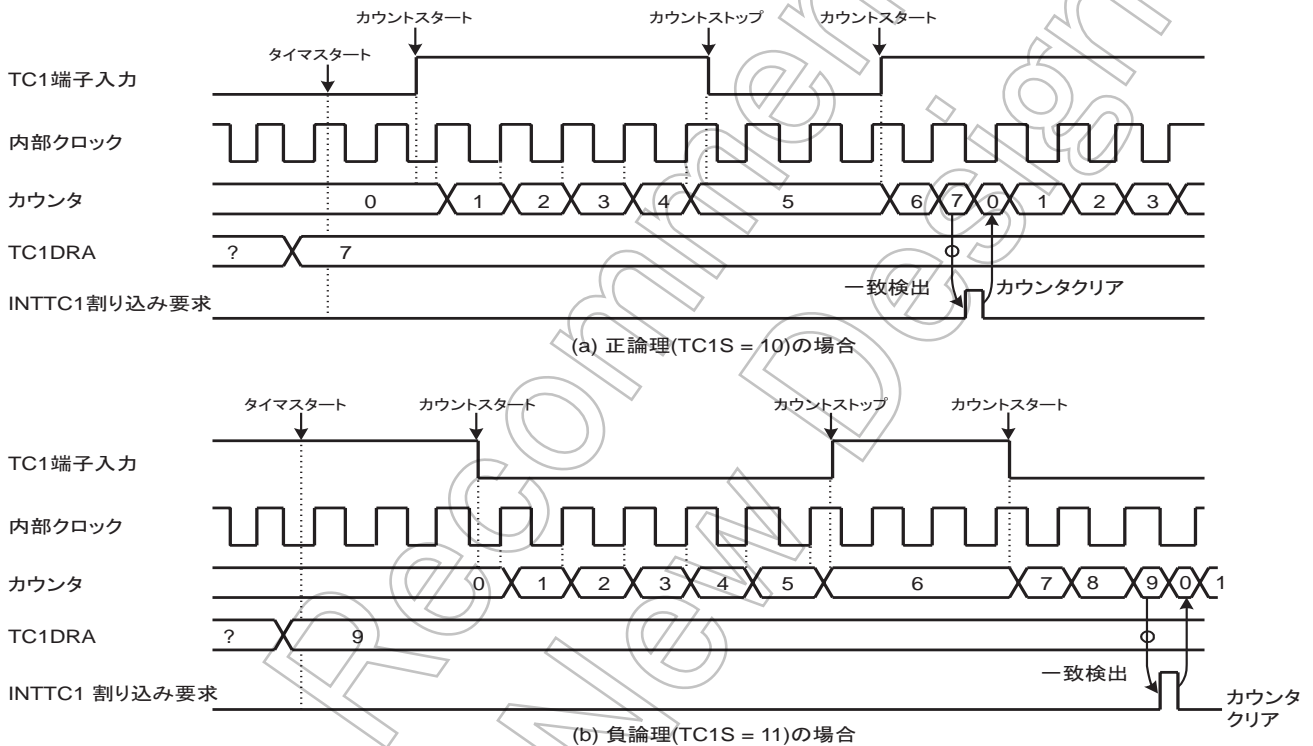


図 8-5 ウィンドウモード タイミングチャート

### 8.3.5 パルス幅測定モード

パルス幅測定モードは、TC1端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1>によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC1CR<MCAP1>= “1” (片エッジキャプチャ)の場合

HレベルまたはLレベルのいずれか一方の入力パルス幅を測定することができます。Hレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC1CR<MCAP1>= “0” (両エッジキャプチャ)の場合

Hレベルと周期、またはLレベルと周期のいずれかの入力パルス幅を測定することができます。Hレベルと周期を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルと周期を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

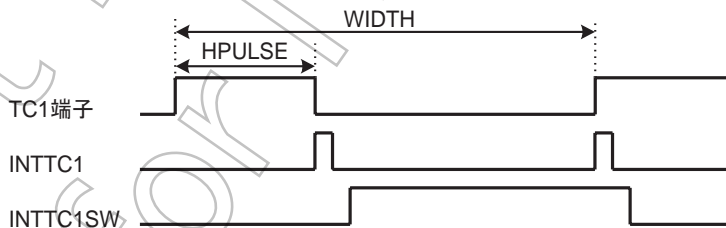
- 注1) キャプチャ値は、次のトリガエッジが検出されるまでにTC1DRBから必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このときTC1DRBは、16ビットアクセス命令による読み出しを推奨します。
- 注2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで“1”で停止するため、2回目のキャプチャ値は、スタート直後のキャプチャ値よりも“1”大きくなります。
- 注3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の1回目のキャプチャ値は読み捨ててください。

(プログラム例) デューティの測定。(分解能  $fc/2^7$  [Hz] 時)

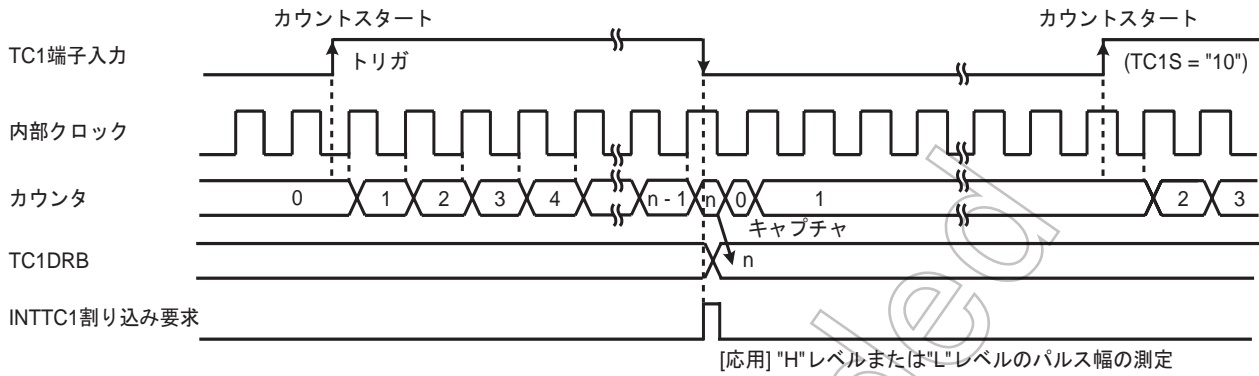
```

CLR      (INTTC1SW). 0      ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                                INTTC1 ごとに反転するように設定したアドレス

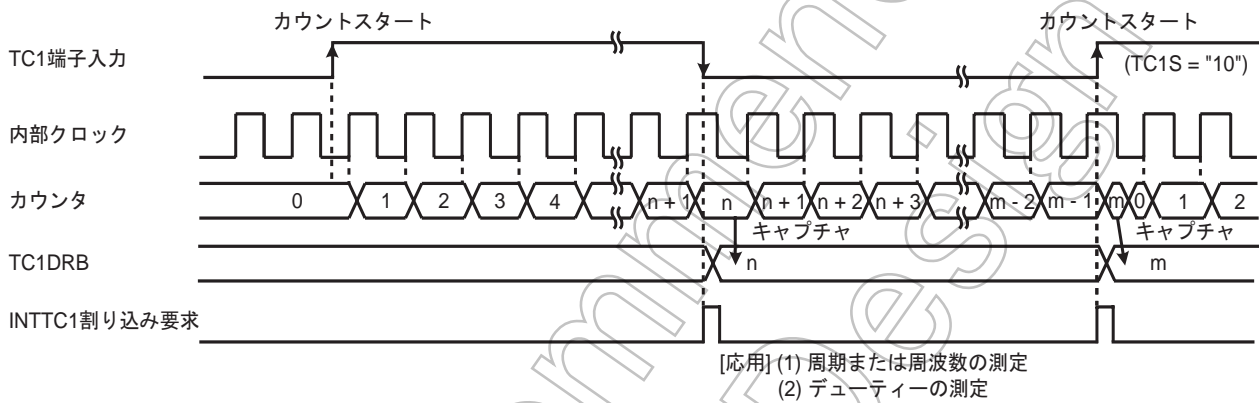
LD      (TC1CR), 00000110B  ; TC1 のモード, ソースクロックを設定
DI      ; IMF= "0"
SET     (EIRL). 5          ; INTTC1 割り込みを許可。
EI      ; IMF= "1"
LD      (TC1CR), 00100110B  ; MCAP1 = 0 で TC1 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC1SW). 0      ; INTTC1 割り込み, INTTC1 のサービススイッチの
                                反転 / テスト
JRS     F, SINTTC1
LD      A, (TC1DRBL)        ; TC1DRB の読み出し ("H" レベルパルス幅)
LD      W,(TC1DRBH)
LD      (HPULSE), WA        ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD      A, (TC1DRBL)        ; TC1DRB の読み出し (周期)
LD      W,(TC1DRBH)
LD      (WIDTH), WA        ; 周期を RAM に格納
:
RETI    ; デューティ計算
:
VINTTC1: DW      PINTTC1        ; INTTC1 割り込みベクタ設定
    
```







(a) 片エッジキャプチャ (MCAP1 = "1")



(b) 両エッジキャプチャ (MCAP1 = "0")

図 8-6 パルス幅測定モード

### 8.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S> によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC1CR<MPPG1>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると  $\overline{\text{PPG}}$  端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC1S を "00" に設定すると、 $\overline{\text{PPG}}$  端子は停止直前のレベルを保持します。

- TC1CR<MPPG1>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると  $\overline{\text{PPG}}$  端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$  端子は TC1CR<TFF1> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1> を "0" に、L レベルに設定する場合は TC1CR<TFF1> を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1> はタイマ動作中に変更しないでください。TC1CR<TFF1> は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1> は正しく設定することができなくなります (このとき TC1CR<TFF1> を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M> を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。  
TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800  $\mu$ s, “L” レベル 200  $\mu$ s のパルスを出力。(fc = 16 MHz 時)

ポートを設定する

```
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW    (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

ポートを設定する

```
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW    (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
:
LD      (TC1CR), 10000111B     ; タイマストップ
LD      (TC1CR), 10000100B     ; タイマモードに設定
LD      (TC1CR), 00000111B     ; PPG 出力モード、TFF1=0 に設定
LD      (TC1CR), 00010111B     ; タイマスタート
```

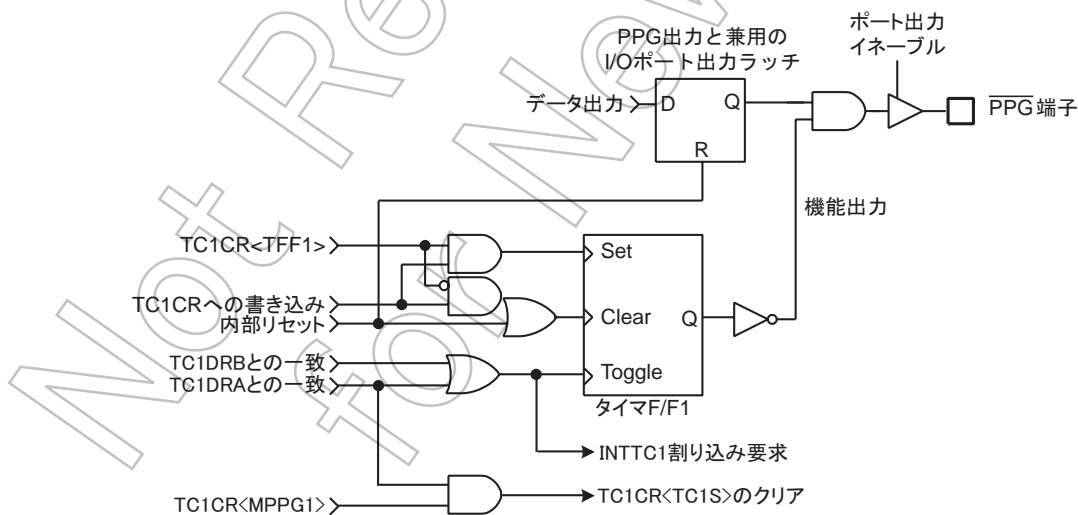


図 8-7 PPG 出力

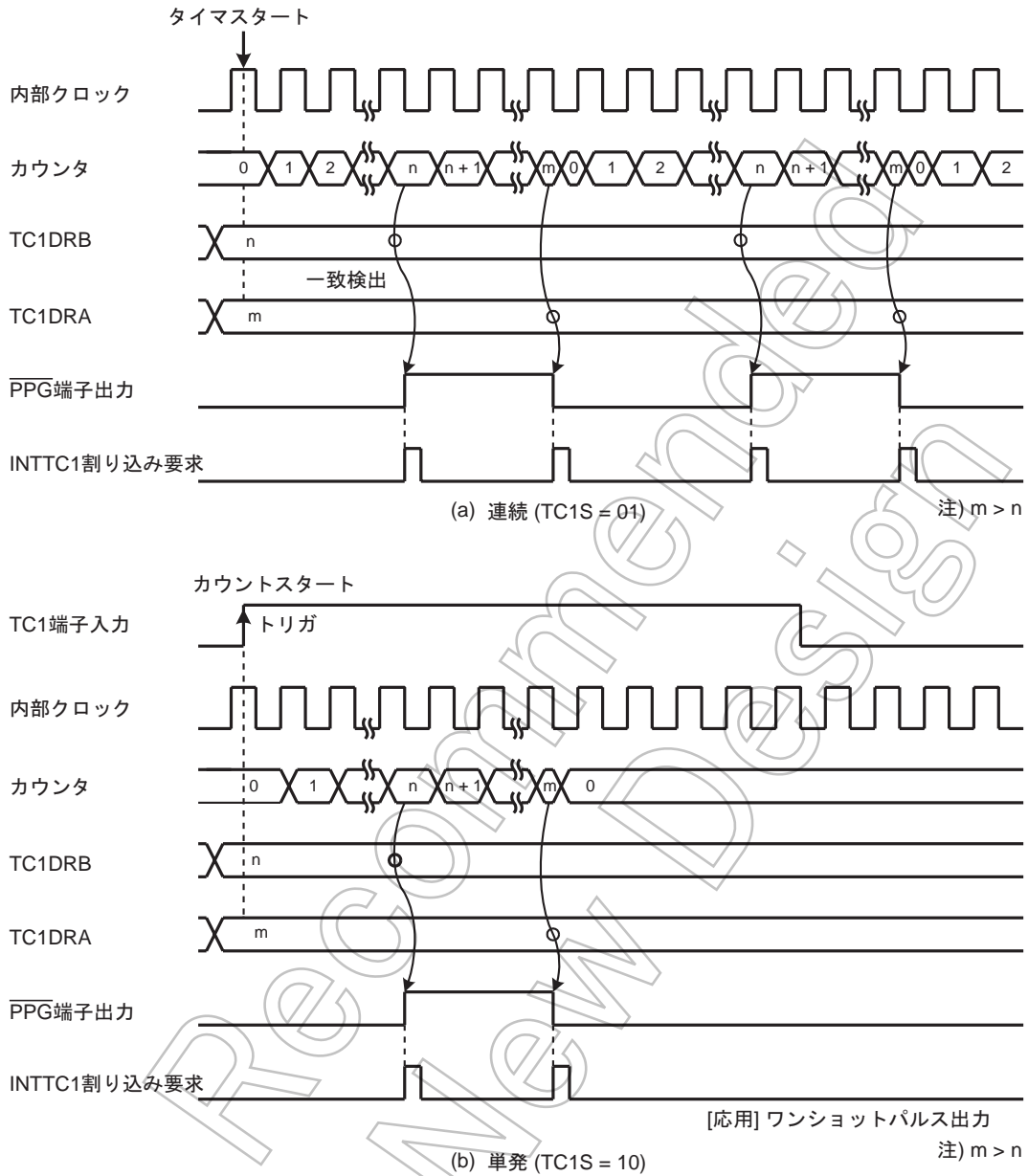
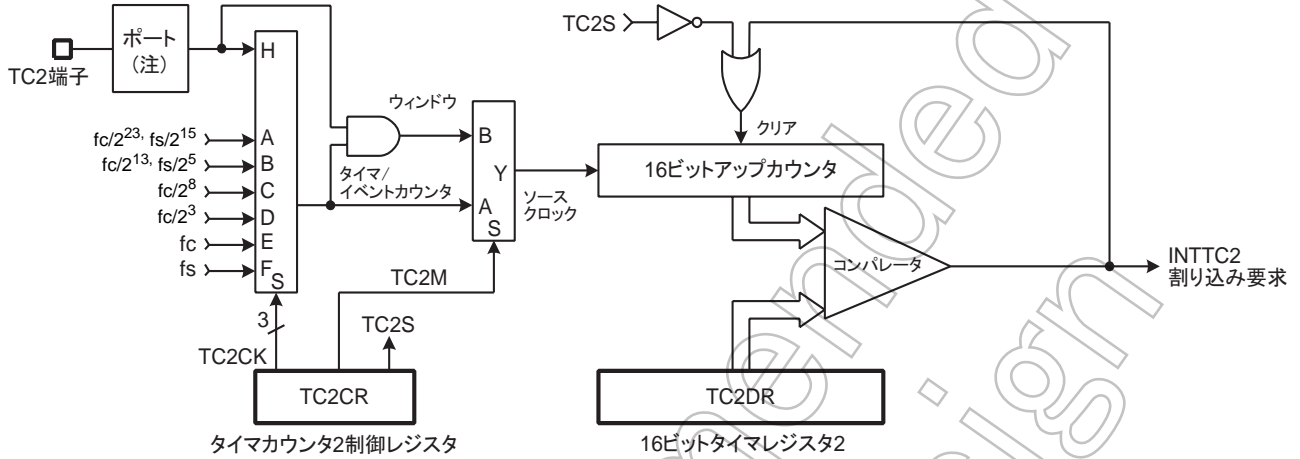


図 8-8 PPG 出力モード タイミングチャート

Not Recommended  
for New Design

## 第9章 16ビットタイマカウンタ2 (TC2)

### 9.1 構成

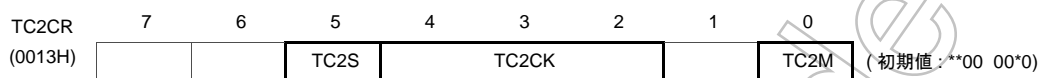
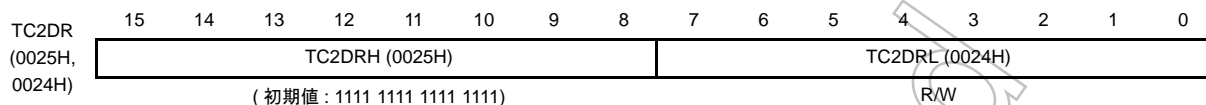


注) I/Oポートの設定によっては、制御入力機能が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 9-1 タイマカウンタ 2 (TC2)

## 9.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TC2DR) で制御されます。



TC2S	タイマカウンタ2の スタート制御	0: ストップ & カウンタクリア 1: スタート					R/W	
TC2CK	タイマカウンタ2の ソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		デバイダ	SLOW1/2 モード	SLEEP1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1					
		000	$fc/2^{23}$	$fs/2^{15}$	DV21	$fs/2^{15}$		$fs/2^{15}$
		001	$fc/2^{13}$	$fs/2^5$	DV11	$fs/2^5$		$fs/2^5$
		010	$fc/2^8$	$fc/2^8$	DV6	-		-
		011	$fc/2^3$	$fc/2^3$	DV1	-		-
		100	-	-	-	fc (注1)		-
		101	fs	fs	-	-		-
110	Reserved							
111	外部クロック (TC2 端子入力)							
TC2M	タイマカウンタ2の 動作モードの選択	0: タイマ/イベントカウンタモード 1: ウィンドウモード					R/W	

注1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*: Don't care

注2) タイマレジスタ2 (TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側だけの書き込みでは、設定値は反映されません。

注3) タイマレジスタ2 (TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。

注4) モード、ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注5) タイマレジスタへの設定値は、次の条件を満たす必要があります。  
TC2DR > 1 (ウォームアップのときは TC2DR<sub>15</sub> ~ TC2DR<sub>11</sub> > 1)

注6) TC2CR にリード命令を実行すると、ビット 1, 6, 7 は不定値が読み込まれます。

注7) ソースクロックに fc は、SLOW2 モード時のタイマモードのみ使用することができます。

注8) STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ2を使用する場合は、TC2S を再設定してください。

### 9.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

またタイマモードでは、ソースクロックとして  $f_c$  または  $f_s$  を選択すると、SLOW1 モードと NORMAL2 モード間で動作モードを切り替えるとき、発振子が安定するまでのウォーミングアップ時間を生成することができます。

#### 9.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 2 (TC2DR) の設定値との一致で INTTC2 割り込み要求が発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードでソースクロックに  $f_c$  を選択すると、TC2DR の下位 11 ビットは比較対象とはならず、上位 5 ビットのみ的一致で INTTC2 割り込み要求が発生します。従ってこの場合、TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表 9-1 タイマカウンタ 2 の内部クロックソース (例:  $f_c = 16 \text{ MHz}$ ,  $f_s = 32.768 \text{ kHz}$  時)

TC2CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード		SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能	最大設定時間	分解能	最大設定時間
	分解能	最大設定時間	分解能	最大設定時間				
000	524.29 [ms]	9.54 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]
001	512.0 [ $\mu\text{s}$ ]	33.55 [s]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]
010	16.0 [ $\mu\text{s}$ ]	1.05 [s]	16.0 [ $\mu\text{s}$ ]	1.05 [s]	-	-	-	-
011	0.5 [ $\mu\text{s}$ ]	32.77 [ms]	0.5 [ $\mu\text{s}$ ]	32.77 [ms]	-	-	-	-
100	-	-	-	-	62.5 [ns]	-	-	-
101	30.52 [ $\mu\text{s}$ ]	2 [s]	30.52 [ $\mu\text{s}$ ]	2 [s]	-	-	-	-

注) ソースクロック  $f_c$  は SLOW モード時のタイマモードでのみ使用可能です。これは SLOW1 モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

(プログラム例) ソースクロック  $f_c/2^3$  [Hz] で、タイマモードにセットし、25 ms ごとに割り込みを発生させる。(  $f_c = 16 \text{ MHz}$  時 )

```
LDW      (TC2DR), 061AH      ; TC2DR の設定 (25 ms ÷ 28/fc = 061AH)
DI                          ; IMF= "0"
SET      (EIRH), 5          ; INTTC2 割り込みを許可
EI                          ; IMF= "1"
LD       (TC2CR), 00001000B ; ソースクロック / モード選択
LD       (TC2CR), 00101000B ; タイマスタート
```



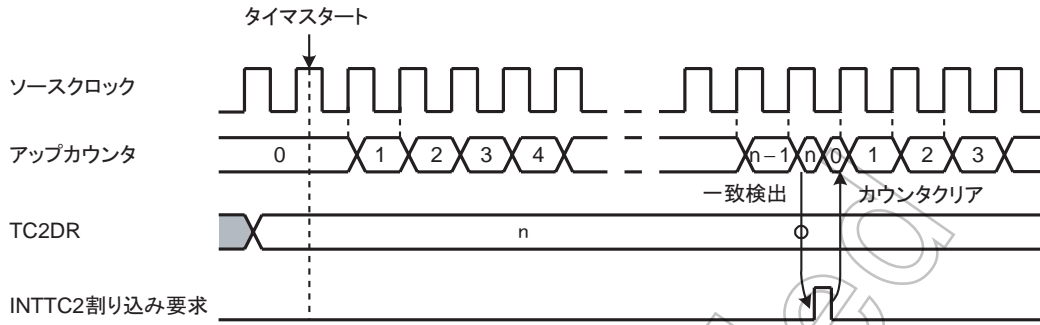


図 9-2 タイマモードタイミングチャート

Not Recommended for New Design

### 9.3.2 イベントカウンタモード

イベントカウンタモードは、TC2端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC2DR の設定値が一致すると INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC2 端子入力の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC2 端子入力の立ち下がりエッジで行われますので、INTTC2 割り込み要求は、アップカウンタと TC2DR が同値になった後の立ち下がりエッジで発生します。

TC2 端子への最小入力パルス幅は、表 9-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

(プログラム例) イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込み要求を発生させる。

```
LDW      (TC2DR), 640      ; TC2DR の設定
DI       ; IMF="0"
SET      (EIRH), 5        ; INTTC2 割り込みを許可
EI       ; IMF="1"
LD       (TC2CR), 00011100B ; TC2 ソースクロック / モード選択
LD       (TC2CR), 00111100B ; TC2 スタート
```

表 9-2 タイマカウンタ 2 の外部クロックソース

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

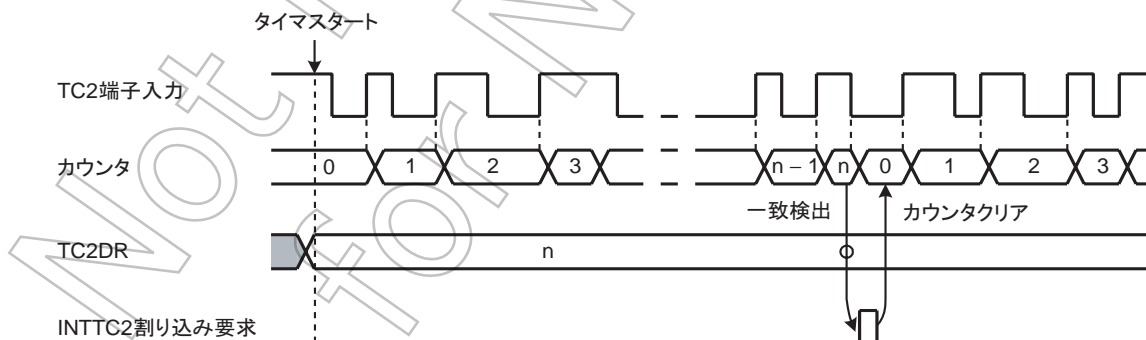


図 9-3 イベントカウンタモードタイミングチャート

### 9.3.3 ウィンドウモード

ウィンドウモードは、TC2 端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。アップカウンタの値と TC2DR の設定値が一致すると、INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC2CR<TC2CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

注) ウィンドウモードは SLOW/SLEEP モードで動作しませんので、NORMAL モードでウィンドウモードを使用しているときは、SLOW/SLEEP モードを起動する前に TC2CR<TC2S> を “0” に設定してあらかじめタイマカウンタ2を停止してください。

(プログラム例) 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる。  
( $f_c = 16 \text{ MHz}$ ,  $\text{TBTCR}\langle\text{DV7CK}\rangle = \text{“0”}$  時)

```
LDW      (TC2DR), 00EAH      ; TC2DR の設定 ( $120 \text{ ms} \div 2^{13}/f_c = 00EAH$ )
DI       ; IMF=“0”
SET      (EIRH), 5          ; INTTC2 割り込みを許可
EI       ; IMF=“1”
LD       (TC2CR), 00000101B ; TC2 ソースクロック / モード選択
LD       (TC2CR), 00100101B ; TC2 スタート
```

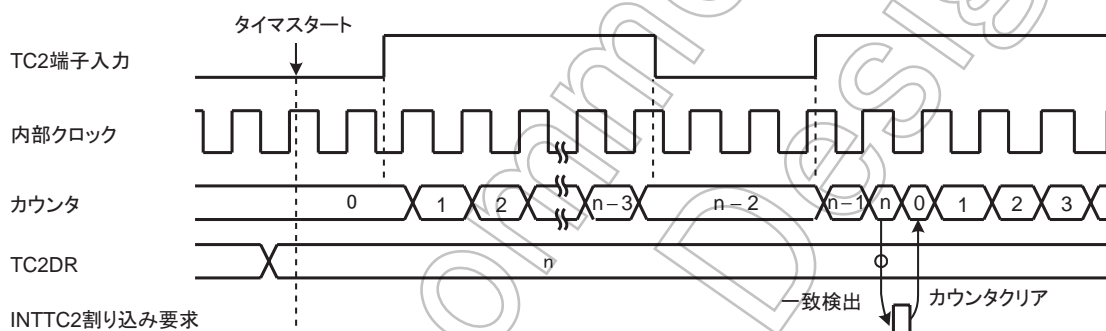
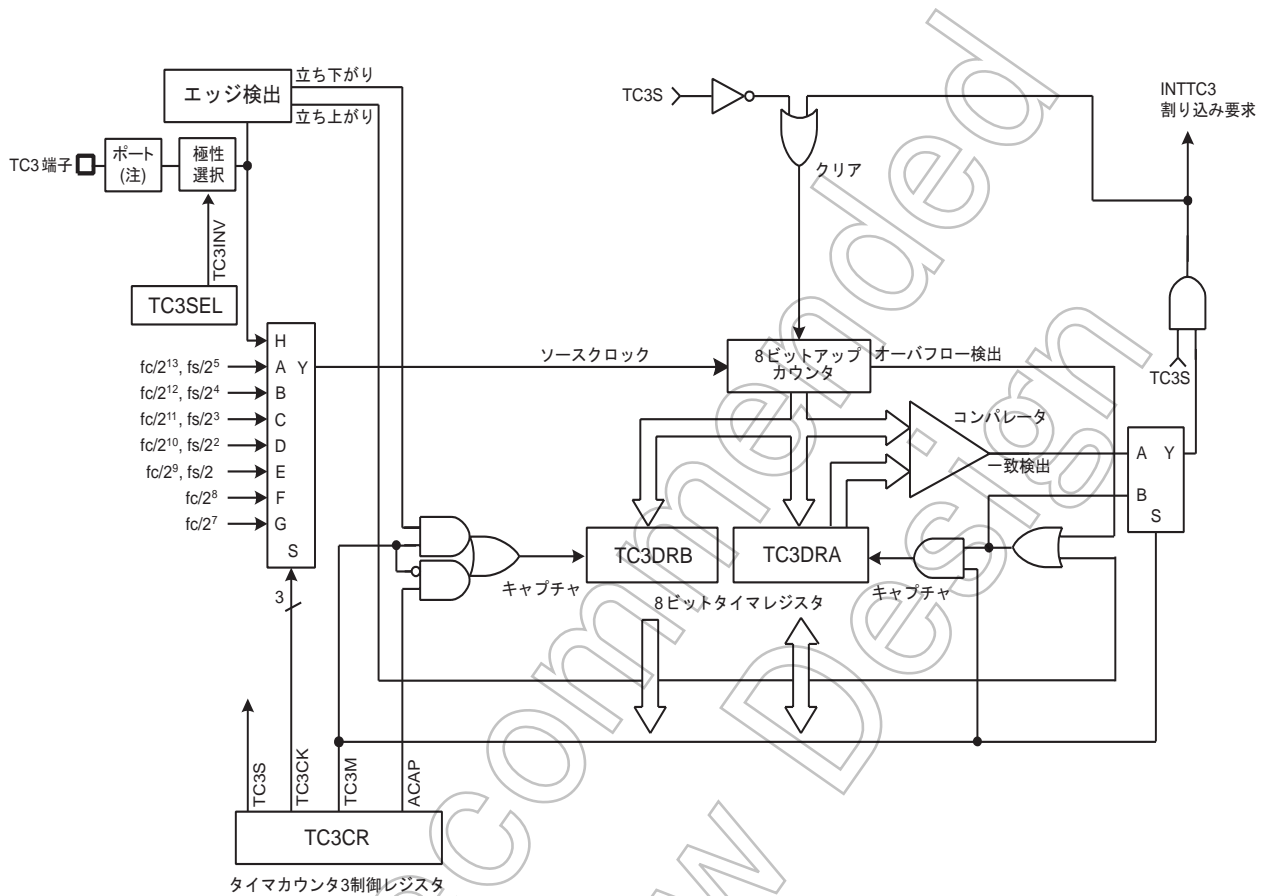


図 9-4 ウィンドウモードタイミングチャート

# 第 10 章 8 ビットタイマカウンタ 3 (TC3)

## 10.1 構成



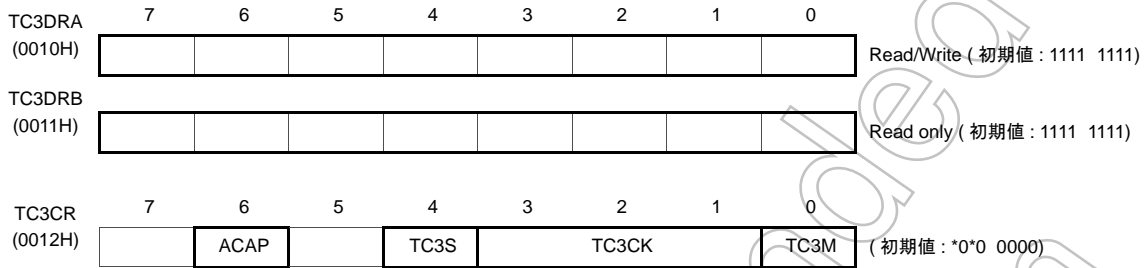
注) I/O ポートの設定によっては、制御入力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図 10-1 タイマカウンタ 3 (TC3)

## 10.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TC3DRA, TC3DRB) で制御されます。

### タイマカウンタ 3 のタイマレジスタと制御レジスタ



ACAP	自動キャプチャ制御	0: - 1: 自動キャプチャ	R/W					
TC3S	タイマカウンタ 3 のスタート制御	0: ストップ & カウンタクリア 1: スタート	R/W					
TC3CK	タイマカウンタ 3 のソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		デバイダ SLOW1/2, SLEEP1/2 モード	R/W			
			DV7CK = 0			DV7CK = 1		
		000	$fc/2^{13}$			$fs/2^5$	DV11	$fs/2^5$
		001	$fc/2^{12}$			$fs/2^4$	DV10	$fs/2^4$
		010	$fc/2^{11}$			$fs/2^3$	DV9	$fs/2^3$
		011	$fc/2^{10}$			$fs/2^2$	DV8	$fs/2^2$
		100	$fc/2^9$			$fs/2$	DV7	$fs/2$
		101	$fc/2^8$			$fc/2^8$	DV6	-
110	$fc/2^7$	$fc/2^7$	DV5	-				
111	外部クロック (TC3 端子入力)							
TC3M	タイマカウンタ 3 の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード	R/W					

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*: Don't care

注 2) 動作モード, ソースクロックは、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。

注 3) タイマレジスタ 3A (TC3DRA) への設定値は、次の条件を満たす必要があります。  
TC3DRA > 1 (タイマ/イベントカウンタモード時)

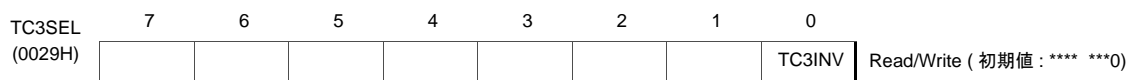
注 4) 自動キャプチャ (ACAP) はタイマ/イベントカウンタモード時のみ使用可能です。

注 5) TC3CR に対しリード命令を実行すると、ビット 5,7 は、不定値が読み込まれます。

注 6) タイマ動作中 (TC3S = "1") は、TC3DRA を書き換えないでください。

注 7) STOP モードを起動すると、スタート制御 (TC3S) は自動的に "0" にクリアされ、タイマは停止します (その他のレジスタの値は保持されます)。STOP モード解除後、タイマカウンタを使用する場合は、TC3S) を "1" に再設定してください。

### TC3 端子の入力制御レジスタ



TC3INV	TC3 端子の入力制御	イベントカウントモード		キャプチャモード		R/W
		0:	立ち上がりエッジでカウント	立ち上がりエッジで割り込み発生	立ち上がりエッジで割り込み発生	
		1:	立ち下がりエッジでカウント	立ち下がりエッジで割り込み発生	立ち下がりエッジで割り込み発生	

注) TC3SEL に対してリード命令を実行すると、ビット 7~1 は不定値が読み込まれます。

### 10.3 機能

タイマカウンタ 3 には、タイマ、イベントカウンタ、キャプチャの 3 つの動作モードがあります。

#### 10.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 3A (TC3DRA) の設定値が一致すると INTTC3 割り込みが発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを続けます。

なお、TC3CR<ACAP> を “1” にセットすると、以降アップカウンタの値が継続してタイマレジスタ B (TC3DRB) に取り込まれます (自動キャプチャ機能)。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注) 一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません (図 10-2)。

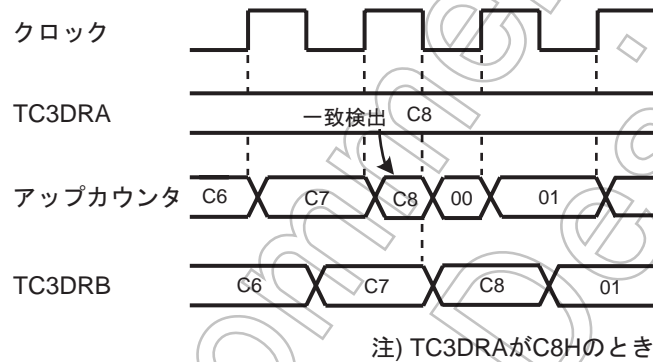
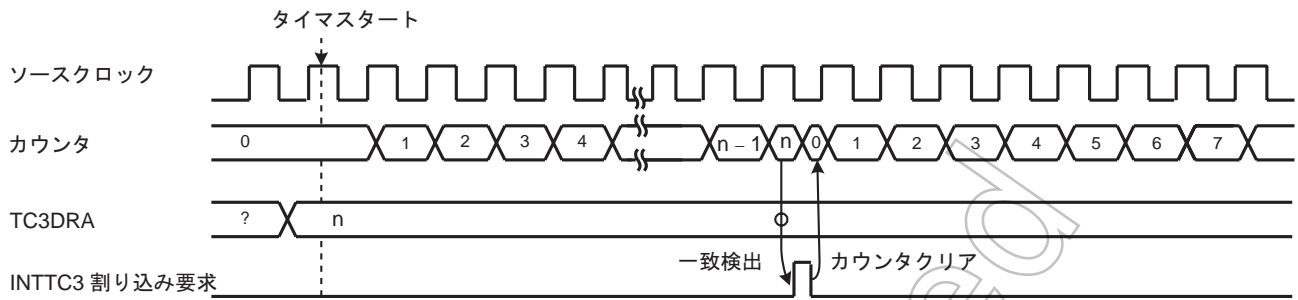


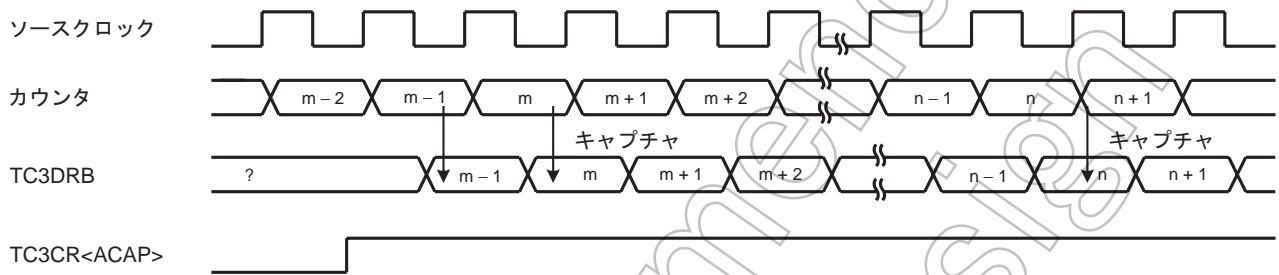
図 10-2 自動キャプチャ機能

表 10-1 タイマカウンタ 3 の内部クロックソース (例:  $f_c = 16 \text{ MHz}$ ,  $f_s = 32.768 \text{ kHz}$  時)

TC3CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	512	130.6	976.56	249.0	976.56	249.0
001	256	65.3	488.28	124.5	488.28	124.5
010	128	32.6	244.14	62.3	244.14	62.3
011	64	16.3	122.07	31.1	122.07	31.1
100	32	8.2	61.01	15.6	61.01	15.6
101	16	4.1	16.0	4.1	-	-
110	8	2.0	8.0	2.0	-	-



(a) タイマモード



(b) 自動キャプチャ

図 10-3 タイマモードタイミングチャート

### 10.3.2 イベントカウンタモード

イベントカウンタモードは、TC3 端子入力の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC3SEL<TC3INV> によって立ち上がり、または立ち下りのいずれかを選択することができます。

アップカウンタの値と TC3DRA の設定値が一致すると INTTC3 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC3 端子入力のエッジごとにカウントアップを続けます。なお、一致検出は選択されたエッジとは逆側のエッジで行われますので INTTC3 割り込み要求は、アップカウンタと TC3DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

最大印加周波数は、表 10-2 のとおりです。“H”、“L” レベルとも 1 マシンサイクル以上のパルス幅が必要です。

なお、TC3CR<ACAP> を“1” にセットすると、以降アップカウンタの値が継続してタイマレジスタ B(TC3DRB) に取り込まれます（自動キャプチャ機能）。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注) 一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません (図 10-2)。

(プログラム例) TC3 端子に 50 Hz のパルスを入力し、0.5 s ごとに割り込みを発生させる。

```
LD      (TC3SEL), 00000000B ; カウントアップエッジの選択
LD      (TC3CR), 00001110B ; クロックモードの設定
LD      (TC3DRA), 19H      ; 0.5 s ÷ 1/50 = 25 = 19H
LD      (TC3CR), 00011110B ; TC3 スタート
```

表 10-2 TC3 端子の最大印加周波数

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^2/f_c$	$2^2/f_s$
“L” 幅	$2^2/f_c$	$2^2/f_s$

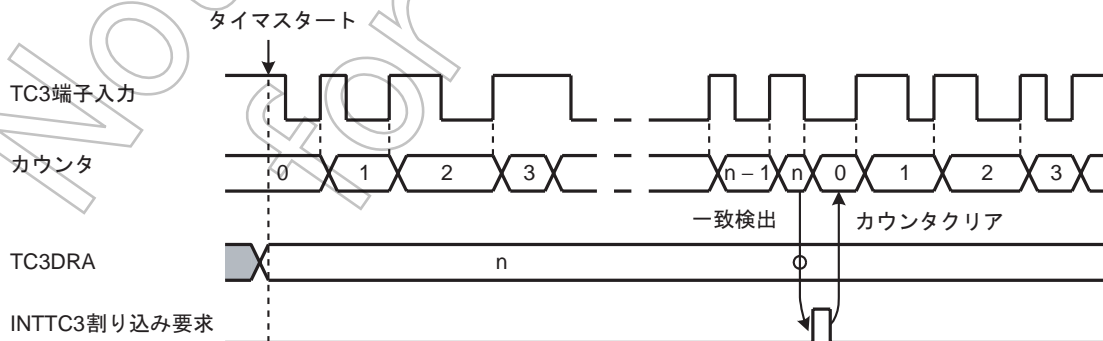


図 10-4 イベントカウンタモードタイミングチャート (TC3SEL<TC3INV>="0")



### 10.3.3 キャプチャモード

キャプチャモードは、TC3 端子入力のパルス幅、周期、デューティなどを内部クロックで測定するモードで、リモコン信号のデコードや AC50/60 Hz 識別などに利用することができます。

INTTC3 割り込みの発生エッジは、TC3SEL<TC3INV> によって立ち上がりエッジまたは立ち下がりエッジを選択することができます。通常、キャプチャの開始エッジが立ち下がりエッジの場合 TC3SEL<TC3INV>="0" を、立ち上がりエッジの場合 TC3SEL<TC3INV>="1" を使用します。

- TC3SEL<TC3INV>="0" のとき

タイマスタート後、TC3 端子入力の立ち下がりエッジを検出すると、そのときのアップカウンタの値が TC3DRB に取り込まれます。その後、立ち上がりエッジを検出すると、そのときのアップカウンタの値が TC3DRA に取り込まれ、INTTC3 割り込み要求が発生します。このときアップカウンタはクリアされます。通常は INTTC3 の割り込み処理で TC3DRB、TC3DRA を読み出します。アップカウンタのクリア後もカウントは継続し、続けて次のキャプチャが行われます。

なお、タイマスタート直後に立ち上がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込み要求が発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 "FF") が読み込まれます。

- TC3SEL<TC3INV>="1" のとき

タイマスタート後、TC3 端子入力の立ち上がりエッジを検出すると、そのときのアップカウンタの値が TC3DRB に取り込まれます。その後、立ち下がりエッジを検出すると、そのときのアップカウンタの値が TC3DRA に取り込まれ、INTTC3 割り込み要求が発生します。このときアップカウンタはクリアされます。通常は INTTC3 の割り込み処理で TC3DRB、TC3DRA を読み出します。アップカウンタのクリア後もカウントは継続し、続けて次のキャプチャが行われます。

なお、タイマスタート直後に立ち下がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込み要求が発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 "FF") が読み込まれます。

表 10-3 TC3SEL<TC3INV> によるキャプチャ入力エッジ

TC3SEL<TC3INV>	TC3DRB へのキャプチャ	TC3DRA へのキャプチャ	INTTC3 割り込み要求
"0"	立ち下がりエッジ		立ち上がりエッジ
"1"		立ち上がりエッジ	立ち下がりエッジ

最小入力パルス幅は、TC3CR<TC3CK> によって選択されたソースクロックの 1 サイクル幅以上必要です。

キャプチャ動作中、エッジが検出される前にアップカウンタがオーバフロー (FFH) すると INTTC3 割り込み要求が発生します。オーバフローが発生すると TC3DRA は FFH にセットされアップカウンタはクリアされます。その後、アップカウンタはカウントを継続しますが、キャプチャおよびオーバフロー検出は TC3DRA を読み出すまで実行されません。キャプチャおよびオーバフロー検出は、TC3DRA を読み出すと再開しますので、通常は TC3DRB を先に読み出してください。

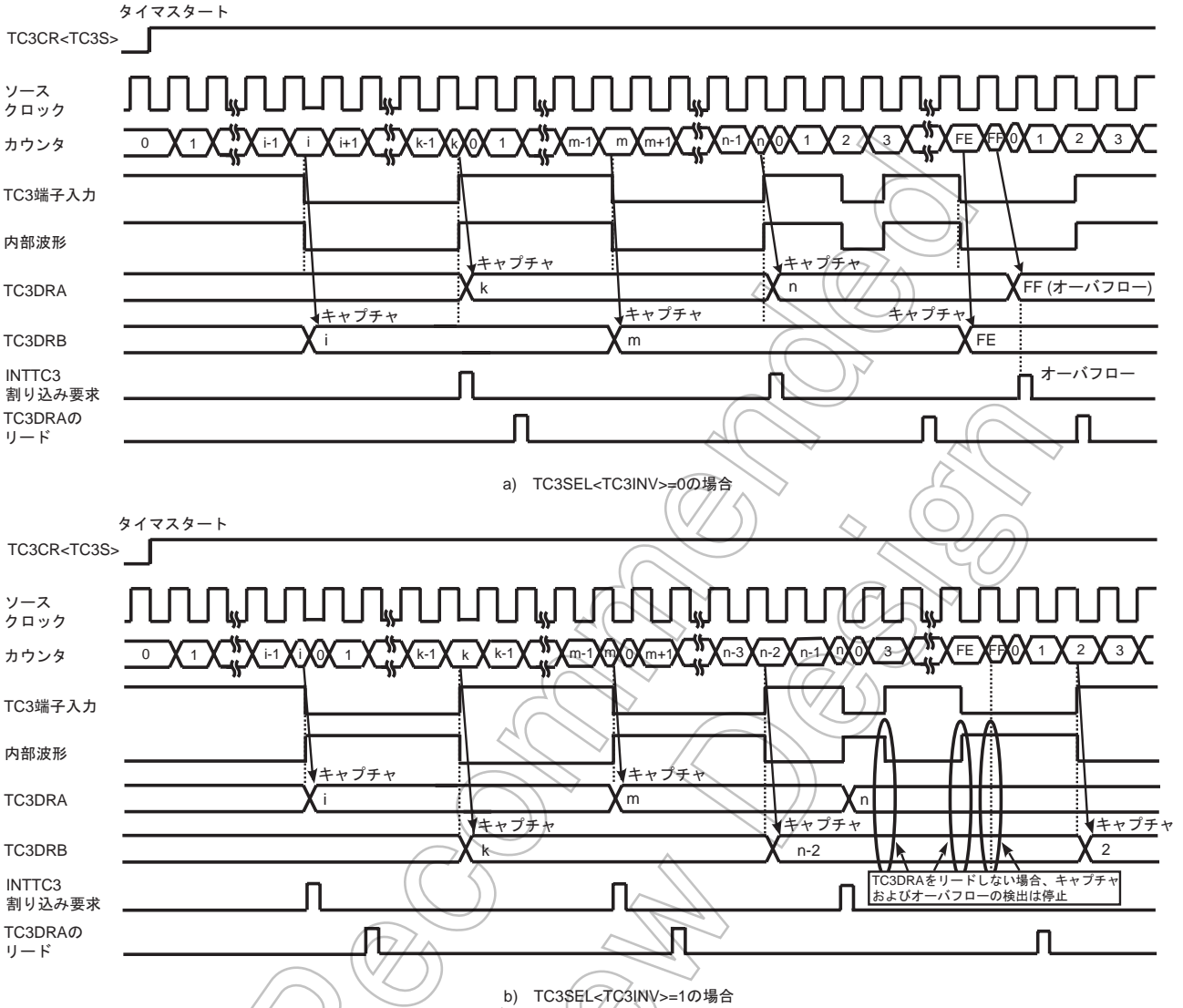
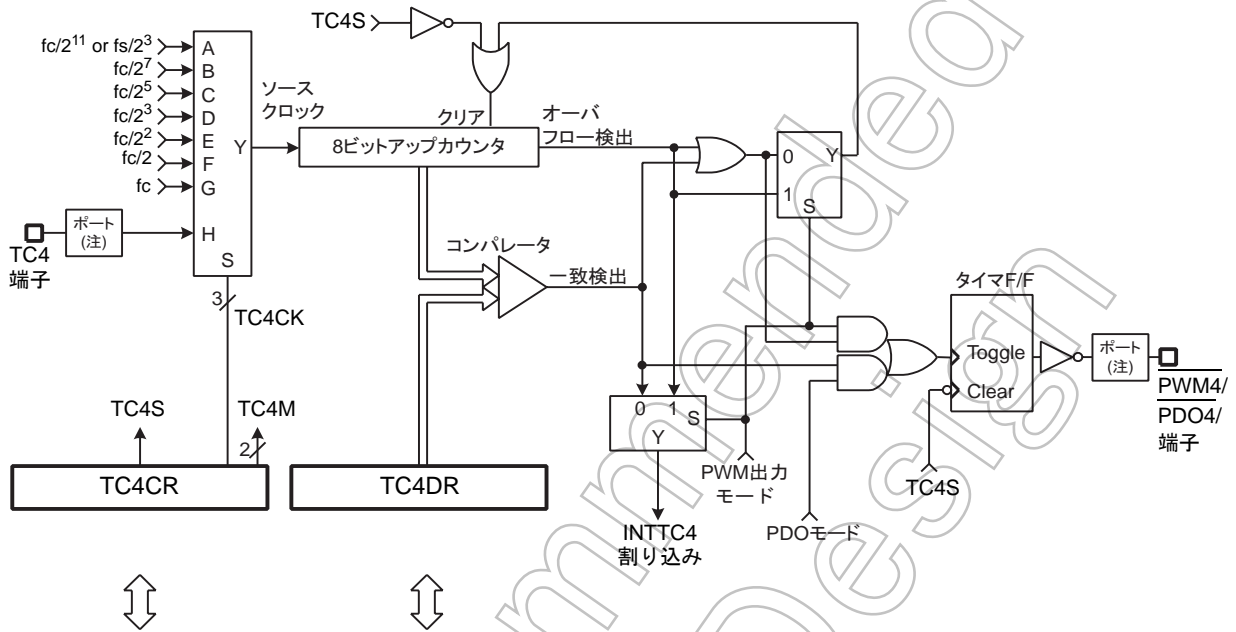


図 10-5 キャプチャモードタイミングチャート

Not Recommended  
for New Design

# 第 11 章 8 ビットタイマカウンタ 4 (TC4)

## 11.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがあります。詳しくはI/Oポートの章を参照してください。

図 11-1 タイマカウンタ 4 (TC4)

## 11.2 制御

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) とタイマレジスタ 4 (TC4DR) で制御されます。

### タイマカウンタ 4 のタイマレジスタと制御レジスタ

TC4DR (0018)	7	6	5	4	3	2	1	0	Read/Write (初期値: 1111 1111)

TC4CR (0014)	7	6	5	4	3	2	1	0	Read/Write (初期値: **00 0000)
			TC4S	TC4CK		TC4M			

TC4S	タイマカウンタ 4 のスタート制御	0: ストップ & カウンタクリア 1: スタート				R/W	
TC4CK	タイマカウンタ 4 のソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		デバイダ	SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0					DV7CK = 1
		000	$fc/2^{11}$	$fs/2^3$	DV9		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	DV5		-
		010	$fc/2^5$	$fc/2^5$	DV3		-
		011	$fc/2^3$	$fc/2^3$	DV1		-
		100	$fc/2^2$	$fc/2^2$	-		-
		101	$fc/2$	$fc/2$	-		-
		110	$fc$	$fc$	-		-
		111	外部クロック (TC4 端子入力)				
TC4M	タイマカウンタ 4 の動作モードの選択	00: タイマ/イベントカウンタモード 01: Reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード				R/W	

- 注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], \*- Don't care
- 注 2) タイマレジスタへの設定値は次の条件を満足する必要があります。  
 $1 \leq TC4DR \leq 255$
- 注 3) タイマ動作開始時 (TC4S = "0" → "1") またはタイマの動作禁止時 (TC4S = "1" → "0") は、TC4CR < TC4M, TC4CK > を書き替えないでください。また、タイマ動作中 (TC4S = "1" → "1") も TC4CR < TC4M, TC4CK > を書き替えないでください。動作中に選択 / 変更を行うと正常にカウント動作が行われません。
- 注 4) イベントカウンタモード, PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 5) STOP モードを起動すると TC4S は自動的に "0" にクリアされます。
- 注 6) TC4CR のビット 6, 7 はリードすると不定値が読み込まれます。
- 注 7) タイマモード、イベントカウンタモード、PDO モード時は、タイマ動作中に TC4DR を書き替えないでください。
- 注 8) 高周波クロック fc が 10 MHz を超える場合には、TC4CK = 110 のソースクロック選択を行わないでください。
- 注 9) NORMAL1, IDLE1 モード使用時 (低周波発振停止時) は、動作クロック fs は使用できません。
- 注 10) 動作モード別による使用可能ソースクロックは下記を参照してください。

		タイマモード	イベントカウンタモード	PDO モード	PWM モード
		000	○	—	○
TC4CK	001	○	—	○	—
	010	○	—	○	—
	011	○	—	—	○
	100	—	—	—	○
	101	—	—	—	○
	110	—	—	—	○
	111	—	○	—	—

Not Recommended  
for New Design

## 11.3 機能

タイマカウンタ 4 には、タイマ、イベントカウンタモード、プログラマブル デバイダ出力 (PDO)、パルス幅変調 (PWM) 出力の 4 つの動作モードがあります。

### 11.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを続けます。

表 11-1 タイマカウンタ 4 の内部クロックソース (例 :  $f_c = 16 \text{ MHz}$ ,  $f_s = 32,768 \text{ kHz}$  時)

TC4CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [ $\mu\text{s}$ ]	最大設定時間 [ms]
	分解能 [ $\mu\text{s}$ ]	最大設定時間 [ms]	分解能 [ $\mu\text{s}$ ]	最大設定時間 [ms]		
000	128.0	32.6	244.14	62.2	244.14	62.2
001	8.0	2.0	8.0	2.0	-	-
010	2.0	0.510	2.0	0.510	-	-
011	0.5	0.128	0.5	0.128	-	-

### 11.3.2 イベントカウンタモード

イベントカウンタモードは、TC4端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC4 端子の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC4 端子入力の立ち下がりエッジで行われますので、INTTC4 割り込み要求は、アップカウンタと TC4DR が同値になった後の立ち下がりエッジで発生します。

TC4 端子への最小入力パルス幅は、表 11-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

注) SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 11-2 タイマカウンタ 4 の外部クロックソース

	最小パルス幅
	NORMAL1/2, IDLE1/2 モード
“H” 幅	$2^3/f_c$
“L” 幅	$2^3/f_c$



### 11.3.3 プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは内部クロックのカウンタによってデューティ約 50% のパルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC4DR の設定値が一致すると PDO4 端子のレベルが反転し、INTTC4 割り込み要求が発生します。このときアップカウンタはクリアされ、カウントアップを続けます。その後、アップカウンタの値と TC4DR の設定値が一致すると PDO4 端子のレベルが反転し、INTTC4 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PDO 出力を続けます。

タイマ停止時、PDO4 端子は H レベルになります。従って PDO4 端子が L レベルのときにタイマを停止すると、デューティパルスが設定値よりも短くなることがあります。

(プログラム例) 1024 Hz のパルス出力。(fc = 16.0 MHz 時)

```
LD      (TC4CR), 00000110B      ; PDO モード設定 (TC4M = 10, TC4CK = 001)
LD      (TC4DR), 3DH           ; 1/1024 ÷ 27/fc ÷ 2 (半周期) = 3DH
LD      (TC4CR), 00100110B      ; TC4 スタート
```

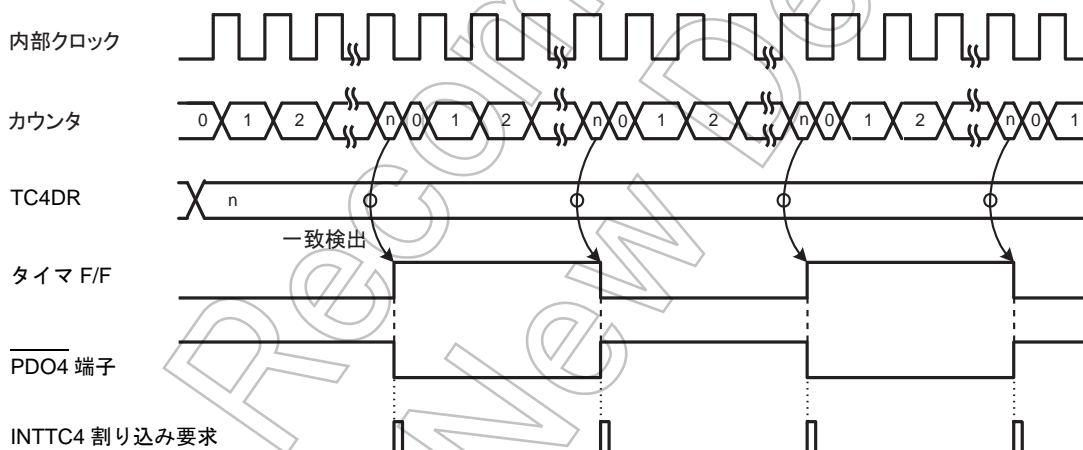


図 11-2 PDO モードタイミングチャート

### 11.3.4 パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) モードは、内部クロックによって分解能 8 ビットの PWM パルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC4DR の設定値が一致すると PWM4 端子のレベルが L レベルになります。アップカウンタはその後もカウントアップを継続し、アップカウンタがオーバーフローすると PWM4 端子は H レベルになり、INTTC4 割り込み要求が発生します。

タイマ停止時、PWM4 端子は H レベルになります。従って PWM4 端子が L レベルのときにタイマを停止すると、一周期が設定値よりも短くなる場合があります。

TC4DR はシフトレジスタ (2 段) 構成で、PWM 出力中に TC4DR を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回は TC4DR にデータ設定後、TC4CR<TC4S> によりスタートした時点でシフトされます。

- 注 1) PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 2) PWM 出力モード時、TC4DR への書き込みは、割り込み要求信号 INTTC4 割り込みが発生した直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。TC4DR への書き込みと INTTC4 割り込みのタイミングが重なった場合、書き込み途中の値がシフト動作されるため、次の INTTC4 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

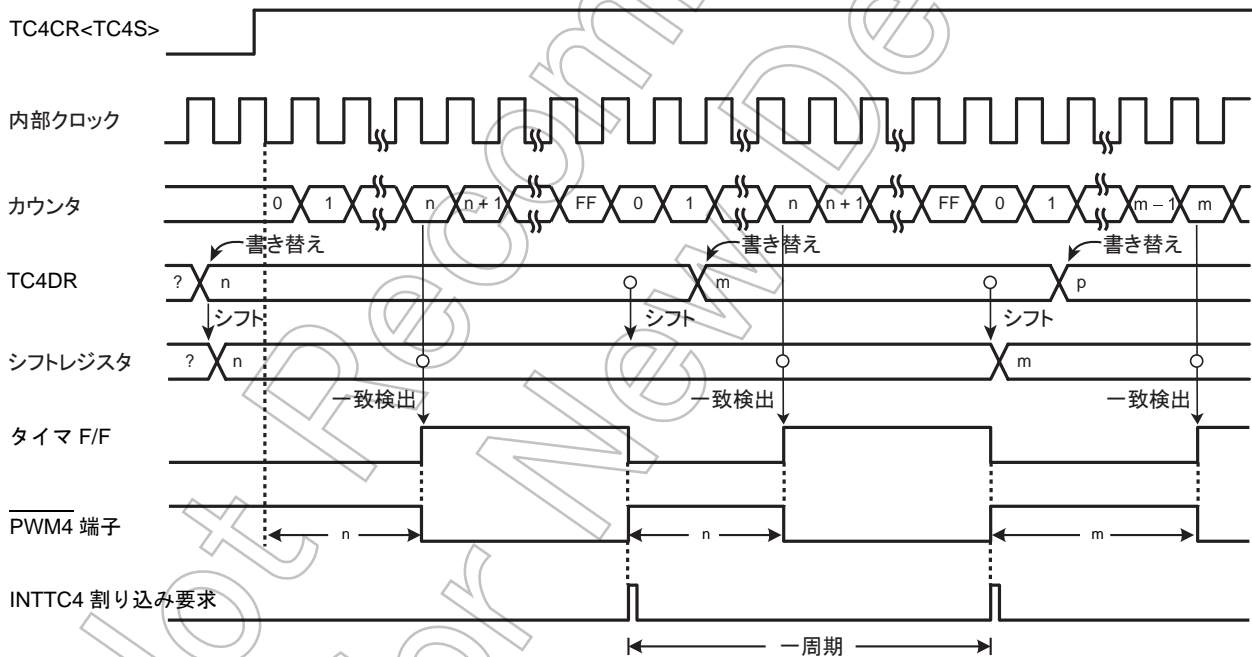


図 11-3 PWM 出力モードタイミングチャート (TC4 の例)

表 11-3 PWM モード (例 :  $f_c = 16 \text{ MHz}$  時)

TC4CK	NORMAL1/2, IDLE1/2 モード			
	DV7CK = 0		DV7CK = 1	
	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]
000	-	-	-	-
001	-	-	-	-
010	-	-	-	-
011	500	128	500	128
100	250	64	250	64
101	125	32	125	32
110	-	-	-	-

Not Recommended for New Design

## 第 12 章 同期式シリアルインタフェース (SIO)

TMP86CM74AFG は、SIO (同期型シリアルインタフェース) を 1 チャンネル内蔵しています。SI, SO,  $\overline{\text{SCK}}$  端子を通して外部デバイスと接続されます。SI 端子は P15、SO 端子は P16、 $\overline{\text{SCK}}$  端子は P17 と兼用になっています。

これらの端子をシリアルインタフェース端子 (SI, SO,  $\overline{\text{SCK}}$  端子) として使用する場合、それぞれ各ポートの出力ラッチを“1”にセットします。

### SIO 機能

- 送信モード (8 ビット)
- 受信モード (8 ビット)
- 送受信モード (8 ビット)
- 内部、外部クロック選択
- 32 バイト送受信兼用バッファ

SIO1 のコントロールレジスタのアドレスを表 12-1 に示します。

表 12-1 コントロールレジスタ

SIO1		
	レジスタ名称	レジスタ番地
シリアルインタフェース 制御レジスタ 1	SIOCR1	0019H
シリアルインタフェース 制御レジスタ 2	SIOCR2	001AH
シリアルインタフェース ステータスレジスタ	SIOSR	001BH
シリアルインタフェース データバッファ	SIODBF	001CH

### 12.1 構成

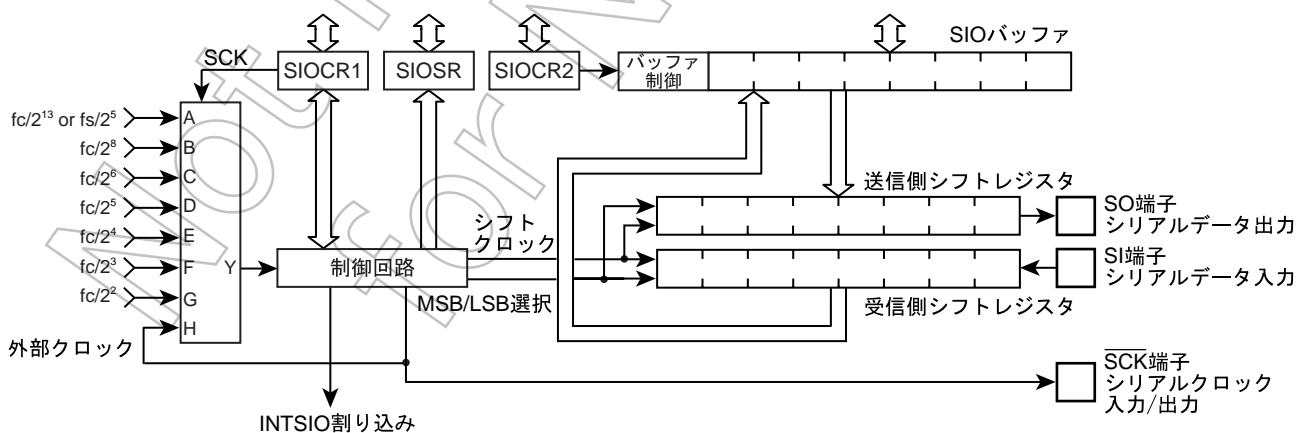


図 12-1 シリアルインタフェース構成図

## 12.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ 1 (SIOCR1) およびシリアルインタフェース制御レジスタ 2 (SIOCR2) で行います。また、シリアルインタフェースステータスレジスタ (SIOSR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

### シリアルインタフェース制御レジスタ 1

SIOCR1 (0019H)	7	6	5	4	3	2	1	0	
	SIOS	SIOINH	SIOM	SIODIR	SCK				(初期値 : 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始				R/W	
SIOINH	転送の強制終了 <sup>#1</sup>	0: 転送継続 1: 強制終了 (終了後、自動的にクリア)					
SIOM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11: (設定禁止)					
SIODIR	転送方向の選択	0: MSB (ビット 7 から転送を行います。) 1: LSB (ビット 0 から転送を行います。)					
SCK	シリアルクロックの選択 <sup>#2</sup>	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード			
		DV7CK = 0	DV7CK = 1				
		000	fc/2 <sup>13</sup>	fs/2 <sup>5</sup>			DV11
		001	fc/2 <sup>8</sup>	fc/2 <sup>8</sup>		DV6	-
		010	fc/2 <sup>6</sup>	fc/2 <sup>6</sup>		DV4	-
		011	fc/2 <sup>5</sup>	fc/2 <sup>5</sup>		DV3	-
		100	fc/2 <sup>4</sup>	fc/2 <sup>4</sup>		DV2	-
		101	fc/2 <sup>3</sup>	fc/2 <sup>3</sup>		DV1	-
110	fc/2 <sup>2</sup>	fc/2 <sup>2</sup>	fc/2 <sup>2</sup>	-			
111	外部クロック (SCK から入力)	外部クロック (SCK から入力)	-	-			

#1 SIOCR1<SIOINH> をセットした場合、SIOCR1<SIOS>, SIOSR<SIOF>, SIOSR<SEF>, SIOSR<TXF>, SIOSR<RXF>, SIOSR<TXERR>, SIOSR<RXERR> が初期状態になります。

#2 シリアルクロックの選択はシリアルクロックレートが 1 Mbps を超える設定をしないでください。

注) SIOCR1<SIOS> の “1” にセットおよび SIOCR1<SIOM>, SIOCR1<SIODIR>, SIOCR1<SCK> の設定は SIO 停止中 (SIOSR<SIOF> = “0”) の状態で行ってください。

### シリアルインタフェース制御レジスタ 2

SIOCR2 (001AH)	7	6	5	4	3	2	1	0	
	“0”	“0”	“0”	SIORXD				(初期値 : ***0 0000)	

SIORXD	送受信データ数の設定	00H: 1 バイト転送 01H: 2 バイト転送 02H: 3 バイト転送 03H: 4 バイト転送 : 1FH: 32 バイト転送	R/W
--------	------------	--	-----

注 1) 転送データ数の設定は SIO が停止した状態 (SIOSR<SIOF> = “0”) で行ってください。

注 2) 転送データ数は送信, 受信共用です。

注 3) Bit 7~Bit 5 には必ず “0” を書き込んでください。

シリアルインタフェースステータスレジスタ

SIOSR (001BH)	7	6	5	4	3	2	1	0	(初期値: 0010 00**)
	SIOF	SEF	TXF	RXF	TXERR	RXERR			

SIOF	シリアル転送動作状態モニタ	0: 転送終了#1 1: 転送中	Read only
SEF	シフト動作状態フラグ	0: シフト終了 1: シフト動作中	
TXF	送信バッファフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフラグ	0: 受信バッファにデータなし 1: SIOCRD で設定したバイト数の受信完了 (SIOCRD で設定したバイト数のデータの読み出しが完了したときに “0” になります。)	
TXERR	送信エラーフラグ#2	0: 送信動作は正常 1: 送信中にエラー発生	
RXERR	受信エラーフラグ #2	0: 受信動作は正常 1: 受信中にエラー発生	

- #1 SIOSR<SIOF> は、SIOCR1<SIOS> をクリアし転送が終了するか、SIOCR1<SIOINH> を “1” にセットして転送を強制終了したときに “0” となります。
- #2 SIOSR<TXERR>, SIOSR<RXERR> のビットは、SIOCR1<SIOS> = “0” で転送終了してもクリアされません。SIOCR1<SIOINH> = “1” にすることでクリアしてください。

注) SIOSR レジスタには書き込みを行わないでください。

シリアルインタフェースデータバッファ

SIODBF (001CH)	7	6	5	4	3	2	1	0	(初期値: **** ***)

SIODBF	送受信データバッファ	送信データのセットおよび受信データの取り込み	R/W
--------	------------	------------------------	-----

- 注 1) SIOCR1<SIOINH> をセットすると、SIODBF の内容が失われます。
- 注 2) 送信データのセットおよび受信データの取り込みは、必ず SIOCR2<SIOCRD> で設定されたバイト数分行ってください。

12.3 機能

12.3.1 シリアルクロック

12.3.1.1 クロックソース

SIOCR1<SCK> により、次の選択ができます。

(1) 内部クロック

SIOCR1<SCK> で選択 (“111” 以外) された周波数のクロックをシリアルクロックとして用います。転送開始時および転送終了時、SCK 端子出力は “H” レベルになります。

表 12-2 シリアルクロックレート

SCK	クロック	ボーレート	
		fc = 16 MHz	fc = 8 MHz
000	$fc/2^{13}$	1.91 Kbps	0.95 Kbps
001	$fc/2^8$	61.04 Kbps	30.51 Kbps
010	$fc/2^6$	244.14 Kbps	122.07 Kbps
011	$fc/2^5$	488.28 Kbps	244.14 Kbps
100	$fc/2^4$	976.56 Kbps	488.28 Kbps
101	$fc/2^3$	-	976.56 Kbps
110	$fc/2^2$	-	-
111	外部	外部	外部

(1 Kbit = 1,024 bit)

注) シリアルクロックレートが 1 Mbps を超える設定は行わないでください。

## (2) 外部クロック

SIOCR1<SCK>に“111”をセットすると外部クロックになります。このとき、外部から  $\overline{\text{SCK}}$  端子に供給されるクロックをシリアルクロックとして用います。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は“H”レベル、“L”レベルともに  $4/fc$  以上が必要です。従って  $fc = 8 \text{ MHz}$  時の場合、最大転送速度は 976.56 Kbps になります。

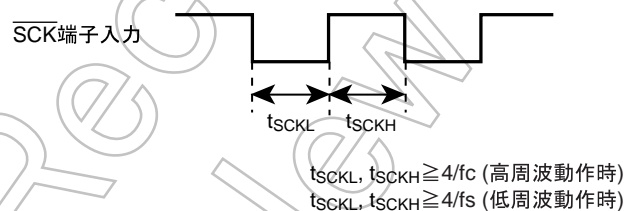


図 12-2 外部クロック

### 12.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

#### (1) 前縁シフト

シリアルクロックの前縁 ( $\overline{\text{SCK}}$  端子入出力の立ち下がりエッジ) でデータをシフトします。

#### (2) 後縁シフト

シリアルクロックの後縁 ( $\overline{\text{SCK}}$  端子入出力の立ち上がりエッジ) でデータをシフトします。

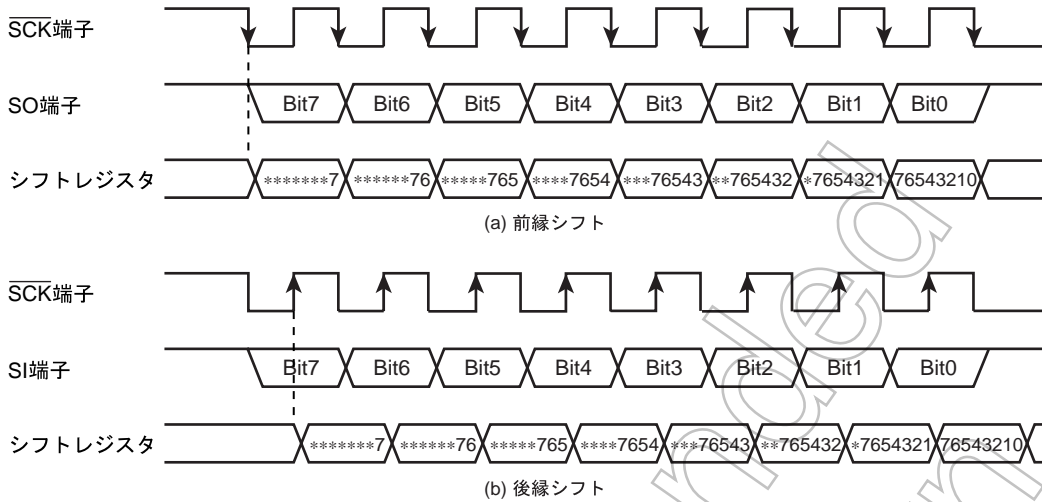


図 12-3 シフトエッジ

### 12.3.2 転送ビット方向

SIOCR1<SIODIR> を選択することにより、8 ビットシリアルデータの転送方向が選択可能です。なお、データの転送方向は、送信側・受信側ともに連動しているため、個別に設定はできません。

#### 12.3.2.1 MSB 転送

SIOCR1<SIODIR> に“0”をセットすると MSB 転送となり、送信データは、データの最上位ビットから順次転送され、受信データは、最初に受け取ったデータが最上位ビットとして取り込まれます。

#### 12.3.2.2 LSB 転送

SIOCR1<SIODIR> に“1”をセットすると LSB 転送となり、送信データは、データの最下位ビットから順次転送され、受信データは、最初に受け取ったデータが最下位ビットとして取り込まれます。

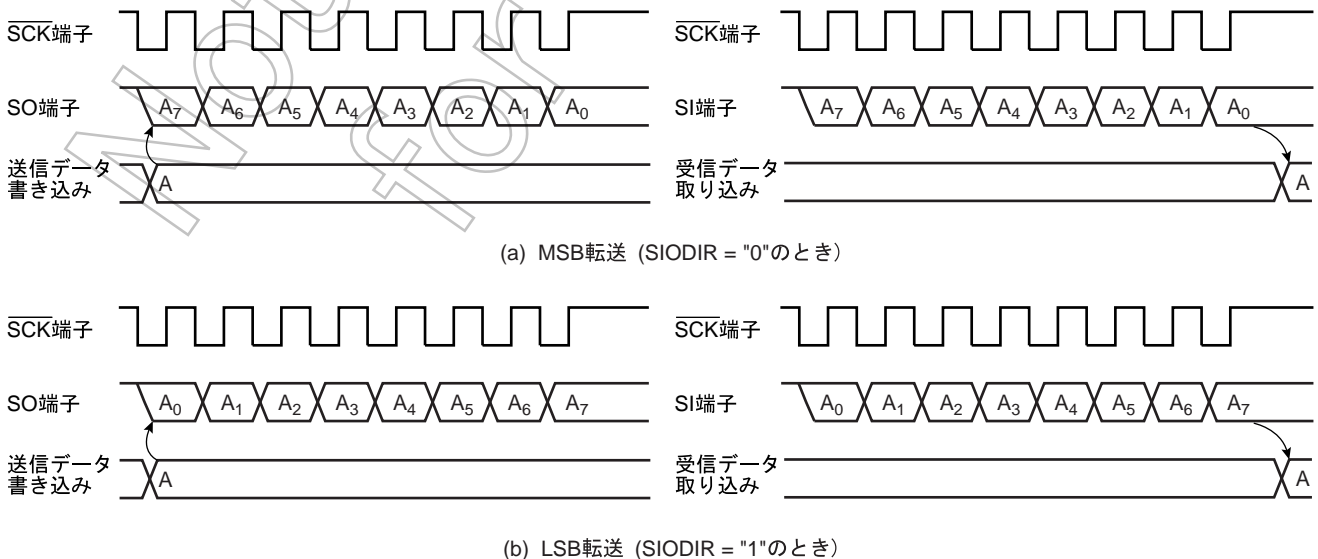


図 12-4 転送ビット方向



### 12.3.3 転送モード

SIOCR1<SIOM> で送信 / 受信 / 送受信モードを選択します。

#### 12.3.3.1 送信モード

SIOCR1<SIOM> に “00” をセットすると送信モードになります。

##### (1) SIO の送信開始

1. SIOCR1<SIOM> に送信モード, SIOCR1<SCK> にシリアルクロックレート, SIOCR1<SIODIR> に転送方向を設定します。
2. SIOCR2<SIORXD> に転送データ数を設定します。
3. SIOBUF に SIOCR2<SIORXD> で設定したバイト数の送信データをセットします。
4. SIOCR1<SIOS> に “1” をセットします。

シリアルクロックが内部クロックの場合、直ちに SIOCR1<SIODIR> で選択した方向から順に送信を開始します。

シリアルクロックが外部クロックの場合、外部クロックが入力された後、SIOCR1<SIODIR> で選択した方向から順に送信を開始します。

##### (2) SIO の送信終了

1. SIOCR2<SIORXD> に設定されたバイト数の送信が終了したら、必ず SIOCR1<SIOS> を “0” にクリアして SIO を停止させてください。  
SIOCR1<SIOS> = “0” とする場合は、SIO 割り込み処理ルーチンで実施するか、SIOSR<TXF> = “1” を確認してから実施してください。SIOCR1<SIOS> = “0” にクリアした後、次のデータを転送を再開する場合、SIOSR<SIOF> = “0” の状態で、外部クロックの場合は送信エラーが発生していないこと (SIOSR<TXERR> = “0”) を確認してから転送データを書き込み、SIOCR1<SIOS> = “1” にして送信開始してください。

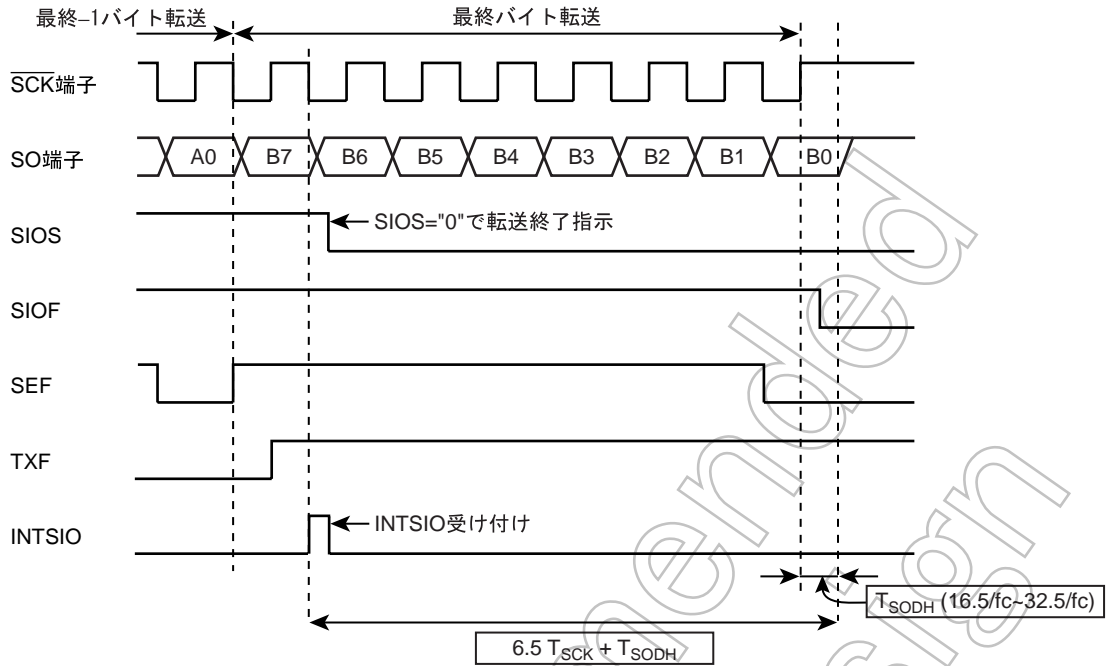
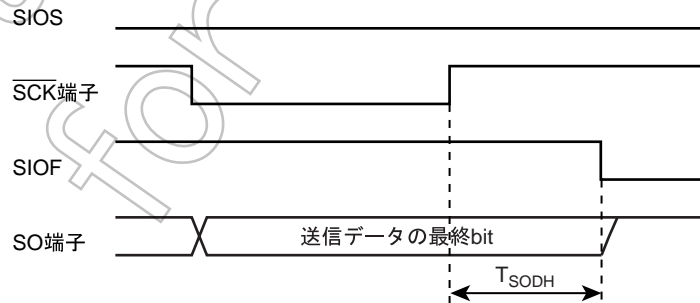


図 12-5 送信割り込み発生で転送終了指示 (SIOCR1<SIOS> = “0”) したときの、INTSIO 発生から転送終了 (SIOF<SIOF> = “0”) するまでの時間

- 注 1) SIOBUF への書き込みは、必ず SIOCR2<SIORXD> に設定したバイト数分としてください。SIOBUF への書き込みデータ数が、SIOCR2<SIORXD> の設定値に対して過不足のある場合、SIO は正しく動作しません。
- 注 2) SIO のスタートは、必ず SIOCR2<SIORXD> に設定したバイト数分のデータを、SIOBUF に書き込んでから実施してください。
- 注 3) 送信モード時の INTSIO 割り込みは、最終バイトデータの 2 ビット目を送信開始した時点で発生します。
- 注 4) INTSIO 割り込み処理で、SIOCR1<SIOS> = “0” の書き込みを行っても、SIO は最終バイトデータを送信 (SCK 端子の立ち上がり時点) してから、転送終了 (SIOF<SIOF> = “0”) となります。
- 注 5) SIOBUF への書き込みは、必ず SIO が停止している状態 (SIOF<SIOF> = “0”) で行ってください。SIO が動作している状態 (SIOF<SIOF> = “1”) で SIOBUF への書き込みを行うと、SIO は正しく動作しません。



SIOSクリア後、送信完了した場合

$$16.5/fc \leq T_{SODH} \leq 32.5/fc$$

fc: 高周波クロック [Hz]

図 12-6 最終ビット保持時間

SIOCR1<SIOINH> を“1” にセットした場合は、送信中の場合でも直ちに送信を終了します。

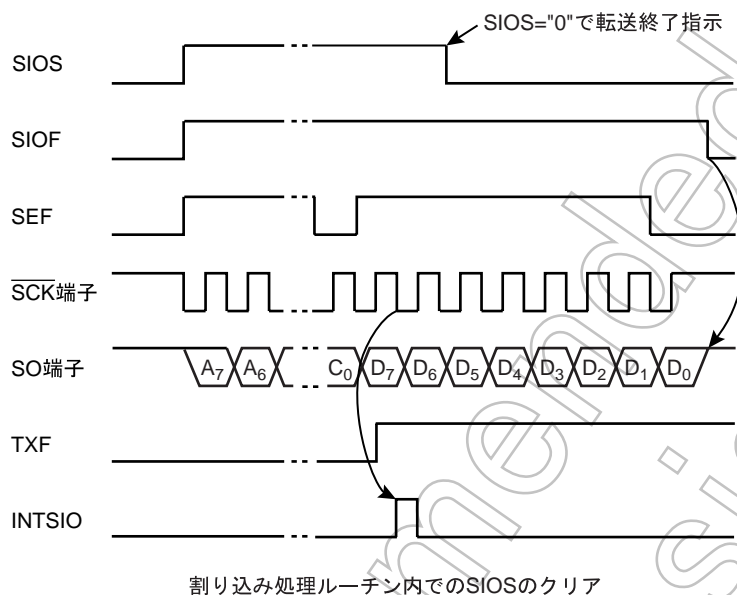


図 12-7 SIOCR1<SIOS> のクリアタイミング

### 12.3.3.2 送信エラー

外部クロック動作時に、以下の場合送信エラーとなり、送信エラーフラグ (SIOSR<TXERR>) が“1”にセットされます。なお送信エラーが発生した場合、SO 端子は“H”出力となります。

- SIO が動作中 (SIOSR<SIOF> = “1”) の状態で、SIOBUF に送信データがないとき (SIOSR<TXF> = “1”) に、SCK 端子が立ち下がった場合。

送信エラーを検出した場合は、必ず SIOCR1<SIOINH> を“1”にセットして SIO を強制終了させてください。SIOCR1<SIOINH> を“1”にセットした場合、SIOCR1<SIOS> および SIOSR レジスタは初期化されます (その他のレジスタおよびビットは初期化されません)。

(プログラム例) 送信モード設定例 (送信モード, 外部クロック, 32 バイト転送)

```

                                ポートを設定する
DI                                ; IMF ← 0
LDW    (EIRL), *****1*****0B ; INTSIO (EF9) 許可
EI                                ; 割り込み許可
LD     (SIOCR1), 01*****B        ; SIO イニシャライズ (強制終了)
WAIT:  TEST    (SIOSR). 7          ; SIO 停止状態 (SIOF = 0) を確認
        JRS    F, WAIT            ; 停止なら START へ
START:  LD     (SIOCR1), 00000111B ; 送信モード設定, 転送モード選択, シリアルクロック設定
        LD     (SIOCR2), 00011111B ; 転送バイト数設定 (32 バイト)
        ~
                                送信データセット
        ~
LD     (SIOCR1), 10000111B        ; 転送終了
INTSIO (INTSIO
処理ルーチン):
LD     (SIOCR1), 00000111B        ; 転送終了指示
TEST   (SIOSR). 3                ; TXERR 確認
JRS    T, NOERR
LD     (SIOCR1), 01000111B        ; 強制終了 (TXERR クリア)
        ~
                                エラー処理
        ~
NOERR:
END:   ; 転送終了

```

Not Recommended for New Design

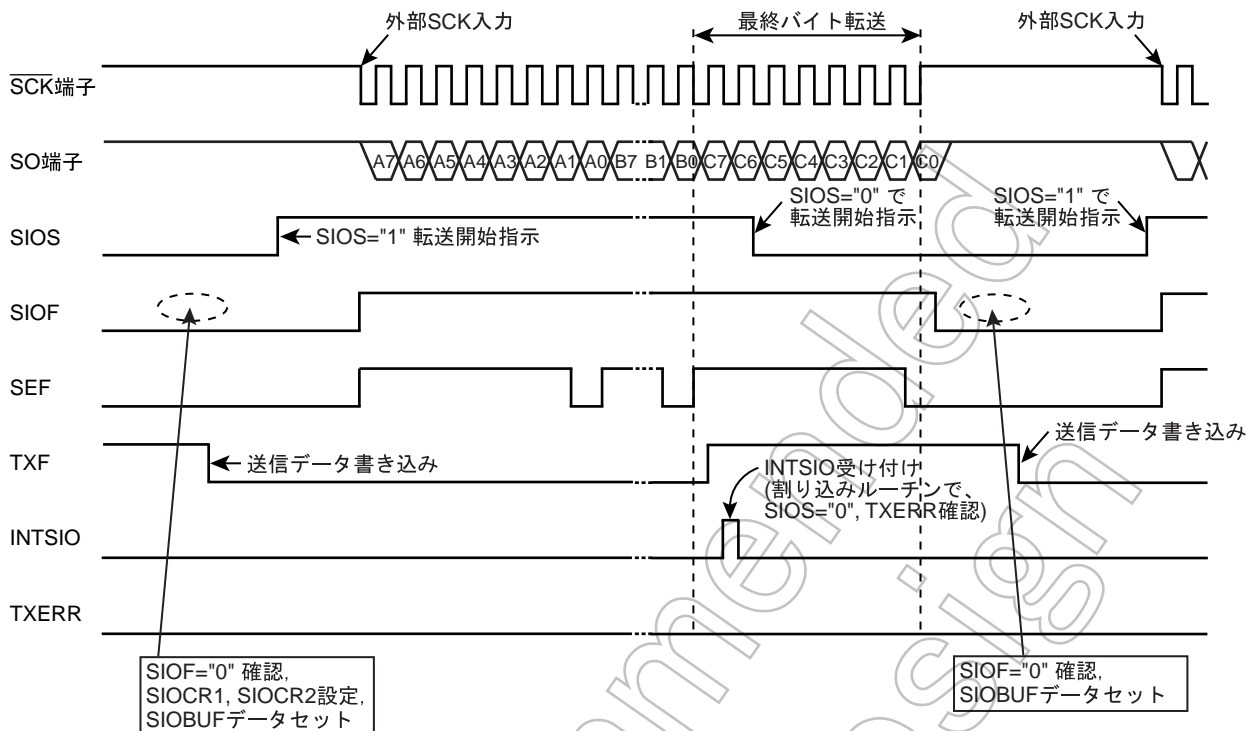


図 12-8 送信モードの動作 (3 バイト転送、外部ソースクロックの場合)

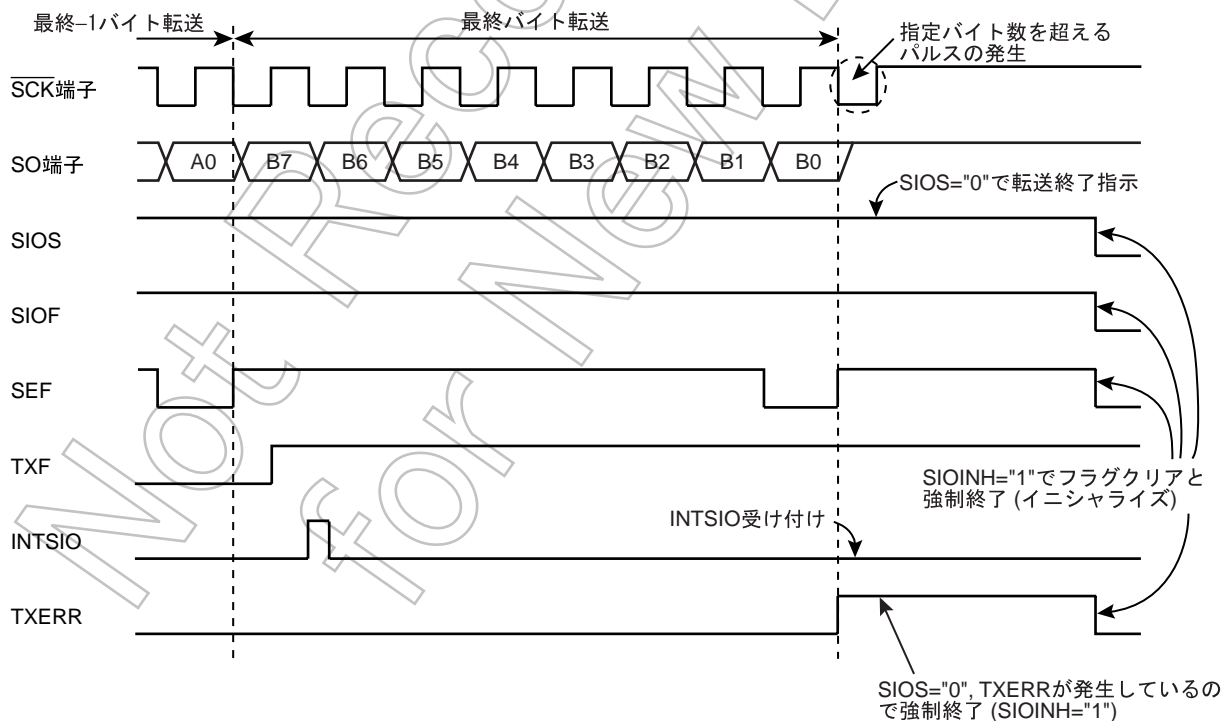


図 12-9 送信エラー発生の場合 (転送終了指示前に (SIOCR1<SIOS> = "0" 書き込み) 最終バイトの転送が完了し、かつ指定バイト数を超えるパルスが発生した場合)

注) SIO 動作中 (SIOSR<SIOF> = "1" の状態) は、 $\overline{\text{SCK}}$  端子に SIOSR<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

### 12.3.3.3 受信モード

SIOCR1<SIOM>に“01”をセットすると受信モードになります。

#### (1) SIO の受信開始

1. SIOCR1<SIOM>に受信モード, SIOCR1<SCK>にシリアルクロックレート, SIOCR1<SIODIR>に転送方向を設定します。
2. SIOCR2<SIORXD>に転送データ数を設定します。
3. SIOCR1<SIOS>に“1”をセットします。

シリアルクロックが内部クロックの場合、直ちに SIOCR1<SIODIR> で選択した方向から順に受信を開始します。

シリアルクロックが外部クロックの場合、外部クロックが入力された後、SIOCR1<SIODIR> で選択した方向から順に受信を開始します。

#### (2) SIO の受信終了

1. SIOCR2<SIORXD>にて設定されたバイト数の受信が終了したら、必ず SIOCR1<SIOS>を“0”にクリアして SIO を停止させてください。SIOCR1<SIOS> = “0”とする場合は、SIO 割り込み処理ルーチンで実施するか、SIOSR<RXF> = “1”を確認してから実施してください。SIOCR1<SIOINH>を“1”にセットした場合は、受信中の場合でも直ちに受信を終了します。

#### (3) 受信データの読み出しタイミング

受信データの読み出しは、必ず SIOBUF がフル状態 (SIOSR<RXF> = “1”)であることを確認後、もしくは、INTSIO 割り込み処理ルーチンで、SIOCR1<SIOS>を“0”にクリアし、SIOを停止させた後に実施してください。SIOCR1<SIOS>を“0”にクリアしてから受信データを読み出す場合は、SIOSR<SIOF> = “0”の状態、外部クロックの時は受信エラーが発生していないこと (SIOSR<RXERR> = “0”)を確認してから受信データの読み出しを行ってください。

なお、SIOSR<RXF>は、SIOCR2<SIORXD>で設定したバイト数分の受信データをすべて読み出したとき、“0”にクリアされます。SIOCR1<SIOS>を“0”にクリアした後、次のデータ転送を再開する場合、受信データ読み出し後、SIOSR<SIOF> = “0”の状態であることを確認してから、SIOCR1<SIOS> = “1”にして受信開始してください。

- 注 1) SIOBUF からの受信データの読み出しは、必ず SIOCR2<SIORXD>に設定したバイト数分としてください。SIOBUF の読み出しデータ数が、SIOCR2<SIORXD>の設定値に対して過不足がある場合、SIO は正しく動作しません。
- 注 2) 受信終了前 (SIOSR<RXF> = “0”)にデータの読み出しを行うと、SIO は正しく動作しません。
- 注 3) 受信モード時の INTSIO 割り込みは、最終バイトデータの最後の 1 ビットを受信した時点で発生します。
- 注 4) 受信エラーが検出された状態で転送を開始すると、SIO は正しく動作しません。必ず SIOCR1<SIOINH> = “1”として SIO を強制終了させてから、転送開始してください。

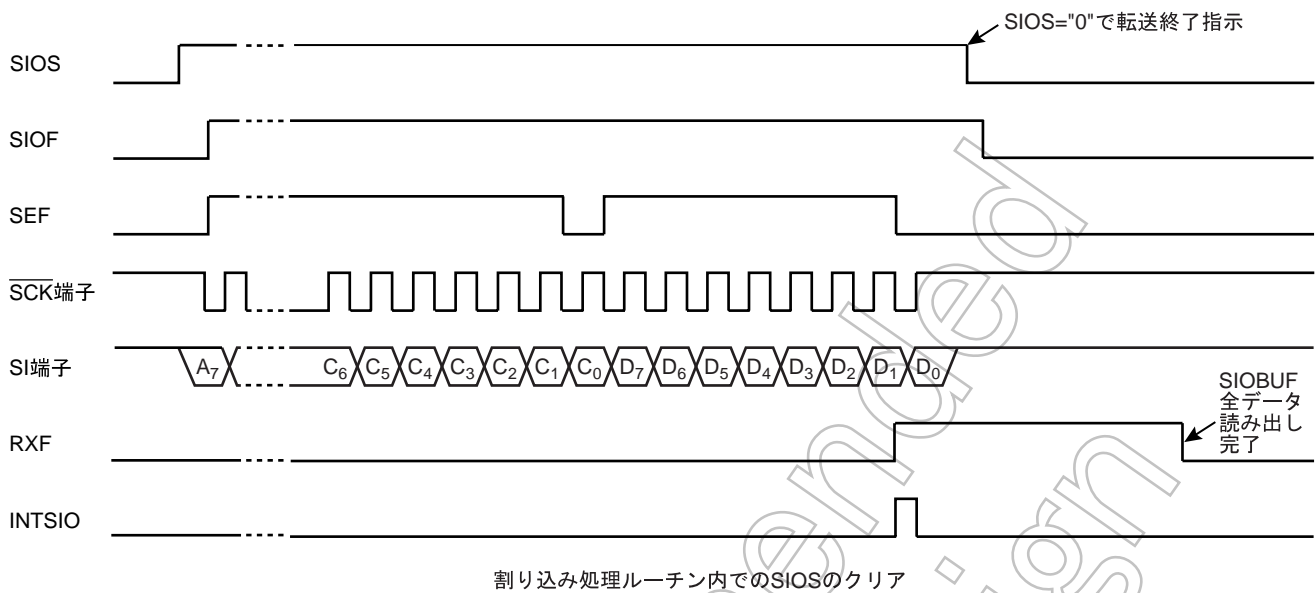


図 12-10 SIOCR1&lt;SIOS&gt; のクリアタイミング

#### 12.3.3.4 受信エラー

外部クロック動作時、以下の場合受信エラーとなり、受信エラーフラグ (SIOSR<RXERR>) が“1”にセットされます。受信エラーが発生した場合、受信バッファ内のデータは破棄してください。

- SIOBUF がフル状態 (SIOSR<RXF> = “1”) で、次の受信データ (1 バイト) の受信が終了した場合 (SCK 端子に 8 クロック入力された場合)。

受信エラーを検出した場合は、必ず SIOCR1<SIOINH> を“1”にセットして、SIO を強制終了させてください。SIOCR1<SIOINH> を“1”にセットした場合、SIOCR1<SIOS> および SIOSR レジスタの全ビットが初期化されます (その他のレジスタおよびビットは初期化されません)。

注) 外部クロックモード動作時でデータ受信後、SIOCR1<SIOINH> で設定したバイト数のデータ読み出し前に SCK 端子が立ち下がると、受信データバッファ (SIOBUF) の内容が正しく読み出せなくなります。

受信エラーフラグ (RXF) は、受信完了後に 8 クロック入力されないと発生しませんので、1 クロックから 7 クロックまでの転送クロック (ノイズなど) が入力された場合は、SCK 端子に余分なクロックが入力されたか否かの判別ができません。従って、チェックサムによるペリファイなどのシステムのバックアップをすることを推奨します。

なお、受信を再開するときは、必ず SIO を強制終了 (SIOCR1<SIOINH> = “1”) させてからデータ受信を開始してください。

(プログラム例) 受信モード設定例 (受信モード, 外部クロック, 32 バイト転送)

```

        ポートを設定する
        DI                                ; IMF ← 0
        LDW (EIRL), *****1*****0B   ; INTSIO (EF9) 許可
        EI                                ; 割り込み許可
        LD (SIOCR1), 01*****B           ; SIO イニシャライズ (強制終了)
WAIT:   TEST (SIOSR). 7                  ; SIO 停止状態 (SIOF = 0) を確認
        JRS F, WAIT                      ; 停止なら START へ
START:  LD (SIOCR1), 00010111B          ; 受信モード設定, 転送モード選択, シリアルクロック設定
        LD (SIOCR2), 00011111B          ; 転送バイト数設定
        LD (SIOCR1), 10010111B          ; 転送開始指示
INTSIO (INTSIO
処理ルーチン):
        LD (SIOCR1), 00010111B          ; 転送終了指示
        ~
        受信データ読み出し
        チェックサムなどで受信
        データが正常か否かの確認
        ~
        LD (SIOCR1), 01010111B          ; 強制終了
END:    ; 転送終了
    
```

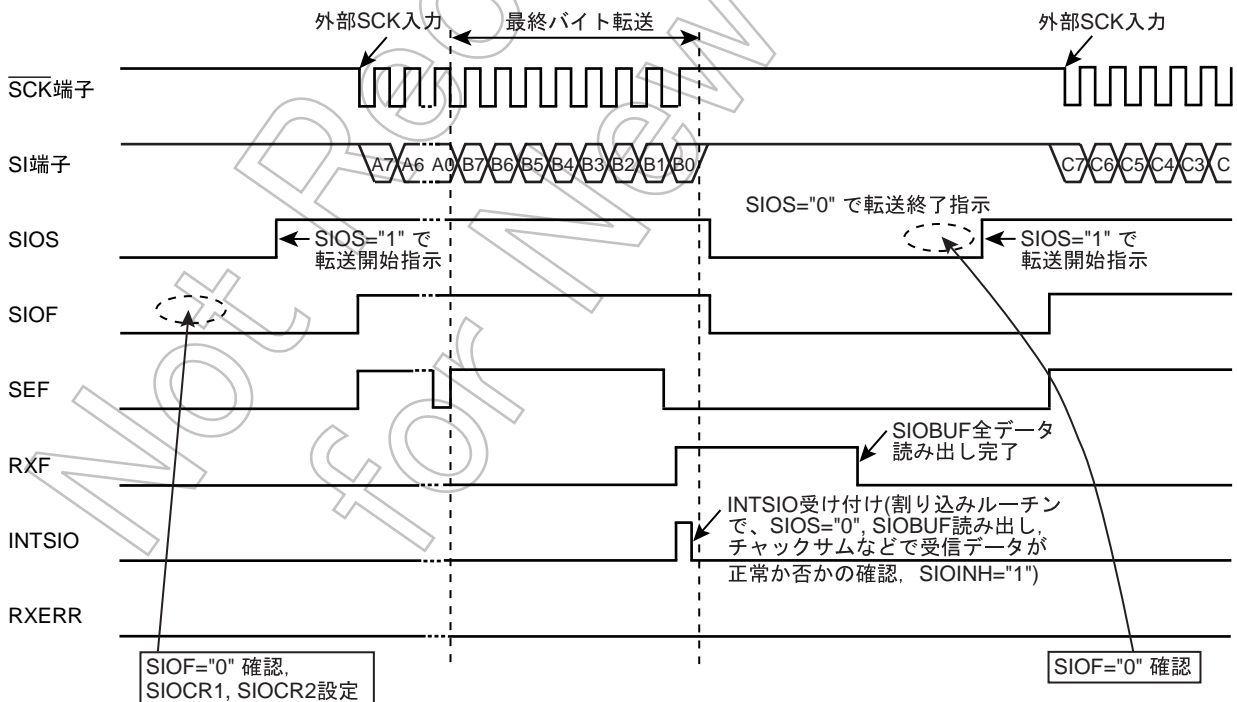


図 12-11 受信モードの動作 (2 バイト転送、外部ソースクロックの場合)



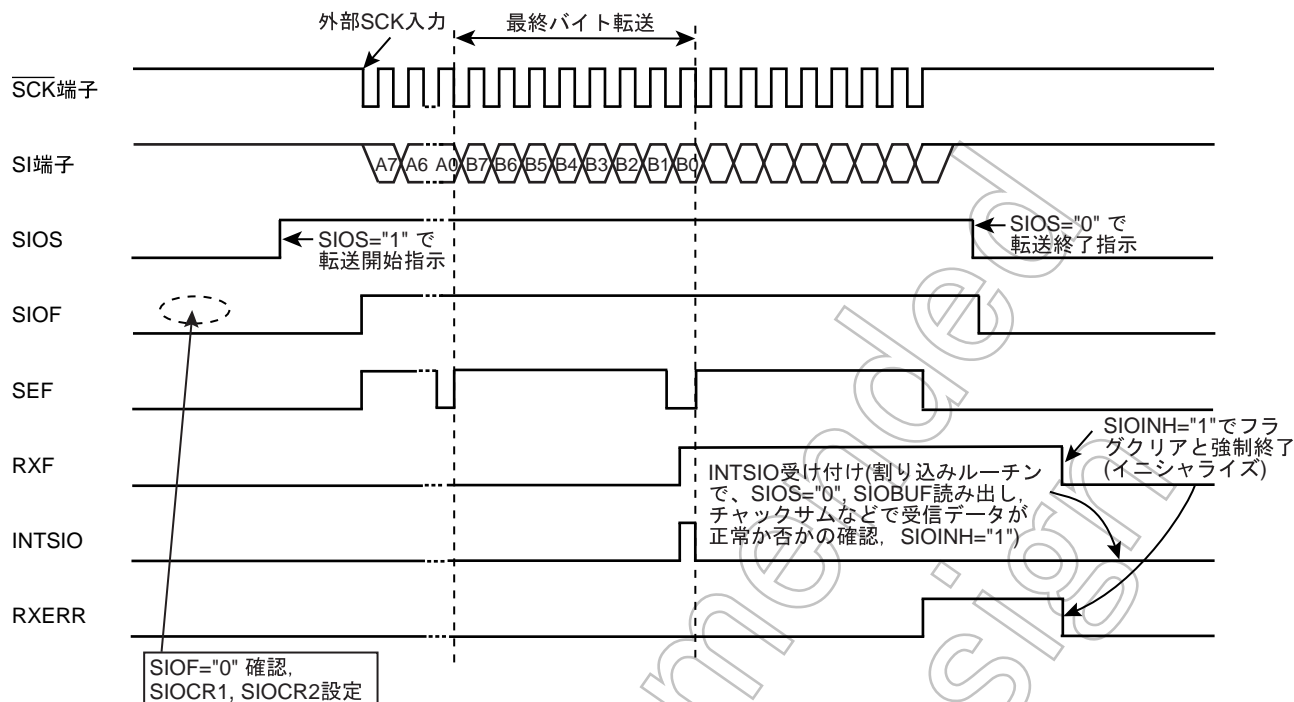


図 12-12 受信エラー発生の場合 (2 バイト転送、外部ソースクロックの場合)

- 注 1) SIO 動作中 (SIOSR<SIOF> = "1" の状態) は、 $\overline{\text{SCK}}$  端子に SIOCR2<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。
- 注 2) 受信エラーは、データ受信完了後、SIO 停止指示 (SIOCR1<SIOS> = "0") が有効となる前に、 $\overline{\text{SCK}}$  端子に 8 クロック入力された場合に発生します。INTSIO 割り込み処理で SIOCR1<SIOS> = "0" の書き込みを実行する前に、 $\overline{\text{SCK}}$  端子に 8 クロック入力されたことにより、受信エラーが発生したケースを表記したものです。

### 12.3.3.5 送受信モード

SIOCR1<SIOM> に "10" をセットすると、送受信モードになります。

#### (1) SIO の送受信開始

1. SIOCR1<SIOM> に送受信モードを、SIOCR1<SCK> にシリアルクロックレートを、SIOCR1<SIODIR> に転送方向を設定します。
2. SIOCR2<SIORXD> に転送データ数を設定します。
3. SIOCR2<SIORXD> にて、設定したバイト数の送信データを SIOBUF にセットします。
4. SIOCR1<SIOS> に "1" をセットします。

シリアルクロックが内部クロックの場合、直ちに SIOCR1<SIODIR> で選択した方向から順に送受信を開始します。

シリアルクロックが外部クロックの場合、 $\overline{\text{SCK}}$  端子へのクロック入力に同期して SIOCR1<SIODIR> で選択した方向から順に送受信を開始します。

- 注 1) SIOCR2<SIORXD>, SIOCR1<SIODIR>, SIOCR1<SCK> は送信、受信共用ですので、個別に設定はできません。
- 注 2) 送信データは、 $\overline{\text{SCK}}$  端子の立ち下がりに同期して出力され、受信データは  $\overline{\text{SCK}}$  端子の立ち上がりに同期して受信されます。

(2) SIO の送受信終了

1. SIOCR2<SIORXD>にて設定されたバイト数の送受信が終了したら、必ず SIOCR1<SIOS>を“0”にクリアして、SIO を停止させてください。  
SIOCR1<SIOS>=“0”とする場合は、SIO 割り込み処理ルーチン内で実施するか、SIOSR<RXF>=“1”を確認してから実施してください。

SIOINH (SIOCR1 のビット 6)を“1”にセットした場合は、送受信中でも直ちに送受信を終了します。

(3) 受信データの読み出し、送信データのセットタイミング

SIOCR2<SIORXD>にて設定したバイト数分の送受信後、受信データの読み出し、および次の送信データ書き込みは、受信バッファがフル状態 (SIOSR<RXF> = “1”)、もしくは INTSIO 割り込みルーチンにて SIOCR1<SIOS>=“0”で SIO を停止させた後に行ってください。SIOCR1<SIOS>を“0”にクリアした後、次のデータ転送を再開する場合は、SIOSR<SIOF>=“0”の状態、外部クロックのときは送信エラーおよび受信エラーが発生していないこと (SIOSR<TXERR>=“0”、SIOSR<RXERR>=“0”)を確認してから受信データを読み出し、その後、送信データの書き込みを行い、SIOCR1<SIOS>=“1”にして転送開始してください。

- 注 1) INTSIO 割り込みは、最終バイトデータの最後の 1 ビットを受信した時点で発生します。
- 注 2) SIOBUF への書き込み / 読み出しは、必ず SIOCR2<SIORXD>で設定したバイト数分としてください。SIOBUF への書き込み / 読み出しデータ数が SIOCR2<SIORXD>の設定値に対し過不足のある場合は、SIO が正しく動作しません。
- 注 3) SIOSR<RXF>は、SIOCR2<SIORXD>で設定したバイト数分の全受信データを読み出したときに“0”にクリアされます。
- 注 4) 送受信モード時、SIOCR1<SIOINH>を“1”にセットして強制終了させた場合、受信データは破棄されます。
- 注 5) 送信エラー、受信エラーのどちらかが検出された状態で転送を開始すると、SIO は正しく動作しません。必ず SIOCR1<SIOINH>=“1”として SIO を強制終了させてから、転送開始してください。

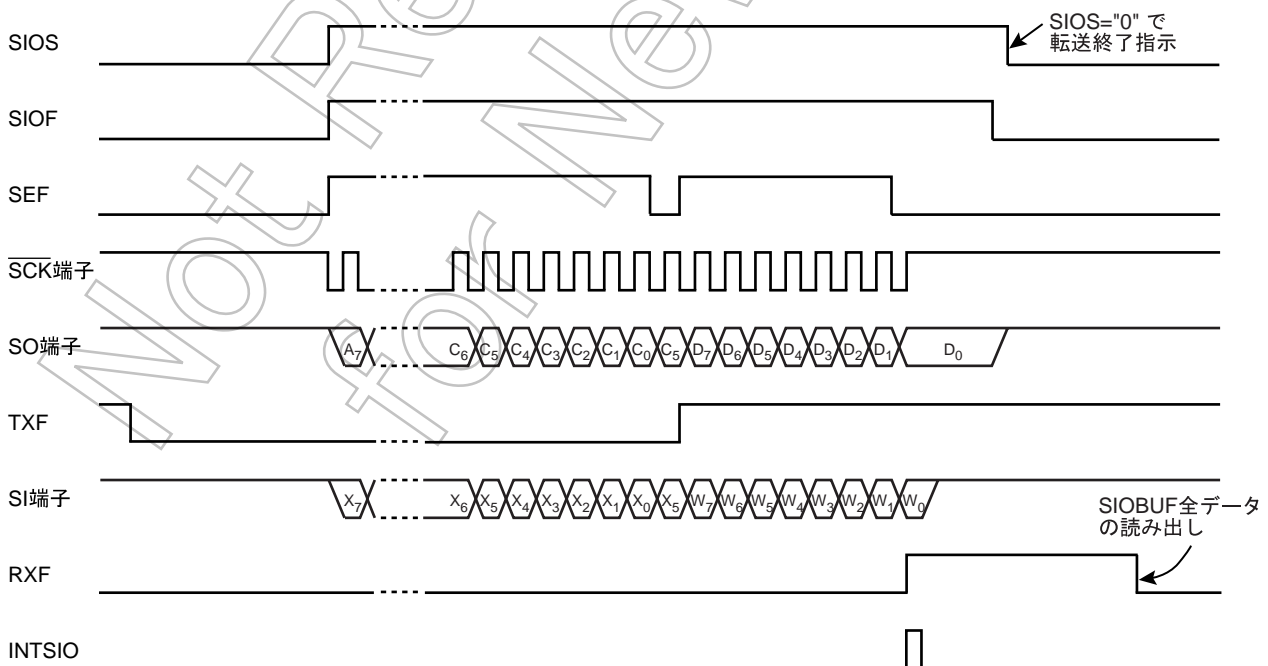


図 12-13 SIOCR1<SIOS> クリアタイミング (送受信モード)

## 12.3.3.6 送受信エラー

外部クロック使用時、以下の場合、送信エラーまたは受信エラーが発生し、エラーフラグ (SIOSR<TXERR> または SIOSR<RXERR>) がセットされます。エラーが発生した場合、送信データは“H”出力となります。

- SIO が動作中 (SIOSR<SIOF> = “1”) の状態で、SIOBUF に送信データがないとき (SIOSR<TXF> = “1”) に、 $\overline{\text{SCK}}$  端子が立ち下がった場合 (SIOSR<TXERR>)。
- SIO が動作中 (SIOSR<SIOF> = “1”) の状態で、SIOBUF がフル状態 (SIOSR<RXF> = “1”) のときに、次の受信データ (1 バイト) の受信が終了した場合 ( $\overline{\text{SCK}}$  端子に 8 クロック入力された場合) (SIOSR<RXERR>)。

送信エラーまたは受信エラーを検出した場合は、必ず SIOCR1<SIOINH> を “1” にセットして SIO を強制終了してください。

注) 外部クロックモードで動作中にデータを受信したあと、SIOCR1 で設定したバイト数のデータ読み出し前に  $\overline{\text{SCK}}$  端子が立ち下がると、受信データバッファ (SIOBUF) の内容が正しく読み出せなくなります。

この場合、受信エラーフラグ (RXF) は、受信完了後に 8 クロック入力されないと発生しませんので、1 クロックから 7 クロックまでの転送クロック (ノイズなど) が入力された場合は、 $\overline{\text{SCK}}$  端子に余分なクロックが入力されたか否かの判別ができません。従って、チェックサムによるペリファイなどの体系的なバックアップをすることを推奨します。

なお、送受信を再開するときは、必ず SIO を強制終了 (SIOCR1<SIOINH> = “1”) させてからデータ送受信を開始してください。

(プログラム例) 送受信モード設定例 (送受信モード、外部クロック、32 バイト転送)

```

                                ポートを設定する
DI                                : IMF ← 0
LDW                               (EIRL), *****0B      ; INTSIO (EF9) 許可
EI                                : 割り込み許可
LD                                (SIOCR1), 01*****B     ; SIO イニシャライズ (強制終了)
WAIT: TEST                        (SIOSR), 7             ; SIO 停止状態 (SIOF = 0) を確認
JRS                               F, WAIT                ; 停止なら START へ

```

(プログラム例) 送受信モード設定例 (送受信モード, 外部クロック, 32 バイト転送)

START:

LD (SIOCR1), 00100111B ;送受信モード設定, 転送モード選択, シリアルクロック設定  
LD (SIOCR2), 00011111B ;転送バイト数設定 (32 バイト)

送信データセット:

LD (SIOCR1), 10100111B ;転送開始

INTSIO (INTSIO 処理ルーチン):

LD (SIOCR1), 00100111B ;転送終了指示  
TEST (SIOSR). 3 ;TXERR 確認  
JRS T, TXNOERR  
LD (SIOCR1), 01100111B ;強制終了 (TXERR クリア)

~  
エラー処理

JR END

TXNOER:

~  
受信データ読み出し  
チェックサムなどで受信  
データが正常か否かの確認

LD (SIOCR1), 01100111B ;強制終了

END:

;転送終了

Not Recommended for New Design

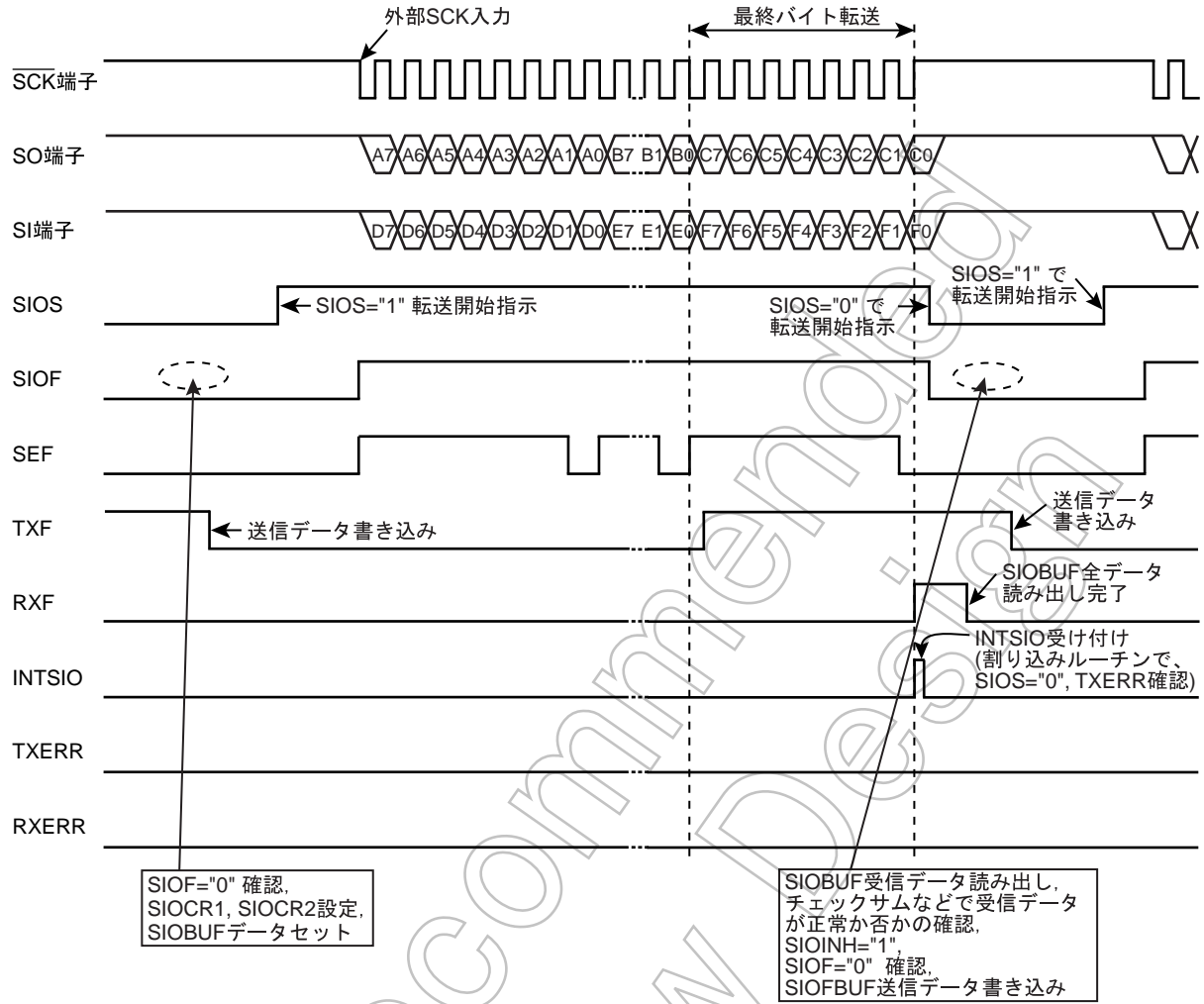


図 12-14 送受信モードの動作 (3 バイト転送、外部クロックの場合)

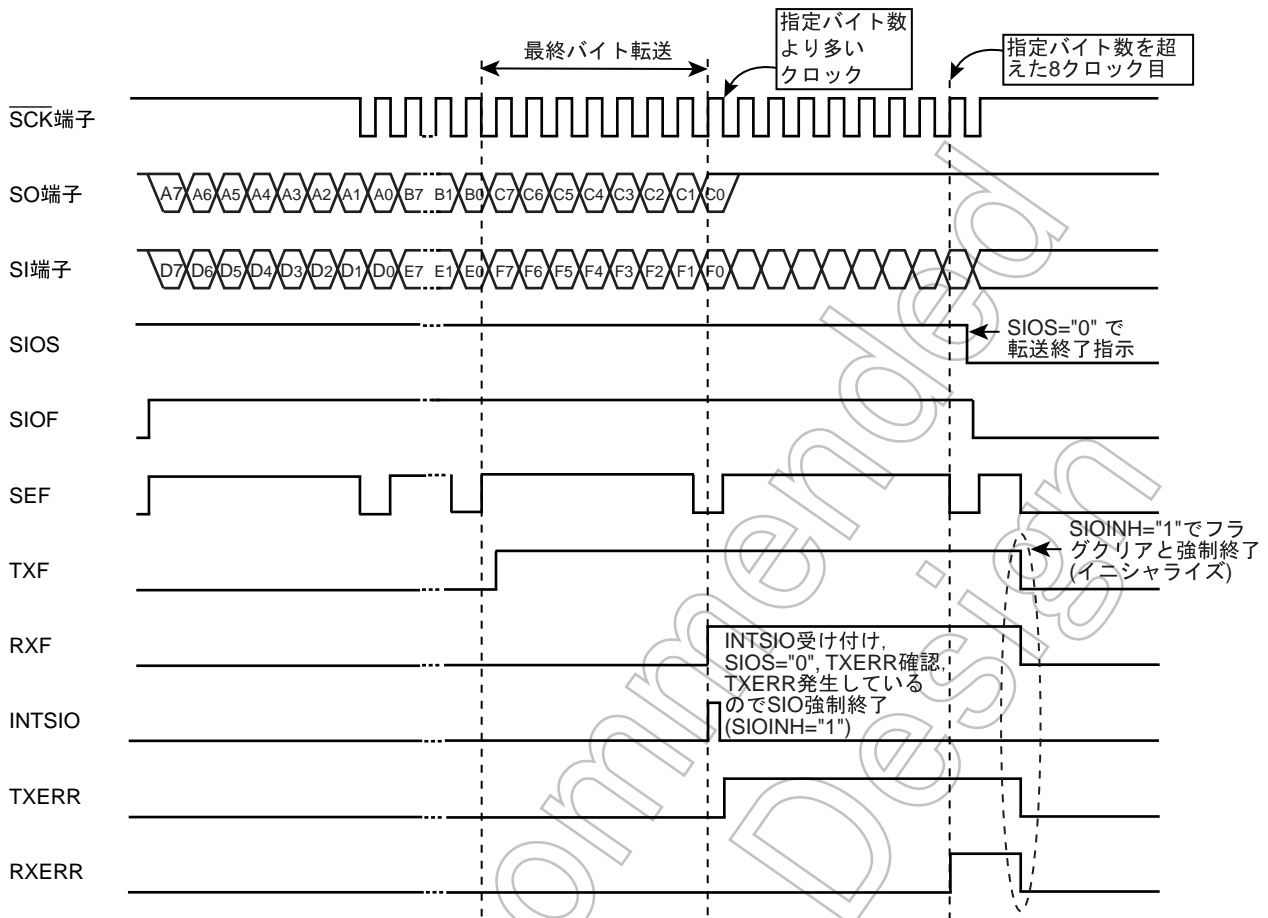


図 12-15 送受信エラー発生の場合 (3 バイト転送、外部クロックの場合)

注) SIO 動作中 (SIOSR<SIOF> = "1" の状態) は、SCK 端子に SIOCR2<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

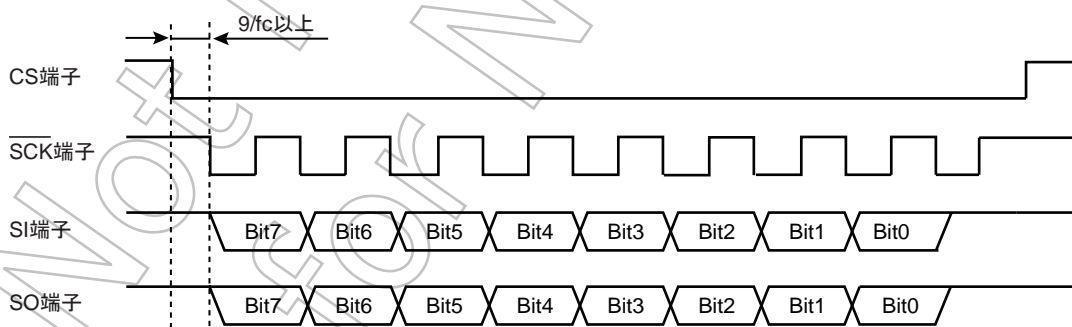


図 12-16

Not Recommended  
for New Design

# 第 13 章 8 ビット AD コンバータ

TMP86CM74AFG は、8 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

## 13.1 構成

8 ビット AD コンバータの回路構成を図 13-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

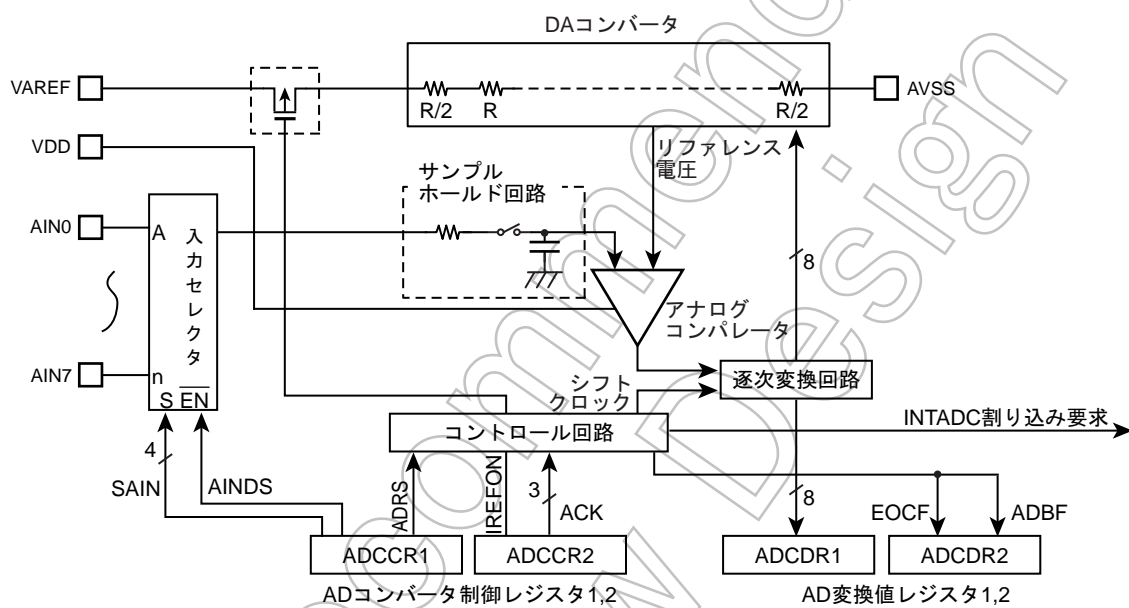


図 13-1 8 ビット AD コンバータ



## 13.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

### 1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

### 2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

### 3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

### 4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

### AD コンバータ制御レジスタ 1

ADCCR1 (000EH)	7	6	5	4	3	2	1	0	
	ADRS	"0"	"1"	AINDS	SAIN				(初期値 : 0001 0000)

ADRS	AD 変換開始	0: <input type="checkbox"/> 1: <input type="checkbox"/>	AD 変換開始	R/W
AINDS	アナログ入力制御	0: <input type="checkbox"/> 1: <input type="checkbox"/>	アナログ入力カインーブル アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: <input type="checkbox"/> 0001: <input type="checkbox"/> 0010: <input type="checkbox"/> 0011: <input type="checkbox"/> 0100: <input type="checkbox"/> 0101: <input type="checkbox"/> 0110: <input type="checkbox"/> 0111: <input type="checkbox"/> 1000: <input type="checkbox"/> 1001: <input type="checkbox"/> 1010: <input type="checkbox"/> 1011: <input type="checkbox"/> 1100: <input type="checkbox"/> 1101: <input type="checkbox"/> 1110: <input type="checkbox"/> 1111: <input type="checkbox"/>	AIN0 AIN1 AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 Reserved Reserved Reserved Reserved Reserved Reserved Reserved Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力は入出力ポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。またアナログ入力と近接する入出力ポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。
- 注 7) ADCCR1 のビット 5 は "1" に、ビット 6 は "0" をかならず設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 0000)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表を参照してください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	R/W

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 13-1 ACK 設定と周波数別の変換時間

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10-MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0027H)	7	6	5	4	3	2	1	0	
	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00	(初期値: 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0026H)	7	6	5	4	3	2	1	0	
			EOCF	ADBF					(初期値: **00 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: 変換実行中	

- 注 1) EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。従って ADCDR2 は ADCDR1 よりも先に読み出してください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 に対しリード命令を実行すると、ビット 7, 6, 3~0 は不定値が読み込まれます。

Not Recommended for New Design

## 13.3 機能

### 13.3.1 AD コンバータの動作

ADCCR1<ADRS> を“1”に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ (ADCDR1) に格納し、ADCDR2<EOCF> に“1”をセットするとともに INTADC 割り込み要求を発生します。

ADCCR1<ADRS> はAD変換を開始後、自動的にクリアされます。AD変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> によって変換が終了したことを確認後、あるいは INTADC 割り込み要求の発生後 (割り込みルーチンなど) に行ってください。

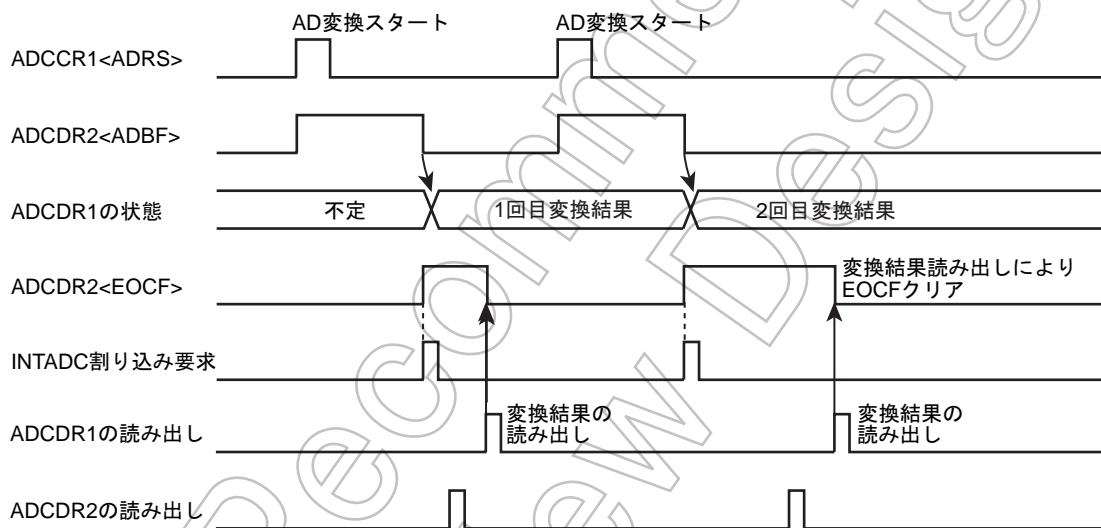


図 13-2 AD コンバータの動作

### 13.3.2 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
  - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
  - アナログ入力制御 (AINDS) をアナログ入力カインェブルに指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
  - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 を参照してください。
  - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) を“1”に設定してください。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が“1”にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1) に格納されます。また、このとき INTADC 割り込み要求が発生します。

5. AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5  $\mu$ s @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に 8 ビットのデータを格納します。

```

: (ポートの設定)      :                               ; AD コンバータのレジスタを設定する前にポート
:                       :                               レジスタを適切に設定してください。
:                       :                               (詳細は I/O ポートの章を参照してください)
LD      (ADCCR1), 00100011B      ; AIN3 を選択
LD      (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択
:
SET     (ADCCR1), 7              ; ADRS = 1 (AD 変換開始)
SLOOP: TEST (ADCDR2), 5          ; EOCF = 1 ?
JRS    T, SLOOP
:
LD      A, (ADCDR1)              ; 変換結果の読み出し
LD      (9FH), A

```

### 13.3.3 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードをを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的に切断されるため、アナログ基準電源への電流の流れ込みはありません。

### 13.3.4 入力電圧と変換結果

アナログ入力電圧と AD 変換された 8 ビットデジタル値は図 13-3 のように対応します。

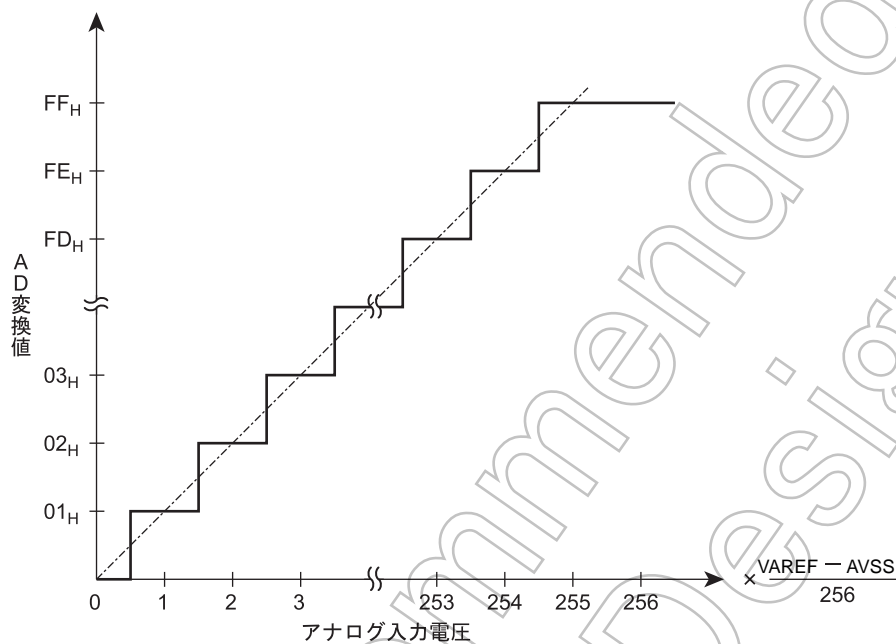


図 13-3 アナログ入力電圧と AD 変換値 (typ.) の関係

## 13.4 AD コンバータの注意事項

### 13.4.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

### 13.4.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

### 13.4.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 13-4 ようになっていました。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは  $5\text{ k}\Omega$  以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

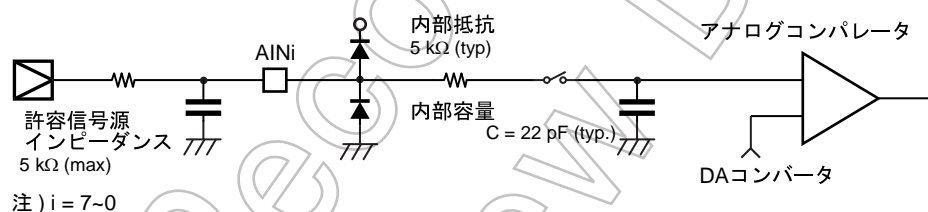


図 13-4 アナログ入力等価回路と入力端子処理例

## 第 14 章 キーオンウェイクアップ (KWU)

TMP86CM74AFG は、P20( $\overline{\text{INT5}}/\overline{\text{STOP}}$ ) 端子以外に STOP2 ~ STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2 ~ STOP5 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$  端子の論理に注意が必要です。詳細については、後述の “14.2 制御” を参照してください。

### 14.1 構成

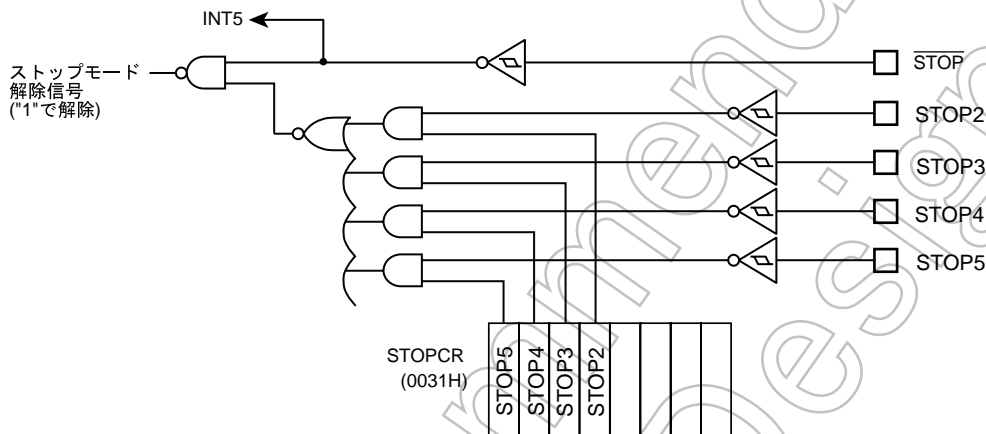
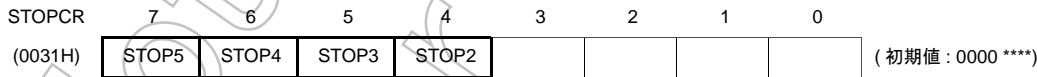


図 14-1 キーオンウェイクアップ回路

### 14.2 制御

STOP2 ~ STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

#### キーオンウェイクアップ制御レジスタ



STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

### 14.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2 ~ STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。



また、STOP2 ~ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注 2,3)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ~ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ~ STOP5 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$  端子および STOP2 ~ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 14-2)
- 注 4)  $\overline{\text{STOP}}$  端子は、入力を禁止する機能がありませんので、STOP2 ~ STOP5 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$  端子を STOP モード解除用の端子として機能します。
- 注 5) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 6) STOP2 ~ STOP5 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中  $\overline{\text{STOP}}$  端子を必ず "L" レベルに固定してください。(図 14-3)

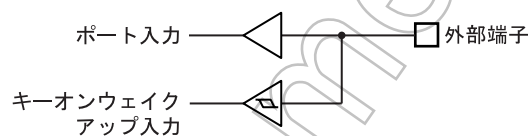


図 14-2 キーオンウェイクアップ入力とポート入力

a)  $\overline{\text{STOP}}$  端子の場合



b) STOP2 ~ STOP5 の場合

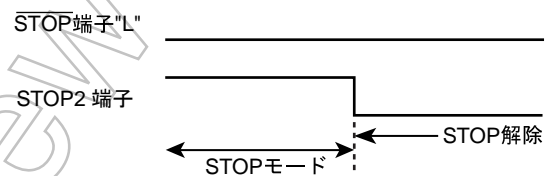


図 14-3 STOP 端子と STOP2 ~ STOP5 端子の優先順位

表 14-1 STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)
STOP4	"L" レベル	使用禁止 (注 1)
STOP5	"L" レベル	使用禁止 (注 1)

## 第 15 章 蛍光表示管 (VFT) 駆動回路

TMP86CM74AFG は、蛍光表示管を直接駆動する高耐圧出力、および表示データを自動的にポートに転送するための表示回路を内蔵しています。また、従来製品の VFT 駆動回路のように、セグメントおよびデジットと言った割り付けをしておりません。表示管の種類およびレイアウトにより指定されたタイミング (T0~T15) の中で、セグメントおよびデジットのレイアウトを自由に行うことが可能です。

### 15.1 機能

1. TMP86CM74AFG は 37 本の高耐圧出力を内蔵しています。

大電流出力端子 16 本 (V0~V15)

中電流出力端子 21 本 (V16~V36)

その他に VFT 駆動用電源として VKK 端子があります。

2. ダイナミック点灯方式による 1~16 桁 (T0~T15) をプログラムにて選択できます。
3. VFT として使用しない端子 (PD ポート) は、汎用ポートとして使用できます。

VFT 制御レジスタ 1 の VSEL (ビット 4~0) によりビットごとに選択できます。

4. 表示データ (DBR 内の 80 バイト) を VFT 出力ピンへ転送する動作は自動的に行われます。
5. ディマー機能により、7 段階の輝度調整ができます。
6. 表 15-1 に表示時間の設定を示します。

表 15-1 表示時間の設定

SDT1	SDT2	tdisp 時間	16 MHz 時	8 MHz 時	4 MHz 時	2 MHz 時	1 MHz 時
00	0	$2^9/fc$ [s]	32 $\mu$ s	64 $\mu$ s	128 $\mu$ s	256 $\mu$ s	512 $\mu$ s
01		$2^{10}/fc$ [s]	64 $\mu$ s	128 $\mu$ s	256 $\mu$ s	512 $\mu$ s	1024 $\mu$ s
10		$2^{11}/fc$ [s]	128 $\mu$ s	256 $\mu$ s	512 $\mu$ s	1024 $\mu$ s	2048 $\mu$ s
11		$2^{12}/fc$ [s]	256 $\mu$ s	512 $\mu$ s	1024 $\mu$ s	2048 $\mu$ s	4096 $\mu$ s
00	1	$2^8/fc$ [s]	16 $\mu$ s	32 $\mu$ s	64 $\mu$ s	128 $\mu$ s	256 $\mu$ s
01		$2^9/fc$ [s]	32 $\mu$ s	64 $\mu$ s	128 $\mu$ s	256 $\mu$ s	512 $\mu$ s
10		$2^{10}/fc$ [s]	64 $\mu$ s	128 $\mu$ s	256 $\mu$ s	512 $\mu$ s	1024 $\mu$ s
11		$2^{11}/fc$ [s]	128 $\mu$ s	256 $\mu$ s	512 $\mu$ s	1024 $\mu$ s	2048 $\mu$ s

## 15.2 構成

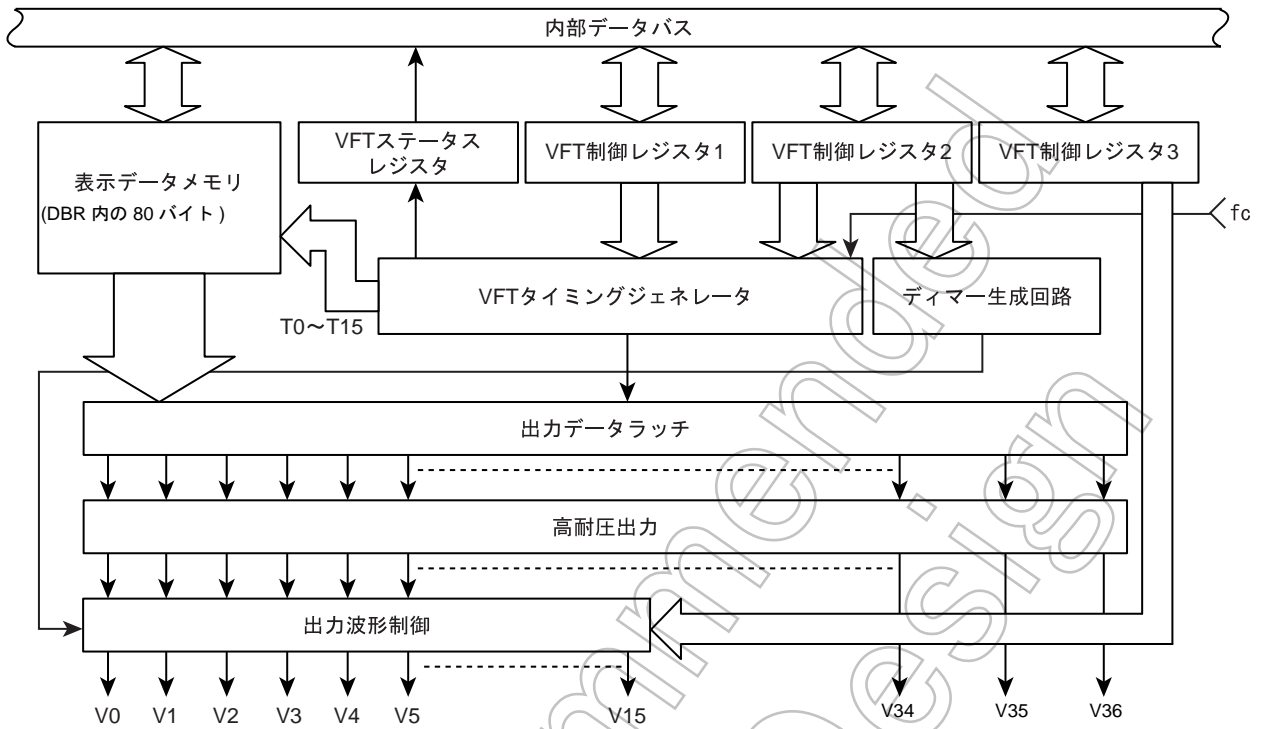


図 15-1 蛍光表示管 (VFT) 駆動回路

### 15.3 制御

VFT 駆動回路は、VFT 制御レジスタ (VFTCR1,VFTCR2,VFTCR3) で制御されます。また、VFT ステータスレジスタ (VFTSR) を読み込むことにより、VFT の動作状態を知ることができます。

NORMAL1,2 モードから、SLOW または STOP モードに切り替えると、VFT 駆動回路はブランキングとなり (VFT 制御レジスタの設定値は、BLK ビット以外は保持されます)、VFT 出力は “0” となりますので、P6~P9, PD ポートは入出力ポートとして機能します。

#### VFT 制御レジスタ 1

VFTCR1	7	6	5	4	3	2	1	0	
(002AH)	BLK	SDT1		VSEL					(初期値: 1000 0000)
(002AH)	BLK	SDT1		"0"					(初期値: 1000 0000)

BLK	VFT 表示制御	0: 表示イネーブル 1: ブランキング		R/W	
SDT1	表示時間 (tdisp) の設定 (1 表示時間の設定)	SDT2 = 0		R/W	
		00	$2^9/fc$		$2^8/fc$
		01	$2^{10}/fc$		$2^9/fc$
		10	$2^{11}/fc$		$2^{10}/fc$
		11	$2^{12}/fc$		$2^{11}/fc$
VSEL	自動表示本数の選択 (VFT 駆動回路 (自動表示) 使用時は、V31~V0 は VFT 専用出力となります。) 上記以外の出力端子で選択されない端子は汎用入出力端子として使用可能です。(汎用入出力端子として使用する場合その端子に相当する表示データは “0” に設定してください)	00000: 32 本 (V31~V0) 00001: 33 本 (V32~V0) 00010: 34 本 (V33~V0) 00011: 35 本 (V34~V0) 00100: 36 本 (V35~V0) 00101: 37 本 (V36~V0) その他: Reserved		R/W	

注 1) fc: 高周波クロック [Hz]

注 2) VFT 表示動作中に、表示時間 (SDT1) および自動表示本数 (VSEL) を変更する場合は、VFTCR1<BLK> を “1” にセットし、一度表示をブランキングにする必要があります。その時 SDT1 および VSEL の設定を変更しないでください。

注 3) Reserved: アクセスできません。

VFT ステータスレジスタ

VFTSR (002DH)	7	6	5	4	3	2	1	0	(初期値: 1000 0000)
	WAIT								

WAIT	VFT 表示動作状態モニタ	0: VFT 表示動作中 1: VFT 表示停止状態	Read only
------	---------------	-------------------------------	-----------

- 注 1) リセット後、VFTSR<WAIT> は “1” (VFT 表示停止状態) に初期化されます。
- 注 2) VFT 表示停止状態のとき、VFTCR1<BLK> を “0” (表示イネーブル) にセットすると、VFTSR<WAIT> は次の表示タイミング (tdisp) の先頭から “0” (VFT 表示動作中) にセットされ表示動作を開始します。
- 注 3) VFT 表示動作中に、VFTCR1<BLK> を “1” (ブランキング) にセットすると、現在の表示タイミング (tdisp) の出力が終了後、VFT はブランキング状態となります。その後、VFTSR<WAIT> フラグは、 “1” (VFT 表示停止状態) にセットされます。
- 注 4) VFT 表示をブランキングにした後、再び表示を行う場合は、VFTSR<WAIT> = “1” になっていることを確認した後、表示イネーブルの設定をする必要があります。

VFT 制御レジスタ 2

VFTCR2 (002BH)	7	6	5	4	3	2	1	0	(初期値: 0010 0000)
	DIM				STA				

DIM	ディマー時間の設定	000: Reserved 001: (14/16) × tdisp (s) 010: (12/16) × tdisp (s) 011: (10/16) × tdisp (s) 100: (8/16) × tdisp (s) 101: (6/16) × tdisp (s) 110: (4/16) × tdisp (s) 111: (2/16) × tdisp (s)	
STA	表示桁数 (ステート) の設定	00000: 1 桁表示モード (T0 を発生) 00001: 2 桁表示モード (T1~T0 を発生) 00010: 3 桁表示モード (T2~T0 を発生) 00011: 4 桁表示モード (T3~T0 を発生) 00100: 5 桁表示モード (T4~T0 を発生) 00101: 6 桁表示モード (T5~T0 を発生) 00110: 7 桁表示モード (T6~T0 を発生) 00111: 8 桁表示モード (T7~T0 を発生) 01000: 9 桁表示モード (T8~T0 を発生) 01001: 10 桁表示モード (T9~T0 を発生) 01010: 11 桁表示モード (T10~T0 を発生) 01011: 12 桁表示モード (T11~T0 を発生) 01100: 13 桁表示モード (T12~T0 を発生) 01101: 14 桁表示モード (T13~T0 を発生) 01110: 15 桁表示モード (T14~T0 を発生) 01111: 16 桁表示モード (T15~T0 を発生) その他: Reserved	R/W

- 注) 表示桁数の設定 (STA) だけではデジットに相当する端子の出力は行いません。  
表示タイミング (T0~T15) に合わせてデジットに相当するデータバッファにデータを書き込む必要があります。

VFT 制御レジスタ 3

VFTCR3 (002CH)	7	6	5	4	3	2	1	0	
	OWSEL				HVTR1-	HVTR0	SDT2	(初期値: 0000 0000)	

レジスタ	説明	SDT1				R/W	
		"00"	"01"	"10"	"11"		
SDT2	基本タイミングデバイダ 切り替え	0	$2^9/fc$ [s]	$2^{10}/fc$ [s]	$2^{11}/fc$ [s]	$2^{12}/fc$ [s]	R/W
		1	$2^8/fc$ [s]	$2^9/fc$ [s]	$2^{10}/fc$ [s]	$2^{11}/fc$ [s]	
HVTR0	P6~P9 ポートの Tr 時間切り替え	0	Tr 時間通常モード typ. 150 ns (VDD = 3 V, Vkk = -35 V)				R/W
		1	Tr 時間遅延モード typ. 3 $\mu$ s (VDD = 3 V, Vkk = -35 V)				
HVTR1	PD ポートの Tr 時間切り替え	0	Tr 時間通常モード (注 1) typ. 150 ns (VDD = 3 V, Vkk = -35 V)				R/W
		1	Tr 時間遅延モード (注 1) typ. 3 $\mu$ s (VDD = 3 V, Vkk = -35 V)				
OWSEL	出力波形選択		GRID 出力 (デイマー有効)		SEG 出力		R/W
		00000	P60		P61~PD4P97		
		00001	P60~P61		P62~PD4P97		
		00010	P60~P62		P63~PD4P97		
		00011	P60~P63		P64~PD4P97		
		00100	P60~P64		P65~PD4P97		
		00101	P60~P65		P66~PD4P97		
		00110	P60~P66		P67~PD4P97		
		00111	P60~P67		P70~PD4P97		
		01000	P60~P70		P71~PD4P97		
		01001	P60~P71		P72~PD4P97		
		01010	P60~P72		P73~PD4P97		
		01011	P60~P73		P74~PD4P97		
		01100	P60~P74		P75~PD4P97		
		01101	P60~P75		P76~PD4P97		
		01110	P60~P76		P77~PD4P97		
		01111	P60~P77		P80~PD4P97		
10000	Reserved		Reserved				
:	:		:				
11111	Reserved		Reserved				

注 1) PD ポートの立ち上がりは、VKK に外部にてプルダウン (約 80 k $\Omega$ ) を負荷した場合の値です。

注 2) 時間遅延モードは、Tr 時間を遅らせることにより、セット上の VFT ポートノイズを抑えることが可能です。また、同モードでは Tf も遅延します。セットでの外部容量を考慮した表示時間、デイマー値の設定を行わないと、グリッドとセグメントの切り替わりが重なり、表示管が表示漏れを起こす場合がありますので、実際のセットでの確認をお願いいたします。

### 15.3.1 表示モードの設定

VFT 表示モードの設定は、VFT 制御レジスタ 1 (VFTCR1) にて 1 表示時間 (tdisp)、および表示本数 (VSEL) の設定、VFT 制御レジスタ 2 (VFTCR2) にてディマー時間 (DIM)、および表示桁 (STA) の設定を行います (この場合 VFTCR1<BLK> が “1” の状態で行ってください)。

すでに表示中にディマー時間 (DIM) の設定を変更する場合は、VFTCR1<BLK> の状態が “0” のときも変更可能です。

### 15.3.2 表示データの設定

データを VFT 表示データに変換する処理は命令で行います。変換後、表示データバッファ (DBR の 0F80H~0FCFH 番地) に格納されたデータは自動的に転送され、VFT 出力 (V0~V36) に出力されます。従って、表示パターンの変更は表示データバッファのデータを変更するのみで可能です。VFT 出力端子と表示データ領域の各ビットには一対一の対応があり、表示パターンに割り付けられた各セグメント、およびデジット端子に対応するデータが双方 “1” のとき点灯します。なお、表示データバッファは、図 15-2 に示す DBR 領域に設けられています (表示データバッファは、通常のデータメモリとして使用できません)。

ビット	0 ~ 7	0 ~ 7	0 ~ 7	0 ~ 7	0 ~ 4	タイミング
	0F80	0F90	0FA0	0FB0	0FC0	T0
	0F81	0F91	0FA1	0FB1	0FC1	T1
	0F82	0F92	0FA2	0FB2	0FC2	T2
	0F83	0F93	0FA3	0FB3	0FC3	T3
	0F84	0F94	0FA4	0FB4	0FC4	T4
	0F85	0F95	0FA5	0FB5	0FC5	T5
	0F86	0F96	0FA6	0FB6	0FC6	T6
	0F87	0F97	0FA7	0FB7	0FC7	T7
	0F88	0F98	0FA8	0FB8	0FC8	T8
	0F89	0F99	0FA9	0FB9	0FC9	T9
	0F8A	0F9A	0FAA	0FBA	0FCA	T10
	0F8B	0F9B	0FAB	0FBB	0FCB	T11
	0F8C	0F9C	0FAC	0FBC	0FCC	T12
	0F8D	0F9D	0FAD	0FBD	0FCD	T13
	0F8E	0F9E	0FAE	0FBE	0FCE	T14
	0F8F	0F9F	0FAF	0FBF	0FCF	T15
出力端子	V0 ~ V7	V8 ~ V15	V16 ~ V23	V24 ~ V31	V32 ~ V36	

ビット	0 ~ 7	0 ~ 7	0 ~ 7	0 ~ 7	タイミング
0F80	0F90	0FA0	0FB0	T0	
0F81	0F91	0FA1	0FB1	T1	
0F82	0F92	0FA2	0FB2	T2	
0F83	0F93	0FA3	0FB3	T3	
0F84	0F94	0FA4	0FB4	T4	
0F85	0F95	0FA5	0FB5	T5	
0F86	0F96	0FA6	0FB6	T6	
0F87	0F97	0FA7	0FB7	T7	
0F88	0F98	0FA8	0FB8	T8	
0F89	0F99	0FA9	0FB9	T9	
0F8A	0F9A	0FAA	0FBA	T10	
0F8B	0F9B	0FAB	0FBB	T11	
0F8C	0F9C	0FAC	0FBC	T12	
0F8D	0F9D	0FAD	0FBD	T13	
0F8E	0F9E	0FAE	0FBE	T14	
0F8F	0F9F	0FAF	0FBF	T15	

出力端子 V0 ~ V7    V8 ~ V15    V16 ~ V23    V24 ~ V31

図 15-2 VFT 表示データバッファメモリ (DBR)

注) データメモリの内容は、電源投入時不定になります。



## 15.4 表示動作

使用する蛍光表示管に合わせ、デジット本数分の表示タイミングを設定し、各タイミングに合わせたセグメントおよびデジットのデータを格納後、VFTCR1<BLK>を“0”にクリアすることにより、VFT 表示が開始されます。

図 15-3 に VFT の駆動波形を、図 15-4、図 15-5 に表示動作例を示します。

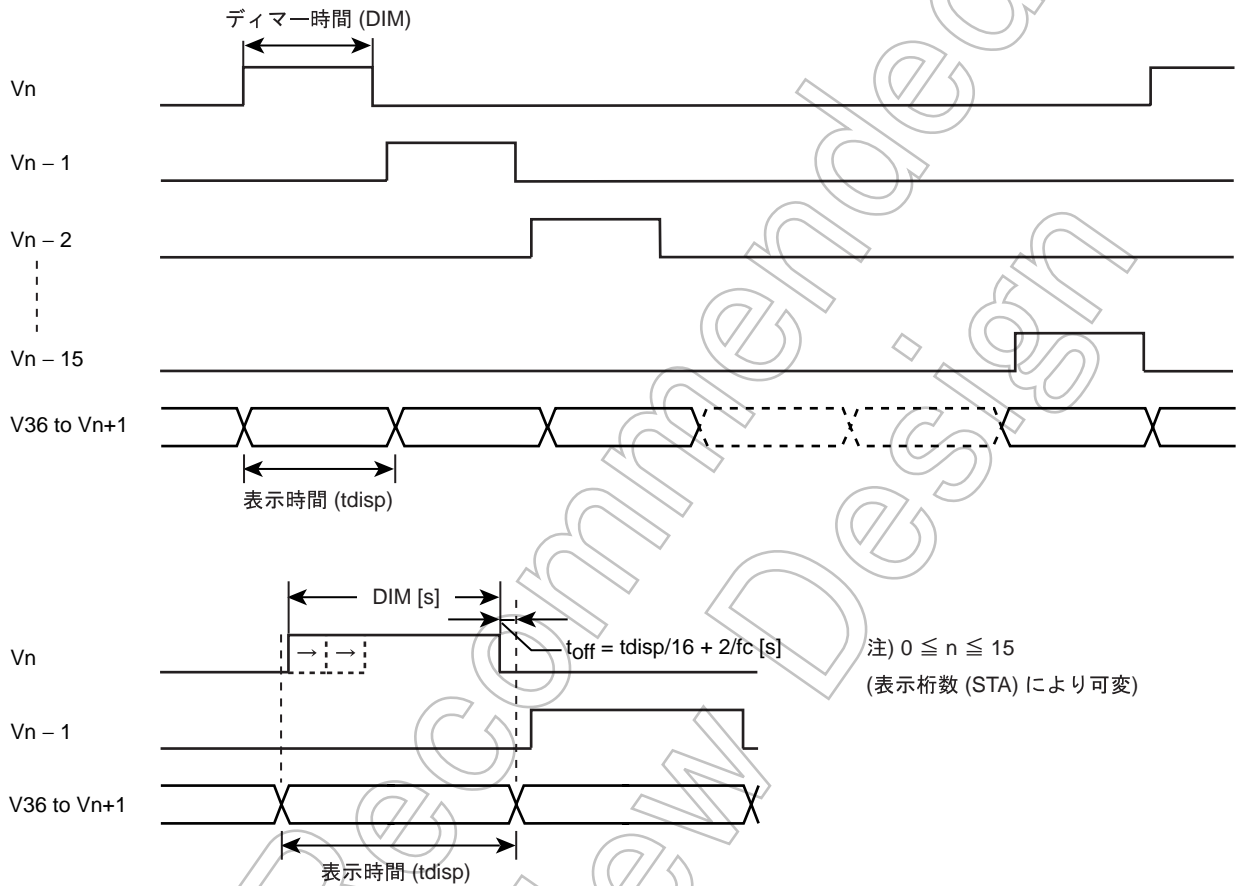


図 15-3 VFT の駆動波形および表示タイミング

## 15.5 表示動作例

### 15.5.1 コンベンショナルタイプ蛍光表示管の場合

コンベンショナルタイプの蛍光表示管をご使用の場合、デジットの出力タイミングは、1 タイミングに対し 1 デジット出力となりますので、デジットに指定した端子にシーケンシャルに出力されるようデータの設定を行ってください。下記に 10 デジットの蛍光表示管を使用し、V0~V9 端子をデジット出力として割り付けた場合の、表示データバッファ (DBR) のデータ割り付けとその際の出力タイミングを示します(この場合デジット端子に相当するデータバッファでのデータ書き込みは、最初に設定して頂ければ、その後は書き替えの必要がありません)。

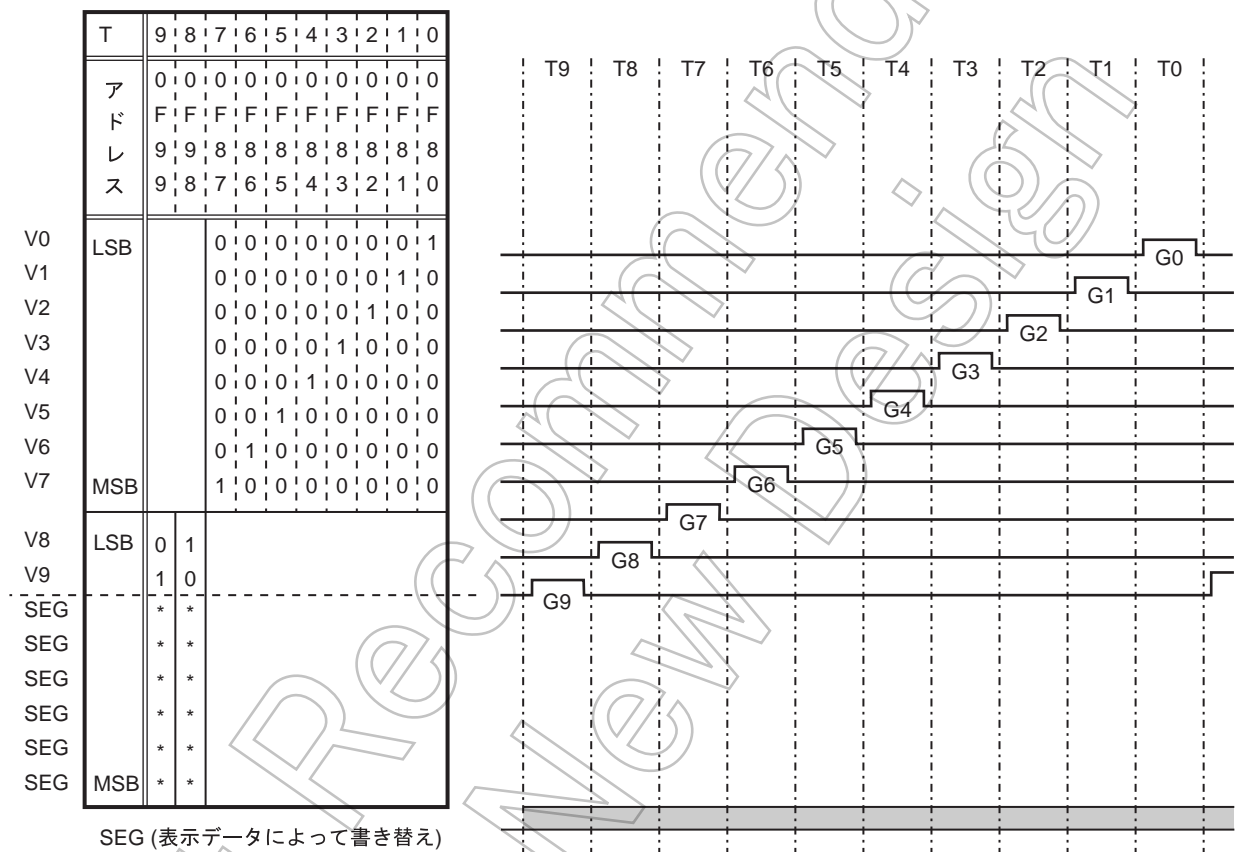


図 15-4 コンベンショナルタイプ蛍光表示管駆動波形例

### 15.5.2 グリッドスキャンタイプ蛍光表示管の場合

グリッドスキャンタイプの蛍光表示管の場合、複数のグリッドにまたがった表示パターンを点灯するために、その複数のグリッドを同時に選択する必要があります。その場合、下記のようなグリッドスキャンモードとなるように、タイミングとデータを設定していただくことによって駆動できます。

- 各グリッド内に完全に納まっているパターンを点灯する場合、従来どおりの対応するグリッドのみを順次スキャンして点灯します(下記 T8~T3 のタイミング)。
- 複数のグリッドにまたがった表示パターンを点灯する場合、対応する複数のグリッドを同時に選択し、点灯させます(下記 T2~T0 のタイミング)。

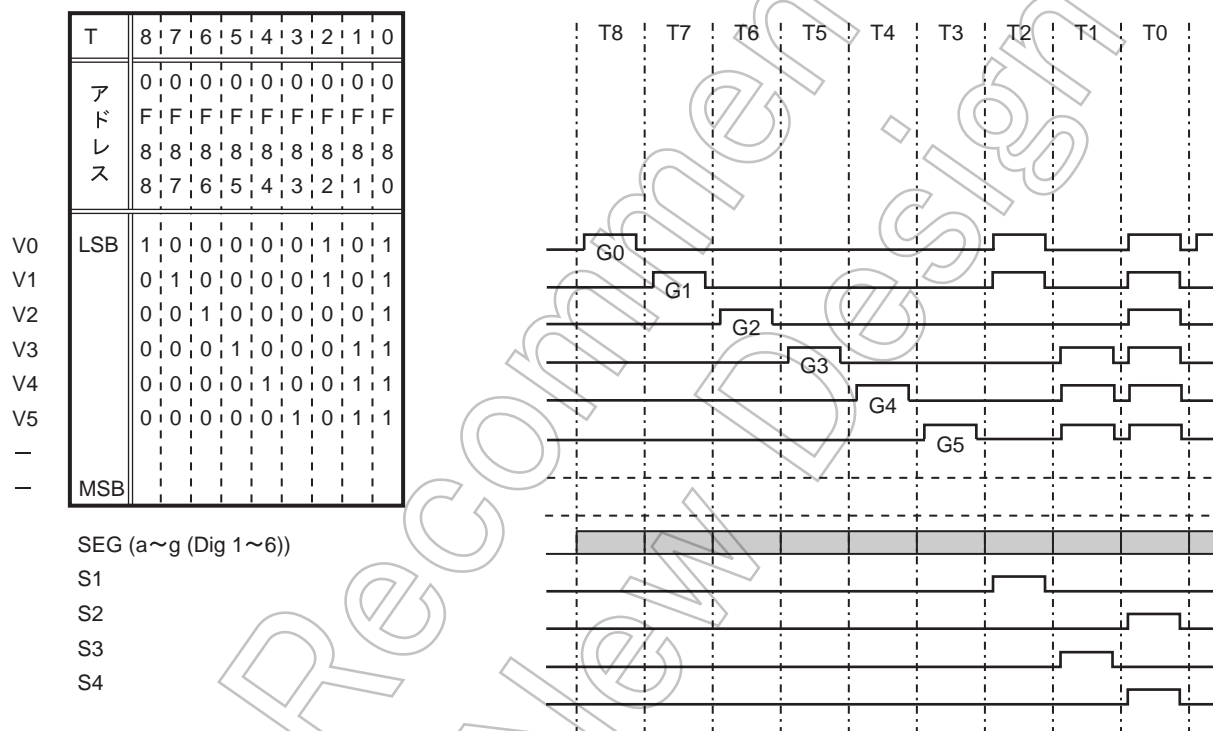


図 15-5 グリッドスキャンタイプ蛍光表示管駆動波形例

## 15.6 ポート機能

### 15.6.1 高耐圧ポート

蛍光表示管を駆動させる場合は、ポート出力ラッチを“0”にクリアします。ポート出力ラッチは、リセット時“0”に初期化されます。

通常の入出力端子として用いる場合は、以下の注意が必要です。

注) V<sub>KK</sub> 端子へプルダウン ( $R_K = \text{typ. } 80 \text{ k}\Omega$ ) されている端子を使用しない場合は開放にし、ポート出力ラッチ、および相当するデータバッファメモリ (DBR) を“0”にクリアする必要があります。

#### 15.6.1.1 P6~P9 ポート

P6~P9 の一部を入出力端子として使用する場合 (蛍光表示管駆動回路動作時)、入出力端子として使用する端子に兼用されているセグメントのデータバッファメモリ (DBR) を、“0”にクリアする必要があります。

#### 15.6.1.2 PD ポート

VFT 出力と通常入出力が、VFT 制御レジスタ 1 の  $\text{VFTCR1}\langle \text{VSEL} \rangle$  によりビット単位で制御することができます。

### 15.6.2 注意事項

V<sub>KK</sub> 端子へプルダウンされている端子を通常の入出力または入力として使用する場合には、下記の点にご注意ください。

#### 15.6.2.1 出力時

“L” レベルを出力する際、ポートは、V<sub>KK</sub> 端子電圧となります。従って、外部回路に V<sub>KK</sub> 端子電圧が印加されるのを防ぐため、図 15-6 (a) のようにダイオードでクランプするなどの処理が必要です。

#### 15.6.2.2 入力時

外部データを入力する場合、ポート出力ラッチを“0”にクリアします。

入力しきい値は、他の通常入出力ポートと同一ですが、V<sub>KK</sub> 端子へプルダウンされていますので、 $R_K$  (typ. 80 k $\Omega$ ) を十分にドライブする必要があります。

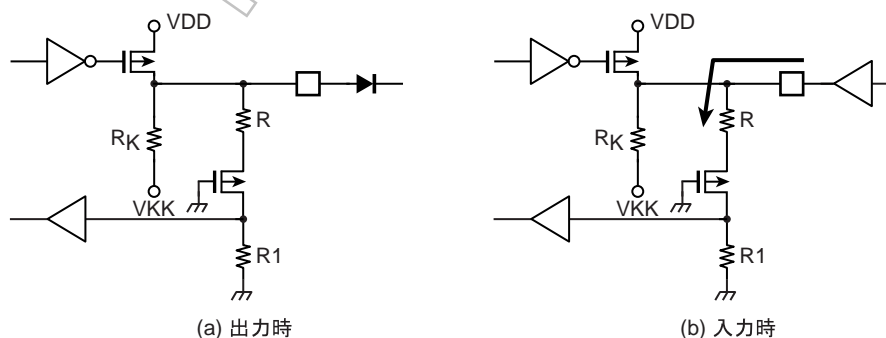


図 15-6 外部回路と入出力

Not Recommended  
for New Design

# 第 16 章 端子の入出力回路

## 16.1 制御端子

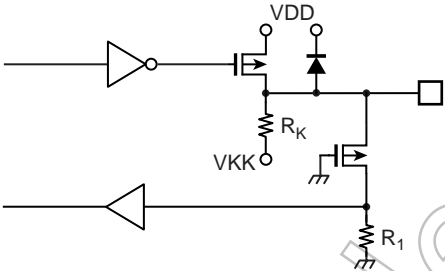
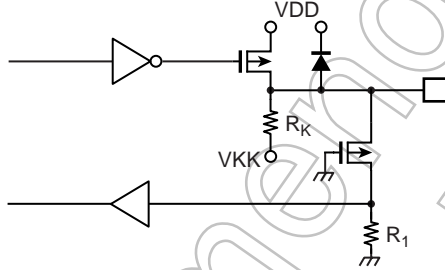
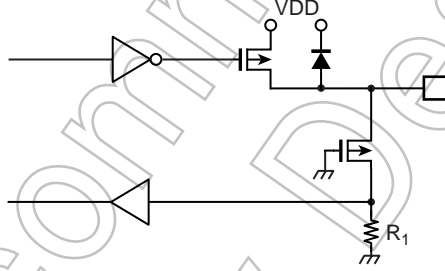
TMP86CM74AFG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_O = 500 \text{ }\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_O = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

注) TMP86PM74A の TEST 端子には、プルダウン抵抗 ( $R_{IN}$ ) と保護ダイオード ( $D_1$ ) は内蔵されていません。MCU モードでは、必ず“L”レベルに固定してください。

## 16.2 入出力ポート

ポート	入出力	回路	備考
P0	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p> <p>VDD</p>	トリステート入出力
P1	入出力	<p>初期値 "High-Z"</p> <p>P-ch 制御</p> <p>データ出力</p> <p>端子入力</p> <p>VDD</p>	プログラマブル オープンドレイン出力 ヒステリシス入力
P2	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>端子入力</p> <p>VDD</p>	シンクオープンドレイン出力 ヒステリシス入力
P3	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>端子入力</p> <p>VDD</p>	シンクオープンドレイン出力 ヒステリシス入力
P4	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p> <p>VDD</p>	トリステート入出力
P5	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p> <p>VDD</p>	トリステート入出力 ヒステリシス入力

ポート	入出力	回路	備考
P6 P7	入出力	<p>初期値 "High-Z"</p> 	<p>ソースオープンドレイン出力 高耐圧 (大電流) <math>R_K = 80 \text{ k}\Omega</math> (typ.) <math>R_1 = 200 \text{ k}\Omega</math> (typ.)</p>
P8 P9	入出力	<p>初期値 "High-Z"</p> 	<p>ソースオープンドレイン出力 高耐圧 (中電流) <math>R_K = 80 \text{ k}\Omega</math> (typ.) <math>R_1 = 200 \text{ k}\Omega</math> (typ.)</p>
PD	入出力	<p>初期値 "High-Z"</p> 	<p>ソースオープンドレイン出力 高耐圧 (中電流) <math>R_1 = 200 \text{ k}\Omega</math> (typ.)</p>

Not Recommended for New



Not Recommended  
for New Design

## 第 17 章 電気的特性

### 17.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V<sub>SS</sub> = 0 V)

項目	記号	端子	規格	単位
電源電圧	V <sub>DD</sub>		-0.3~6.5	V
入力電圧	V <sub>IN</sub>		-0.3~V <sub>DD</sub> + 0.3	V
出力電圧	V <sub>OUT1</sub>		-0.3~V <sub>DD</sub> + 0.3	V
	V <sub>OUT2</sub>	シンクオープンドレインポート	V <sub>DD</sub> - 41~V <sub>DD</sub> + 0.3	V
出力電流 (1 端子当たりピーク)	IOL	I <sub>OUT1</sub>	P0, P01, P2, P4, P5 ポート	5
		I <sub>OUT2</sub>	P3 ポート	40
	IOH	I <sub>OUT3</sub>	P0, P1, P4, P5 ポート	-3
		I <sub>OUT4</sub>	P6, P7 ポート	-30
		I <sub>OUT5</sub>	P8, P9, P <sub>D</sub> ポート	-20
出力電流 (全端子総計ピーク)	IOL	Σ I <sub>OUT1</sub>	P0, P01, P2, P4, P5 ポート	120
	IOH	Σ I <sub>OUT2</sub>	P6, P7, P8, P9, P <sub>D</sub> ポート	-120
消費電力 [T <sub>opr</sub> = 25°C]	P <sub>D</sub>		1200	mW
はんだ付け温度 (時間)	T <sub>sld</sub>		260 (10 s)	°C
保存温度	T <sub>stg</sub>		-55~125	
動作温度	T <sub>opr</sub>		-30~70	

注 1) すべての V<sub>DD</sub> 端子は、同じ電圧レベルを保つために外部にて接続してください。

注 2) 消費電力 (P<sub>D</sub>) は、T<sub>a</sub> = 25°C 以上では -14.3 mW/°C にて算出してください。

## 17.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

項目	記号	端子	条件	Min	Max	単位	
電源電圧	$V_{DD}$		$f_c = 16 \text{ MHz}$	NORMAL1, 2 モード	4.5	5.5	V
				IDLE0, 1, 2 モード			
			$f_c = 8 \text{ MHz}$	NORMAL1, 2 モード	2.7		
				IDLE0, 1, 2 モード			
			$f_s = 32.768 \text{ kHz}$	SLOW1, 2 モード			
				SLEEP0, 1, 2 モード			
STOP モード							
出力電圧	$V_{OUT3}$	ソースオープンドレイン端子		$V_{DD} - 38$	$V_{DD}$		
高レベル入力電圧	$V_{IH1}$	ヒステリシス入力を除く		$V_{DD} \times 0.70$	$V_{DD}$		
	$V_{IH2}$	ヒステリシス入力		$V_{DD} \times 0.75$			
低レベル入力電圧	$V_{IL1}$	ヒステリシス入力を除く		0	$V_{DD} \times 0.30$		
	$V_{IL2}$	ヒステリシス入力			$V_{DD} \times 0.25$		
クロック周波数	$f_c$	XIN, XOUT	$V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$	1.0	8.0	MHz	
			$V_{DD} = 4.5 \text{ V} \sim 5.5 \text{ V}$		16.0		
	$f_s$	XTIN, XTOUT		30.0	34.0	kHz	

Not Recommended for New

## 17.3 消費電力の計算方法

TMP86CM74AFG の消費電力  $P_{max}$  は、VFT ドライバの損失 (VFT ドライバ出力損失 + プルダウン抵抗 ( $R_K$ ) 損失) が占める割合が大きく多セグメントの蛍光表示管を使用する場合、PD ポートをプルダウン抵抗 ( $R_K$ ) を外付けするか (PD ポートの VFT ドライバ出力損失は考慮が必要)、ソフトウェアにより常時点灯するセグメント数を制限するなどして最大消費電力 PD を超えないように注意が必要です。消費電力  $P_{max}$  は以下の式で算出できます。

### 17.3.1 消費電力 $P_{max}$ = 動作消費電力 + ノーマル出力ポート損失 + VFT ドライバ損失

1. 動作消費電力 =  $VDD \times IDD$
2. ノーマル出力損失 =  $\sum I_{OUT1} \times 0.4$
3. VFT ドライバ損失 = VFT ドライバ出力損失 + プルダウン抵抗 ( $R_K$ ) 損失

例:  $T_a = -10^\circ\text{C} \sim 50^\circ\text{C}$  の使用条件下において

セグメント出力 = 3 mA、デジット出力 = 12 mA、 $V_{KK} = -34.5\text{ V}$  の蛍光表示管を使用。

コンベンショナルタイプで、グリッドは同時に 1 本しか使用しない場合 (グリッド数  $Y = 1$ )。

$VDD = 5\text{ V} \pm 10\%$ 、 $f_c = 8\text{ MHz}$ 、VFT デイマー時間 (DIM) =  $(14/16) \times t_{SEG}$  動作の場合、

消費電力  $P_{max}$  は、

1. 動作消費電力:  $VDD \times IDD = 5.5\text{ V} \times 10\text{ mA} = 55\text{ mW}$
2. ノーマル出力損失:  $\sum I_{OUT1} \times 0.4 = 60\text{ mA} \times 0.4\text{ V} = 24\text{ mW}$
3. VFT ドライバ損失:

$$\text{セグメント端子} = 3\text{ mA} \times 2\text{ V} \times \text{セグメント数 } X = 6\text{ mW} \times X$$

$$\text{グリッド端子} = 12\text{ mA} \times 2\text{ V} \times 14/16 (\text{デイマー時間 (DIM)}) \times \text{グリッド数 } Y = 21\text{ mW} \times Y$$

$$R_K \text{ 損失} = (5.5\text{ V} + 34.5\text{ V})^2 / 50\text{ k}\Omega \times (\text{セグメント数 } X + \text{グリッド数 } Y) = 32\text{ mW} \times (X + Y)$$

$$P_{max} = 55\text{ mW} + 24\text{ mW} + 6\text{ mW} \times X + 21\text{ mW} + 32\text{ mW} \times (X + Y) = 132\text{ mW} + 38\text{ mW} \times X$$

となります。

また、 $T_a = 50^\circ\text{C}$  時の最大消費電力は、

$$PD = 1200\text{ mW} - (14.3\text{ mW} \times 25^\circ\text{C}) = 842.5\text{ mW}$$

$$PD > P_{max}$$

$$842.5\text{ mW} > 132 + 38X$$

$$SEG < 18.69$$

となり、この場合は 18 セグメント以下の蛍光表示管なら問題ありませんが、それ以上の蛍光表示管を使用する場合は、PD ポートをプルダウン抵抗 ( $R_K$ ) を外付けするか (PD ポートの VFT ドライバ出力損失は考慮が必要)、ソフトウェアにて常時点灯するセグメント数を 18 セグメント以下に制限する必要があります。

## 17.4 DC 特性

### 17.4.1 DC 特性 (1) ( $V_{DD} = 5\text{ V}$ )

[条件]  $V_{DD} = 5.0\text{ V} \pm 10\%$ ,  $V_{SS} = A_{VSS} = 0\text{ V}$ ,  $T_{opr} = -30\text{--}70\text{ }^\circ\text{C}$  (Typ.:  $V_{DD} = 5.0\text{ V}$ ,  $T_{opr} = 25\text{ }^\circ\text{C}$ ,  $V_{in} = 5.0\text{ V}/0\text{ V}$ )

項目	記号	端子	条件	Min	Typ.	Max	単位	
ヒステリシス電圧	$V_{HS}$	ヒステリシス入力		-	0.9	-	V	
入力電圧	$I_{IN1}$	TEST	$V_{DD} = 5.5\text{ V}$ , $V_{IN} = 5.5\text{ V}/0\text{ V}$	-	-	$\pm 2$	$\mu\text{A}$	
	$I_{IN2}$	シンクオープンドレイン、 トライステートポート						
	$I_{IN3}$	$\overline{\text{RESET}}$ , STOP						
入力抵抗	$R_{IN}$	$\overline{\text{RESET}}$ プルアップ		100	220	450	$\text{k}\Omega$	
プルダウン抵抗	$R_K$	シンクオープンドレイン	$V_{DD} = 5.5\text{ V}$ , $V_{KK} = -30\text{ V}$	50	-	110		
出力リーク電流	$I_{LO1}$	シンクオープンドレイン、 トライステートポート	$V_{DD} = 5.5\text{ V}$ , $V_{OUT} = 5.5\text{ V}$	-	-	$\pm 2$	$\mu\text{A}$	
	$I_{LO2}$	シンクオープンドレイン	$V_{DD} = 5.5\text{ V}$ , $V_{KK} = -32\text{ V}$	-	-	$\pm 2$		
高レベル出力電圧	$V_{OH}$	トライステートポート	$V_{DD} = 4.5\text{ V}$ , $I_{OH} = -0.7\text{ mA}$	4.1	-	-	V	
低レベル出力電圧	$V_{OL}$	XOUT, P3 ポートを除く	$V_{DD} = 4.5\text{ V}$ , $I_{OL} = 1.6\text{ mA}$	-	-	0.4		
高レベル出力電流	$I_{OH1}$	P6, P7 ポート	$V_{DD} = 4.5\text{ V}$ , $V_{OH} = 2.4\text{ V}$	-18	-28	-	$\text{mA}$	
	$I_{OH2}$	P8, P9, P <sub>D</sub> ポート	$V_{DD} = 4.5\text{ V}$ , $V_{OH} = 2.4\text{ V}$	-9	-14	-		
低レベル出力電流	$I_{OL}$	大電流 (P3 ポート)	$V_{DD} = 4.5\text{ V}$ , $V_{OL} = 1.0\text{ V}$	-	30	-		
NORMAL1, 2 モード時電源電流	$I_{DD}$		$f_c = 16.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$	AD 変換 ディセーブル (IREF カット時)	-	12	18	$\text{mA}$
IDLE0, 1, 2 モード時電源電流			$f_c = 8.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$		-	6	9	
			$f_c = 16.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$		-	6	9	
NORMAL1, 2 モード時電源電流			$f_c = 8.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$		-	3	4.5	
			$f_c = 16.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$		AD 変換 イネーブル	-	13	
STOP モード時電源電流			$f_c = 8.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$		-	7	10	
	$T_{opr} = -50\text{ }^\circ\text{C}$	AD 変換 ディセーブル	-	0.5	5	$\mu\text{A}$		
		$T_{opr} = -70\text{ }^\circ\text{C}$				10		

注 1)  $T_{opr} = -10\text{--}70\text{ }^\circ\text{C}$

注 2) Typ. 値は、条件に指定なき場合  $T_{opr} = 25\text{ }^\circ\text{C}$ ,  $V_{DD} = 5\text{ V}$  時の値を示します。

注 3) 入力電流  $I_{IN1}$ ,  $I_{IN3}$ : プルアップまたはプルダウン抵抗による電流を除きます。

注 4)  $I_{DD}$  は、 $I_{REF}$  を含みません。

17.4.2 DC 特性 (2) ( $V_{DD} = 3\text{ V}$ )[条件]  $V_{DD} = 3.0\text{ V} \pm 10\%$ ,  $V_{SS} = A_{VSS} = 0\text{ V}$ ,  $T_{opr} = -30\text{--}70^\circ\text{C}$  (Typ.:  $V_{DD} = 3.0\text{ V}$ ,  $T_{opr} = 25^\circ\text{C}$ ,  $V_{in} = 3.0\text{ V}/0\text{ V}$ )

項目	記号	端子	条件	Min	Typ.	Max	単位		
ヒステリシス電圧	$V_{HS}$	ヒステリシス入力		–	0.4	–	V		
入力電圧	$I_{IN1}$	TEST	$V_{DD} = 3.3\text{ V}$ , $V_{IN} = 3.3\text{ V}/0\text{ V}$	–	–	$\pm 2$	$\mu\text{A}$		
	$I_{IN2}$	シンクオーブンドレイン、 トリステストポート							
	$I_{IN3}$	$\overline{\text{RESET}}$ , STOP							
入力抵抗	$R_{IN}$	$\overline{\text{RESET}}$ プルアップ		100	220	450	$\text{k}\Omega$		
プルダウン抵抗	$R_K$	シンクオーブンドレイン	$V_{DD} = 3.3\text{ V}$ , $V_{KK} = -30\text{ V}$	45	–	105			
出力リーク電流	$I_{LO1}$	シンクオーブンドレイン、 トリステストポート	$V_{DD} = 3.3\text{ V}$ , $V_{OUT} = 3.3\text{ V}/0\text{ V}$	–	–	$\pm 2$	$\mu\text{A}$		
	$I_{LO2}$	シンクオーブンドレイン	$V_{DD} = 3.3\text{ V}$ , $V_{KK} = -32\text{ V}$	–	–	$\pm 2$			
高レベル出力電圧	$V_{OH}$	トリステストポート	$V_{DD} = 2.7\text{ V}$ , $I_{OH} = -0.6\text{ mA}$	2.3	–	–	V		
低レベル出力電圧	$V_{OL}$	XOUT, P3 ポートを除く	$V_{DD} = 2.7\text{ V}$ , $I_{OL} = 0.9\text{ mA}$	–	–	0.4			
高レベル出力電流	$I_{OH1}$	P6, P7 ポート	$V_{DD} = 2.7\text{ V}$ , $V_{OH} = 1.5\text{ V}$	–5.5	–8	–	$\text{mA}$		
	$I_{OH2}$	P8, P9, P <sub>D</sub> ポート	$V_{DD} = 2.7\text{ V}$ , $V_{OH} = 1.5\text{ V}$	–3	–4.5	–			
低レベル出力電流	$I_{OL}$	大電流 (P3 ポート)	$V_{DD} = 2.7\text{ V}$ , $V_{OL} = 1.0\text{ V}$	–	6	–			
NORMAL1, 2 モード時電源電流	$I_{DD}$		$f_c = 8.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$	AD 変換 ディセー ブル (IREF カッ ト時)	–	3	4.5	$\text{mA}$	
IDLE0, 1, 2 モード時電源電流			$f_c = 8.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$		–	2	2.5		
NORMAL1, 2 モード時電源電流			$f_c = 8.0\text{ MHz}$ $f_s = 32.768\text{ kHz}$	AD 変換 イネーブ ル	–	3.5	5		
SLOW1 モード時電源電流			$f_s = 32.768\text{ kHz}$	AD 変換 ディセー ブル	–	30	60		$\mu\text{A}$
SLEEP0, 1 モード時電源電流					–	15	30		
STOP モード時電源電流			$T_{opr} = -50^\circ\text{C}$		–	0.5	5		
	$T_{opr} = \sim 70^\circ\text{C}$	–	–		10				

- 注 1) Typ. 値は、条件に指定なき場合  $T_{opr} = 25^\circ\text{C}$ ,  $V_{DD} = 3\text{ V}$  時の値を示します。  
 注 2) 入力電流  $I_{IN1}$ ,  $I_{IN3}$ : プルアップまたはプルダウン抵抗による電流を除きます。  
 注 3)  $I_{DD}$  は、 $I_{REF}$  を含みません。  
 注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 と同等です。

## 17.5 AD 変換特性

( $V_{SS} = 0\text{ V}$ ,  $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $T_{opr} = -30\sim 70^\circ\text{C}$ )

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	$V_{AREF}$		$V_{DD} - 1.5$	-	$V_{DD}$	V
アナログ基準 GND	$A_{VSS}$		$V_{SS}$			
アナログ基準電源電圧範囲	$\Delta V_{AIN}$		3.0	-	-	
アナログ入力電圧範囲	$V_{AIN}$		0	-	$V_{AREF}$	mA
アナログ基準電圧電源電流	$I_{REF}$	$V_{DD} = V_{AREF} = 5.5\text{ V}$ , $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.6	1.0	LSB
非直線性誤差			-	-	$\pm 1$	
ゼロ誤差		$V_{DD} = V_{AREF} = 4.5\sim 5.5\text{ V}$ , $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	-	$\pm 1$	
フルスケール誤差			-	-	$\pm 1$	
総合誤差			-	-	$\pm 2$	

( $V_{SS} = 0\text{ V}$ ,  $2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$ ,  $T_{opr} = -30\sim 70^\circ\text{C}$ )

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	$V_{AREF}$		$V_{DD} - 1.5$	-	$V_{DD}$	V
アナログ基準 GND	$A_{VSS}$		$V_{SS}$			
アナログ基準電源電圧範囲	$\Delta V_{AREF}$		2.5	-	-	
アナログ入力電圧範囲	$V_{AIN}$		0	-	$V_{AREF}$	mA
アナログ基準電圧電源電流	$I_{REF}$	$V_{DD} = V_{AREF} = 4.5\text{ V}$ , $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.5	0.8	LSB
非直線性誤差			-	-	$\pm 1$	
ゼロ誤差		$V_{DD} = V_{AREF} = 2.7\sim 4.5\text{ V}$ , $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	-	$\pm 1$	
フルスケール誤差			-	-	$\pm 1$	
総合誤差			-	-	$\pm 2$	

- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
- 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、レジスタ構成を参照ください。
- 注 3)  $A_{IN}$  入力端子への入力電圧は  $V_{AREF}\sim V_{SS}$  範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。
- 注 4) アナログ基準電源電圧範囲:  $\Delta V_{AREF} = V_{AREF} - V_{SS}$

## 17.6 AC 特性

 $(V_{SS} = 0\text{ V}, V_{DD} = 4.5\text{--}5.5\text{ V}, T_{opr} = -30\text{--}70^\circ\text{C})$ 

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcyc	NORMAL1, 2 モード時	0.25	-	4	$\mu\text{s}$
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	$t_{WCH}$	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルクロックパルス幅	$t_{WCL}$	$f_c = 16\text{ MHz}$ 時				
高レベルクロックパルス幅	$t_{WSH}$	外部クロック動作 (XTIN 入力)	-	15.26	-	$\mu\text{s}$
低レベルクロックパルス幅	$t_{WSL}$	$f_s = 32.768\text{ kHz}$ 時				

 $(V_{SS} = 0\text{ V}, V_{DD} = 2.7\text{--}4.5\text{ V}, T_{opr} = -30\text{--}70^\circ\text{C})$ 

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcyc	NORMAL1, 2 モード時	0.5	-	8	$\mu\text{s}$
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	$t_{WCH}$	外部クロック動作 (XIN 入力)	-	62.5	-	ns
低レベルクロックパルス幅	$t_{WCL}$	$f_c = 8\text{ MHz}$ 時				
高レベルクロックパルス幅	$t_{WSH}$	外部クロック動作 (XTIN 入力)	-	15.26	-	$\mu\text{s}$
低レベルクロックパルス幅	$t_{WSL}$	$f_s = 32.768\text{ kHz}$ 時				

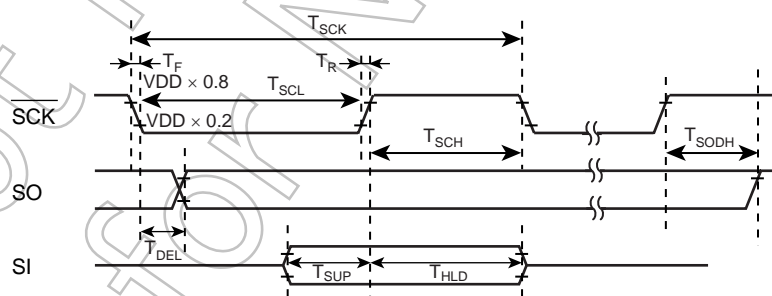


### 17.7 高速シリアルインタフェース AC 特性

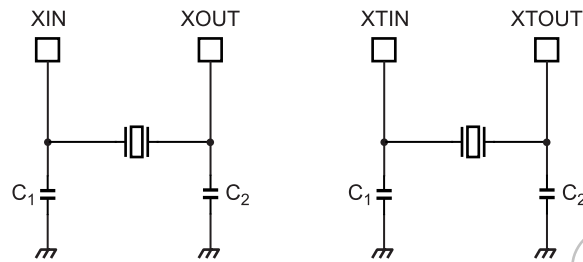
( $V_{SS} = 0\text{ V}$ ,  $V_{DD} = 2.7\text{--}5.5\text{ V}$ ,  $T_{opr} = -30\text{--}70^\circ\text{C}$ )

項目	記号	条件	Min	Typ.	Max	単位
$\overline{\text{SCK}}$ 出力周期 (内部クロック時)	$T_{\text{SCK1}}$	$8\text{ MHz} < f_c \leq 16\text{ MHz}$ $V_{DD} = 4.5\text{ V}\text{--}5.5\text{ V}$	$16/f_c$	–	–	s
$\overline{\text{SCK}}$ 出力低レベルパルス幅 (内部クロック時)	$T_{\text{SCL1}}$		$8/f_c - 100\text{ ns}$	–	–	
$\overline{\text{SCK}}$ 出力高レベルパルス幅 (内部クロック時)	$T_{\text{SCH1}}$		$8/f_c - 100\text{ ns}$	–	–	
$\overline{\text{SCK}}$ 出力周期 (内部クロック時)	$T_{\text{SCK2}}$	$4\text{ MHz} < f_c \leq 8\text{ MHz}$ $V_{DD} = 2.7\text{ V}\text{--}5.5\text{ V}$	$8/f_c$	–	–	
$\overline{\text{SCK}}$ 出力低レベルパルス幅 (内部クロック時)	$T_{\text{SCL2}}$		$4/f_c - 100\text{ ns}$	–	–	
$\overline{\text{SCK}}$ 出力高レベルパルス幅 (内部クロック時)	$T_{\text{SCH2}}$		$4/f_c - 100\text{ ns}$	–	–	
$\overline{\text{SCK}}$ 出力周期 (内部クロック時)	$T_{\text{SCK3}}$	$f_c \leq 4\text{ MHz}$ $V_{DD} = 2.7\text{ V}\text{--}5.5\text{ V}$	$4/f_c$	–	–	
$\overline{\text{SCK}}$ 出力低レベルパルス幅 (内部クロック時)	$T_{\text{SCL3}}$		$2/f_c - 100\text{ ns}$	–	–	
$\overline{\text{SCK}}$ 出力高レベルパルス幅 (内部クロック時)	$T_{\text{SCH3}}$		$2/f_c - 100\text{ ns}$	–	–	
$\overline{\text{SCK}}$ 入力周期 (外部クロック時)	$T_{\text{SCK4}}$	$f_c \leq 8\text{ MHz}$ ( $V_{DD} = 2.7\text{ V}\text{--}5.5\text{ V}$ ) $f_c \leq 16\text{ MHz}$ ( $V_{DD} = 4.4\text{ V}\text{--}5.5\text{ V}$ )	1000	–	–	ns
$\overline{\text{SCK}}$ 入力低レベルパルス幅 (外部クロック時)	$T_{\text{SCL4}}$		400	–	–	
$\overline{\text{SCK}}$ 入力高レベルパルス幅 (外部クロック時)	$T_{\text{SCH4}}$		400	–	–	
SI 入力セットアップ時間	$T_{\text{SUP}}$	$V_{DD} = 3.0\text{ V}$ , $CL \leq 50\text{ pF}$ (注)	200	–	–	
SI 入力ホールド時間	$T_{\text{HLD}}$		200	–	–	
SO 出力遅延時間	$T_{\text{DEL}}$		–	–	200	
立ち上がり時間	$T_{\text{R}}$		–	–	100	
立ち下がり時間	$T_{\text{F}}$		–	–	100	
SO 最終ビット保持時間	$T_{\text{SODH}}$		$16.5/f_c$	–	$32.5/f_c$	

注) 外部容量



## 17.8 推奨発振条件



(1) High-frequency Oscillation

(2) Low-frequency Oscillation

- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの同社ホームページをご参照ください。  
<http://www.murata.co.jp/>

## 17.9 取り扱い上のご注意

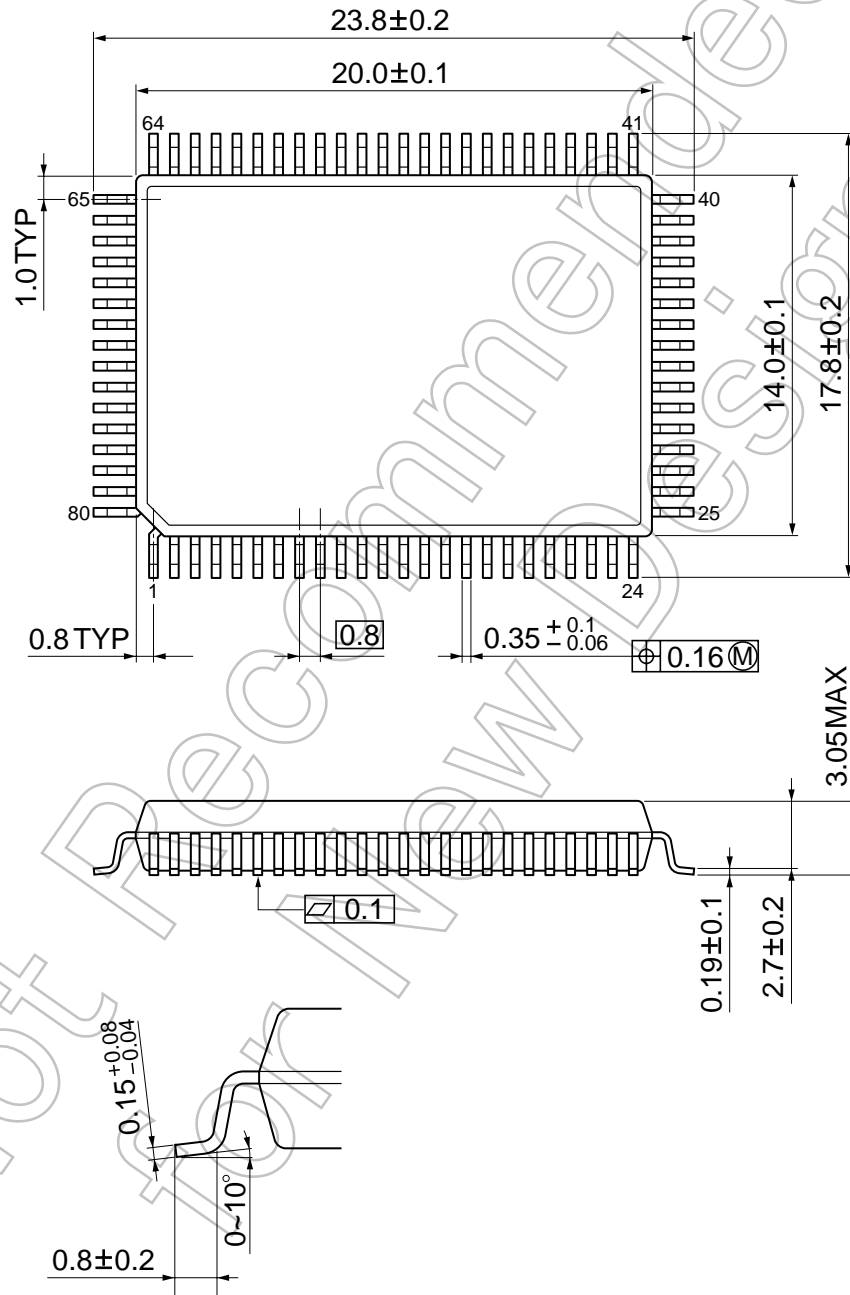
- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
  - 試験項目  
はんだ付け性
  - 試験条件  
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)  
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
  - 備考  
フォーミングまではんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

Not Recommended  
for New Design

第 18 章 外形寸法

QFP80-P-1420-0.80M Rev 02

Unit: mm



Not Recommended  
for New Design

# あとがき

この資料は TMP86CM74AFG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年11月14日

8ビットマイクロコントローラ

---

TMP86CM74AFG

---

発行年月日

2007年11月14日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社

---