

TOSHIBA

**32 ビット TX System RISC
TX19 ファミリー**

TMP19A23FYXBG

TMP19A23FYFG

Rev1.2 2008年3月10日

32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP19A23FYFG/XBG

1. 概要と特長

TMP19A23 に搭載されている TX19A プロセッサコアは、米国 MIPS グループの高性能な 32 ビットの命令セットである MIPS32ISA と高コード効率の命令セットである MIPS16eISA に当社で命令を追加した拡張命令セットの MIPS16e-TX™ASE (Application Specific Extension) を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A23 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A23 の特長は次の通りです。

(1) TX19A プロセッサコア (詳細は別冊の TX19A コアアーキテクチャを参照してください)

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- SAVE/RESTORE/ジャンプ・分岐命令を除き 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算 ($32 \times 32 + 64 = 64$ ビット) を 1 クロックで実行

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり、人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下「特定用途」という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

(2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 Flash ROM	内蔵 RAM
TMP19A23FYFG	256Kbyte	24Kbyte
TMP19A23FYXBG	256Kbyte	24Kbyte

- ROM コレクション機能 : 8word x 12blocks

(3) 外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス : セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
チップセレクト/ウェイトコントローラ : 4 チャンネル

(4) DMA コントローラ

- 4 チャンネル(割り込みは4要因)
- 割り込み、もしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ

- 12 チャンネル
- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- 高精度 16 ビット PPG 出力(可変モード : 2 チャンネル)
- インプットキャプチャ機能
- 二相パルス入力カウンタ機能(4 通倍モード : 1 チャンネル)

(6) 汎用シリアル・インタフェース

- 3 チャンネル
- UART/同期式モード選択可能

(7) 高速シリアル・インタフェース

- 1 チャンネル
- UART/高速同期式モード

(8) シリアルバスインタフェース

- 2 チャンネル
- I²C バスモード/クロック同期式モード選択可能

(9) 10 ビット A/D コンバータ (S/H 有り : 1unit)

- 13 チャンネル
- 外部トリガスタート可能、内部タイマトリガ起動
- チャンネル固定/スキャンモード
- シングル/リピートモード
- 最優先変換モード
- AD 監視機能 2ch
- 変換時間 1.15 μ sec (fsys=40MHz 時)
1.22 μ sec (fsys=54MHz 時)

(10) ウォッチドックタイマ

- 1 チャンネル

(11) 割り込み機能

- CPU 2 本 ……ソフトウェア割り込み命令
- 内部 38 本 ……7 レベルの優先順位設定可能 (ウォッチドックタイマ割り込みを除く)
- 外部 16 本 ……7 レベルの優先順位設定可能 (BGA 版は 15 本)

- (12) 入出力ポート
- QFP 版 : 111 端子
 - BGA 版 : 103 端子
- (13) スタンバイ機能
- スタンバイモード (IDLE、STOP)
- (14) クロックジェネレータ
- PLL 内蔵 (16 通倍、4 分周)
 - クロックギア機能: 高速クロックを 8/8, 4/8, 2/8, 1/8 に分周
- (15) エンディアン …… バイエンディアン (ビッグエンディアン/リトルエンディアン)
- (16) 最大動作周波数
- 54MHz (QFP 版)
 - 40MHz (BGA 版)
- (17) 動作電圧範囲
- QFP 版 (3.3V 系単一電源)
コア, I/O, ADC : 3.0V~3.6V (内蔵レギュレータ使用)
 - BGA 版 (1.5V 系/3.3V 系多電源)
コア : 1.35V~1.65V (内蔵レギュレータ無し)
I/O, ADC : 2.7V~3.6V
- (18) 温度範囲
- -20°C~85°C (動作範囲)
 - 0°C~70°C (Flash W/E 時)
- (19) パッケージ
- LQFP144-P-2020-0.50A (20mm × 20mm, 0.50mm ピッチ)
 - TFBGA141-P-0909-0.65A5 (9mm × 9mm, 0.65mm ピッチ)

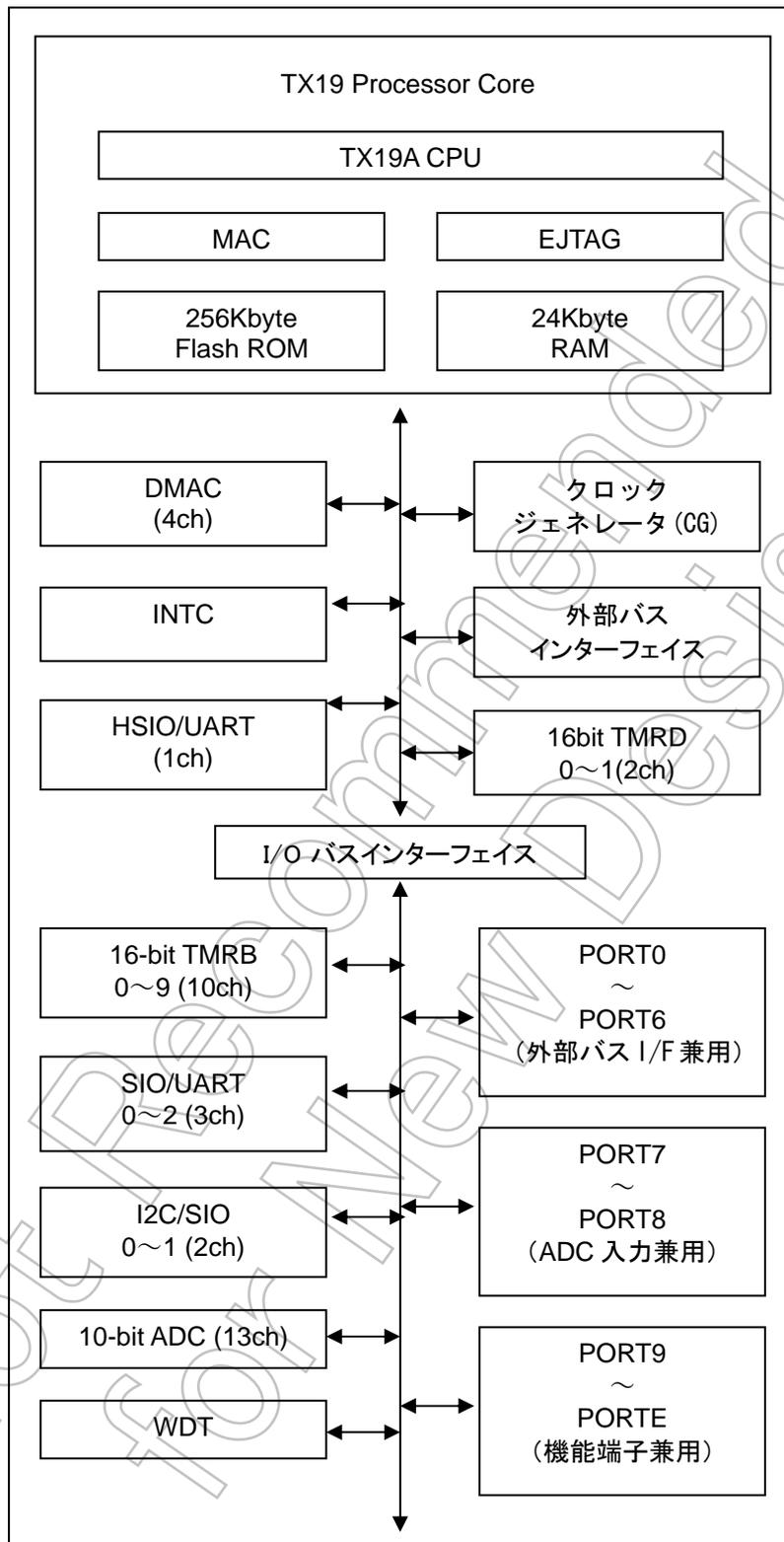


図 1-1 TMP19A23 ブロック図

2. ピン配置とピン機能

TMP19A23 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 TMP19A23FYFG (LQFP版) ピン配置図 (Top view)

TMP19A23FYFG (LQFP 版) のピン配置図は、図 2-1 のとおりです。

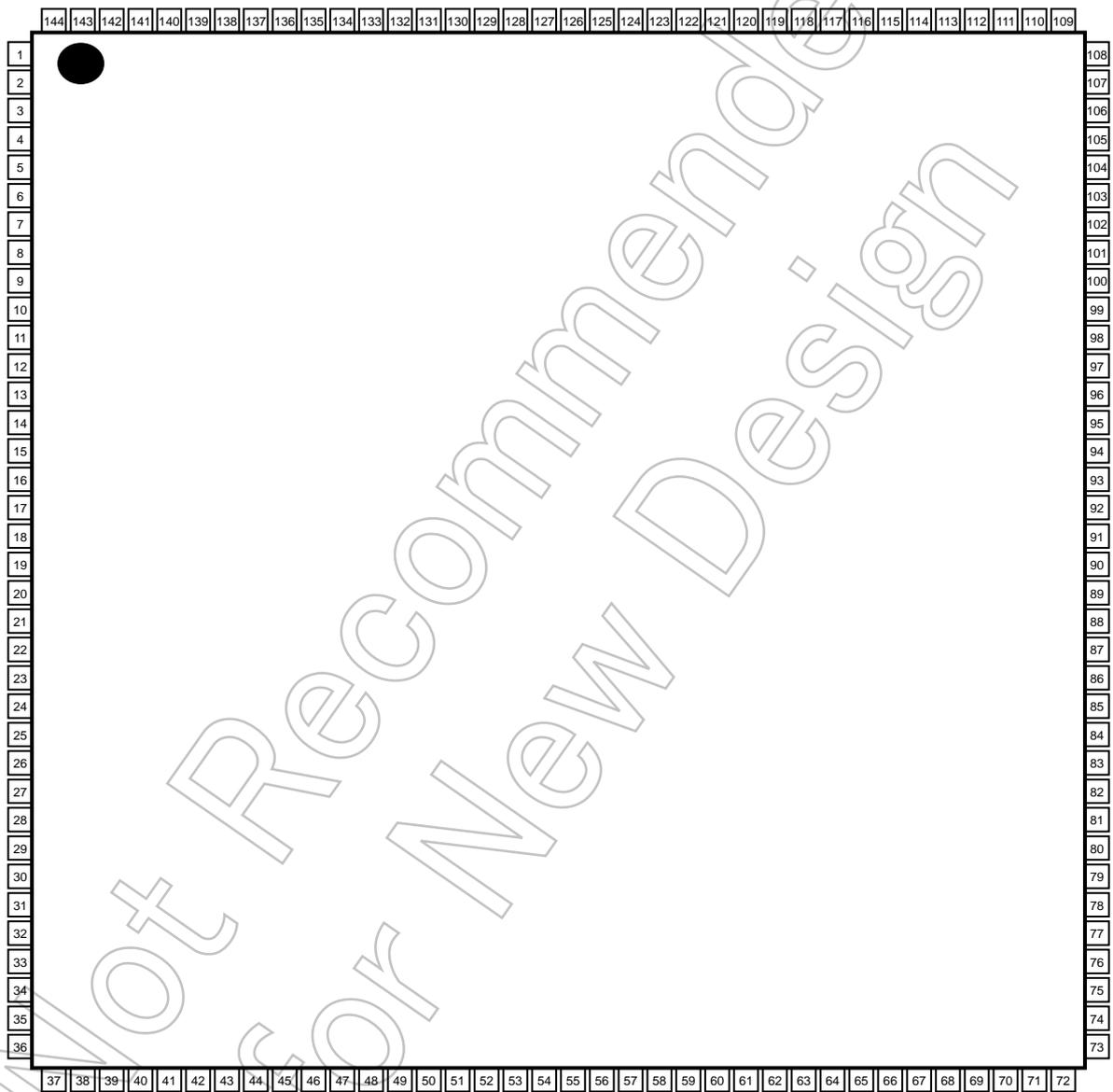


図 2-1 ピン配置図 (LQFP144)

表 2-1 ピン配置図 (LQFP144 ピン)

ピン番号	ピン機能	ピン番号	ピン機能	ピン番号	ピン機能	ピン番号	ピン機能
1	DVCC3	37	TEST3	73	REGVOUT	109	DVCC3
2	P27/A23/A7/A23	38	P30/RD	74	DVCC15	110	TEST1
3	P26/A22/A6/A22	39	P31/WR	75	CVCC15	111	PA0/SO0/SDA0/TB6OUT
4	P25/A21/A5/A21	40	P32/HWR	76	X1	112	PA1/SI0/SCL0/TB7OUT
5	P24/A20/A4/A20	41	P33/WAIT/RDY	77	CVSS	113	PA2/SCK0/INTA
6	P23/A19/A3/A19	42	P34/BUSRQ	78	X2	114	PA3/TB1OUT/DREQ2
7	P22/A18/A2/A18	43	P35/BUSAK	79	RESET	115	PA4/SO1/SDA1
8	P21/A17/A1/A17	44	P36/R/W	80	BW0	116	PA5/SI1/SCL1
9	P20/A16/A0/A16	45	P37/ALE	81	PC0/TB3OUT /ADTRG	117	PA6/SCK1/INTB
10	TEST2	46	AVCC	82	PC1/TB4OUT	118	PA7/TB2OUT/DACK2
11	P17/D15/AD15/A15	47	VREFH	83	PC2/INTE/TPC	119	PB7/TB5OUT
12	P16/D14/AD14/A14	48	P70/AIN0	84	PC3/INTF/TOVR	120	PB6/SCLK2/CTS2/INTD
13	P15/D13/AD13/A13	49	P71/AIN1	85	DVCC3	121	PB5/RXD2
14	P14/D12/AD12/A12	50	P72/AIN2	86	BW1	122	PB4/TXD2/TB5IN1
15	P13/D11/AD11/A11	51	P73/AIN3	87	PD7/TPC7/TPD7 /TB9IN1	123	PB3/INT2/TB5IN0
16	P12/D10/AD10/A10	52	P74/AIN4	88	PD6/TPC6/TPD6 /TB9IN0	124	PB2/HCLK0/HCTS0
17	P11/D9/AD9/A9	53	P75/AIN5	89	PD5/TPC5/TPD5 /TB8IN1	125	PB1/HRXD0
18	P10/D8/AD8/A8	54	P76/AIN6	90	PD4/TPC4/TPD4 /TB8IN0	126	PB0/HTXD0
19	P07/D7/AD7	55	P77/AIN7	91	PD3/TPC3/TPD3	127	DVSS
20	P06/D6/AD6	56	P80/AIN8	92	PD2/TPC2/TPD2	128	P67/A15/TB7IN1 /TD1OUT1/TD0OUT1
21	P05/D5/AD5	57	P81/AIN9	93	PD1/TPC1/TPD1	129	P66/A14/TB7IN0 /TD1OUT0/TD0OUT0
22	P04/D4/AD4	58	P82/AIN10	94	PD0/TPC0/TPD0	130	P65/A13/TB6IN1 /TD0OUT1/TD1OUT1
23	P03/D3/AD3	59	P83/AIN11	95	DVSS	131	P64/A12/TB6IN0 /TD0OUT0/TD1OUT0
24	P02/D2/AD2	60	P84/AIN12	96	PE5/DCLK	132	P63/A11/TB0IN1/INT6
25	P01/D1/AD1	61	AVSS(VREFL)	97	PE4/PCST4	133	P62/A10/TB0IN0/INT5
26	P00/D0/AD0	62	P90/TXD0	98	PE3/PCST3	134	P61/A9/TB3IN1 /TB0OUT1
27	DVSS	63	P91/RXD0/INTC	99	PE2/PCST2	135	P60/A8/TB3IN0 /TB0OUT0
28	DVCC3	64	P92/SCLK0/CTS0 /INT7	100	PE1/PCST1	136	P57/A7/TB2IN1/DACK3
29	P40/CS0	65	P93/INT1	101	PE0/PCST0	137	P56/A6/TB2IN0/DREQ3
30	P41/CS1	66	P94/TXD1	102	EJE	138	P55/A5/TB1IN1/INT4
31	P42/CS2	67	P95/RXD1	103	DINT	139	P54/A4/TB1IN0/INT3
32	P43/CS3	68	P96/SCLK1/CTS1 /INT8	104	TCK	140	P53/A3/TB9OUT
33	P44/BUSMD	69	P97/INT9	105	TMS	141	P52/A2/TB8OUT
34	P45/ENDIAN	70	REGNOISE	106	TDO	142	P51/A1/TB7OUT
35	P46/SCOUT	71	DVSS	107	TDI	143	P50/A0/TB6OUT
36	P47/INT0	72	REGVIN	108	TRST	144	BOOT

2.2 TMP19A23FYXBG (TFBGA版) ピン配置図 (Top view)

TMP19A23FYXBG (TFBGA版) のピン配置図は、図 2-2 のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12
F1	F2	F3	F4	F5	F6		F8	F9	F10	F11	F12
G1	G2	G3	G4	G5			G8	G9	G10	G11	G12
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11	H12
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11	J12
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11	K12
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11	L12
M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12

図 2-2 ピン配置図 (TFBGA141)

表 2-2 ピン番号とピン名称 (TFBGA141 ピン)

ピン番号	ピン機能	ピン番号	ピン機能	ピン番号	ピン機能	ピン番号	ピン機能
A1	NC	D1	RESET	G2	PE4/PCST4	K4	PA5/SI1/SCL1
A2	P96/SCLK1/CTS1/INT8	D2	X2	G3	PE0/PCST0	K5	PB5/RXD2
A3	P93/INT1	D3	CVSS	G4	DVSS	K6	PB2/HSCLK0/HCTS0/INTC
A4	P90/TXD0	D4	P94/TXD1	G5	DVCC3	K7	P65/A13/TB6IN1/TD0OUT1
A5	P83/AIN11	D5	AVSS	G8	TEST2	K8	P60/A8/TB3IN0/TB0OUT0
A6	P77/AIN7	D6	P81/AIN9	G9	P13/D11/AD11/A11	K9	P54/A4/TB1IN0/INT3
A7	P74/AIN4	D7	P72/AIN2	G10	P12/D10/AD10/A10	K10	P26/A22/A6/A22
A8	AVCC	D8	P37/ALE	G11	P11/D9/AD9/A9	K11	P24/A20/A4/A20
A9	P36/R/W	D9	P45/ENDIAN	G12	P10/D8/AD8/A8	K12	P23/A19/A3/A19
A10	P33/WAIT/RDY	D10	P42/CS2	H1	PE2/PCST2	L1	DVCC3
A11	P31/WR	D11	P41/CS1	H2	PE1/PCST1	L2	TEST1
A12	TEST3	D12	P40/CS0	H3	EJE	L3	PA2/SCK0/INTA
B1	DVCC15	E1	PC2/INTE	H4	TMS	L4	PA6/SCK1/INTB
B2	P97/INT9	E2	PC1/TB4OUT	H5	PB7/TB5OUT	L5	PB3/INT2/TB5IN0
B3	P95/RXD1	E3	PC0/TB3OUT/ADTRG	H6	DVSS	L6	PB0/HTXD0
B4	P91/RXD0/INTC	E4	BW0	H7	BOOT	L7	P67/A15/TB7IN1/TD1OUT1
B5	P82/AIN10	E5	DVSS	H8	DVCC3	L8	P63/A11/TB0IN1/INT6
B6	P76/AIN6	E6	VREFL	H9	P17/D15/AD15/A15	L9	P55/A5/TB1IN1/INT4
B7	P75/AIN5	E7	VREFH	H10	P16/D14/AD14/A14	L10	P52/A2/TB8OUT
B8	P71/AIN1	E8	DVCC3	H11	P14/D12/AD12/A12	L11	P27/A23/A7/A23
B9	P35/BUSAK	E9	P00/D0/AD0	H12	P15/D13/AD13/A13	L12	P25/A21/A5/A21
B10	P32/HWR	E10	P02/D2/AD2	J1	DINT	M1	NC
B11	P47/INT0	E11	P03/D3/AD3	J2	TCK	M2	PA1/SI0/SCL0/TB7OUT
B12	P46/SCOUT	E12	P01/D1/AD1	J3	TDI	M3	PA4/SO1/SDA1
C1	X1	F1	PD0/TPC0	J4	PA3/TB1OUT/DREQ2	M4	PA7/TB2OUT/DACK2
C2	CVCC15	F2	BW1	J5	PB6/SCLK2/CTS2/INTD	M5	PB4/TXD2/TB5IN1
C3	DVCC15	F3	PE3/PCST3	J6	P64/A12/TB6IN0/TD0OUT0	M6	PB1/HRXD0
C4	P92/SCLK0/CTS0/INT7	F4	TEST4	J7	P61/A9/TB3IN1/TB0OUT1	M7	P66/A14/TB7IN0/TD1OUT0
C5	P84/AIN12	F5	DVCC3	J8	P57/A7/TB2IN1/DACK3	M8	P62/A10/TB0IN0/INT5
C6	P80/AIN8	F6	NC	J9	P50/A0/TB6OUT	M9	P56/A6/TB2IN0/DREQ3
C7	P73/AIN3	F8	DVSS	J10	P22/A18/A2/A18	M10	P53/A3/TB9OUT
C8	P70/AIN0	F9	P04/D4/AD4	J11	P21/A17/A1/A17	M11	P51/A1/TB7OUT
C9	P34/BUSRQ	F10	P05/D5/AD5	J12	P20/A16/A0/A16	M12	NC
C10	P30/RD	F11	P06/D6/AD6	K1	TDO		
C11	P44/BUSMD	F12	P07/D7/AD7	K2	TRST		
C12	P43/CS3	G1	PE5/DCLK	K3	PA0/SO0/SDA0/TB6OUT		

2.3 ピン名称と機能

2.3.1 TMP19A23FYFGのピン名称と機能

TMP19A23FYFG の入出力ピン名称と機能は、表 2-3 の通りです。

表 2-3 ピン名称と機能 (1/9)

分類	ピン番号	記号	入出力	機能	フルアップ フルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
電源	1	DVCC3	—	電源端子			
機能	2	P27	入出力	入出力ポート	フルアップ		
		A23	出力	アドレスバス 23			
	A7	出力	アドレスバス 7				
	3	P26	入出力	入出力ポート	フルアップ		
		A22	出力	アドレスバス 22			
	A6	出力	アドレスバス 6				
	4	P25	入出力	入出力ポート	フルアップ		
		A21	出力	アドレスバス 21			
	A5	出力	アドレスバス 5				
5	P24	入出力	入出力ポート	フルアップ			
	A20	出力	アドレスバス 20				
A4	出力	アドレスバス 4					
6	P23	入出力	入出力ポート	フルアップ			
	A19	出力	アドレスバス 19				
A3	出力	アドレスバス 3					
7	P22	入出力	入出力ポート	フルアップ			
	A18	出力	アドレスバス 18				
A2	出力	アドレスバス 2					
8	P21	入出力	入出力ポート	フルアップ			
	A17	出力	アドレスバス 17				
A1	出力	アドレスバス 1					
9	P20	入出力	入出力ポート	フルアップ			
	A16	出力	アドレスバス 16				
A0	出力	アドレスバス 0					
テスト	10	TEST2	入力	テスト端子 ※必ず OPEN にしてください			
機能	11	P17	入出力	入出力ポート	フルアップ		
		D15	入出力	データバス 15			
		AD15	入出力	アドレス・データバス 15			
		A15	出力	アドレスバス 15			
	12	P16	入出力	入出力ポート	フルアップ		
		D14	入出力	データバス 14			
		AD14	入出力	アドレス・データバス 14			
		A14	出力	アドレスバス 14			
	13	P15	入出力	入出力ポート	フルアップ		
		D13	入出力	データバス 13			
		AD13	入出力	アドレス・データバス 13			
		A13	出力	アドレスバス 13			
	14	P14	入出力	入出力ポート	フルアップ		
		D12	入出力	データバス 12			
		AD12	入出力	アドレス・データバス 12			
A12		出力	アドレスバス 12				
15	P13	入出力	入出力ポート	フルアップ			
	D11	入出力	データバス 11				
	AD11	入出力	アドレス・データバス 11				
A11	出力	アドレスバス 11					

表 2-3 ピン名称と機能 (2/9)

分類	ピン番号	記号	入出力	機 能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	16	P12	入出力	入出力ポート	プルアップ		
		D10	入出力	データバス 10			
		AD10	入出力	アドレス・データバス 10			
		A10	出力	アドレスバス 10			
	17	P11	入出力	入出力ポート	プルアップ		
		D9	入出力	データバス 9			
		AD9	入出力	アドレス・データバス 9			
		A9	出力	アドレスバス 9			
	18	P10	入出力	入出力ポート	プルアップ		
		D8	入出力	データバス 8			
		AD8	入出力	アドレス・データバス 8			
		A8	出力	アドレスバス 8			
19	P07	入出力	入出力ポート	プルアップ			
	D7	入出力	データバス 7				
	AD7	入出力	アドレス・データバス 7				
	D7	入出力	アドレス・データバス 7				
20	P06	入出力	入出力ポート	プルアップ			
	D6	入出力	データバス 6				
	AD6	入出力	アドレス・データバス 6				
	D6	入出力	アドレス・データバス 6				
21	P05	入出力	入出力ポート	プルアップ			
	D5	入出力	データバス 5				
	AD5	入出力	アドレス・データバス 5				
	D5	入出力	アドレス・データバス 5				
22	P04	入出力	入出力ポート	プルアップ			
	D4	入出力	データバス 4				
	AD4	入出力	アドレス・データバス 4				
	D4	入出力	アドレス・データバス 4				
23	P03	入出力	入出力ポート	プルアップ			
	D3	入出力	データバス 3				
	AD3	入出力	アドレス・データバス 3				
	D3	入出力	アドレス・データバス 3				
24	P02	入出力	入出力ポート	プルアップ			
	D2	入出力	データバス 2				
	AD2	入出力	アドレス・データバス 2				
	D2	入出力	アドレス・データバス 2				
25	P01	入出力	入出力ポート	プルアップ			
	D1	入出力	データバス 1				
	AD1	入出力	アドレス・データバス 1				
	D1	入出力	アドレス・データバス 1				
26	P00	入出力	入出力ポート	プルアップ			
	D0	入出力	データバス 0				
	AD0	入出力	アドレス・データバス 0				
	AD0	入出力	アドレス・データバス 0				
電源	27	DVSS	—	GND 端子			
	28	DVCC3	—	電源端子			
機能	29	P40	入出力	入出力ポート	プルアップ		○
		CS0	出力	チップセレクト 0			
	30	P41	入出力	入出力ポート	プルアップ		○
		CS1	入力	チップセレクト 1			
	31	P42	入出力	入出力ポート	プルアップ		○
CS2	入力	チップセレクト 2					
32	P43	入出力	入出力ポート	プルアップ		○	
CS3	入力	チップセレクト 3					
33	P44	入出力	入出力ポート	Pup	○	○	
BUSMD	入力	外部バスモード設定端子 使用するバスモードに従って、リセット時にプルアップ/プルダウンしてください。 マルチプレクスバス : H レベル セパレートバス : L レベル					

表 2-3 ピン名称と機能 (3/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	34	P45 ENDIAN	入出力 入力	入出力ポート エンディアン設定端子 使用するエンディアンに従って、リセット時に プルアップ/プルダウンしてください。 ビックエンディアン：Hレベル リトルエンディアン：Lレベル	プルアップ	○	○
	35	P46 SCOUT	入出力 入力	入出力ポート システムクロック出力端子 CPUと同じクロック出力が可能	プルアップ		○
	36	P47 INT0	入出力 入力	入出力ポート 外部割込み端子	プルアップ	○ ノイズフィルタ 内蔵	○
テスト	37	TEST3	入力	テスト端子 ※必ず OPEN にしてください			
機能	38	P30 \overline{RD}	入出力 出力	入出力ポート リード信号端子	プルアップ		
	39	P31 \overline{WR}	入出力 出力	入出力ポート ライト信号端子 (D0~D7 ライトストロブ)	プルアップ		
	40	P32 \overline{HWR}	入出力 出力	入出力ポート ライト信号端子 (D8~D15 ライトストロブ)	プルアップ		
	41	P33 \overline{WAIT} \overline{RDY}	入出力 入力 入力	入出力ポート ウェイト端子 (バスウェイト要求信号) レディ端子 (バスレディ通知信号)	プルアップ		
	42	P34 \overline{BUSRQ}	入出力 入力	入出力ポート バスリクエスト端子 外部マスタがバス制御権を CPU に要求する信号	プルアップ		
	43	P35 \overline{BUSAK}	入出力 出力	入出力ポート バスアクノリッジ： \overline{BUSRQ} を受け CPU がバス 制御権を解放しているのを通知する信号	プルアップ		
	44	P36 $\overline{R/W}$	入出力 出力	入出力ポート リード/ライト信号端子 "1"：リードサイクルまたはダミーサイクル "0"：ライトサイクル	プルアップ		
	45	P37 ALE	入出力 出力	入出力ポート アドレスラッチイネーブル端子 (マルチプレクスバスモード時のみイネーブル)	プルアップ		
電源	46	AVCC	—	A/D コンバータ用電源 ※使用しない場合は、電源に接続して下さい			
	47	VREFH	—	A/D コンバータ用基準電源入力端子(H) ※A/D コンバータを使用しない場合でも AVCC3に接続してください			
機能	48	P70 AIN0	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	49	P71 AIN1	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	50	P72 AIN2	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	51	P73 AIN3	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	52	P74 AIN4	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	53	P75 AIN5	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	54	P76 AIN6	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		

表 2-3 ピン名称と機能 (4/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	55	P77 AIN7	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	56	P80 AIN8	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	57	P81 AIN9	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	58	P82 AIN10	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	59	P83 AIN11	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	60	P84 AIN12	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
電源	61	AVSS	—	A/D コンバータ GND 端子 (0V)。 ※使用しない場合は、GND に接続してください。			
機能	62	P90 TXD0	入出力 出力	入出力ポート SIO 送信端子 ※5V 入力が可能です。		○	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。
	63	P91 RXD0 INTC	入出力 入力 入力	入出力ポート SIO 受信端子 外部割込み端子 ※5V 入力が可能です。		○ ハイフィルタ 内蔵	
	64	P92 SCLK0 CTS0 INT7	入出力 入出力 入力 入力	入出力ポート SIO クロック 端子 SIO ハンドシェイク 用端子 外部割込み端子 ※5V 入力が可能です。		○ ハイフィルタ 内蔵	
	65	P93 INT 1	入出力 入力	入出力ポート 外部割込み端子 ※5V 入力が可能です。		○ ハイフィルタ 内蔵	
	66	P94 TXD1	入出力 出力	入出力ポート SIO 送信端子 ※5V 入力が可能です。		○	
	67	P95 RXD1	入出力 入力	入出力ポート SIO 受信端子 ※5V 入力が可能です。		○	
	68	P96 SCLK1 CTS1 INT8	入出力 入出力 入力 入力	入出力ポート SIO クロック 端子 ハンドシェイク 用端子 入力 外部割込み端子 ※5V 入力が可能です。		○ ハイフィルタ 内蔵	
	69	P97 INT9	入出力 入力	ポート 97 入出力ポート 外部割込み端子 ※5V 入力が可能です。		○ ハイフィルタ 内蔵	
電源	70	REGNOISE	—	出力低減端子：出力雑音電圧の低減のために、 REGNOISE 端子と GND 間にコンデンサを接続く ださい。(推奨コンデンサ容量：0.01 μ F)			
	71	DVSS	—	GND 端子			
	72	REGVIN	—	レギュレータ入力端子：3V 系電源入力端子 (推奨外部接続コンデンサ容量：1 μ F)			
	73	REGVOUT	—	レギュレータ出力端子：DVCC15/CVCC15 と結 線してください。 (推奨外部接続コンデンサ容量：10 μ F)			
	74	DVCC15	—	REGVOUT 端子と結線してください。			

表 2-3 ピン名称と機能 (5/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可	
電源	75	CVCC15	—	高周波発振器用電源端子： REGVOUT 端子と結線してください。				
クロック	76	X1	入出力	高速発振子接続端子		○		
電源	77	CVSS	—	GND 端子				
クロック	78	X2	入出力	高速発振子接続端子				
リセット	79	$\overline{\text{RESET}}$	入力	リセット入力端子	常時 プルアップ	○ ノイズフィルタ 内蔵		
テスト	80	BW0	入力	テスト端子 ※必ず DVCC3 に固定してください		○		
機能	81	PC0	入出力	入出力ポート	プルアップ	○ ノイズフィルタ 内蔵	○	
		TB3OUT	出力	タイマ B 出力端子				
		ADTRG	入力	AD コンバータ起動トリガ端子				
	82	PC1	入出力	入出力ポート	プルアップ		○	
		TB4OUT	出力	タイマ B 出力端子				
機能/ デバッグ 端子	83	PC2	入出力	入出力ポート	プルアップ	○ ノイズフィルタ 内蔵	○	
		INTE	入力	外部割込み端子				
		TPC	出力	プログラムカウンタのトレースデータの出力				
	84	PC3	入出力	入出力ポート	プルアップ	○ ノイズフィルタ 内蔵	○	
		INTF	出力	外部割込み端子				
		TOVR	出力	プログラムカウンタのトレースデータの出力				
電源	85	DVCC3	—	電源端子				
	86	BW1	—	テスト端子 ※必ず DVCC3 に固定してください		○		
機能/ デバッグ 端子	87	PD7	入出力	入出力ポート	プルアップ	○		
		TPC7	出力	プログラムカウンタのトレースデータの出力				
		TPD7	出力	データアクセスアドレスのトレースデータの出力				
			TB9IN1	出力	タイマ B インพุットキャプチャ端子			
	88	PD6	入出力	入出力ポート	プルアップ	○		
		TPC6	出力	プログラムカウンタのトレースデータの出力				
		TPD6	出力	データアクセスアドレスのトレースデータの出力				
		TB9IN0	出力	タイマ B インพุットキャプチャ端子				
89	PD5	入出力	入出力ポート	プルアップ	○			
	TPC5	出力	プログラムカウンタのトレースデータの出力					
	TPD5	出力	データアクセスアドレスのトレースデータの出力					
		TB8IN1	出力	タイマ B インพุットキャプチャ端子				
90	PD4	入出力	入出力ポート	プルアップ	○			
	TPC4	出力	プログラムカウンタのトレースデータの出力					
	TPD4	出力	データアクセスアドレスのトレースデータの出力					
		TB8IN0	入力	タイマ B インพุットキャプチャ端子				
91	PD3	入出力	入出力ポート	プルアップ				
	TPC3	出力	プログラムカウンタのトレースデータの出力					
	TPD3	出力	データアクセスアドレスのトレースデータの出力					
92	PD2	入出力	入出力ポート	プルアップ				
	TPC2	出力	プログラムカウンタのトレースデータの出力					
	TPD2	出力	データアクセスアドレスのトレースデータの出力					
93	PD1	入出力	入出力ポート	プルアップ				
	TPC1	出力	プログラムカウンタのトレースデータの出力					
	TPD1	出力	データアクセスアドレスのトレースデータの出力					

表 2-3 ピン名称と機能 (6/9)

分類	ピン番号	記号	入出力	機能	フルアップ フルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能/ デバッグ 端子	94	PD0 TPC0 TPD0	入出力 出力 出力	入出力ポート プログラムカウンタのトレースデータの出力 データアクセスアドレスのトレースデータの出力	フルアップ		
電源	95	DVSS	—	GND 端子			
機能/ デバッグ 端子	96	PE5 DCLK	入出力 出力	入出力ポート デバッグクロック : DSU-ICE 用信号	フルアップ		
	97	PE4 PCST4	入出力 出力	入出力ポート PC トレースステータス : DSU-ICE 用信号	フルアップ		
	98	PE3 PCST3	入出力 出力	入出力ポート PC トレースステータス : DSU-ICE 用信号	フルアップ		
	99	PE2 PCST2	入出力 出力	入出力ポート PC トレースステータス : DSU-ICE 用信号	フルアップ		
	100	PE1 PCST1	入出力 出力	入出力ポート PC トレースステータス : DSU-ICE 用信号	フルアップ		
	101	PE0 PCST0	入出力 出力	入出力ポート PC トレースステータス : DSU-ICE 用信号	フルアップ		
デバッグ 端子	102	\overline{EJE}	入力	EJTAG イネーブル信号端子 (DSU 用信号)	常時 フルアップ	○ ノイズフィルタ 内蔵	
	103	\overline{DINT}	入力	デバッグインタラプト : DSU-ICE 用信号	常時 フルアップ	○ ノイズフィルタ 内蔵	
	104	TCK	入力	テストクロック入力端子 (DSU 用信号)	常時 フルアップ	○ ノイズフィルタ 内蔵	
	105	TMS	入力	テストモードセレクト入力端子 (DSU 用信号)	常時 フルアップ	○ ノイズフィルタ 内蔵	
	106	TDO	出力	テストデータ出力端子 (DSU 用信号)			
	107	TDI	入力	テストデータ入力端子 (DSU 用信号)	常時 フルアップ	○	
	108	\overline{TRST}	入力	テストリセット入力端子 (DSU 用信号)	常時 フルダウン	○ ノイズフィルタ 内蔵	
電源	109	DVCC3	—	電源端子			
テスト	110	TEST1	—	テスト端子 ※必ず OPEN にしてください			
機能	111	PA0 SO0	入出力 出力	入出力ポート シリアルバスインタフェースの SIO モード時の データ送信端子	フルアップ	○	○
		SDA0 TB6OUT	入出力 出力	I ² C モード送受信, SIO モード送信端子 タイマ B 出力端子			
	112	PA1 SIO	入出力 入力	入出力ポート シリアルバスインタフェースの SIO モード時の データ受信端子	フルアップ	○	○
		SCL0 TB7OUT	入出力 出力	I ² C モードクロック, SIO モード受信端子 タイマ B 出力端子			
	113	PA2 SCK0 INTA	入出力 入出力 入力	入出力ポート SIO モードクロック端子 外部割込み端子	フルアップ	○ ノイズフィルタ 内蔵	○

表 2-3 ピン名称と機能 (7/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	114	PA3 TB1OUT DREQ2	入出力 出力 入力	入出力ポート タイマ B 出力端子 DMA リクエスト信号端子:外部デバイスから DMAC への DMA 転送要求信号	プルアップ		
	115	PA4 SO1	入出力 出力	ポート A4: 入出力ポート シリアルバスインタフェースの SIO モード時の データ送信端子		○	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要にな ります。
		SDA1	入出力	I ² C モード送受信, SIO モード送信端子 ※5V 入力が可能です。			
	116	PA5 SI1	入出力 入力	入出力ポート シリアルバスインタフェースの SIO モード時の データ受信端子		○	
		SCL1	入出力	I ² C モードクロック, SIO モード受信端子 ※5V 入力が可能です。			
	117	PA6 SCK1 INTB	入出力 入出力 入力	入出力ポート SIO モードクロック端子 外部割込み端子 ※5V 入力が可能です。		○	
		118	PA7 TB2OUT DACK2	入出力 出力 出力	入出力ポート タイマ B 出力端子 DMA アクノリッジ信号: DREQ2 による DMA 転 送要求に対するアクノリッジ信号	プルアップ	
	119	PB7 TB5OUT	入出力 入力	入出力ポート タイマ B 出力端子	プルアップ		
	120	PB6 SCLK2 CTS2 INTD	入出力 入出力	入出力ポート SIO クロック端子	プルアップ	○ ハイフィルタ 内蔵	○
			入力 入力	SIO ハンドシェイク用端子 外部割込み端子			
	121	PB5 RXD2	入出力 入力	入出力ポート SIO 受信端子	プルアップ		
	122	PB4 TB5IN1 TXD2	入出力 入力	入出力ポート タイマ B インพุットキャプチャ端子	プルアップ	○	○
			出力	SIO 送信端子			
	123	PB3 TB5IN0 INT2	入出力 入力	入出力ポート タイマ B インพุットキャプチャ端子	プルアップ	○ ハイフィルタ 内蔵	
入力			外部割込み端子				
124	PB2 HSCLK0 HCTS0	入出力 入出力	入出力ポート HSIO クロック端子	プルアップ		○	
		入力	HSIO ハンドシェイク用端子				
125	PB1 HRXD0	入出力 入力	入出力ポート HSIO 受信端子	プルアップ			
126	PB0 HTXD0	入出力 出力	入出力ポート HSIO 送信端子	プルアップ		○	
電源	127	DVSS	—	GND 端子			
機能	128	P67	入出力	入出力ポート	プルアップ	○	
		A15	出力	アドレスバス 15			
TB7IN1		入力	タイマ B インพุットキャプチャ端子				
TD1OUT1		出力	タイマ D PPG 出力端子				
129	P66	TB7IN0	入力	タイマ B インพุットキャプチャ端子	プルアップ	○	
		TD1OUT0	出力	タイマ D PPG 出力端子			
		TD0OUT0	出力	タイマ D PPG 出力端子			
		TD0OUT1	出力	タイマ D PPG 出力端子			

表 2-3 ピン名称と機能 (8/9)

分類	ピン番号	記号	入出力	機能	フルアップ フルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	130	P65 A13 TB6IN1 TD0OUT1 TD1OUT1	入出力 出力 入力 出力 出力	入出力ポート アドレスバス 13 タイマ B インพุットキャプチャ端子 タイマ D PPG 出力端子 タイマ D PPG 出力端子	フルアップ	○	
	131	P64 A12 TB6IN0 TD0OUT0 TD1OUT0	入出力 出力 入力 出力 出力	入出力ポート アドレスバス 12 タイマ B インพุットキャプチャ端子 タイマ D PPG 出力端子 タイマ D PPG 出力端子	フルアップ	○	
	132	P63 A11 TB0IN1 INT6	入出力 入力 入力 入力	入出力ポート アドレスバス 11 タイマ B インพุットキャプチャ端子 外部割込み端子	フルアップ	○ ノイズフィルタ 内蔵	
	133	P62 A10 TB0IN0 INT5	入出力 出力 入力 入力	入出力ポート アドレスバス 10 タイマ B インพุットキャプチャ端子 外部割込み端子	フルアップ	○ ノイズフィルタ 内蔵	
	134	P61 A9 TB3IN1 TB0OUT1	入出力 出力 入力 出力	入出力ポート アドレスバス 9 タイマ B インพุットキャプチャ端子 16bit タイマ 0 出力 1: 2 相カウンタ出力端子 プログラムによりオープンドレイン出力端子	フルアップ	○	
	135	P60 A8 TB3IN0 TB0OUT0	入出力 出力 入力 出力	入出力ポート アドレスバス 8 タイマ B インพุットキャプチャ端子 16bit タイマ 0 出力 0: 2 相カウンタ出力端子 プログラムによりオープンドレイン出力端子	フルアップ	○	
	136	P57 A7 TB2IN1 DACK3	入出力 出力 入力 出力	入出力ポート アドレスバス 7 タイマ B インพุットキャプチャ端子 DMA アクノリッジ信号端子	フルアップ	○	
	137	P56 A6 TB2IN0 DREQ3	入出力 出力 入力 入力	入出力ポート アドレスバス 6 タイマ B インพุットキャプチャ端子 DMA リクエスト信号端子	フルアップ	○	
	138	P55 A5 TB1IN1 INT4	入出力 出力 入力 入力	入出力ポート アドレスバス 5 タイマ B インพุットキャプチャ端子 外部割込み端子	フルアップ	○ ノイズフィルタ 内蔵	
	139	P54 A4 TB1IN0 INT3	入出力 出力 入力 入力	入出力ポート アドレスバス 4 タイマ B インพุットキャプチャ端子 外部割込み端子	フルアップ	○ ノイズフィルタ 内蔵	
	140	P53 A3 TB9OUT	入出力 出力 出力	入出力ポート アドレスバス 3 タイマ B 出力端子	フルアップ		○
	141	P52 A2 TB8OUT	入出力 出力 出力	入出力ポート アドレスバス 2 タイマ B 出力端子	フルアップ		○
	142	P51 A1 TB7OUT	入出力 出力 出力	入出力ポート アドレスバス 1 タイマ B 出力端子	フルアップ		○

表 2-3 ピン名称と機能 (9/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	143	P50 A0 TB6OUT	入出力 出力 出力	入出力ポート アドレスバス 0 タイマ B 出力端子	プルアップ		○
ブート モード 端子	144	BOOT	入力	シングルブートモード設定端子：リセット信号の立ち上がりで"L"をサンプリングしてシングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。リセット信号の立ち上がりで"H (DVCC3)レベル"をサンプリングしてノーマル動作（通常動作）します。通常使用時はリセット時にこの端子をプルアップしてください。	プルアップ	○	

Not Recommended for New Design

2.3.2 TMP19A23FYXBGのピン名称と機能

TMP19A23FYXBG の入出力ピン名称と機能は、表 2-4 の通りです。

表 2-4 ピン名称と機能 (1/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
	A1	NC	—	Non Connection ※何も接続しないで下さい			
機能	A2	P96 SCLK1 CTS1 INT8	入出力 入出力 入力 入力	入出力ポート SIO クロック端子 ハンドシェイク用端子入力 外部割込み端子 ※5V 入力が可能です。		○ ノイズフィルタ 内蔵	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。
	A3	P93 INT1	入出力 入力	入出力ポート 外部割込み端子 ※5V 入力が可能です。		○ ノイズフィルタ 内蔵	
	A4	P90 TXD0	入出力 出力	入出力ポート SIO 送信端子 ※5V 入力が可能です。		○	
	A5	P83 AIN11	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	A6	P77 AIN7	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	A7	P74 AIN4	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	電源	A8	AVCC	—	A/D コンバータ用電源 ※使用しない場合は、電源に接続して下さい		
機能	A9	P36 R/W	入出力 出力	入出力ポート リード/ライト信号端子 “1”：リードサイクルまたはダミーサイクル “0”：ライトサイクル	プルアップ		
	A10	P33 WAIT RDY	入出力 入力 入力	入出力ポート ウェイト端子 (バスウェイト要求信号) レディ端子 (バスレディ通知信号)	プルアップ		
	A11	P31 WR	入出力 出力	入出力ポート ライト信号端子 (D0~D7 ライトストロブ)	プルアップ		
テスト	A12	TEST3	入力	テスト端子 ※必ず OPEN にしてください			
電源	B1	DVCC15	—	1.5V 系電源端子			
機能	B2	P97 INT9	入出力 入力	ポート 97 入出力ポート 外部割込み端子 ※5V 入力が可能です。		○ ノイズフィルタ 内蔵	専用 オープンドレイン 端子
	B3	P95 RXD1	入出力 入力	入出力ポート SIO 受信端子 ※5V 入力が可能です。		○	※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。
	B4	P91 RXD0 INTC	入出力 入力 入力	入出力ポート SIO 受信端子 外部割込み端子 ※5V 入力が可能です。		○ ノイズフィルタ 内蔵	
	B5	P82 AIN10	入力 入力	入力専用ポート アナログ入力端子	プルアップ		

表 2-4 ピン名称と機能 (2/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	B6	P76 AIN6	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	B7	P75 AIN5	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	B8	P71 AIN1	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	B9	P35 $\overline{\text{BUSAK}}$	入出力 出力	入出力ポート バスアクノリッジ: $\overline{\text{BUSRQ}}$ を受け CPU が バス制御権を解放しているのを通知する信号	プルアップ		
	B10	P32 $\overline{\text{HWR}}$	入出力 出力	入出力ポート ライト信号端子 (D8~D15 ライトストロープ)	プルアップ		
	B11	P47 INT0	入出力 入力	入出力ポート 外部割込み端子	プルアップ	○ ハイフィルタ 内蔵	○
	B12	P46 SCOUT	入出力 入力	入出力ポート システムクロック出力端子 CPU と同じクロック出力が可能	プルアップ		○
クロック	C1	X1	入出力	高速発振子接続端子		○	
電源	C2	CVCC15	—	高周波発振器用電源端子: 1.5V 系電源端子			
	C3	DVCC15	—	1.5V 系電源端子			
機能	C4	P92 SCLK0 $\overline{\text{CTS0}}$ INT7	入出力 入出力 入力 入力	入出力ポート SIO クロック 端子 SIO ハンドシェイク用端子 外部割込み端子 ※5V 入力が可能です。		○ ハイフィルタ 内蔵	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。
	C5	P84 AIN12	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	C6	P80 AIN8	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	C7	P73 AIN3	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	C8	P70 AIN0	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
	C9	P34 $\overline{\text{BUSRQ}}$	入出力 入力	入出力ポート バスリクエスト端子 外部マスタがバス制御権を CPU に要求する信号	プルアップ		
	C10	P30 $\overline{\text{RD}}$	入出力 出力	入出力ポート リード信号端子	プルアップ		
	C11	P44 BUSMD	入出力 入力	入出力ポート 外部バスモード設定端子 使用するバスモードに従って、リセット時に プルアップ/プルダウンしてください。 マルチプレクスバス: H レベル セパレートバス: L レベル	プルアップ	○	○

表 2-4 ピン名称と機能 (3/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	C12	P43 CS3	入出力 入力	入出力ポート チップセレクト 3	プルアップ		○
リセット	D1	RESET	入力	リセット入力端子	常時 プルアップ	○ ノイズフィルタ 内蔵	
クロック	D2	X2	入出力	高速発振子接続端子			
電源	D3	CVSS	—	高周波発振器用 GND 端子			
機能	D4	P94 TXD1	入出力 出力	入出力ポート SIO 送信端子 ※5V 入力が可能です。		○	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。
電源	D5	AVSS	—	A/D コンバータ GND 端子 (0V)。 ※使用しない場合は、GND に接続してください。			
機能	D6	P81 AIN9	入力 入力	入力専用ポート アナログ入力端子	プルアップ		
機能	D7	P72 AIN2	入出力 入力	入力専用ポート アナログ入力端子	プルアップ		
	D8	P37 ALE	入出力 出力	入出力ポート アドレスラッチイネーブル端子 (マルチプレクスバスモード時のみイネーブル)	プルアップ		
	D9	P45 ENDIAN	入出力 入力	入出力ポート エンディアン設定端子 使用するエンディアンに従って、リセット時に プルアップ/プルダウンしてください。 ビックエンディアン：H レベル リトルエンディアン：L レベル	プルアップ	○	○
	D10	P42 CS2	入出力 入力	入出力ポート チップセレクト 2	プルアップ		○
	D11	P41 CS1	入出力 入力	入出力ポート チップセレクト 1	プルアップ		○
	D12	P40 CS0	入出力 出力	入出力ポート チップセレクト 0	プルアップ		○
機能/ デバッグ 端子	E1	PC2 INTE	入出力 入力 出力	入出力ポート 外部割込み端子 プログラムカウンタのトレースデータの出力	プルアップ	○ ノイズフィルタ 内蔵	○
機能	E2	PC1 TB4OUT	入出力 出力	入出力ポート タイマ B 出力端子	プルアップ		○
	E3	PC0 TB3OUT ADTRG	入出力 出力 入力	入出力ポート タイマ B 出力端子 AD コンバータ 起動トリガ端子	プルアップ	○ ノイズフィルタ 内蔵	○
テスト	E4	BW0	入力	テスト端子 ※必ず DVCC3 に固定してください		○	

表 2-4 ピン名称と機能 (4/9)

分類	ピン番号	記号	入出力	機能	フルアップ フルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
電源	E5	DVSS	—	GND 端子			
	E6	VREFL	—	A/D コンバータ用基準電源入力端子(L) ※A/D コンバータを使用しない場合でも AVSS に接続してください			
	E7	VREFH	—	A/D コンバータ用基準電源入力端子(H) ※A/D コンバータを使用しない場合でも AVCC3 に接続してください			
	E8	DVCC3	—	電源端子			
機能	E9	P00	入出力	入出力ポート	フルアップ		
		D0	入出力	データバス 0			
		AD0	入出力	アドレス・データバス 0			
	E10	P02	入出力	入出力ポート	フルアップ		
D2		入出力	データバス 2				
E11	AD2	入出力	アドレス・データバス 2	フルアップ			
		P03	入出力				入出力ポート
E12	D3	入出力	データバス 3	フルアップ			
		AD3	入出力				アドレス・データバス 3
E12	P01	入出力	入出力ポート	フルアップ			
		D1	入出力				データバス 1
E12	AD1	入出力	アドレス・データバス 1	フルアップ			
		入出力	データバス 1				
機能/ デバッグ 端子	F1	PD0 TPC0	入出力 出力	入出力ポート プログラムカウンタのトレースデータの出力	フルアップ		
電源	F2	BW1	—	テスト端子 ※必ず DVCC3 に固定してください		○	
機能/ デバッグ 端子	F3	PE3 PCST3	入出力 出力	入出力ポート PC トレースステータス : DSU-ICE 用信号	フルアップ		
テスト	F4	TEST4	入力	テスト端子 ※必ず DVSS に固定してください			
電源	F5	DVCC3	—	3V 系電源端子			
	F6	NC	—	Non Connection ※何も接続しないで下さい			
電源	F8	DVSS	—	GND 端子			
機能	F9	P04	入出力	入出力ポート	フルアップ		
		D4	入出力	データバス 4			
		AD4	入出力	アドレス・データバス 4			
	F10	P05	入出力	入出力ポート	フルアップ		
D5			入出力	データバス 5			
F11	AD5	入出力	アドレス・データバス 5	フルアップ			
		P06	入出力				入出力ポート
F12	D6	入出力	データバス 6	フルアップ			
		AD6	入出力				アドレス・データバス 6
F12	P07	入出力	入出力ポート	フルアップ			
		D7	入出力				データバス 7
F12	AD7	入出力	アドレス・データバス 7	フルアップ			
		入出力	データバス 7				
機能/ デバッグ 端子	G1	PE5	入出力	入出力ポート	フルアップ		
		DCLK	出力	デバッグクロック : DSU-ICE 用信号			
		PE4	入出力	入出力ポート			
G2	PCST4	出力	PC トレースステータス : DSU-ICE 用信号	フルアップ			
		PE0	入出力				入出力ポート
G3	PCST0	出力	PC トレースステータス : DSU-ICE 用信号	フルアップ			
		出力	PC トレースステータス : DSU-ICE 用信号				
電源	G4	DVSS	—	GND 端子			
	G5	DVCC3	—	3V 系電源端子			
テスト	G8	TEST2	入力	テスト端子 ※必ず OPEN にしてください			

表 2-4 ピン名称と機能 (5/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	G9	P13 D11 AD11 A11	入出力 入出力 入出力 出力	入出力ポート データバス 11 アドレス・データバス 11 アドレスバス 11	プルアップ		
	G10	P12 D10 AD10 A10	入出力 入出力 入出力 出力	入出力ポート データバス 10 アドレス・データバス 10 アドレスバス 10	プルアップ		
	G11	P11 D9 AD9 A9	入出力 入出力 入出力 出力	入出力ポート データバス 9 アドレス・データバス 9 アドレスバス 9	プルアップ		
	G12	P10 D8 AD8 A8	入出力 入出力 入出力 出力	入出力ポート データバス 8 アドレス・データバス 8 アドレスバス 8	プルアップ		
機能/ デバッグ 端子	H1	PE2 PCST2	入出力 出力	入出力ポート PCトレースステータス：DSU-ICE用信号	プルアップ		
	H2	PE1 PCST1	入出力 出力	入出力ポート PCトレースステータス：DSU-ICE用信号	プルアップ		
デバッグ 端子	H3	$\overline{\text{EJE}}$	入力	EJTAG イネーブル信号端子 (DSU用信号)	常時 プルアップ	○ ノイズフィルタ 内蔵	
	H4	TMS	入力	テストモードセレクト入力端子 (DSU用信号)	常時 プルアップ	○ ノイズフィルタ 内蔵	
機能	H5	PB7 TB5OUT	入出力 入力	入出力ポート タイマB出力端子	プルアップ		
電源	H6	DVSS	—	GND 端子			
ブート モード 端子	H7	$\overline{\text{BOOT}}$	入力	シングルブートモード設定端子：リセット信号の立ち上がりで"L"をサンプリングしてシングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。リセット信号の立ち上がりで"H (DVCC3) レベル"をサンプリングしてノーマル動作 (通常動作) します。通常使用時はリセット時にこの端子をプルアップしてください。	プルアップ	○	
電源	H8	DVCC3	—	3V系電源端子			
機能	H9	P17 D15 AD15 A15	入出力 入出力 入出力 出力	入出力ポート データバス 15 アドレス・データバス 15 アドレスバス 15	プルアップ		
	H10	P16 D14 AD14 A14	入出力 入出力 入出力 出力	入出力ポート データバス 14 アドレス・データバス 14 アドレスバス 14	プルアップ		
	H11	P14 D12 AD12 A12	P14 D12 AD12 A12	入出力ポート データバス 12 アドレス・データバス 12 アドレスバス 12	プルアップ		

表 2-4 ピン名称と機能 (6/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可	
機能	H12	P15 D13 AD13 A13	入出力 入出力 入出力 出力	入出力ポート データバス 13 アドレス・データバス 13 アドレスバス 13	プルアップ			
デバッグ 端子	J1	$\overline{\text{DINT}}$	入力	デバッグインタラプト : DSU-ICE 用信号	常時 プルアップ	○ ノイズフィルタ 内蔵		
	J2	TCK	入力	テストクロック入力端子 (DSU 用信号)	常時 プルアップ	○ ノイズフィルタ 内蔵		
	J3	TDI	入力	テストデータ入力端子 (DSU 用信号)	常時 プルアップ	○		
機能	J4	PA3 TB1OUT DREQ2	入出力 出力 入力	入出力ポート タイマ B 出力端子 DMA リクエスト信号端子:外部デバイスから DMAC への DMA 転送要求信号	プルアップ			
	J5	PB6 SCLK2 CTS2 INTD	入出力 入出力 入力 入力	入出力ポート SIO クロック端子 SIO ハンドシェイク用端子 外部割込み端子	プルアップ	○ ノイズフィルタ 内蔵	○	
	J6	P64 A12 TB6IN0 TD0OUT0	入出力 出力 入力 出力 出力	入出力ポート アドレスバス 12 タイマ B インพุットキャプチャ端子 タイマ D PPG 出力端子 タイマ D PPG 出力端子	プルアップ	○		
	J7	P61 A9 TB3IN1 TB0OUT1	入出力 出力 入力 出力	入出力ポート アドレスバス 9 タイマ B インพุットキャプチャ端子 16bit タイマ 0 出力 1 : 2 相カウンタ出力端子 プログラムによりオープンドレイン出力端子	プルアップ	○		
	J8	P57 A7 TB2IN1 DACK3	入出力 出力 入力 出力	入出力ポート アドレスバス 7 タイマ B インพุットキャプチャ端子 DMA アクノリッジ信号端子	プルアップ	○		
	J9	P50 A0 TB6OUT	入出力 出力 出力	入出力ポート アドレスバス 0 タイマ B 出力端子	プルアップ		○	
	J10	P22 A18 A2	入出力 出力 出力	入出力ポート アドレスバス 18 アドレスバス 2	プルアップ			
	J11	P21 A17 A1	入出力 出力 出力	入出力ポート アドレスバス 17 アドレスバス 1	プルアップ			
	J12	P20 A16 A0	入出力 出力 出力	入出力ポート アドレスバス 16 アドレスバス 0	プルアップ			
	デバッグ 端子	K1	TDO	出力	テストデータ出力端子 (DSU 用信号)			
		K2	$\overline{\text{TRST}}$	入力	テストリセット入力端子 (DSU 用信号)	常時 プルダウン	○ ノイズフィルタ 内蔵	

表 2-4 ピン名称と機能 (7/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	K3	PA0 SO0	入出力 出力	入出力ポート シリアルバスインタフェースの SIO モード時の データ送信端子	プルアップ	○	○
		SDA0 TB6OUT	入出力 出力	I ² C モード送受信, SIO モード送信端子 タイマ B 出力端子			
	K4	PA5 SI1	入出力 入力	入出力ポート シリアルバスインタフェースの SIO モード時の データ受信端子		○	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要にな ります。
		SCL1	入出力	I ² C モードクロック, SIO モード受信端子 ※5V 入力が可能です。			
	K5	PB5 RXD2	入出力 入力	入出力ポート SIO 受信端子	プルアップ		
	K6	PB2 HSCLK0	入出力 入出力	入出力ポート HSIO クロック端子	プルアップ		○
		HCTS0	入力	HSIO ハンドシェイク用端子			
	K7	P65 A13	入出力 出力	入出力ポート アドレスバス 13	プルアップ	○	
		TB6IN1 TD0OUT1	入力 出力	タイマ B インพุットキャプチャ端子 タイマ D PPG 出力端子			
	K8	P60 A8	入出力 出力	入出力ポート アドレスバス 8	プルアップ	○	
		TB3IN0 TB0OUT0	入力 出力	タイマ B インพุットキャプチャ端子 16bit タイマ 0 出力 0: 2 相カウンタ出力端子 プログラムによりオープンドレイン出力端子			
	K9	P54 A4	入出力 出力	入出力ポート アドレスバス 4	プルアップ	○	ノイズフィルタ 内蔵
TB1IN0 INT3		入力 入力	タイマ B インพุットキャプチャ端子 外部割込み端子				
K10	P26 A22	入出力 出力	入出力ポート アドレスバス 22	プルアップ			
	A6	出力	アドレスバス 6				
K11	P24 A20	入出力 出力	入出力ポート アドレスバス 20	プルアップ			
	A4	出力	アドレスバス 4				
K12	P23 A19	入出力 出力	入出力ポート アドレスバス 19	プルアップ			
	A3	出力	アドレスバス 3				
電源	L1	DVCC3	—	3V 系電源端子			
テスト	L2	TEST1	—	テスト端子 ※必ず OPEN にしてください			
機能	L3	PA2 SCK0 INTA	入出力 入出力 入力	入出力ポート SIO モードクロック端子 外部割込み端子	プルアップ	○	ノイズフィルタ 内蔵 ○

表 2-4 ピン名称と機能 (8/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可	
機能	L4	PA6 SCK1 INTB	入出力 入出力 入力	入出力ポート SIO モードクロック端子 外部割込み端子 ※5V 入力が可能です。		○	専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。	
	L5	PB3 TB5IN0 INT2	入出力 入力 入力	入出力ポート タイマ B インพุットキャプチャ端子 外部割込み端子	プルアップ	○ ノイズフィルタ 内蔵		
	L6	PB0 HTXD0	入出力 出力	入出力ポート HSIO 送信端子	プルアップ		○	
	L7	P67 A15 TB7IN1 TD1OUT1	入出力 出力 入力 出力	入出力ポート アドレスバス 15 タイマ B インพุットキャプチャ端子 タイマ D PPG 出力端子	プルアップ	○		
	L8	P63 A11 TB0IN1 INT6	入出力 入力 入力 入力	入出力ポート アドレスバス 11 タイマ B インพุットキャプチャ端子 外部割込み端子	プルアップ	○ ノイズフィルタ 内蔵		
	L9	P55 A5 TB1IN1 INT4	入出力 出力 入力 入力	入出力ポート アドレスバス 5 タイマ B インพุットキャプチャ端子 外部割込み端子	プルアップ	○ ノイズフィルタ 内蔵		
	L10	P52 A2 TB8OUT	入出力 出力 出力	入出力ポート アドレスバス 2 タイマ B 出力端子	プルアップ		○	
	L11	P27 A23 A7	入出力 出力 出力	入出力ポート アドレスバス 23 アドレスバス 7	プルアップ			
	L12	P25 A21 A5	入出力 出力 出力 出力	入出力ポート アドレスバス 21 アドレスバス 5	プルアップ			
	M1	NC	—	Non Connection ※何も接続しないで下さい				
	機能	M2	PA1 SI0 SCL0 TB7OUT	入出力 入力 入出力 出力	入出力ポート シリアルバスインタフェースの SIO モード時の データ受信端子 I ² C モードクロック, SIO モード受信端子 タイマ B 出力端子	プルアップ	○	○

表 2-4 ピン名称と機能 (9/9)

分類	ピン番号	記号	入出力	機能	プルアップ プルダウン 制御選択可	シュミット 入力	オープンドレイン 出力選択可
機能	M3	PA4	入出力	ポート A4 : 入出力ポート シリアルバスインタフェースの SIO モード時の データ送信端子 I ² C モード送受信, SIO モード送信端子 ※5V 入力が可能です。			専用 オープンドレイン 端子 ※ “High” 出力する 場合は、 外部にて プルアップ 抵抗が 必要になり ます。
		SO1	出力				
	M4	PA7 TB2OUT DACK2	入出力	入出力ポート タイマ B 出力端子 DMA アクノリッジ信号 : DREQ2 による DMA 転 送要求に対するアクノリッジ信号	プルアップ		
			出力				
	M5	PB4 TXD2 TB5IN1	入出力	入出力ポート タイマ B インプットキャプチャ端子 SIO 送信端子	プルアップ	○	○
			出力				
	M6	PB1 HRXD0	入出力 入力	入出力ポート HSIO 受信端子	プルアップ		
	M7	P66 A14 TB7IN0 TD1OUT0	入出力	入出力ポート アドレスバス 14 タイマ B インプットキャプチャ端子 タイマ D PPG 出力端子	プルアップ	○	
			出力				
			出力				
	M8	P62 A10 TB0IN0 INT5	入出力	入出力ポート アドレスバス 10 タイマ B インプットキャプチャ端子 外部割込み端子	プルアップ	○	ノイズフィルタ 内蔵
出力							
入力							
M9	P56 A6 TB2IN0 DREQ3	入出力	入出力ポート アドレスバス 6 タイマ B インプットキャプチャ端子 DMA リクエスト信号端子	プルアップ	○		
		出力					
		入力					
M10	P53 A3 TB9OUT	入出力	入出力ポート アドレスバス 3 タイマ B 出力端子	プルアップ		○	
		出力					
M11	P51 A1 TB7OUT	入出力	入出力ポート アドレスバス 1 タイマ B 出力端子	プルアップ		○	
		出力					
M12	NC		Non Connection ※何も接続しないで下さい				

2.4 ピン名称と電源供給端子

表 2-5 ピン名称と電源

ピン名称	電源	ピン名称	電源
P0	DVCC3	PCST4~0	DVCC3
P1	DVCC3	DCLK	DVCC3
P2	DVCC3	\overline{EJE}	DVCC3
P3	DVCC3	\overline{TRST}	DVCC3
P4	DVCC3	TDI	DVCC3
P5	DVCC3	TDO	DVCC3
P6	DVCC3	TMS	DVCC3
P7	AVCC3	TCK	DVCC3
P8	AVCC3	\overline{DINT}	DVCC3
P9	DVCC3	\overline{RESET}	DVCC3
PA	DVCC3	\overline{BOOT}	DVCC3
PB	DVCC3	X1、X2	CVCC15
PC	DVCC3		
PD	DVCC3		
PE	DVCC3		

2.5 ピン番号と電源供給端子

表 2-6 ピン番号と電源 (QFP版)

電源	ピン番号	電圧範囲
DVCC3	13, 37, 73, 100	3.0V~3.6V
AVCC3	118	3.0V~3.6V
REGVIN	144	3.0V~3.6V

(注) REGVOUT、DVCC15 及び CVCC15 はマイコン外部にて結線してください。

表 2-7 ピン番号と電源 (BGA版)

電源	ピン番号	電圧範囲
DVCC15	B1, C3	1.35V~1.65V
DVCC3	E8, F5, G5, H8	2.7V~3.6V
AVCC3	A8	2.7V~3.6V
CVCC15	G2	1.35V~1.65V

3. プロセッサコア

TMP19A23 には、高性能 32 ビットプロセッサコア (TX19A プロセッサコア) が内蔵されています。プロセッサコアの動作については、“TX19A ファミリーアーキテクチャ” を参照してください。

ここでは、“TX19A ファミリーアーキテクチャ” にて説明されていない TMP19A23 独自の機能について説明します。

3.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET 入力を少なくとも 12 システムクロック間 (1.78 μ s@外部 13.5MHz 動作時/2.4 μ s@外部 10MHz 動作時) “0” にしてください。

なお、リセット期間中に PLL 通倍クロックは 4 通倍され、クロックギアは 1/8 モードに初期化されます。リセットが受け付けられると、TX19A プロセッサコアのシステム制御コプロセッサ (CPO) レジスタが初期化されます。詳細はアーキテクチャの章を参照してください。

リセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス (例外ハンドラ開始アドレス) を例外ベクタアドレスと呼び、リセット例外 (ノンマスカブル割り込みと共通) の例外ベクタアドレスは 0xBFC0_0000 番地 (仮想アドレス) です。

内蔵 I/O のレジスタを初期化します。

ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセットします。

(注 1) パワーオン時には RESET 端子を “0” にした状態でパワーオンし、電源電圧が動作範囲で十分安定した状態でリセット解除させてください。

(注 2) 電源投入後は、電源電圧および発振が安定した状態から 500 μ s 以上経過してからリセット解除させてください。

(注 3) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。

(注 4) リセット動作により、内蔵 RAM のデータは保証できなくなります。

4. メモリマップ

TMP19A23 のメモリマップを図 4-1 に示します

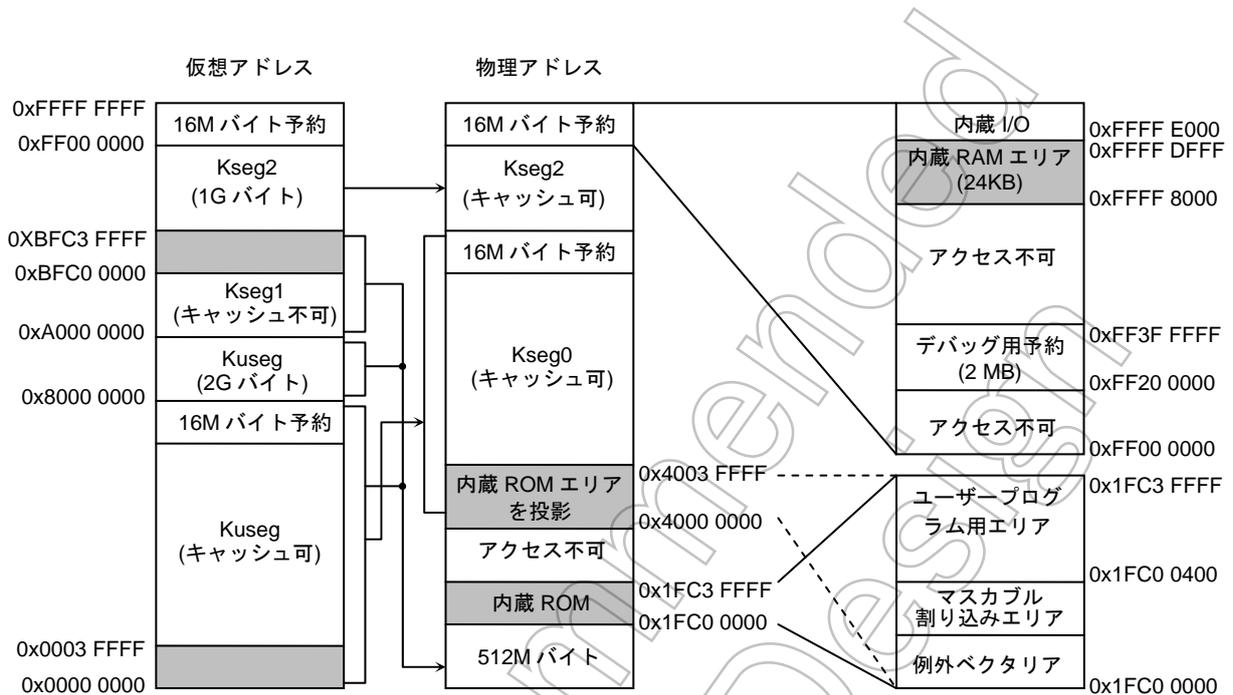


図 4-1 メモリマップ

(注1) 内蔵 ROM は、
0x1FC0_0000~0x1FC3_FFFF (256KB)

内蔵 RAM は、
0xFFFF_8000~0xFFFF_DFFF (24KB)
にマッピングされます。

(注2) TMP19A23 では外部アドレス空間として 16 M バイトの物理空間しかアクセスできません。CPU の物理アドレス空間 3.5 G バイト内で任意のチップセレクト領域に 16 M バイトの物理アドレス空間を配置することができます。ただし、内蔵メモリ、内蔵 I/O 空間および予約エリアへのアクセスは優先され、このときに外部空間へのアクセスはできません。

(注3) 物理領域の最後の 4 ワードには命令を置かないでください。

内蔵 ROM の場合 : 0x1FC3_FFF0~0x1FC3_FFFF(256KB)

外部に ROM 拡張する場合はメモリの実装されている最後の 4 ワードが対象になります。

5. クロック／スタンバイ制御

システムの動作モードにはプロセッサコアの動作を停止して低消費電力動作を行うスタンバイモードがあります。図 5-1 動作モード別状態遷移図を示します。

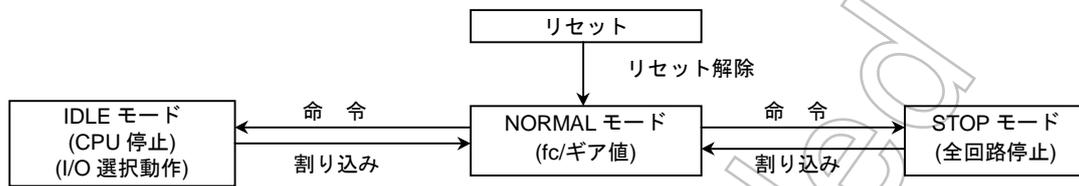


図 5-1 動作モード別状態遷移図

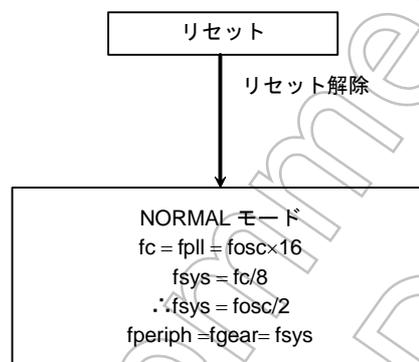


図 5-2 システムクロックのデフォルトの状態

fosc	: X1, X2 端子より入力されるクロック周波数
fpll	: PLL により逡倍 (16 逡倍) されたクロック周波数
fc	: 高周波クロック周波数
fgear	: クロックジェネレータ部のシステムコントロールレジスタ SYSCR1<GEAR2:0>で選択されたクロック周波数
fsys	: システムクロック周波数 CPU、ROM、RAM、DMAC、INTC、HSIO、TMRD の動作クロックです。 内蔵周辺 I/O の動作クロックは fsys/2 になります。
fperiph	: SYSCR1<FPSEL>で選択されたクロック周波数 (周辺 I/O のプリスケアラへの入力クロック)

5.1 クロック系統ブロック図

5.1.1 メインシステムクロック

- 発振子接続または外部クロック入力可能
- クロックギア (1/2, 1/4, 1/8)
(デフォルトは 1/8 分周)
- 入力周波数 (高周波)

	入力周波数範囲	最大動作周波数	最低動作周波数
QFP 版	8~13.5 MHz	54 MHz (注 1)	4 MHz (注 2)
BGA 版	8~10.0 MHz	40 MHz	4 MHz (注 2)

(注 1) 8MHz (MIN) 入力時にクロックギア 1/8 (初期値) 使用

(注) 高速クロックギア切り替え時の注意点

クロックギアの切り替えは、SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されます。書き込んだ後、すぐには切り替わずに切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、ダミーの命令 (ライトサイクルが実行される命令) および、SYNC 命令を挿入してください。

クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケアラ出力 ϕTn は必ず

$$\phi Tn < f_{sys}/2$$

を満足するように時間設定 (ϕTn が $f_{sys}/2$ よりも遅くなるように) してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

5.1.2 クロックギア

- 高速クロックを 1/2, 1/4, 1/8 に分周
- 内蔵 I/O 用プリスケアラクロック $\Phi T0$: $f_{periph}/2$, $f_{periph}/4$, $f_{periph}/8$, $f_{periph}/16$

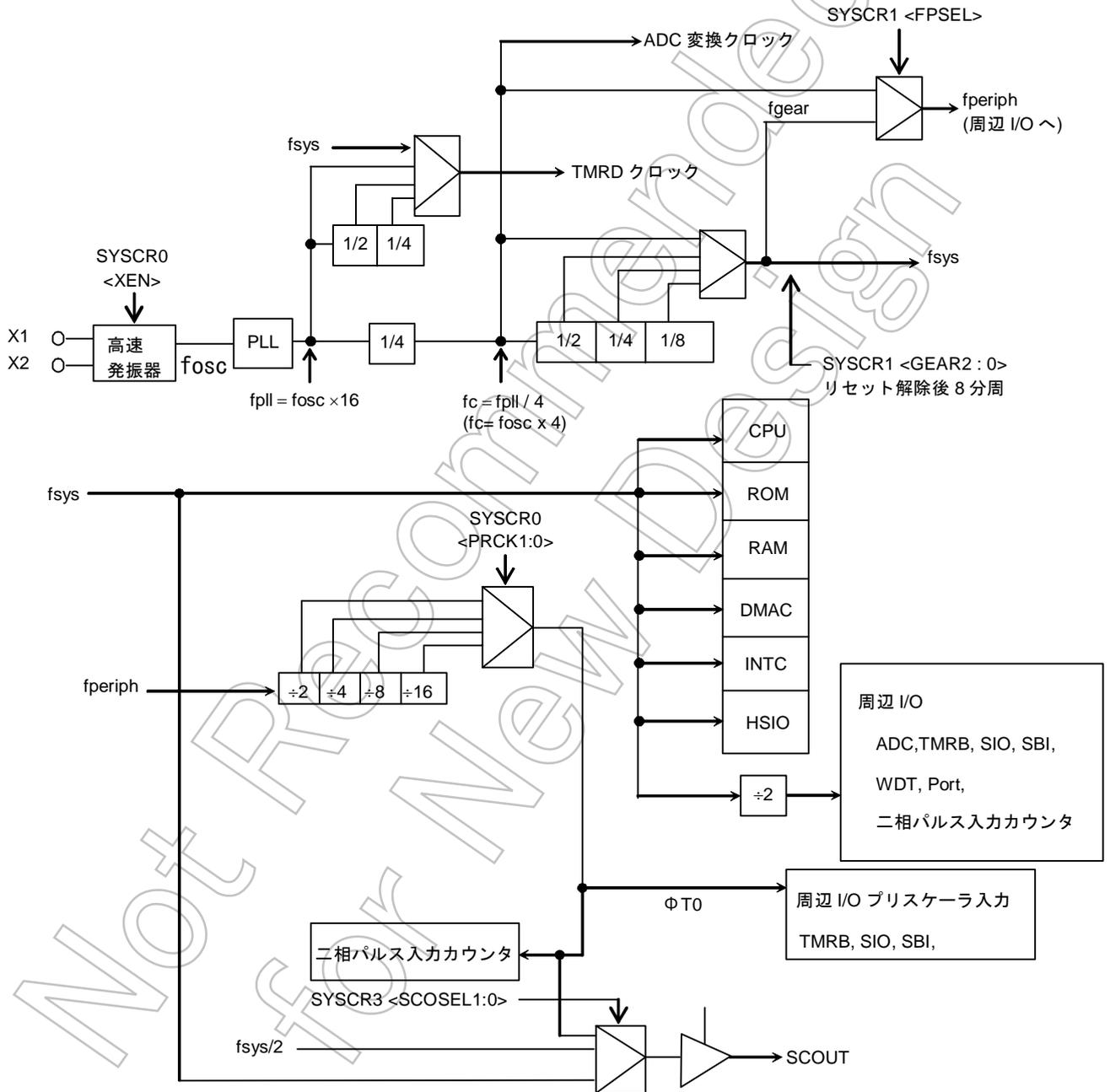


図 5-3 クロック関連ブロック図

5.2 CG関連レジスタ

5.2.1 システムコントロールレジスタ

LITTLE BIG	SYSCR0 (0xFFFF_EE00) (0xFFFF_EE03)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W
		リセット後	1	0	1	0	0	0	0	0	0
		機能	高速発振器 0:停止 1:発振	リードすると"0"が読めます	STOPモード解除後の高速発振器 0:停止 1:発振	リードすると"0"が読めます	リードすると"0"が読めます	発振器用ウォーミングアップタイム(WUP)制御 0ライト: don't care 1ライト: WUPスタート 0リード: WUP終了 1リード: WUP中	プリスケアラック選択 00: fperiph/16 01: fperiph/8 10: fperiph/4 11: fperiph/2		
LITTLE BIG	SYSCR1 (0xFFFF_EE01) (0xFFFF_EE02)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
		リセット後	0	0	0	0	0	1	1	1	
		機能	リードすると"0"が読めます	リードすると"0"が読めます	"0"をライトして下さい	fperiph選択 0: fgear 1: fc	"0"をライトして下さい	高速クロック(fc)のギア選択 000: fc 001: Reserved 010: Reserved 011: Reserved 100: fc/2 101: Reserved 110: fc/4 111: fc/8			
LITTLE BIG	SYSCR2 (0xFFFF_EE02) (0xFFFF_EE01)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
		リセット後	0	0	1	0	1	1	0	0	
		機能	高速発振器電流制御 0:能力大 1:能力小	リードすると"0"が読めます	発振器用ウォーミングアップ時間選択 00: WUP無し 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数	スタンバイモード選択 00: Reserved 01: STOP 10: Reserved 11: IDLE		リードすると"0"が読めます		1: STOPモード中も端子をドライブします	
LITTLE BIG	SYSCR3 (0xFFFF_EE03) (0xFFFF_EE00)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R	R/W	R/W	R/W	R				
		リセット後	0	0	1	1	0				
		機能	リードすると"0"が読めます	SCOUT出力選択 00: Reserved 01: fsys/2 10: fsys 11: φT0	ALE出力幅設定 0: fsys×1 1: fsys×2	リードすると"0"が読めます					

- (注1) SYSCR0<WUEF>と SYSCR2<WUPT1, 0>を同時に設定しないで下さい。SYSCR2<WUPT1, 0>を設定してから、SYSCR0<WUEF>を設定してください。
- (注2) (注2) SYSCR2<DRVOSCH> 1:能力小状態で STOP に移行した場合、STOP 解除後は 0:能力大設定になります。必要な場合は、再設定お願い致します。

PWMCG モードレジスタ

PWMCG (0xFFFF_EE28)	bit Symbol								
	Read/Write	R				R			PWMEN
	リセット後	0	0	1	1	0	0	0	0
	機能	リードすると“0”が読めます	ソースクロック選択 00: PLL16 通倍 01: PLL8 通倍 10: PLL4 通倍 11: GCLK		リードすると“0”が読めます			0: PWMCLK OFF 1: PWMCLK ON	

高精度 PPG に供給するクロック選択を行ないます。

5.3 システムクロック制御部

リセットにより<XEN>= “1”, <GEAR2 : 0>= “111” に初期化され、システムクロック fsys は fc/8 となります。例えば、X1, X2 端子に 13.5MHz の発振子を接続していると、リセットにより fsys は 6.75MHz (13.5×16×1/4×1/8=6.75) となります。同じく、X1, X2 端子に 10MHz の発振子を接続していると、リセットにより fsys は 5MHz (10×16×1/4×1/8=5) となります。

発振子を接続しないで外部発振器などからクロックを入力する場合も同様に、fsys は入力周波数×16×1/4×1/8の周波数になります。

5.3.1 システムクロックの端子出力機能

システムクロック fsys または fsys/2、周辺 I/O 用プリスケール入力クロック φT0 を P46/SCOUT 端子から出力できます。ポート 4 関係のレジスタ P4CR<P46C>= “1”, P4FC<P46F>= “1” に設定することにより、P46/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR3<SCOSEL1:0>によって設定します。

表 5-1 に P46/SCOUT 端子を SCOUT 出力に設定した場合のスタンバイモード別端子状態を示します。

表 5-1) スタンバイモード別 SCOUT 出力状態

SCOUT 選択	モード	NORMAL	スタンバイモード	
			IDLE	STOP
<SCOSEL1:0> = “00”		Reserved 設定しないでください		
<SCOSEL1:0> = “01”		fsys/2 クロックを出力します		“0” または “1” に固定されます
<SCOSEL1:0> = “10”		fsys クロックを出力します		
<SCOSEL1:0> = “11”		φT0 クロックを出力します		

(注) SCOUT から出力されるシステムクロックは内部クロックとの位相差 (AC タイミング) は保証できません。

5.3.2 発振器のドライブ能力低減

発振子接続用端子に発振子を接続する場合に発振器から出力される発振ノイズの抑制、発振器の低消費電力化を目的とします。

SYSCR2<DRVOSCH>を“1”にセットすることにより高速発振器のドライブ能力は低減（能力小）します。

リセットにより“0”に初期化されるので、電源投入時は通常（能力大）のドライブ能力で発振開始します。モード移行時の発振器の発振開始時はからず、ドライブ能力大（<DRVOSCH> = “0”）の状態に自動設定されます。

● 高速発振器のドライブ能力低減

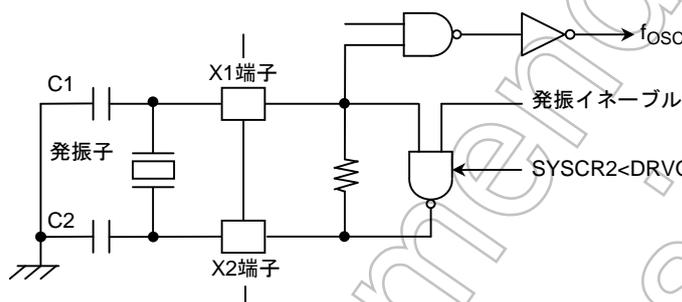


図 5-3 発振器のドライブ能力

5.4 プリスケラック制御部

内蔵 I/O (TMRB0~9, S100~3, SB10~1) には、それぞれにクロックを分周するプリスケラがあります。これらのプリスケラへ入力するクロック $\phi T0$ は、SYSCR1<FPSEL>と SYSCR0<PRCK1:0>から選択されたクロック f_{periph} を更に SYSCR0<PRCK1:0>にて分周されたクロックとなります。リセット後の $\phi T0$ は $f_{periph}/16$ が選択されます。

5.5 クロック逡倍回路 (PLL)

高速発振器の出力クロック f_{osc} を 16 逡倍した f_{pll} クロックを出力する回路です ($f_{pll} \times 1/4$ をシステムクロック f_{sys} として使用)。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

5.6 スタンバイ制御部

TX19A コアには、いくつかの低消費モードがあります。STOP、IDLE (Halt モード、Doze) モードへは、CPO の Status レジスタの RP ビットを設定し、その後 WAIT 命令を実行することで移行できます。

移行するに当たり、事前にスタンバイモードをシステムコントロールレジスタ (SYSCR2) にて選択しておく必要があります。

IDLE、STOP モードの特長は次の通りです。

IDLE: CPU のみ停止するモードです。

内蔵 I/O は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された内蔵 I/O は、IDLE モードへ遷移した時の状態で停止します。

表 5-2 に IDLE 設定レジスタの一覧を示します。

表 5-2 IDLE モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	IDLE モード設定レジスタ
TMRB0~9	TBxRUN<I2TBx>
TMRD0~1	TDxRUN<I2TDx>
SI00~2	SCxMOD1<I2Sx>
HS100	HSCxMOD1<I2Sx>
I2C/SIO (SB10~1)	SB1BRx<I2SB1x>
A/D コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

(注1) Halt モード (Status レジスタの中の RP ビット"0" をセットして WAIT コマンド実行にてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注2) Doze モード (Status レジスタの中の RP ビット"1" をセットしてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。プロセッサコア外部からのバス制御権要求に対して応答することができます。

STOP: すべての内部回路が停止します。

スタンバイモード選択は、CPO の Status<RP>との組み合わせで選択されます。下記表の"X" の設定では WAIT 命令を実行しないでください。

	STBY 1:0	HALT RP=0	DOZE RP=1
RESERVED	00	X	X
STOP	01	STOP	X
IDLE	11	HALT	DOZE

5.6.1 各モードでのCGの動作

表 5-3 各動作モードにおけるCGの状態

クロックソース	モード	発振回路	PLL	周辺 I/O へのクロック供給	CPU へのクロック供給
発振子	Normal	○	○	○	○
	Idle (Halt)	○	○	Selectable	×
	Idle (Doze)	○	○	Selectable	×
	Stop	×	×	×	×

○：動作または、クロックを供給 ×：停止またはクロックを非供給

5.6.2 各モードにおけるブロックの動作

表 5-4 各動作モードにおけるブロックの動作状態

ブロック	NORMAL	IDLE (Doze)	IDLE (Halt)	STOP
TX19A プロセッサコア	○	×	×	×
DMAC	○	○	×	×
INTC	○	○	○	×
外部バス I/F	○	○	×	×
IO ポート	○	○	×	×
ADC	○	モジュールごとに動作/停止 選択可能		×
SIO	○			×
HSIO	○			×
I2C	○			×
TMRB	○			×
TMRD	○			×
二相パルス入力カウンタ	○			×
CG	○	○	○	×
高速発振器 (fc)	○	○	○	×

○：動作 ×：停止

5.6.3 スタンバイ状態からの解除

スタンバイ状態からの解除は、割り込み要求の場合は、割り込みレベルが割り込みマスクレベルより高い場合、またはリセットによって行うことができます。使用できるスタンバイ解除ソースは、TX19A プロセッサコアのシステム制御コプロセッサ（CPO）にあるステータスレジスタ（Status レジスタ）に割り付けられている割り込みマスクレジスタ<IM15 : 8>の状態と、スタンバイモードの組み合わせにより決まります。詳細を表 5-5 に示します。

● 割り込み要求による解除

割り込み要求によるスタンバイ状態からの解除動作は、設定されている割り込みレベルが割り込みマスクレジスタの値より大きければスタンバイ解除後にその要因による割り込み処理を行います。スタンバイへ移行した命令（WAIT 命令）の次の命令から処理をスタートします。マスクレベルと同じまたは、低い場合はスタンバイの解除は行いません。

ノンマスカブル割り込みでは、マスクレジスタの値に関係なくスタンバイ解除後、割り込み処理を行います。

● リセットによる解除

リセットにより、すべてのスタンバイ状態からの解除を行うことができます。

ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間が必要です（発振安定時間+500 μ s 以上）。

STOP 解除割り込み、通常の割り込みの詳細に関しては「6. 割り込み」の項をご参照ください。

表 5-5 スタンバイ解除ソースとスタンバイ解除の動作（割り込みレベル）>（割り込みマスク）

割り込み受け付け状態		割り込み許可 EI=“1”		割り込み禁止 EI=“0”	
		IDLE (プログラマブル)	STOP	IDLE (プログラマブル)	STOP
スタンバイ解除ソース	INTWDT	◎	×	◎	—
	INT0~F	◎	◎(注1)	○	○(注1)
	INTTB0~9	◎	×	○	×
	INTRX0~2, INTTX0~2	◎	×	○	×
	HINTRX0, HINTTX0	◎	×	○	×
	INTS0~1	◎	×	○	×
	INTAD/INTADHP/INTADM	◎	×	○	×

◎：スタンバイ解除後、割り込み処理を開始します（RESET は LSI を初期化します）。

○：スタンバイ解除後、スタンバイ命令の次の番地から処理を開始します（割り込み処理は行いません）。

×：スタンバイ解除に使用できません。

—：ノンマスカブル割り込みは割り込みマスクでマスクできません。

(注1) ウォーミングアップ時間経過後にスタンバイ解除を行います。

(注2) 割り込み許可状態において、レベルモードの割り込みによるスタンバイ解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

(注3) スタンバイモードへ移行する場合は、移行前に割り込みコントローラ（INTC）で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みでスタンバイ解除が行われる場合があります。

(割り込みレベル) > (割り込みマスク) を設定してください。

(割り込みレベル) \leq (割り込みマスク) の場合、スタンバイモードから復帰できなくなります。

5.6.4 STOPモード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<DRVE>の設定により異なります。STOP モード時の端子状態を表 5-7 に示します。STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後にシステムクロックの出力を開始します。STOP モードが解除されると、STOP モードへ移行する前の動作モードへ復帰 (NORMAL) し、動作を開始します。

これら設定は STOP モードに移行する命令を実行する前に行う必要があります。ウォーミングアップ時間の設定は、SYSCR2<WUPT1:0>で行います

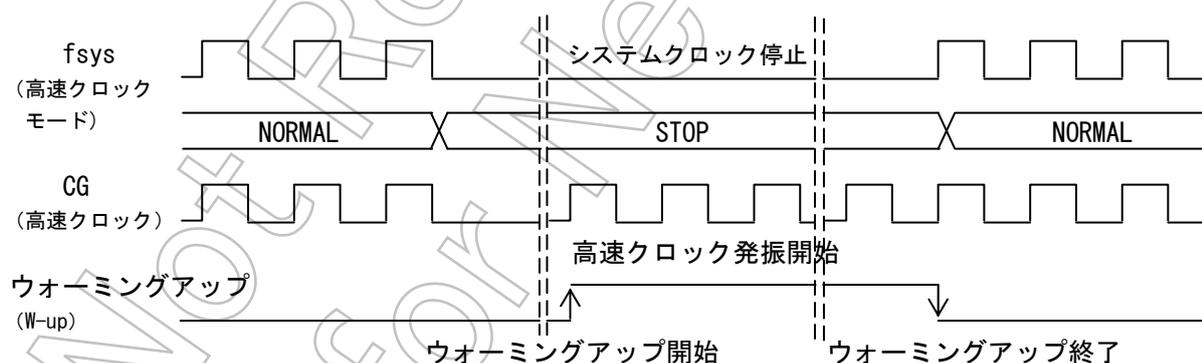
(注) TMP19A23 では NORMAL モードから STOP モードに移行する場合、ウォーミングアップ時間に SYSCR2<WUPT1:0>="00" または "01" を設定しないでください。STOP モードからの復帰時に内部システムの復帰時間が満たされません。

表 5-6 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL→IDLE	不要
NORMAL→STOP	不要
IDLE→NORMAL	不要
STOP→NORMAL	必要

5.6.5 STOPモードからの復帰

NORMAL→STOP→NORMAL 動作モード遷移



W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc=13.5MHz)	W-up時間 (fosc=10MHz)
01 ($2^8/fosc$)	設定禁止	設定禁止
10 ($2^{14}/fosc$)	1.214ms	1.638ms
11 ($2^{16}/fosc$)	4.855ms	6.554ms

(注) 内部システムの復帰時間が満たされません。<WUPT1:0>="01"は設定しないでください。

表 5-7 SYSCR2<DRVE>別の STOP モード時の端子状態 (1/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
P00~P07	入力モード 出力モード 出力モード AD0~AD7, D0~D7	—※ —※ —※	—※ —※ —※
P10~P17	入力モード 出力モード 出力モード AD8~AD15, D8~D15, A8~A15	—※ —※ —※	—※ —※ —※
P20~P27	入力モード 出力モード 出力モード A0~A7, A16~A23	— — 出力	入力 出力 出力
P30~P32, P36	入力モード 出力モード 出力モード /RD, /WR, /HWR, R/W	— — 出力	入力 出力 出力
P33, 34	入力モード 出力モード 入力モード /BUSRQ, /WAIT	— — —	入力 出力 入力
P35, P37	入力モード 出力モード 出力モード /BUSAK, /ALE	— — 出力	入力 出力 出力
P40~P43	入力モード 出力モード 出力モード /CS0~/CS3	— — 出力	入力 出力 出力
P44~P46	入力モード 出力モード 入力モード BUSMD, ENDIAN 出力モード SCOUT	— — — —	入力 出力 入力 出力
P47	入力モード 出力モード 入力モード INTO	— — 入力	入力 出力 入力
P50~P57	入力モード 出力モード 入力モード INT3, INT4 出力モード A0~A7	— — 入力 出力	入力 出力 入力 出力
P60~P67	入力モード 出力モード 入力モード INT5, INT6 出力モード A8~A15	— — 入力 出力	入力 出力 入力 出力
P70~77	入力モード	—	—
P80~P84	入力モード	—	—
P90, P94, P95	入力モード 出力モード	— —	入力 出力
P91~P93, P96, P97	入力モード 出力モード 入力モード INT1, INT7, INT8, INT9, INTC	— — 入力	入力 出力 入力
PA0, PA1, PA3~PA5, PA7	入力モード 出力モード	— —	入力 出力
PA2, PA6	入力モード 出力モード 入力モード INTA, INTB	— — 入力	入力 出力 入力
PB0~PB2, PB4, PB5, PB7	入力モード 出力モード	— —	入力 出力
PB3, PB6	入力モード 出力モード 入力モード INT2, INTD	— — 入力	入力 出力 入力

表 5-8 SYSCR2<DRVE>別の STOP モード時の端子状態 (2/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
PC0, PC1	入力モード	—	入力
	出力モード	—	出力
PC2, PC3	入力モード	—	入力
	出力モード	—	出力
	入力モード INTE, INTF	入力	入力
PD0~PD7	入力モード	—	入力
	出力モード	—	出力
PE0~PE5	入力モード	—	入力
	出力モード	—	出力
RESET	入力ピン	入力	入力
TEST	入力ピン	入力	入力
X1	入力ピン	—	—
X2	出力ピン	“H” レベル出力	“H” レベル出力

— : 入力モード/入力ピンは、入力がディセーブルになり、出力モード/出力ピンは、ハイインピーダンスになることを示します。

入力 : 入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、“L” レベルまたは、“H” レベルに固定してください。

出力 : 出力状態になっています。

※ : アクセス時のみ入力/出力となります。STOP モード中はアクセスしないため、“—” となります。

Not Recommended for New Design

6. 例外／割り込み

6.1 概要

TMP19A23 は下記の 18 要因のマスクブル割り込みと NMI を含む 15 種類の例外で構成されています。この章では一般例外／デバッグ例外を「例外」、割り込みを「割り込み」として説明しています。

・ 一般例外

- リセット例外
- ノンマスクブル割り込み (NMI)
- アドレスエラー例外 (命令フェッチ)
- アドレスエラー例外 (ロード／ストア)
- バスエラー例外 (命令フェッチ)
- バスエラー例外 (データアクセス)
- コプロセッサ使用不可例外
- 予約命令例外
- 整数オーバフロー例外
- トラップ例外
- システムコール例外
- ブレークポイント例外

・ デバッグ例外

- シングルステップ例外
- デバッグブレークポイント例外

・ 割り込み

- マスクブルソフトウェア割り込み (2 要因)
- マスクブルハードウェア割り込み (QFP 版 内部 : 38 要因、外部 (INT0~F) : 16 要因)
(BGA 版 内部 : 37 要因、外部 (INT0~E) : 15 要因)

TMP19A23 では、内蔵している周辺ハードウェア及び外部からの割り込み要求を処理するだけでなく、通常の命令シーケンスに生じた異常状態の通知手段として強制的に例外処理に移されます。

TX19A プロセッサコアで新たに実装された、Shadow Register Set と呼ばれるレジスタバンクを使用することで割り込み応答時の汎用レジスタ (GPR) の退避が不要になり、高速な割り込み応答が可能です。

プログラマブルな 7 段階の割り込みレベル (優先順位) に従った多重割り込み処理をすることができます。また、マスクレベル以下の割り込み要求をマスクすることが可能です。

6.2 例外ベクタ

例外ベクタアドレスは、例外ハンドラの開始アドレスです。リセット例外、ノンマスカブル割り込みの例外ベクタアドレスは 0xBFC0_0000 です。デバッグ例外での例外ベクタアドレスは、内部信号<ProbeEn>の値によって 0xBFC0_0480 (EJTAG ProbeEn=0) または 0xFF20_0200 (EJTAG ProbeEn=1) になります。その他の例外はシステム制御コプロセッサ (CP0) レジスタの Status<BEV>、Cause<IV>の状態により異なります。

表 6-1 例外ベクタテーブル (仮想アドレス)

Exception	BEV=0	BEV=1
Reset, NMI	0xBFC0_0000	0xBFC0_0000
デバッグ例外 (En=0)	0xBFC0_0480	0xBFC0_0480
デバッグ例外 (En=1)	0xFF20_0200	0xFF20_0200
割り込み (IV=0)	0x8000_0180	0xBFC0_0380
割り込み (IV=1)	0x8000_0200	0xBFC0_0400
その他の一般例外	0x8000_0180	0xBFC0_0380

(注1) 例外ベクタアドレスを内蔵 ROM に置く場合にはシステム制御コプロセッサ (CP0) レジスタの Status<BEV>を“1”にしてください。

6.3 リセット例外

外部リセット端子を”L”にするか、WDTのリセット設定値までカウントを続けるとリセット例外が発生します。リセット例外が発生すると、周辺ハードウェアレジスタ、CP0 レジスタが初期化され、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。リセット例外が発生した PC の値は CP0 レジスタの ErrorEPC に格納されます。

リセット例外によって CP0 レジスタの Status<ERL>が”1”にセットされ、割り込み禁止状態となるため、割り込みを使用する場合は、スタートアップルーチン(リセット例外ハンドラ)等で Status<ERL>を”0”にクリアする必要があります。

リセット例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 リセット例外」の章を参照してください。

6.4 ノンマスカブル割り込み (NMI)

WDT の NMI 設定値までカウントを続けるか、DMA 転送を含むストアアクセスによってバスエラー領域をアクセスすると NMI が発生します。NMI が発生すると、CPO レジスタの Status<ERL>と<NMI>が”1”にセットされ、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。

NMI が発生した PC の値は CPO レジスタの ErrorEPC に格納されます。ただしストア命令によるバスエラーによって発生した NMI は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。NMI では Shadow Register Set を有効にした場合、NMI 発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、NMI からの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

発生した原因はCGのNMI FLG<WDT>、<WBER>で判別することが可能です(6.10NMI フラグレジスタ参照)。NMI 発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 ノンマスカブル割り込み」の章を参照してください。

6.5 一般例外 (リセット例外/NMI 以外)

SYSCALL 命令等の特定の命令を実行した場合や不正な命令フェッチなどの異常状態を検出した場合に一般例外が発生します。CPO レジスタの Status<BEV>=1 の場合、一般例外が発生すると例外ベクタ 0xBFC0_380 番地へジャンプします。一般例外の要因は CPO レジスタの Cause<ExCode>で判別することが可能です。

一般例外が発生した PC の値は CPO レジスタの EPC に格納されます。ただしバスエラー例外 (データアクセス) は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。一般例外では Shadow Register Set を有効にした場合、例外発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、例外からの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

アドレスエラー例外 (命令フェッチ、ロード/ストア) の発生原因となった不正なアドレスは CPO レジスタの BadVAddr に格納されます。

一般例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理」の各例外に該当する章を参照してください。

(注1) アドレスエラー例外 (ロード/ストア) は DMA 転送では発生しません。DMA 転送の場合は、コンフィグレーションエラー (DMAC の CSRx<Conf>) で検出することができます。

(注2) バスエラー (データアクセス) はロード命令もしくは DMA 転送によるロードアクセスで発生します。

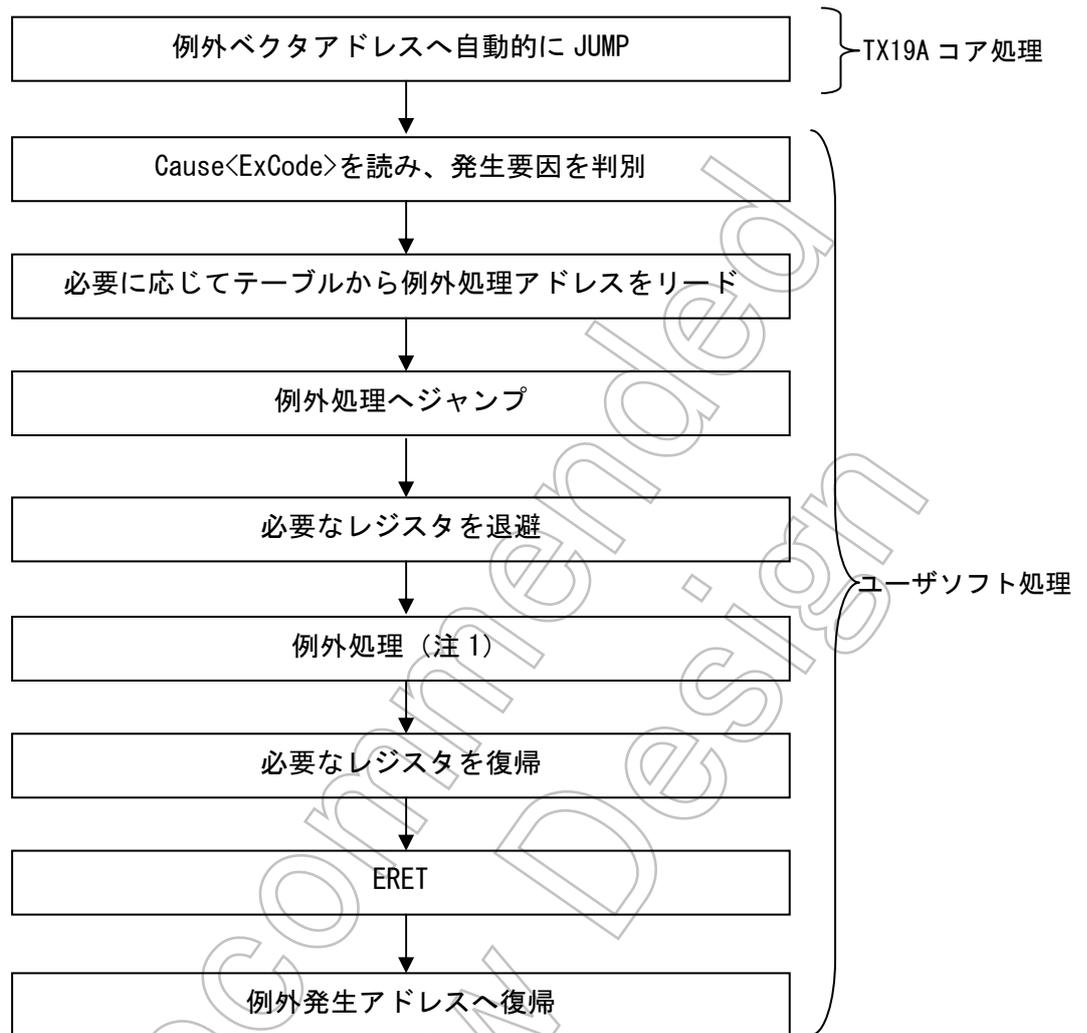


図 6-1 一般例外（リセット例外／NMI 以外）動作例

（注1）トラップ例外、システムコール例外、ブレークポイント例外を除く一般例外（リセット例外／NMI 以外）は、異常状態を意味しているためリセットをかけるような処理をするのが一般的です。

（注2）バスエラー例外（命令フェッチ、データアクセス）以外の一般例外（リセット例外／NMI 以外）は、EPC に例外発生原因となった PC が格納されますので、そのまま ERET で復帰した場合、再度例外が発生する可能性があります。

6.6 デバッグ例外

デバッグ例外には、シングルステップ例外とデバッグブレークポイント例外があります。通常、ユーザプログラムでこの例外を使用することはありません。

またデバッグ例外では Shadow Register Set を有効にしても切り替わりません。

デバッグ例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 デバッグ例外」の章を参照してください。

6.7 マスカブルソフトウェア割り込み

マスカブルソフトウェア割り込み（以下、ソフトウェア割り込み）は CPO レジスタの Cause<IP[1:0]>を個別に”1”をセットすることで2要因のソフトウェア割り込みを発生させることができます。

ソフトウェア割り込みは CPO レジスタの Cause<IP[1:0]>に値をセットしてから最短3クロック後に割り込みが受け付けられます。

ソフトウェア割り込み要求を受け付けるためには、CPO レジスタの Status<IM[1:0]>に”1”がセットされている状態で、CPO レジスタの Status<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。また CPO レジスタの Status<IM[1:0]>に”0”をセットすることでソフトウェア割り込みを個別にマスクすることが可能です。ソフトウェア割り込みとハードウェア割り込みが同時に発生した場合、ハードウェア割り込みが優先されます。

ソフトウェア割り込みではShadow Register Setを有効にした場合、ソフトウェア割り込み発生後、SSCR<PSS>にSSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、ソフトウェア割り込みからの復帰時にERET命令を実行することによって、SSCR<PSS>にSSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。ソフトウェア割り込みは図 6-2のようなフローで割り込み処理を行います。

- (注1) ソフトウェア割り込みは後述のハードウェア割り込み要因のうちの「ソフトウェアセット」とは異なります。
- (注2) ソフトウェア割り込み発生後、IVR の読み出しを行なって下さい。IVR の読み出しを行なうまでハードウェア割り込みが、コアに通知されません。
- (注3) IMCO<IL2:0>に”000”以外の値をセットすることで、ハードウェア割り込みが発生することを「ソフトウェアセット」と呼びます。

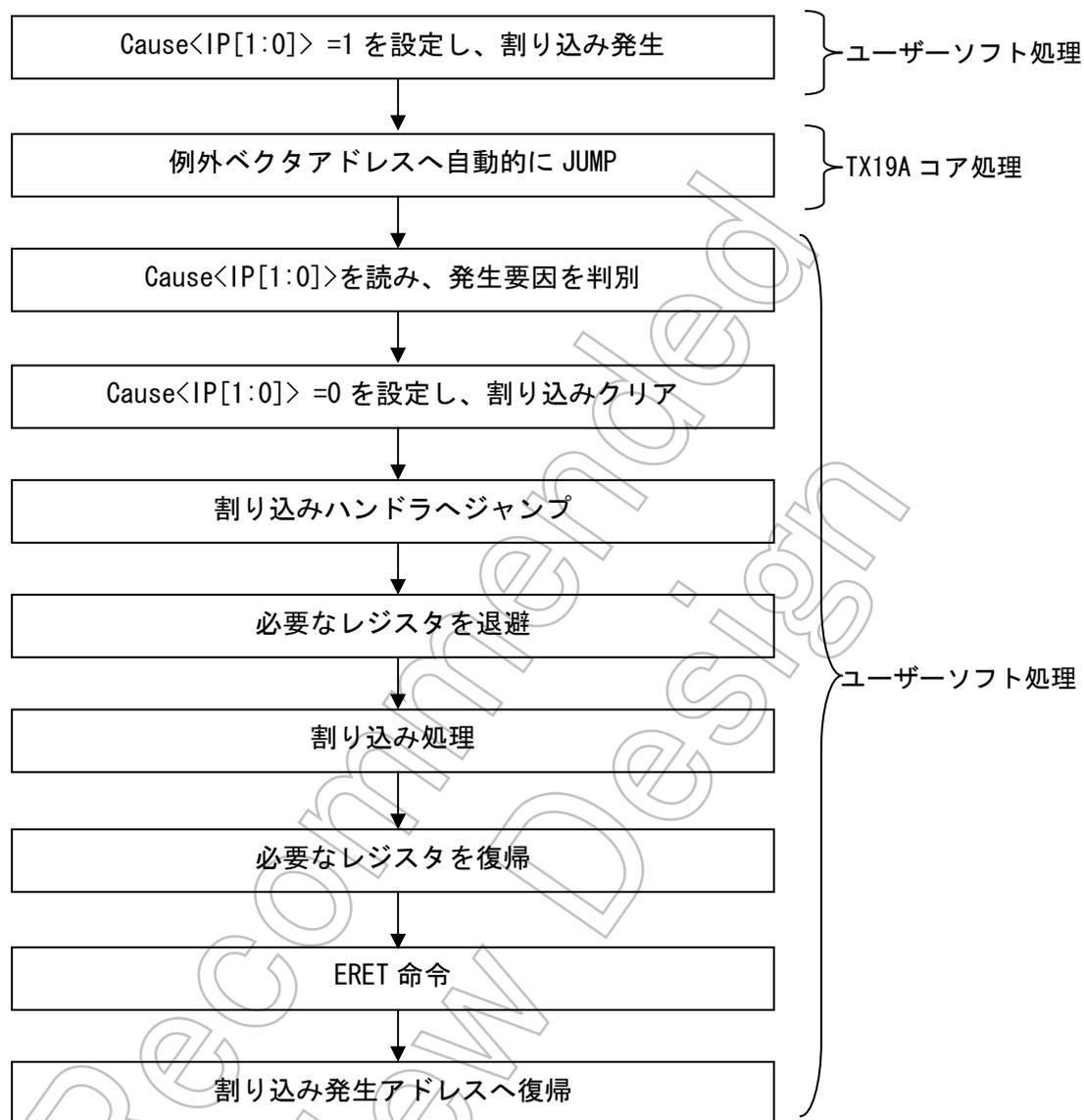


図 6-2 ソフトウェア割り込み動作例

(注1) ソフトウェア割り込みは割り込みを有効にした命令から最短 3 クロック後に受け付けられ、その時点の PC が EPC に格納されます。

6.8 マスカブルハードウェア割り込み

6.8.1 特徴

マスカブルハードウェア割り込み（以下、ハードウェア割り込み）は割り込みコントローラ（INTC）により個別に7段階の割り込みレベル（優先順位）を設定できる55要因の割り込み要求です。

ハードウェア割り込み要求を受け付けるためには、CPOレジスタのStatus<IM[4:2]>に”1”がセットされている状態で、CPOレジスタのStatus<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。

同時に複数の割り込みが発生した場合は、これらの割り込みレベルの優先順位に従って割り込み要求を受け付けられます。また同じ割り込みレベルの割り込みが同時に発生した場合は、表6-2の割り込み番号の小さい割り込み要求から受け付けられます。

割り込み要求を受け付けられると、CPOレジスタのStatus<EXL>が”1”にセットされ、割り込みが禁止状態となり、自動的にINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されます。なおCPOレジスタのStatus<IE>は割り込み応答では”1”にセットされたまま変化しません。

ハードウェア割り込みではShadow Register Setと呼ばれるレジスタバンクが割り込みレベルごとに用意されています。（CPOレジスタのSSCR<SSD>=”0”で使用可能となります）

割り込み要求を受け付けられると自動的に割り込みレベルと同じ番号のレジスタバンクに切り替わります。そのため割り込み応答時のユーザプログラムによる汎用レジスタ（GPR）の退避が不要になり、高速な割り込み応答が可能になっています。

多重割り込みを行う場合は、CPOレジスタのStatus<EXL>を”0”にクリアし、割り込みを許可状態にします。このときINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されていますので、受け付け中の割り込みレベルよりも高い割り込み要求のみ受け付けます。多重割り込みの詳細については「6.8.7 多重割り込みの設定例」を参照してください。

またINTCのILEV<CMASK>レジスタを設定することで、プログラマブルにマスクレベル以下の割り込み要求をマスクすることが可能です。

すべての割り込み要求をDMA転送のスタートトリガに使用することができます。

ハードウェア割り込みの詳細な動作を以下に示しますが、別冊「TX19A コア アーキテクチャ」の「例外処理 マスカブル割り込み（Interrupts）」の章も合わせて参照してください。

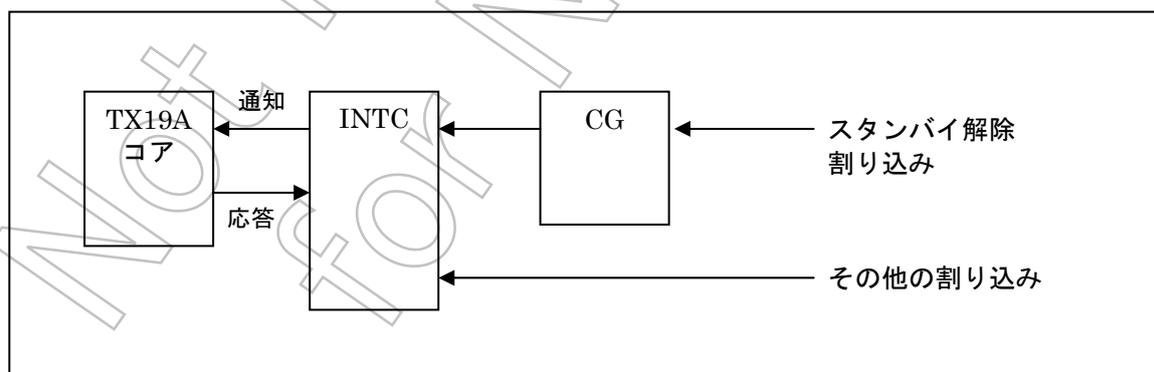


図 6-3 割り込み通知図

表 6-2 ハードウェア割り込み要因一覧

割り込み番号	IVR[7:0]	割り込み要因	割り込み制御レジスタ	アドレス
0	0x000	ソフトウェアセット	IMC0	0xFFFF_E000
1	0x004	INT0 端子	IMC1	0xFFFF_E004
2	0x008	INT1 端子		
3	0x00C	INT2 端子		
4	0x010	INT3 端子		
5	0x014	INT4 端子	IMC2	0xFFFF_E008
6	0x018	INT5 端子		
7	0x01C	INT6 端子		
8	0x020	INT7 端子		
9	0x024	INT8 端子	IMC3	0xFFFF_E00C
10	0x028	INT9 端子		
11	0x02C	INTA 端子		
12	0x030	INTB 端子		
13	0x034	INTC 端子	IMC4	0xFFFF_E010
14	0x038	INTD 端子		
15	0x03C	INTE 端子		
16	0x040	INTF 端子 (BGA 品には有りません)		
17	0x044	INTRX0 : シリアル受信 (channel. 0)	IMC5	0xFFFF_E014
18	0x048	INTTX0 : シリアル送信 (channel. 0)		
19	0x04C	INTRX1 : シリアル受信 (channel. 1)		
20	0x050	INTTX1 : シリアル送信 (channel. 1)		
21	0x054	INTRX2 : シリアル受信 (channel. 2)	IMC6	0xFFFF_E018
22	0x058	INTTX2 : シリアル送信 (channel. 2)		
23	0x05C	HINTRX0 : 高速シリアル受信 (Hchannel. 0)		
24	0x060	HINTTX0 : 高速シリアル送信 (Hchannel. 0)		
25	0x064	INTSB10 : シリアルバスインタフェース 0	IMC7	0xFFFF_E01C
26	0x068	INTADHP : 最優先 AD 変換終了割り込み		
27	0x06C	INTADMO : AD 変換監視機能割り込み 0		
28	0x070	INTADM1 : AD 変換監視機能割り込み 1		
29	0x074	INTTB0 : 16bitTMRB 0	IMC8	0xFFFF_E020
30	0x078	INTTB1 : 16bitTMRB 1		
31	0x07C	INTTB2 : 16bitTMRB 2		
32	0x080	INTTB3 : 16bitTMRB 3		
33	0x084	INTTB4 : 16bitTMRB 4	IMC9	0xFFFF_E024
34	0x088	INTTB5 : 16bitTMRB 5		
35	0x08C	INTTB6 : 16bitTMRB 6		
36	0x090	INTTB7 : 16bitTMRB 7		
37	0x094	INTTB8 : 16bitTMRB 8	IMCA	0xFFFF_E028
38	0x098	INTTB9 : 16bitTMRB 9		
39	0x09C	INTSB11 : シリアルバスインタフェース 1		
40	0x0A0	INTDOCMP0 : 16bitTMRD0 CMP 0		
41	0x0A4	INTDOCMP1 : 16bitTMRD0 CMP 1	IMCB	0xFFFF_E02C
42	0x0A8	INTDOCMP2 : 16bitTMRD0 CMP 2		
43	0x0AC	INTDOCMP3 : 16bitTMRD0 CMP 3		
44	0x0B0	INTDOCMP4 : 16bitTMRD0 CMP 4		
45	0x0B4	INTD1CMP0 : 16bitTMRD1 CMP 0	IMCC	0xFFFF_E030
46	0x0B8	INTD1CMP1 : 16bitTMRD1 CMP 1		
47	0x0BC	INTD1CMP2 : 16bitTMRD1 CMP 2		
48	0x0C0	INTD1CMP3 : 16bitTMRD1 CMP 3		
49	0x0C4	INTD1CMP4 : 16bitTMRD1 CMP 4	IMCD	0xFFFF_E034
50	0x0C8	INTAD : A/D 変換終了		
51	0x0CC	INTDMA0 : DMA 転送終了 (channel 0)		
52	0x0D0	INTDMA1 : DMA 転送終了 (channel 1)		
53	0x0D4	INTDMA2 : DMA 転送終了 (channel 2)	IMCE	0xFFFF_E038
54	0x0D8	INTDMA3 : DMA 転送終了 (channel 3)		
55	0x0DC	Reserve		
56	0x0E0	Reserve		
57	0x0E4	Reserve	IMCF	0xFFFF_E03C
58	0x0E8	Reserve		
59	0x0EC	Reserve		
60	0x0F0	Reserve		
61	0x0F4	Reserve		
62	0x0F8	Reserve		
63	0x0FC	Reserve		

(注1) IMCxx は 32 ビットのレジスタですが、8 ビット/16 ビットでのアクセスが可能です。

(注2) IDLE モード解除は全ての要因で可能

表 6-3 STOP モード解除割り込み要因

番号	割り込み要因	補足
0	INT0	外部割り込み 0
1	INT1	外部割り込み 1
2	INT2	外部割り込み 2
3	INT3	外部割り込み 3
4	INT4	外部割り込み 4
5	INT5	外部割り込み 5
6	INT6	外部割り込み 6
7	INT7	外部割り込み 7
8	INT8	外部割り込み 8
9	INT9	外部割り込み 9
10	INTA	外部割り込み A
11	INTB	外部割り込み B
12	INTC	外部割り込み C
13	INTD	外部割り込み D
14	INTE	外部割り込み E
15	INTF (BGA には有りません)	外部割り込み F

※ 番号 0~15 は STOP/IDLE 解除可能な割り込み要因

※ BGA 版では INTF をサポートしていません

6.8.2 割り込み要求の検出

割り込み要求の検出は表 6-4 に示すように要因ごとに異なります。すべての割り込み要求は検出後、INTC に通知され優先度調停され、TX19A プロセッサコアに通知されます。各割り込み要因で使用できる検知レベルは表 6-5 を参照してください。

表 6-4 割り込み要求の検出場所

割り込み	検出場所	割り込み通知経路
(1) 外部端子割り込み INTO~INTF	CG	PORT→CG(検出)→INTC(調停)→TX19A コア
	INTC	PORT→INTC(検出/調停)→TX19A コア
(2) その他の割り込み	INTC	周辺回路→INTC(検出/調停)→TX19A コア

6.8.3 割り込みの優先度調停

1. 7段階の割り込みレベル

INTC は割り込み要因個別に 7 段階の割り込みレベル（優先度）を設定できます。

割り込みレベルは INTC の IMCxx<ILxxx>で設定し、設定された割り込みレベルが大きいほど優先度が高くなります。値が”000”のとき（割り込みレベル 0）はその要因による割り込みは発生しません。また割り込みレベル 0 の割り込み要因は保留されません。

2. 割り込みレベル通知

割り込み要求が発生すると、INTC はその割り込みレベルとマスクのレベルを比較します。ILEV<CMASK>で設定したマスクレベルよりその割り込みのレベルが高いときに割り込み要求を TX19A プロセッサコアへ通知します。

同時に複数の割り込みが発生した場合は、割り込みレベルの優先順位に従って割り込み要求を通知します。また同じ割り込みレベルの割り込みが同時に発生した場合は、表 6-2 の割り込み番号の小さい割り込み要求から通知します。

前の割り込み要求がクリアされる前に同じ割り込み要因の再要求があった場合、1 回目の割り込みしか受け付けられません。

3. INTC レジスタ更新

割り込み要求が TX19A コアに受け付けられると、その時点で最も高いレベルの割り込みレベルが ILEV<CMASK>に入り、IVR には対応したベクタ値がセットされます。一度セットされた CMASK/IVR はより高いレベルの割り込み要求が発生しても、IVR を読み出すまで更新されず、またコアへも通知されません。

(注1) ILEV の値を変更する前に必ず IVR の値を読み出してください。IVR の値を読み出す前に ILEV の値を変更すると意図しない割り込みが発生する可能性があります。

6.8.4 ハードウェア割り込みの動作

ハードウェア割り込みが発生すると、TX19A コアは下記の処理を行い、CP0 レジスタの Status<BEV> と Cause<IV>の設定に応じた表 6-1 の例外ベクタアドレスへジャンプします。

- (1) CP0 レジスタの Status<EXL>を” 1” にセットします。
- (2) CP0 レジスタの EPC に割り込み発生時の PC の値をセットします。
- (3) Shadow Register Set を有効にしている場合 (CP0 レジスタの SSCR<SSD> =0)、CP0 レジスタの SSCR<CSS/PSS>が更新され、割り込みレベルと同じ番号のレジスタバンクに切り替わります。
- (4) INTC の ILEV<CMASK/PMASKx>が更新され、割り込みマスクレベルが受け付けられた割り込みレベルにセットされます。
- (5) INTC の IVR[7:0]を表 6-2 の値にセットします。

Not Recommended for New Design

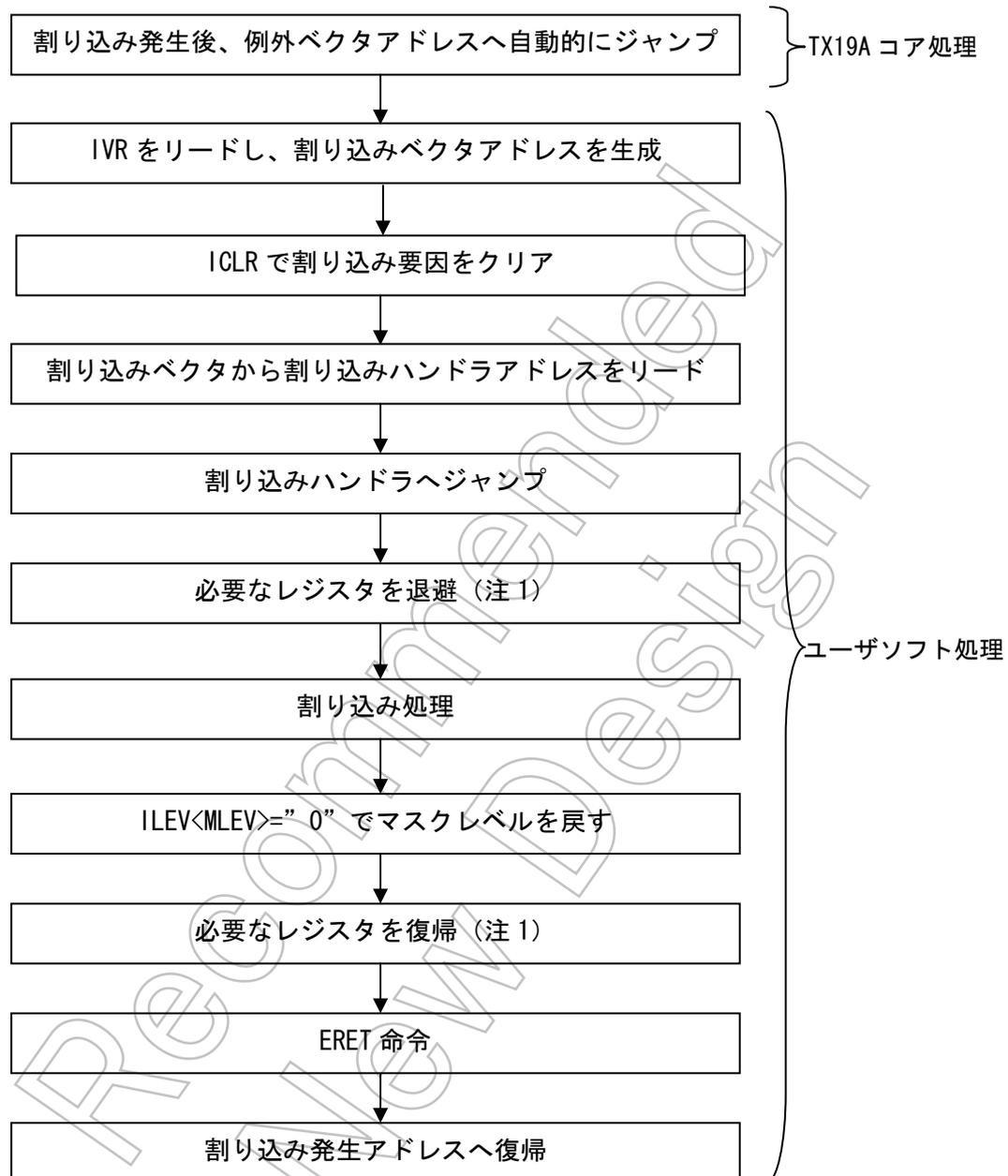


図 6-4 ハードウェア割り込みの基本動作例

(注1) TX19A コアは Shadow Register Set を使用すること (CP0 レジスタ SSCR<SSD>=0) によって汎用レジスタの大部分を自動的に退避することが可能です。

6.8.5 割り込みの初期設定

割り込みを使用する前に必要な設定として、要因に関わらず割り込みを使用する場合に必要な設定を「6.8.5.1 共通の初期設定」で、要因や用途によって必要な設定を「6.8.5.2 割り込み要因別の初期設定」で説明します。

6.8.5.1 共通の初期設定

割り込みを使用するためには以下の設定が必要です。

- (1) CPO レジスタの Status<IM[4:2]>に” 111” をセットします。
- (2) INTC の IVR[31:8]に割り込みベクタテーブルのベースアドレスをセットします。
- (3) 「割り込みベクタテーブルのベースアドレス+割り込み要因ごとの IVR[7:0]」のアドレスに割り込み要因ごとの割り込みハンドラアドレスをセットします。

(1) の記述例：割り込みの例外ベクタアドレス 0xBFC00400 番地を使用する場合

```
lui    r2, 0x1040          ; CU0=1, BEV =1 (r2 =0x1040_xxxx)
addiu  r2, r2, 0x1C00      ; IM4, IM3, IM2 =1 (r2 =0x1040_1C00)
mtc0   r2, r12
```

(2) の記述例：VectorTable を割り込みベクタテーブルのラベルにしている場合

```
lui    r3, hi(VectorTable)
addiu  r3, r3, lo(VectorTable) ; r3 =VectorTable のアドレス
lui    r2, hi(IVR)          ; r2 =0xFFFF_xxxx (IVR のアドレスの上位 16bit)
sw     r3, lo(IVR)(r2)      ; IVR[31:8]に VectorTable のアドレスを設定
```

(3) の記述例：0xBFC20000 番地を割り込みベクタのベースアドレスにした場合

```
_VectorTable section code isa32 abs=0xBFC20000
VectorTable:
dw     _SWINT              ; 0 --- software interrupt
dw     _INT0               ; 1 --- INT0
dw     _INT1               ; 2 --- INT1
dw     _INT2               ; 3 --- INT2
dw     _INT3               ; 4 --- INT3
dw     _INT4               ; 5 --- INT4
dw     _INT5               ; 6 --- INT5
dw     _INT6               ; 7 --- INT6
dw     _INT7               ; 8 --- INT7
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

6.8.5.2 割り込み要因別の初期設定

割り込みを使用するために設定するレジスタは下記の要因ごとに異なります。

表 6-5 割り込み検知と設定レジスタ

割り込み	検知場所	設定場所	使用できる割り込み検知レベル(アクティブ状態の設定)
(1) 外部端子割り込み INT0~INTF	INTC	PxFC (PORT) PxCR (PORT) IMCxx (INTC)	INTC で “H/L” レベル、立ち下がり、立ち上がりが設定ができます。
	CG	PxFC (PORT) PxCR (PORT) IMCGx (CG) IMCxx (INTC)	スタンバイモードからの復帰に使用する場合、CG で “H/L” レベル、立ち下がり、立ち上がりの設定を行い、INTC では必ず”H” レベルに設定してください。
(5) 2 相カウンタ割り込み	INTC	PxFC (PORT) PxCR (PORT) IMCxx (INTC)	INTC では必ず”立上がりエッジに設定してください。
(6) その他の割り込み	INTC	IMCxx (INTC)	INTC で “H/L” レベル、立ち下がり、立ち上がりが設定できます。

(注1) レベル検出は内部クロックによって毎回値を確認し、エッジ検出は内部クロックによって前回の入力との値を比較し、エッジを検出します。CG/KWUP(スタティック設定時)のエッジ検出は内部クロックを使用せず、入力信号のエッジを検出します。

(注2) 割り込みの初期設定をする場合は、表 6-4 に示している、割り込み検出経路の順に設定してから、CPO レジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みが発生する場合がありますので、必ず割り込み要因をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CPO レジスタで割り込みを禁止にしてから割り込み検出経路の逆方向から設定してください。

(1) 外部端子割り込み INTO~INTF

- ・ PORT の PxCR、PxIE でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の PxFC で端子機能を INTO~INTF に設定します。(7. ポート機能参照)
- ・ PORT の PxPUP で必要に応じてプルアップ設定をします。(7. ポート機能参照)
- ・ INTC の IMCx<EIMxx>でアクティブ状態を設定します。(5.3.3 割り込み関連レジスタ参照)
- ・ CG の IMCGx<EMCGxx>でスタンバイ解除の許可/禁止を設定します。(INTCG レジスタ (STOP /IDLE 解除割り込み) 参照)
- ・ INTCのIMCx<EIMxx>でCGから通知される内部割り込み信号のアクティブ状態を設定します。INTCのIMCx<EIMxx>で立ち上がり/下がりエッジに設定している場合は立ち下がりエッジに設定 (IMCx<EIMxx>を“10”にセット) し、H/Lレベルに設定している場合はLレベルに設定 (IMCx<EIMxx>を“00”にセット) してください。(6.8.8 レジスタ参照)

・ 外部端子割り込み INT3 を STOP 解除入力 (立ち下がりエッジ) として使用する場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
P5CR<P54C> = " 0"           ; ポートを入力に設定
P5FC<P54F> = " 0"           ; ポートを INT3 に設定
IMCGA<EMCG32:30> = " 010"    ; INT3 を立ち下がりエッジ
IMCGA<INT3EN> = " 1"         ; INT3 をスタンバイ解除に設定
EICRCG<ICRCG3:0> = " 0011"   ; INT3 のスタンバイ解除要求をクリア
IMC1<EIM41:40> = " 01"       ; INT3 をレベルに設定
INTCLR<EICLR7:0> = " 010"    ; INT3 の割り込み要求をクリア
IMC1<IL42:40> = " 101"       ; INT3 の割り込みレベルを" 5" に設定
ILEV<MLEV>/<CMASK> = " 1" / " xxx" ; マスクレベルを" xxx" に設定
                                   (ILEV<MLEV>と同時にセット)
SYNC 命令                     ; 割り込み設定が有効になるまでストール
Status<IE> = " 1"           ; 割り込み許可
```

・ 外部端子割り込み INT3 を使用禁止にする場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
IMC1<IL42:40> = " 000"       ; INT3 の割り込みを禁止
INTCLR<EICLR7:0> = " 010"    ; INT3 の割り込み要求をクリア
```

(2) その他のハードウェア割り込み

- ・ 使用する周辺ハードウェアの設定をします。
- ・ INTCのIMCxx<EIMxx>を設定します。(6.8.8 レジスタ参照)

(注1) 割り込みの初期設定をする場合は、INTC の設定してから、CP0 レジスタで割り込みを許可にして下さい。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてから INTC を設定してください。

6.8.5.3 割り込み許可

割り込み要求を受け付けるためには「6.8.5 割り込みの初期設定」以外に下記の3条件が設定されている必要があります。

- ・ CPOレジスタのStatus<ERL>が”0”にセットされている。
- ・ CPOレジスタのStatus<EXL>が”0”にセットされている。
- ・ CPOレジスタのStatus<IE>が”1”にセットされている。

これらの設定は命令実行から2クロック後に割り込みが許可状態になり、レジスタがセットされず。またCPOレジスタのStatus<IE>を”1”にセットするには、下記の4通りの設定方法があります。

1. 32ビットISAのMTCO命令でCPOレジスタのStatus<IE>を”1”にセットする。
2. 32ビットISAのMTCO命令でCPOレジスタのIERを”0”以外にセットする。(注1)
3. 16ビットISAのMTCO命令でCPOレジスタのStatus<IE>を”1”にセットする。
4. 16ビットISAのEI命令を実行する。(注2)

(注1) コード増加を抑制するため、32ビットISAではこの方法で割り込み許可することを推奨します。東芝製Cコンパイラでも32ビットISAの「_EI()組み込み関数」はこの命令が実行されます。

(注2) コード増加を抑制するため、16ビットISAではこの方法で割り込み許可することを推奨します。東芝製Cコンパイラでも16ビットISAの「_EI()組み込み関数」はこの命令が実行されます。

(注3) コード増加を抑制し、高速に処理できるため、2.と4.の方法を推奨します。

6.8.5.4 割り込み禁止

下記の3条件のうち1つでも成立していると割り込み禁止状態になります。下記設定によって割り込み禁止状態にすると、「6.8.5 割り込みの初期設定」で設定されている割り込み要求は保留されま
す。また割り込みレベル0に設定した割り込み要因は保留しません。

- ・ CPOレジスタのStatus<ERL>が”1”にセットされている。
- ・ CPOレジスタのStatus<EXL>が”1”にセットされている。
- ・ CPOレジスタのStatus<IE>が”0”にセットされている。

これらの設定は命令実行直後に割り込みが禁止状態になり、2クロック後にレジスタがセットされ
ます。CPOレジスタのStatus<ERL>と<EXL>は割り込み及び例外で自動的にセットされ、ERET命令で自
動的にクリアされるビットですので、通常の割り込み禁止設定を行なう場合はCPOレジスタの
Status<IE>を”0”にセットする方法を推奨します。多重割り込みを使用する場合の割り込み禁止は
「6.8.7多重割り込みの設定例」を参照してください。CPOレジスタのStatus<IE>を”0”にセットす
るには、下記の4通りの設定方法があります。

1. 32ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
2. 32ビットISAのMTC0命令でCPOレジスタのIERを”0”にセットする。(注1)
3. 16ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
4. 16ビットISAのDI命令を実行する。(注2)

(注1) コード増加を抑制するため、32ビットISAではこの方法で割り込み禁止することを
推奨します。東芝製Cコンパイラでも32ビットISAの「_DI()組み込み関数」
はこの命令が実行されます。

(注2) コード増加を抑制するため、16ビットISAではこの方法で割り込み禁止すること
を推奨します。東芝製Cコンパイラでも16ビットISAの「_DI()組み込み関数」
はこの命令が実行されます。

(注3) コード増加を抑制し、高速に処理できるため、2.と4.の方法を推奨します。

一度、INTCのIMCx<ILxxx>で割り込みレベルを設定し、割り込み許可になった要因を個別に再度禁
止(IMCx<ILxxx>=”000”)にする場合は、下記の例のようにCPOレジスタのStaus<ERL/EXL/EI>を
セットし、割り込みを禁止状態にしてから割り込み要因を禁止にしてください。

割り込み要因を個別に禁止する場合の記述例

```
mtc0    r0, IER          ; 割り込み禁止 (Status<IE> = "0")
sb      r0, IMCxx       ; 割り込み要因の禁止
sync
mtc0    r29, IER        ; 割り込み許可 (Status<IE> = "1")
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製ア
センブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるア
センブラに応じて記述を変更してください。

6.8.6 割り込み処理

ここでは図 6-4 の基本フローを前提にした詳細な動作を説明します。

6.8.6.1 割り込み応答と復帰

①ハードウェアによる割り込み受け付け

INTC は割り込み要求を調停すると INTC の IVR に受け付けた割り込み要求の割り込みベクタと ILEV<CMASK>に受け付けた割り込みレベルをセットし、TX19A プロセッサコアに割り込みレベルを通知します。割り込みレベルの通知を受けた TX19A プロセッサコアは GP0 レジスタの Status<EXL>を”1”にセットし、割り込みを禁止状態にし、割り込みが発生した PC の値を EPC に退避します。また Shadow Register Set が有効 (GP0 レジスタ SSCR<SSD>=0) な場合は GP0 レジスタの SSCR<CSS>に割り込みレベルをセットし、レジスタバンクを切り替えます。

割り込みが受け付けられると実行中の命令は中止され、例外ベクタアドレス (割り込み) へ自動的にジャンプします。割り込みの受け付けフローを 図 6-5 に示します。

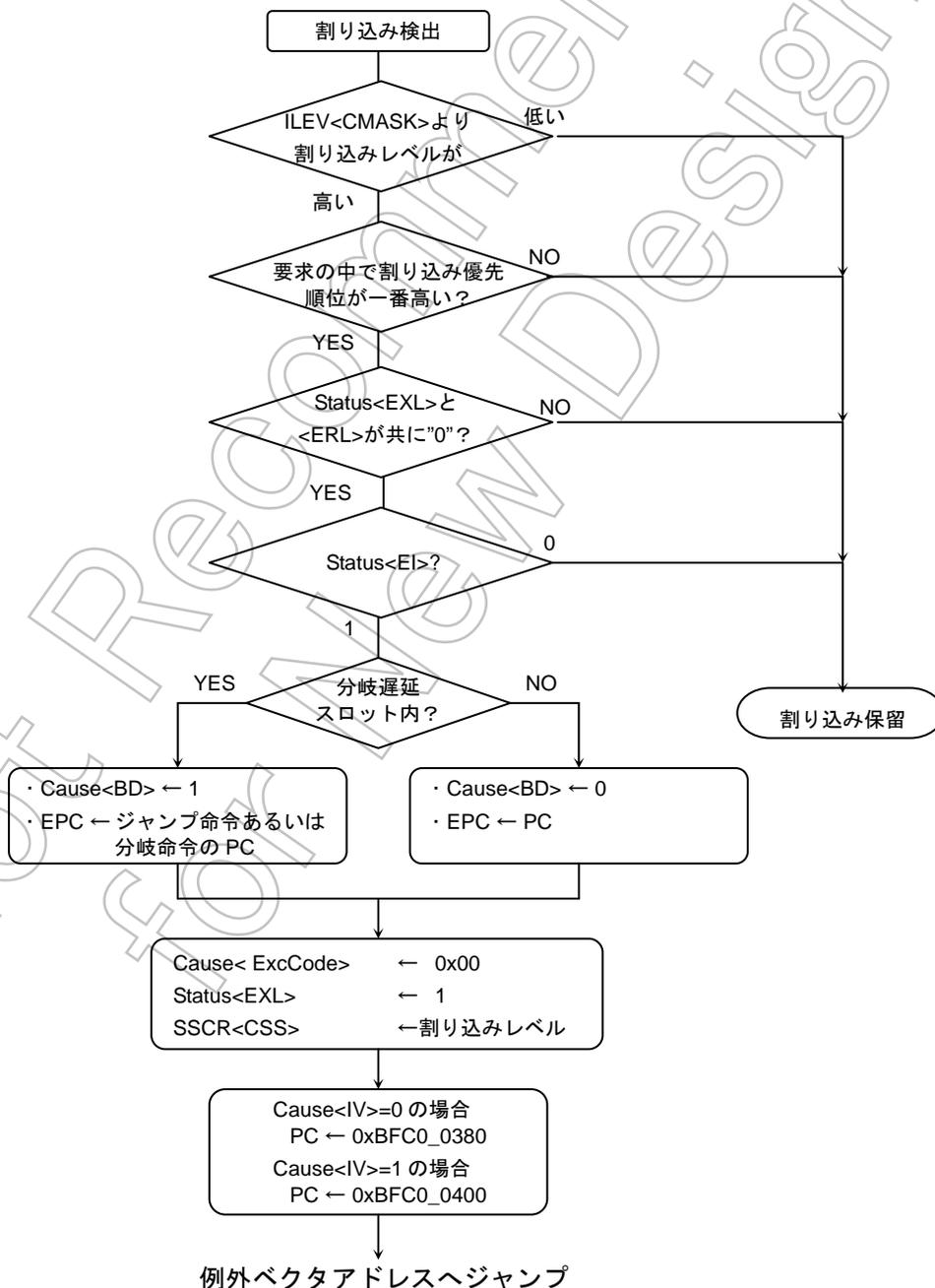


図 6-5 ハードウェアによる割り込み受け付けフロー

②例外ハンドラでの必要な処理

割り込み要求が受け付けられた後、自動的にジャンプする例外ハンドラでは、INTCのIVRから割り込みベクタアドレスを読み出し、ユーザプログラムで割り込みハンドラアドレスを生成します。通常「6.8.5 割り込みの初期設定」での記述例のように、IVR[31:8]には割り込みベクタのベースアドレスを設定するため、IVRの値が割り込みベクタアドレスになります。

INTCのIVRを読み出した後に割り込み要因をクリアします。IVRを読む前に割り込み要因をクリアするとIVRの値がクリアされ、正しい値が読み出せなくなります。

例外ハンドラの記述例：例外ベクタアドレス（割り込み）が0xBFC0_0400番地の場合

VECTOR_INT section code isa32 abs=0xBFC00400

__InterruptVector:

```
lui    r26, hi(IVR)
lw     r26, lo(IVR)(r26)      ; IVRから割り込みベクタアドレスの読み出し
lui    r27, hi(INTCLR)
sh     r26, lo(INTCLR)(r27)  ; 割り込み要求のクリア
lw     r26, 0(r26)           ; 割り込みベクタから割り込みハンドラアドレスの読み出し
jr     r26                    ; 割り込みハンドラへジャンプ
nop
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

③割り込みハンドラでの必要な処理

通常、割り込みハンドラでは必要なレジスタの退避と割り込み処理を行います。Shadow Register Setを有効（CPOレジスタSSCR<SSD>=0）にしている場合は、汎用レジスタのr26, r27, r28, r29（Shadow Register Set番号1~7）以外は自動的に退避されるため、ユーザプログラムで退避する必要はありません。退避される汎用レジスタの詳細については別冊の「TX19A コアアーキテクチャ」を参照してください。

一般的に汎用レジスタ以外はユーザプログラムに依存しますが、必要に応じて、CPOレジスタのStatus, EPC, SSCR, HI, LO, Cause, Config等も退避します。

退避処理後にCPOレジスタのStatus<EXL>を”0”にクリアし、割り込みを許可にすることで多重割り込みを使用することが可能です。

(注1) 割り込み禁止の状態でも一般例外は受け付けられます。そのため多重割り込みを使用しない場合でも一般例外によって書き換わる可能性のある、汎用レジスタ及びCPOレジスタを退避することを推奨します。

割り込みハンドラでの必要な設定例

SSCR→スタックへ退避	; SSCR の値の退避 (必要に応じて)
NOP 命令	; SSCR が切り替わるまでストール
NOP 命令	; SSCR が切り替わるまでストール
EPC →スタックへ退避	; EPC の値の退避 (必要に応じて)
Status →スタックへ退避	; Status の値の退避 (必要に応じて)
NOP 命令	; ERET 命令実行前にストール
NOP 命令	; ERET 命令実行前にストール
Status<EXL> = " 0"	; 割り込み許可 (多重割り込み時のみ)

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待ってからレジスタアクセスをして下さい。

④割り込みハンドラからの復帰

割り込みハンドラからメイン処理に復帰するには割り込みハンドラの先頭で退避したレジスタを戻し、INTC の ILEV<MLEV>に" 0" をセットして割り込みのマスケレベルを戻します。すべての復帰作業が終了後、ERET 命令を実行することによって、CPO レジスタの Status<EXL>を" 0" にクリアされ、EPC のアドレスが PC に戻りメイン処理に復帰します。また Shadow Register Set を有効 (CPO レジスタ SSCR<SSD>=0) にしている場合は、ERET 命令によって SSCR<CSS>が更新され、ひとつ前の Shadow Register Set 番号に自動的に戻るため、レジスタバンクで退避した汎用レジスタは自動的に復帰します。

多重割り込みを使用している場合は、復帰処理の前に CPO レジスタの Status<EXL>を" 1" にセットし、割り込みを禁止にしておく必要があります。

割り込みハンドラからの復帰の設定例

Status<EXL> = " 1"	; 割り込み禁止 (多重割り込み時のみ)
ILEV<MLEV> = " 0"	; マスケレベルを 1 段階戻す
SYNC 命令	; マスケレベルが戻るまでストール
SSCR ←退避した SSCR	; SSCR の値を復帰 (必要に応じて)
NOP 命令	; SSCR が切り替わるまでストール
NOP 命令	; SSCR が切り替わるまでストール
EPC ←退避した EPC	; EPC の値を復帰 (必要に応じて)
Status ←退避した Status	; Status の値を復帰 (必要に応じて)
NOP 命令	; ERET 命令実行前にストール
NOP 命令	; ERET 命令実行前にストール
ERET 命令	; Status<EXL> = " 0" , PC ←EPC, SSCR<GSS> ←SSCR<PSS>

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待ってからレジスタアクセスをして下さい。

(注2) ERET 命令を実行する 2 命令前に CPO レジスタをアクセスしないで下さい。

6.8.7 多重割り込みの設定例

多重割り込みとは割り込み処理中にさらに優先度の高い割り込み要求を処理することです。TMP19A23 は INTC が割り込み優先度の調停を行うことで、多重割り込みを行うことができます。割り込み要求が受け付けられると自動的に INTC の ILEV<CMASK>が受け付けられた割り込みレベルに更新されますので、ユーザプログラムで初期設定された優先度で調停を行うことができます。

①多重割り込みで必要な追加処理

割り込みが受け付けられると CPO レジスタの Status<EXL>が” 1” にセットされ割り込みが禁止状態になります。多重割り込みを行うためには、多重割り込みを許可する前に、2 回目以降の割り込みで上書きされてしまう可能性のあるレジスタを事前に退避しておく必要があります。そのため通常の例外ハンドラ及び割り込みハンドラの処理以外に下記レジスタを退避してから、CPO レジスタの Status<EXL>を” 0” にセットして、割り込みを許可して下さい。

退避させておかなければいけない CPO レジスタ

- ・ EPC
- ・ SSCR
- ・ Status

必要に応じて HI, LO, Cause, Config レジスタも退避させてください。

(注1) 東芝製 C コンパイラの割り込み関数を使用すると自動的に退避／復帰されるレジスタもあります。詳細は、東芝製 C コンパイラに付属の「TX19A C コンパイラリファレンス」を参照してください。

②多重割り込みで必要な追加の復帰処理

割り込みからの復帰処理でのレジスタ復帰の前に「6.8.5.4 割り込み禁止」に示してある手段で割り込みを禁止にする必要があります。これは復帰したレジスタを多重割り込みで壊されないために必要です。また ERET 命令では自動的に CPO レジスタの Status<EXL>を” 0” にクリアするため、復帰処理での割り込み禁止は CPO レジスタの Status<EXL>を” 1” にセットすると、自動的に割り込み許可状態で割り込みから復帰することが可能です。

③Status<EXL>と Status<IE>の使い分け

Status<EXL>と Status<IE>は基本的に大きな違いはありませんが、Status<EXL>は割り込み発生で自動的に” 1” にセットされ ERET 命令で自動的に” 0” にクリアされます。割り込み先頭のレジスタ退避及び割り込み最後のレジスタ復帰は割り込みを禁止する必要があるため、通常はハードウェアで制御される Status<EXL>を使用します。また、その他の一般的な割り込み許可／禁止制御は Status<IE>を使用して制御します。

多重割り込みでの割り込み許可／禁止制御フローは「6.8.7.1 多重割り込みでの割り込み制御」で説明します。

6.8.7.1 多重割り込みでの割り込み制御

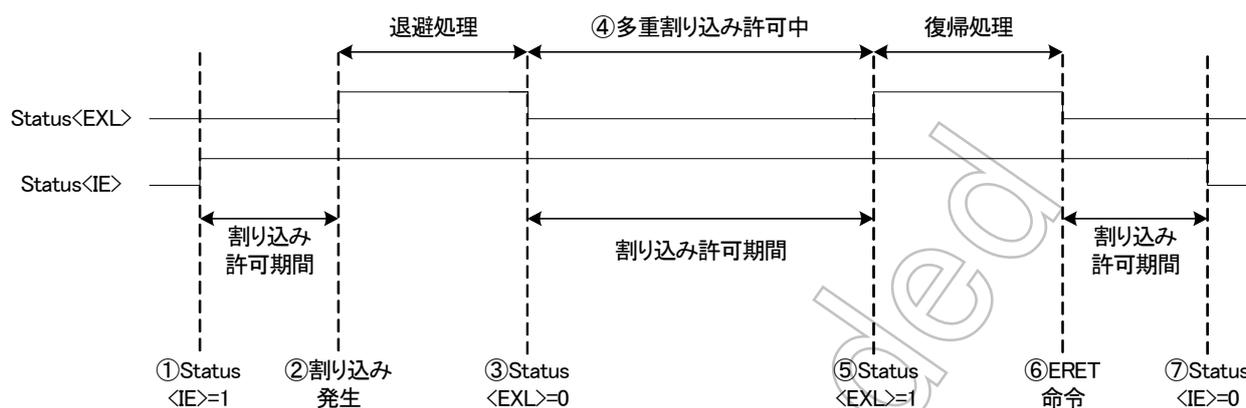


図 6-6 多重割り込み制御の割り込み許可/禁止

①Status<IE>=1

CP0 レジスタの Status<EXL>が” 0” の状態で、CP0 レジスタの Status<IE>を” 1” にセットすることで、割り込みを許可にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

②割り込み発生

割り込みが発生すると自動的に CP0 レジスタの Status<EXL>が” 1” にセットされ、割り込み禁止状態になります。この処理はハードウェアで自動的に設定されます。

③Status<EXL>=0

多重割り込みを許可にする場合、必要なレジスタを退避後に CP0 レジスタの Status<EXL>を” 0” にセットし、割り込みを許可にする必要があります。レジスタ退避前に割り込みを許可にしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

④多重割り込み許可中

多重割り込みが許可されている期間です。現在の割り込みレベル (ILEV<CMASK>) よりも大きいレベルの割り込みが受け付けられます。この期間で割り込みを禁止したい場合は CP0 レジスタの Status<IE>を” 0” にセットします。

⑤Status<EXL>=1

多重割り込みを許可にした場合、必要なレジスタを復帰させる前に CP0 レジスタの Status<EXL>を” 1” にセットし、割り込みを禁止にする必要があります。割り込み禁止前にレジスタ退避をしてしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

⑥ERET 命令

割り込み発生前に戻るための命令です。CP0 レジスタの Status<EXL>が” 1” にセットされている状態で実行すると、自動的に CP0 レジスタの Status<EXL>が” 0” にセットされ、割り込み許可状態になります (ただし、CP0 レジスタの Status<IE>を” 1” の場合)。

⑦Status<IE>=0

CP0 レジスタの Status<IE>を” 0” にセットすることで、割り込みを禁止にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

6.8.8 レジスタ

6.8.8.1 レジスタマップ

表 6-6 INTC レジスタマップ

アドレス	レジスタ記号	レジスタ	対応割り込み番号
0xFFFF_E000	IMC0	割り込みモードコントロールレジスタ 00	0 ~ 3
0xFFFF_E004	IMC1	割り込みモードコントロールレジスタ 04	4 ~ 7
0xFFFF_E008	IMC2	割り込みモードコントロールレジスタ 08	8 ~ 11
0xFFFF_E00C	IMC3	割り込みモードコントロールレジスタ 12	12 ~ 15
0xFFFF_E010	IMC4	割り込みモードコントロールレジスタ 16	16 ~ 19
0xFFFF_E014	IMC5	割り込みモードコントロールレジスタ 20	20 ~ 23
0xFFFF_E018	IMC6	割り込みモードコントロールレジスタ 24	24 ~ 27
0xFFFF_E01C	IMC7	割り込みモードコントロールレジスタ 28	28 ~ 31
0xFFFF_E020	IMC8	割り込みモードコントロールレジスタ 32	32 ~ 35
0xFFFF_E024	IMC9	割り込みモードコントロールレジスタ 36	36 ~ 39
0xFFFF_E028	IMCA	割り込みモードコントロールレジスタ 40	40 ~ 43
0xFFFF_E02C	IMCB	割り込みモードコントロールレジスタ 44	44 ~ 47
0xFFFF_E030	IMCC	割り込みモードコントロールレジスタ 48	48 ~ 51
0xFFFF_E034	IMCD	割り込みモードコントロールレジスタ 52	52 ~ 55
0xFFFF_E038	IMCE	割り込みモードコントロールレジスタ 56	56 ~ 59
0xFFFF_E03C	IMCF	割り込みモードコントロールレジスタ 60	60 ~ 63
0xFFFF_E040	IVR	割り込みベクタレジスタ	
0xFFFF_E060	INTCLR	割り込み要求クリアレジスタ	
0xFFFF_E10C	ILEV	割り込みマスクレベルレジスタ	

(注1) 割り込みモードコントロールレジスタ (IMCxx) は 32 ビットのレジスタですが、16 ビット及び 8 ビットでもアクセスが可能です。

6.8.8.2 割り込みベクタレジスタ (IVR)

IVR は発生した割り込み要因の割り込みベクタアドレスを示すレジスタです。割り込み要求が受け付けられると IVR[7:0]に表 6-2 に対応する値がセットされます。IVR[31:8]は RD/WR 可能なビットで割り込みベクタのベースアドレスをセットすることによって、IVR を読み出すだけで割り込みベクタアドレスを生成することが可能です。

割り込みベクタレジスタ

IVR (0xFFFF_E040)		7	6	5	4	3	2	1	0	
	bit Symbol	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	発生している割り込み要因のベクタがセットされます						常に"0"が読めます		
		15	14	13	12	11	10	9	8	
	bit Symbol	IVR15	IVR14	IVR13	IVR12	IVR11	IVR10	IVR9	IVR8	
	Read/Write	R/W							R	
	リセット後	0	0	0	0	0	0	0	0	
	機能								常に"0"が読めます	
		23	22	21	20	19	18	17	16	
	bit Symbol	IVR23	IVR22	IVR21	IVR20	IVR19	IVR18	IVR17	IVR16	
	Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0		
機能										
	31	30	29	28	27	26	25	24		
bit Symbol	IVR31	IVR30	IVR29	IVR28	IVR27	IVR26	IVR25	IVR24		
Read/Write	R/W									
リセット後	0	0	0	0	0	0	0	0		
機能										

6.8.8.3 割り込みレベルレジスタ (ILEV)

ILEV は INTC から TX19A プロセッサコアへ割り込み要求を通知するレベルを制御するレジスタです。

ILEV<CMASK>以下の割り込みレベルは割り込みが保留されます。割り込み優先順位は”7”が一番高く、”1”が一番低くなります。ただし、割り込みレベル0に設定されている割り込みは保留されません。

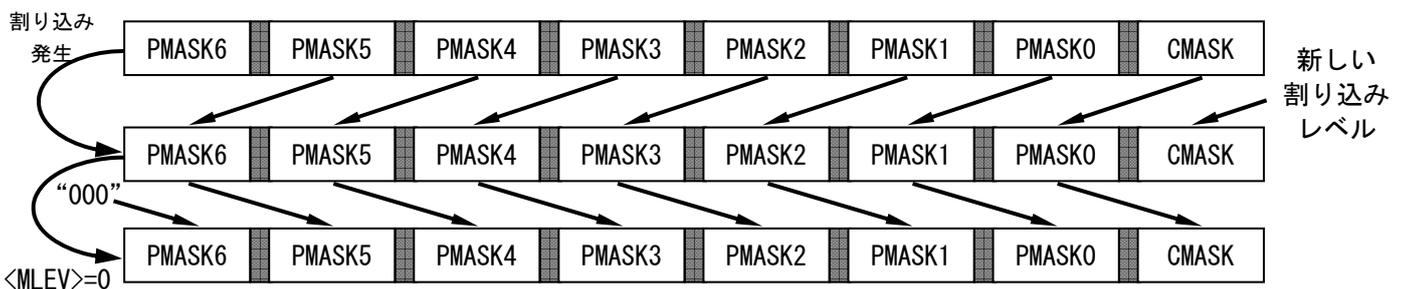
割り込みが発生するとその割り込みレベルが<CMASK>に格納され、それ以前に格納されていた値は「CMASK→PMASK0, PMASK0→PMASK1…」のようにひとつずつマスクレベルが退避されます。<CMASK>の値を書き換える場合は、<MLEV>に”1”をセットすると同時に<CMASK>の値を書き換えます。<PMASKx>の値は書き換えることができません。

<MLEV>に”0”をセットすると割り込みマスクレベルが「PMASK0→CMASK, PMASK1→PMASK0…」のようにひとつ前の状態に戻り、<PMASK6>には”000”が格納されます。割り込みからの復帰処理で使用する場合は ERET 命令を実行前に<MLEV>を”0”にセットして下さい。<MLEV>は常に”0”が読み出せます。

割り込みレベルレジスタ

	7	6	5	4	3	2	1	0	
ILEV (0xFFFF_E10C)	bit Symbol			PMASK0			CMASK		
	Read/Write						R		
	リセット後			0			000		
	機能						割り込みマスクレベル(前)0		
	15	14	13	12	11	10	9	8	
	bit Symbol			PMASK2			PMASK1		
	Read/Write						R		
	リセット後			0			000		
	機能						割り込みマスクレベル(前)2		
	23	22	21	20	19	18	17	16	
	bit Symbol			PMASK4			PMASK3		
	Read/Write						R		
	リセット後			0			000		
	機能						割り込みマスクレベル(前)4		
	31	30	29	28	27	26	25	24	
	bit Symbol		PMASK6			PMASK5			
	Read/Write		W			R			
	リセット後			0			000		
	機能		0: マスクレベル復帰 1: CMASKの変更			割り込みマスクレベル(前)6			

- (注1) このレジスタは32ビットでアクセスしてください。
- (注2) マスクレベルと<MLEV>は別に設定してください。
- (注3) ILEV の値を変更する前に必ず IVR の値を読み出してください。IVR の値を読み出す前に ILEV の値を変更すると意図しない割り込みが発生する可能性があります。
- (注4) 本レジスタはビット操作命令でアクセスできません。



6.8.8.4 割り込みモードコントロールレジスタ (IMCxx)

IMCxxは割り込み要因ごとの割り込みレベルを決定する<ILxx>とDMA転送の起動要因に設定する<DMxx>、および割り込み要求のアクティブ状態を決定する<EIMxx>で構成されています。

IMC0
(0xFFFF_E000)

	7	6	5	4	3	2	1	0
bit Symbol		EIM01	EIM00	DM00		IL02	IL01	IL00
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: 禁止 10: 禁止 11: 禁止 かならず"00"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号0を起動要因にする	リードすると"0"が読めます	DM0 = 0のとき 割り込み番号0 (ソフトウェアセット) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM0 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM11	EIM10	DM01		IL12	IL11	IL10
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号1を起動要因にする	リードすると"0"が読めます	DM1 = 0のとき 割り込み番号1 (INT0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM21	EIM20	DM02		IL22	IL21	IL20
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号2を起動要因にする	リードすると"0"が読めます	DM2 = 0のとき 割り込み番号2 (INT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM31	EIM30	DM03		IL32	IL31	IL30
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号3を起動要因にする	リードすると"0"が読めます	DM3 = 0のとき 割り込み番号3 (INT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		

IMC1
(0xFFFF_E004)

	7	6	5	4	3	2	1	0
bit Symbol		EIM41	EIM40	DM04		IL42	IL41	IL40
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号4を起動要因にする	リードすると"0"が読めます	DM4 = 0 のとき 割り込み番号4 (INT3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM51	EIM50	DM05		IL52	IL51	IL50
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号5を起動要因にする	リードすると"0"が読めます	DM5 = 0 のとき 割り込み番号5 (INT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM61	EIM60	DM06		IL62	IL61	IL60
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号6を起動要因にする	リードすると"0"が読めます	DM6 = 0 のとき 割り込み番号6 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM6 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM71	EIM70	DM07		IL72	IL71	IL70
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号7を起動要因にする	リードすると"0"が読めます	DM7 = 0 のとき 割り込み番号7 (INT6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM7 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		

IMG2
(0xFFFF_E008)

	7	6	5	4	3	2	1	0
bit Symbol		EIM81	EIM80	DM08		IL82	IL81	IL80
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号8を起動要因にする	リードすると"0"が読めます	DM8 = 0 のとき 割り込み番号 8 (INT7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM8 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM91	EIM90	DM09		IL92	IL91	IL90
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号9を起動要因にする	リードすると"0"が読めます	DM9 = 0 のとき 割り込み番号 9 (INT8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM9 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIMA1	EIMA0	DMA0A		ILA2	ILA1	ILA0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号10を起動要因にする	リードすると"0"が読めます	DMA = 0 のとき 割り込み番号 10 (INT9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMA = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIMB1	EIMB0	DMOB		ILB2	ILB1	ILB0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号11を起動要因にする	リードすると"0"が読めます	DMB = 0 のとき 割り込み番号 11 (INTA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMB = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

IMC3
(0xFFFF_E00C)

	7	6	5	4	3	2	1	0
bit Symbol		EIMC1	EIMC0	DMOC		ILC2	ILC1	ILC0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 12 を起動要因にする	リードすると"0"が読めます	DMC = 0 のとき 割り込み番号 12 (INTB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIMD1	EIMD0	DMD0		ILD2	ILD1	ILD0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 13 を起動要因にする	リードすると"0"が読めます	DMD = 0 のとき 割り込み番号 13 (INTC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMD = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIME1	EIME0	DMOE		ILE2	ILE1	ILE0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 14 を起動要因にする	リードすると"0"が読めます	DME = 0 のとき 割り込み番号 14 (INTD) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DME = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIMF1	EIMF0	DMOF		ILF2	ILF1	ILF0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 15 を起動要因にする	リードすると"0"が読めます	DMF = 0 のとき 割り込み番号 15 (INTE) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMF = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

IMC4
(0xFFFF_E010)

	7	6	5	4	3	2	1	0
bit Symbol		EIMC1	EIMC0	DM10		ILC2	ILC1	ILC0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます BGA品には有りません	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は"01"に設定してください。			DMACの起動要因に設定 0: 設定しない 1: 割り込み番号16を起動要因にする	リードすると"0"が読めます	DMC = 0 のとき 割り込み番号12 (INTF) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止	
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								
	15	14	13	12	11	10	9	8
bit Symbol		EIM111	EIM110	DM11		IL112	IL111	IL110
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ "11"に設定してください。			DMACの起動要因に設定 0: 設定しない 1: 割り込み番号17を起動要因にする	リードすると"0"が読めます	DM11 = 0 のとき 割り込み番号17 (INTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM11 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol		EIM121	EIM120	DM12		IL122	IL121	IL120
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ "11"に設定してください。			DMACの起動要因に設定 0: 設定しない 1: 割り込み番号18を起動要因にする	リードすると"0"が読めます	DM12 = 0 のとき 割り込み番号18 (INTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM12 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止	
	31	30	29	28	27	26	25	24
bit Symbol		EIM131	EIM130	DM13		IL132	IL131	IL130
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ "11"に設定してください。			DMACの起動要因に設定 0: 設定しない 1: 割り込み番号19を起動要因にする	リードすると"0"が読めます	DM13 = 0 のとき 割り込み番号19 (INTRX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM13 = 1 のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止	

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC5
(0xFFFF_E014)

	7	6	5	4	3	2	1	0
bit Symbol		EIM141	EIM140	DM14		IL142	IL141	IL140
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号20を起動要因にする	リードすると"0"が読めます	DM14 = 0のとき 割り込み番号20 (INTTX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM14 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM151	EIM150	DM15		IL152	IL151	IL150
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号21を起動要因にする	リードすると"0"が読めます	DM15 = 0のとき 割り込み番号21 (INTRX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM15 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM161	EIM160	DM16		IL162	IL161	IL160
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号22を起動要因にする	リードすると"0"が読めます	DM16 = 0のとき 割り込み番号22 (INTTX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM16 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM171	EIM170	DM17		IL172	IL171	IL170
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号23を起動要因にする	リードすると"0"が読めます	DM17 = 0のとき 割り込み番号23 (HINTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM17 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC6
(0xFFFF_E018)

	7	6	5	4	3	2	1	0
bit Symbol		EIM181	EIM180	DM18		IL182	IL181	IL180
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号24を起動要因にする	リードすると"0"が読めます	DM18 = 0のとき 割り込み番号24 (HINTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM18 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM191	EIM190	DM19		IL192	IL191	IL190
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号25を起動要因にする	リードすると"0"が読めます	DM19 = 0のとき 割り込み番号25 (INTSB10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM19 = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1A1	EIM1A0	DM1A		IL1A2	IL1A1	IL1A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号26を起動要因にする	リードすると"0"が読めます	DM1A = 0のとき 割り込み番号26 (INTADHP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1A = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1B1	EIM1B0	DM1B		IL1B2	IL1B1	IL1B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号27を起動要因にする	リードすると"0"が読めます	DM1B = 0のとき 割り込み番号27 (INTADMO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1B = 1のとき DMACのチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC7
(0xFFFF_E01C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM1C1	EIM1C0	DM1C		IL1C2	IL1C1	IL1C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動要因に 設定 0: 設定し ない 1: 割り込み 番号 28 を 起動要因 にする。	リードす ると"0" が読めま す	DM1C = 0 のとき 割り込み番号 28 (INTADM1) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1C = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM1D1	EIM1D0	DM1D		IL1D2	IL1D1	IL1D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動要因に 設定 0: 設定し ない 1: 割り込み 番号 29 を 起動要因 にする	リードす ると"0" が読めま す	DM1D = 0 のとき 割り込み番号 29 (INTTB0) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1E1	EIM1E0	DM1E		IL1E2	IL1E1	IL1E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動要因に 設定 0: 設定し ない 1: 割り込み 番号 30 を 起動要因 にする	リードす ると"0" が読めま す	DM1E = 0 のとき 割り込み番号 30 (INTTB1) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1F1	EIM1F0	DM1F		IL1F2	IL1F1	IL1F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動要因に 設定 0: 設定し ない 1: 割り込み 番号 31 を 起動要因 にする	リードす ると"0" が読めま す	DM1F = 0 のとき 割り込み番号 31 (INTTB2) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC8
(0xFFFF_E020)

	7	6	5	4	3	2	1	0
bit Symbol		EIM201	EIM200	DM20		IL202	IL201	IL200
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号32を起動要因にする	リードすると"0"が読めます	DM20 = 0 のとき 割り込み番号 32 (INTTB3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM20 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM211	EIM210	DM21		IL212	IL211	IL210
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号33を起動要因にする	リードすると"0"が読めます	DM21 = 0 のとき 割り込み番号 33 (INTTB4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM21 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM221	EIM220	DM26		IL222	IL221	IL220
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号34を起動要因にする	リードすると"0"が読めます	DM22 = 0 のとき 割り込み番号 34 (INTTB5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM22 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM231	EIM230	DM23		IL232	IL231	IL230
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号35を起動要因にする。	リードすると"0"が読めます	DM23 = 0 のとき 割り込み番号 35 (INTTB6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM23 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC9
(0xFFFF_E024)

	7	6	5	4	3	2	1	0
bit Symbol		EIM241	EIM240	DM24		IL242	IL241	IL240
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号36を起動要因にする	リードすると"0"が読めます	DM24 = 0 のとき 割り込み番号 36 (INTTB7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM24 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM251	EIM250	DM25		IL252	IL251	IL250
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号37を起動要因にする	リードすると"0"が読めます	DM25 = 0 のとき 割り込み番号 37 (INTTB8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM25 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM261	EIM260	DM26		IL262	IL261	IL260
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号38を起動要因にする	リードすると"0"が読めます	DM26 = 0 のとき 割り込み番号 38 (INTTB9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM26 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM271	EIM270	DM27		IL272	IL271	IL270
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号39を起動要因にする。	リードすると"0"が読めます	DM27 = 0 のとき 割り込み番号 39 (INTSB11) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM27 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCA
(0xFFFF_E028)

	7	6	5	4	3	2	1	0
bit Symbol		EIM281	EIM280	DM28		IL282	IL281	IL280
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号40を起動要因にする	リードすると"0"が読めます	DM28 = 0 のとき 割り込み番号40 (INTDOCMP0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM28 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM291	EIM290	DM29		IL292	IL291	IL290
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号41を起動要因にする	リードすると"0"が読めます	DM29 = 0 のとき 割り込み番号41 (INTDOCMP1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM29 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2A1	EIM2A0	DM2A		IL2A2	IL2A1	IL2A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号42を起動要因にする	リードすると"0"が読めます	DM2A = 0 のとき 割り込み番号42 (INTDOCMP2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2A = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2B1	EIM2B0	DM2B		IL2B2	IL2B1	IL2B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号43を起動要因にする	リードすると"0"が読めます	DM2B = 0 のとき 割り込み番号43 (INTDOCMP3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2B = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCB
(0xFFFF_E02C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM2C1	EIM2C0	DM2C		IL2C2	IL2C1	IL2C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号44を起動要因にする	リードすると"0"が読めます	DM2C = 0 のとき 割り込み番号44 (INTDOCMP4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2C = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM2D1	EIM2D0	DM2D		IL2D2	IL2D1	IL2D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号45を起動要因にする	リードすると"0"が読めます	DM2D = 0 のとき 割り込み番号45 (INTD1CMP0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2E1	EIM2E0	DM2E		IL2E2	IL2E1	IL2E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号46を起動要因にする	リードすると"0"が読めます	DM2E = 0 のとき 割り込み番号46 (INTD1CMP1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2F1	EIM2F0	DM2F		IL2F2	IL2F1	IL2F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号47を起動要因にする	リードすると"0"が読めます	DM2F = 0 のとき 割り込み番号47 (INTD1CMP2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 1xx : 設定禁止		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCC
(0xFFFF_E030)

	7	6	5	4	3	2	1	0
bit Symbol		EIM301	EIM300	DM30		IL302	IL301	IL300
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起 動 要 因 に 設 定 0: 設 定 し な い 1: 割 り 込 み 番 号 48 を 起 動 要 因 に する	リードす ると"0" が読めま す	DM30 = 0 のとき 割り込み番号 48 (INTD1CMP3) に 対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM30 = 1 のとき DMAC のチャネル選択 000~011: 0~3 1xx : 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM311	EIM310	DM31		IL312	IL311	IL310
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードす ると"0" が読めま す	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設 定 0: 設 定 し な い 1: 割 り 込 み 番 号 49 を 起 動 要 因 に する	リードす ると"0" が読めま す	DM31 = 0 のとき 割り込み番号 49 (INTD1CMP4) に 対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM31 = 1 のとき DMAC のチャネル選択 000~011: 0~3 1xx : 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードす ると"0" が読めま す	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設 定 0: 設 定 し な い 1: 割 り 込 み 番 号 50 を 起 動 要 因 に する	リードす ると"0" が読めま す	DM32 = 0 のとき 割り込み番号 50 (INTAD) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM32 = 1 のとき DMAC のチャネル選択 000~011: 0~3 1xx : 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM331	EIM330	DM33		IL332	IL331	IL330
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードす ると"0"が 読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル かならず"00"に設定 してください。		DMAC の起 動 要 因 に 設 定 0: 設 定 し な い 1: 割 り 込 み 番 号 51 を 起 動 要 因 に する	リードす ると"0" が読めま す	DM33 = 0 のとき 割り込み番号 51 (INTDMA0) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM33 = 1 のとき DMAC のチャネル選択 xxx : 設定禁止		

(注1) EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

(注2) DMACによるDMACレジスタへのアクセスは禁止です。

IMCD
(0xFFFF_E034)

		7	6	5	4	3	2	1	0
bit Symbol			EIM341	EIM340	DM34		IL342	IL341	IL340
Read/Write	R	R/W			R	R/W			
リセット後	0	0	0	0	0	0			
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル かならず"00"に設定してください。			DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号52を起動要因にする	リードすると"0"が読めます	DM34 = 0 のとき 割り込み番号52 (INTDMA1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM34 = 1 のとき DMAC のチャンネル選択 xxx : 設定禁止		
		15	14	13	12	11	10	9	8
bit Symbol			EIM351	EIM350	DM35		IL352	IL351	IL350
Read/Write	R	R/W			R	R/W			
リセット後	0	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル かならず"00"に設定してください。			DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号53を起動要因にする	リードすると"0"が読めます	DM35 = 0 のとき 割り込み番号53 (INTDMA2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM35 = 1 のとき DMAC のチャンネル選択 xxx : 設定禁止		
		23	22	21	20	19	18	17	16
bit Symbol			EIM361	EIM360	DM36		IL362	IL361	IL360
Read/Write	R	R/W			R	R/W			
リセット後	0	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル かならず"00"に設定してください。			DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号54を起動要因にする	リードすると"0"が読めます	DM36 = 0 のとき 割り込み番号54 (INTDMA3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM36 = 1 のとき DMAC のチャンネル選択 xxx : 設定禁止		
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write		R							
リセット後	0	0	0	0	0	0	0	0	0
機能		リードすると"0"が読めます							

(注1) EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

(注2) DMAC による DMAC レジスタへのアクセスは禁止です。

- (注1) 割り込み要求を許可する前に、かならずアクティブ状態を設定してください。
- (注2) 割り込み要求を DMAC の起動要因にする場合はかならず INTC を設定後に DMAC を待機状態にしてください。
- (注3) アクティブ条件を変更する場合(特にレベル検出に変更する場合は、該当するデバイスの割り込み出力をデアサート状態にしてから変更して下さい。
- (1) IL="0 以外"の場合は、IL="0"を設定
 - (2) 検出条件(EIM)の変更
 - (3) INTCLR で、該当割り込みをクリア
 - (4) IL を"0 以外"に設定

6.8.8.5 割り込み要求クリアレジスタ (INTCLR)

要求をクリアしたい割り込み要因の IVR[7:0]を INTCLR にセットすることで、保留されている割り込み要求をクリアすることができます。割り込み要求をクリアすると IVR の値もクリアされるため、割り込み要因の判別ができなくなります。IVR の値を読む前に割り込み要求のクリアは行わないで下さい。

要求をクリアしたい IVR<IVR7:0>の値をセット

		7	6	5	4	3	2	1	0
INTCLR (0xFFFF_E060)	bit Symbol	EICLR7	EICLR6	EICLR5	EICLR4	EICLR3	EICLR2	EICLR1	EICLR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	要求をクリアしたい割り込みに相当する IVR<7 : 0>の値をセット							
		15	14	13	12	11	10	9	8
	bit Symbol	/							
	Read/Write	R							
	リセット後	0							
	機能	リードすると"0"が読めます							
		23	22	21	20	19	18	17	16
	bit Symbol	/							
	Read/Write	R							
	リセット後	0							
	機能	リードすると"0"が読めます							
		31	30	29	28	27	26	25	24
	bit Symbol	/							
	Read/Write	R							
	リセット後	0							
	機能	リードすると"0"が読めます							

- (注1) このレジスタは必ず16ビットでアクセスしてください。
- (注2) INTC の IMCx<EIMxx>のアクティブ状態の設定が“H”、“L”レベル、立ち上がり/立ち下がりエッジのどの場合でも割り込み要因を保持するため、割り込み要求をクリアしてください。
- (注3) 本レジスタはビット操作命令でアクセスできません。
- (注4) DMAC の割り込み要因による転送要求はクリアされません。一度受け付けた外部転送要求は DMA 転送を実行するまで解除されません。そのため不要な外部転送要求は DMA 転送を実行しクリアするか、不要な外部転送要求を受け付ける前に IMCx<ILxxx>で割り込み禁止もしくは IMCx<DMxx>で DMAC の起動要因を解除する必要があります。
- (注5) IMCx レジスタを設定したあとは、必ず INTCLR にて、該当する割り込み番号のクリアを実施してください。

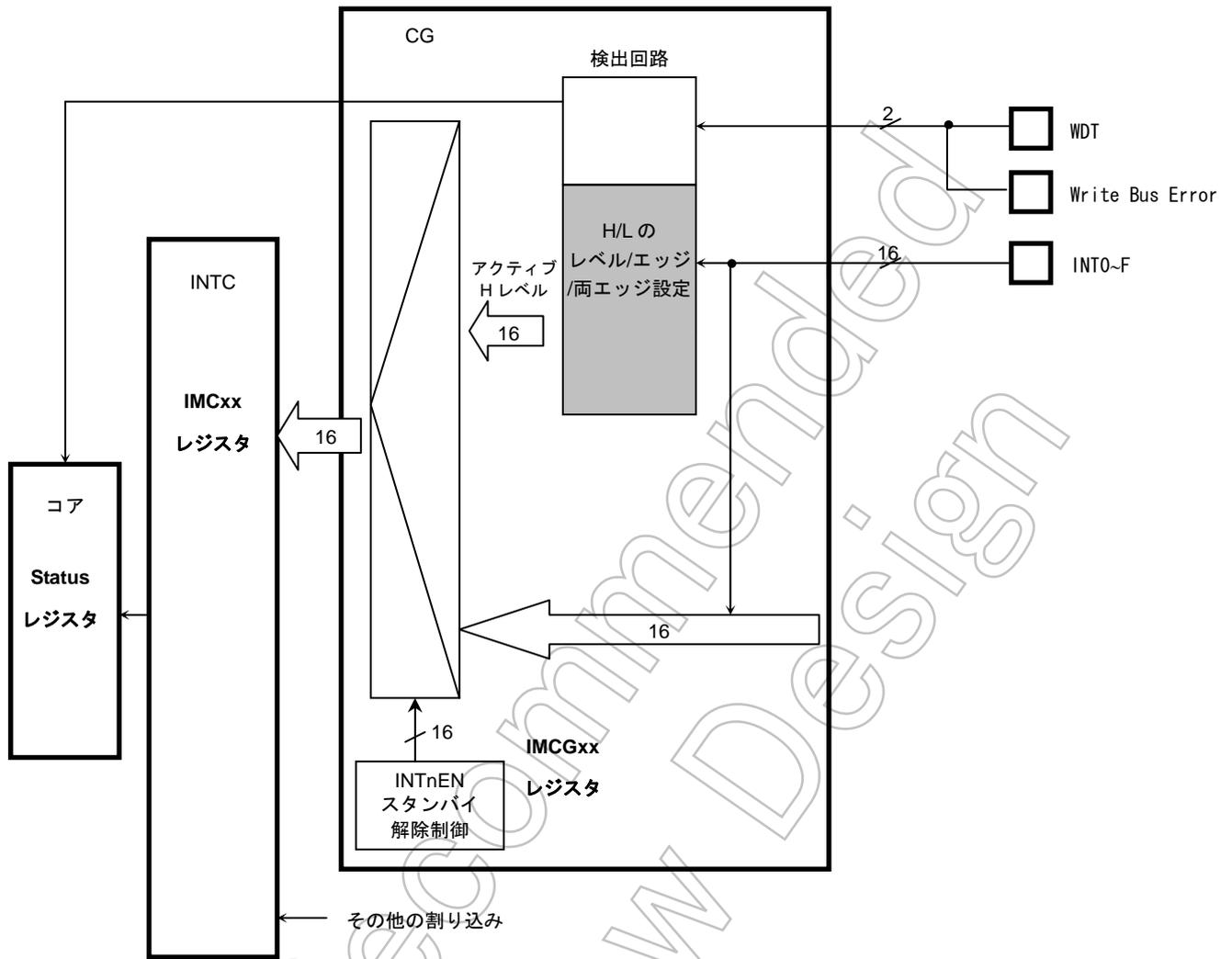


図 6-7 割り込み関係接続図

6.9 INTCGレジスタ (STOP/IDLE解除割り込み)

INT0~INTF : STOP /IDLE モード解除割り込み

IMCGA
(0xFFFF_EE10)

	7	6	5	4	3	2	1	0
bit Symbol		EIMCG02	EIMCG01	EIMCG00	EIMST01	EIMST00		INT0EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT0スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 101~111: 設定禁止			INT0スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT0解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EIMCG12	EIMCG11	EIMCG10	EIMST11	EIMST10		INT1EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT1スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 101~111: 設定禁止			INT1スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT1解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EIMCG22	EIMCG21	EIMCG20	EIMST21	EIMST20		INT2EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT2スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 101~111: 設定禁止			INT2スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT2解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EIMCG32	EIMCG31	EIMCG30	EIMST31	EIMST30		INT3EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT3スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 101~111: 設定禁止			INT3スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT3解除入力 0: ディセーブル 1: イネーブル

(注1) EIMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

(注3) EIMCGxx = 101~111 は設定しないで下さい。

IMCGB
(0xFFFF_EE14)

	7	6	5	4	3	2	1	0
bit Symbol		EIMCG42	EIMCG41	EIMCG40	EIMST41	EIMST40		INT4EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT4スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INT4スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ		リードすると"0"が読めます	INT4解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EIMCG52	EIMCG51	EIMCG50	EIMST51	EIMST50		INT5EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT5スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INT5スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ		リードすると"0"が読めます	INT5解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EIMCG62	EIMCG61	EIMCG60	EIMST61	EIMST60		INT6EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT6スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INT6スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ		リードすると"0"が読めます	INT6解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EIMCG72	EIMCG71	EIMCG70	EIMST71	EIMST70		INT7EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT7スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INT7スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ		リードすると"0"が読めます	INT7解除入力 0: ディセーブル 1: イネーブル

- (注 1) EIMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。
- (注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- (注 3) EIMCGxx = 101~111 は設定しないで下さい。

IMCGC
(0xFFFF_EE18)

	7	6	5	4	3	2	1	0
bit Symbol		EIMCG82	EIMCG81	EIMCG80	EIMST81	EIMST80		INT8EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT8スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INT8スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT8解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EIMCG92	EIMCG91	EIMCG90	EIMST91	EIMST90		INT9EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT9スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INT9スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT9解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EIMCGA2	EIMCGA1	EIMCGA0	EIMSTA1	EIMSTA0		INTAEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTAスタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INTAスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTA解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EIMCGB2	EIMCGB1	EIMCGB0	EIMSTB1	EIMSTB0		INTBEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTBスタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INTBスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTB解除入力 0: ディセーブル 1: イネーブル

(注1) EIMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

(注3) EIMCGxx = 101~111 は設定しないで下さい。

IMCGD
(0xFFFF_EE18)

	7	6	5	4	3	2	1	0
bit Symbol		EIMCGC2	EICGC1	EIMCGC0	EIMSTC1	EIMSTC0		INTCEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTCスタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INTCスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTC解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EIMCGD2	EIMCGD1	EIMCGD0	EIMSTD1	EIMSTD0		INTDEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTDスタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INTDスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTD解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EIMCGE2	EIMCGE1	EIMCGE0	EIMSTE1	EIMSTE0		INTEEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTEスタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INTEスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTE解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EIMCGF2	EIMCGF1	EIMCGF0	EIMSTF1	EIMSTF0		INTFEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTFスタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 101~111: 設定禁止			INTFスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTF解除入力 0: ディセーブル 1: イネーブル

BGA 品には
有りません

- (注 1) EIMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。
- (注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- (注 3) EIMCGxx = 101~111 は設定しないで下さい。

STOP/IDLE 解除用に割り込みを許可する場合は、かならず解除要求のアクティブ状態を設定してください。

(注1) 割り込みを使用する場合はかならず以下の順に設定してください。

- ① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
- ② 初期化時にアクティブ状態等の設定
- ③ 割り込み要求のクリア
- ④ 割り込みのイネーブル

(注2) 各設定はかならず割り込みディゼーブルの状態で行ってください。

(注3) TMP19A23 は STOP 解除割り込みとして INTO~INTF の 16 要因の設定が可能です。INT0~INTF は STOP /IDLE 解除割り込みとして使用するかどうか、およびアクティブ状態のエッジ/レベルは CG にて設定します。

(注4) STOP/IDLE 解除要求割り込みに割り当てられる上記 16 要因のうち、INT0~INTF は通常割り込みとして使用する場合は CG での設定は不用で INTC でレベル/エッジを指定してください。

STOP /IDLE 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

Not Recommended for New Design

E1CRCG
(0xFFFF_EE20)

	7	6	5	4	3	2	1	0	
bit Symbol				ICRCG3			ICRCG2	ICRCG1	ICRCG0
Read/Write	R				W				
リセット後	0				0	0	0	0	
機能	リードすると"0"が読めます				リードすると"0"が読めます。 割り込み要求をクリア 0000: INT0 0101: INT5 1010: INTA 0001: INT1 0110: INT6 1011: INTB 0010: INT2 0111: INT7 1100: INTC 0011: INT3 1000: INT8 1101: INTD 0100: INT4 1001: INT9 1110: INTE 1111: INTF				
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると"0"が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write									
リセット後									
機能	リードすると"0"が読めます。								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると"0"が読めます。								

(注) STOP/IDLE 解除要求に割り当てられている上記 16 要因の割り込み要求のクリアは、

- a) 解除要因として使用した場合
INT0~INTF は上記 CG ブロックの EIRCG レジスタで行います。
- b) 解除要因として使用しない場合
INTCLR で割り込み要因をクリアしてください。

6.10 NMIフラグレジスタ

NMI FLG
(0xFFFF_EE24)

	7	6	5	4	3	2	1	0	
bit Symbol							WDT	WBER	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます						NMI 要因 1: WDT 割り込みにより NMI 発生	NMI 要因 1: ライトバスエラーにより NMI 発生	
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます								

(注) WDT, WBER は読み出すと"0"にクリアされます。

TMP19A23 は外部端子としては、NMI 割り込みがありませんが、内部の割り込み要因として NMI 割り込みを持っております。

6.11 割り込み使用上の注意事項

割り込みを使用する上で、注意しなければいけない内容を下記に示します。ユーザプログラムは下記内容を満たすようにプログラムを記述する必要があります。

6.11.1 TX19Aプロセッサコア関連

- ・ 例外を禁止することはできません。ただし、命令によっては例外発生有／無の違いのみで2種類の命令を持っているものがありますので、用途に応じて使い分けてください。
- ・ ソフトウェア割り込みとハードウェア割り込み要因の「ソフトウェアセット」は異なる割り込み要因です。
- ・ CP0レジスタのSSCRを書き換えた後は、レジスタバンクが切り替わるまで2クロックかかるため、直後にNOP命令を2つ置いてください。
- ・ ILEV<CMASK>を変更して、同じ割り込みレベルの割り込み要求が多重に受け付けられた場合、レジスタバンクは切り替わらないため、ユーザプログラムで退避する必要があります。
- ・ CP0レジスタのIERは32ビットISAのみでアクセス可能です。
- ・ スタックポインタ (r29) はShadow Register Set 番号0とShadow Register Set 番号1~7で区別されていますので、2回設定をする必要があります。共通のスタックポインタを使用したい場合は、メイン処理でSSCR<CSS>を”1”にセットし、Shadow Register Set 番号1を使用する方法があります。この場合、割り込みレベル1の割り込みが受け付けられてもレジスタバンクは切り替わりませんので、ユーザプログラムで退避する必要があります。
- ・ CP0レジスタのStatus<ERL> = ”1” の割り込み禁止状態でERET命令を実行すると、CP0レジスタのErrorEPCを戻り番地としてメイン処理に復帰します。TX19Aプロセッサコアは割り込みの戻り番地をEPCに退避するため、Status<ERL>で割り込み禁止をする場合は注意が必要です。
- ・ CP0レジスタのStatus、ErrorEPC、EPC、SSCRをアクセス後、2クロック以内にERET命令を実行しないでください。
- ・ CP0レジスタのStatus<ERL/EXL/IE>をセットすることで、割り込み禁止にする場合は、命令実行時点 (Eステージ) で割り込みが禁止になりますが、レジスタにセットされた値が反映されるのは2クロック後になります。
- ・ CP0レジスタのStatus<ERL/EXL/IE>をセットすることで、割り込み許可にする場合は、命令実行時点 (Eステージ) から2クロック後に有効になり、レジスタにセットされた値が反映されるのも命令実行時点 (Eステージ) から2クロック後になります。

6.11.2 INTG関連

- ・ 同じ割り込みレベルの複数の割り込み要求があった場合、割り込み番号が小さい要因から優先的に受け付けられます。
- ・ 割り込みレベル0の割り込み要因は保留されません。
- ・ 割り込み要因を個別に禁止（割り込みレベル0）にする場合は、割り込み禁止状態で割り込み要因を禁止して下さい。
- ・ INTGのIMCx<EIMxx>の初期値と使用する場合の設定値が異なるものがあります。
- ・ INTGのILEVは必ず32ビットでアクセスして下さい。
- ・ INTGのINTCLRは必ず32ビットでアクセスして下さい。
- ・ 割り込みの許可をする場合は、検出経路の順（外側→内側）で、禁止する場合は検出経路の逆（内側→外側）に設定をする必要があります。
- ・ INTGのILEV<CMASK>の値を書き換える場合は、<MLEV>に”1”を同時にセットして下さい。
- ・ レベル入力検出時、IVRをリードするまでレベル入力を取り下げないでください。

Not Recommended for New Designs

7. 入出力ポート

7.1 ポートレジスタ

Px : ポートレジスタ

ポートのデータ読み込み、データ書き込みを行います。

PxCR : コントロールレジスタ

入出力を制御します

※ 入力設定にした場合でも、PxIE レジスタにより入力をイネーブルにする必要が有ります。

PxFCn : ファンクションレジスタ

機能設定を行ないます。”1”をセットすることにより割り当てられている機能を使用できるようになります。

PxOD : オープンドレイン制御レジスタ

プログラマブルオープンレイン設定可能なレジスタに対して、入力を切り替えます。

PxPUP : プルアップ制御レジスタ

プログラマブルプルアップを制御します。

PxSEL : シリアル設定レジスタ

シリアル機能を使用する時に設定してください。

PxIE : 入力制御イネーブルレジスタ

入力の制御を行ないます。貫通電流対策の為初期値は”0”入力禁止になっております。P2 以降全てのポートで設定が必要です。

Not Recommended for New Design

7.2 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の設定はコントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは “0” にクリアされ、ポート 0 は出力ディゼーブル状態になります。

汎用入出力ポート機能以外にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) 機能があります。外部メモリをアクセスするときは、自動的にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) として機能し、P0CR はすべて “0” にクリアされます。

リセット時に BUSMD 端子(ポート P45)を”L” レベルにすることでセパレートバスモード(D0~D7)に、”H” レベルにすることでマルチプレクスモード (AD0~AD7) になります。

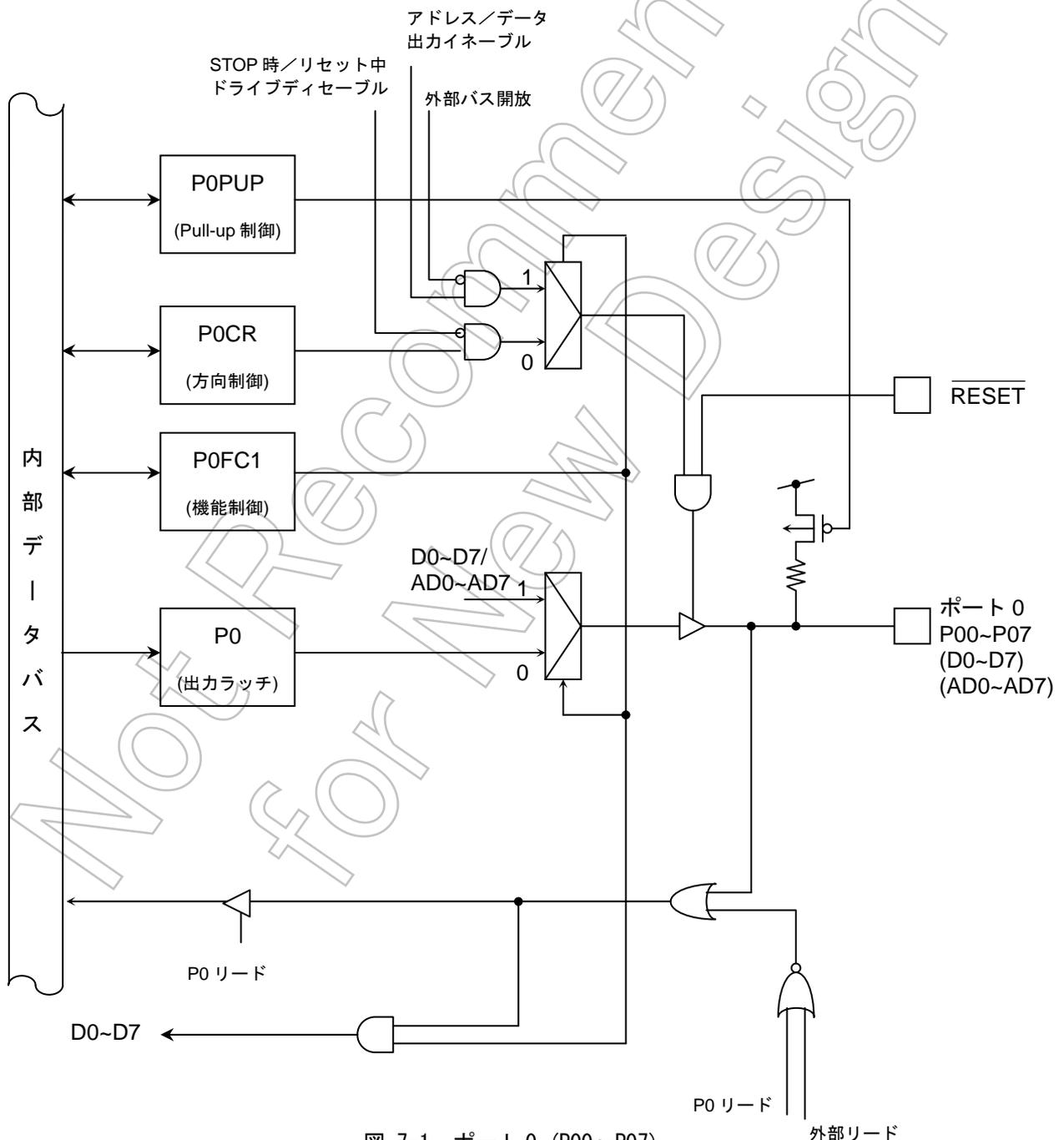


図 7-1 ポート 0 (P00~P07)

ポート0レジスタ

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00
(0xFFFF_F000)	Read/Write R/W							
リセット後	入力モード (出カラッチレジスタは“0”にクリア)							

ポート0コントロールレジスタ

	7	6	5	4	3	2	1	0
POCR	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
(0xFFFF_F004)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 出カディゼーブル 1: 出カイネーブル							

ポート0ファンクションレジスタ1

	7	6	5	4	3	2	1	0
P0FC1	P07F1	P06F1	P05F1	P04F1	P03F1	P02F1	P01F1	P00F1
(0xFFFF_F005)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: 外部バス設定							

ポート0 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
P0PUP	PE07	PE06	PE05	PE04	PE03	PE02	PE01	PE00
(0xFFFF_F007)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: プルアップ							

7.3 ポート 1 (P10~P17)

ポート 1 はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。出力の設定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC1, P1FC2 によって行います。リセット動作により、出力ラッチ P1 の全ビットと P1CR と P1FC1, P1FC2 の全ビットは “0” にクリアされ、ポート 1 は出力ディゼーブルになります。

汎用入出力ポート機能以外に、データバス (D8~15) またはアドレスデータバス (AD8~15) 機能とアドレスバス (A8~15) 機能があります。外部メモリをアクセスするときは、P1CR, P1FC1, P1FC2 によりアドレスバスまたはアドレスデータバスに設定する必要があります。

リセット時に BUSMD 端子 (ポート 44) を ” L ” レベルにすることでセパレートバスモード (D8~D15) に、 ” H ” レベルにすることでマルチプレクスモード (AD8~AD15/A8~A15) になります。

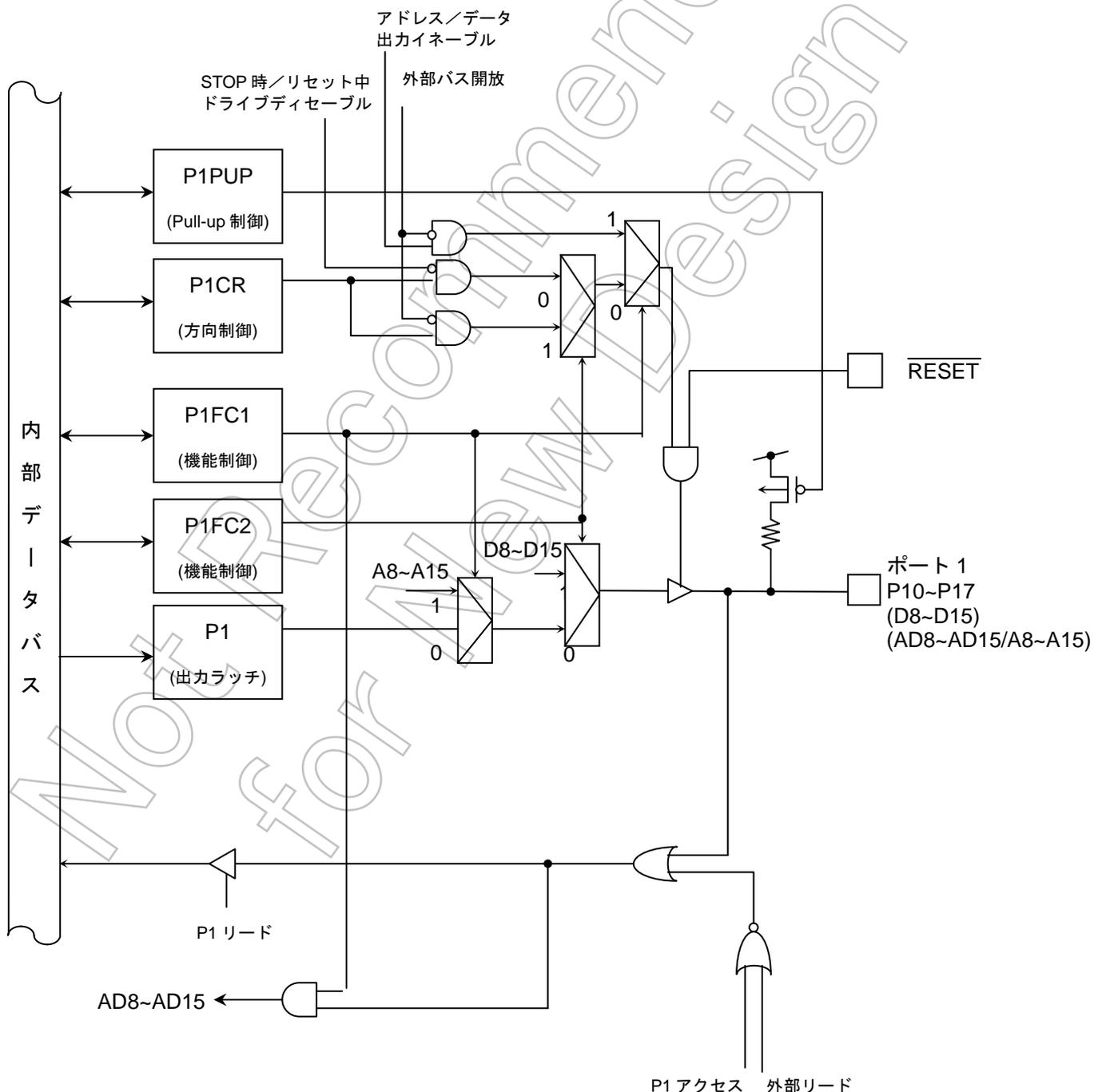


図 7-2 ポート 1 (P10~P17)

ポート 1 レジスタ

	7	6	5	4	3	2	1	0	
P1 (0xFFFF_F001)	Bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“0”にクリア)							

ポート 1 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0xFFFF_F014)	Bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート 1 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P1FC1 (0xFFFF_F015)	Bit Symbol	P17F1	P16F1	P15F1	P14F1	P13F1	P12F1	P11F1	P10F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

ポート 1 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P1FC2 (0xFFFF_F016)	Bit Symbol	P17F2	P16F2	P15F2	P14F2	P13F2	P12F2	P11F2	P10F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

ポート 1 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P1PUP (0xFFFF_F017)	Bit Symbol	PE17	PE16	PE15	PE14	PE13	PE12	PE11	PE10
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: プルアップ							

7.4 ポート 2 (P20~P27)

ポート 2 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC1, P2FC2 によって行います。リセット動作により出力ラッチ P2 の全ビットは “1” にセットされ、また、P2CR と P2FC1, P2FC2 の全ビットは “0” にクリアされ、ポート 2 は出力ディゼーブルになります。

リセット動作により P2CR, P2FC1, P2FC2 は “0” にクリアされてポート 2 は入力ポートとなります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能とアドレスバス (A16~A23) 機能があります。外部メモリをアクセスする時は、P2CR, P2FC1, P2FC2 によりアドレスバスに設定する必要があります。リセット時に BUSMD 端子 (ポート P44) を “L” レベルにすることでセパレートバスモード (A16~A23) に、“H” レベルにすることでマルチプレクスモード (A0~A7/A16~A23) になります。

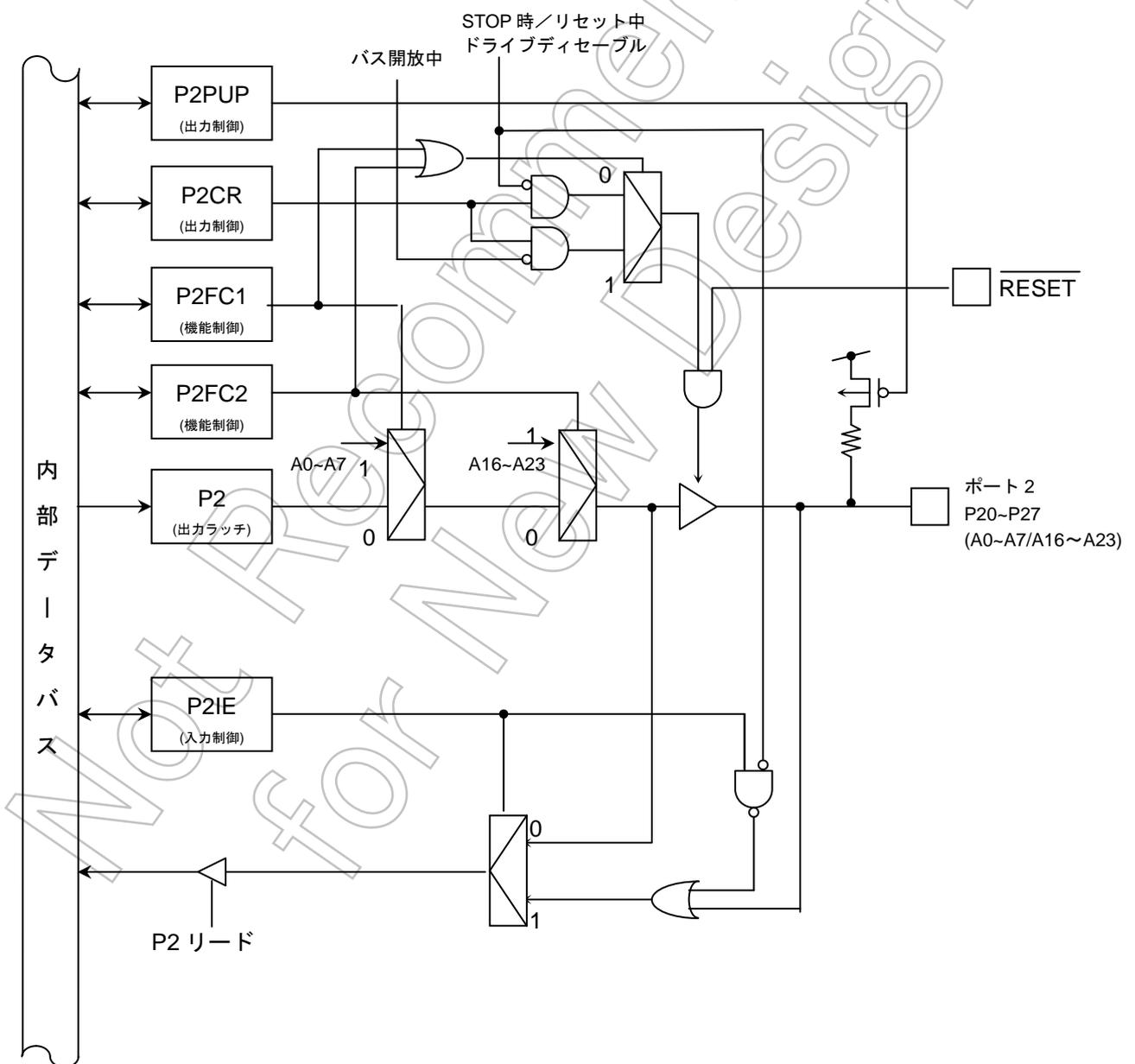


図 7-3 ポート 2 (P20~P27)

ポート 2 レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは "1" に Set)							

P2
(0xFFFF_F020)

ポート 2 コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 出力ディゼーブル 1: 出力イネーブル							

P2CR
(0xFFFF_F021)

ポート 2 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
Bit Symbol	P27F1	P26F1	P25F1	P24F1	P23F1	P22F1	P21F1	P20F1
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: 外部バス設定							

P2FC1
(0xFFFF_F022)

ポート 2 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
Bit Symbol	P27F2	P26F2	P25F2	P24F2	P23F2	P22F2	P21F2	P20F2
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: 外部バス設定							

P2FC2
(0xFFFF_F023)

ポート 2 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
Bit Symbol	PE27	PE26	PE25	PE24	PE23	PE22	PE21	PE20	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	プルアップ 0: オフ 1: プルアップ								

P2PUP
(0xFFFF_F02B)

ポート 2 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
Bit Symbol	PIE27	PIE26	PIE25	PIE24	PIE23	PIE22	PIE21	PIE20	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	入力 0: 禁止 1: 許可								

P2IE
(0xFFFF_F02E)

7.5 ポート 3 (P30~P37)

ポート 3 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

出力の指定はコントロールレジスタ P3CR とファンクションレジスタ P3FC1 によって行います。

CPU のコントロール/ステータス信号の入出力機能があります。P30 端子が \overline{RD} 信号出力モードとして定義されているとき ($\langle P30F \rangle = "1"$ のとき)、外部アドレスエリアをアクセスしたときのみ \overline{RD} ストローブは出力されます。P31 端子が \overline{WR} 信号出力モードとして定義されているとき ($\langle P31F \rangle = "1"$ のとき) も同様に、外部アドレスエリアをアクセスしたときのみ \overline{WR} ストローブは出力されます。

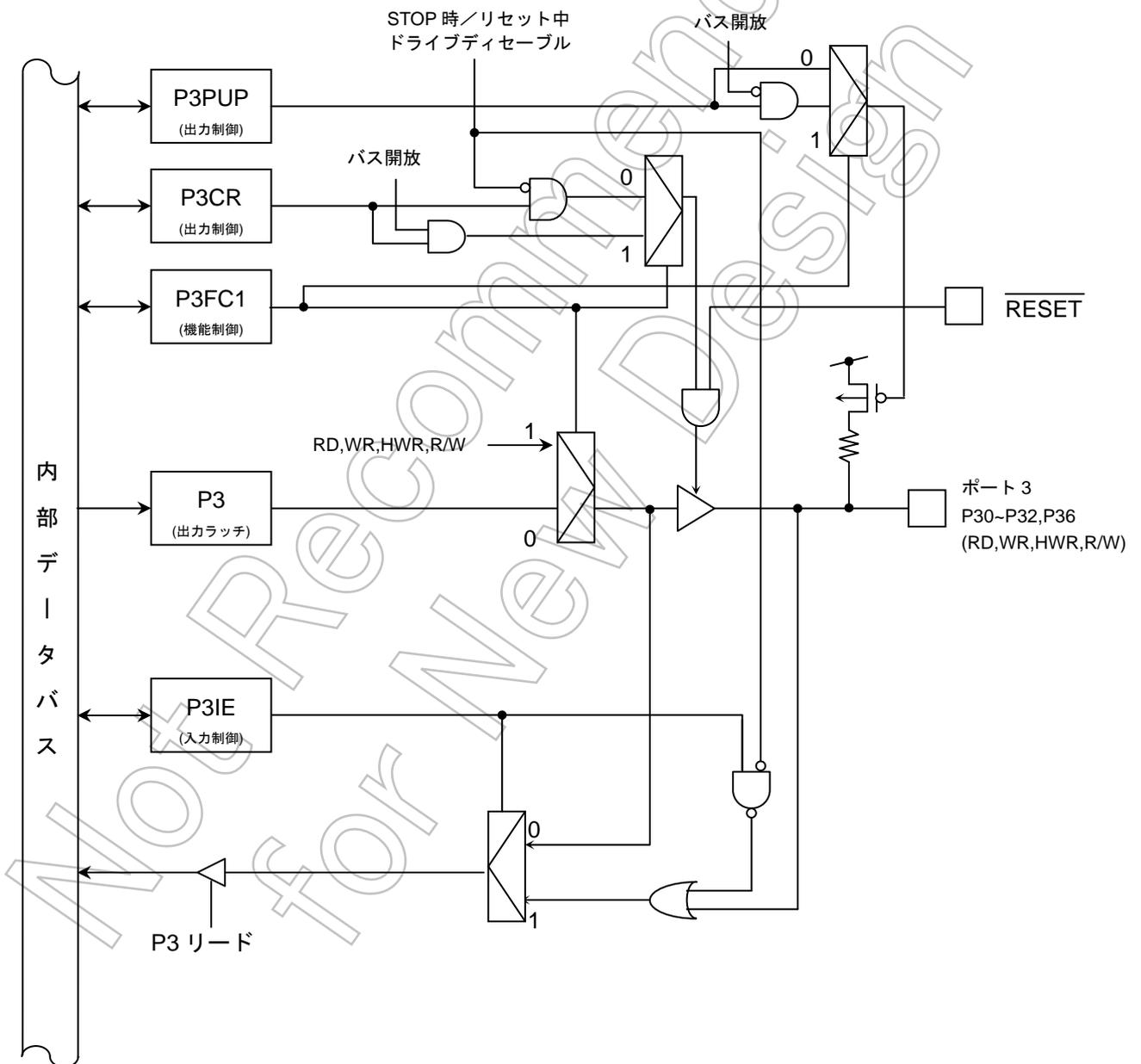


図 7-4 ポート 3 (P30~P32, P36)

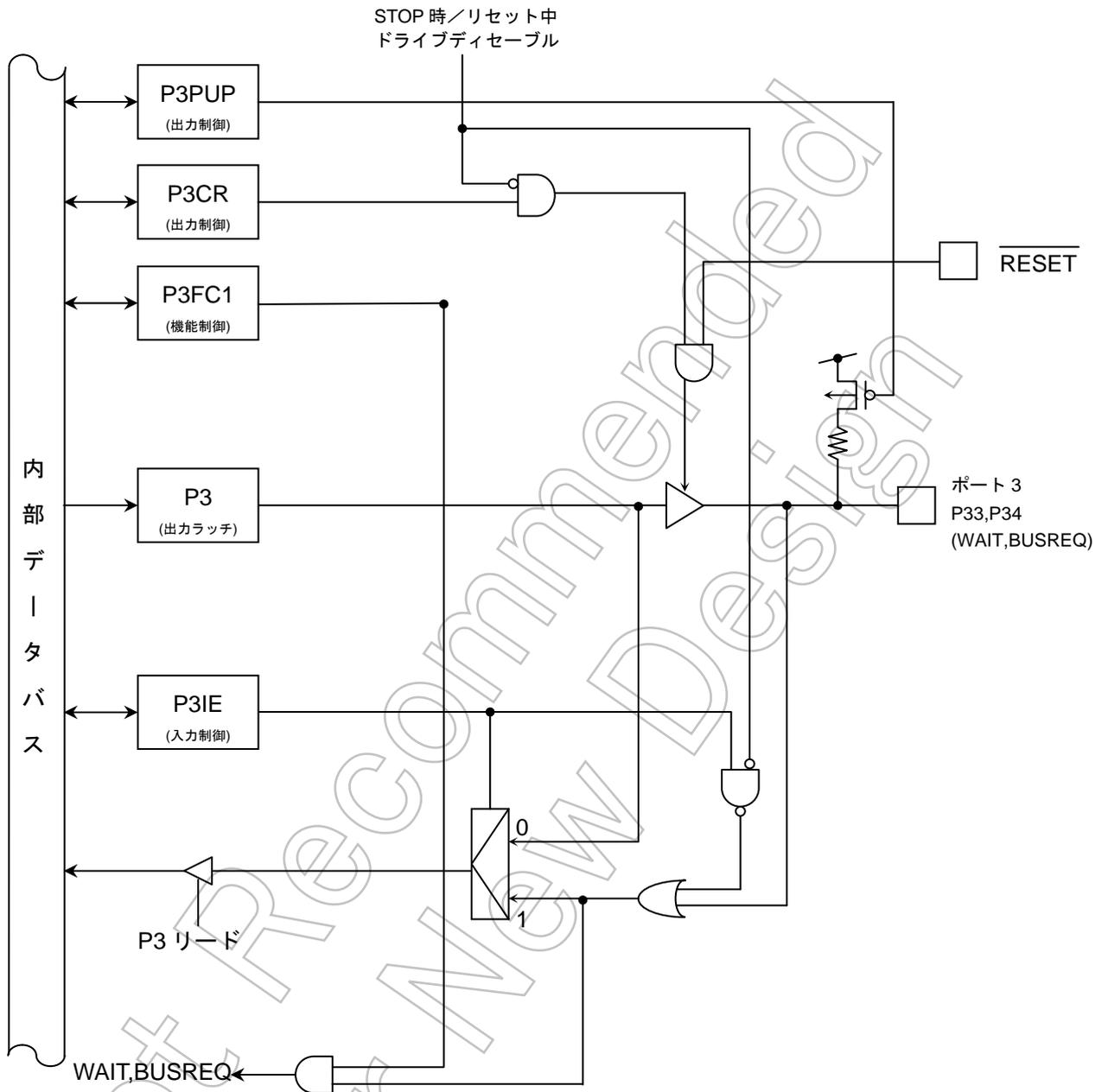


図 7-5 ポート 3 (P33, P34)

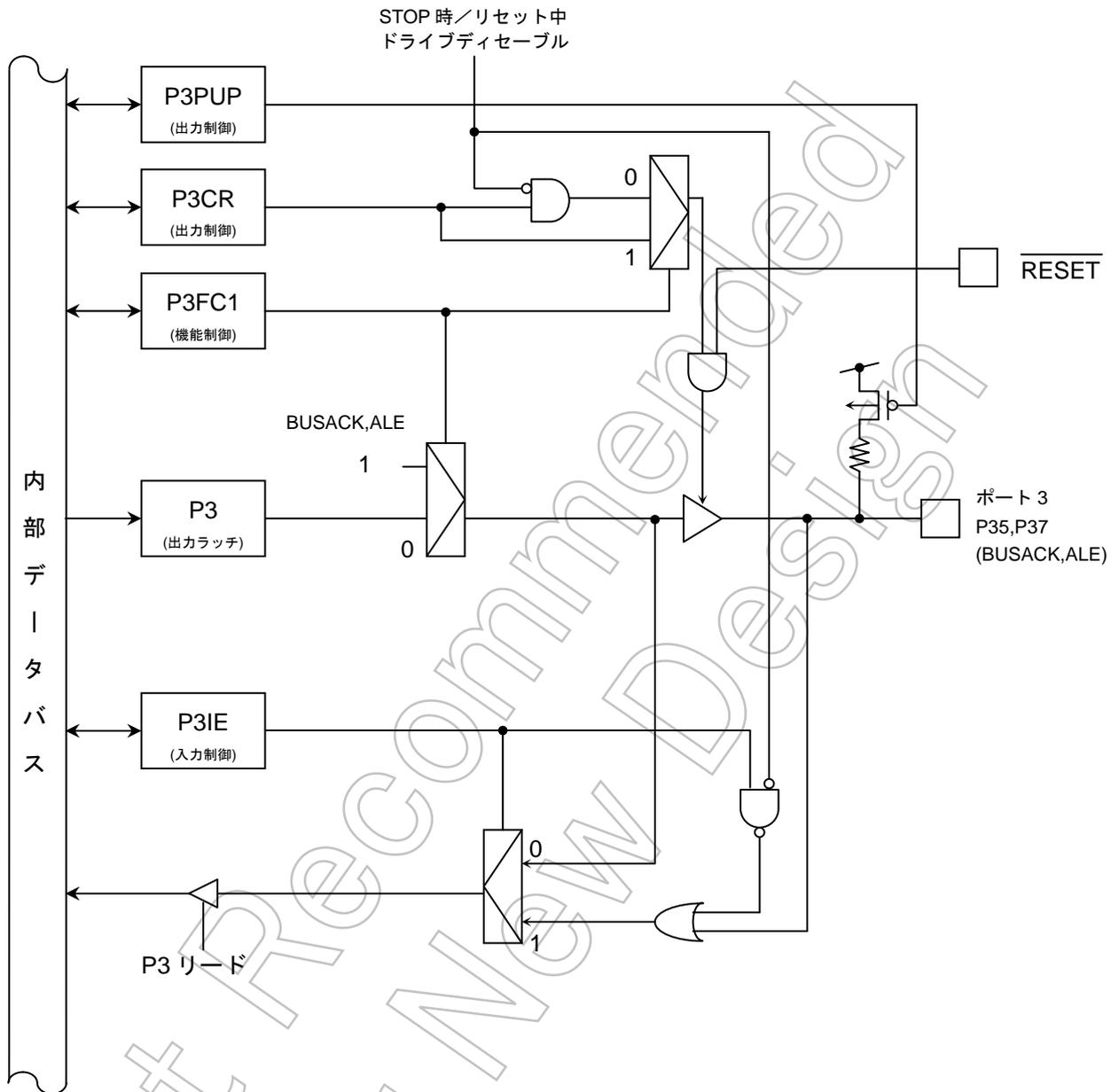


図 7-6 ポート3 (P35, P37)

ポート3レジスタ

	7	6	5	4	3	2	1	0	
P3 (0xFFFF_F030)	Bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30
	Read/Write	R/W							
	リセット後	0	入力モード (出カラッチレジスタは“1”に Set)						

ポート3コントロールレジスタ

	7	6	5	4	3	2	1	0	
P3CR (0xFFFF_F031)	Bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出カディゼーブル 1: 出カイネーブル							

ポート3ファンクションレジスタ1

	7	6	5	4	3	2	1	0	
P3FC1 (0xFFFF_F032)	Bit Symbol	P37F1	P36F1	P35F1	P34F1	P33F1	P32F1	P31F1	P30F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:ALE	0:PORT 1R/W	0:PORT 1:BUSACK	0:PORT 1:BUSREQ	0:PORT /WAIT 1:RDY	0:PORT 1:HWR	0:PORT 1:WR	0:PORT 1:RD

ポート3 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P3PUP (0xFFFF_F03B)	Bit Symbol	PE37	PE36	PE35	PE34	PE33	PE32	PE31	PE30
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:プルアップ							

ポート3 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P3IE (0xFFFF_F03E)	Bit Symbol	PIE37	PIE36	PIE35	PIE34	PIE33	PIE32	PIE31	PIE30
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.6 ポート 4 (P40~P47)

ポート 4 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定はコントロールレジスタ P4CR とファンクションレジスタ P4FC1 によって行います。

汎用入出力ポート機能以外に、P40~P43 はチップセレクト信号出力機能 ($\overline{CS0} \sim \overline{CS3}$)、P46 は内部クロックを出力する SCOUT 出力端子、P47 は外部割込みあります。P44, P45 はリセット中の設定により外部バスモード設定用の BUSMD 端子、ENDIAN 設定端子として機能致します。

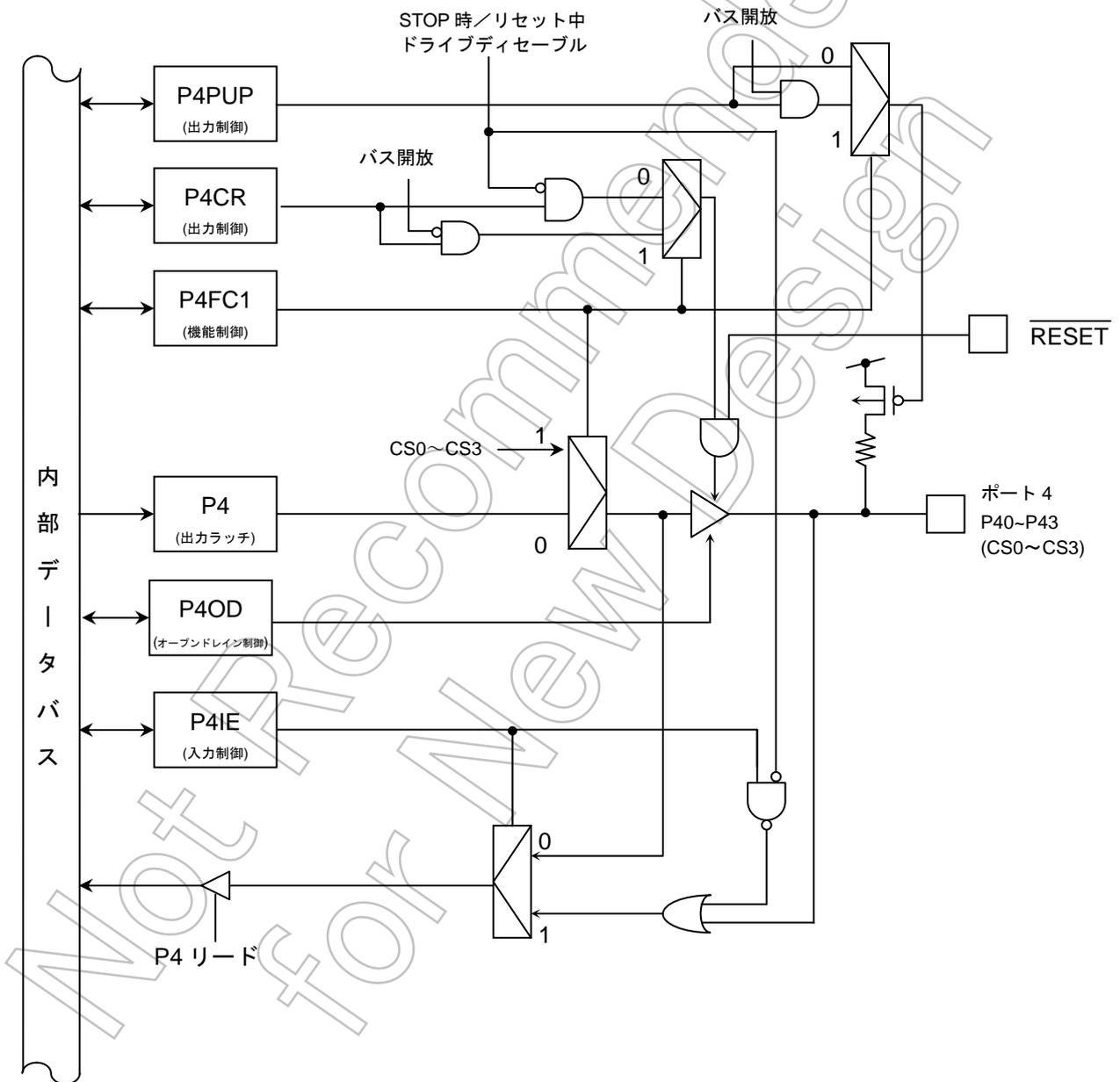


図 7-7 ポート 4 (P40~P43)

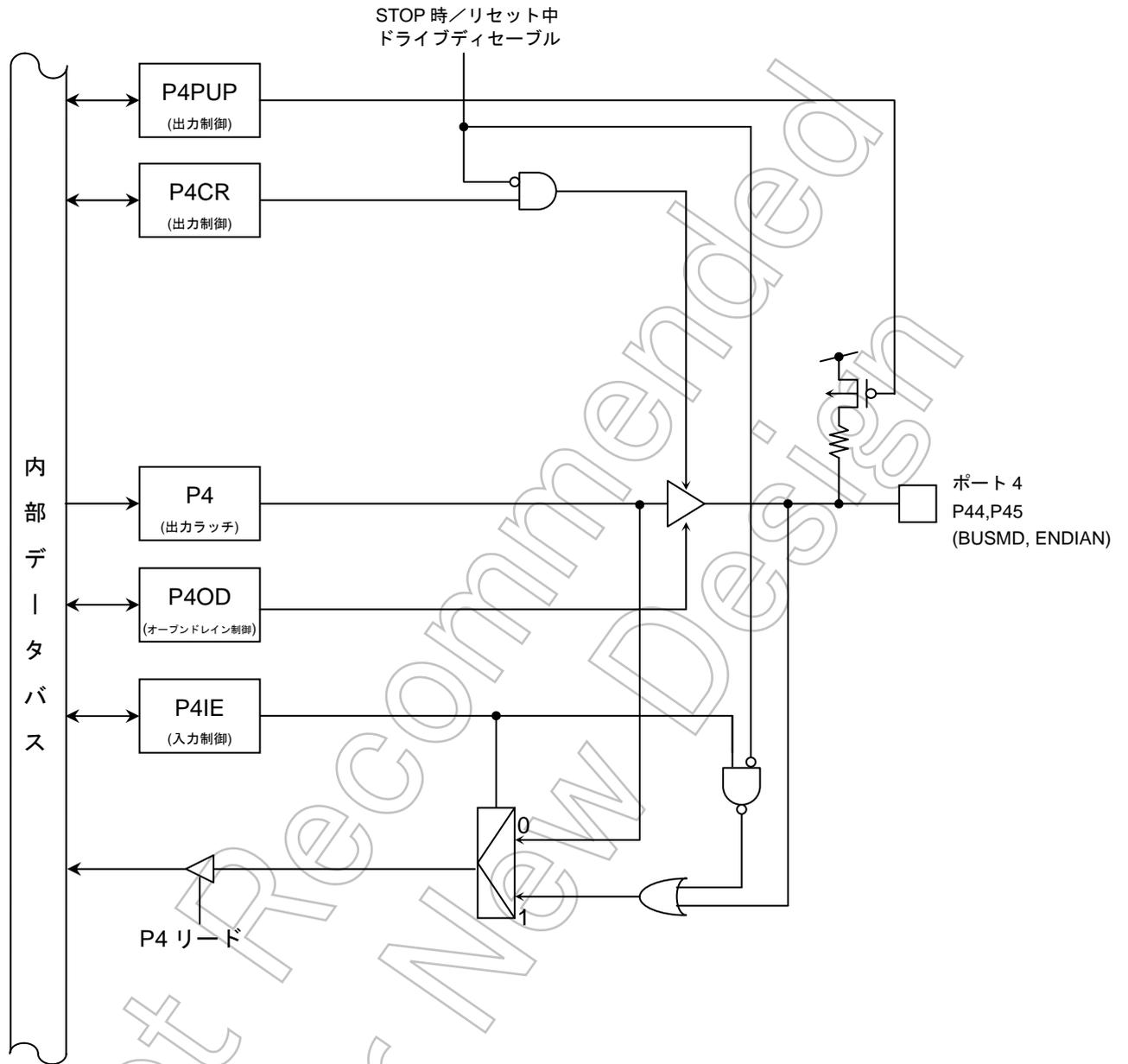


図 7-8 ポート 4 (P44, P45)

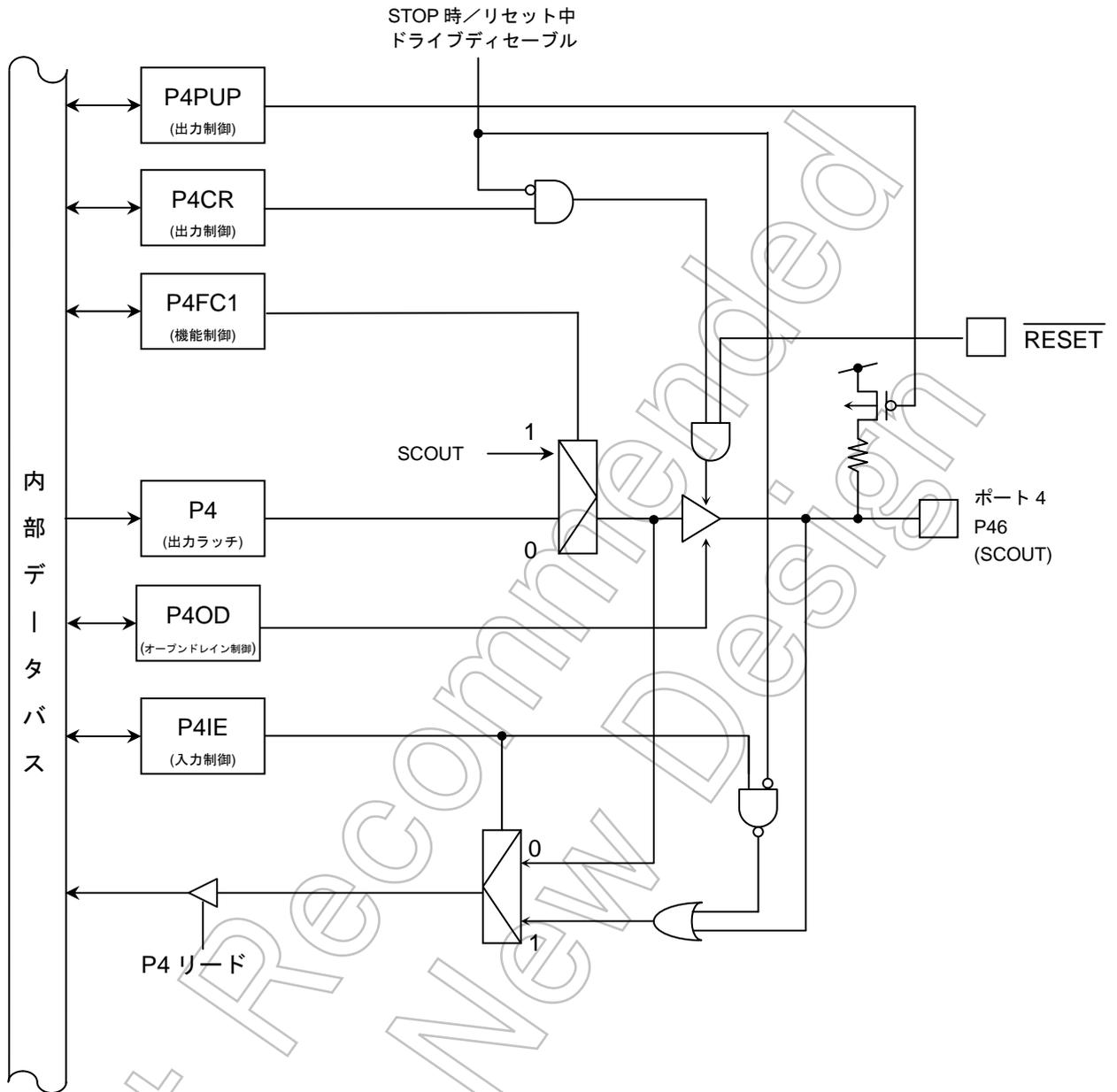


図 7-9 ポート 4 (P46)

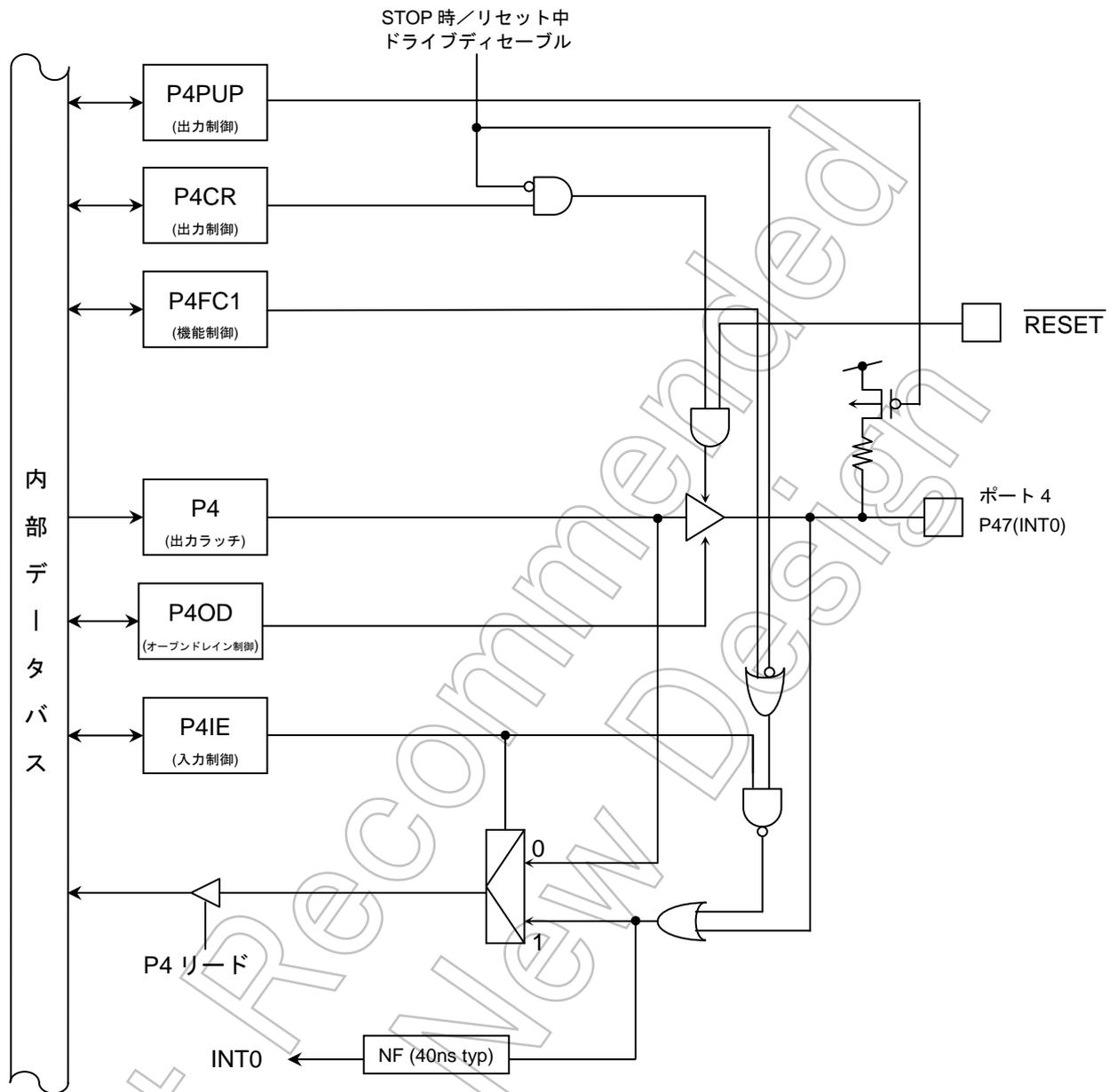


図 7-10 ポート 4 (P47)

ポート4レジスタ

	7	6	5	4	3	2	1	0	
P4 (0xFFFF_F040)	Bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート4コントロールレジスタ

	7	6	5	4	3	2	1	0	
P4CR (0xFFFF_F041)	Bit Symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		0: 出力ディゼーブル 1: 出力イネーブル							

ポート4ファンクションレジスタ1

	7	6	5	4	3	2	1	0
P4FC1 (0xFFFF_F042)	Bit Symbol	P47F1	P46F1		P43F1	P42F1	P41F1	P40F1
	Read/Write	R/W		R	R/W			
	リセット後	0	0	0	0	0	0	0
	機能	0: PORT 1: INT0	0: PORT 1: SCOUT	リードすると“0”が読め ます	0: PORT 1: CS3	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0

ポート4 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
P4OD (0xFFFF_F04A)	Bit Symbol	P47ODE	P46ODE	P45ODE	P44ODE	P43ODE	P42ODE	P41ODE	P40ODE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: CMOS 1: オープン ドレイン							

ポート4 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P4PUP (0xFFFF_F04B)	Bit Symbol	PE47	PE46	PE45	PE44	PE43	PE42	PE41	PE40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: プルアップ							

ポート4 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P4IE (0xFFFF_F04E)	Bit Symbol	PIE47	PIE46	PIE45	PIE44	PIE43	PIE42	PIE41	PIE40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

7.7 ポート 5 (P50~P57)

ポート 5 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC1, P5FC2, P5FC3 によって行います。リセット動作により出力ラッチ P5 の全ビットは“1”にセットされ、また、P5CR と P5FC1, P5FC2, P5FC3 の全ビットは“0”にクリアされ、ポート 5 は出力ディゼーブルになります。

入出力ポート機能以外に、P50~P53 には 16 ビットタイマの出力機能、P54, P55 外部割込み入力機能、P54~P57 は 16 ビットタイマの入力機能、P56, P57 にはそれぞれ DREQ, DACK 機能があります。P5FC1, P5FC2, P5FC3 の該当ビットを“1”に設定することによりこれらの機能が有効になります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能があります。外部メモリをアクセスする時は、P5CR, P5FC1, P5FC2, P5FC3 によりアドレスバスに設定する必要があります。但し、アドレスバス機能が使用できるのはセパレートバスモード (リセット時に BUSMD 端子 (ポート 44) を”L”レベルにすることでセパレートバスモードになります) の時のみです。

Not Recommended for New Design

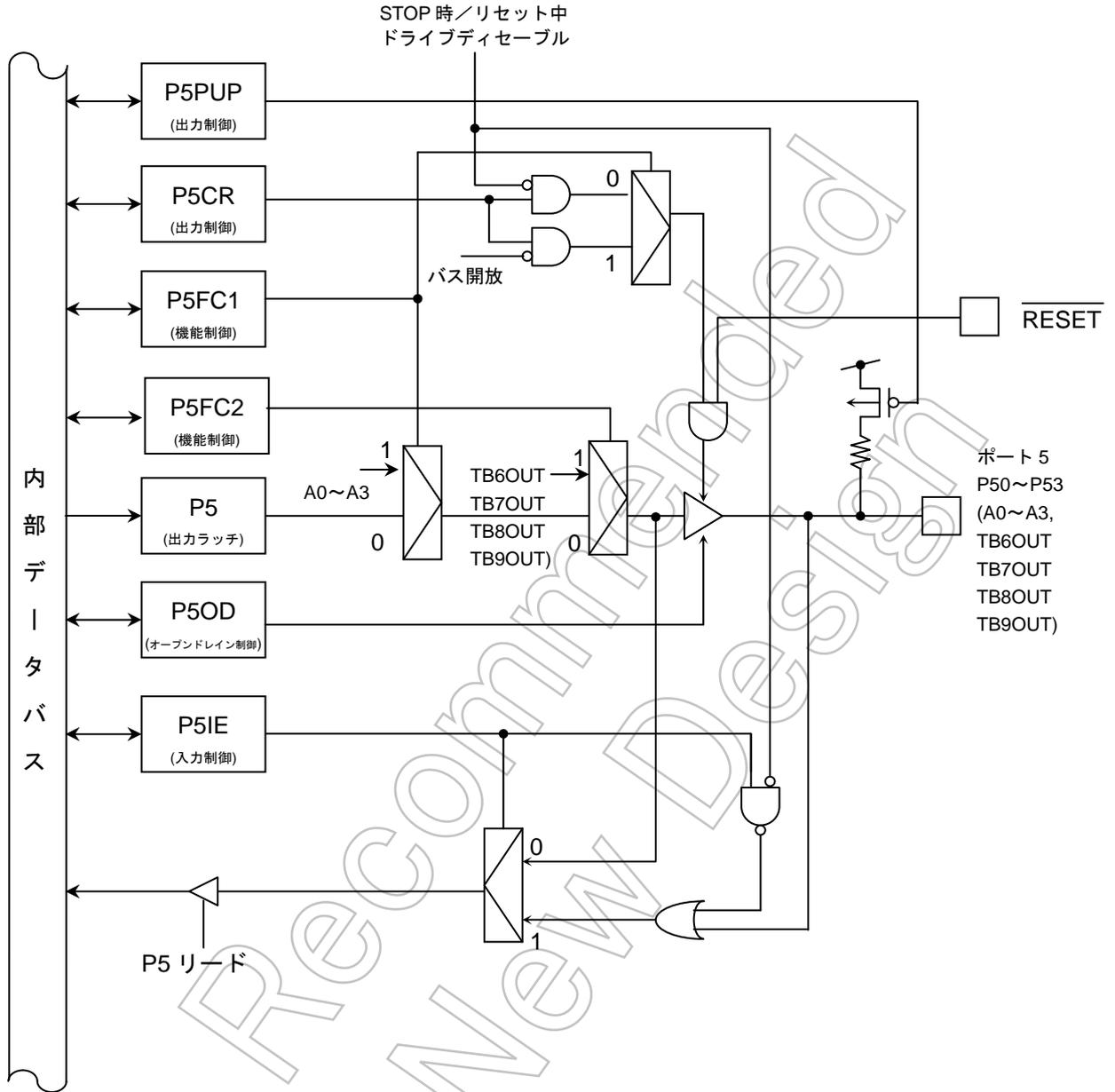


図 7-11 ポート 5 (P50~P53)

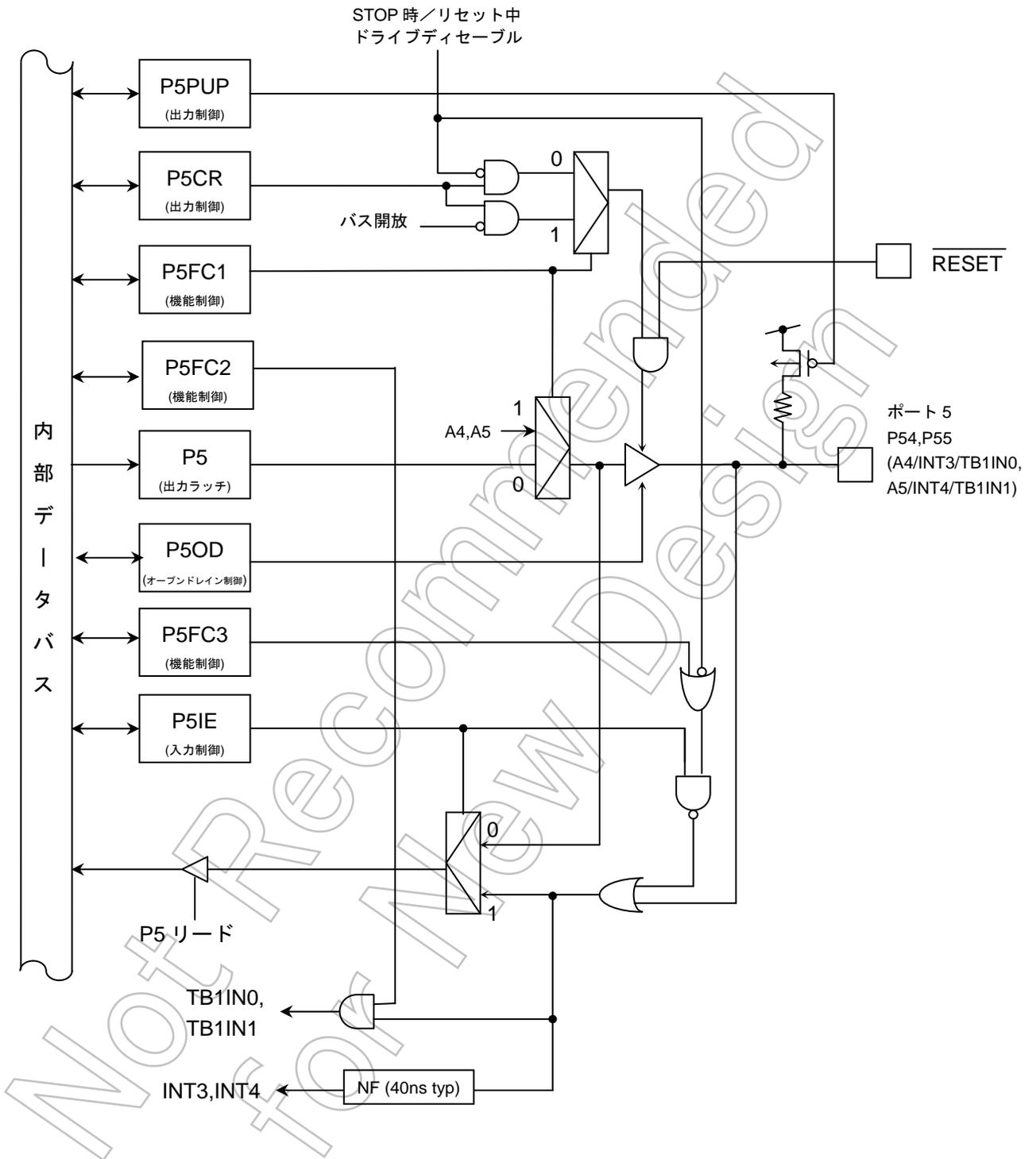


図 7-12 ポート 5 (P54, P55)

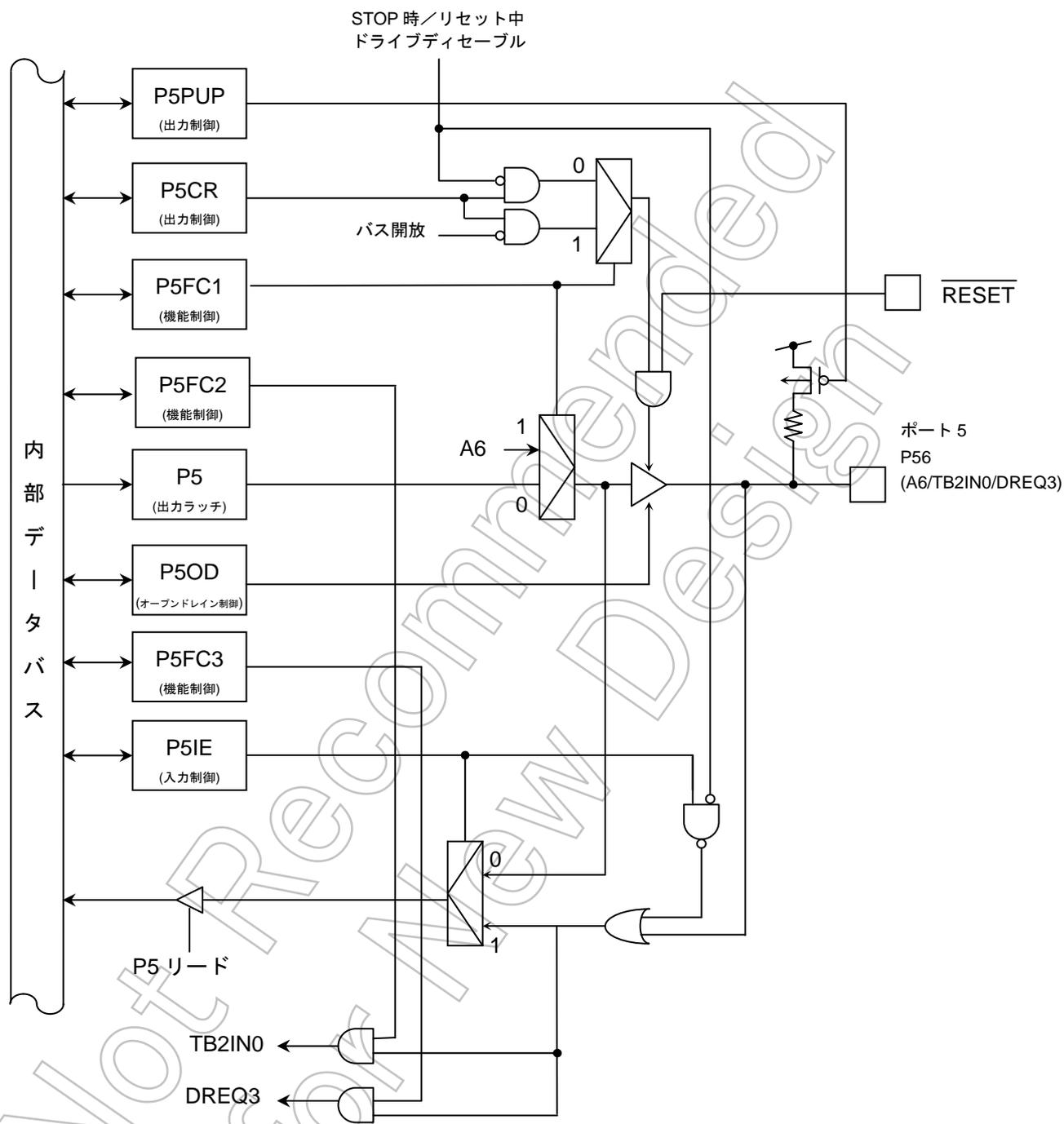


図 7-13 ポート 5 (P56)

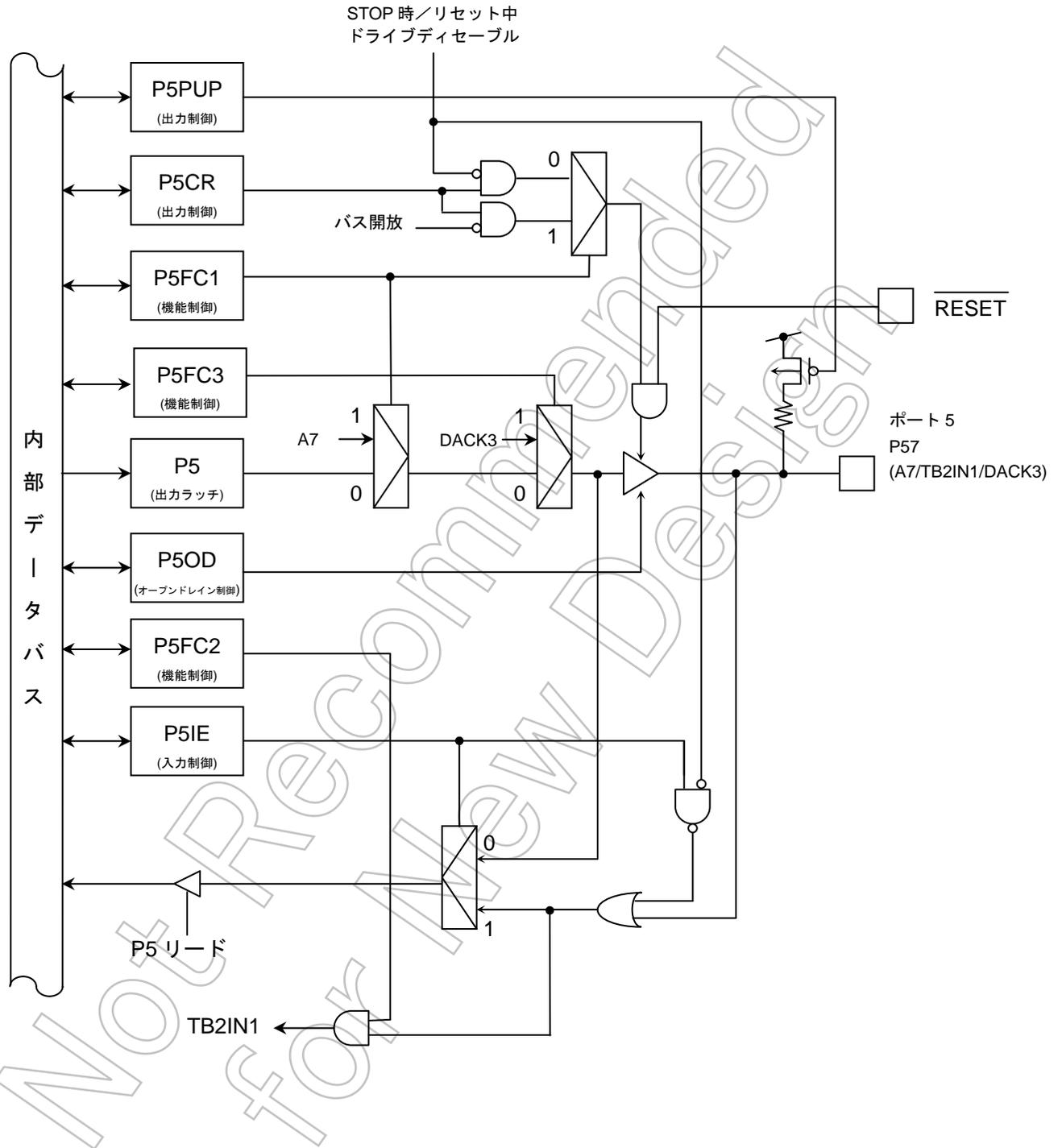


図 7-14 ポート 5 (P57)

ポート 5 レジスタ

	7	6	5	4	3	2	1	0	
P5 (0xFFFF_F050)	Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは "1" にセット)							

ポート 5 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P5CR (0xFFFF_F051)	Bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出カディゼーブル 1: 出カイネーブル							

ポート 5 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P5FC1 (0xFFFF_F052)	Bit Symbol	P57F1	P56F1	P55F1	P54F1	P53F1	P52F1	P51F1	P50F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

ポート 5 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P5FC2 (0xFFFF_F053)	Bit Symbol	P57F2	P56F2	P55F2	P54F2	P53F2	P52F2	P51F2	P50F2
	Read/Write	R/W			R/W		R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB2IN1	0:PORT 1:TB2IN0	0:PORT 1:TB1IN1	0:PORT 1:TB1IN0	0:PORT 1:TB9OUT	0:PORT 1:TB8OUT	0:PORT 1:TB7OUT	0:PORT 1:TB6OUT

ポート 5 ファンクションレジスタ 3

	7	6	5	4	3	2	1	0	
P5FC3 (0xFFFF_F054)	Bit Symbol	P57F3	P56F3	P55F3	P54F3				
	Read/Write	R/W				R			
	リセット後	0	0	0	0	0			
	機能	0:PORT 1:DACK	0:PORT 1:DREQ	0:PORT 1:INT4	0:PORT 1:INT3	リードすると "0" が読めます			

ポート 5 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
P5OD (0xFFFF_F05A)	Bit Symbol				P53ODE	P52ODE	P51ODE	P50ODE
	Read/Write	R			R/W	R/W	R/W	R/W
	リセット後	0			0	0	0	0
	機能	リードすると "0" が読めます			0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポート5 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
P5PUP (0xFFFF_F05B)	PE57	PE56	PE55	PE54	PE53	PE52	PE51	PE50
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:プルアップ							

ポート5 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0
P5IE (0xFFFF_F05E)	PIE57	PIE56	PIE55	PIE54	PIE53	PIE52	PIE51	PIE50
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

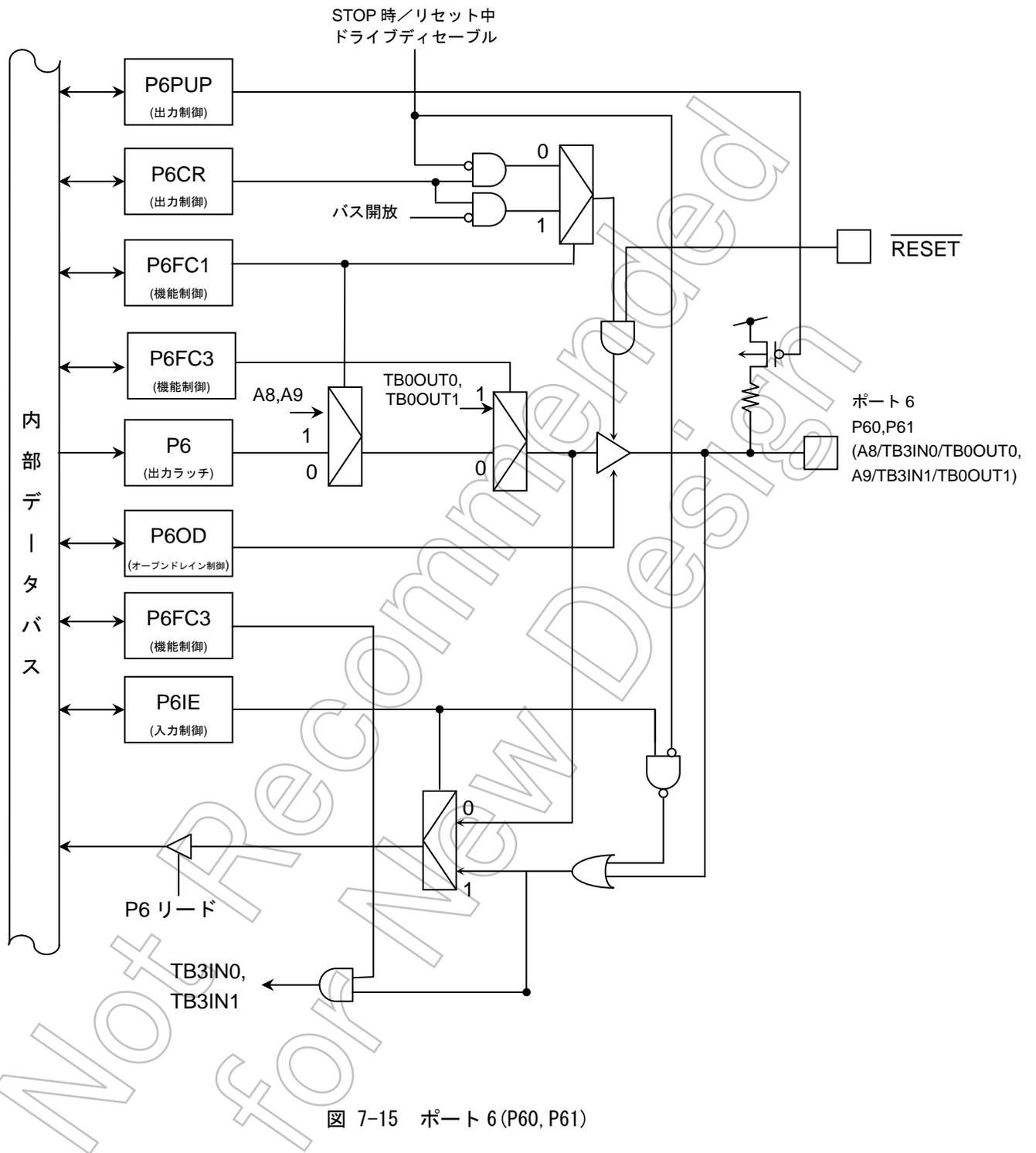
Not Recommended for New Design

7.8 ポート 6 (P60~P67)

ポート 6 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC1~P6FC4 によって行います。リセット動作により出力ラッチ P6 の全ビットは “1” にセットされ、また、P6CR と P6FC1~P6FC4 の全ビットは “0” にクリアされ、ポート 6 は出力ディゼーブルになります。入出力ポート機能以外に P60~P67 は 16 ビットタイマ入力機能、P60, P61 に 16 ビットタイマ出力機能、P62, P63 に外部割込み入力機能、P64~P67 に高精度 PPG の出力機能があります。

汎用入出力ポート機能以外にアドレスバス (A8~A15) 機能があります。外部メモリをアクセスする時は、P6CR、P6FC1~P6FC4 によりアドレスバスに設定する必要があります。但し、アドレスバス機能を使用できるのはセパレートバスモード(リセット時に BUSMD 端子(ポート 44)を”L”レベルにすることでセパレートバスモードになります)の時のみです。

Not Recommended for New Design



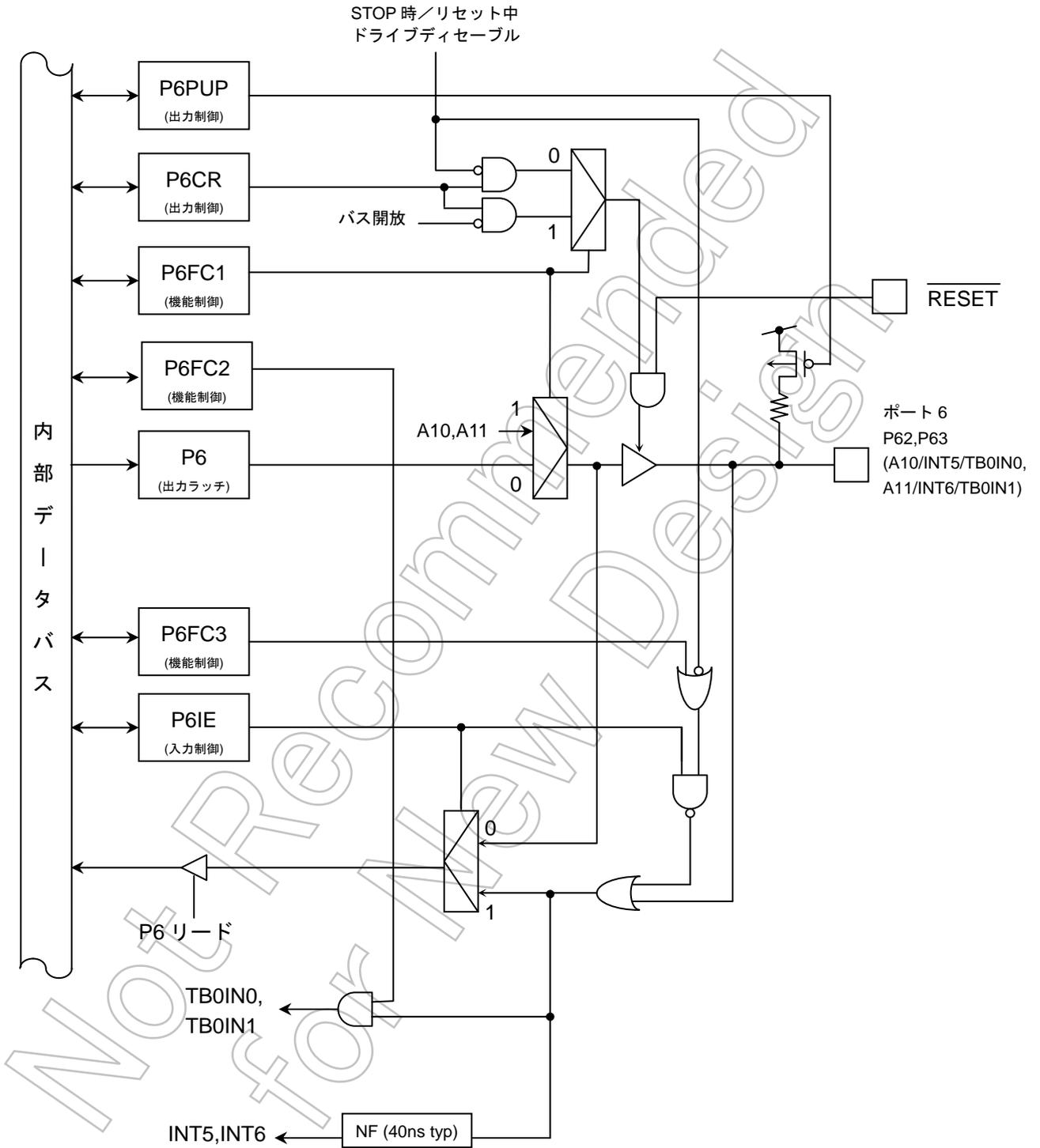


図 7-16 ポート 6 (P62, P63)

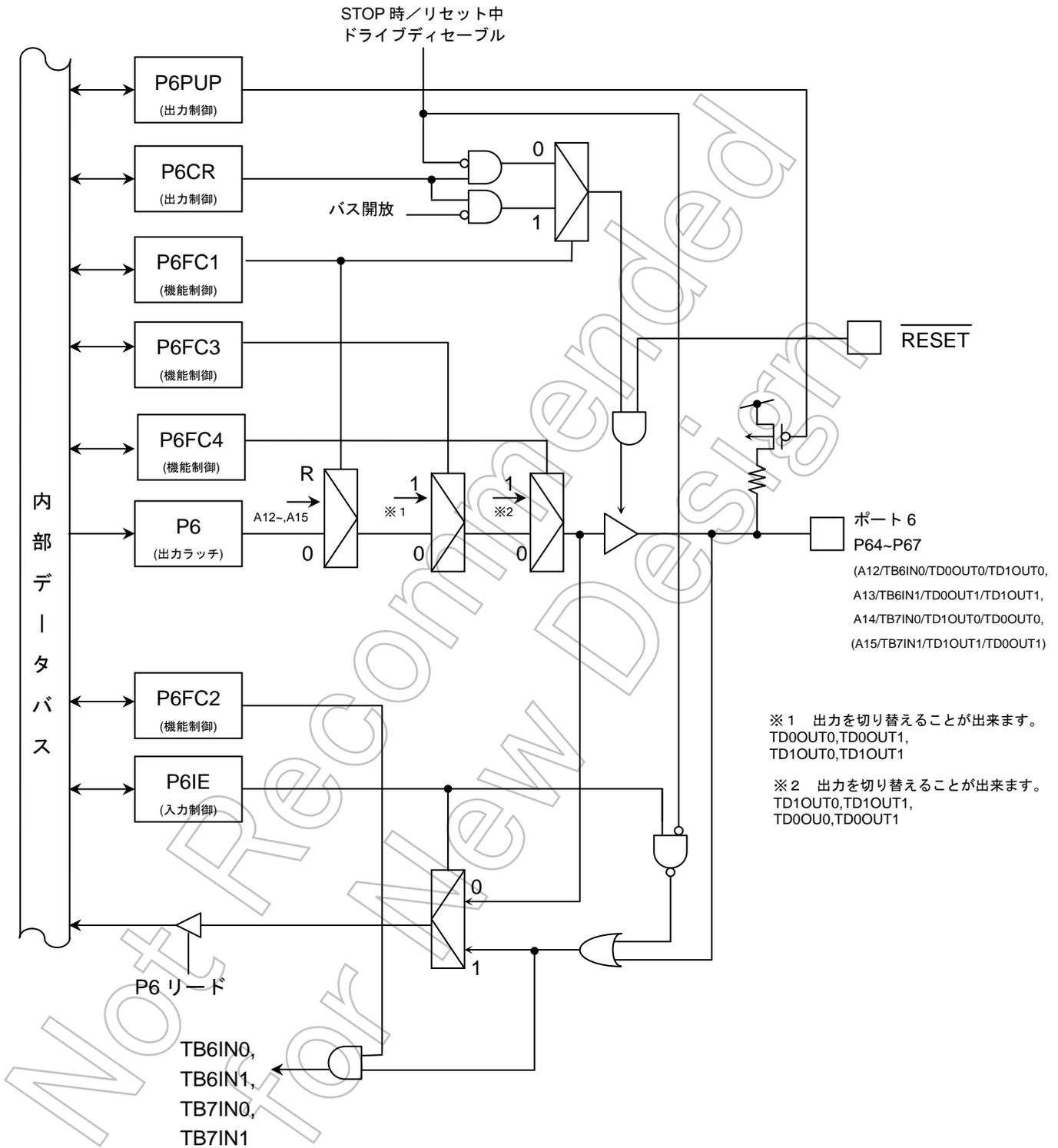


図 7-17 ポート 6 (P64~P67)

ポート 6 レジスタ

	7	6	5	4	3	2	1	0	
P6 (0xFFFF_F060)	Bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P6CR (0xFFFF_F061)	Bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート 6 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P6FC1 (0xFFFF_F062)	Bit Symbol	P67F1	P66F1	P65F1	P64F1	P63F1	P62F1	P61F1	P60F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: PORT 1: 外部バス設定							

ポート 6 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P6FC2 (0xFFFF_F063)	Bit Symbol	P67F2	P66F2	P65F2	P64F2	P63F2	P62F2	P61F2	P60F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: PORT 1: TB7IN1	0: PORT 1: TB7IN0	0: PORT 1: TB6IN1	0: PORT 1: TB6IN0	0: PORT 1: TB0IN1	0: PORT 1: TB0IN0	0: PORT 1: TB3IN1	0: PORT 1: TB3IN0

ポート 6 ファンクションレジスタ 3

	7	6	5	4	3	2	1	0	
P6FC3 (0xFFFF_F064)	Bit Symbol	P67F3	P66F3	P65F3	P64F3	P63F3	P62F3	P61F3	P60F3
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: PORT 1: TD1OUT1	0: PORT 1: TD1OUT0	0: PORT 1: TD0OUT1	0: PORT 1: TD0OUT0	0: PORT 1: INT6	0: PORT 1: INT5	0: PORT 1: TB0OUT1	0: PORT 1: TB0OUT0

ポート 6 ファンクションレジスタ 4

	7	6	5	4	3	2	1	0	
P6FC4 (0xFFFF_F065)	Bit Symbol	P67F4	P66F4	P65F4	P64F4	P63F4	P62F4	P61F4	P60F4
	Read/Write	R/W				R			
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: TD0OUT1	0: PORT 1: TD0OUT0	0: PORT 1: TD1OUT1	0: PORT 1: TD1OUT0	リードすると“0”が読めます			

ポート6 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
P6OD (0xFFFF_F06A)							P61ODE	P60ODE
Bit Symbol								
Read/Write	R						R/W	R/W
リセット後	0						0	0
機能	リードすると"0"が読めます						0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポート6 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
P6PUP (0xFFFF_F06B)								
Bit Symbol	PE67	PE66	PE65	PE64	PE63	PE62	PE61	PE60
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:プルアップ							

ポート6 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0
P6IE (0xFFFF_F06E)								
Bit Symbol	PIE67	PIE66	PIE65	PIE64	PIE63	PIE62	PIE61	PIE60
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

7.9 ポート 7 (P70~P77)

ポート 7 は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。リセット時、入力ポートとなりますが、 入力は禁止状態になっています。入力ポートとして使用する場合は、該当する入力イネーブル制御レジスタを設定して下さい。AD 機能ポートとして使用する場合は、入力イネーブルレジスタの設定は不要です。

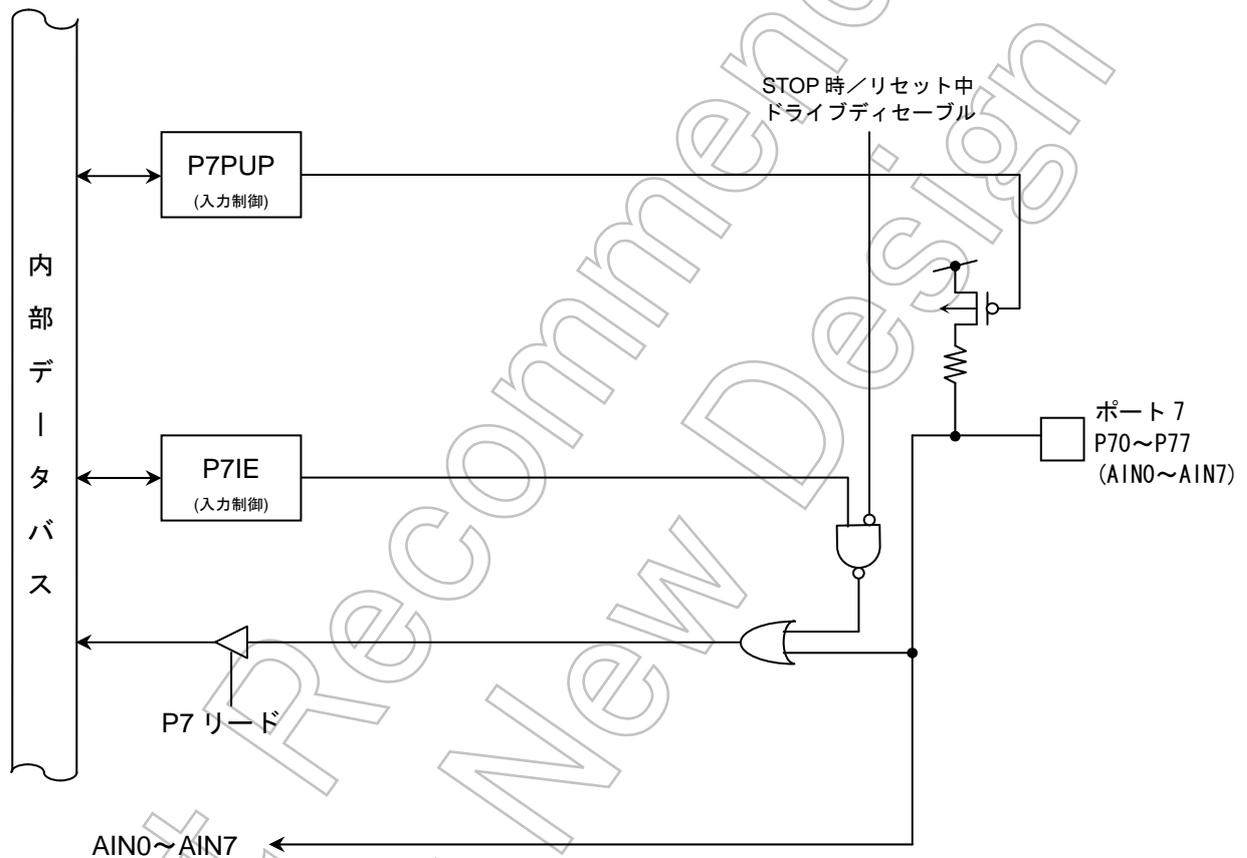


図 7-18 ポート 7 (P70~P77)

ポート7レジスタ

	7	6	5	4	3	2	1	0
P7 (0xFFFF_F070)	P77	P76	P75	P74	P73	P72	P71	P70
Bit Symbol								
Read/Write	R							
リセット後	入力モード							

ポート7 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
P7PUP (0xFFFF_F07B)	PE77	PE76	PE75	PE74	PE73	PE72	PE71	PE70
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:プルアップ							

ポート7 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0
P7IE (0xFFFF_F07E)	PIE77	PIE76	PIE75	PIE74	PIE73	PIE72	PIE71	PIE70
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

7.10 ポート 8 (P80~P84)

ポート 8 は 5 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。リセット時、入力ポートとなりますが、入力は禁止状態になっています。入力ポートとして使用する場合は、該当する入カインーブル制御レジスタを設定して下さい。AD 機能ポートとして使用する場合は、入カインーブルレジスタの設定は不要です。

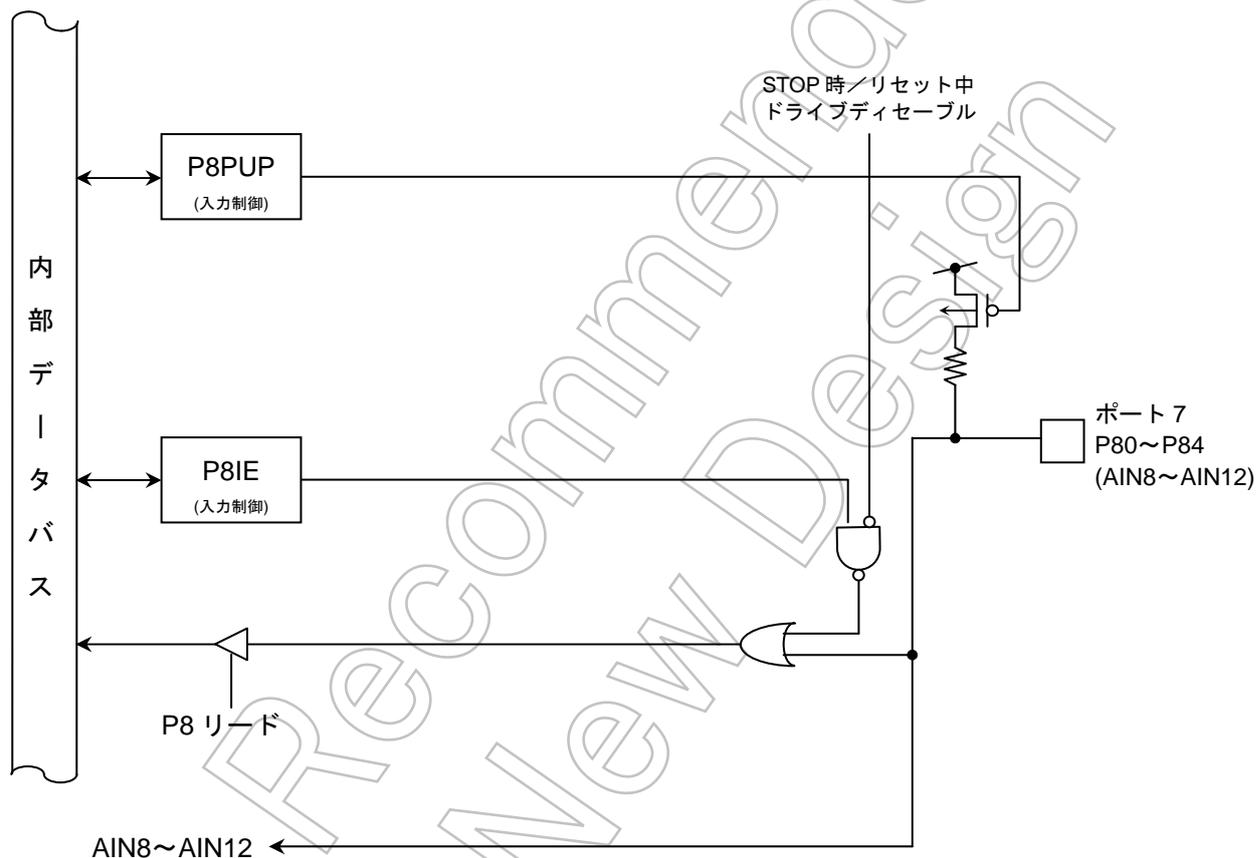


図 7-19 ポート 8 (P80~P84)

ポート 8 レジスタ

	7	6	5	4	3	2	1	0
P8 (0xFFFF_F080)				P84	P83	P82	P81	P80
Bit Symbol				R				
Read/Write				R				
リセット後	入力モード							

ポート 8 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P8PUP (0xFFFF_F08B)				PE84	PE83	PE82	PE81	PE80	
Bit Symbol				R			R/W		
Read/Write				R			R/W		
リセット後	0			0	0	0	0	0	
機能	リードすると"0"が読めます			プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	

ポート 8 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P8IE (0xFFFF_F08E)				PIE84	PIE83	PIE82	PIE81	PIE80	
Bit Symbol				R			R/W		
Read/Write				R			R/W		
リセット後	0			0	0	0	0	0	
機能	リードすると"0"が読めます			入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	

Not Recommended for New

7.11 ポート 9 (P90~P97)

ポート 9 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P9CR とファンクションレジスタ P9FC1~P9FC3 によって行います。リセット動作により出力ラッチ P9 の全ビットは “1” にセットされ、また、P9CR と P9FC1~P9FC3 の全ビットは “0” にクリアされ、ポート 9 は出力ディゼーブルになります。

入出力ポート機能以外に P90, P94 は SIO のデータ出力、P91, P95 は SIO のデータ入力、P92, P96 は SIO の CLK 入出力または CTS 入力、P91, P92, P93, P96, P97 には外部割込み入力機能があります。

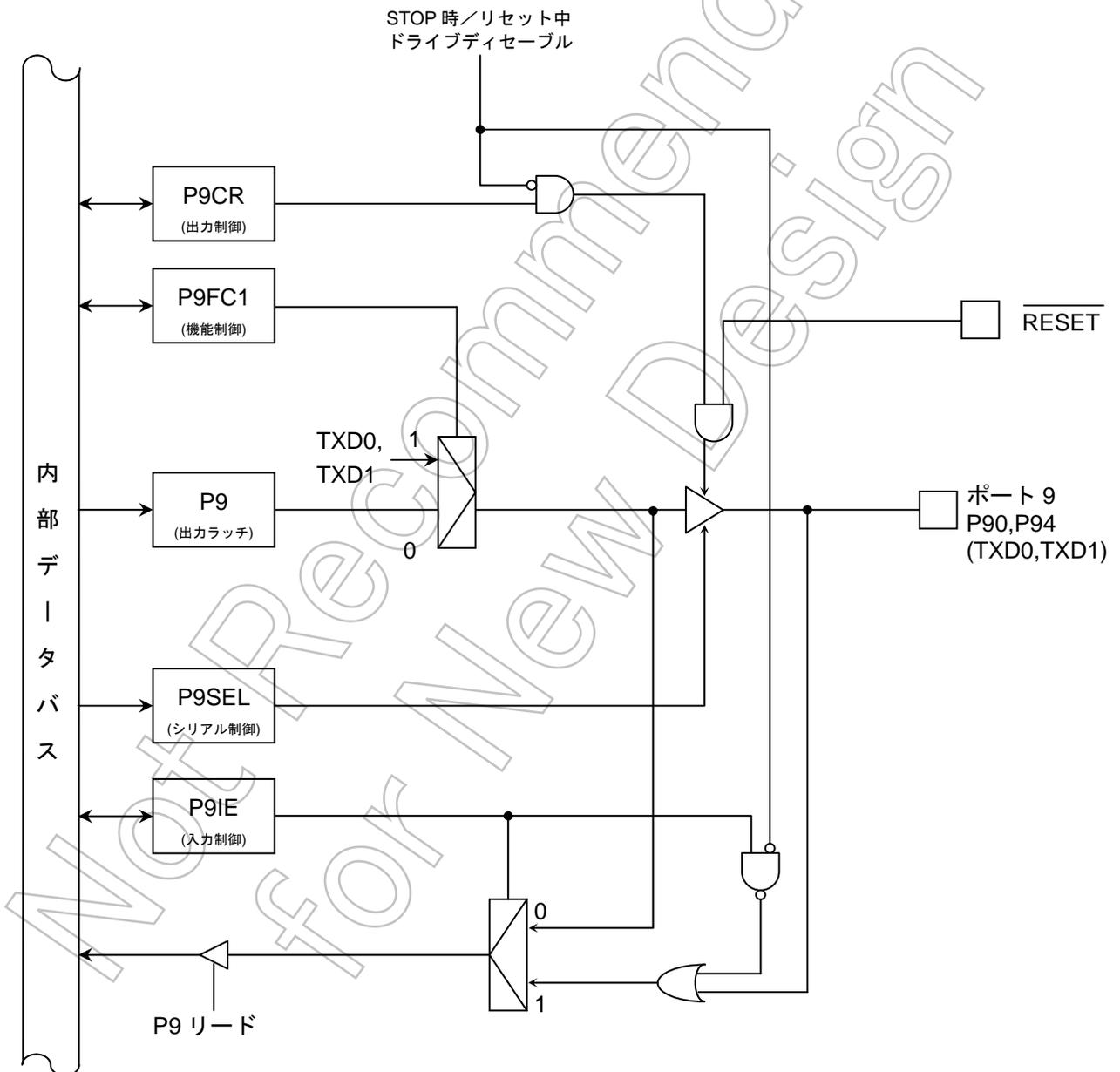


図 7-20 ポート F (P90, P94)

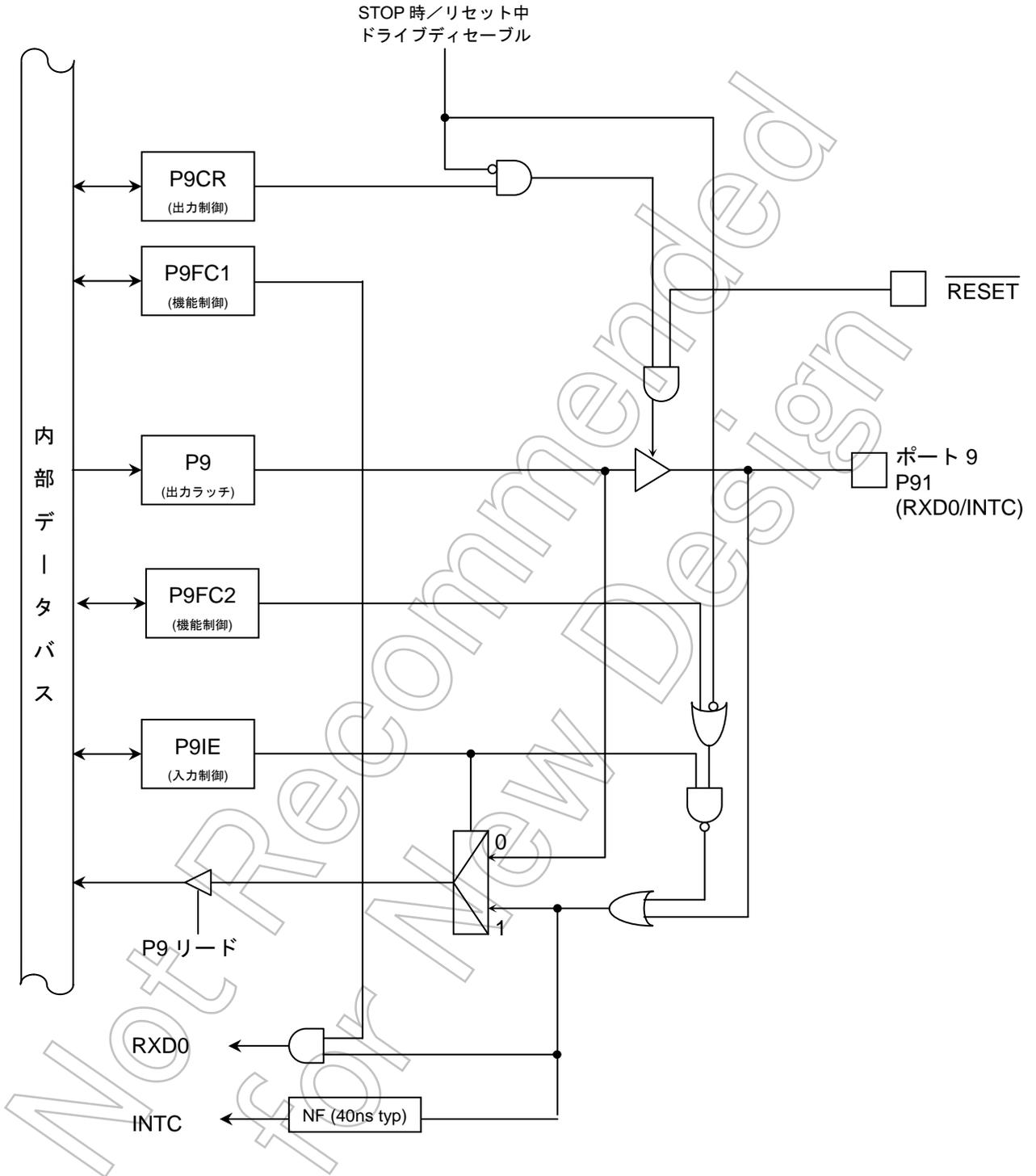


図 7-21 ポート 9 (P91)

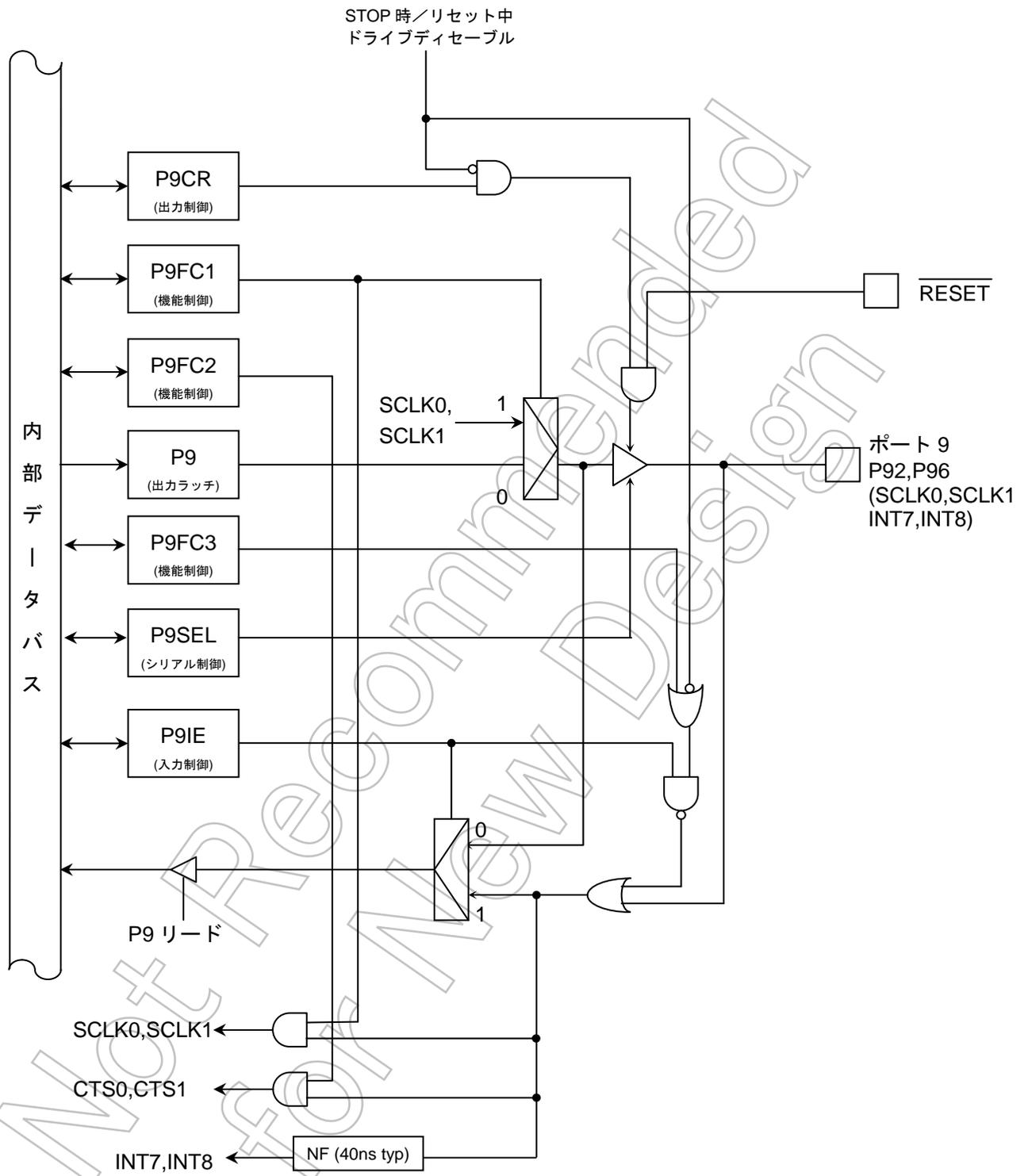


図 7-22 ポート 9 (P92, P96)

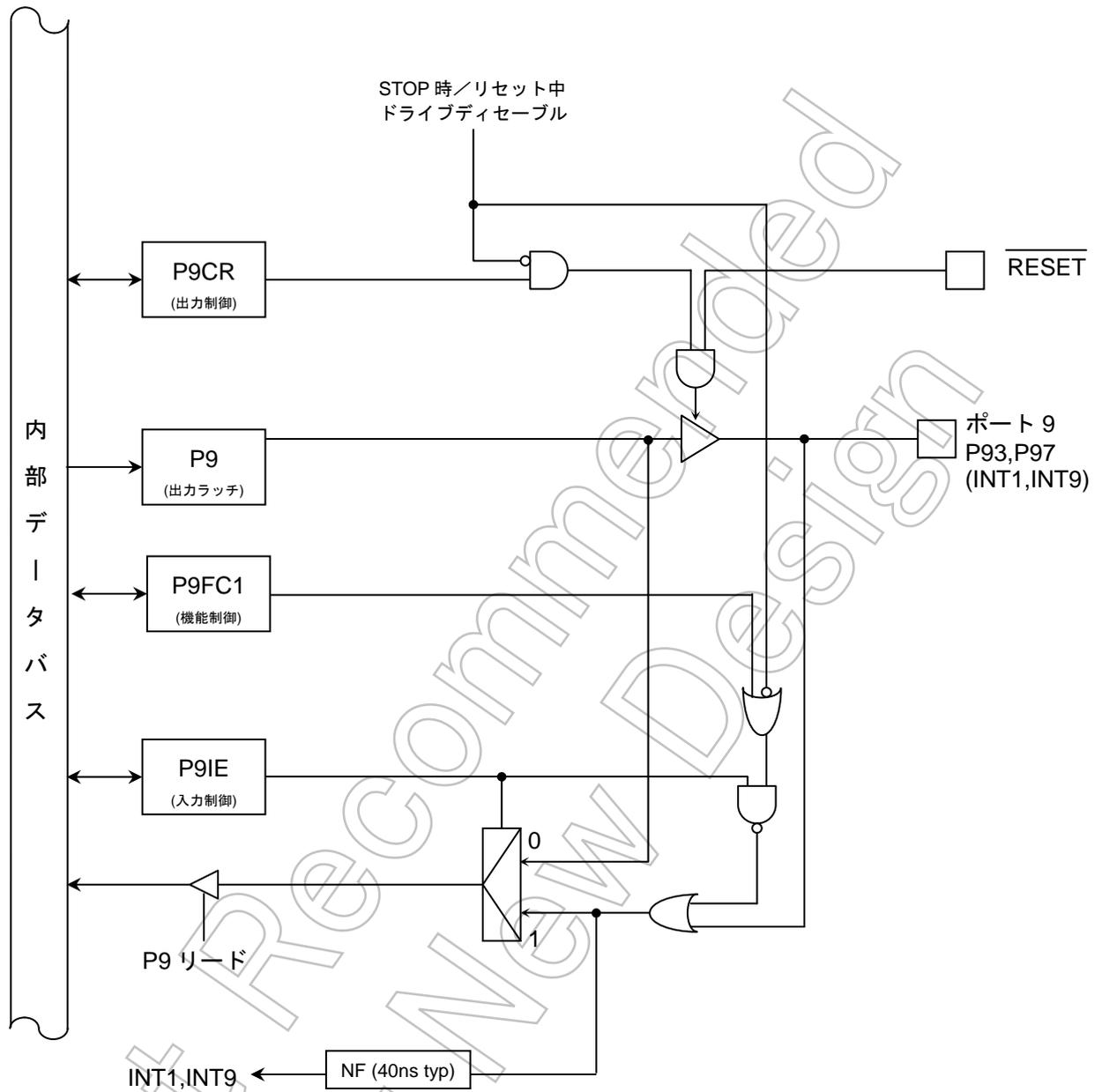


図 7-23 ポート 9 (P93, P97)

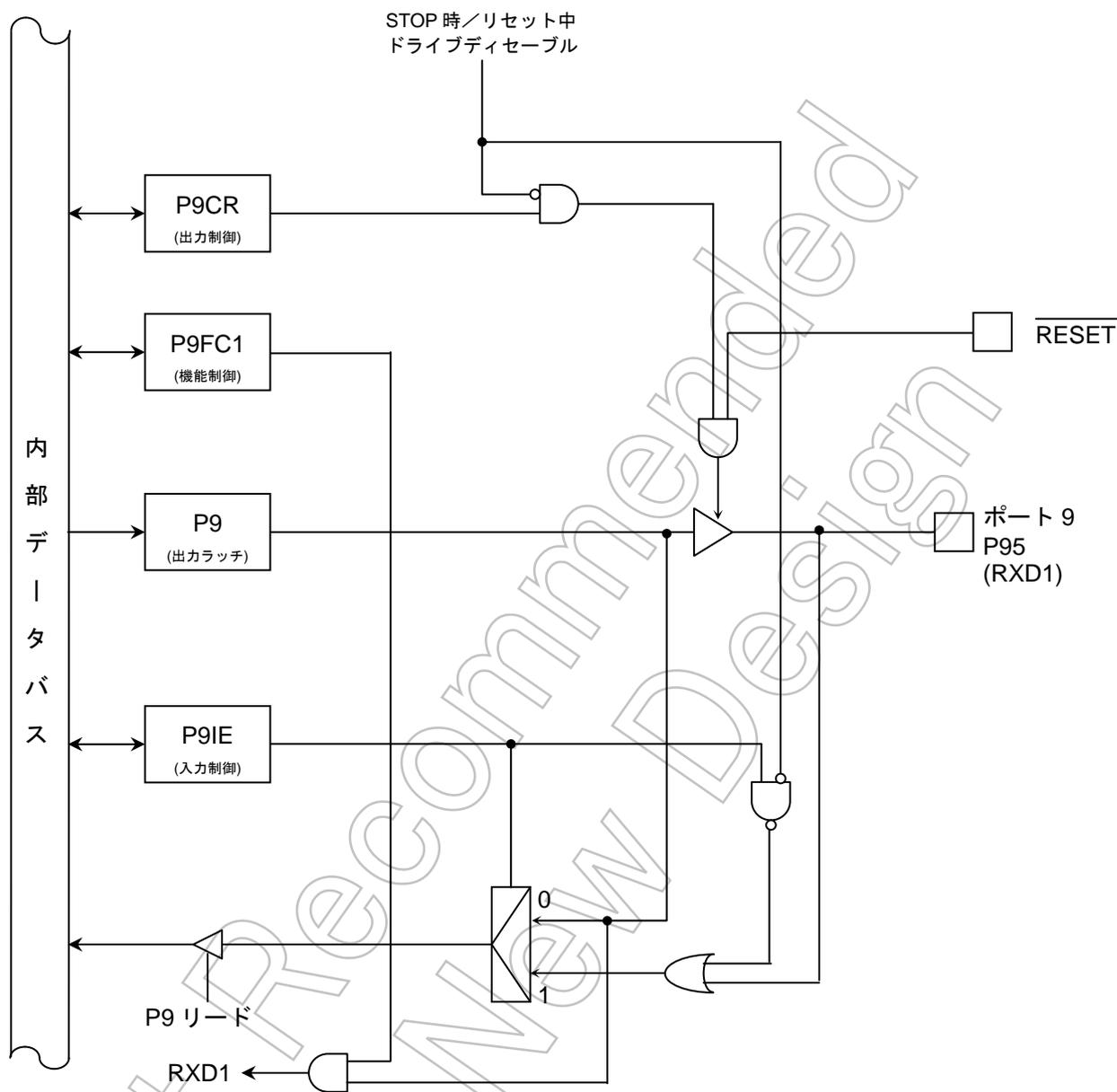


図 7-24 ポート 9 (P95)

ポート9レジスタ

	7	6	5	4	3	2	1	0	
P9	Bit Symbol	P97	P96	P95	P94	P93	P92	P91	P90
(0xFFFF_F090)	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にSet)							

ポート9コントロールレジスタ

	7	6	5	4	3	2	1	0	
P9CR	Bit Symbol	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
(0xFFFF_F091)	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート9ファンクションレジスタ1

	7	6	5	4	3	2	1	0	
P9FC1	Bit Symbol	P97F1	P96F1	P95F1	P94F1	P93F1	P92F1	P91F1	P90F1
(0xFFFF_F092)	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:INT9	0:PORT 1:SCLK1	0:PORT 1:RXD1	0:PORT 1:TXD1	0:PORT 1:INT1	0:PORT 1:SCLK0	0:PORT 1:RXD0	0:PORT 1:TXD0

ポート9ファンクションレジスタ2

	7	6	5	4	3	2	1	0
P9FC2	Bit Symbol	P96F2				P92F2	P91F2	
(0xFFFF_F093)	Read/Write	R	R/W	R		R/W		R
	リセット後	0	0	0		0	0	0
	機能	リードすると“0”が読めます	0:PORT 1:CTS1	リードすると“0”が読めます		0:PORT 1:CTS0	0:PORT 1:INTC	リードすると“0”が読めます

ポート9ファンクションレジスタ3

	7	6	5	4	3	2	1	0
P9FC3	Bit Symbol	P96F				P92F		
(0xFFFF_F094)	Read/Write	R	R/W	R		R/W	R	
	リセット後	0	0	0		0	0	
	機能	リードすると“0”が読めます	0:PORT 1:INT8	リードすると“0”が読めます		0:PORT 1:INT7	リードすると“0”が読めます	

ポート 9 シリアル設定レジスタ

		7	6	5	4	3	2	1	0
P9SEL (0xFFFF_F09D)	Bit Symbol		PSEL96		PSEL94		PSEL92		PSEL90
	Read/Write	R	R/W	R	R/W	R	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めず	0:PORT 1:シリアル	リードすると"0"が読めず	0:PORT 1:シリアル	リードすると"0"が読めず	0:PORT 1:シリアル	リードすると"0"が読めず	0:PORT 1:シリアル

ポート 9 入力イネーブル制御レジスタ

		7	6	5	4	3	2	1	0
P9IE (0xFFFF_F09E)	Bit Symbol	PIE97	PIE96	PIE95	PIE94	PIE93	PIE92	PIE91	PIE90
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.12 ポートA (PA0~PA7)

ポートAはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PACR とファンクションレジスタ PAFC によって行います。リセット動作により出力ラッチ PA の全ビットは“1”にセットされ、また、PACR と PAFC1, PAFC2 の全ビットは“0”にクリアされ、ポートAは出力ディセーブルになります。

入出力ポート機能以外に PA0~PA2, PA4~PA6 には I2C 機能、PA0, PA1, PA3, PA7 には 16 ビットタイマ出力機能があり、PA2, PA6 には外部割込み入力機能、PA3 には DREQ 機能、PA7 には DACK 機能があります。

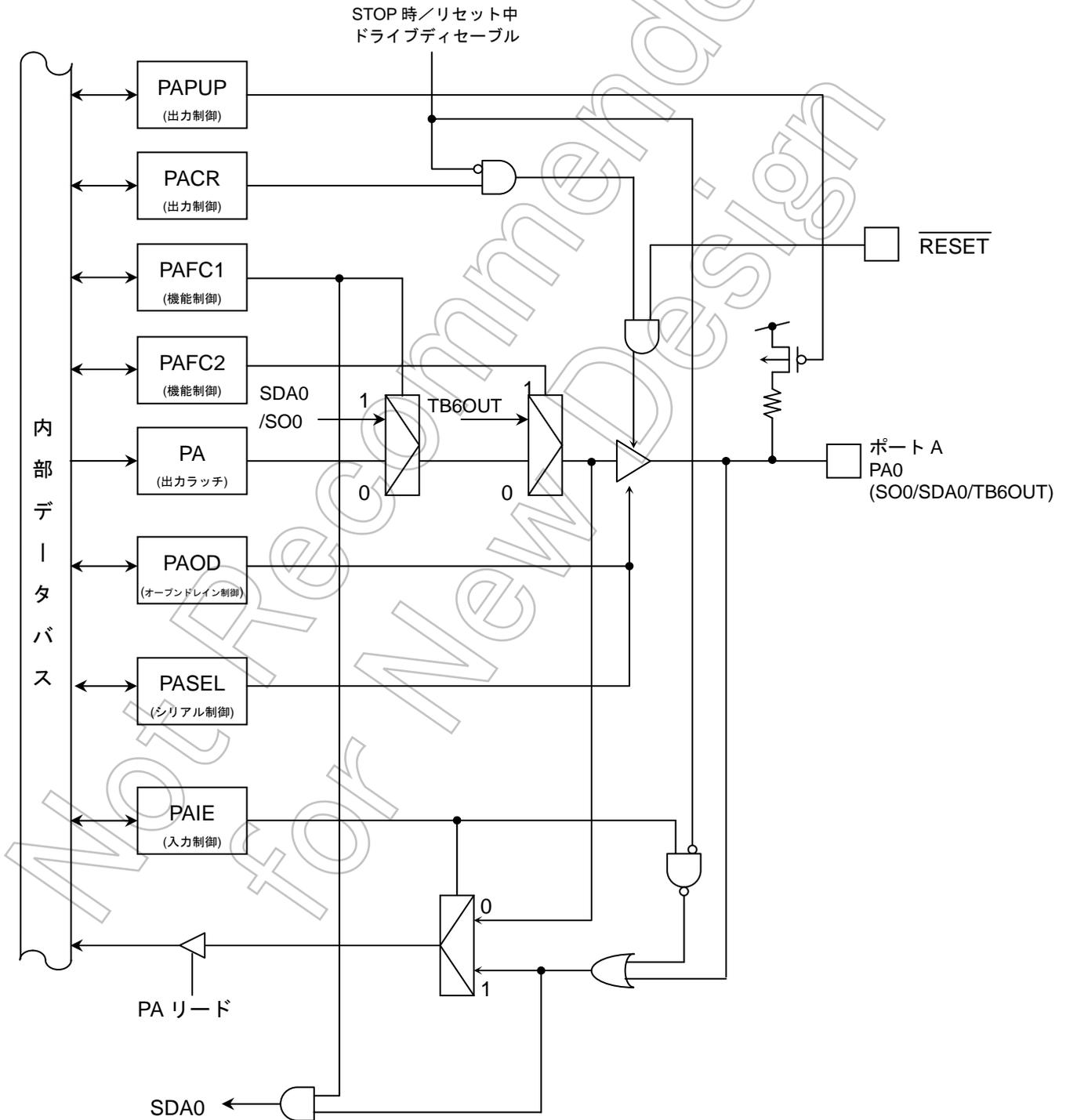


図 7-25 ポート A (PA0)

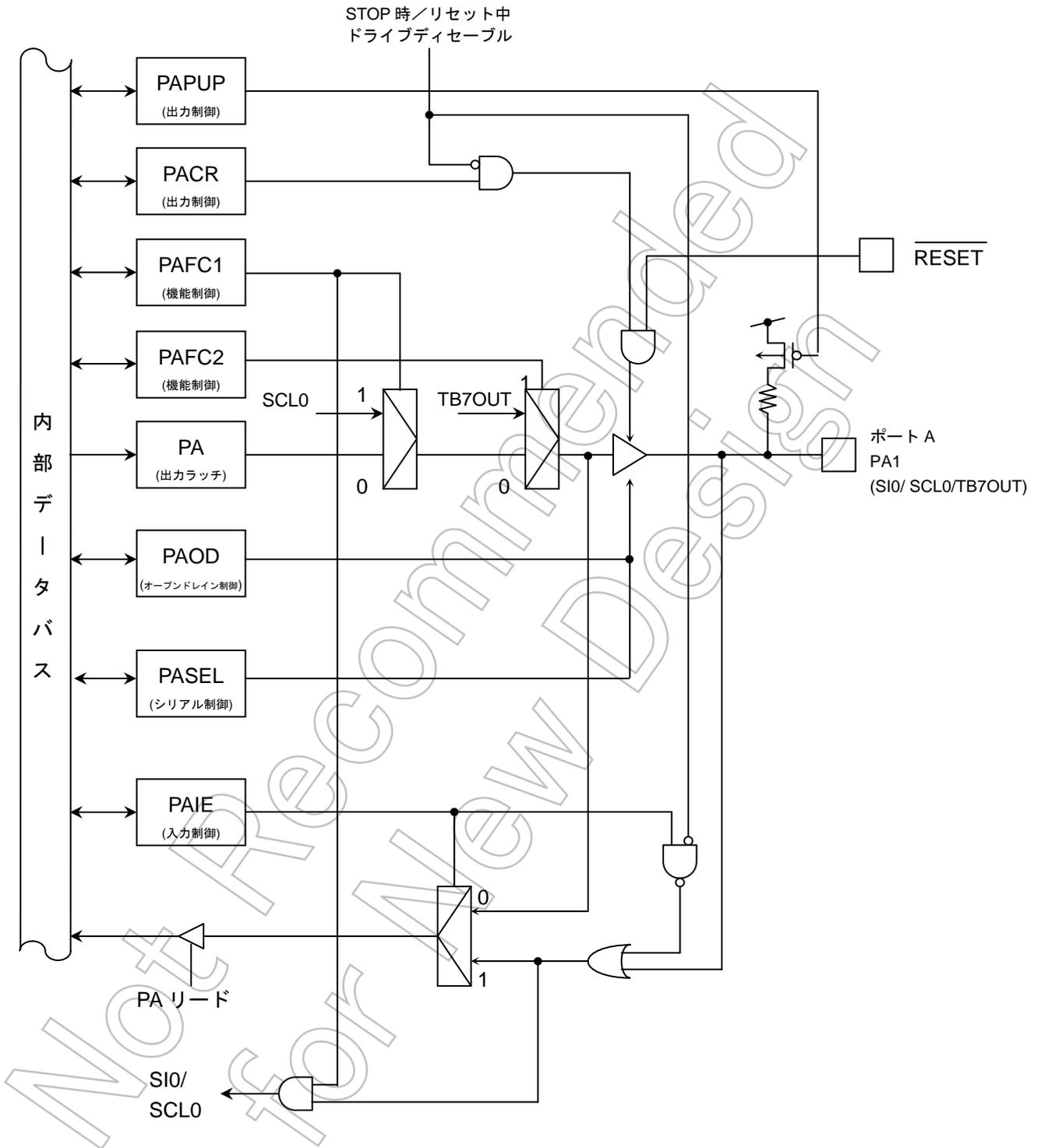


図 7-26 ポート A (PA1)

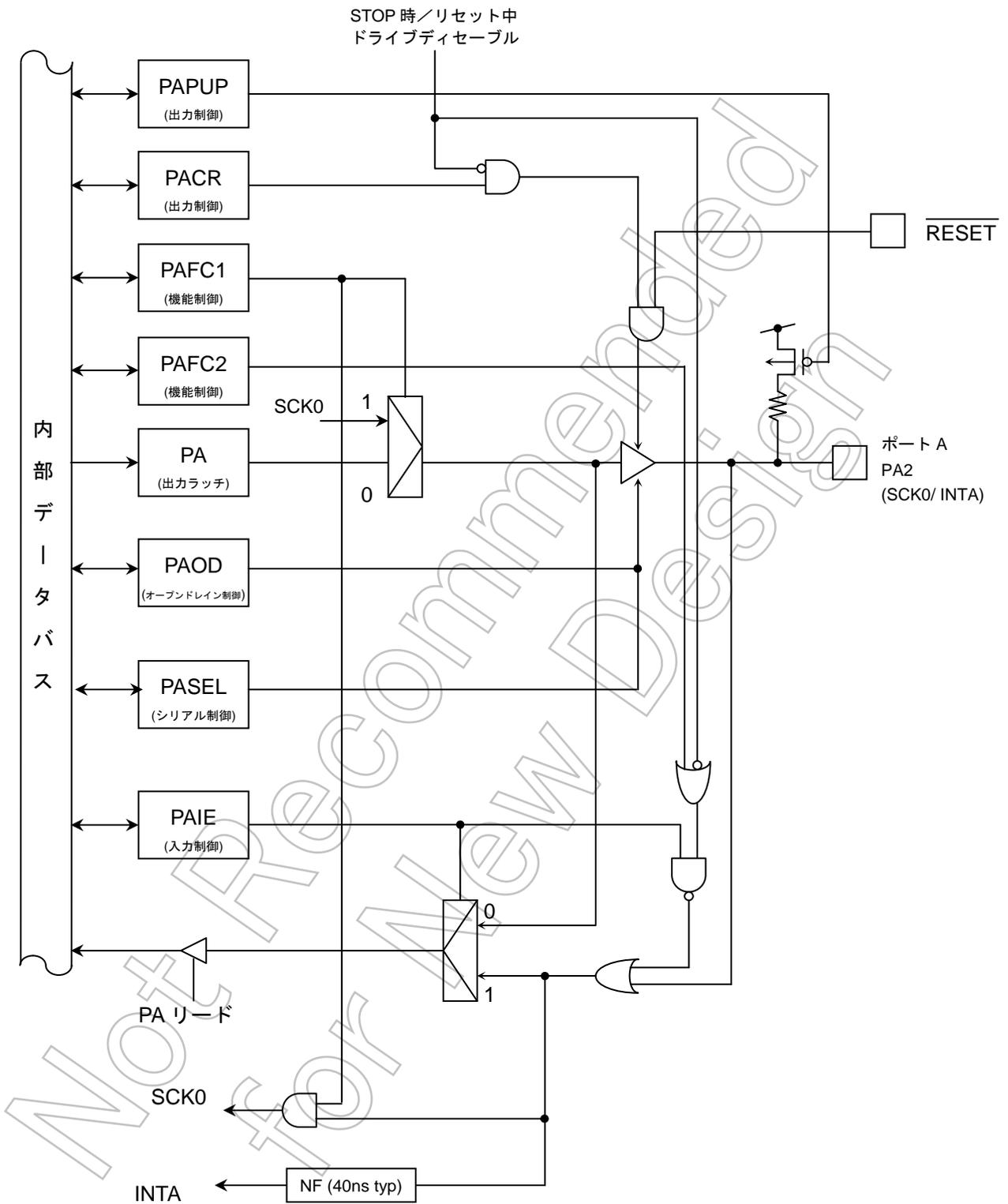


図 7-27 ポート A (PA2)

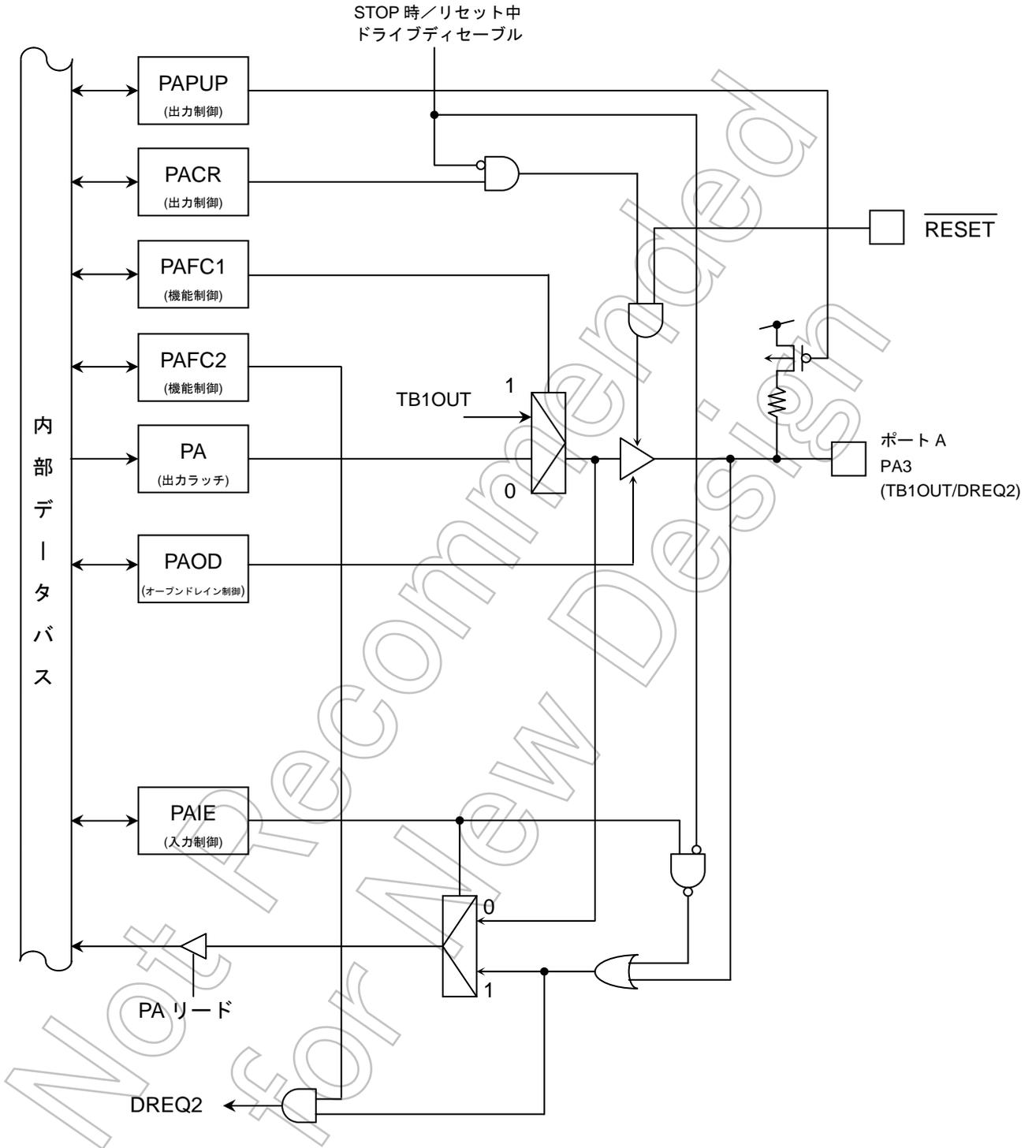


図 7-28 ポート A (PA3)

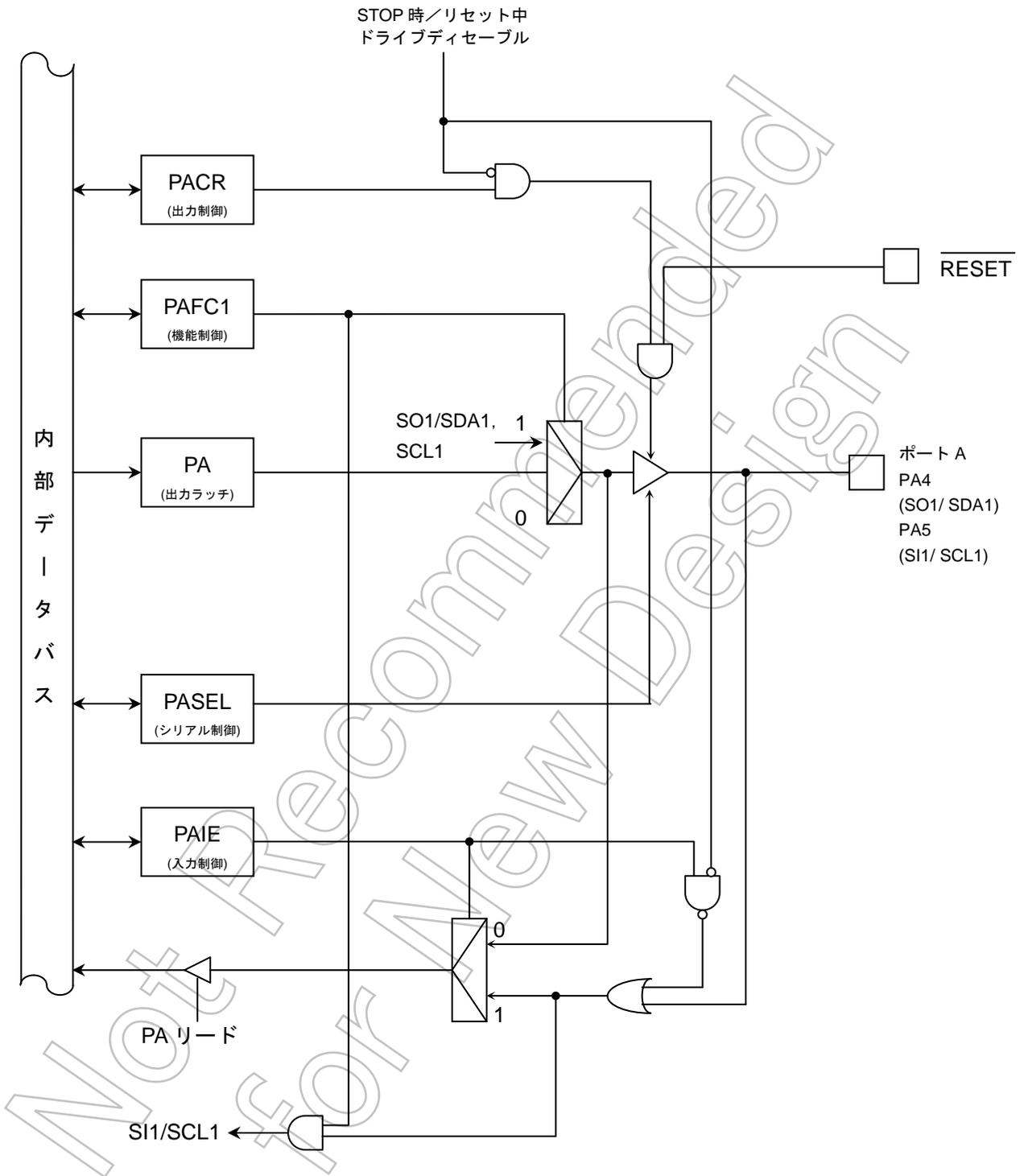


図 7-29 ポート A (PA4, 5)

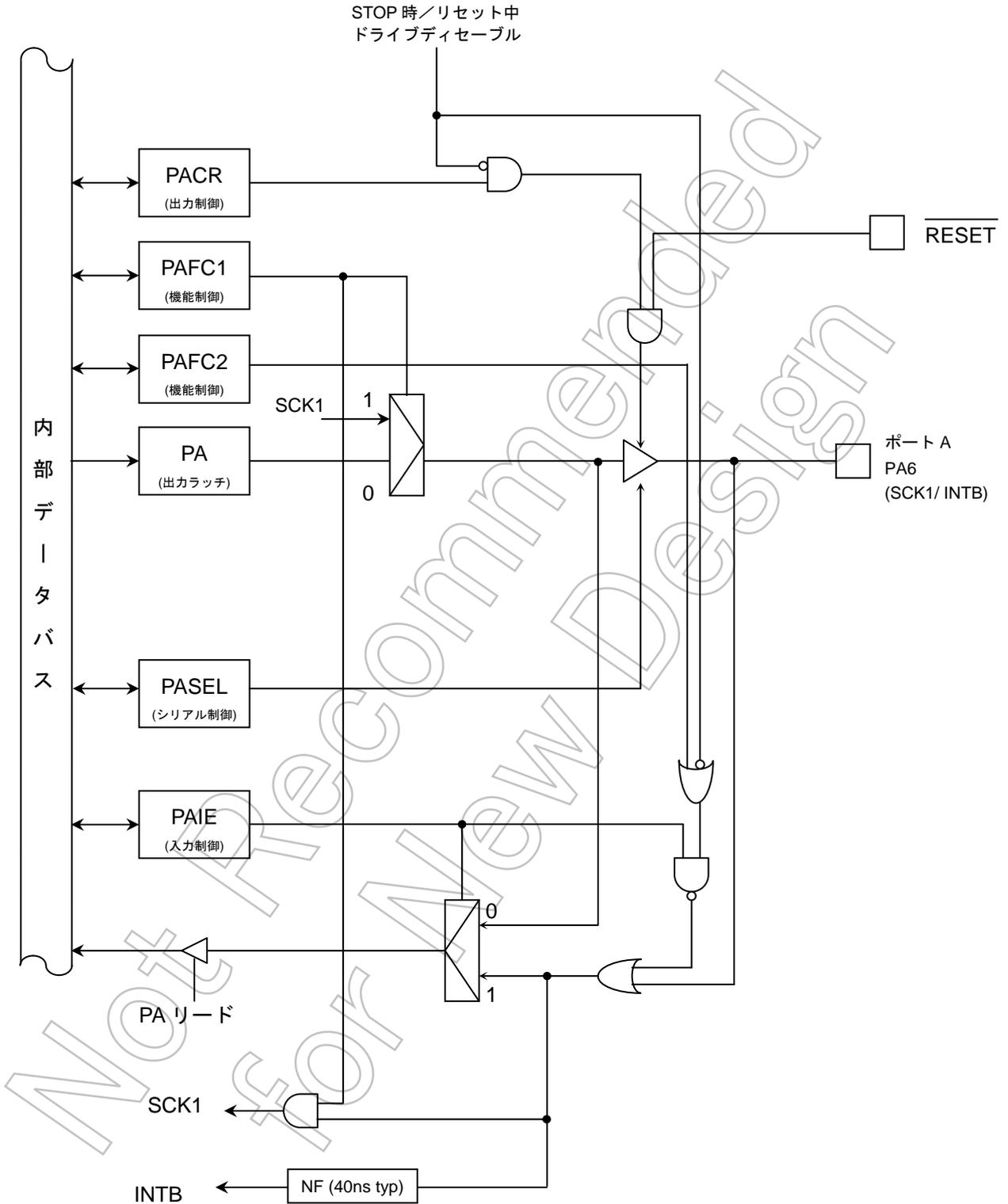


図 7-30 ポート A (PA6)

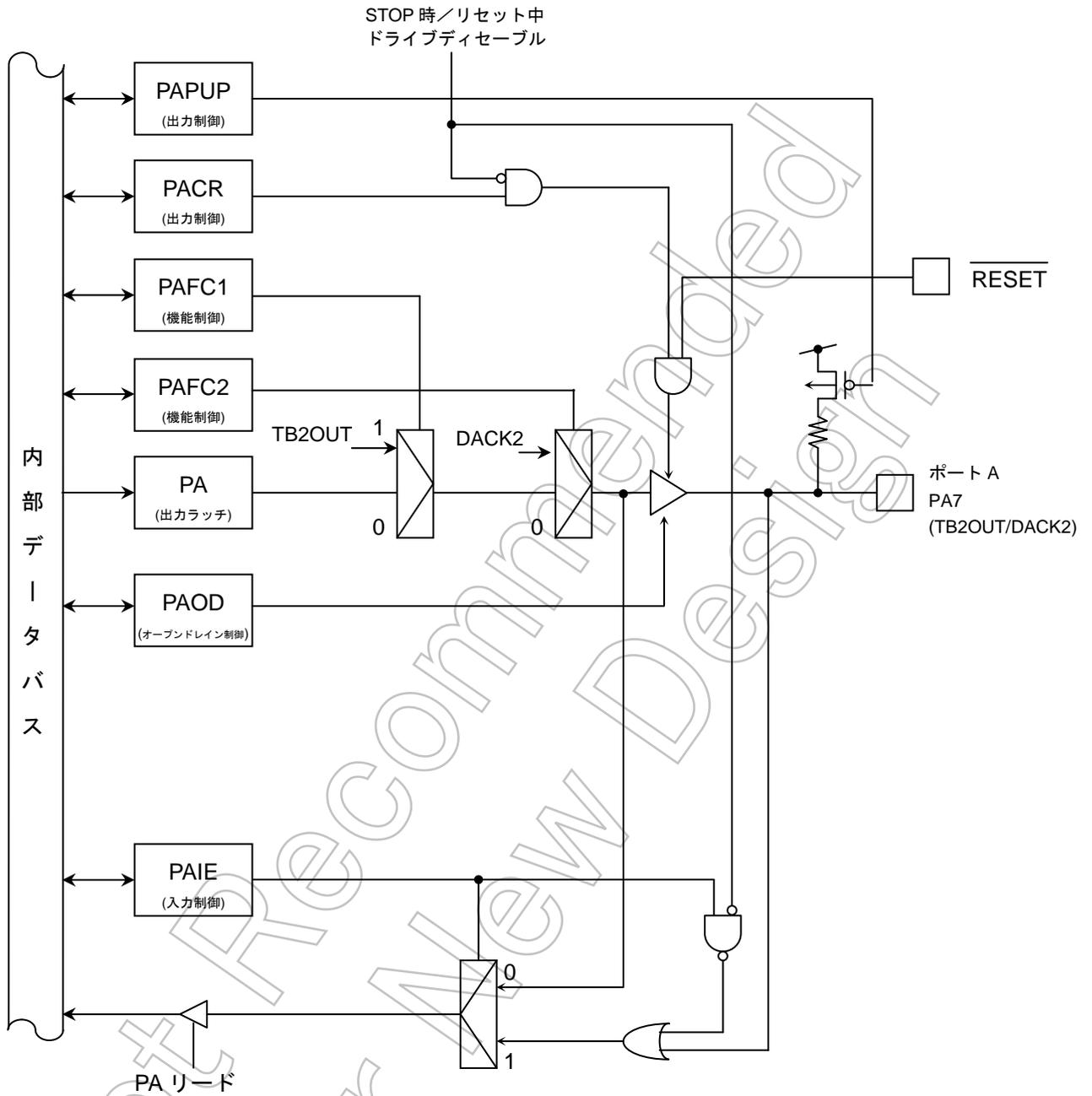


図 7-31 ポート A (PA7)

ポート A レジスタ

		7	6	5	4	3	2	1	0
PA (0xFFFF_F0A0)	Bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "1" に set)							

ポート A コントロールレジスタ

		7	6	5	4	3	2	1	0
PACR (0xFFFF_F0A1)	Bit Symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	0: 出力ディゼ이블 1: 出力イネーブル								

ポート A ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PAFC1 (0xFFFF_F0A2)	Bit Symbol	PA7F1	PA6F1	PA5F1	PA4F1	PA3F1	PA2F1	PA1F1	PA0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:TB2OUT	0:PORT 1:SCK1	0:PORT 1:SCL1	0:PORT 1:SDA1	0:PORT 1:TB1OUT	0:PORT 1:SCK0	0:PORT 1:SCL0	0:PORT 1:SDA0	

ポート A ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PAFC2 (0xFFFF_F0A3)	Bit Symbol	PA7F2	PA6F2			PA3F2	PA2F2	PA1F2	PA0F2
	Read/Write	R/W		R		R/W			
	リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:DACK2	0:PORT 1:INTB	リードすると"0"が読めます		0:PORT 1:DREQ2	0:PORT 1:INTA	0:PORT 1:TB7OUT	0:PORT 1:TB6OUT	

ポート A オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PAOD (0xFFFF_F0AA)	Bit Symbol					PA2ODE	PA1ODE	PA0ODE	
	Read/Write	R	R			R	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます	(注) リードすると"0"が読めますが、Bit 6~4 を出力として使用する場合はオープンドレイン出力となります。よって、"H" 出力する場合は、端子外部にてプルアップ抵抗が必要となります。			リードすると"0"が読めます	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	

ポート A プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PAPUP (0xFFFF_F0AB)	Bit Symbol	PEA7				PEA3	PEA2	PEA1	PEA0
	Read/Write	R/W	R			R/W			
	リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:プルアップ	(注) リードすると"0"が読めますが、Bit 6~4 を出力として使用する場合はオープンドレイン出力となります。よって、"H" 出力する場合は、端子外部にてプルアップ抵抗が必要となります。			プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	

ポート A シリアル設定レジスタ

		7	6	5	4	3	2	1	0
PASEL (0xFFFF_F0AD)	Bit Symbol		PSELA6	PSELA5	PSELA4		PSELA2	PSELA1	PSELA0
	Read/Write	R	R/W			R	R/W		
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	0:PORT 1:シリアル	0:PORT 1:シリアル	0:PORT 1:シリアル	リードすると"0"が読めます	0:PORT 1:シリアル	0:PORT 1:シリアル	0:PORT 1:シリアル

ポート A 入力イネーブル制御レジスタ

		7	6	5	4	3	2	1	0
PAIE (0xFFFF_F0AE)	Bit Symbol	PIEA7	PIEA6	PIEA5	PIEA4	PIEA3	PIEA2	PIEA1	PIEA0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.13 ポートB (PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PBCR とファンクションレジスタ PBFC1~PBFC3 によって行います。リセット動作により出力ラッチ PB の全ビットは “1” にセットされ、また、PBCR と PBFC1~PBFC3 の全ビットは “0” にクリアされ、ポート B は出力ディゼーブルになります。

入出力ポート機能以外に PB0, PB4 は HSIO/SIO のデータ出力、PB1, PB5 は HSIO/SIO のデータ入力、PB2, PB6 は HSIO/SIO の HCLK/CLK 入出力または HCTS/CTS 入力、PB3, PB6 には外部割込み機能、PB3, PB4 には 16bit キャプチャ入力機能、PB7 に 16 ビットタイマ出力機能があります。

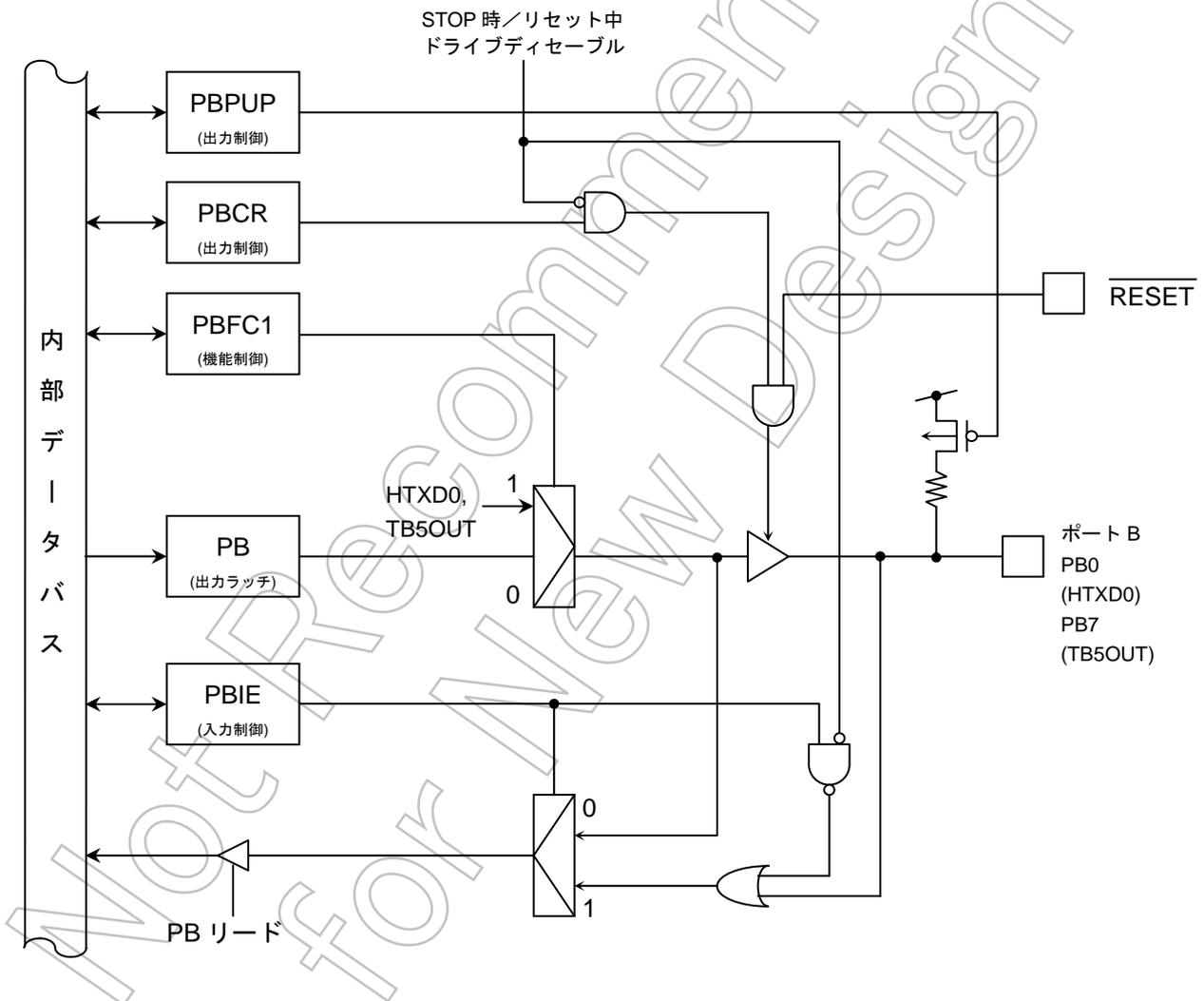


図 7-32 ポート B (PB0, PB7)

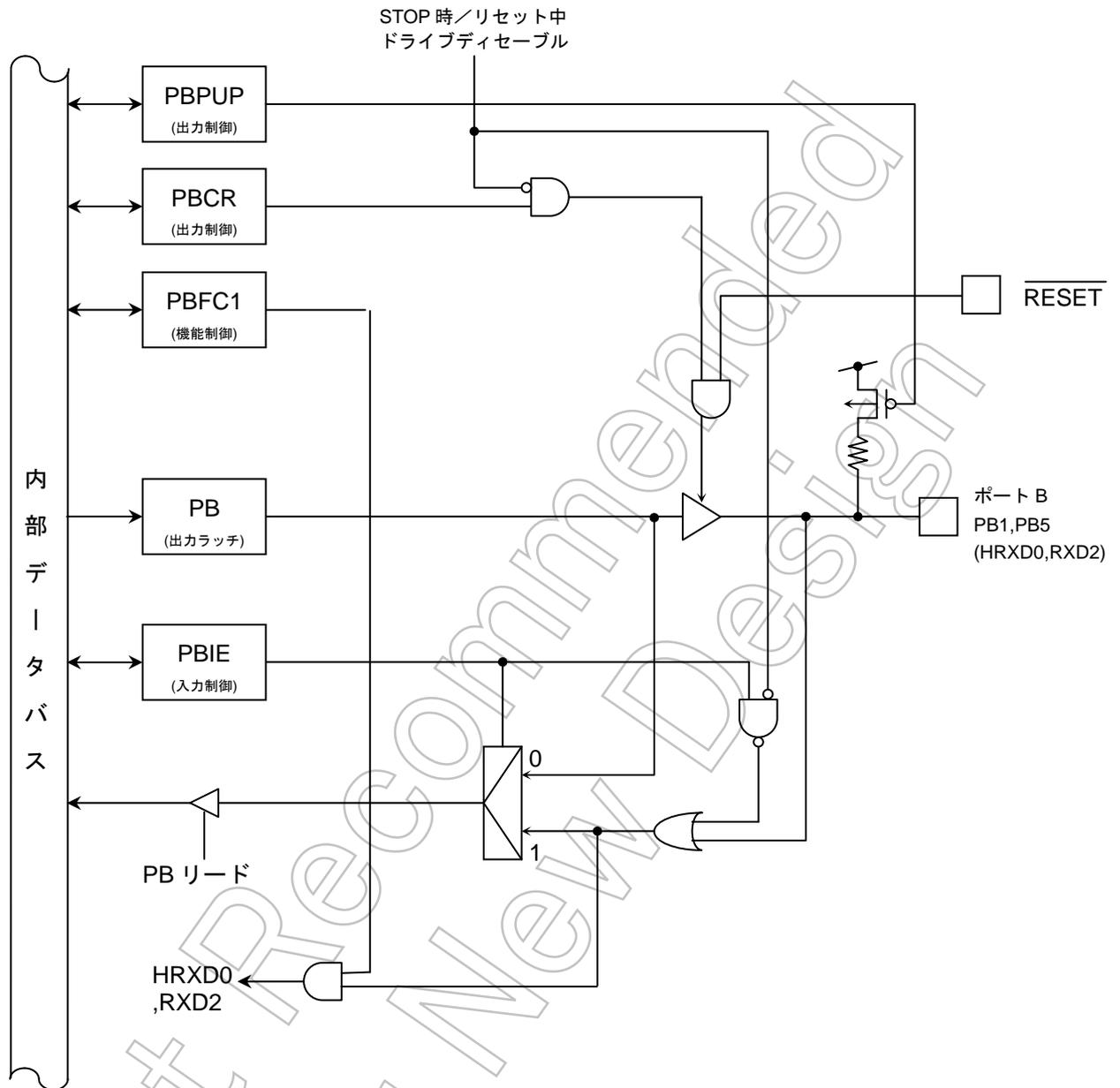


図 7-33 ポート B (PB1, PB5)

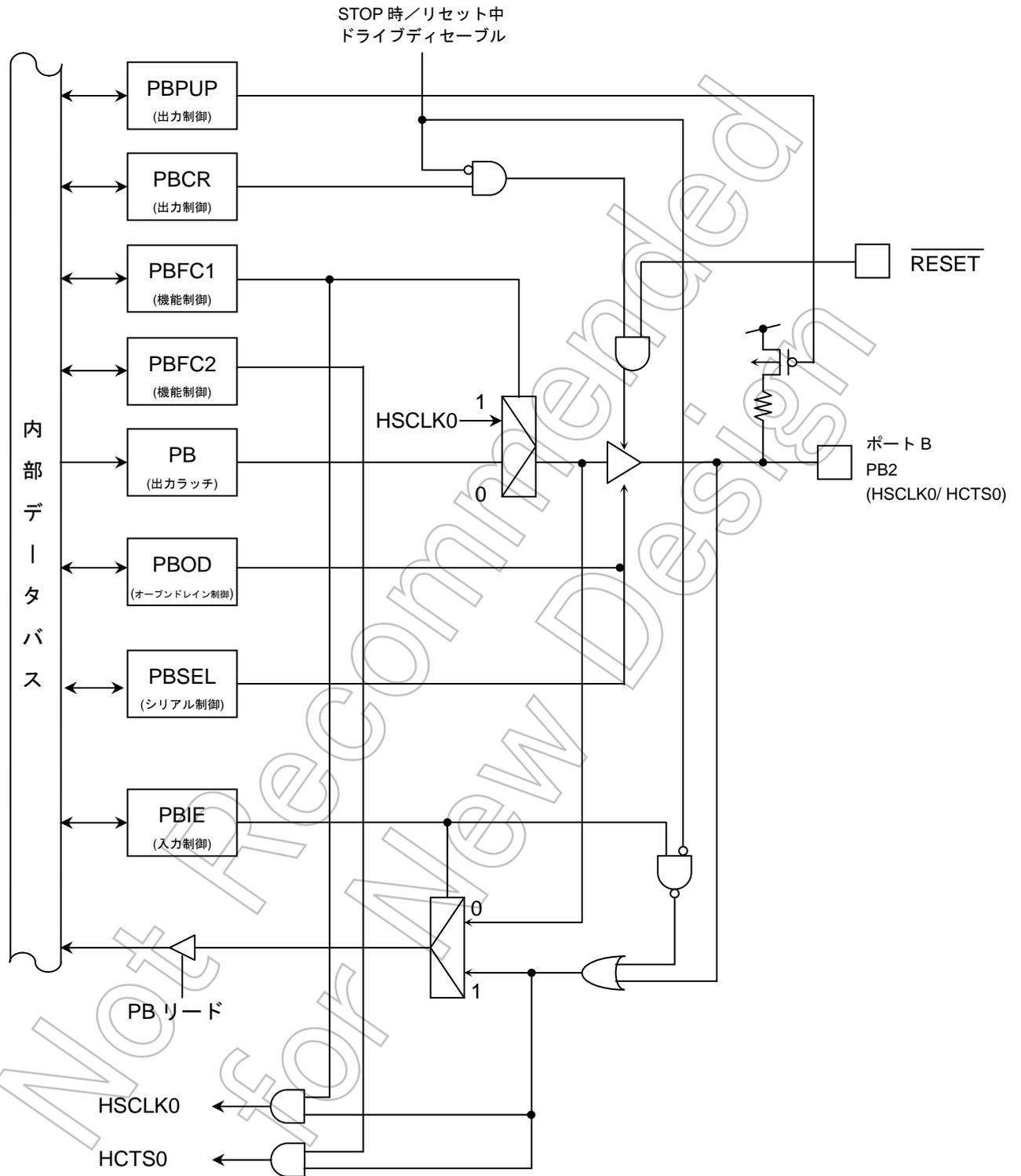


図 7-34 ポート B (PB2)

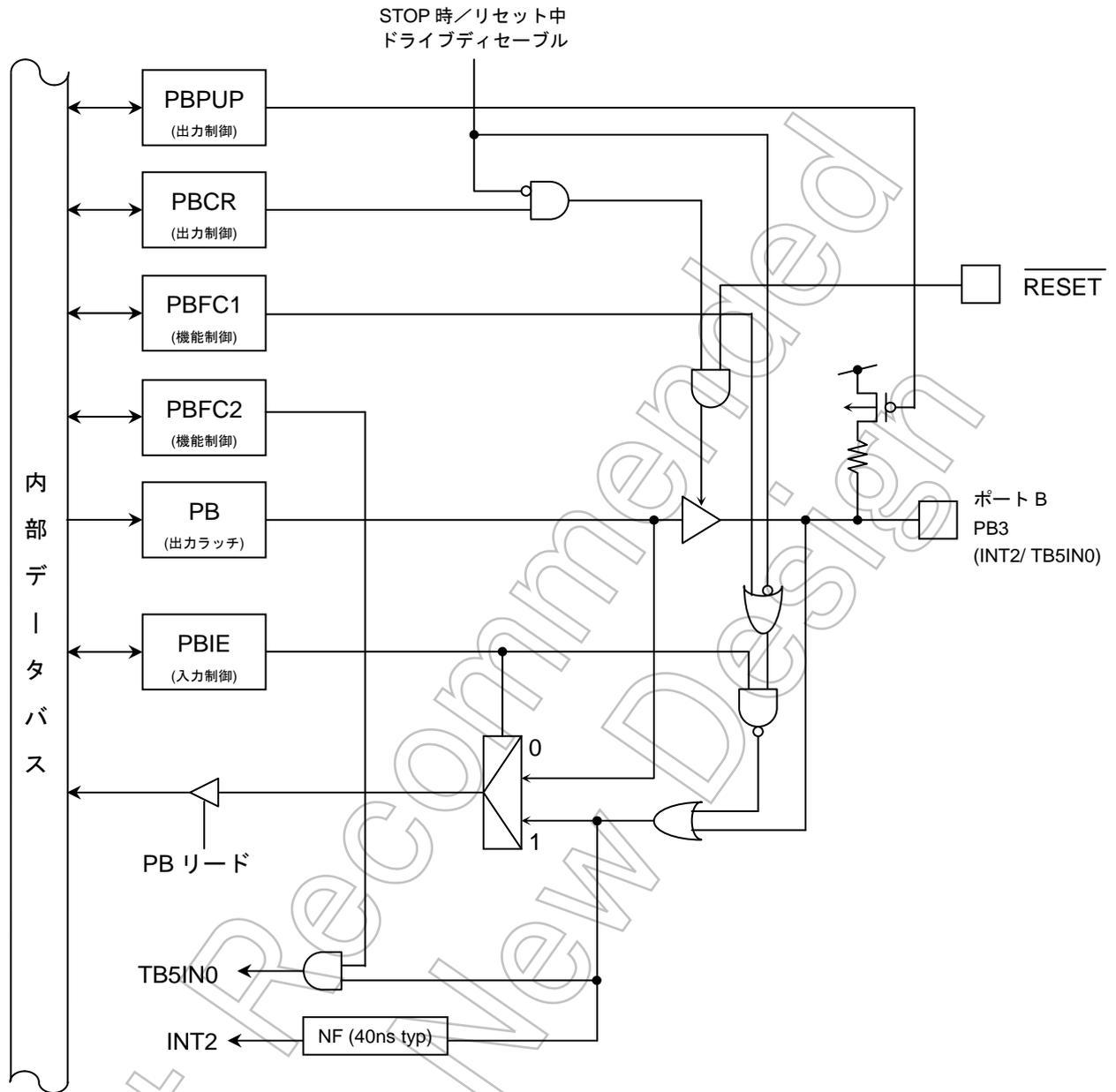


図 7-35 ポート B (PB3)

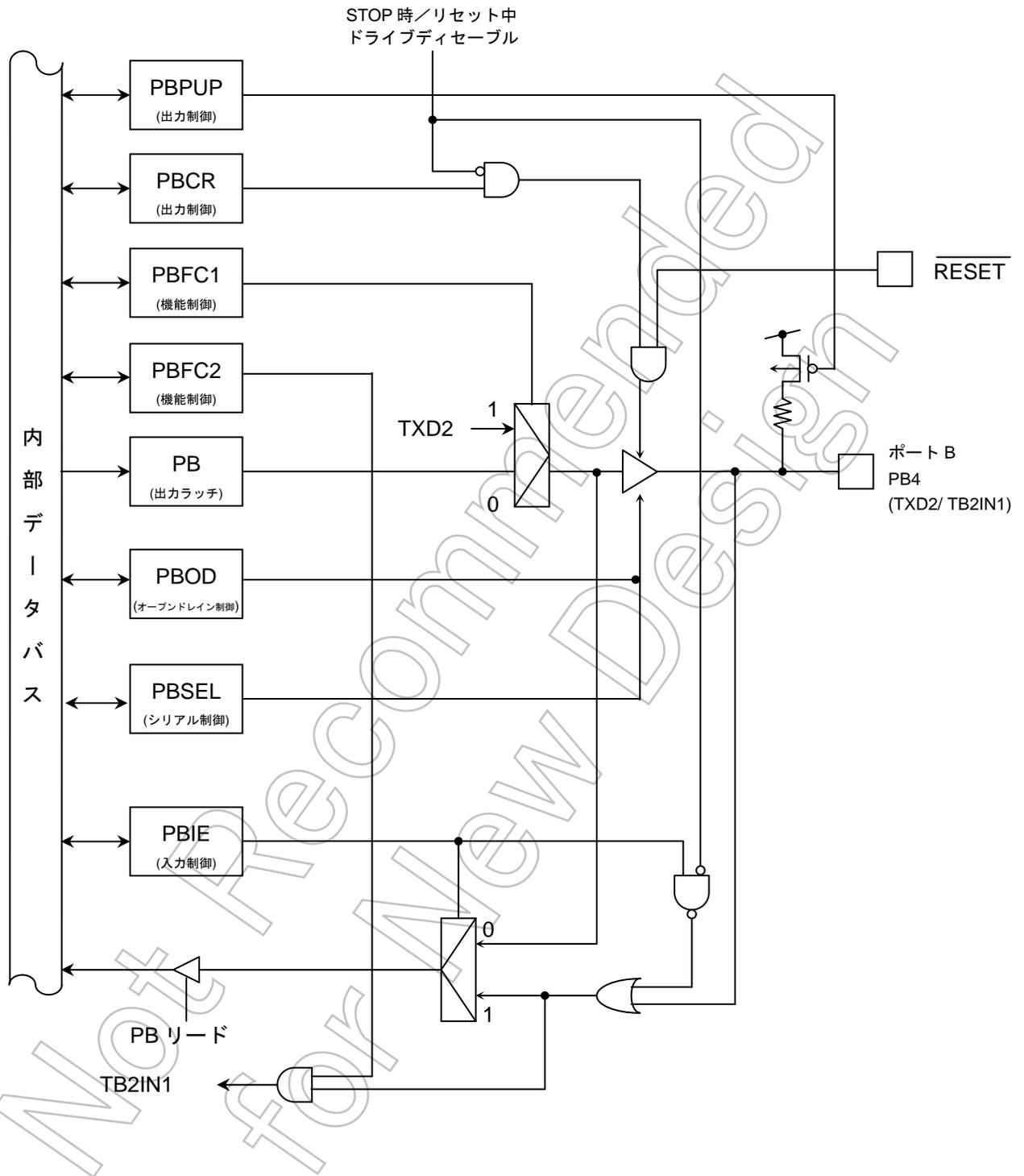


図 7-36 ポート B (PB4)

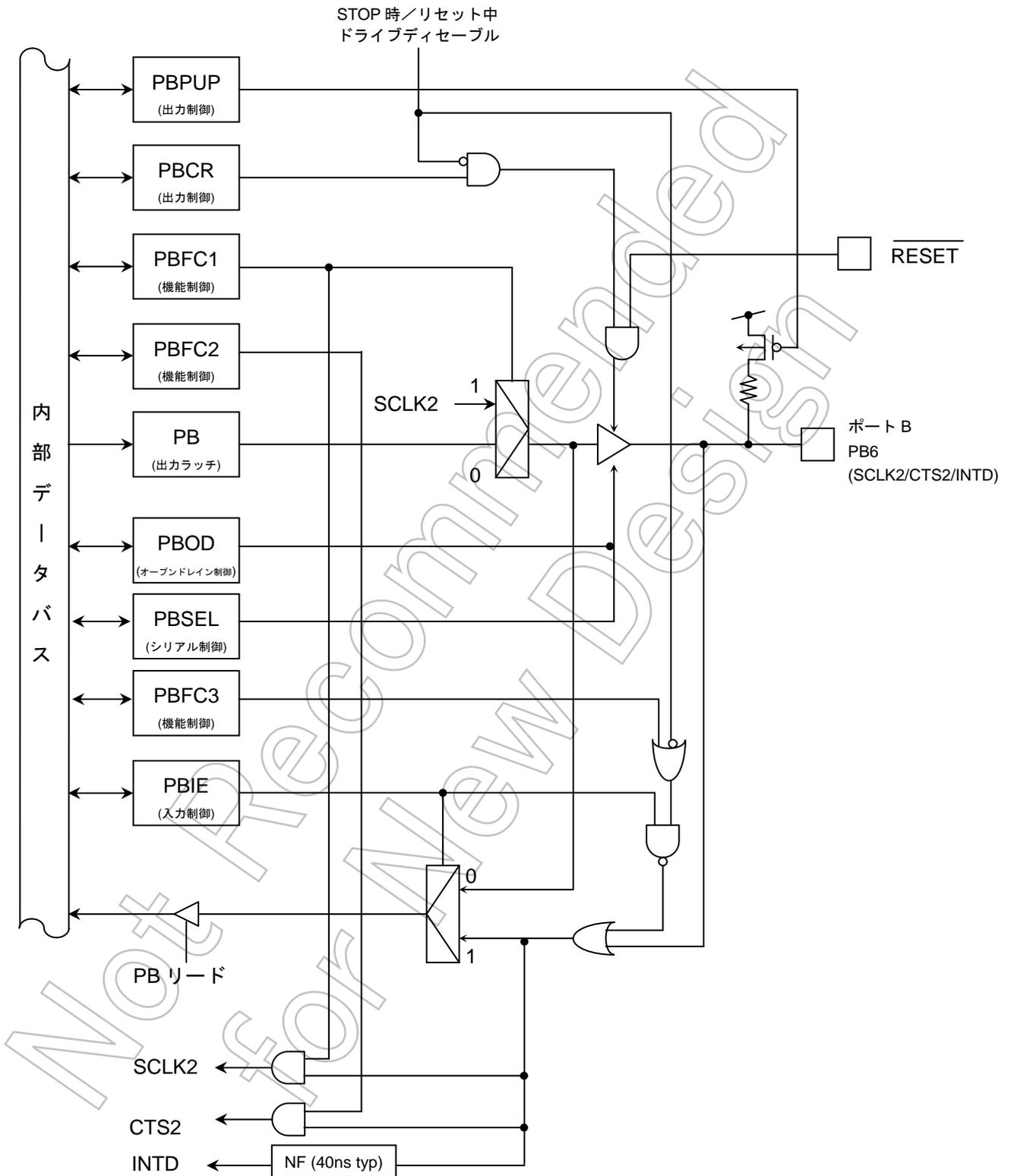


図 7-37 ポート B (PB6)

ポート B レジスタ

		7	6	5	4	3	2	1	0
PB (0xFFFF_F0B0)	Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート B コントロールレジスタ

		7	6	5	4	3	2	1	0
PBCR (0xFFFF_F0B1)	Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	0: 出力ディゼーブル 1: 出力イネーブル								

ポート B ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PBFC1 (0xFFFF_F0B2)	Bit Symbol	PB7F1	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:TB5OUT	0:PORT 1:SCLK2	0:PORT 1:RXD2	0:PORT 1:TXD2	0:PORT 1:INT2	0:PORT 1:HCLK	0:PORT 1:HRXD	0:PORT 1:HTXD	

ポート B ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PBFC2 (0xFFFF_F0B3)	Bit Symbol		PB6F2		PB4F2	PB3F2	PB2F2		
	Read/Write	R	R/W	R	R/W			R	
	リセット後	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます	0:PORT 1:CTS2	リードすると“0”が読めます	0:PORT 1:TB5IN1	0:PORT 1:TB5IN0	0:PORT 1:HCTS	リードすると“0”が読めます		

ポート B ファンクションレジスタ 3

		7	6	5	4	3	2	1	0
PBFC3 (0xFFFF_F0B4)	Bit Symbol		PB6F3						
	Read/Write	R	R/W	R					
	リセット後	0	0	0					
機能	リードすると“0”が読めます	0:PORT 1:INTD	リードすると“0”が読めます						

ポート B オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PBODE (0xFFFF_F0BA)	Bit Symbol		PB6ODE		PB4ODE		PB2ODE		PB0ODE
	Read/Write	R	R/W	R	R/W	R	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	

ポート B プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PBPUP (0xFFFF_F0BB)	Bit Symbol	PEB7	PEB6	PEB5	PEB4	PEB3	PEB2	PEB1	PEB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:プルアップ							

ポート B シリアル設定レジスタ

		7	6	5	4	3	2	1	0
PBSEL (0xFFFF_F0BD)	Bit Symbol	PSELB7	PSELB6		PSELB4		PSELB2		PSELB0
	Read/Write	R/W		R	R/W	R	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:シリアル	0:PORT 1:シリアル	リードする と"0"が読 めます	0:PORT 1:シリアル	リードする と"0"が読 めます	0:PORT 1:シリアル	リードする と"0"が読 めます	0:PORT 1:シリアル

ポート B 入力インエーブル制御レジスタ

		7	6	5	4	3	2	1	0
PBIE (0xFFFF_F0BE)	Bit Symbol	PIEB7	PIEB6	PIEB5	PIEB4	PIEB3	PIEB2	PIEB1	PIEB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.14 ポートC(PC0~PC3)

ポートCはビット単位で入出力の指定ができる4ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PCCR とファンクションレジスタ PCFC1, PCFC2 によって行います。リセット動作により出力ラッチ PC の全ビットは“1”にセットされ、また、PCCR と PCFC1, PCFC2 の全ビットは“0”にクリアされ、ポートCは出力ディゼーブルになります。

入力ポート機能以外に PC0 に AD トリガ機能、PC0, PC1 には 16 ビットタイマ出力機能、PC2, PC3 外部割込み入力機能、があります。

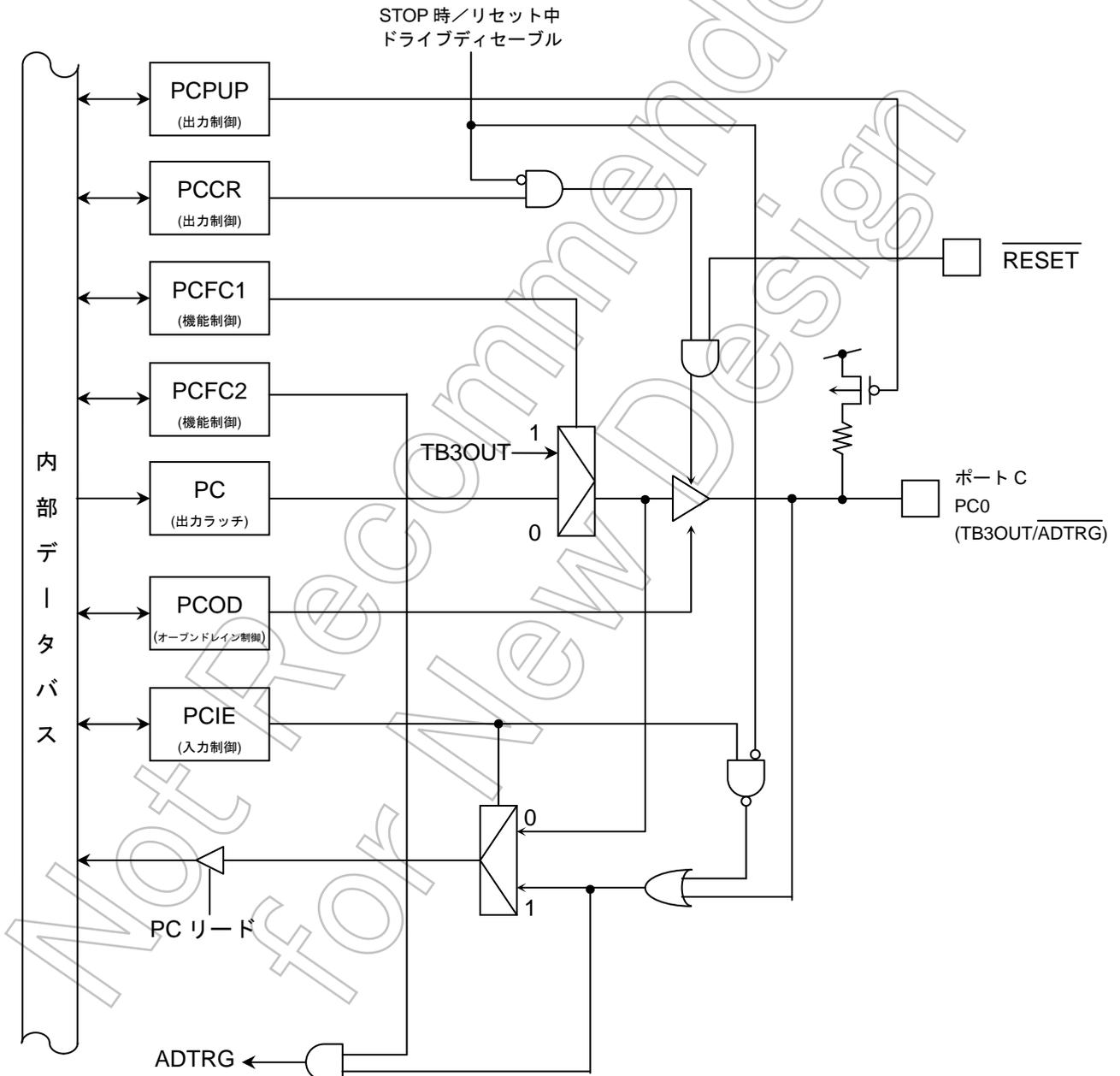


図 7-38 ポートC(PC0)

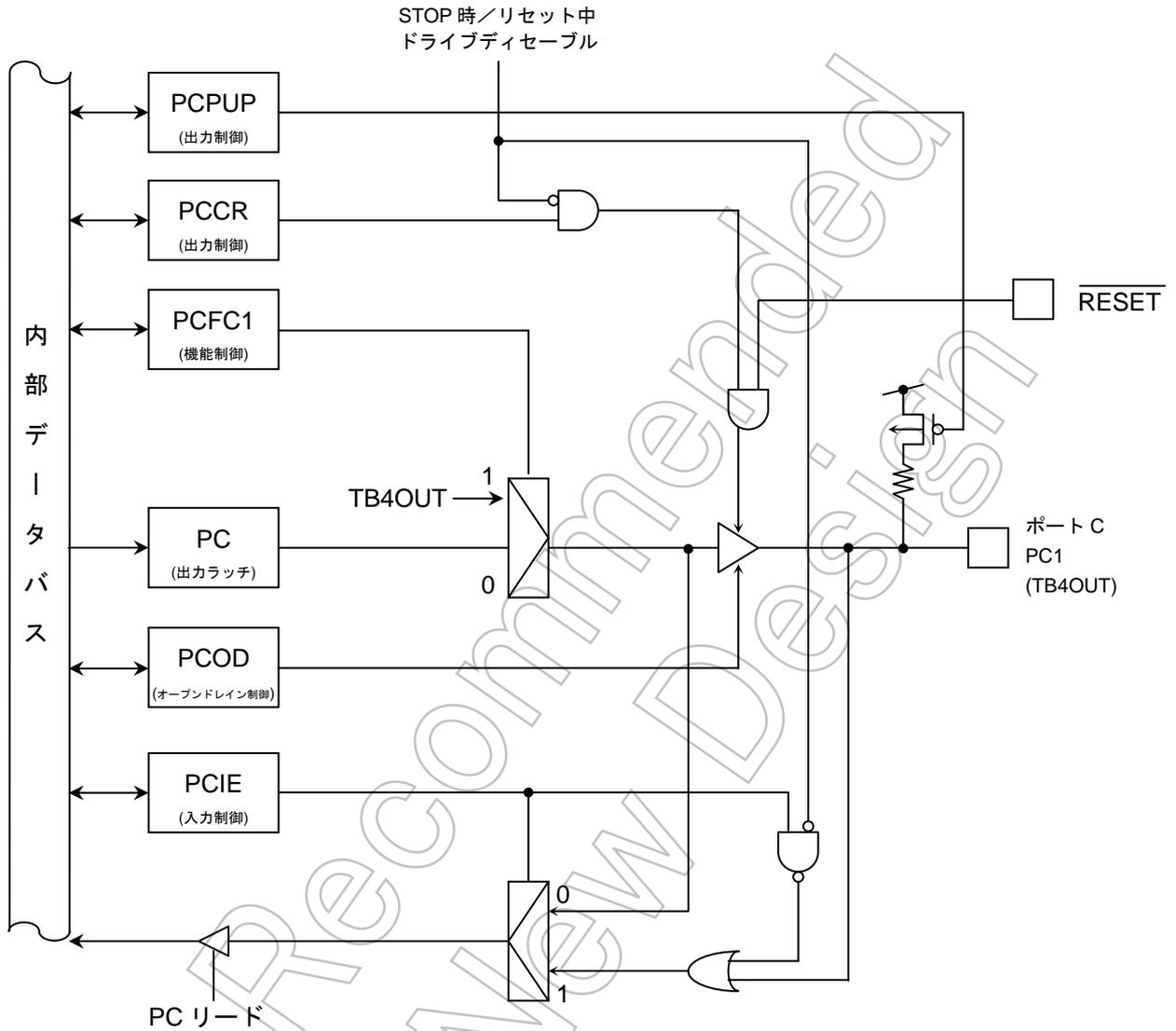


図 7-39 ポート C(PC1)

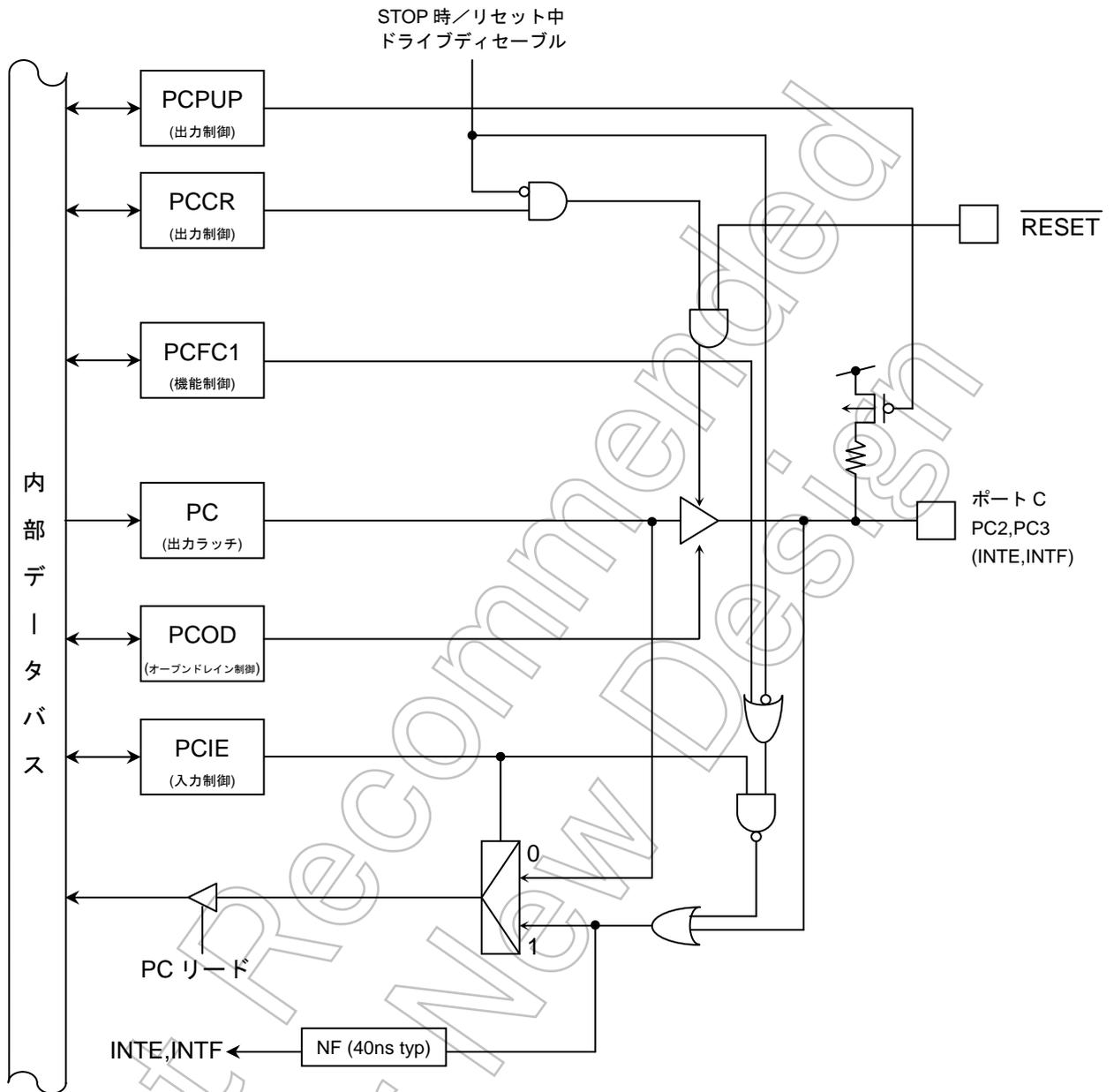


図 7-40 ポート C (PC2, PC3)

※上記図はデバッグ機能に関しては表記してありません

ポート C レジスタ

		7	6	5	4	3	2	1	0
PC (0xFFFF_F0C0)	Bit Symbol					PC3	PC2	PC1	PC0
	Read/Write	R				R/W			
	リセット後	リードすると"0"が読めます				入力モード (出力ラッチレジスタは "1" に Set)			
	機能								

ポート C コントロールレジスタ

		7	6	5	4	3	2	1	0
PCCR (0xFFFF_F0C1)	Bit Symbol					PC3C	PC2C	PC1C	PC0C
	Read/Write	R				R/W			
	リセット後	0				0	0	0	0
	機能	リードすると"0"が読めます				0: 出力ディゼーブル 1: 出力イネーブル			

ポート C ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PCFC1 (0xFFFF_F0C2)	Bit Symbol					PC3F1	PC2F1	PC1F1	PC0F1
	Read/Write	R				R/W			
	リセット後	0				0	0	0	0
	機能	リードすると"0"が読めます				0:PORT 1:INTF	0:PORT 1:INTE	0:PORT 1:TB4OUT	0:PORT 1:TB3OUT

ポート C ファンクションレジスタ 2

		7	6	5	4	3	2	1	0	
PCFC2 (0xFFFF_F0C3)	Bit Symbol									PC0F2
	Read/Write	R								R/W
	リセット後	0								0
	機能	リードすると"0"が読めます								0:PORT 1:ADTRG

ポート C オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PCODE (0xFFFF_F0CA)	Bit Symbol					PC3ODE	PC2ODE	PC1ODE	PC0ODE
	Read/Write	R				R/W	R/W	R/W	R/W
	リセット後	0				0	0	0	0
	機能	リードすると"0"が読めます				0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポート C プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PCPUP (0xFFFF_F0CB)	Bit Symbol					PEC3	PEC2	PEC1	PEC0
	Read/Write	R				R/W			
	リセット後	0				0	0	0	0
	機能	リードすると"0"が読めます				プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ	プルアップ 0:オフ 1:プルアップ

ポート C 入力インエーブル制御レジスタ

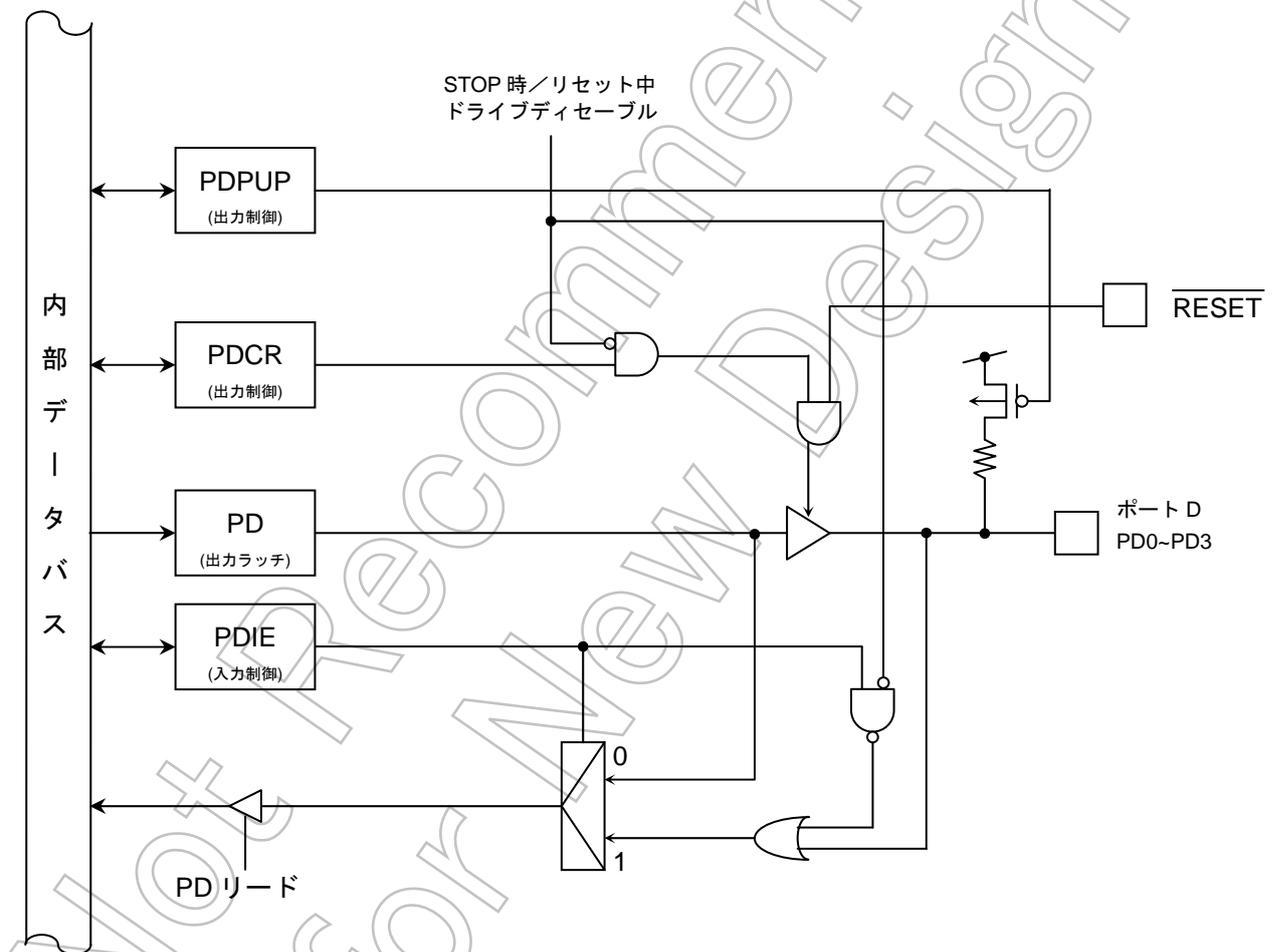
		7	6	5	4	3	2	1	0
PCIE (0xFFFF_F0CE)	Bit Symbol					PIEC3	PIEC2	PIEC1	PIEC0
	Read/Write	R				R/W			
	リセット後	0				0	0	0	0
	機能	リードすると"0"が読めます				入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

Not Recommended for New Design

7.15 ポートD(PD0~P7) (FBGA版には有りません。)

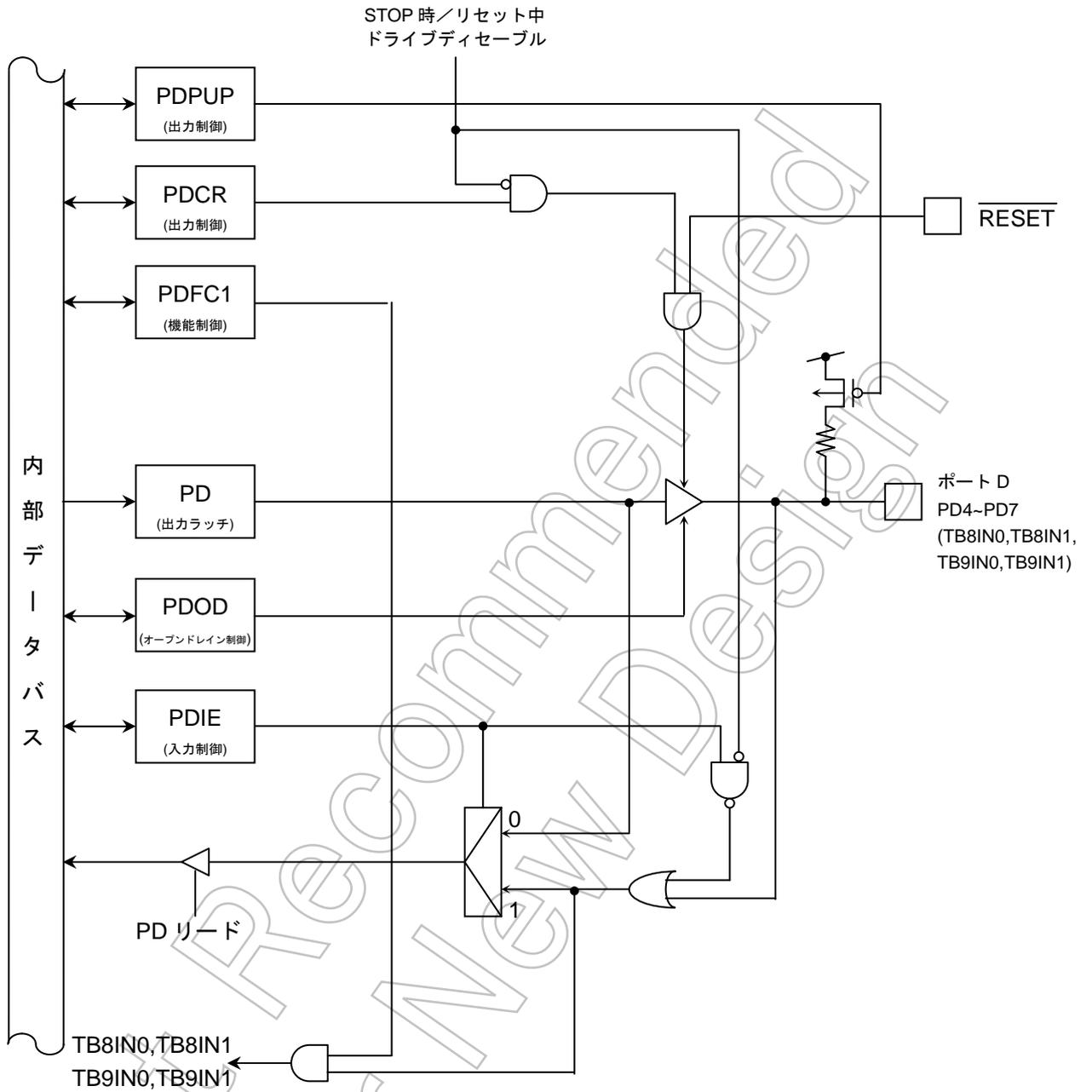
ポートDはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PDCR とファンクションレジスタ PDFC1 によって行います。リセット動作により出力ラッチ PD の全ビットは“1”にセットされ、また、PDCR と PDFC1 の全ビットは“0”にクリアされ、ポートDは出力ディゼーブルになります。

入出力ポート機能以外に PD4~PD7 において 16 ビットタイマキャプチャ機能があります。



※上記図はデバッグ機能に関しては表記していません

図 7-41 ポート D(PD0~PD3)



※上記図はデバッグ機能に関しては表記していません

図 7-42 ポート D (PD4~PD7)

ポートDレジスタ

	7	6	5	4	3	2	1	0	
PD (0xFFFF_F0E0)	Bit Symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは“1”に Set)							

ポートDコントロールレジスタ

	7	6	5	4	3	2	1	0	
PDCR (0xFFFF_F0E1)	Bit Symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0 : 出カディゼーブル 1 : 出カイネーブル							

ポートDファンクションレジスタ1

	7	6	5	4	3	2	1	0	
PDFC1 (0xFFFF_F0E2)	Bit Symbol	PD7F1	PD6F1	PD5F1	PD4F1				
	Read/Write	R/W				R			
	リセット後	0	0	0	0	0			
	機能	0:PORT 1:TB9IN1	0:PORT 1:TB9IN0	0:PORT 1:TB8IN1	0:PORT 1:TB8IN0	リードすると“0”が読めます			

ポートD プルアップ制御レジスタ

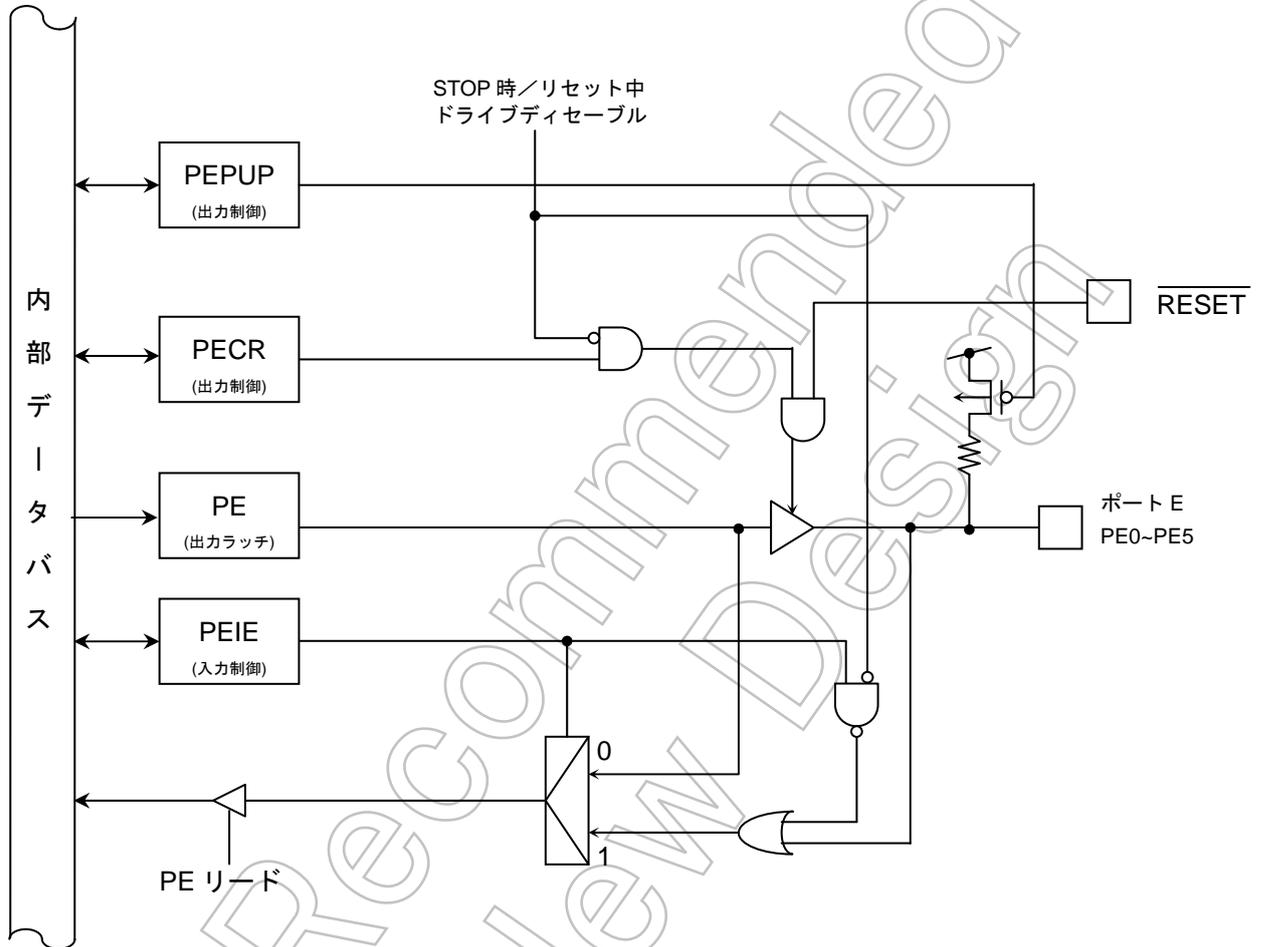
	7	6	5	4	3	2	1	0	
PDPUP (0xFFFF_F0EB)	Bit Symbol	PED7	PED6	PED5	PED4	PED3	PED2	PED1	PED0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:プルアップ							

ポートD 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PDIE (0xFFFF_F0EE)	Bit Symbol	PIED7	PIED6	PIED5	PIED4	PIED3	PIED2	PIED1	PIED0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.16 ポートE (PE0~PE5)

ポートEはビット単位で入出力の指定ができる5ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PE CR によって行います。リセット動作により出力ラッチ PE の全ビットは“1”にセットされ、また、PE CR の全ビットは“0”にクリアされ、ポートEは出力ディゼーブルになります。



※上記図はデバッグ機能に関しては表記しておりません

図 7-43 ポート E (PE0~PE5)

ポート E レジスタ

	7	6	5	4	3	2	1	0
PE (0xFFFF_F0E0)	Bit Symbol		PE5	PE4	PE3	PE2	PE1	PE0
	Read/Write		R		R/W			
	リセット後		0		入力モード (出カラッチレジスタは "1" に Set)			

ポート E コントロールレジスタ

	7	6	5	4	3	2	1	0
PECR (0xFFFF_F0E1)	Bit Symbol		PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
	Read/Write		R		R/W			
	リセット後		0		0	0	0	0
	機能		リードすると "0" が読めます		0: 出力ディゼーブル 1: 出力イネーブル			

ポート E プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
PEPUP (0xFFFF_F0EB)	Bit Symbol		PEE5	PEE4	PEE3	PEE2	PEE1	PEE0
	Read/Write		R		R/W			
	リセット後		0		0	0	0	0
	機能		リードすると "0" が読めます		プルアップ 0: オフ 1: プルアップ	プルアップ 0: オフ 1: プルアップ	プルアップ 0: オフ 1: プルアップ	プルアップ 0: オフ 1: プルアップ

ポート E 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0
PEIE (0xFFFF_F0EE)	Bit Symbol		PIEE5	PIEE4	PIEE3	PIEE2	PIEE1	PIEE0
	Read/Write		R		R/W			
	リセット後		0		0	0	0	0
	機能		リードすると "0" が読めます		入力 0: 禁止 1: 許可	入力 0: 禁止 1: 許可	入力 0: 禁止 1: 許可	入力 0: 禁止 1: 許可

8. 外部バスインターフェース

TMP19A23 は、外部にメモリや I/Oなどを接続するための外部バスインターフェース機能を内蔵しています。外部バスインターフェース回路 (EBIF) と CS (チップセレクト)/ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 4 ブロックアドレス空間のマッピングアドレスの指定と、この 4 ブロックアドレス空間およびそれ以外の外部アドレス空間に対して、ウェイトおよびデータバス幅 (8 ビットか 16 ビット) を制御します。

外部バスインターフェース回路 (EBIF) は、CS/ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。ダイナミックバスサイジングや外部バスマスタとの間のバス裁停も EBIF が制御します。

●外部バスモード

アドレス、データセパレートバスモードまたはマルチプレクスモードの選択が可能

●ウェイト機能

各ブロックにて設定可能

- 最大 7 クロックまでのウェイトを自動挿入可能
- $\overline{\text{WAIT}}/\overline{\text{RDY}}$ 端子によるウェイト挿入可能

●データバス幅

各ブロックにて 8 ビットか 16 ビットを設定可能

●リカバリサイクル (リード時/ライト時)

外部バスサイクルが連続するとき最大 2 クロックまでのダミーサイクルを挿入可能
各ブロックにて設定可能

●リカバリサイクル (チップセレクト)

外部バスをセレクトしているときに最大 3 クロックのダミーサイクルを挿入可能
各ブロックにて設定可能

●バス裁定機能

8.1 アドレス、データ端子

(1) アドレス、データ端子の設定

TMP19A23 はセパレートバスまたはマルチプレクスバスの設定が可能です。リセット時に BUSMD (P44) 端子を”L” レベルにすることでセパレートバスモードに、”H” レベルにすることで、マルチプレクスバスモードになります。外部デバイス（メモリ）接続のためにポート0、ポート1、ポート2、ポート5、ポート6 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 8-1 に示します。

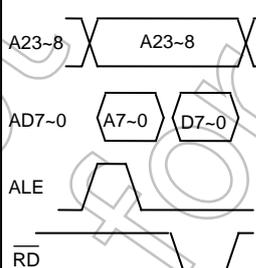
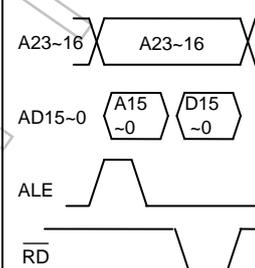
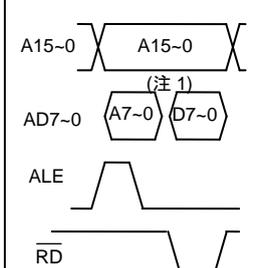
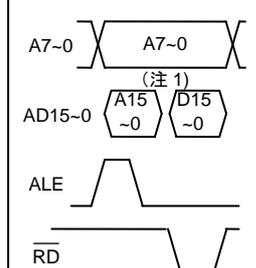
表 8-1 バスモードとアドレス、データ端子の関係

	セパレート BUSMD="L"	マルチプレクス BUSMD="H"
ポート0 (P00~P07)	D0~D7	AD0~AD7
ポート1 (P10~P17)	D8~D15	AD8~AD15/A8~A15
ポート2 (P20~P27)	A16~A23	A0~A7/A16~A23
ポート5 (P50~P57)	A0~A7	汎用ポート
ポート6 (P60~P67)	A8~A15	汎用ポート
ポート37 (P37)	汎用ポート	ALE

各ポートはリセット後、入力ポートとなっています。外部デバイスにアクセスする場合には、ポートコントロールレジスタ (PnCR)、ポートファンクションレジスタ (PnFC) によりアドレスバス、データバスの機能に設定し、インプットイネーブルレジスタ (PnIE) を設定して下さい。

マルチプレクスモード時には、ポートレジスタ (PnCR、PnFCx) の設定により表 8-2 のように4通りの選択ができます。

表 8-2 マルチプレクスモード時のアドレス、データ端子の関係

	①	②	③	④
アドレスバス本数	max. 24 (~16MB)	max. 24 (~16MB)	max. 16 (~64KB)	max. 8 (~256B)
データバス本数	8	16	8	16
アドレス、データマルチプレクス本数	8	16	0	0
ポート機能	ポート 0	AD0~AD7	AD0~AD7	AD0~AD7
	ポート 1	A8~A15	AD8~AD15	AD8~AD15
	ポート 2	A16~A23	A16~A23	A0~A7
タイミング図				

(注 1)：③、④の場合でもデータバス端子はアドレスバスと兼用となるためアドレスが出力されます。

(注 2)：ポート 0~2 はリセット後、入力ポートとなっておりアドレス、データバス端子ではありません。

(注 3)：P1CR、P1FC、P2CR、P2FC レジスタの設定により①~④のどれでも選択できます。

(2) 内部領域アクセス時のアドレス HOLD

内部領域アクセス時は、アドレスバスは以前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

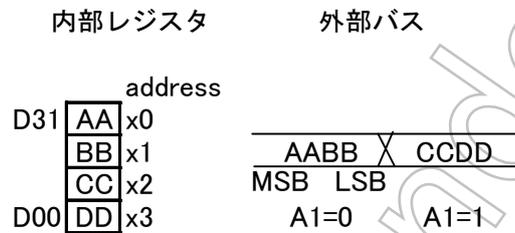
8.2 データ・フォーマット

TMP19A23 の内部レジスタと外部バスインタフェースとの関係を説明します。

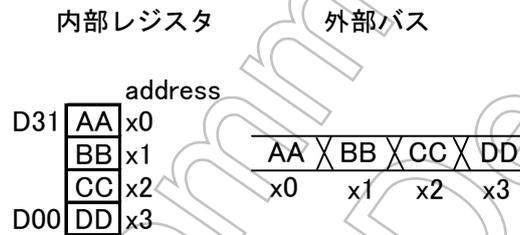
(1) ビッグエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

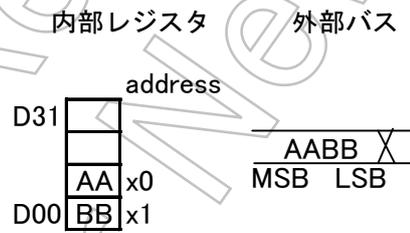


- 8 ビットバス幅の時



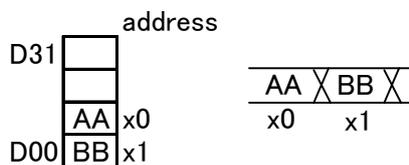
② ハーフワードアクセス

- 16 ビットバス幅の時

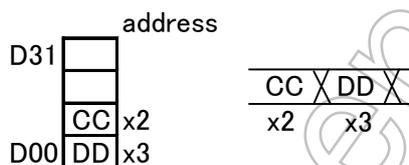


- 8 ビットバス幅の時

内部レジスタ 外部バス



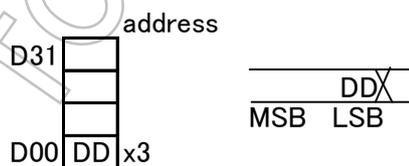
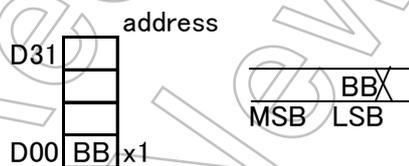
内部レジスタ 外部バス



③ バイトアクセス

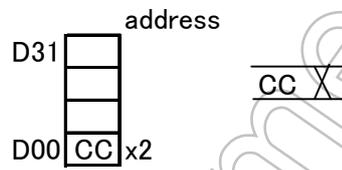
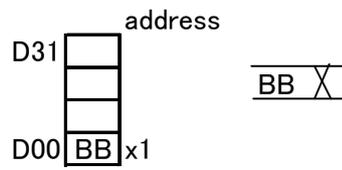
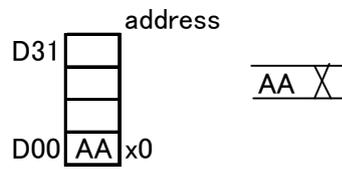
- 16 ビットバス幅の時

内部レジスタ 外部バス



- 8ビットバス幅の時

内部レジスタ 外部バス

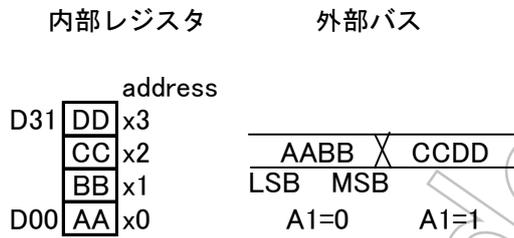


Not Recommended for New Design

(2) リトルエンディアンモード

① ワードアクセス

- 16ビットバス幅の時

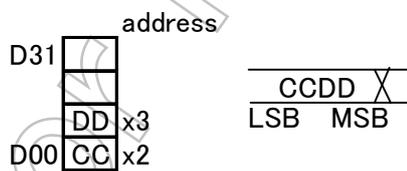
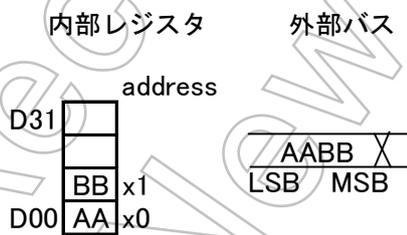


- 8ビットバス幅の時



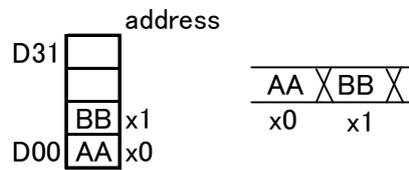
② ハーフワードアクセス

- 16ビットバス幅の時

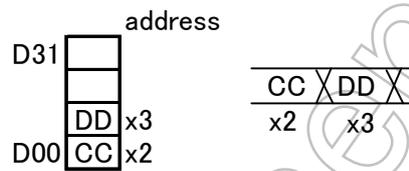


- 8ビットバス幅の時

内部レジスタ 外部バス



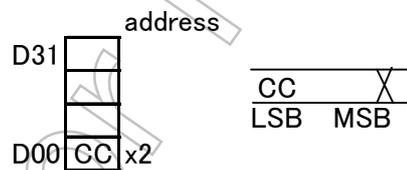
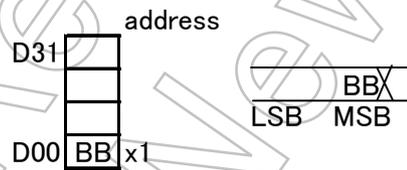
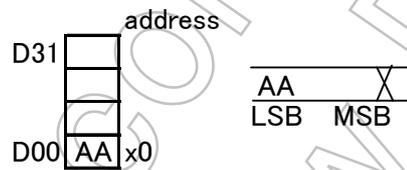
内部レジスタ 外部バス



③ バイトアクセス

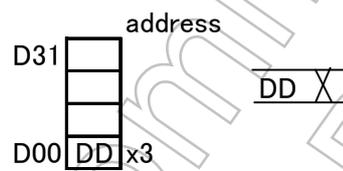
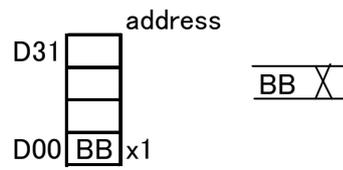
- 16ビットバス幅の時

内部レジスタ 外部バス



- 8ビットバス幅の時

内部レジスタ 外部バス



Not Recommended for New Design

8.3 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23~A0, D15~D0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A23 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8-1 にリードバスタイミングを、図 8-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり、 \overline{RD} 、 \overline{WR} などの制御信号もアクティブになりません。

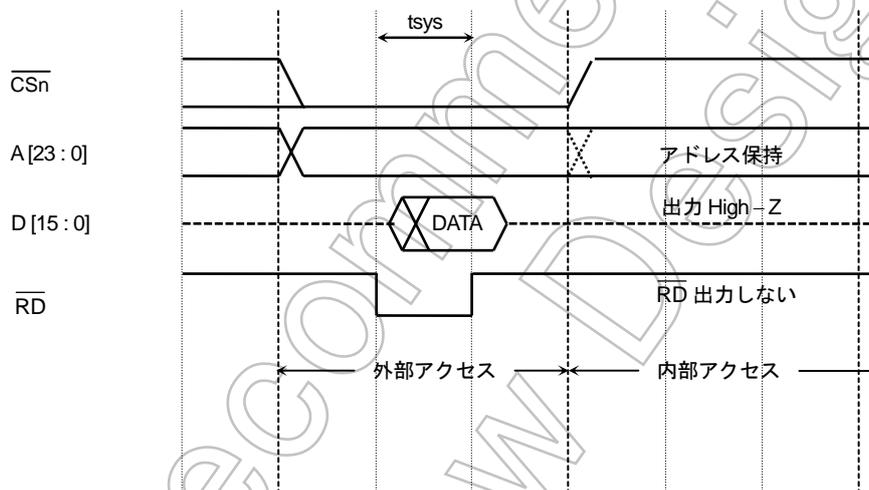


図 8-1 リードオペレーションタイミング図

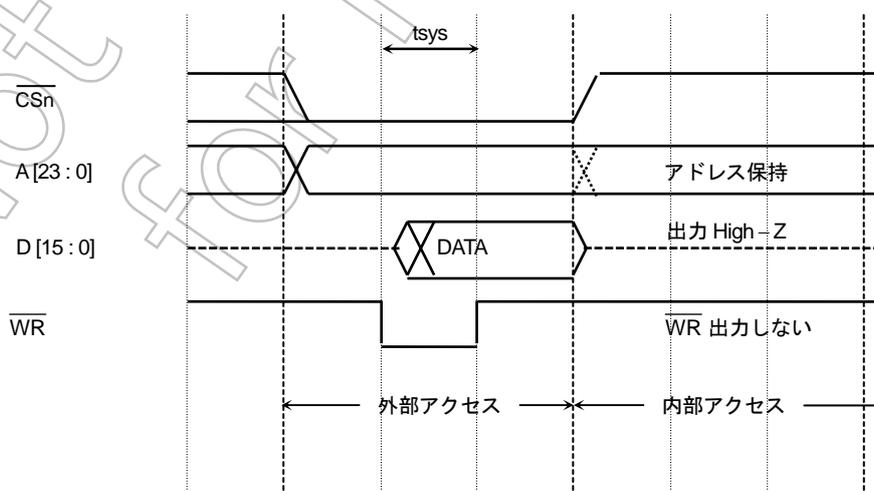


図 8-2 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックにウェイトサイクルを挿入することができます。

挿入できるウェイトには次の3種類があります。

- ① 最大7クロックまでの自動ウェイト挿入
- ② $\overline{\text{WAIT}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$: 外部ウェイト挿入数)
- ③ $\overline{\text{RDY}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$: 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ $\text{BmnCS}\langle\text{BnW}\rangle$ で設定します。

図 8-3～図 8-10 にウェイトを挿入したタイミング図を示します。

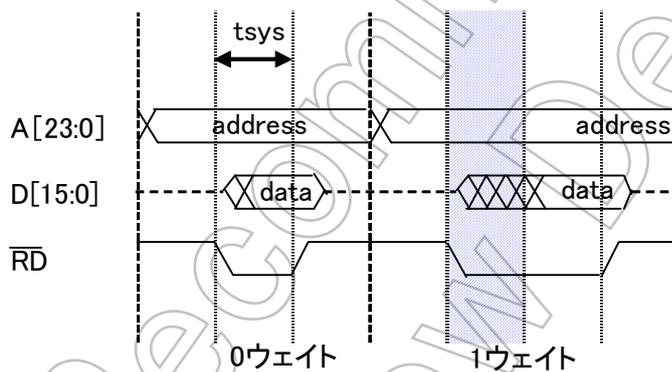


図 8-3 リードオペレーションタイミング図 (0 ウェイトおよび自動1 ウェイト)

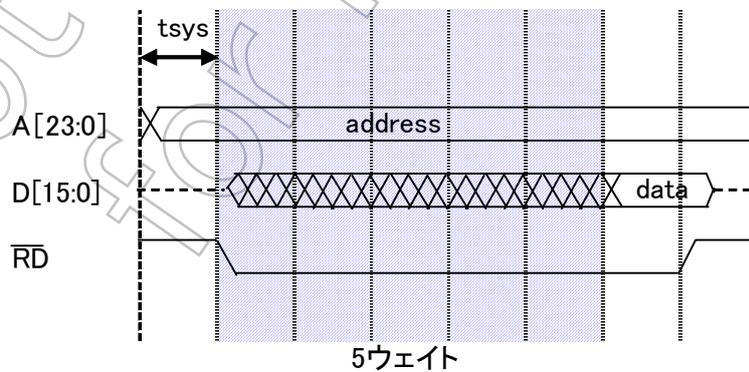


図 8-4 リードオペレーションタイミング図 (自動5 ウェイト)

図 8-5 にセパレートバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

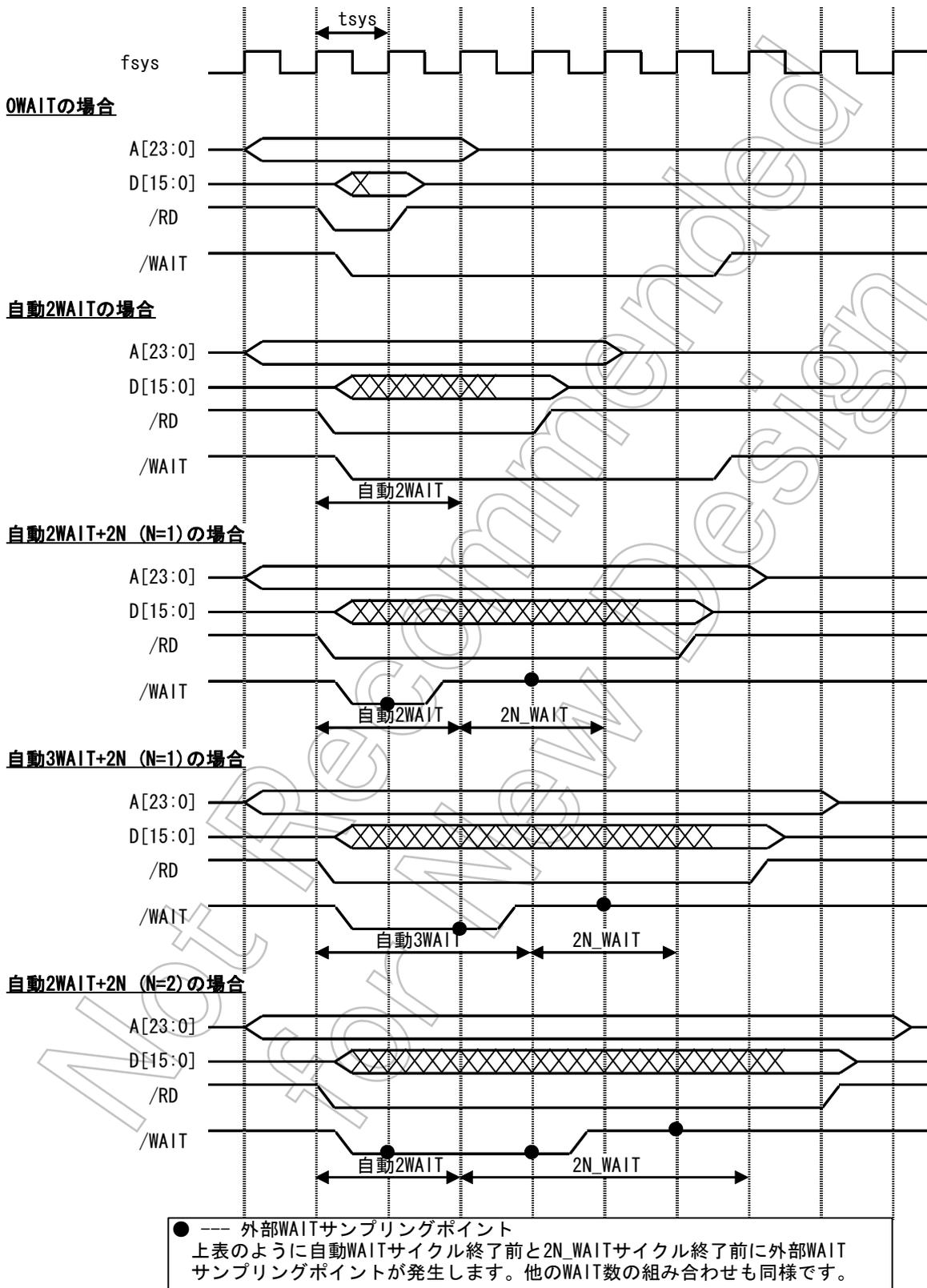


図 8-5 リードオペレーションタイミング図

図 8-6 にセパレートバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

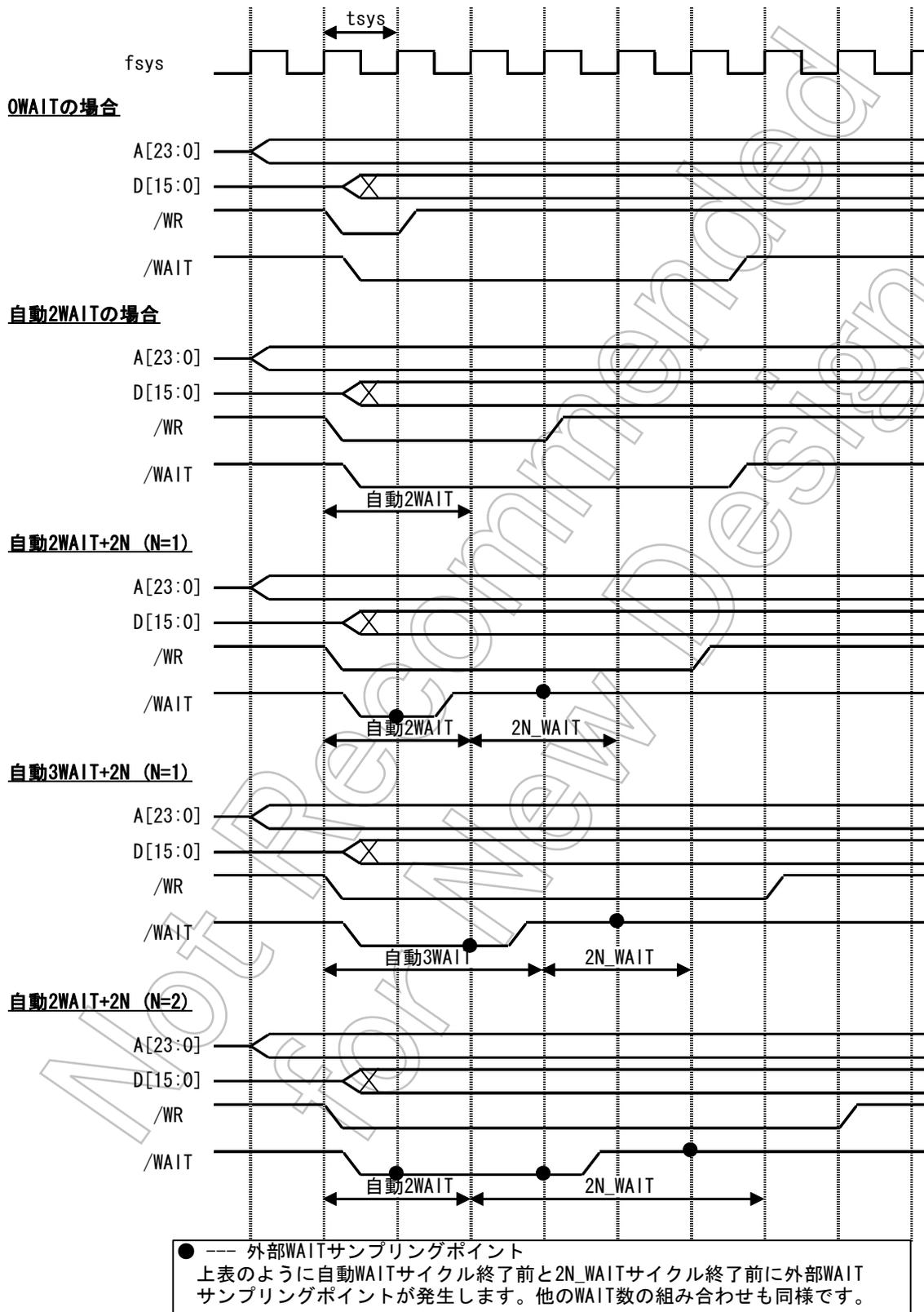


図 8-6 ライトオペレーションタイミング図

ポート3ファンクションレジスタ P3FGのビット3<P33F>を”1”にセットすることにより、 $\overline{\text{WAIT}}$ 入力端子 (P33) は $\overline{\text{RDY}}$ 入力端子としても機能します。

$\overline{\text{RDY}}$ 入力は $\overline{\text{WAIT}}$ 入力の論理的反転で外部バスインタフェース回路に入力されます。CS/ウェイトコントロールレジスタ BmnCS<BnW>でウェイト数の設定を行います。

図 8-7 に $\overline{\text{RDY}}$ 入力とウェイト数の関係を示します。

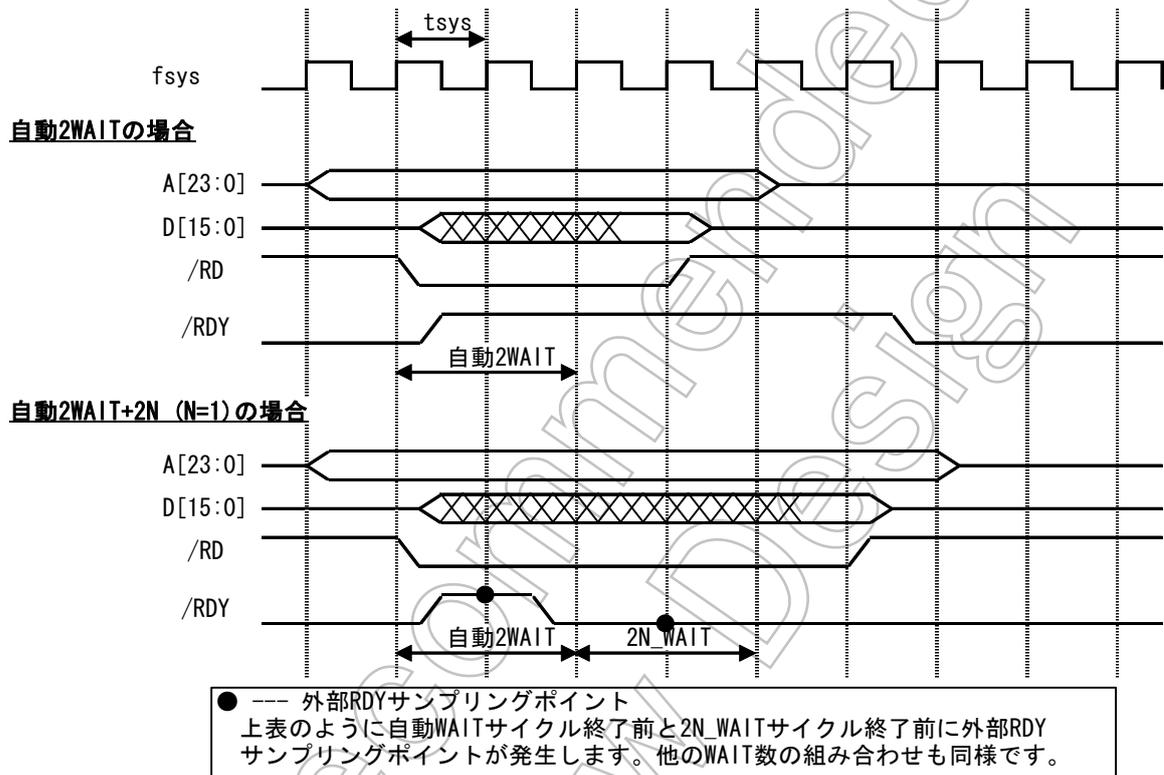


図 8-7 $\overline{\text{RDY}}$ 入力とウェイトオペレーションタイミング図

(3) ALE アサート時間

TMP19A23 の外部バスをマルチプレクスバスとして使用する時に ALE 幅（アサート時間）を設定できます。CG 部のシステムコントロールレジスタ SYSCR3 の<ALESEL>にて設定します。セパレートバスモードの場合には ALE は出力されませんが、SYSCR3<ALESEL>の値によりアドレス成立から \overline{RD} または \overline{WR} 信号のアサートされるまでの時間が変わります。リセット時は<ALESEL>="1" にセットされ、アドレス成立から 2 システムクロック（内部）後に \overline{RD} または \overline{WR} 信号がアサートされます。<ALESEL>を"0" にクリアすると、アドレス成立から 1 システムクロック（内部）後に前述信号はアサートされます。この設定は外部エリアのブロック毎には設定できず、外部アドレス空間で共通です。

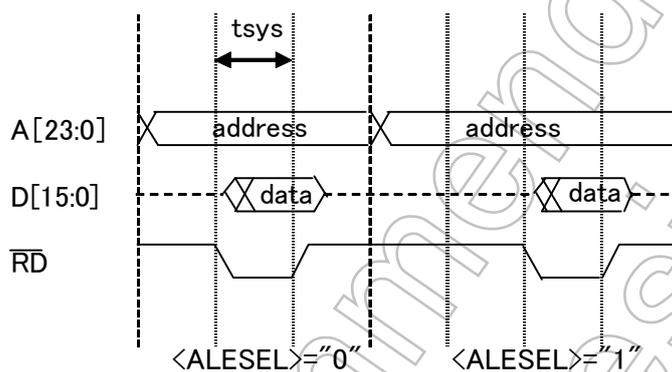


図 8-8 SYSCR3<ALESEL>設定値と外部バスオペレーション

(4) リカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS/ウェイトコントロールレジスタ BmnCS<BnWCV> (ライト・リカバリサイクル)、<BnRCV> (リード・リカバリサイクル) にて設定します。ダミーサイクル数は各ブロックごとに1システムクロック (内部) または2システムクロック (内部) を指定することができます。図 8-9 にリカバリタイム挿入時のタイミング図を示します。

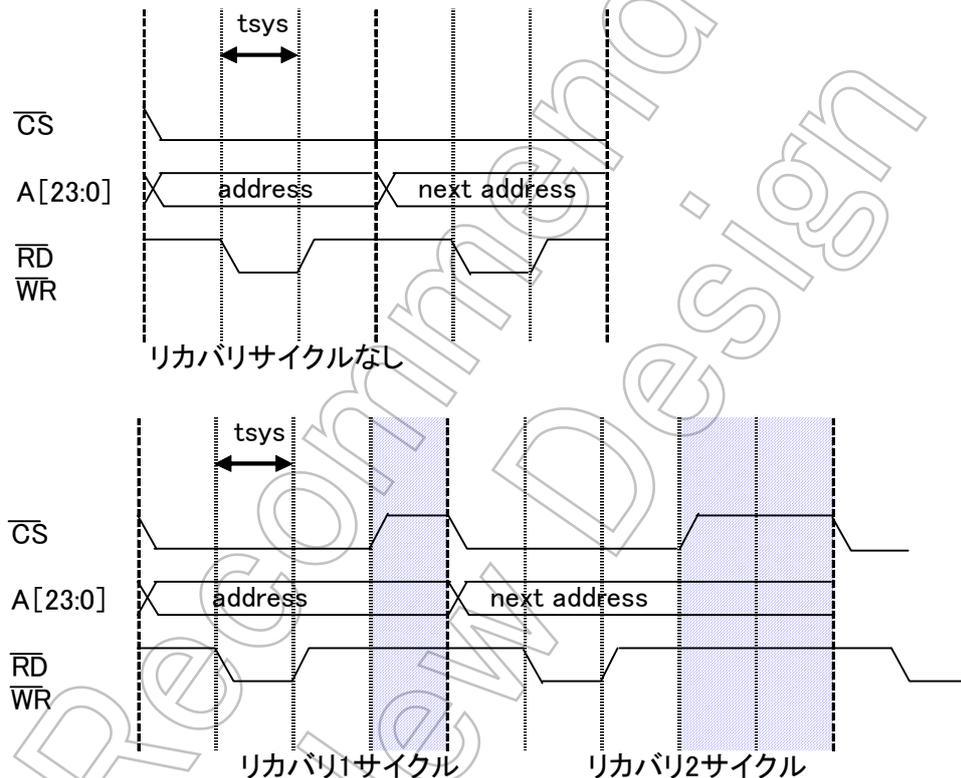


図 8-9 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに1~3 システムクロック（内部）を指定することができます。図 8-10 にリカバリタイム挿入時のタイミング図を示します。

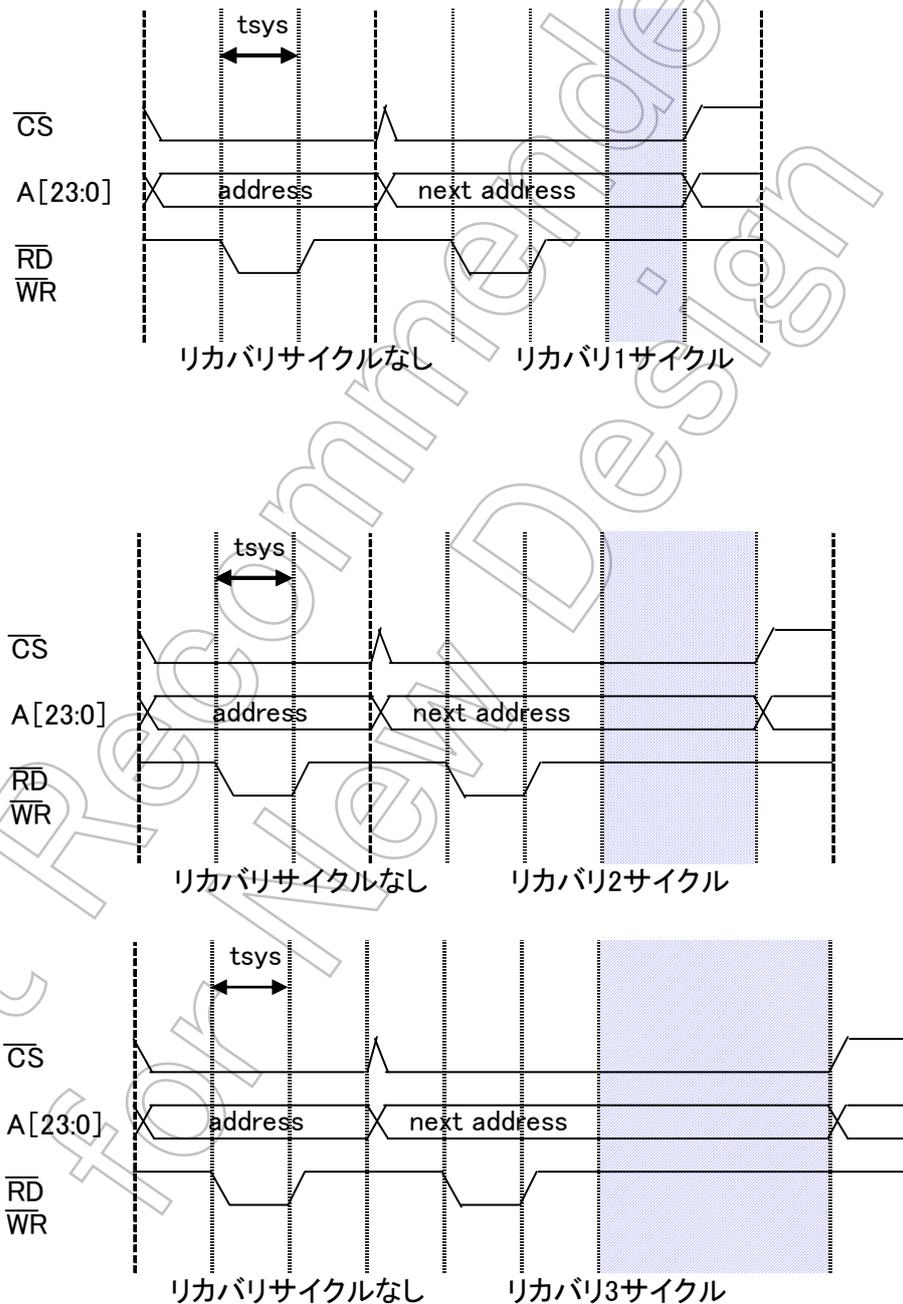


図 8-10 チップセレクトリカバリタイム挿入時のタイミング

8.4 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23~A16, AD15~AD0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A23 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8-11 にリードバスタイミングを、図 8-12 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出しません。またアドレス/データバスはハイインピーダンスになり、RD、WR などの制御信号もアクティブになりません。

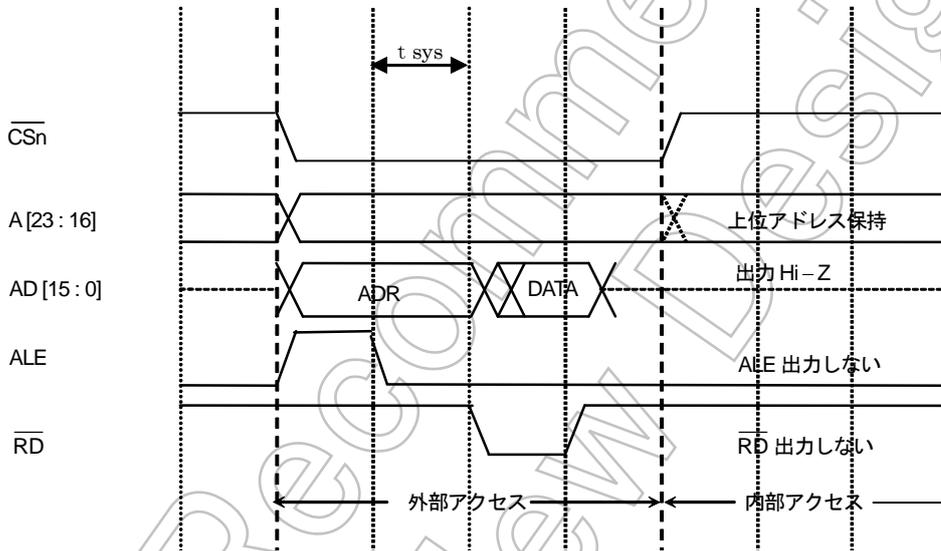


図 8-11 リードオペレーションタイミング図

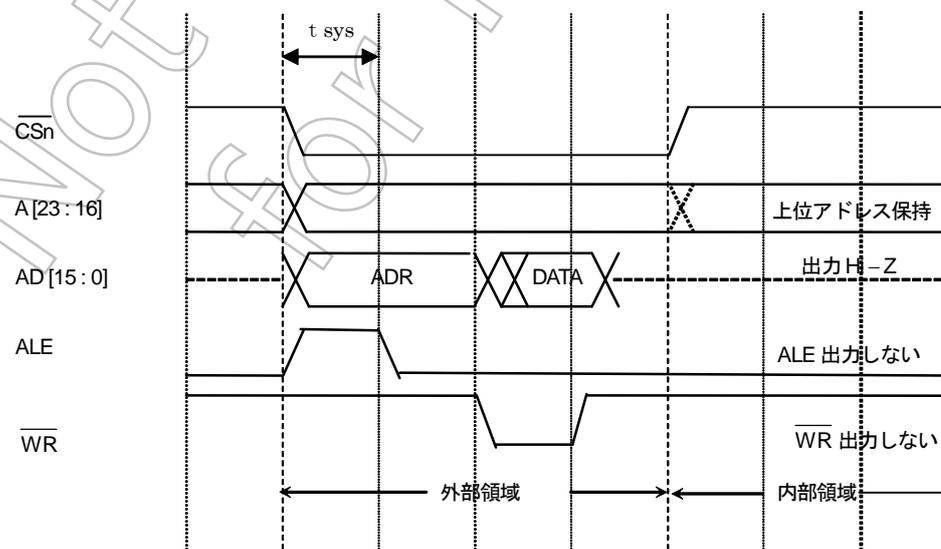


図 8-12 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

- ① 最大7クロックまでの自動ウェイト挿入
- ② \overline{WAIT} 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ 2N : 外部ウェイト挿入数)
- ③ \overline{RDY} 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ 2N : 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ $BmCS\langle BnW\rangle$ で設定します。

Not Recommended
for New Design

図 8-13 にマルチプレスクバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

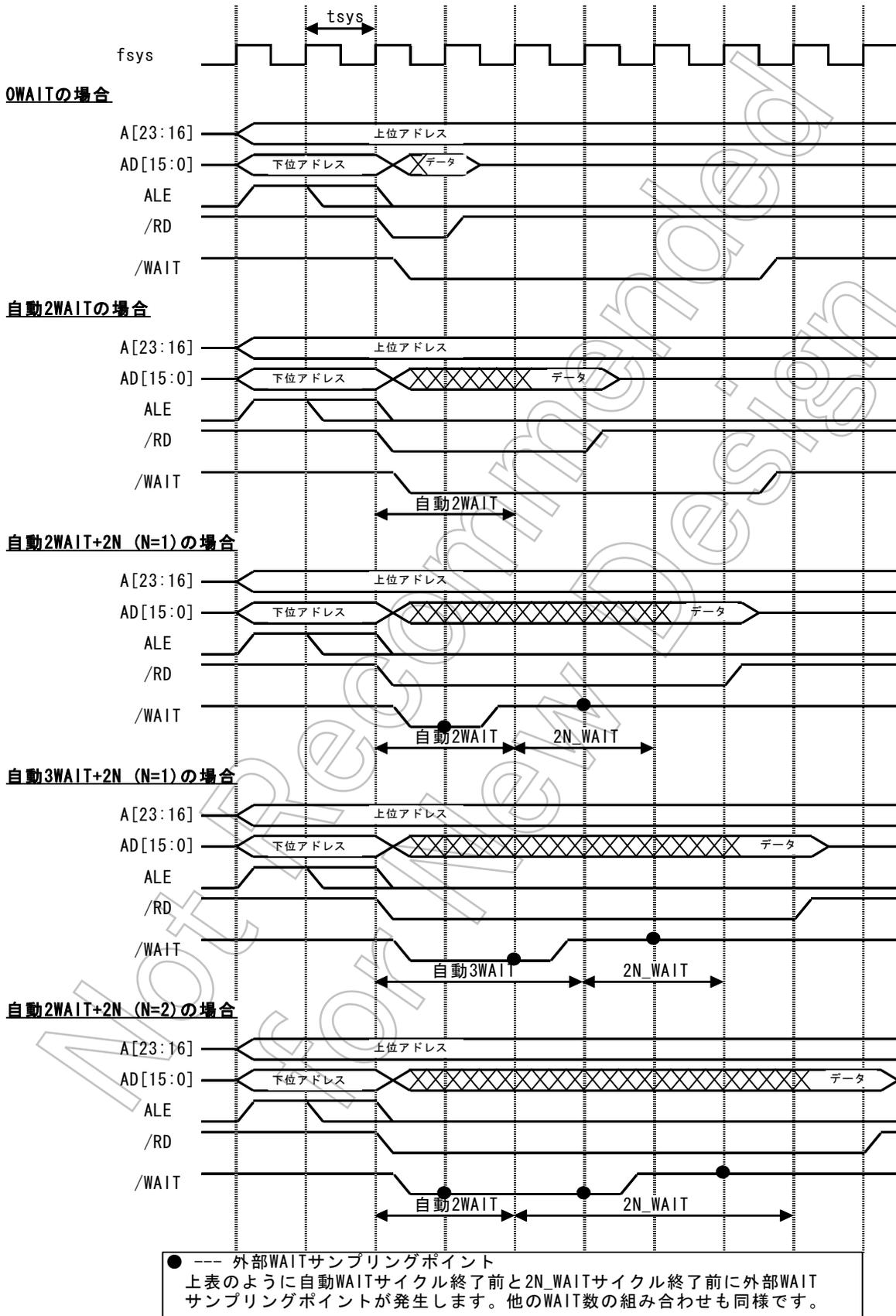


図 8-13 リードオペレーションタイミング図

図 8-14 にマルチプレスクバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

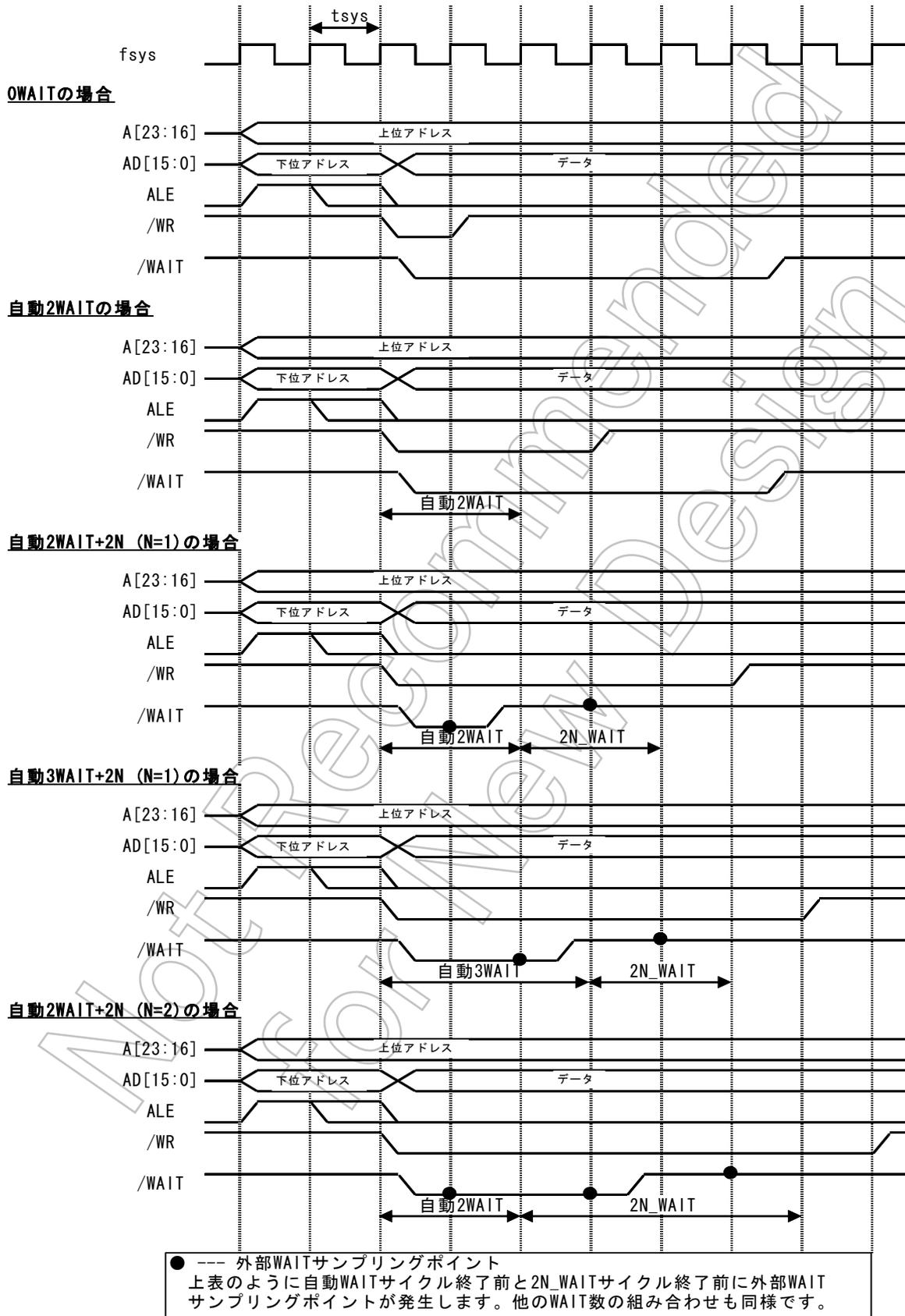


図 8-14 ライトオペレーションタイミング図

(3) ALE アサート時間

ALE アサート時間は、1クロックと2クロックのどちらかを選択できます。設定用のビットはシステムクロック制御レジスタにあります。デフォルトは2クロックです。この設定は外部エリアのブロックごとには設定できず、外部アドレス空間で共通です。

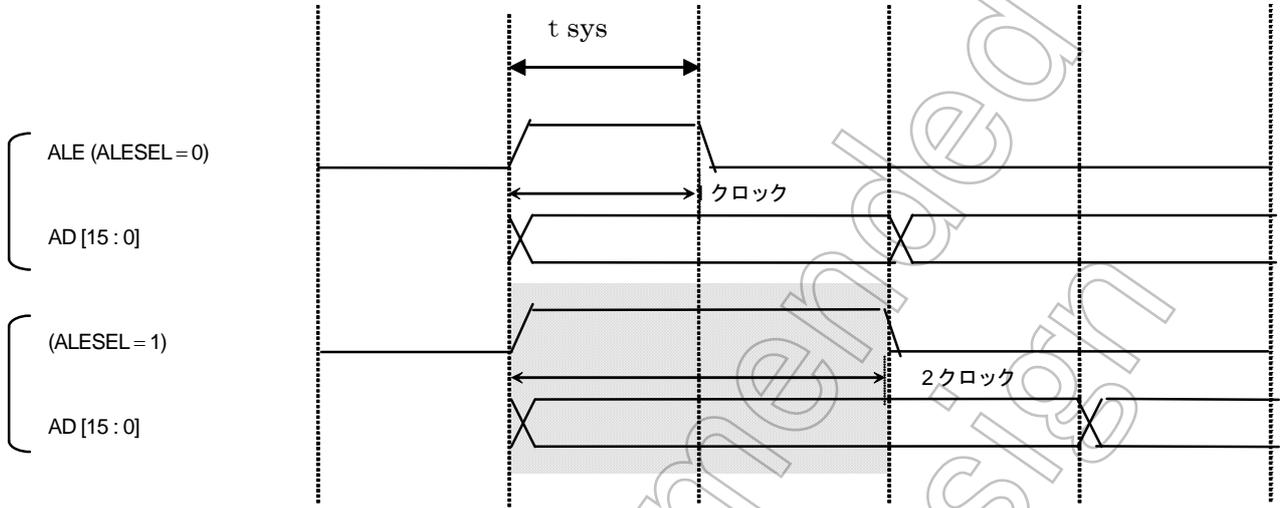


図 8-15 ALE のアサート時間

図 8-16 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

ALE 1クロック、2クロックの場合

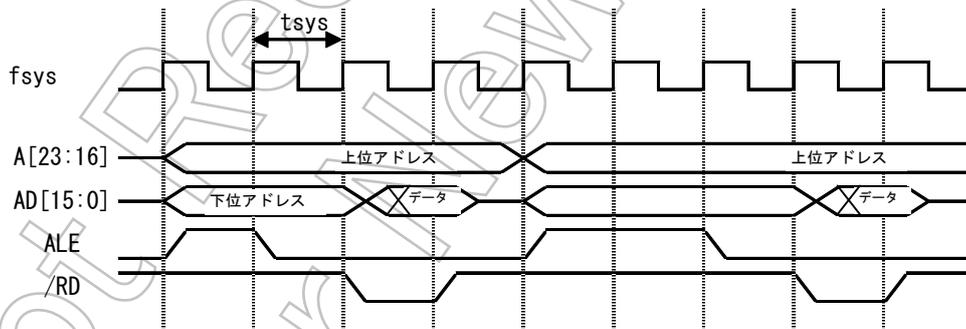


図 8-16 リードオペレーションタイミング図 (ALE 1クロックおよび2クロック)

(4) リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。

ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタ $BmnCS\langle BnWCV\rangle$

(ライト・リカバリサイクル)、 $\langle BnRCV\rangle$ (リード・リカバリサイクル) にて設定します。ダミーサイクル数はブロックごとに1システムクロック (内部) または2システムクロック (内部) を指定することができます。図 8-17 にリカバリタイム挿入時のタイミング図を示します。

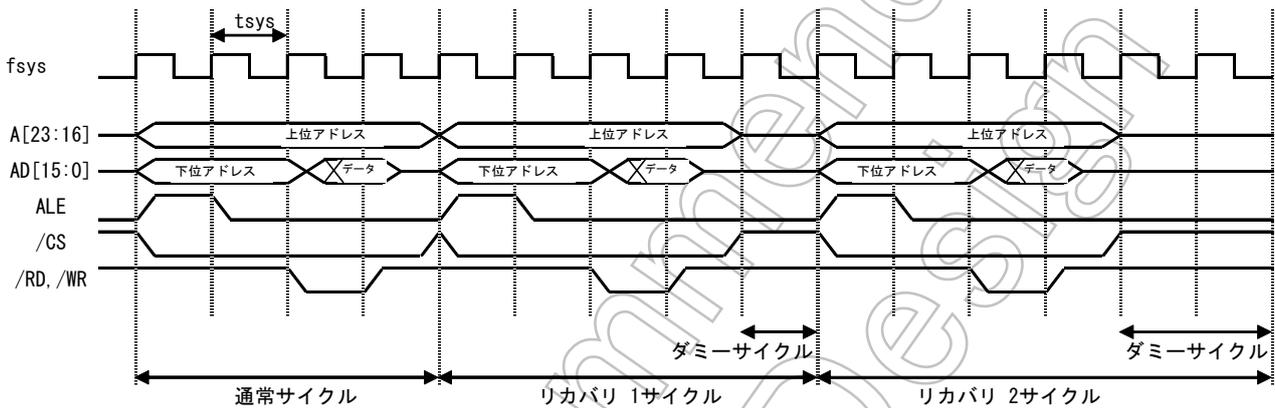
リード/ライトリカバリ挿入時 (ALE幅: $1f_{sys}$) の場合

図 8-17 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに1~3システムクロック（内部）を指定することができます。図 8-18 にリカバリタイム挿入時のタイミング図を示します。

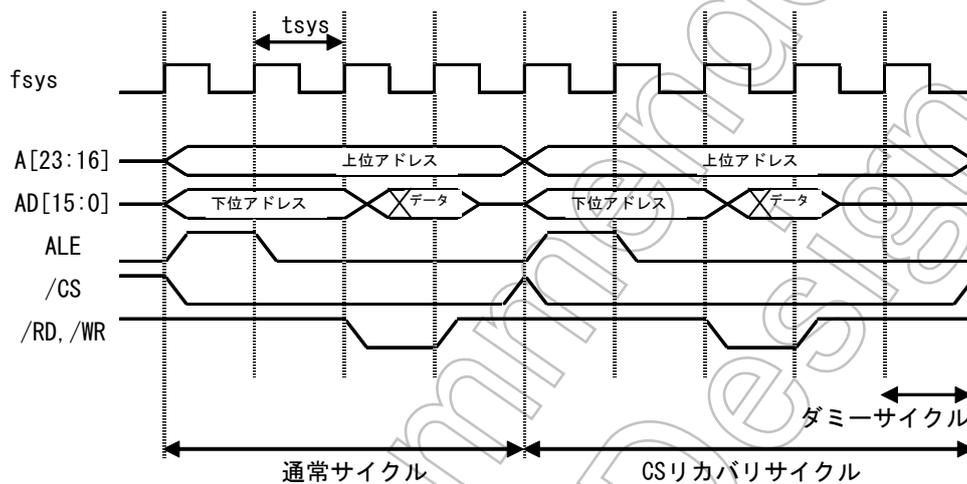
CSリカバリ挿入時 (ALE幅:1f_{sys})の場合

図 8-18 チップセレクトリカバリタイム挿入時のタイミング

8.5 バスアービトレーション

TMP19A23 は、外部にバスマスタを接続することができます。外部バスマスタとのバス制御権のアービトレーションは、 $\overline{\text{BUSRQ}}$ 、 $\overline{\text{BUSAK}}$ の 2 本の信号で行います。外部バスマスタが制御権を獲得できるバスは TMP19A23 の外部バスだけで、内部のバスは獲得できません。

(1) 外部バスマスタのアクセス範囲

外部バスマスタが制御権を獲得できるバスは TMP19A23 の外部バスだけで、内部のバス (G-BUS) は獲得できません。したがって外部バスマスタは、内蔵メモリおよび内蔵 I/O にアクセスすることはできません。この外部バスのバス権の調停は外部バスインタフェース回路 (EBIF) が行い、CPU や内蔵 DMAC は感知しません。外部バスマスタが外部のバス権を獲得しているときにも、CPU や内蔵 DMAC は内蔵の ROM、RAM やレジスタにはアクセスできません。他方、外部バスマスタが外部のバス権を獲得しているときに、CPU や内蔵 DMAC が外部のメモリにアクセスしようとする、外部バスマスタがバスを解放するまで、CPU や内蔵 DMAC のバスサイクルにウェイトがかかります。このため $\overline{\text{BUSRQ}}$ をアクティブにしたままにすると、TMP19A23 がロックする可能性があります。

(2) バス制御権の獲得

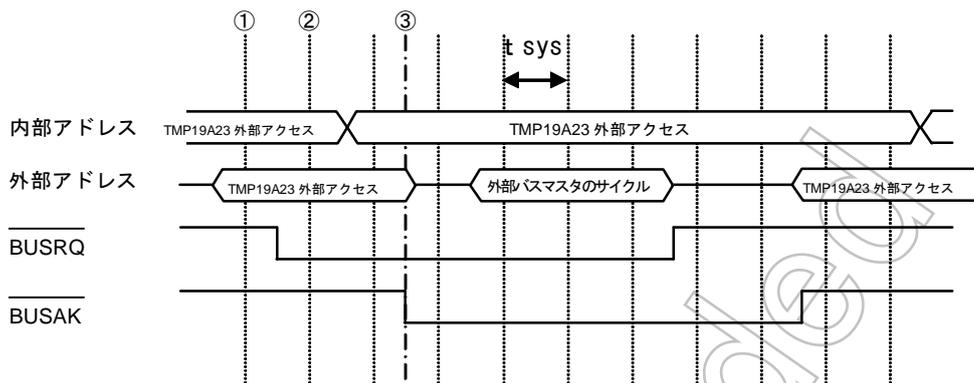
外部バスマスタは、 $\overline{\text{BUSRQ}}$ 信号をアサートすることで、TMP19A23 に対してバス制御権を要求します。TMP19A23 は、内部のバス (G-BUS) 上での外部バスサイクルの切れ目で $\overline{\text{BUSRQ}}$ 信号をサンプリングして、外部バスマスタにバス制御権を与えるかどうか判断します。バス制御権を外部バスマスタに与えるときは $\overline{\text{BUSAK}}$ 信号をアサートします。また同時にアドレスバス、データバスおよびバス制御信号 ($\overline{\text{RD}}$ 、 $\overline{\text{WR}}$) をハイインピーダンス状態にします ($\overline{\text{R/W}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{CSx}}$ は内蔵プルアップイネーブルの状態になります)。

ロード、ストアのデータサイズと外部メモリのバス幅の関係で、1 回のデータ転送に対して複数回のバスサイクルが発生することがあります (バスサイジング)。このときは最後のバスサイクルの終了時点が外部バスサイクルの切れ目になります。

TMP19A23 では、外部アクセスが連続した場合にダミーサイクルを挿入することができます。この場合にもバス要求が受け付けられるのは、内部バス (G-BUS) 上での外部バスサイクルの切れ目です。ダミーサイクル中にはすでに次の外部バスサイクルが内部バス上では起動されていますので、ダミーサイクル中に $\overline{\text{BUSRQ}}$ 信号がアサートされてもバスが解放されるのは次の外部バスサイクルが終了したときになります。

$\overline{\text{BUSRQ}}$ 信号は、バス制御権を解放するまでアサートし続けてください。

外部バスマスタによるバス制御権の獲得タイミングを図 8-19 に示します。



- ① $\overline{\text{BUSRQ}}$ が “H” レベルです。
- ② TMP19A23 は、 $\overline{\text{BUSRQ}}$ が “L” レベルであることを認識してバスサイクル終了時にバスを解放します。
- ③ TMP19A23 はバスの終了にともない $\overline{\text{BUSAK}}$ をアサートします。外部バスマスタは、 $\overline{\text{BUSAK}}$ が “L” レベルであることを認識してバス制御権を獲得し、バスオペレーションを開始します。

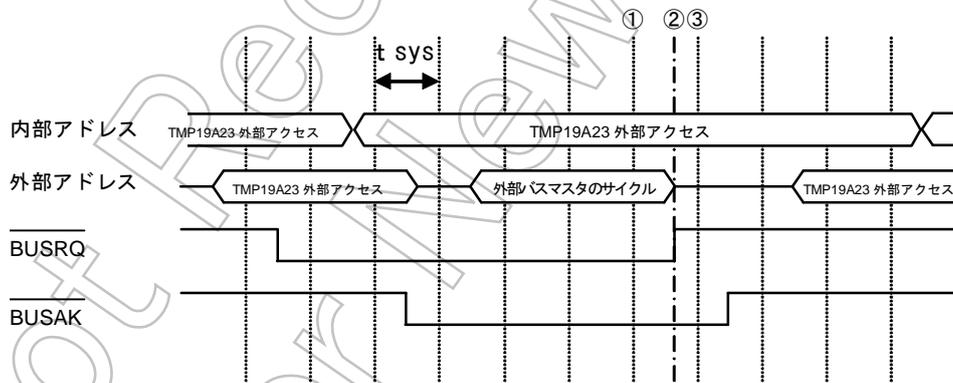
図 8-19 バス制御権の獲得タイミング

(3) バス制御権の解放

外部バスマスタがバス制御権を解放するのは、バス制御権が不要になった場合です。

外部バスマスタは、獲得していたバス制御権が不要になると、 $\overline{\text{BUSRQ}}$ 信号をデアサートしてバス制御権を TMP19A23 に返します。

バス制御不要による解放のタイミングを図 8-20 に示します。



- ① 外部バスマスタがバス制御権を持っています。
- ② 外部バスマスタはバス制御権が不要になったので、 $\overline{\text{BUSRQ}}$ をデアサートします。
- ③ TMP19A23 は、 $\overline{\text{BUSRQ}}$ が “H” レベルであることを認識して、 $\overline{\text{BUSAK}}$ をデアサートします。

図 8-20 バス制御権の解放タイミング

9. チップセレクト/ウェイトコントローラ

TMP19A23 は、外部デバイス（I/O デバイス、ROM、および、SRAM）に接続することができます。

TMP19A23 は、任意の 4 ブロックのアドレス空間（ $\overline{CS0}$ ~ $\overline{CS3}$ 空間）を設定し、各アドレス空間とそれ以外のアドレス空間に対して、データバス幅、ウェイト数、ダミーサイクル数を指定することができます。

$\overline{CS0}$ ~ $\overline{CS3}$ （P40~P43 と兼用）は、 $\overline{CS0}$ ~ $\overline{CS3}$ 空間に対応した出力端子です。この端子は、CPU 動作により $\overline{CS0}$ ~ $\overline{CS3}$ 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号（ROM/SRAM 用）を出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ（P4CR）とポート 4 ファンクションレジスタ（P4FC）による設定が必要です。

$\overline{CS0}$ ~ $\overline{CS3}$ 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0~BMA3）にてベースアドレス（BAn, n=0~3）とマスクアドレス（MAn, n=0~3）の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数、ダミーサイクル数は、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS）で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子（ウェイト）があります。

9.1 アドレス空間指定

$\overline{CS0}$ ~ $\overline{CS3}$ 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0~BMA3）により行います。

バスサイクルごとに、バス上のアドレスを $\overline{CS0}$ ~ $\overline{CS3}$ 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{CS0}$ ~ $\overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS）で設定した動作を実行します（「9.2 チップセレクト/ウェイトコントロールレジスタ」を参照してください）。

9.1.1 ベース/マスクアドレス設定レジスタ

図 9-1、図 9-2 に、ベース/マスクアドレス設定レジスタを示します。ベースアドレス（BA0~BA3）には、 $\overline{CS0}$ ~ $\overline{CS3}$ 空間のスタートアドレスを設定します。チップセレクト/ウェイトコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、マスクアドレス（MA0~MA3）でマスクされているアドレスビットはアドレスの比較対象にはなりません。マスクアドレスの設定によって、アドレス空間のサイズが決まります。

(1) ベースアドレス

ベースアドレス BAn には、スタートアドレスの上位 16 ビット（A31~A16）を設定します。また、スタートアドレスの下位 16 ビット（A15~A0）には、常に“0”が設定されています。したがって、スタートアドレスは、0x0000_0000 から 64K バイトごとの値になります。

図 9-3 にスタートアドレスと BAn の値の関係を示します。

(2) マスクアドレス

マスクアドレス（MAn）は、アドレスのどのビットの値を比較するか、しないかを設定します。アドレスマスク MAn に“0”をライトしたビットに対応するバス上のアドレスが、 $\overline{CS0}$ ~ $\overline{CS3}$ 空間の領域かどうかの比較対象となり、“1”をライトしたビットは比較の非対象になります。 $\overline{CS0}$ ~ $\overline{CS3}$ 空間は、それぞれ MA0~MA3 によってマスクできるアドレスビットが異なります。

$\overline{CS0}$ 空間、 $\overline{CS1}$ 空間	: A29 ~ A14
$\overline{CS2}$ 空間、 $\overline{CS3}$ 空間	: A30 ~ A15 (注)

(注) アドレス設定は物理アドレスを設定してください。

ベース/マスクアドレス設定レジスタ BMA0 (0xFFFF_E400)～BMA3 (0xFFFF_E40C)

BMA0 (0xFFFF_E400)		31	30	29	28	27	26	25	24
	bit Symbol	BA0							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A31～A24 設定							
		23	22	21	20	19	18	17	16
	bit Symbol	BA0							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A23～A16 設定							
	15	14	13	12	11	10	9	8	
bit Symbol	MA0								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	1	1	
機能	かならず“0”をライトしてください						CS0 空間サイズ設定 0: アドレス比較対照		
	7	6	5	4	3	2	1	0	
bit Symbol	MA0								
Read/Write	R/W								
リセット後	1	1	1	1	1	1	1	1	
機能	CS0 空間サイズ設定 0: アドレス比較対照								

BMA1 (0xFFFF_E404)		31	30	29	28	27	26	25	24
	bit Symbol	BA1							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A31～A24 設定							
		23	22	21	20	19	18	17	16
	bit Symbol	BA1							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A23～A16 設定							
	15	14	13	12	11	10	9	8	
bit Symbol	MA1								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	1	1	
機能	かならず“0”をライトしてください						CS1 空間サイズ設定 0: アドレス比較対照		
	7	6	5	4	3	2	1	0	
bit Symbol	MA1								
Read/Write	R/W								
リセット後	1	1	1	1	1	1	1	1	
機能	CS1 空間サイズ設定 0: アドレス比較対照								

(注) BMA0、BMA1 のビット 10～15 にはかならず“0”をライトしてください。
CS0、CS1 空間は最小 16KB エリアから、最大 1GB エリアまで設定可能ですが、TMP19A23 では外部アドレス空間は 16MB なので A24～A29 のアドレスをマスクしないため、ビット 10～15 を“0”に設定します。

図 9-1 ベースアドレス/マスクアドレス設定レジスタ (BMA0, BMA1)

BMA2
(0xFFFF_E408)

	31	30	29	28	27	26	25	24
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS2 空間 サイズ設定 0: アドレス 比較対照
	7	6	5	4	3	2	1	0
bit Symbol	MA2							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS2 空間サイズ設定 0: アドレス比較対照							

BMA3
(0xFFFF_E40C)

	31	30	29	28	27	26	25	24
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS2 空間 サイズ設定 0: アドレス 比較対照
	7	6	5	4	3	2	1	0
bit Symbol	MA3							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS3 空間サイズ設定 0: アドレス比較対照							

(注) BMA2、BMA3 のビット 9~15 にはかならず “0” をライトしてください。
CS2、CS3 空間は最小 32KB エリアから、最大 2GB エリアまで設定可能ですが、TMP19A23 では外部アドレス空間は 16MB なので A24~A30 のアドレスをマスクしないため、ビット 9~15 を “0” に設定します。

図 9-2 ベースアドレス/マスクアドレス設定レジスタ (BMA2, BMA3)

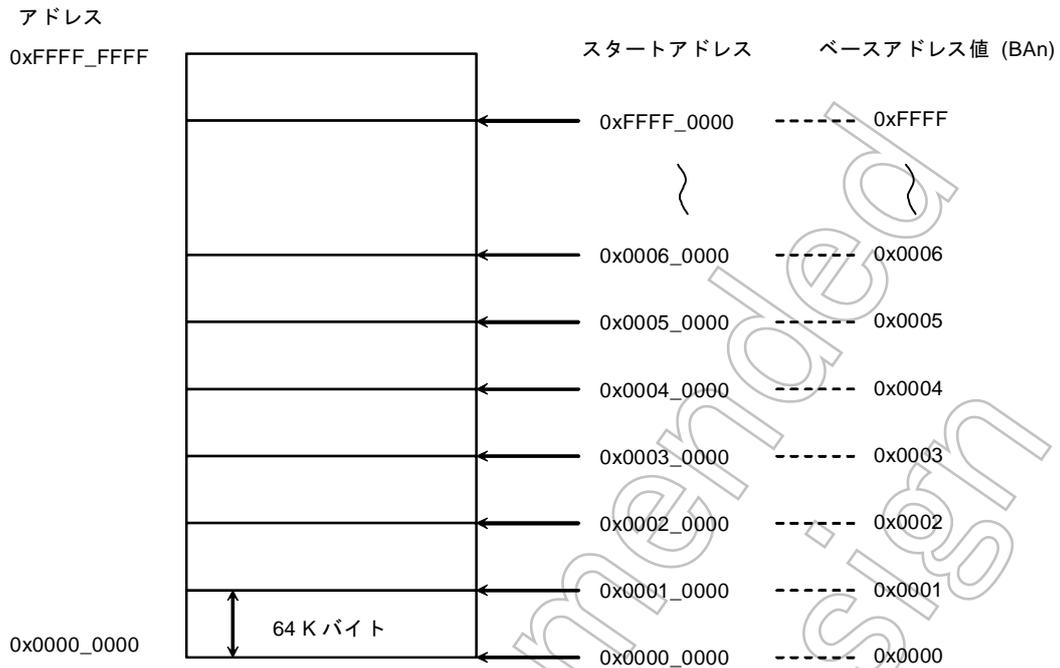
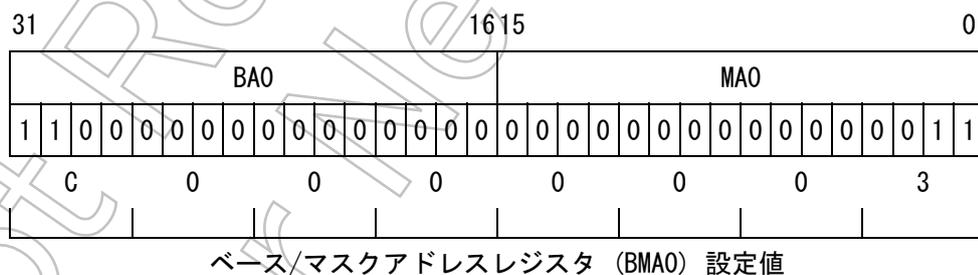


図 9-3 スタートアドレスとベースアドレスレジスタ値の関係

9.1.2 スタートアドレス、アドレス空間の設定方法

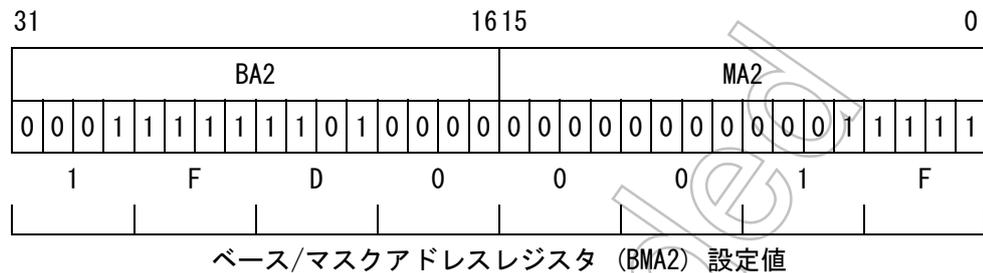
- CS0 空間を用いて、0xC000_0000 から始まる 64K バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA0) に、スタートアドレスの上位 16 ビットに相当する “0xC000” を設定します。マスクアドレス (MA0) は、A29~A14 のアドレス比較を行うか、行わないかを設定します。この場合 A29~A16 についてはかならず比較が行われるようにマスクアドレス (MA0) のビット 15~2 には “0” を設定します。なお A31, A30 のアドレスは常に比較が行われます。

上記のように設定すると、A31~A16 まだがスタートアドレスとして設定された値と比較されます。この場合、A15~A0 はマスクされますので、0xC000_0000~0xC000_FFFF の 64K バイトが CS0 空間として設定され、バス上のアドレスと一致すれば CS0 信号がアサートされます。

- CS2 空間を用いて、0x1FD0_0000 から始まる 1M バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA2) に、スタートアドレスの上位 16 ビットに相当する “0x1FD0” を設定します。マスクアドレス (MA2) は、A30~A15 のアドレス比較を行うか、行わないかを設定します。この場合 A30~A20 についてはかならず比較が行われるようにマスクアドレス (MA2) のビット 15~5 には “0” を設定します。なお A31 はかならず比較が行われます。

上記のように設定すると、A31~A20 までがスタートアドレスとして設定された値と比較されます。この場合、A19~A0 はマスクされますので、0x1FD0_0000~0x1FDF_FFFF の 1M バイトが CS2 空間として設定されます。

(注) TMP19A23 では次のアドレス空間に対しては CSn 信号がアサートされません。

0x1FC0_0000 ~ 0x1FCF_FFFF

0x4000_0000 ~ 0x400F_FFFF

0xFFFFD_6000 ~ 0xFFFFD_FFFF、0xFFFF_6000 ~ 0xFFFF_DFFF

リセット後、CS0, CS1, CS3 空間はディセーブルになります。

表 9-1 に CS 空間と空間サイズの関係を示します。なお、2 つ以上のアドレス空間を重ねて指定した場合には CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間の開始アドレスを 0xC000_0000、空間サイズを 16K バイト
 CS1 空間の開始アドレスを 0xC000_0000、空間サイズを 64K バイト

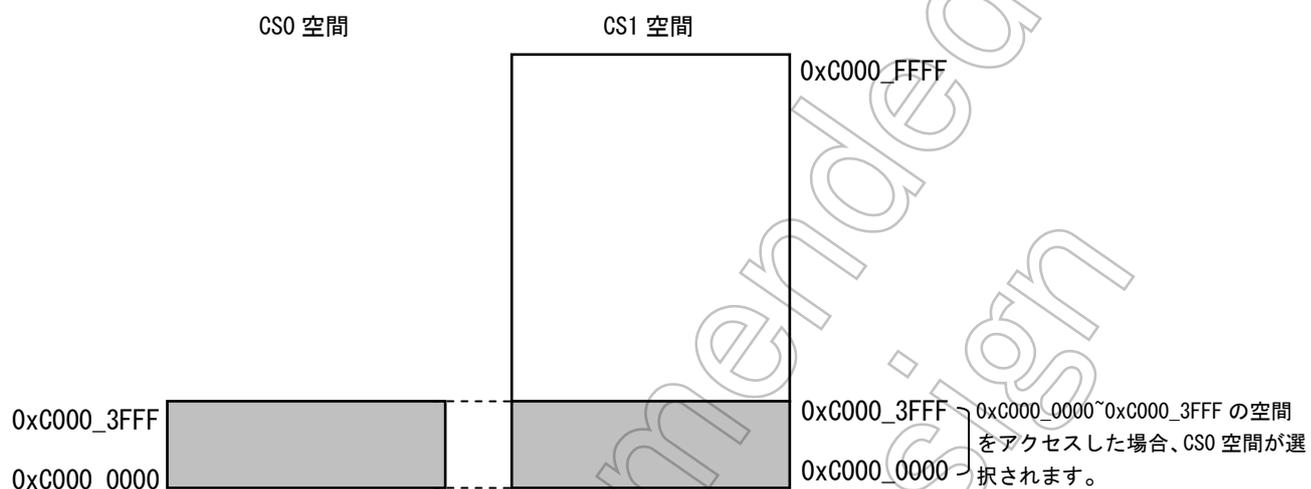


表 9-1 CS 空間と空間サイズ

サイズ (バイト)	16 K	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M	16 M
CS0	○	○	○	○	○	○	○	○	○	○	○
CS1	○	○	○	○	○	○	○	○	○	○	○
CS2		○	○	○	○	○	○	○	○	○	○
CS3		○	○	○	○	○	○	○	○	○	○

9.2 チップセレクト/ウェイトコントローラ

図 9-4, 図 9-5 に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタ (B01CS~B23CS) により、マスタイネーブル/ディセーブル、データバス幅選択、ウェイト数設定、ダミーサイクルの挿入を行うことができます。

また、2 つ以上のアドレス空間を重ねて設定した場合は、CS 空間番号の小さい方が優先的に選択されます。(優先順位は、CS0>CS1>CS2>CS3 となります。)

Not Recommended
for New Design

B01CS
(0xFFFF_E480)

	7	6	5	4	3	2	1	0
bit Symbol	BOOM			BOBUS	BOW			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください	リード すると "0" が 読めます	データバ ス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動ウェイト挿入) 0000: 0ウェイト 0001: 1ウェイト 0010: 2ウェイト 0011: 3ウェイト 0100: 4ウェイト 0101: 5ウェイト 0110: 6ウェイト 0111: 7ウェイト (外部ウェイト入力) 1010: (2+2N) ウェイト 1011: (3+2N) ウェイト 1100: (4+2N) ウェイト 1101: (5+2N) ウェイト 1110: (6+2N) ウェイト 1111: (7+2N) ウェイト 1000, 1001: reserved				
	15	14	13	12	11	10	9	8
bit Symbol	BOCSCV		BOWCV		BOE		BORCV	
Read/Write	R/W		R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	挿入タ ミサイクル数設定 (CS0 リカバ リタイム) 11: 設定禁止 10: 設定禁止 01: 1 サイクル 00: なし	挿入タ ミサイクル数設定 (ライト・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	CS0 イネ ーブル 0: デイ ゼーブル 1: イネ ーブル		リード すると "0" が 読めます	挿入タ ミサイクル数設定 (リード・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol	B10M			B1BUS	B1W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください	リード すると "0" が 読めます	データバ ス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動ウェイト挿入) 0000: 0ウェイト 0001: 1ウェイト 0010: 2ウェイト 0011: 3ウェイト 0100: 4ウェイト 0101: 5ウェイト 0110: 6ウェイト 0111: 7ウェイト (外部ウェイト入力) 1010: (2+2N) ウェイト 1011: (3+2N) ウェイト 1100: (4+2N) ウェイト 1101: (5+2N) ウェイト 1110: (6+2N) ウェイト 1111: (7+2N) ウェイト 1000, 1001: reserved				
	31	30	29	28	27	26	25	24
bit Symbol	B1CSCV		B1WCV		B1E		B1RCV	
Read/Write	R/W		R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	挿入タ ミサイクル数設定 (CS1 リカバ リタイム) 11: 設定禁止 10: 設定禁止 01: 1 サイクル 00: なし	挿入タ ミサイクル数設定 (ライト・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	CS1 イネ ーブル 0: デイ ゼーブル 1: イネ ーブル		リード すると "0" が 読めます	挿入タ ミサイクル数設定 (リード・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		

図 9-4 チップセレクト/ウェイトコントロールレジスタ

B23CS
(0xFFFF_E484)

	7	6	5	4	3	2	1	0
bit Symbol	B2OM			B2BUS	B2W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください		リードすると "0" が読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動ウェイト挿入) 0000: 0ウェイト 0001: 1ウェイト 0010: 2ウェイト 0011: 3ウェイト 0100: 4ウェイト 0101: 5ウェイト 0110: 6ウェイト 0111: 7ウェイト (外部ウェイト入力) 1010: (2+2N) ウェイト 1011: (3+2N) ウェイト 1100: (4+2N) ウェイト 1101: (5+2N) ウェイト 1110: (6+2N) ウェイト 1111: (7+2N) ウェイト 1000, 1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol	B2CSCV		B2WCV		B2E		B2RCV	
Read/Write	R/W		R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	挿入タミサイクル数設定 (CS2 リカバリタイム) 11: 設定禁止 10: 設定禁止 01: 1 サイクル 00: なし		挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS2 イネーブル 0: デイセーブル 1: イネーブル	リードすると "0" が読めます	挿入タミサイクル数設定 (リード・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol	B3OM			B3BUS	B3W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください		リードすると "0" が読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動ウェイト挿入) 0000: 0ウェイト 0001: 1ウェイト 0010: 2ウェイト 0011: 3ウェイト 0100: 4ウェイト 0101: 5ウェイト 0110: 6ウェイト 0111: 7ウェイト (外部ウェイト入力) 1010: (2+2N) ウェイト 1011: (3+2N) ウェイト 1100: (4+2N) ウェイト 1101: (5+2N) ウェイト 1110: (6+2N) ウェイト 1111: (7+2N) ウェイト 1000, 1001: reserved			
	31	30	29	28	27	26	25	24
bit Symbol	B3CSCV		B3WCV		B3E		B3RCV	
Read/Write	R/W		R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	挿入タミサイクル数設定 (CS3 リカバリタイム) 11: 設定禁止 10: 設定禁止 01: 1 サイクル 00: なし		挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS3 イネーブル 0: デイセーブル 1: イネーブル	リードすると "0" が読めます	挿入タミサイクル数設定 (リード・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

図 9-5 チップセレクト/ウェイトコントロールレジスタ

TMP19A23 ではリセット後、ポート 4 コントロールレジスタ (P4CR) とポート 4 ファンクションレジスタ (P4FC) は "0" にされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC、P4CR の順に必要なビットに "1" をセットしてください。また、CS 設定以外のエリアでの CS リカバリタイムの設定は可能ですが、CS 信号は出力されません。

10. DMAコントローラ (DMAC)

TMP19A23 は 4 チャンネルの DMA コントローラを内蔵しています。

10.1 特長

TMP19A23 に内蔵している DMAC には以下に示す特長があります。

- (1) 独立した 4 チャンネルの DMA
(割り込み要因は 4 要因 0 : INTDMA0~INTDMA3)
- (2) 2 種類のバス制御権要求: スヌープ要求有り/無し
- (3) 転送要求:
内部リクエスト(ソフトスタート)/外部リクエスト
(外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト、 $\overline{\text{DREQ}}$ 端子によるリクエスト)
 $\overline{\text{DREQ}}$ 端子によるリクエスト: レベルモード
- (4) 転送モード: デュアルアドレスモード
- (5) 転送デバイス: メモリ空間転送
- (6) デバイスサイズ: メモリ- 32 ビット (CS/ウェイトコントローラで 16/8 ビット指定も可能)
I/O - 8、16、32 ビット
- (7) アドレス変化: 増加/減少/固定/変則増加/変則減少
- (8) チャンネル間優先度: 固定(チャンネル番号の小さい順)
- (9) エンディアン切り換え機能

10.2 構成

10.2.1 TMP19A23 内部接続

TMP19A23 内部でのDMACの接続を図 10-1に示します。

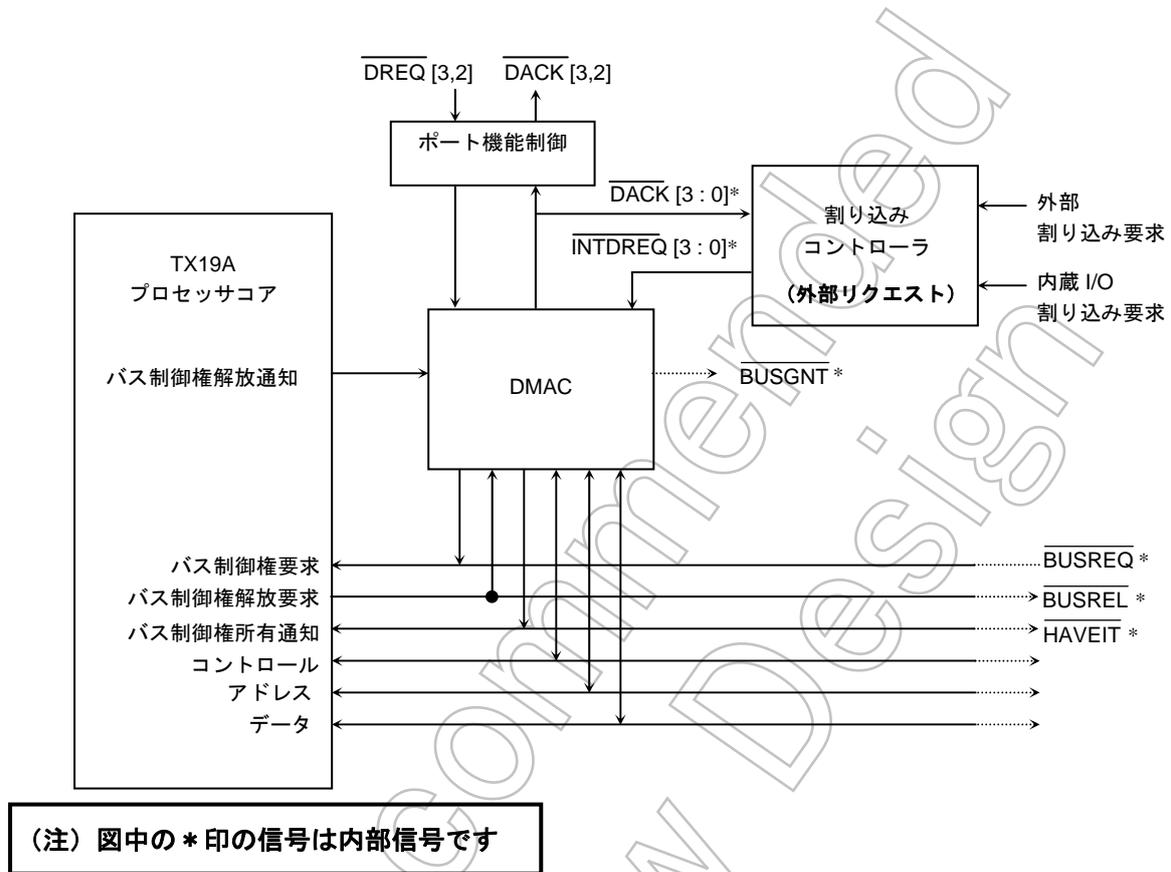


図 10-1 TMP19A23 内部での DMAC の接続

DMAC には 4 つの DMA チャンネルがあります。これら各チャンネルには割り込みコントローラからのデータ転送要求信号 ($\overline{\text{INTDREQ}}_n$) と、これらに対するアクノリッジ信号 ($\overline{\text{DACK}}_n$) とがあります。n はチャンネル番号で 0~7 を示します。また、外部端子 ($\overline{\text{DREQ}}_3$ 、 $\overline{\text{DREQ}}_2$) については内部にてポート 5、ポート A 兼用チャンネルとなっており、機能制御レジスタ PFFC にて選択します。

外部端子 ($\overline{\text{DREQ}}_3$ 、 $\overline{\text{DREQ}}_2$) からのデータ転送要求とアクノリッジ信号出力端子 ($\overline{\text{DACK}}_3$ 、 $\overline{\text{DACK}}_2$) があります。チャンネル 0 の方がチャンネル 1 よりも優先度が高く、チャンネル 1 の方がチャンネル 2 よりも、チャンネル 2 の方がチャンネル 3 よりも優先度が高くなっています。以降のチャンネルについても同様です。

TX19A プロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19A プロセッサコアはコアのデータバスを DMAC に対して開放します。したがって、DMAC はこのとき TX19A プロセッサコアにつながっている内蔵 ROM や内蔵 RAM にアクセスすることができます。DMAC はこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3 スヌープ機能」を参照ください。

DMAC はスヌープ機能の使用/不使用による 2 種類のバス制御権 (SREQ, GREQ) があります。GREQ はスヌープ機能を使用しないバス制御権要求で、SREQ はスヌープ機能を使用するバス制御権要求です。この 2 種類のバス制御権要求では、SREQ の方が GREQ より優先度が高くなっています。

10.2.2 DMAC内部ブロック

DMACの内部ブロックを図 10-2に示します。

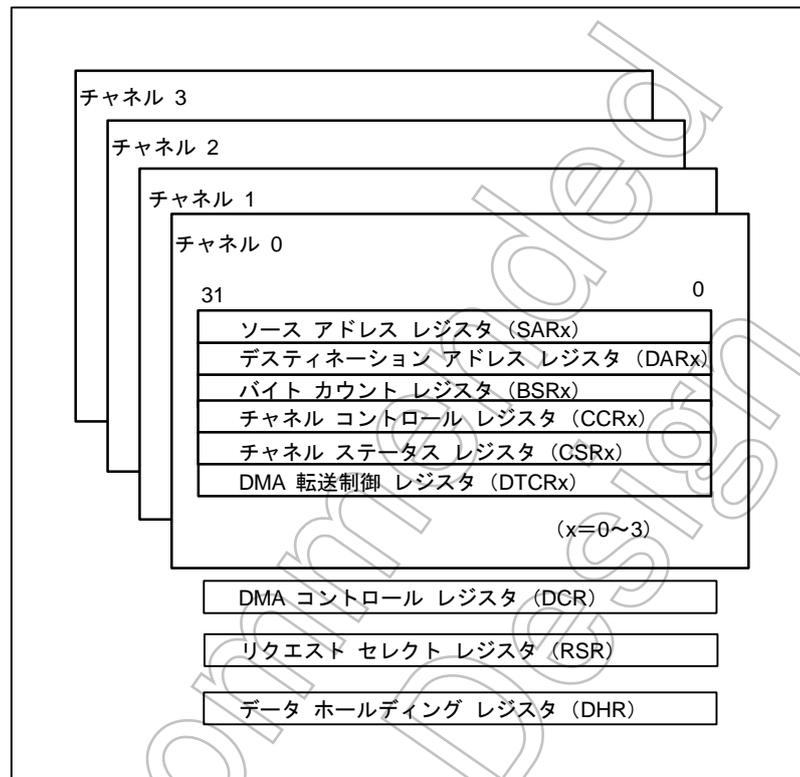


図 10-2 DMAC 内部ブロック

10.2.3 スヌープ機能

TX19A プロセッサコアには、スヌープ機能があります。

TX19A プロセッサコアは、スヌープ機能が働くとコアのデータバスを DMAC に対して開放します。コアは DMAC がバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMAC は内蔵 RAM や内蔵 ROM にアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMAC は内蔵 RAM、内蔵 ROM にアクセスできません。ただし、このときも G-Bus は DMAC へ開放していますので、TX19A プロセッサコアが G-Bus によりメモリ空間にアクセスしようとした場合には、DMAC がバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

(注) スヌープ機能を使用しないと、TX19A プロセッサコアはデータバスを DMAC に開放しません。この場合、DMAC のソースやデスティネーションに内蔵 RAM や内蔵 ROM を指定してあると、DMAC の転送バスサイクルに対してアクノリッジ信号が返ってこないためバスがロックします。

10.3 レジスタ

DMACは 27 本の 32 ビットレジスタを内蔵しています。表 10-1にDMACのレジスタマップを示します。

表 10-1 DMAC レジスタ一覧

アドレス	レジスタ記号	レジスタ名称
0xFFFF_E200	CCR0	チャンネル制御レジスタ (ch. 0)
0xFFFF_E204	CSR0	チャンネルステータスレジスタ (ch. 0)
0xFFFF_E208	SAR0	ソースアドレスレジスタ (ch. 0)
0xFFFF_E20C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFFFF_E210	BCR0	バイトカウントレジスタ (ch. 0)
0xFFFF_E218	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFFFF_E220	CCR1	チャンネル制御レジスタ (ch. 1)
0xFFFF_E224	CSR1	チャンネルステータスレジスタ (ch. 1)
0xFFFF_E228	SAR1	ソースアドレスレジスタ (ch. 1)
0xFFFF_E22C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFFFF_E230	BCR1	バイトカウントレジスタ (ch. 1)
0xFFFF_E238	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFFFF_E240	CCR2	チャンネル制御レジスタ (ch. 2)
0xFFFF_E244	CSR2	チャンネルステータスレジスタ (ch. 2)
0xFFFF_E248	SAR2	ソースアドレスレジスタ (ch. 2)
0xFFFF_E24C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFFFF_E250	BCR2	バイトカウントレジスタ (ch. 2)
0xFFFF_E258	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFFFF_E260	CCR3	チャンネル制御レジスタ (ch. 3)
0xFFFF_E264	CSR3	チャンネルステータスレジスタ (ch. 3)
0xFFFF_E268	SAR3	ソースアドレスレジスタ (ch. 3)
0xFFFF_E26C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFFFF_E270	BCR3	バイトカウントレジスタ (ch. 3)
0xFFFF_E278	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFFFF_E300	DCR	DMA 制御レジスタ (DMAC)
0xFFFF_E304	RSR	リクエストセレクトレジスタ (DMAC)
0xFFFF_E30C	DHR	データホールディングレジスタ (DMAC)

10.3.1 DMA制御レジスタ (DCR)

DCR
(0xFFFF_E300)

	7	6	5	4	3	2	1	0
bit Symbol					Rst3	Rst2	Rst1	Rst0
Read/Write	W							
リセット後	0							
機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	W							
リセット後	0							
機能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	W							
リセット後	0							
機能								
	31	30	29	28	27	26	25	24
bit Symbol	Rstall							
Read/Write	W							
リセット後	0							
機能	詳細説明を参照ください							

Not Recommended for New Design

ビット	ニモニク	フィールド名	説明
31	Rstall	リセットオール	DMAC のソフトウェアリセットを行います。Rstall ビットが 1 にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、すべての転送要求は取り消され、4 つのチャンネルは停止状態になります。 0: Don't care 1: DMAC を初期化
3	Rst3	リセット 3	DMAC チャンネル 3 のソフトウェアリセットを行います。Rst3 ビットが 1 にセットされると、DMAC チャンネル 3 の内部レジスタと、RSR レジスタのチャンネル 3 該当ビットは初期値になります。また、チャンネル 3 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 3 を初期化
2	Rst2	リセット 2	DMAC チャンネル 2 のソフトウェアリセットを行います。Rst2 ビットが 1 にセットされると、DMAC チャンネル 2 の内部レジスタと、RSR レジスタのチャンネル 2 該当ビットは初期値になります。また、チャンネル 2 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 2 を初期化
1	Rst1	リセット 1	DMAC チャンネル 1 のソフトウェアリセットを行います。Rst1 ビットが 1 にセットされると、DMAC チャンネル 1 の内部レジスタと、RSR レジスタのチャンネル 1 該当ビットは初期値になります。また、チャンネル 1 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 1 を初期化
0	Rst0	リセット 0	DMAC チャンネル 0 のソフトウェアリセットを行います。Rst0 ビットが 1 にセットされると、DMAC チャンネル 0 の内部レジスタと、RSR レジスタのチャンネル 0 該当ビットは初期値になります。また、チャンネル 0 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 0 を初期化

図10-3 DMA 制御レジスタ (DCR)

(注 1) ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャンネルレジスタ等の初期化は行われますが、DMA 転送終了割り込みはキャンセルされません。

(注 2) DCR レジスタへの書き込み (ソフトリセット) は DMA 転送を利用して行うような使い方は避けてください。

10.3.2 チャネル制御レジスタ (CCRn)

CCRn (0xFFFF_E200) (0xFFFF_E220) (0xFFFF_E240) (0xFFFF_E260)		7	6	5	4	3	2	1	0
	bit Symbol	SAC		DAC		TrSiz		DPS	
	Read/Write	R/W	R/W	R/W		R/W		R/W	
	リセット後	0							
	機能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol		ExR	PosE	Lev	SReq	ReIEn	SIO	SAC
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0							
	機能	常に"0"を設定してください	詳細説明を参照ください						
	23	22	21	20	19	18	17	16	
bit Symbol	NIEn	AbIEn					Big		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	1			0			1	0	
機能	詳細説明を参照ください		常に"0"を設定してください				詳細説明を参照ください	常に"0"を設定してください	
	31	30	29	28	27	26	25	24	
bit Symbol	Str								
Read/Write	W							W	
リセット後	0								
機能	詳細説明を参照ください							常に"0"を設定してください	

図10-4 チャネル制御レジスタ (CCRn) (1/2)

ビット	ニモニック	フィールド名	説明
31	Str	チャンネルスタート	Start (初期値 1) チャンネル動作を起動します。このビットに 1 をセットすることにより、チャンネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは 1 のみが有効で、0 の書き込みは無視されます。また、読み出すと常に 0 です。 1: チャンネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
23	NIEn	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値 1) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AblEn	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値 1) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	このビットは予約ビットです。初期値は "1" ですが、常に "0" を設定してください。
20	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
19	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
18	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
17	Big	ビッグエンディアン	Big Endian (初期値 1) 1: チャンネルはビッグエンディアンで動作 0: チャンネルはリトルエンディアンで動作
16	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
15	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値 0) 転送要求モードを指定します。(2ch,3ch のみ適用) 1: 外部転送要求 (割り込み要求または外部 DREQn 要求) 0: 内部転送要求 (ソフトスタート)
13	PosE	立ち上がりエッジ	Positive Edge (初期値 0) 転送要求信号 $\overline{\text{INTDREQn}}$ または $\overline{\text{DREQn}}$ の有効レベルを指定します。転送要求が外部転送要求のとき (ExR ビットが 1) のみ有効です。内部転送要求のとき (ExR ビットが 0) は PosE の値は無視されます。 $\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ 信号は "L" レベルアクティブの信号なので、この PosE ビットをかならず "0" に設定してください。 1: 設定禁止 0: $\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ 信号の立ち下がり、または "L" レベルが有効。 $\overline{\text{DACKn}}$ 信号のアクティブレベルは "L" レベル
12	Lev	レベルモード	Level Mode (初期値 0) 外部転送要求の要求方法を指定します。転送要求として外部転送要求が設定されているとき (ExR ビットが 1) のみ有効です。内部転送要求が設定されているとき (ExR ビットが 0) は、Lev ビットの値は無視されます。 $\overline{\text{INTDREQn}}$ 信号は "L" レベルアクティブの信号なので、この Lev ビットをかならず "1" に設定してください。 $\overline{\text{DREQn}}$ のアクティブの状態は Lev ビットの設定によります。 1: レベルモード。 $\overline{\text{DREQn}}$ 信号のレベル (PosE ビットが 0 のとき "L" レベル) をデータ転送要求として認識します。 0: エッジモード。 $\overline{\text{DREQn}}$ 信号の変化 (PosE ビットが 0 のとき立ち下がりエッジ) をデータ転送要求として認識します。
11	SReq	スヌープ要求	Snoop Request (初期値 0) バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、TX19A プロセッサコアのスヌープ機能が有効になり、DMAC はコアのデータバスを使用できます。使用しない場合、TX19A プロセッサコアのスヌープ機能は働きません。 1: スヌープ機能を使用する (SREQ)。 0: スヌープ機能を使用しない (GREQ)。

ビット	モニタック	フィールド名	説明
10	RelEn	バス制御権解放要求許可	Release Request Enable (初期値 0) TX19A プロセッサコアからのバス制御権解放要求に対して応答することを指定します。 この機能は GREQ のときのみ有効です。SREQ のときには TX19A プロセッサコアはバス制御権解放要求を出せないでこの機能は無効になります。 1: DMAC がバス権を所有しているときに、バス制御権解放要求に応えます。TX19A プロセッサコアがバス制御権解放要求を発行すると、DMAC はバスオペレーションの切れ目でバス制御権をコアに戻します。 0: バス制御権解放要求に応えません。
9	SIO	転送方法の選択	Source Type: I/O (初期値 0) 1: 単発転送 0: 連続転送 (BCRx が 0 になるまで連続転送します)
8 : 7	SAC	ソースアドレスカウンタ	Source Address Count (初期値 00) ソースのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
6	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
5 : 4	DAC	デスティネーションアドレスカウンタ	Destination Address Count (初期値 00) デスティネーションのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
3 : 2	TrSiz	転送単位	Transfer-Size (初期値 00) 1 回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト) ※必ずデバイスポートサイズ(DPS)と同じ設定にしてください
1 : 0	DPS	デバイスポートサイズ	Device Port Size (初期値 00) ソースデバイスもしくはデスティネーションデバイスとして指定した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト) ※必ず転送単位(TrSiz)と同じ設定にしてください

図 10-4 チャネル制御レジスタ (CCRn) (2/2)

(注 1) CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。

(注 2) 内蔵 I/O をアクセスする場合、DREQ 端子要求による DMA 転送の場合は、転送単位<TrSiz>とデバイスポートサイズ<DPS>とをかならず同じサイズに設定してください。

(注 3) メモリ間転送の時には、DPS にセットされた値は無効になります。

(注 4) モードの設定を行ってから、<Str>ビットの設定を行ってください。

10.3.3 リクエスト選択レジスタ (RSR)

RSR
(0xFFFF_E304H)

	7	6	5	4	3	2	1	0
bit Symbol					ReqS4	ReqS4		
Read/Write					R/W	R/W		
リセット後	0							
機能	常に"0"を設定してください				詳細説明を参照ください		常に"0"を設定してください	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後	0							
機能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後	0							
機能								
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後	0							
機能								

ビット	ニモニック	フィールド名	説明
3	ReqS3	リクエストセレクト (ch.3)	Request Select (初期値 0) DMA チャンネル 3 に対する外部転送要求の選択を行います。 1: DREQ3 からの要求 0: 割り込みコントローラ (INTC) からの要求
2	ReqS2	リクエストセレクト (ch.2)	Request Select (初期値 0) DMA チャンネル 2 に対する外部転送要求の選択を行います。 1: DREQ2 からの要求 0: 割り込みコントローラ (INTC) からの要求

(注) RSR レジスタのビット 0,1、4~7 はかならず"0"をライトしてください。

図10-5 DMA 制御レジスタ (RSR)

10.3.4 チャネルステータスレジスタ (CSRn)

CSRn (0xFFFF_E204H) (0xFFFF_E224H) (0xFFFF_E244H) (0xFFFF_E264H)		7	6	5	4	3	2	1	0
	bit Symbol								
	Read/Write								R/W
	リセット後	0							
機能							常に“0”を設定してください		
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write									
リセット後	0								
機能									
		23	22	21	20	19	18	17	16
bit Symbol		NC	AbC		BES	BED	Conf		
Read/Write		R/W	R/W	R/W	R	R	R		
リセット後	0								
機能		詳細説明を参照ください		常に“0”を設定してください		詳細説明を参照ください			
		31	30	29	28	27	26	25	24
bit Symbol		Act							
Read/Write		R							
リセット後	0								
機能		詳細説明を参照ください							

図10-6 チャネルステータスレジスタ (CSRn) (1/2)

Not Recommended for New

ビット	ニモニック	フィールド名	説明
31	Act	チャンネルアクティブ	Channel Active (初期値 0) チャンネルが待機状態であることを示します。 1: チャンネルは待機状態である。 0: チャンネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 0) チャンネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが"1"になると、DMAC は割り込みを要求します。 NC ビットに"0"を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが"0"になると、割り込み要求をとり上げます。 NC ビットが"1"のとき、Str ビットを"1"にセットしようとするとエラーになります。次の転送を開始するときには、NC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャンネル動作が正常終了。 0: チャンネル動作が正常終了していない。
22	AbC	異常終了	Abnormal Completion (初期値 0) チャンネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが"1"になると、DMAC は割り込みを要求します。AbC ビットは"0"を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが"0"になると、割り込み要求をとり上げます。また、AbC ビットが"0"にクリアされると、BES、BED および Conf の各ビットを"0"にクリアします。 AbC ビットが"1"のとき、Str ビットを"1"にセットしようとするとエラーになります。次の転送を開始するときには、AbC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャンネル動作が異常終了。 0: チャンネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に"0"を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 0) 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 0) 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 0) 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2:0	—	(予約済み)	このビットは3ビットとも予約ビットです。すべてのビットに対して常に"0"を設定してください。

図10-6 チャンネルステータスレジスタ (CSRn) (2/2)

10.3.5 ソースアドレスレジスタ (SARn)

SARn (0xFFFF_E208H) (0xFFFF_E228H) (0xFFFF_E248H) (0xFFFF_E268H)		7	6	5	4	3	2	1	0
	bit Symbol	SAddr7	SAddr6	SAddr5	SAddr4	SAddr3	SAddr2	SAddr1	SAddr0
	Read/Write	R/W							
	リセット後	不定							
機能	詳細説明を参照ください								
		15	14	13	12	11	10	9	8
bit Symbol	SAddr15	SAddr14	SAddr13	SAddr12	SAddr11	SAddr10	SAddr9	SAddr8	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください								
		23	22	21	20	19	18	17	16
bit Symbol	SAddr23	SAddr22	SAddr21	SAddr20	SAddr19	SAddr18	SAddr17	SAddr16	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください								
		31	30	29	28	27	26	25	24
bit Symbol	SAddr31	SAddr30	SAddr29	SAddr28	SAddr27	SAddr26	SAddr25	SAddr24	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください								

ビット	ニモニック	フィールド名	説明
31:0	SAddr	ソースアドレス	Source Address (初期値-) データ転送元となるソースのアドレスを物理アドレスで設定します。CCRnのSAC, TrSizで指定された内容と、DTCRnのSACMで指定された内容に従ってアドレスが変化します。

図10-7 ソースアドレスレジスタ (SARn)

10.3.6 デスティネーションアドレスレジスタ (DARn)

DARn (0xFFFF_E20CH) (0xFFFF_E22CH) (0xFFFF_E24CH) (0xFFFF_E26CH)		7	6	5	4	3	2	1	0
	bit Symbol	DAddr7	DAddr6	DAddr5	DAddr4	DAddr3	DAddr2	DAddr1	DAddr0
	Read/Write	R/W							
	リセット後	不定							
		15	14	13	12	11	10	9	8
	bit Symbol	DAddr15	DAddr14	DAddr13	DAddr12	DAddr11	DAddr10	DAddr9	DAddr8
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	DAddr23	DAddr22	DAddr21	DAddr20	DAddr19	DAddr18	DAddr17	DAddr16
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
	bit Symbol	DAddr31	DAddr30	DAddr29	DAddr28	DAddr27	DAddr26	DAddr25	DAddr24
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							

ビット	ニモニック	フィールド名	説明
31:0	DAddr	デスティネーションアドレス	Destination Address (初期値-) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRn の DAC, TrSiz で指定された内容と、DTCRn の DACM で指定された内容に従ってアドレスが変化します。

図10-8 デスティネーションアドレスレジスタ (DARn)

10.3.7 バイトカウントレジスタ (BCRn)

BCRn (0xFFFF_E210) (0xFFFF_E230) (0xFFFF_E250) (0xFFFF_E270)		7	6	5	4	3	2	1	0
	bit Symbol	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
bit Symbol	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	
Read/Write	R/W								
リセット後	0								
機能	詳細説明を参照ください								
		23	22	21	20	19	18	17	16
bit Symbol	BC23	BC22	BC21	BC20	BC19	BC18	BC17	BC16	
Read/Write	R/W								
リセット後	0								
機能	詳細説明を参照ください								
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write									
リセット後	0								
機能									

ビット	ニモニック	フィールド名	説明
23:0	BC	バイトカウント	Byte Count (初期値 0) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

図10-9 バイトカウントレジスタ (BCRn)

10.3.8 DMA転送制御レジスタ (DTCRn)

DTCRn (0xFFFF_E218H) (0xFFFF_E238H) (0xFFFF_E258H) (0xFFFF_E278H)		7	6	5	4	3	2	1	0
	bit Symbol	DACM				SACM			
	Read/Write	R/W				R/W			
	リセット後	0							
	機能	詳細説明を参照ください				詳細説明を参照ください			
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後	0							
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write								
	リセット後	0							
	機能								
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write									
リセット後	0								
機能									

ビット	ニモニク	フィールド名	説明
5:3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止
2:0	SACM	ソースアドレスカウントモード	Source Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止

図10-10 DMA 転送制御レジスタ (DTCRn)

10.3.9 データホールディングレジスタ (DHR)

DHR
(0xFFFF_E30CH)

	7	6	5	4	3	2	1	0
bit Symbol	DOT7	DOT6	DOT5	DOT4	DOT3	DOT2	DOT1	DOT0
Read/Write	R/W							
リセット後	0							
機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8
bit Symbol	DOT15	DOT14	DOT13	DOT12	DOT11	DOT10	DOT9	DOT8
Read/Write	R/W							
リセット後	0							
機能	詳細説明を参照ください							
	23	22	21	20	19	18	17	16
bit Symbol	DOT23	DOT22	DOT21	DOT20	DOT19	DOT18	DOT17	DOT16
Read/Write	R/W							
リセット後	0							
機能	詳細説明を参照ください							
	31	30	29	28	27	26	25	24
bit Symbol	DOT31	DOT30	DOT29	DOT28	DOT27	DOT26	DOT25	DOT24
Read/Write	R/W							
リセット後	0							
機能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説明
31:0	DOT	転送データ	Data on Transfer (初期値 0) デュアルアドレスモードでの転送で、ソースからリードしたデータです。

図10-11 データホールディングレジスタ (DHR)

10.4 動作

DMAC は TX19A プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

10.4.1 詳細

(1) ソースとデスティネーション

DMAC は、メモリ空間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとして、メモリを指定できます。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ (INTC) が DMAC に対してリクエストを出します (このとき TX19A プロセッサコアに対しては割り込み要求は通知されません。詳しくは「割り込み」の項を参照してください)。この INTC からの要求は \overline{DACKn} 信号によってクリアされます。転送方法の選択 (SIO BIT) にて単発転送が設定されているときには DMAC への要求は 1 回の転送 (TrSiz で指定した転送サイズ分の転送) ごとに解除されます。これに対して連続転送を設定した場合には転送バイト数 (BCRn レジスタの値) が “0” になったときだけ \overline{DACKn} がアサートされるので、1 回の転送要求で連続してデータ転送を行います。

例えば、TMP19A23 の内蔵 I/O と内蔵 (外部) メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされますが、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います。

(2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19A プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19A プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャンネルごとに CCRn レジスタのビット 11 (SReq) で設定します。

また、TX19A プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャンネルごとに CCRn レジスタのビット 10 (RelEn) で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード (SREQ) のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。

転送要求がなくなると、DMAC はバス制御権を解放します。

(注 1) DMAC 動作中は Halt 動作に移行しないでください。

(注 2) スヌープ機能を使用時は、IDLE (Doze) モードへ移行する前に DMAC を停止してください。

(注 3) RAM から RAM への転送は連続転送を設定してください。単発転送は出来ません。

(3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求が発生するモードです。DMAC 内蔵レジスタのスタートビット（チャンネル制御レジスタ CCRn の Str ビット）に “1” をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに “1” をセットした後、INTC が出力する転送要求信号 (INTDREQn) の入力または外部デバイスが出力する転送要求信号 DREQn の入力により転送要求が発生するモードです。DMAC は INTDREQn 信号の “L” レベル検出で転送要求が発生するレベルモードと、DREQn 信号の立下りエッジまたは “L” レベル検出で転送要求が発生するモードとがあります。

(4) アドレスモード

TMP19A23 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。デュアルアドレスモードでは、メモリ空間のデータ転送を行います。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は DACKn 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの 2 つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ (DHR) にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

(5) チャンネル動作

DMAC には 4 つのチャンネル（チャンネル 0～チャンネル 3）があります。チャンネルは、チャンネル制御レジスタ (CCRn) のスタート (Str) ビットを “1” にセットすることにより起動され、待機状態になります。

チャンネルが待機状態のときに転送要求が発生すると、DMAC はバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMAC はバス制御権を解放して待機状態になります。転送が終了すると、チャンネルは停止状態になります。転送終了には、正常終了と、エラー発生などによる異常終了とがあります。転送終了時には割り込み信号が発生することができます。

チャンネル動作の状態遷移の概略を図 10-12 に示します。

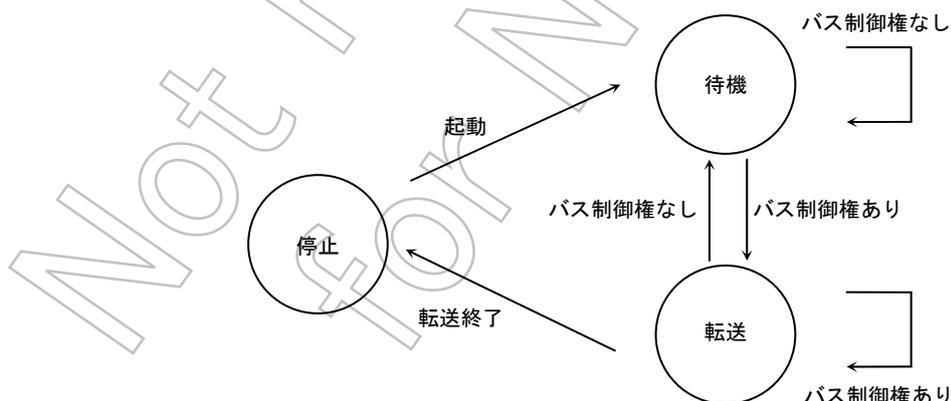


図10-12 チャンネル動作の状態遷移

(6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

転送要求	エッジ/レベル	アドレスモード	転送方法
内部	—	デュアル	連続転送
外部	“L” レベル (INTDREQn)		連続転送
	“L” レベル (DREQn)		単発転送
外部	立ち下がりエッジ (DREQn)		連続転送
	立ち下がりエッジ (DREQn)	単発転送	

(7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の3タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。単発転送を選んだ場合は、ソースデバイスまたはデスティネーションデバイスの設定は、CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTGRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0, 4, 8, 12, 16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4, 8, 12, 16 を指定することで変則増加、変則減少をさせることができます。

アドレス変化の例を示します。

例1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加

DAC: アドレス増加

TrSiz: 転送単位 32 ビット

ソースアドレス: 0xA000_1000

デスティネーションアドレス: 0xB000_0000

SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1004	0xB000_0010
3 回目	0xA000_1008	0xB000_0020
4 回目	0xA000_100C	0xB000_0030

... ..

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少
 DAC: アドレス減少
 TrSiz: 転送単位 16 ビット
 ソースアドレス: 初期値 0xA000_1000
 デスティネーションアドレス: 0xB000_0000
 SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。
 DAGM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA

10.4.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求が発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャンネルごとに設定できます。

どちらの転送要求の場合でも、チャンネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

- 内部転送要求

CCR_n の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

内部転送要求では、チャンネル動作が終了するまで転送要求がありますので、優先度の高いチャンネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起こらない限り、連続してデータ転送を行います。

- 外部転送要求

CCR_n の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャンネルが待機状態になった後、チャンネルに対応する INTDREQ_n 信号または DREQ_n 信号により転送要求が INTC または外部デバイスから通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。

TMP19A23 のリクエスト信号の認識方法は、INTDREQ_n 信号の “L” レベル検出、DREQ_n 信号の立ち下がりエッジまたは “L” レベル検出のみです。

1 回の転送要求に対するデータ転送単位は CCR_n の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

INTDREQ_n、DREQ_n による転送要求の詳細を次に説明します。

① 割り込みコントローラ（INTC）からの要求

\overline{DACKn} 信号によってクリアされます。この \overline{DACKn} 信号は単発転送のバスサイクル、もしくは連続転送設定時の転送バイト数（BCRn レジスタの値）が“0”になったときだけアサートされます。したがって、単発転送では、転送要求ごとに INTDREQn がクリアされるので、TrSiz で指定した転送サイズ分の転送が1回行われるだけです。一方、連続転送では、転送バイト数（BCRn レジスタの値）が“0”になるまで INTDREQn がクリアされないため、1回の転送要求で連続してデータ転送が行えます。

なお、INTDREQn に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などによってクリアされた場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に1回実行されることがあります。

② 外部デバイスからの要求

外部端子（DREQ3、DREQ2）は、内部にてポート 5、ポート A 兼用チャネルとなっています。機能制御レジスタ PFFC にて外部端子を選択することができます。

エッジモードでは転送要求ごとに、いったん DREQn 信号をデアサートしてからアサートして有効エッジを作る必要がありますが、レベルモードでは、有効レベルを保持することで、連続した転送要求を認識できます。連続転送では“L”レベルモードのみ、単発転送では立下りエッジモードのみ使用可能です。

ーレベルモード

レベルモードでは、内部システムクロックの立ち上がりで \overline{DREQn} 信号を“L”レベル検出します。チャネルが待機状態のときに、 \overline{DREQn} 信号に“L”レベルを検出すると、DMAC は転送状態に移り、データ転送を開始します。 \overline{DREQn} 信号のアクティブレベルは CCRn レジスタの PosE ビット（bit13）を“0”にして使用します。 \overline{DACKn} 信号のアクティブレベルは \overline{DREQn} 信号と同じ“L”アクティブです。

外部回路が \overline{DREQn} 信号をアサートしたら、 \overline{DACKn} 信号がアサートされるまで \overline{DREQn} 信号を“L”レベルに保持してください。 \overline{DACKn} 信号がアサートされる前に \overline{DREQn} 信号をデアサートした場合には、転送要求が認識されないことがあります。

\overline{DREQn} 信号が“L”レベルでないと、転送要求がないとして、他のチャネルの転送動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz フィールド（〈bit3:2〉）で指定します。

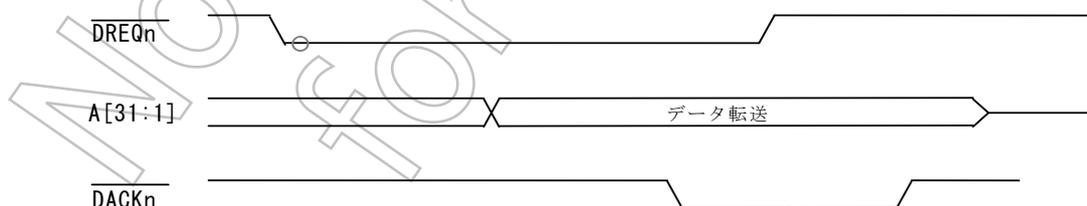


図10-13 転送要求タイミング（レベルモード）

－エッジモード

エッジモードでは、 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを検出します。チャンネルが待機状態にあるときに内部システムクロックの立ち上がりで $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識する（1つ前のシステムクロックの立ち上がりでは”L”レベルではなかったが、現在は”L”レベルである場合）と、DMACは転送要求があると認識して転送状態に移り、転送動作を開始します。 $\overline{\text{DREQn}}$ 信号の立ち下がりには、CCRnレジスタの PosEビット (bit13) を”0”に、Levビット (bit12) を”0”に設定します。DACKn信号のアクティブレベルは”L”レベルです。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識すると、続けて次のデータが転送されます。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジがない場合には、転送要求がないとして、他のチャンネル動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRnレジスタの TrSizビット (<bit3:2>) で指定します。



図10-14 転送要求タイミング（エッジモード）

10.4.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP19A23 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

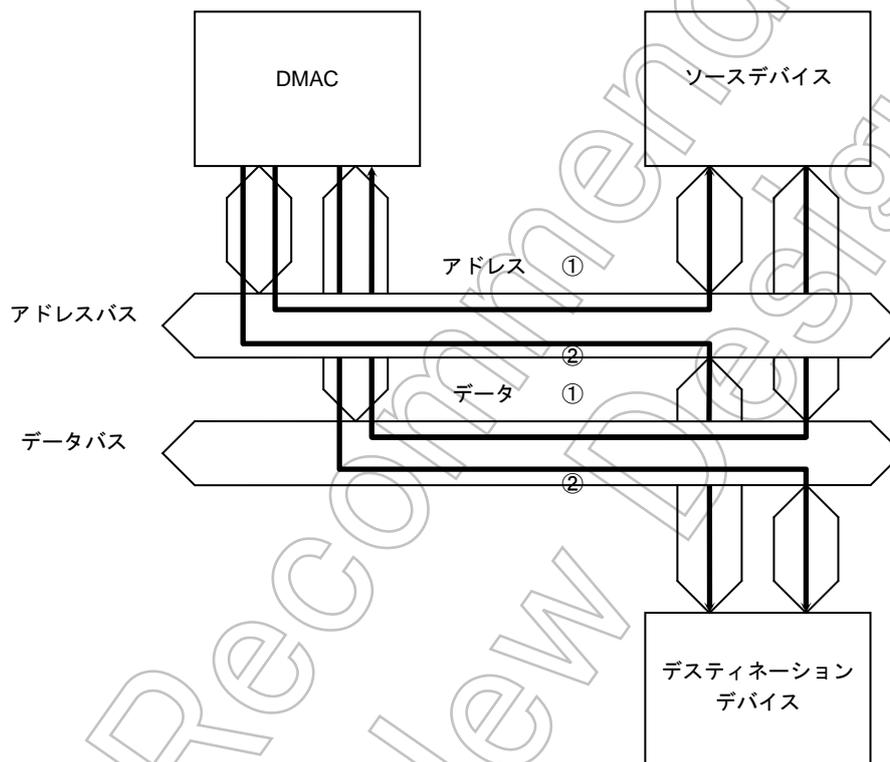


図10-15 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識するごとにこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

メモリへのアクセスは設定したデータ転送単位で発生しますが、外部のメモリへのアクセスの場合、データ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 16 ビットの場合には 2 回の 16 ビットアクセスが発生することになります。同様にデータ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 8 ビットの場合には 4 回の 8 ビットアクセスが発生することになります。

10.4.4 チャネル動作

チャネルは、各チャネルの CCRn の Str ビットが “1” にセットされると起動されます。チャネルが起動されると、起動のチェックが行われ、エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMAC はバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRn に示されます。

チャネル動作の開始

チャネルは CCRn の Str ビットが “1” にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルの CSRn の Act ビットが “1” になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMAC はバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、INTDREQn または DREQn がアサートされると DMAC はバス制御権を得てデータ転送を開始します。

チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRn に示されます。

CSRn レジスタの NC ビットあるいは AbC ビットが “1” のときに CCRn レジスタの Str ビットに “1” をセットしようとするとき、チャネル動作は開始せず、異常終了となります。

正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位 (CCRn の TrSiz フィールドで設定した値) での転送終了後の終了となります。

- BCRn の内容が 0 になりデータ転送が終了した場合

異常終了

DMAC の異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA 転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRn の値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRn の AbC ビットが “1” にセットされると同時に Conf ビットも “1” にセットされます。以下にコンフィグレーションエラーの要因を示します。

- CSRn の NC ビットあるいは AbC ビットの値が “1” であるときに CCRn の Str ビットに “1” をセットした。
- BCRn にデータ転送単位で割り切れない値を設定した。
- SARn、DARn にデータ転送単位で割り切れない値を設定した。
- BCRn の値が 0 のときに CCRn の Str ビットに “1” をセットした。

- バスエラーによる終了
バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。
 - データ転送中にバスエラーが通知された。

(注) バスエラーで終了した場合の BCR、SAR、DAR の値は保証されません。
バスエラーを起こす場合は後述の「21. 機能レジスタ一覧表」を参照してください。

10.4.5 チャンネルの優先順位

DMAC にある 4 つのチャンネルのうち、チャンネル番号の小さい方の優先度が常に高くなっています。このため、チャンネル 0 とチャンネル 1 と同時に転送要求が発生すると、チャンネル 0 の転送要求に対する転送動作をまず行います。チャンネル 0 の転送要求がなくなった時点でチャンネル 1 に依然として転送要求が発生していれば、チャンネル 1 の転送動作を実行しませんが（内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください）。

また、チャンネル 1 のデータ転送中にチャンネル 0 に転送要求が発生すると、チャンネル遷移が起こりません。チャンネル 1 のデータ転送を一時中断し、チャンネル 0 の転送を開始します。チャンネル 0 の転送要求がなくなると、チャンネル 1 の転送動作を再開します。

チャンネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

割り込み

DMAC はチャンネル動作終了時に TX19A プロセッサコアに割り込み（INTDMA_n : DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

INTDMA0 : 0ch, INTDMA1 : 1ch, INTDMA2 : 2ch, INTDMA3 : 3ch

- 正常終了割り込み
チャンネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19A プロセッサコアに割り込みを要求します。
- 異常終了割り込み
チャンネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19A プロセッサコアに割り込みを要求します。

10.5 タイミング図

DMACの動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

10.5.1 デュアルアドレスモード

- 連続転送

外部メモリ（16ビット幅）から外部メモリ（16ビット幅）へ16ビットデータ転送する場合の1回分のタイミング例を図10-16に示します。実際にはデータはBCRnが“0”になるまで連続して転送されます。

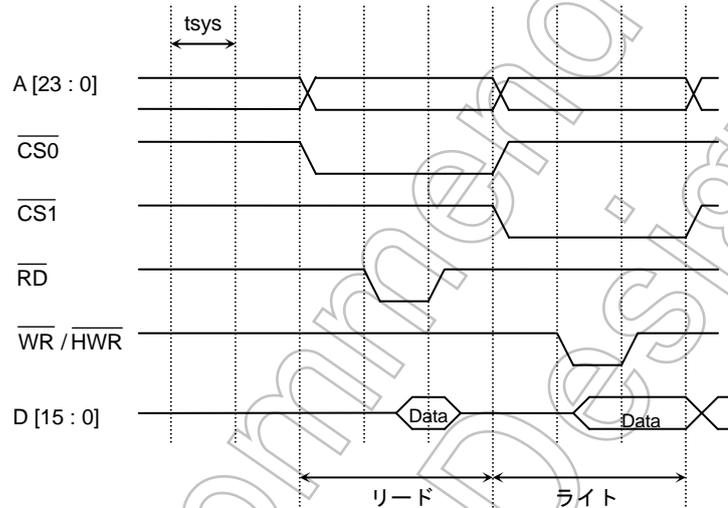


図10-16 デュアルアドレスモード（連続転送）

- 単発転送（1）

データ転送単位16ビット、デバイスポートサイズ16ビットに設定した場合の、転送のタイミング例を図10-17に示します。

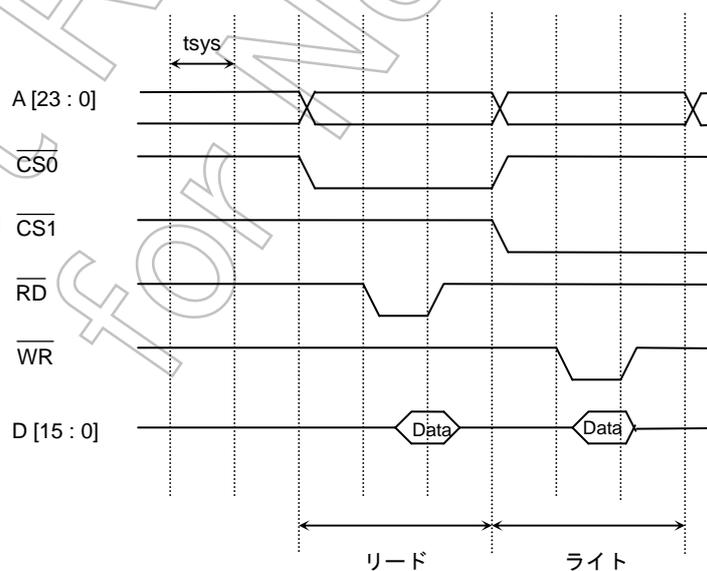


図10-17 デュアルアドレスモード（単発転送）

- 単発転送（2）

データ転送単位 16 ビット、デバイスポートサイズ 16 ビットに設定した場合の、I/Oデバイス→メモリ転送のタイミング例を図 10-18 に示します。

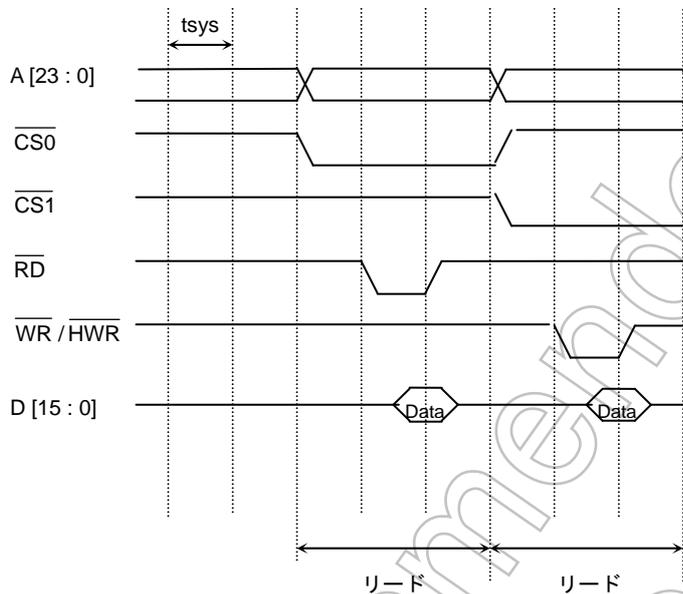


図10-18 デュアルアドレスモード（単発転送）

10.5.2 DREQnによる転送モード

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5ウェイト挿入、レベルモード）
内蔵RAMから外部メモリ（16ビット幅）へ16ビットデータ転送する場合の2回分のタイミング例を図10-19に示します。

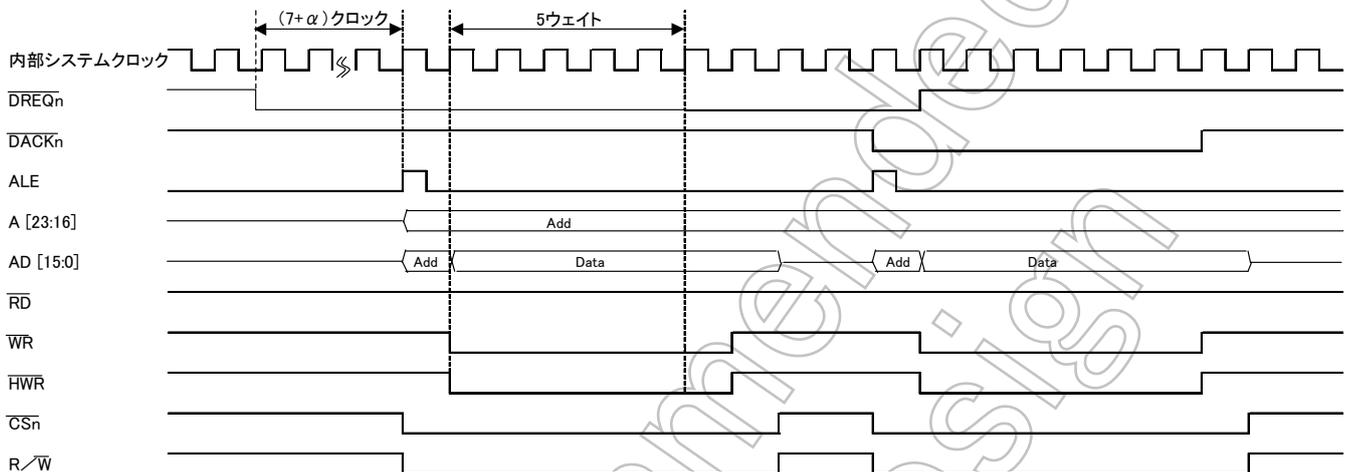


図 10-19 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5ウェイト挿入、レベルモード）
外部メモリ（16ビット幅）から内蔵RAMへ16ビットデータ転送する場合の2回分のタイミング例を図10-20に示します。

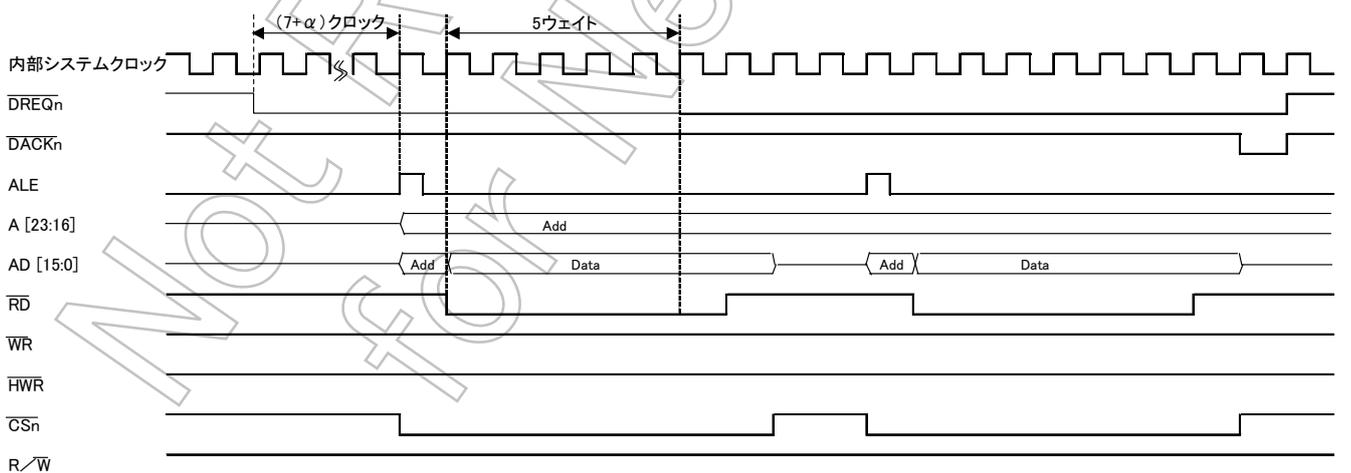


図 10-20 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、レベルモード）
内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-21 に示します。

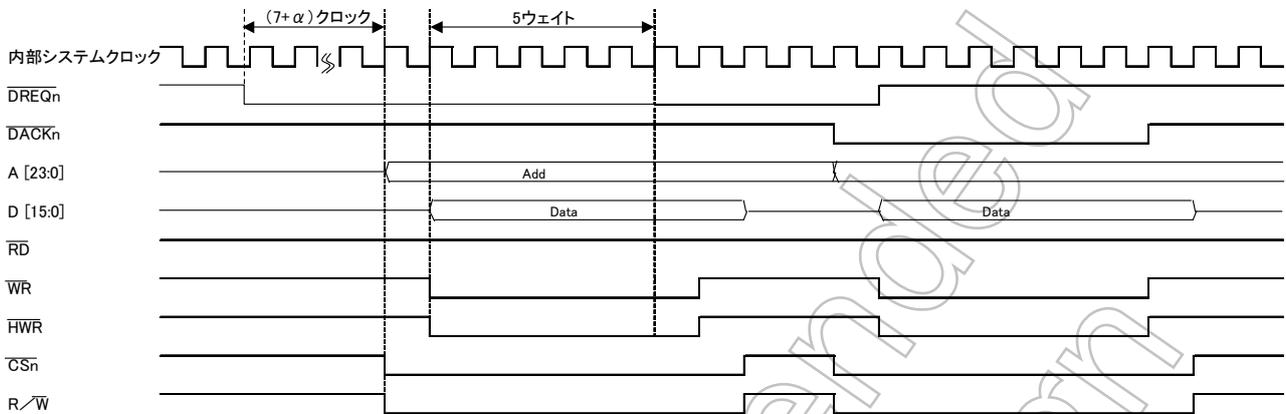


図 10-21 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、レベルモード）
外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-22 に示します。

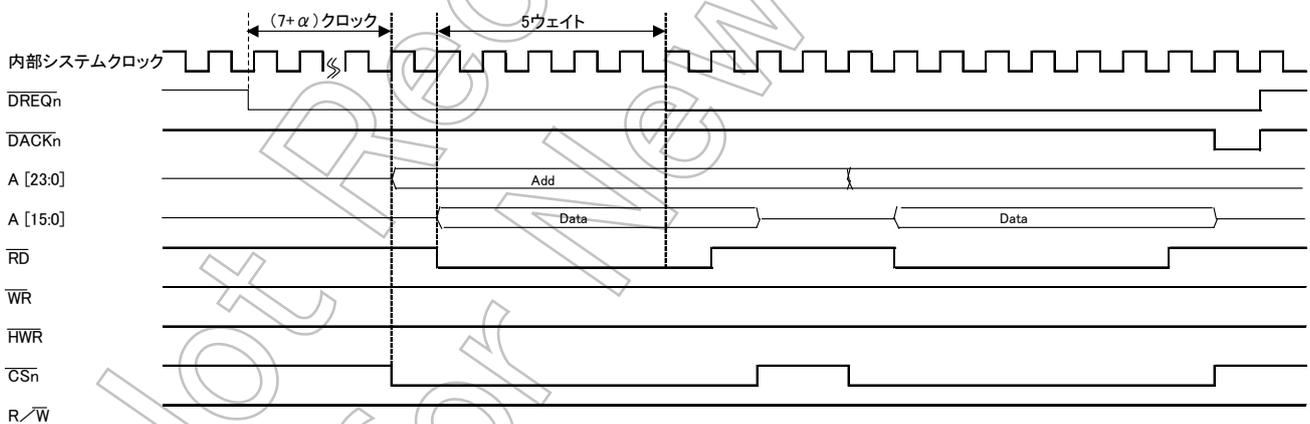


図 10-22 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
 内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-23 に示します。

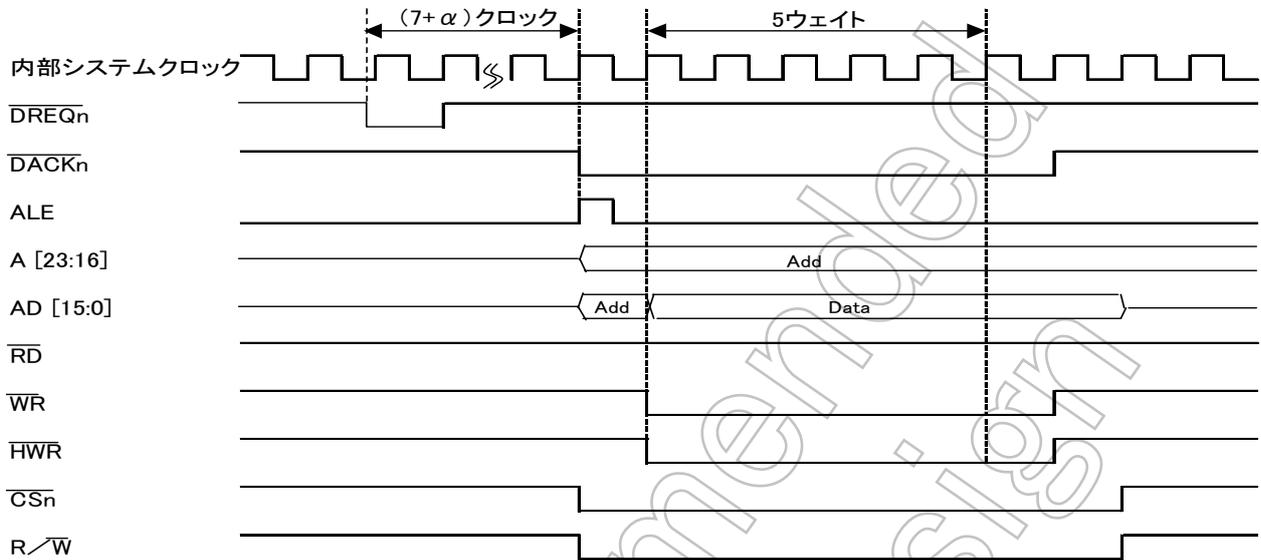


図 10-23 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
 外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-24 に示します。

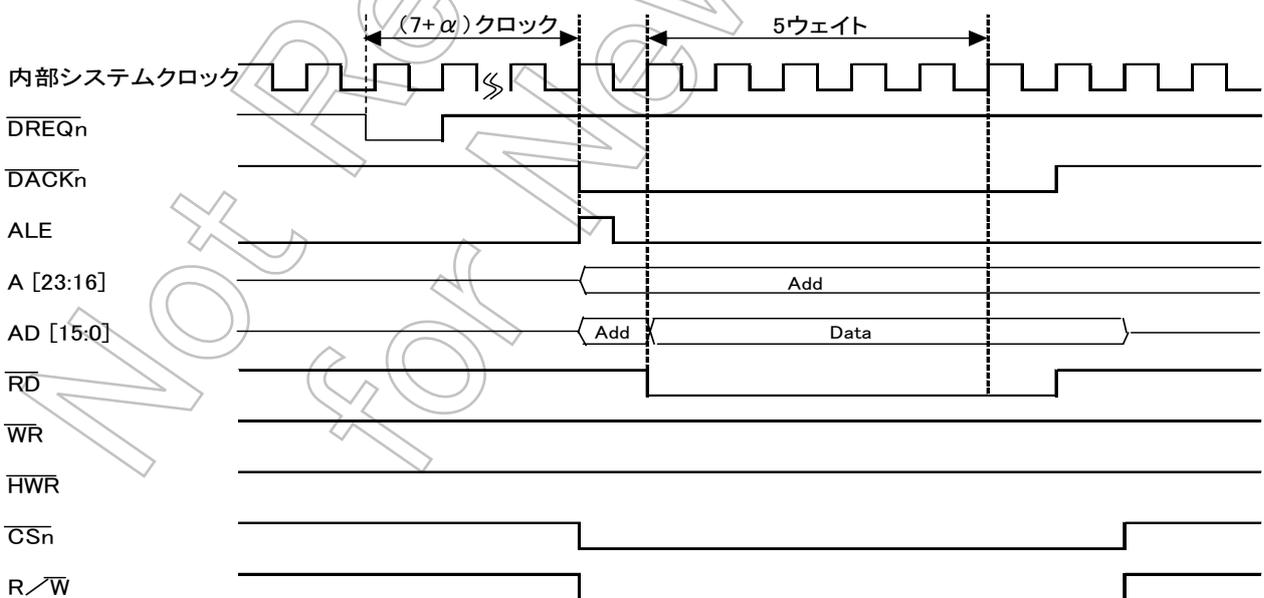


図 10-24 エッジモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、エッジモード）
 内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-25 に示します。

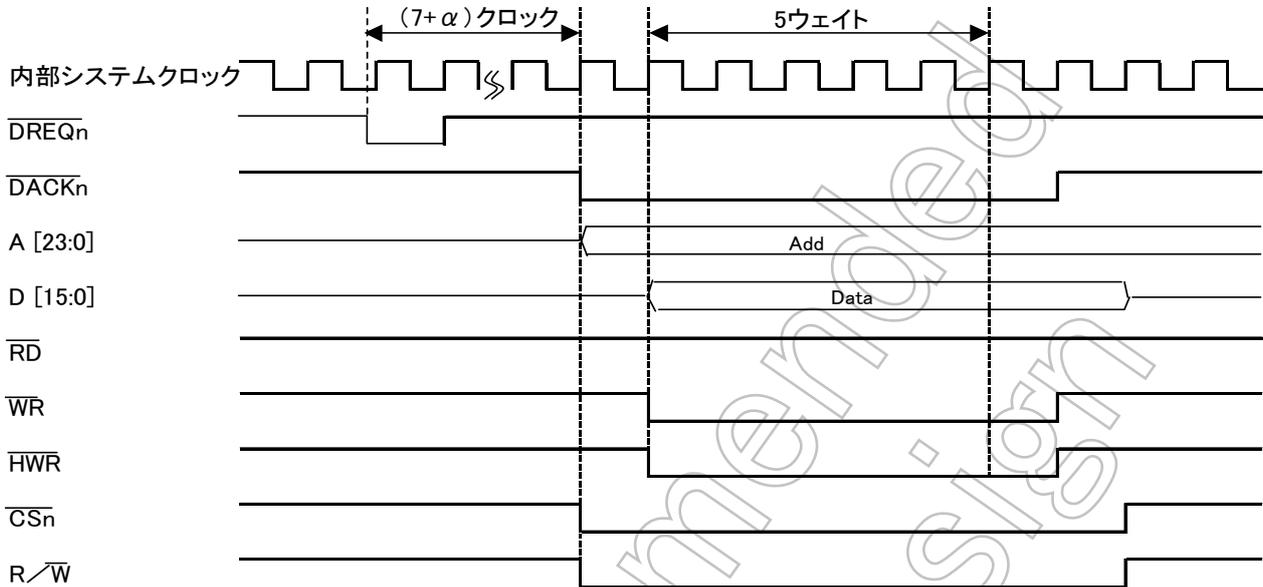


図 10-25 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、エッジモード）
 外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-26 に示します。

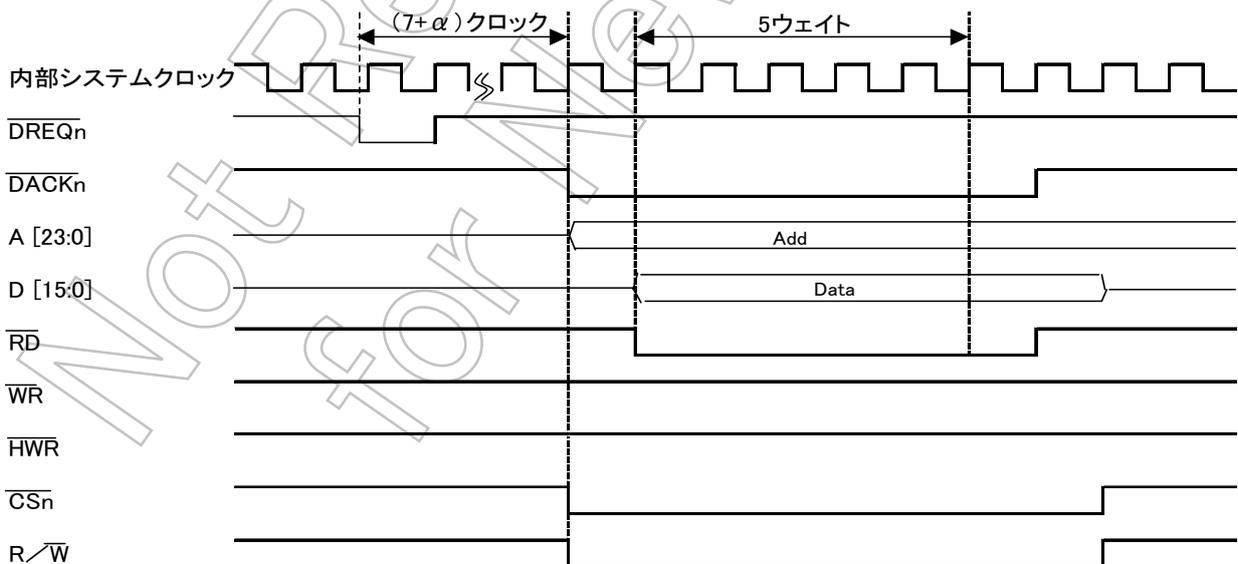


図 10-26 エッジモード（外部メモリ→内蔵 RAM）

10.6 設定例：シリアル受信データ（SCnBUF）を内蔵RAMにDMA転送する例

転送には DMA (ch. 0) を使い、SIO1 の受信割り込みで DMA0 を起動します。

<DMA 設定例>

- 使用チャンネル： 0
- ソースアドレス： SC1BUF
- デスティネーション：（物理アドレス） 0xFFFF_9800
- 転送バイト数： 256 バイト

<シリアルチャンネル設定例>

- データ長 8 ビット： UART
- シリアルチャンネル： ch1
- 転送レート： 9600bps

<SIO ch.1 設定>

IMC4HH	←	x111, x000	/* DMCO 起動要因に割り当て */
INTCLR	←	0x04C	/* IVR [8:0], INTRX1 割り込み要因 */
SC1MOD0	←	0x29	/* UART モード, 8 ビット長, ボーレートジェネレータ */
SC1CR	←	0x00	
BR1CR	←	0x1F	/* φT4, N=15 */

<DMA0 設定>

DCR	←	0x8000_0000	/* DMA リセット */
IMCCHH	←	x000, x000	/* 割り込み禁止 */
INTCLR	←	0x0CC	/* IVR [8:0] の値 */
IMCFHL	←	x000, x100	/* レベル = 4 (任意値) */
DTCRO	←	0x0000_0000	/* DACM = 000 */ /* SACM = 000 */
SARO	←	0xFFFF_F710	/* SC1BUF の物理アドレス */
DARO	←	0xFFFF_9800	/* 転送先の物理アドレス */
BCRO	←	0x0000_00FF	/* 256 (転送バイト数) /
CGRO	←	0x80C0_5B0F	/* DMA ch.0 設定 */

(内容)

31	27	23	19				
1	0	0	0	0	0	0	0
0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	0
15	11	7	3				
0	1	0	1	1	x	1	1
x	0	0	0	1	1	1	1

11. 16 ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 10 チャンネル (TMRB0~TMR9) 内蔵しています。
TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 2 相パルス入力カウンタモード (4 逓倍/通常、パルス出力モード TMRB0 のみ)

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造 (TMRB0 のみ 1 本ダブルバッファ構造))、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

各チャンネル (TMRB0~TMRB9) はそれぞれ独立に動作します。いずれのチャンネルも表 11-1 に示される仕様相違点と 2 相パルスカウント機能を除いて同一の動作をしますので、動作説明は TMRB1 の場合と 2 相パルスカウント機能 (TMRB0) についてのみ説明します。

下記チャンネルはキャプチャトリガに使用されます。

- (1) TMRB 4、9 のフリップフロップ出力を他のチャンネルのキャプチャトリガとして使用可能
 - TB4OUT => TMRB 0 ~ 3 で使用
 - TB9OUT => TMRB 5 ~ 8 で使用

表 11-1 TMRB のチャンネル別仕様相違点

仕様		チャンネル	TMRB0	TMRB1	TMRB2	TMRB3		
外部端子	外部クロック/ キャプチャトリガ入力端子		TB0IN0 (P62 と兼用) TB0IN1 (P63 と兼用)	TB1IN0 (P54 と兼用) TB1IN1 (P55 と兼用)	TB2IN0 (P56 と兼用) TB2IN1 (P57 と兼用)	TB3IN0 (P60 と兼用) TB3IN1 (P61 と兼用)		
	タイマフリップフロップ 出力端子		TB0OUT0(P60 と兼用) TB0OUT1(P61 と兼用)	TB1OUT (PA3 と兼用)	TB2OUT(PA7 と兼用)	TB3OUT (PC0 と兼用)		
内部信号	キャプチャトリガ用タイマ		TB4OUT	TB4OUT	TB4OUT	TB4OUT		
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB0RUN (0xFFFF_F200)	TB1RUN (0xFFFF_F210)	TB2RUN (0xFFFF_F220)	TB3RUN (0xFFFF_F230)		
	タイマコントロール レジスタ		TB0CR (0xFFFF_F201)	TB1CR (0xFFFF_F211)	TB2CR (0xFFFF_F221)	TB3CR (0xFFFF_F231)		
	タイマモードレジスタ		TB0MOD (0xFFFF_F202)	TB1MOD (0xFFFF_F212)	TB2MOD (0xFFFF_F221)	TB3MOD (0xFFFF_F232)		
	タイマフリップフロップ コントロールレジスタ		TB0FFCR (0xFFFF_F203)	TB1FFCR (0xFFFF_F213)	TB2FFCR(0xFFFF_F223)	TB3FFCR (0xFFFF_F233)		
	タイマステータスレジスタ		TB0ST (0xFFFF_F204)	TB1ST (0xFFFF_F214)	TB2ST (0xFFFF_F224)	TB3ST (0xFFFF_F234)		
	2相 出力コントロール		TB0OUTCR (0xFFFF_F205)	—	—	—		
	タイマアップカウンタ レジスタ		TB0UCL (0xFFFF_F206) TB0UCH (0xFFFF_F207)	TB1UCL (0xFFFF_F216) TB1UCH (0xFFFF_F217)	TB3UCL (0xFFFF_F226) TB3UCH (0xFFFF_F227)	TB3UCL (0xFFFF_F236) TB3UCH (0xFFFF_F237)		
	タイマレジスタ			TB0RG0L (0xFFFF_F208) TB0RG0H (0xFFFF_F209) TB0RG1L (0xFFFF_F20A) TB0RG1H (0xFFFF_F20B)	TB1RG0L (0xFFFF_F218) TB1RG0H (0xFFFF_F219) TB1RG1L (0xFFFF_F21A) TB1RG1H (0xFFFF_F21B)	TB2RG0L (0xFFFF_F228) TB2RG0H (0xFFFF_F229) TB2RG1L (0xFFFF_F22A) TB2RG1H (0xFFFF_F22B)	TB3RG0L (0xFFFF_F238) TB3RG0H (0xFFFF_F239) TB3RG1L (0xFFFF_F23A) TB3RG1H (0xFFFF_F23B)	
		キャプチャレジスタ			TB0CP0L (0xFFFF_F20C) TB0CP0H (0xFFFF_F20D) TB0CP1L (0xFFFF_F20E) TB0CP1H (0xFFFF_F20F)	TB1CP0L (0xFFFF_F21C) TB1CP0H (0xFFFF_F21D) TB1CP1L (0xFFFF_F21E) TB1CP1H (0xFFFF_F21F)	TB2CP0L (0xFFFF_F22C) TB2CP0H (0xFFFF_F22D) TB2CP1L (0xFFFF_F22E) TB2CP1H (0xFFFF_F22F)	TB3CP0L (0xFFFF_F23C) TB3CP0H (0xFFFF_F23D) TB3CP1L (0xFFFF_F23E) TB3CP1H (0xFFFF_F23F)

仕様		チャンネル	TMRB4	TMRB5	TMRB6	TMRB7		
外部端子	外部クロック/ キャプチャトリガ入力端子		—	TB5IN0 (PB3 と兼用) TB5IN1 (PB4 と兼用)	TB6IN0 (P64 と兼用) TB6IN1 (P65 と兼用)	TB7IN0 (P66 と兼用) TB7IN1 (P67 と兼用)		
	タイマフリップフロップ 出力端子		TB4OUT (PC1 と兼用)	TB5OUT (PB7 と兼用)	TB6OUT(P50 と兼用)	TB7OUT (P51 と兼用)		
内部信号	キャプチャトリガ用タイマ		—	TB9OUT	TB9OUT	TB9OUT		
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB4RUN (0xFFFF_F240)	TB5RUN (0xFFFF_F250)	TB6RUN (0xFFFF_F260)	TB7RUN (0xFFFF_F270)		
	タイマコントロール レジスタ		TB4CR (0xFFFF_F241)	TB5CR (0xFFFF_F251)	TB6CR (0xFFFF_F261)	TB7CR (0xFFFF_F271)		
	タイマモードレジスタ		TB4MOD (0xFFFF_F242)	TB5MOD (0xFFFF_F252)	TB6MOD (0xFFFF_F262)	TB7MOD (0xFFFF_F272)		
	タイマフリップフロップ コントロールレジスタ		TB4FFCR (0xFFFF_F243)	TB5FFCR (0xFFFF_F253)	TB6FFCR(0xFFFF_F263)	TB7FFCR (0xFFFF_F273)		
	タイマステータスレジスタ		TB4ST (0xFFFF_F244)	TB5ST (0xFFFF_F254)	TB6ST (0xFFFF_F264)	TB7ST (0xFFFF_F274)		
	タイマアップカウンタ レジスタ		TB4UCL (0xFFFF_F246) TB4UCH (0xFFFF_F247)	TB5UCL (0xFFFF_F256) TB5UCH (0xFFFF_F257)	TB6UCL (0xFFFF_F266) TB6UCH (0xFFFF_F267)	TB7UCL (0xFFFF_F276) TB7UCH (0xFFFF_F277)		
	タイマレジスタ			TB4RG0L (0xFFFF_F248) TB4RG0H (0xFFFF_F249) TB4RG1L (0xFFFF_F24A) TB4RG1H (0xFFFF_F24B)	TB5RG0L (0xFFFF_F258) TB5RG0H (0xFFFF_F259) TB5RG1L (0xFFFF_F25A) TB5RG1H (0xFFFF_F25B)	TB6RG0L (0xFFFF_F268) TB6RG0H (0xFFFF_F269) TB6RG1L (0xFFFF_F26A) TB6RG1H (0xFFFF_F26B)	TB7RG0L (0xFFFF_F278) TB7RG0H (0xFFFF_F279) TB7RG1L (0xFFFF_F27A) TB7RG1H (0xFFFF_F27B)	
		キャプチャレジスタ			TB4CP0L (0xFFFF_F24C) TB4CP0H (0xFFFF_F24D) TB4CP1L (0xFFFF_F24E) TB4CP1H (0xFFFF_F24F)	TB5CP0L (0xFFFF_F25C) TB5CP0H (0xFFFF_F25D) TB5CP1L (0xFFFF_F25E) TB5CP1H (0xFFFF_F25F)	TB6CP0L (0xFFFF_F26C) TB6CP0H (0xFFFF_F26D) TB6CP1L (0xFFFF_F26E) TB6CP1H (0xFFFF_F26F)	TB7CP0L (0xFFFF_F27C) TB7CP0H (0xFFFF_F27D) TB7CP1L (0xFFFF_F27E) TB7CP1H (0xFFFF_F27F)

仕様		チャンネル		
		TMRB8	TMRB9	
外部端子	外部クロック/ キャプチャトリガ入力端子	TB8IN0 (PD4 と兼用) TB8IN1 (PD5 と兼用)	TB9IN0 (PD6 と兼用) TB9IN1 (PD7 と兼用)	
	タイマフリップフロップ 出力端子	TB8OUT (P52 と兼用)	TB9OUT (P53 と兼用)	
	内部信号	キャプチャトリガ用タイマ	TB9OUT	—
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB8RUN (0xFFFF_F280)	TB9RUN (0xFFFF_F290)	
	タイマコントロール レジスタ	TB8CR (0xFFFF_F281)	TB9CR (0xFFFF_F291)	
	タイマモードレジスタ	TB8MOD (0xFFFF_F282)	TB9MOD (0xFFFF_F282)	
	タイマフリップフロップ コントロールレジスタ	TB8FFCR (0xFFFF_F283)	TB9FFCR (0xFFFF_F293)	
	タイマステータスレジスタ	TB8ST (0xFFFF_F284)	TB9ST (0xFFFF_F294)	
	タイマアップカウンタ レジスタ	TB8UCL (0xFFFF_F286) TB8UCH (0xFFFF_F287)	TB9UCL (0xFFFF_F296) TB9UCH (0xFFFF_F297)	
	タイマレジスタ		TB8RG0L (0xFFFF_F288)	TB9RG0L (0xFFFF_F298)
			TB8RG0H (0xFFFF_F289)	TB9RG0H (0xFFFF_F299)
			TB8RG1L (0xFFFF_F28A)	TB9RG1L (0xFFFF_F29A)
			TB8RG1H (0xFFFF_F28B)	TB9RG1H (0xFFFF_F29B)
	キャプチャレジスタ		TB8CP0L (0xFFFF_F28C)	TB9CP0L (0xFFFF_F29C)
			TB8CP0H (0xFFFF_F28D)	TB9CP0H (0xFFFF_F29D)
			TB8CP1L (0xFFFF_F28E)	TB9CP1L (0xFFFF_F29E)
			TB8CP1H (0xFFFF_F28F)	TB9CP1H (0xFFFF_F29F)

チャンネル別のブロック図

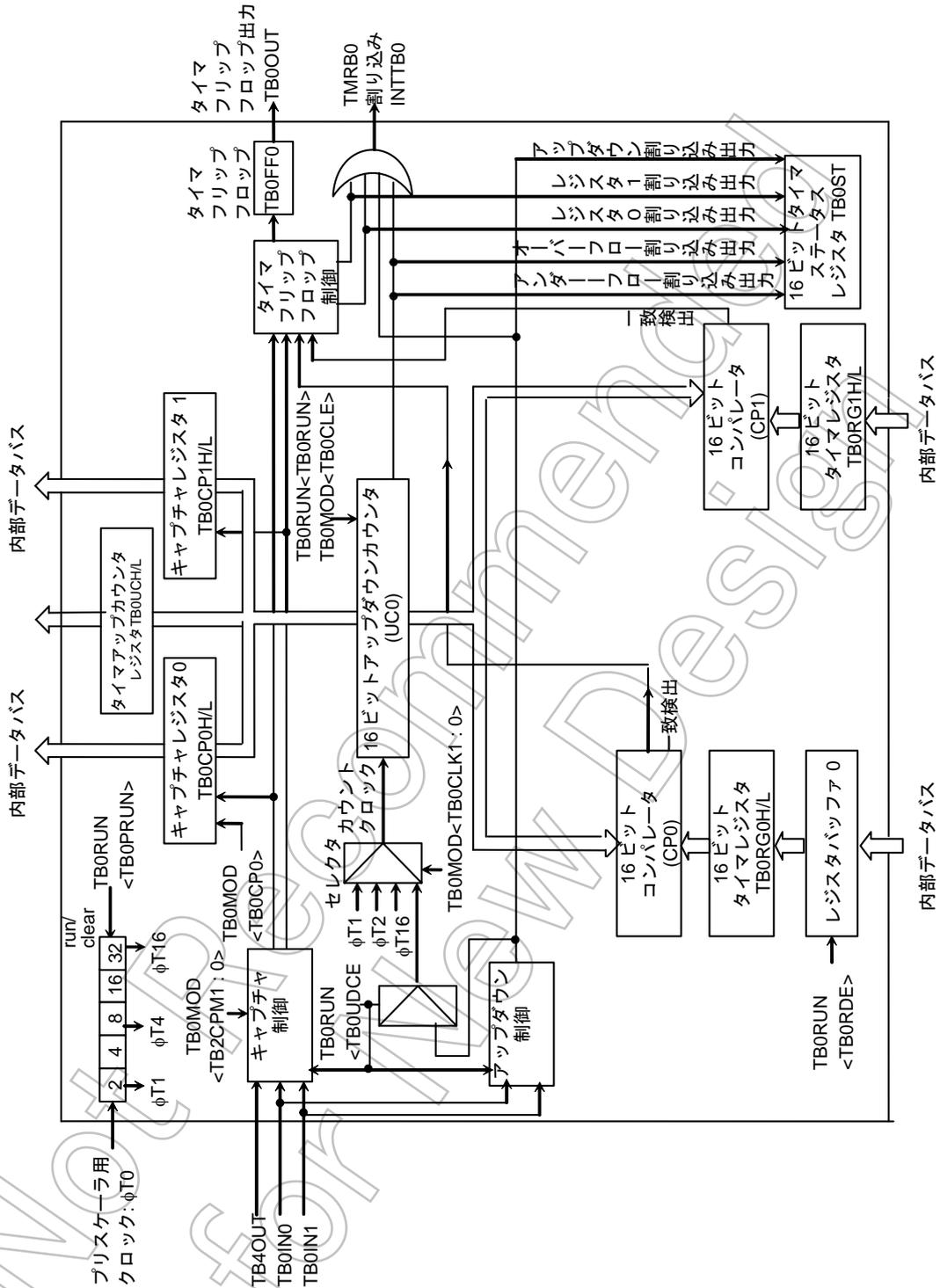
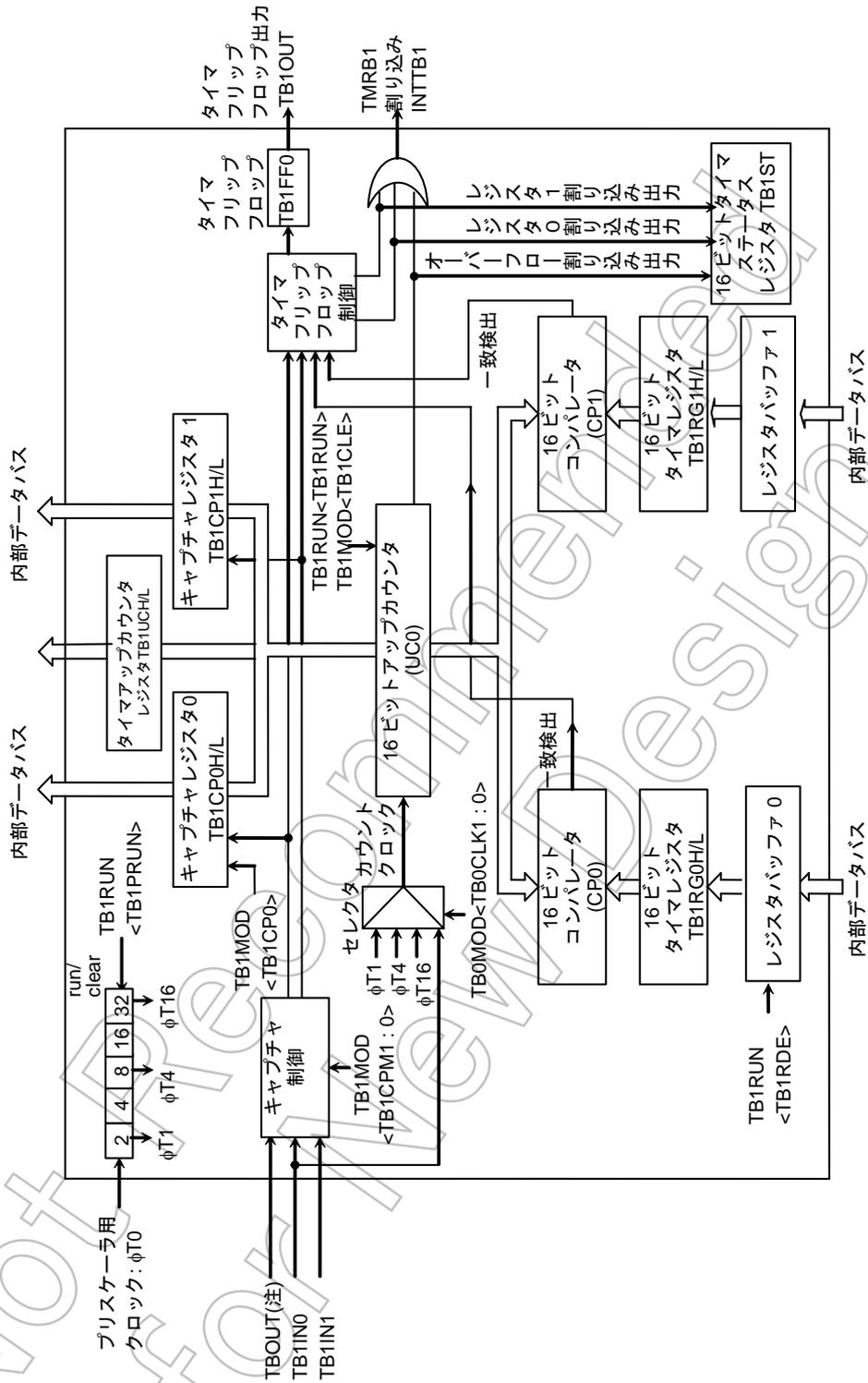


図 11-1 TMRB0 ブロック図



(注) チャンネル 4, 9 には入力はありません。チャンネル 0~3 には TB4OUT が入力され、チャンネル 5~8 には TB9OUT が入力されます。

図 11-2 TMRB1 ブロック図 (チャンネル 2~9 も同様)

11.1 回路別の動作説明

11.1.1 プリスケーラ

TMRB0 のクロックソースを得るため、4 ビットプリスケーラがあります。プリスケーラへの入力クロック ϕ_{T0} は CG 部の SYSCRO<PRCK1:0> にて選択した $f_{periph}/2$, $f_{periph}/4$, $f_{periph}/8$, $f_{periph}/16$ のいずれかのクロックです。このペリフェラルクロック f_{periph} は CG 部の SYSCR1<FPSEL>で選択したクロック f_{gear} またはクロックギア分周前のクロック f_c のいずれかのクロックです。

プリスケーラは TBORUN<TBOPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し “0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 11-2 に示します。

Not Recommended for New Design

表 11-2 プリスケーラ出力クロック分解能 @fc = 54MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケーラ クロック選択 <PRCK1 : 0>	プリスケーラ出力クロック分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	$f_c/2^2 (0.07 \mu s)$	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	100 (fc/2)	00 (fperiph/16)	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$
		01 (fperiph/8)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		10 (fperiph/4)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		11 (fperiph/2)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
	110 (fc/4)	00 (fperiph/16)	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$	$f_c/2^{11} (37.93 \mu s)$
		01 (fperiph/8)	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$
		10 (fperiph/4)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		11 (fperiph/2)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
	111 (fc/8)	00 (fperiph/16)	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$	$f_c/2^{12} (75.85 \mu s)$
		01 (fperiph/8)	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$	$f_c/2^{11} (37.93 \mu s)$
		10 (fperiph/4)	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$
		11 (fperiph/2)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
1 (fc)	000 (fc)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	$f_c/2^2 (0.07 \mu s)$	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	100 (fc/2)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	—	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	110 (fc/4)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	—	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	—	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	111 (fc/8)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	—	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	—	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	—	—	$f_c/2^6 (1.19 \mu s)$

(注1) プリスケーラ出力クロック ϕTn は、かならず $\phi Tn < f_{sys}/2$ を満足するように (ϕTn が $f_{sys}/2$ よりも遅くなるように) 選択してください。

(注2) タイマ動作中にクロックギアの切り換えはしないでください。

(注3) —: 設定禁止

表 11-2 プリスケーラ出力クロック分解能 @ = 40MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2 : 0>	プリスケーラ クロック選択 <PRCK1 : 0>	プリスケーラ出力クロック分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	00(fperiph/16)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		01(fperiph/8)	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
		10(fperiph/4)	$f_c/2^3(0.2 \mu s)$	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$
		11(fperiph/2)	$f_c/2^2(0.1 \mu s)$	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$
	100(fc/2)	00(fperiph/16)	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$	$f_c/2^{10}(25.6 \mu s)$
		01(fperiph/8)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		10(fperiph/4)	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
		11(fperiph/2)	$f_c/2^3(0.2 \mu s)$	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$
	110(fc/4)	00(fperiph/16)	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$	$f_c/2^{11}(51.2 \mu s)$
		01(fperiph/8)	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$	$f_c/2^{10}(25.6 \mu s)$
		10(fperiph/4)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		11(fperiph/2)	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
	111(fc/8)	00(fperiph/16)	$f_c/2^8(6.4 \mu s)$	$f_c/2^{10}(25.6 \mu s)$	$f_c/2^{12}(102.4 \mu s)$
		01(fperiph/8)	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$	$f_c/2^{11}(51.2 \mu s)$
		10(fperiph/4)	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$	$f_c/2^{10}(25.6 \mu s)$
		11(fperiph/2)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
1 (fc)	000 (fc)	00(fperiph/16)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		01(fperiph/8)	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
		10(fperiph/4)	$f_c/2^3(0.2 \mu s)$	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$
		11(fperiph/2)	$f_c/2^2(0.1 \mu s)$	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$
	100(fc/2)	00(fperiph/16)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		01(fperiph/8)	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
		10(fperiph/4)	$f_c/2^3(0.2 \mu s)$	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$
		11(fperiph/2)	—	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$
	110(fc/4)	00(fperiph/16)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		01(fperiph/8)	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
		10(fperiph/4)	—	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$
		11(fperiph/2)	—	$f_c/2^4(0.4 \mu s)$	$f_c/2^6(1.6 \mu s)$
	111(fc/8)	00(fperiph/16)	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$	$f_c/2^9(12.8 \mu s)$
		01(fperiph/8)	—	$f_c/2^6(1.6 \mu s)$	$f_c/2^8(6.4 \mu s)$
		10(fperiph/4)	—	$f_c/2^5(0.8 \mu s)$	$f_c/2^7(3.2 \mu s)$
		11(fperiph/2)	—	—	$f_c/2^6(1.6 \mu s)$

(注1) プリスケーラ出力クロック ϕT_n は、かならず $\phi T_n < f_{sys}/2$ を満足するように(ϕT_n が $f_{sys}/2$ よりも遅くなるように)選択してください。

(注2) タイマ動作中にクロックギアの切り換えはしないでください。

(注3) —: 設定禁止

11.1.2 アップカウンタ(UC0), アップカウンタキャプチャレジスタ (TB0UCL, TB0UCH)

TB0MOD<TB0CLK1 : 0> で指定された入カクロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入カクロックは、3 種類のプリスケアラ出カクロック $\Phi T1$ 、 $\Phi T4$ 、 $\Phi T16$ 、または、TB0INO 端子の外部クロックのいずれかを選択できます。UC0 は、TBORUN<TBORUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TBORG1H / L と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE> で設定します。(2 相パルス入力モード、コンペア機能使用時にはクリアされません。)

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

TB0UCL, TB0UCH レジスタを読み出すことにより、UC0 の現在のカウンタ値をキャプチャする事が可能です。

注：読み出す場合は必ず下位 → 上位の順で読み出してください。

UC0 のオーバーフローが発生した場合、オーバーフロー割り込み INTTB0 が発生します。

TMRB0 には 2 相パルス入力カウント機能があり、TBORUN<TB0UDCE>によって 2 相パルスカウントモードになり、本カウンタはアップダウンカウンタとして機能し、カウンタは 0x7FFF に初期化されます。カウンタがオーバーフローするとカウンタ値は 0x0000 に、アンダーフローするとカウンタ値は 0xFFFF になりカウントを継続します。2 相パルスカウントモードではない場合はアップカウントのみとなります。

11.1.3 タイマレジスタ (TBORG0H/L, TBORG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TBORG0H/L、TBORG1H/L へのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TBORG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TBORG0 は TBORUN<TBORDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TBORDE> = “0” のときディセーブル、<TBORDE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TBORG0 へのデータ転送は、UC0 と TBORG1 との一致時に行われます。

リセット動作により、TBORG0H/L、TBORG1H/L は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TBORUN<TBORDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TBORDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TBORG0 とレジスタバッファは、同じアドレス 0xFFFF_F208/0xFFFF_F209 に割り付けられています。<TBORDE> = “0” のときは、TBORG0 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TBORDE> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

注 1) タイマ動作中は、TBORG1 およびダブルバッファ未使用時の TBORG0 を書き換えしないで下さい。

注 2) ダブルバッファ使用時、TBORG0 の書き換え中は、データの更新がされません。

TMRB1~TMRB9 は TBxREG1、TBxREG0 の両側がダブルバッファ構造です。

11.1.4 キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、16bit データ転送命令を用いるか、下位→上位の順に読み出して下さい。

11.1.5 キャプチャ

アップカウンタ UC0 の値をキャプチャレジスタ TB0CP0、TB0CP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TB0MOD<TB0CPM1 : 0> で設定します。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0> に “0” を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0 へキャプチャします。なお、プリスケーラは、RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

2 相パルスカウントモード (TMRB0 のみ) ではカウンタの値はソフトウェアキャプチャにより取り込みます。

(注1) キャプチャレジスタの下位 8 ビットをリードするとキャプチャ動作ができなくなります。続けて上位 8 ビットをリードするとキャプチャ動作ができるようになります。

(注2) 下位 8 ビットのみリードした状態でタイマストップすると、再スタート後もキャプチャできない状態が継続するので下位 8 ビットのみリードした状態でタイマをストップしないでください。

11.1.6 コンパレータ (CP0、CP1)

アップカウンタ UC0 と、タイマレジスタ TB0RG0、TB0RG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTB0 を発生します。

11.1.7 タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1> によって設定できます。

リセット後、TB0FF0 の値は不定となります。TB0FFCR<TB0FF0C1 : 0> に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT 端子 (P54 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 5 関連レジスタ P5CR、P5FC により、設定を行う必要があります。

11.2 レジスタ説明

TMRBn RUN レジスタ (n=1~9)

		7	6	5	4	3	2	1	0
TBnRUN (0xFFFF_F2x0)	bit Symbol	TBnRDE				I2TBn	TBnPRUN		TBnRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	Double Buffer 0: 禁止 1: 許可	"0"をライ トしてく ださい。	"0"をライ トしてく ださい。	"0"をライ トしてく ださい。	IDLE 時 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※ 1 bit 目は"0"が読めます		

<TBnRUN> : TMRB0 のカウント動作を制御します。

<TBnPRUN> : TMRB0 のプリスケアラの動作を制御します。

<I2TBn> : IDLE モード時の動作を制御します。

<TBnRDE> : ダブルバッファの許可/禁止を制御します。(TBxREG0,1 両側がダブルバッファです)

(注1) <TBnRUN>のビットは、リードすると"0"が読み出されます。

(注2) モードの設定を行ってから、<TBnRUN>,<TBnPRUN>ビットの設定を行ってください。

TMRB0 RUN レジスタ

		7	6	5	4	3	2	1	0
TB0RUN (0xFFFF_F200)	bit Symbol	TB0RDE		UD0CMP	TB0UDCE	I2TB0	TB0PRUN		TB0RUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	Double Buffer 0: 禁止 1: 許可	"0"をライ トしてく ださい。	コンパ 機能 0: 使用 1: 未使用	2相カウン タ イネーブル 0: デイ ゼーブル 1: イネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※ 1 bit 目は"0"が読めます		

<TB0RUN> : TMRB0 のカウント動作を制御します。

<TB0PRUN> : TMRB0 のプリスケアラの動作を制御します。

<I2TB0> : IDLE モード時の動作を制御します。

<TB0UDCE> : 2相パルス入力カウンタ動作のイネーブル/ディゼーブルを制御します。

イネーブル : カウンタはアップダウンカウントします。

ディゼーブル : 通常のタイマーモードとしてカウンタはアップカウントのみになります。

<UD0CMP> : 2相パルス入力カウンタ時のコンパア一致割込みイネーブル/ディゼーブルを選択します。

イネーブル : コンパア一致で割込みが発生します。

ディゼーブル : コンパア一致で割り込みは発生しません。

<TB0RDE> : ダブルバッファの許可/禁止を制御します。(TB0REG0のみダブルバッファです)

(注1) <TB0RUN>のビットは、リードすると"0"が読み出されます。

(注2) <UD0CK>のビットは、リセット後"0"に設定されます。2相パルスカウンタモードを使用する場合は、必ず"1"を設定してください。

(注3) モードの設定を行ってから、<TB0RUN>,<TB0PRUN>ビットの設定を行ってください。

図 11-3 TMRB 関係のレジスタ

TMRBn コントロールレジスタ (n=1~9)

TnCR (0xFFFF_F2x1)	bit Symbol	TBnEN							
	Read/Write	R/W	R/W	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
	機能	TMRBn 動作 0: 禁止 1: 許可	"0"をライトしてください。	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます

<TBnEN> : TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可（"1"）にしてください。TMRB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TMRB0 コントロールレジスタ

TB0CR (0xFFFF_F201)	bit Symbol	TB0EN				UD0NF	UD01CNT	UD00CNT	
	Read/Write	R/W			R			R/W	
	リセット後	0	0	0	0	0	0	0	
	機能	TMRBn 動作 0: 禁止 1: 許可	"0"をライトしてください。	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	デジタルノイズフィルタ 0:未使用 1:使用する	モード切り替え 00:通常 01:TB0IN0 2 逓倍 10: 4 逓倍 11:TB0IN1 2 逓倍	

(注 1) TMRB0 を動作させる場合は、必ず最初に TB0CR<TB0EN>="1"（許可）を設定してください。

TMRBn モードレジスタ (n=0~9)

bit Symbol (0xFFFF_F2x2)	7	6	5	4	3	2	1	0
	Read/Write	R		W	R/W			
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“00”が読めます		ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TBnIN0 ↑ TBnIN1 ↑ 10: TBnIN0 ↑ TBnIN0 ↓ 11: TB4OUT ↑ TB4OUT ↓ (11: TB9OUT ↑ TB9OUT ↓)		アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル		ソースクロック選択 00: TBnIN0 端子入力 01: φT1 10: φT4 11: φT16

<TBnCLK1:0> : TMRBn のタイマカウントクロックを選択します。

<TBnCLE> : TMRBn のアップカウンタのクリア制御をおこないます。

“0” : アップカウンタのクリア禁止

“1” : タイマレジスタ 1 (TBnRG1) との一致でクリア

<TBnCPM1:0> : TMRBn のキャプチャタイミングを設定します。

“00” : キャプチャ禁止

“01” : TBnIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、
TBnIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込む

“10” : TBnIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、
TBnIN0 端子入力の立ち下がりでキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込む

“11” : 16 ビットタイマー致出力 (TBxOUT) の立ち上がりでキャプチャレジスタ 0 (TBnCP0) に
カウント値を取り込み、TBxOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1) にカウン
ト値を取り込む (TMRB0~3 : TB4OUT、TMRB5~8 : TB9OUT)

<TBnCP0> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (TBnCP0) にカウント値を取り込みます。

(注 1) <TBnCP0>のビットは、リードすると“1”が読み出されます。

(注 2) モード設定を行ってから、<TBnCP0>ビットの設定を行ってください。

図 11-4 TMRB 関係のレジスタ

TMRBn フリップフロップコントロールレジスタ (n=0~9)

TnFFCR (0xFFFF_F1x3)	bit Symbol			TBnC1T1	TBnC0T1	TBnE1T1	TBnE0T1	TBnFF0C1	TBnFF0C0
	Read/Write	R		R/W				W	
	リセット後	1	1	0	0	0	0	1	1
	機能	読み出すと常に "11" になります。		TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル				TBnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don't care ※ 読み出すと常に "11" になります。	

<TBnFF0C1:0> : タイマフリップフロップを制御します。

- "00" : TBnFF0 の値を反転 (ソフト反転) します
- "01" : TBnFF0 を"1"にセットします
- "10" : TBnFF0 を"0"にクリアします
- "11" : Don't care

<TBnE1:0> : アップカウンタとタイマレジスタ 0,1 (TBnRG0,1) との一致時にタイマフリップフロップを反転します。

<TBnC1:0> : アップカウンタの値がキャプチャレジスタ 0,1 (TBnCP0,1) に取り込まれた時にタイマフリップフロップを反転します。

図 11-5 TMRB 関係のレジスタ

(注) 2相パルス入力カウントモード、コンペア機能使用時、TBORUN<UDOCMP>="0" のときにはタイマフリップフロップ機能を使用することは出来ません。

TMRBn ステータスレジスタ (n=1~9)

TbNst (0xFFFF_F2x4)	bit Symbol							INTTBOFn	INTTBn1	INTTBn0
	Read/Write	R						R		
	リセット後	0						0	0	0
	機能	リードすると"0"が読めます						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

- <INTTBn0> : タイマレジスタ 0 (TBnRG0) との一致割り込み
- <INTTBn1> : タイマレジスタ 1 (TBnRG1) との一致割り込み
- <INTTBOFn> : アップカウンタのオーバーフロー割り込み

(注) いずれかの割り込みが発生すると、TbNst に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TbNst レジスタをリードすると、フラグはクリアされます。

TMRB0 ステータスレジスタ

① TB0RUN<TB0UDCE> = 0 のとき: 通常のタイマーモード

TB0ST (0xFFFF_F204)	bit Symbol							INTTBOF0	INTTB01	INTTB00
	Read/Write	R						R		
	リセット後	0						0	0	0
	機能	リードすると"0"が読めます						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

- <INTTB00> : タイマレジスタ 0 (TBORG0) との一致割り込み発生
- <INTTB01> : タイマレジスタ 1 (TBORG1) との一致割り込み発生
- <INTTBOF0> : アップカウンタのオーバーフロー割り込み発生

(注) いずれかの割り込みが発生すると、TB0ST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TB0ST レジスタをリードすると、フラグはクリアされます。

② TB0RUN<TB0UDCE> = 1 のとき: 2 相パルス入力カウントモード

TB0ST (0xFFFF_F204)	bit Symbol				INTTBUD0	INTTBUDF0	INTTBOUF0	INTTB01	INTTB00
	Read/Write	R			R			R	
	リセット後	0			0	0	0	0	0
	機能	リードすると"0"が読めます			アップダウンカウント 0: 発生無し 1: 発生	アンダーフロー 0: 発生無し 1: 発生	オーバーフロー 0: 発生無し 1: 発生	一致割り込み 0: 発生無し 1: 発生	一致割り込み 0: 発生無し 1: 発生

- <INTTB00> : タイマレジスタ 0 (TBORG0) との一致割り込み発生
- <INTTB01> : タイマレジスタ 1 (TBORG1) との一致割り込み発生
- <INTTBOUF0> : アップダウンカウンタのオーバーフロー割り込み発生
- <INTTBUDF0> : アップダウンカウンタのアンダーフロー割り込み発生
- <INTTBUD0> : アップまたはダウンカウント割り込み発生

(注) いずれかの割り込みが発生すると、TB0ST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TB0ST レジスタをリードすると、フラグはクリアされます。

図 11-6 TMRB 関係のレジスタ

TBnRG0H/L、TBnRG1H/L タイマレジスタ

TBnRG0H/L タイマレジスタ (n=0~9)

	7	6	5	4	3	2	1	0	
TBnRG0L (0xFFFF_F2x8)	bit Symbol	TBnRG0L7	TBnRG0L6	TBnRG0L5	TBnRG0L4	TBnRG0L3	TBnRG0L2	TBnRG0L1	TBnRG0L0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0	
TBnRG0H (0xFFFF_F2x9)	bit Symbol	TBnRG0H7	TBnRG0H6	TBnRG0H5	TBnRG0H4	TBnRG0H3	TBnRG0H2	TBnRG0H1	TBnRG0H0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、16bit データ転送命令を用いるか、
下位→上位の順に設定して下さい。

TBnRG1H/L タイマレジスタ (n=0~9)

	7	6	5	4	3	2	1	0	
TBnRG1L (0xFFFF_F2xA)	bit Symbol	TBnRG1L7	TBnRG1L6	TBnRG1L5	TBnRG1L4	TBnRG1L3	TBnRG1L2	TBnRG1L1	TBnRG1L0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0	
TBnRG1H (0xFFFF_F2xB)	bit Symbol	TBnRG1H7	TBnRG1H6	TBnRG1H5	TBnRG1H4	TBnRG1H3	TBnRG1H2	TBnRG1H1	TBnRG1H0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、16bit データ転送命令を用いるか、
下位→上位の順に設定して下さい。

TBnCP0H/L、TBnCP1H/L キャプチャレジスタ

TBnCP0H/L キャプチャレジスタ (n=0~9)

		7	6	5	4	3	2	1	0
TBnCP0L (0xFFFF_F2xC)	bit Symbol	TBnCP0L7	TBnCP0L6	TBnCP0L5	TBnCP0L4	TBnCP0L3	TBnCP0L2	TBnCP0L1	TBnCP0L0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 下位 8 ビットデータ							

		7	6	5	4	3	2	1	0
TBnCP0H (0xFFFF_F2xD)	bit Symbol	TBnCP0H7	TBnCP0H6	TBnCP0H5	TBnCP0H4	TBnCP0H3	TBnCP0H2	TBnCP0H1	TBnCP0H0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、16bit データ転送命令を用いるか、下位→上位の順に読み出してください。

TBnCP1H/L キャプチャレジスタ (n=0~9)

		7	6	5	4	3	2	1	0
TBnCP1L (0xFFFF_F2xE)	bit Symbol	TBnCP1L7	TBnCP1L6	TBnCP1L5	TBnCP1L4	TBnCP1L3	TBnCP1L2	TBnCP1L1	TBnCP1L0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 下位 8 ビットデータ							

		7	6	5	4	3	2	1	0
TBnCP1H (0xFFFF_F2xF)	bit Symbol	TBnCP1H7	TBnCP1H6	TBnCP1H5	TBnCP1H4	TBnCP1H3	TBnCP1H2	TBnCP1H1	TBnCP1H0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、16bit データ転送命令を用いるか、下位→上位の順に読み出してください。

11.3 モード別動作説明

11.3.1 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TBORG1 にインタバル時間を設定し、INTTBO 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBOCR	1	0	X	X	X	X	X	X	TMRBO モジュールを起動します。
TBORUN	←	0	0	0	0	0	X	0	TMRBO を停止します。
IMC7	←	0	1	1	0	0	1	0	INTTBO をイネーブル、レベル 4 に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込みも設定して下さい)
TBOFFCR	←	1	1	0	0	0	0	1	トリガをディセーブルします。
TBOMOD	←	0	0	1	0	0	1	*	入力クロックをプリスケアラ出力クロックにし、 インタバル時間を設定します。
TBORG1L	←	*	*	*	*	*	*	*	(16 ビット)
TBORG1H	←	*	*	*	*	*	*	*	TMRBO を起動します。
TBORUN	←	0	0	0	0	0	1	X	

X: Don't care -; no change

11.3.2 16 ビットイベントカウンタモード

入力クロックを外部クロック (TBOINO 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TBOINO 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TBOCR	←	1	0	X	X	X	X	X	TMRBO モジュールを起動します。
TBORUN	←	0	0	0	0	0	X	0	TMRBO を停止します。
P6CR	←	-	-	-	0	-	-	-	P63 を入力モードに設定します。
P6FC2	←	-	-	-	1	-	-	-	
P6IE	←	-	-	-	1	-	-	-	
IMC8	←	0	1	1	0	0	1	0	INTTBO をイネーブル、レベル 4 に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込みも設定して下さい)
TBOFFCR	←	1	1	0	0	0	0	1	トリガディセーブルにします。
TBOMOD	←	0	0	1	0	0	1	0	入力クロックを TBOINO 端子入力にします。
TBORUN	←	0	0	0	0	0	1	X	TMRBO を起動します。
TBOMOD	←	X	X	0	0	0	1	0	ソフトウェアキャプチャを行いません。
TBORG1L	←	*	*	*	*	*	*	*	インタバル時間を設定します。
TBORG1H	←	*	*	*	*	*	*	*	(16 ビット)

X: Don't care -; no change

イベントカウンタとして使用する場合も、プリスケアラは “RUN” にしてください (TBORUN<TBOPRUN> = “1”)。

11.3.3 16 ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ (UC0) とタイマレジスタ (TBORG0H/L、TBORG1H/L) への設定値との一致によりタイマフリップフロップ (TBOFF) の反転トリガをかけることで、プログラマブル矩形波を TBOOUT 端子より出力することができます。ただし、TBORG0H/L と TBORG1H/L の設定値は次の条件を満たす必要があります。

(TBORG0H/L への設定値) < (TBORG1H/L への設定値)

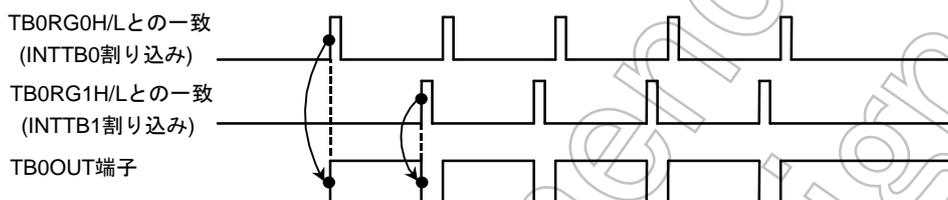


図 11-7 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TBORG0H/L のダブルバッファをイネーブルにすることにより、TBORG1H/L との一致で、レジスタバッファ 0 の値が TBORG0H/L へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

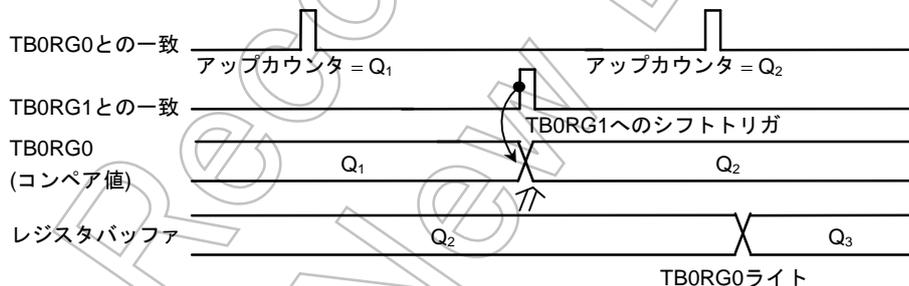


図 11-8 レジスタバッファの動作

(注) ダブルバッファは TBORG0 のみです。TBORG1 の変更は次の一致までに完了してください。
TMRB1～TMRB9 は TBxREG0,1 共にダブルバッファ構造になっております

このモードのブロック図を示します。

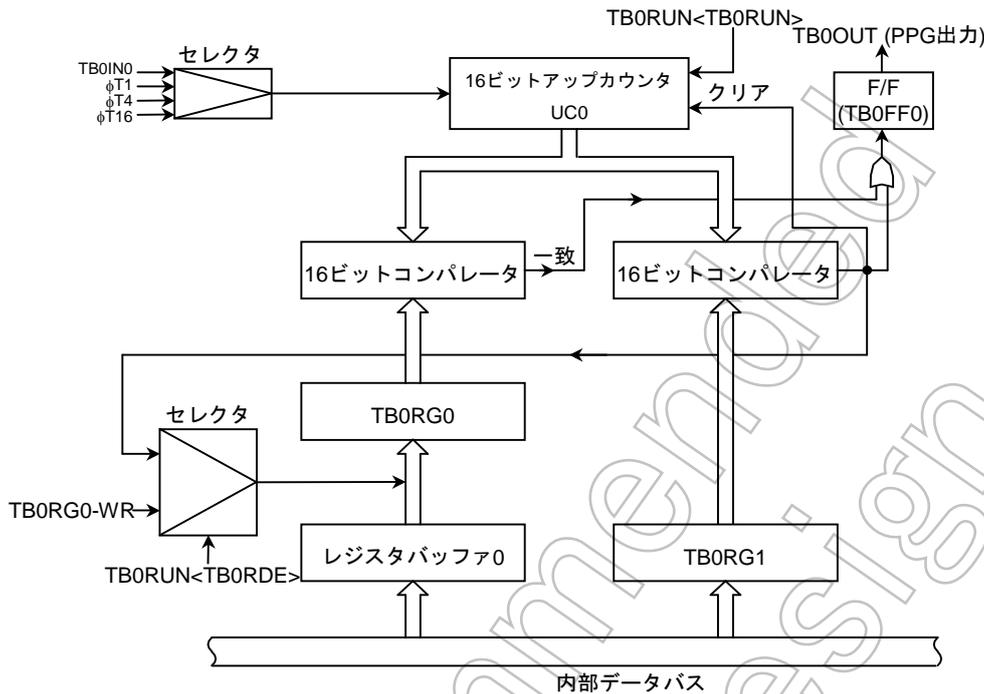


図 11-9 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TBOCR	← 1	0	X	X	X	X	X	X	TMRBO モジュールを起動します。
TBORUN	← 0	0	0	0	-	0	X	0	TBORG0 のダブルバッファディセーブルおよび TMRBO を停止します。
TBORG0L	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TBORG0H	← *	*	*	*	*	*	*	*	
TBORG1L	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TBORG1H	← *	*	*	*	*	*	*	*	
TBORUN	← 1	0	0	0	-	0	X	0	TBORG0 のダブルバッファイネーブル (INTTBO 割り込みでデューティ/周期の変更)
TBOFFCR	← X	X	0	0	1	1	1	0	TBOFF0 を TBORG0、TBORG1 との一致検出で反転するように設定します。また、TBOFF0 の初期値を“0”にします。
TBOMOD	← 0	0	1	0	0	1	*	*	} 入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
P6CR	← -	-	-	-	-	-	-	1	
P6FC3	← -	-	-	-	-	-	-	1	
TBORUN	← 1	0	0	0	-	1	X	1	TMRBO を起動します。

X: Don't care -; no change

11.4 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

①外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタ UC5 をプリスケアラ出カクロックにてフリーランニングでカウントアップさせておきます。TB5IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ (TB5CPOH/L) に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT2 が発生するように INTC で設定します。この割り込みで、タイマレジスタ (TB5RG0H/L) には、TB5CP0 の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。

タイマレジスタ (TB5RG1H/L) には、TB5RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。(TB5RG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ (TB5FFCR<TB5E1T1, TB5E0T1>) に “11” を設定し、UC5 と TB5RG0H/L との一致、および、TB5RG1H/L との一致により、タイマフリップフロップ (TB5FF0) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB5 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 11-10 ワンショットパルス出力 (ディレイあり)」の c、d、p と対応しています。

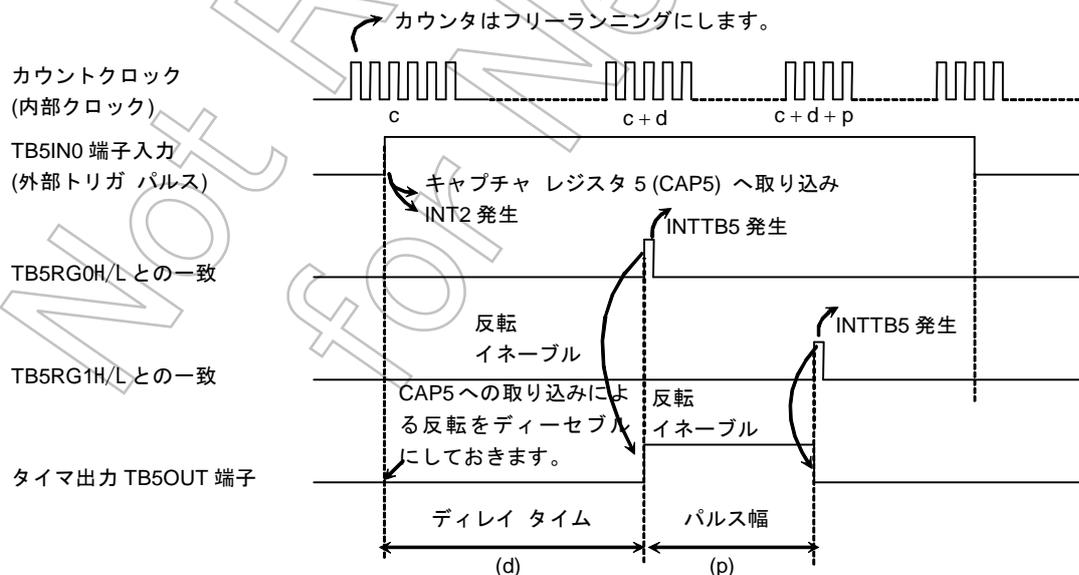


図 11-10 ワンショットパルス出力 (ディレイあり)

設定例： TB5IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルス
 を出力する場合

※クロック条件

- システムクロック : 高速 (fc)
- 高速クロックギア : 1 倍 (fc)
- プリスケアラクロック : fperiph/4 (fperiph · fsys)

メインでの設定

		7	6	5	4	3	2	1	0	
PBCR		X	X	X	X	0	X	X	X	フリーランニングにします。
PBFC1		X	X	X	X	1	X	X	X	PB3 端子を TB5IN0 に設定
PBIE		X	X	X	X	1	X	X	X	
TB5MOD	←	X	X	1	0	1	0	0	1	φT1 でカウントさせます。
TB5FFCR	←	X	X	0	0	0	0	1	0	TB5IN0 入力の立ち上がりで TB5CP0 へ取り込みます。
										TB5FF0 をゼロクリアします。
										TB5FF0 の反転をディセーブルにします。
PBCR	←	1	-	-	-	-	-	-	-	PB7 端子を TB5OUT に割り付けます。
PBFC1	←	1	-	-	-	-	-	-	-	
IMC0	←	X	1	1	0	0	1	0	0	INT2 をイネーブルに、INTTB5 をディセーブルにします。
IMC8	←	X	1	1	0	0	0	0	0	
TB5RUN	←	-	0	X	0	-	1	X	1	32 ビットレジスタの為全ての処理を行ってください。
										TMRB5 を起動します。

INT2 での設定

TB5RG0	←	TB5CP0 + 3ms/φT1								
TB5RG1	←	TB5RG0 + 2ms/φT1								
TB5FFCR	←	X	X	-	-	1	1	-	-	TB5RG0, 1 との一致による TB5FF0 の反転をイネーブルにします。
IMC0	←	X	1	1	0	0	1	0	0	
										INTTB5 をイネーブルにします。
										32 ビットレジスタの為全ての処理を行ってください。

INTTB5 での設定

TB5FFCR	←	X	X	-	-	0	0	-	-	TB5RG0, 1 との一致による TB5FF0 の反転をディセーブルにします。
IMC8	←	X	1	1	0	0	0	0	0	
										INTTB5 をディセーブルにします。
										32 ビットレジスタの為全ての処理を行ってください。

X: Don't care -: no change

Not for New

ディレイが不要な場合、TB5CP0 への取り込みによって TB5FF0 を反転させ、割り込み INT で TB5CP0 の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB5RG1 に設定します。(TB5RG1 の変更は次の一致までに完了してください。)TB5FF0 は、TB5RG1 と UC5 の一致によって反転するように、反転イネーブルを選択します。また、INTTB5 割り込みでこれをディセーブルに戻します。

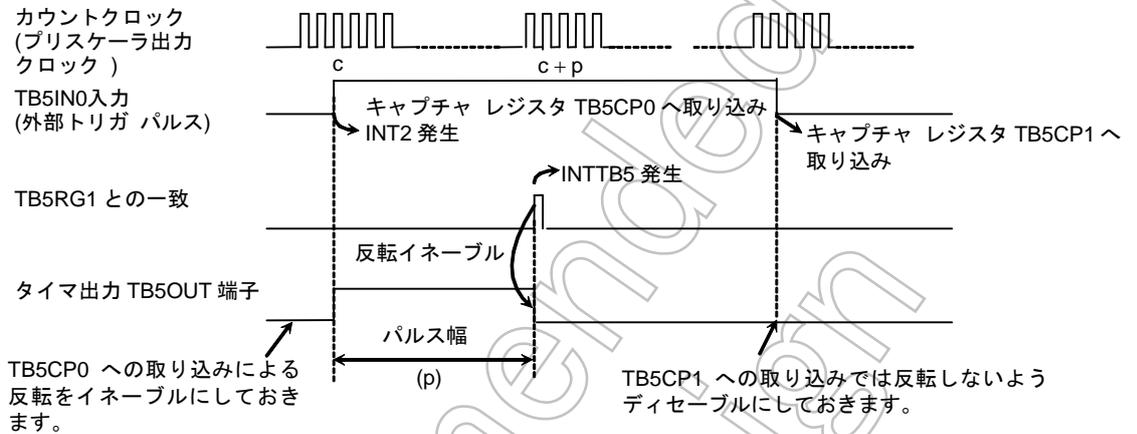


図 11-11 外部トリガパルスのワンショットパルス出力 (ディレイなし)

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと他の16ビットタイマ (TMRB0) を組み合わせて行います (TMRB0 は、TBOFFCR を反転させることで測定時間の設定に用います)。

TMRB3 のカウントクロックは TB3IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB3MOD<TB3CPM1 : 0> には “11” を設定します。この設定により、16ビットタイマ (TMRB0) のタイマフリップフロップ (TBOFFCR) の立ち上がりで、キャプチャレジスタ (TB3CP0) に16ビットアップカウンタ UC3 のカウンタ値を取り込み、16ビットタイマ (TMRB0) の TBOFF の立ち下がりで、キャプチャレジスタ (TB3CP1) に UC3 のカウンタ値の取り込みを行います。

周波数は、16ビットタイマの割り込み INTTB0 で測定時間を基準にして TB3CP0、TB3CP1 の差より求めます。

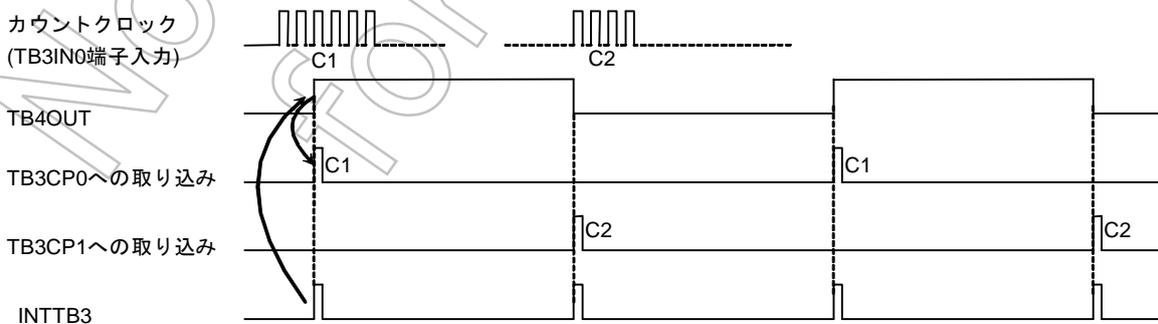


図 11-12 周波数測定

例えば、16ビットタイマによる TBOFF の “1” レベル幅の設定値が 0.5 s で、TB3CP0 と TB3CP1 の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

③ パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB5IN0端子より外部パルスを入力し、アップカウンタ(UC5)をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TB5CP0, TB5CP1)に取り込みます。TB5IN0端子の立ち下がりにより、INT2が発生するようにINTCで設定します。

“H”レベルパルス幅は、TB5CP0とTB5CP1の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えばTB5CP0とTB5CP1の差が100で、プリスケアラ出力クロックの周期が $0.5\mu\text{s}$ であれば、パルス幅は、 $100 \times 0.5\mu\text{s} = 50\mu\text{s}$ となります。

なお、クロックソースにより定まるUC5の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

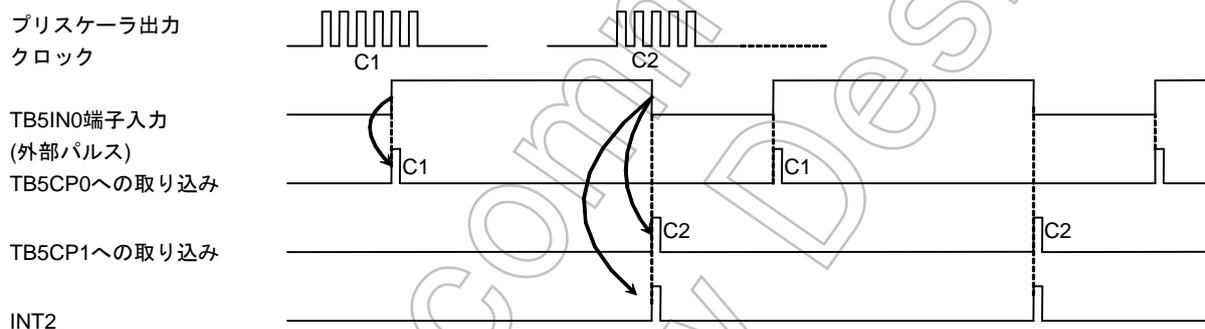


図 11-13 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。この場合、

「図 11-14 時間差測定」における、2回目のINT0割り込み処理により、1回目のC2と2回目のC1の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

④ 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ (UC5) をフリーランニングでカウントアップさせておきます。TB5IN0 端子の入力パルスの立ち上がりエッジで、UC5 の値をキャプチャレジスタ (TB5CP0) に取り込みます。このとき、割り込み INT2 が発生するように INTC で設定します。

TB5IN1 端子の入力パルスの立ち上がりエッジで、UC5 の値をキャプチャレジスタ TB5CP1 に取り込みます。このとき、割り込み INT1 が発生するように INTC で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB5CP1 から TB5CP0 を引いた値に、内部クロックの周期をかけて求めることができます。

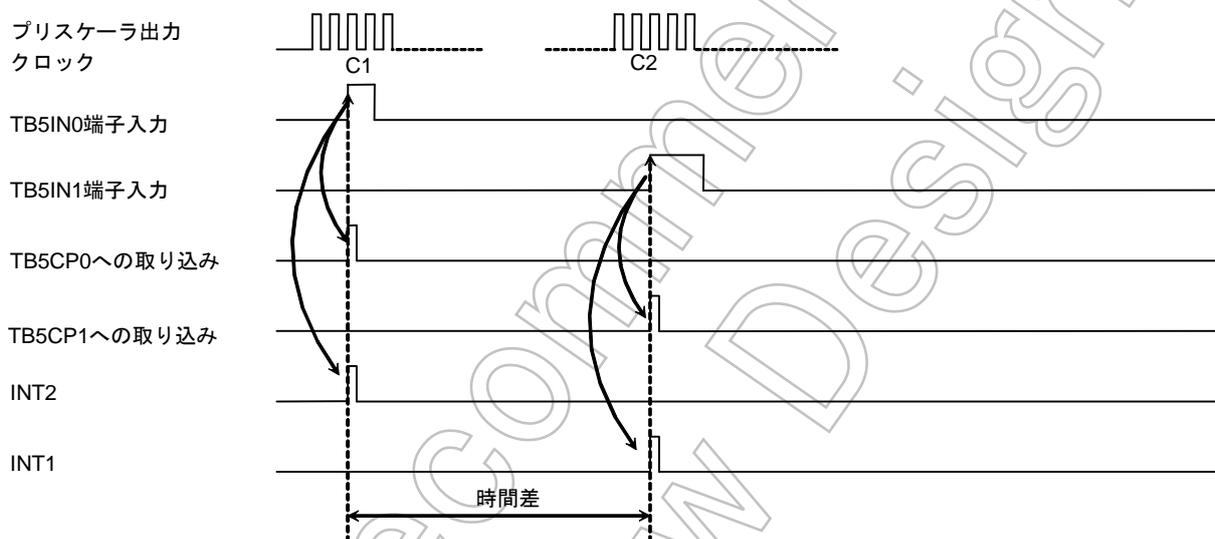


図 11-14 時間差測定

11.5 2相パルス入力カウントモード (TMRB0)

TB0IN0、TB0IN1 より入力される位相差ある 2 相クロックの状態遷移によりカウンタ+1、あるいはカウンタ-1 を実行するモードです。アップダウンカウンタモード中にカウント動作により割り込みを出力します。

カウント動作は 3 種類存在し、モードの切り替えはレジスタにより制御します。

- 1) 通常動作モード (4 カウント目で UP/DOWN)
- 2) 4 逓倍モード (全てのカウントで UP/DOWN)
- 3) 2 逓倍モード (全てのカウントで UP) 1 端子の入力でカウントアップが可能です

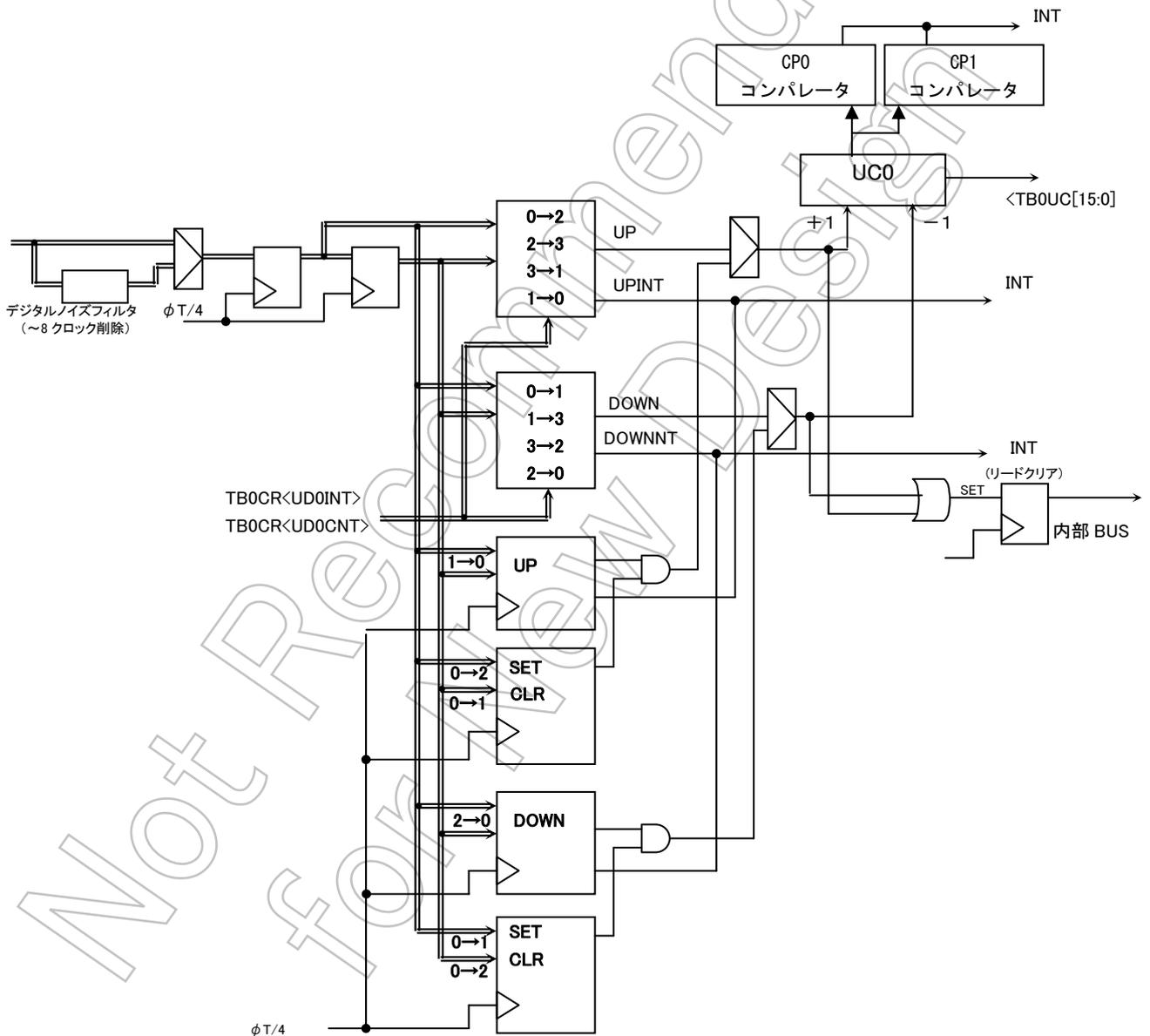
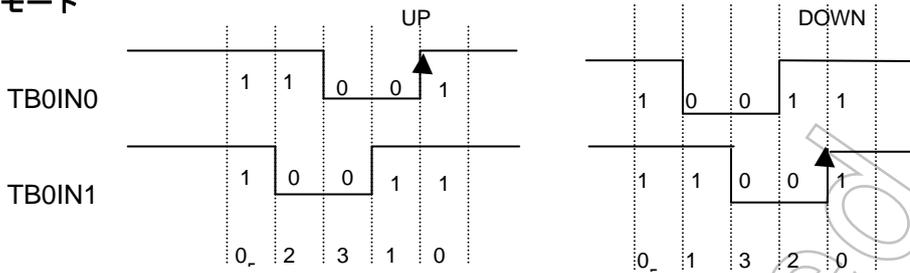


図 11-15 2相カウンタ カウント回路

・通常動作モード



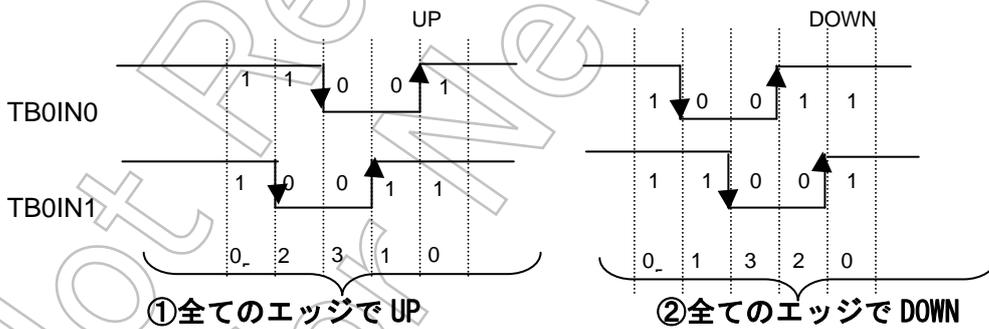
カウント条件	端子状態						
	UP			DOWN			
TB0IN0, TB0IN1	0	→	2	0	→	1	←SET
TB0IN0, TB0IN1	1	→	0	2	→	0	←割り込み発生
TB0IN0, TB0IN1	0	→	1	0	→	2	←CLR

カウント条件：

- ・ UP 0→2 (UP SET) された状態で、1→0 でカウント UP
0→2 (UP SET) された状態で、0→1 (逆回転) で CLR
- ・ DOWN 0→1 (DOWN SET) された状態で、2→0 でカウント DOWN
0→1 (DOWN SET) された状態で、0→2 (逆回転) で CLR

(注) 0 → 3, 3 → 0 に関してはイレギュラーな状態と判断しカウントしません。
UP, DOWN 状態 SET を CLR します。

・4 通倍モード



カウント条件	端子状態					
	UP			DOWN		
TB0IN0, TB0IN1	0	→	2	0	→	1
	2		3	1		3
	3		1	3		2
	1		0	2		0

TMRBORUN レジスタ (TBORUN)

TBORUN
(0xFFFF_F200)

	7	6	5	4	3	2	1	0
bit Symbol	TBORDE		UDOCMP	TBOUDCE	I2TBO	TBOPRUN		TBORUN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット後	0	0	0	0	0	0	0	0
機能	Double Buffer 0: Disable 1: Enable	“0”をライトしてください	コンペア機能 0: 使用 1: 未使用	2相カウンタ イネーブル 0: デイセーブル 1: イネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: Stop & Clear 1: Run (Count Up)		

図 11-16 2相パルス入力カウントモード設定レジスタ

① 動作モード

TB0IN0、TB0IN1 入力端子からの外部入力信号を通常の 16 ビットタイマ（キャプチャ入力）およびアップダウンカウンタのどちらへ入力するかはレジスタ設定で選択します。

- アップダウンカウンタモード時キャプチャはソフトウェアキャプチャのみで、外部クロックタイミングによるキャプチャは行いません。
- アップダウンカウンタモード時コンパレータは無効になり、タイマレジスタとの比較は行いません。（コンペア機能設定時にはコンパレータが有効になります）
- 入力クロックはシステムクロックでサンプリングします。最大入力周波数は $\phi T0/4$ になります。

<< アップダウンカウンタ設定方法 >>

TBMOD レジスタ<TBOCLK0、TBOCLK1> = “00”（プリスケラ OFF）にします。次に、アップダウンカウンタとして動作させるか、従来の外部クロック入力のアップカウンタとして動作させるかを TBORUN レジスタの第 4 ビット目<TBOUDCE>に設定して決定します。

TBOUDCE（アップダウンカウンタイネーブル） = “0”：通常 16 ビットタイマ動作
= “1”：アップダウンカウンタ動作

② 割り込み

- NORMAL モード時

割り込みコントローラ（INTC）にて INTTBO 割り込みをイネーブルにします。アップまたはダウンカウントにより割り込み INTTBO が発生します。割り込み処理の中で、ステータスレジスタ TBOST をリードすることにより、同時にオーバーフロー、アンダーフローが発生しているかを知ることができます。TBOST<INTTBOUF0> = “1” であればオーバーフローが発生、また<INTTBUDF0> = “1” であればアンダーフローが発生している状態です。このレジスタはリードするとクリアされます。またオーバーフローが発生するとカウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウント動作が行なわれず。

- コンペア機能使用時

コンペア機能使用時（TBORUN <UDOCNP>=0）には、カウント動作による割り込みはコンパレータ一致時に発生し、オーバーフロー、アンダーフロー時には発生いたしません。

但しオーバーフロー、アンダーフロー共にフラグはセットされます。

1 カウントアップ/ダウン毎の割り込みは発生いたしません。

(注) コンペア値の書き換えをカウント動作中に行う場合は、カウント値に注意して書き換えを行って下さい。

TMRB0 ステータスレジスタ

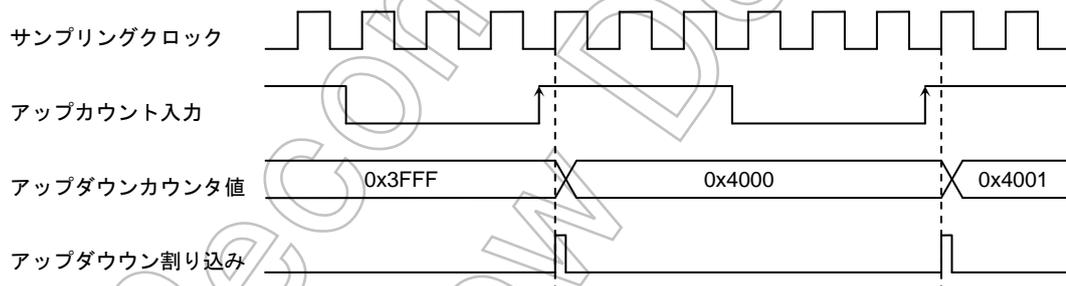
	7	6	5	4	3	2	1	0
bit Symbol				INTTBUD0	INTTBUDF0	INTTBOUF0	INTTB01	INTTB00
Read/Write	R			R				
リセット後	0			0	0	0	0	0
機能	リードすると“0”が読めます			アップダウン カウント 0: 発生無し 1: 発生	アンダーフロー 0: 発生無し 1: 発生	オーバーフロー 0: 発生無し 1: 発生	一致割り込み 0: 発生無し 1: 発生	一致割り込み 0: 発生無し 1: 発生

図 11-17 TMRB0 ステータスレジスタ

(注) ステータスはレジスタを読み出す事でクリアされます。

③ アップダウンカウンタ

二相入力カウンタモードに設定 (TBORUN<TBOUDCE> = “1”) するとアップカウンタはアップダウンカウンタになり 0x7FFF に初期化されます。カウンタがオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。したがって、割り込み発生後にカウンタ値とステータスフラグ TBOST をリードすることにより、状態を判別することができます。



(注1) アップ (ダウン) カウンタ入力は入力前状態、入力後状態は “H” レベルにしてください。

(注2) カウンタ値の読み出しは INTTB0 の割り込み処理の中で行ってください。

TMRB0 コントロールレジスタ

TB0CR
(0xFFFF_F201)

	7	6	5	4	3	2	1	0
bit Symbol	TB0EN					UD0NF	UD01CNT	UD01CNT
Read/Write	R/W		R			R/W		
リセット後	0	0	0	0	0	0	0	0
機能	TMRB0動作 0: 禁止 1: 許可	“0”をライトして ください。	リードすると“0”が 読めます	リードすると“0”が 読めます	リードすると“0”が 読めます	デジタルノイズ フィルタ 0: 未使用 1: 使用する	モード切り替え 00: 通常 01: TB0IN0 2 通倍 10: 4 通倍 11: TB0IN1 2 通倍	

UD0xCNT モード切り替えビット

00 : 通常モード

01 : TB0IN0 2 通倍モード

10 : 4 通倍モード

11 : TB0IN1 2 通倍モード

TB0IN1 側の入力状態は影響しません。

TB0IN0 側の入力状態は影響しません。

UD0NF

ノイズ除去を制御します。

“1 (使用する)” の場合は、TMRB0 端子入力に対してサンプリングクロックの 8 周期分のクロックに満たない入力はノイズ成分として除去します。

内部信号との同期の為、1 システムクロック分の誤差が生じますので、入力信号の周波数については考慮を願います。

図 11-18 TMRB0 コントロールレジスタ

11.6 2 相パルス入力波形 出力モード (TMRB0)

TB0IN0、TB0IN1 より入力される位相差ある 2 相クロックの状態を、TB0OUT0、TB0OUT1 より出力するモードです。

- 1) 通常出力モード (入力波形を出力します)
- 2) 反転出力モード (入力波形を反転して出力します)
- 3) 2 通倍モード (TB0IN0、TB0IN1 波形の XOR を T0OUT0 から出力します)

TMRB0 出力コントロールレジスタ

TB0OUTCR
(0xFFFF_F205)

	7	6	5	4	3	2	1	0
bit Symbol					UD1OUT1	UD1OUT0	UD0OUT1	UD0OUT0
Read/Write	R/W	R/W	R/W	R/W	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が 読めます	リードすると“0”が 読めます	リードすると“0”が 読めます	リードすると“0”が 読めます	TB0OUT1 の出力制御 00 : タイマ F/F 出力 01: TB0IN1 10: TB0IN1 を反転 11: 2 通倍出力		TB0OUT0 の出力制御 00 : タイマ F/F 出力 01: TB0IN0 10: TB0IN0 を反転 11: 2 通倍出力	

<UDxOUT1:0> : 2 相カウンタの入力を TB0OUT0、TB0OUT1 より出力します。

“00” : タイマフリップフロップ出力

“01” : TB0INx 入力波形を出力します

“10” : TB0INx 入力波形を反転して出力します

“11” : TB0IN0, TB0IN1 入力波形の XOR をとり、TB0OUT0 から出力します

図 11-19 TMRB0 出力コントロールレジスタ

12. 16ビットタイマ/イベントカウンタ (TMRD)

多機能 16ビットタイマ/イベントカウンタを 2 チャンネル (TMRD0, TMRD1) 内蔵しています。
TMRD は、次の 4 つの動作モードをもっています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード (2ch 同期出力設定可能)

各チャンネルは、主に 16ビットアップカウンタ、16ビットタイマレジスタ 5 本 (ダブルバッファ構造)、コンパレータ 5 個、および、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

各チャンネル (TMRD0, TMRD1) はそれぞれ独立または、同期して動作します。共通の周期に対して、立上げ、立下げタイミングを個別にプログラム可能な PPG を 2 系統備えたモジュールです。

いずれのチャンネルも表 12-1 に示される仕様相違点以外は同一の動作をしますので、動作説明は TMRD0 の場合と同期モードにて使用した際の説明を行います。

- 同期トリガ
TMRD0 と TMRD1 を同期させる事ができます。スタートトリガは TDORUN を使用します。
・TMRD0 => TMRD1 を同時スタート
- 位相設定 (0°、+90°、-90°)
マスター、スレーブとして連結することで、スレーブはマスタと同じ周期、またはマスタの 90° 遅れ周期の PPG 波形を出力します。位相の設定はマスタモジュール (TMRD0) で行います。
-90° 遅れ周期の波形はポートの出力設定を切り替えることで設定します。

表 12-1 PPG 出力の位相選択

位相選択	0°	動作モード			
		タイマ	シングル	マスタ	スレーブ S ^{*1}
	0°	×	○	○	×
	90°		×		○ ^{*3}

*1 スレーブ S: マスタ-スレーブ同期モード

*2 スレーブ Q: マスタ-スレーブ 90° 遅れモード

*3 周期はマスタの CP0、PPG 波形はスレーブの CP1、2、3、4 で設定されます。

表 12-2 コンペアレジスタの役割

コンペアスタ	レジスタ	動作モード				割り込み
		タイマ	シングル	マスタ	スレーブ(S/Q)	
コンペアスタ	TDnCMP0	TDnREG0	周期 ^{*1}		×	INTDnCMP0
	TDnCMP1	TDnREG1	TDnOUT0 のセット ^{*1}			INTDnCMP1
	TDnCMP2	TDnREG2	TDnOUT0 のクリア ^{*1}			INTDnCMP2
	TDnCMP3	TDnREG3	TDnOUT1 のセット ^{*1}			INTDnCMP3
	TDnCMP4	TDnREG4	TDnOUT1 のクリア ^{*1}			INTDnCMP4

*1 それぞれ、CP_x の一致割り込みを発生します。

*2 スレーブの周期はマスタの CP0 によって決定されます。またスレーブ CP0 による割り込みは発生しません。

*3 n=0,1

表 12-3 TMRD のチャンネル別仕様相違点

仕様		チャンネル	TMRD0	TMRD1
外部端子	タイマフリップフロップ出力端子		TD0OUT0 (P64/P66 と兼用) TD0OUT1 (P65/P67 と兼用)	TD1OUT0 (P66/P64 と兼用) TD1OUT1 (P67/P65 と兼用)
内部信号	同期スタートトリガ用タイマ		—	TMRD0
レジスタ名 (アドレス)	タイマ RUN レジスタ		TD0RUN (0xFFFF_E900)	TD1RUN (0xFFFF_E940)
	タイマコントロールレジスタ		TD0CR (0xFFFF_E904)	TD1CR (0xFFFF_E944)
	タイマモードレジスタ		TD0MOD (0xFFFF_E908)	TD1MOD (0xFFFF_E948)
	更新タイミング設定レジスタ		TD0BCR (0xFFFF_E90C)	TD1BCR (0xFFFF_E94C)
	タイマステータスレジスタ		TD0ST (0xFFFF_E910)	TD1ST (0xFFFF_E950)
	タイマレジスタ		TD0RG0 (0xFFFF_E914) TD0RG1 (0xFFFF_E918) TD0RG2 (0xFFFF_E91C) TD0RG3 (0xFFFF_E920) TD0RG4 (0xFFFF_E924)	TD1RG0 (0xFFFF_E954) TD1RG1 (0xFFFF_E958) TD1RG2 (0xFFFF_E95C) TD1RG3 (0xFFFF_E960) TD1RG4 (0xFFFF_E964)

TMRD 入カロック設定

PWMCG モードレジスタ

		7	6	5	4	3	2	1	0
PWMCG (0xFFFF_EE28)	bit Symbol			PWMGEAR1	PWMGEAR0				PWMEN
	Read/Write	R					R		
	リセット後	0	0	1	1	0	0	0	0
	機能	リードすると“0”が読めます	ソースクロック選択 00: PLL16 逡倍 01: PLL8 逡倍 10: PLL4 逡倍 11: GCLK			リードすると“0”が読めず			0: PWMCLK OFF 1: PWMCLK ON

図 12-1 PWMCG モードレジスタ

TMRDブロックに入力するソースクロックが選択できます。PLL16 逡倍、PLL8 逡倍、PLL4 逡倍、GCLKの4つから選択可能です。

(注) TMRD を使用する時は、最初に PWMCG レジスタにて PWMEN="1"を設定し、クロックを供給してください。その後、PLL 逡倍設定を再度行なってください。

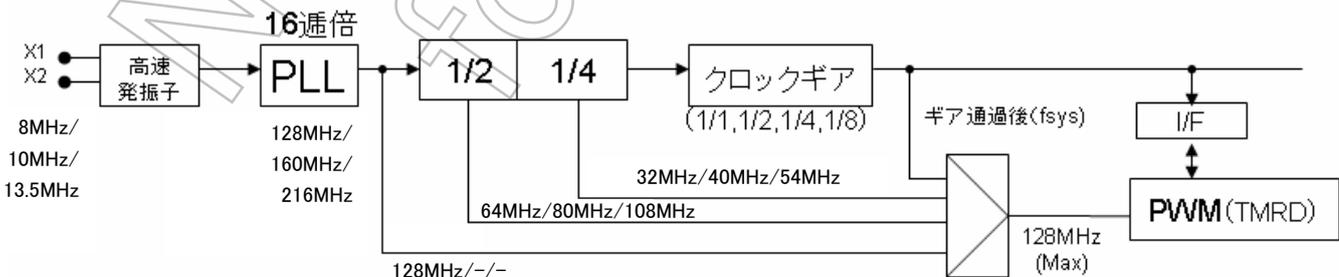


図 12-2 PWM クロック系統図

12.1 ブロック図

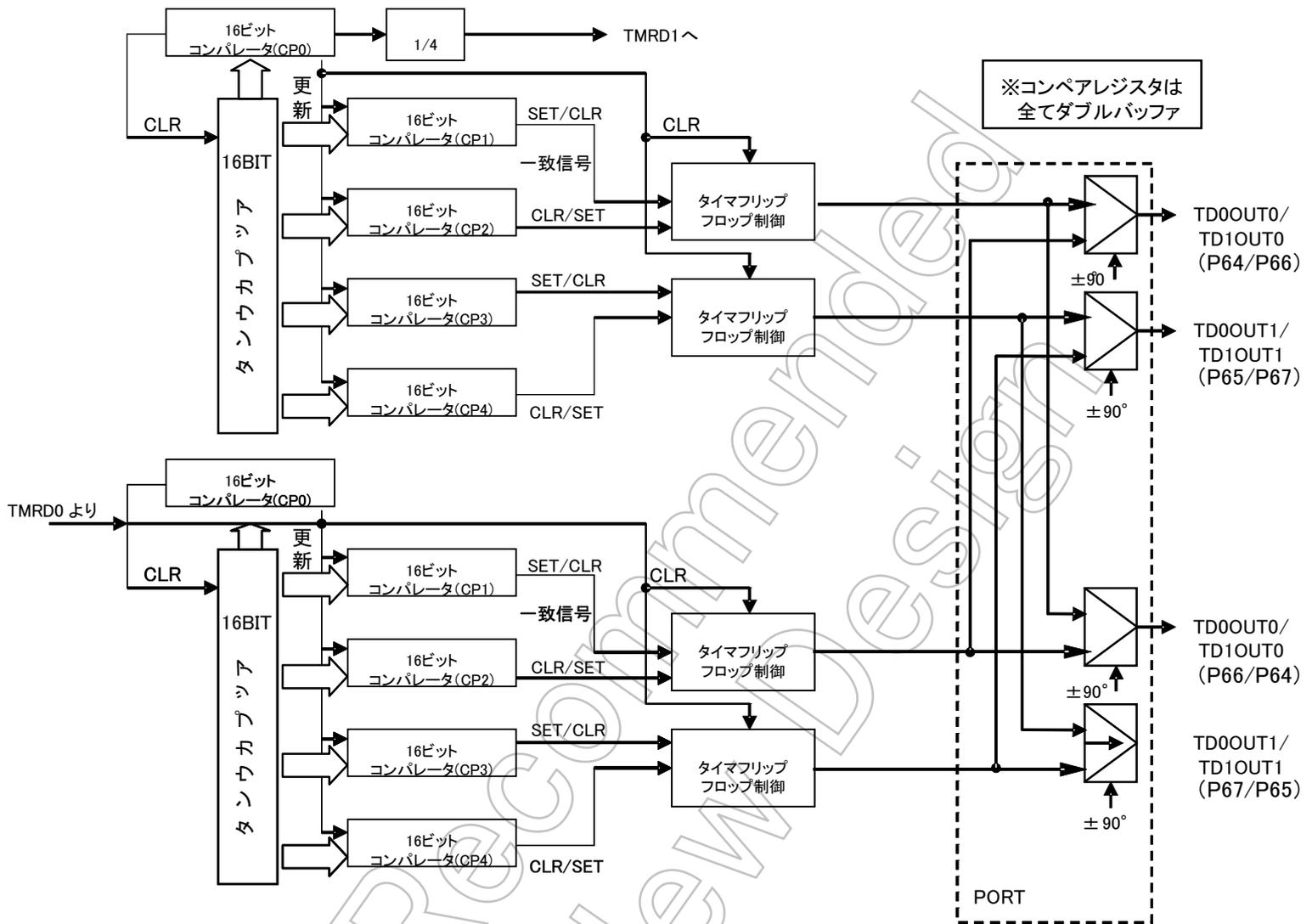


図 12-3 TMRD ブロック図

16bit アップカウンタに対して、TD0CP0 一致で周期を決定、TD0CP1 一致で TD0OUT0 信号の立ち上がり、TD0CP2 一致で TD0OUT0 信号の立ち下がり波形を生成します。同様に TD0CP3 一致、TD0CP4 一致で TD0OUT1 信号を生成します (TMRD1 側も同様)。

TMRD0、TMRD1 を接続して使用する場合、TMRD1 側も TD0CP0 の周期を基準とした動作になり、PPG 出力波形 4 端子の同期を取ることができます。

12.1.1 アップカウンタ

TD0MOD<TD0CLK1 : 0> で指定された入カクロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入カクロックは、プリスケアラによってカウントの速度(1/1、1/2、1/4、1/8、1/16)のいずれかを選択できます。UC0 は、TD0RUN<TD0RUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TD0RG0 と一致すると、クリアイネーブルであれば、ゼロクリアされません。このクリアイネーブル/ディセーブルは、TD0MOD<TD0CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

12.1.2 タイマレジスタ (TD0RG0、TD0RG1、TD0RG2、TD0RG3、TD0RG4)

カウンタ値を設定する 16 ビットレジスタで、5本ずつ内蔵されています。このタイマレジスタへの設定値がコンパレータに設定され、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブ(INTD0CMP0)になります。

このタイマレジスタは、全てダブルバッファ構成になっております。TD0RG0 は TD0RUN<TD0RDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TD0RDE> = “0” のときディセーブル、<TD0RDE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、タイマレジスタ TD0RG0 からのデータ転送は、TD0BCR<TDSFT>=1 設定後、TD0CMP0 との一致時に行われます。

リセット動作により、TD0RG0、TD0RG1、TD0RG2、TD0RG3、TD0RG4 は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TD0RUN <TD0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TD0RDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TD0RG0 とレジスタバッファは、同じアドレス 0xFFFF_E914 に割り付けられています。<TD0RDE> = “0” のときは、TD0RG0 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TD0RDE> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

12.1.3 コンパレータ (TD0CMP0、TD0CMP1、TD0CMP2、TD0CMP3、TD0CMP4)

アップカウンタ UC0 と、タイマレジスタ TD0RG0~TD0RG4 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTD0CMP0~4 を発生します。

12.2 レジスタ説明

TMRDn RUN レジスタ (n=0, 1)

TDnRUN (0xFFFF_E900)	bit Symbol								TDnRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能								Timer Run/Stop Control 0: 停止&ク リア 1: カウント ※リードす ると"0"が読 めます
	bit Symbol								
	Read/Write								R/W
	リセット後	0	0	0	0	0	0	0	0
	bit Symbol								
	Read/Write								R/W
	リセット後	0	0	0	0	0	0	0	0
bit Symbol									
Read/Write								R/W	
リセット後	0	0	0	0	0	0	0	0	
bit Symbol									
Read/Write								R/W	
リセット後	0	0	0	0	0	0	0	0	

図12-4 TMRDn RUN レジスタ

TDnRUN : TMRD0,1 のカウント動作を制御します。

タイマモード : “1”によって、カウンタのカウントアップを開始します。
同時にダブルバッファの内容が更新されます。
クリアで停止します(カウンタは初期化されます)。

PPG シングルモード : セットによって、ダブルバッファを更新して周期をスタートさせます。
TDnBCR レジスタの1ビット目 TDSFT が“1”の時にクリアすると、即座に停止します。

PPG マスタモード : TDnBCR レジスタの1ビット目 TDSFT が“0”の時にセットするとマスタ動作を行います。
Slave の制御以外は PPG シングルモードと同じ動作を行います。

PPG スレーブモード : スレーブ時は“0”をライトしてください。
“1”をライトしても無効となります。

TMRDn コントロールレジスタ (n=0,1)

TDnCR (0xFFFF_E904)	bit Symbol	TDnEN	TDnI2TD	TDnMOD1	TDnMOD0	TDnRDE	TDnISO1	TDnISO0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0
機能	動作設定 0: TMRD 停止 1: TRMD 動作	IDLE 中の動作、停止を設定 0: 停止 1: 動作	動作モードを選択します。 00: タイマモード 01: PPG シングルモード 10: PPG マスタモード 11: PPG スレーブモード	ダブルバッファ制御 0: 未使用 1: ダブルバッファ使用 * マスタ・スレーブで設定を一致させて下さい。		INTDnCMP0 の割り込み要因を選択します 00: 要因無し 01: CPO 一致 10: CPO の 90° 一致 (マスタモード時のみ発生) 11: カウンタのオーバーフロー (スレーブモードはオーバーフローのみ発生します)		
		15	14	13	12	11	10	9
	bit Symbol							
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
		23	22	21	20	19	18	17
	bit Symbol							
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
		31	30	29	28	27	26	25
	bit Symbol							
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0

図12-5 TMRDn コントロールレジスタ

- <TDnISO 1:0> : INTDnCMP0 の割り込み要因を選択します。
 00: 割り込み要因なし(割り込みを使用しない)
 01: TDxCMP0 一致時(周期)に割り込み発生
 10: TDxCMP0 の 90° 一致時に割り込み発生 (マスタモードのみ)
 11: 16bit カウンタがオーバーフローした時に割り込みが発生します
- <TDnRDE> : ダブルバッファの使用有無を選択します。
 0: ダブルバッファを使用しない
 1: ダブルバッファを使用する
※マスタ、スレーブ設定を一致させてください。
- <TDnMOD1:0> : 動作モードを設定します。
 00: タイマモード
 01: PPG シングルモード
 10: PPG マスタモード
 11: PPG スレーブモード
- <TDnI2TD> : IDLE モード時の動作を設定します。
 0: 停止
 1: 動作
- <TDnEN> : TMRD の動作を指定します。動作禁止の状態では TMRD モジュールのレジスタ部以外へのクロックが供給されませんので、消費電力の低減が可能です (他のレジスタへのリード、ライトはできません)。TMRD を使用する場合は、TMRD モジュールの各レジスタを設定する前に TMRD 動作許可 ("1") にしてください。TMRD を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注) TDnEN ビットを最初に設定してください。その後モード設定をしてください。

TMRDn モードレジスタ (n=0,1)

TDnMOD (0xFFFF_E9x8)	bit Symbol	TDnIV1	TDnIV0	TDnSYNC	TDnCLE	TDnPEN	TDnCLK1	TDnCLK0
	Read/Write	R/W			R/W			
リセット後	0	0	0	0	0	0	0	0
機能	TDnOUT1 の初期値設定 0:初期値0のとき CP3 一致で↑, CP4 一致で↓ 1:初期値1のとき CP3 一致で↓, CP4 一致で↑	TDnOUT0 の初期値設定 0:初期値0のとき OCP1 一致で↑, CP2 一致で↓ 1:初期値1のとき CP1 一致で↓, CP2 一致で↑	位相設定 0: 0° 周期 1: 90° 遅れ	TDnCMP0 一致時のカウンタ動作 0: そのまま 1: 初期化する	プリスケラ使用許可 0: 未使用 1: 使用	“0”を設定してください	プリスケラクロック選択 00: 1/2 01: 1/4 10: 1/8 11: 1/16	
	15	14	13	12	11	10	9	8
	bit Symbol	R/W						
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
		23	22	21	20	19	18	17
	bit Symbol	R/W						
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
		31	30	29	28	27	26	25
	bit Symbol	R/W						
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0

図12-6 TMRDn モードレジス

- <TDnCLK1:0> : TMRD の入力クロックを選択します。
00: 1/2
01: 1/4
10: 1/8
11: 1/16 **※マスタ、スレーブ設定を一致させてください。**
- <TDnPEN> : プリスケラの許可信号です。
0: プリスケラを使用しない
1: プリスケラを使用する
※マスタ、スレーブ設定を一致させてください。
- <TDnCLE> : (タイマモードのみ)TDnCMP0 一致時カウンタをクリアするかを設定します
0: 初期化しない
1: 初期化する
- <TDnSYNC> : (タイマモードのみ)同期モード時の位相を設定します。
0: 0° 周期
1: 90° 遅れ周期
- <TDnIV0> : TDxOUT0 出力設定 (設定と同時にTDnOUT0に反映されます)
0: 初期値 Low 出力 TDnCP1 一致で↑、TDnCP2 一致で↓
1: 初期値 High 出力 TDnCP1 一致で↓、TDnCP2 一致で↑
- <TDnIV1> : TDxOUT1 出力設定 (設定と同時にTDnOUT1に反映されます)
0: 初期値 Low 出力 TDnCP3 一致で↑、TDnCP4 一致で↓
1: 初期値 High 出力 TDnCP3 一致で↓、TDnCP4 一致で↑

(注) プリスケラ許可<TDnPEN>=1 は、他の設定終了後、許可のみ別々に実施してください。

TMRDn 更新タイミング設定レジスタ (n=0,1)

TDnBCR
(0xFFFF_E90C)

	7	6	5	4	3	2	1	0
bit Symbol								TDSFT
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	更新 タイミング 設定							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

図12-7 TMRDn 更新タイミング設定レジスタ

<TDnSFT>本レジスタに書き込むことで、バッファに書き込まれたデータの更新が行なえます。

タイマモード : <TDnMOD>CLE ビットの設定により、以下のタイミングでダブルバッファを更新します。
 CLE = 0 : オーバーフロー時にダブルバッファが更新されます。
 CLE = 1 : TDnCMPO 一致時にダブルバッファが更新されます。

PPG シングルモード: 1書き込み後、周期の更新タイミングでダブルバッファのデータが更新されます。(更新と同時にクリアされます。)

PPG マスタモード : 1書き込み後、周期の更新タイミングでダブルバッファのデータが更新されます。
 マスタ動作時は、スレーブモジュールのダブルバッファの制御も行います。
 (マスタバッファの更新→スレーブバッファの更新の後にクリアされます。
 マスタバッファの更新後に手でクリアした場合も、スレーブの更新は実行されます。)

PPG スレーブモード: スレーブモード中に1を書き込んで無効となります。

ダブルバッファが有効な場合、RUN のセット/クリアで自動的にクリアされます。

(注) TDSFT が“1”の時に、0または1を書き込まないで下さい。

TMRDn ステータスレジスタ (n=0, 1)

TDnST
(0xFFFF_E910)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	現在のカウンタの値をリードします。							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	現在のカウンタの値をリードします。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

<TDnST> : 現在のカウンタの値をリードします。

図12-8 TMRDn ステータスレジスタ

Not Recommended for New Design

TDnRG0、TDnRG1、TDnRG2、TDnRG3、TDnRG4 タイマレジスタ

TDnRG0 タイマレジスタ (n=0, 1)

TDnRG0
(0xFFFF_E914)

	7	6	5	4	3	2	1	0
bit Symbol	TDnRG0L7	TDnRG0L6	TDnRG0L5	TDnRG0L4	TDnRG0L3	TDnRG0L2	TDnRG0L1	TDnRG0L0
Read/Write	R/W							
リセット後	0							
機能	PPGの周期を設定するレジスタです。 周期の最小値は0x0000、最大値は0xFFFFです。(設定値+1clk周期になります。)							
	15	14	13	12	11	10	9	8
bit Symbol	TDnRG0H7	TDnRG0H6	TDnRG0H5	TDnRG0H4	TDnRG0H3	TDnRG0H2	TDnRG0H1	TDnRG0H0
Read/Write	R/W							
リセット後	0							
機能	PPGの周期を設定するレジスタです。 周期の最小値は0x0000、最大値は0xFFFFです。(設定値+1clk周期になります。)							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

図12-9 TDnRG0 タイマレジスタ

TDnRG1 タイマレジスタ (n=0, 1)

TDnRG1
(0xFFFF_E918)

	7	6	5	4	3	2	1	0
bit Symbol	TDnRG1L7	TDnRG1L6	TDnRG1L5	TDnRG1L4	TDnRG1L3	TDnRG1L2	TDnRG1L1	TDnRG1L0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT0の立上げタイミングを設定するレジスタです。							
	15	14	13	12	11	10	9	8
bit Symbol	TDnRG1H7	TDnRG1H6	TDnRG1H5	TDnRG1H4	TDnRG1H3	TDnRG1H2	TDnRG1H1	TDnRG1H0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT0の立上げタイミングを設定するレジスタです。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

図12-10 TDnRG1 タイマレジスタ

TDnRG2 タイマレジスタ (n=0, 1)

TDnRG2
(0xFFFF_E91C)

	7	6	5	4	3	2	1	0
bit Symbol	TDnRGOL7	TDnRGOL6	TDnRGOL5	TDnRGOL4	TDnRGOL3	TDnRGOL2	TDnRGOL1	TDnRGOL0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT0 の立下げタイミングを設定するレジスタです。							
	15	14	13	12	11	10	9	8
bit Symbol	TDnRG0H7	TDnRG0H6	TDnRG0H5	TDnRG0H4	TDnRG0H3	TDnRG0H2	TDnRG0H1	TDnRG0H0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT0 の立下げタイミングを設定するレジスタです。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0							

図12-11 TDnRG2 タイマレジスタ

TDnRG3 タイマレジスタ (n=0, 1)

TDnRG3
(0xFFFF_E920)

	7	6	5	4	3	2	1	0
bit Symbol	TDnRG1L7	TDnRG1L6	TDnRG1L5	TDnRG1L4	TDnRG1L3	TDnRG1L2	TDnRG1L1	TDnRG1L0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT1 の立上げタイミングを設定するレジスタです。							
	15	14	13	12	11	10	9	8
bit Symbol	TDnRG1H7	TDnRG1H6	TDnRG1H5	TDnRG1H4	TDnRG1H3	TDnRG1H2	TDnRG1H1	TDnRG1H0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT1 の立上げタイミングを設定するレジスタです。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0							

図12-12 TDnRG3 タイマレジスタ

TDnRG4 タイマレジスタ (n=0, 1)

TDnRG4
(0xFFFF_E924)

	7	6	5	4	3	2	1	0
bit Symbol	TDnRGOL7	TDnRGOL6	TDnRGOL5	TDnRGOL4	TDnRGOL3	TDnRGOL2	TDnRGOL1	TDnRGOL0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT1 の立下げタイミングを設定するレジスタです。							
	15	14	13	12	11	10	9	8
bit Symbol	TDnRGOH7	TDnRGOH6	TDnRGOH5	TDnRGOH4	TDnRGOH3	TDnRGOH2	TDnRGOH1	TDnRGOH0
Read/Write	R/W							
リセット後	0							
機能	TDnOUT1 の立下げタイミングを設定するレジスタです。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0							

図12-13 TDnRG4 タイマレジスタ

12.3 PPGモード動作説明

12.3.1 16ビットPPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、TDnMOD<TDNIV1:0>でローアクティブ、ハイアクティブどちらも可能です。

アップカウンタ (UC0) に対して、コンペアレジスタ 0 (TDOREG0) 一致で周期を決定し、コンペアレジスタ 1 (TDOREG1) 一致で立ち上がり、コンペアレジスタ 2 (TDOREG2) 一致で立ち下がり生成します。生成されたプログラマブル矩形波を TD0OUT0 端子より出力することができます。同様に TDOREG3, TDOREG4 によって生成される矩形波は TD0OUT1 から出力できます。

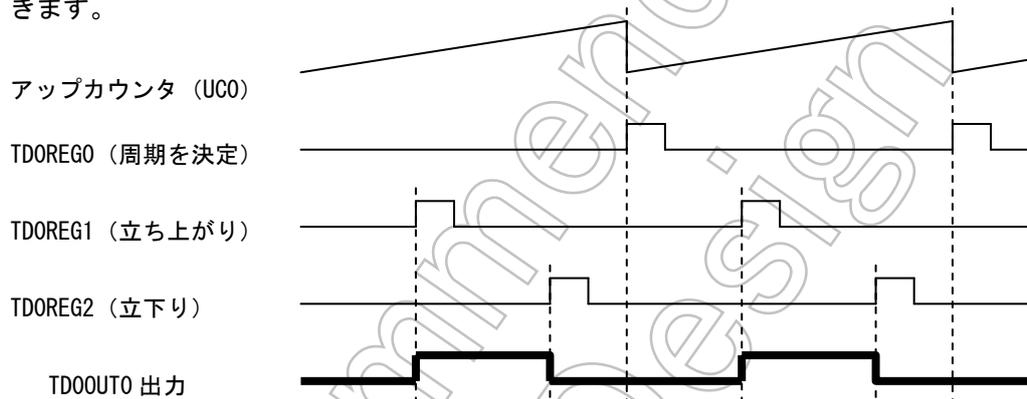


図12-14 プログラマブル矩形波 (PPG) 出力波形例

12.3.2 PPGモードタイミング

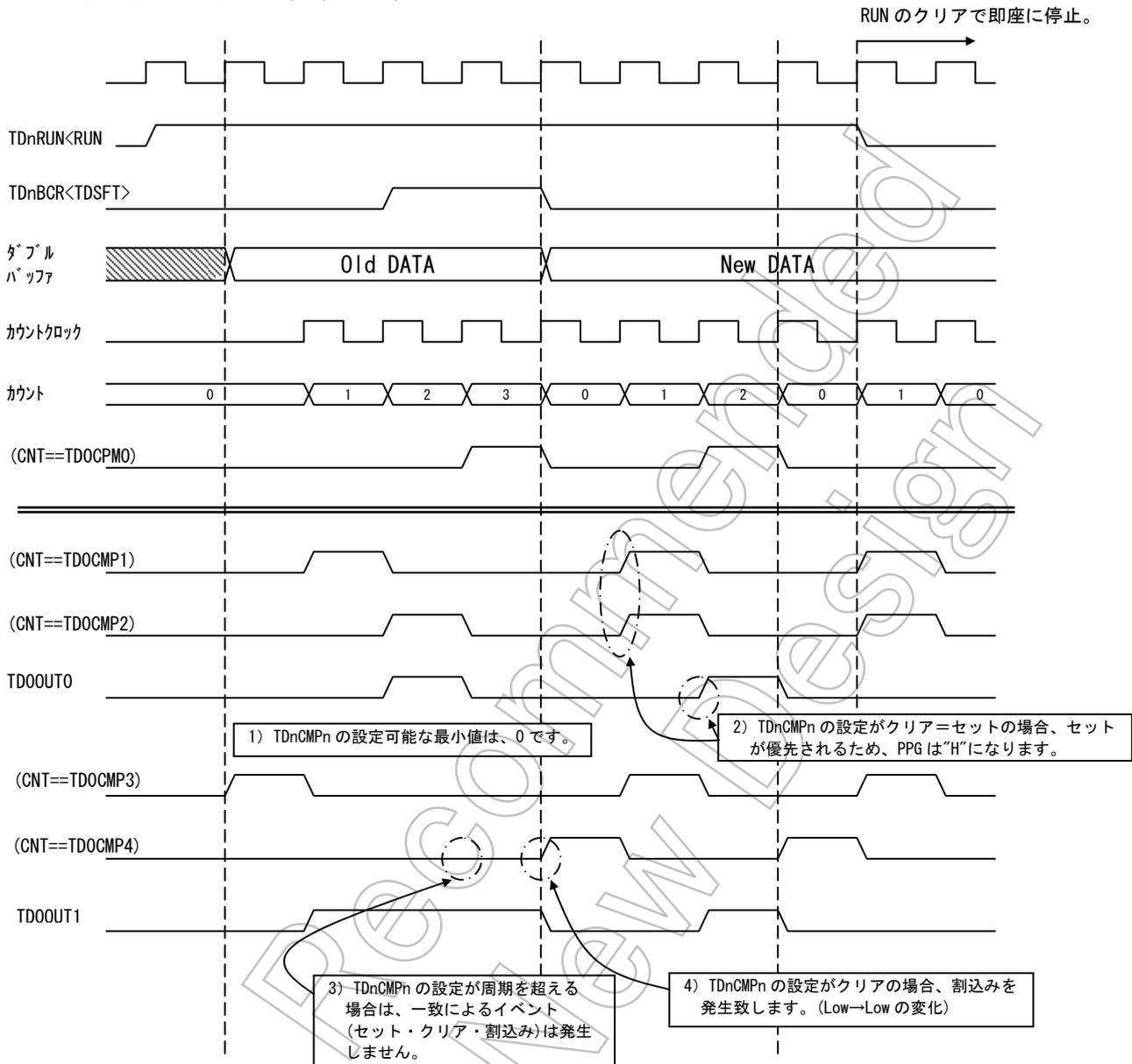


図12-14 PPGモードタイミング

- ・周期は、TDOCPM0 一致で生成されます。
- ・TDOOUT0 出力は、TDOCMP1 一致で立ち上がり、TDOCMP2 一致で立ち下がります
- ・TDOOUT1 出力は、TDOCMP3 一致で立ち上がり、TDOCMP4 一致で立ち下がります

- 1) TDOCPn の設定可能な最小値は“0”です。
- 2) TDOCMP1、TDOCMP2 の設定値が同じ場合は、TDOCMP1 の設定が優先されます
- 3) TDOCMPn の設定値が、周期(TDOCP0)を超える場合は設定値が無効になります。
- 4) TDOCMP2 が TDOCMP1 よりも短い値、または TDOCMP4 が TDOCMP3 よりも短い値の時は、出力波形は変わりません。(割り込みは発生いたしません)

PPG マスタ・スレーブ(90° 遅れ)のダブルバッファ更新

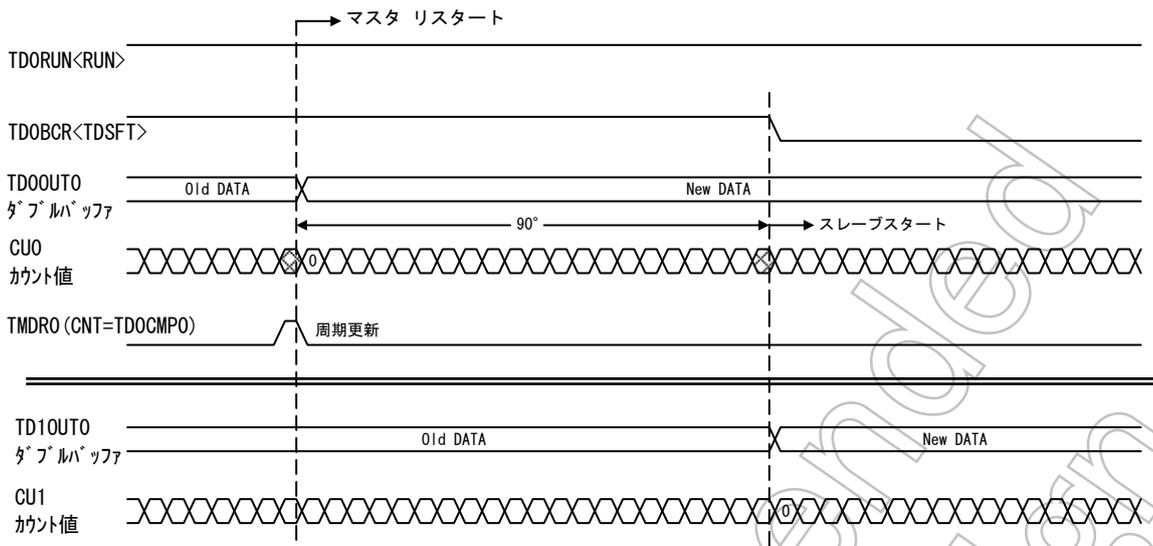


図12-15 PPG マスタ・スレーブ

<TD0MOD>TD0SYNC = "1" にて、90° 遅れが設定されている場合、
 TD0OUT0 の TD0CMP0 設定値の 90° 遅れた周期が TD1OUT0 の周期として使用されます。
 この設定により、TD0OUT0 周期に対して、周期が 90° 遅れた PPG 波形を生成する事が可能です。

13 シリアル チャネル (SIO)

13.1 特長

シリアル入出力を3チャンネル内蔵 (SIO0~SIO2) しています。各チャンネルは、下記に示すようにUARTモード (非同期通信) およびI/Oインターフェースモード (同期通信) を選択できます。

I/Oインターフェースモード	——	モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモード
非同期通信 (UART) モード	—	モード1: 送受信データ長 7ビット
		モード2: 送受信データ長 8ビット
		モード3: 送受信データ長 9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。図13-2に、SIO0のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

SIO0~SIO2は同一の動作をしますので、SIO0の場合についてのみ説明します。

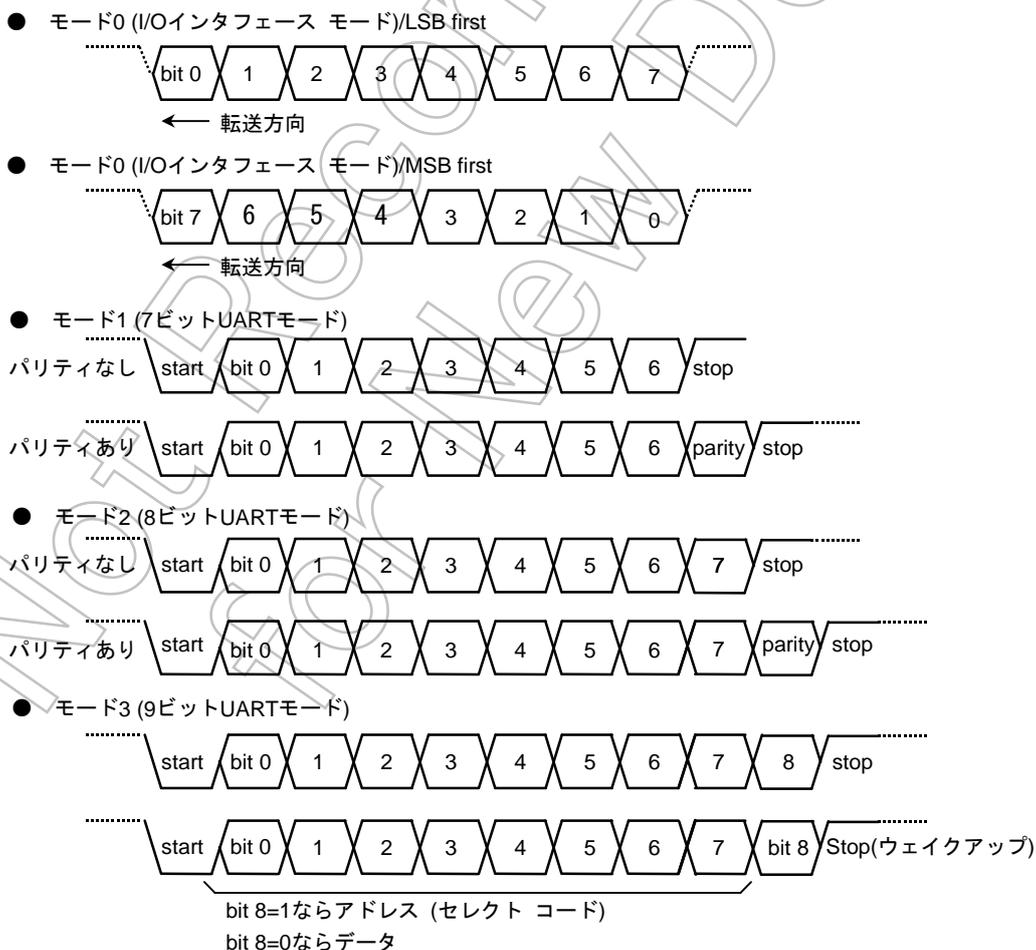


図13-1 データフォーマット

13.2 ブロック図 (チャンネル0)

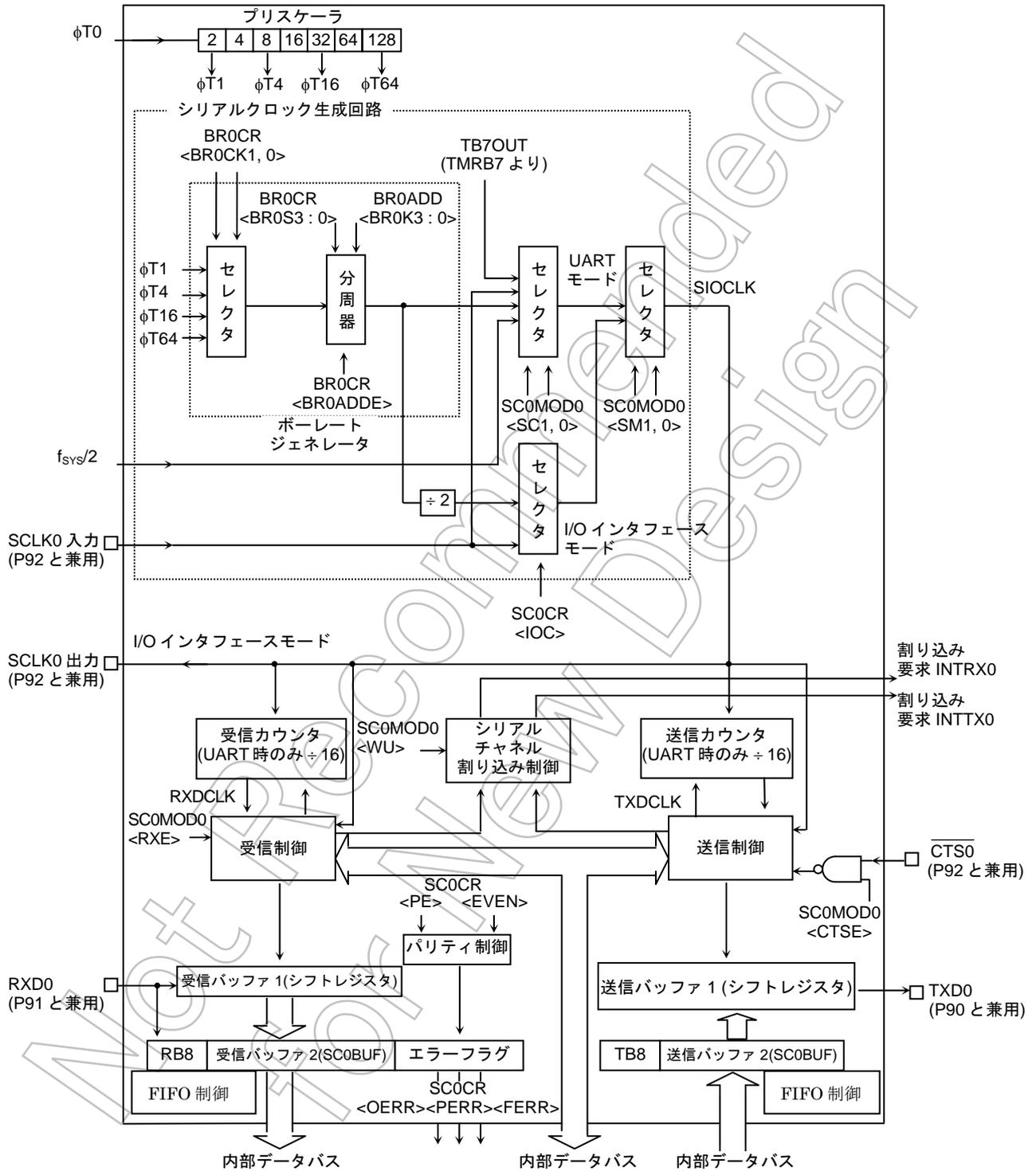


図13-2 SIO0 ブロック図

13.3 回路別の動作説明（チャンネル0）

13.3.1 プリスケーラ

S100の動作クロックを生成するために、7ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、CG部のSYSCR<PRCK1:0>にて選択したfperiph/2、fperiph/4、fperiph/8、fperiph/16のいずれかのクロックです。

fperiphはCG部のSYSCR1<FPSEL>で選択されるクロックfgearまたはクロックギアで分周される前のクロックfcのいずれかです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を表13-1、表13-2に示します。

Not Recommended
for New Design

表13-1 ボーレートジェネレータへの入力クロック分解能 @ = 54MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR 2:0>	プリスケアラ クロック選択 <PRCK1 : 0>	プリスケアラ出力クロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	00 (fper iph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fper iph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fper iph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fper iph/2)	$fc/2^2$ (0.07 μ s)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	100 (fc/2)	00 (fper iph/16)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		01 (fper iph/8)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		10 (fper iph/4)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		11 (fper iph/2)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
	110 (fc/4)	00 (fper iph/16)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)	$fc/2^{13}$ (152 μ s)
		01 (fper iph/8)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		10 (fper iph/4)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		11 (fper iph/2)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
	111 (fc/8)	00 (fper iph/16)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)	$fc/2^{14}$ (303 μ s)
		01 (fper iph/8)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)	$fc/2^{13}$ (152 μ s)
		10 (fper iph/4)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		11 (fper iph/2)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
1 (fc)	000 (fc)	00 (fper iph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fper iph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fper iph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fper iph/2)	$fc/2^2$ (0.07 μ s)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	100 (fc/2)	00 (fper iph/16)	$fc/2^6$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fper iph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fper iph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fper iph/2)	—	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	110 (fc/4)	00 (fper iph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fper iph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fper iph/4)	—	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fper iph/2)	—	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	111 (fc/8)	00 (fper iph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fper iph/8)	—	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fper iph/4)	—	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fper iph/2)	—	—	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)

(注1) プリスケアラ出力クロック ϕT_n は、かならず $\phi T_n < f_{sys}/2$ を満足するように (ϕT_n が $f_{sys}/2$ よりも遅くなるように) 選択してください。

(注2) SIO動作中はクロックギアの切り替えは行わないでください。

(注3) 表中 “—” は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケアラ出力クロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

表 13-2 ボーレートジェネレータへの入力クロック分解能 @ = 40MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR 2:0>	プリスケアラ クロック選択 <PRCK1 : 0>	プリスケアラ出カクロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.1 μ s)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)
		01 (fper iph/8)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		10 (fper iph/4)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		11 (fper iph/2)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)	$f_c/2^{13}$ (204 μ s)
		01 (fper iph/8)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)
		10 (fper iph/4)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		11 (fper iph/2)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)	$f_c/2^{14}$ (410 μ s)
		01 (fper iph/8)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)	$f_c/2^{13}$ (204 μ s)
		10 (fper iph/4)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)
		11 (fper iph/2)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
1 (fc)	000 (fc)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.1 μ s)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	—	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	—	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	—	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	—	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	—	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	—	—	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)

- (注4) プリスケアラ出カクロック ϕTn は、かならず $\phi Tn < f_{sys}/2$ を満足するように (ϕTn が $f_{sys}/2$ よりも遅くなるように) 選択してください。
- (注5) SIO動作中はクロックギアの切り替えは行わないでください。
- (注6) 表中 “ — ” は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケアラ出カクロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

13.3.2 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは7ビットプリスケラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BROCR <BROCK1:0> で設定します。

ボーレートジェネレータは、 $1 + N + \frac{m}{16}$ ($N=2\sim 15$ 、 $m=0\sim 15$)、16分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ BROCR <BROADDE> <BROS3:0>、BROADD <BROK3:0> の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1) BROCR <BROADDE> = 0 の場合

BROADD <BROK3:0> の設定は無視され、BROCR <BROS3:0> に設定された値 “N” に従い N 分周を行います。(N=1、2、3 … 16)

- 2) BROCR <BROADDE> = 1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり BROCR <BROS3:0> に設定された値 “N” (N = 2、3 … 15)、BROADD <BROK3:0> に設定された値 “K” に従い $N + (16 - K) / 16$ 分周を行います。(K=1、2、3 … 15)

(注) N=1 および 16 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますのでかならず BROCR <BROADDE> = “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。かならず BROCR <BROADDE> = “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 13.5 MHz のときの 843 kbps です。

ボーレートジェネレータの出力ではない $f_{\text{sys}}/2$ をシリアルクロックとして使用できません。この場合の最高ボーレートは $1.69\text{Mbps}@f_{\text{sys}} = 54\text{MHz}$

- 2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 13.5 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値 = “1” の設定が可能なので、6.75Mbps になります (ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値 = “2” のときの、3.38Mbps が最高になります)。

- ボーレートの設定例

- 1) 整数分周 (N 分周) の場合

f_{periph} に f_c=39.321 MHz を選択し、φT0 を f_{periph}/16 に設定したとき、ボーレートジェネレータへの入力クロックを φT1、分周値 “N” (BROCR<BROS3:0>)=4、BROCR<BROADDE>= “0” の場合の UART モードのボーレートは、

※ クロック条件

システムクロック	: 高速 (f _c)
高速クロックギア	: 1 倍 (f _c)
プリスケールクロック	: f _{periph} /16 (f _{periph} = f _{sys})

$$\text{ボーレート} = \frac{f_c/32}{4} \div 16$$

$$= 39.321 \times 10^6 \div 32 \div 4 \div 16 \doteq 19200 \text{ (bps) となります。}$$

(注) +(16-K)/16 分周機能は禁止に設定されるため BROADD <BROK3 : 0> の設定は無視されます。

- 2) N + (16-K)/16 分周 (UART モードのみ) の場合

f_{periph} に f_c=19.2MHz を選択し、φT0 を f_{periph}/16 に設定したとき、ボーレートジェネレータへの入力クロックを φT1、分周値 “N” (BROCR<BROS3:0>)=7、K” (BROADD<BROK3:0>)=3、BROCR<BROADDE>=1 の場合のボーレートは、

※ クロック条件

システムクロック	: 高速 (f _c)
高速クロックギア	: 1 倍 (f _c)
プリスケールクロック	: f _{periph} /4 (f _{periph} = f _{sys})

$$\text{ボーレート} = \frac{f_c/32}{7 + \frac{(16-3)}{16}} \div 16$$

$$= 19.2 \times 10^6 \div 32 \div \left(7 + \frac{13}{16} \right) \div 16 = 4800 \text{ (bps) となります。}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

- 1) UART モード

ボーレート = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) $\geq 4/f_{sys}$ を満足する必要があります。

$f_{sys}=54\text{MHz}$ のときの最高ボーレートは、 $54 \div 4 \div 16 = 844$ (kbps) になります。

- 2) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) $> 12/f_{sys}$ を満足する必要があります。

従って、 $f_{sys}=54\text{MHz}$ のときの最高ボーレートは、 $54 \div 12 = 4.5$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) $> 16/f_{sys}$ を満足する必要があります。

従って、 $f_{sys}=54\text{MHz}$ のときの最高ボーレートは、 $54 \div 16 = 3.38$ (Mbps) 未満にする必要があります。

表 13-3~表 13-4にUARTモードのボーレートの例を示します。

表13-3 UART ボーレートの選択
(ボーレートジェネレータ使用、BROCR <BROADDE> = 0 の場合) 単位 (kbps)

fc [MHz]	入力クロック				
	分周値 N (BROCR <BROS3 : 0>に設定)	φT1 (fc/4)	φT4 (fc/16)	φT16 (fc/64)	φT64 (fc/256)
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	0	19.200	4.800	1.200	0.300
24.576	5	76.800	19.200	4.800	1.200
↑	A	38.400	9.600	2.400	0.600
29.4912	1	460.800	115.200	28.800	7.200
↑	2	230.400	57.600	14.400	3.600
↑	3	153.600	38.400	9.600	2.400
↑	4	115.200	28.800	7.200	1.800
↑	6	76.800	19.200	4.800	1.200
↑	C	38.400	9.600	2.400	0.600

(注) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして f_{periph}/2 を選択した場合の値です。

表13-4 UART ボーレートの選択
(タイマ TMRB7 の出力 (内部 TB7OUT) 使用, タイマ TMRB7 の入力クロックがφT0 の場合) 単位 (kbps)

TB7RG	fc	29.4912 MHz	24.576 MHz	24 MHz	19.6608 MHz	16 MHz	12.288 MHz
1H		230.4	192	187.5	153.6	125	96
2H		115.2	96	93.75	76.8	62.5	48
3H		76.8	64	62.5	51.2	41.67	32
4H		57.6	48	46.88	38.4	31.25	24
5H		46.08	38.4	37.5	30.72	25	19.2
6H		38.4	32	31.25	25.6	20.83	16
8H		28.8	24	23.44	19.2	15.63	12
AH		23.04	19.2	18.75	15.36	12.5	9.6
10H		14.4	12	11.72	9.6	7.81	6
14H		11.52	9.6	9.38	7.68	6.25	4.8

ボーレートの算出方法 (タイマ TMRB7 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCRO<PRCK1:0>で選択されたクロック周波数}}{\text{TB7RG} \times 2 \times 16}$$

↑ (タイマ TMRB7 の入力クロックがφT0 の場合)

(注1) I/O インタフェースモードでは、タイマ TMRB7 からの出力信号 (内部) を転送クロックとして使用できません。
(注2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして f_{periph}/4 を選択した場合の値です。

13.3.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インターフェースモードの場合

シリアルコントロールレジスタ $SCOCR\langle IOC \rangle = "0"$ の SCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。

$SCOCR\langle IOC \rangle = "1"$ の SCLK 入力モードのときは、 $SCOCR\langle SCLKS \rangle$ の設定に従って立ち上がり/立ち下がリエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ $SCOMOD0\langle SC1:0 \rangle$ の設定により、前記ポーレートジェネレータからのクロックか、システムクロック ($f_{SYS}/2$) か、タイマ (TMRB7) の内部出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK を生成します。

13.3.4 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ1ビットの受信に SIOCLK が16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

13.3.5 受信制御部

- I/O インターフェースモードの場合

$SCOCR\langle IOC \rangle = "0"$ の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

$SCOCR\langle IOC \rangle = "1"$ の SCLK 入力モードのときは、 $SCOCR\langle SCLKS \rangle$ の設定に従って、SCLK 入力の立ち上がり/立ち下がリエッジでシリアル受信データ RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

13.3.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (SCOBUF) へ移されます。また、同時に受信バッファの full Flag ($SCOMOD2\langle RBFL \rangle$) が "1" にセットされ、受信バッファ2に有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合は、受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 ($SCOF CNF\langle CNFG \rangle = 0$ で且つ $SCOMOD1\langle FDPX1:0 \rangle = 01$) は同時に割り込み INTRX0 が発生します。受信 FIFO が有効にされている場合 ($SCOF CNF\langle CNFG \rangle = 1$ で且つ $SCOMOD1\langle FDPX1:0 \rangle = 01/11$) は $SCORFC\langle RIL1:0 \rangle$ の設定に従い割り込みが発生します。

CPUは受信バッファ2 (SC0BUF) または受信 FIFO (ただし受信バッファと同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag <RBFLL>は“0”にクリアされます。CPUが受信バッファ2 (SC0BUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、I/O インターフェースモードで SCLK 出力に設定されている場合は、ダブルバッファ制御ビット SCOMOD2<WBUF>の設定により、受信バッファ2 (SC0BUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (SC0FCNF<CNFG>=0 で且つ<FDPX1:0>=01)) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、SCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み INTRX が発生すると同時に SCLK 出力を再開します。従って、I/O インターフェースモードの SCLK 出力ではダブルバッファ制御ビット SCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ<FDPX1:0>=01/11) は受信 FIFO が FULL (SC0FCNF<RFST>の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると SCLK 出力を停止します。またこの状態で SC0FCNF<RXTXCNT>=1 にしていると SCLK 出力停止と同時に受信制御 BIT : RXE が自動的にクリアされます。“0”の場合は自動クリアが行なわれません。

(注) このモードでは、SCOCR の <OEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (SC0BUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および SCOCR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART のパリティ付加の場合、パリティビット9ビット UART モードの場合の最上位ビットは SCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 SCOMOD0<WU> を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>=“1”のときのみ、割り込み INTRX0 が発生します。

13.3.7 受信FIFOバッファ

前記 Double buffer に加えて、受信 FIFO buffer を用いて、データの格納を行う事ができます。SCOFCNF レジスタの<CNFG>及び SCOMOD1 の<FDPX1:0>の設定で 4byte の受信 Buffer を有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO BUFFER を使用する場合はダブルバッファをイネーブルに設定しておいてください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

13.3.8 受信FIFOの動作

① I/O インターフェースモードで SCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

SCORFC<7:6>=01 : 受信 FIFO のクリアと割り込み発生条件の設定

SCORFC<1:0>=00 : 割り込み発生を fill level 4 に設定

SCOFCNF<1:0>=10111 : fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと 4byte のデータ受信を開始します。4Byte 受信後に RXE を自動クリアして受信を終了(SCLK を STOP)します。

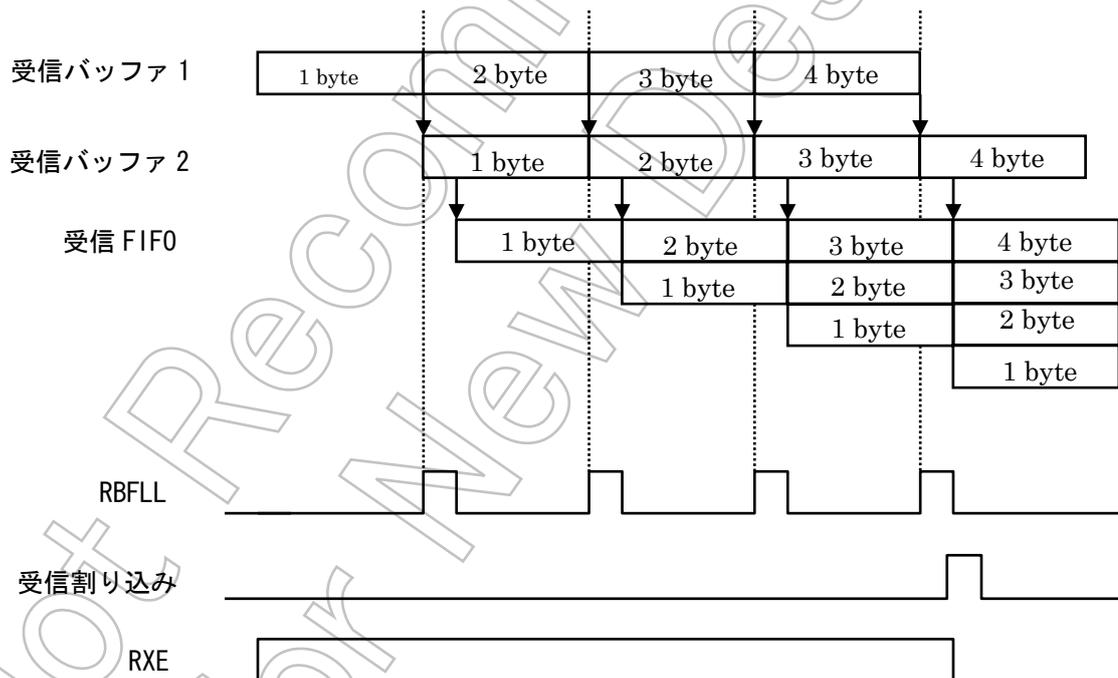


図13-3 受信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合

4Byte のデータを受信する場合を例に説明します。

SCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

SCORFC<1:0>= 00 : 割り込み発生を fill level 4 に設定

SCOFCNF<1:0>=10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと入力クロックに応じて 4byte のデータ受信を開始します。4byte 受信後に受信 FIFO 割り込みが発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトデータの受信も可能です。

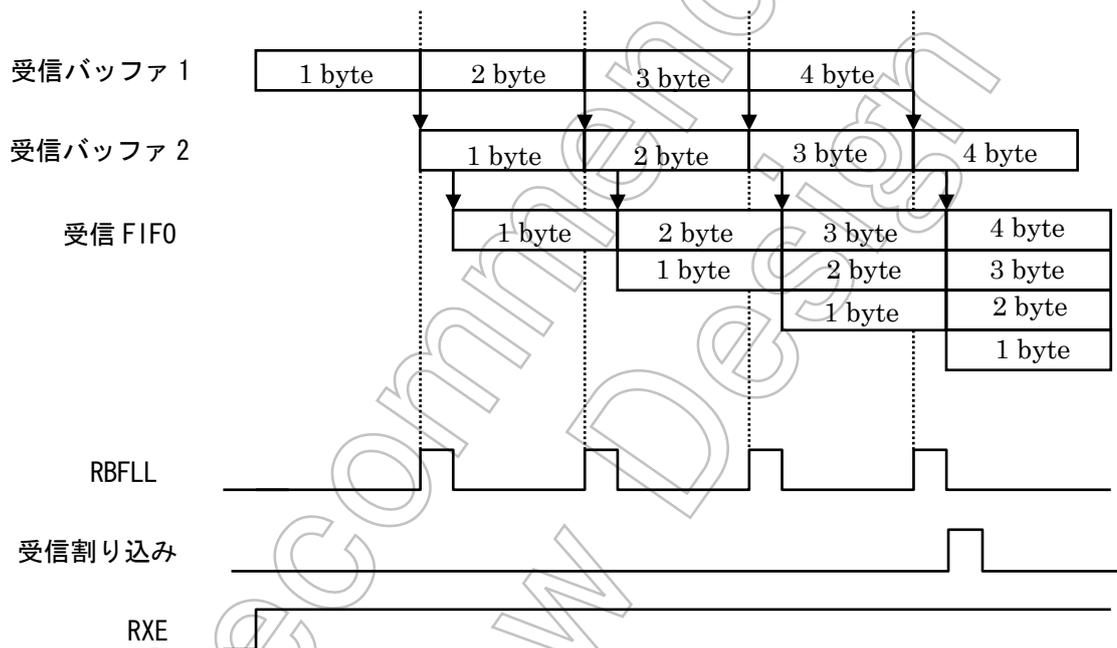


図13-4 受信 FIFO の動作

13.3.9 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

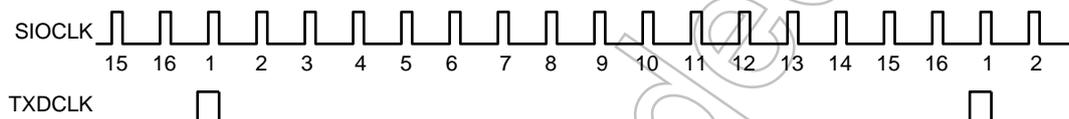


図13-5 送信クロックの生成

13.3.10 送信制御部

- I/O インターフェースモードの場合

SCOCR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SCOCR<IOC>=“1”の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。

- 非同期通信 (UART) モードの場合

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) を生成します。

- ハンドシェイク機能

$\overline{\text{CTS}}$ 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMODO <CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図13-6 ハンドシェイク機能

送信バッファまたはシフトレジスタへのデータ書き込みタイミング

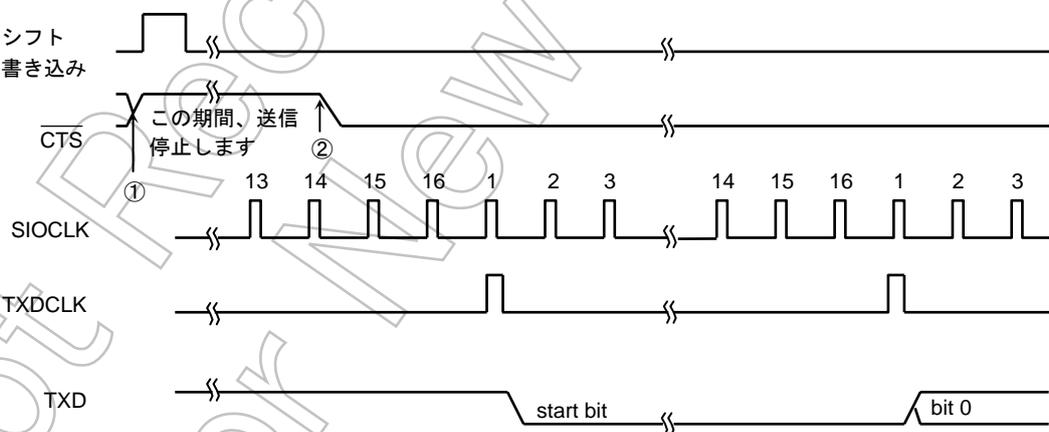


図13-7 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

- (注) ① 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 ② $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

13.3.11 送信バッファ

送信バッファ (SCOBUF) は2重構造になっています。シリアルモードコントロールレジスタ 2 (SCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (SCOBUF) ヘーダータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (SCOFCNF <CNFG>=0 or 1 で且つ <FDPX1:0>=01) は同時に送信割り込み INTTX が発生して、SCOMOD2 の送信バッファエンプティフラグ <TBEMP>が“1”にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファ 2 に書き込まれると <TBEMP>フラグが“0”にクリアされます。

送信 FIFO が有効にされている場合 (SCNFCNF <CNFG>=1 で且つ <FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに“0”にクリアされます。CPU は送信 Buffer 2 または送信 FIFO ヘーダータを書き込みます。

また I/O インターフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘーダータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (SCOCR) のパリティ/アンダーランフラグ <PERR>がセットされます。

I/O インターフェースモードの SCLK 入力時で送信 FIFO が有効にされている場合は送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘーダータが移されます。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると SCLK 出力を停止します。

注) I/O インタフェース SCLK 出力モードでは、SCOCR の<PEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット <WBUF>="0" (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO の設定は行わないで下さい。

13.3.12 送信FIFO BUFFER

前記 Double buffer に加えて、送信 FIFO buffer を用いて、データの格納を行う事ができます。SCOFCNF レジスタの CNFG の設定及び SCOMOD1 の FDPX1:0 で 4byte の送信 Buffer を有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4byte までのデータが格納できます。

また UART モードでパリティビットを含むデータを送信する場合、受信側は受信ごとにパリティエラーチェックを行なう必要があります。

13.3.13 送信FIFOの動作

① I/O インターフェースモードで SCLK 出力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

SCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<1:0>=00 : 割り込み発生時の fill level を 0 に設定

SCOFCNF<1:0>=01011 : fill level 到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4byte 分の送信データを書き込み、〈TXE〉 BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

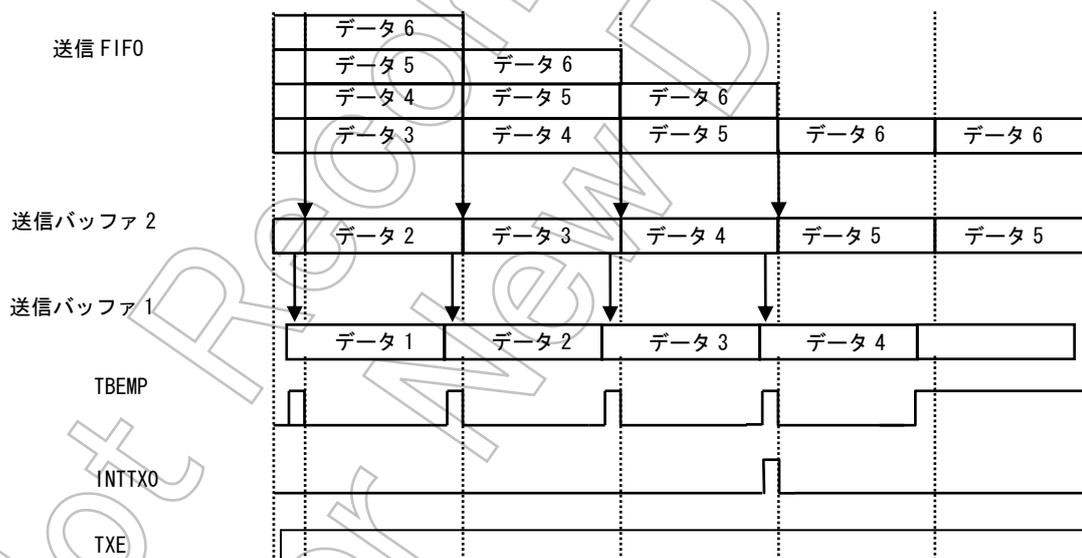


図13-8 送信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

SCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<7:2>=000000 : 割り込み発生の fill level を 0 に設定

SCOF CNF<4:0>=01001 : fill level 到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4BYTE 分の送信データを書き込み、<TXE> BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生します。

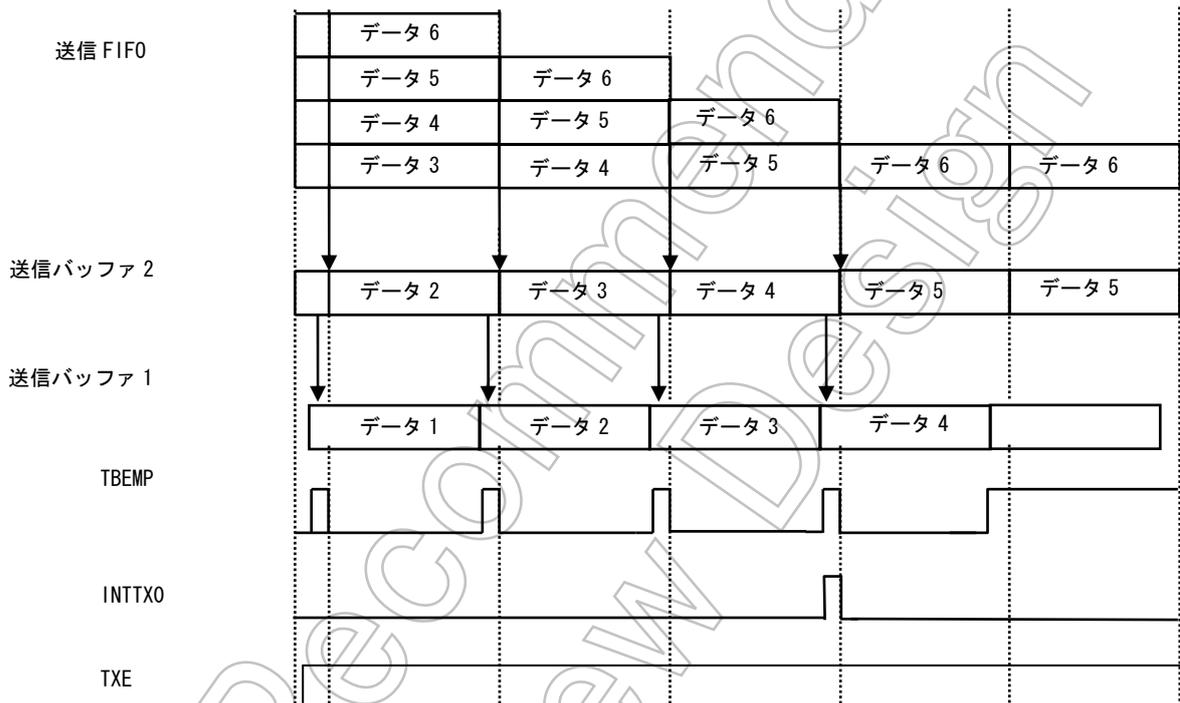


図13-9 送信 FIFO の動作

13.3.14 パリティ制御回路

シリアルコントロールレジスタ (SCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビットUART または 8ビットUART モードのみパリティ付加が可能です。SCOCR の<EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビットUART モードのときはSCOBUF ビット7<TB7>に、8ビットUART モードのときはシリアルモードコントロールレジスタ SCOMOD のビット7<TB8>にパリティがデータ送信後に格納されます。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ1にシフトインされ、受信バッファ2 (SCOBUF) に移されることによりパリティを自動発生します。7ビットUART モードのときは、SCOBUF <RB7>と、8ビットUART モードのときは、SCOCR レジスタのビット7<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SCOCR レジスタの<PERR>フラグがセットされます。

I/O インターフェースモードの時は SCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

13.3.15 エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバランエラー <OERR> : シリアルコントロールレジスタ SCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信FIFOを有効にしている場合は、受信FIFOへデータが自動的に移されるので、受信FIFOがFULL (使用BYTE数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードのSCLK出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR> : SCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (SCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘッダがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信FIFOが有効にされている場合は送信FIFOからデータが移されます。送信FIFOのデータが空になり、送信ダブルバッファのデータ空になると、アンダーランエラーが発生します。SCLK出力モード時、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ2が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー <FERR> : SCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (SCOMOD2) の STOP ビット長設定ビット<SBLLEN>の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
I/O インタフェース (SCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
I/O インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

13.3.16 データ転送方向

シリアルモードコントロールレジスタ 2 (SCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インタフェースモード時に転送方向を MSB ファーストまたは LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

13.3.17 STOPビットの長さ

SCOMOD2 レジスタのビット 4<SBLLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

13.3.18 ステータスフラグ

SCOMOD2 レジスタのビット 6<RBFULL>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態)であることを示すために“1”にセットされます。CPU/DMAC により受信バッファを読み出すと“0”にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。SCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために“1”がセットされます。CPU/DMAC により送信バッファにデータをセットすると“0”にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

13.3.19 送受信バッファの構成

		<WBUF> = 0	<WBUF> = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

13.3.20 ソフトリセット

SCOMOD2 レジスタのビット 1, 0<SWRST1:0>を“10” → “01”と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの SCOMODO<RXE>、SCOMOD1<TXE>、SCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの SCOCR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。その他の状態は保持されます。

Not Recommended for New Designs

13.3.21 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (<WBUF> = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (<WBUF> = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信中 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (SCOMOD0<RXE>=" 0") しないでください

注3) 送信動作中に送信動作を停止 (SCOMOD1<TXE>=" 0") しないでください

13.4 レジスタ説明（チャンネル0 についてのみ説明します）

シリアルモードコントロールレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット 8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB7OUT 01: ポーレートジェネレータ 10: 内部クロック $f_{SYS}/2$ 11: 外部クロック (SCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ割り込み	

ハンドシェイク機能(CTS 端子)イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

(注 1) <RXE>="0" の状態で各モードレジスタ (SCOMOD0、SCOMOD1、SCOMOD2) を設定してから最後に<RXE>="1" にしてください

図13-10 シリアルモードコントロールレジスタ 0 (S100 用、SCOMOD0)

シリアルモードコントロールレジスタ 1

SC0MOD1
(0xFFFF_F705)

	7	6	5	4	3	2	1	0
bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	—
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK			0 を書き 込んでく ださい

<SINT2:0> : I/O インターフェースモード時で、Double buffer または FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードおよび、外部 CLK 入力時は意味を持ちません。

<TXE> : 送信許可 BIT です。全転送モードに有効です。送信中にこの BIT が禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : I/O インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

図13-11 シリアルモードコントロールレジスタ 1 (S100 用、SC0MOD1)

(注 1) <TXE>ビットの設定は、他のビットを設定した後に設定してください。

シリアルモードコントロールレジスタ

SC0MOD2
(0xFFFF_F706)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R			R/W				
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full FLAG 0: Empty 1: full	送信動作中 FLAG 0: 停止 1: 動作	STOP ビット 0: 1ビット 1: 2ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

<SWRST1:0>: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの SC0MOD0<RXE>, SC0MOD1<TXE>, SC0MOD2<TBEMP>, <RBFL>, <TXRUN>, コントロールレジスタの SC0CR<OERR>, <PERR>, <FERR>及び内部回路が初期化されます。

<WBUF>: 10 インターフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信の Double buffer の許可/不許可を指定します。その他のモードでは設定に関わらず、常に Double buffer は許可されます。

<DRCHG>: 10 インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定します。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが 1 の場合は送信動作中である事を示し、0 の場合は、ビット 7<TBEMP>=” 1” の時は送信が完全に終了している状態を、<TBEMP>=” 0” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

<RBFL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<SBLN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

(注 1) 転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。

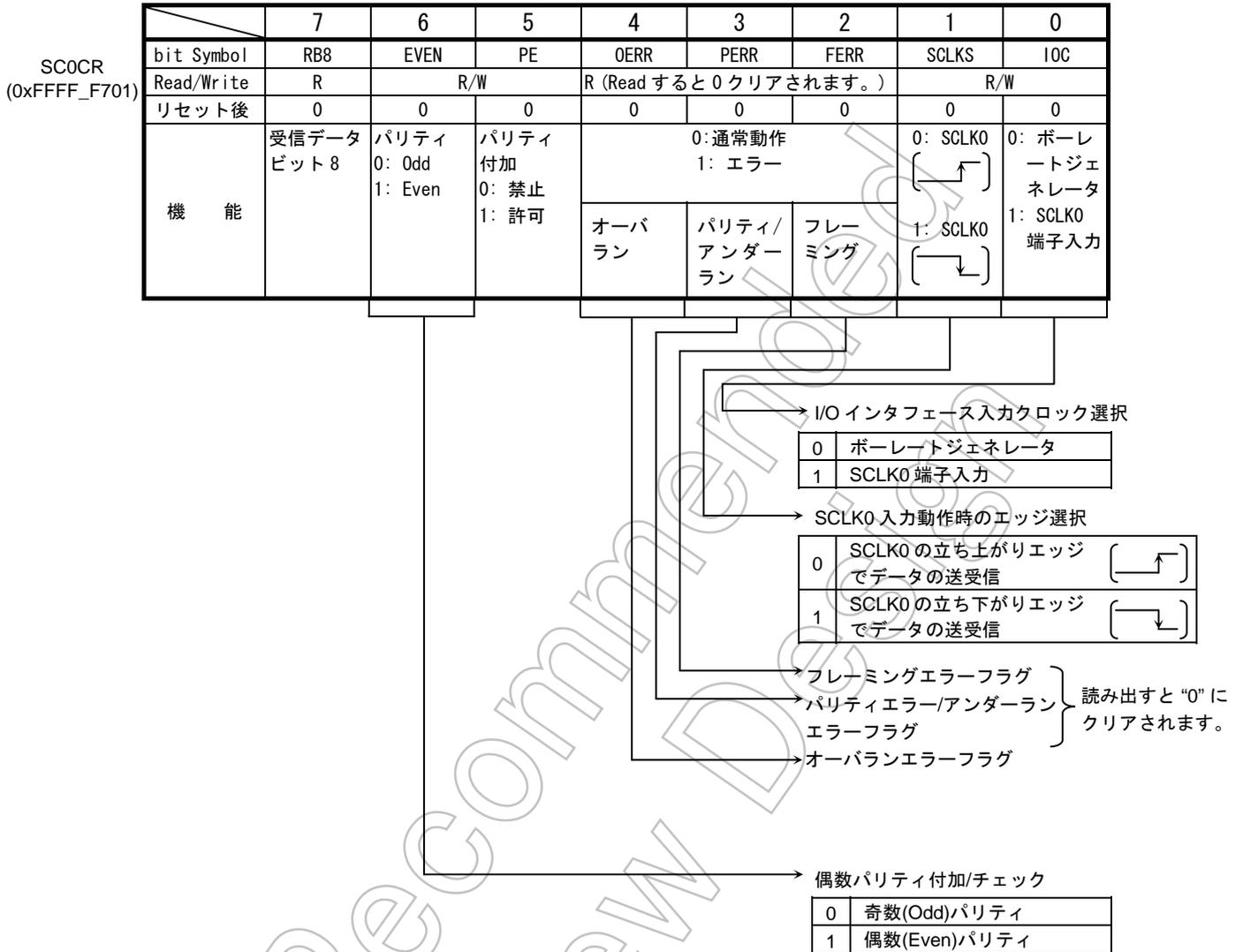
(注 2) ソフトウェアリセット実行には、命令実行後 2 クロック必要です。

ソフトウェアリセット命令実行後、SYNC、NOP 命令を実行してください。

(注 3) ソフトウェアリセットを掛けた場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

図13-12 シリアルモードコントロールレジスタ

シリアルコントロールレジスタ



(注) エラーフラグは読み出されるとすべてクリアされます。

図13-13 シリアルコントロールレジスタ (S100 用、SCOCR)

ボーレートジェネレータコントロール

BROCR (0xFFFF_F703)		7	6	5	4	3	2	1	0
	bit Symbol	—	BROADDE	BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	“0” をラ イトして ください	$N + (16 - K) / 16$ 分周機能 0: ディセー ブル 1: イネー ブル	00: $\phi T1$ 01: $\phi T4$ 10: $\phi T16$ 11: $\phi T64$	分周値 “N” の設定					

ボーレートジェネレータの入カロックの選択

00	内部クロック $\phi T1$
01	内部クロック $\phi T4$
10	内部クロック $\phi T16$
11	内部クロック $\phi T64$

BROADD (0xFFFF_F704)		7	6	5	4	3	2	1	0
	bit Symbol					BROK3	BROK2	BROK1	BROK0
	Read/Write	R				R/W			
	リセット後	0				0	0	0	0
機能	リードすると “0” が読めます				$N + (16 - K) / 16$ 分周の K 値の設定				

ボーレートジェネレータの分周値の設定

		BROCR<BROADDE> = 1		BROCR<BROADDE> = 0
BROADD <BROK3:0>	BROCR <BROS3:0>	0000 (N = 16)	0010 (N = 2)	0001 (N = 1) (ONLY UART)
		0001 (N = 1)	1111 (N = 15)	1111 (N = 15) 0000 (N = 16)
	0000	禁止	禁止	
	0001 (K = 1)	禁止	$N + \frac{(16-K)}{16}$ 分周	N 分周
	1111 (K = 15)			

図13-14 ボーレートジェネレータコントロール (S100用、BROCR、BROADD)

- (注1) UART モードでは、ボーレートジェネレータ分周値の “1” 分周は、 $N + (16 - K) / 16$ 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ボーレートジェネレータ分周値の “1” 分周は、ダブルバッファ使用時のみ設定可能です。
- (注2) $N + (16 - K) / 16$ 機能を使用する場合、かならず BROADD <BROK3 : 0> に K 値 (K = 1~15) を設定後に BROCR <BROADDE> = “1” を設定してください。ただし、BROCR <BROS3 : 0> = “0000” または “0001” (N = 16 または 1) のとき $N + (16 - K) / 16$ 分周機能は使用しないでください。
- (注3) $N + (16 - K) / 16$ 分周機能は UART モードのみ使用可能です。I/O インターフェースモードのときは BROCR <BROADDE> = “0” に設定し $N + (16 - K) / 16$ 分周機能を禁止してください。

FIFO コンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	TB7~0 : 送信用バッファ + FIFO RB7~0 : 受信用バッファ + FIFO							

図13-15 シリアル送受信バッファレジスタ

(注) 「SC0BUF は、WR 時は送信バッファ、RD 時は受信バッファとして機能します。

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” を書き込んでください			受信 FIFO 使用 Byte 数 0: 最大 1: 受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可	RXE/TXE の自動禁止 0: 無し 1: 自動禁止	FIFO の許可 0: 禁止 1: 許可

<CNFG> : 許可の場合は FIFO の構成は SCOMOD1<FDPX1:0>の設定により
 <FDPX1:0>=01 (半二重受信) ----- 4 Byte 受信 FIFO
 <FDPX1:0>=10 (半二重送信) ----- 4Byte 送信 FIFO
 <FDPX1:0>=11 (全二重) ----- 2 Byte 受信 FIFO + 2 Byte 送信 FIFO

に自動的にになります。

<RXTXCNT> : 0 受信許可 BIT : RXE、送信許可 BIT : TXE の自動禁止機能は無効

: 1 自動禁止の場合は SCOMOD1<FDPX1:0>の設定により

<FDPX1:0>=01 (半二重受信) ----- 受信 FIFO に指定された有効 BYTE 数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります

<FDPX1:0>=10 (半二重送信) ----- 送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります

<FDPX1:0>=11 (全二重) ----- 前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。

<RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可 / 不許可を切り替えます。

<TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可 / 不許可を切り替えます。

<RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。

0 : 構成されている FIFO の最大 BYTE 数。<FDPX1:0>=01 (半二重受信) の時は 4 BYTE、
 <FDPX1:0>=11 (全二重) の時は 2BYTE

1 : SCORFC<RIL1:0>で指定される受信割り込み発生の際の FILL レベルに同じ

(注 1) 送信 FIFO は常に構成されている FIFO の最大 BYTE 数を使用できます。
 使用 BYTE 数は送信 FIFO に書き込んだ BYTE 数になります。

図 13-16 FIFO コンフィグレジスタ

受信 FIFO コンフィグレジスタ

		7	6	5	4	3	2	1	0
SC0RFC (0xFFFF_F708)	bit Symbol	RFCS	RFIS					RIL1	RIL0
	Read/Write	W	R/W	R				R/W	
	リセット後	0	0	0				0	0
	機能	受信 FIFO クリア 1:クリア リードすると常に "0" が読めます	割り込み発生条件選択	リードすると "0" が読めます。				受信割り込みが発生する FIFO の fill レベル 00:4byte (全二重の場合は 2Byte) 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二重) の場合、RIL1 は無視されます	

- 0: 設定した fill レベルに到達した場合
 1: 設定した fill レベルに到達した時及び、新規データが読み出された時に fill レベルを超えている場合

図 13-17 受信 FIFO コンフィグレジスタ

送信 FIFO コンフィグレジスタ

		7	6	5	4	3	2	1	0
SC0TFC (0xFFFF_F709)	bit Symbol	TFCS	TFIS					TIL1	TIL0
	Read/Write	w	R/W	R				R/W	
	リセット後	0	0	0				0	0
	機能	送信 FIFO クリア 1:クリア リードすると常に "0" が読めます	割り込み発生条件選択	リードすると "0" が読めます。				送信割り込みが発生する FIFO の fill レベル 00:Empty 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二重) の場合、TIL1 は無視されます	

- 0: 設定した fill レベルに到達した場合
 1: 設定した fill レベルに到達した時及び、新規データが書き込まれた時に fill レベルより低い場合

図 13-18 送信 FIFO コンフィグレジスタ

受信 FIFO ステータスレジスタ

		7	6	5	4	3	2	1	0
SCORST (0xFFFF_F70A)	bit Symbol	ROR					RLVL2	RLVL1	RLVL0
	Read/Write	R	R				R		
	リセット後	0	0				0	0	0
	機能	受信 FIFO Overrun 1:発生	リードすると“0”が読めます。				受信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

(注) : <ROR>ビットは、SCOBUF レジスタの受信データをリードすると”0”にクリアされます。

図 13-19 受信 FIFO ステータスレジスタ

送信 FIFO ステータスレジスタ

		7	6	5	4	3	2	1	0
SCOTST (0xFFFF_F70B)	bit Symbol	TUR					TLVL2	TLVL1	TLVL0
	Read/Write	R	R				R		
	リセット後	1	0				0	0	0
	機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア	リードすると“0”が読めます。				送信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

(注) : <TUR>ビットは、SCOBUF レジスタに送信データをライトすると”0”にクリアされます。

図 13-20 送信 FIFO ステータスレジスタ

SIO イネーブルレジスタ

		7	6	5	4	3	2	1	0		
SCOEN (0xFFFF_F707)	bit Symbol									SIOE	
	Read/Write					R					R/W
	リセット後					0					0
	機能	リードすると“0”が読めます。								SIO 動作 0:禁止 1:許可	

<SIOE>: SIO の動作を指定します。動作禁止の状態では SIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です (他のレジスタへのリード、ライトはできません)。SIO を使用する場合は、SIO モジュールの各レジスタを設定する前に SIO 動作許可 (“1”) にしてください。SIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

図 13-21 SIO イネーブルレジスタ

13.5 モード別動作説明

13.5.1 モード0 (I/Oインターフェースモード)

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の項を参照してください。

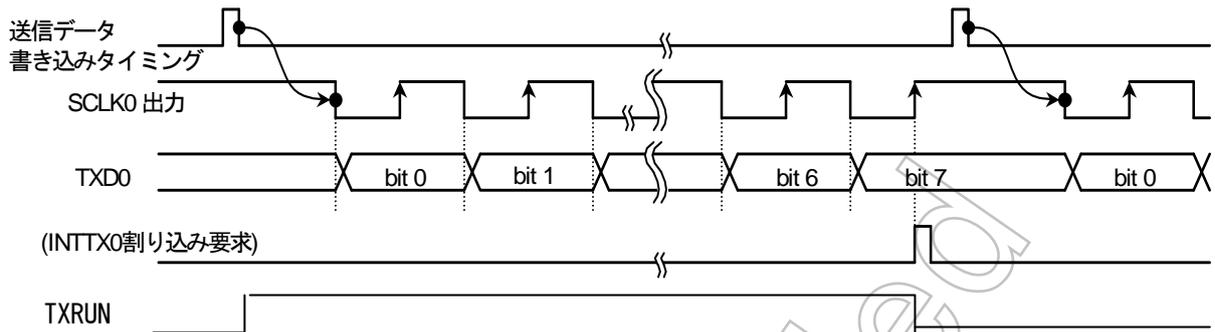
① 送信

SCLK 出力モード

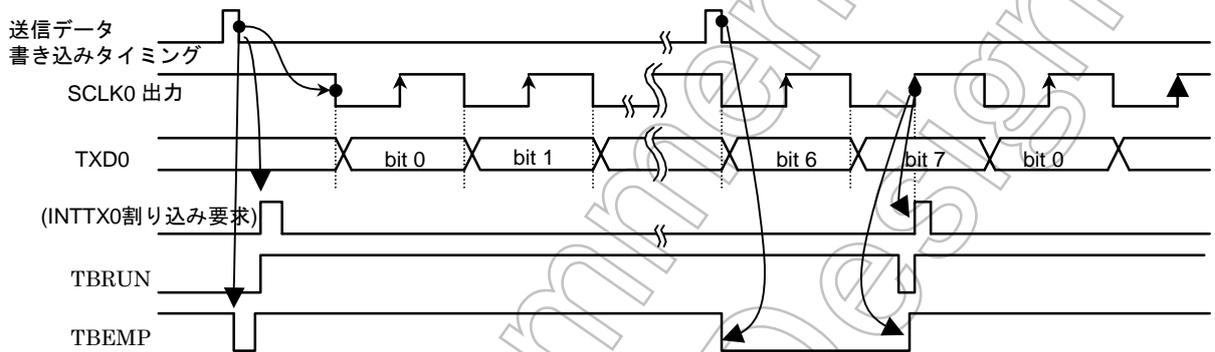
SCLK 出力モードでは SCOMOD2<WBUF>="0" で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生します。

SCOMOD2<WBUF>="1" で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送達が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP>が "1" にセットされます。同時に、割り込み (INTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX0) を発生せず、SCLK0 出力も停止します。

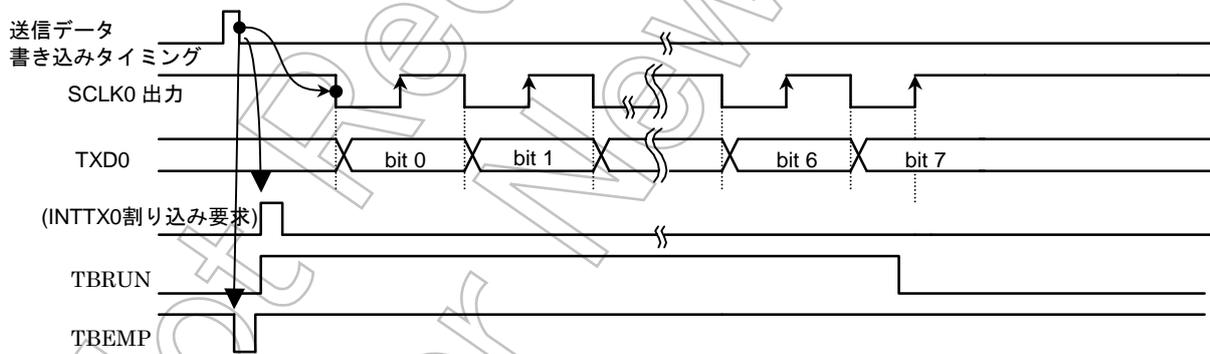
Not Recommended for New



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

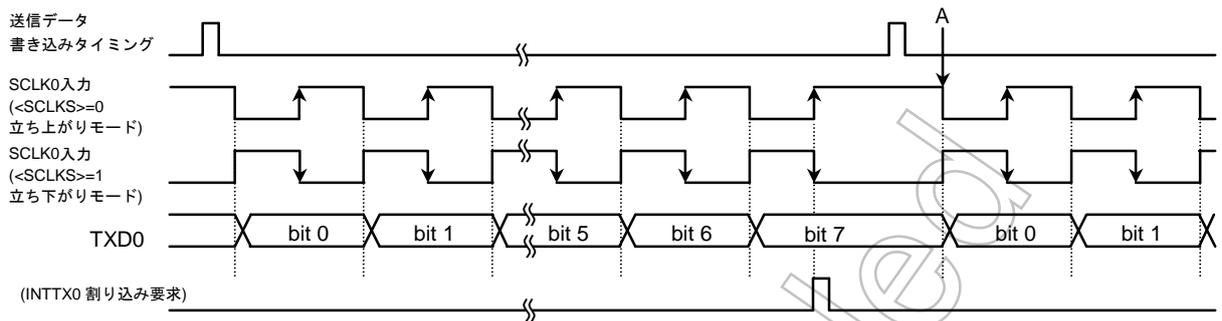
図 13-22 I/O インターフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モード

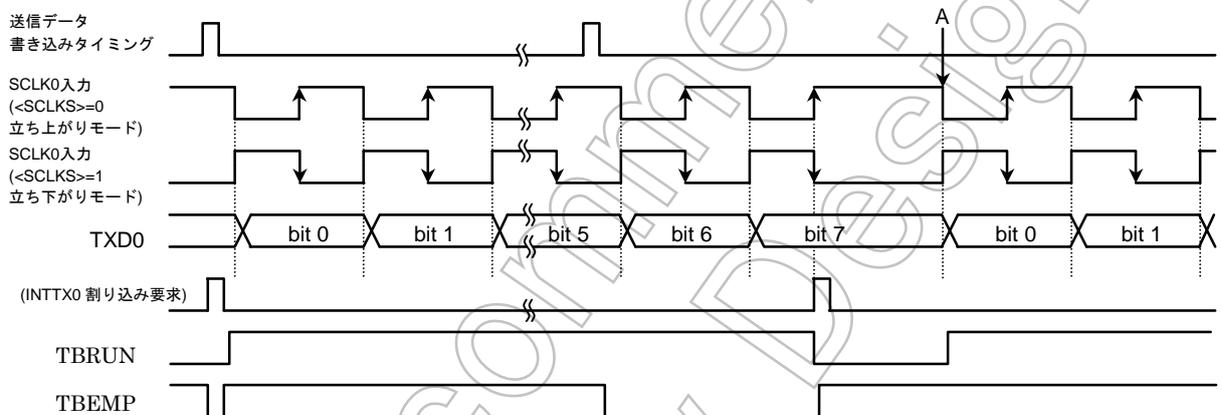
SCLK入力モードでは、SCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態でSCLK0 入力アクティブになると、8ビットのデータがTXD0 端子より出力されます。データがすべて出力されると割り込みINTTX0が発生します。次の送信データは図 13-3 に示すA点までに書き込んでください

SCOMOD2<WBUF>=" 1" で送信ダブルバッファが許可されている場合は、SCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ1 (シフトレジスタ) のデータ送出了終了したときに送信バッファ2のデータが送信バッファ1へ移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP>が "1" にセットされ、割り込み (INTTX0) が発生します。送信バッファ2にデータが書き込まれていない状態で、SCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8ビット分のダミーデータ (FFh) を送ります。

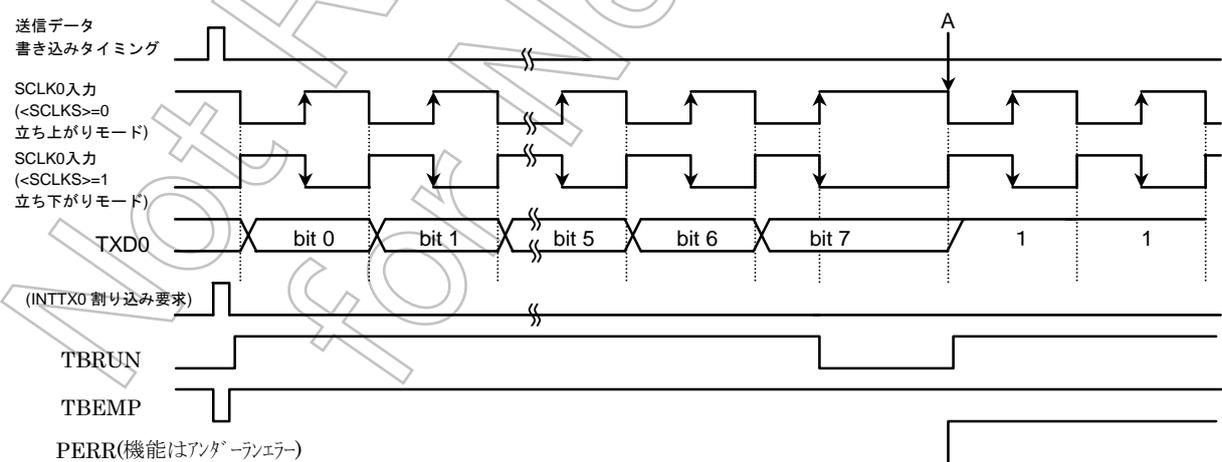
Not Recommended for New Designs



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 13-23 I/O インターフェースモード送信動作 (SCLK0 入力モード)

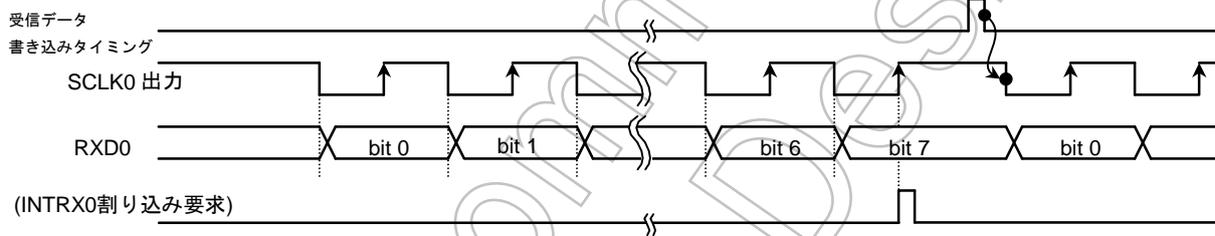
② 受信

SCLK 出力モード

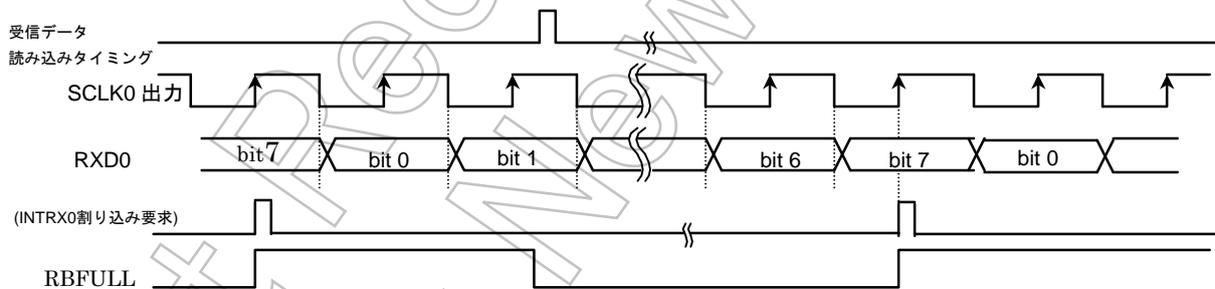
SCLK 出力モードでは SCOMOD2<WBUF>=" 0" で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、受信許可ビット SCOMOD0<RXE>を "1" にセットすることで行います。また、SCOMOD2<WBUF>=" 1" で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ SCOMOD2<RBFULL>が "1" にセットされ、割り込み INTRX0 が発生します。

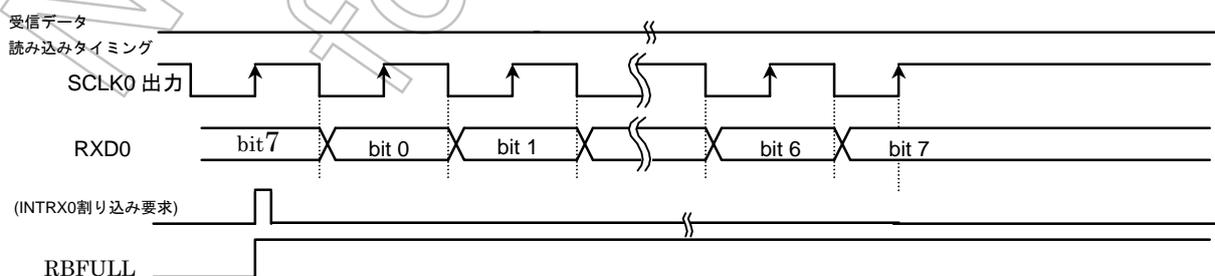
受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み INTRX0 が発生せず、SCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み INTRX0 を発生して受信を再開します。



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出した場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 13-24 I/O インターフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み INTRX が発生します。

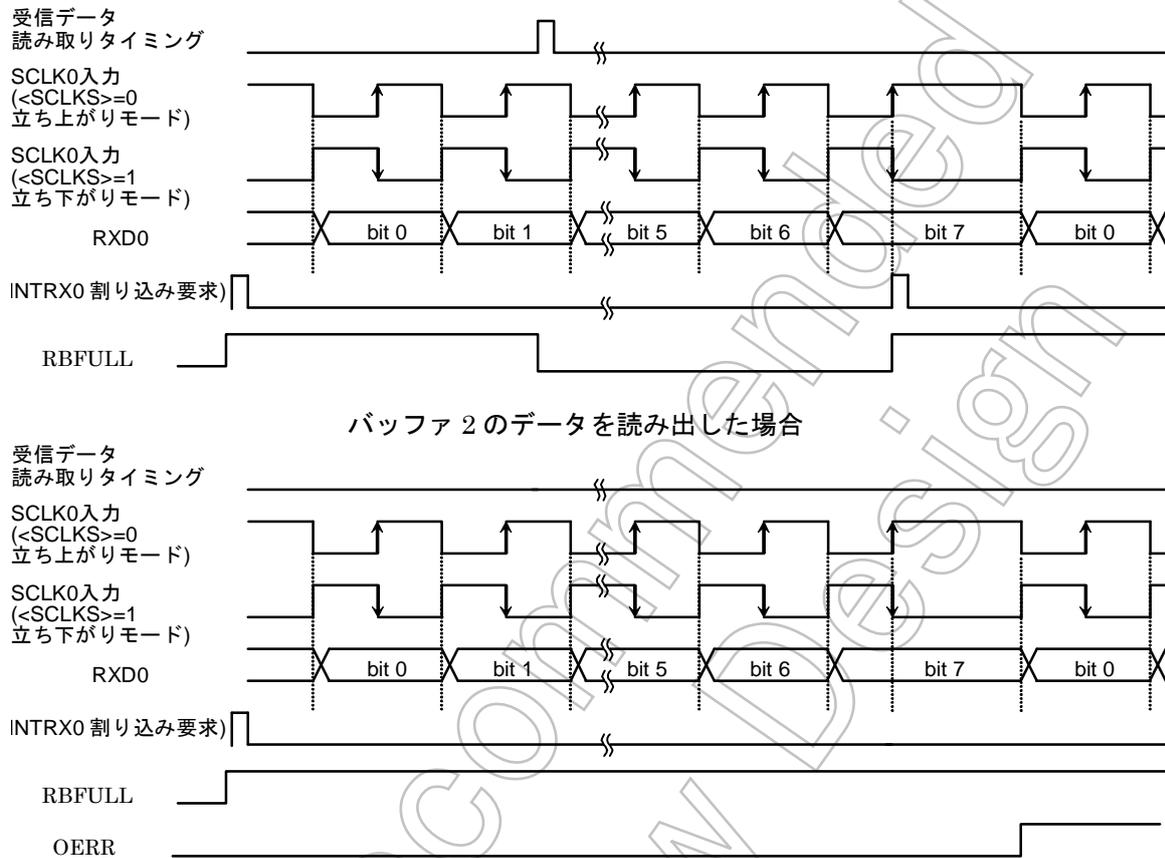


図 13-25 I/O インターフェースモード受信動作 (SCLK0 入力モード)

(注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SCOMOD <RXE> = 1) にしておく必要があります。

③ 送受信 (全二重)

シリアルモードコントロールレジスタ 1 (SCOMOD1) のビット 6<FDPX0>に“1”をセットすることにより全二重モードでの通信が可能になります。

SCLK 出力モード

SCLK 出力モードでは SCOMOD2<WBUF>=" 0" で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (INTRX0) が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD0 端子より出力され、全てのデータが送信されると送信割り込み (INTTX0) が発生します。この状態で SCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファヘデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

SCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (INTRX0) が発生します。8 ビットデータの受信と並行して 8 ビットデータが TXD0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (SCOMOD2<TBEMP>=" 1") または受信バッファ 2 にデータが存在している (SCOMOD2<RBFULL>=" 1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

Not Recommended for New Design

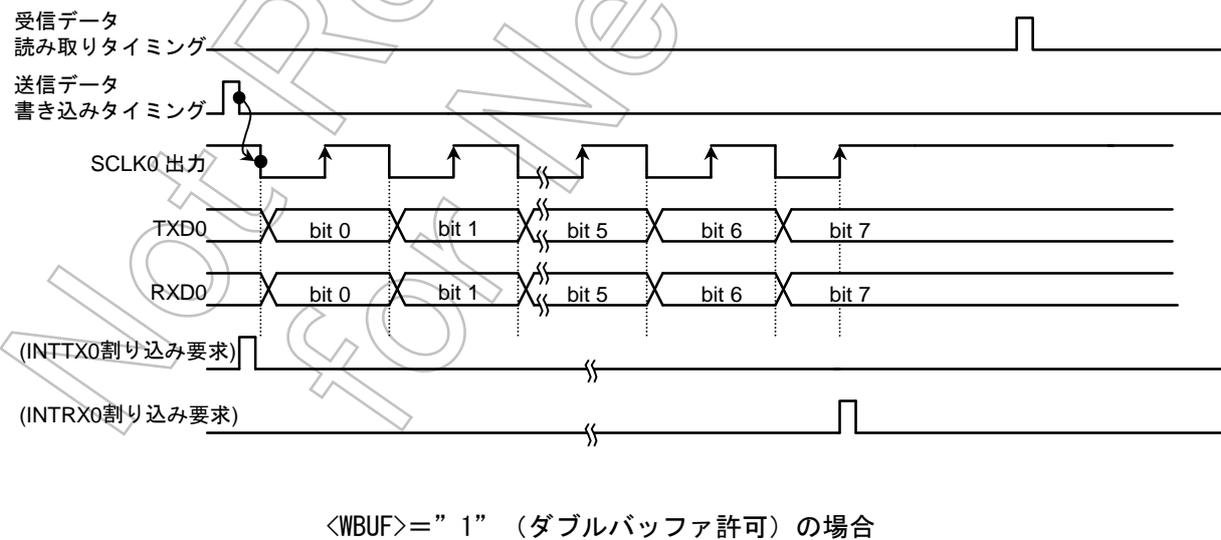
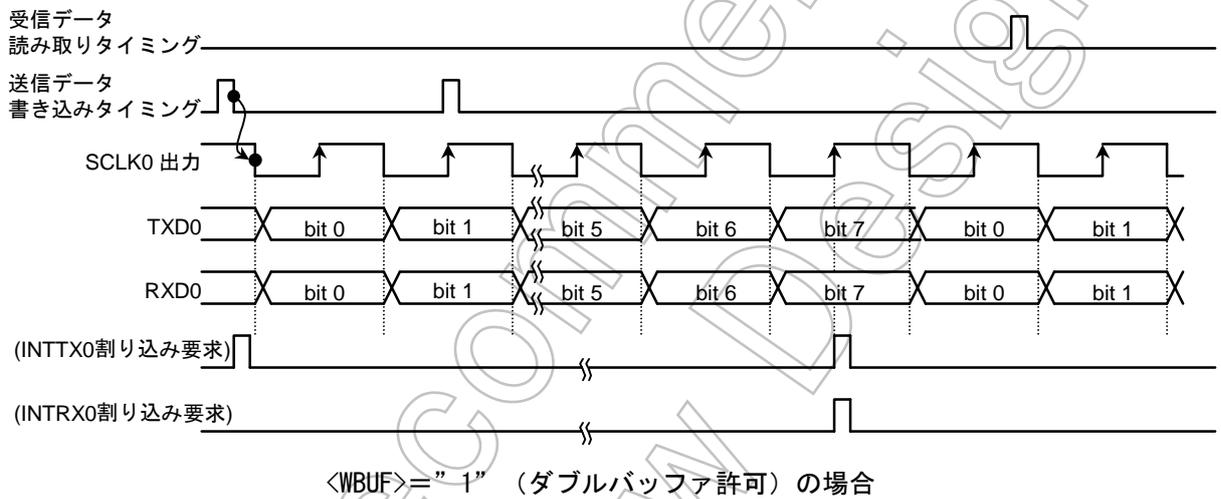
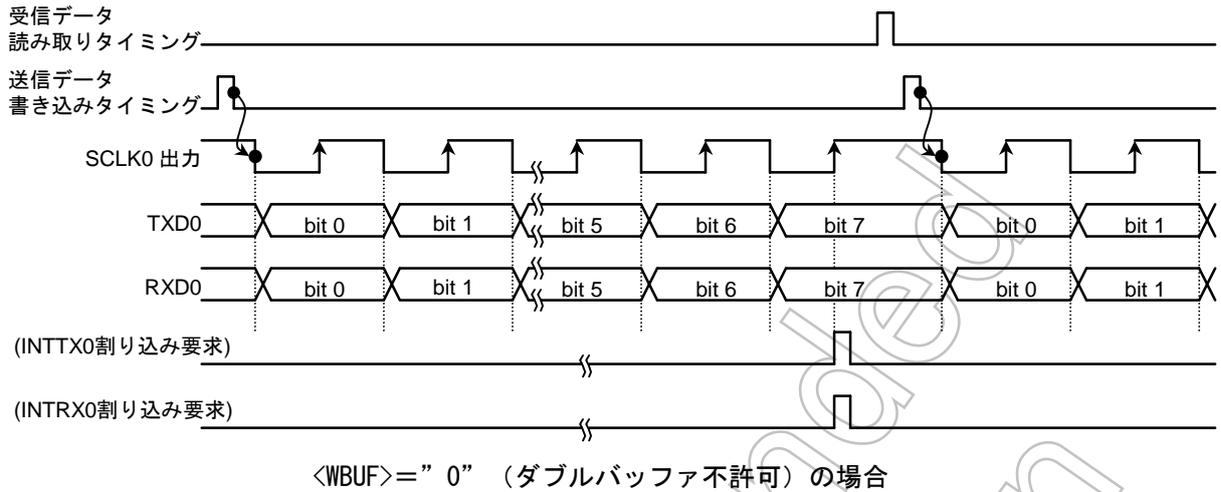


図 13-26 I/O インターフェースモード送受信動作 (SCLK0 出力モード)

SCLK 入力モード

SCLK 入力モードでは SCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可（受信は設定に関わらずダブルバッファ有効）の場合は、送信バッファにデータが書き込まれている状態で SCLK 入力アクティブになると、8 ビットのデータが TXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み（INTTX0）が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み（INTRX0）が発生します。次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込む様にしてください（

図 13-27 に示す A 点までに書き込んでください。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

SCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み（INTRX0）が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み（INTRX0）が発生します。続けて次のフレームの SCLK が入力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。

Not Recommended for New

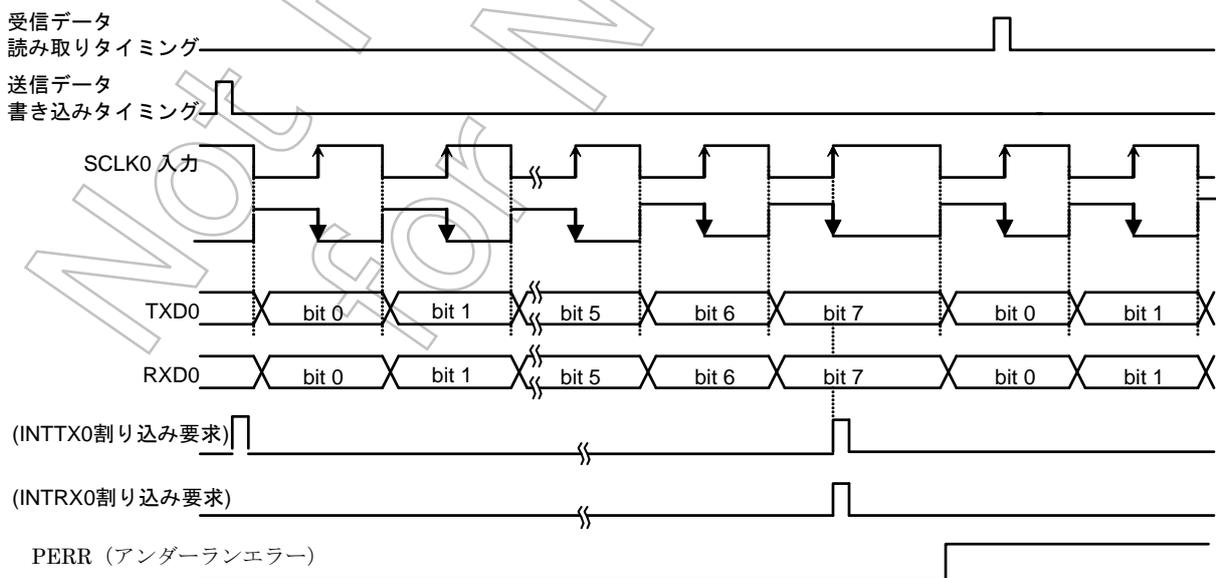
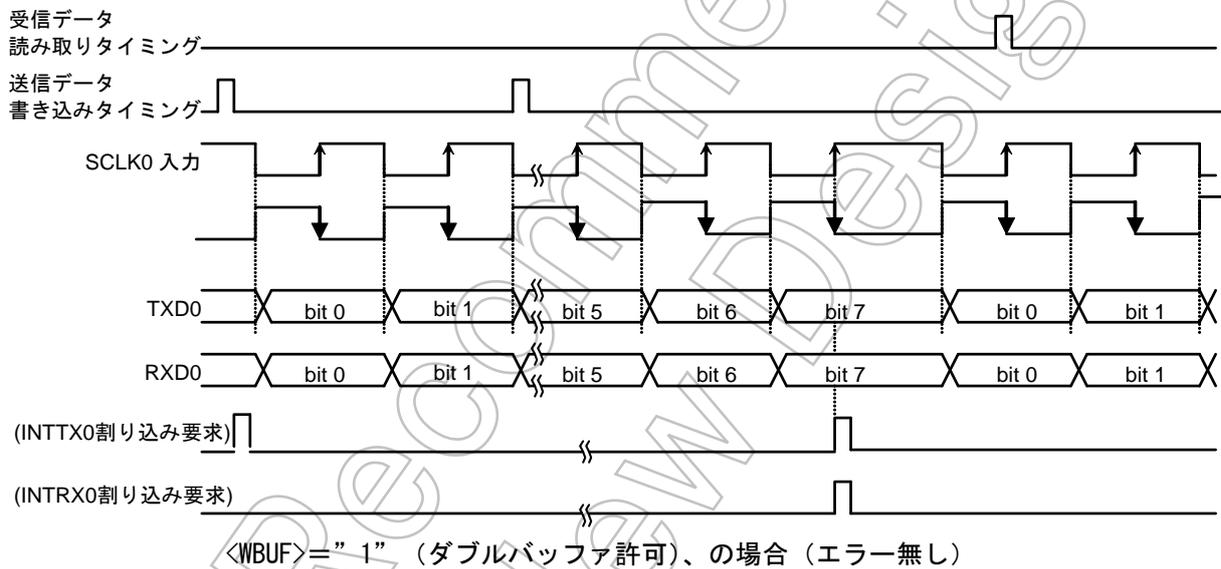
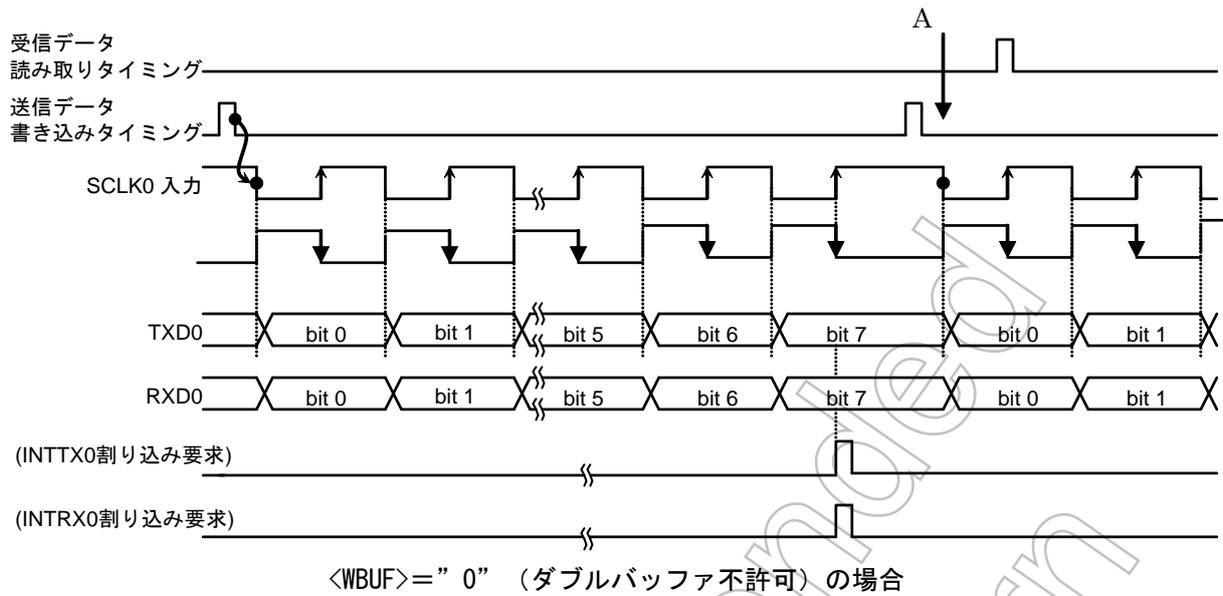


図 13-27 I/O インターフェースモード送受信動作 (SCLK0 入力モード)

13.5.2 モード1 (7ビットUARTモード)

シリアルモードコントロールレジスタ (SCOMOD <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、SCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



- ※ クロック条件
- システムクロック : 高速 (fc)
 - 高速クロックギア : 1倍 (fc)
 - プリスケアラクロック : $f_{\text{periph}}/4$ ($f_{\text{periph}} = f_{\text{sys}}$)

	7 6 5 4 3 2 1 0	
P9CR	← - - - - - - - 1	} P90 を TXD0 端子とします。
P9FC1	← - - - - - - - 1	
SCOMOD	← X 0 - X 0 1 0 1	7 ビット UART モードに設定します。
SCOCR	← X 1 1 X X X 0 0	偶数パリティを付加します。
BROCR	← 0 0 1 0 1 0 1 0	2400 bps に設定します。
IMC4	← - 1 1 X 0 1 0 0	32 ビットレジスタの<23:16>を INTTX0 割り込みをイネーブル、レベル 4 にします。
SCOBUF	← * * * * * * * *	送信データをセットします。
(注) X: don't care -: no change		

Not for NE

13.5.3 モード2 (8ビットUARTモード)

SCOMOD0 <SM1:0> を10にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能で SCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、SCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例：下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



- ※ クロック条件
- システムクロック : 高速 (fc)
 - 高速クロックギア : 1倍 (fc)
 - プリスケラクロック : $f_{periph}/4$ ($f_{periph} = f_{sys}$)

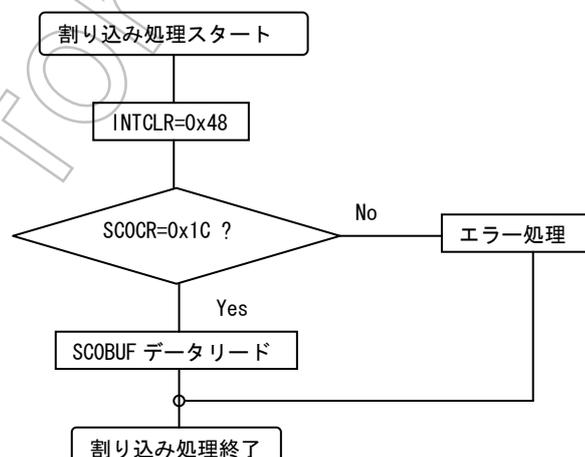
メインルーチンでの設定

	7 6 5 4 3 2 1 0	
P9CR	← - - - - - 0 -	} P91 を RXD0 端子とします。
P9FC1	← - - - - - 1 -	
P9IE	← - - - - - 1 -	
SCOMOD	← - 0 0 X 1 0 0 1	
SCOCR	← X 0 1 X X X 0 0	} 8ビットUARTモードにします。
BROCR	← 0 0 0 1 0 1 0 1	} 奇数パリティ付加に設定します。
IMC4	← - 1 1 X 0 1 0 0	} 9600 bps に設定します。
SCOMOD	← - - 1 X - - - -	} 32ビットレジスタの<15:8>を INTRX0 割り込みをイネーブル、レベル4に設定します。
		} 受信イネーブルにします。

割り込みルーチンでの処理例

```

INTCLR ← X 1 0 0 0 1 0 0      INTRX0 割り込み要求をクリアします。0x0000_0044
Reg. ← SCOCR AND 0x1C          } エラーチェックを行います。
if Reg. ≠ 0 then ERROR 処理
Reg. ← SCobuf                  } 受信データを読み取ります。
割り込み処理終了
(注) X: don't care      -: no change
    
```



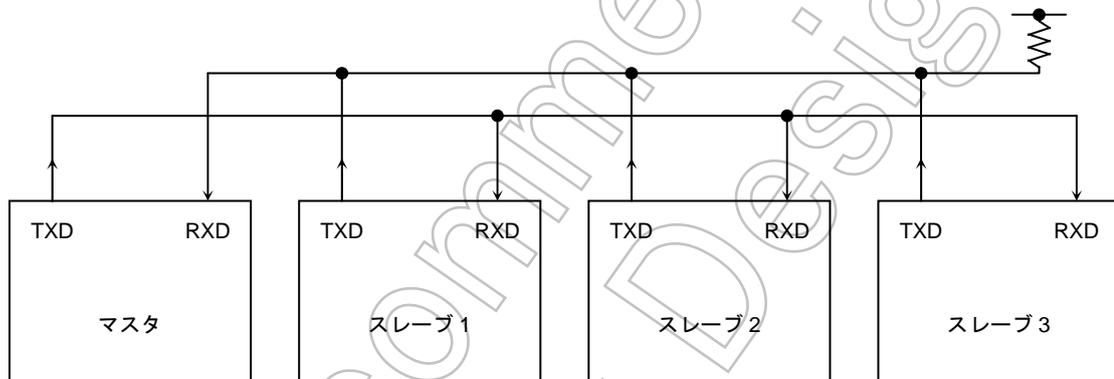
13.5.4 モード3 (9ビットUART)

SCOMODO <SM1 : 0> を “11” にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止 (SCOCR<PE> = “0”) してください。

最上位ビット (9ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (SCOMODO) のビット7<TB8>に書き込み、受信の場合シリアルコントロールレジスタ SCOCR のビット7<RB8>に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SCOBUFの方を後にします。STOPビットの長さはSCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビットSCOMODO<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>= “1” のときのみ割り込み (INTRX0) が発生します。

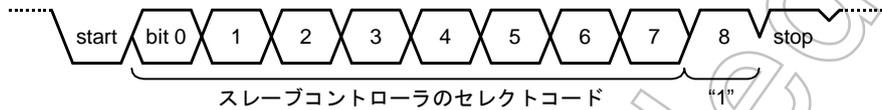


(注) スレーブコントローラのTXD端子は、かならずODEレジスタを設定してオープンドレイン出力モードにしてください。

図 13-28 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSCOMOD <WU> を “1” にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード (8ビット) を含む1フレームを送信します。このとき最上位ビット (ビット8) <TB8> は “1” にします。

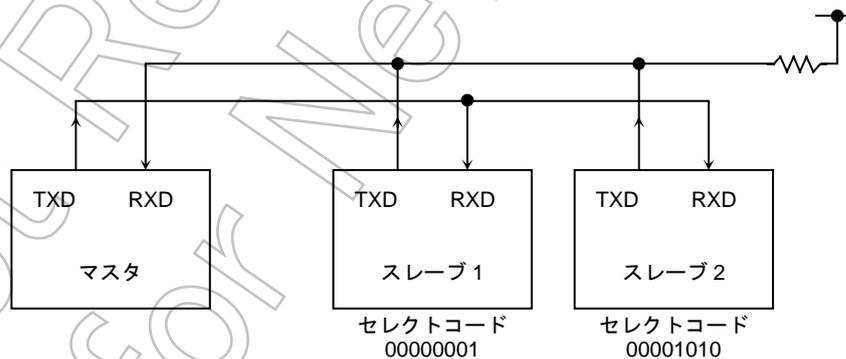


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを “0” にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ (SCOMOD <WU> = “0” にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット8) <TB8> は “0” にします。



- ⑥ <WU> = “1” のままのスレーブコントローラは、受信データの最上位ビット (ビット8) の <RB8> が “0” であるため、割り込み (INTRX0) が発生せず、受信データを無視します。また、<WU> = “0” になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $f_{\text{SYS}}/2$ を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



3) マスタコントローラの設定

メインルーチン

P9CR	← - - - - - 0 1	} P90 を TXD0、P91 を RXD0 端子にします。
P9FC1	← - - - - - 1 1	
P9IE	← - - - - - 1 -	
IMC4	← - 1 1 - 0 1 0 1	32 ビットレジスタの<15:8>を
		INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
IMC4	← - 1 1 - 0 1 0 0	32 ビットレジスタの<23:16>を
		INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
SCOMODO	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを $f_{SYS}/2$ に設定します。
SCOBUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTRX0)

INTCLR	← X 1 0 0 1 0 0 0	割り込み要求をクリアします。(INTTX0)
SCOMODO	← 0 - - - - - -	TB8 を “0” にします。
SCOBUF	← * * * * * * *	送信データをセットします。

割り込み処理終了

4) スレーブの設定

メインルーチン

P9CR	← - - - - - 0 1	} P90 を TXD (オープンドレイン出力) P91 を RXD にします。
P9FC1	← - - - - - 1 1	
P9ODE	← - - - - - 1 -	
P9IE	← - - - - - 1	
IMC4	← - 1 1 0 1 1 0	INTTX0, INTRX0 をイネーブルにします。
IMC4	← - 1 1 0 1 0 1	
SCOMODO	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック $f_{SYS}/2$ で、<WU> = “1” に設定します。

割り込みルーチン (INTRX0)

INTCLR	← 0 1 0 0 0 1 0 0	割り込み要求をクリアします。
Reg.	← SCOBUF	
if Reg. = セレクトコード		
Then		
SCOMODO	← - - - 0 - - - -	<WU> = “0” にクリアします。

14 シリアル チャネル (HS10)

高速シリアル入出力を1チャンネル内蔵 (HS100) しています。下記に示すように UART モード (非同期通信) および I/O インターフェースモード (同期通信) を選択できます。

I/O インターフェースモード ———— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (HSCLK) の送受信を行うモード

非同期通信 (UART) モード ————
 モード 1: 送受信データ長 7 ビット
 モード 2: 送受信データ長 8 ビット
 モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアル リンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。図 14-2 に、HS100 のブロック図を示します。

チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

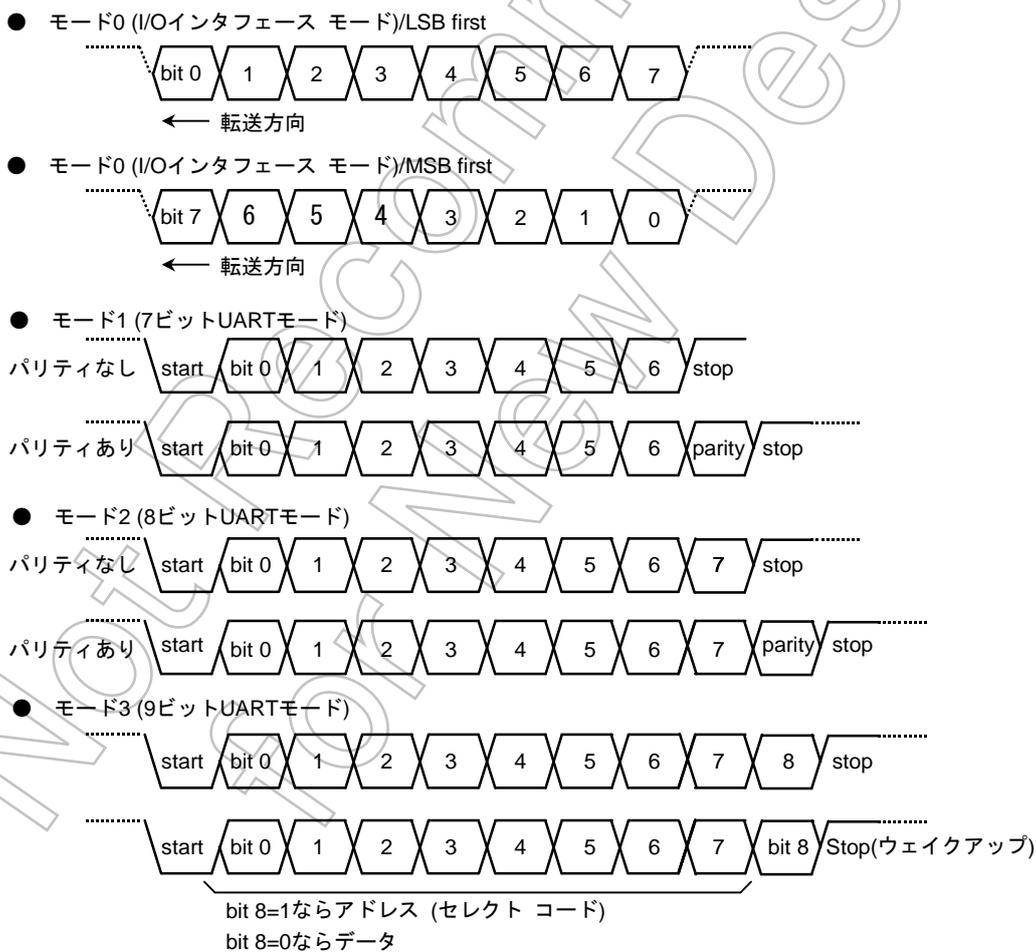


図14-1 データフォーマット

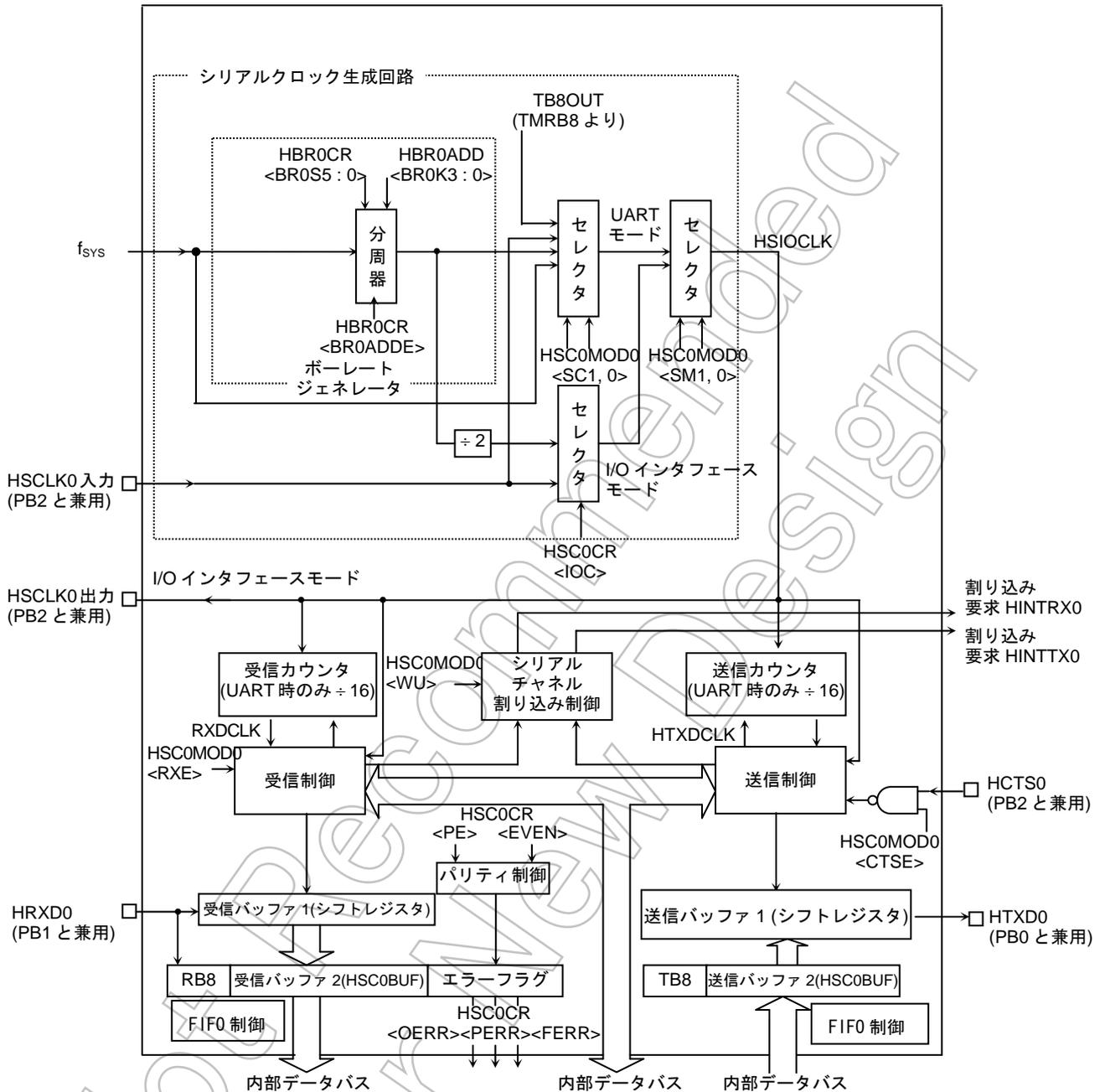


図 14-2 HSI00 ブロック図

(注) ポーレートジェネレータでは、一分周を設定することはできません。

14.1 回路別の動作説明 (HS10チャンネル0)

14.1.1 ボーレート

ボーレートジェネレータは、シリアルチャンネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは f_{sys} を用います。

ボーレートジェネレータは、 $1, N + \frac{m}{16}$ ($N=2\sim 63, m=0\sim 15$)、64 分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ HBROCR<BROADDE><BROS5:0>、HBROADD<BROK3:0>の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1) HBROCR<BROADDE>=0 の場合

HBROADD<BROK3:0>の設定は無視され、HBROCR<BROS5:0>に設定された値“N”に従い N 分周を行います。(N=1、2、3 … 64)

- 2) HBROCR<BROADDE>=1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり HBROCR<BROS5:0>に設定された値“N” (N = 2、3 … 63)、HBROADD<BROK3:0>に設定された値“K”に従い $N + (16 - K) / 16$ 分周を行います。(K=1、2、3 … 15)

(注) N=1 および 64 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますのでかならず HBROCR<BROADDE>= “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。かならず HBROCR<BROADDE>= “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{f_{sys}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 f_{sys} が 54 MHz のときの 3.38 Mbps です。($f_{sys}=40\text{MHz}$ 時は、2.5Mbps)

- 2) I/O インタフェースモード

$$\text{ボーレート} = \frac{f_{sys}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 f_{sys} が 54 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値=“2”の設定が可能なので、13.5Mbps になります (ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値=“4”のときの、6.75Mbps が最高になります)。

($f_{sys}=40\text{MHz}$ 時、ダブルバッファ使用した場合 10Mbps。使用しない場合、5Mbps)

- ボーレートの設定例

- 1) 整数分周 (N分周) の場合

ボーレートジェネレータへの入力クロックを f_{sys} 、分周値 “N” (HBROCR<BROS5:0>)=4、HBROCR<BROADDE>= “0” の場合の UART モードのボーレートは、

※ クロック条件

{	システムクロック	: 高速 (fc)
	高速クロックギア	: 1倍 (fc)

$$\begin{aligned} \text{ボーレート} &= \frac{f_{sys}}{4} \div 16 \\ &= 54 \times 10^6 \div 4 \div 16 = 843.8\text{K (bps)} \text{ となります。} \\ &\text{(40MHz 時 : 625K bps)} \end{aligned}$$

(注) $N + (16-K)/16$ 分周機能は禁止に設定されるため HBROADD <HBROK3 : 0> の設定は無視されます。

- 2) $N + (16-K)/16$ 分周 (UART モードのみ) の場合

ボーレートジェネレータへ f_{sys} を、分周値 “N” (HBROCR<BROS5:0>)=4、 “K” (HBROADD<HBROK3:0>)=14、HBROCR<BROADDE>=1 の場合のボーレートは、

※ クロック条件

{	システムクロック	: 高速 (fc)
	高速クロックギア	: 1倍 (fc)

$$\begin{aligned} \text{ボーレート} &= \frac{f_{sys}}{4 + \frac{(16-14)}{16}} \div 16 \\ &= 54 \times 10^6 \div \left(4 + \frac{2}{16} \right) \div 16 = 818.2\text{K (bps)} \quad \text{となります。} \\ &\text{(40MHz 時 : 606.1kbps)} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

- 1) UART モード

Baud Rate = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) > 2/fsys を満足する必要があります。

fsys=54MHz のときの最高ボーレートは、 $54 \div 4 \div 16 = 843.8$ (kbps) になります。

(40MHz 時 : 625kbps)

- 2) I/O インタフェースモード

Baud Rate = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) > 6/fsys を満足する必要があります。

従って、fsys=54MHz のときの最高ボーレートは、 $54 \div 6 = 9$ (Mbps) 未満にする必要があります。(40MHz 時 : 6.67Mbps)

ダブルバッファを使用しないときは、

(外部クロック入力周期) > 8/fsys を満足する必要があります。

従って、fsys=54MHz のときの最高ボーレートは、 $54 \div 8 = 6.75$ (Mbps)

未満にする必要があります。(40MHz 時 : 5.0Mbps)

Not Recommended for New

14.1.2 高速シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- 1/0 インターフェースモードの場合

シリアルコントロールレジスタ HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。

HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックを生成します。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ HSCOMOD0<SG1:0> の設定により、前記ポーレートジェネレータからのクロックか、システムクロック (f_{sys}) か、タイマ (TMRB8) の内部出力信号か、または外部クロック (HSCLK0 端子) のいずれかを選択し、基本クロック HSIOCLK を生成します。

14.1.3 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、HSIOCLK でカウントアップされます。データ1ビットの受信にHSIOCLKが16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

14.1.4 受信制御部

- 1/0 インターフェースモードの場合

HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子へ出力されるシフトクロックの立ち上がりで HRXD0 端子をサンプリングします。

HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って、HSCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ HRXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

14.1.5 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (HSCOBUF) へ移されます。また、同時に受信バッファの full Flag (HSCOMOD2<RBFLL>) が “1” にセットされ、受信バッファ2 に有効データが格納されていることを示します。但し受信FIFOが有効にされている場合、受信データは受信FIFOに移されこのFlagは直ぐにクリアされます。

受信FIFOが有効にされていない場合 (HSCOF CNF<CNFG>=0 且つ HSCOMOD1<FDPX1:0>=01) は同時に割り込み HINTRX0 が発生します。受信FIFOが有効にされている場合 (HSCNFCNF<CNFG>=1 且つ HSCOMOD1<FDPX1:0>=01/11) は HSCORFC<RIL1:0>の設定に従い割り込みが発生します。

CPUは受信バッファ2 (HSCOBUF) または受信 FIFO (ただし受信バッファに同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag (HSCOMOD2<RBFLL>) は“0”にクリアされます。CPUが受信バッファ2 (HSCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、IO インターフェースモードで HSCLK 出力に設定されている場合は、ダブルバッファ制御ビット HSCOMOD2<WBUF>の設定により、受信バッファ2 (HSCOBUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (HSCOF CNF<CNFG>=0 で且つ FDPX1:0=01) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に HSCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、HSCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、HSCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み HINTRX が発生すると同時に HSCLK 出力を再開します。従って、IO インターフェースモードの HSCLK 出力ではダブルバッファ制御ビット HSCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (HSCOF CNF<CNFG>=1 で且つ HSCOMOD1<FDPX1:0>=01/11) は受信 FIFO が FULL (HSCOF CNF<RFST>の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると HSCLK 出力を停止します。またこの状態で HSCOF CNF<RXTXCNT>=1 にしていると HSCLK 出力停止と同時に受信制御 BIT : RXE が自動的にクリアされます。“0”の場合、自動クリアは行なわれません。

(注) このモードでは、HSCOCR の<OERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (HSCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および HSCOCR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART パリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは HSCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 HSCOMOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、HSCOCR<RB8>=“1”のときのみ、割り込み HINTRX が発生します。

14.1.6 受信FIFOバッファ

前記 Double buffer に加えて、受信 FIFO buffer を用いて、データの格納を行う事ができます。HSC0FCNF レジスタの<CNFG>及び HSCOMOD1 の<FDPX1:0>の設定で 4byte の受信 Buffer を有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO BUFFER を使用する場合はダブルバッファをイネーブルに設定しておいてください。

14.1.7 受信FIFOの動作

① I/O インターフェースモードで HSCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

HSCORFC<7:6>=01 : 受信 FIFO のクリアと割り込み発生条件の設定

HSCORFC<1:0>=00 : 割り込み発生を fill level 4 に設定

HSC0FCNF<4:0>=10111 : fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと 4byte のデータ受信を開始します。4Byte 受信後に RXE を自動クリアして受信を終了 (HSCLK を STOP) します。

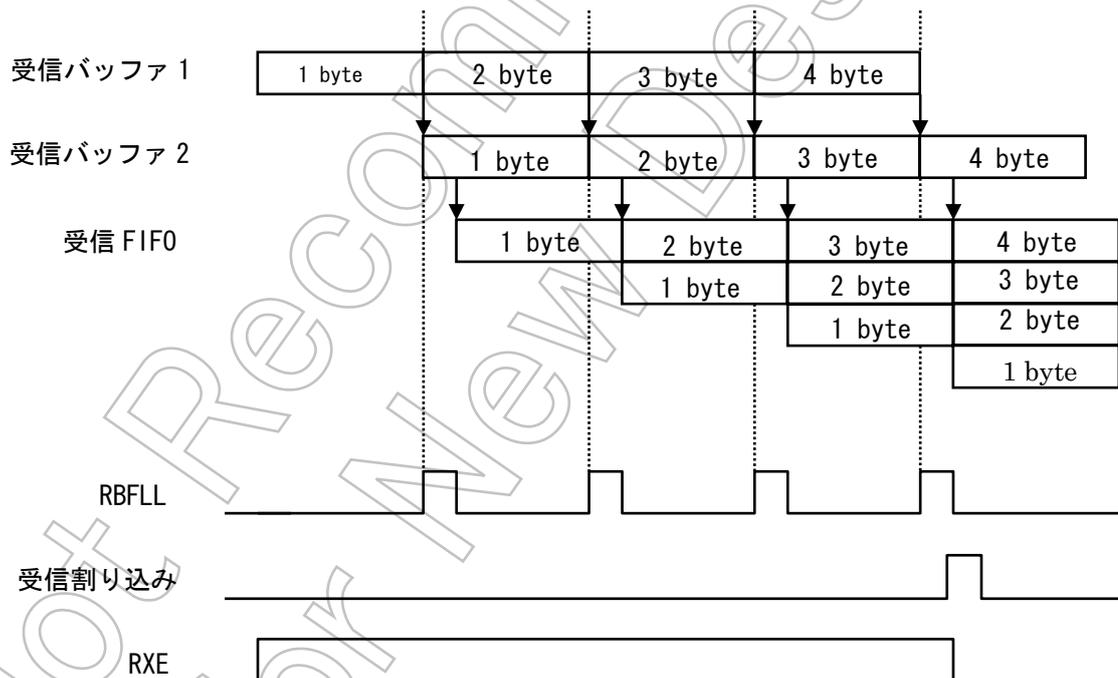


図 14-3 受信 FIFO の動作

② I/O インターフェースモードで HSCLK 入力の場合

4Byte のデータを受信する場合を例に説明します。

HSCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

HSCORFC<1:0>= 00 : 割り込み発生を fill level 4 に設定

HSCOF CNF<4:0>=10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと入力クロックに応じて 4byte のデータ受信を開始します。4 受信後に受信 FIFO 割り込みが発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトのデータも受信可能です。

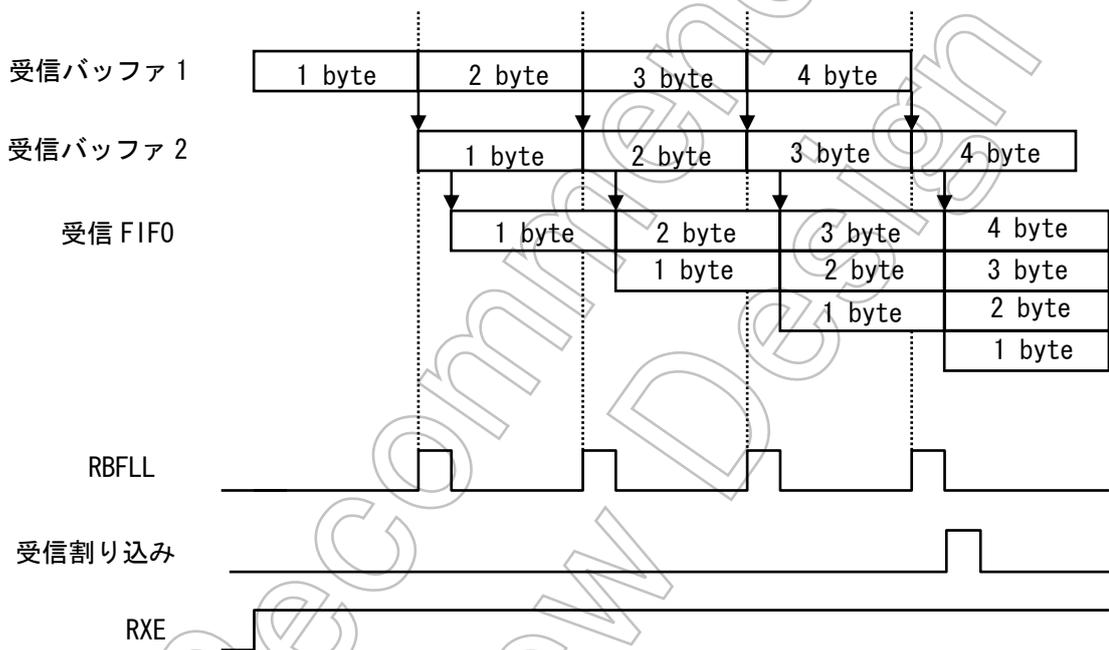


図 14-4 受信 FIFO の動作

14.1.8 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタにより受信カウンタ同様 HSIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

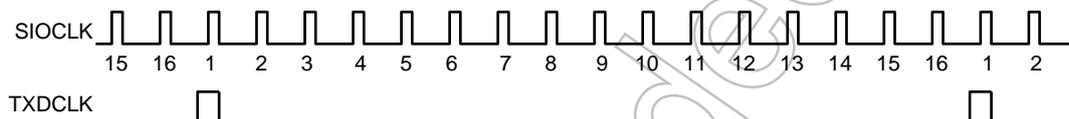


図 14-5 送信クロックの生成

14.1.9 送信制御部

- I/O インターフェースモードの場合

HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ HTXD0 端子へ出力します。

HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って HSCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ HTXD0 端子へ出力します。

- 非同期通信 (UART) モードの場合

送信バッファに CPU から送信データが書き込まれると、次の HTXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (HTXDSFT) をつくります。

ハンドシェイク機能

$\overline{\text{HCTS}}$ 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は HSCOMODO <CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{\text{HCTS}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{HCTS}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、HINTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{HCTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{HCTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図 14-6 ハンドシェイク機能

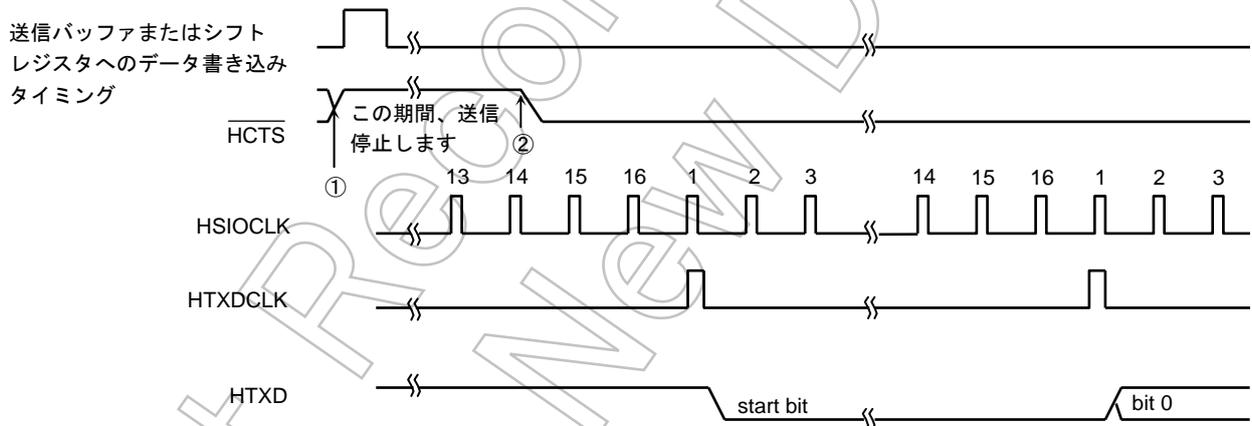


図 14-7 $\overline{\text{HCTS}}$ (Clear to send) 信号のタイミング

- (注) ① 送信中に $\overline{\text{HCTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 ② $\overline{\text{HCTS}}$ 信号立ち下がり後の最初の HTXDCLK クロックの立ち下がりから送信を開始します。

14.1.10 送信バッファ

送信バッファ (HSCOBUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2 (HSCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (HSCOBUF) ヘーデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されま

す。
送信 FIFO が有効にされていない場合 (HSCOFCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み HINTTX0 が発生して、HSCOMOD2 の送信バッファエンピティフラグ<TBEMP>フラグが “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データが書き込み可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

送信 FIFO が有効にされている場合 (HSCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに “0” にクリアされます。CPU は送信 Buffer2 または送信 FIFO ヘーデータを書き込みます。

また I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘーデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (HSCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされている場合は送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘーデータが移されます。

I/O インターフェースモードの HSCLK 出力で送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると HSCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの HSCLK 出力時で送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると HSCLK 出力を停止します。

注) I/O インタフェース HSCLK 出力モードでは、HSCOCR の<PERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み HINTTX0 が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>=” 0” (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO を構成しないに設定してください。

14.1.11 送信FIFO BUFFER

前記 Double buffer に加えて、送信 FIFO buffer を用いて、データの格納を行う事ができます。HSCOTFCNF レジスタの HCNFG の設定及び HSCOMOD1 の FDPX1:0 で 4byte の送信 Buffer を有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4byte までのデータが格納できます。

14.1.12 送信FIFOの動作

① I/O インターフェースモードで HSCLK 出力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

HSCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

HSCOTFC<1:0>=00 : 割り込み発生時の fill level を 0 に設定

HSCOTFCNF<4:0>=01011 : fill level 到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4byte 分の送信データを書き込み、TXE BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

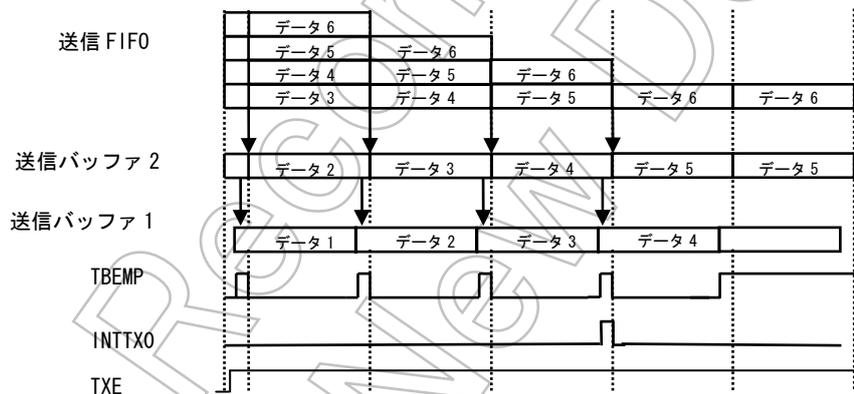


図 14-8 送信 FIFO の動作

② I/O インターフェースモードで HSCLK 入力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

HSCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

HSCOTFC<7:2>=000000 : 割り込み発生の fill level を 0 に設定

HSCOCNF<4:0>=01001 : fill level 到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4BYTE 分の送信データを書き込み、TXE BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生します。

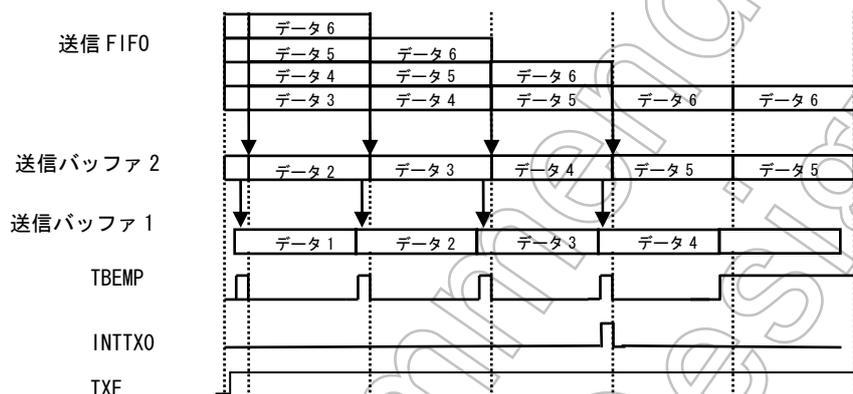


図 14-9 送信 FIFO の動作

14.1.13 パリティ制御回路

シリアルコントロールレジスタ (HSCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。HSCOCR の<EVEN>ビットによって偶数（奇数）パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (HSCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは HSCOBUF ビット 7<TB7> に、8ビット UART モードのときはシリアルモードコントロールレジスタ HSCOMOD のビット 7<TB8> にパリティがデータ送信後に格納されます。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (HSCOBUF) に移されることによりパリティを自動発生します。7ビット UART モードのときは、HSCOBUF <RB7> と、8ビット UART モードのときは、HSCOCR レジスタのビット 7 <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、HSCOCR レジスタの<PERR> フラグがセットされます。

I/O インターフェースモードの時は HSCOCR<PERR> はパリティフラグではなく、アンダーランエラーフラグの働きになります。

14.1.14 エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバーランエラー〈OERR〉：シリアルコントロールレジスタ HSCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO ヘデータが自動的に移されるので、受信 FIFO が FULL（使用 BYTE 数）になるまではオーバーランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードの HSCLK 出力の設定ではオーバーランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー〈PERR〉：HSCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (HSCOMOD2) のダブルバッファ制御ビット〈WBUF〉が“1”に設定されている状態で、HSCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータが空になると、アンダーランエラーが発生します。HSCLK 出力モード時は、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ 2 が無効の場合はアンダーランエラーフラグ〈PERR〉はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー〈FERR〉：HSCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (HSCOMOD2) の STOP ビット長設定ビット〈SBLLEN〉の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
I/O インタフェース (HSCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1)
		0 固定 (WBUF=0)
FERR	0 固定	
I/O インタフェース (HSCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

14.1.15 データ転送方向

シリアルモードコントロールレジスタ 2 (HSCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インターフェースモード時に転送方向を MSB ファースト/LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

14.1.16 STOPビットの長さ

HSCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

14.1.17 ステータスフラグ

HSCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態) であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。HSCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

14.1.18 送受信バッファの構成

		WBUF = 0	WBUF = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

14.1.19 ソフトリセット

HSCOMOD2 レジスタのビット 1, 0<SWRST1:0>を "10" → "01" と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0 <RXE>, HSCOMOD1<TXE>, HSCOMOD2<TBEMP>, <RBFL>, <TXRUN>, コントロールレジスタの HSCOCR<OERR>, <PERR>, <FERR> 及び内部回路が初期化されます。その他の状態は保持されます。

14.1.20 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (WBUF = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (WBUF = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	HSCLK 入力モード	次回 HSCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

- 注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください
 注2) 受信動作中に受信動作を停止 (HSCOMOD0<RXE>="0") しないでください
 注3) 送信動作中に送信動作を停止 (HSCOMOD1<TXE>="0") しないでください

14.2 レジスタ説明（チャンネル0 についてのみ説明します）

シリアルモードコントロールレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット 8	ハンドシェイク機能制御 0: HCTS ディセーブル 1: HCTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UART モード 10: 8ビット長 UART モード 11: 9ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB8OUT 01: ボーレートジェネレータ 10: 内部クロック fSYS 11: 外部クロック (HSCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (HSCOCR) でクロックを選択します。

ウェイクアップ機能

	9ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみに割り込み	

ハンドシェイク機能(CTS 端子)イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

(注 1) <RXE>=" 0" の状態で各モードレジスタ (HSCOMOD0、HSCOMOD1、HSCOMOD2) を設定してから最後に<RXE>=" 1" にしてください
 (注 2) レジスタ設定は、バイトアクセスしてください。

図 14-10 シリアルモードコントロールレジスタ 0 (HS100 用、HSCOMOD0)

シリアルモードコントロールレジスタ 1

HSCOMOD1
LITTLE (0xFFFF_E805)
BIG (0xFFFF_E806)

	7	6	5	4	3	2	1	0
bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	—
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK		0 を書き込んでください	

図 14-11 シリアルモードコントロールレジスタ 1 (HS100 用、HSCOMOD1)

<SINT2:0> : I/O インターフェースモード時で、Double buffer または/及び FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードは意味を持ちません。

<TXE> : 送信許可 BIT です。全転送モードに有効です。送信中にこの BIT が禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : I/O インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

(注1) レジスタ設定は、バイトアクセスしてください。

(注2) モード設定を行ってから、<TXE>ビットの設定を行ってください。

シリアルモードコントロールレジスタ

HSCOMOD2
LITTLE (0xFFFF_E806)
BIG (0xFFFF_E805)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R/W						W	W
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full FLAG 0: Empty 1: full	送信動作中 FLAG 0: 停止 1: 動作	STOP ビット 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

図 14-12 シリアルモードコントロールレジスタ

- <SWRST1:0>: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0<RXE>、HSCOMOD1<TXE>、HSCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの HSCOCR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。
- <WBUF>: I/O インターフェースモードの送信 (HSCLK 出力、入力)、受信 (HSCLK 出力)、UART モードの送信時に、送信、受信の Double buffer の許可/不許可を指定します。その他のモードでは設定に関わらず、常に Double buffer は許可されます。
- <DRCHG>: I/O インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定です。
- <TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが 1 の場合は送信動作中である事を示し、0 の場合は、ビット 7<TBEMP>=” 1” の時は送信が完全に終了している状態を、<TBEMP>=” 0” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。
- <RBFL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。
ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。
- <TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。
ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。
- <SBLN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

- (注 1) 転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。
- (注 2) レジスタ設定は、バイトアクセスしてください。
- (注 3) ソフトウェアリセット実行には、命令実行後 1 クロック必要です。
ソフトウェアリセット命令実行後、SYNC 命令を実行してください。
- (注 4) ソフトウェアリセットを掛けた場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

シリアルコントロールレジスタ

HSC0CR
LITTLE (0xFFFF_E80D)
BIG (0xFFFF_E80E)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W			R (Readすると0クリアされます。)			R/W
リセット後	0	0	0	0	0	0	0	0
機能	受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー オーバーラン パリティ/アンダーラン フレーミング			0: HCLK0 1: HCLK0	0: ボーレートジェネレータ 1: HCLK0端子入力

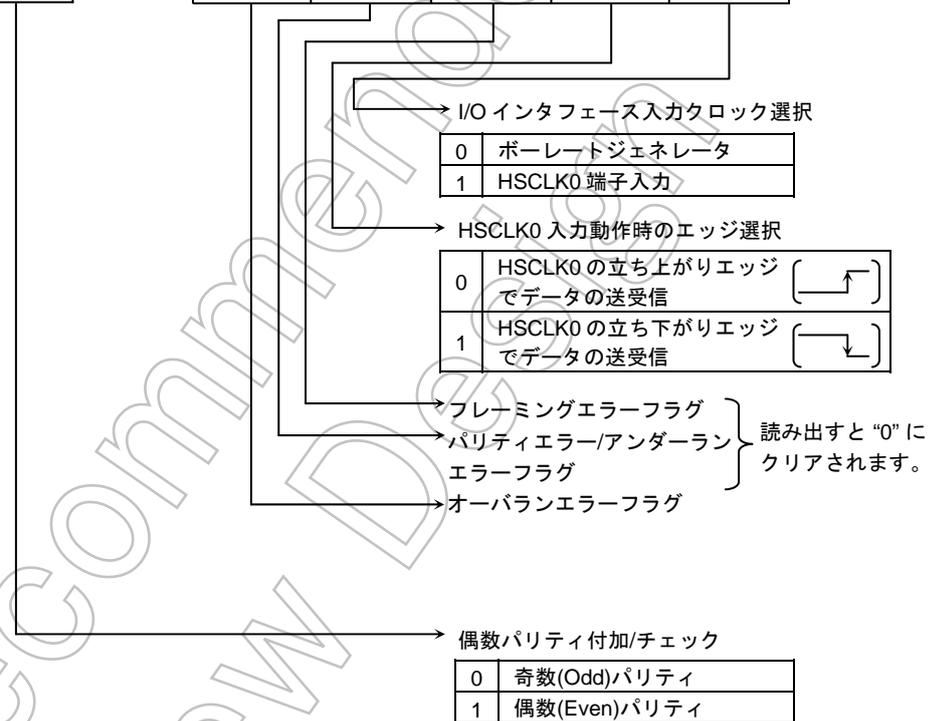


図 14-13 シリアルコントロールレジスタ (HS100 用、HSC0CR)

(注 1) エラーフラグは読み出されるとすべてクリアされます。
(注 2) レジスタ設定は、バイトアクセスしてください。

ボーレートジェネレータコントロール

HBR0CR
LITTLE (0xFFFF_E80F)
BIG (0xFFFF_E80C)

	7	6	5	4	3	2	1	0
bit Symbol	—	HBR0ADDE	HBR0S5	HBR0S4	HBR0S3	HBR0S2	HBR0S1	HBR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライトしてください	$N + (16 - K)/16$ 分周機能 0: ディセーブル 1: イネーブル	分周値 “N” の設定					

(注) レジスタ設定は、バイトアクセスしてください。

HBR0ADD
LITTLE (0xFFFF_E804)
BIG (0xFFFF_E807)

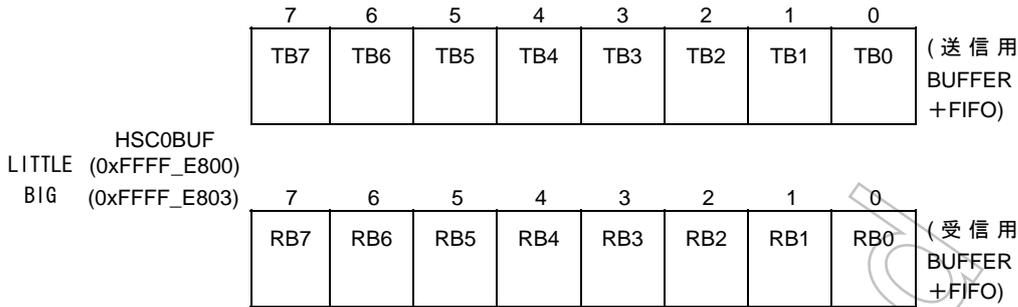
	7	6	5	4	3	2	1	0
bit Symbol					HBR0K3	HBR0K2	HBR0K1	HBR0K0
Read/Write	R				R/W			
リセット後	0				0	0	0	0
機能	リードすると “0” が読めます。				$N + (16 - K)/16$ 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	HBR0CR<HBR0ADDE> = 1		HBR0CR<HBR0ADDE> = 0
HBR0CR <HBR0S5:0>	000000 (N = 64)	000010 (N = 2)	000001 (N = 1) (ONLY UART)
HBR0DD <HR03:0>	000001 (N = 1)	111111 (N = 63)	111111 (N = 63) 000000 (N = 64)
0000	禁止	禁止	
0001 (K = 1)	禁止	$N + \frac{(16 - K)}{16}$ 分周	N 分周
1111 (K = 15)			

図 14-14 ボーレートジェネレータコントロール (HS100 用、HBR0CR、HBR0ADD)

- (注 1) UART モードでは、ボーレートジェネレータ分周値の “1” 分周は、 $N + (16 - K)/16$ 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ボーレートジェネレータ分周値の “1” 分周は使用しないで下さい。
- (注 2) $N + (16 - K)/16$ 機能を使用する場合、かならず HBR0ADD <HBR0K3 : 0> に K 値 (K = 1~15) を設定後に HBR0CR <HBR0ADDE> = “1” を設定してください。ただし、HBR0CR <BR0S5 : 0> = “000000” または “000001” (N = 64 または 1) のとき $N + (16 - K)/16$ 分周機能は使用しないでください。
- (注 3) $N + (16 - K)/16$ 分周機能は UART モードのみ使用可能です。I/O インターフェースモードのときは HBR0CR <HBR0ADDE> = “0” に設定し $N + (16 - K)/16$ 分周機能を禁止してください。



(注) HSC0BUF は、WR 時は送信バッファ、RD 時は受信バッファとして機能します。

FIFO コンフィグレジスタ

HSC0FCNF
LITTLE (0xFFFF_E80C)
BIG (0xFFFF_E80F)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” を書き込んでください			受信 FIFO 使用 Byte 数 0: 最大 1: 受信 FIFO の FILL レ ベルに同じ	送信 FIFO 使用時の送 信割り込み 許可 0: 禁止 1: 許可	受信 FIFO 使用時の受 信割り込み 許可 0: 禁止 1: 許可	RXE/TXE の自動禁 止 0: 無し 1: 自動禁止	FIFO の許 可 0: 禁止 1: 許可

- <CNFG> : 許可の場合は FIFO の構成は HSCOMOD1<FDPX1:0> の設定により
 - <FDPX1:0>=01 (半二重受信) ----- 4Byte 受信 FIFO
 - <FDPX1:0>=10 (半二重送信) ----- 4Byte 送信 FIFO
 - <FDPX1:0>=11 (全二重) ----- 2Byte 受信 FIFO+2Byte 送信 FIFO
 に自動的になります。
- <RXTXCNT> : 0 受信許可 BIT : RXE、送信許可 BIT : TXE の自動禁止機能は無効
 : 1 自動禁止の場合は HSCOMOD1<FDPX1:0> の設定により
 - <FDPX1:0>=01 (半二重受信) ----- 受信 FIFO に指定された有効 BYTE 数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります
 - <FDPX1:0>=10 (半二重送信) ----- 送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります
 - <FDPX1:0>=11 (全二重) ----- 前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。
- <RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可 / 不許可を切り替えます。
- <TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可 / 不許可を切り替えます。
- <RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。
 0 : 構成されている FIFO の最大 BYTE 数。<FDPX1:0>=01 (半二重受信) の時は 4 BYTE、
 <FDPX1:0>=11 (全二重) の時は 2BYTE
 1 : HSCORFC<RIL1:0> で指定される受信割り込み発生の際の FILL レベルに同じ

(注 1) 送信 FIFO は常に構成されている FIFO の最大 BYTE 数を使用できます。
 使用 BYTE 数は送信 FIFO に書き込んだ BYTE 数になります。
 (注 2) レジスタ設定は、バイトアクセスしてください。

図 14-15 FIFO コンフィグレジスタ

受信 FIFO コントロールレジスタ

HSC0RFC
LITTLE (0xFFFF_E808)
BIG (0xFFFF_E80B)

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS	—	—	—	—	RIL1	RIL0
Read/Write	w	R					W/R	
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO クリア 1:クリア リードは常に“0”	割り込み発生条件 選択	リードすると“0”が読めます。				受信割り込みが発生する FIFOの fill レベル 00:4byte (全二重の場合 は2Byte) 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二 重)の場合 RIL1は無視 されます	

0:設定した fill レベルに到達した場合
1:設定した fill レベルに到達した時及び、新規データが読み出された時に fill レベルを超えている
場合

図 14-16 受信 FIFO コントロールレジスタ

送信 FIFO コントロールレジスタ

HSC0TFC
LITTLE (0xFFFF_E809)
BIG (0xFFFF_E80A)

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS	—	—	—	—	TIL1	TIL0
Read/Write	w	R					W/R	
リセット後	0	0	0	0	0	0	0	0
機能	送信 FIFO クリア 1:クリア リードは常に“0”	割り込み発生条件 選択	リードすると“0”が読めます。				送信割り込みが発生する FIFOの fill レベル 00:Empty 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二 重)の場合 TIL1は無視 されます	

0:設定した fill レベルに到達した場合
1:設定した fill レベルに到達した時及び、新規データが書き込みされた時に fill レベルより低い場合

図 14-17 送信 FIFO コンフィグレジスタ

(注) レジスタ設定は、バイトアクセスしてください。

受信 FIFO ステータスレジスタ

HSC0RST
LITTLE (0xFFFF_E80A)
BIG (0xFFFF_E809)

	7	6	5	4	3	2	1	0
bit Symbol	ROR	-	-	-	-	RLVL2	RLVL1	RLVL0
Read/Write	R				R			
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO Overrun 1:発生 リードでクリア					受信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

図 14-18 受信 FIFO ステータスレジスタ

送信 FIFO ステータスレジスタ

HSC0TST
LITTLE (0xFFFF_E80B)
BIG (0xFFFF_E808)

	7	6	5	4	3	2	1	0
bit Symbol	TUR	-	-	-	-	TLVL2	TLVL1	TLVL0
Read/Write	R				R			
リセット後	1	0	0	0	0	0	0	0
機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア					送信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

図 14-19 送信 FIFO ステータスレジスタ

HSIO イネーブルレジスタ

HSC0EN
LITTLE (0xFFFF_E807)
BIG (0xFFFF_E804)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	SIOE
Read/Write	R							R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							HSIO 動作 0:禁止 1:許可

<SIOE>: HSIO の動作を指定します。動作禁止の状態では HSIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です(他のレジスタへのリード、ライトはできません)。HSIO を使用する場合は、HSIO モジュールの各レジスタを設定する前に HSIO 動作許可 (“1”) にしてください。HSIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注) レジスタ設定は、バイトアクセスしてください。

図 14-20 HSIO イネーブルレジスタ

14.3 モード別動作説明

14.3.1 モード0 (I/Oインターフェースモード)

このモードには、同期クロック HSCLK を出力する HSCLK 出力モードと、外部より同期クロック HSCLK を入力する HSCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の項を参照してください。

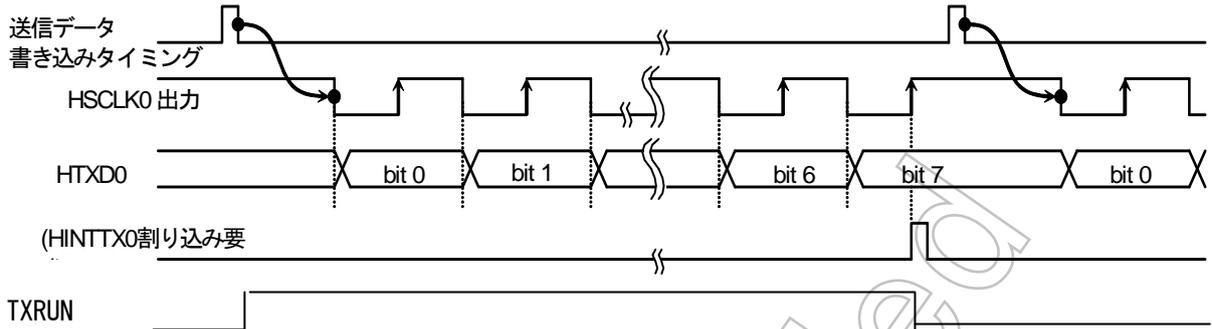
① 送信

HSCLK 出力モード

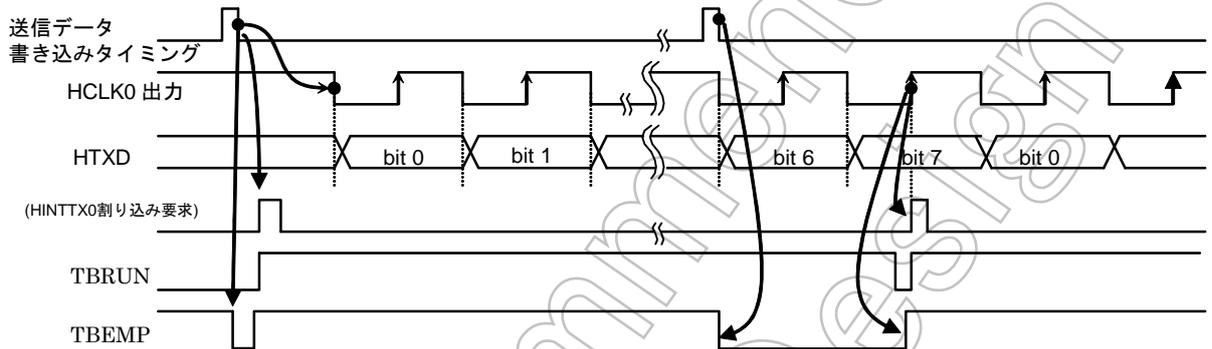
HSCLK 出力モードでは $HSCOMOD2<WBUF>="0"$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが HXD0 端子、同期クロックが HSCLK0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生します。

$HSCOMOD2<WBUF>="1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送達が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ $HSCOMOD2<TBEMP>$ が "1" にセットされます。同時に、割り込み (HINTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (HINTTX0) を発生せず、HSCLK0 出力も停止します。

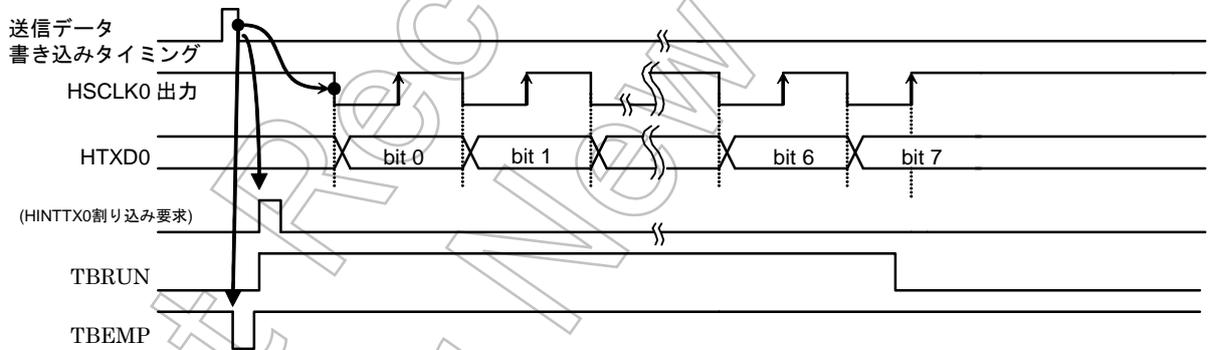
Not Recommended for New Design



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

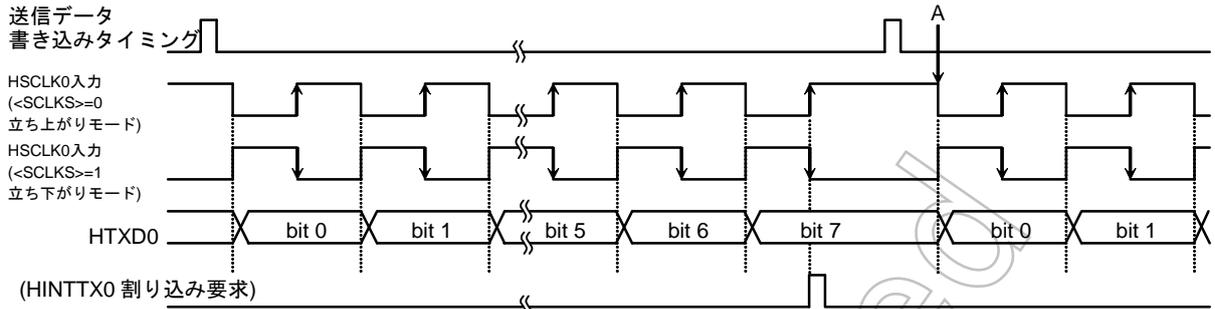
図 14-21 I/O インターフェースモード送信動作 (HSCLK0 出力モード)

HSCLK 入力モード

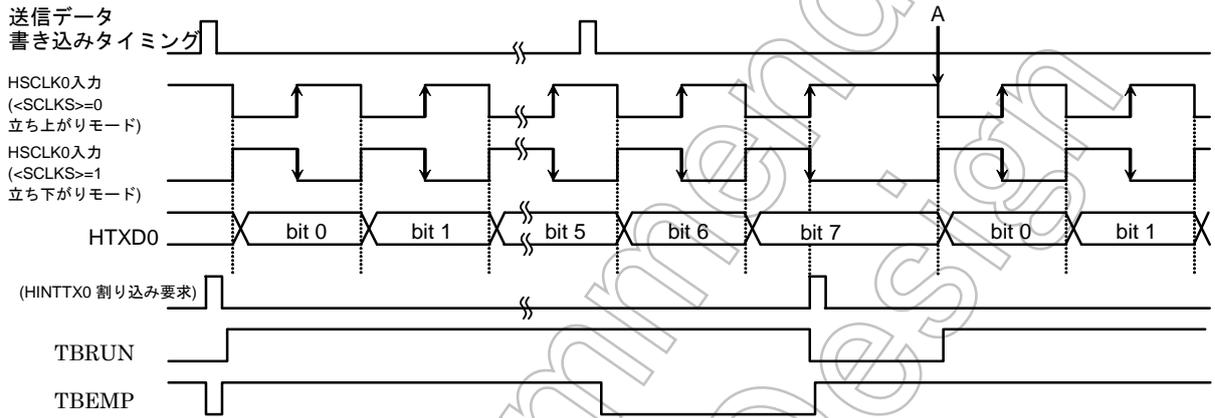
HSCLK 入力モードでは、HSCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で HSCLK0 入力アクティブになると、8 ビットのデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み HINTTX0 が発生します。次の送信データは A 点までに書き込んでください

HSCOMOD2<WBUF>=" 1" で送信ダブルバッファが許可されている場合は、HSCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ HSCOMOD2<TBEMP>が "1" にセットされ、割り込み (HINTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、HSCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。

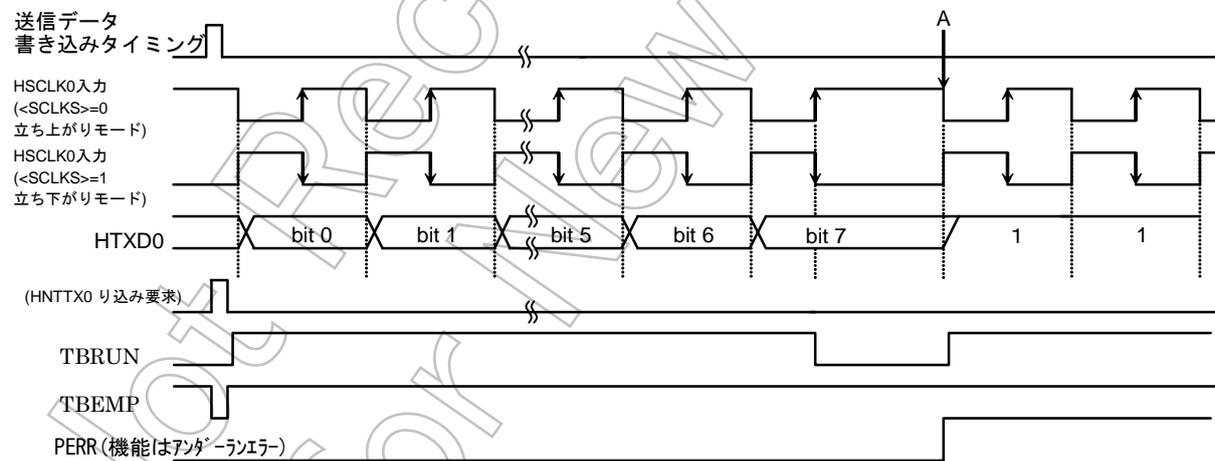
Not Recommended for New Design



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 14-22 I/O インターフェースモード送信動作 (HCLK0 入力モード)

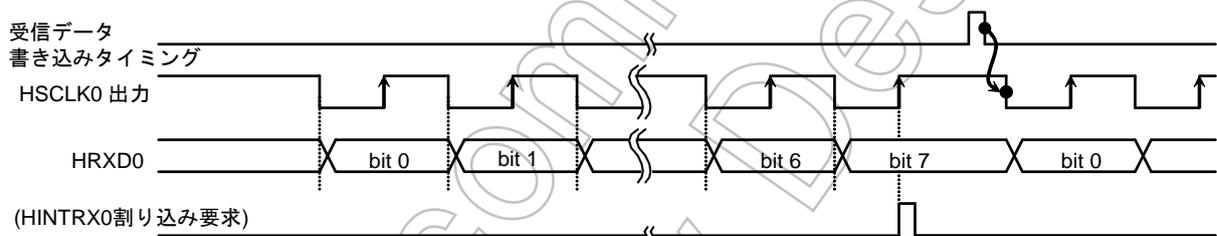
② 受信

HSCLK 出力モード

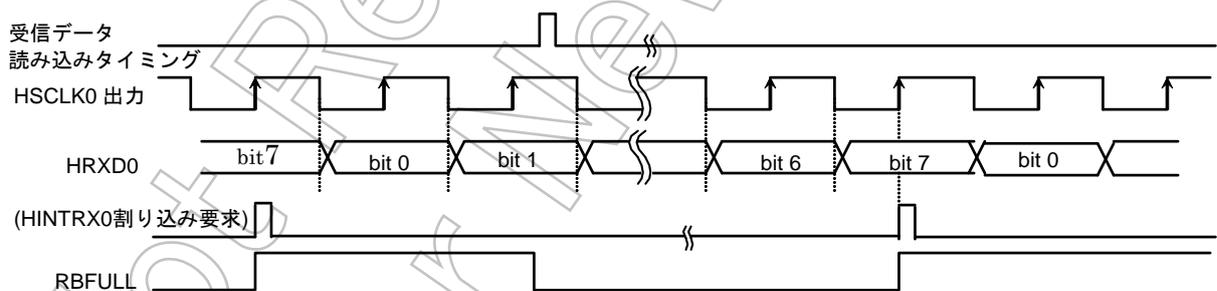
HSCLK 出力モードでは HSCOMOD2<WBUF>="0" で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、HSCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み HINTRX0 が発生します。

最初の HSCLK 出力の開始は、受信許可ビット HSCOMOD0<RXE>を "1" にセットすることで行います。また、HSCOMOD2<WBUF>="1" で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ HSCOMOD2<RBFULL>が "1" にセットされ、割り込み HINTRX0 が発生します。

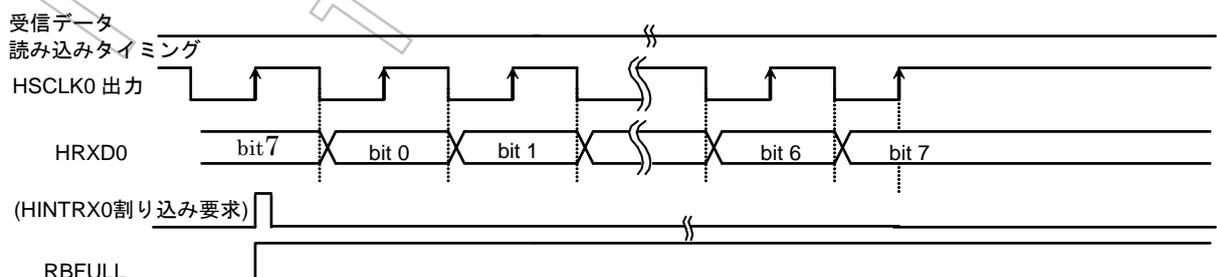
受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み HINTRX0 が発生せず、HSCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み HINTRX0 を発生して受信を再開します。



<WBUF>="0" (ダブルバッファ不許可) の場合



<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出した場合)



<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 14-23 I/O インターフェースモード受信動作 (HSCLK0 出力モード)

HSCLK 入力モード

HSCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み HINTRX0 が発生します。

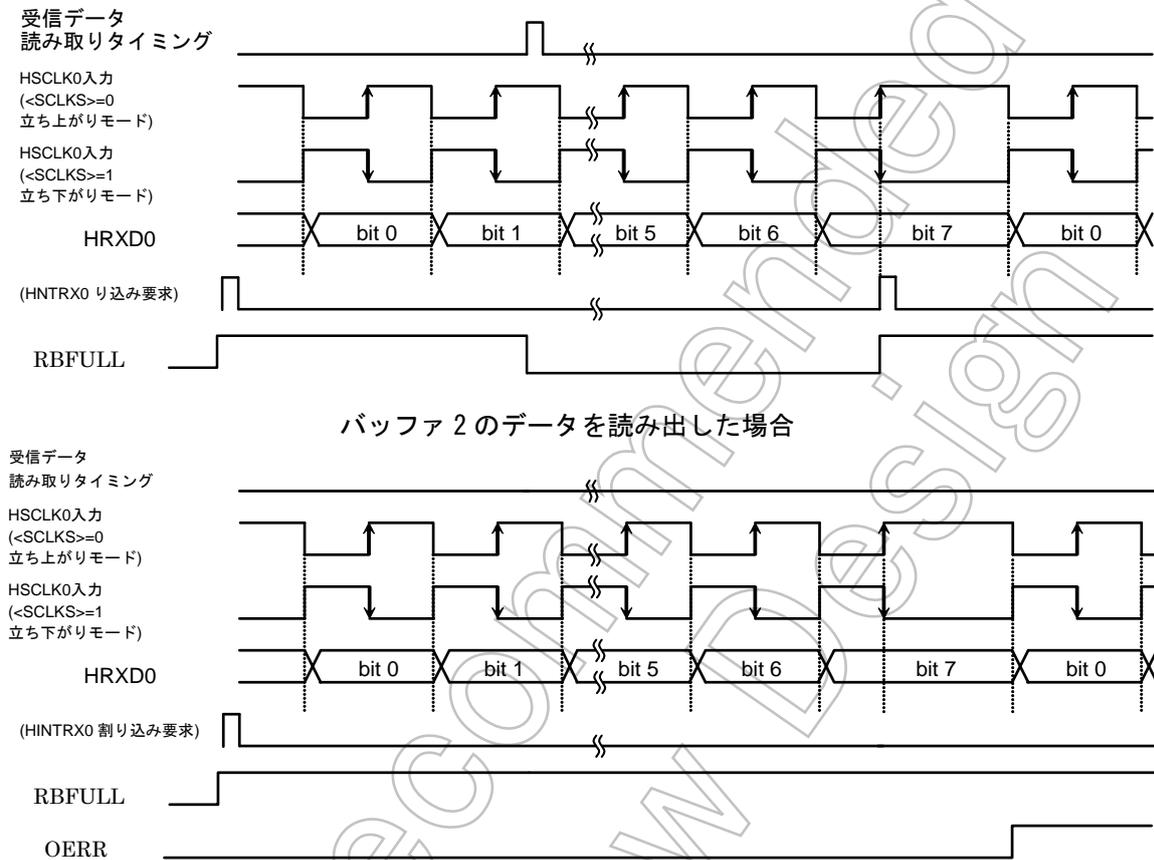


図 14-24 I/O インターフェースモード受信動作 (HSCLK0 入力モード)

(注) 受信動作を行う場合には HSCLK 入/出力のどちらのモードでも、受信イネーブル状態 (HSCOMODO <RXE> = 1) にしておく必要があります。

③ 送受信（全二重）

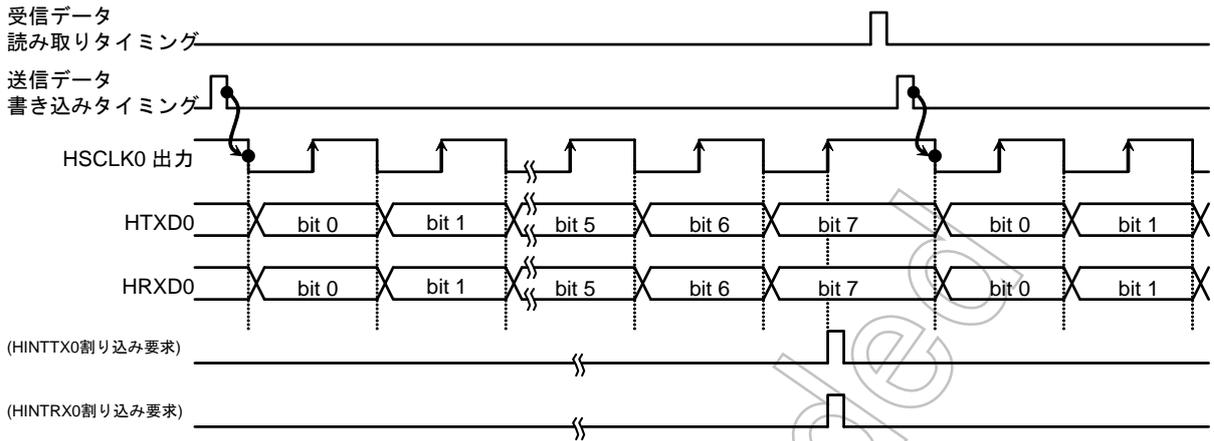
シリアルモードコントロールレジスタ 1 (HSCOMOD1) のビット 6 (FDPX0) に "1" をセットすることにより全二重モードでの通信が可能になります。

HSCLK 出力モード

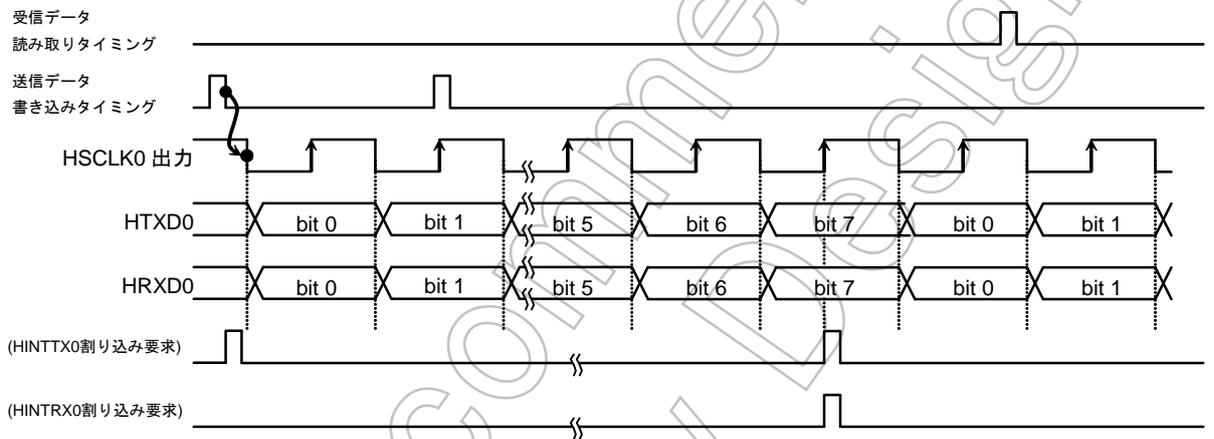
HSCLK 出力モードでは HSCOMOD2<WBUF>="0" で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (HINTRX0) が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、HTXD0 端子より出力され、全てのデータが送信されると送信割り込み (HINTTX0) が発生します。この状態で HSCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

HSCOMOD2<WBUF>="1" で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (HINTRX0) が発生します。8 ビットデータの受信と並行して 8 ビットデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (HSCOMOD2<TBEMP>="1") または受信バッファ 2 にデータが存在している (HSCOMOD2<RBFULL>="1") 場合は HSCLK 出力が停止します。その後は受信データの読み出しと、送信データ書き込みの両方の条件が成立すると再度 HSCLK の出力が開始されて次の送受信が始まります。

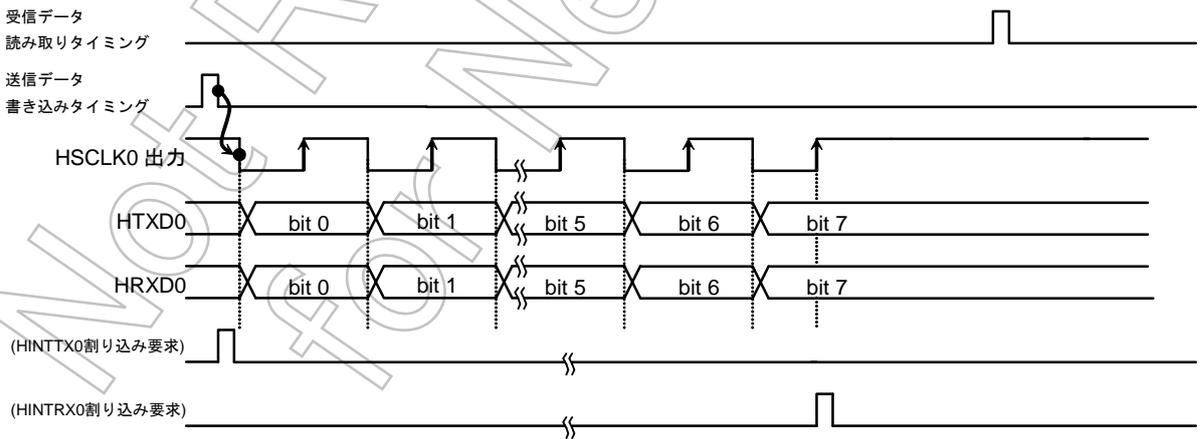
Not Recommended for New Design



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合



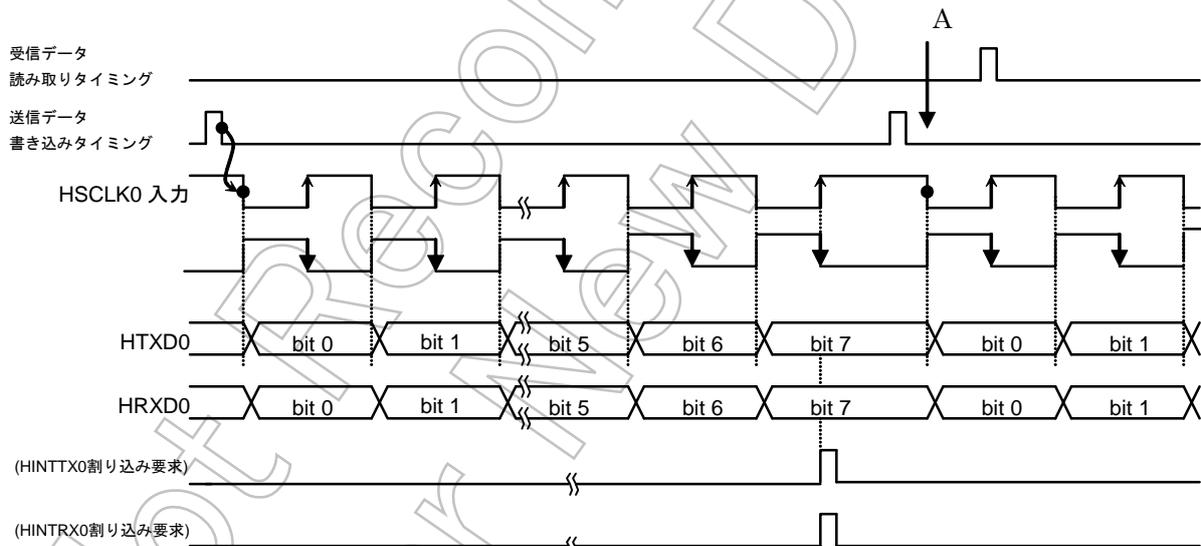
<WBUF>=" 1" (ダブルバッファ許可) の場合

図 14-25 I/O インターフェースモード送受信動作 (HSCLK0 出力モード)

HSCLK 入力モード

HSCLK 入力モードでは HSCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可（受信は設定に関わらずダブルバッファ有効）の場合は、送信バッファにデータが書き込まれている状態で HSCLK 入力アクティブになると、8 ビットのデータが HTXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み（HINTTX0）が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み（HINTRX0）が発生します。次のフレームの HSCLK が入力される前に送信データを送信バッファへ書き込む様にしてください（A 点までに書き込んでください）。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

HSCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み（HINTRX0）が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み（HINTRX0）が発生します。続けて次のフレームの HSCLK が入力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、並行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの HSCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



<WBUF>=" 0"（ダブルバッファ不許可）の場合

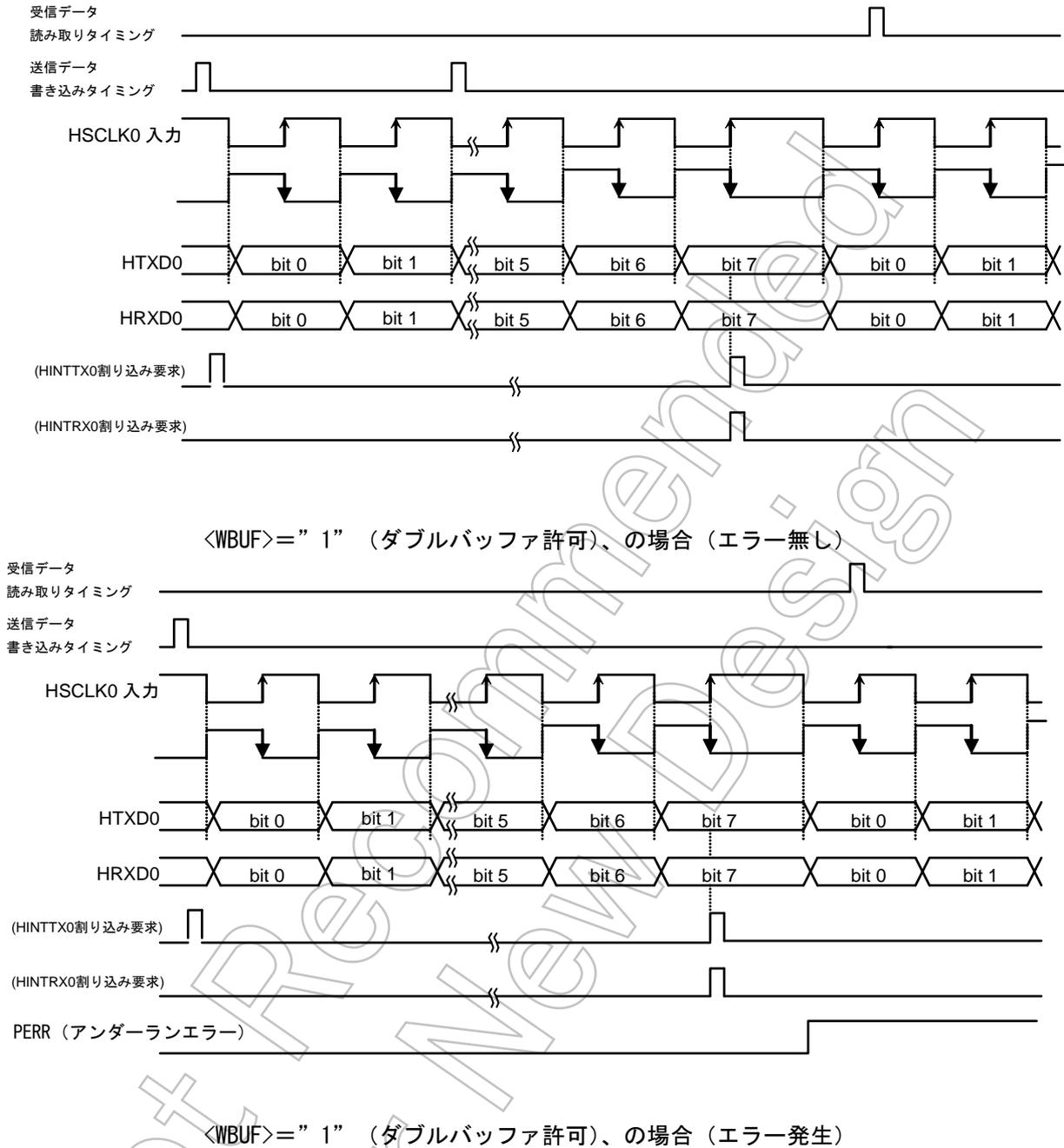


図 14-26 I/O インターフェースモード送受信動作 (HSCLK0 入力モード)

14.3.2 モード1 (7ビットUARTモード)

シリアルモードコントロールレジスタ (HSCOMOD <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (HSCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、HSCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

14.3.3 モード2 (8ビットUARTモード)

HSCOMOD0 <SM1 : 0> を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で HSCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、HSCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

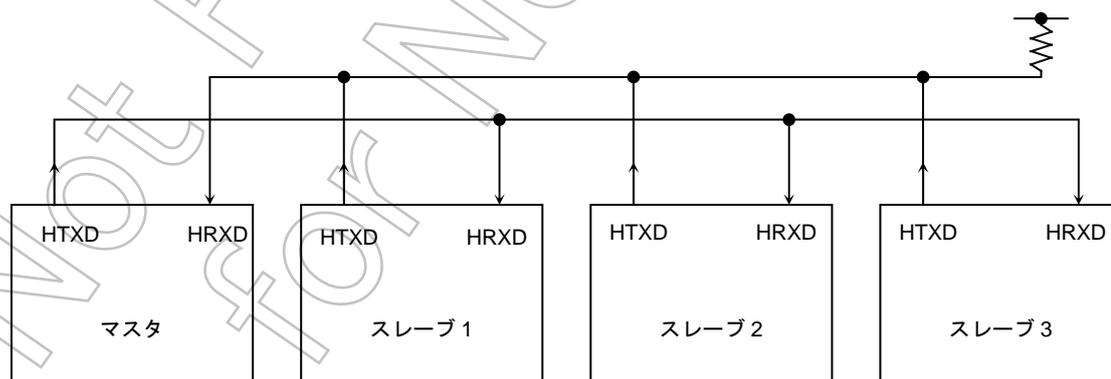
14.3.4 モード3 (9ビットUART)

HSCOMOD0 <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (HSCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (HSCOMOD0) の ビット 7<TB8> に書き込み、受信の場合シリアルモードコントロールレジスタ HSCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先にを行い、HSCOBUF の方を後にします。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット HSCOMOD0<WU>を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、HSCOCR<RB8>= “1” のときのみ割り込み (HINTRX0) が発生します。



(注) スレーブコントローラの HTXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 14-27 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはHSCOMOD <WU> を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8) <TB8> は“1”にします。

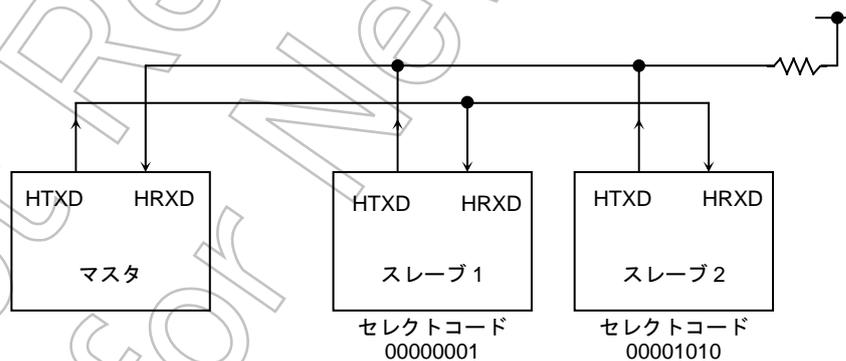


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(HSCOMOD <WU> = “0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8) <TB8> は“0”にします。



- ⑥ <WU> = “1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の <RB8> が“0”であるため、割り込み(HINTRX0)が発生せず、受信データを無視します。また、<WU> = “0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



15. シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 2 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、チャンネル 0 では PA0 (SDA0), PA1 (SCL0)、チャンネル 1 では PA4 (SDA1), PA5 (SCL1) を通して、外部デバイスと接続されます。

クロック同期式 8 ビット SIO のときには、チャンネル 0 では PA2 (SCK0), PA0 (S00), PA1 (S10)、チャンネル 1 では PA6 (SCLK1), PA4 (S01), PA5 (S11) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

		オープンドレイン 出力設定	ポートコントロールレジスタ 設定	ポートファンクションレジスタ 設定
チャンネル 0	I ² C バスモード	PAOD<1:0> = 11	PACR<2:0> = x11	PAFC1<2:0> = 011
	クロック同期式 SIO モード	PAOD<1:0> = xx	PACR<2:0> = 101 (クロック出力) PACR<2:0> = 001 (クロック入力)	PAFC1<2:0> = 111
チャンネル 1	I ² C バスモード	常時オープンドレイン 出力 (注 2)	PACR<6:4> = x11	PAFC1<6:4> = 011
	クロック同期式 SIO モード	常時オープンドレイン 出力 (注 2)	PACR<6:4> = 101 (クロック出力) PACR<6:4> = 001 (クロック入力)	PAFC1<6:4> = 111

(注 1) X: Don't care

(注 2) 外部にプルアップ抵抗が必要となります。

15.1 構成

構成を図 15-1 に示します。

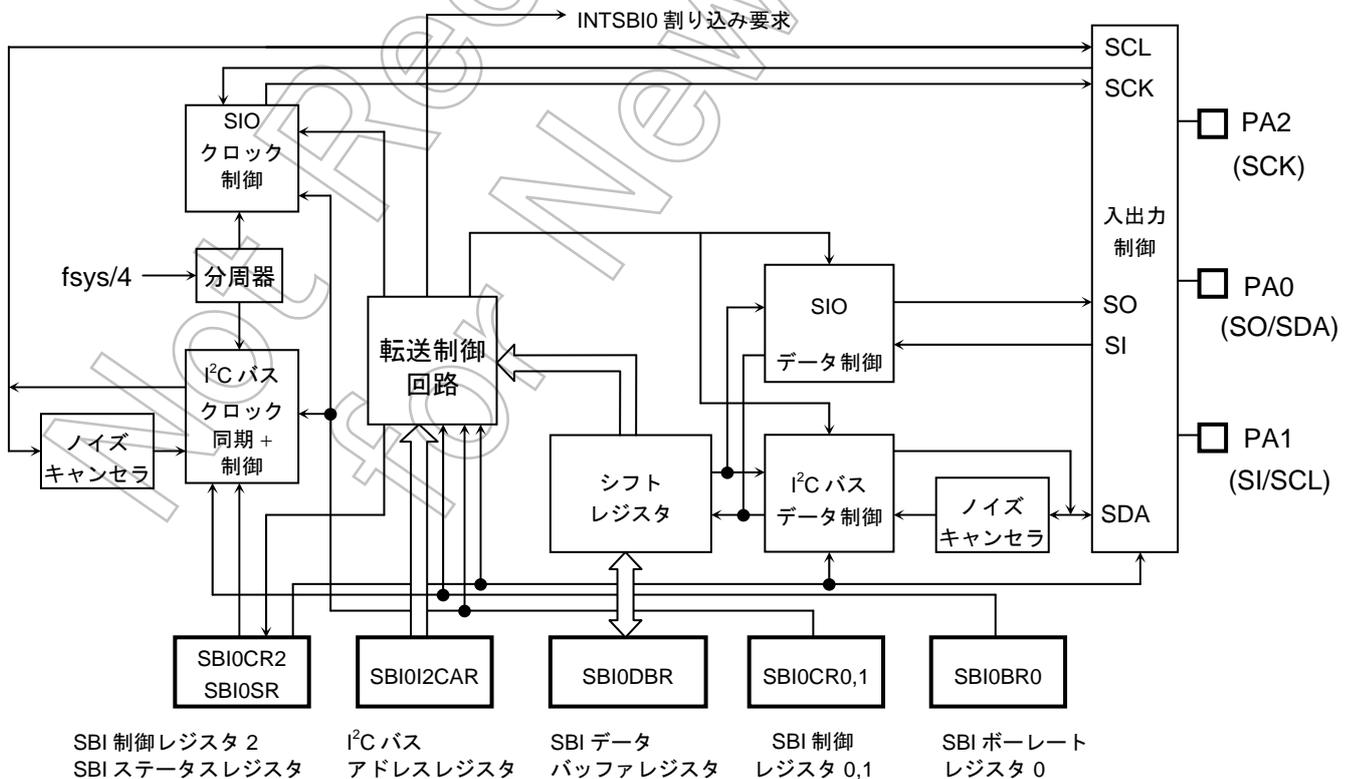


図 15-1 SBI0 のブロック図 (SBI1 も同様)

15.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

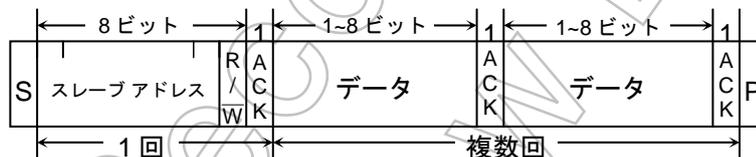
- シリアルバスインタフェース制御レジスタ 0 (SB10CR0, SB11CR0)
- シリアルバスインタフェース制御レジスタ 1 (SB10CR1, SB11CR1)
- シリアルバスインタフェース制御レジスタ 2 (SB10CR2, SB11CR2)
- シリアルバスインタフェースバッファレジスタ (SB10DBR, SB11DBR)
- I²C バスアドレスレジスタ (SB10I2CAR, SB11I2CAR)
- シリアルバスインタフェースステータスレジスタ (SB10SR, SB11SR)
- シリアルバスインタフェースポーレートレジスタ 0 (SB10BR0, SB11BR0)

上記レジスタは使用するモードによって、機能が異なります。詳細は「15.5 I²C バスモード時の制御」および「15.7 クロック同期式 8 ビット SIO モード時の制御」を参照してください。

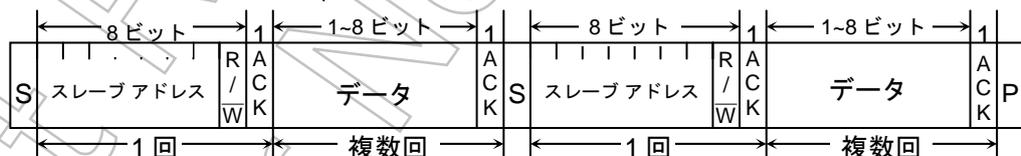
15.3 I²C バスモード時のデータフォーマット

I²C バスモード時のデータフォーマットを図 15-2 に示します。

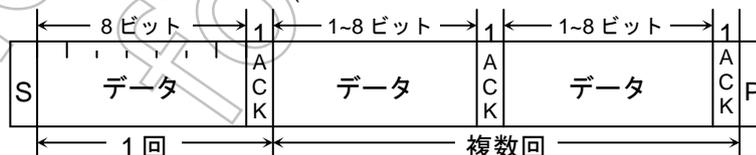
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送す)



- 注) S: スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 15-2 I²C バスモード時のデータフォーマット

15.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御、および、動作状態のモニタは以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

		7	6	5	4	3	2	1	0
SBIxCR0 (0xFFFF_F607) (0xFFFF_F617)	bit Symbol	SBIEN							
	Read/Write	R/W		R					
	リセット後	0		0					
	機能	SBI 動作 0: 禁止 1: 許可		リードすると"0"が読めます					

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 ("1") にしてください。

図 15-3 シリアルバスインタフェース制御レジスタ 0

シリアルバスインタフェース制御レジスタ 1

SBIxCR1
(0xFFFF_F600)
(0xFFFF_F610)

	7	6	5	4	3	2	1	0
bit Symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	R/W			R/W	R	R/W		R/W
リセット後	0	0	0	0	1	0	0	1
機能	転送ビット数の選択 (注1)			アックノリジ メント クロック 0: 発生 しない 1: 発生 する	リードす ると”1” が読めま す	内部 SCL 出カクロックの 周波数選択 (注2) とリセット モニタ		

内部 SCL 出カクロックの周波数選択 <SCK2 : 0> @ライト

000	n=5	265 kHz	システムクロック: fsys (=54 MHz) クロックギア : fc/1 周波数 = $\frac{fsys/2}{2^n + 70}$ [Hz]
001	n=6	201 kHz	
010	n=7	136 kHz	
011	n=8	83 kHz	
100	n=9	46 kHz	
101	n=10	25 kHz	
110	n=11	13 kHz	
111		reserved	

内部 SCL 出カクロックの周波数選択 <SCK2 : 0> @ライト

000	n=5	196 kHz	システムクロック: fsys (=40 MHz) クロックギア : fc/1 周波数 = $\frac{fsys/2}{2^n + 70}$ [Hz]
001	n=6	149 kHz	
010	n=7	101 kHz	
011	n=8	61 kHz	
100	n=9	34 kHz	
101	n=10	18 kHz	
110	n=11	9 kHz	
111		reserved	

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	ソフトウェアリセット解除中

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

(注1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を“000”にクリアしてください。

(注2) SCL ラインクロックの周波数については、「15.7.1 シリアルクロック」を参照してください。

(注3) <SCK0/SWRMON>ビットは、リセット後“1”が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は“0”になります。

図 15-4 シリアルバスインタフェース制御レジスタ 1

シリアルバスインタフェース制御レジスタ 2

SBIxCR2
(0xFFFF_F603)
(0xFFFF_F613)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/スレーブの選択 0: スレーブ 1: マスタ	送信/受信の選択 0: 受信 1: 送信	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生	INTSBI0 割り込み要求解除 0: - 1: 割り込み要求の解除	シリアルバスインタフェースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (予約)		ソフトウェアリセットの発生 最初に "10"、次に "01" をライとすると、リセットが発生します。	

→ シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(予約)

- (注 1) このレジスタをリードすると、SBISR レジスタとして機能します。
- (注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が "H" になっていることを確認してから行ってください。
- (注 3) モードの切替えはシリアル転送が終了していることを確認してから行ってください。
- (注 4) ソフトウェアリセットを掛けた場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

図 15-5 シリアルバスインタフェース制御レジスタ 2

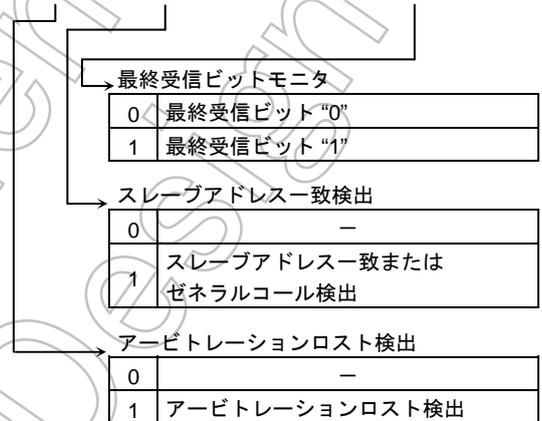
表 15-1 ベースクロック 分解能

クロックギア値 <GEAR1:0>	ベースクロック分解能 (fsys = 54 MHz)	ベースクロック分解能 (fsys = 40 MHz)
00 (fc)	fsys/2 ² (0.07 μs)	fsys/2 ² (0.1 μs)
01 (fc/2)	fsys/2 ³ (0.15 μs)	fsys/2 ³ (0.2 μs)
10 (fc/4)	fsys/2 ⁴ (0.30 μs)	fsys/2 ⁴ (0.4 μs)
11 (fc/8)	fsys/2 ⁵ (0.59 μs)	fsys/2 ⁵ (0.8 μs)

シリアルバスインタフェースステータスレジスタ

SBIxSR
(0xFFFF_F603)
(0xFFFF_F613)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブ 選択 モニター 0:スレーブ 1:マスタ	送信/受信 選択 モニター 0:受信 1:送信	I ² Cバス 状態 モニター 0:バス フリー 1:バス ビジー	INTSBIO 割り込み 要求 モニター 0:割り込み 要求発生 状態 1:割り込み 要求解除 状態	アービット レーション ロスト検出 0: - 1:検出	スレーブ アドレス 一致検出 0: - 1:検出	ゼネラル コール検 出 0: - 1:検出	最終受信 ビット モニター 0: "0" 1: "1"



(注) このレジスタをライトすると、SBIxCR2として機能します。

図 15-6 シリアルバスインタフェースステータスレジスタ

シリアルバスインタフェースポーレートレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	I2SBI0							
Read/Write	R	R/W	R					R/W
リセット後	1	0	1					0
機能	リードすると"1"が読めます	IDLE 0: 停止 1: 動作	リードすると"1"が読めます					必ず"0"をライトしてください。(注)

→ IDLE 時の動作

0	停止
1	動作

(注) SIO モード時は"1"がリードされます。

シリアルバスインタフェースデータバッファレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	0							

(注) 送信データを書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

I²C バスアドレスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識モードの指定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

(注) I²C バスアドレスレジスタ I2CAR のビット 0<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。
 "1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

図 15-7 I²C バスモード関係のレジスタ

15.5 I²Cバスモード時の制御

15.5.1 アクノリッジメントモードの指定

SB1xCR1 <ACK> を “1” にセットしておくくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

15.5.2 転送ビット数の選択

SB1xCR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にされるため、スレーブアドレス、方向ビットの転送はかならず 8 ビットで行われます。それ以外のときは <BC2:0> は一度設定された値を保持します。

15.5.3 シリアルクロック

① クロックソース

SB1xCR1 <SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

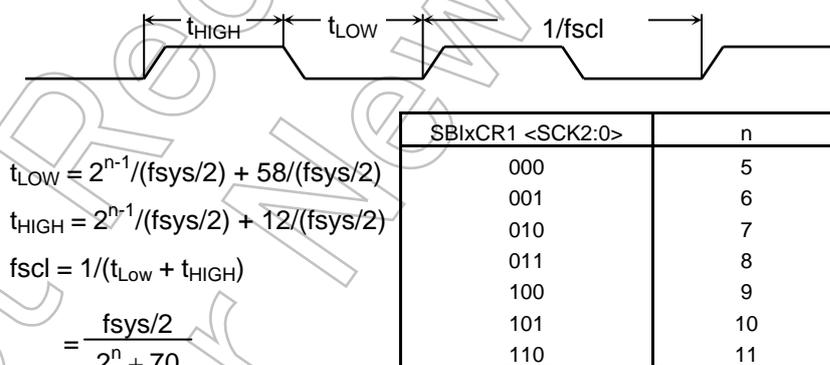


図 15-8 クロックソース

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意ください。

② クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

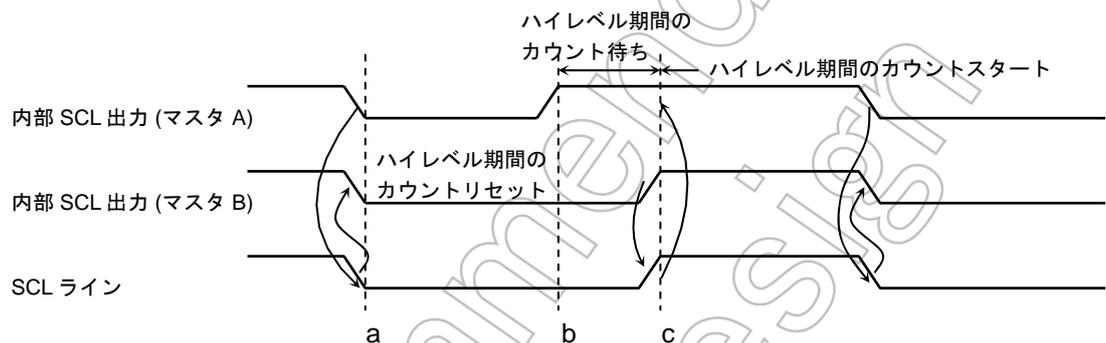


図 15-9 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い“L”レベル期間をもつマスタによって決定されます。

15.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、SB1xI2CAR にスレーブアドレス〈SA6 : 0〉と〈ALS〉を設定します。〈ALS〉に“0”を設定すると、アドレス認識モードになります。

15.5.5 マスタ/スレーブの選択

SB1xCR2〈MST〉を“1”に設定すると、マスタデバイスとして動作します。

〈MST〉を“0”に設定すると、スレーブデバイスとして動作します。〈MST〉はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にされます。

15.5.6 トランスミッタ/レシーバの選択

SBIxCR2 <TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0”)

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ \bar{W}) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にされます。

15.5.7 スタート/ストップコンディションの発生

SBIxSR<BB> が “0” のときに、SBIxCR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。



図 15-10 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

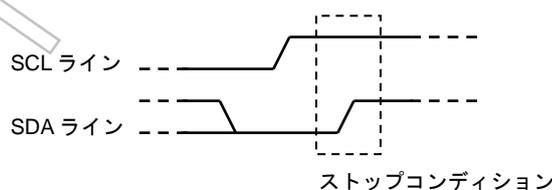


図 15-11 ストップコンディションの発生

また、SBIxSR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にされます (バスフリー状態)。

15.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBIO, INTSBI1) が発生すると、SB1xCR2 <PIN> が “0” にされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きま

す。
<PIN> は1ワードの送信または受信が終了すると “0” にされ、SB1xDBR にデータを書き込むか、SB1xDBR からデータを読み出すと “1” にセットされます。<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の8ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にされます。プログラムで SB1xCR2 <PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

15.5.9 シリアルバスインタフェースの動作モード

SB1xCR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するとき、<SBIM1:0> を “10” に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

15.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1つのバス上で同時に2つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが1ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は2ワード目以降も継続されます。

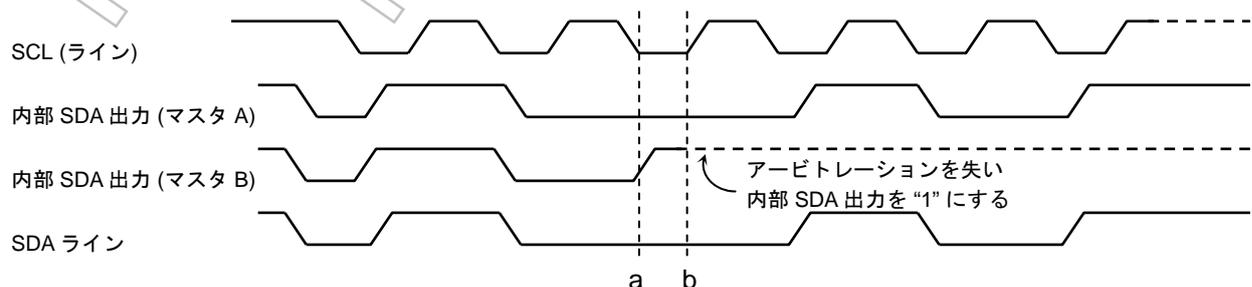


図 15-12 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBI0SR <AL> が “1” にセットされます。

<AL> が “1” にセットされると SBI1SR <MST, TRX> は “0” にされ、スレーブレシーバモードになります。<AL> は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと “0” にされます。

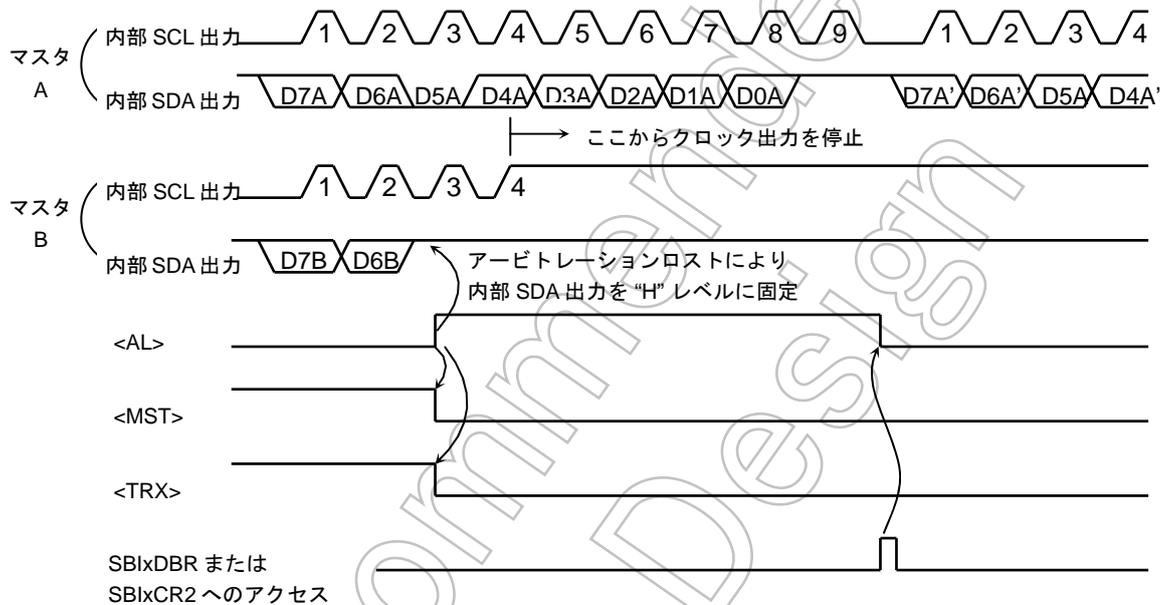


図 15-13 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

15.5.11 スレーブアドレス一致検出モニタ

SBIxSR <AAS> は、スレーブモード時、アドレス認識モード (SBIxI2CAR <ALS> = “0”) のとき、ゼネラルコールまたは SBIxI2CAR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと “0” にされます。

15.5.12 ゼネラルコール検出モニタ

SBIxSR <ADO> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にされます。

15.5.13 最終受信ビットモニタ

SBIxSR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBIx 割り込み要求発生直後に SBIxSR <LRB> を読み出すと、ACK 信号が読み出されます。

15.5.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIxCR2 <SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

(注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²C モードから PORT モードになります。

15.5.15 シリアルバスインタフェースデータバッファレジスタ (SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

15.5.16 I²C BUS アドレスレジスタ (SBIxI2CAR)

SBIxI2CAR <SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、SBIxI2CAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

15.5.17 IDLE 設定レジスタ (SBIxBR0)

SBIxBR0 <I2SBI> は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

15.6 I²C バスモード時のデータ転送手順

15.6.1 デバイスの初期化

最初に SBIxCR1<ACK, SCK2:0> を設定します。SBIxCR1 のビット 7 ~ 5, 3 には、“0” を書き込んでください。

次に SBIxI2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBIxCR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	0	X	0	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	←	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

(注) X: Don't care

15.6.2 スタートコンディション、スレーブアドレスの発生

① マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBIxCR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBIxCR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がり、INTSBIX 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIX 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
Reg.	←	SBIxSR							バスがフリー状態になるまで確認します。
Reg.	←	Reg. e 0x20							
if Reg.	≠	0x00							
Then									
SBIxCR1	←	X	X	X	1	0	X	X	アクノリッジメントモードに設定します。
SBIxDR1	←	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2	←	1	1	1	1	1	0	0	スタートコンディションの発生を行います。

INTSBIX 割り込みルーチンでの処理例

INTCLR	←	0x78	割り込み要求をクリアします。
処理			
割り込み終了			

② スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBIxI2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がり、INTSBIX 割り込み要求が発生し、 $\langle \text{PIN} \rangle = “0”$ にされます。スレーブモード時は、 $\langle \text{PIN} \rangle = “0”$ の間 SCL ラインを “L” レベルにひきます。

(注) DMA 転送を使用する場合は

- ・マスタスレーブが 1 対 1
- ・送信または受信が連続して可能のときにのみ可能です。

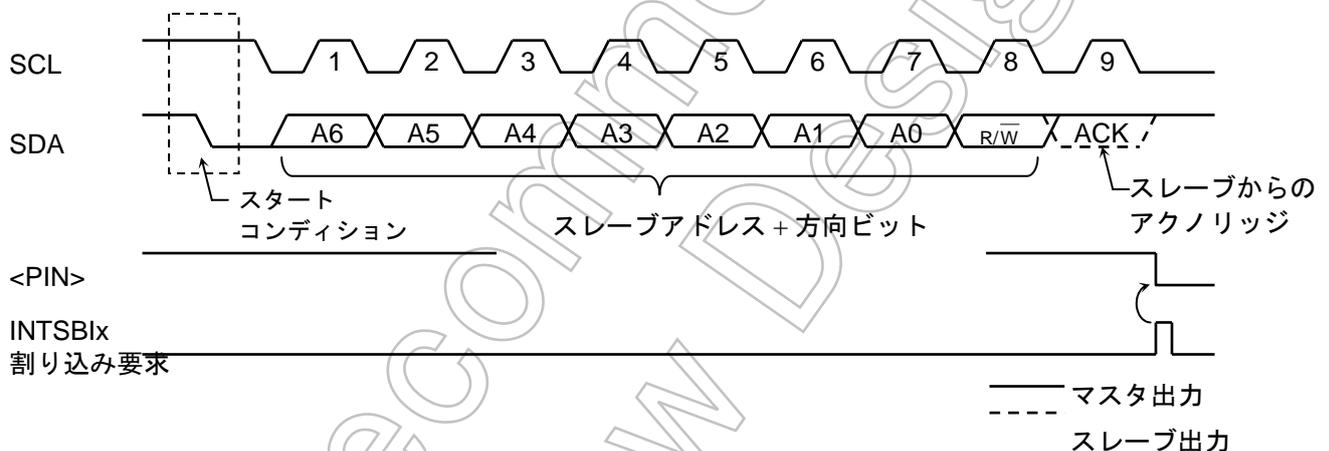


図 15-14 スタートコンディションとスレーブアドレスの発生

15.6.3 1ワードのデータ転送

1ワード転送終了の INTSBIX 割り込みの処理で $\langle \text{MST} \rangle$ をテストし、マスタモード/スレーブモードの判断をします。

① マスタモードの場合 ($\langle \text{MST} \rangle = “1”$)

$\langle \text{TRX} \rangle$ をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 ($\langle \text{TRX} \rangle = “1”$)

$\langle \text{LRB} \rangle$ をテストします。 $\langle \text{LRB} \rangle$ が “1” のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

$\langle \text{LRB} \rangle$ が “0” のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIxDBR に転送データを書き込みます。8 ビット以外のときは $\langle \text{BC2:0} \rangle$ 、 $\langle \text{ACK} \rangle$ を設定し、転送データを SBIxDBR に書き込みます。データを書き込むと $\langle \text{PIN} \rangle$ が “1” になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSBIX 割り込み要求が発生し、 $\langle \text{PIN} \rangle$ が “0” になり SCL 端子を “L” レベ

ルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTSBIX 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBIXCR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIXDBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don't care
    
```

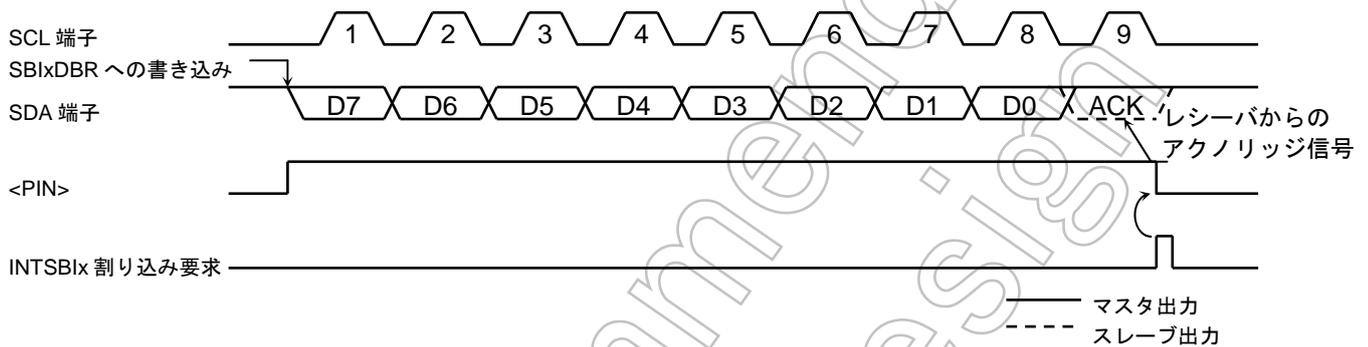


図 15-15 <BC2:0> = “000”, <ACK> = “1” の場合 (トランスミッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が8ビットのときは SBIXDBR に転送データを書き込みます。8ビット以外のときは <BC2:0>、<ACK> を設定し、SCL ラインを解放するために SBIXDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は “1” になり、次の1ワードデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の “L” レベルのタイミングで “0” を SDA 端子に出力します。

その後、INTSBIX 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBIXDBR から受信データを読み出すたびに1ワードの転送クロックとアクノリッジを出力します。

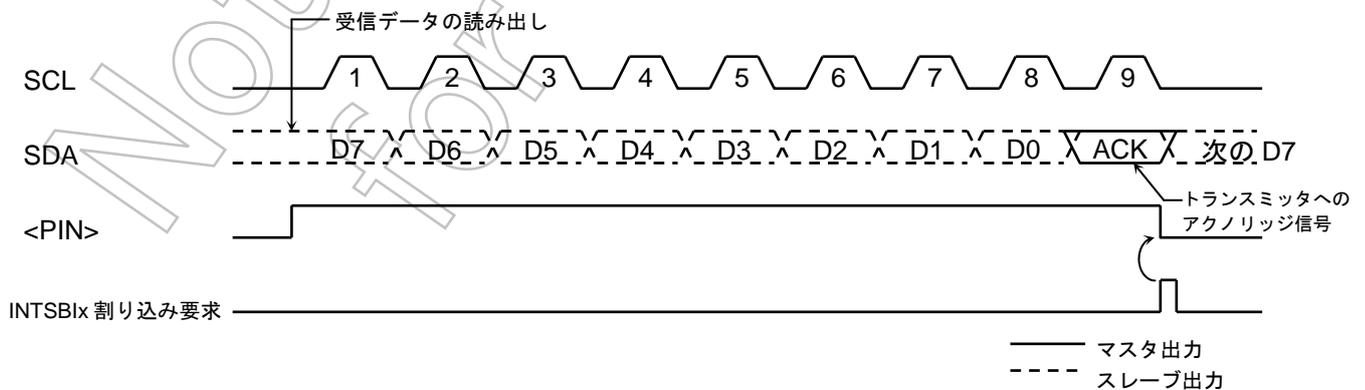


図 15-16 <BC2:0>= “000”, <ACK>= “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に <ACK> を “0” にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

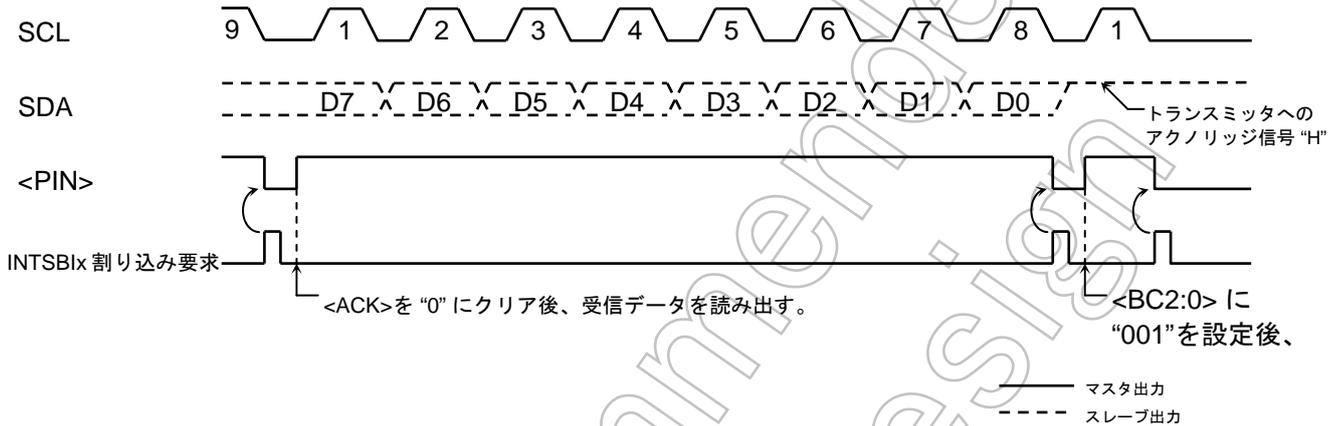


図 15-17 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTSBIx 割り込み (データ送信後)

7 6 5 4 3 2 1 0
 SBIxCR1 ← X X X X 0 X X X
 Reg. ← SBIxDBR
 割り込み終了

受信データのビット数および ACK を設定します。
 ダミーデータを取り込みます。

INTSBIx 割り込み (データ受信 1~ (N-2) 回目)

7 6 5 4 3 2 1 0
 Reg. ← SBIxDBR
 割り込み終了

1~ (N-2) 回目のデータを取り込みます。

INTSBIx 割り込み (データ受信 (N-1) 回目)

7 6 5 4 3 2 1 0
 SBIxCR1 ← X X X 0 0 X X X
 Reg. ← SBIxDBR
 割り込み終了

アクノリッジ信号のクロックを発生しないようにします。
 (N-1) 回目のデータを取り込みます。

INTSBIx 割り込み (データ受信 N 回目)

7 6 5 4 3 2 1 0
 SBIxCR1 ← 0 0 1 0 0 X X X
 Reg. ← SBIxDBR
 割り込み終了

1ビット転送のためのクロックを発生します。
 N 回目のデータを取り込みます。

INTSBIx 割り込み (データ受信後)

ストップコンディションを発生する処理
 割り込み終了

データ転送を終了させます。

(注) X: Don't care

② スレーブモードの場合 (〈MST〉 = “0”)

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBIx 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIx 割り込み要求が発生しません。INTSBIx 割り込み要求が発生すると〈PIN〉が“0”にされ、SCL 端子を“L”レベルに引きます。SBIxDBR にデータを書き込む、SBIxDBR からデータを読み出す、または〈PIN〉に“1”を設定すると SCL 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBIxSR 〈AL〉、〈TRX〉、〈AAS〉、〈ADO〉 をテストし、場合分けを行います。表 15-2 にスレーブモード時の状態と必要な処理を示します。

例：スレーブマスターモード時スレーブアドレスが一致し、方向ビットが“1”の場合

INTSBIx 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBIxCR1 ← X X X 1 0 X X X      送信ビット数を設定します。
SBIxDBR ← X X X X 0 X X X      送信データをセットします。

```

(注) X: Don't care

表 15-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状 態	処 理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBIXDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN> を “1” にセットするために SBIXDBR を読み出します。(ダミー読み出し) または <PIN> に “1” を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1 ワードのビット数を <BC2:0> にセットし、受信データを SBIXDBR から読み出します。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	

15.6.4 ストップコンディションの発生

SBIxSR <BB> = “1” のときに、SBIxCR2 <MST, TRX, PIN> に “1”、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えしないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

7 6 5 4 3 2 1 0
SBIxCR2 ← 1 1 0 1 1 0 0 0 ストップコンディションを発生させます。

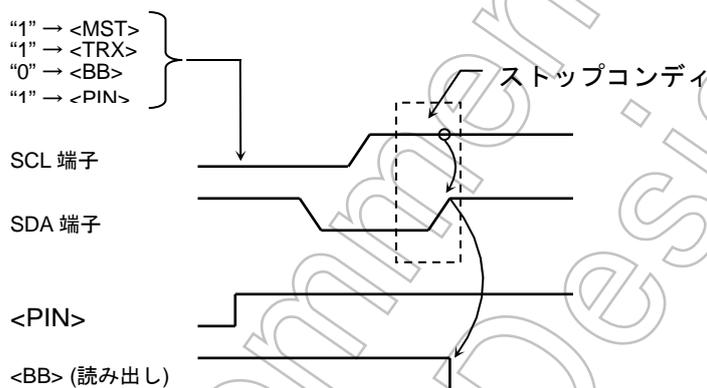


図 15-18 ストップコンディションの発生

15.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIxCR2 <MST, TRX, BB> に “0”、<PIN> に “1” を書き込み、バスを開放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR <BB> をテストして “0” になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして “1” になるまで待ち、他のデバイスがバスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後、前記 (2) の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7μs（標準モード時）のソフトウェアによる待ち時間が必要です。

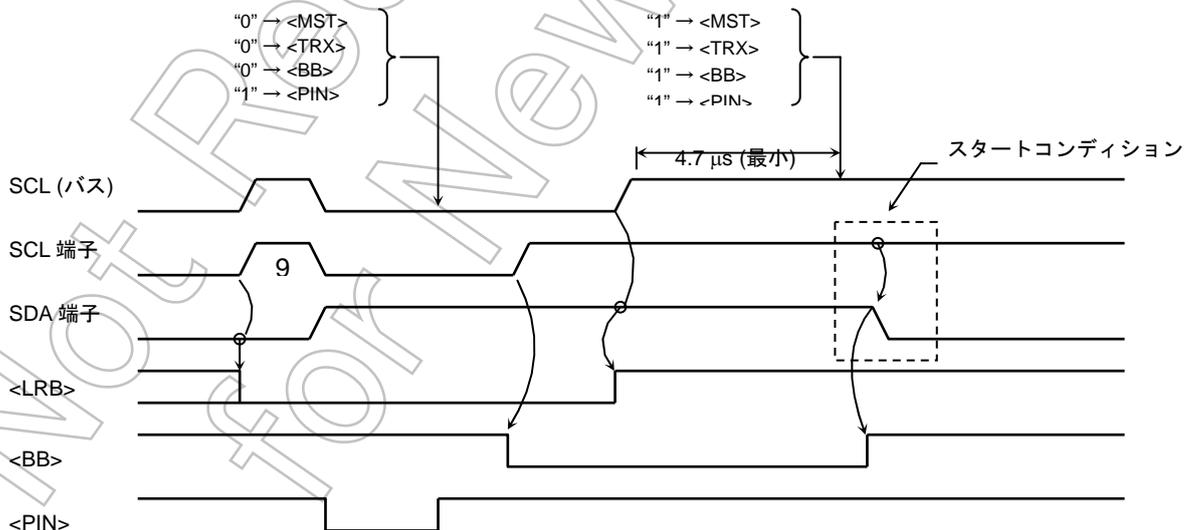
```

┌─── 7 6 5 4 3 2 1 0
└── SBIxCR2 ← 0 0 0 1 1 0 0 0
┌── if SBIxSR<BB> ≠ 0
└── Then
    ┌── if SBIxSR<LRB> ≠ 1
    └── Then
        4.7 μs Wait
        SBIxCR1 ← X X X 1 0 X X X
        SBIxDBR ← X X X X X X X X
        SBIxCR2 ← 1 1 1 1 1 0 0 0

```

(注) X: Don' t care

バスを解放します。
SCL 端子の解放を確認します。
他のデバイスの SCL 端子 “L” レベルの確認を行います。
アクノリッジメントモードに設定します。
目的のスレーブのスレーブアドレスと方向をセットします。
スタートコンディションの発生を行います。



(注) <MST>=" 0" の状態の時に<MST>=" 0" をライトしないでください (再スタートできません)。

図 15-19 再スタートを発生する場合のタイミングチャート

15.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

SBIxCR0
(0xFFFF_F607)
(0xFFFF_F617)

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W	R						
リセット後	0	0						
機能	SBI 動作 0: 禁止 1: 許可	リードすると"0"が読めます						

<SBIEN> : SBIを使用する場合は、SBIモジュールの各レジスタを設定する前にSBI動作許可("1")にしてください。

シリアルバスインタフェース制御レジスタ 1

SBIxCR1
(0xFFFF_F600)
(0xFFFF_F610)

	7	6	5	4	3	2	1	0
bit Symbol	SIOS	SIOINH	SIOM1	SIOMO		SCK2	SCK1	SCK0
Read/Write	W				R	W		R/W
リセット後	0	0	0	0	1	0	0	1
機能	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (予約) 10: 送受信モード 11: 受信モード		リードす ると"1"が 読めます	シリアルクロック周波数の選択		

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 3	1.69 MHz	$\left. \begin{array}{l} \text{システムクロック : } f_{\text{sys}} \\ \text{クロックギア : } f_c/1 \\ \text{周波数} = \frac{f_{\text{sys}}/4}{2^n} \text{ [Hz]} \end{array} \right\}$
001	n = 4	844 kHz	
010	n = 5	422 kHz	
011	n = 6	211 kHz	
100	n = 7	105 kHz	
101	n = 8	53 kHz	
110	n = 9	26 kHz	
111	—	外部クロック	

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 3	1.25 MHz	$\left. \begin{array}{l} \text{システムクロック : } f_{\text{sys}} \\ \text{クロックギア : } f_c/1 \\ \text{周波数} = \frac{f_{\text{sys}}/4}{2^n} \text{ [Hz]} \end{array} \right\}$
001	n = 4	625 kHz	
010	n = 5	313 kHz	
011	n = 6	156 kHz	
100	n = 7	78 kHz	
101	n = 8	39 kHz	
110	n = 9	20 kHz	
111	—	外部クロック	

(注 1) 転送モード、シリアルクロックの設定時は、<SIOS>="0"、および、<SIOINH>="1" に設定してください。

(注 2) モード設定を行ってから、<SIOS>の設定を行ってください。

図 15-20 SIO モード関係のレジスタ

シリアルバスインタフェースデータバッファレジスタ

SBIxDBR
(0xFFFF_F601)
(0xFFFF_F611)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

シリアルバスインタフェース制御レジスタ 2

SBIxCR2
(0xFFFF_F603)
(0xFFFF_F613)

	7	6	5	4	3	2	1	0
bit Symbol					SBIM1	SBIM0		
Read/Write	R				W		R	
リセット後	1				0	0	1	
機能	リードすると"1"が読めます				シリアルバスインタフェースの動作モード選択 00: ポートモード 01: クロック同期式 8bit SIO モード 10: I ² C バスモード 11: (予約)		リードすると"1"が読めます	

シリアルバスインタフェースレジスタ

SBIxSR
(0xFFFF_F603)
(0xFFFF_F613)

	7	6	5	4	3	2	1	0
bit Symbol					SIOF	SEF		
Read/Write	R				R		R	
リセット後	1				0	0	1	
機能	リードすると"1"が読めます				シリアル転送動作状態モニタ 0: 転送終了 1: 転送中	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中	リードすると"1"が読めます	

シリアルバスインタフェースポーレートレジスタ 0

SBIxBR0
(0xFFFF_F604)
(0xFFFF_F614)

	7	6	5	4	3	2	1	0
bit Symbol	I2SBI							
Read/Write	R	R/W	R					W
リセット後	1	0	1					0
機能	リードすると"1"が読めます	IDLE 0: 停止 1: 動作	リードすると"1"が読めます					必ず"0"をライトしてください。

図 15-21 SIO モード関係のレジスタ

15.7.1 シリアルクロック

① クロックソース

SBlxGR1 <SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

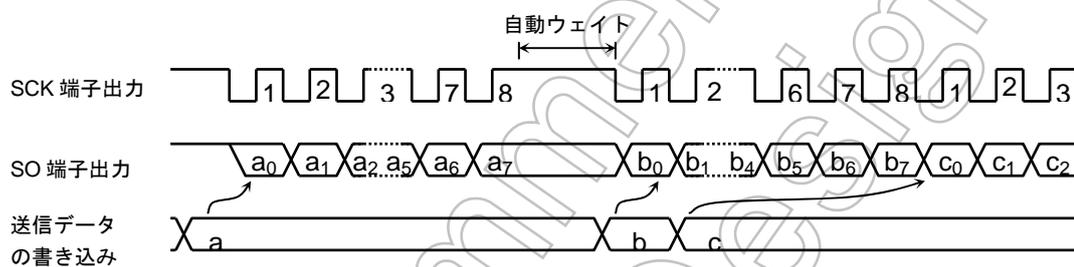


図 15-22 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は下記に示すパルス幅が必要です。

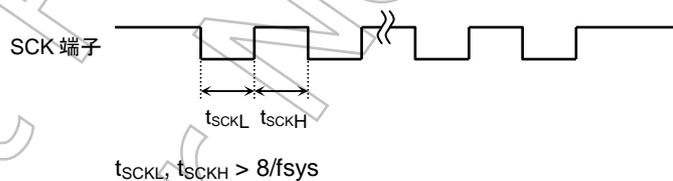


図 15-23 外部クロック入力時の最大転送周波数

② シフトエッジ

送信は前縁シフト，受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁（SCK 端子入出力の立ち下がりエッジ）でデータをシフトします。

後縁シフト

シリアルクロックの後縁（SCK 端子入出力の立ち上がりエッジ）でデータをシフトします。

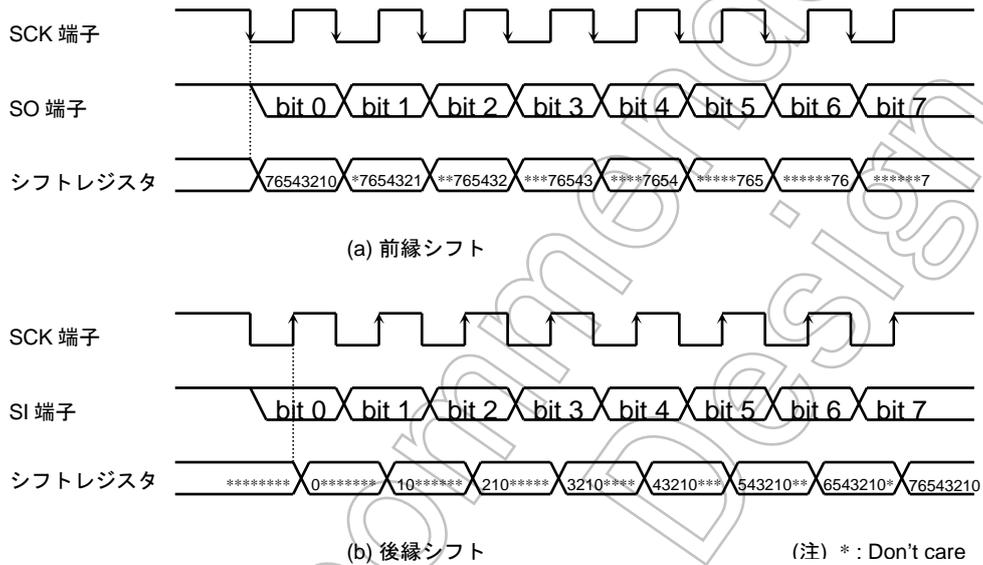


図 15-24 シフトエッジ

15.7.2 転送モード

SBIxCR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

① 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIxDBR に書き込みます。

送信データの書き込み後、SBIxCR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIxDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から S0 端子に出力されます。送信データがシフトレジスタに移されると、SBIxDBR が空になりますので、次の送信データを要求する INTSBIx (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIxDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIxDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIxSR <SIOF> が “1” となってから SCK の立ち下がりがエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIx 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIxSR <SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

	7 6 5 4 3 2 1 0	
SBIxCR1	← 0 1 0 0 0 X X X	送信モードをセットします。
SBIxDBR	← X X X X X X X X	送信データを書き込みます。
SBIxCR1	← 1 0 0 0 0 X X X	送信を開始します。

INTSBIx 割り込み

SBIxDBR	← X X X X X X X X	送信データを書き込みます。
---------	-------------------	---------------

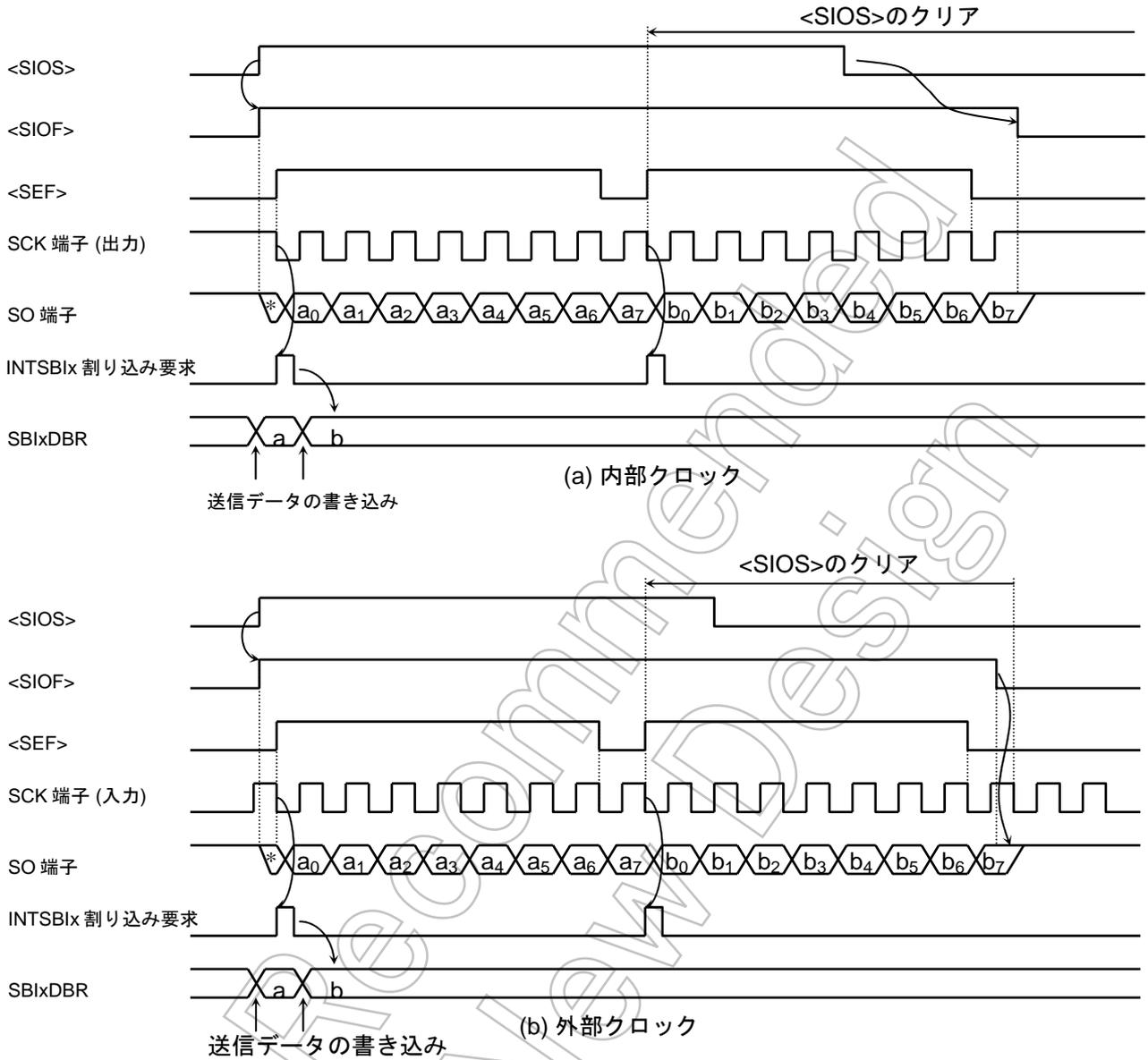


図 15-25 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合) の場合のプログラム例 (MIPS16)

```

STEST1      : ADDIU   r3, r0, 0x04
              : LB     r2, (SBIxSR)           ; If SBIxSR<SEF> = 1 then loop
              : AND    r2, r3
              : BNEZ   r2, STEST1
STEST2      : ADDIU   r3, r0, 0x04
              : LB     r2, (PA)              ; If SCK = 0 then loop
              : AND    r2, r3
              : BEQZ   r2, STEST2
              : ADDIU  r3, r0, 0y00000111
              : STB    r3, (SBIxCR1)        ; <SIOS> ← 0
    
```

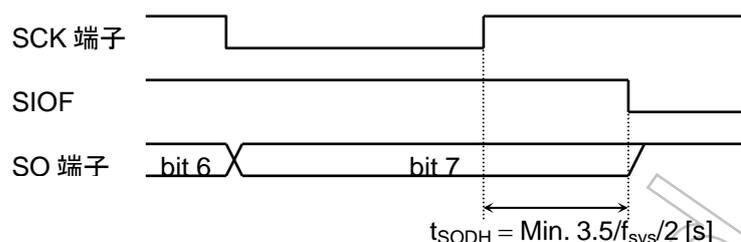


図 15-26 送信終了時の送信データ保持時間

② 8ビット受信モード

制御レジスタに受信モードをセットした後、SB1xCR1 <S10S> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタから SB1xDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSB1x (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SB1xDBR から読み出します。

内部クロック動作の場合、受信データが SB1xDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSB1x 割り込みサービスプログラムで <S10S> = “0” を書き込むか、<S10INH> = “1” を書き込みます。<S10S> がクリアされると、受信データが全ビット揃い、SB1xDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SB1SR <S10F> で行います。<S10F> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<S10INH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<S10F> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SB1xDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<S10S> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

	7 6 5 4 3 2 1 0			
SB1xCR1	← 0 1 1 1 0 X X X			受信モードをセットします。
SB1xCR1	← 1 0 1 1 0 0 0 0			受信を開始します。

INTSB1x 割り込み

Reg.	← SB1xDBR			受信データを取り込みます。
------	-----------	--	--	---------------

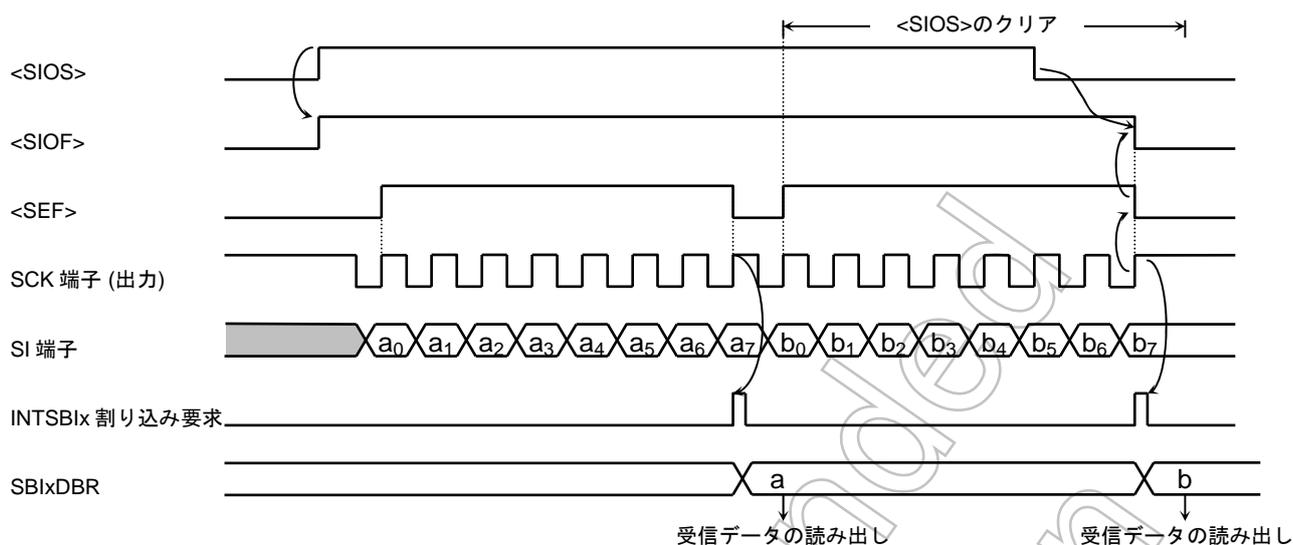


図 15-27 受信モード (例: 内部クロック)

③ 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIXDBR に書き込みます。その後、SBIXCR1 <SIOS> に “1” をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりでの送信データが S0 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIXDBR へ受信データが転送され、INTSBIX 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIXDBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIX 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBIXCR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBIXDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は送受信の終了で “0” にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は “0” にされます。

(注) 転送モードを切り替えると SBIXDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

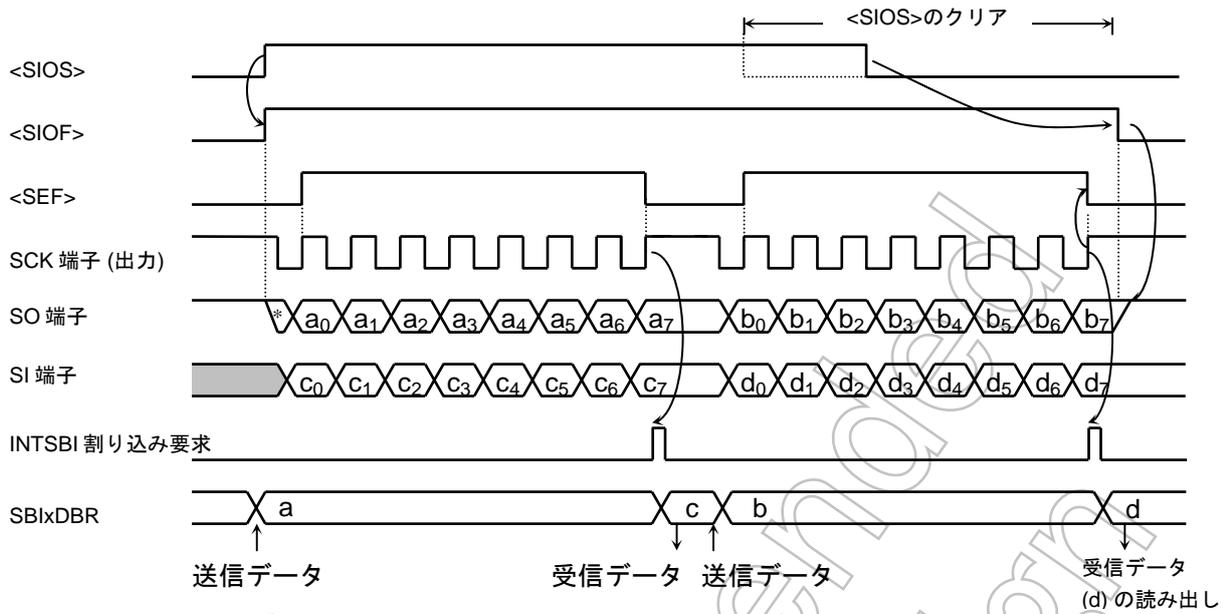


図 15-28 送受信モード (例: 内部クロック)

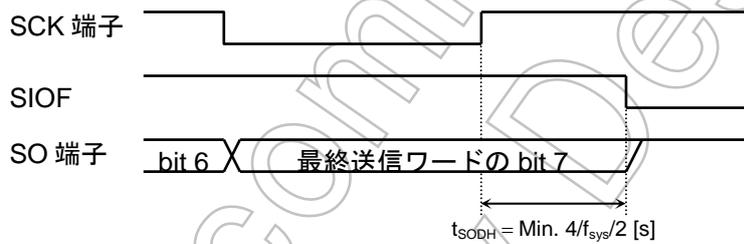


図 15-29 送受信終了時の送信データ保持時間 (送受信モード時)

	7 6 5 4 3 2 1 0	
SBIxCR1	← 0 1 1 0 0 X X X	送信モードをセットします。
SBIxDBR	← X X X X X X X X	送信データを書き込みます。
SBIxCR1	← 1 0 1 0 0 X X X	送受信を開始します。

INTSBIx 割り込み

Reg.	← SBIODBR	受信データを取り込みます。
SBIxDBR	← X X X X X X X X	送信データを書き込みます。

16. アナログ/デジタルコンバータ

TMP19A23 は、13 チャンネルのアナログ入力を持つ、10 ビット逐次変換方式アナログ/デジタルコンバータ (A/D コンバータ) を内蔵しています。

図 16-1 に、A/D コンバータのブロック図を示します。

13 チャンネルのアナログ入力端子 (ANO~AN12) は、入出力専用ポートと兼用です。

(注) IDLE、STOP モードにより電源電流を低減させる場合、以下の条件で使用される場合には、A/D コンバータの動作を停止して、スタンバイモードに遷移する命令を実行してください。

- 1) ADMOD1<I2AD>=" 0" で IDLE モードへ遷移する場合
- 2) STOP モードへ遷移する場合

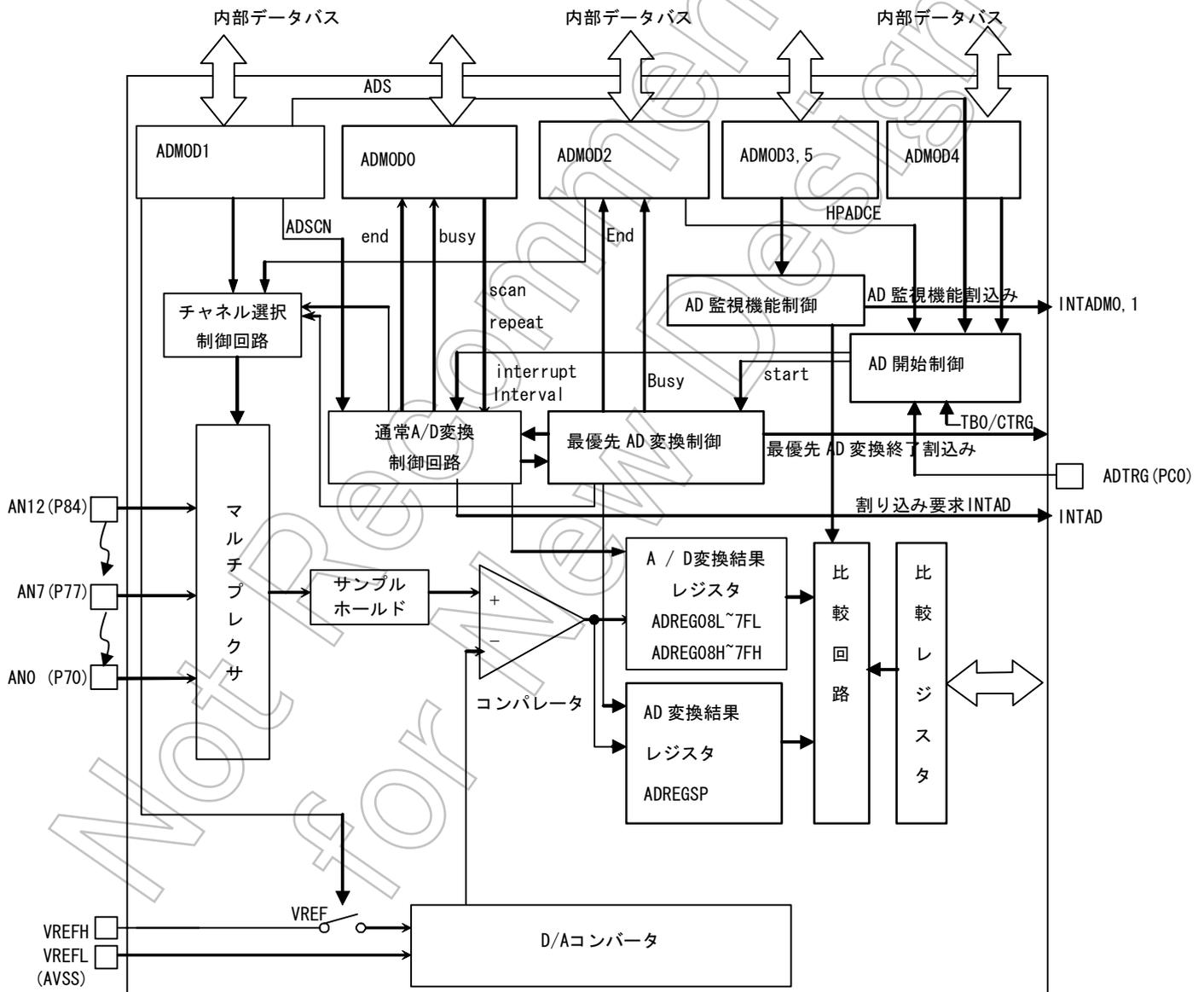


図16-1 A/D コンバータのブロック図

注) 変換精度を保証するために A/D 変換開始前に必ず下記設定を行ってください。

0xFFFF_F819 = 0x58 (~40MHz)
 0xFFFF_F819 = 0x40 (~54MHz)

ADCBAS (0xFFFF_F819)	bit Symbol								
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	1	1	1	0	0	0
	機能	“0” をラ イトして ください。	“1” をラ イトして ください。	“0” をラ イトして ください。	“1” また は “0” をラ イトして ください。	“1” また は “0” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。

16.1 コントロールレジスタ

A/D コンバータは、A/D モードコントロールレジスタ (ADMOD0、ADMOD1、ADMOD2、ADMOD3、ADMOD4、ADMOD5) により制御されています。また、A/D 変換結果は、A/D 変換結果上位/下位レジスタ ADREG08H/L、~ADREG7FH/L の 16 個のレジスタに格納されます。また、最優先変換結果は ADREGSPH/L に格納されます。

図 16-2 に A/D コンバータ関係のレジスタを示します。

A/D モードコントロールレジスタ 0

ADMOD0 (0xFFFF_F814)	bit Symbol	EOCFN	ADBFN	ITM1	ITM0	REPEAT	SCAN	ADS
	Read/Write	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0
	機能	通常 A/D 変換 終了フラグ 0: 変換前または変換中 1: 終了	通常 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中	リードすると “0” が読めます	チャンネル固 定リピー ト変換モード 時の割り込 み指定	チャンネル固 定リピー ト変換モード 時の割り込 み指定	リピー トモード指 定 0: シングル 変換モード 1: リピー ト変換モード	スキャン モード指 定 0: チャン ネル固 定モード 1: チャン ネル スキャン モード

→ チャンネル固定リピート変換モード時の A/D 変換割り込み指定

	チャンネル固定リピート変換モード <SCAN> = “0”, <REPEAT> = “1”
00	1 回変換するごとに割り込み発生
01	4 回変換するごとに割り込み発生
10	8 回変換するごとに割り込み発生
11	設定禁止

図16-2 A/D コンバータ関係のレジスタ

(注) モード設定を行ってから、<ADS>ビットの設定を行ってください。

A/D モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	VREFON	I2AD	ADSCN	—	ADCH3	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	VREF印加制御 0: OFF 1: ON	IDLE 0: 停止 1: 動作	チャネルスキャン時の動作モード設定 0: 4ch スキャン 1: 8ch スキャン	0を記入してください。	アナログ入力チャネル選択			

アナログ入力チャネル選択

<ADCH3,2, 1, 0>	<SCAN>		
	0 チャネル固定	1 チャネルスキャン (ADSCN=0)	1 チャネルスキャン (ADSCN=1)
0000	AN0	AN0	AN0
0001	AN1	AN0~AN1	AN0~AN1
0010	AN2	AN0~AN2	AN0~AN2
0011	AN3	AN0~AN3	AN0~AN3
0100	AN4	AN4	AN0~AN4
0101	AN5	AN4~AN5	AN0~AN5
0110	AN6	AN4~AN6	AN0~AN6
0111	AN7	AN4~AN7	AN0~AN7
1000	AN8	AN8	AN8
1001	AN9	AN8~AN9	AN8~AN9
1010	AN10	AN8~AN10	AN8~AN10
1011	AN11	AN8~AN11	AN8~AN11
1100	AN12	AN12	AN8~AN12
1101	設定禁止		
1110	設定禁止		
1111	設定禁止		

(注 1) AD 変換をスタートさせる場合は、かならず<VREFON>ビットに”1”を書き込んだ後、内部基準電圧が安定するまでの3 μ s 待ってから、ADMOD0<ADS>ビットに”1”を書き込んでください。

(注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>を”0”に設定してください。

図16-3 A/D モードコントロールレジスタ 1

A/D モードコントロールレジスタ 2

ADMOD2
(0xFFFF_F816)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFHP	ADBFHP	HPADCE	—	HPADCH3	HPADCH2	HPADCH1	HPADCH0
Read/Write	R	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	最優先 AD 変換終了フラグ 0 : 変換前または変換中 1 : 終了	最優先 AD 変換 BUSY フラグ 0 : 変換停止 1 : 変換中	最優先変換の起動 0 : Don't care 1 : 変換開始 読み出しは常に 0	"0"をかいてください。	最優先変換起動時のアナログ入力チャンネル選択			

<HPADCH4,3,2,1,0>	最優先変換時のアナログ入力チャンネル
0000	AN0
0001	AN1
0010	AN2
0011	AN3
0100	AN4
0101	AN5
0110	AN6
0111	AN7
1000	AN8
1001	AN9
1010	AN10
1011	AN11
1100	AN12
1101	設定禁止
1110	
1111	

図16-4 A/D モードコントロールレジスタ 2

(注) チャンネル設定を行ってから、<HPADCE>ビットの設定を行ってください。

A/D モードコントロールレジスタ 3

	7	6	5	4	3	2	1	0
bit Symbol			ADOBIC	REGS3	REGS2	REGS1	REGS0	ADOBISV
Read/Write	R/W	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	0 をライトしてください	リードすると "0" が読めます	AD 監視機能割込みの設定 0 : 比較 Regi より小 1 : 比較 Regi より大	AD 監視機能が Enable 時に比較 Regi の内容と比較される A/D 変換結果格納 Regi の選択 BIT				AD 監視機能 0 : Disable 1 : Enable

<REGS.2, 1, 0>	比較される AD 変換格納レジスタ
0000	ADREG08
0001	ADREG19
0010	ADREG2A
0011	ADREG3B
0100	ADREG4C
0101	ADREG5D
0110	ADREG6E
0111	ADREG7F
1XXX	ADREGSP

図16-5 A/D モードコントロールレジスタ 3

A/D モードコントロールレジスタ 5

	7	6	5	4	3	2	1	0
bit Symbol			ADOBIC	REGS3	REGS2	REGS1	REGS0	ADOBISV
Read/Write	R/W	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	0 をライトしてください	リードすると "0" が読めます	AD 監視機能割込みの設定 0 : 比較 Regi より小 1 : 比較 Regi より大	AD 監視機能が Enable 時に比較 Regi の内容と比較される A/D 変換結果格納 Regi の選択 BIT				AD 監視機能 0 : Disable 1 : Enable

<REGS.2, 1, 0>	比較される AD 変換格納レジスタ
0000	ADREG08
0001	ADREG19
0010	ADREG2A
0011	ADREG3B
0100	ADREG4C
0101	ADREG5D
0110	ADREG6E
0111	ADREG7F
1XXX	ADREGSP

図16-6 A/D モードコントロールレジスタ 5

A/D モードコントロールレジスタ 4

	7	6	5	4	3	2	1	0
bit Symbol	HADHS	HADHTG	ADHS	ADHTG			ADRST1	ADRST0
Read/Write	R/W				R		W	W
リセット後	0	0	0	0	0		—	—
機能	最優先 AD 変換の HW 起動ソース 0 : 外部 TRG 1 : TB2RG0 一致	最優先 AD 変換の HW 起動 0 : Disable 1 : Enable	通常 AD 変換の HW 起動ソース 0 : 外部 TRG 1 : TB1RG0 一致	通常 AD 変換の HW 起動 0 : Disable 1 : Enable	リードすると"0"が読めます		10-01 のライトで ADC を software reset する	

(注 1) 16 ビットタイマの一致トリガ<ADHTG>、<HADHTG>に"1"を設定して H/W 起動リソースによる AD 変換を行う場合、

- ① タイマ停止中に
- ② H/W のソースを選択 <ADHS>、<HADHS>
- ③ AD 変換の H/W 起動をイネーブル <ADHTG>、<HADHTG>
- ④ タイマ動作

の順に設定することにより、一定間隔での AD 起動が可能となります。

(注 2) 最優先 AD 変換、通常 AD 変換設定は同時に行わないで下さい。

(注 3) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換 HW 起動としては外部トリガを設定できません。

(注 4) ソフトウェアリセットを掛けた場合、他のビットは初期化されますので、モードレジスタの再設定が必要となります。

図16-7 A/D モードコントロールレジスタ 4

A/D 変換結果下位レジスタ 08

	7	6	5	4	3	2	1	0	
ADREG08L (0xFFFF_F800)	bit Symbol		ADR01	ADR00				OVR0	ADR0RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over RUN Flag 0:発生無し 1:発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 08

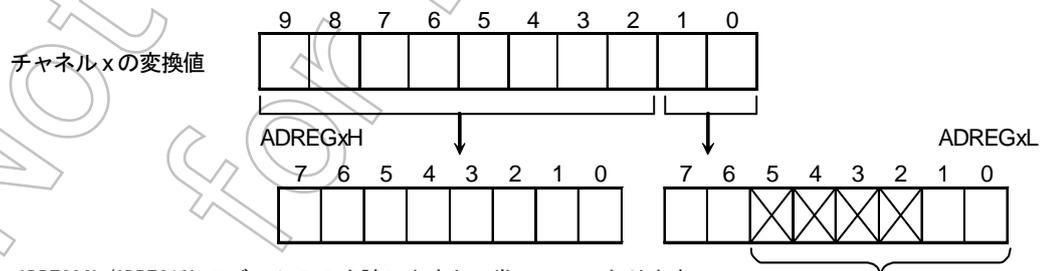
	7	6	5	4	3	2	1	0		
ADREG08H (0xFFFF_F801)	bit Symbol		ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 19

	7	6	5	4	3	2	1	0	
ADREG19L (0xFFFF_F802)	bit Symbol		ADR11	ADR10				OVR1	ADR1RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over RUN Flag 0:発生無し 1:発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 19

	7	6	5	4	3	2	1	0		
ADREG19H (0xFFFF_F803)	bit Symbol		ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							



- ADREG08L/ADREG19L のビット 5~2 を読み出すと、常に “1” になります。
- ADREG08L/ADREG19L のビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にされます。
- ADREG08L/ADREG19L のビット 1 は over RUN flag <OVRx> です。両方の変換結果格納レジスタ (ADREGxH,ADREGxL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。

図16-8 A/D コンバータ変換結果レジスタ

A/D 変換結果下位レジスタ 2A

	7	6	5	4	3	2	1	0	
ADREG2AL (0xFFFF_F804)	bit Symbol		ADR21	ADR20				OVR2	ADR2RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over RUN Flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 2A

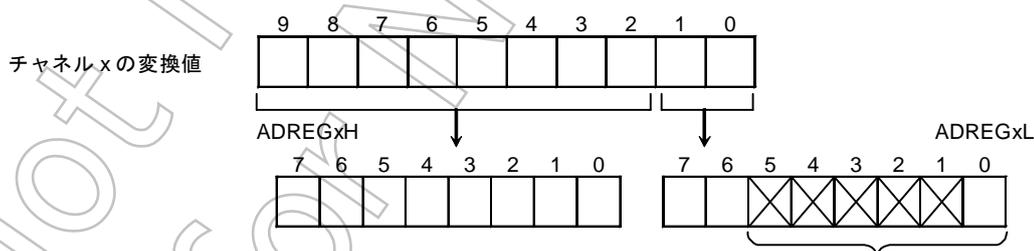
	7	6	5	4	3	2	1	0		
ADREG2AH (0xFFFF_F805)	bit Symbol		ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 3B

	7	6	5	4	3	2	1	0	
ADREG3BL (0xFFFF_F806)	bit Symbol		ADR31	ADR30				OVR3	ADR3RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over RUN Flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 3B

	7	6	5	4	3	2	1	0		
ADREG3BH (0xFFFF_F807)	bit Symbol		ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							



- ADREG2AL/ADREG3BLのビット5-2を読み出すと、常に“1”になります。
- ADREG2AL/ADREG3BLのビット0は、A/D変換結果格納フラグ <ADR_xRF> です。A/D変換値が格納されると、“1”にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0”にされます。
- ADREG2AL/ADREG3BLのビット1は over RUN flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が上書きされると1に Set されます。Flag の Read により0にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図16-9 A/D コンバータ変換結果レジスタ

A/D 変換結果下位レジスタ 4C

	7	6	5	4	3	2	1	0
bit Symbol	ADR41	ADR40					OVR4	ADR4RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN Flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 4C

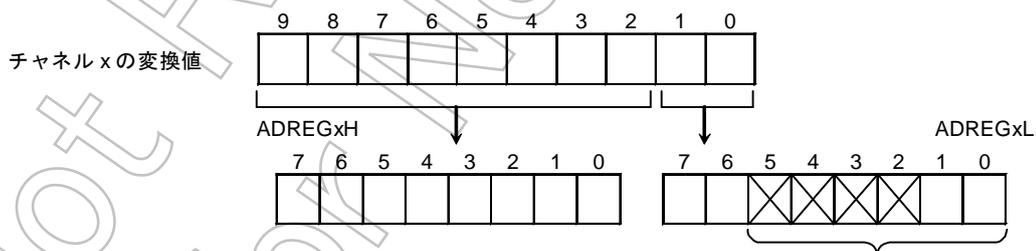
	7	6	5	4	3	2	1	0
bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 5D

	7	6	5	4	3	2	1	0
bit Symbol	ADR51	ADR50					OVR5	ADR5RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN Flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 5D

	7	6	5	4	3	2	1	0
bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



- ADREG4CL/ADREG5DL のビット 5-2 を読み出すと、常に “1” になります。
- ADREG4CL/ADREG5DL のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にされます。
- ADREG4CL/ADREG5DL のビット 1 は over Run flag<OVR_x>です。両方の変換結果格納レジスタ (ADREG_xH,ADREG_xL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図16-10 A/D コンバータ変換結果レジスタ

A/D 変換結果下位レジスタ 6E

	7	6	5	4	3	2	1	0
bit Symbol	ADR61	ADR60					OVR6	ADR6RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると“1”が読めます				Over RUN Flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 6E

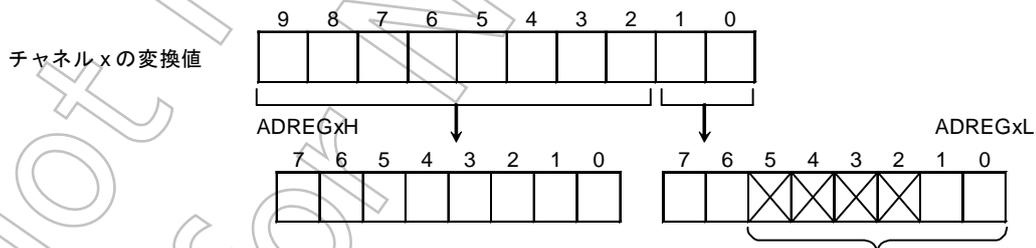
	7	6	5	4	3	2	1	0
bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR71	ADR70					OVR7	ADR7RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると“1”が読めます				Over RUN Flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8 ビット格納							



- ADREG6EL/ADREG7FL のビット 5~2 を読み出すと、常に “1” になります。
- ADREG6EL/ADREG7FL のビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にされます。
- ADREG6EL/ADREG7FL のビット 1 は over Run flag <OVRx> です。両方の変換結果格納レジスタ (ADREGxH,ADREGxL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

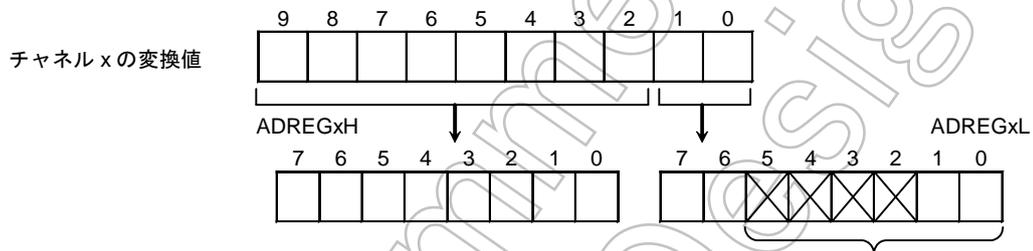
図16-11 A/D コンバータ変換結果レジスタ

A/D 変換結果下位レジスタ SP

	7	6	5	4	3	2	1	0
bit Symbol	ADRSP1	ADRSP0					OVRSP	ADRSPRF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると"1"が読めます				Over flag 0: 発生無し 1: 発生	RUN A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ SP

	7	6	5	4	3	2	1	0
bit Symbol	ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



- ADREGSP のビット 5~2 を読み出すと、常に "1" になります。
- ADREGSP のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、"1" にセットされます。下位のレジスタ (ADREG_xL) をリードすると、"0" にされます。
- ADREGSP のビット 1 は over RUN flag<OVR_x>です。両方の変換結果格納レジスタ (ADREG_xH,ADREG_xL) を Read する前に変換結果が上書きされると 1に Set されます。Flag の Readにより 0にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図16-12 A/D コンバータ変換結果レジスタ

A/D 変換結果比較下位レジスタ 0

	7	6	5	4	3	2	1	0
ADCMP0L (0xFFFF_F820)	bit Symbol		ADR021	ADR020				
	Read/Write				R			
	リセット後				0			
	機能		A/D 変換結果比較下位 2ビット格納					
			リードすると"0"が読めます					

A/D 変換結果比較上位レジスタ 0

	7	6	5	4	3	2	1	0		
ADCMP0H (0xFFFF_F821)	bit Symbol		ADR029	ADR028	ADR027	ADR026	ADR025	ADR024	ADR023	ADR022
	Read/Write								R/W	
	リセット後								0	
	機能								A/D 変換結果比較上位 8ビット格納	

A/D 変換結果比較下位レジスタ 1

	7	6	5	4	3	2	1	0
ADCMP1L (0xFFFF_F822)	bit Symbol		ADR121	ADR120				
	Read/Write				R			
	リセット後				0			
	機能		A/D 変換結果比較下位 2ビット格納					
			リードすると"0"が読めます					

A/D 変換結果比較上位レジスタ 1

	7	6	5	4	3	2	1	0		
ADCMP1H (0xFFFF_F823)	bit Symbol		ADR129	ADR128	ADR127	ADR126	ADR125	ADR124	ADR123	ADR122
	Read/Write								R/W	
	リセット後								0	
	機能								A/D 変換結果比較上位 8ビット格納	

(注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADMOD3, 5<ADOBVSx>="0") した状態で行ってください

図16-13 A/D コンバータ変換結果比較レジスタ

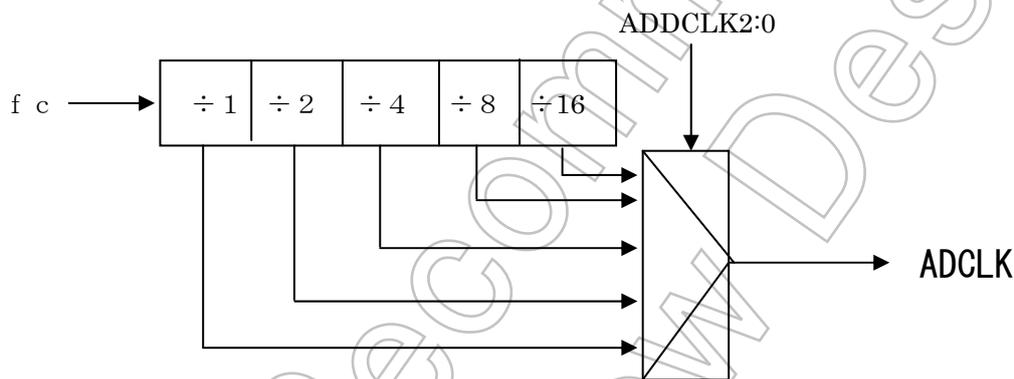
16.2 変換クロック

- 最短 46 変換クロックで変換されます。

A/D 変換クロック設定レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TSH3	TSH2	TSH1	TSH0	ADCLK2	ADCLK1	ADCLK0	
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット後	1	0	0	0	0	0	0	0
機能	A/D サンプルホールド時間選択 1000: 8 変換クロック 1010: 24 変換クロック 0011: 64 変換クロック 1100: 128 変換クロック 上記以外の設定: reserved				1001:16 変換クロック 1011: 32 変換クロック 1101: 512 変換クロック		リードすると"0"が読めます A/D プリスケアラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 111: reserved	

図16-16 A/D 変換クロック設定レジスタ



(例) $f_{sys}=f_c=40\text{MHz}/54\text{MHz}$ の場合

Prescalar [ADDCLK2:0]	tconv. (変換時間) 40MHz	tconv. (変換時間) 54MHz
1	1.15 μs	-
1/2	2.3 μs	1.22 μs
1/4	4.6 μs	2.44 μs

S/H時間可変

変換 clock	S/H時間	40MHz	tconv. (変換時間)
40MHz	変換 clk*8	(0.2 μs)	1.15 μs
	変換 clk*16	(0.4 μs)	1.35 μs
	変換 clk*24	(0.6 μs)	1.55 μs
	変換 clk*32	(0.8 μs)	1.75 μs
	変換 clk*64	(1.6 μs)	2.55 μs
	変換 clk*128	(3.2 μs)	4.15 μs
	変換 clk*512	(12.8 μs)	13.75 μs

(注) 「AD変換中には、A/D変換クロック設定を変更しないで下さい」

図16-17 A/D 変換時間

16.3 動作説明

16.3.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH-VREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、かならず<VREFON>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu\text{s}$ 待つてから、ADMOD0<ADS>ビットに“1”を書き込んでください。

16.3.2 アナログ入力チャネルの選択

アナログ入力チャネルの選択は、A/D コンバータの動作モードによって異なります。

(1) 通常 AD 変換時

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN>=“0”)
 - ADMOD1<ADCH3~0>の設定により、アナログ入力 AIN0 ~ AIN12 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN>=“1”)
 - ADMOD1 <ADCH3~0> の設定および ADSCN により、13 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

(2) 最優先 AD 変換時

ADMOD2<HPADCH3~0>の設定により、アナログ入力 AIN0~AIN12 端子の中から 1 チャネルを選択します。

リセット後は ADMOD0<SCAN> は“0”に ADMOD1<ADCH3:0> は“0000”に初期化され、これにより選択が行なわれますので、AIN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

通常 AD 変換中に最優先 AD 変換の起動が掛かると、通常 AD 変換は中断し、最優先 AD 変換が実行されて終了後に通常 AD 変換を再開します。

例) ADMOD0<REPEAT : SCAN>=“11”、ADMOD1<ADCH3:0>=0011 でチャネル AIN0 ~ AIN3 までのリピートスキャン変換中に ADMOD2<HPADCH3:0>=1100 で AIN12 の最優先 AD 変換が起動された場合。

最優先 AD 変換起動

変換 Ch	Ch0	Ch1	Ch2	Ch12	Ch2	Ch3	Ch0
-------	-----	-----	-----	------	-----	-----	-----

16.3.3 A/D変換開始

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。通常 AD 変換は ADMOD0<ADS> に “1” を設定することによりソフトで起動が掛かります。また、最優先 AD 変換は ADMOD2<HPADCE> に “1” を設定することによりソフトで起動が掛かります。通常 AD 変換は ADMOD0<2:1>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。また、通常 AD 変換は ADMOD4<ADHS>、最優先 AD 変換は ADMOD4<HADHS>で選択される HW 起動ソースにより起動を掛けることができます。このビットが ‘0’ の場合は、ADTRG 端子より立ち下がリエッジの入力により起動が掛かり、このビットが ‘1’ の場合、通常 AD 変換は 16 ビットタイマ 1 からの TB1RG0 の一致で起動が掛かり、最優先 AD 変換の場合は 16 ビットタイマ 2 からの TB2RG0 の一致で起動が掛かります。H/W 起動が許可された場合でもソフトウェア起動は有効です。

(注) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換 HW 起動としては外部トリガを設定できません。

通常 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADMOD0<ADBF>) が “1” にセットされます。また、最優先 AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ (ADMOD2<ADBFHP>) が 1 にセットされます。このときに通常 AD 変換用の Busy フラグは、最優先 AD 変換の開始前の値を保持します。また、通常 AD 変換用の変換終了フラグ EOCFN も開始前の値を保持します。

(注) 最優先 A/D 変換中に通常 AD 変換を再起動させないでください (最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません)。

通常 A/D 変換を再起動する場合はソフトウェアリセット (ADMOD3<ADRST1:0>) を行ってから起動してください。HW による通常 A/D 変換の再起動は行わないでください。

通常 AD 変換中に ADMOD2<HPADCE>に “1” を設定すると、現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADREGSP へ格納すると、続きから通常 AD 変換を再開します。

通常 AD 変換中に HW による最優先 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADREGSP へ格納すると、続きから通常 AD 変換を再開します。

16.3.4 A/D変換モードとA/D変換終了割り込み

A/D 変換には、次の 4 つの動作モードが用意されています。通常 AD 変換の場合は ADMODO<2:1>の設定により選択ができます。最優先 AD 変換の場合は ADMODO<2:1>の設定によらず、チャンネル固定のシングル変換のみの動作です。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

(1) 通常 A/D 変換

動作モードの選択は、ADMODO<REPEAT, SCAN>で行います。A/D 変換が開始されると ADMODO<ADBFN>が“1”にセットされます。指定された AD 変換が終了すると、A/D 変換終了割り込み (INTAD) が発生し、A/D 変換終了を示す ADMODO<EOCF>が“1”にセットされます。<ADBFN>は<REPEAT>=“0”の時は EOCF のセットと同時に“0”に戻りますが、<REPEAT>=“1”の時は“1”の状態を保持して変換を続けます。

① チャンネル固定シングル変換モード

ADMODO <REPEAT, SCAN> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMODO<EOCF>が“1”にセット、ADMODO<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事により 0 にクリアされます。

② チャンネルスキャンシングル変換モード

ADMODO <REPET, SCAN> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMODO<EOCF>が“1”にセット、ADMODO<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事で 0 にクリアされます。

③ チャンネル固定リピート変換モード

ADMODO<REPEAT, SCAN>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADMODO<EOCF>が“1”にセットされます。ADMODO<ADBF>は“0”にされず“1”を保持します。INTAD の割り込み要求発生タイミングは ADMODO <ITM1:0> の設定により選択できます。<EOCF>が Set されるタイミングも割り込みのタイミングに連動します。

<EOCF>は読み出す事により 0 にクリアされます。

<ITM1:0> を“00”に設定すると A/D 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に格納レジスタの ADREG08 に格納されます。格納時点で EOCF は 1 になります。

<ITM1:0> を“01”に設定すると A/D 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADREG08~ADREG3B に順次格納されます。ADREG3B に格納後<EOCF>は 1 に SET され、再び ADREG08 から格納を始めます。<EOCF>は読み出す事により 0 にクリアされます。

<ITM1:0> を“10”に設定すると A/D 変換が 8 回終了するごとに割り込み要求が発

生じます。この場合、変換結果は格納レジスタの ADREG08～ADREG7F に順次格納されます。ADREG7F 格納後<EOCF>は 1 に set され、再び ADREG08 から格納を始めます。

<EOCF>は読み出す事によりクリアされます。

④ チャネルスキャンリピート変換モード

ADMODO <REPEAT, SCAN> に “11” を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMODO <EOCF> が “1” にセットされ、INTAD 割り込み要求が発生します。ADMODO <ADBF> は “0” にされず “1” を保持します。<EOCF>は読み出す事により “0” にクリアされます。

リピート変換モード (③、④のモード) の動作を停止させたい場合は、ADMODO <REPEAT> に “0” を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMODO <ADBF> は “0” にされます。

IDLE、STOP モード等のスタンバイ状態へ移行する場合は、スタンバイ状態へ移行する前に A/D 変換を停止していることを確認してから (または、停止させてから) 移行してください。

(2) 最優先 A/D 変換

動作モードはチャンネル固定のシングル変換のみです。ADMODO<REPEAT, SCAN>

の設定は関係ありません。起動条件が成立すると、ADMODO2<HPADCH3:0>で指定されるチャンネルの変換を一度だけ行います。変換が終了すると、最優先 AD 変換終了割り込みが発生して、ADMODO2<EOCFHP>は 1 にセットされ、<ADBFHP>は 0 に戻ります。EOCFHP フラグは読み出すとクリアされます。

表 16-1 AD変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード	割り込み発生 タイミング	EOCF セットタイミング (注)	ADBF (割り込み 発生後)	ADMODO		
				ITM1:0	REPEAT	SCAN
チャンネル固定 シングル変換	変換終了後	変換終了後	0	—	0	0
チャンネル固定 リピート変換	1回変換毎	変換が1回終了後	1	00	1	0
	4回変換毎	変換が4回終了後	1	01		
	8回変換毎	変換が8回終了後	1	10		
チャンネルスキャン シングル変換	スキャン 変換終了後	スキャン変換終了後	0	—	0	1
チャンネルスキャン リピート変換	1回のスキャン 変換終了毎	1回のスキャン 変換終了後	1	—	1	1

(注) EOCF はリードするとクリアされます。

16.3.5 最優先変換モード

通常 AD 変換に割り込んで、最優先 AD 変換を行う事ができます。最優先 AD 変換は ADMOD2<HPADCE>に '1' を設定するソフトによる起動と、ADMOD3<7:6>の設定により HW リソースを用いた起動ができます。通常 AD 変換中に最優先 AD 変換が起動されると、現在変換中の AD 変換は中断され、ADMOD2<3:0>で指定されるチャンネルのシングル変換を行います。変換結果は ADREGSP へ格納され、最優先 AD 変換割り込みが発生します。その後通常 AD 変換が続きから再開されます。また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

例えば チャンネル AN0~AN8 までのチャンネルリピート変換が起動されており、AN3 の変換中に<HPADCE>に "1" がセットされた場合は AN3 の変換が中断され、<HPADC3:0>で指定されたチャンネルの変換を行い、結果を ADREGSP へ格納後に AN3 からのチャンネルリピート変換を再開します。

16.3.6 AD監視機能

ADMOD3, 5<ADOBVx>に 1 を設定すると AD 監視機能が有効になり、REGSx<3:0>で指定された変換結果格納レジスタの内容が比較レジスタの値より大または小 (ADOBIC で大か小は指定) になると AD 監視機能割り込みが発生します。また、この比較動作は該当変換結果格納レジスタへ結果が格納されることに行われ、条件が成立すると割り込みが発生します。また、AD 監視機能に割り当てている格納レジスタは通常ではソフトで読み出しは行われませんので、overrun フラグ<OVRx>は常にセットされていることになり、変換結果格納フラグ<ADR_xRF>もセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

16.3.7 A/D変換結果の格納と読み出し

A/D 変換結果は、通常 AD 変換の A/D 変換結果上位/下位レジスタ (ADREG08H/L~ADRG7FH/L) に格納されます。

チャンネル固定リピート変換モードでは、A/D 変換結果は、ADREG08H/L から ADREG7FH/L へと順次格納されます。ただし、割り込み発生を<ITM1:0>で 1 回ごとに指定した場合は ADREG08H/L のみに格納され、<ITM1:0>で 4 回ごとに指定した場合は ADREG08H/L~ADREG3BH/L へと順次格納されます。

表 16-1 にアナログ入力チャンネルと A/D 変換結果レジスタの対応を示します。

表 16-2 アナログ入力チャネルと A/D 変換結果レジスタの対応

アナログ入力 チャネル (ポート A)	A/D 変換結果レジスタ			
	右記以外の変 換モード	チャネル固定リピート 変換モード (1 回)	チャネル固定リピート 変換モード (4 回ごと)	チャネル固定リピート 変換モード (8 回ごと)
AN0	ADREG08H/L	ADREG08H/L 固定	ADREG08H/L ←	ADREG08H/L ←
AN1	ADREG19H/L		↓	↓
AN2	ADREG2AH/L		↓	↓
AN3	ADREG3BH/L		ADREG3BH/L ←	ADREG4CBH/L ←
AN4	ADREG4CH/L			
AN5	ADREG5DH/L			
AN6	ADREG6EH/L			
AN7	ADREG7FH/L			
AN8	ADREG08H/L			
AN9	ADREG19H/L			
AN10	ADREG2AH/L			
AN11	ADREG3BH/L			
AN12	ADREG4CH/L			

16.3.8 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は、 $ADM0D0 <EOCF>$ のポーリングをしてください。このフラグがセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出してください。この際に Over RUN を検出する為に、変換結果格納レジスタの上位を先に読み出し、次に下位を読み出してください。この結果、下位に存在する $OVRn = "0"$ 、 $ADRnRF = "1"$ であれば、正しい変換結果を得た事になります。

17. ウォッチドッグタイマ（暴走検出用タイマ）

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作（暴走）を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスク割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット（チップ内部）へ接続することにより、強制的にリセット動作を行うことができます。

17.1 構成

図 17-1 にウォッチドッグタイマのブロック図を示します。

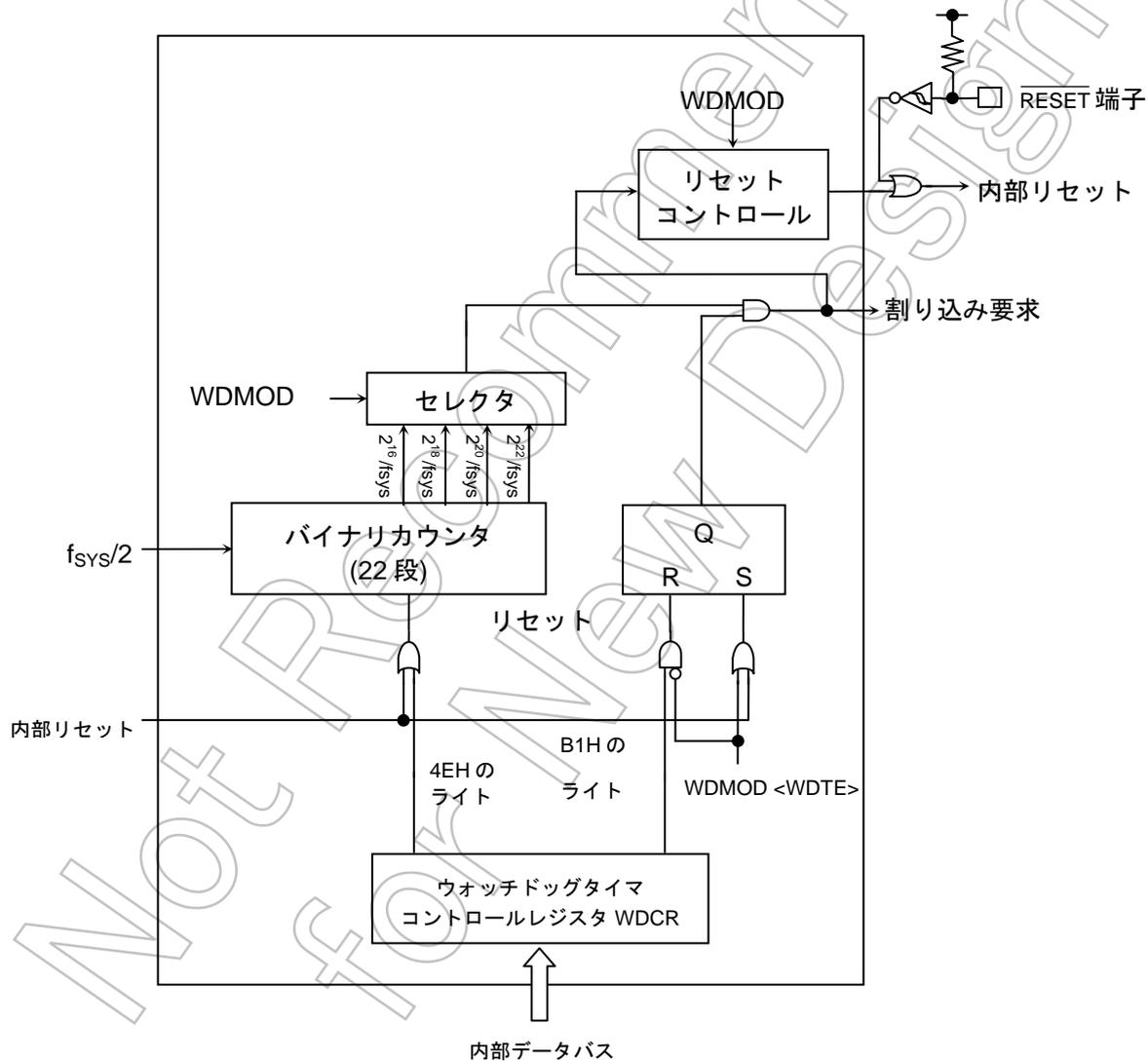


図 17-1 ウォッチドッグタイマのブロック図

17.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマは、システムクロック $f_{\text{sys}}/2$ を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{16} 、 2^{18} 、 2^{20} および 2^{22} があります。このうちの 1 出力を WDMOD <WDTP1 : 0> で選択することにより、そのオーバーフロー時に、図 17-2 で示すように、ウォッチドッグタイマ割り込みを発生します。

また、ウォッチドッグタイマ割り込みはノンマスクブル割り込み要因のため、INTC 部の NMIFLG <WDT> にてウォッチドッグタイマ割り込みか識別する必要があります。

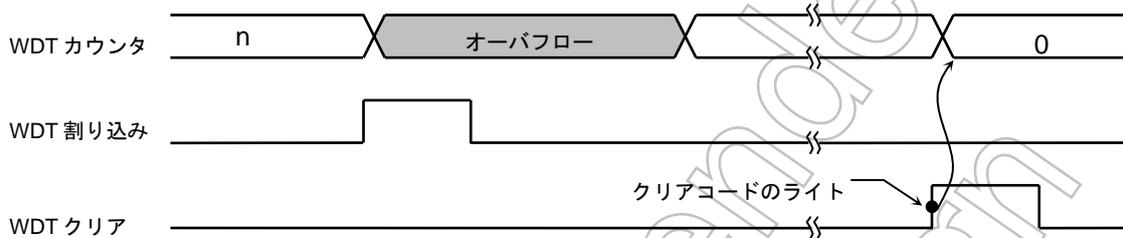


図 17-2 通常モード

また、オーバーフロー時にチップ自身をリセットすることも選択可能です。この場合、図 12-3 で示すように 32 ステートの期間、リセットを行います。なお、この場合（リセットされた場合）、入力クロック $f_{\text{sys}}/2$ は、高速発振器のクロック f_c をクロックギアで 8 分周したクロック f_{sys} が使われます。

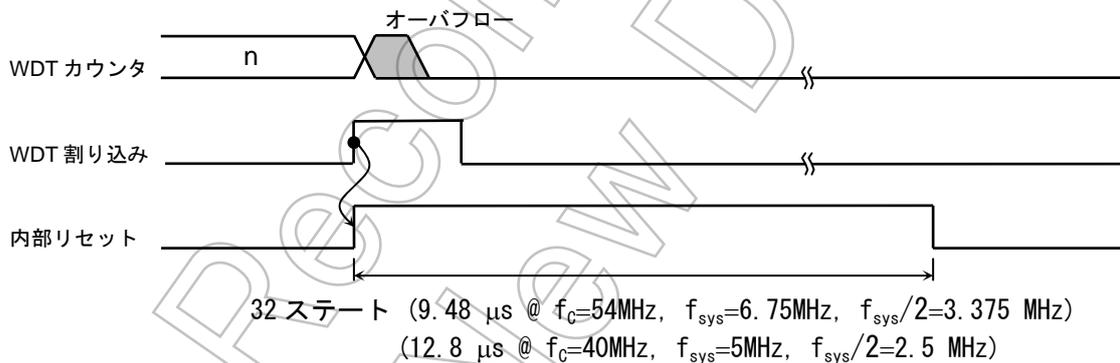


図 17-3 リセットモード

17.3 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

17.3.1 ウォッチドッグ タイマ モードレジスタ (WDMOD)

① ウォッチドッグ タイマ検出時間の設定 <WDTP1: 0>

暴走検出のためのウォッチドッグ タイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD <WDTP1, 0> = “00” にイニシャライズされます。図 12-4 にウォッチドッグ タイマの検出時間を示します。

② ウォッチドッグ タイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするかどうかを設定するレジスタです。リセット時 WDMOD <RESCR> = “0” に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

17.3.2 ウォッチドッグタイマ コントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD <WDTE> を “0” にしたあと、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグ タイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を “0” クリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

• イネーブル制御

WDMOD <WDTE> を “1” にする。

• ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) を書き込みます。
------	-------------------	-----------------------

(注) ディセーブルコード (B1H) を書き込むとバイナリカウンタはクリアされます。

WDMOD
(0xFFFF_FA00)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCLR	
Read/Write	R/W	R/W		R		R/W		R/W
リセット後	1	0	0	0		0	0	0
機能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{16}/f_{SYS}$ 01: $2^{18}/f_{SYS}$ 10: $2^{20}/f_{SYS}$ 11: $2^{22}/f_{SYS}$		リードすると“0”が読めます。		IDLE 0: 停止 1: 動作	1: リセット端子に WDT 出力を内部接続	“0”をライトしてください。

→ ウォッチドッグタイマアウトコントロール

0	NMI 割り込みが発生します
1	WDT アウトをリセットへ接続

→ ウォッチドッグタイマの検出時間

SYSCR1 クロックギア値 <GEAR2 : 0>	Watch Dog Timer 検出時間 @ fc = 54 MHz			
	WDMOD<WDTP1, 0>			
	00	01	10	11
000 (fc)	1.2 ms	4.9 ms	19.4 ms	77.7 ms
100 (fc/2)	2.4 ms	9.7 ms	38.8 ms	155.3 ms
110 (fc/4)	4.9 ms	19.4 ms	77.7 ms	310.7 ms
111 (fc/8)	9.7 ms	38.8 ms	155.3 ms	621.4 ms

SYSCR1 クロックギア値 <GEAR2 : 0>	Watch Dog Timer 検出時間 @ fc = 40 MHz			
	WDMOD<WDTP1, 0>			
	00	01	10	11
000 (fc)	1.6 ms	6.5 ms	26.2 ms	105 ms
100 (fc/2)	3.3 ms	13.1 ms	52.4 ms	210 ms
110 (fc/4)	6.5 ms	26.2 ms	105.0 ms	419 ms
111 (fc/8)	13.1 ms	52.4 ms	209.0 ms	839 ms

→ ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 17-4 ウォッチドッグタイマモードレジスタ

(注) モード設定を行ってから、<WDTE>ビットの設定を行ってください。

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	W							
リセット後	—							
機能	B1H : WDT ディセーブルコード							
	4EH : WDT クリアコード							

→ WDTのディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図 17-5 ウォッチドッグタイマコントロールレジスタ

17.4 動作説明

ウォッチドッグタイマは、WDMOD <WDTP1, 0> レジスタで設定された検出時間後に割り込み (INTWDT) を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWDT 割り込みが発生します。CPU は INTWDT 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。また、ウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 (BUSAK = “L”) は、カウントを続けます。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

例: ① バイナリカウンタをクリアします。

```

          7 6 5 4 3 2 1 0
WDCR    ← 0 1 0 0 1 1 1 0   クリアコード (4EH) の書き込み
    
```

② ウォッチドッグタイマ検出時間を $2^{18}/f_{SYS}$ に設定します。

```

          7 6 5 4 3 2 1 0
WDMOD   ← 1 0 1 - - - - -
    
```

③ ウォッチドッグタイマをディセーブルします。

```

          7 6 5 4 3 2 1 0
WDMOD   ← 0 - - - - - - -   WDTE を “0” クリア
WDCR    ← 1 0 1 1 0 0 0 1   ディセーブルコード (B1H) の書き込み
    
```

18. ROM correction 機能

本章では TMP19A23 に内蔵されている ROM correction 機能について説明します。

18.1 特長

- 1箇所当たり 8 ワードのデータを 12 箇所置き替えることができます。
- アドレスレジスタに書き込まれたアドレス（下位 5 ビットは Don' t care）と PC、または DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれた ROM correction データレジスタからのデータが ROM データに置き換わります。
- ROM correction の許可は各アドレスレジスタにアドレスをセットすることにより自動的に行われます。
- プログラムの変更など 8 ワードで訂正ができない場合は、RAM 上のデータレジスタへ RAM へのジャンプ命令を置き、RAM 上で訂正することができます。

18.2 動作

アドレスレジスタ ADDREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDREGn に対応した RAM 上のデータレジスタからのデータを ROM データと置き換えることができます。この ADDREGn にアドレスをセットすることにより、自動的にこの ROM correction 機能は有効になり、無効にすることは出来ません。リセット後は全ての ROM correction 機能が禁止されています。したがって、リセット解除後の初期設定にて ROM correction を行う場合は、必要な ADDREG にアドレスをセットしてください。アドレスがセットされた ADDREG は ROM correction 機能が有効になり、CPU がバス権利を所有しているときは PC の値、DMAC がバス権利を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDREG0、ADDREG3 にアドレスをセットすると、このエリアの ROM correction 機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えを行います。ADDREG1、ADDREG2、ADDREG4~7 に対しては行われません。また、アドレスレジスタのビットは <31:5> が存在しますが、アドレスの一致検出は回路簡略の為に <17:5> に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出の論理積が取られて置き換えが行なわれます。

8 ワードデータを置き換える場合の ROM correction のアドレスは 8 ワード単位の境界にのみ設定できます。従って、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスには置き換え前と同じデータを書き換えてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

表 18-1 ADDREGn と RAM エリアの対応

レジスタ	アドレス	RAM エリアの対応	ワード数
ADDREG0	0xFFFF_E540	0xFFFF_DE80 - 0xFFFF_DE9C	8
ADDREG1	0xFFFF_E544	0xFFFF_DEA0 - 0xFFFF_DEBC	8
ADDREG2	0xFFFF_E548	0xFFFF_DEC0 - 0xFFFF_DEDC	8
ADDREG3	0xFFFF_E54C	0xFFFF_DEE0 - 0xFFFF_DEFC	8
ADDREG4	0xFFFF_E550	0xFFFF_DF00 - 0xFFFF_DF1C	8
ADDREG5	0xFFFF_E554	0xFFFF_DF20 - 0xFFFF_DF3C	8
ADDREG6	0xFFFF_E558	0xFFFF_DF40 - 0xFFFF_DF5C	8
ADDREG7	0xFFFF_E55C	0xFFFF_DF60 - 0xFFFF_DF7C	8
ADDREG8	0xFFFF_E560	0xFFFF_DF80 - 0xFFFF_DF9C	8
ADDREG9	0xFFFF_E564	0xFFFF_DFA0 - 0xFFFF_DFBC	8
ADDREGA	0xFFFF_E568	0xFFFF_DFC0 - 0xFFFF_DFDC	8
ADDREGB	0xFFFF_E56C	0xFFFF_DFE0 - 0xFFFF_DFFC	8

注：ROM correction 機能を使用する際は、ROM プロテクトを解除してください。

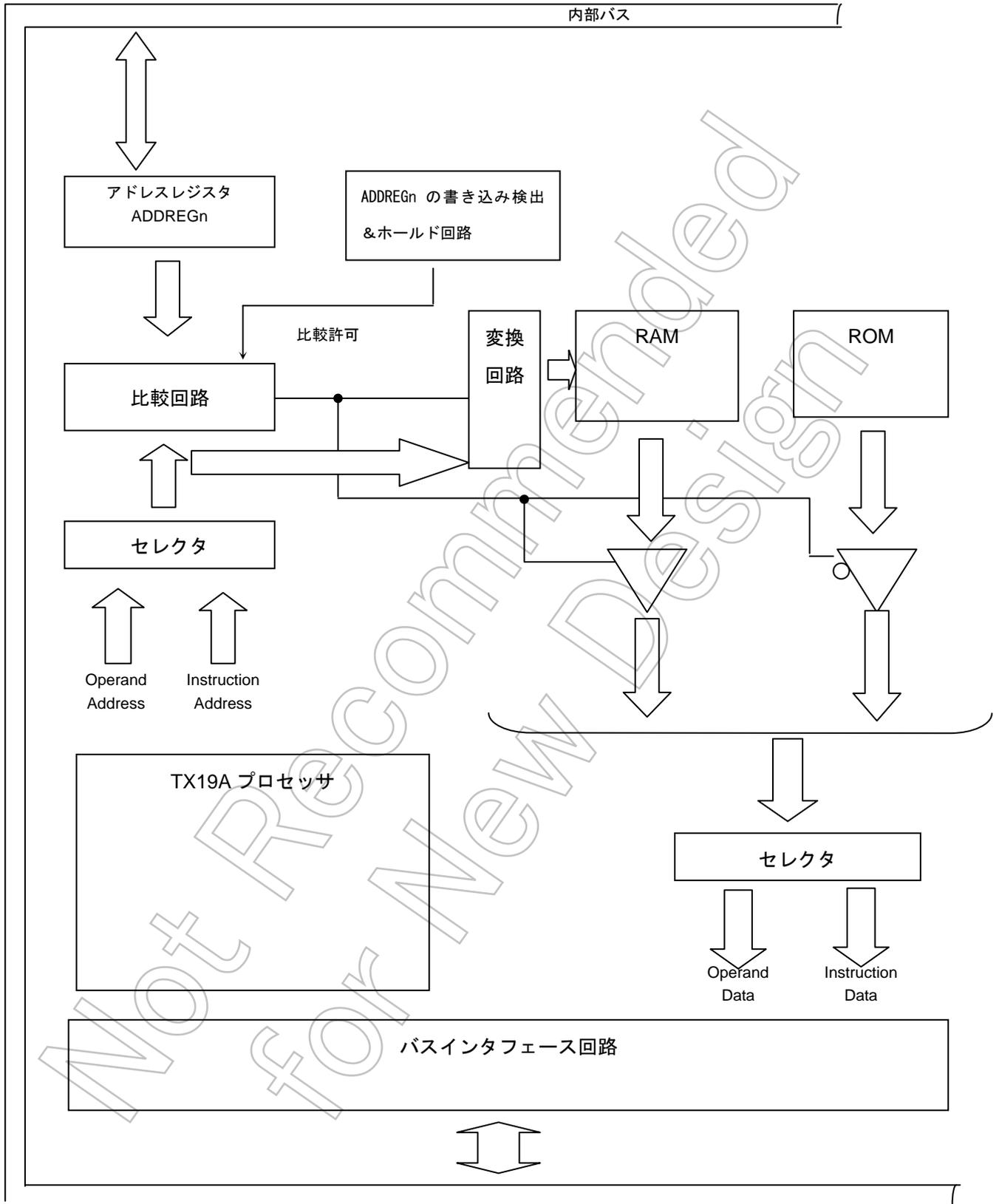


図 18-1 ROM correction システム図

18.3 レジスタ

(1) アドレスレジスタ

ADDREG0
(0xFFFF_E540)

	7	6	5	4	3	2	1	0
bit Symbol	ADD07	ADD06	ADD05					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD017	ADD016
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDREG1
(0xFFFF_E544)

	7	6	5	4	3	2	1	0
bit Symbol	ADD17	ADD16	ADD15					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD117	ADD116
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDREG2
(0xFFFF_E548)

	7	6	5	4	3	2	1	0
bit Symbol	ADD27	ADD26	ADD25					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD217	ADD216
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

図 18-2 ROM correction 関連レジスタ

ADDRREG3
(0xFFFF_E54C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD37	ADD36	ADD35					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD39	ADD38
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD317	ADD316
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDRREG4
(0xFFFF_E550)

	7	6	5	4	3	2	1	0
bit Symbol	ADD47	ADD46	ADD45					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD49	ADD48
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD417	ADD416
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDRREG5
(0xFFFF_E554)

	7	6	5	4	3	2	1	0
bit Symbol	ADD57	ADD56	ADD55					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD59	ADD58
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD517	ADD516
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

図 18-3 ROM correction 関連レジスタ

ADDREG6
(0xFFFF_E558)

	7	6	5	4	3	2	1	0
bit Symbol	ADD67	ADD66	ADD65					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD617	ADD616
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDREG7
(0xFFFF_E55C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD77	ADD76	ADD75					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD717	ADD716
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDREG8
(0xFFFF_E560)

	7	6	5	4	3	2	1	0
bit Symbol	ADD87	ADD86	ADD85					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD815	ADD814	ADD813	ADD812	ADD811	ADD810	ADD89	ADD88
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD817	ADD816
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

図 18-4 ROM correction 関連レジスタ

ADDREG9
(0xFFFF_E564)

	7	6	5	4	3	2	1	0
bit Symbol	ADD97	ADD96	ADD95					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADD915	ADD914	ADD913	ADD912	ADD911	ADD910	ADD99	ADD98
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADD917	ADD916
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDREGA
(0xFFFF_E568)

	7	6	5	4	3	2	1	0
bit Symbol	ADDA7	ADDA6	ADDA5					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADDA15	ADDA14	ADDA13	ADDA12	ADDA11	ADDA10	ADDA9	ADDA8
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADDA17	ADDA16
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

ADDREGB
(0xFFFF_E56C)

	7	6	5	4	3	2	1	0
bit Symbol	ADDB7	ADDB6	ADDB5					
Read/Write	R/W			R				
リセット後	0			1				
	15	14	13	12	11	10	9	8
bit Symbol	ADDB15	ADDB14	ADDB13	ADDB12	ADDB11	ADDB10	ADDB9	ADDB8
Read/Write	R/W							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol							ADDB17	ADDB16
Read/Write	R						R/W	
リセット後	0						0	
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

- (注 1) アドレスレジスタへの DMA 転送はできません。RAM 上に配置される置き換えのためのデータ領域への DMA 転送は可能です。また ROM コレクションの置き換え機能は CPU アクセス時、DMA アクセス時いずれの場合も有効です。
- (注 2) 初期値 "0x00" を書き戻すとリセットアドレスに対して置き換えを行います。

図 18-5 ROM correction 関連レジスタ

19. 特殊機能レジスタ一覧表

0xFFFF_E000~0xFFFF_FFFF の 8K バイトのアドレス空間に割り付けられています。

- [1] ポート関連
- [2] 16 ビットタイマ
- [3] I²CBUS/シリアル チャンネル
- [4] UART/シリアル チャンネル
- [5] 10 ビット A/D コンバータ
- [6] ウォッチドッグタイマ
- [7] 割り込みコントローラ
- [8] DMA コントローラ
- [9] チップセレクト/ウェイトコントローラ
- [10] FLASH 制御
- [11] ROM コレクション
- [12] UART/高速シリアル チャンネル
- [13] 高精度 PPG
- [14] クロックジェネレータ

(注 1) 0xFFFF_F000~0xFFFF_FFFF に該当するアドレスにマッピングされたレジスタはエンディアン設定による影響はありません。0xFFFF_E000~0xFFFF_EFFF に該当するアドレスにマッピングされたレジスタはエンディアン設定によりアドレスが変化します。

(注 2) レジスタ長が 8 ビットの連続するレジスタは 16/32 ビットでアクセスすることが可能です。但し、16/32 ビットでアクセスする場合は、偶数アドレスへアクセスし且つ未定義領域(アドレス)を含まないようにして下さい。

1. ビックエンディアン

[1] PORT 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF000H	P0	FFFFF010H		FFFFF020H	P2	FFFFF030H	P3
1H	P1	1H		1H	P2CR	1H	P3CR
2H		2H		2H	P2FC1	2H	P3FC1
3H		3H		3H	P2FC2	3H	
4H	P0CR	4H	P1CR	4H		4H	
5H	P0FC1	5H	P1FC1	5H		5H	
6H		6H	P1FC2	6H		6H	
7H	P0PUP	7H	P1PUP	7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH	P2PUP	BH	P3PUP
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH	P2IE	EH	P3IE
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF040H	P4	FFFFF050H	P5	FFFFF060H	P6	FFFFF070H	P7
1H	P4CR	1H	P5CR	1H	P6CR	1H	
2H	P4FC1	2H	P5FC1	2H	P6FC1	2H	
3H		3H	P5FC2	3H	P6FC2	3H	
4H		4H	P5FC3	4H	P6FC3	4H	
5H		5H		5H	P6FC4	5H	
6H		6H	Reserved	6H	Reserved	6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH	P4OD	AH	P5OD	AH	P6OD	AH	
BH	P4PUP	BH	P5PUP	BH	P6PUP	BH	P7PUP
CH		CH		CH		CH	
DH		DH		DH		DH	
EH	P4IE	EH	P5IE	EH	P6IE	EH	P7IE
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF080H	P8	FFFFF090H	P9	FFFFF0A0H	PA	FFFFF0B0H	PB
1H		1H	P9CR	1H	PACR	1H	PBCR
2H		2H	P9FC1	2H	PAFC1	2H	PBFC1
3H		3H	P9FC2	3H	PAFC2	3H	PBFC2
4H		4H	P9FC3	4H		4H	PBFC3
5H		5H		5H		5H	
6H		6H		6H	Reserved	6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH	PAOD	AH	PBOD
BH	P8PUP	BH	P9PUP	BH	PAPUP	BH	PBPUP
CH		CH		CH		CH	
DH		DH	P9SEL	DH	PASEL	DH	PBSEL
EH	P8IE	EH	P9IE	EH	PAIE	EH	PBIE
FH		FH		FH		FH	

ADR	レジスタ名
FFFFF0C0H	PC
1H	PCCR
2H	PCFC1
3H	PCFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PCOD
BH	PCPUP
CH	
DH	
EH	PCIE
FH	

ADR	レジスタ名
FFFFF0D0H	PD
1H	PDCR
2H	PDFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	PDPUP
CH	
DH	<i>reserved</i>
EH	PDIE
FH	

ADR	レジスタ名
FFFFF0E0H	PE
1H	PECR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	PEPUP
CH	
DH	<i>reserved</i>
EH	PEIE
FH	

ADR	レジスタ名
FFFFF0F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[2] 16bit タイマ (TMRB)

ADR	レジスタ名
FFFFF200H	TB0RUN
1H	TB0CR
2H	TB0MOD
3H	TB0FFCR
4H	TB0ST
5H	TB0OUTCR
6H	TB0UCL
7H	TB0UCH
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	レジスタ名
FFFFF210H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	TB1UCL
7H	TB1UCH
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	レジスタ名
FFFFF220H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	TB2UCL
7H	TB2UCH
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	レジスタ名
FFFFF230H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	TB3UCL
7H	TB3UCH
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

ADR	レジスタ名
FFFFF240H	TB4RUN
1H	TB4CR
2H	TB4MOD
3H	TB4FFCR
4H	TB4ST
5H	
6H	TB4UCL
7H	TB4UCH
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

ADR	レジスタ名
FFFFF250H	TB5RUN
1H	TB5CR
2H	TB5MOD
3H	TB5FFCR
4H	TB5ST
5H	
6H	TB5UCL
7H	TB5UCH
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

ADR	レジスタ名
FFFFF260H	TB6RUN
1H	TB6CR
2H	TB6MOD
3H	TB6FFCR
4H	TB6ST
5H	
6H	TB6UCL
7H	TB6UCH
8H	TB6RG0L
9H	TB6RG0H
AH	TB6RG1L
BH	TB6RG1H
CH	TB6CP0L
DH	TB6CP0H
EH	TB6CP1L
FH	TB6CP1H

ADR	レジスタ名
FFFFF270H	TB7RUN
1H	TB7CR
2H	TB7MOD
3H	TB7FFCR
4H	TB7ST
5H	
6H	TB7UCL
7H	TB7UCH
8H	TB7RG0L
9H	TB7RG0H
AH	TB7RG1L
BH	TB7RG1H
CH	TB7CP0L
DH	TB7CP0H
EH	TB7CP1L
FH	TB7CP1H

ADR	レジスタ名	ADR	レジスタ名
FFFFF280H	TB8RUN	FFFFF290H	TB9RUN
1H	TB8CR	1H	TB9CR
2H	TB8MOD	2H	TB9MOD
3H	TB8FFCR	3H	TB9FFCR
4H	TB8ST	4H	TB9ST
5H		5H	
6H	TB8UCL	6H	TB9UCL
7H	TB8UCH	7H	TB9UCH
8H	TB8RG0L	8H	TB9RG0L
9H	TB8RG0H	9H	TB9RG0H
AH	TB8RG1L	AH	TB9RG1L
BH	TB8RG1H	BH	TB9RG1H
CH	TB8CP0L	CH	TB9CP0L
DH	TB8CP0H	DH	TB9CP0H
EH	TB8CP1L	EH	TB9CP1L
FH	TB8CP1H	FH	TB9CP1H

[3] SBI

ADR	レジスタ名	ADR	レジスタ名
FFFFF600H	SBI0CR1	FFFFF610H	SBI1CR1
1H	SBI0DBR	1H	SBI1DBR
2H	SBI0I2CAR	2H	SBI1I2CAR
3H	SBI0CR2/SR	3H	SBI1CR2/SR
4H	SBI0BR0	4H	SBI1BR0
5H		5H	
6H		6H	
7H	SBI0CR0	7H	SBI1CR0
8H		8H	
9H		9H	
AH		AH	
BH		BH	
CH		CH	
DH		DH	
EH		EH	
FH		FH	

[4] SIO/UART

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF700H	SC0BUF	FFFFF710H	SC1BUF	FFFFF720H	SC2BUF
1H	SC0CR	1H	SC1CR	1H	SC2CR
2H	SC0MOD0	2H	SC1MOD0	2H	SC2MOD0
3H	BR0CR	3H	BR1CR	3H	BR2CR
4H	BR0ADD	4H	BR1ADD	4H	BR2ADD
5H	SC0MOD1	5H	SC1MOD1	5H	SC2MOD1
6H	SC0MOD2	6H	SC1MOD2	6H	SC2MOD2
7H	SC0EN	7H	SC1EN	7H	SC2EN
8H	SC0RFC	8H	SC1RFC	8H	SC2RFC
9H	SC0TFC	9H	SC1TFC	9H	SC2TFC
AH	SC0RST	AH	SC1RST	AH	SC2RST
BH	SC0TST	BH	SC1TST	BH	SC2TST
CH	SC0FCNF	CH	SC1FCNF	CH	SC2FCNF
DH		DH		DH	
EH		EH		EH	
FH		FH		FH	

[5] ADC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF800H	ADREG08L	FFFFF810H	ADREGSPL	FFFFF820H	ADCMP0L
1H	ADREG08H	1H	ADREGSPH	1H	ADCMP0H
2H	ADREG19L	2H		2H	ADCMP1L
3H	ADREG19H	3H		3H	ADCMP1H
4H	ADREG2AL	4H	ADMOD0	4H	
5H	ADREG2AH	5H	ADMOD1	5H	
6H	ADREG3BL	6H	ADMOD2	6H	
7H	ADREG3BH	7H		7H	
8H	ADREG4CL	8H	ADMOD4	8H	
9H	ADREG4CH	9H	ADCBAS	9H	
AH	ADREG5DL	AH	<i>reserved</i>	AH	
BH	ADREG5DH	BH	<i>reserved</i>	BH	
CH	ADREG6EL	CH	ADCLK	CH	
DH	ADREG6EH	DH		DH	
EH	ADREG7FL	EH	ADMOD3	EH	
FH	ADREG7FH	FH	ADMOD5	FH	

[6] WDT

ADR	レジスタ名
FFFFFA00H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[7] INTC

ADR	レジスタ名
FFFFE000H	IMC0
1H	"
2H	"
3H	"
4H	IMC1
5H	"
6H	"
7H	"
8H	IMC2
9H	"
AH	"
BH	"
CH	IMC3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE010H	IMC4
1H	"
2H	"
3H	"
4H	IMC5
5H	"
6H	"
7H	"
8H	IMC6
9H	"
AH	"
BH	"
CH	IMC7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE020H	IMC8
1H	"
2H	"
3H	"
4H	IMC9
5H	"
6H	"
7H	"
8H	IMCA
9H	"
AH	"
BH	"
CH	IMCB
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE030H	IMCC
1H	"
2H	"
3H	"
4H	IMCD
5H	"
6H	"
7H	"
8H	IMCE
9H	"
AH	"
BH	"
CH	IMCF
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE040H	IVR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE050H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE060H	INTCLR
1H	"
2H	"
3H	"
4H	DREQFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE100H	<i>reserved</i>
1H	"
2H	"
3H	"
4H	<i>reserved</i>
5H	"
6H	"
7H	"
8H	<i>reserved</i>
9H	"
AH	"
BH	"
CH	ILEV
DH	"
EH	"
FH	"

[8] DMAC

ADR	レジスタ名
FFFFE200H	CCR0
1H	"
2H	"
3H	"
4H	CSR0
5H	"
6H	"
7H	"
8H	SAR0
9H	"
AH	"
BH	"
CH	DAR0
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE210H	BCR0
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR0
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE310H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[9] CS/WAIT コントローラ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE400H	BMA0	FFFFE410H		FFFFE480H	B01CS	FFFFE490H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H	BMA1	4H		4H	B23CS	4H	<i>reserved</i>
5H	"	5H		5H	"	5H	"
6H	"	6H		6H	"	6H	"
7H	"	7H		7H	"	7H	"
8H	BMA2	8H		8H		8H	
9H	"	9H		9H		9H	
AH	"	AH		AH		AH	
BH	"	BH		BH		BH	
CH	BMA3	CH		CH		CH	
DH	"	DH		DH		DH	
EH	"	EH		EH		EH	
FH	"	FH		FH		FH	

[10] FLASH 制御

ADR	レジスタ名	ADR	レジスタ名
FFFE510H	SEQMOD	FFFE520H	FLCS
1H	"	1H	"
2H	"	2H	"
3H	"	3H	"
4H	SEQCNT	4H	FLPGEND
5H	"	5H	"
6H	"	6H	"
7H	"	7H	"
8H		8H	<i>reserved</i>
9H		9H	"
AH		AH	"
BH		BH	"
CH		CH	
DH		DH	
EH		EH	
FH		FH	

[11] ROM コレクション

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE540H	ADDREG0	FFFFE550H	ADDREG4	FFFFE560H	ADDREG8	FFFFE570H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	ADDREG1	4H	ADDREG5	4H	ADDREG9	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	ADDREG2	8H	ADDREG6	8H	ADDREGA	8H	
9H	"	9H	"	9H	"	9H	
AH	"	AH	"	AH	"	AH	
BH	"	BH	"	BH	"	BH	
CH	ADDREG3	CH	ADDREG7	CH	ADDREGB	CH	
DH	"	DH	"	DH	"	DH	
EH	"	EH	"	EH	"	EH	
FH	"	FH	"	FH	"	FH	

ADR	レジスタ名	ADR	レジスタ名
FFFFE610H	<i>reserved</i>	FFFFE620H	<i>reserved</i>
1H	<i>reserved</i>	1H	<i>reserved</i>
2H	<i>reserved</i>	2H	<i>reserved</i>
3H	<i>reserved</i>	3H	<i>reserved</i>
4H	<i>reserved</i>	4H	<i>reserved</i>
5H	<i>reserved</i>	5H	<i>reserved</i>
6H	<i>reserved</i>	6H	<i>reserved</i>
7H	<i>reserved</i>	7H	<i>reserved</i>
8H	<i>reserved</i>	8H	
9H	<i>reserved</i>	9H	
AH	<i>reserved</i>	AH	
BH	<i>reserved</i>	BH	
CH	<i>reserved</i>	CH	
DH	<i>reserved</i>	DH	
EH	<i>reserved</i>	EH	
FH	<i>reserved</i>	FH	

[12] HSIO/UART

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE800H		FFFFE810H		FFFFE820H		FFFFE830H	
1H		1H		1H		1H	
2H		2H		2H		2H	
3H	HSC0BUF	3H		3H		3H	
4H	HSC0EN	4H		4H		4H	
5H	HSC0MOD2	5H		5H		5H	
6H	HSC0MOD1	6H		6H		6H	
7H	HBR0ADD	7H		7H		7H	
8H	HSC0TST	8H		8H		8H	
9H	HSC0RST	9H		9H		9H	
AH	HSC0TFC	AH		AH		AH	
BH	HSC0RFC	BH		BH		BH	
CH	HBR0CR	CH		CH		CH	
DH	HSC0MOD0	DH		DH		DH	
EH	HSC0CR	EH		EH		EH	
FH	HSC0FCNF	FH		FH		FH	

[13] 高精度 PPG (TMRD)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE900H	TD0RUN	FFFFE910H	TD0ST	FFFFE920H	TD0REG3	FFFFE930H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	TD0CR	4H	TD0REG0	4H	TD0REG4	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	TD0MOD	8H	TD0REG1	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	TD0BCR	CH	TD0REG2	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE940H	TD1RUN	FFFFE950H	TD1ST	FFFFE960H	TD1REG3	FFFFE970H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	TD1CR	4H	TD1REG0	4H	TD1REG4	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	TD1MOD	8H	TD1REG1	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	TD1BCR	CH	TD1REG2	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

[14] クロックジェネレータ (GG)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFEE00H	SYSCR3	FFFFEE10H	IMCGA	FFFFEE20H	EICRCG	FFFFEE30H	
1H	SYSCR2	1H	"	1H	"	1H	
2H	SYSCR1	2H	"	2H	"	2H	
3H	SYSCR0	3H	"	3H	"	3H	
4H		4H	IMCGB	4H	NMIFLG	4H	
5H		5H	"	5H	"	5H	
6H		6H	"	6H	"	6H	
7H		7H	"	7H	"	7H	
8H		8H	IMCGC	8H	PWMCG	8H	
9H		9H	"	9H	"	9H	
AH		AH	"	AH	"	AH	
BH		BH	"	BH	"	BH	
CH		CH	IMCGD	CH		CH	
DH		DH	"	DH		DH	
EH		EH	"	EH		EH	
FH		FH	"	FH		FH	

2. リトルエンディアン

[1] PORT 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF000H	P0	FFFFF010H		FFFFF020H	P2	FFFFF030H	P3
1H	P1	1H		1H	P2CR	1H	P3CR
2H		2H		2H	P2FC1	2H	P3FC1
3H		3H		3H	P2FC2	3H	
4H	P0CR	4H	P1CR	4H		4H	
5H	P0FC1	5H	P1FC1	5H		5H	
6H		6H	P1FC2	6H		6H	
7H	P0PUP	7H	P1PUP	7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH	P2PUP	BH	P3PUP
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH	P2IE	EH	P3IE
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF040H	P4	FFFFF050H	P5	FFFFF060H	P6	FFFFF070H	P7
1H	P4CR	1H	P5CR	1H	P6CR	1H	
2H	P4FC1	2H	P5FC1	2H	P6FC1	2H	
3H		3H	P5FC2	3H	P6FC2	3H	
4H		4H	P5FC3	4H	P6FC3	4H	
5H		5H		5H	P6FC4	5H	
6H		6H	Reserved	6H	Reserved	6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH	P4OD	AH	P5OD	AH	P6OD	AH	
BH	P4PUP	BH	P5PUP	BH	P6PUP	BH	P7PUP
CH		CH		CH		CH	
DH		DH		DH		DH	
EH	P4IE	EH	P5IE	EH	P6IE	EH	P7IE
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF080H	P8	FFFFF090H	P9	FFFFF0A0H	PA	FFFFF0B0H	PB
1H		1H	P9CR	1H	PACR	1H	PBCR
2H		2H	P9FC1	2H	PAFC1	2H	PBFC1
3H		3H	P9FC2	3H	PAFC2	3H	PBFC2
4H		4H	P9FC3	4H		4H	PBFC3
5H		5H		5H		5H	
6H		6H		6H	Reserved	6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH	PAOD	AH	PBOD
BH	P8PUP	BH	P9PUP	BH	PAPUP	BH	PBPUP
CH		CH		CH		CH	
DH		DH	P9SEL	DH	PASEL	DH	PBSEL
EH	P8IE	EH	P9IE	EH	PAIE	EH	PBIE
FH		FH		FH		FH	

ADR	レジスタ名
FFFFF0C0H	PC
1H	PCCR
2H	PCFC1
3H	PCFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PCOD
BH	PCPUP
CH	
DH	
EH	PCIE
FH	

ADR	レジスタ名
FFFFF0D0H	PD
1H	PDCR
2H	PDFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	PDPUP
CH	
DH	<i>reserved</i>
EH	PDIE
FH	

ADR	レジスタ名
FFFFF0E0H	PE
1H	PECR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	PEPUP
CH	
DH	<i>reserved</i>
EH	PEIE
FH	

ADR	レジスタ名
FFFFF0F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[2] 16bit タイマ (TMRB)

ADR	レジスタ名
FFFFF200H	TB0RUN
1H	TB0CR
2H	TB0MOD
3H	TB0FFCR
4H	TB0ST
5H	TB0OUTCR
6H	TB0UCL
7H	TB0UCH
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	レジスタ名
FFFFF210H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	TB1UCL
7H	TB1UCH
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	レジスタ名
FFFFF220H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	TB2UCL
7H	TB2UCH
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	レジスタ名
FFFFF230H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	TB3UCL
7H	TB3UCH
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

ADR	レジスタ名
FFFFF240H	TB4RUN
1H	TB4CR
2H	TB4MOD
3H	TB4FFCR
4H	TB4ST
5H	
6H	TB4UCL
7H	TB4UCH
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

ADR	レジスタ名
FFFFF250H	TB5RUN
1H	TB5CR
2H	TB5MOD
3H	TB5FFCR
4H	TB5ST
5H	
6H	TB5UCL
7H	TB5UCH
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

ADR	レジスタ名
FFFFF260H	TB6RUN
1H	TB6CR
2H	TB6MOD
3H	TB6FFCR
4H	TB6ST
5H	
6H	TB6UCL
7H	TB6UCH
8H	TB6RG0L
9H	TB6RG0H
AH	TB6RG1L
BH	TB6RG1H
CH	TB6CP0L
DH	TB6CP0H
EH	TB6CP1L
FH	TB6CP1H

ADR	レジスタ名
FFFFF270H	TB7RUN
1H	TB7CR
2H	TB7MOD
3H	TB7FFCR
4H	TB7ST
5H	
6H	TB7UCL
7H	TB7UCH
8H	TB7RG0L
9H	TB7RG0H
AH	TB7RG1L
BH	TB7RG1H
CH	TB7CP0L
DH	TB7CP0H
EH	TB7CP1L
FH	TB7CP1H

ADR	レジスタ名
FFFFFF280H	TB8RUN
1H	TB8CR
2H	TB8MOD
3H	TB8FFCR
4H	TB8ST
5H	
6H	TB8UCL
7H	TB8UCH
8H	TB8RG0L
9H	TB8RG0H
AH	TB8RG1L
BH	TB8RG1H
CH	TB8CP0L
DH	TB8CP0H
EH	TB8CP1L
FH	TB8CP1H

ADR	レジスタ名
FFFFFF290H	TB9RUN
1H	TB9CR
2H	TB9MOD
3H	TB9FFCR
4H	TB9ST
5H	
6H	TB9UCL
7H	TB9UCH
8H	TB9RG0L
9H	TB9RG0H
AH	TB9RG1L
BH	TB9RG1H
CH	TB9CP0L
DH	TB9CP0H
EH	TB9CP1L
FH	TB9CP1H

[3] SBI

ADR	レジスタ名
FFFFFF600H	SBI0CR1
1H	SBI0DBR
2H	SBI0I2CAR
3H	SBI0CR2/SR
4H	SBI0BR0
5H	
6H	
7H	SBI0CR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFFF610H	SBI1CR1
1H	SBI1DBR
2H	SBI1I2CAR
3H	SBI1CR2/SR
4H	SBI1BR0
5H	
6H	
7H	SBI1CR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[4] SIO/UART

ADR	レジスタ名
FFFFFF700H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFFF710H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFFF720H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

[5] ADC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF800H	ADREG08L	FFFFF810H	ADREGSPL	FFFFF820H	ADCMP0L
1H	ADREG08H	1H	ADREGSPH	1H	ADCMP0H
2H	ADREG19L	2H		2H	ADCMP1L
3H	ADREG19H	3H		3H	ADCMP1H
4H	ADREG2AL	4H	ADMOD0	4H	
5H	ADREG2AH	5H	ADMOD1	5H	
6H	ADREG3BL	6H	ADMOD2	6H	
7H	ADREG3BH	7H		7H	
8H	ADREG4CL	8H	ADMOD4	8H	
9H	ADREG4CH	9H	ADCBAS	9H	
AH	ADREG5DL	AH	<i>reserved</i>	AH	
BH	ADREG5DH	BH	<i>reserved</i>	BH	
CH	ADREG6EL	CH	ADCLK	CH	
DH	ADREG6EH	DH		DH	
EH	ADREG7FL	EH	ADMOD3	EH	
FH	ADREG7FH	FH	ADMOD5	FH	

[6] WDT

ADR	レジスタ名
FFFFFA00H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[7] INTC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE000H	IMC0	FFFFE010H	IMC4	FFFFE020H	IMC8	FFFFE030H	IMCC
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	IMC1	4H	IMC5	4H	IMC9	4H	IMCD
5H	"	5H	"	5H	"	5H	"
6H	"	6H	"	6H	"	6H	"
7H	"	7H	"	7H	"	7H	"
8H	IMC2	8H	IMC6	8H	IMCA	8H	IMCE
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	IMC3	CH	IMC7	CH	IMCB	CH	IMCF
DH	"	DH	"	DH	"	DH	"
EH	"	EH	"	EH	"	EH	"
FH	"	FH	"	FH	"	FH	"

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE040H	IVR	FFFFE050H		FFFFE060H	INTCLR	FFFFE070H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H		4H		4H	DREQFLG	4H	
5H		5H		5H	"	5H	
6H		6H		6H	"	6H	
7H		7H		7H	"	7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名
FFFFE100H	<i>reserved</i>
1H	"
2H	"
3H	"
4H	<i>reserved</i>
5H	"
6H	"
7H	"
8H	<i>reserved</i>
9H	"
AH	"
BH	"
CH	ILEV
DH	"
EH	"
FH	"

[8] DMAC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE200H	CCR0	FFFFE210H	BCR0	FFFFE220H	CCR1	FFFFE230H	BCR1
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR0	4H		4H	CSR1	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR0	8H	DTCR0	8H	SAR1	8H	DTCR1
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR0	CH		CH	DAR1	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	
ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE240H	CCR2	FFFFE250H	BCR2	FFFFE260H	CCR3	FFFFE270H	BCR3
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR2	4H		4H	CSR3	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR2	8H	DTCR2	8H	SAR3	8H	DTCR3
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR2	CH		CH	DAR3	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	
ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE300H	DCR	FFFFE310H		FFFFE320H		FFFFE330H	
1H	"	1H		1H		1H	
2H	"	2H		2H		2H	
3H	"	3H		3H		3H	
4H	RSR	4H		4H		4H	
5H	"	5H		5H		5H	
6H	"	6H		6H		6H	
7H	"	7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	DHR	CH		CH		CH	
DH	"	DH		DH		DH	
EH	"	EH		EH		EH	
FH	"	FH		FH		FH	

[9] CS/WAIT コントローラ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE400H	BMA0	FFFFE410H		FFFFE480H	B01CS	FFFFE490H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H	BMA1	4H		4H	B23CS	4H	<i>reserved</i>
5H	"	5H		5H	"	5H	"
6H	"	6H		6H	"	6H	"
7H	"	7H		7H	"	7H	"
8H	BMA2	8H		8H		8H	
9H	"	9H		9H		9H	
AH	"	AH		AH		AH	
BH	"	BH		BH		BH	
CH	BMA3	CH		CH		CH	
DH	"	DH		DH		DH	
EH	"	EH		EH		EH	
FH	"	FH		FH		FH	

[10] FLASH 制御

ADR	レジスタ名	ADR	レジスタ名
FFFFE510H	SEQMOD	FFFFE520H	FLCS
1H	"	1H	"
2H	"	2H	"
3H	"	3H	"
4H	SEQCNT	4H	FLPGEND
5H	"	5H	"
6H	"	6H	"
7H	"	7H	"
8H	ROMSEC1	8H	<i>reserved</i>
9H	"	9H	<i>reserved</i>
AH	"	AH	<i>reserved</i>
BH	"	BH	<i>reserved</i>
CH	ROMSEC2	CH	
DH	"	DH	
EH	"	EH	
FH	"	FH	

[11] ROM コレクション

ADR	レジスタ名
FFFFE540H	ADDREG0
1H	"
2H	"
3H	"
4H	ADDREG1
5H	"
6H	"
7H	"
8H	ADDREG2
9H	"
AH	"
BH	"
CH	ADDREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE550H	ADDREG4
1H	"
2H	"
3H	"
4H	ADDREG5
5H	"
6H	"
7H	"
8H	ADDREG6
9H	"
AH	"
BH	"
CH	ADDREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE560H	ADDREG8
1H	"
2H	"
3H	"
4H	ADDREG9
5H	"
6H	"
7H	"
8H	ADDREGA
9H	"
AH	"
BH	"
CH	ADDREGB
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE570H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE610H	<i>reserved</i>
1H	<i>reserved</i>
2H	<i>reserved</i>
3H	<i>reserved</i>
4H	<i>reserved</i>
5H	<i>reserved</i>
6H	<i>reserved</i>
7H	<i>reserved</i>
8H	<i>reserved</i>
9H	<i>reserved</i>
AH	<i>reserved</i>
BH	<i>reserved</i>
CH	<i>reserved</i>
DH	<i>reserved</i>
EH	<i>reserved</i>
FH	<i>reserved</i>

ADR	レジスタ名
FFFFE620H	<i>reserved</i>
1H	<i>reserved</i>
2H	<i>reserved</i>
3H	<i>reserved</i>
4H	<i>reserved</i>
5H	<i>reserved</i>
6H	<i>reserved</i>
7H	<i>reserved</i>
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] UART/HSIO

ADR	レジスタ名
FFFFE800H	HSC0BUF
1H	
2H	
3H	
4H	HBR0ADD
5H	HSC0MOD1
6H	HSC0MOD2
7H	HSC0EN
8H	HSC0RFC
9H	HSC0TFC
AH	HSC0RST
BH	HSC0TST
CH	HSC0FCNF
DH	HSC0CR
EH	HSC0MOD0
FH	HBR0CR

ADR	レジスタ名
FFFFE810H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE820H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE830H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[13] 高精度 PPG (TMRD)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE900H	TD0RUN	FFFFE910H	TD0ST	FFFFE920H	TD0REG3	FFFFE930H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	TD0CR	4H	TD0REG0	4H	TD0REG4	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	TD0MOD	8H	TD0REG1	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	TD0BCR	CH	TD0REG2	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE940H	TD1RUN	FFFFE950H	TD1ST	FFFFE960H	TD1REG3	FFFFE970H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	TD1CR	4H	TD1REG0	4H	TD1REG4	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	TD1MOD	8H	TD1REG1	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	TD1BCR	CH	TD1REG2	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

[14] CG

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFEE00H	SYSCR0	FFFFEE10H	IMCGA	FFFFEE20H	EICRCG	FFFFEE30H	
1H	SYSCR1	1H	"	1H	"	1H	
2H	SYSCR2	2H	"	2H	"	2H	
3H	SYSCR3	3H	"	3H	"	3H	
4H		4H	IMCGB	4H	NMIFLG	4H	
5H		5H	"	5H	"	5H	
6H		6H	"	6H	"	6H	
7H		7H	"	7H	"	7H	
8H		8H	IMCGC	8H	PWMCG	8H	
9H		9H	"	9H	"	9H	
AH		AH	"	AH	"	AH	
BH		BH	"	BH	"	BH	
CH		CH	IMCGD	CH		CH	
DH		DH	"	DH		DH	
EH		EH	"	EH		EH	
FH		FH	"	FH		FH	

20. JTAGインタフェース

TMP19A23 には、Joint Test Action Group (JTAG) 規格に適合するバウンダリスキャンインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE 規格 1149.1/D6 が使われています。本章では、バウンダリスキャン、インタフェースで使われるピンと信号、およびテストアクセスポート (TAP) に触れながら、このインタフェースについて説明しています。

20.1 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC)、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことで (図 20-1 を参照)。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TDI、TDO、TMS、TCK および TRST という 5 種類の信号が使われます。これらの信号については次の節で説明します。

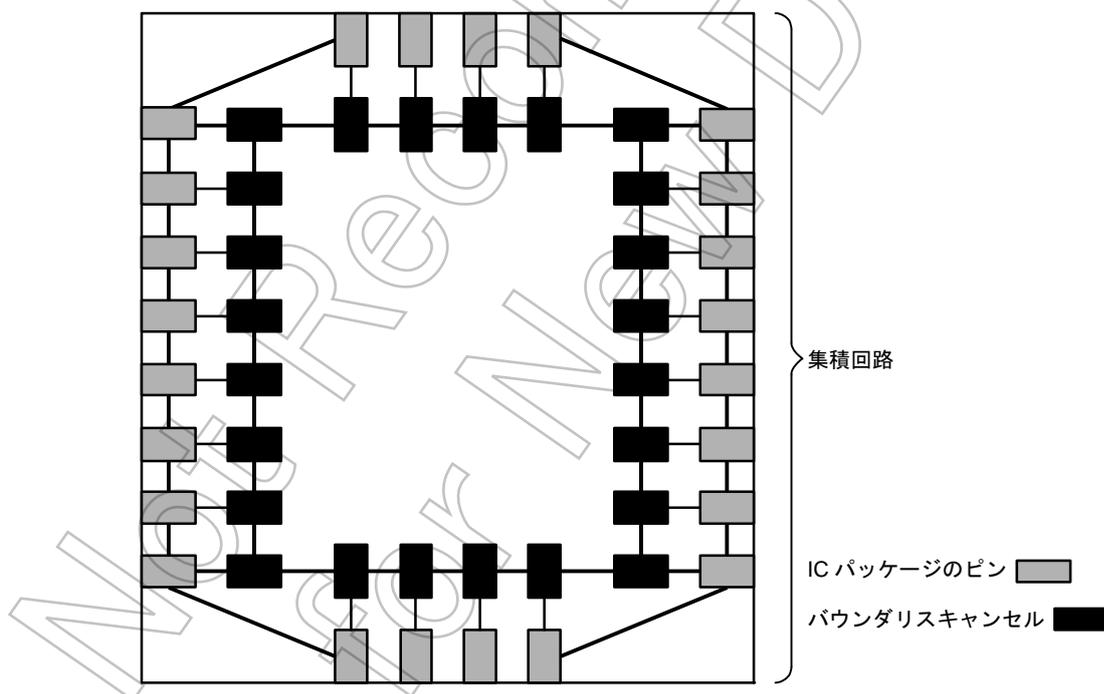


図 20-1 JTAG バウンダリスキャンセル

注) 下記標準オプション命令は実装しておりません。
(IDCODE, USERCODE, INTEST, RUNBIST)

20.2 信号の要約

JTAGインタフェース信号は次のとおりです（図 20-2参照）。

- TDI JTAG シリアルデータ入力
- TDO JTAG シリアルデータ出力
- TMS JTAG テストモード選択
- TCK JTAG シリアルクロック入力
- $\overline{\text{TRST}}$ JTAG テストリセット入力

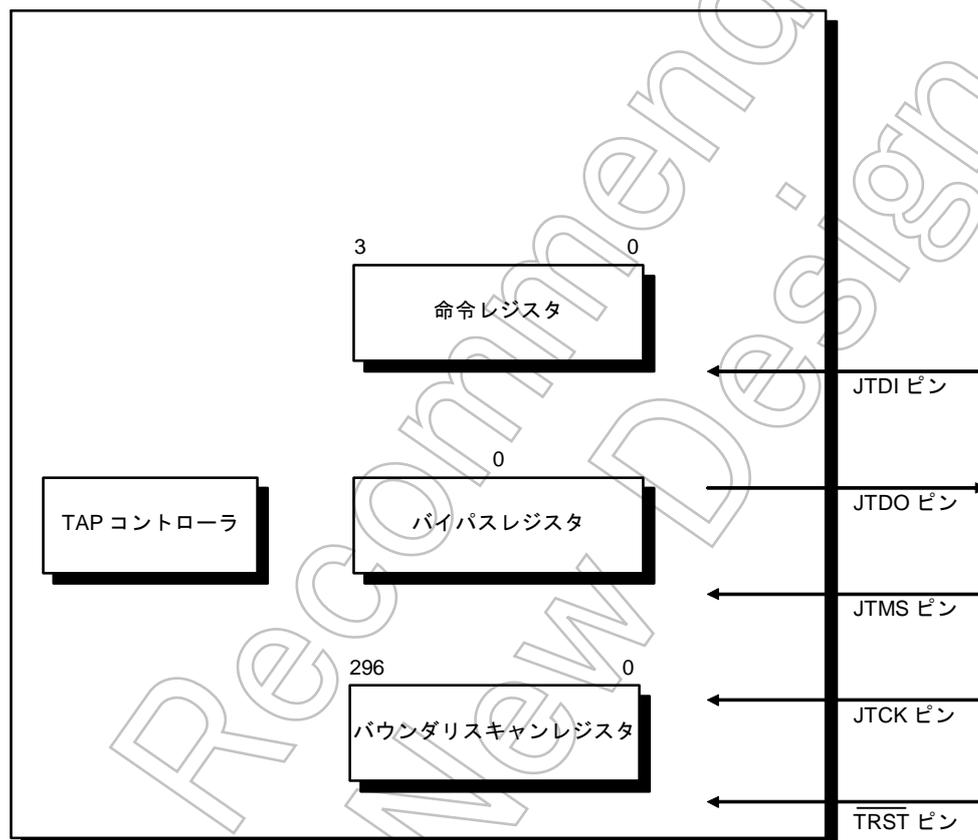


図 20-2 JTAG インタフェース信号とレジスタ

JTAG バウンダリスキャンメカニズム（本章では「JTAG メカニズム」と呼びます）により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムには、プロセッサ自体をテストする機能はありません。

20.3 JTAGコントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テスタクセスポート (TAP) コントローラ

JTAGの基本動作は、TAPコントローラステートマシンがJTMS入力信号をモニタすることです。実行が開始されると、TAPコントローラは実行されるテスト機能を決定します。これは、表 20-1に示すように、JTAG命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされるとき、JTMSピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

20.3.1 命令レジスタ

JTAGの命令レジスタには、シフトレジスタを基本とする4個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 20-1の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 20-1 JTAG の命令レジスタのビット構成

命令コード 最上位→最下位	命令	選択されるデータレジスタ
0000	EXTEST	バウンダリスキャンレジスタ
0001	SAMPLE/PRELOAD	バウンダリスキャンレジスタ
0010 ~ 1110	予約	予約
1111	BYPASS	バイパスレジスタ

命令レジスタのフォーマットは図 20-3のとおりです。



図 20-3 命令レジスタ

命令コードは、最下位ビットから命令レジスタにシフトされます。



図 20-4 命令レジスタのシフト方向

20.3.2 バイパスレジスタ

バイパスレジスタは1ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は、図 20-5のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

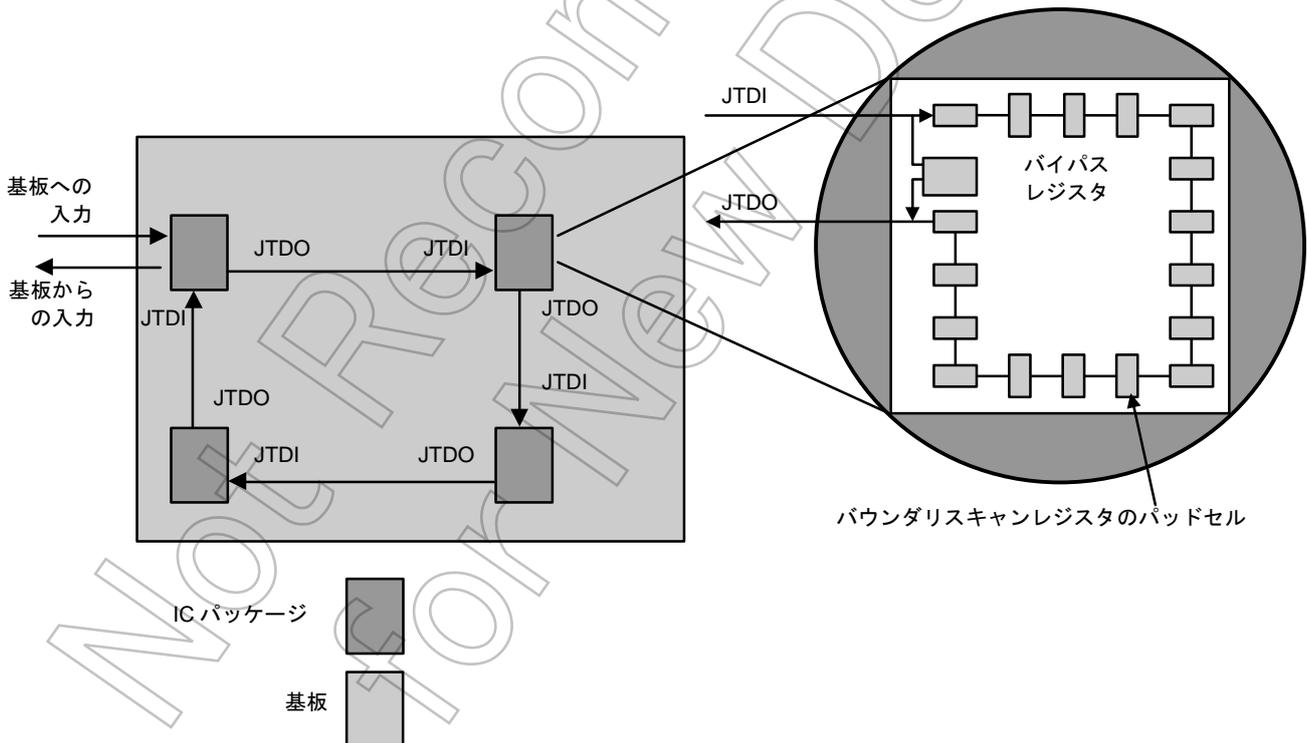


図 20-5 バイパスレジスタの機能

20.3.3 バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMP19A23 の入出力があります。TMP19A23 のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、297 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、TMP19A23 のすべての入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

20.3.4 テストアクセスポート (TAP)

テストアクセスポート (TAP) は、5 個の信号ピン \overline{TRST} 、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 20-6 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

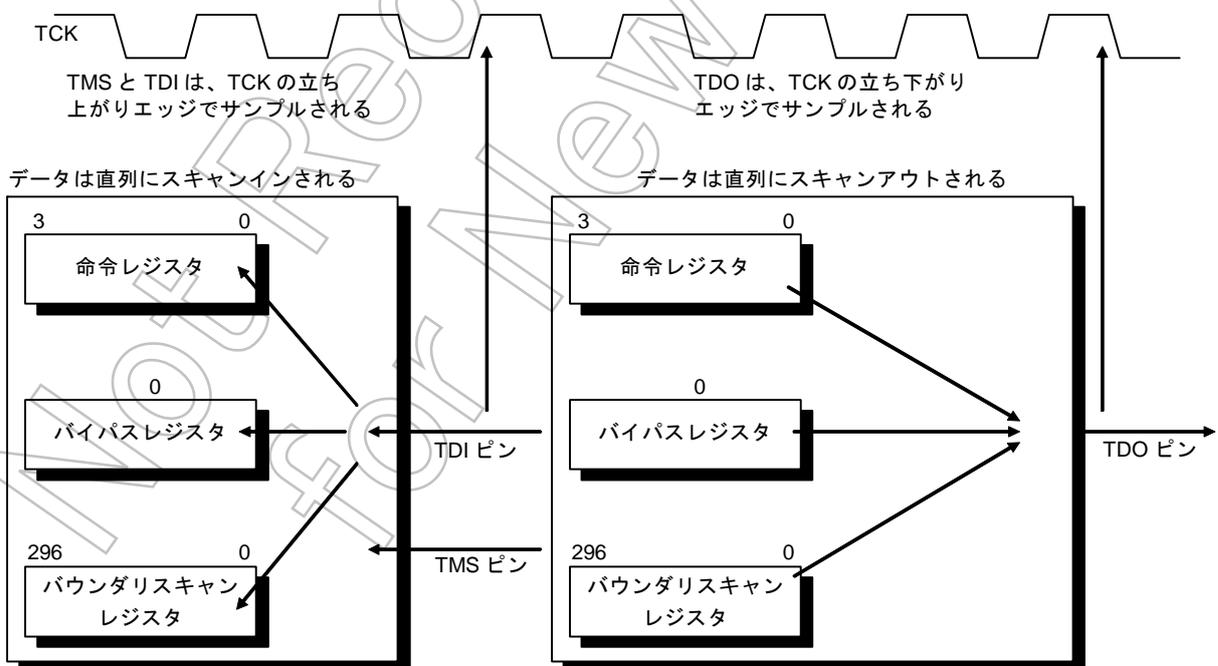


図 20-6 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

20.3.5 TAPコントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

20.3.6 コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

- $\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。
- プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続ける。

TMS をアサート状態に保てば、リセット状態が保たれます。

Not Recommended
for New Design

20.3.7 コントローラの状態

図 20-7にTAPコントローラの状態遷移図を示します。TCKの立ち上がりエッジで、TMSが0か1のどちらの値を取るかによってTAPコントローラの状態が変化します。状態の遷移を示す矢印のわきにTMSの取る値を示します。

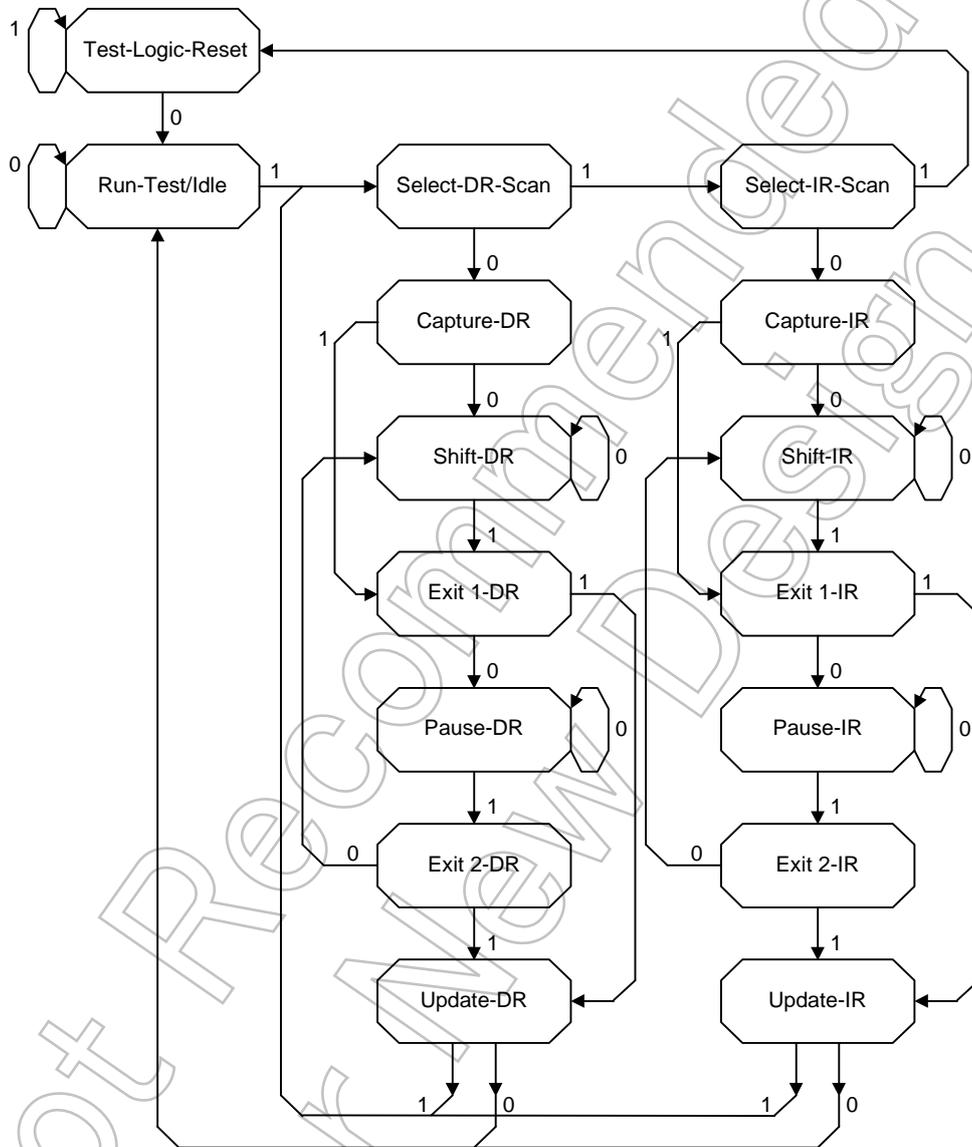


図 20-7 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 20-7の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR)、命令レジスタ (IR) を表します。

- **Test-Logic-Reset**
TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。
TMS が「1」の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に「0」を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。
- **Run-Test/Idle**
Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。
TMS が「0」の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に「1」を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。
- **Select-DR-Scan**
Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。
TAP コントローラが Select-DR-Scan 状態のとき TMS に「0」を入力すると Capture-DR 状態に遷移します。TMS に「1」を入力すると命令カラムの Select-IR-Scan 状態に遷移します。
- **Select-IR-Scan**
Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。
TAP コントローラが Select-IR-Scan 状態のとき、TMS に「0」を入力すると Capture-IR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。
- **Capture-DR**
TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタが、パラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。
TAP コントローラが Capture-DR 状態のとき TMS に「0」を入力すると、Shift-DR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Shift-DR
TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。
TAP コントローラが Shift-DR 状態のとき、TMS が「0」のあいだ Shift-DR 状態を保持します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。
- Exit 1-DR
Exit 1-DR 状態は TAP コントローラの一時的な状態です。
TAP コントローラが Exit 1-DR 状態のとき、TMS に「0」を入力すると Pause-DR 状態に遷移します。TMS に「1」を入力すると Update-DR 状態に遷移します。
- Pause-DR
Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。
TAP コントローラが Pause-DR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-DR 状態に遷移します。
- Exit 2-DR
Exit 2-DR 状態は TAP コントローラの一時的な状態です。
TAP コントローラが Exit 2-DR 状態のとき、TMS に「0」を入力すると、Shift-DR 状態に戻ります。TMS に「1」を入力すると Update-DR 状態に遷移します。
- Update-DR
Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することなく、この状態でのみデータを出力します。
TAP コントローラが Update-DR 状態のとき TMS に「0」を入力すると Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると Select-DR-Scan 状態に遷移します。
- Capture-IR
Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは 0001 です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。
TAP コントローラが Capture-IR 状態のとき TMS に「0」を入力すると Shift-IR 状態に遷移します。TMS に「1」を入力すると Exit 1-IR 状態に遷移します。
- Shift-IR
Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。
TAP コントローラが Shift-IR 状態のとき TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると、Exit 1-IR 状態に遷移します。
- Exit 1-IR
Exit 1-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-IR 状態のとき TMS に「0」を入力すると、Pause-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Pause-IR
Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

TAP コントローラが Pause-IR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-IR 状態に遷移します。

- Exit 2-IR
Exit 2-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-IR 状態のとき、TMS に「0」を入力すると、Shift-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Update-IR
Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

TAP コントローラが Update-IR 状態のとき、TMS に「0」を入力すると、Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると、Select-DR-Scan 状態に遷移します。

プロセッサ信号に対するバウンダリスキャン順序は、表 20-2のとおりです。

表 20-2 TMP19A23 プロセッサのピンに対する JTAG スキャン可能端子一覧

1 : PC0	2 : PC1	3 : PC2	4 : PC3	5 : BW1	6 : PD7	7 : PD6
8 : PD5	9 : PD4	10 : PD3	11 : PD2	12 : PD1	13 : PDO	14 : PE5
15 : PE4	16 : PE3	17 : PE2	18 : PE1	19 : PE0	20 : DINT	21 : PA0
22 : PA1	23 : PA2	24 : PA3	25 : PA4	26 : PA5	27 : PA6	28 : PA7
29 : PB7	30 : PB6	31 : PB5	32 : PB4	33 : PB3	34 : PB2	35 : PB1
36 : PB0	37 : P67	38 : P66	39 : P65	40 : P64	41 : P63	42 : P62
43 : P61	44 : P60	45 : P57	46 : P56	47 : P55	48 : P54	49 : B00T
50 : P53	51 : P52	52 : P51	53 : P50	54 : P27	55 : P26	56 : P25
57 : P24	58 : P23	59 : P22	60 : P21	61 : P20	62 : P17	63 : P16
64 : P15	65 : P14	66 : P13	67 : P12	68 : P11	69 : P10	70 : P07
71 : P06	72 : P05	73 : P04	74 : P03	75 : P02	76 : P01	77 : P00
78 : P40	79 : P41	80 : P42	81 : P43	82 : P44	83 : P45	84 : P46
85 : P47	86 : P30	87 : P31	88 : P32	89 : P33	90 : P34	91 : P35
92 : P36	93 : P37	94 : P70	95 : P71	96 : P72	97 : P73	98 : P74
99 : P75	100 : P76	101 : P77	102 : P80	103 : P81	104 : P82	105 : P83
106 : P84	107 : P90	108 : P91	109 : P92	110 : P93	111 : P94	112 : P95
113 : P96	114 : P97					

注 : JTAG スキャン可能な端子を表記しております。

20.4 JTAGコントローラセルでサポートしている命令

この項では、TMP19A23のJTAGコントローラセルでサポートしている命令について説明します。

20.4.1 EXTEST命令

EXTEST命令は外部接続テストに使用します。EXTEST命令では、出力端子のBSRセルはUpdate-DR時にテストパターンを出力し、入力端子のBSRセルはCapture-DR時にテスト結果を取り込みます。

通常、EXTEST命令を選択するまえにSAMPLE/PRELOAD命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR状態において不確定なデータが伝送され、IC間でバスのコンフリクトが起こる可能性があります。EXTEST命令が選択されているあいだのデータの流を 図 20-8 に示します。

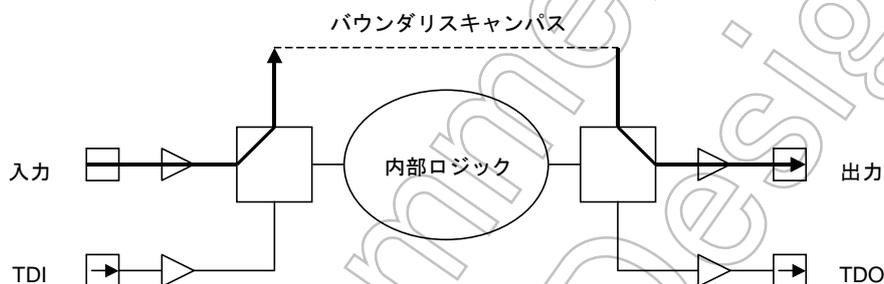


図 20-8 EXTEST命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAPコントローラを初期化して、Test-Logic-Reset状態にします。
2. 命令レジスタにSAMPLE/PRELOAD命令をロードします。これによりバウンダリスキャンレジスタがTDI-TDO間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタにEXTEST命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6から8をテストパターンごとに繰り返します。

「EXTEST命令を使用する場合は、CPUが動作状態となっていますので端子入力に注意して下さい」
 「EXTEST命令を使用する場合は、システムリセット解除後にテストを行って下さい」

20.4.2 SAMPLE/PRELOAD命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

- SAMPLEはICのI/Oパッドを観測するのに使います。SAMPLEがI/Oパッドを観測しているあいだ、内部ロジックはICのI/O端子から切り離されません。SAMPLEはCapture-DR状態で実行します。通常動作中、TCKの立ち上がりエッジにおいてICのI/O端子の値を読み取ることがSAMPLEの主な用途です。図 20-9にSAMPLE/PRELOAD命令のSAMPLEを実行しているあいだのデータの流れを示します。

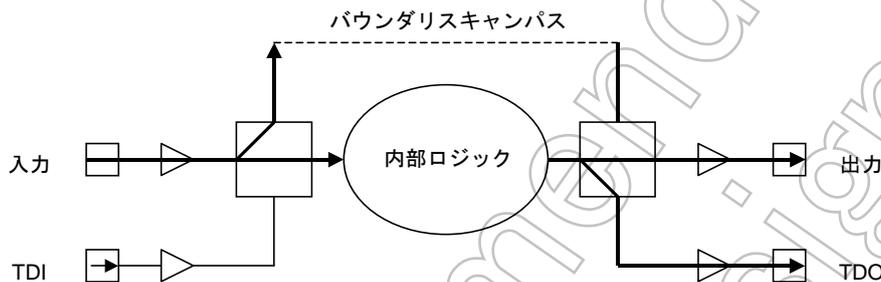


図 20-9 SAMPLE が選択されているときのテストデータの流れ

- PRELOADは他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたようにEXTEST命令を選択するまえにPRELOADを用いてバウンダリスキャンレジスタを初期化します。PRELOADはシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 20-10にSAMPLE/PRELOAD命令のPRELOADを実行しているあいだのデータの流れを示します。

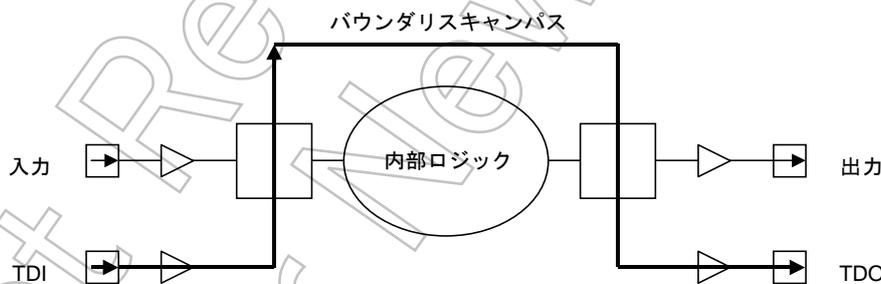


図 20-10 PRELOAD が選択されているときのテストデータの流れ

「SAMPLE命令を使用する場合は、システムリセット中に命令のUpdateを完了して下さい。
またリセット解除後に、TAPの命令切り替えを行わないで下さい。」

20.4.3 BYPASS命令

BYPASS命令はICを制御、観測する必要がないテストの場合に、バイパスレジスタをJTDI-JTDO間に接続することによりICをバイパスする最短のシリアルパスを構成します。BYPASS命令はチップ上のシステムロジックの通常動作には影響を与えません。図 20-11に示すようにBYPASS命令が選択されているあいだ、データはバイパスレジスタを通ります。

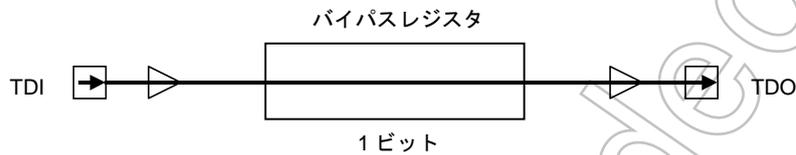


図 20-11 バイパスレジスタが選択されているときのテストデータの流れ

20.5 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

- X2, X1 信号パッドは、JTAG をサポートしていません。
- JTAG 回路のリセット解除手順（どちらか一方を選択）
 - ① $\overline{\text{TRST}}$ をアサートして JTAG 回路を初期化後デアサート。
 - ② TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

21. Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

21.1 フラッシュメモリ

21.1.1 特長

1) メモリ容量

TMP19A23FYFG/XBG はフラッシュメモリ 2M ビット (256K バイト) を搭載しています。構成は 2 ブロック (128K バイト × 2) になっており、各ブロック個別に書き込みをおこなうことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2) フラッシュメモリアクセス

本デバイスではインタリーブアクセスです。

3) 書き込み/消去時間

書き込み時間: 1sec/Chip (Typ) 0.5sec/128Kbyte (Typ.)

消去: 0.2sec/Chip (Typ) 0.1msec/128Kbyte (Typ.)

(注) 上記値は理論時間を表しており、データ転送時間などは含まれていません。
チップ当たりの時間はユーザーの書き替え方法により異なります。

4) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードがあります。

・オンボードプログラミングモード

4-1) ユーザーブートモード

ユーザー独自の書き替え方法をサポート

4-2) シングルブートモード

シリアル転送 (当社オリジナル) での書き替え方法をサポート

書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、フラッシュプロテクト機能を追加しています。一方、書き替え禁止を設定するプロテクトは、コマンド (ソフトウェア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウェア) には対応できません。前記プロテクト機能は 2 エリア全てにプロテクトを掛けると自動的に有効になります。フラッシュプロテクトの解除を行う場合は、ROM データプロテクトを解除した後にブロックのプロテクトを消去可能になります。ROM データプロテクトを解除する前にブロックプロテクトを解除すると内部データが自動的に消去され、その後に全てのプロテクトが解除されます。

JEDEC 準拠の機能	変更、追加、削除した機能
<ul style="list-style-type: none"> 自動プログラム 自動チップ消去 自動ブロック消去 	<変更> ブロックプロテクト (ソフトウェアプロテクトのみサポート) <削除> 消去レジューム/サスペンド機能 <追加> 自動マルチブロック消去 (チップ単位までサポート)
<ul style="list-style-type: none"> データポーリング/トグルビット 	

21.1.2 フラッシュ部ブロック図

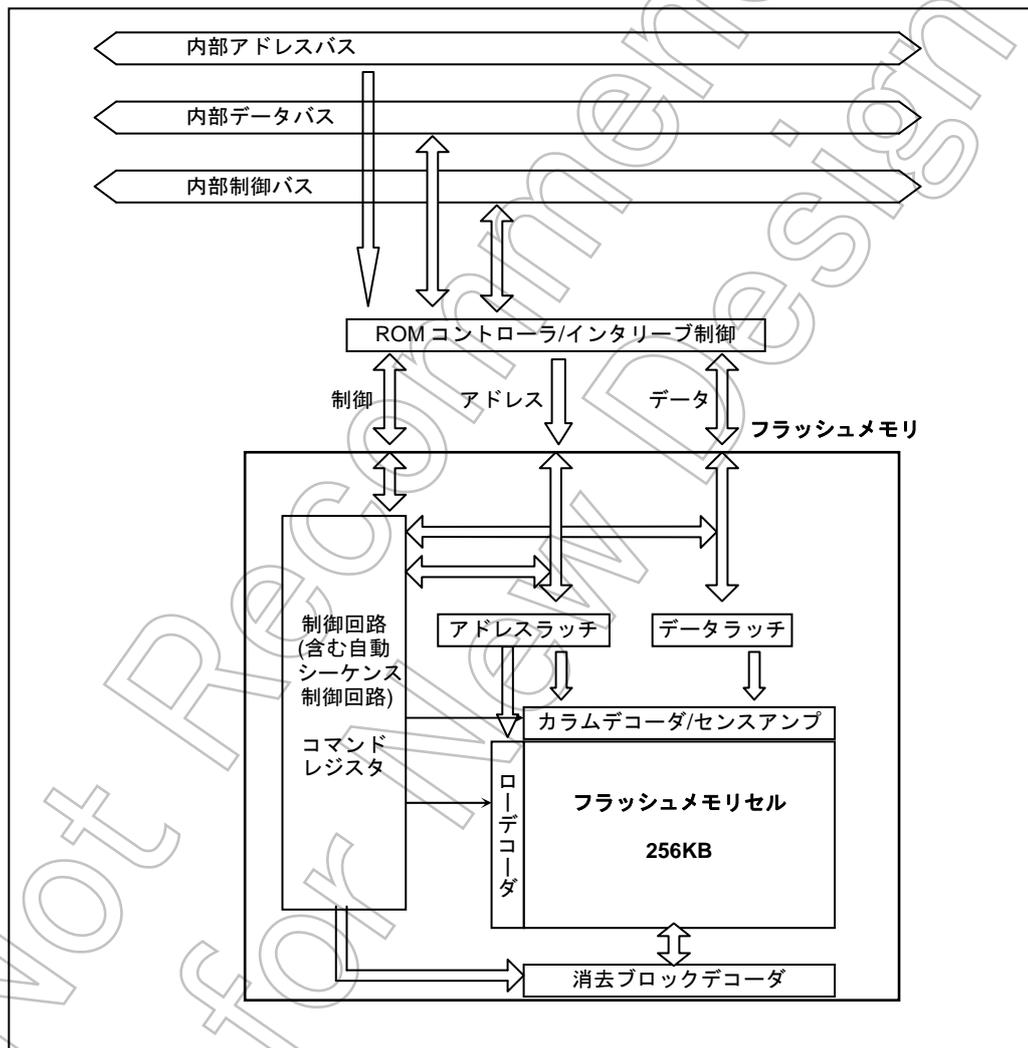


図 21-1 フラッシュ部ブロック図

21.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3通りの動作状態（モード）が存在します。

表 21-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート 00 が '1' のときノーマルモード、'0' のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表でプログラムが可能なフラッシュメモリの動作モードは ユーザーブートモード、シングルブートモードの2つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この2つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で入力端子 $\overline{\text{BOOT}}$ のレベルを外部で設定することにより決定されます。

CPU は状態設定後リセットを解除することにより各動作モードで動作を開始します。 $\overline{\text{BOOT}}$ 端子については、それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に動作モードの設定方法とモード遷移図を示します。

表 21-2 動作モード設定表

動作モード	入力端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

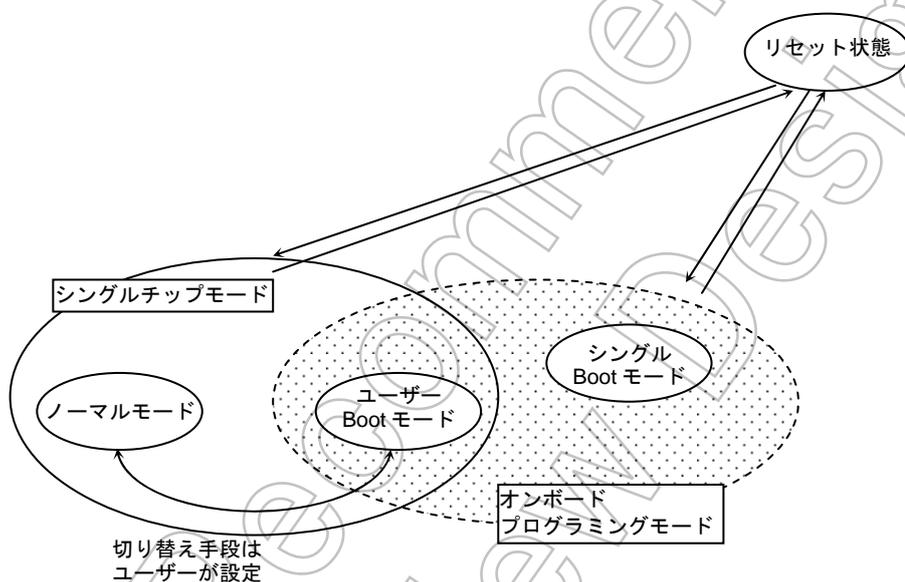


図 21-2 モード遷移図

21.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (54MHz 動作で 1.8 μs (リセット後は、クロックギア 1/8 モード)) $\overline{\text{RESET}}$ 入力を “0” にしてください。

- (注 1) 電源投入後は、電源電圧および発振が安定した状態から 500 μs 以上経過してからリセット解除させてください。
- (注 2) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。

21.2.2 DSU(EJTAG)-PROBEインタフェース

DSU-PROBE を利用してデバッグするときに使用します。DSU-PROBE と接続される専用 I/F です。DSU-PROBE を利用したデバッグの詳細に関しては、ご使用の DSU-PROBE の取扱説明書を参照してください。ここでは、DSU (EJTAG) モードでの DSU-PROBE 使用許可/禁止について説明します。

1) プロテクト機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにするプロテクト機能をもっています。プロテクト機能を有効にすることにより、DSU-probe を使用して内蔵フラッシュの内容を読み出すことは不可能になります。後述のフラッシュプロテクト機能とあわせてご使用願います。

2) DSU-PROBE 使用許可/禁止機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにする DSU-PROBE 使用禁止機能（以下、DSU プロテクト）をもっています。DSU 禁止機能を有効にすることにより、DSU-PROBE を使用することが不可能になります。

3) DSU 使用許可（DSU-PROBE を利用してのデバッグを有効）

DSU プロテクトを解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” にし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、SEQMOD<SEQON> = “1” にし、SEQCNT レジスタに “0x0000_00C5” を書き込むことにより再びプロテクト機能が有効になります。

表 21-3 DSU プロテクトモードレジスタ

	7	6	5	4	3	2	1	0	
SEQMOD (0xFFFF_E510)	Bit Symbol								DSUOFF
	Read/Write								R
	リセット後								0
	機能								1: DSU 使用不可 0: DSU 使用許可
	15	14	13	12	11	10	9	8	
	Bit Symbol								
	Read/Write								R
	リセット後								0
	機能								リードすると常に”0”が読めます
	23	22	21	20	19	18	17	16	
	Bit Symbol								
	Read/Write								R
	リセット後								0
	機能								
	31	30	29	28	27	26	25	24	
	Bit Symbol								
	Read/Write								R
	リセット後								0
	機能								リードすると常に”0”が読めます

(注1) 本レジスタは 32 ビットのアクセスで行ってください。

(注2) 本レジスタはパワーオンリセットのみで初期化されます。通常リセットでは初期化されません。

表 21-4 DSU プロテクト制御レジスタ

	7	6	5	4	3	2	1	0
SEQCNT (0xFFFF_E514)	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	15	14	13	12	11	10	9	8
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	23	22	21	20	19	18	17	16
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	31	30	29	28	27	26	25	24
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							

(注1) 本レジスタは 32 ビットのアクセスで行ってください。

4) ユーザー使用例

本機能を使用した DSU-PROBE の使用例を以下に示します。

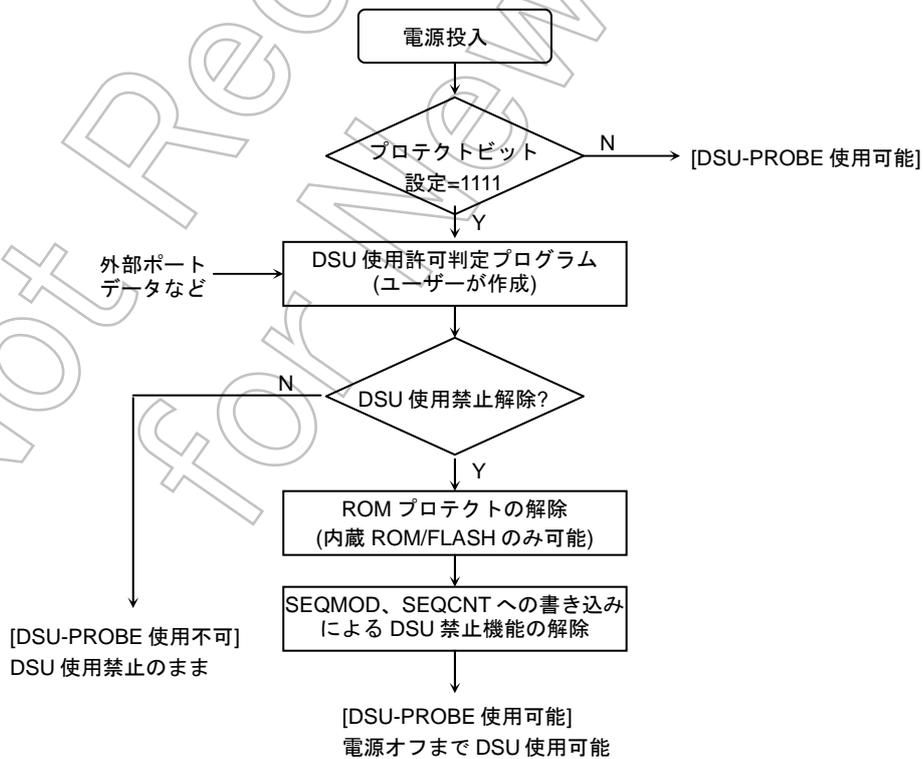


図 21-3 DSU 禁止機能の使用例

21.2.3 ユーザーブートモード (シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。したがって、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリアリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにプロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスクブルを含めたすべての割り込み発生を禁止してください。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の2ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「21.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

Not Recommended for New

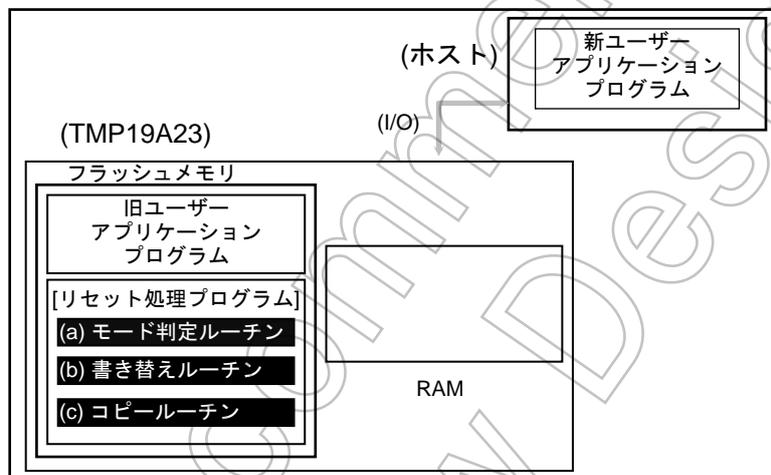
ユーザーブートモード

(1-A) 書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

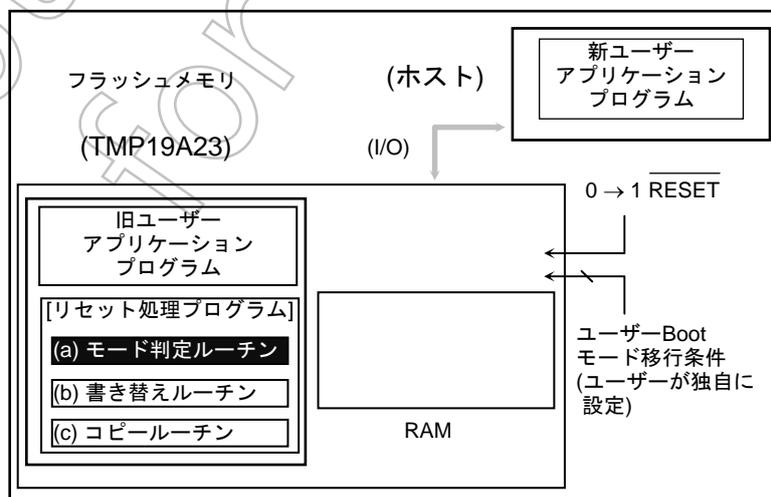
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- | | |
|--------------------|---|
| (a) モード判定ルーチン: | 書き替え動作に移るためのプログラム |
| (b) フラッシュ書き換えルーチン: | 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム |
| (c) コピールーチン: | 上記 (b) を内蔵 RAM または外部メモリにコピーするためのプログラム |

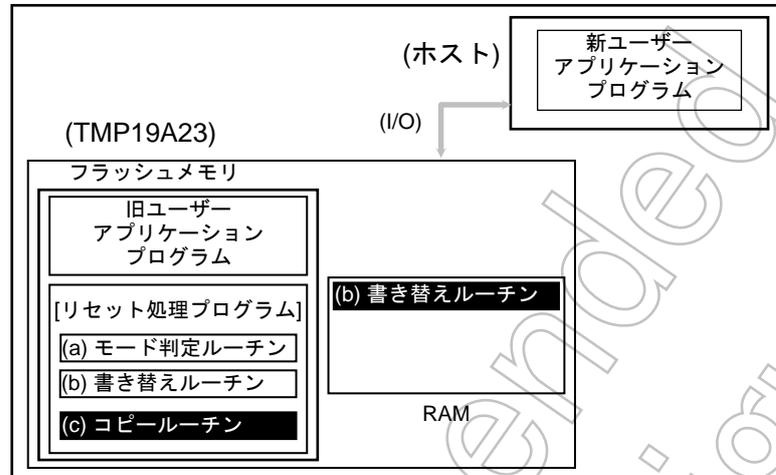
**(Step-2)**

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)

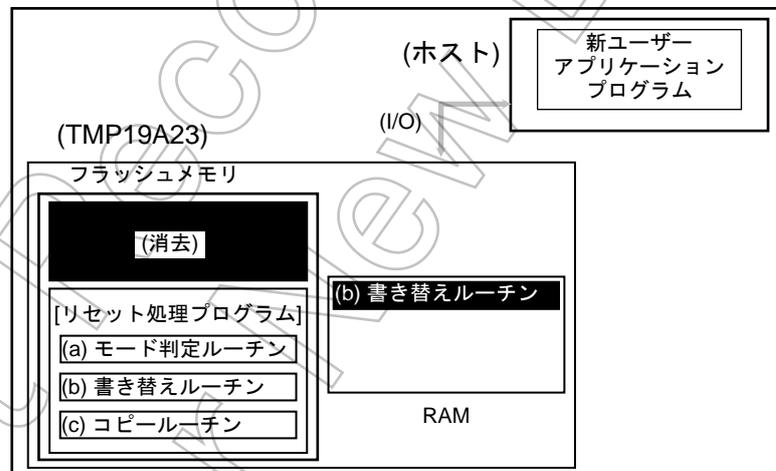


(Step-3)

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM もしくは外部メモリにコピーします。(下図は内部 RAM へコピーした場合を示します。)

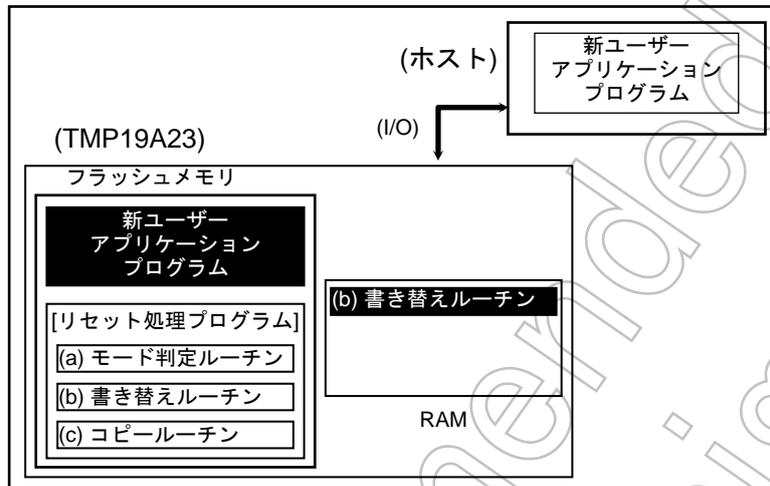
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去（ブロック単位）を行います。



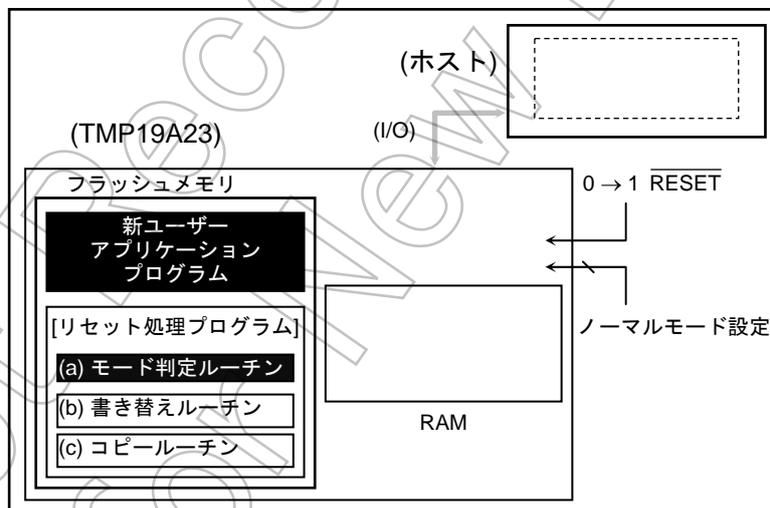
(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。



(Step-6)

RESET入力端子を“0”にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



(1-B) 書き替えルーチンを外部から転送する手順例

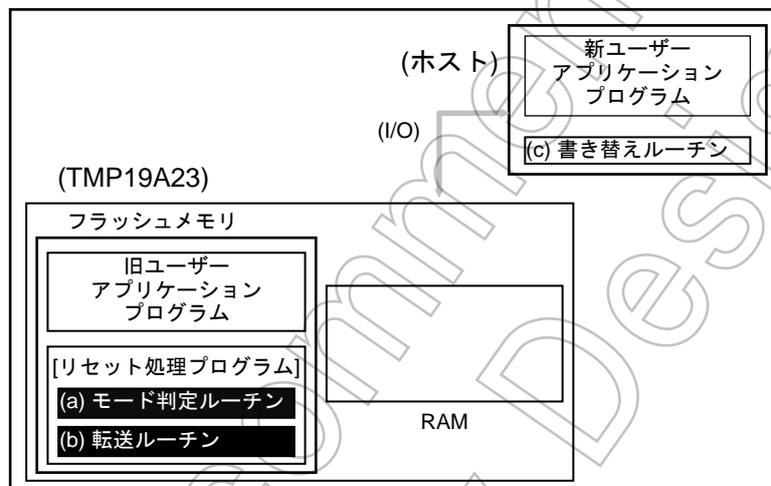
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
- (b) 転送ルーチン： 書き替えプログラムを外部から取り込むためのプログラム

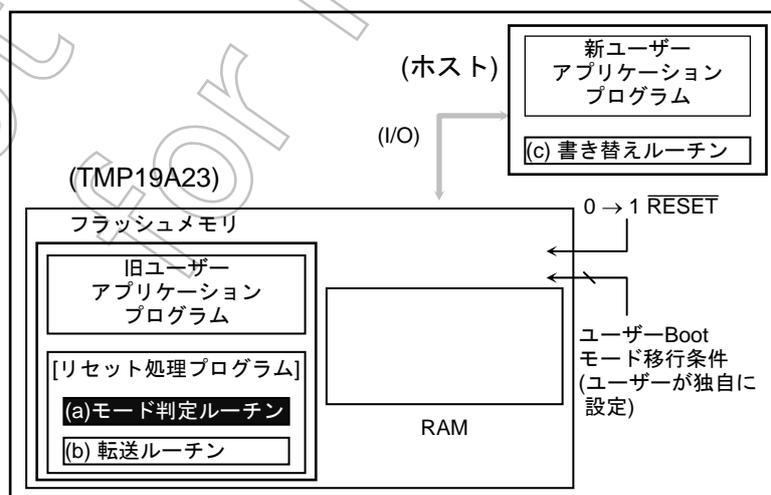
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン： 書き替えを行うためのプログラム



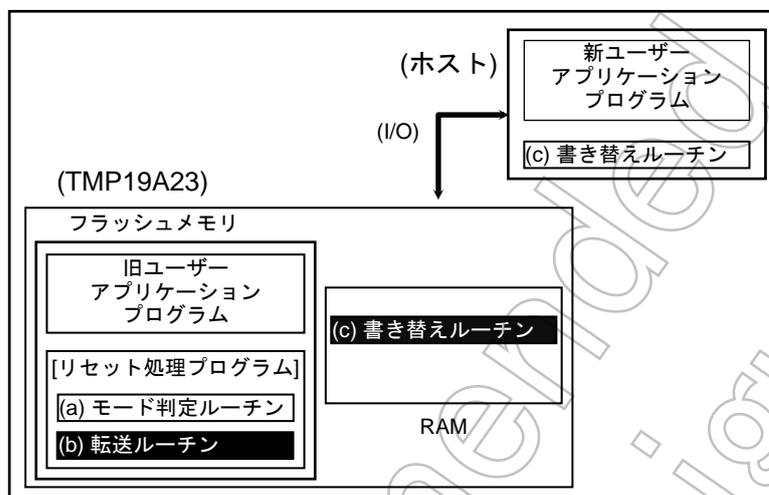
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)

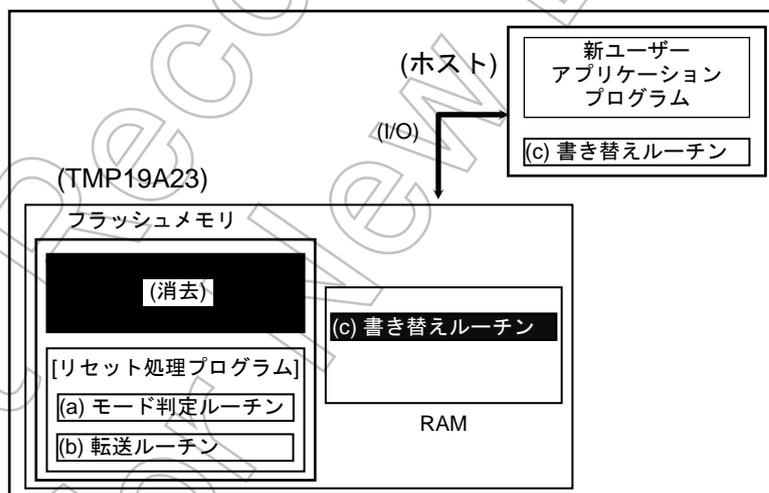


(Step-3)

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元（ホスト）より (c) 書き替えルーチンを内部 RAM もしくは外部メモリにロードします。（下図は内部 RAM へコピーした場合を示します。）

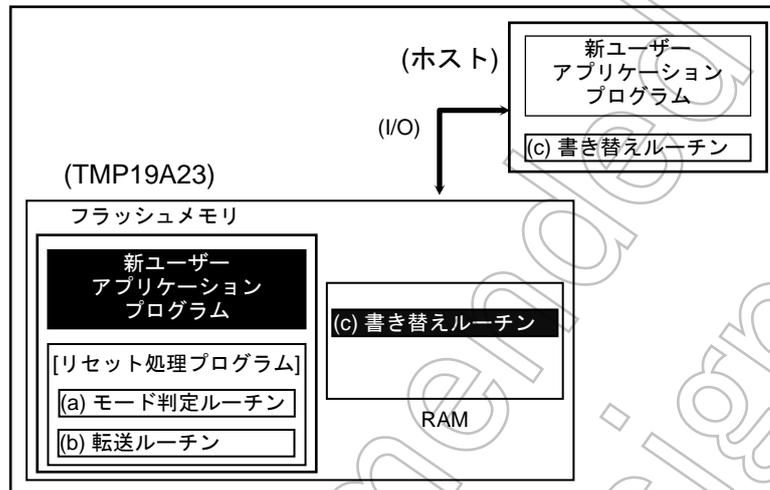
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去（ブロック単位）を行います。

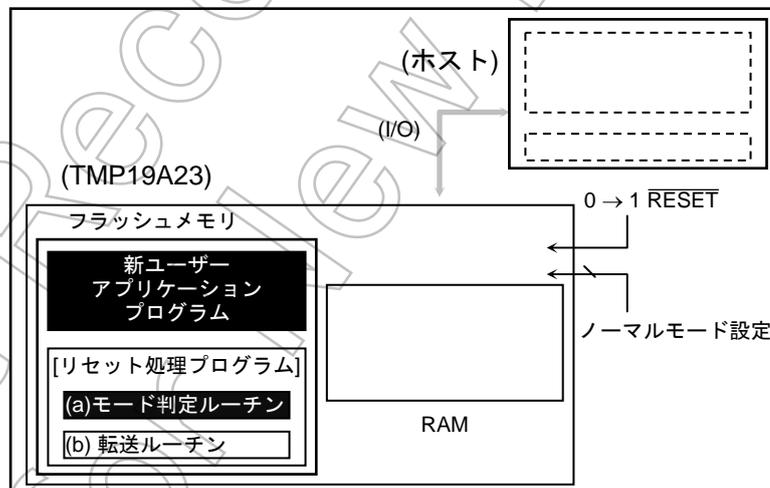


(Step-5)

さらに、RAM上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

**(Step-6)**

RESET入力端子を“0”にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



21.2.4 シングルブートモード

内蔵ブート ROM (マスク ROM) を起動して、ブート ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクタテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリはブート ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO2) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、ブート ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないように、書き替え処理が完了したら必要なブロックにプロテクトをかけておくことを推奨します。

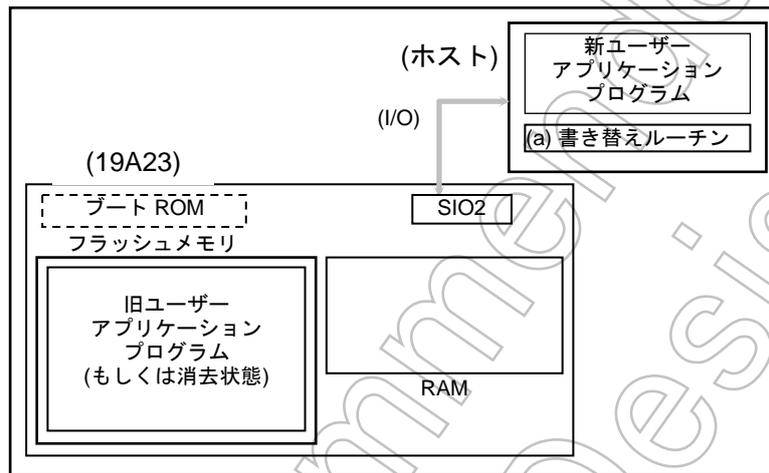
Not Recommended for New Design

シングルブートモード

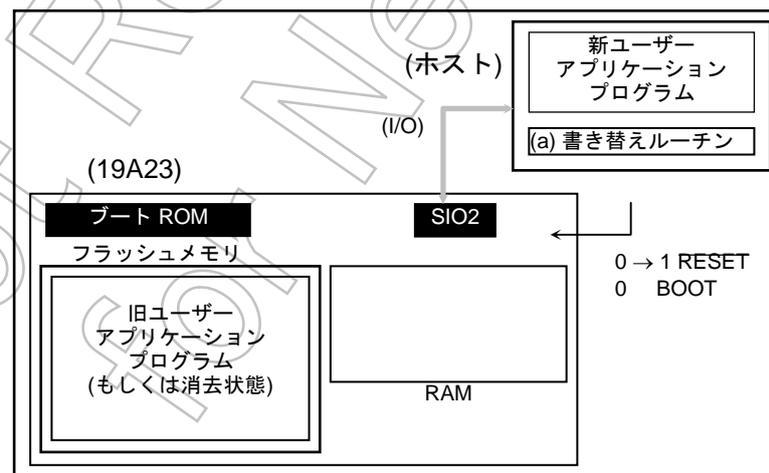
(2-A) 内蔵ブート ROM の書き替えアルゴリズムを利用する場合

(Step-1)

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO2) を経由して行いますので、ボード上で本デバイスの SIO2 (SIO2) と外部ホストとをつなげます。書き替えを行うための (a) 書き替えルーチンはホスト上に用意します。

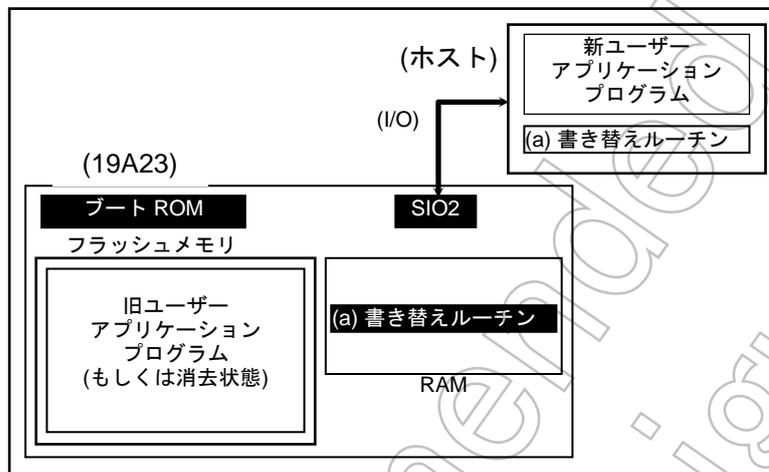
**(Step-2)**

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO2 を経由して転送元 (ホスト) より (a) 書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ (FFH) をパスワードとして照合を行います。)

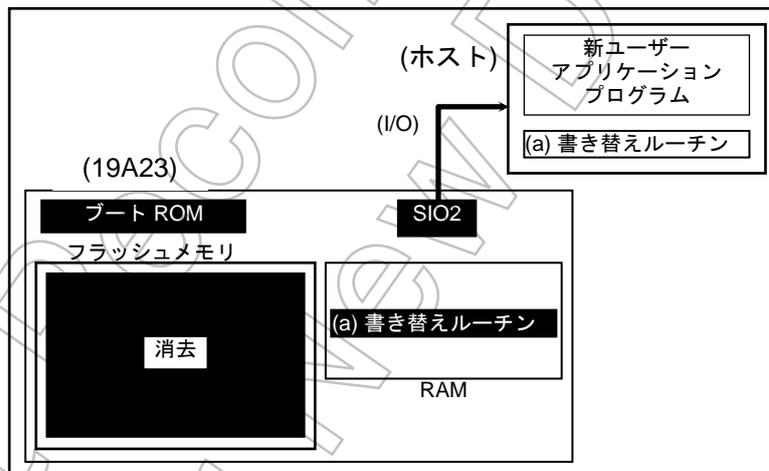


(Step-3)

パスワードの照合が終了すると、転送元（ホスト）から (a) 書き替えルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0xFFFF_8000~0xFFFF_DFFF の範囲に格納してください。

**(Step-4)**

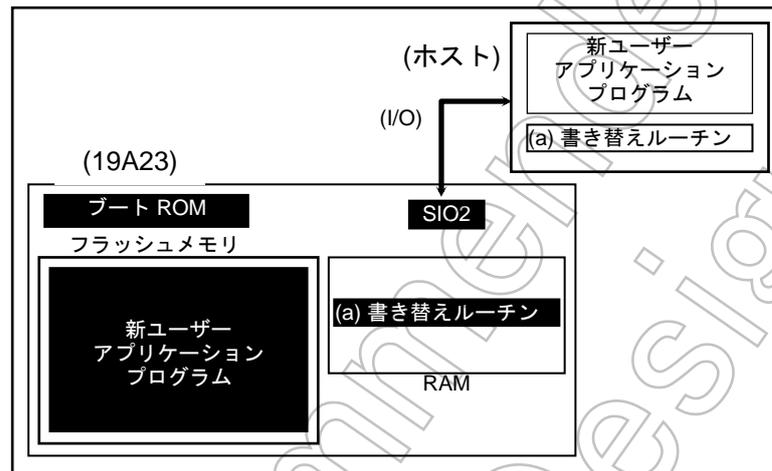
RAM 上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



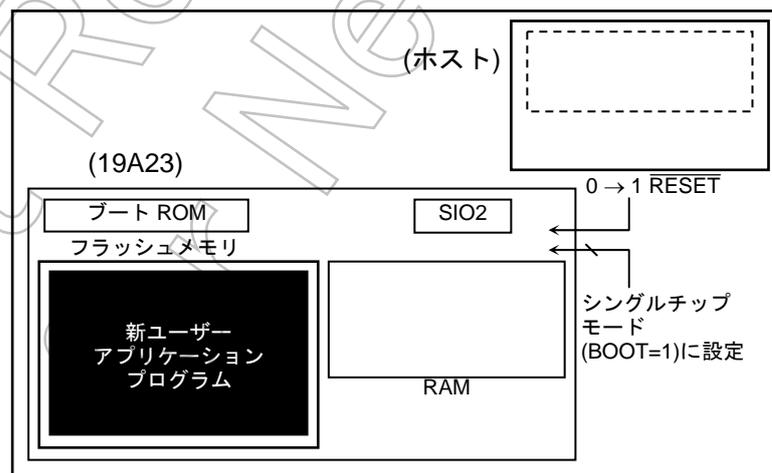
(Step-5)

さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO2 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。

**(Step-6)**

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード（ノーマルモード）起動し、新しいユーザーアプリケーションプログラムを実行します。



(1)モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

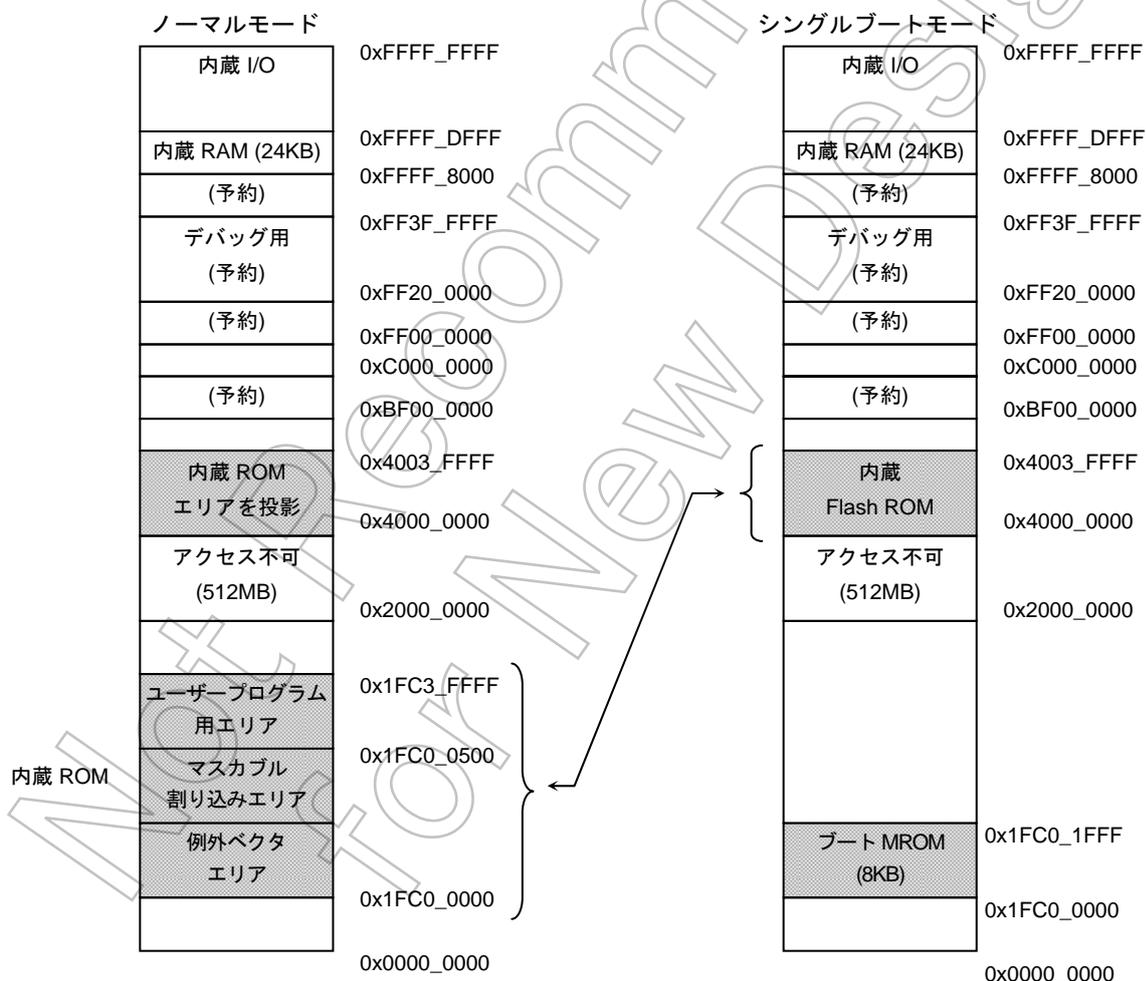
$$\overline{\text{BOOT}} = 0$$

$$\overline{\text{RESET}} = 0 \rightarrow 1$$

$\overline{\text{RESET}}$ 入力端子を“0”の状態にして、 $\overline{\text{BOOT}}$ の各端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

(2) メモリマップ

図 21-4 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは物理アドレス (0x4000_0000~0x4003_FFFF 番地)、仮想アドレス (0x0000_0000~0x0003_FFFF 番地) にマッピングされます。また、0x1FC0_0000 番地から 0x1FC0_1FFF 番地にはブートROM (マスクROM) がマッピングされます。



物理アドレスです。

図 21-4 メモリマップの比較

(3) インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART（非同期通信）と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャンネル	: SIO チャンネル 2
シリアル転送モード	: UART（非同期通信）モード、全二重通信、LSB ファースト
データ長	: 8 ビット
パリティビット	: なし
STOP ビット	: 1 ビット
ボーレート	: 任意のボーレート

- I/O インタフェースモードで通信する場合

通信チャンネル	: SIO チャンネル 2
シリアル転送モード	: I/O インタフェースモード、半二重通信、LSB ファースト
同期信号 (SCLK2)	: 入力モード
ハンドシェイク端子	: 出力モード PB7
ボーレート	: 任意のボーレート

表 21-5 端子の接続

端子		端子		
		電源系端子		モード設定端子
		インタフェース		
		UART	I/O インタフェースモード	
電源系 端子	QFP 版	REGIN	○	○
		DVCC3	○	○
	BGA 版	DVCC15	○	○
		DVCC3	○	○
		DVSS	○	○
モード設定端子		BOOT	○	○
リセット端子		RESET	○	○
通信端子		TXD2	○	○
		RXD2	○	○
		SCLK2	×	○ (入力モード)
		PB7	×	○ (出力モード)

(4) データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 21-6 ~ 表 21-10 示します。後述の「ブートプログラム動作説明」とあわせてお読みください。

表 21-6 動作コマンドデータ

動作コマンドデータ	動作モード
10H	RAM 転送
20H	フラッシュメモリ SUM
30H	製品情報読み出し

表 21-7 シングルブートプログラムの転送フォーマット [RAM 転送の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ	
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—	
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した 場合は動作停止) I/O インタフェースの場合 正常の場合 30H	
	3 バイト目	動作コマンドデータ (10H)		—	
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 30H 異常の場合 × 1H 通信異常の場合 × 8H	
	5 バイト目 ~ 16 バイト目	PASS WORD データ (12 バイト) (0x0000_0474~0x0000_047F)		—	
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		—	
	18 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H	
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		—	
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		—	
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		—	
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		—	
	23 バイト目	RAM 格納バイト数 15 ~ 8		—	
	24 バイト目	RAM 格納バイト数 7 ~ 0		—	
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		—	
	26 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H	
	27 バイト目 ~ m バイト目	RAM 格納データ		—	
	m + 1 バイト目	27 ~ m バイト目の CHECK SUM 値		—	
	m + 2 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H	
	RAM	m + 3 バイト目		—	JUMP RAM 格納開始アドレス

- *1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。
- *2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。
- *3: 19 バイト目 ~ 25 バイト目のデータは、RAM 上のアドレス 0xFFFF_8000~0xFFFF_CFFF の領域内に納まるようにプログラムしてください。

表 21-8 ブートプログラムの転送フォーマット [フラッシュメモリ SUM の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した 場合は動作停止) I/O インタフェースの場合 正常の場合 30H
	3 バイト目	動作コマンドデータ (20H)		—
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 30H 異常の場合 x1H 通信異常の場合 x8H
	5 バイト目	—		SUM (上位)
	6 バイト目	—		SUM (下位)
	7 バイト目	—		5 ~ 6 バイト目の CHECK SUM 値
	8 バイト目	(次の動作コマンドデータ待ち)		—

*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

Not Recommended for New Design

表 21-9 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (1/2)

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した 場合は、動作停止) I/O インタフェースの場合 正常の場合 30H
	3 バイト目	動作コマンドデータ (30H)		—
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 10H 異常の場合 × 1H 通信異常の場合 ⊗ 8H
	5 バイト目	—		フラッシュメモリデータ (0x4000_0470 番地)
	6 バイト目	—		フラッシュメモリデータ (0x4000_0471 番地)
	7 バイト目	—		フラッシュメモリデータ (0x4000_0472 番地)
	8 バイト目	—		フラッシュメモリデータ (0x4000_0473 番地)
	9 バイト目 ~ 20 バイト目	—		製品名 (アスキーコード、12 バイト) 9 バイト目から 'TX1923FY'
	21 バイト目 ~ 24 バイト目	—		Password 比較開始アドレス (4 バイト) 21 バイト目から 74H, 04H, 00H, 00H
	25 バイト目 ~ 28 バイト目	—		RAM 開始アドレス (4 バイト) 25 バイト目から 00H, 80H, FFH, FFH
	29 バイト目 ~ 32 バイト目	—		ダミーデータ (4 バイト) 29 バイト目から FFH, 8FH, FFH, FFH
	33 バイト目 ~ 36 バイト目	—		RAM 終了アドレス (4 バイト) 33 バイト目から FFH, DFH, FFH, FFH
	37 バイト目 ~ 40 バイト目	—		ダミーデータ (4 バイト) 37 バイト目から 00H, 90H, FFH, FFH
	41 バイト目 ~ 44 バイト目	—		ダミーデータ (4 バイト) 41 バイト目から FFH, CFH, FFH, FFH
	45 バイト目 ~ 46 バイト目	—		FUSE 情報 (2 バイト) 45 バイト目から 00H, 00H
	47 バイト目 ~ 50 バイト目	—		フラッシュメモリ開始アドレス (4 バイト) 47 バイト目から 00H, 00H, 00H, 00H
	51 バイト目 ~ 54 バイト目	—		フラッシュメモリ終了アドレス (4 バイト) 51 バイト目から FFH, FFH, 03H, 00H
	55 バイト目 ~ 56 バイト目	—		フラッシュメモリブロック分割数情報 (2 バイト) 55 バイト目から 02H, 00H
	57 バイト目 ~ 60 バイト目	—		フラッシュメモリ同一ブロックサイズの 開始アドレス (4 バイト) 57 バイト目から 00H, 00H, 00H, 00H

表 21-10 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (2/2)

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	61 バイト目 ~ 64 バイト目	—		フラッシュメモリ同一ブロックサイズの サイズ (ハーフワード表現) (4 バイト) 61 バイト目から 00H, 00H, 01H, 00H
	65 バイト目	—		フラッシュメモリ同一ブロックサイズの 個数 (1 バイト) 02H
	66 バイト目	—		5 ~ 65 バイト目の CHECK SUM 値
	67 バイト目	(次の動作コマンドデータ待ち)		—

*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

(5) ブートプログラム 動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、1) RAM 転送コマンド ~ 3) 製品情報読み出しコマンドに記載してありますので、参照してください。

以下、特にことわりのない限りアドレスは仮想アドレスで表記します。

1. RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラムのサイズは、最大 24K バイト、実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、後章 3.5 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリ SUM コマンド

フラッシュメモリ 256k バイトの SUM を計算しその結果を返します。ブートプログラムではフラッシュメモリの全エリアのデータを読み出す動作コマンドはサポートしていません。その代わりに、このフラッシュメモリ SUM コマンドがあります。SUM を読み出すことで、アプリケーションプログラムのレビジョンを管理することができます。

3. 製品情報読み出しコマンド

本デバイスの製品名やメモリ情報などを返します。デバイス情報読み出しコマンドでは、フラッシュメモリの一部エリア (0x0000_0470~0x0000_0473 番地) のデータを返します。フラッシュメモリ SUM コマンド以外に、このデータを用いることで、アプリケーションプログラムのレビジョンを管理することができます。

1) RAM転送コマンド (表21-7 参照)

- 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (HSCOMODO<RXE> = 0) にしています。

- UART で通信を行いたい場合
コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを 86H にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。
- I/O インタフェースで通信を行いたい場合
コントローラからターゲットボードへは、同期式の設定で、所望のボーレート ÷ 16 でデータを 30H にして送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。したがって、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート ÷ 16 で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。したがって、ACK 応答データの通信異常 ACK (bit 3) (x8H) はありません。

- 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 86H を、I/O インタフェースと判定された場合 30H を送信します。

- UART と判定された場合
ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、BROCR の値を書き替え、86H を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間 (5 秒) を設けます。タイムアウト時間内に、データ (86H) を正常受信できなければ、通信不能と判断してください。受信を許可 (HSCOMODO<RXE> = 1) するタイミングは、送信バッファにデータ (86H) を書き込む前に行っています。
- I/O インタフェースと判定された場合
I/O インタフェースの設定になるように HSCOMODO、HSCOCR の値を書き替え、HSCOBUF に 30H を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間 (数m秒) 後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、

受信データが 30H なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可 (HSCOMODO<RXE>= 1) するタイミングは、送信バッファにデータ (30H) を書き込む前に行っていきます。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ (10H) になります。
4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 21-6 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、10H をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ (12 バイト) になります。5 バイト目の受信データはフラッシュメモリの 0x0000_0474 番地のデータと照合し、6 バイト目の受信データはフラッシュメモリの 0x0000_0475 番地のデータと照合します。同様に 16 バイト目の受信データはフラッシュメモリの 0x0000_047F 番地のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、“1” になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 17 バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待

ちになります。

- 5バイト目～16バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの12バイトのデータが、FFH以外の同一データの場合。
- 5バイト目～16バイト目のパスワードデータの照合がすべてが一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 10H を送信します。

8. 19バイト目～22バイト目までの受信データは、ブロック転送における格納先のRAMの開始アドレスを表します。19バイト目がアドレスの31ビット～24ビットに対応し、22バイト目が7ビット～0ビットに対応します。
9. 23バイト目、24バイト目の受信データは、ブロック転送するバイト数を表します。23バイト目が転送バイト数の15ビット～8ビット目に対応し、24バイト目が7ビット～0ビット目に対応します。
10. 25バイト目の受信データは、CHECK SUM データになります。19バイト目から24バイト目の送信データを符号なし8ビット加算（オーバフローを無視）して得られた下位8ビット値の2の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
11. 26バイト目の送信データは、19バイト目～25バイト目のデータに対するACK 応答データ（CHECK SUM 値に対するACK 応答）になります。最初に、19バイト目～25バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常のACK 応答データ（bit 3）18Hを送信して、次の動作コマンド（3バイト目）データ待ちになります。送信データの上位4ビットは、直前の動作コマンドデータの上位4ビットになるので“1”になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25バイト目のCHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19バイト目～25バイト目までの受信データを符号なし8ビット加算（オーバフローを無視）して得られた値の下位8ビットが、00Hかどうかをチェックしています。00H以外の場合、CHECK SUM エラーのACK 応答データ（bit 0）11Hを送信して、次の動作コマンド（3バイト目）データ待ちになります。

- 19バイト目～25バイト目のデータはRAM上のアドレス0xFFFD_8000～0xFFFD_EFFFの領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

12. 27バイト目～mバイト目の受信データは、RAMへ格納するデータになります。RAMに格納するデータを、19バイト目から22バイト目で指定されたアドレスから書き込み、23バイト目から24バイト目に指定されたバイト数分だけ書き込みます。
13. m+1バイト目の受信データは、CHECK SUM データになります。27バイト目～mバイト目の送信データを符号なし8ビット加算（オーバフローを無視）して得られた下位8ビット値の2の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

14. $m + 2$ バイト目の送信データは、27 バイト目 ~ 1 バイト目のデータに対する ACK 応答データ (CHECK SUM に対する ACK 応答) になります。最初に 27 バイト目 ~ $m + 1$ バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので “1” になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、 $m + 1$ バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ $m + 1$ バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

15. $m + 2$ バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 10H を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐 (32ISA) します。

Not Recommended for New Design

2) フラッシュメモリSUMコマンド (表21-8 参照)

1. 1バイト目~2バイト目までの送受信データはRAM転送コマンドの場合と同一になります。
2. 3バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリSUMコマンドデータ (20 H) になります。
3. 4バイト目の送信データは、3バイト目の動作コマンドデータに対するACK応答データになります。最初に、3バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常のACK応答データ (bit 3) x8Hを送信して、次の動作コマンド (3バイト目) データ待ちになります。送信データの上位4ビットは不定値になります。(直前の動作コマンドデータの上位4ビットになります。) なお、I/Oインタフェースの場合、受信エラーのチェックは行いません。

次に、3バイト目の受信データが、表21-6の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常ACK応答データ) します。この場合、20Hをエコーバック送信して、フラッシュメモリSUM処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーのACK応答データ (bit 0) x1Hを送信して、次の動作コマンド (3バイト目) データ待ちになります。送信データ上位4ビットは不定値になります。(直前の動作コマンドデータの上位4ビットになります。)

4. 5バイト目の送信データはSUM値の上位データ、6バイト目の送信データはSUM値の下位データになります。SUMの計算方法は、後述の「SUMの計算方法」を参照してください。
5. 7バイト目の送信データは、CHECK SUM データになります。5バイト目から6バイト目の送信データを符号なし8ビット加算 (オーバフローを無視) を行い、得られた下位8ビット値の2の補数を送信します。
6. 8バイト目の受信データは、次の動作コマンドデータになります。

3) 製品情報読み出しコマンド (表 21-9 参照)

1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。
2. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、製品情報読み出しコマンドデータ (30H) になります。
3. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 21-6 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、30H をエコーバック送信して、製品情報読み出し処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

4. 5 バイト目 ~ 8 バイト目の送信データは、フラッシュメモリのデータ (0x0000_0470 番地~0x0000_0473 番地のデータ) になります。この番地にソフトなどの ID 情報を書き込んでおくことにより、書き込んだソフトのバージョン管理をすることができます。
5. 9 バイト目 ~ 20 バイト目の送信データは製品名になります。9 バイト目から、アスキーコードで、'TX1923FY _ _' を送信します。
6. 21 バイト目 ~ 24 バイト目の送信データはパスワード比較開始アドレスになります。21 バイト目から、74H、04H、00H、00H を送信します。
7. 25 バイト目 ~ 28 バイト目の送信データは RAM 開始アドレスになります。25 バイト目から、00H、80H、FDH、FFH を送信します。
8. 29 バイト目 ~ 32 バイト目の送信データはダミーデータになります。29 バイト目から、FFH、8FH、FDH、FFH を送信します。
9. 33 バイト目 ~ 36 バイト目の送信データは RAM 終了アドレスになります。33 バイト目から、FFH、FFH、FDH、FFH を送信します。
10. 37 バイト目 ~ 40 バイト目の送信データは、00H、90H、FDH、FFH になります。
41 バイト目 ~ 44 バイト目の送信データは、FFH、EFH、FDH、FFH になります。
11. 45 バイト目 ~ 46 バイト目の送信データは、セキュリティビットやプロテクトビットの有無やフラッシュメモリがブロック分割されているかどうかを各ビットに割り付けたデータになります。0 ビット目は、セキュリティビットの有無を示します。“0” はセキュリティビットがあることを、“1” はセキュリティビットがないことを示します。1 ビット目は、プロテクトビットの有無を示します。“0” はプロテクトビット

があることを、“1”はプロテクトビットがないことを示します。2ビット目は、フラッシュメモリがブロック分割されているかどうかを示します。“0”は分割されていることを、“1”は分割されていないことを示します。3ビット目～15ビット目は未定義です。45バイト目から、01H、00Hを送信します。

12. 47バイト目～50バイト目の送信データは、フラッシュメモリ開始アドレスになります。47バイト目から、00H、00H、00H、00Hを送信します。
13. 51バイト目～54バイト目の送信データは、フラッシュメモリ終了アドレスになります。51バイト目から、FFH、FFH、03H、00Hを送信します。
14. 55バイト目～56バイト目の送信データは、フラッシュメモリのブロック分割数になります。55バイト目から、02H、00Hを送信します。
15. 57バイト目～92バイト目の送信データは、フラッシュメモリのブロック情報になります。ブロック情報は、フラッシュメモリ開始アドレスから見たとき、同一ブロックサイズが何ブロック続いているかを一単位とし、同一ブロックサイズの先頭の開始アドレスとブロックサイズ（ハーフワード単位）およびブロックの個数で表します。

57バイト目～65バイト目の送信データは、128kバイトのブロック (Block0, Block1) を表します。送信データについては、表 21-9 を参照してください。
16. 66バイト目の送信データは、CHECK SUM データになります。5バイト目から65バイト目の送信データを符号なし8ビット加算（オーバフローを無視）して、得られた下位8ビット値の2の補数を送信します。
17. 67バイト目の受信データは、次の動作コマンドデータになります。

4) ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 21-11 から表 21-13 に各受信データに対するACK応答データを示します。ACK応答データの上位4ビットは、動作コマンドデータの上位4ビットになります。また3ビット目は受信エラーを表し、0ビット目は動作コマンドエラー、CHECK SUMエラー、パスワードエラーの状態を表します。1ビット目と2ビット目は常に0になります。なお、I/Oインタフェースの場合、受信エラーのチェックは行いません。

表 21-11 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注 1)
0x30	I/O インタフェースでの通信が可能と判定した。

(注 1): UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 21-12 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注 1)	動作コマンドデータに受信エラーが発生した。
0x?1 (注 1)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x20	フラッシュメモリ SUM コマンドと判定した。
0x30	製品情報読み出しコマンドと判定した。

(注 1): 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 21-13 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注 1)	受信エラーが発生していた。
0xN1 (注 1)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注 1)	CHECK-SUM 値は正常な値と判定した。

(注 1): 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1(N=RAM 転送コマンドデータ[7:4])となります。

5) シリアル動作モード判定

コントローラは、UARTで通信したい場合、所望のボーレートで1バイト目を86Hにし、I/Oインタフェースで通信したい場合、所望のボーレート ÷ 16で1バイト目を30Hにして送信してください。図21-5にそれぞれの場合の波形を示します。

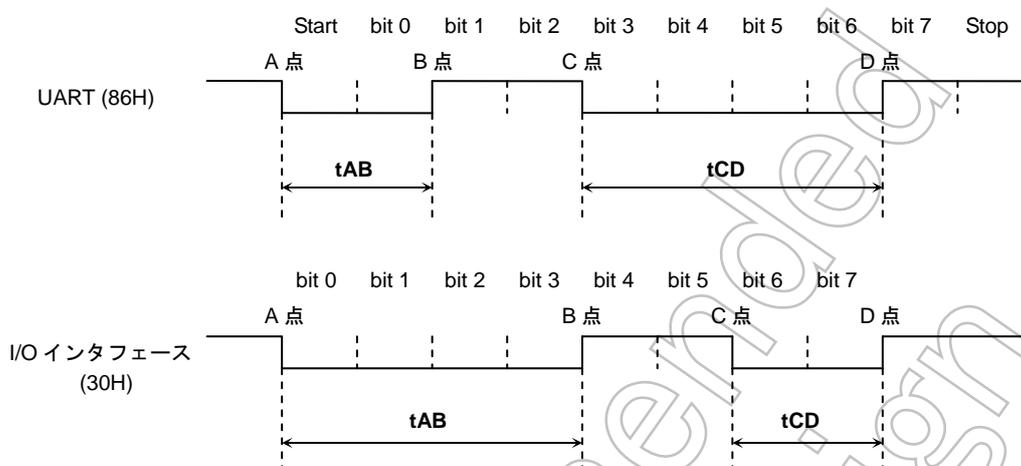


図 21-5 シリアル動作モード判定データ

ブードプログラムは、リセット解除後の1バイト目のシリアル動作モード判定データ(86H、30H)を受信禁止状態にして、図21-6に示すフローチャートで、図21-5の t_{AB} 、 t_{AC} と、 t_{AD} の時間を求めています。図21-6のフローチャートに示すように、CPUが受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、 t_{AB} 、 t_{AC} と、 t_{AD} のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPUは受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/OインタフェースはUARTに比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/Oインタフェースの場合、コントローラのボーレートは所望ボーレート ÷ 16にして送信してください。

図21-6のフローチャートに示すように、シリアル動作モードの判定は、受信端子が“L”レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$ の場合UARTと判定し、ボーレートの自動設定が可能かどうかを t_{AD} の時間から判定します。 $t_{AB} > t_{CD}$ の場合、I/Oインタフェースと判定します。なお、先に述べたように、 t_{AB} 、 t_{AC} 、 t_{AD} のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内でUARTの再設定を行ってください)。

例えば、コントローラはUARTで通信したいのに、I/Oインタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラはUARTで通信したい場合、1バイト目のデータを送信後、タイムアウト時間内にデータ86Hを正常受信できなければ通信不可能と判断してください。I/Oインタフェースで通信したい場合は1バイト目のデータを送信後、アイドル時間後にSCLKクロックを出力してデータを受信し、受信データが30Hでなければ通信不可能と判断してください。

I/Oインタフェースで通信したい場合は上記のとおり、 $t_{AB} > t_{CD}$ であれば1バイト目のデータは0x30でなくても構いません。A点とC点の立ち下がり、B点とD点の立ち上りを判定できるように0x91、0xA1あるいは0xB1を1バイト目のデータとして送信できます。 $t_{AB} > t_{CD}$ が成立しており、動作モード判定結果S10が選択された場合、(1バイト目の送信データが0x30でない場合でも)2バイト目のデータは0x30となります(以下、I/Oインタフェース判定用の1バイト目のデータは0x30を表記しています)。

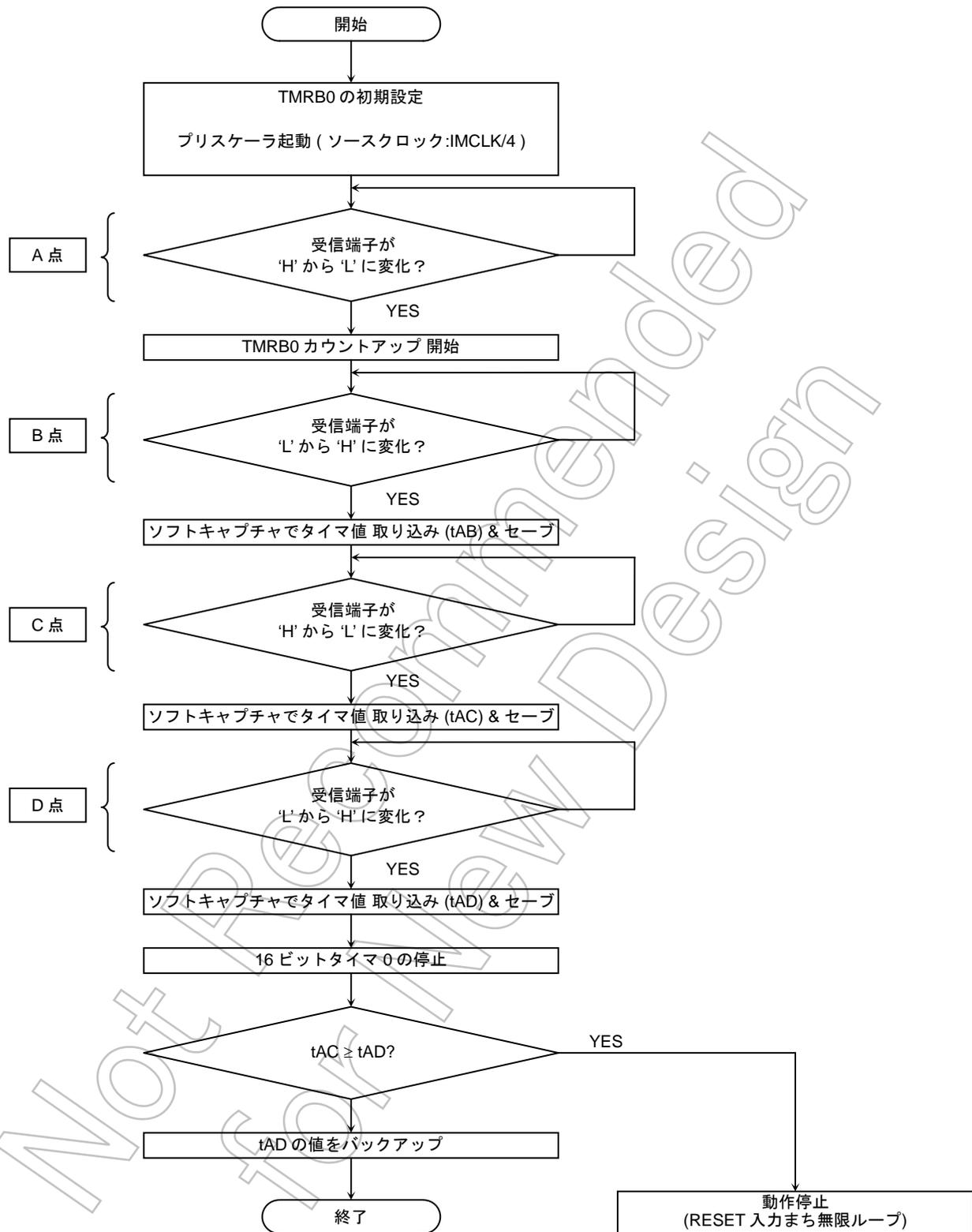


図 21-6 シリアル動作モード受信フローチャート

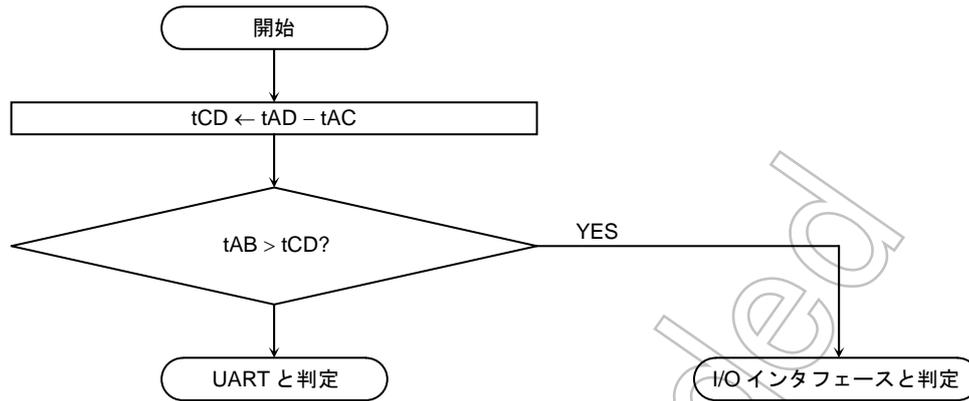


図 21-7 シリアル動作モード判定フローチャート

6) パスワードについて

動作コマンドデータが RAM 転送コマンド (10H) の場合、パスワードのチェックを行います。まず、動作コマンドデータをエコーバック送信 (10H) 後、パスワードエリア (0x0000_0474 番地~0x0000_047F 番地) のデータ (12 バイト) をチェックします。

図 21-8 に示すようにパスワードエリアのデータが、FFH 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 11H を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。表 21-14 に対応表を示します。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

ROM プロテクト状態では表 21-14 に示すように、実際のパスワードデータではなくマスクされたアドレスのデータをパスワードとして扱います。パスワードエリアのデータを使用する場合はあらかじめ ROM プロテクト機能を解除しておきます。

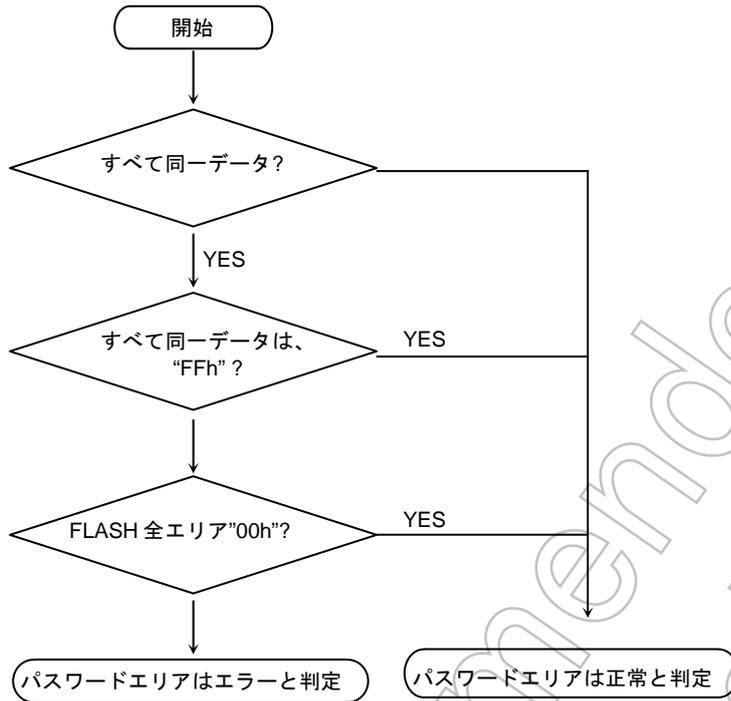


図 21-8 パスワードエリアチェックフローチャート

表 21-14 受信データと照合するデータの対応

受信データ	照合するデータ	
	ROM プロテクト OFF	ROM プロテクト ON
5 バイト目	0x0000_0474 番地のデータ	0x0000_0004 番地のデータ
6 バイト目	0x0000_0475 番地のデータ	0x0000_0005 番地のデータ
7 バイト目	0x0000_0476 番地のデータ	0x0000_0006 番地のデータ
8 バイト目	0x0000_0477 番地のデータ	0x0000_0007 番地のデータ
9 バイト目	0x0000_0478 番地のデータ	0x0000_0000 番地のデータ
10 バイト目	0x0000_0479 番地のデータ	0x0000_0001 番地のデータ
11 バイト目	0x0000_047A 番地のデータ	0x0000_0002 番地のデータ
12 バイト目	0x0000_047B 番地のデータ	0x0000_0003 番地のデータ
13 バイト目	0x0000_047C 番地のデータ	0x0000_0004 番地のデータ
14 バイト目	0x0000_047D 番地のデータ	0x0000_0005 番地のデータ
15 バイト目	0x0000_047E 番地のデータ	0x0000_0006 番地のデータ
16 バイト目	0x0000_047F 番地のデータ	0x0000_0007 番地のデータ

7) SUM の計算方法

SUM の計算方法は、バイト + バイト + バイト + …… + バイトの結果をワードで返します。つまり、バイトでデータを読み出して符号なし 8 ビット加算を行い、計算結果をワードで求めています。コントローラへは、SUM の上位 8 ビットデータ、下位 8 ビットデータの順番で送信します。SUM の計算対象のデータは、フラッシュメモリ全エリア (256k バイト) のデータになります。フラッシュメモリ SUM コマンドを実行したときに返される SUM は、本計算方法を使用しています。

例)

A1H
B2H
C3H
D4H

左記 4 バイトが計算対象データの場合、SUM の値は、
 $A1H + B2H + C3H + D4H = 02EAH$
 となるので、
 SUM の上位のデータは、02H、
 SUM の下位のデータは、EAH になります。
 したがって、コントローラには 02H、EAH の順番で送信します。

8) CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値を求めています。フラッシュメモリ SUM コマンド、製品情報読み出しコマンドを実行したときに返される CHECK SUM は、本計算方法を使用しています。また、コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例) フラッシュメモリ SUM コマンドのときを例に説明します。

SUM の上位 8 ビットデータが E5H、下位 8 ビットデータが F6H の場合の CHECK SUM 値を求めます。

まず、符号なし 8 ビット加算して得られた値を求めます。

$$E5H + F6H = 1DBH$$

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。したがって、コントローラには 25H を送信します。

$$0 - DBH = 25H$$

(6) ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

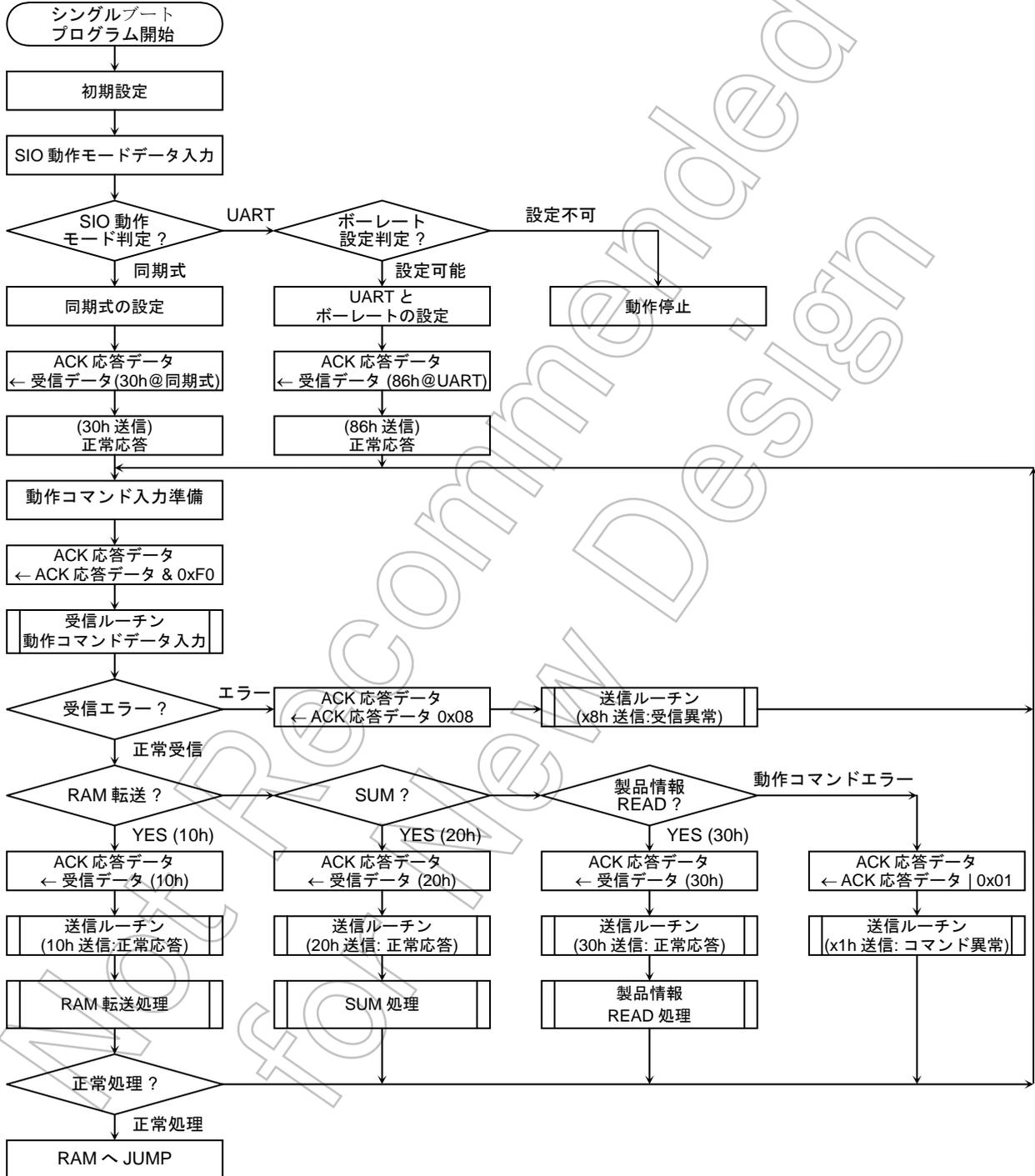


図 21-9 ブートプログラム全体フローチャート

21.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM もしくは外部メモリ上で実行してください。この章では特に断りの無い限り、フラッシュメモリを仮想アドレスで表記します。

21.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPUの SW 命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 21-15 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。(128K バイト単位)
プロテクト機能	ブロック単位(128K バイト)ごとに書き込みおよび消去を禁止することができます。全ブロックにブロックプロテクトを掛けると FLASH プロテクト状態になり、この状態でプロテクト解除動作を行うと、自動的にフラッシュの全データを消去します。

ユーザーブートモードもしくは RAM 転送の詳細な動作説明は後述しますが、CPU とのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは 32 ビット単位で行います。フラッシュメモリへの書き込みは、32 ビット (ワード) のデータ転送命令を用いてください。

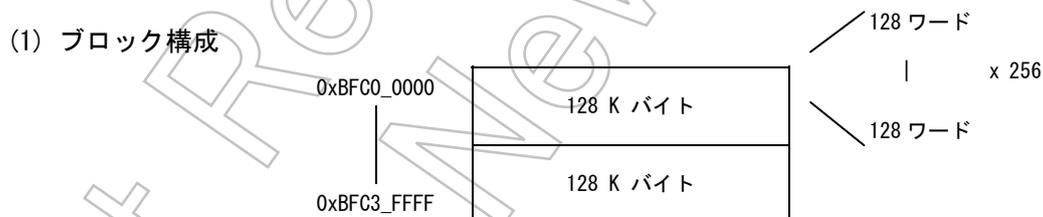


図 21-10 フラッシュメモリのブロック構成

(2) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード（リードモード）
- メモリデータを自動的に消去/書き替えるモード（自動動作）

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移りません。自動動作中はDSU-PROBE接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移行しません。

1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するRead/リセットコマンド（ソフトウェアリセット）もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- **Read/リセットコマンド 及び Read コマンド(ソフトウェアリセット)**

自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません（ $FLCS<RDY/BSY>="0"$ となっている状態では、フラッシュメモリの読み出し値は不定）。この場合、Read/リセットコマンドでフラッシュメモリをリードモードに復帰させます。また、途中までコマンドライトしたコマンドをキャンセルする場合も、Read/リセットコマンドでリードモードに復帰させる必要があります。Read コマンドは、フラッシュメモリの任意のアドレスに $0x0000_00F0$ データを SW 命令実行してリードモードに復帰するコマンドです。

- **Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。**

2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します（コマンドシーケンス参照）。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

各コマンドはいくつかのバスサイクルで構成されており、フラッシュメモリに対して SW 命令を実行するものを“バスライトサイクル”と呼びます。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。各バスライトサイクルのアドレス[31:21]は、コマンドを実施する仮想アドレス[31:21]をコマンドライトします。アドレスの[20:8]に関しては後で説明します。

- (注意1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。
- (注意2) 本デバイスへのバスライトサイクル間隔は 15 システムクロック以上にしてください。フラッシュメモリのコマンドシーケンサがバスライトサイクルを認識するのに必要な時間があり、この時間内に複数のバスライトサイクルが実施されたときは、正常に動作しません。使用される動作周波数でのソフトウェアタイマ等によるバスライトサイクル間隔の調整は 10) ID-Read を使用して確認してください。
- (注意3) 各バスライトサイクルの間に、フラッシュメモリに対するロード命令 (LW, LH, LB 命令等) およびフラッシュエリアをソースアドレスに指定して DMA 転送を実施しないでください。また、フラッシュメモリへの JUMP 命令を実行しないでください。各コマンドシーケンスの実行中にマスカブル割り込みなど、全ての割り込み (DSU-PROBE 接続時は、デバッグ例外を除く) を発生させないでください。
- これらの動作により、フラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンサがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性が有ります。
- (注意4) 各バスライトサイクルの SW 命令直後に SYNC 命令を実行してください。
- (注意5) コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第1バスライトサイクル前に FLCS[0]RDY/BSY = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
- (注意6) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずシステムリセットもしくは、リセットコマンドを発行して、一度リードモードに戻して下さい。

3) リセット

ハードウェアリセット

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力はCPUのリセット信号とつながっています。このため、本デバイスのRESET入力端子が V_{IL} となるか、ウォッチドッグタイマのオーバフローなどによりCPUのリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときもCPUのリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPUのリセット動作については、「21.2.1 リセット動作」を参照してください。所定のリセット入力後、CPUはフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

4) 自動ページプログラム

フラッシュメモリへの書き込みは、“1” データセルを “0” データにすることです。“0” データセルを “1” データにすることはできません。“0” データセルを “1” データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、128 ワードごとの書き込みとなります。この 128 ワードはアドレス [31:9] が同じで、先頭アドレス [8:0] = 0、最後のアドレス [8:0] = 0x1FF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)はレジスタ FLCS[0]<RDY/BSY>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、“1”データセルであっても“0”データセルであってもページに対して2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性が有ります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第4バスライトサイクル終了から開始します。第5バスライトサイクル以降は、第4バスライトサイクルで指定した次のアドレス(第4バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は32ビット単位で行います)。第4バスライトサイクル以降のコマンドライトは必ずSW命令を使用してください。このときSW命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページ先頭アドレスにしてください。この時“0”データセルにしたくない箇所は入力データを“1”にしてコマンドライトします。例えば、あるページの先頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第4バスライトサイクルを実行すると自動プログラム動作中となります。このことはレジスタ FLCS[0]<RDY/BSY>(表 21-16)をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時に FLCS[0]<RDY/BSY> = “1” となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページ毎にページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムは出来ません。

プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことは FLCS[0]<RDY/BSY>(表 21-16)をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注：自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

5) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

FLCS[0]<RDY/BSY>(表 21-16)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

6) 自動ブロック消去(128KB単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FLCS[0]<RDY/BSY>(表 21-16)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リセットコマンドかハードウェアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。

7) 自動プロテクトビットプログラム

本デバイスは4ビットのプロテクトビットを内蔵しています。自動プロテクトビットプログラムは1ビット単位で実行できます。ビットの指定は第7バスライトサイクルで行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態は後で説明するFLCS<BLPRO 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>(表 21-16)をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、内蔵RAM等のフラッシュメモリ以外のエリアからフラッ

シユメモリの読み出しを行うことはできません。この時 FLCS<BLPRO 3:0>=0xF (表 21-16) になっています (プロテクト状態)。これ以降はコマンドライトも正常に実施できません。

注：自動プロテクトビットプログラム第7バスライトサイクルでは、ソフトウェアリセットが無効になります。FLCS<RDY/BSY> は、第7バスライトサイクル入力後から、FLCS<RDY/BSY> = “0” となります。

8) 自動プロテクトビット消去

プロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。コマンド実行前に FLCS<BLPRO 3:0> = 0xF か、それ以外の値かで決まります。自動プロテクトビット消去コマンド実施前に必ず FLCS<BLPRO 3:0>値を確認してください。

・ FLCS<BLPRO 3:0> = 0xF (全てのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第7バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FLCS=0x01 となります。本デバイス内部で自動的にペリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第7バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合リードモードに復帰後、FLCS<BLPRO 3:0>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去或いは自動ブロック消去を実行する必要があります。

・ FLCS<BLPRO 3:0> ≠ 0xF (全てのプロテクトビットがプログラムされていない) の場合
自動プロテクトビット消去により、プロテクトの状態を解除することができます。本デバイスでは、プロテクトビットは2ビット単位で消去します。ビットの指定は第7バスライトサイクルで行い、コマンド終了後は2ビット消去状態となります。各ブロックのプロテクトの状態は後で説明する FLCS<BLPRO 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FLCS<BLPRO 3:0>の消去選択した2つのプロテクトビットの値が“0”となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

FLCS<RDY/BSY> ビットは自動動作中“0”、自動動作終了後“1”になります。

9) フラッシュコントロール/ステータスレジスタ
 フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 21-16 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R				R	R	R	R
	リセット後	1	1	0	0	0	0	0	1
	機能	プロテクトエリア設定 (128KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態				リードすると "0" が読めず	リードすると "0" が読めず	リードすると "0" が読めず	Ready/Busy 0: 自動動作中 1: 自動動作終了
	15	14	13	12	11	10	9	8	
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		31	30	29	28	27	26	25	24
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は“0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり“1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは“0”出力を継続します。ハードウェアリセットにより“1”に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。
 ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット [7:4]: プロテクトビット状態ビット (ブロック毎の組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各ブロックのプロテクト状態に対応します。該当ビットが“1”の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

10) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることが出来ます。第 4 バスライトサイクル以降でのアドレス[15:14] の値によりロードされるデータが異なります(データ入力値は 0xF 以外の任意のデータ)。第 4 バスライトサイクル以降でのフラッシュへの SW 命令後の LW 命令(任意のフラッシュメモリエリアを読み出します)で、ID の値がロードされます(LW 命令直後に SYNC 命令を実施してください)。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと LW +SYNC 命令を繰り返し実行できます。リードモードへの復帰はシステムリセットもしくは、Read コマンドまたは Read/リセットコマンドで行います。

(重要)各コマンドシーケンスの “バスライトサイクル間隔” は、使用している動作周波数によらず 15 システムクロック以上にする必要があります。本デバイスは、フラッシュメモリへの複数の SW 命令実行に関して、バスライトサイクル間隔を自動調整する機能を有しません。従ってバスライトサイクル間隔が適正でない場合は所望のフラッシュメモリ書き換えが実行できません。オンボードプログラミングモード実行に先立ち、アプリケーションの動作周波数で、ソフトウェアタイマ等を使用してバスライト間隔を調整し、ID-Read コマンドの正常動作を確認してください。オンボードプログラミングモードでは、ID-Read コマンドが正常に実施できるバスライトサイクル間隔にてコマンドシーケンスを実行し、フラッシュメモリの書き換えをしてください。

Not Recommended for New Design

(3) コマンドシーケンス一覧

表 21-17 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第7バス サイクル
	Addr.						
	Data						
Read	0xXX	RA					
	0xF0	RD					
Read/リセット	0x55XX	0xAAXX	0x55XX	RA			
	0xAA	0x55	0xF0	RD			
ID-Read	0x55XX	0xAAXX	0x55XX	IA	0xXX	—	
	0xAA	0x55	0x90	0x00	ID	—	
Auto ページ プログラム (注)	0x55XX	0xAAXX	0x55XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
Auto チップ消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	—
	0xAA	0x55	0x80	0xAA	0x55	0x10	—
Auto ブロック消去 (注)	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	BA	—
	0xAA	0x55	0x80	0xAA	0x55	0x30	—
プロテクトビット プログラム	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
プロテクトビット 消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

(4) 補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ (32 ビットデータ)
第4バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

(注1) 全バスサイクル、アドレスビット[1:0]へは常に"0"を設定して下さい。(ビット[7:2]への設定値は未定義)

(注2) Read コマンドの第2バスサイクル、Read/リセットコマンドの第4バスサイクル、ID-Read コマンドの第5バスサイクル以外は全て"バスライトサイクル"です。バスライトサイクルは SW 命令で実施します。SW 命令のストアデータには表の"Data"を用います。各バスライトサイクルのアドレス[31:16]はコマンドシーケンス実施対象のフラッシュメモリのアドレス[31:16]を用います。アドレス[15:0]は表の"Addr."を用います。

(注3) 各バスライトサイクルの間隔を 15 システムクロック 以上あけて実行してください。

(注4) 各バスライトサイクル終了直後に"SYNC 命令"を実行してください。

(注5) ID-Read コマンド第4バスライトサイクル後の"LW 命令"直後に"SYNC 命令"を実施してください。

(5) バスライトサイクル時のアドレスビット構成

表 21-18 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:21]	Addr [20]	Addr [19]	Addr [18:17]	Addr [16]	Addr [15]	Addr [14]	Addr [13]	Addr [12:9]	Addr [8]	Addr [7:0]
通常 コマンド	通常のバスライトサイクルアドレス設定										
フラッシュ 領域	“0” 推奨				コマンド					Addr[1:0]=“0” 固定、 他ビットは“0” 推奨	
ブロック 消去	BA: ブロックアドレス (ブロック消去の第 6 バスライトサイクルアドレス設定)										
フラッシュ 領域	“0” 推奨		ブロック 選択		Addr[1:0]=“0” 固定、他ビットは“0” 推奨						
Auto ページ プログラム	PA: プログラムページアドレス (ページプログラムの第 4 バスライトサイクルアドレス設定)										
フラッシュ 領域	“0” 推奨		ブロック 選択		ページ選択				Addr[1:0]=“0” 固定、他ビッ トは“0” 推奨		
ID-READ	IA: ID アドレス (ID-READ の第 4 バスライトサイクルアドレス設定)										
フラッシュ 領域	“0” 推奨				ID アドレス			Addr[1:0]=“0” 固定、他ビットは“0” 推奨			
プロテ クトビ ット プロ グラ ム	PBA: プロテクトビットアドレス (プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
フラッシュ 領域	“0” 推奨				プロテクトビットライト “00”: ブロック 0 “01”: ブロック 1			Addr[1:0]=“0” 固定、他ビットは“0” 推奨			
プロテ クト ビ ット 消 去	PBA: プロテクトビットアドレス (プロテクトビット消去の第 7 バスライトサイクルアドレス設定)										
フラッシュ 領域	“0” 推奨				プロテクト消去 0: ブロック 0 1: ブロック 1			Addr[1:0]=“0” 固定、他ビットは“0” 推奨			

- (注 1) 表 24-17 「内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。
- (注 2) 第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行なって下さい。
- (注 3) 「“0” 推奨」は適宜変更可能です。

表 21-19 ブロック消去アドレス表

BA	アドレス範囲		サイズ
	フラッシュメモリ アドレス	投影エリアに対して 実施する場合	
ブロック 0	0xBFC0_0000~0xBFC1_FFFF	0x0000_0000~0x0001_FFFF	128 Kバイト
ブロック 1	0xBFC2_0000~0xBFC3_FFFF	0x0002_0000~0x0003_FFFF	128 Kバイト

例: BA0 を選択する場合、0xBFC0_0000~0xBFC1_FFFF で任意の 1 アドレスを入力します。

第 1 バスサイクルから第 6 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 21-20 プロテクトビットプログラムアドレス表

OPBA	第 7 バスライトサイクルのアドレス [15:14]	
	アドレス [15]	アドレス [14]
ブロック 0	0	0
ブロック 1	0	1

表 21-21 プロテクトビット消去アドレス表

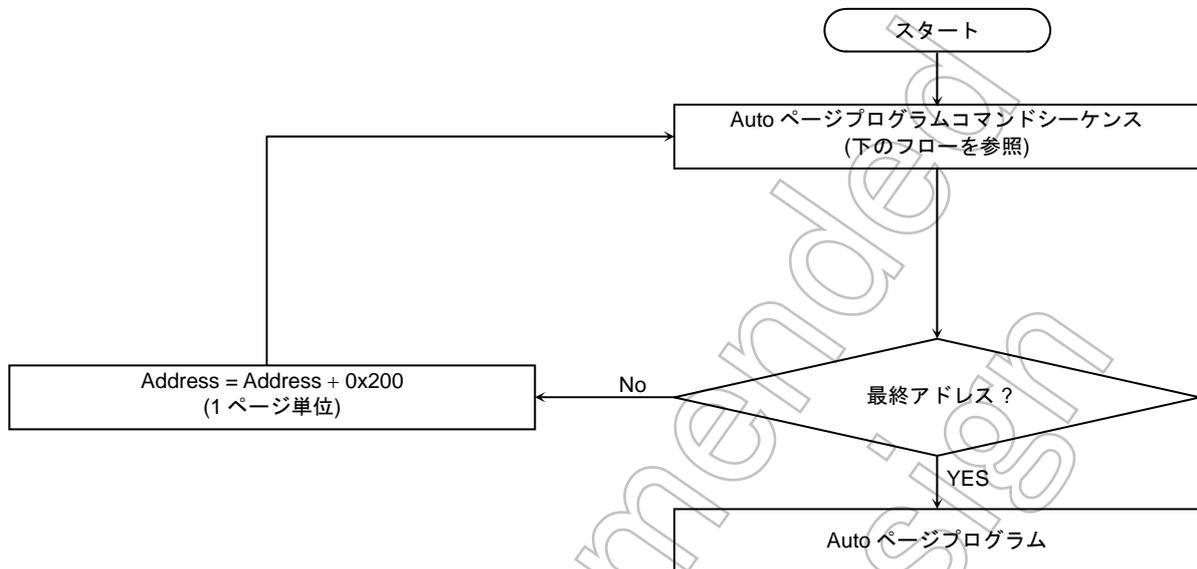
OPBA	第 7 バスライトサイクルのアドレス [15:14]	
	アドレス [15]	アドレス [14]
ブロック 0	0	X
ブロック 1	0	X

プロテクトビット消去コマンドは ビット 0 とビット 1 を まとめて消去します。

表 21-22 ID-Read コマンド第 4 バスライトサイクルの ID アドレス (IA) と
その後の LW 命令で読み出せるデータ (ID)

IA [15:14]	ID [7: 0]	Code
00b	0x98	メーカーコード
01b	0x5A	デバイスコード
10b	Reserved	---
11b	0x09	マクロコード

(6) フローチャート



Auto ページプログラムコマンドシーケンス (アドレス/コマンド)

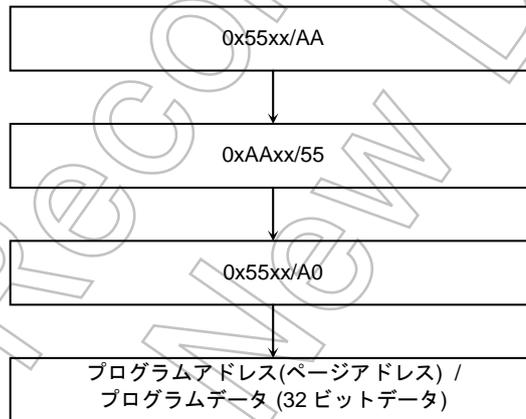


図 21-11 自動プログラム

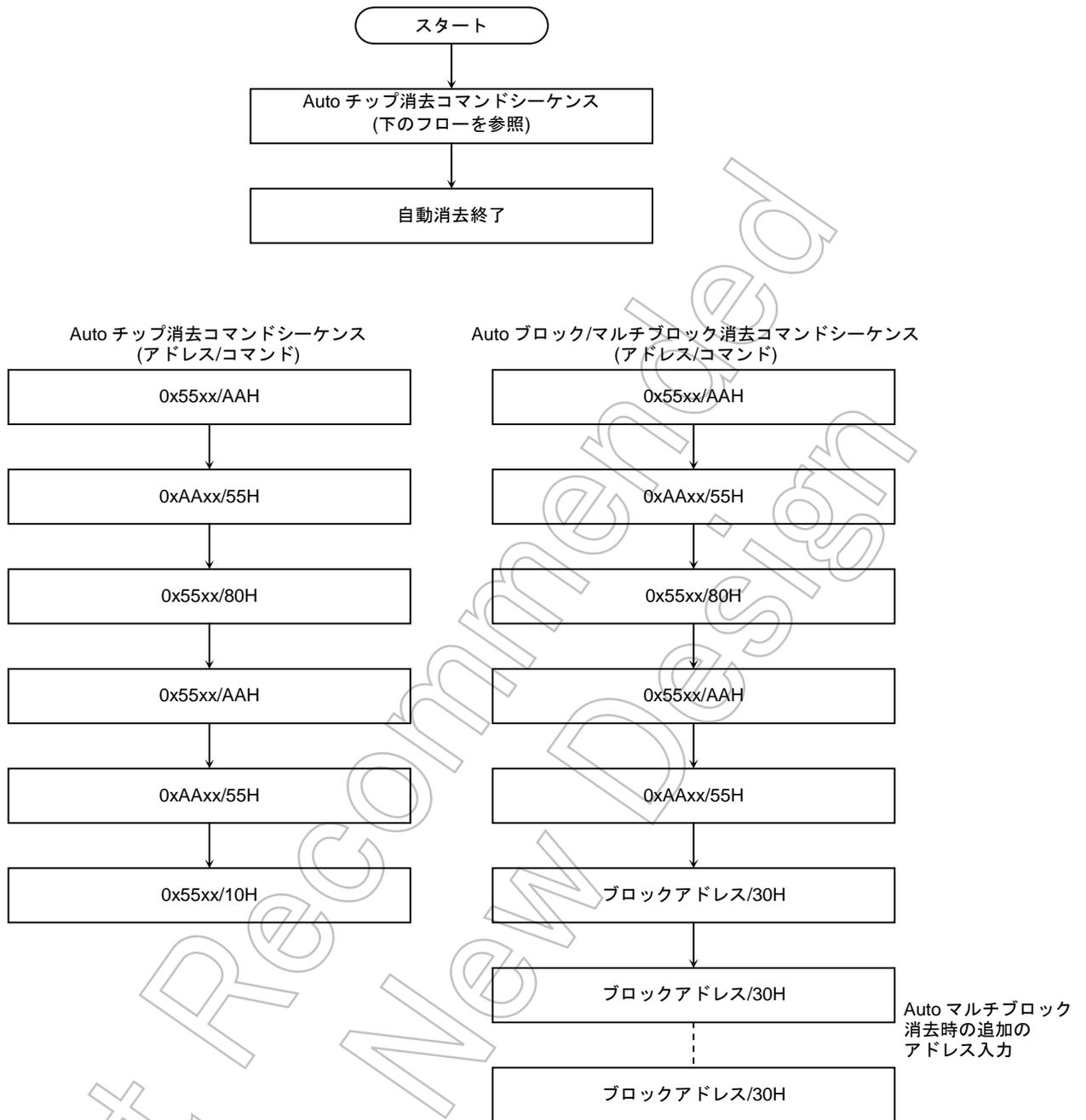


図 21-12 自動消去

22. 各種プロテクト機能

22.1 概要

本製品は内蔵ROM(Flash)領域を読み出し禁止に設定できるROMプロテクト及びDSU(DSU-Probe)の使用を禁止するDSUプロテクト機能などを内蔵しています。読み出し禁止機能として、次3つの機能をもっています。

- フラッシュプロテクト
- ROMデータプロテクト
- DSUプロテクト

22.2 特長

22.2.1 フラッシュプロテクト機能

内蔵フラッシュは、128Kバイト単位のブロックごとに書き込みと消去の動作を禁止することができます。この機能をブロックプロテクトと呼びます。

ブロックプロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを”1”にします。プロテクトビットを”0”にすることによりブロックプロテクトを解除することができます。(プログラム方法については、Flash動作説明の章をご覧ください。)

プロテクトビットは、FLCSレジスタ<BLPRO3:0>ビットでモニタすることができます。

すべてのブロックにプロテクトをかけた状態をFLASHプロテクトと呼びます。一度FLASHプロテクト状態にしたあとプロテクト解除動作(プロテクトビットを”0”にする動作)を行うと、自動的にフラッシュの全データを消去した後、すべてのプロテクトビットが”0”になりますので注意が必要です。

これから説明する「ROMデータプロテクト」、「DSUプロテクト」を有効にするためには、FLASHプロテクト状態であることが必要です。

22. 2. 2 ROMデータプロテクト

ROM データプロテクトは、内蔵 FLASH に対してデータの読み出しを制限する機能です
また、フラッシュに対するコマンドの実行も禁止されます。

ROM データプロテクトは、FLASH プロテクト状態で ROM プロテクトレジスタ ROMSEC1<RSECON>ビットが” 1” のときに有効になります。

RSECON ビットの初期状態は” 1” となっています。

FLASH の全ブロックにプロテクトをかけていなければ ROM データプロテクト状態にはなりません。
FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときは初期状態が ROM データプロテクト状態となります。

(注) ROM データプロテクト状態では RSECON ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

ROM correction 機能で ROM 領域の命令と置き換えられた RAM 上の命令の PC はフラッシュ ROM の領域を示しますが、実際には RAM 領域にあるため、ROM プロテクト状態でのデータの読み出しを行うことは出来ません。置き換えた RAM 上の命令でデータを読み出す場合は ROM 領域のプログラムでそのデータ値を RAM にライトする等の対策を行う必要があります。

ROM 領域に ROM プロテクトが掛かると以下の動作が出来なくなります。

- ROM 領域以外に置かれた命令からの ROM 領域のデータのロード及びストア
- DMAC レジスタへのストア (バスエラーによる NMI が発生します)
- EJTAG による ROM 領域のデータのロード及びストア
- BOOT-ROM による ROM 領域のデータのロード及びストア
- フラッシュライターによる ROM 領域のデータのロード及びストア
- ROM 領域以外に置かれた命令からの ROM 領域のプロテクト関連レジスタ (ROMSEC1、ROMSEC2) へのアクセス
- ライタモードでの自動ブロックプロテクト解除コマンド、自動ブロックプロテクト解除コマンド以外のフラッシュコマンドシーケンス実行及びシングルモード、ブートモードでの ROM 領域のアドレスを指定したフラッシュコマンドシーケンス

また、ROM 領域に ROM プロテクトが掛かった状態でも、以下の動作は実行出来ます。

- ROM 領域に置かれた命令から ROM 領域のデータのロード
- すべての領域に置かれている命令から ROM 領域以外のデータのロード
- すべての領域に置かれている命令から ROM 領域への命令分岐
- EJTAG による ROM 領域の PC トレース (制限あり)、ブレーク
- DMAC による ROM 領域のデータ転送

22. 2. 3 DSUプロテクト

DSU プロテクト機能は、DSU-probe の接続を無効にすることによりユーザー以外の第三者に容易に内蔵フラッシュのデータを読み出せないようにする機能です。

DSU プロテクトは、FLASH プロテクト状態で SEQMOD レジスタ<DSUOFF>ビットが” 1 ” のときに有効になります。

DSUOFF ビットは初期状態は” 1 ” となっています。FLASH の全ブロックにプロテクトをかけていなければ DSU プロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときは初期状態が DSU プロテクト状態となります。

(注) ROM データプロテクト状態では DSUOFF ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。DSU プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

Not Recommended for New Design

22.3 プロテクト概略図および対応表

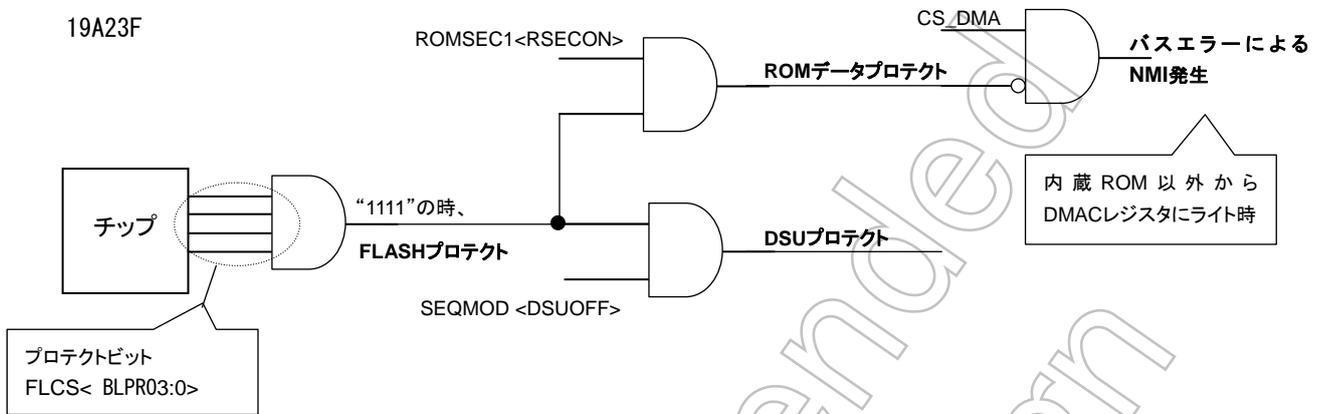


図 22-1 各種プロテクト状態概略

表 22-1 各モードの各種プロテクト状態

FLASH プロテクト状態		ON				OFF
ROM データプロテクト状態		ON		OFF		OFF
DSU プロテクト状態		ON	OFF	ON	OFF	OFF
シングル /シングルブート モード	内蔵 ROM からの内蔵 ROM リード	○	○	○	○	○
	内蔵 ROM 以外からの内蔵 ROM リード	× *1	× *1	○	○	○
	DSU-probe による内蔵 ROM リード	×	○	×	○	○
	RSECON 書き換え (内蔵 ROM から)	○	○	○	○	○
	RSECON 書き換え (内蔵 ROM 以外から)	× *2	× *2	○	○	○
	DSUOFF 書き換え (内蔵 ROM から)	○	○	○	○	○
	DSUOFF 書き換え (内蔵 ROM 以外から)	× *3	× *3	○	○	○
	プロテクトビット消去コマンド発行	× *4	× *4	○ *7	○ *7	○
	プロテクトビット消去以外のコマンド発行	× *4	× *4	× *6	× *6	△ *8
	DMAC 設定レジスタへのライト (内蔵 ROM から)	○	○	○	○	○
DMAC 設定レジスタへのライト (内蔵 ROM 以外から)	× *5	× *5	○	○	○	

*1 : アドレス「0xBFC0_0000」または「0xBFC0_0004」のデータが読めます。

*2 : RSECON ビットにライト(クリア)出来ません。

*3 : DSUOFF ビットにライト(クリア)出来ません

*4 : フラッシュがコマンドを認識しません。

*5 : ノンマスカブル割り込みが発生します。

*6 : フラッシュがコマンドを認識しません。

*7 : フラッシュ全領域消去とプロテクトビット全消去に変換されます。

*8 : プロテクトビットの状態により、プロテクトがかかったブロックに対するコマンドは受け付けません。

*9 : ライターモードにおいて読み出したデータは常に 0x00000098 が読めます。

22.4 レジスタ

フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 22-2 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R				R	R	R	R
	パワーオンリセット後	1	1	0	0	0	0	0	1
	機能	プロテクトエリア設定 (128KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態				リードすると "0" が読めます	リードすると "0" が読めます	リードすると "0" が読めます	Ready/Busy 0: 自動動作中 1: 自動動作終了
		15	14	13	12	11	10	9	8
Bit Symbol									
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol									
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol									
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセット時に "1" に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。

ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット [7:4]: プロテクトビット (x: ブロックごとの組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各ブロックごとのプロテクト状態に対応します。該当ビットが "1" の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

表 22-3 ROM プロテクトレジスタ

ROMSEC1 (0xFFFF_E518)		7	6	5	4	3	2	1	0	
	Bit Symbol								RSECON	
	Read/Write	R								R/W
	パワーオン リセット後	0								1
	機能	リードすると常に"0"が読めます								ROM プロテクト 1: ON 0: OFF (注)
		15	14	13	12	11	10	9	8	
Bit Symbol										
Read/Write	R									
パワーオン リセット後	0									
機能	リードすると常に"0"が読めます									
		23	22	21	20	19	18	17	16	
Bit Symbol										
Read/Write	R									
パワーオン リセット後	0									
機能	リードすると常に"0"が読めます									
		31	30	29	28	27	26	25	24	
Bit Symbol										
Read/Write	R									
パワーオン リセット後	0									
機能	リードすると常に"0"が読めます									

- (注1) 本レジスタは、パワーオンリセットでのみ初期化されます。
(注2) 本レジスタは32ビットアクセスを行なって下さい。

表 22-4 ROM プロテクトロックレジスタ

ROMSEC2
(0xFFFF_E51C)

	7	6	5	4	3	2	1	0
Bit Symbol								
Read/Write	W							
リセット後	不定							
機能	(注)参照願います							
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	W							
リセット後	不定							
機能	(注)参照願います							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	W							
リセット後	不定							
機能	(注)参照願います							
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	W							
リセット後	不定							
機能	(注)参照願います							

- (注 1) ROMSEC1<RSECON>を設定後、本レジスタに”0x0000_003D”を設定することにより、ROMSEC1<RSECON>に値がセットされます。
- (注 2) ROMSEC1、ROMSEC2 レジスタはROM領域にROMプロテクトがかかっている場合、ROM領域に置かれている命令でのみアクセスすることが出来ます。
- (注 3) 本レジスタは32ビットアクセスを行なって下さい。
- (注 4) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

表 22-5 DSU プロテクトモードレジスタ

SEQMOD (0xFFFF_E510)		7	6	5	4	3	2	1	0	
	Bit Symbol									DSUOFF
	Read/Write	R								R/W
	リセット後	0								1
	機能	リードすると常に"0"が読めます								1: DSU 使用不可 0: DSU 使用許可
		15	14	13	12	11	10	9	8	
Bit Symbol										
Read/Write	R									
リセット後	0									
機能	リードすると常に"0"が読めます									
		23	22	21	20	19	18	17	16	
Bit Symbol										
Read/Write	R									
リセット後	0									
機能	リードすると常に"0"が読めます									
		31	30	29	28	27	26	25	24	
Bit Symbol										
Read/Write	R									
リセット後	0									
機能	リードすると常に"0"が読めます									

- (注 1) 本レジスタは、パワーオンリセットでのみ初期化されます。
 (注 2) 本レジスタは 32 ビットアクセスを行なって下さい。

表 22-6 DSU プロテクト制御レジスタ

SEQCNT (0xFFFF_E514)		7	6	5	4	3	2	1	0
	Bit Symbol	DSECODE07	DSECODE06	DSECODE05	DSECODE04	DSECODE03	DSECODE02	DSECODE01	DSECODE00
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください。							
		15	14	13	12	11	10	9	8
Bit Symbol	DSECODE15	DSECODE14	DSECODE13	DSECODE12	DSECODE11	DSECODE10	DSECODE09	DSECODE08	
Read/Write	W								
リセット後	0								
機能	"0x0000_00C5" をライトしてください								
		23	22	21	20	19	18	17	16
Bit Symbol	DSECODE23	DSECODE22	DSECODE21	DSECODE20	DSECODE19	DSECODE18	DSECODE17	DSECODE16	
Read/Write	W								
リセット後	0								
機能	"0x0000_00C5" をライトしてください								
		31	30	29	28	27	26	25	24
Bit Symbol	DSECODE31	DSECODE30	DSECODE29	DSECODE28	DSECODE27	DSECODE26	DSECODE25	DSECODE24	
Read/Write	W								
リセット後	0								
機能	"0x0000_00C5" をライトしてください								

- (注 1) 本レジスタは 32 ビットアクセスを行なって下さい。
 (注 2) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

22.5 プロテクト設定／解除方法

プロテクト状態でフラッシュメモリの書き換え及びプロテクトビットの書換えの必要があるときは、自動プロテクトビット消去を行うか、ROM プロテクト機能を解除してください。DSU プロテクト状態では DSU を使用することができません。

自動プロテクトビットプログラム実行後にフラッシュ読み出し禁止状態になる場合は、予め DSU-PROBE 使用許可にしておく必要があります。

フラッシュ読み出し禁止状態で“自動プロテクトビット消去”を実施すると、本デバイス内部で自動的にフラッシュメモリの初期化を行います。書き換えが必要な場合は、事前に ROM データプロテクトを解除してください。

22.5.1 フラッシュプロテクト

フラッシュ版では 2 つのすべてのブロックにブロックプロテクトをかけることで有効になります。フラッシュ版でフラッシュプロテクト機能の設定/解除を行う場合、フラッシュメモリに対する、プロテクトビットプログラムコマンドによって設定します。詳細は Flash 動作説明章のコマンドシーケンスを参照して下さい。

フラッシュプロテクト状態でプロテクトビット解除コマンドを実行すると、フラッシュのデータをすべて消去した後にプロテクトビットをクリアし、フラッシュプロテクト状態が解除されます。

以下に説明する ROM データプロテクト状態では、フラッシュに対するコマンド実行は無視されます。ROM プロテクト状態でフラッシュプロテクトを解除する場合には、まず ROM プロテクトレジスタの RSECON ビットをクリアして ROM データプロテクトを解除する必要があります。

Not Recommended for New

22. 5. 2 ROMデータプロテクト

ROM データプロテクトは、フラッシュプロテクトが有効な状態で ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” のときに有効になります。

リセット解除後 RSECON ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず ROM データプロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により ROM データプロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で ROM プロテクトレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、ROM データプロテクトの解除プログラムは内蔵 ROM 上に準備しておく必要があります。

RSECON ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

図 22-2 に概略図を示します。

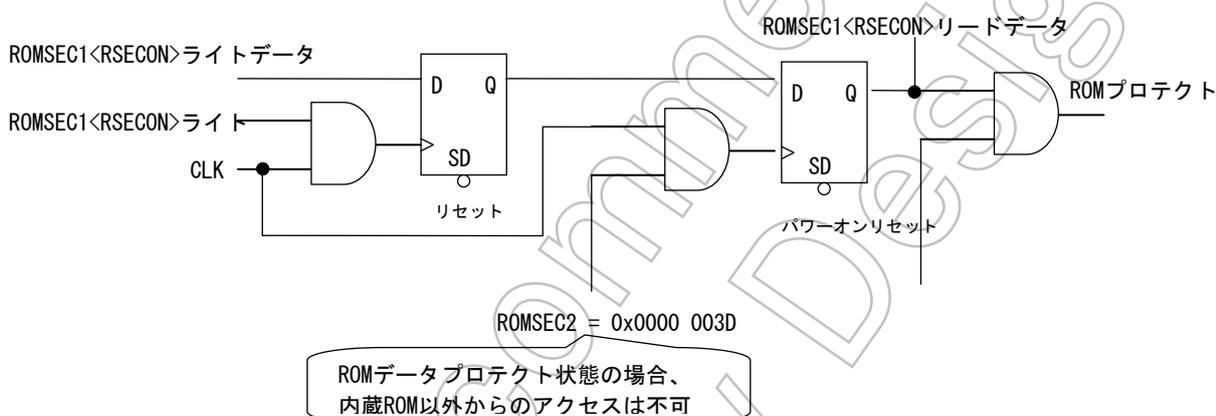


図 22-2 ROM データプロテクト

プロテクトを解除する場合、ROM プロテクトレジスタ ROMSEC1<RSECON> = “0” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで ROM データプロテクトが解除されます。また、ROM プロテクトを設定する場合も同様に、ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで再び ROM データプロテクト機能を設定することが出来ます。

ROMSEC2 レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

ROM プロテクトレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

22.5.3 DSUプロテクト

DSU使用許可/禁止 (DSU-PROBEを利用してのデバッグを有効/無効)

DSU プロテクトは、フラッシュプロテクトが有効な状態で DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” のときに有効になります。リセット解除後 DSUOFF ビットは”1” に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず DSU プロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により DSU プロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で DSU プロテクトモードレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、DSU プロテクトの解除のプログラムは内蔵 ROM 上に準備しておく必要があります。

DSUOFF ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

図 22-3 に概略図を示します。

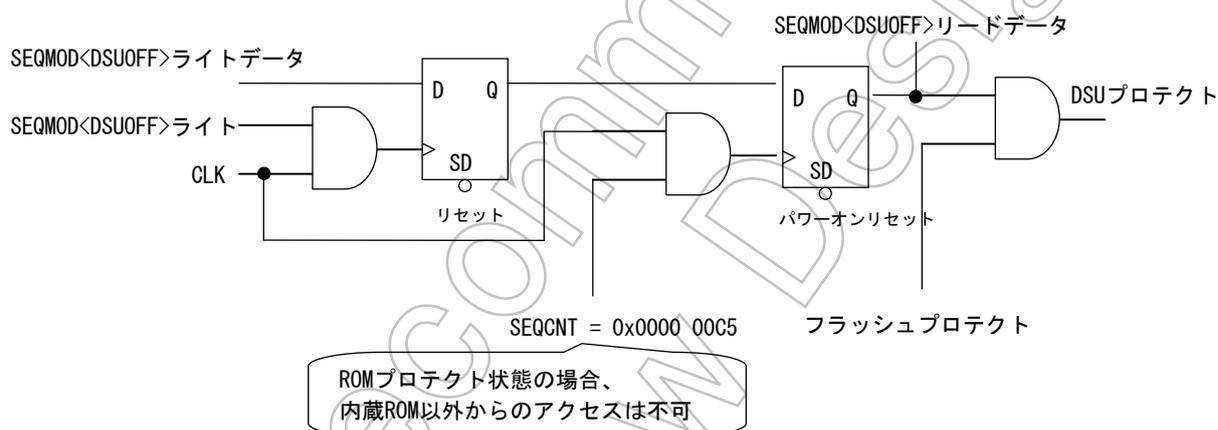


図 22-3 DSU プロテクト

プロテクトを解除する場合、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで DSU プロテクトが解除されます。また、DSU プロテクトを設定する場合も同様に、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで再び DSU プロテクト機能を設定することが出来ます。

SEQCNT レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

また、パワーオンリセット回路を備えており、DSU プロテクトモードレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

22.5.4 ROMプロテクトレジスタ : ROMSEC1<RSECON>

ROM プロテクトレジスタはパワーオンリセット回路を備えています。ROMSEC1<RSECON>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。

概略図を図 22-4 に示します。パワーオンリセットで初期化されます。

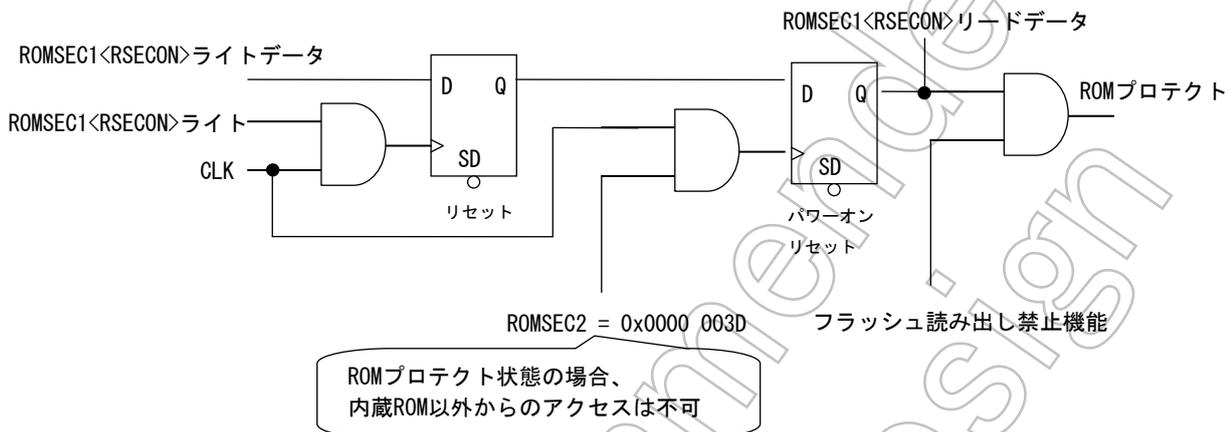


図 22-4 ROMSEC1 パワーオンリセット回路

22.5.5 DSUプロテクトモードレジスタ : SEQMOD <DSUOFF>

DSU プロテクトモードレジスタはパワーオンリセット回路を備えています。SEQMOD <DSUOFF>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を図 22-5 に示します。パワーオンリセットで初期化されます。

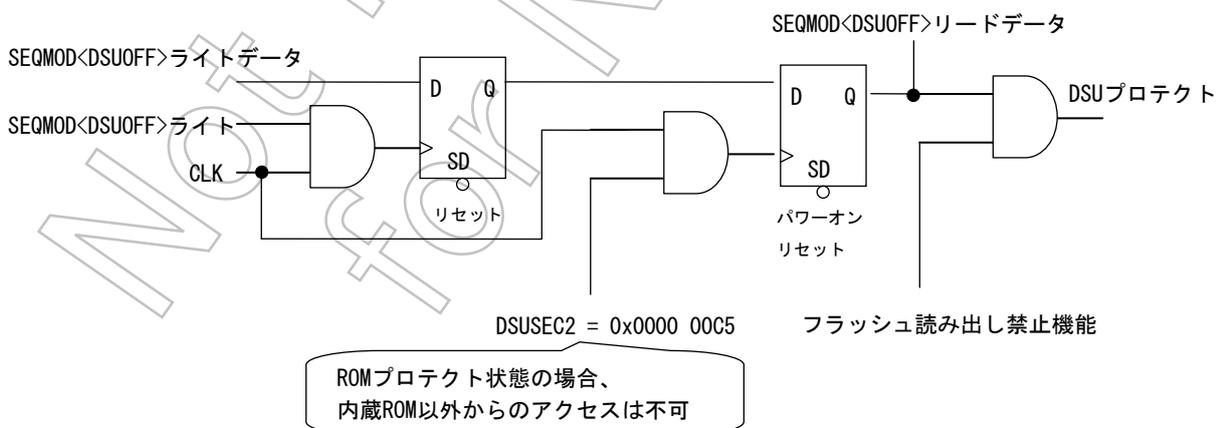


図 22-5 SEQMOD パワーオンリセット回路

23 電気的特性

23.1 絶対最大定格

項目		記号	定格	単位
電源電圧		V _{CC15} (内部)	-0.3 ~ 3.0	V
		V _{CC3} (I/O)	-0.3 ~ 3.9	
		AV _{CC3} (A/D)	-0.3 ~ 3.9	
		DV _{CC3}	-0.3 ~ 3.9	
入力電圧	5Vトレラント端子を除く	V _{IN}	-0.3 ~ V _{CC3} + 0.3	V
	5Vトレラント端子		-0.3 ~ 5.5	
低レベル出力電流	1端子	I _{OL}	5	mA
	合計	ΣI _{OL}	50	
高レベル出力電流	1端子	I _{OH}	-5	
	合計	ΣI _{OH}	50	
消費電力(T _a = 85°C)		PD	600	mW
はんだ付け温度(10s)		T _{SOLDER}	260	°C
保存温度		T _{STG}	-40 ~ 125	°C
動作温度	Flash W/E 時を除く	T _{OPR}	-20 ~ 85	°C
	Flash W/E 時		0 ~ 70	
書き替え回数		N _{EW}	100	cycle

V_{CC15} = DV_{CC15} = CV_{CC15}、V_{CC3} = DV_{CC3}、

V_{SS} = DV_{SS} = AV_{SS} = CV_{SS} と定義します。

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

23.2 DC電气的特性 (1/4)

[1] BGA版

 $T_a = -20 \sim 85^\circ\text{C}$

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
電源電圧	AVCC3 = 3.3V CVCC15=DVCC15 DVCC3	DVCC15 CVCC15	fosc = 8~10MHz fsys = 4MHz~40MHz	1.35		1.65	V
	CVSS=DVSS= AVSS=0V	DVCC3		2.7		3.6	
低レベル入力電圧	P7~P8	V_{IL1}	$2.7V \leq AVCC3 \leq 3.6V$	-0.3		0.3 AVCC3	V
	ノーマルポート	V_{IL2}	$2.7V \leq DVCC3 \leq 3.6V$		0.3 DVCC3		
	シュミット入力	V_{IL3}	$2.7V \leq DVCC3 \leq 3.6V$ (5Vトレラント端子を除く)		0.2 DVCC3		
			$2.7V \sim 5.5V$ (5Vトレラント端子)				
X1	V_{IL4}	$1.35V \leq CVCC15 \leq 1.65V$	0.1 CVCC15				

(注1) Typ値は特に指定のない限り $T_a = 25^\circ\text{C}$, DVCC15=1.5V, DVCC3=AVCC3=3.3Vの値です。 $T_a = -20 \sim 85^\circ\text{C}$

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
高レベル入力電圧	P7~P8	V_{IH1}	$2.7V \leq AVCC3 \leq 3.6V$	0.7 AVCC3		DVCC3+0.3 DVCC15+0.2 CVCC15+0.2	V
	ノーマルポート	V_{IH2}	$2.7V \leq DVCC3 \leq 3.6V$	0.7 DVCC3			
	シュミット入力	V_{IH3}	$2.7V \leq DVCC3 \leq 3.6V$ (5Vトレラント端子を除く)	0.8 DVCC3			
			$2.7V \sim 5.5V$ (5Vトレラント端子)				
X1	V_{IH4}	$1.35V \leq CVCC15 \leq 1.65V$	0.9 CVCC15				
低レベル出力電圧	V_{OL}	$I_{OL} = 2\text{mA}$	DVCC3 $\geq 2.7V$			0.4	V
高レベル出力電圧	V_{OH}	$I_{OH} = -2\text{mA}$	DVCC3 $\geq 2.7V$	2.4			

(注1) Typ値は特に指定のない限り $T_a = 25^\circ\text{C}$, DVCC15=1.5V, DVCC3=AVCC3=3.3Vの値です。

[2] LQFP 版

Ta = -20~85°C

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
電源電圧	AVCC3 = 3.3V DVCC3=REGVIN	DVCC3 REGVIN	fosc = 8~13.5MHz fsys = 4MHz~54MHz	3.0		3.6	V
	CVSS=DVSS= AVSS= 0V						
低レベル入力電圧	P7~P8	V _{IL1}	3.0V ≤ AVCC3 ≤ 3.6V	-0.3		0.3 AVCC3	V
	ノーマルポート	V _{IL2}	3.0V ≤ DVCC3 ≤ 3.6V				
	シュミット入力	V _{IL3}	3.0V ≤ DVCC3 ≤ 3.6V (5V トレラント端子を除く)				
	3.0V~5.5V (5V トレラント端子)		0.2 DVCC3				

(注 1) Typ 値は特に指定のない限り Ta=25°C、DVCC3=REGVIN=AVCC3=3.3V の値です。

(注 2) REGVOUT、DVCC15 及び CVCC15 はマイコン外部にて結線してください。

Ta = -20~85°C

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
高レベル入力電圧	P7~P8	V _{IH1}	3.0V ≤ AVCC3 ≤ 3.6V	0.7 AVCC3		DVCC3+0.3	V
	ノーマルポート	V _{IH2}	3.0V ≤ DVCC3 ≤ 3.6V	0.7 DVCC3			
	シュミット入力	V _{IH3}	3.0V ≤ DVCC3 ≤ 3.6V (5V トレラント端子を除く)				
	3.0V~5.5V (5V トレラント端子)		0.8 DVCC3				
低レベル出力電圧		V _{OL}	I _{OL} = 2mA DVCC3 ≥ 3.0V			0.4	V
高レベル出力電圧		V _{OH}	I _{OH} = -2mA DVCC3 ≥ 3.0V	2.4			

(注 1) Typ 値は特に指定のない限り Ta=25°C、DVCC3=REGVIN=AVCC3=3.3V の値です。

(注 2) REGVOUT、DVCC15 及び CVCC15 はマイコン外部にて結線してください。

23.3 DC電气的特性 (2/4)

[1] BGA版 $T_a = -20 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
入力リーク電流	I_{LI}	$0.0 \leq V_{IN} \leq DVCC15$ $0.0 \leq V_{IN} \leq DVCC3$ $0.0 \leq V_{IN} \leq AVCC3$		0.02	± 5	μA
出力リーク電流	I_{LO}	$0.2 \leq V_{IN} \leq DVCC15 - 0.2$ $0.2 \leq V_{IN} \leq DVCC3 - 0.2$ $0.2 \leq V_{IN} \leq AVCC3 - 0.2$		0.05	± 10	
リセットプルアップ抵抗	RRST	$DVCC3 = 2.7V \sim 3.6V$	30	55	100	$k\Omega$
シュミット入力	VTH	$2.7V \leq DVCC3 \leq 3.6V$	0.3	0.6		V
プログラマブル プルアップ/ダウン抵抗	PKH	$DVCC3 = 2.7V \sim 3.6V$	40	55	100	$k\Omega$
Pin 容量 (電源端子を除く)	C_{IO}	$f_c = 1\text{MHz}$			10	pF

(注1) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$, $DVCC15 = 1.5V$, $DVCC3 = AVCC3 = 3.3V$ の値です。[2] LQFP版 $T_a = -20 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
入力リーク電流	I_{LI}	$0.0 \leq V_{IN} \leq DVCC3$ $0.0 \leq V_{IN} \leq AVCC3$		0.02	± 5	μA
出力リーク電流	I_{LO}	$0.2 \leq V_{IN} \leq DVCC3 - 0.2$ $0.2 \leq V_{IN} \leq AVCC3 - 0.2$		0.05	± 10	
リセットプルアップ抵抗	RRST	$DVCC3 = 3.0V \sim 3.6V$	30	55	100	$k\Omega$
シュミット入力	VTH	$3.0V \leq DVCC3 \leq 3.6V$	0.3	0.6		V
プログラマブル プルアップ/ダウン抵抗	PKH	$DVCC3 = 3.0V \sim 3.6V$	40	55	100	$k\Omega$
Pin 容量 (電源端子を除く)	C_{IO}	$f_c = 1\text{MHz}$			10	pF

(注1) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$, $DVCC3 = \text{REGVIN} = AVCC3 = 3.3V$ の値です。

23.4 DC電気的特性 (3/4)

[1] BGA 版

DVCC15=CVCC15=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V, Ta=-20~85°C

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
NORMAL(注2)ギア比 1/1	I _{CC}	f _{sys} = 40 MHz (f _{osc} = 10 MHz)		36 (注4)	58	mA
IDLE(Doze) (注3)				9	20	
IDLE(Halt) (注3)				8	19	
STOP				50	3500	μA

(注1) Typ 値は、特に指定のない限り Ta=25°C, DVCC15=1.5V, DVCC3=AVCC3=3.3 V の値です。

(注2) I_{CC} NORMAL の測定条件：

実行プログラム : ドライストン V2.1 (内蔵 FLASH 動作)
A/DC を除く内蔵周辺機能は全て動作

(注3) I_{CC} IDLE の測定条件：

周辺機能は全て停止
I_{CC} には DVCC15、DVCC3、CVCC15、AVCC3 に流れる電流が含まれます。

(注4) 内蔵 RAM 上でプログラム実行する場合は、上記より約 10mA 程度電流値が増加します。

[2] LQFP 版

DVCC3=REGVIN=AVCC3=3.0V~3.6V, Ta=-20~85°C

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
NORMAL(注2)ギア比 1/1	I _{CC}	f _{sys} = 54 MHz (f _{osc} = 13.5 MHz)		46 (注4)	69	mA
IDLE(Doze) (注3)				12	23	
IDLE(Halt) (注3)				11	21	
STOP				300	3500	μA

(注1) Typ 値は、特に指定のない限り Ta=25°C, DVCC3=REGVIN=AVCC3=3.3 V の値です。

(注2) I_{CC} NORMAL の測定条件：

実行プログラム : ドライストン V2.1 (内蔵 FLASH 動作)
A/DC を除く内蔵周辺機能は全て動作

(注3) I_{CC} IDLE の測定条件：

周辺機能は全て停止
I_{CC} には DVCC3, REGVIN, AVCC3 に流れる電流が含まれます。

(注5) 内蔵 RAM 上でプログラム実行する場合は、上記より約 10mA 程度電流値が増加します。

23.5 DC電気的特性 (4/4) LQFP版のみ

[1] 推奨使用回路

本製品はレギュレータを内蔵しております。図 23.5.1 にレギュレータ電源推奨使用回路を示します。入出力には安定動作のためコンデンサを挿入してください。

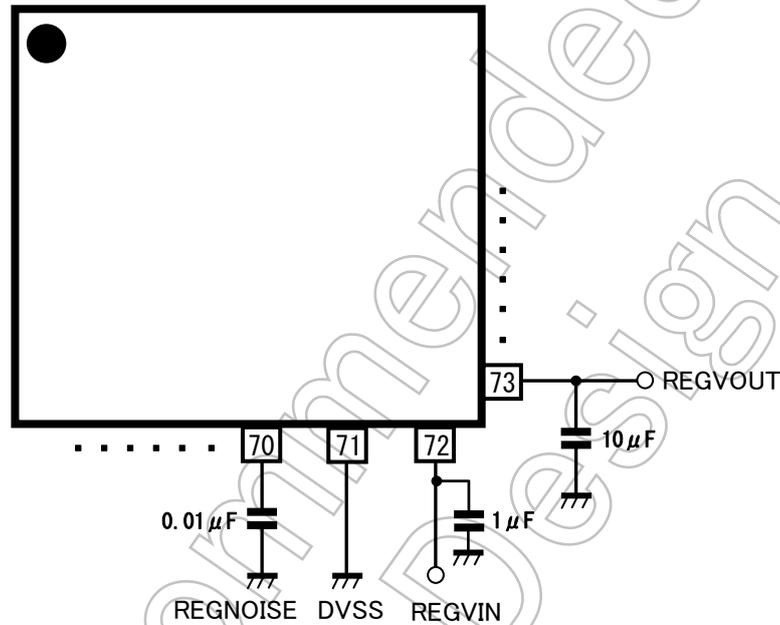


図 23.5.1 レギュレータ電源推奨使用回路

[2] REGNOISE 端子

本製品には、出力雑音電圧の低減のためにREGNOISE端子があります。この端子とGND端子間にコンデンサを接続することにより、出力雑音が低減されます。本製品では、安定動作のため、必ず 0.0047 μF以上のコンデンサをREGNOISE端子とGND間に接続してご使用ください。

また、REGNOISE 端子に接続するコンデンサの容量により、出力電圧の立ち上がり時間が変化します。

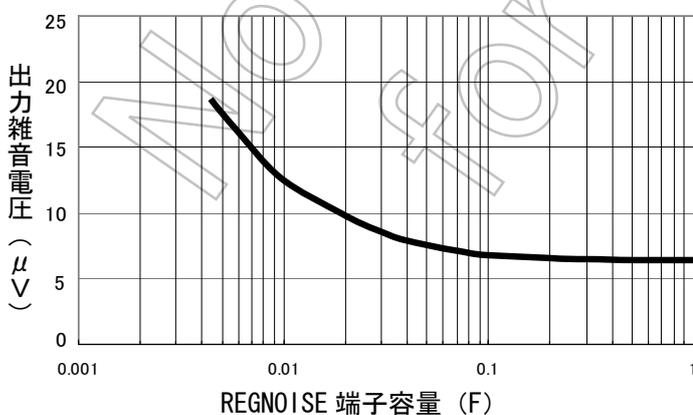


図 23.5.2 REGNOISE-V_N 特性

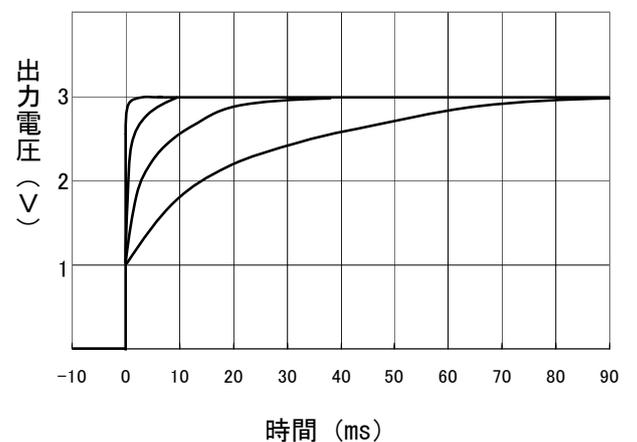


図 23.5.3 出力立ち上がり波形

23.6 10ビットA/Dコンバータ変換特性

10ビットA/D 変換特性

[1] BGA版

DVCC15=CVCC15=1.35V~1.65V, DVCC3=AVCC3=VREFH=2.7V~3.6V,
 AVSS=DVSS, $T_a = -20 \sim 85^\circ\text{C}$
 AVCC3 負荷容量 $\geq 3.3 \mu\text{F}$, VREFH 負荷容量 $\geq 3.3 \mu\text{F}$

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7	3.3	3.6	V
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準 電圧電源電流	IREF	A/D 変換時 DVSS = AVSS = VREFL		4.5	5.5	mA
		A/D 非変換時 DVSS = AVSS = VREFL		± 0.02	± 5	μA
消費電流	—	IREF を除く			3	mA
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600 \Omega$ AIN 負荷容量 $\leq 30\text{pF}$ 変換時間 $\geq 1.15 \mu\text{s}$		± 2	± 3	LSB
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600 \Omega$ AIN 負荷容量 $\geq 0.1 \mu\text{F}$ 変換時間 $\geq 1.15 \mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 1.3\text{k}\Omega$ AIN 負荷容量 $\geq 0.1 \mu\text{F}$ 変換時間 $\geq 1.15 \mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 10\text{k}\Omega$ AIN 負荷容量 $\geq 0.1 \mu\text{F}$ 変換時間 $\geq 2.30 \mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	

(注) $1\text{LSB} = (\text{VREFH} - \text{VREFL}) / 1024[\text{V}]$

[2] LQFP 版

DVCC3=REGVIN=AVCC3=VREFH=3.0V~3.6V,

AVSS=DVSS, Ta=-20~85°C

AVCC3 負荷容量 $\geq 3.3\mu\text{F}$, VREFH 負荷容量 $\geq 3.3\mu\text{F}$

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		3.0	3.3	3.6	V
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	A/D 変換時	IREF	DVSS = AVSS = VREFL	4.5	5.5	mA
	A/D 非変換時	—	DVSS = AVSS = VREFL	± 0.02	± 5	μA
消費電流	A/D 変換時	—	IREF を除く		3	mA
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\leq 30\text{pF}$ 変換時間 $\geq 1.22\mu\text{s}$		± 2	± 3	LSB
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 1.22\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 1.3\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 1.22\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 10\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 2.44\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	

(注) 1LSB = (VREFH - VREFL) / 1024[V]

23.7 AC電気的特性

23.7.1 マルチプレクスバスモード

[1] BGA版 (fsys=40MHz)

DVCC15=CVCC15=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V, Ta = -20~85°C

[2] LQFP版 (fsys=54MHz)

DVCC3=REGVIN=AVCC3= 3.0V~3.6V, Ta = -20~85°C

ALE = 1クロック, 自動2ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		54MHz (fsys)(注)		単位
			Min	Max	Min	Max			
1	システムクロック周期(x)	t _{SYS}	x		25		18.5		ns
2	A0-15有効→ALE立ち下がり	t _{AL}	x-11		14.0		7.5		ns
3	ALE立ち下がり→A0-15保持	t _{LA}	x-8		17.0		10.5		ns
4	ALE Highパルス幅	t _{LL}	x-6		19.0		12.5		ns
5	ALE立ち下がり→RD/WR/HWR立ち下がり	t _{LC}	x-8		17.0		10.5		ns
6	RD/WR/HWR立ち上がり→ALE立ち上がり	t _{CL}	x-8		17.0		10.5		ns
7	A0-15有効→RD/WR/HWR立ち下がり	t _{ACL}	2x-11		39.0		26		ns
8	A16-23有効→RD/WR/HWR立ち下がり	t _{ACH}	2x-11		39.0		26		ns
9	RD/WR/HWR立ち上がり→A16-23保持	t _{CAR}	x-11		14.0		7.5		ns
10	A0-15有効→D0-15入力	t _{ADL}		x(2+TW+ALE)-43		82.0		49.5	ns
11	A16-23有効→D0-15入力	t _{ADH}		x(2+TW+ALE)-43		82.0		49.5	ns
12	RD立ち下がり→D0-15入力	t _{RD}		x(1+TW)-40		35.0		15.5	ns
13	RD Lowパルス幅	t _{RR}	x(1+TW)-6		69		49.5		ns
14	RD立ち上がり→D0-15保持	t _{HR}	0		0		0		ns
15	RD立ち上がり→A0-15出力	t _{RAE}	x-6		19.0		12.5		ns
16	WR/HWR Lowパルス幅	t _{WW}	x(1+TW)-6		69.0		49.5		ns
17	D0-15有効→WR/HWR立ち上がり	t _{DW}	x(1+TW)-11		64.0		44.5		ns
18	WR/HWR立ち上がり→D0-15保持	t _{WD}	x-11		14.0		7.5		ns
19	A16-23有効→WAIT入力	t _{AWH}		x+x(ALE)+x(TW-1)-32		43.0		23.5	ns
20	A0-15有効→WAIT入力	t _{AWL}		x+x(ALE)+x(TW-1)-32		43.0		23.5	ns
21	RD/WR/HWR→WAIT保持	t _{CW}	x(TW-3)-9	x(TW-1)-29	20.0	46.0	13.5	26.5	ns

(注) 内部ウェイト“2”、ALE出力“1”クロック、40MHz/54MHz時の値です。

TW = (W+ 2N)

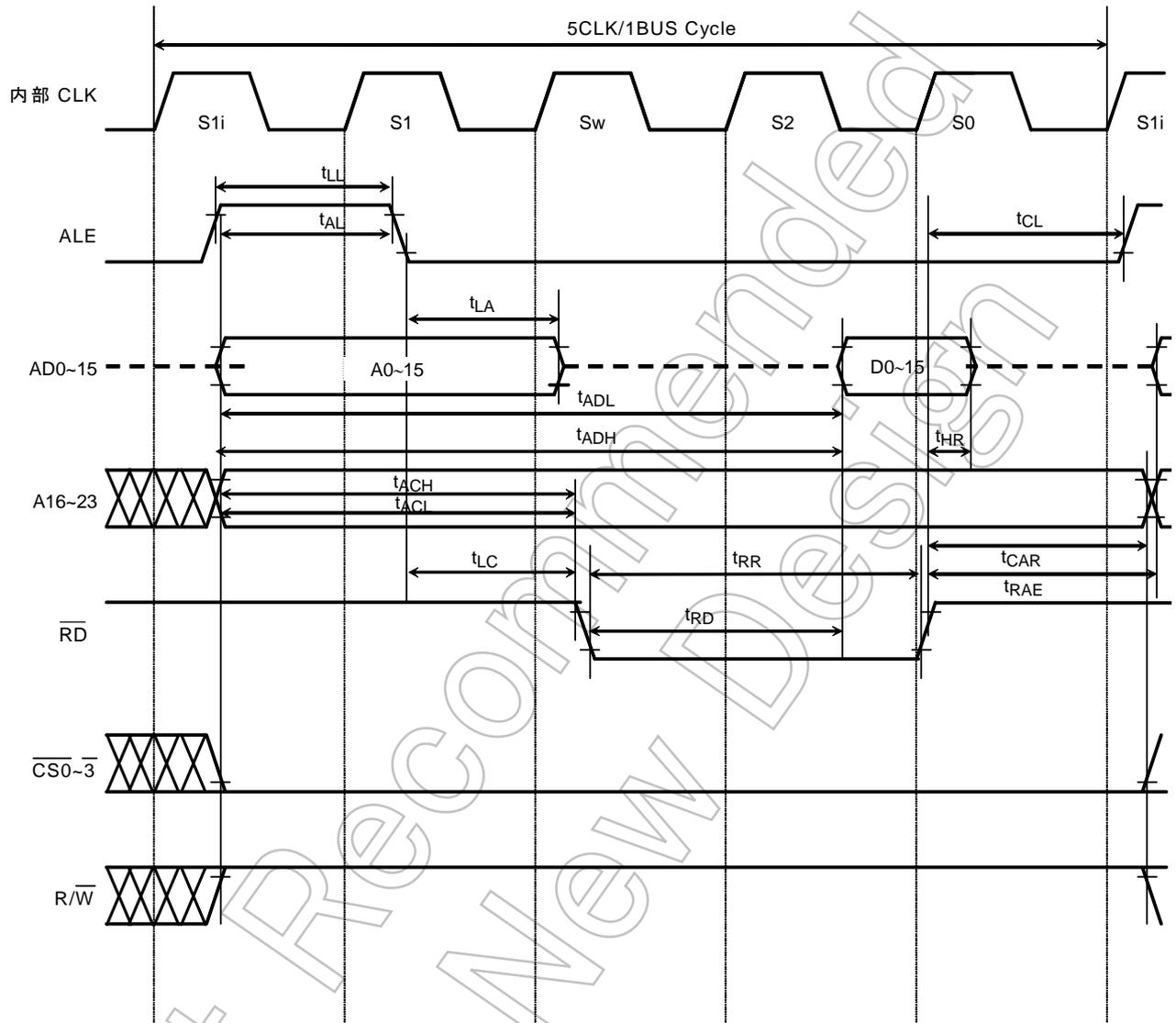
W = 自動ウェイト設定数

2N = 外部ウェイト入力設定数

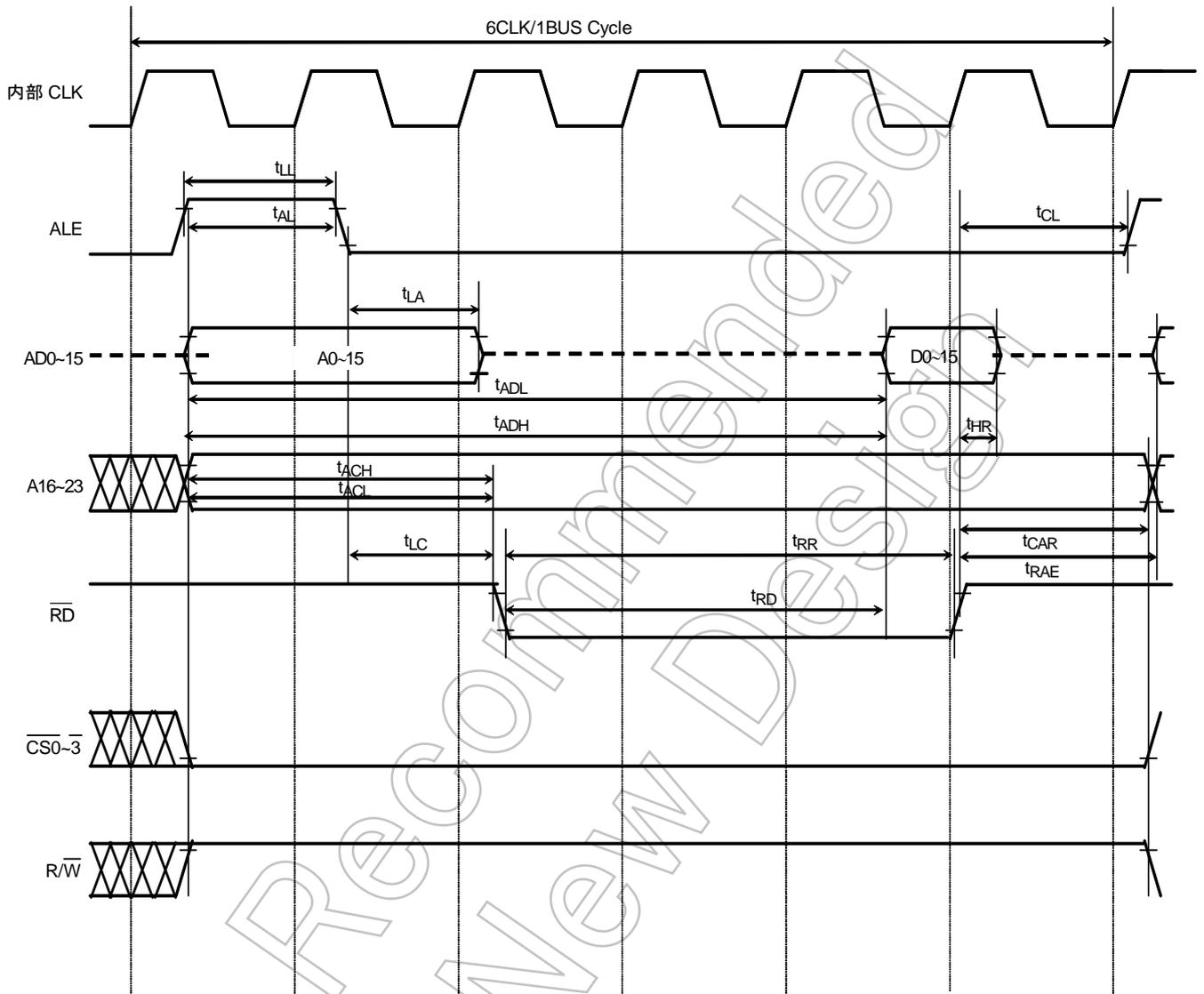
上記の場合 : TW = 2 + 2*1 = 4

AC測定条件 ・ 出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3V, CL=30 pF
 ・ 入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3V

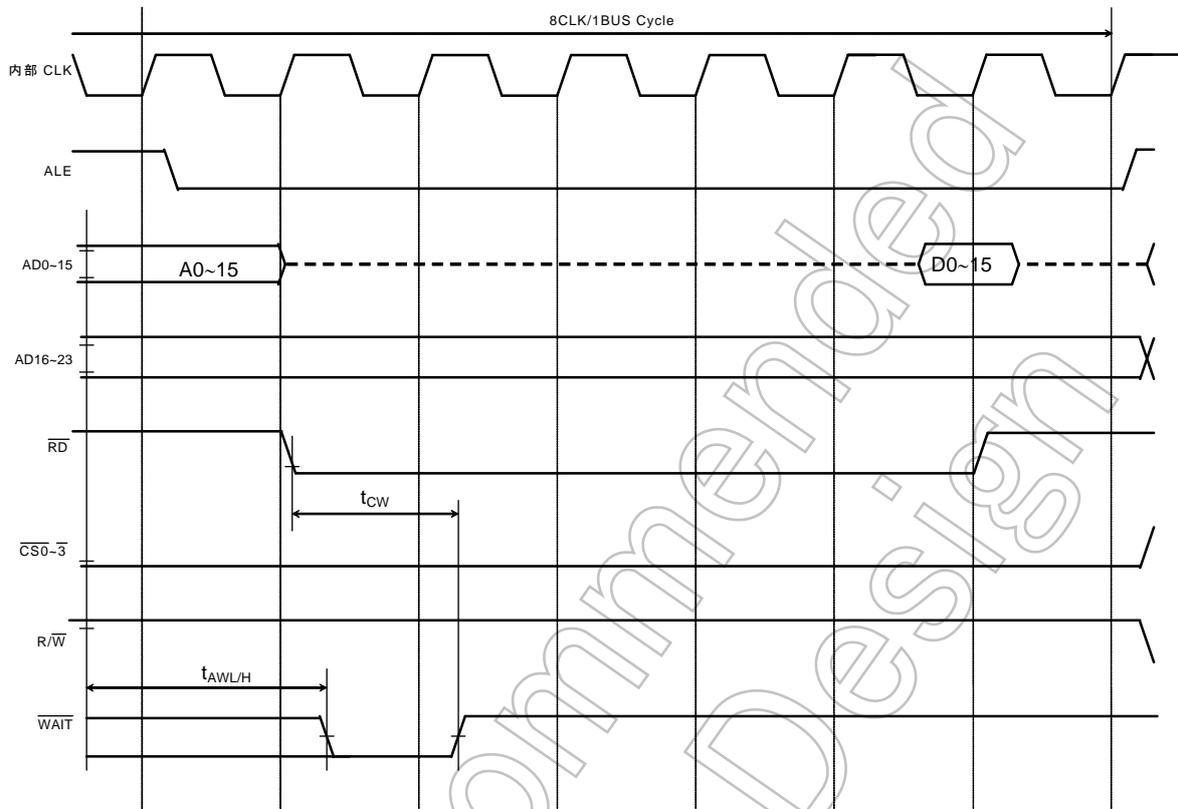
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))

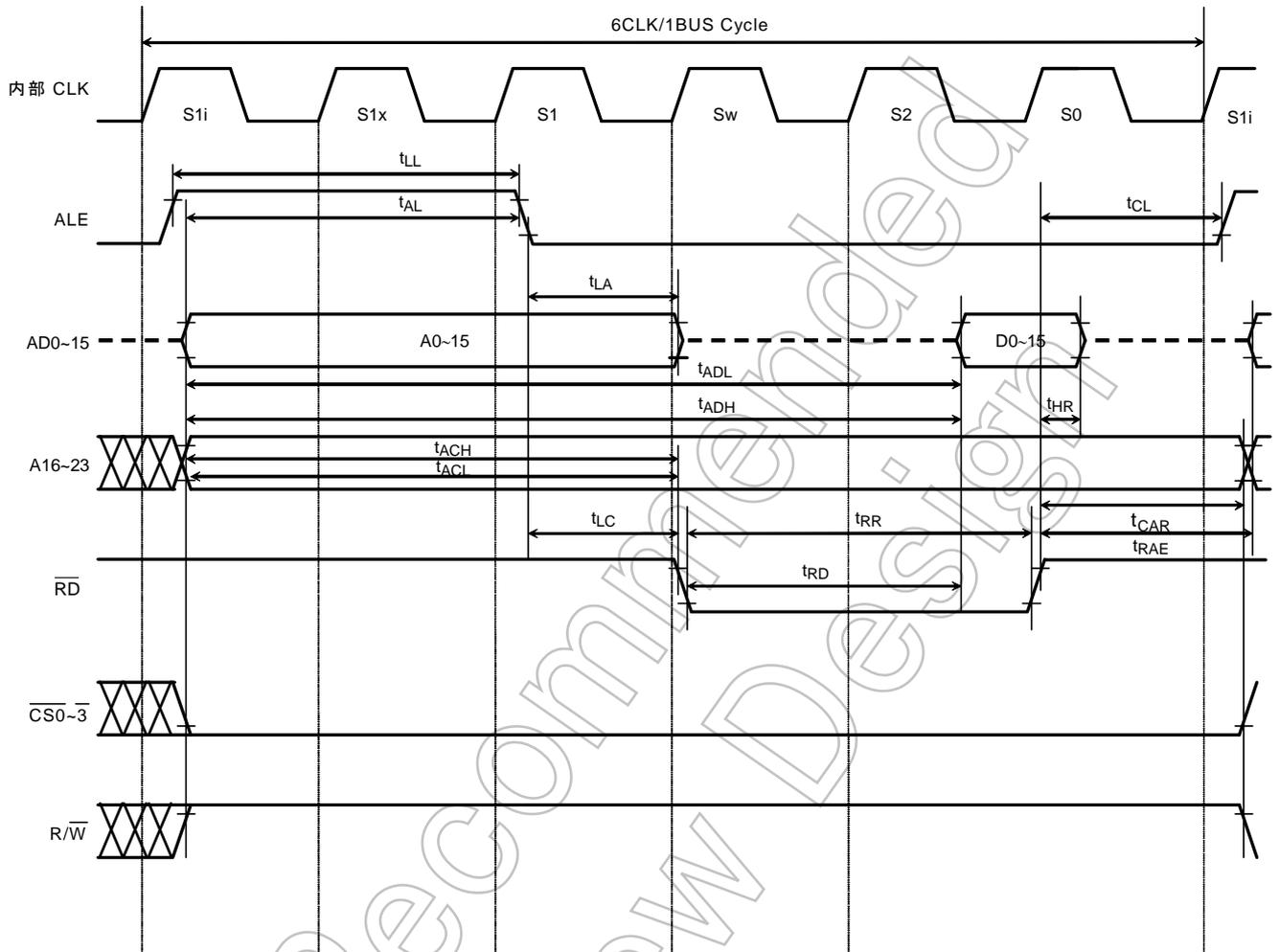


(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

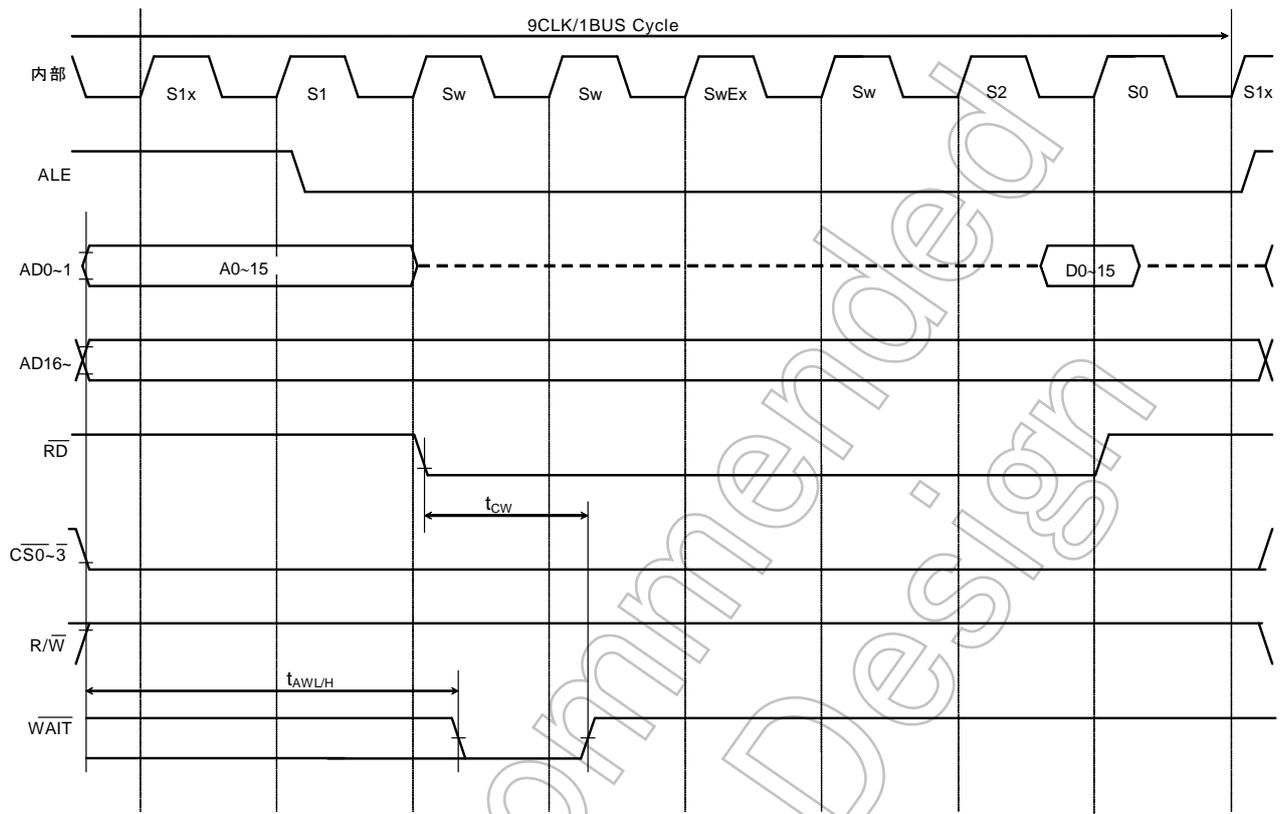


Not Recommended for New Design

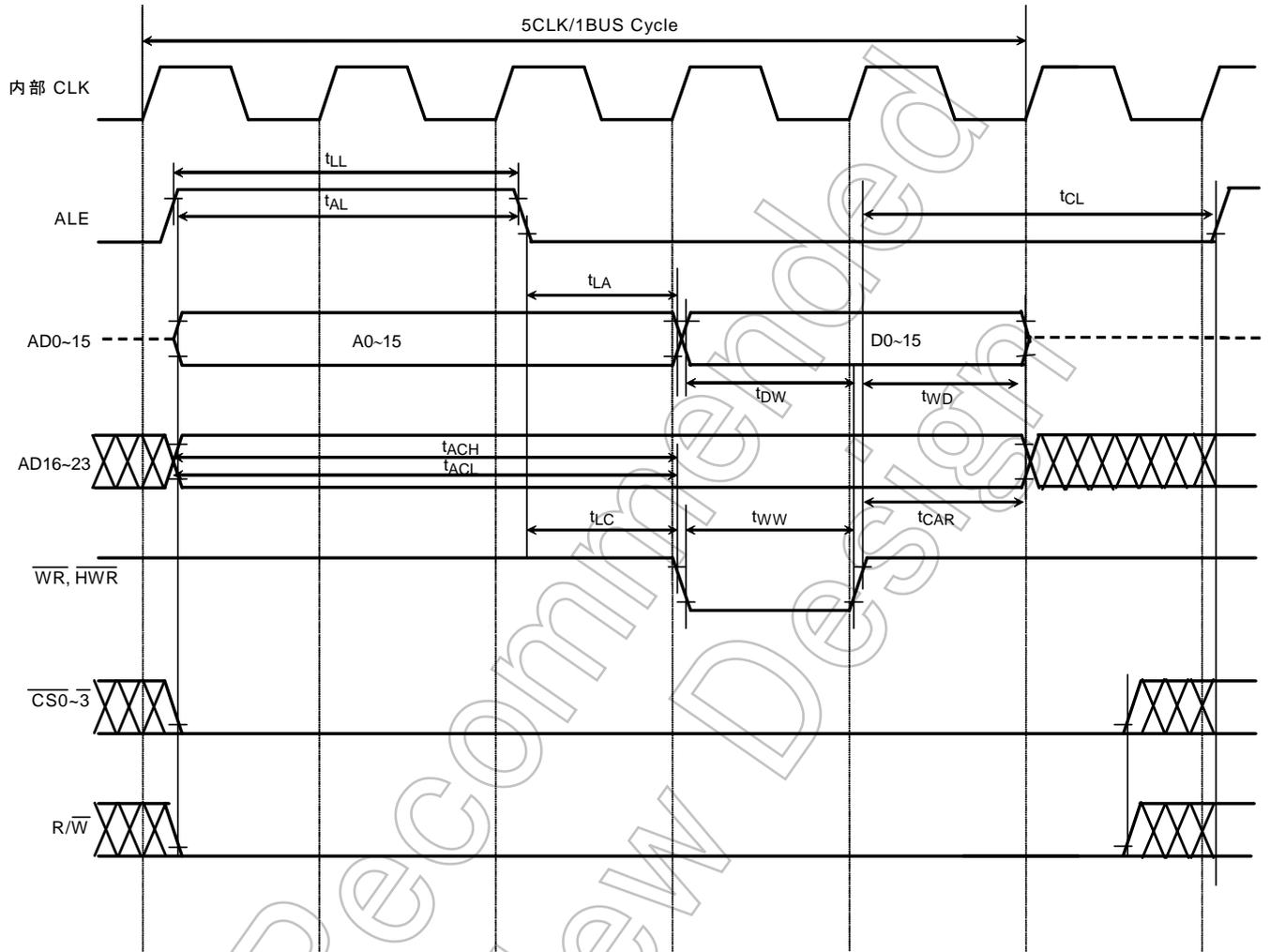
(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))



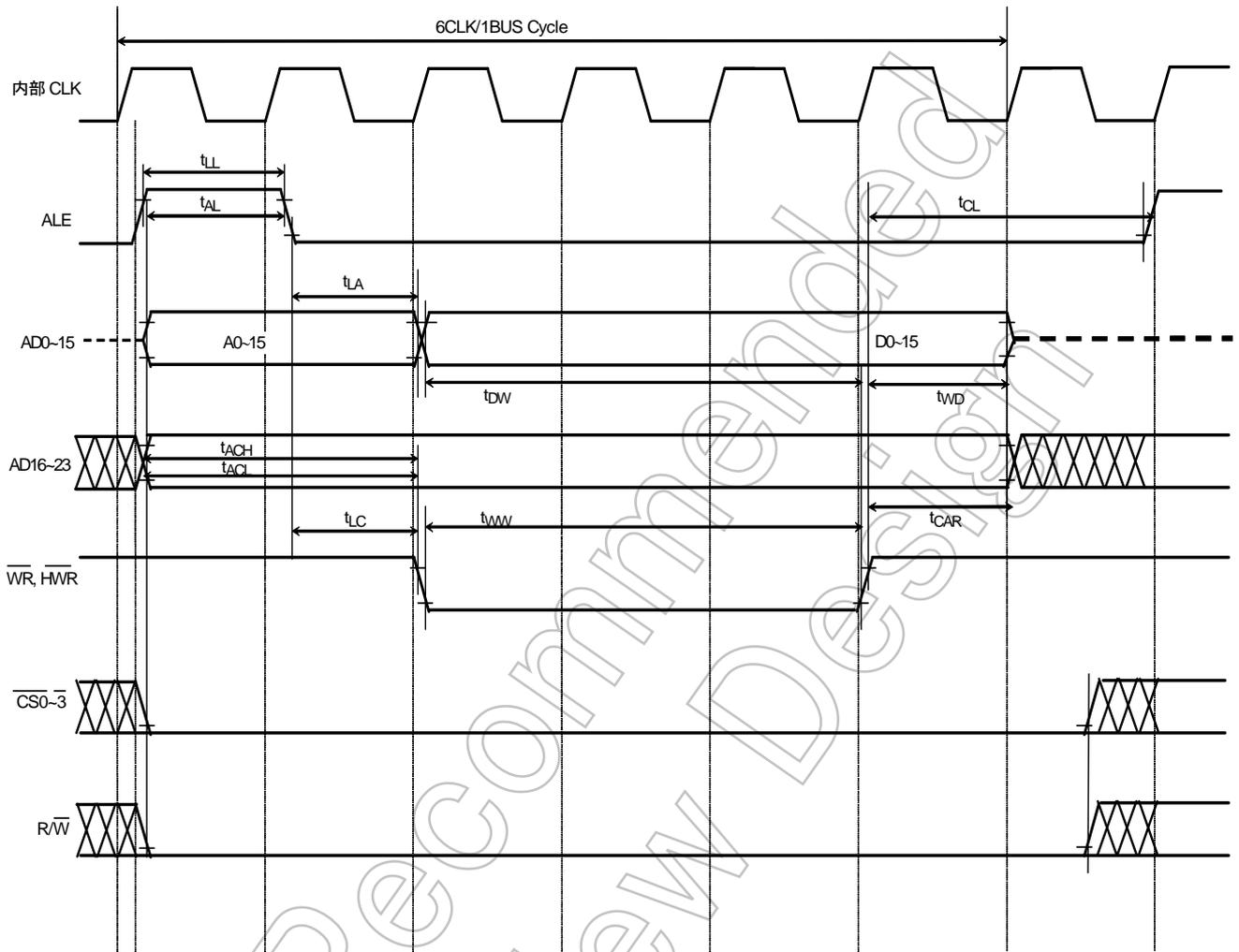
(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)

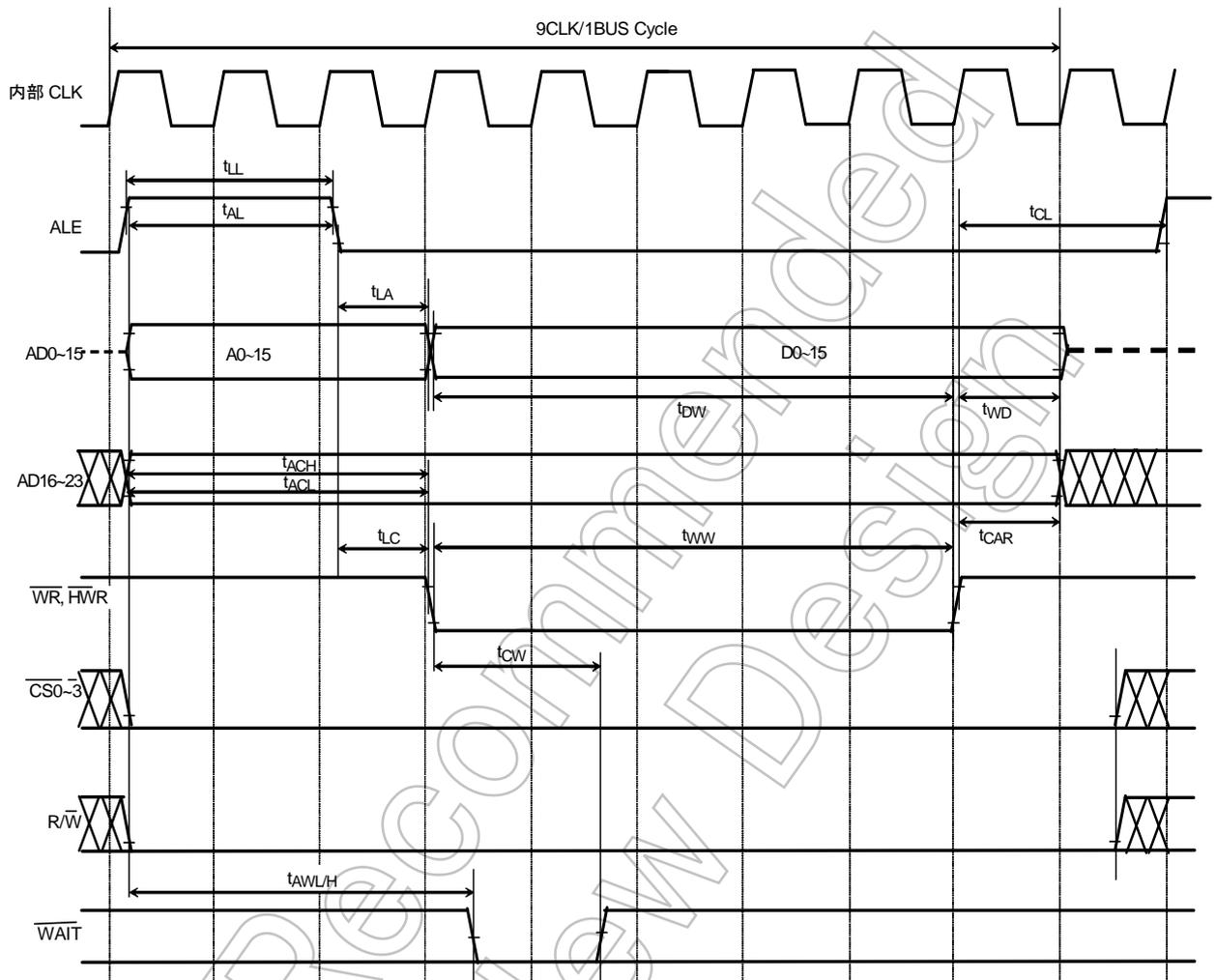


(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



Not Recommended for New Design

(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))



23.7.2 セパレートバスモード

[1] BGA 版 (fsys=40MHz)

DVCC15=CVCC15=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V, Ta = -20~85°C

[2] LQFP 版 (fsys=54MHz)

DVCC3=REGVIN=AVCC3= 3.0V~3.6V, Ta = -20~85°C

SYSCR3<ALESEL> = "0", 自動 2 ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		54 MHz (fsys)(注)		単位
			Min	Max	Min	Max	Min	Max	
1	システムクロック周期(x)	t _{sys}	x		25		18.5		ns
2	A0-23 有効→RD / WR /HWR 立ち下がり	t _{AC}	x(1+ALE) -11		39.0		26		ns
3	RD / WR /HWR 立ち上がり → A0 - 23 保持	t _{CAR}	x - 11		14.0		7.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t _{AD}		x (2 + TW+ALE) - 43		82.0		49.5	ns
5	RD 立ち下がり→ D0 - 15 入力	t _{RD}		x (1 + TW) - 40		35.0		15.5	ns
6	RD Low パルス幅	t _{RR}	x (1 + TW) - 6		69.0		49.5		ns
7	RD 立ち上がり→ D0 - 15 保持	t _{HR}	0		0		0		ns
8	RD 立ち上がり→ A0 - 23 出力	t _{RAE}	x - 6		19.0		12.5		ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + TW) - 6		69.0		49.5		ns
10	WR /HWR 立ち下がり→D0-15 有効	t _{DO}		9.7		9.7		9.7	ns
11	D0-15 有効→ WR /HWR 立ち上がり	t _{DW}	x (1 + TW) - 11		64.0		44.5		ns
12	WR /HWR 立ち上がり→ D0 - 15 保持	t _{WD}	x - 11		14.0		7.5		ns
13	A0 - 23 有効→ WAIT 入力	t _{AW}		x+ x (ALE)+ x(TW-1) -32		43.0		23.5	ns
14	RD / WR /HWR→ WAIT 保持	t _{CW}	x(TW - 3) - 5		20.0	46.0	13.5	26.5	ns

(注) 内部ウェイト "2"、ALE 出力 "1" クロック、40MHz/54MHz 時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

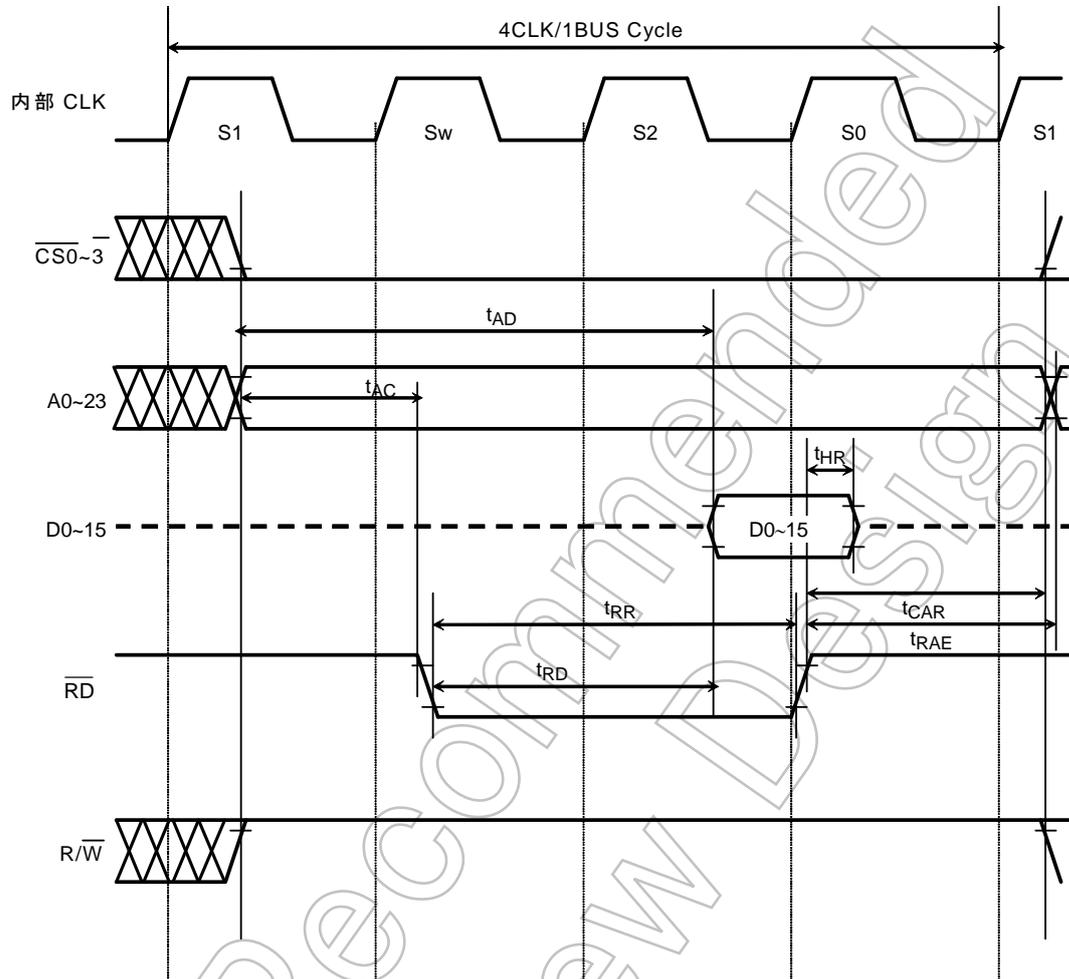
2N = 外部ウェイト入力設定数

$$\text{上記の場合} : TW = 2 + 2 \times 1 = 4$$

AC 測定条件

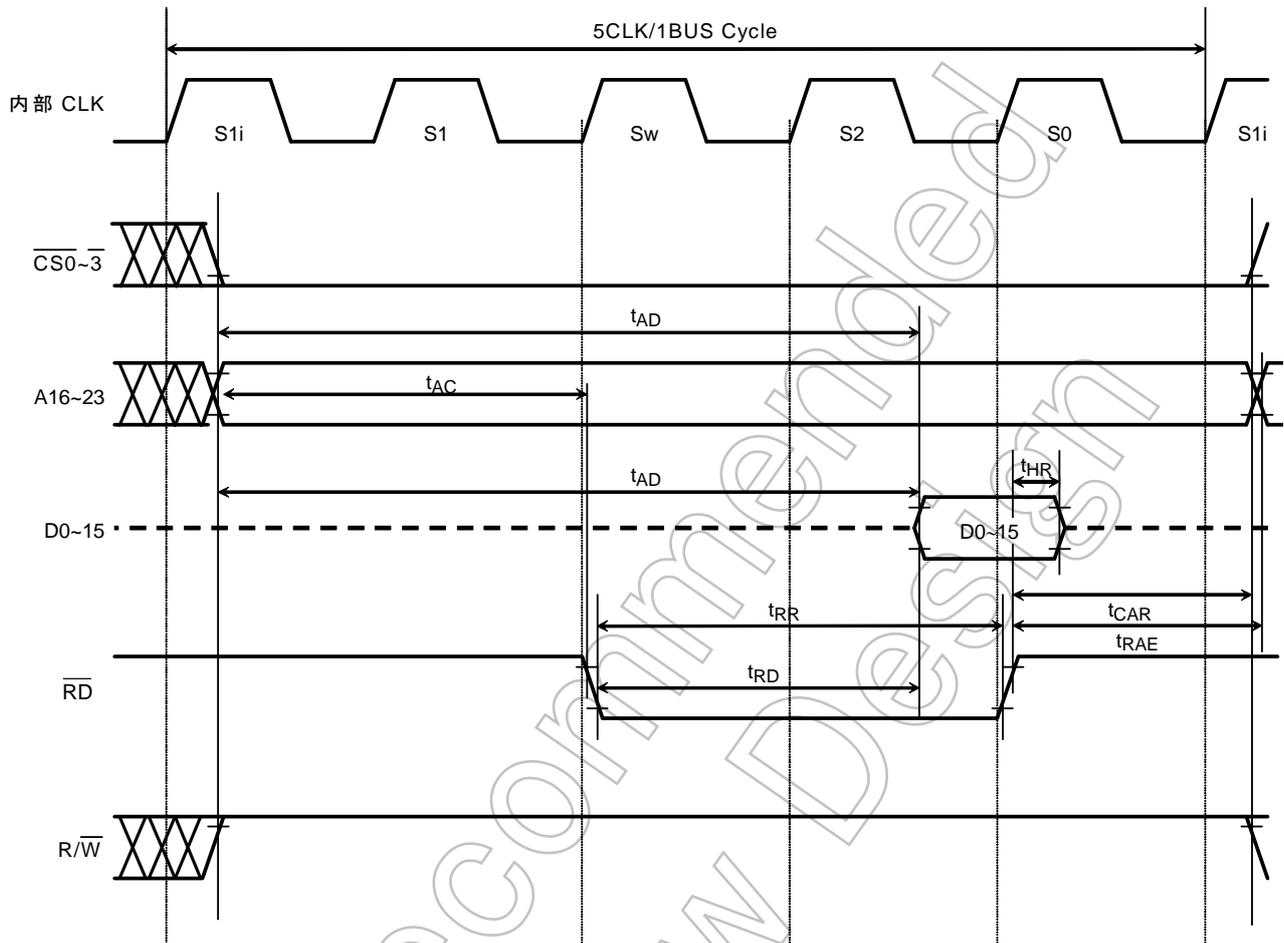
- 出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3V, CL=30 pF
- 入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3V

(1) リードタイミング (SYSCR3<ALESEL> = "0"、1 ウェイト (内部ウェイト))



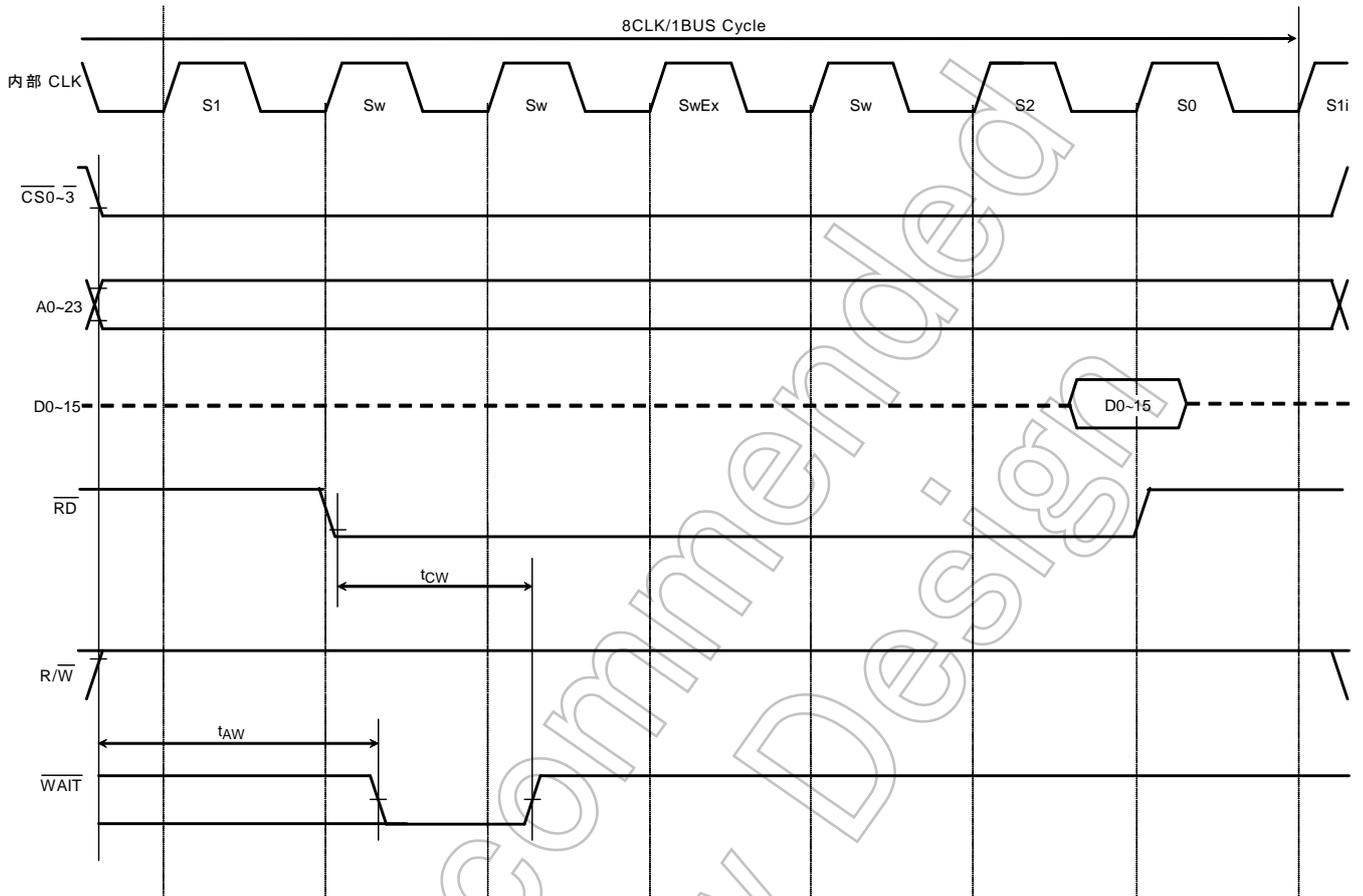
Not Recommended for New

(2) リードタイミング (SYSCR3<ALESEL> = “1”、1 ウェイト (内部ウェイト))



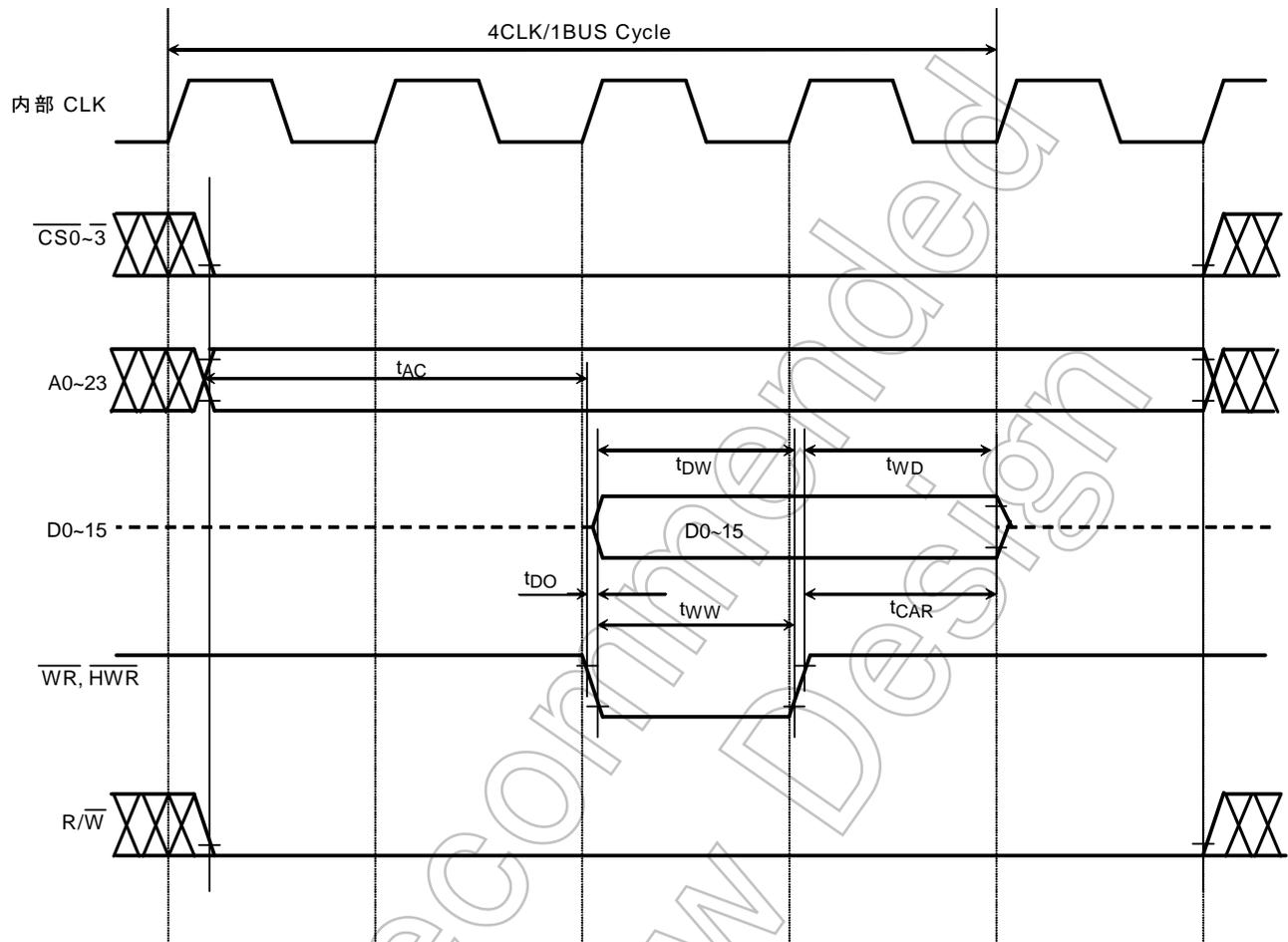
Not Recommended for New

(3) リードタイミング (SYSCR3<ALESEL> = “1”、4 ウェイト (外部 2+2N ウェイト、N = 1))



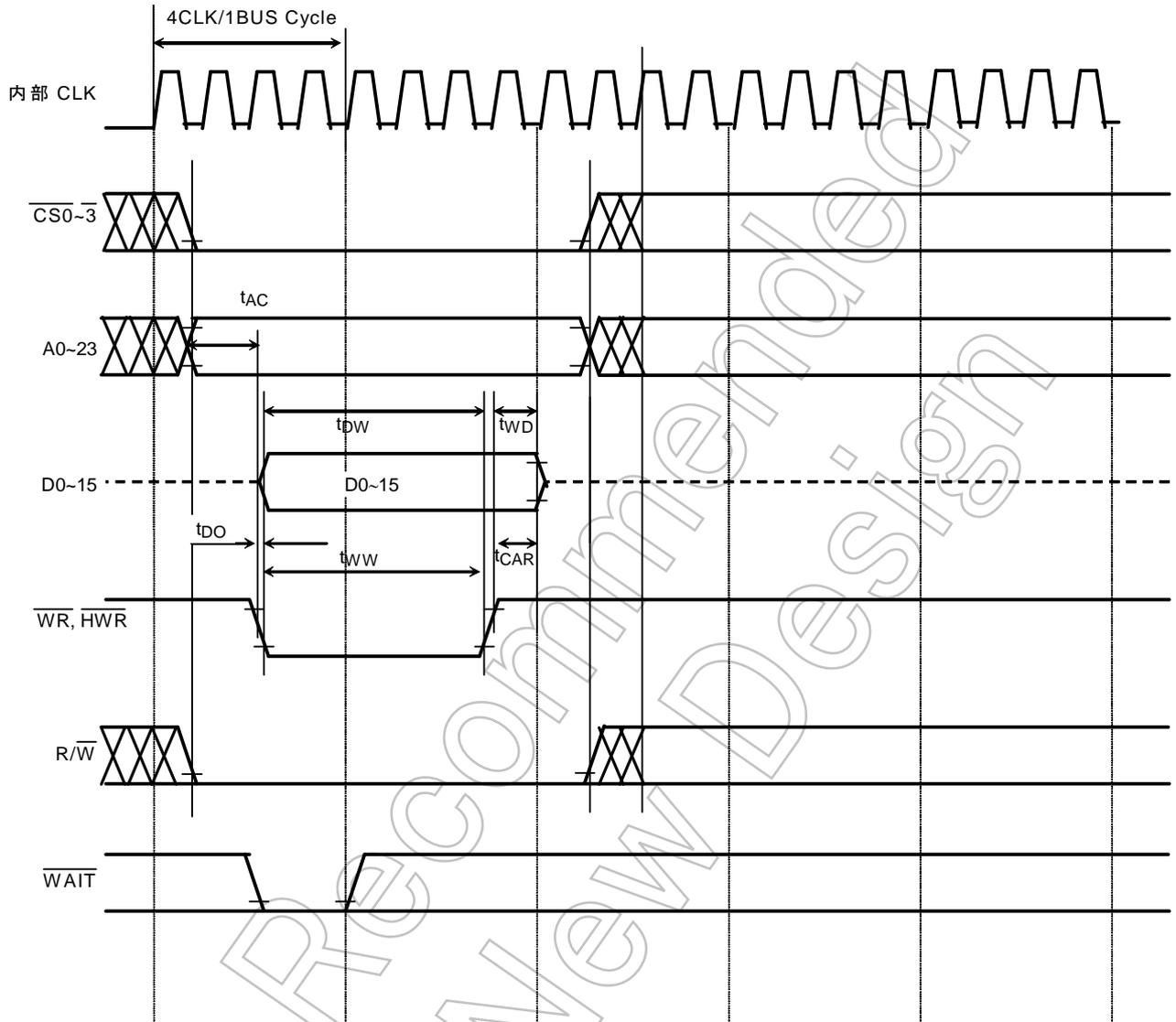
Not Recommended for New Design

(4) ライトタイミング (SYSCR3<ALESEL> = “1”、0 ウェイト)



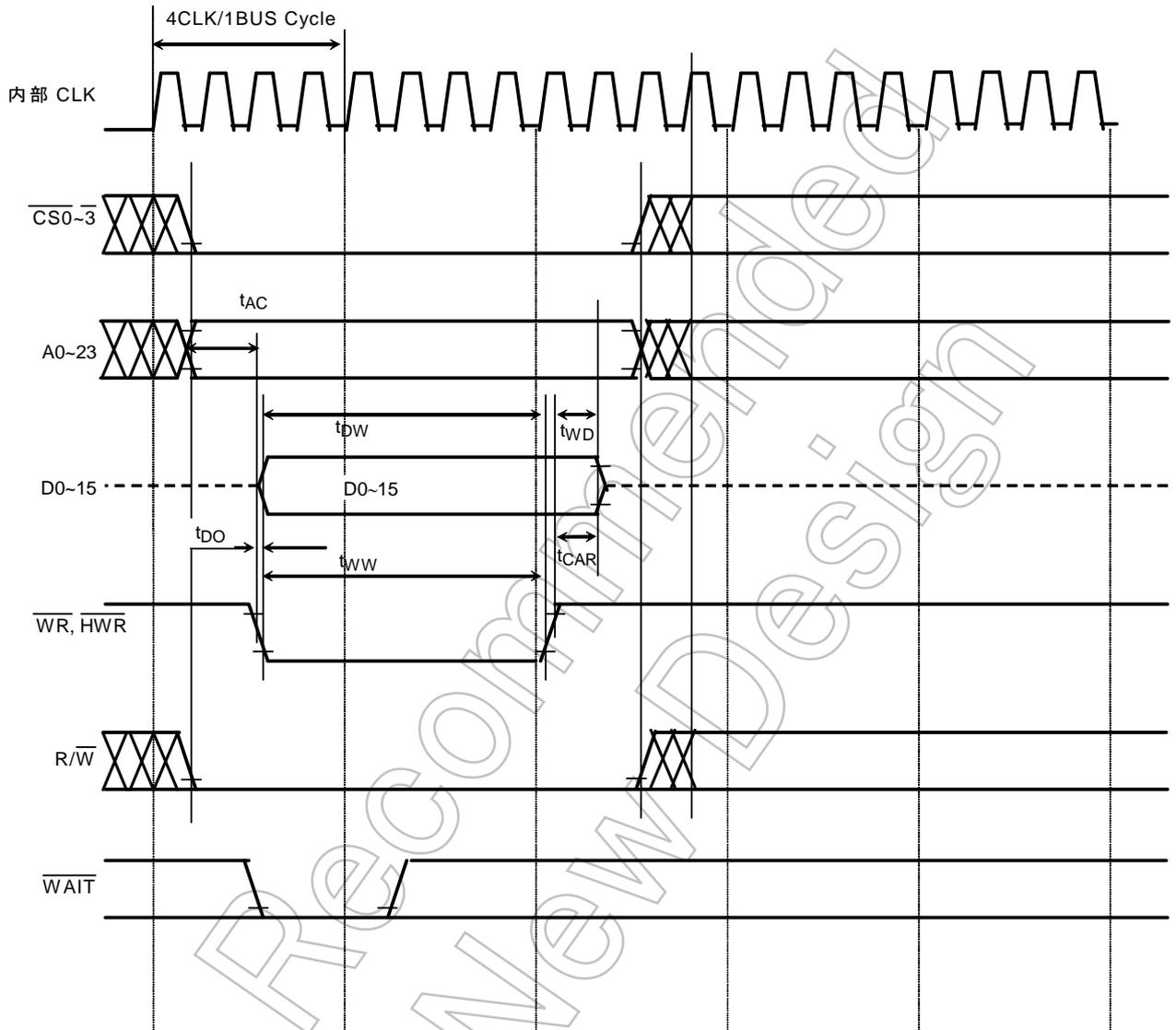
Not Recommended for New Design

(5) ライトタイミング (SYSCR3<ALESEL> = “1”、自動2ウェイト+2N (N=1))



Not Recommended for New Design

(6) ライトタイミング (SYSCR3<ALESEL> = “1”、自動3ウェイト+2N (N=1))

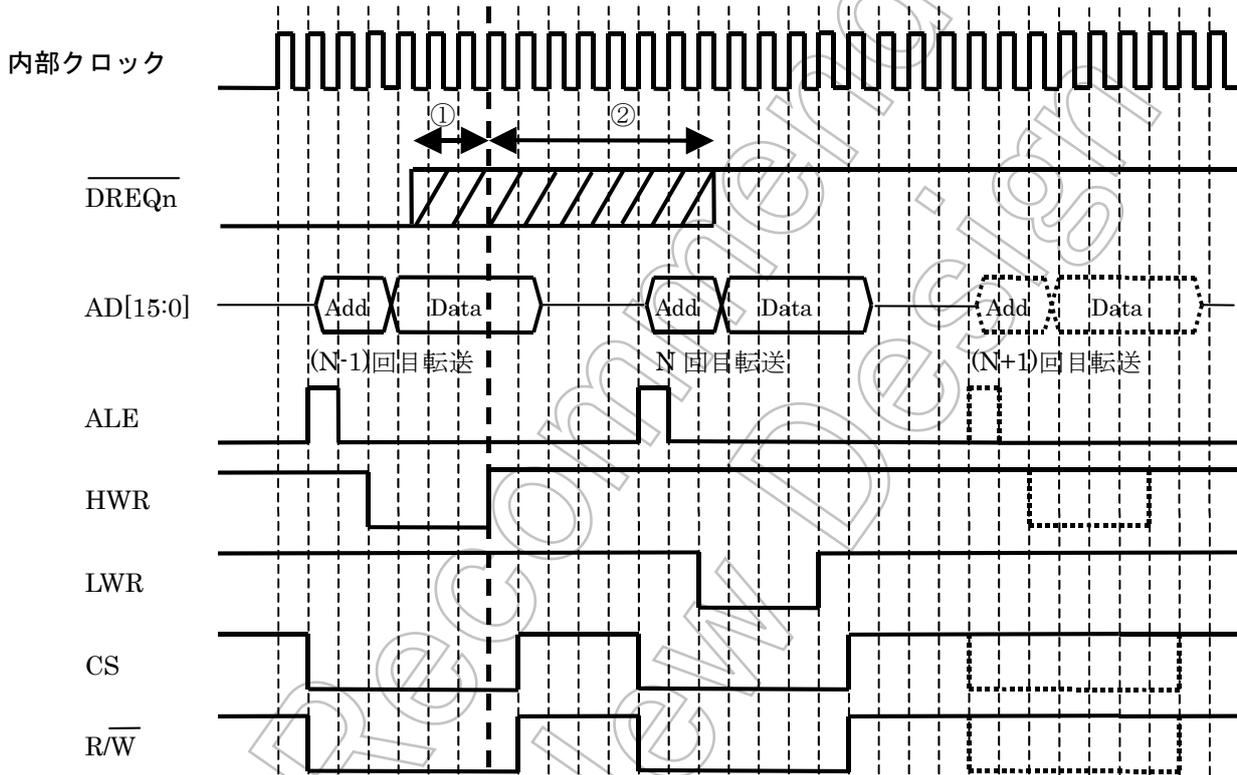


23.8 DMAリクエストを使用した転送

マルチプレクスバスモードで、内蔵RAMと外部デバイスとの転送例を示します。

- ・ 16ビットバス幅、リカバリタイムなし
- ・ DMA転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit、デバイスポートサイズ (DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵RAM/外部デバイス

内蔵RAM to 外部デバイス (ライト時) (Mem to Mem転送) のタイミングを図に示します。



- ① N回目の転送が確実に行われるための条件
- ② N+1回目の転送が行われなための条件

[1] BGA版 (fsys=40MHz)
DVCC15=CVCC15=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V, Ta = -20~85°C

[2] LQFP版 (fsys=54MHz)
DVCC3=REGVIN=AVCC3= 3.0V~3.6V, Ta = -20~85°C

項目	記号	計算式		40 MHz (fsys)		54 MHz (fsys)		単位
		①Min	②Max	Min	Max	Min	Max	
RD立ち下がり→DREQnの デアサート(外部デバイス to 内蔵RAM)	tDREQ_r	(W+1)x	(2W+ALE+8)x -51	50	224	36	147	ns
WR/HWR立ち上がり→DREQnの デアサート(内蔵RAM to 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT)x -51.8	-75	98.2	-54	56.2	ns

23.9 シリアルチャネルタイミング

(1) I/O インタフェースモード (BGA 版 DVCC3=2.7V~3.6V, LQFP 版 DVCC3=3.0V~3.6V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

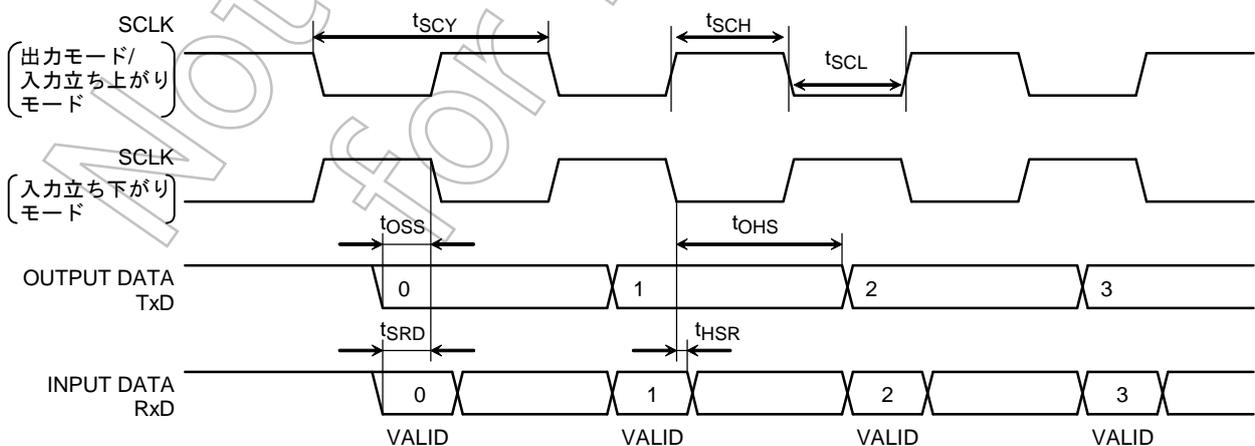
① SCLK 入力モード (SI00~SI02)

項目	記号	計算式		40 MHz		54 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t _{SCY}	12x		300		222		ns
SCLK クロック High 幅 (入力)	t _{SCH}	6x		150		111		ns
SCLK クロック Low 幅 (入力)	t _{SCL}	6x		150		111		ns
Output Data ← SCLK 立ち上がり/立ち下がり*	t _{OSS}	2x-30		20		6		ns
SCLK 立ち上がり → Output Data 保持/立ち下がり*	t _{OHS}	8x-15		185		129		ns
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり*	t _{SRD}	30		30		30		ns
SCLK 立ち上がり → Input Data 保持/立ち下がり*	t _{HSR}	2x+30		80		66		ns

* SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、
SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (SI00~SI02)

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	8x		200		144		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	4x-10		90		62		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	4x-10		90		62		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45		45		45		ns
SCLK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		0		ns



23.10 高速シリアルチャネルタイミング

(1) I/O インタフェースモード (BGA 版 DVCC3=2.7V~3.6V, LQFP 版 DVCC3=3.0V~3.6V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

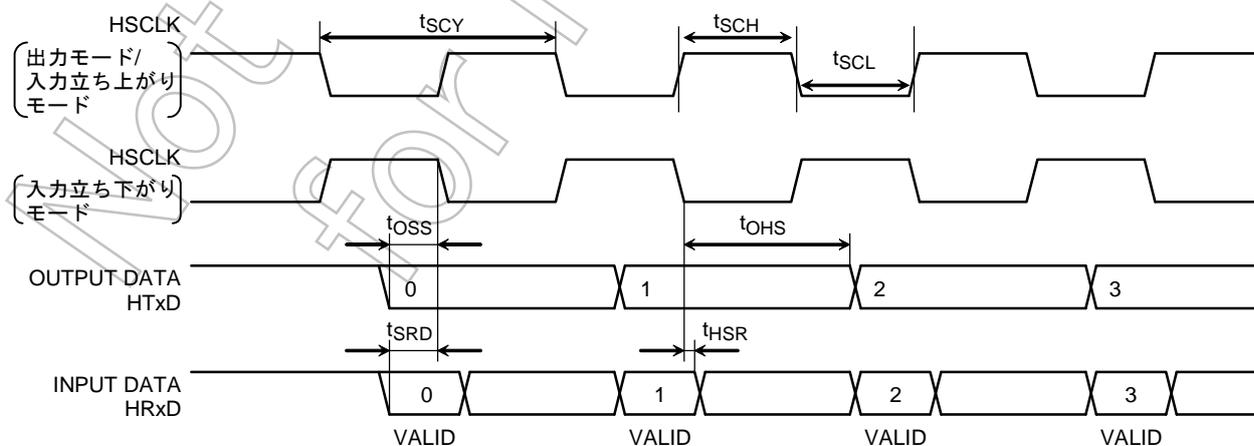
① HSCLK 入力モード (HS100)

項目	記号	計算式	40 MHz		54MHz		単位
			Min	Max	Min	Max	
HSCLK 周期	t _{SCY}	12(x/2)			150	111	ns
HSCLK クロック High 幅(入力)	T _{SCH}	3x			75	54	ns
HSCLK クロック Low 幅(入力)	T _{SCL}	3x			75	54	ns
Output Data ← HSCLK 立ち上がり / 立ち下がり*	t _{OSS}	(t _{scv} /2)-30			45	24	ns
HSCLK 立ち上がり → Output Data 保持/立ち下がり*	t _{OHS}	8(x/2)-15			85	57	ns
有効 Data 入力 ← HSCLK 立ち上がり / 立ち下がり*	t _{SRD}	30			30	30	ns
HSCLK 立ち上がり → Input Data 保持/立ち下がり*	t _{HSR}	2(x/2)+30			55	48	ns

* HSCLK 立ち上がり/立ち下がり…HSCLK 立ち上がりモードの場合は HSCLK 立ち上がり、
HSCLK 立ち下がりモードの場合は HSCLK 立ち下がりのタイミングです。

② HSCLK 出力モード (HS100)

項目	記号	計算式	40 MHz		54MHz		単位
			Min	Max	Min	Max	
HSCLK 周期 (プログラマブル)	t _{SCY}	8(x/2)			100	72	ns
Output Data ← HSCLK 立ち上がり	t _{OSS}	4(x/2)-10			40	26	ns
HSCLK 立ち上がり → Output Data 保持	t _{OHS}	4(x/2)-10			40	26	ns
有効 Data 入力 ← HSCLK 立ち上がり	t _{SRD}	45			45	45	ns
HSCLK 立ち上がり → Input put Data 保持	t _{HSR}	0			0	0	ns



23.11 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック f_{sys} の周期を、 T は $\phi T1$ を表します。

n は SBI_{ncR} レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$			4.0		0.6		μ s
SCL クロック Low 幅 (入力) (注 1)	t_{LOW}			4.7		1.3		μ s
SCL クロック High 幅 (入力) (注 2)	t_{HIGH}			4.0		0.6		μ s
再スタートコンディション セットアップ時間	$t_{SU:STA}$	ソフト (注 5)		4.7		0.6		μ s
データ保持時間 (入力) (注 3, 4)	$t_{HD:DAT}$			0.0		0.0		μ s
データセットアップ時間	$t_{SU:DAT}$			250		100		ns
ストップコンディション セットアップ時間	$t_{SU:STO}$			4.0		0.6		μ s
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	ソフト (注 5)		4.7		1.3		μ s

注 1) SCL クロック LOW 幅 (出力): $(2^{n-1} + 58) / (f_{sys}/2)$

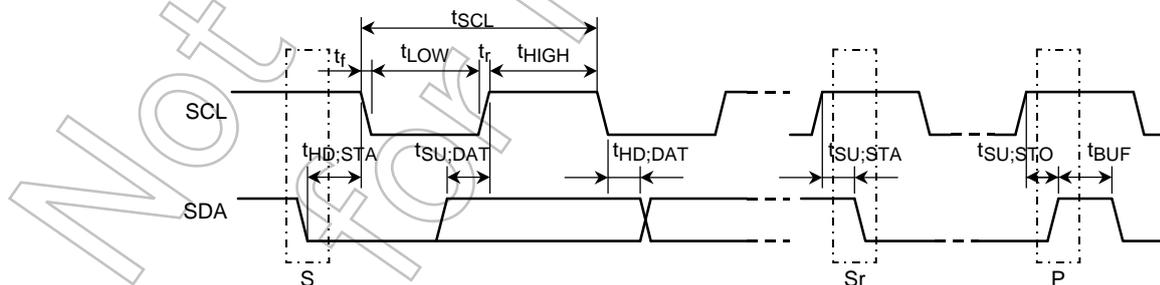
注 2) SCL クロック HIGH 幅 (出力): $(2^{n-1} + 12) / (f_{sys}/2)$

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意願います。

注 3) データ保持時間 (出力) は内部 SCL から 1.2X の時間です。

注 4) フィリップス仕様では内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL/SDA の t_r/t_f を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

注 5) ソフトウェアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック f_{sys} の周期を、T はφT₀ を表します。

n は SB10CR レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

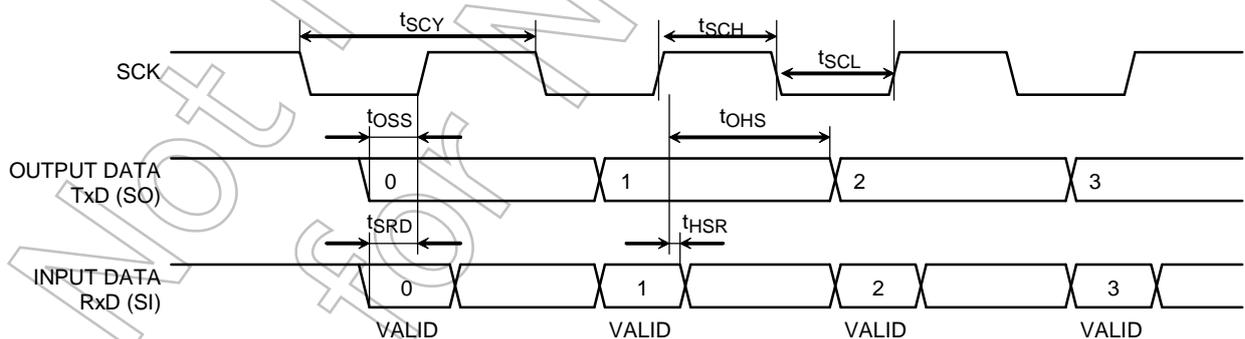
SCK デューティ 50%の場合

③ SCK 入力モード

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
SCK 周期	t _{SCY}	16x		400		296		ns
SCK クロック High 幅(入力)	T _{SC_H}	8x		200		148		ns
SCK クロック Low 幅(入力)	T _{SC_L}	8x		200		148		ns
Output Data ← SCK 立ち上がり	t _{OSS}	(t _{SCY} /2) - (6x + 20)		30		128		ns
SCK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) + 4x		300		222		ns
有効 Data 入力 ← SCK 立ち上がり	t _{SRD}	0		0		0		ns
SCK 立ち上がり → Input Data 保持	t _{HSR}	4x + 10		110		84		ns

④ SCK 出力モード

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
SCK 周期(プログラマブル)	t _{SCY}	16x		400		296		ns
Output Data ← SCK 立ち上がり	t _{OSS}	(t _{SCY} /2) - 20		180		128		ns
SCK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) - 20		180		128		ns
有効 Data 入力 ← SCK 立ち上がり	t _{SRD}	2x + 30		80		67		ns
SCK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		0		ns



23.12 イベントカウンタ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		150		137		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		150		137		ns

23.13 キャプチャ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		150		137		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		150		137		ns

23.14 TMRD PPG出力

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
高レベルパルス幅	t_{PPGH}	100		100		100		ns
低レベルパルス幅	t_{PPGL}	100		100		100		ns

23.15 割り込み (INTC)

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
INT0-F 低レベルパルス幅	t_{INTAL}	$X + 100$		125		118.5		ns
INT0-F 高レベルパルス幅	t_{INTAH}	$X + 100$		125		118.5		ns

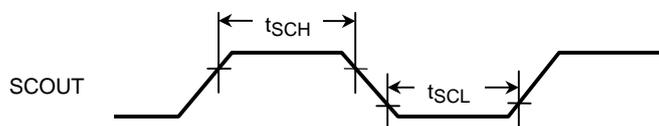
23.16 割り込み (STOP解除割り込み)

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
NMI, INT0-F 低レベルパルス幅	t_{INTBL}	100		100		100		ns
INT0-F 高レベルパルス幅	t_{INTBH}	100		100		100		ns

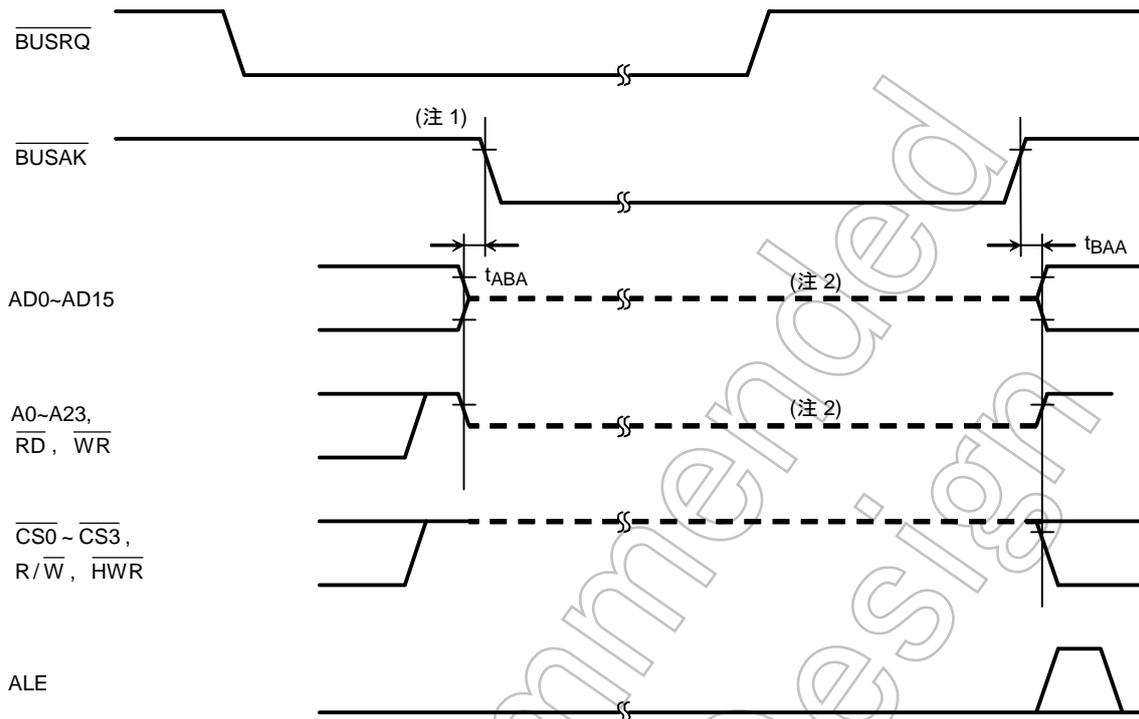
23.17 SCOUT端子 AC特性

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		7.5		4.3		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		7.5		4.3		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



23.18 バスリクエスト/バスアクノリッジ



項目	記号	計算式		40 MHz		54 MHz		単位
		Min	Max	Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	0	80	ns

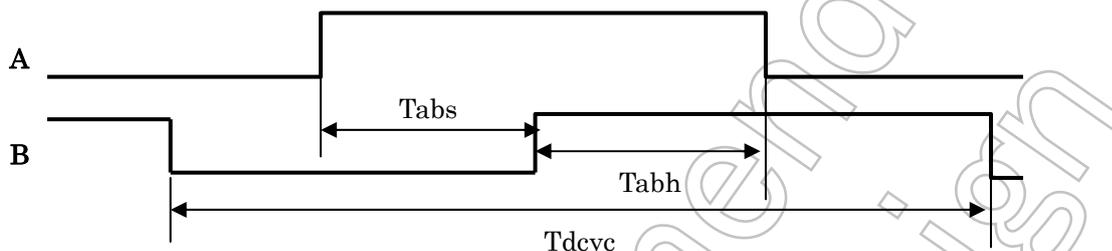
(注1) $\overline{\text{BSURQ}}$ を "Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注2) この破線は出力バッファが OFF になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

23.19 2相パルス入力

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
2相入力パルス周期	Tdcyc	8Y		400		296		ns
2相入力セットアップ	Tab _s	Y+20		70		57		ns
2相入力ホールド	Tab _h	Y+20		70		57		ns

Y : (fsys/2)

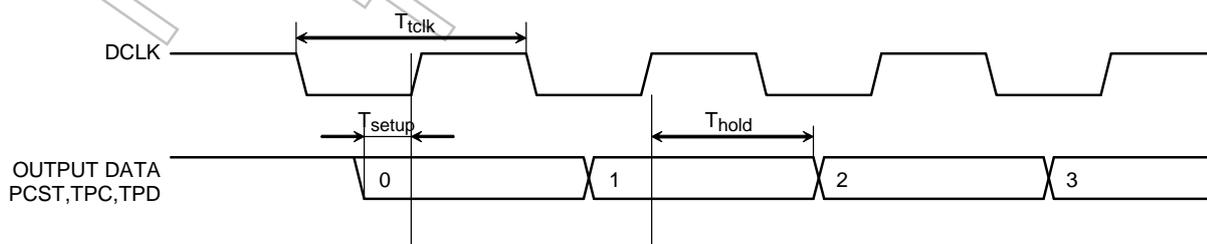


23.20 ADTRG入力

項目	記号	計算式		40 MHz		54MHz		単位
		Min	Max	Min	Max	Min	Max	
ADTRG 低レベルパルス幅	Tad _L	fsys/2+20		32.5		29.3		ns
ADTRG 高レベルパルス間隔	Tadh	fsys/2+20		32.5		29.3		ns

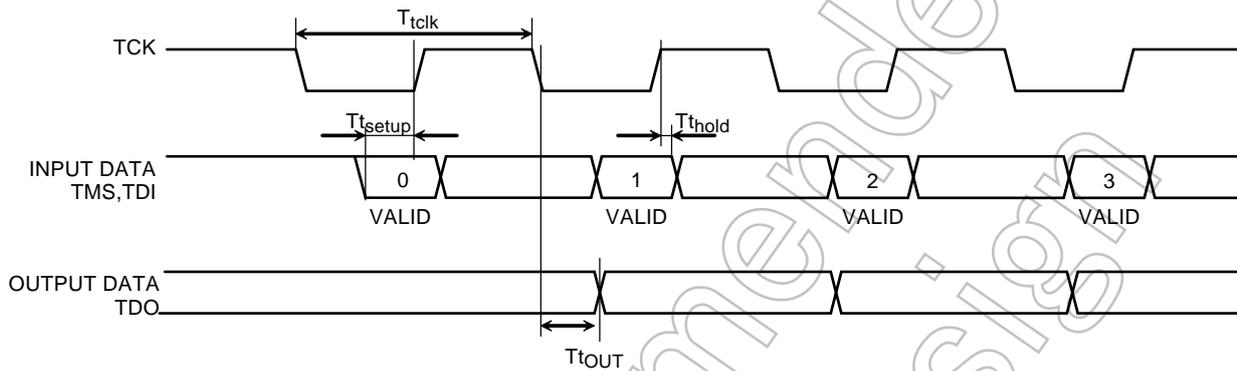
23.21 DSU

項目	記号	計算式		40 MHz/54MHz		単位
		Min	Max	Min	Max	
PCST 有効←DCLK 立ち上がり	Tsetup	11		11		ns
DCLK 立ち上がり→PCST 保持	Thold	0.5		0.5		ns
TPC 有効←DCLK 立ち上がり	Tsetup	11		11		ns
DCLK 立ち上がり→TPC 保持	Thold	0.5		0.5		ns
TPD 有効←DCLK 立ち上がり	Tsetup	11		11		ns
DCLK 立ち上がり→TPD 保持	Thold	0.5		0.5		ns



23.22 EJTAG

項目	記号			単位
		Min	Max	
TMS/TDI 入力←TCK 立ち上がり	Ttsetup	40		ns
TCK 立ち上がり→TMS/TDI 保持	Tthold	50		ns
TCK 立下り→TDO 保持	Ttout		10	ns



Not Recommended for New Design

23.23 推奨発振回路

TMP19A23FYXBG/TMP19A23FYFG は、下記の発振子メーカーにて評価されております。発振子の選択時に活用願います。

(注) 発振端子の負荷容量は、接続する負荷容量 C1, C2 と実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板により負荷容量が異なり発振器が誤動作する可能性があります。従って、基板設計の際には発振回路周辺のパターンが最短距離になるようにしてください。最終的に実装基板での発振子評価を推奨いたします。

(1) 発振子接続回路例

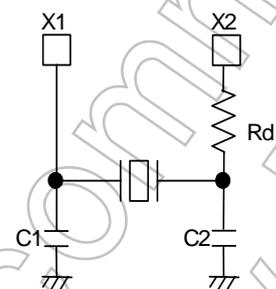


図 23-4 高周波発振器の接続図

(2) TMP19A23FYXBG/TMP19A23FYFG の推奨セラミック発振子

本製品は、(株)村田製作所製セラミック発振子を推奨しております。
詳細につきましては、下記 URL の同社ホームページを参照してください。
<http://www.murata.co.jp>