TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870/C シリーズ

TMP86CM25FG
TMP86CS25FG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

改訂履歴

日付	版	改訂理由
2008/3/6	1	First Release
2008/8/29	2	内容改訂

Not Recommended for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定(RXDNC設定)には以下の制約があります。"○"の箇所にて使用し、"－"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 （ノイズ除去なし）	01 （31/fc[s] 未満のパルス除去）	10 （63/fc[s] 未満のパルス除去）	11 （127/fc[s] 未満のパルス除去）
000	fc/13	○	○	○	－
110 （タイマカウンタ割り込みでの転送クロックが右記となる場合）	fc/8	○	－	－	－
	fc/16	○	○	－	－
	fc/32	○	○	○	－
上記以外		○	○	○	○

Not Recommended for New Design

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。
製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

Not Recommended for New Design

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パーケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP86CM25F	P-QFP100-1420-0.65A	TMP86CM25FG	QFP100-P-1420-0.65A	TMP86PS25FG
TMP86CS25F	P-QFP100-1420-0.65A	TMP86CS25FG	QFP100-P-1420-0.65A	TMP86PS25FG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、 はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、 最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」,「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下 " 特定用途"という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、 付加ページ右下にも記入の「2008-03-06」です。

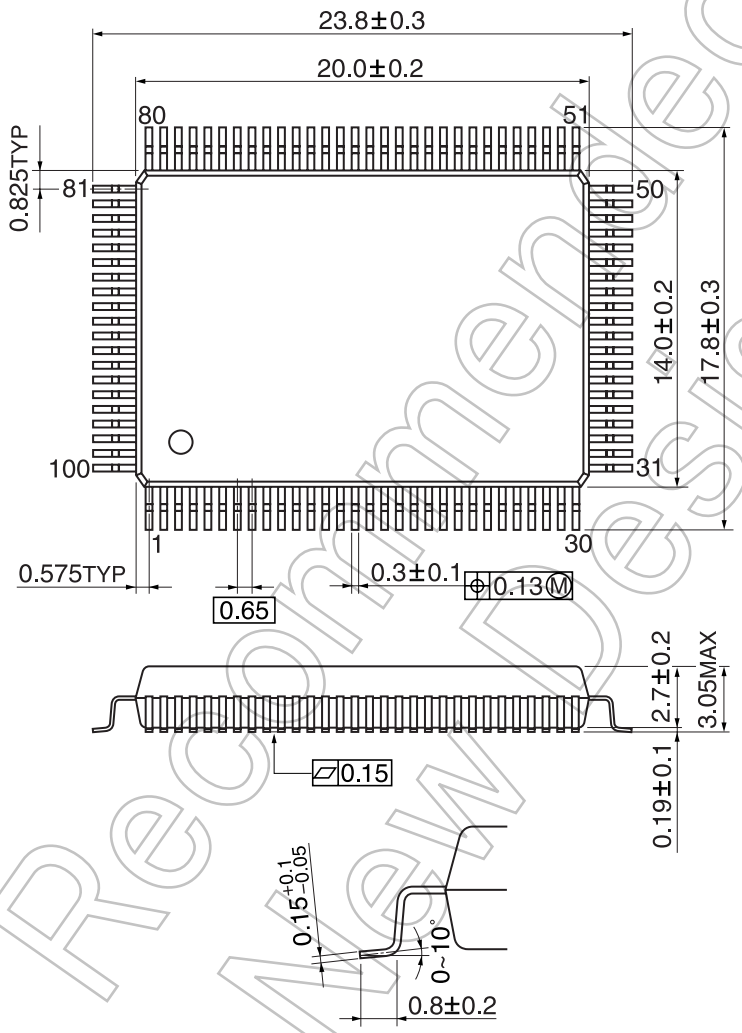
Not Recommended for New Design

(別紙)

パッケージ外形寸法図

QFP100-P-1420-0.65A

単位: mm



Not Recommended for New Design

CMOS 8ビット マイクロコントローラ

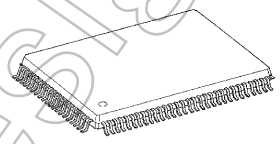
TMP86CM25F, TMP86CS25F

TMP86CM25/S25はTLCS-870/Cシリーズコアに ROM/RAM, ドットマトリクスLCDドライバ, 多機能タイマカウンタ, 非同期型シリアルインタフェース、8ビットADコンバータおよび2系統の発振回路などを内蔵した高速, 高機能8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP86CM25F	32Kバイト	2 Kバイト	P-QFP100-1420-0.65A	TMP86PS25F
TMP86CS25F	60 Kバイト			

パッケージ外観図

P-QFP100-1420-0.65A



TMP86CM25F
TMP86CS25F

特　長

- ◆ 8ビットシングルチップマイクロコンピュータ
  TLCS-870/Cシリーズ
- ◆ 最小実行時間:　0.25 μs (16 MHz動作時)
  122 μs (32.768 kHz)
- ◆ 基本機械命令:　132種類731命令
- ◆ 割り込み要因20要因 (外部: 5, 内部: 15)
- ◆ 入出力ポート (42端子) (内20本はSEG端子と兼用)
- ◆ 18ビットタイマカウンタ: 1チャネル
  - 周波数測定, パルス幅測定, イベントカウンタ, タイマモード
- ◆ 8ビットタイマカウンタ: 4チャネル
  - タイマ, イベントカウンタ
  - PWM (パルス幅変調出力)
  - PDO (Programmable Divider Output) モード
  - PPGモード
  - 16ビットタイマ(カスケード接続)
- ◆ タイムベースタイマ
- ◆ デバイダ出力機能
- ◆ ウォッチドッグタイマ
  - 割り込み/内部リセット発生の選択 (プログラマブル)
- ◆ シリアルインタフェース: 2チャネル
  - 8ビットUART/SIO: 1チャネル
  - 8ビットSIO: 1チャネル
- ◆ 8ビット逐次比較方式ADコンバータ
  - アナログ入力: 8チャネル

Not Recommended for New Design

000629TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
●当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
●本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
●本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

◆ キーオンウェイクアップ: 4チャネル
◆ LCDドライバ/コントローラ
- LCD直接駆動可能 (60セグメント×16コモン, 60セグメント×8コモン, 60セグメント×4コモン)
- 1/16, 1/8, 1/4デューティ駆動の選択
- LCD電源電圧用昇圧回路内蔵

◆ クロック発振回路 : 2回路
- シングル/デュアルクロックモードの選択

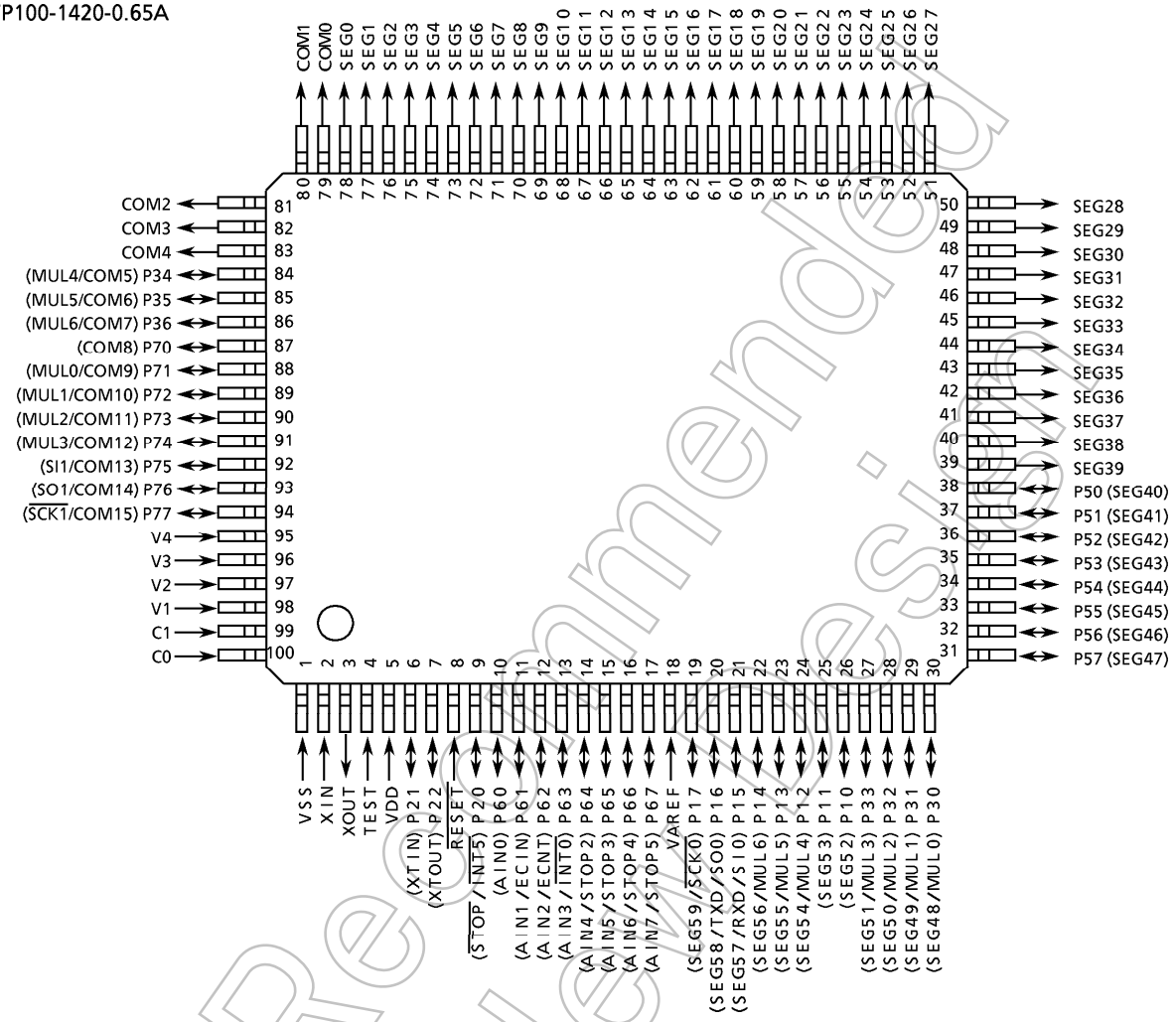
◆ 低消費電力動作 (9モード)
- STOPモード: 発振停止 (バッテリー/コンデンサバックアップ)
- SLOW1モード: 低周波クロックによる低周波動作 (高周波停止)
- SLOW2モード: 低周波クロックによる低周波動作 (高周波発振)
- IDLE0モード: CPU停止。周辺ハードウエアのうち、TBTのみ動作 (高周波クロック) 継続し、TBT設定の基準時間経過により解除。
- IDLE1モード: CPU停止。周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)
- IDLE2モード: CPU停止。周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
- SLEEP0モード: CPU停止。周辺ハードウエアのうち、TBTのみ動作 (低周波クロック) 継続し、TBT設定の基準時間経過により解除。
- SLEEP1モード: CPU停止。周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- SLEEP2モード: CPU停止。周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。

◆ 動作電圧: 1.8~5.5 V @ 4.2 MHz/32.768 kHz
2.7~5.5 V @ 8 MHz/32.768 kHz
4.5~5.5 V @ 16 MHz/32.768 kHz

Not Recommended for New Design

ピン配置図 (上面図)

P-QFP100-1420-0.65A

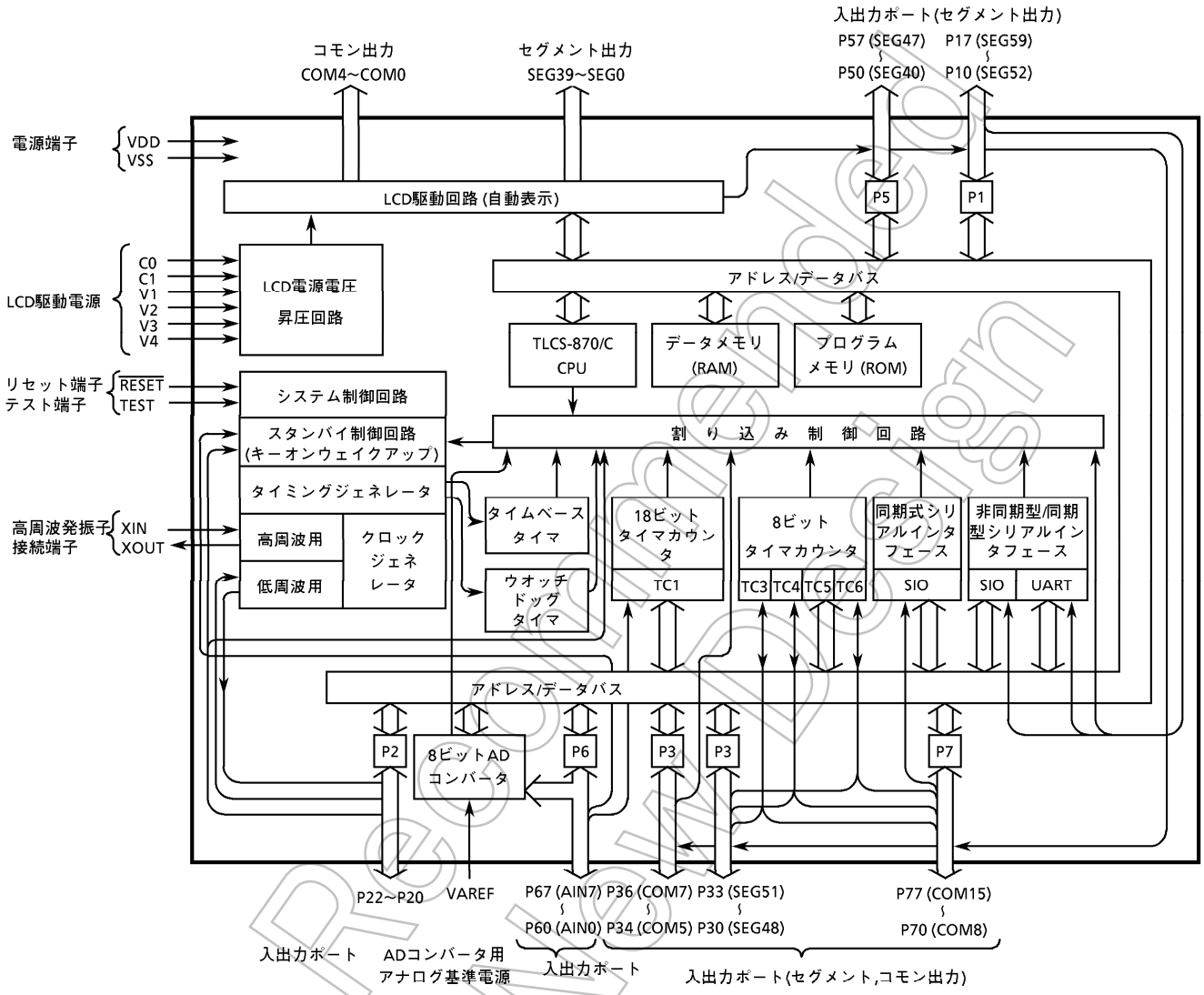


注) MUL6~0に割り付けられたポートは、マルチファンクションレジスタ (MULSEL) によって端子割り付けを切り替えることができます。それぞれに割り付けられた機能は以下を参照してください。

端子名	機　能	端子割り付け
MUL0	$\overline{DVO}$	P30またはP71
MUL1	$\overline{PWM3}$, $\overline{PDO3}$, TC3	P31またはP72
MUL2	$\overline{PPG4}$, $\overline{PWM4}$, $\overline{PDO4}$, TC4	P32またはP73
MUL3	$\overline{PPG6}$, $\overline{PWM6}$, $\overline{DO6}$, TC6	P33またはP74
MUL4	INT1	P12またはP34
MUL5	INT2	P13またはP35
MUL6	INT3	P14またはP36

Not Recommended for New Design

ブロック図



Not Recommended for New Design

端子機能

端子名	入出力	機能		
P17 (SEG59, $\overline{SCK0}$)	入出力 (入出力)	8ビットの入出力ポート。機能端子として使用する場合は、出力ラッチを "1" にセットします。セグメント出力として使用する場合は、P1ポート制御レジスタ (P1LCR) を "1" にセットします。	シリアルクロック入出力	LCD セグメント出力
P16 (SEG58, TxD, SO0)	入出力 (出力)		UART送信出力 シリアルデータ出力	
P15 (SEG57, RxD, SI0)	入出力 (入出力)		UART受信入力 シリアルデータ入力	
P14 (SEG56, MUL6)	入出力 (入出力)		外部割り込み3入力	
P13 (SEG55, MUL5)	入出力 (入出力)		外部割り込み2入力	
P12 (SEG54, MUL4)	入出力 (入出力)		外部割り込み1入力	
P11 (SEG53)	入出力 (出力)			
P10 (SEG52)	入出力 (出力)			
P22 (XTOUT)	入出力 (出力)	3ビットの入出力ポート。入力ポート、機能端子として使用する場合は、出力ラッチを "1" にセットします。	低周波発振子接続端子 (32.768 kHz)。外部クロック入力の場合、XTINへ入力しXTOUTは開放します。	
P21 (XTIN)	入出力 (入力)			
P20 ($\overline{INT5}$, $\overline{STOP}$)	入出力 (入力)		外部割り込み5入力/STOPモード解除入力	
P36(COM7, MUL6)	入出力 (出力)	7ビット入出力ポート。機能端子として使用する場合は、出力ラッチを "1"にセットします。セグメント, コモン出力として使用する場合は、P3ポート制御レジスタ (P3LCR) を "1" にセットします。	外部割り込み3入力	LCD コモン出力
P35(COM6, MUL5)	入出力 (入力)		外部割り込み2入力	
P34(COM5, MUL4)	入出力 (入力)		外部割り込み1入力	
P33 (SEG51, MUL3)	入出力 (入出力)		タイマカウンタ6入出力	LCD セグメント出力
P32 (SEG50, MUL2)	入出力 (入出力)		タイマカウンタ4入出力	
P31 (SEG49, MUL1)	入出力 (入出力)		タイマカウンタ3入出力	
P30 (SEG48, MUL0)	入出力 (出力)		デバイダ出力	
P57 (SEG47) ～ P50 (SEG40)	入出力 (出力)	8ビットの入出力ポート。セグメント出力として使用する場合は、P5ポート制御レジスタ (P5LCR) を "1" にセットします。	LCDセグメント出力	
P67 (AIN7, STOP5)	入出力 (入力)	8ビットプログラマブル入出力ポート (トライステート)。1ビット単位で入力/出力の指定ができます。機能端子, アナログ入力として使用する場合は、入力モードにします。	STOP5入力	ADコンバータ アナログ入力
P66 (AIN6, STOP4)	入出力 (入力)		STOP4入力	
P65 (AIN5, STOP3)	入出力 (入力)		STOP3入力	
P64 (AIN4, STOP2)	入出力 (入力)		STOP2入力	
P63 (AIN3, $\overline{INT0}$)	入出力 (入力)		外部割り込み0入力	
P62 (AIN2, ECNT)	入出力 (入力)		タイマカウンタ1入力	
P61 (AIN1, ECIN)	入出力 (入力)			
P60 (AIN0)	入出力 (入力)			

Not Recommended for New Design

端 子 名	入 出 力	機 能		
P70(COM8)	入出力(出力)	8ビットの入出力ポート。機能端子として使用する場合は、出力ラッチを“1”にセットします。コモン出力として使用する場合は、P7ポート制御レジスタ(P7LCR)を“1”にセットします。		LCDコモン出力
P71(COM9, MUL0)	入出力(出力)		デバイダ出力	
P72(COM10, MUL1)	入出力(入出力)		タイマカウンタ3入出力	
P73(COM11, MUL2)	入出力(入出力)		タイマカウンタ4入出力	
P74(COM12, MUL3)	入出力(入出力)		タイマカウンタ6入出力	
P75(COM13, SI1)	入出力(入出力)		シリアルデータ入力	
P76(COM14, SO1)	入出力(出力)		シリアルデータ出力	
P77(COM15, SCK1)	入出力(出力)		シリアルクロック入出力	
SEG39~SEG0	出力	LCDセグメント出力		
COM4~COM0		LCDコモン出力		
V4~V1	LCD駆動用昇圧端子	LCDドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時は、分割抵抗を接続)		
C1~C0				
XIN, XOUT	入力、出力	高周波発振子接続端子。 外部クロック入力の場合、XINへ入力し、XOUTは開放		
$\overline{\text{RESET}}$	入力	リセット信号入力		
TEST	入力	出荷試験用端子。“L”レベルに固定		
VDD, VSS	電源	+5 V, 0 (GND)		
VAREF		AD変換用アナログ基準端子		

Not Recommended for New Design

動作説明

1. CPUコア機能

CPUコアは、CPU, システムクロック制御回路, 割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア, プログラムメモリ, データメモリ, およびリセット回路について説明します。

1.1 メモリアドレスマップ

TMP86CM25/S25のメモリは、ROM, RAM, SFR (スペシャルファンクションレジスタ), DBR (データバッファレジスタ) の4つのブロックで構成され、それらは1つの64 Kバイトアドレス空間上にマッピングされています。図1-1にTMP86CM25/S25のメモリアドレスマップを示します。

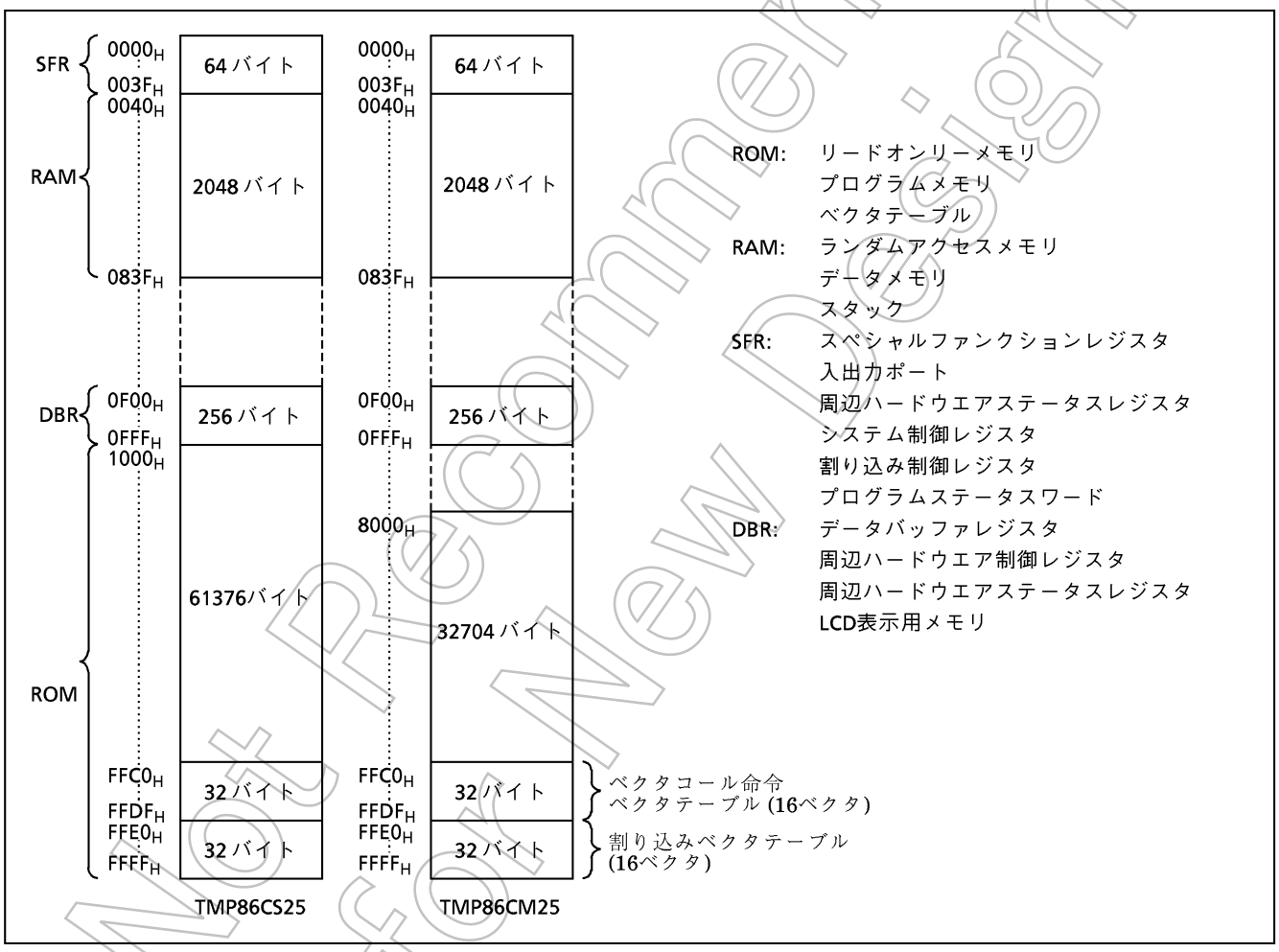


図1-1. メモリアドレスマップ

1.2 プログラムメモリ (ROM)

TMP86CM25は32 Kバイト (アドレス8000~FFFF$_H$番地), TMP86CS25は60 Kバイト (アドレス1000~FFFF$_H$番地) のプログラムメモリ (マスクROM) を内蔵しています。ただし、内蔵RAMエリアにプログラムメモリを置くことは、ソフトウエアの設定により解禁することができます (2.5.5 アドレストラップ参照)。

Not Recommended for New Design

1.3 データメモリ (RAM)

TMP86CM25/S25は、2Kバイト(アドレス0040～083F$_H$番地)のRAMを内蔵しています。内蔵RAMの領域中、アドレス(0040$_H$～00FF$_H$)はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例: TMP86CM25/S25のRAMクリア

```
        LD      HL, 0040H       ;  スタートアドレスの設定
        LD      A, H            ;  初期化データ(00H)の設定
        LD      BC, 07FFH       ;  バイト数(−1)の設定
SRAMCLR: LD     (HL), A         ;
        INC     HL
        DEC     BC
        JRS     F, SRAMCLR
```

Not Recommended for New Design

1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ,タイミングジェネレータおよびスタンバイ制御回路から構成されています。

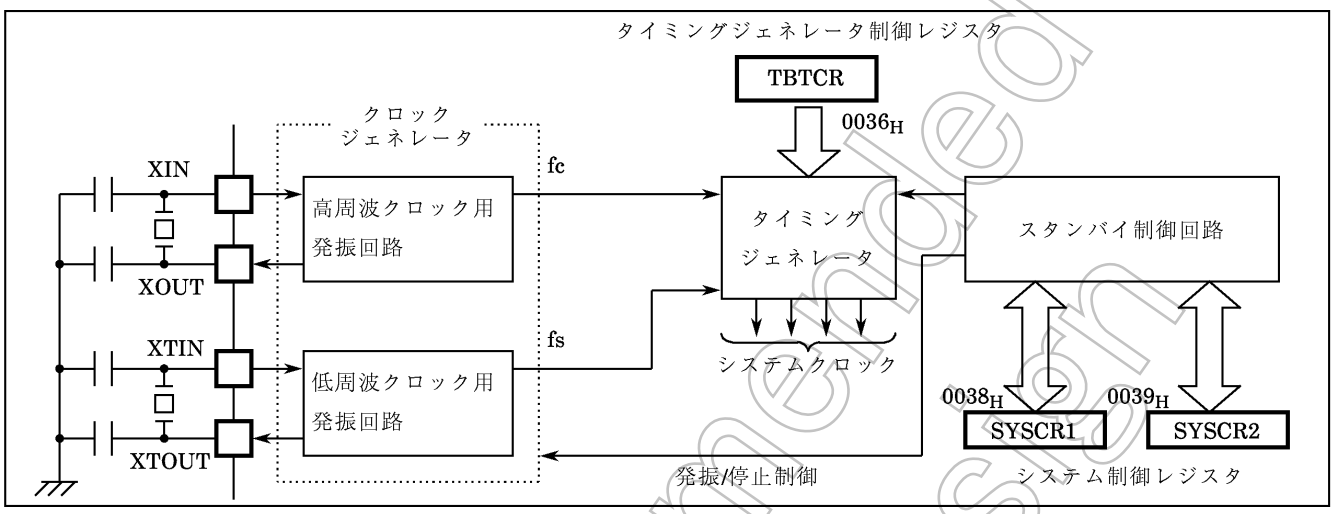


図1-2. システムクロック制御回路

1.4.1 クロック ジェネレータ

クロック ジェネレータは、CPUコアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数fc), 低周波クロック(周波数fs)は、それぞれXIN, XOUT端子, XTIN, XTOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN端子からクロックを入力し、XOUT, XTOUT端子は開放しておきます。

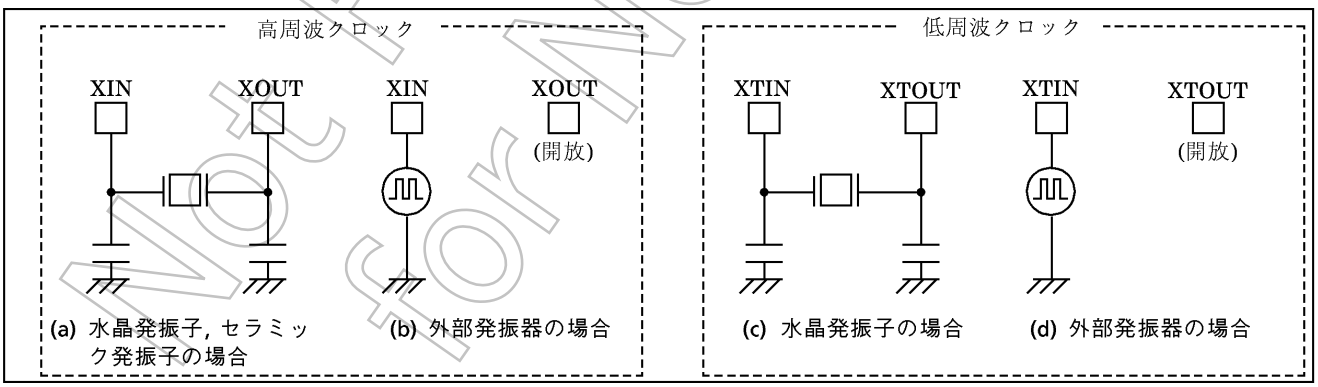


図1-3. 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

Not Recommended for New Design

1.4.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fcまたはfs) からCPUコアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

① メインシステムクロックfm生成
② デバイダ出力 ($\overline{DVO}$) パルス生成
③ タイムベースタイマのソースクロック生成
④ ウォッチドッグタイマのソースクロック生成
⑤ タイマカウンタなどの内部ソースクロック生成
⑥ STOPモード解除時のウォーミングアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケーラ, 21段のデバイダ, メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの7段目への入力クロックは動作モード、DV7CK (TBTCRのビット4) により図1-5のようになります。なお、リセット時およびSTOPモード起動/解除時プリスケーラおよびデバイダは、“0”にクリアされます。

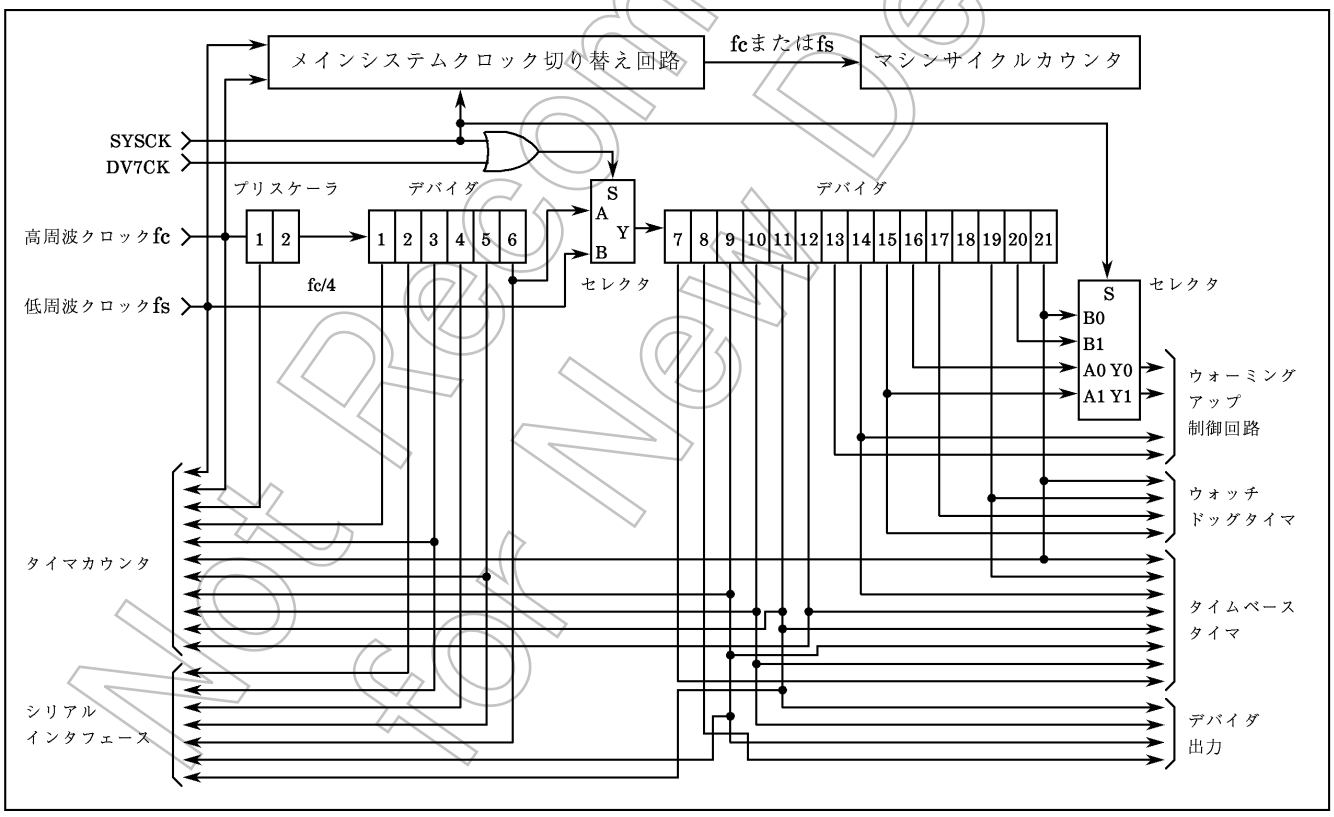


図1-4. タイミングジェネレータの構成

Not Recommended for New Design

TBTCR (0036_H)

7	6	5	4	3	2	1	0	
(DVOEN)	(DVOCK)		DV7CK	(TBTEN)	(TBTCK)			(初期値: 0000 0000)

DV7CK	デバイダの7段目への入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W

注1) シングルクロックモード時は、DV7CKを "1" にセットしないでください。
注2) 低周波クロックの発振安定前に DV7CKを "1" にセットしないでください。
注3) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care
注4) SLOW1/2, SLEEP1/2モード時は、DV7CKの設定にかかわらず、デバイダ7段目にはfsが入力されます。
注5) NORMAL1/2モードからSTOPモードを起動した場合、STOPモード解除後のウォーミングアップ中は DV7CKの設定にかかわらず、デバイダ7段目にはデバイダ6段目の出力が入力されます。

図1-5. タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/Cシリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

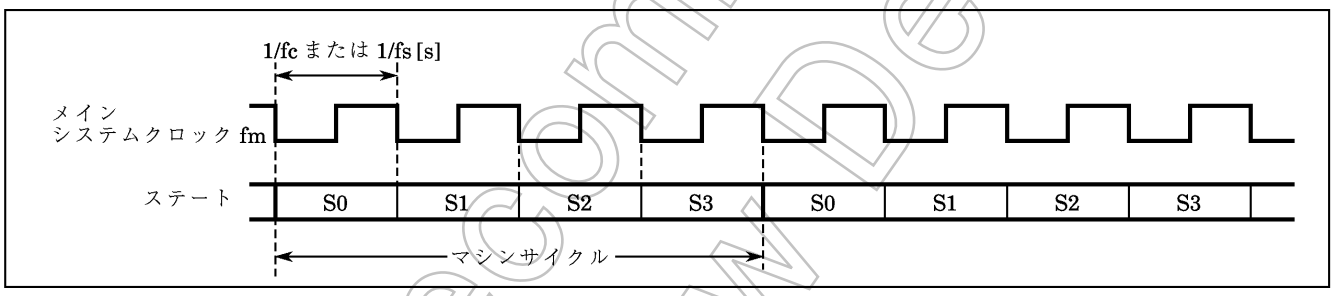


図1-6. マシンサイクル

1.4.3 動作モード制御回路

動作モード制御回路は、高周波クロック用, 低周波クロック用の各発振回路の発振/停止、およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-7に動作モード遷移図を、図1-8に制御レジスタを示します。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは 4/fc [s] となります。

① NORMAL1モード

CPUコアおよび周辺ハードウエアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1モードになります。

Not Recommended for New Design

② IDLE1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2 (SYSCR2) のIDLEを “1” にセットすることで行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われた後、通常の動作に戻ります。IMFが “0” (割り込み禁止状態) のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

③ IDLE0モード

発振回路とTBTを除き、コアおよび周辺回路を停止させるモードです。NORMAL1モード時にシステム制御レジスタSYSCR2のTGHALTビットに “1” をセットすることにより起動します。IDLE0モードを起動すると、CPUが停止しタイミングジェネレータはTBT以外の周辺回路へのクロック供給を停止します。

IDLE0モード時に、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0モードを解除すると、CPUは動作を再開し、NORMAL1モードに復帰します。

なお、IDLE0モードはTBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”, EF_6 (TBTの割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは、割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態でIDLE0モードを起動すると、NORMALモードに復帰後、INTTBT割り込みラッチがセットされます。

(2) デュアルクロックモード

高周波, 低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時には高周波クロックから生成され、SLOW1, 2, SLEEP1, 2モード時には低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4/fc [s]、SLOW, SLEEPモード時 4/fs [s] (122 μs @ fs = 32.768 kHz) となります。

TLCS-870/Cシリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波/低周波の両クロックで動作します。

② SLOW2モード

高周波クロックの発振を動作させながら、CPUコアを低周波クロックで動作させるモードです。NORMAL2からSLOW2への切り替え, SLOW2からNORMAL2への切り替えは、システム制御レジスタ2 (SYSCR) のSYSCKビットで行います。SLOW2モード時、XTENを “0” にクリアしないでください。

③ SLOW1モード

高周波クロックの発振を停止させ、CPUコア, 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1モードとSLOW2モード間の変換はシステム制御レジスタ2 (SYSCR2) のXENビットで行います。SLOW1, SLEEP1モード時、デバイダの初段から6段目までの出力は停止します。

Not Recommended for New Design

④ IDLE2モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウエアを高周波/低周波の両クロックで動作させるモードです。IDLE2モードの起動/解除方法は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

⑤ SLEEP1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEP1モードの起動/解除方法は、IDLE1モードと同じです。解除後、SLOW1モードに戻ります。なお、高周波クロックは発振しておりません。SLOW1, SLEEP1時、デバイダの初段から6段目までの出力は停止します。

⑥ SLEEP2モード

SLOW2モードに対応するIDLEモードです。高周波クロックが動作することを除き、SLEEP1モードと同一の状態です。

⑦ SLEEP0モード

発振回路とTBTを除き、コアおよび周辺回路を停止させるモードです。SLOW1モード時にシステム制御レジスタSYSCR2のTGHALTビットに“1”をセットすることにより起動します。SLEEP0モードを起動すると、CPUが停止しタイミングジェネレータはTBT以外へのクロック供給を停止します。

SLEEP0モード時に、TBTCR＜TBTCK＞によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0モードを解除すると、CPUは動作を再開し、SLOW1モードに復帰します。

なお、SLEEP0モードは、TBTCR＜TBTEN＞の設定に関係なく起動/復帰し、IMF＝“1”, EF_6 (TBTの割り込み許可フラグ) ＝“1”, TBTCR＜TBTEN＞＝“1”のときは割り込み処理が行われます。

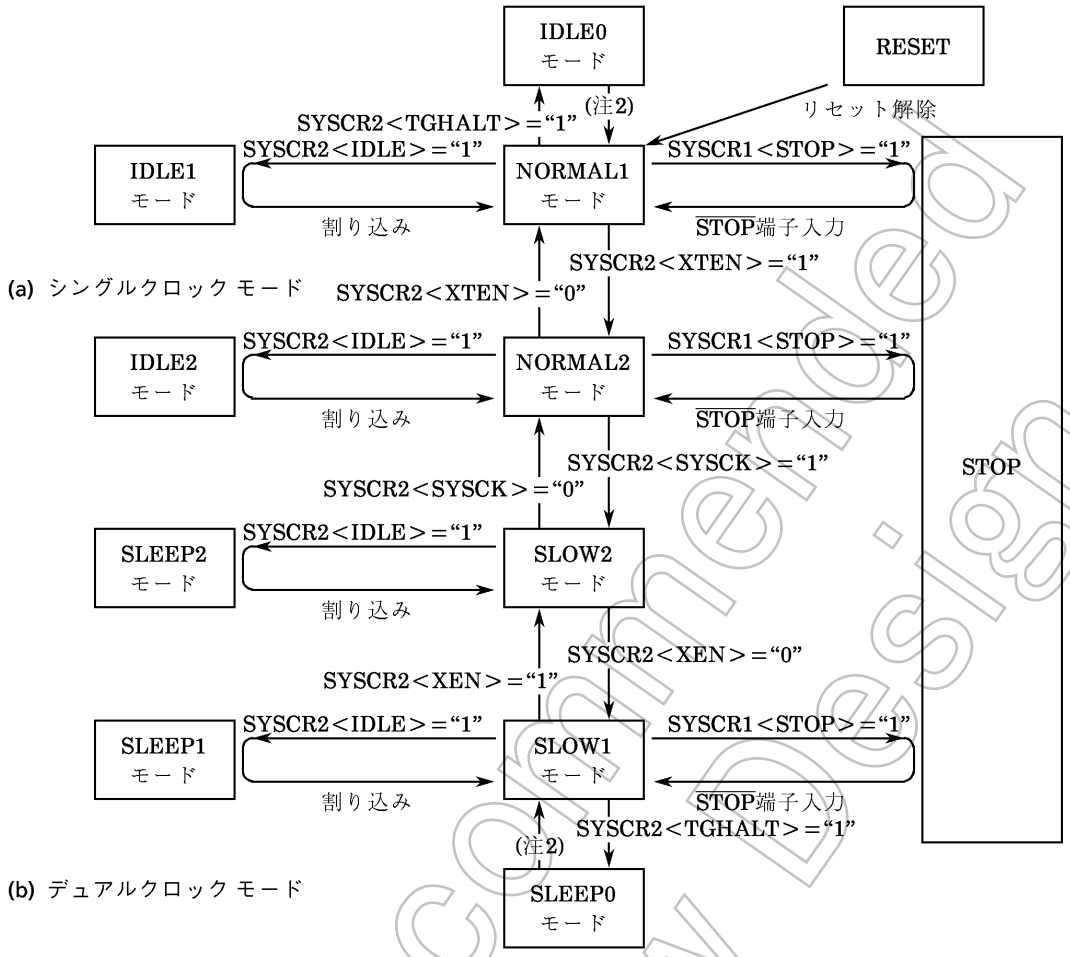
TBTCR＜TBTEN＞＝“1”の状態でSLEEP0モードを起動すると、SLOW1モードに復帰後、INTTBT割り込みラッチがセットされます。

(3) STOPモード

シングルクロックモード、デュアルクロックモードを問わず、発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、$\overline{\text{STOP}}$ 端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOPモード起動時のモードに戻り、STOPモードを起動した命令の次の命令から実行再開します。

Not Recommended for New Design



注1) NORMAL1, NORMAL2モードを総称してNORMALモード、SLOW1, SLOW2モードをSLOWモード、IDLE0, IDLE1, IDLE2モードをIDLEモード、SLEEP0, SLEEP1, SLEEP2モードをSLEEPモードと呼びます。

注2) TBTCR＜TBTCK＞によって選択されたソースクロックの立ち下がりエッジによって解除。

動作モード		発振回路 高周波	発振回路 低周波	CPUコア	TBT	その他周辺回路	マシンサイクルタイム
シングルクロック	RESET	発　振	停　止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動　作	動　作	動　作	
	IDLE1			停　止			
	IDLE0					停　止	–
	STOP	停　止			停　止		
デュアルクロック	NORMAL2	発　振	発　振	高周波動作	動　作	動　作	4/fc [s]
	IDLE2			停　止			
	SLOW2			低周波動作			4/fs [s]
	SLEEP2			停　止			
	SLOW1	停　止		低周波動作			
	SLEEP1			停　止			
	SLEEP0					停　止	–
	STOP		停　止		停　止		

図1-7. 動作モード状態遷移図

Not Recommended for New Design

システム制御レジスタ1

SYSCR1 (0038_H)

7	6	5	4	3	2	1	0
STOP	RELM	RETM	OUTEN	WUT			

(初期値: 0000 00**)

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウエア 動作 1: CPUコア, 周辺ハードウエア 停止 (STOPモード起動)			R/W
RELM	STOPモードの解除方法の選択	0: $\overline{\text{STOP}}$端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$端子入力の"H" レベルで解除			
RETM	STOPモード解除後の動作モードの選択	0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る			
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持			
WUT	STOPモード解除時のウォーミングアップ時間 単位:[s]		NORMAL1/2モードへ戻る場合	SLOW1モードへ戻る場合	
		00	3×2^{16}/fc	3×2^{13}/fs	
		01	2^{16}/fc	2^{13}/fs	
		10	3×2^{14}/fc	3×2^{6}/fs	
		11	2^{14}/fc	2^{6}/fs	

注1) RETMをNORMALモードからSTOPモードに移す場合は、必ず"0"にしてください。SLOWモードからSTOPモードに移す場合は、必ず"1"にしてください。
注2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
注3) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care
注4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
注5) OUTEN = "0"の指定でSTOP動作に入ると、内部入力は"0"に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。
注6) キーオンウェイクアップ入力 (STOP2~5) を使用する場合は、RELMを"1"に設定してください。
注7) P20端子は$\overline{\text{STOP}}$端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHigh-Z状態となります。

システム制御レジスタ2

SYSCR2 (0039_H)

7	6	5	4	3	2	1	0
XEN	XTEN	SYSCK	IDLE		TGHALT		

(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの選択(write)/モニタ(read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU, WDT制御 (IDLE1/2, SLEEP1/2モード)	0: CPU, WDT動作 1: CPU, WDT停止 (IDLE1/2, SLEEP1/2モード起動)	
TGHALT	TG制御 (IDLE0, SLEEP0モード)	0: TGから全周辺回路へのクロック供給動作 1: TGからTBTを除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0モード起動)	

注1) XEN, XTENをともに"0"にクリアした場合、SYSCK = "0"でXENを"0"にクリアした場合、およびSYSCK = "1"でXTENを"0"にクリアした場合、いずれもリセットがかかります。
注2) WDT: ウォッチドッグタイマ、TG: タイミングジェネレータ、*: Don't care
注3) SYSCR2のビット3, 1, 0は、リードすると不定値が読み出されます。
注4) IDLEとTGHALTは、同時に"1"に設定しないでください。
注5) IDLE0/SLEEP0モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによってNORMAL1/SLOW1モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTCK>の時間よりも短くなります。
注6) IDLE1/2, SLEEP1/2モード解除時、IDLEは自動的に"0"にクリアされます。
注7) IDLE0, SLEEP0モード解除時、TGHALTは自動的に"0"にクリアされます。
注8) TGHALTを"1"に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0またはSLEEP0モードから復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

図1-8. システム制御レジスタ1, 2

Not Recommended for New Design

1.4.4 動作モードの制御

(1) STOPモード

STOPモードは、システム制御レジスタ1 (SYSCR1) とSTOP端子入力およびSTOP2~5 (P64~P67) によって制御されます。STOP端子は、P20ポートならびにINT5 (外部割り込み入力5) 端子と兼用です。STOPモードは、STOP (SYSCR1のビット7) を "1" にセットすることにより起動され、STOPモード中、次の状態を保持しています。

① 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。
② データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。
③ タイミングジェネレータのプリスケーラおよびデバイダを "0" にクリアします。
④ プログラムカウンタは、STOPモードを起動する命令 ([SET (SYSCR1) . 7] など) の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM (SYSCR1のビット6) で選択します。エッジ解除モードの場合には、STOP2~5を使用禁止に設定してください。

注1)	STOPモード解除信号は、STOP端子入力信号とSTOP2~5入力信号を内部にてORしておりますが、STOP端子は入力を禁止する機能がありませんので、必ずSTOP解除用の端子として使用してください。
注2)	STOP期間中 (STOPモード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが "1" にセットされ、STOPモード解除後直ちに割り込みを受け付ける場合があります。従って、STOPモードの起動は、割り込みを禁止してから行ってください。またSTOPモード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

a. レベル解除モード (RELM = "1" のとき)

STOP端子への "H" レベル入力またはSTOP2~5 (STOPCRでビットごとに設定可能) 端子への "L" レベル入力によりSTOP動作を解除するモードで、メイン電源しゃ断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

STOP端子入力が "H" レベルまたはSTOP2~5端子が "L" レベルの状態でSTOP動作の起動を指示する命令を実行してもSTOP動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードでSTOP動作で起動する場合、STOP端子入力が "L" レベルであり、またSTOP2~5端子入力が "H" レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

① ポートの状態をテストする方法
② INT5割り込みによる方法 (INT5端子入力の立ち下がりエッジで割り込みを発生します)

例1: P20ポートをテストしてNORMALモードからSTOPモードを起動

```
        LD    (SYSCR1), 01010000B   ; レベル解除モードにセットアップ
SSTOPH: TEST  (P2PRD) . 0           ; STOP端子入力が"L"レベルになるまでウェイト
        JRS   F, SSTOPH
        SET   (SYSCR1) . 7          ; STOPモードを起動
```

Not Recommended for New Design

例2: INT5割り込みにより、NORMALモードからSTOPモードを起動

```
PINT5:  TEST  (P2PRD).0              ;ノイズ除去のためP20ポート入力が
        JRS   F, SINT5                "H"レベルならSTOPモードを起動しない。
        LD    (SYSCR1), 01010000B    ;レベル解除モードにセットアップ
        SET   (SYSCR1).7             ;STOPモードを起動
SINT5:  RETI
```

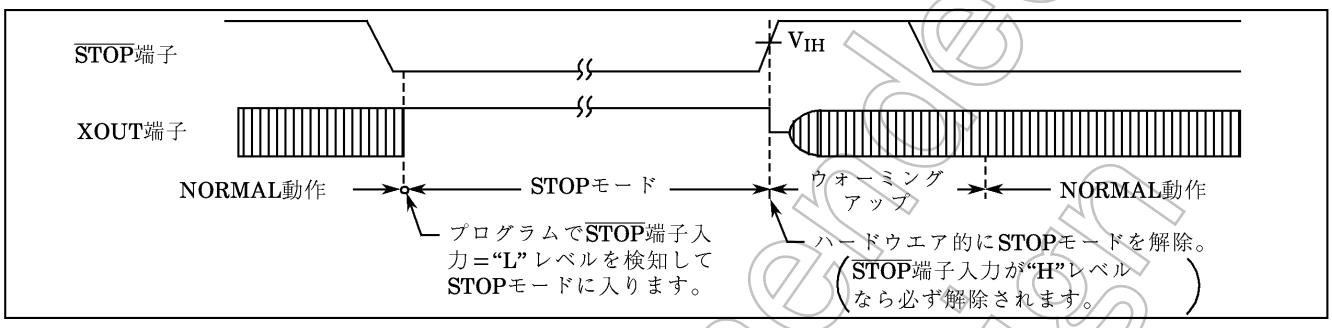


図1-9. レベル解除モード

注1) ウォーミングアップ開始後、再びSTOP端子入力が"L"レベルまたは、STOP2~5端子が"H"レベルになってもSTOPモードには戻りません。

注2) エッジ解除モードにセットアップした後にレベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM="0"のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (低消費電力の発振源からのクロックなど) をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が"H"レベルにあってもSTOP動作に入ります。なお、STOP2~5端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

例: NORMALモードからSTOPモードを起動

```
LD   (SYSCR1), 10010000B   ;  エッジ解除モードに設定して起動
```

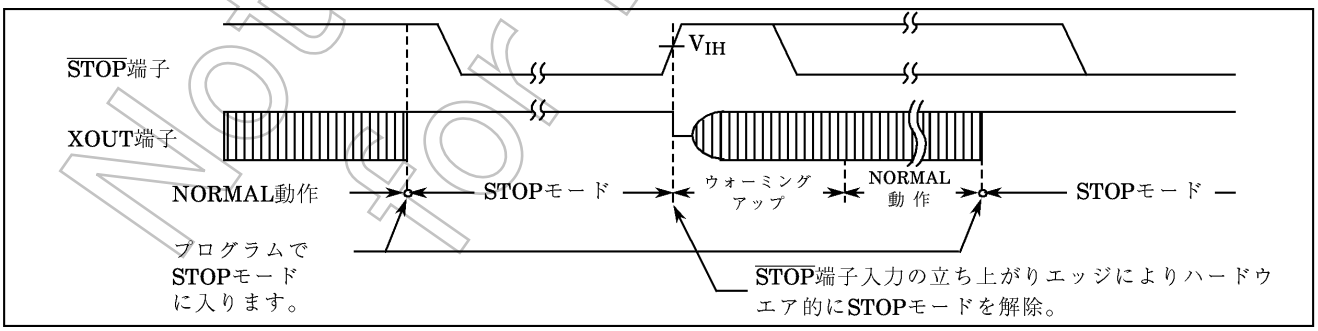


図1-10. エッジ解除モード

Not Recommended for New Design

STOPモードの解除は、次のシーケンスで行われます。

① 発振が開始されます。デュアルクロックモードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2) で4種類選択できます。
③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのプリスケーラおよびデバイダは“0”にクリアされた状態から始まります。

表1-1. ウォーミングアップ時間 (例: fc = 16.0 MHz, fs = 32.768 kHz時)

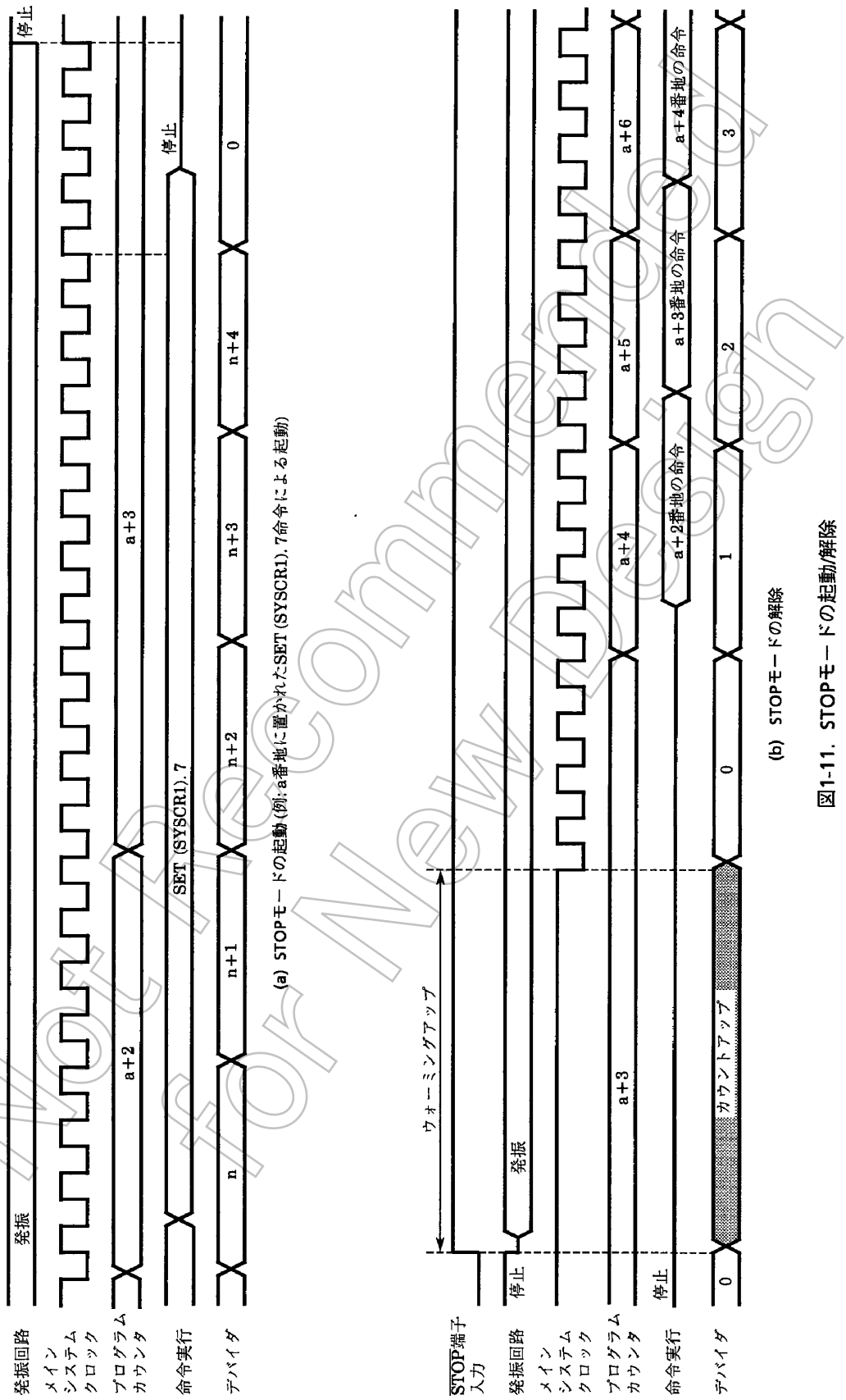
WUT	ウォーミングアップ時間 [ms]	
	NORMALモードへ戻る場合	SLOWモードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、$\overline{\text{RESET}}$端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。
STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、$\overline{\text{RESET}}$端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、$\overline{\text{RESET}}$端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、$\overline{\text{RESET}}$端子の入力電圧レベルが$\overline{\text{RESET}}$端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切ると、リセット動作を行う恐れがあります。

Not Recommended for New Design



(a) STOPモードの起動 (例: a番地に置かれたSET (SYSCR1). 7命令による起動)

(b) STOPモードの解除

図1-11. STOPモードの起動/解除

Not Recommended for New Design

(2) IDLE1/2モード, SLEEP1/2モード

IDLE1/2モード, SLEEP1/2モードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2モード, SLEEP1/2モード中、次の状態を保持しています。

① CPUおよびウォッチドッグタイマは動作を停止します。周辺ハードウエアは動作を継続します。

② データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE1/2モード, SLEEP1/2モードに入る直前の状態を保持します。

③ プログラムカウンタは、IDLE1/2モード, SLEEP1/2モードを起動する命令の2つ先の命令のアドレスを保持します。

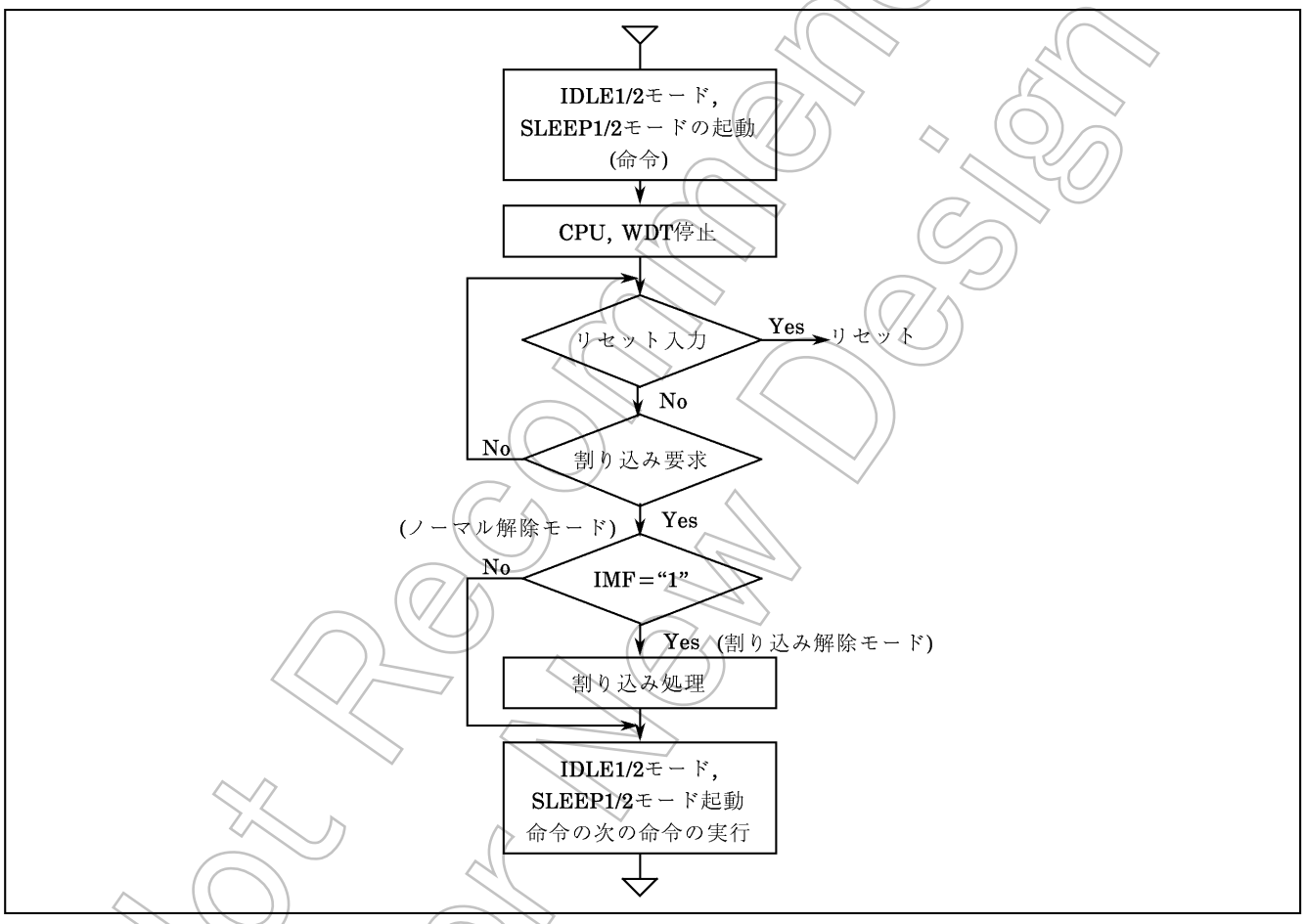


図1-12. IDLE1/2モード, SLEEP1/2モード

Not Recommended for New Design

- IDLE1/2, SLEEP1/2モードの起動
  IDLE1/2, SLEEP1/2モードを起動するには、SYSCR2＜IDLE＞を“1”に設定します。

- IDLE1/2, SLEEP1/2モードの解除
  IDLE1/2, SLEEP1/2モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2モードが解除されると、SYSCR2＜IDLE＞は自動的に“0”にクリアされ、起動したモードに復帰します。
  なお、IDLE1/2, SLEEP1/2モードは$\overline{\text{RESET}}$端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後はNORMAL1モードが起動します。

a. ノーマル解除モード (IMF＝“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因によりIDLE1/2, SLEEP1/2モードが解除され、IDLE1/2, SLEEP1/2モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

b. 割り込み解除モード (IMF＝“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因によりIDLE1/2, SLEEP1/2モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2モードは起動されず、ウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

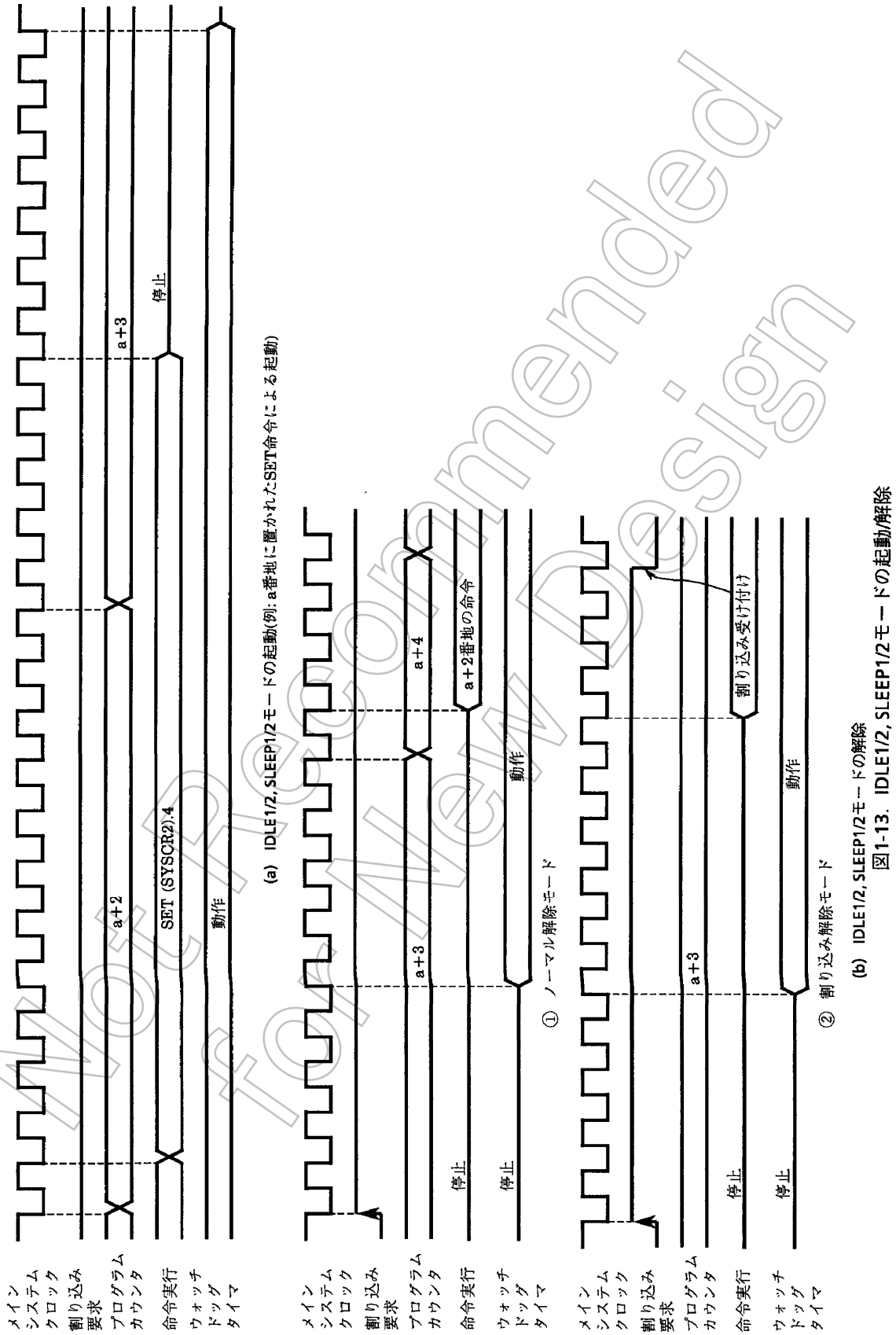


図1-13. IDLE1/2, SLEEP1/2モードの起動/解除

Not Recommended for New Design

(3) IDLE0, SLEEP0モード

IDLE0, SLEEP0モードは、システム制御レジスタ2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0モード中、次の状態を保持しています。

① タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。

② データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE0, SLEEP0モードに入る直前の状態を保持します。

③ プログラムカウンタは、IDLE0, SLEEP0モードを起動する命令の2つ先の命令のアドレスを保持します。

注) IDLE0またはSLEEP0モードを起動する場合は、周辺機能は停止状態(ディセーブル状態)に設定してから、IDLE0, SLEEP0モードを起動してください。

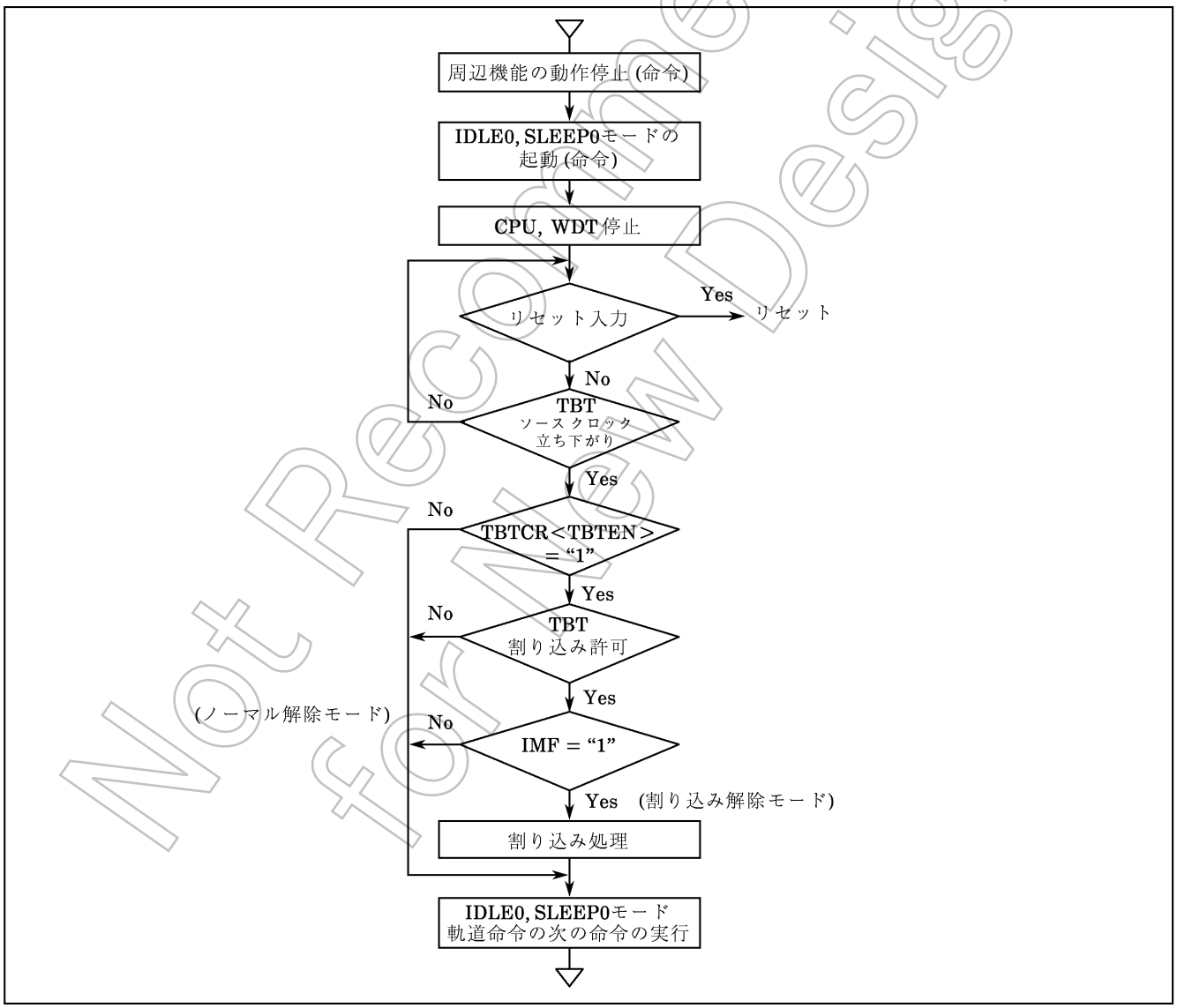


図1-14. IDLE0, SLEEP0モード

Not Recommended for New Design

- IDLE0, SLEEP0モードの起動
  タイマカウンタ等の周辺機能は、停止状態(ディセーブル状態)に設定します。IDLE0, SLEEP0モードを起動するには、SYSCR2＜TGHALT＞を “1” に設定します。

- IDLE0, SLEEP0モードの解除
  IDLE0, SLEEP0モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF), タイムベースタイマの割り込み個別許可フラグ (EF_6), および TBTCR＜TBTEN＞ によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2＜TGHALT＞は自動的に “0” にクリアされ、起動したモードに復帰します。またこのとき、TBTCR＜TBTEN＞が“1”にセットされているとINTTBTの割り込みラッチがセットされます。
  なお、IDLE0, SLEEP0モードは$\overline{\text{RESET}}$端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後はNORMAL1モードが起動します。

注) IDLE0, SLEEP0モードは、TBTCR＜TBTEN＞の設定に関係なく起動/復帰します。

a. ノーマル解除モード (IMF・EF6・TBTCR＜TBTEN＞＝“0” のとき)

TBTCR＜TBTCK＞によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0モードは解除されます。IDLE0, SLEEP0モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

b. 割り込み解除モード (IMF・EF6・TBTCR＜TBTEN＞＝“1” のとき)

TBTCR＜TBTCK＞によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0モードが解除された後、INTTBTの割り込み処理が行われます。

注1) IDLE0, SLEEP0モードは、TBTCR＜TBTCK＞によって選択された非同期の内部ソースクロックによってNORMAL1, SLOW1に復帰しますので、モード起動から復帰までの時間はTBTCR＜TBTCK＞の時間よりも短くなります。 注2) IDLE0, SLEEP0モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0モードは起動されず、ウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

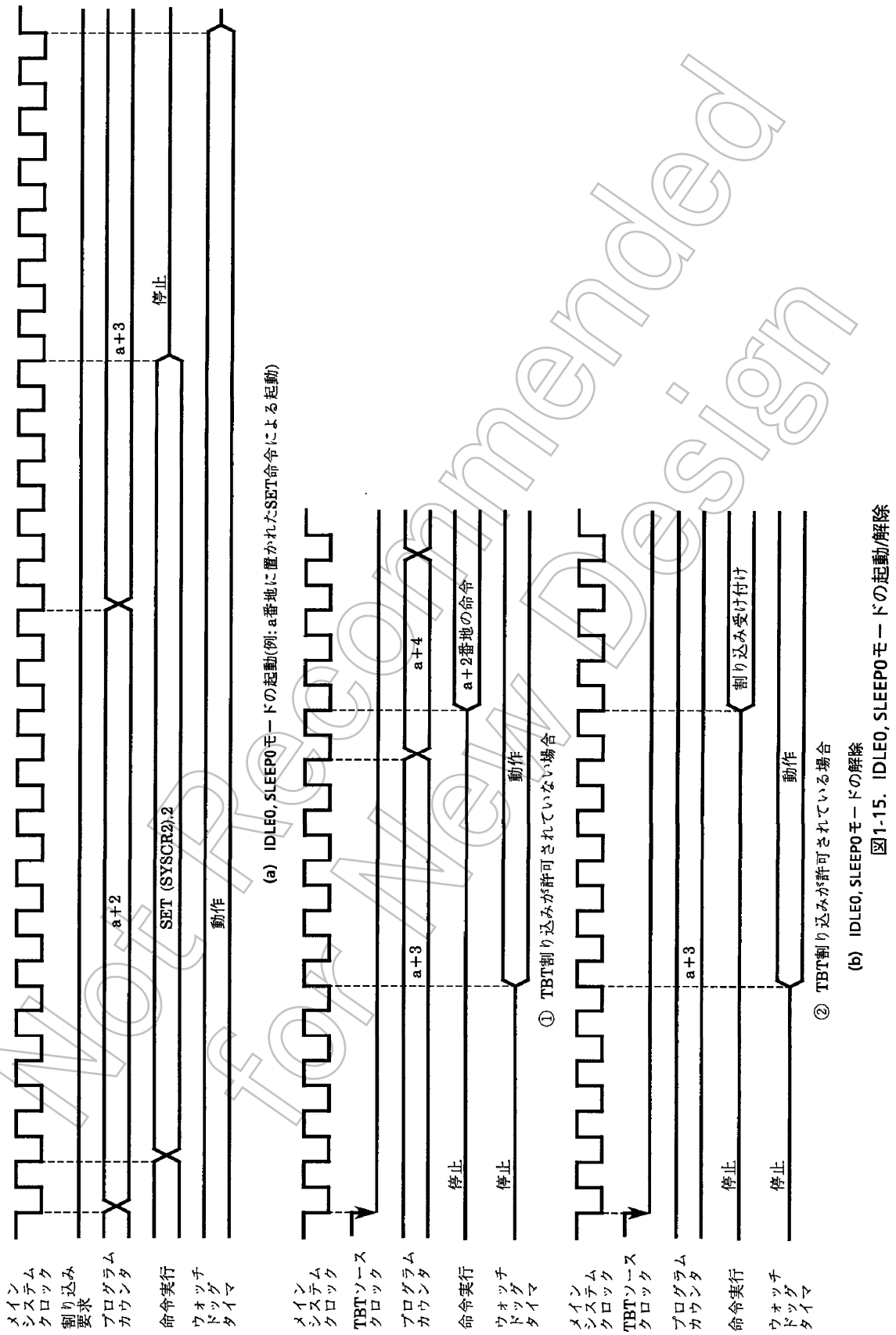


図1-15. IDLE0, SLEEP0モードの起動/解除

Not Recommended for New Design

(4) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) よって制御されます。
ここでは、ウォーミングアップにタイマカウンタ4, 3 (TC4, 3) を用いた場合を示しています。

a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に "1" を書き込み、システムクロックを低周波クロックに切り替えます。
次に、XEN (SYSCR2のビット7) を "0" にクリアして高周波発振器を停止します。

注) NORMAL2モードへ早く戻るために高周波クロックの発振を継続させることも可能です。
ただし、SLOWモードからSTOPモードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ4, 3を使用すると便利です。

例1: NORMAL2モードからSLOW1モードへの切り替え。

```
SET   (SYSCR2).5        ;SYSCR2<SYSCK>←1
                         (システムクロックを低周波 (SLOW2モード) に切り
                         替え)
CLR   (SYSCR2).7        ;SYSCR2<XEN>←0 (高周波クロック停止)
```

例2: TC4, 3で低周波クロックの安定発振の確認後、SLOW1モードへ切り替え。

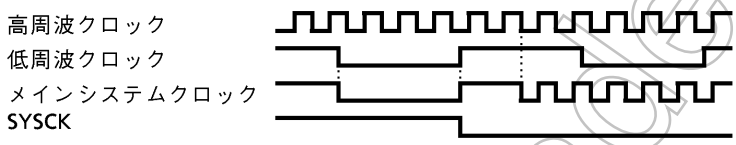
```
        SET   (SYSCR2).6        ;SYSCR2<XTEN>←1 (低周波クロック発振開始)
        LD    (TC3CR), 43H      ;TC4, 3のモードをセット
        LD    (TC4CR), 05H       (タイマモード, ソースクロック : fs)
        LDW   (TTREG3), 8000H   ;ウォーミングアップ時間をセット
                                 (発振子の特性で時間を決定します)
        DI                      ;IMF←0
        SET   (EIRH).3          ;INTTC4割り込み許可
        EI                      ;IMF←1
        SET   (TC4CR).3         ;TC4, 3スタート
        :
PINTTC4: CLR  (TC4CR).3         ;TC4, 3ストップ
        SET   (SYSCR2).5        ;SYSCR2<SYSCK>←1
                                 (システムクロックを低周波に切り替え)
        CLR   (SYSCR2).7        ;SYSCR2<XEN>←0 (高周波クロック停止)
        RETI
        :
VINTTC4: DW   PINTTC4           ;INTTC4ベクタテーブル
```

Not Recommended for New Design

b. SLOW1モードからNORMAL2モードへの切り替え

まず、XEN (SYSCR2のビット7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ4, 3によって確保した後、SYSCK (SYSCR2のビット5) を “0” にクリアします。

注1) SYSCKを “0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。



注2) SLOWモードは、$\overline{\text{RESET}}$端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP86CM25/S25はリセット解除後、NORMAL1モードになります。

例: SLOW1モードからNORMAL2モードへの切り替え (fc＝16 MHz, ウォーミングアップ時間＝4.0 ms)。

```
        SET   (SYSCR2). 7       ; SYSCR2＜XEN＞←1 (高周波クロック発振開始)
        LD    (TC3CR), 63H      ; TC4, 3のモードをセット
        LD    (TC4CR), 05H      (タイマモード, ソースクロック : fc)
        LD    (TTREG4), 0F8H    ; ウォーミングアップ時間をセット
                                (周波数と発振子の特性で時間を決定します)
        DI                      ; IMF ←0
        SET   (EIRH). 3         ; INTTC4割り込みを許可
        EI                      ; IMF ←1
        SET   (TC4CR). 3        ; TC4, 3スタート
          ⋮
PINTTC4: CLR  (TC4CR). 3        ; TC4, 3ストップ
        CLR   (SYSCR2). 5       ; SYSCR2＜SYSCK＞←0
                                (システムクロックを高周波に切り替え)
        RETI
          ⋮
VINTTC4: DW   PINTTC4           ; INTTC4ベクタテーブル
```

Not Recommended for New Design

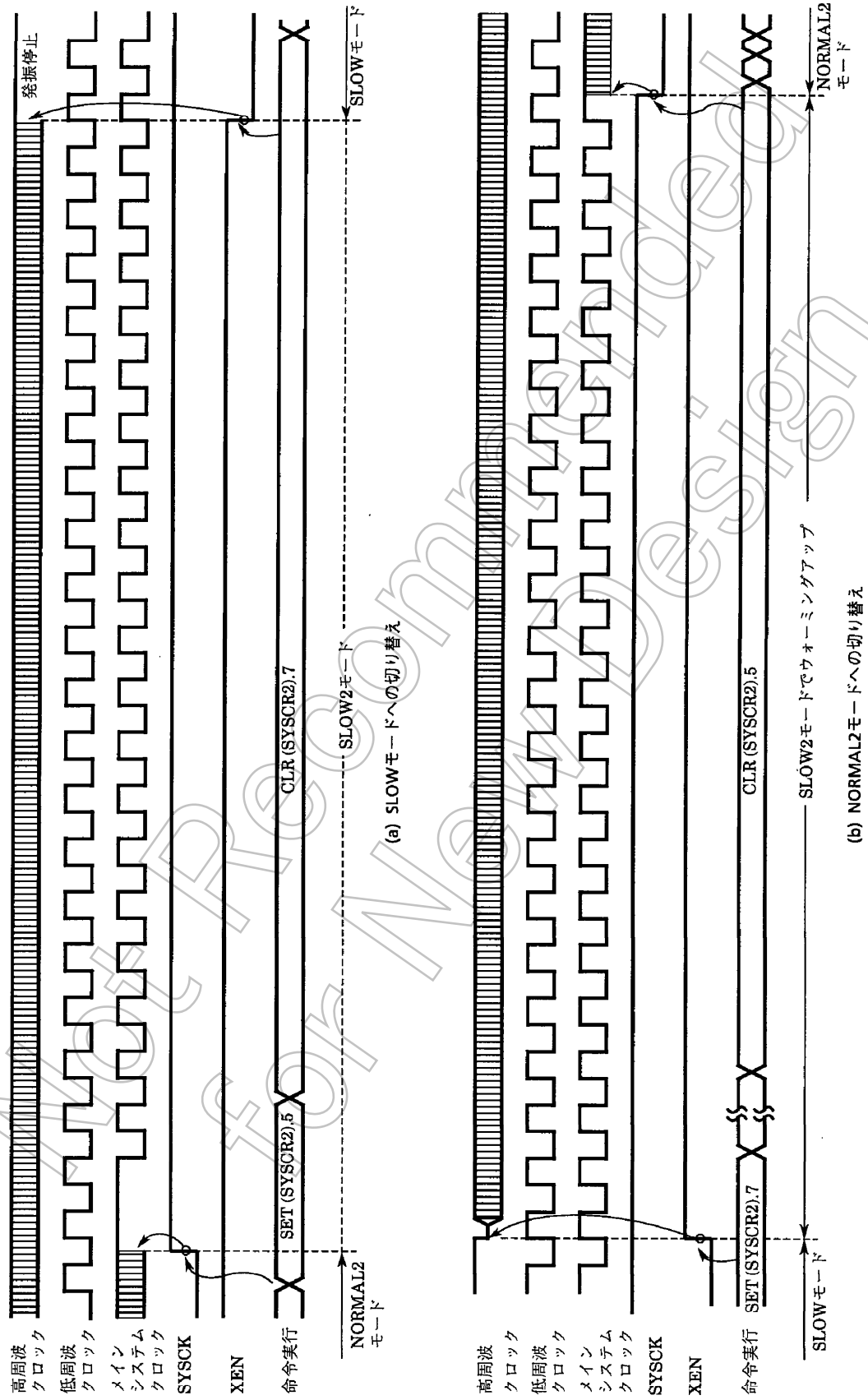


図1-16. SLOW↔NORMAL2モード切り替え

Not Recommended for New Design

1.5 割り込み制御回路

TMP86CM25/S25には、リセットを除き合計20種類の割り込み要因(うち、4要因はマルチプレクス)があり、優先順位付きの多重割り込みが可能です。内部要因のうち4種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

図1-17に割り込み制御回路を示します。

表1-2. 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスカブル	−	$FFFE_H$	高位 1
内　部	INTSWI (ソフトウエア割り込み)	ノンマスカブル	−	$FFFC_H$	2
内　部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	−	$FFFC_H$	2
内　部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL_2	$FFFA_H$	2
内　部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL_3	$FFF8_H$	2
外　部	$\overline{INT0}$ (外部割り込み0)	$IMF \cdot EF_4 = 1$	IL_4	$FFF6_H$	5
外　部	INT1 (外部割り込み1)	$IMF \cdot EF_5 = 1$	IL_5	$FFF4_H$	6
内　部	INTTBT (タイムベースタイマ割り込み)	$IMF \cdot EF_6 = 1$	IL_6	$FFF2_H$	7
外　部	INT2 (外部割り込み2)	$IMF \cdot EF_7 = 1$	IL_7	$FFF0_H$	8
内　部	INTTC1 (18ビットタイマカウンタ1割り込み)	$IMF \cdot EF_8 = 1$	IL_8	$FFEE_H$	9
内　部	INTRXD (UART受信割り込み)	$IMF \cdot EF_9 = 1$	IL_9	$FFEC_H$	10
内　部	INTSIO0 (SIO0割り込み)				
内　部	INTTXD (UART送信割り込み)	$IMF \cdot EF_{10} = 1$	IL_{10}	$FFEA_H$	11
内　部	INTSIO1 (SIO1割り込み)				
内　部	INTTC4 (タイマカウンタ4割り込み)	$IMF \cdot EF_{11} = 1$	IL_{11}	$FFE8_H$	12
内　部	INTTC6 (タイマカウンタ6割り込み)	$IMF \cdot EF_{12} = 1$	IL_{12}	$FFE6_H$	13
内　部	INTADC (AD変換終了割り込み)	$IMF \cdot EF_{13} = 1$	IL_{13}	$FFE4_H$	14
外　部	INT3 (外部割り込み3)	$IMF \cdot EF_{14} = 1$	IL_{14}	$FFE2_H$	15
内　部	INTTC3 (タイマカウンタ3割り込み)				
外　部	$\overline{INT5}$ (外部割り込み5)	$IMF \cdot EF_{15} = 1$	IL_{15}	$FFE0_H$	低位 16
内　部	INTTC5 (タイマカウンタ5割り込み)				

注1) 以下の割り込み要因は割り込みソースを共有しています。選択する割り込み要因は、INTSELレジスタで設定します。
1. INTRXDとINTSIO0は優先順位10の割り込みソースを共有します。
2. INTTXDとINTSIO1は優先順位11の割り込みソースを共有します。
3. INT3とINTTC3は優先順位15の割り込みソースを共有します。
4. $\overline{INT5}$とINTTC5は優先順位16の割り込みソースを共有します。

注2) ウォッチドッグタイマ割り込み(INTWDT)を使用するには、WDTCR1<WDTOUT>を“0”に設定してください(リセット解除後は“リセット要求”に設定されています)。
詳しくは「2.5 ウォッチドッグタイマ」を参照してください。

注3) アドレストラップ割り込み(INTATRAP)を使用するには、WDTCR1<ATOUT>を“0”に設定してください(リセット解除後は“リセット要求”に設定されています)。
詳しくは「2.5.5 アドレストラップ」を参照してください。

Not Recommended for New Design

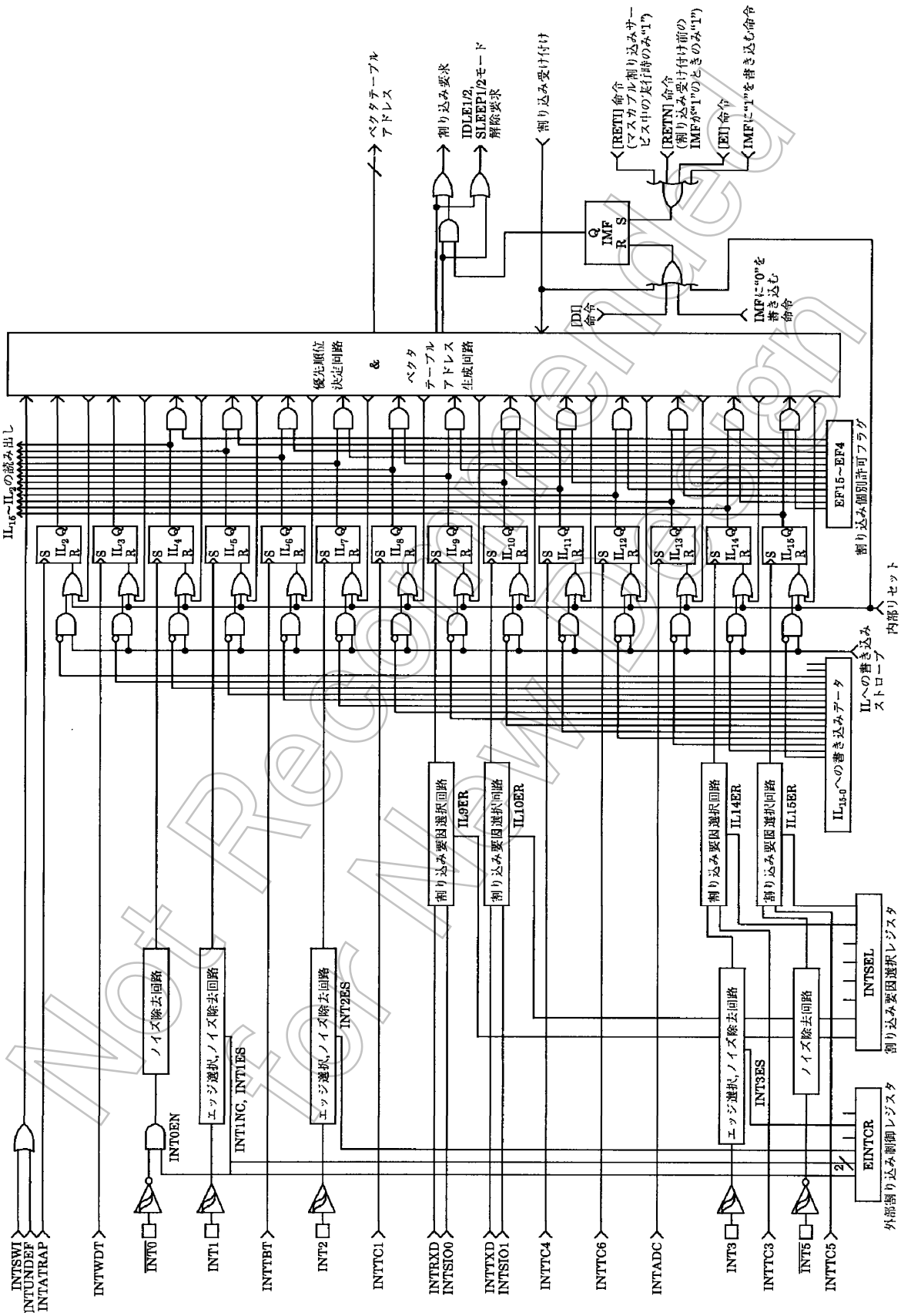


図1-17. 割り込み制御回路

Not Recommended for New Design

(1) 割り込みラッチ (IL_{15}~IL_2)

割り込みラッチは、ソフトウエア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の$003C_H$, $003D_H$番地に割り付けられており、IL_2, IL_3を除いて命令で個別にクリアすることができ(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません。これは、リードモディファイライト命令実行中に割り込み要求が発生してもクリアされる場合が想定されるためです)、プログラムで割り込み要求の取り消し/初期化ができます。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。なお、割り込みラッチを命令で直接セットすることはできません。

注) 割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を“0”(割り込み禁止状態)にしてから行ってください。

例1: 割り込みラッチのクリア

```
DI                              ;  IMF ← 0
LDW (ILL), 1110100000111111B    ;  IL12, IL10~IL6 ← 0
EI                              ;  IMF ← 1
```

例2: 割り込みラッチの読み出し

```
LD   WA, (ILL)                  ;  W ← ILH, A ← ILL
```

例3: 割り込みラッチのテスト

```
TEST (ILL). 7                   ;  IL7=1ならジャンプ
JR   F, SSET
```

(2) 割り込み許可レジスタ (EIR)

ノンマスカブル割り込み(ソフトウエア割り込み, 未定義命令割り込み, アドレストラップ割り込み, ウォッチドッグタイマ割り込み)を除く割り込み要因に対して、受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の$003A_H$, $003B_H$番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

① 割り込みマスタ許可フラグ(IMF)

マスカブル割り込み全体に対して、受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックの一時退避された後“0”にクリアされ、その後のマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令[RETI]/[RETN]によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIR_L (SFR内の$003A_H$番地)のビット0に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

Not Recommended for New Design

② 割り込み個別許可フラグ (EF_{15}~EF_4)

各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

注) 割り込み個別許可フラグ (EF) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリア (割り込み禁止状態) してから行ってください。通常、割り込みサービスルーチン内では、自動的にIMF = “0”となりますので上記操作は不要ですが、多重割り込みを利用するため割り込みサービスルーチン内でIMF = “1”の操作を行っている場合は、同様な処理を行ってください。

例1: 割り込みの個別許可とIMFのセット

```
DI                                  ;  IMF ← 0
LDW (EIRL), 1110100010100000B      ;  EF15~EF13, EF11, EF7, EF5 ← 1
   :                                   注) IMF はセットしない
   :
EI                                  ;  IMF ← 1
```

例2: C コンパイラ記述例

```
unsigned int __io (3AH) EIRL;      ;  /* 3AH はEIRL のアドレス*/
__DI ( );
EIRL = 10100000B;
   :
__EI ( );
```

割り込みラッチ

IL ($003D_H$, $003C_H$)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IL_{15}	IL_{14}	IL_{13}	IL_{12}	IL_{11}	IL_{10}	IL_9	IL_8	IL_7	IL_6	IL_5	IL_4	IL_3	IL_2		

IL_H ($003D_H$) IL_L ($003C_H$)

(初期値: 00000000 000000**)

IL_{15}~IL_2	割り込みラッチ	RD時 0: 割り込み要求なし 1: 割り込み要求あり	WR時 割り込み要求のクリア (注1) セットは不可	R/W

注1) IL_2, IL_3はクリアはできません。

注2) ILを操作する場合は、事前にIMFをクリア (割り込み禁止状態) にしてから行ってください。

割り込み許可レジスタ

EIR ($003B_H$, $003A_H$)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EF_{15}	EF_{14}	EF_{13}	EF_{12}	EF_{11}	EF_{10}	EF_9	EF_8	EF_7	EF_6	EF_5	EF_4				IMF

EIR_H ($003B_H$) EIR_L ($003A_H$)

(初期値: 00000000 0000***0)

注1) ILはビット操作などのリードモディファイライト命令でクリアしないでください。

注2) *: Don't care

注3) EF を操作する場合は、事前にIMF をクリア (割り込み禁止状態) してから行ってください。

注4) EF と同時にIMF を“1”にセットしないでください。

図1-18. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

Not Recommended for New Design

(3) 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSELレジスタで選択された場合に限り、割り込みラッチをイネーブルにすることができます。割り込みコントローラはINTSELレジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が生じる前にINTSELレジスタを適切に設定する必要があります。

割り込み要因セレクタ

	7	6	5	4	3	2	1	0	
INTSEL ($003E_H$)	−	IL9ER	IL10ER	−	−	−	IL14ER	IL15ER	(初期値: *00* **00)

IL9ER	INTRXD, INTSIO0の選択	0: INTRXD 1: INTSIO0	R/W
IL10ER	INTRXD, INTSIO1の選択	0: INTRXD 1: INTSIO1	
IL14ER	INT3, INTTC3の選択	0: INT3 1: INTTC3	
IL15ER	$\overline{INT5}$, INTTC5の選択	0: $\overline{INT5}$ 1: INTTC5	

図1-19. 割り込み要因セレクタ

Not Recommended for New Design

1.5.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了した後、8マシンサイクル (4 μs @8.0 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。図1-20に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

① 割り込みマスタ許可フラグ(IMF) を“0”にクリアし、その後のマスカブル割り込みの受け付けを一時的に禁止します。

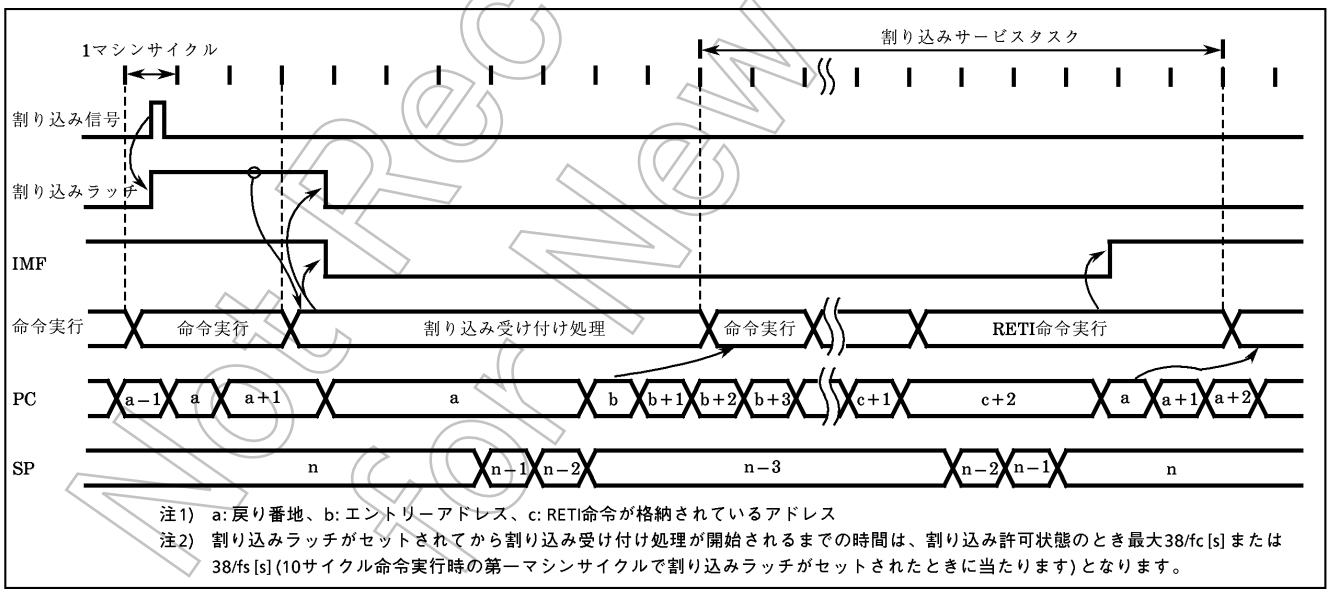
② 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。

③ プログラムカウンタ(PC) プログラム ステータス ワード(PSW) および割り込み受け付け前のIMFの内容をスタックに退避 します (PSW＋IMF, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。

④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。

⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSWの内容がスタックに退避される際、同時にIMFの状態も退避されます。

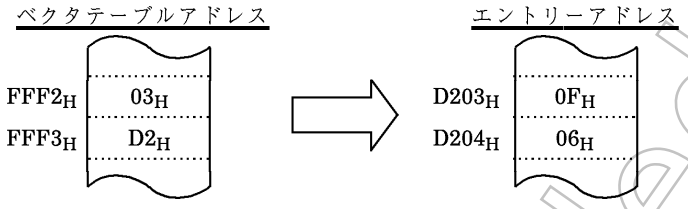


注1) a: 戻り番地、b: エントリーアドレス、c: RETI命令が格納されているアドレス
注2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大38/fc [s] または38/fs [s] (10サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図1-20. 割り込み受け付け処理/割り込みリターン命令タイミングチャート

Not Recommended for New Design

例: INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

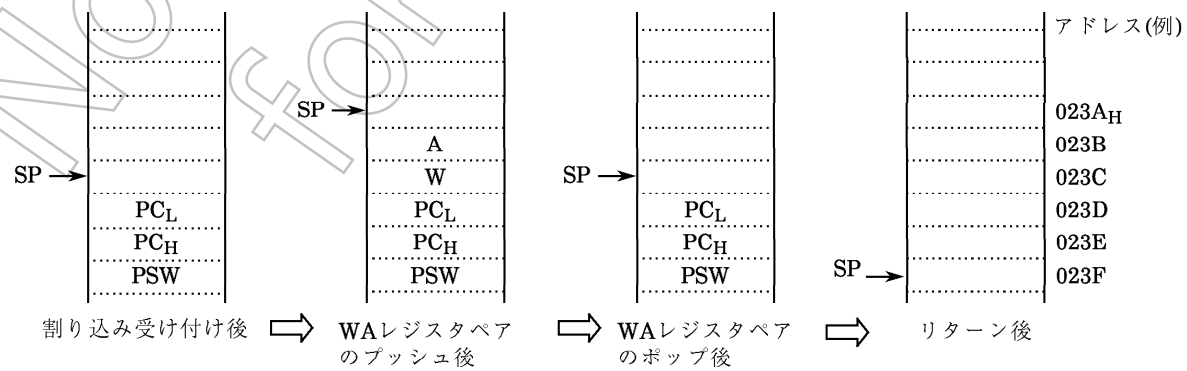
汎用レジスタの退避には、次の2つの方法があります。

① プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx:  PUSH   WA          ; WAレジスタペアをスタックに退避
         割り込み処理
         POP    WA          ; WAレジスタペアをスタックから
                              復帰
         RETI                ; リターン
```



Not Recommended for New Design

② 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```
PINTxx:   LD      (GSAVA), A    ; Aレジスタの退避
          割り込み処理
          LD      A, (GSAVA)    ; Aレジスタの復帰
          RETI                  ; リターン
```

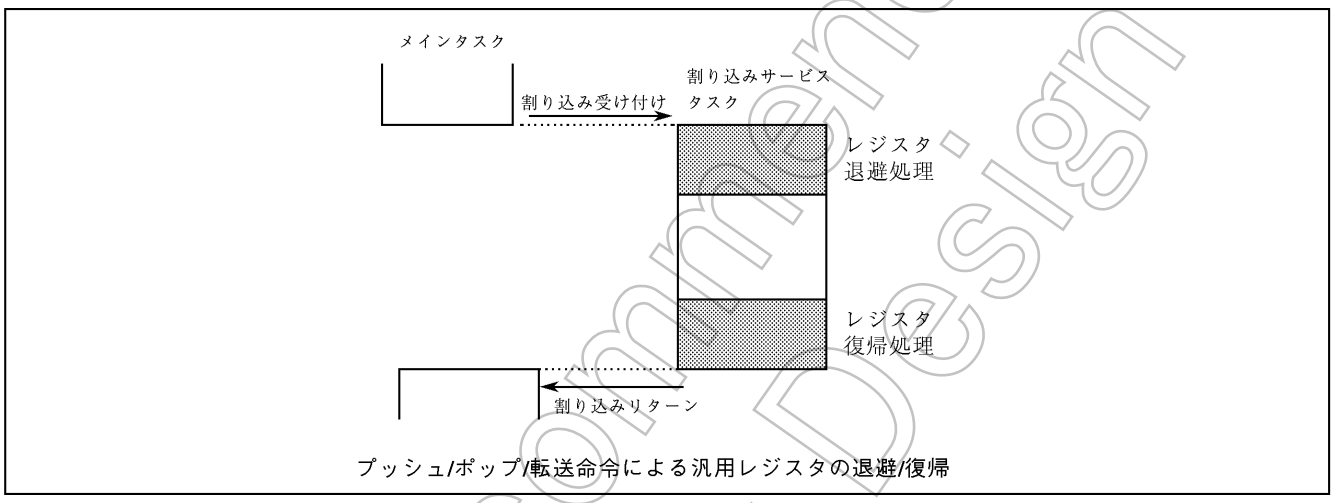


図1-21. 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI]/[RETN] マスカブル割り込みリターン
① プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされるPC_L, PC_Hの値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後のPC_L, PC_Hとなる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

Not Recommended for New Design

例1: アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx:   POP    WA                  ; スタックポインタを2つ戻す
          LD     WA, RetrunAddress   ; WAレジスタに再開アドレスを代入する
          PUSH   WA                  ; スタックにプッシュダウンする
          割り込み処理
          RETN                       ; ノンマスカブル割り込みリターン命令
```

例2: リターンしない場合(割り込み受け付け前のPSWおよびIMFの値を破棄する場合)

```
PINTxx:   INC    SP                  ; スタックポインタを3つ戻す
          INC    SP                  ;
          INC    SP                  ;
          割り込み処理
          LD     EIRL, data          ; IMFを“1”にセット、または“0”にクリア
          JP     RestartAddress      ; 復帰アドレスへジャンプ
```

注) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2)、割り込みサービスプログラムで、スタックポインタの値をアドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.5.2 ソフトウエア割り込み (INTSW)

SWI命令を実行することにより、ソフトウエア割り込みが発生し、直ちに割り込み処理に入ります(最優先割り込み)。

SWI命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

① アドレスエラー検出

シングルチップモードのとき、CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_HはSWI命令ですので、ソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みがかかります。

② デバッギング

SWI命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

Not Recommended for New Design

1.5.3 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEFが発生し、割り込み処理に入ります。INTUNDEFはほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウエア割り込みと同じ割り込みベクタアドレスへジャンプします。

1.5.4 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAPはほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

1.5.5 外部割り込み

TMP86CM25/S25には、5本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1~INT3端子は、エッジ選択が可能です。なお、$\overline{\text{INT0}}$/P63端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択, ノイズ除去の制御 および $\overline{\text{INT0}}$/P63端子の機能選択は、外部割り込み制御レジスタで行います。

Not Recommended for New Design

表1-3. 外部割り込み

要　因	端 子 名	兼用端子	許 可 条 件	エ ッ ジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	P63/AIN3	IMF＝1, EF_4＝1, INT0EN＝1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。
INT1	MUL4(注4)	P12/SEG54 または P34/COM5	IMF・EF_5＝1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。
INT2	MUL5(注4)	P13/SEG55 または P35/COM6	IMF・EF_7＝1		7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。
INT3	MUL6(注4)	P14/SEG56 または P36/COM7	IMF・EF_{14}＝1 IL14ER＝0		
INT5	$\overline{\text{INT5}}$	P20/$\overline{\text{STOP}}$	IMF・EF_{15}＝1 IL15ER＝0	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。

注1) NORMAL 1, 2 またはIDLE 1, 2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。
① INT1 端子　55/fc [s] (INT1NC＝"1" のとき), 199/fc [s] (INT1NC＝"0" のとき)
② INT2, 3 端子　31/fc [s]

注2) INT0EN＝"0" のとき、$\overline{\text{INT0}}$端子入力の立ち下がりエッジが検出されても割り込みラッチIL_4はセットされません。

注3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

注4) MUL4~6は、MULSELレジスタによって割り込み入力を切り替えることができます。

注5) INT1NCを切り替えた場合、最大2^6/fcの期間ノイズキャンセル時間が切り替わらないことがあります。

外部割り込み制御レジスタ

EINTCR (0037_H)

7	6	5	4	3	2	1	0
INT1NC	INT0EN			INT3ES	INT2ES	INT1ES	

(初期値:　00** 000*)

INT1NC	INT1のノイズ除去時間の選択	0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc [s] 未満のパルスはノイズとして除去	R/W
INT0EN	P63/$\overline{\text{INT0}}$の機能選択	0: P63 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P63ポートは入力モードにしてください)	
INT3 ES INT2 ES INT1 ES	INT3~INT1のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	

注1)　fc: 高周波クロック [Hz]、*: Don't care

注2)　システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

図1-22. 外部割り込み制御レジスタ

Not Recommend for New Design

1.6 リセット回路

TMP86CM25/S25には外部リセット入力, アドレストラップリセット, ウォッチドッグタイマリセット, システムクロックリセットの4種類のリセット発生手段があります。

表1-4にリセット動作による内蔵ハードウエアの初期化を示します。

電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット,アドレストラップリセットおよびシステムクロックリセット)は初期化されません。従って、電源投入時に最大24/fc [s] (1.5 μs @ 16.0 MHz)の期間リセット状態となる場合があります。

表1-4. リセット動作による内蔵ハードウエアの初期化

内蔵ハードウエア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	($FFFE_H$)	タイミングジェネレータのプリスケーラおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

1.6.1 外部リセット入力

$\overline{\text{RESET}}$端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシンサイクル (12/fc [s]) 以上の間$\overline{\text{RESET}}$端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$端子入力が“H”レベルに立ち上がるとリセット動作は解除され、$FFFE\sim FFFF_H$番地に格納されたベクタアドレスからプログラムの実行を開始します。

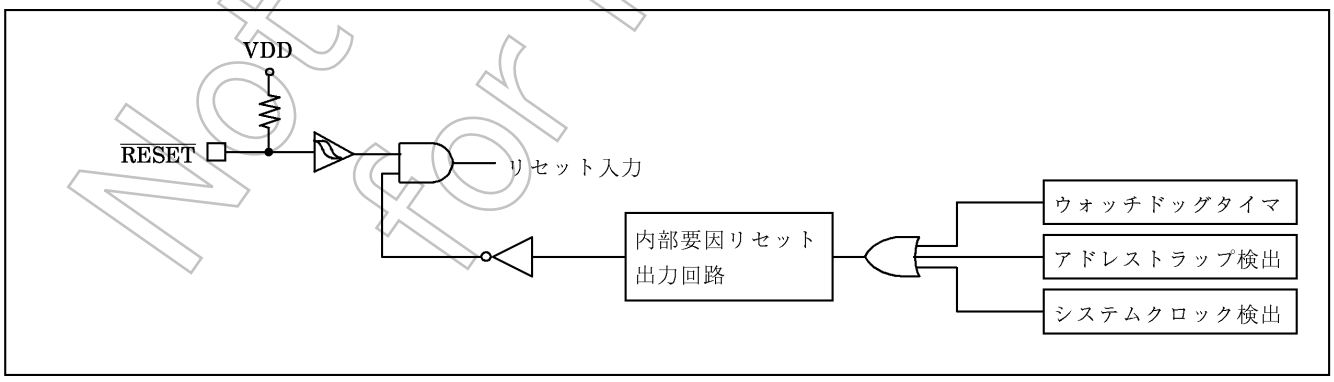
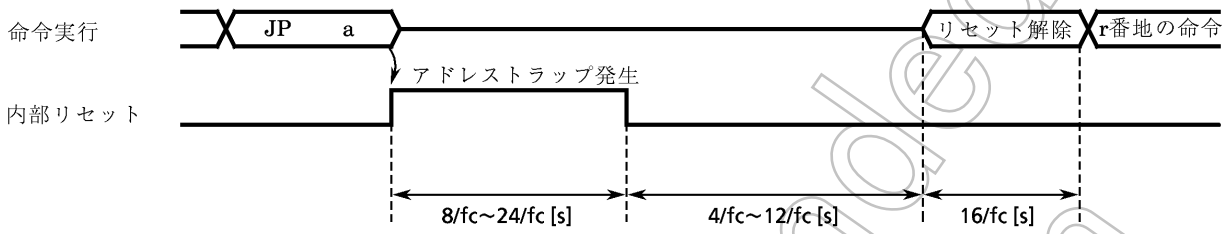


図1-23. リセット回路

Not Recommended for New Design

1.6.2 アドレストラップリセット

CPUがノイズなどの原因により暴走して内蔵RAM (WDTCR1＜ATAS＞＝“1”時), DBRまたはSFR領域から命令をフェッチしようとすると内部リセットが発生します。リセット時間は、8/fc～24/fc [s] (0.5～1.5 μs @ 16.0 MHz) です。



注1) aは内蔵RAM(WDTCR1＜ATAS＞＝“1”時)またはSFR領域内のアドレスです。
注2) リセット解除処理は、リセットベクタrの読み出しとr番地の命令のフェッチ/デコードが行われます。

図1-24. アドレストラップリセット

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。

1.6.3 ウォッチドッグタイマリセット

『2.5 ウォッチドッグタイマ』を参照してください。

1.6.4 システムクロックリセット

XEN, XTEN (SYSCR2 のビット7, 6) をともに“0”にクリアした場合、SYSCK＝“0”でXENを“0”にクリアした場合、およびSYSCK＝“1”でXTENを“0”にクリアした場合、いずれもシステムクロックが停止し、CPU がデッドロック状態に陥ります。これを防ぐため、XEN＝XTEN＝“0”, XEN＝SYSCK＝“0”, または XTEN＝“0”/SYSCK＝“1” を検出すると自動的にリセット信号を発生し発振を継続させます。リセット時間は、8/fc～24/fc [s] (0.5～1.5 μs @ 16.0 MHz) です。

Not Recommended for New Design

2. 周辺ハードウエア機能

2.1 スペシャルファンクションレジスタ (SFR)

TMP86CM25/S25は、メモリマップI/O方式で、周辺ハードウエアのデータ制御/転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFRは0000~003FHに、DBRは0F80~0FFFHにマッピングされています。図2-1にTMP86CM25/S25のSFR, DBRの一覧を示します。

アドレス	リード	ライト
0000_H	Reserved	
01	P1DR (P1ポート出力ラッチ制御)	
02	P2DR (P2ポート出力ラッチ制御)	
03	P3DR (P3ポート出力ラッチ制御)	
04	P3LCR (P3ポート制御レジスタ)	
05	P5DR (P5ポート出力ラッチ制御)	
06	P6DR (P6ポート出力ラッチ制御)	
07	P7DR (P7ポート出力ラッチ制御)	
08	P1PRD (P1端子入力)	−
09	P2PRD (P2端子入力)	−
0A	P3PRD (P3端子入力)	−
0B	P5PRD (P5端子入力)	−
0C	P6CR (P6ポート入出力制御)	
0D	P7PRD (P7端子入力)	−
0E	ADCCR1 (AD制御レジスタ1)	
0F	ADCCR2 (AD制御レジスタ2)	
10	TREG1AL	
11	TREG1AM (タイマレジスタ1A)	
12	TREG1AH	
13	TREG1B (タイマレジスタ1B)	
14	TC1CR1 (タイマカウンタ1制御1)	
15	TC1CR2 (タイマカウンタ1制御2)	
16	TC1SR (TC1ステータス)	−
17	Reserved	
18	TC3CR (タイマカウンタ3制御)	
19	TC4CR (タイマカウンタ4制御)	
1A	TC5CR (タイマカウンタ5制御)	
1B	TC6CR (タイマカウンタ6制御)	
1C	TTREG3 (タイマレジスタ3)	
1D	TTREG4 (タイマレジスタ4)	
1E	TTREG5 (タイマレジスタ5)	
1F	TTREG6 (タイマレジスタ6)	

アドレス	リード	ライト
0020_H	ADCDR1 (AD変換値レジスタ1)	−
21	ADCDR2 (AD変換値レジスタ2)	−
22	Reserved	
23	Reserved	
24	Reserved	
25	UARTSR (UARTステータスレジスタ)	UARTCR1 (UART制御レジスタ1)
26	−	UARTCR2 (UART制御レジスタ2)
27	LCDCTL1 (LCD制御レジスタ1)	
28	LCDCTL2 (LCD制御レジスタ2)	
29	P1LCR (P1制御レジスタ)	
2A	P5LCR (P5制御レジスタ)	
2B	P7LCR (P7制御レジスタ)	
2C	PWREG3 (タイマレジスタ3)	
2D	PWREG4 (タイマレジスタ4)	
2E	PWREG5 (タイマレジスタ5)	
2F	PWREG6 (タイマレジスタ6)	
30	Reserved	
31	Reserved	
32	Reserved	
33	Reserved	
34	−	WDTCR1 (ウォッチドッグタイマ制御)
35	−	WDTCR2 (ウォッチドッグタイマ制御)
36	TBTCR (TBT/TG/DVO制御)	
37	EINTCR (外部割り込み制御)	
38	SYSCR1 (システム制御1)	
39	SYSCR2 (システム制御2)	
3A	EIR_L (割り込み許可レジスタ)	
3B	EIR_H (割り込み許可レジスタ)	
3C	IL_L (割り込みラッチ)	
3D	IL_H (割り込みラッチ)	
3E	INTSEL (割り込み要因セレクタ)	
3F	PSW (プログラムステータスワード)	

注1) Reservedの番地はプログラムでアクセスしないでください。
注2) −:アクセスできません。
注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図2-1. スペシャルファンクションレジスタ (SFR) (1/2)

Not recommended for New Design

LCDデータバッファ (ライト/リード)

$0F00_H$	$0F10_H$	$0F20_H$	$0F30_H$	$0F40_H$	$0F50_H$	$0F60_H$	$0F70_H$	COM0
$0F01_H$	$0F11_H$	$0F21_H$	$0F31_H$	$0F41_H$	$0F51_H$	$0F61_H$	$0F71_H$	COM1
$0F02_H$	$0F12_H$	$0F22_H$	$0F32_H$	$0F42_H$	$0F52_H$	$0F62_H$	$0F72_H$	COM2
$0F03_H$	$0F13_H$	$0F23_H$	$0F33_H$	$0F43_H$	$0F53_H$	$0F63_H$	$0F73_H$	COM3
$0F04_H$	$0F14_H$	$0F24_H$	$0F34_H$	$0F44_H$	$0F54_H$	$0F64_H$	$0F74_H$	COM4
$0F05_H$	$0F15_H$	$0F25_H$	$0F35_H$	$0F45_H$	$0F55_H$	$0F65_H$	$0F75_H$	COM5
$0F06_H$	$0F16_H$	$0F26_H$	$0F36_H$	$0F46_H$	$0F56_H$	$0F66_H$	$0F76_H$	COM6
$0F07_H$	$0F17_H$	$0F27_H$	$0F37_H$	$0F47_H$	$0F57_H$	$0F67_H$	$0F77_H$	COM7
$0F08_H$	$0F18_H$	$0F28_H$	$0F38_H$	$0F48_H$	$0F58_H$	$0F68_H$	$0F78_H$	COM8
$0F09_H$	$0F19_H$	$0F29_H$	$0F39_H$	$0F49_H$	$0F59_H$	$0F69_H$	$0F79_H$	COM9
$0F0A_H$	$0F1A_H$	$0F2A_H$	$0F3A_H$	$0F4A_H$	$0F5A_H$	$0F6A_H$	$0F7A_H$	COM10
$0F0B_H$	$0F1B_H$	$0F2B_H$	$0F3B_H$	$0F4B_H$	$0F5B_H$	$0F6B_H$	$0F7B_H$	COM11
$0F0C_H$	$0F1C_H$	$0F2C_H$	$0F3C_H$	$0F4C_H$	$0F5C_H$	$0F6C_H$	$0F7C_H$	COM12
$0F0D_H$	$0F1D_H$	$0F2D_H$	$0F3D_H$	$0F4D_H$	$0F5D_H$	$0F6D_H$	$0F7D_H$	COM13
$0F0E_H$	$0F1E_H$	$0F2E_H$	$0F3E_H$	$0F4E_H$	$0F5E_H$	$0F6E_H$	$0F7E_H$	COM14
$0F0F_H$	$0F1F_H$	$0F2F_H$	$0F3F_H$	$0F4F_H$	$0F5F_H$	$0F6F_H$	$0F7F_H$	COM15
SEG7 ～ SEG0	SEG15 ～ SEG8	SEG23 ～ SEG16	SEG31 ～ SEG24	SEG39 ～ SEG32	SEG47 ～ SEG40	SEG55 ～ SEG48	SEG59 ～ SEG56	

アドレス	リード	ライト
$0F90_H$	SIO0BR0 (SIO0 バッファ0)	
91	SIO0BR1 (SIO0 バッファ1)	
92	SIO0BR2 (SIO0 バッファ2)	
93	SIO0BR3 (SIO0 バッファ3)	
94	SIO0BR4 (SIO0 バッファ4)	
95	SIO0BR5 (SIO0 バッファ5)	
96	SIO0BR6 (SIO0 バッファ6)	
97	SIO0BR7 (SIO0 バッファ7)	
98	–	SIO0CR1 (SIO0 制御レジスタ1)
99	SIO0SR (SIO0 ステータスレジスタ)	SIO0CR2 (SIO0 制御レジスタ2)
9A	–	STOPCR (キーオンウェイクアップ制御レジスタ)
9B	RDBUF (UART受信データバッファ)	TDBUF (UART送信データバッファ)
9C	Reserved	
9D	Reserved	
9E	Reserved	
9F	Reserved	
A0	SIO1BR0 (SIO1 バッファ0)	
A1	SIO1BR1 (SIO1 バッファ1)	
A2	SIO1BR2 (SIO1 バッファ2)	
A3	SIO1BR3 (SIO1 バッファ3)	
A4	SIO1BR4 (SIO1 バッファ4)	
A5	SIO1BR5 (SIO1 バッファ5)	
A6	SIO1BR6 (SIO1 バッファ6)	
A7	SIO1BR7 (SIO1 バッファ7)	
A8	–	SIO1CR1 (SIO1 制御レジスタ1)
A9	SIO1SR (SIO1 ステータスレジスタ)	SIO1CR2 (SIO1 制御レジスタ2)
AA	Reserved	
⋮	⋮	
BF	Reserved	
C0	MULSEL (マルチファンクション選択レジスタ)	
C1	Reserved	
⋮	⋮	
0FFF	Reserved	

注1) Reservedの番地はプログラムでアクセスしないでください。
注2) –: アクセスできません。
注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図2-1. スペシャルファンクションレジスタ (SFR) (2/2)

Not Recommended for New Design

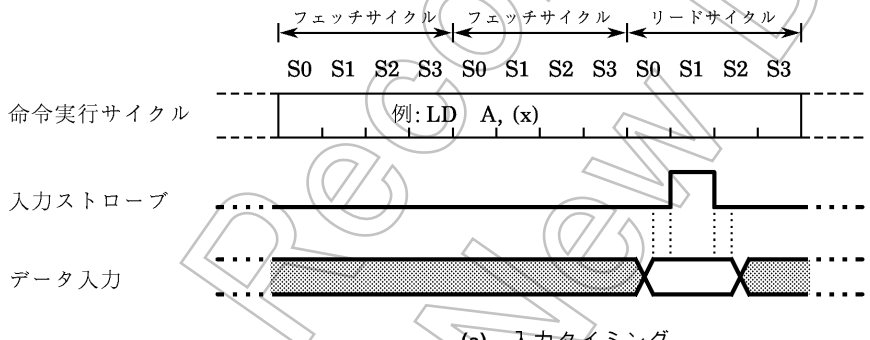
2.2 入出力ポート

TMP86CM25/S25は、6ポート42端子の入出力ポートを内蔵しています。

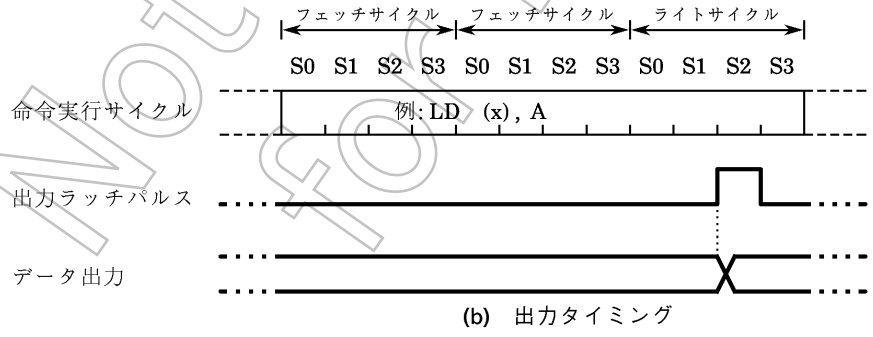
① P1ポート: 8ビット入出力ポート (外部割り込み入力, シリアルクロック入出力, UART入出力, LCDセグメント出力と兼用)
② P2ポート: 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
③ P3ポート: 7ビット入出力ポート (デバイダ出力, タイマ入出力, LCDコモン出力と兼用)
④ P5ポート: 8ビット入出力ポート (LCDセグメント出力と兼用)
⑤ P6ポート: 8ビット入出力ポート (アナログ入力, 外部割り込み入力, STOPモード解除信号, タイマカウンタ入力と兼用)
⑥ P7ポート: 8ビット入出力ポート (LCDセグメント出力, デバイダ出力, タイマ入出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。



(a) 入力タイミング



(b) 出力タイミング

注) 命令によってリード/ライトサイクルの位置が異なります。

図2-2. 入出力タイミング (例)

Not Recommended for New Design

2.2.1 P1 (P17~P10) ポート

P1ポートは、8ビットの入出力ポートで、外部割り込み入力, シリアルインタフェース入出力, UART入出力, LCDセグメント出力と兼用です。入力ポートまたは外部割り込み入力, シリアルインタフェース入出力, UART入出力として用いる場合は、セグメント出力制御 (P1LCR) を “0” にセットした後、出力ラッチ (P1DR)を “1” にセットします。出力ポートとして使用する場合は、P1LCRの対応するビットを “0” にセットします。LCDセグメント出力として使用する場合は、P1LCRの対応するビットを “1” にセットします。リセット時、P1DRは “1” に、P1LCRは “0” に初期化されます。

P1ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DRを、端子の状態を読み込む場合はP1PRDレジスタをそれぞれ読み出してください。LCDセグメント出力に設定した端子に対してP1PRDで端子の状態を読み出すと不定値が読み出されます。

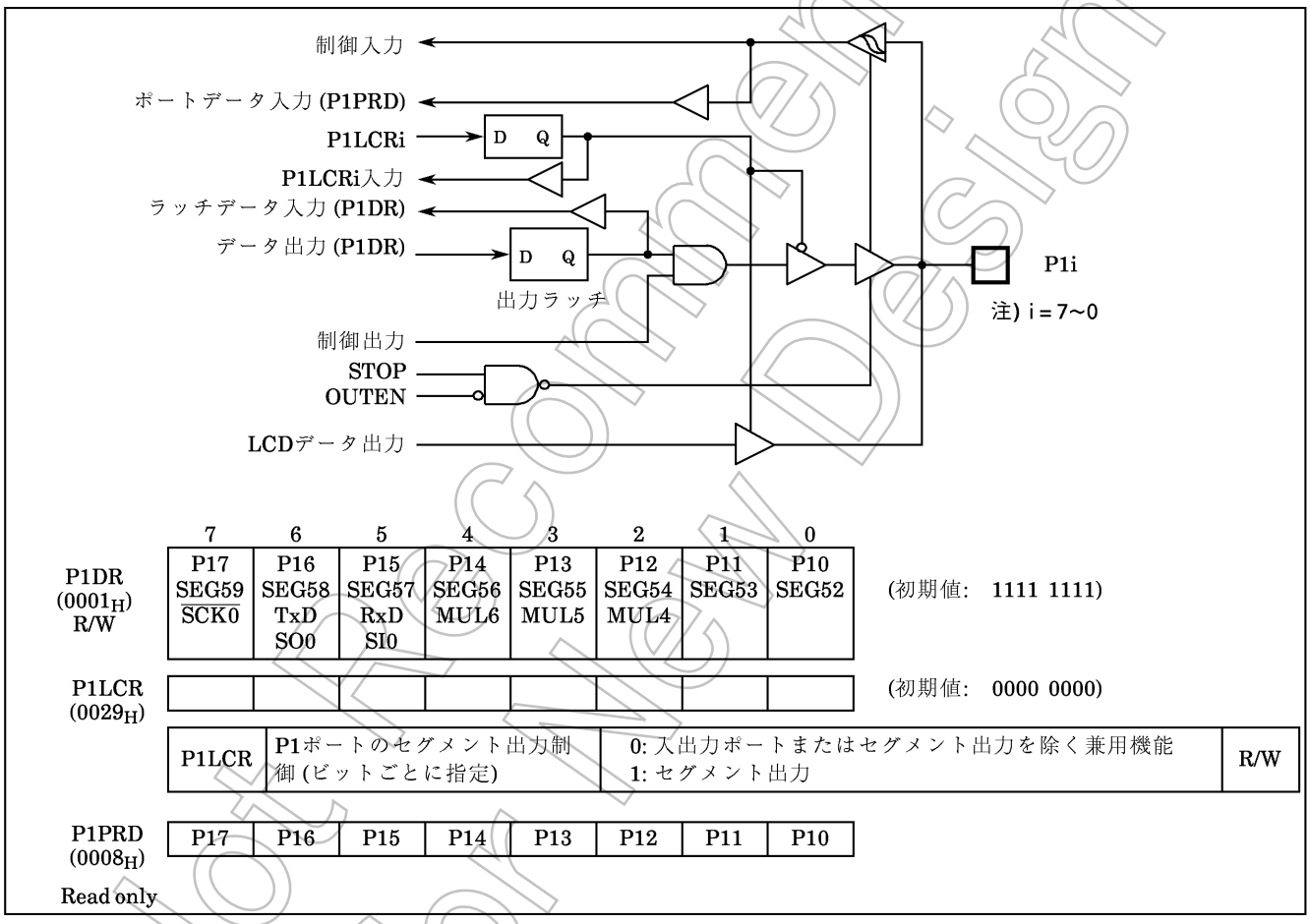


図2-3. P1ポート

注) MUL6~0に割り付けられたポートは、マルチファンクションレジスタ(MULSEL)によって端子割り付けを切り替えることができます。それぞれに割り付けられた機能は以下を参照してください。

MUL0: $\overline{\text{DVO}}$
MUL1: $\overline{\text{PWM3}}$, $\overline{\text{PDO3}}$, TC3
MUL2: $\overline{\text{PPG4}}$, $\overline{\text{PWM4}}$, $\overline{\text{PDO4}}$, TC4
MUL3: $\overline{\text{PPG6}}$, $\overline{\text{PWM6}}$, $\overline{\text{PDO6}}$, TC6
MUL4: INT1
MUL5: INT2
MUL6: INT3

Not Recommended for New Design

2.2.2 P2 (P22~P20) ポート

P2ポートは3ビットの入出力ポートで、外部割り込み入力, STOP解除信号入力, 低周波発振子接続端子と兼用です。入力ポートまたは機能端子として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DRはリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22端子は通常の入出力ポートとして使用できます。P20端子は外部割り込み入力, STOP解除信号入力, 入力ポートとして使用することを推奨します (出力ポートとして使用すると立ち下がりで割り込みラッチがセットされます)。

また、P2ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DRを、端子の状態を読み込む場合はP2PRDレジスタをそれぞれ読み出してください。

P2ポートに対してP2DR、P2PRDのリード命令を実行した場合、ビット7~3は不定値が読み込まれます。

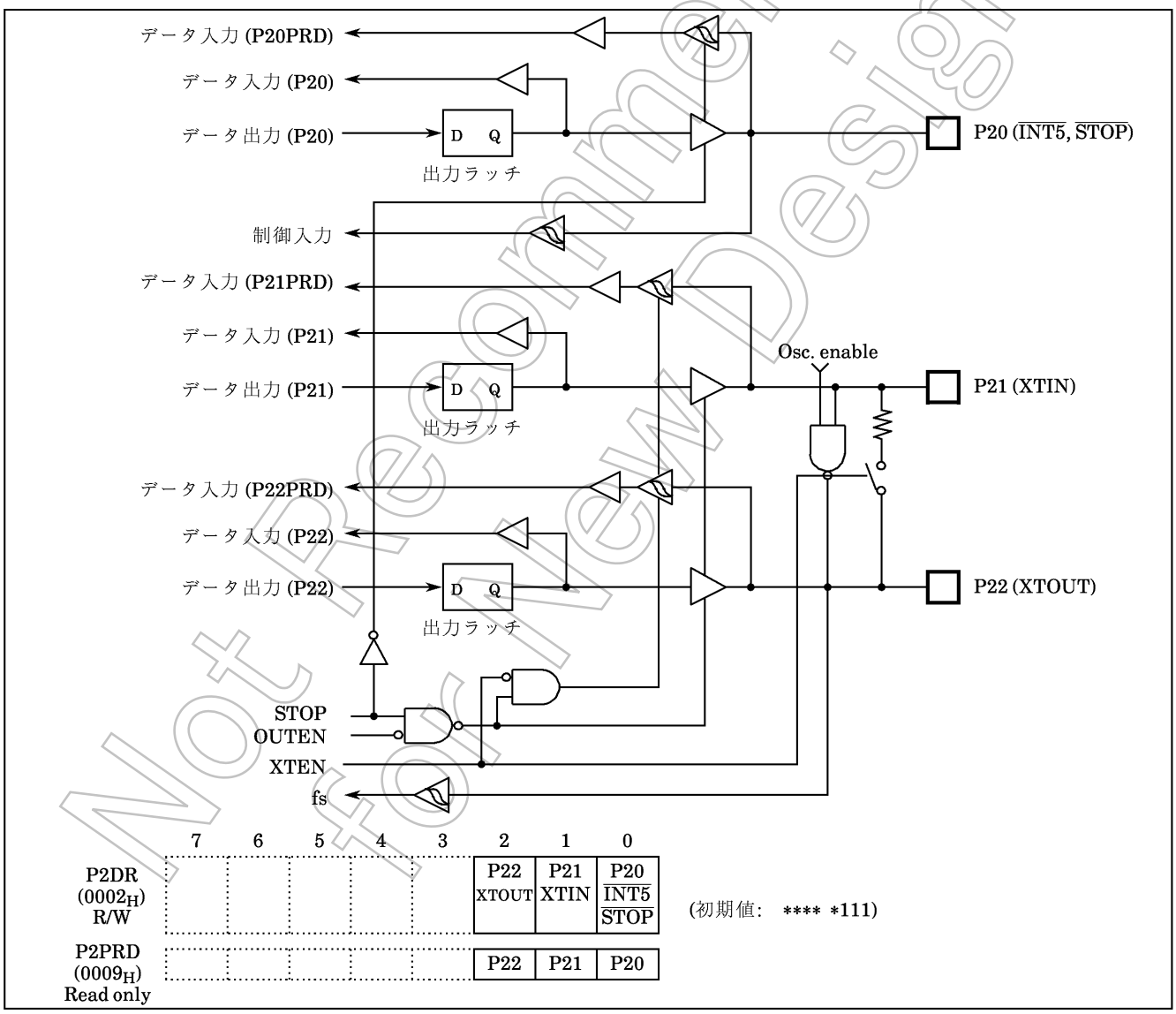


図2-4. P2ポート

注) P20端子はSTOP端子と兼用のため、STOPモードに入るとOUTENの状態にもかかわらず、出力はHigh-Z状態となります。

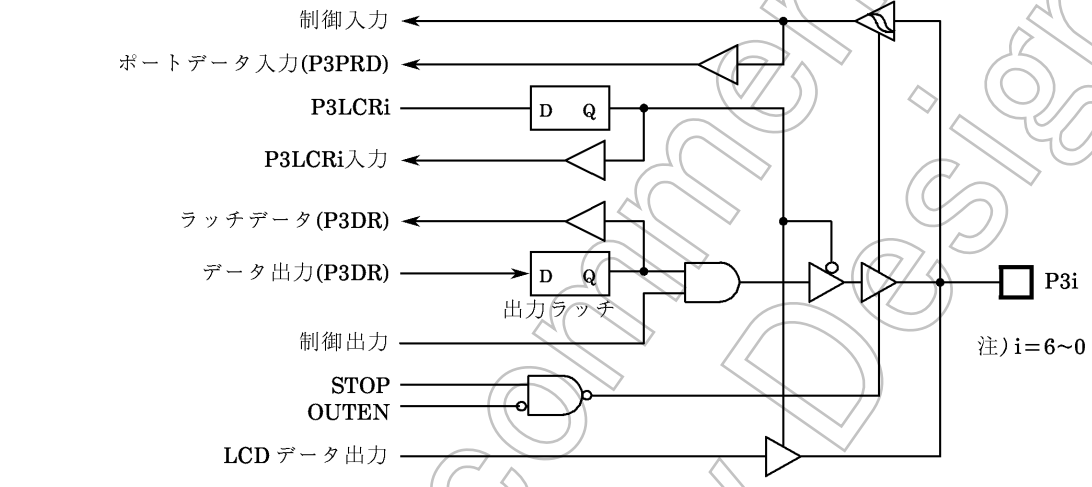
Not Recommended for New Design

2.2.3 P3 (P36~P30) ポート

P3ポートは7ビットの入出力ポートで、外部割り込み入力, タイマカウンタ入出力, デバイダ出力, LCDコモン/セグメント出力と兼用です。入力ポートまたは機能端子として用いる場合は、セグメント/コモン出力制御(P3LCR)を“0”にセットした後、出力ラッチ(P3DR)を“1”にセットします。LCDセグメント/コモン出力として使用する場合は、P3LCRの対応するビットを“1”にセットします。リセット時、出力ラッチ (P3DR) は “1” に、セグメント出力制御 (P3LCR) は “0” に初期化されます。

P3ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合はP3DRを、端子の状態を読み込む場合はP3PRDレジスタを、それぞれ読み出してください。

P3ポートに対してP3DR、P3PRDのリード命令を実行した場合、ビット7は不定値が読み込まれます。



	7	6	5	4	3	2	1	0	
P3DR (0003_H) R/W		P36 COM7 MUL6	P35 COM6 MUL5	P34 COM5 MUL4	P33 SEG51 MUL3	P32 SEG50 MUL2	P31 SEG49 MUL1	P30 SEG48 MUL0	(初期値: *111 1111)
P3LCR (0004_H)									(初期値: *000 0000)

P3LCR	P3ポートのセグメント/コモン出力制御 (ビットごとに指定)	0: 入出力ポートまたはセグメント/コモン出力を除く兼用機能 1: セグメント/コモン出力	R/W

	6	5	4	3	2	1	0
P3PRD ($000A_H$) Read only	P36	P35	P34	P33	P32	P31	P30

注) MUL6~0に割り付けられたポートは、マルチファンクションレジスタ (MULSEL) によって端子割り付けを切り替えることができます。それぞれに割り付けられた機能は以下を参照してください。

MUL0: $\overline{\text{DVO}}$
MUL1: $\overline{\text{PWM3}}$, $\overline{\text{PDO3}}$, TC3
MUL2: $\overline{\text{PPG4}}$, $\overline{\text{PWM4}}$, $\overline{\text{PDO4}}$, TC4
MUL3: $\overline{\text{PPG6}}$, $\overline{\text{PWM6}}$, $\overline{\text{PDO6}}$, TC6
MUL4: INT1
MUL5: INT2
MUL6: INT3

図2-5. P3ポート

Not Recommended for New Design

2.2.4 P5 (P57~P50) ポート

P5ポートは8ビットの入出力ポートで、LCDセグメント出力と兼用です。入力ポートとして用いる場合は、セグメント出力制御 (P5LCR) を “0” にセットした後、出力ラッチ (P5DR) を “1” にセットします。出力ポートとして用いる場合は、P5LCRの対応するビットを “0” にセットします。LCDセグメント出力として使用する場合は、P5LCRの対応するビットを “1” にセットします。リセット時、P5DRは “1” に、P5LCRは “0” に初期化されます。

P5ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合はP5DRを、端子の状態を読み込む場合はP5PRDレジスタを、それぞれ読み出してください。

LCDセグメント出力に設定した端子に対してP5PRDで端子の状態を読み出すと、不定値が読み出されます。

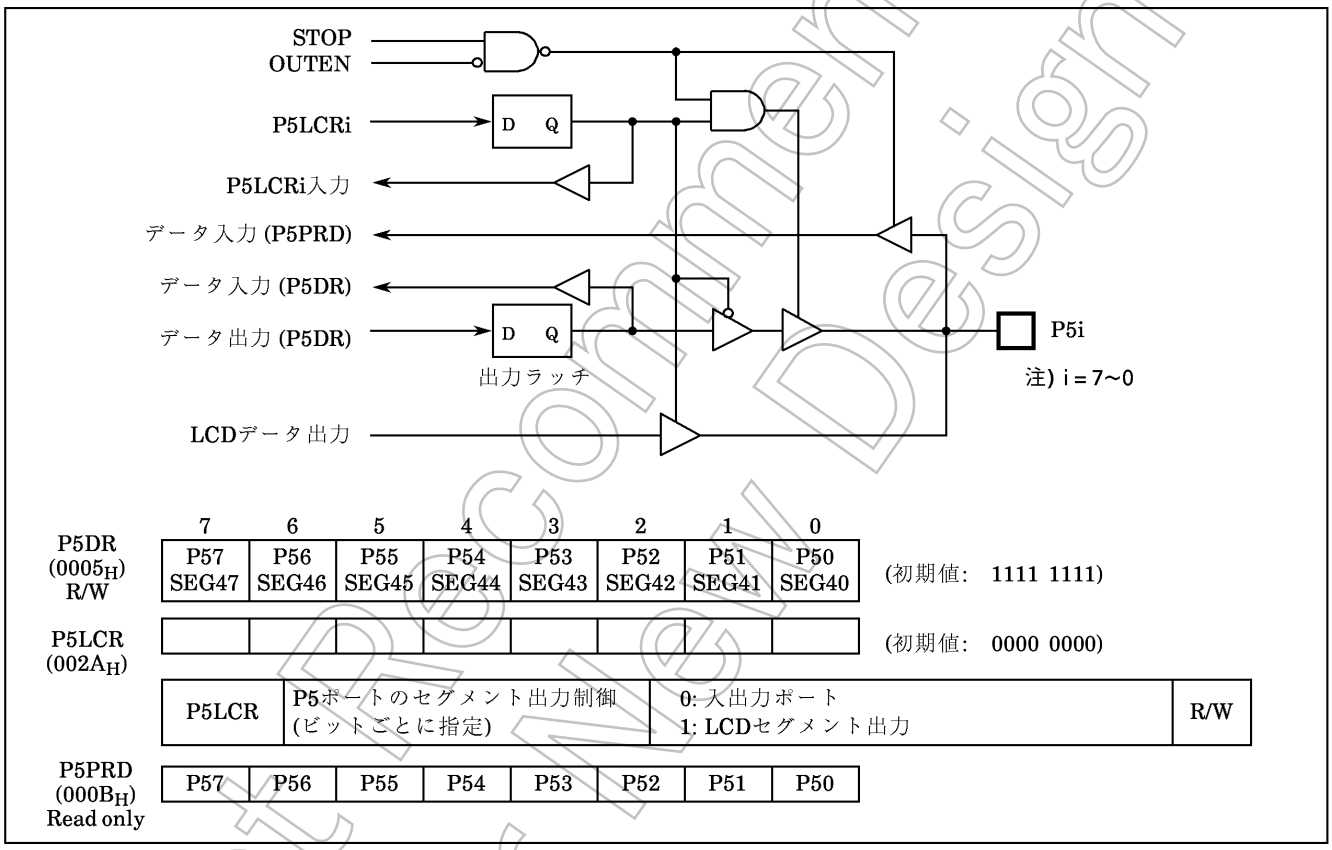


図2-6. P5ポート

2.2.5 P6 (P67~P60) ポート

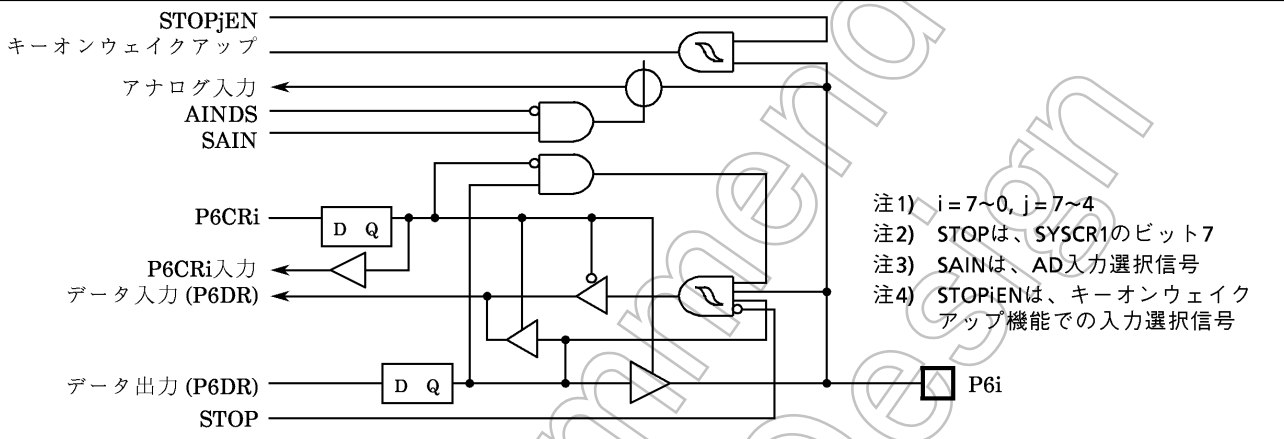
P6ポートは、1ビット単位で入出力の指定ができる8ビットの入出力ポートで、アナログ入力, キーオンウェイクアップ入力, タイマカウンタ入力, 外部割り込み入力と兼用です。入出力の指定は、入出力制御レジスタ (P6CR) と出力ラッチ (P6DR) とAINDS (ADCCR1のビット4)によって行います。リセット時は、P6CRとP6DRは “0” にクリアされ、AINDSは “1” にセットされますので、P67~P60は入力が “0” レベル固定の状態となります。入力ポート, 外部割り込み入力, タイマカウンタ入力またはキーオンウエイクアップ入力として使用する場合は、対応するビットを入力モード (P6CR=“0”, P6DR=“1”) に設定します。出力ポートとして使用する場合は、P6CRの対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR=“0”, P6DR=“0”) に設定し、AINDS=“0” にするとともにADをスタートさせます。

Not Recommended for New Design

出力ラッチ＝“0”に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ“0”に設定してください。実際の変換入力チャネル選択は、SAIN (ADCCR1のビット2~0) の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートにAD変換中、変化の激しい信号を入力しないようにしてください。

ADコンバータ入力として使用するビットの宣言/設定つまりP6DRを“0”にクリアしているときに入力命令を実行すると、上記ビットは“0”が読み込まれます。



P6DR (0006_H) R/W

7	6	5	4	3	2	1	0
P67 AIN7 STOP5	P66 AIN6 STOP4	P65 AIN5 STOP3	P64 AIN4 STOP2	P63 AIN3 $\overline{INT0}$	P62 AIN2 ECNT	P61 AIN1 ECIN	P60 AIN0

(初期値: 0000 0000)

P6CR ($000C_H$)

7	6	5	4	3	2	1	0

(初期値: 0000 0000)

			AINDS＝1 (AD不使用)		AINDS＝0 (AD使用時)		
			P6DR＝“0”	P6DR＝“1”	P6DR＝“0”	P6DR＝“1”	
P6CR	P6ポートの入出力制御 (ビットごとに指定)	0	入力“0”固定	入力モード	アナログ入力モード (注4)	入力モード	R/W
		1	出力モード		出力モード		

注1) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P6CR＝“1”) には設定しないでください。

注2) 外部割り込み入力 ($\overline{INT0}$)、タイマカウンタ1入力 (ECNT, ECIN) として使用する場合は、入力モード (P6CR＝“0”, P6＝“1”) に設定してください。

注3) キーオンウェイクアップ入力 (STOP2~5) として使用する場合は、P6CRの対応するビットを“0”に設定してください。

注4) アナログ入力モードに設定されているビットに対してリード命令を実行すると“0”が読み込まれます (貫通電流対策)。

図2-7. P6ポートとP6ポート入出力制御レジスタ

注) P6DRはR/Wレジスタですが、入力モード制御機能と兼用のためビット操作命令などのリードモディファイライト命令は使用できません。入力に設定されているビットは、リード命令により端子の内容を読み込みますので、リードモディファイライト命令を実行すると、出力ラッチが書き替えられ入力ができなくなります。
(リードモデイファイライト命令は、最初に8ビットすべてのデータを読み込みモディファイ (ビット操作) した後、8ビット分すべてのデータを出力ラッチに書き込みます。)

Not Recommended for New Design

2.2.6 P7 (P77~P70) ポート

P7ポートは8ビットの入出力ポートで、外部割り込み入力, デバイダ出力, LCDセグメント出力と兼用です。入力ポートまたは機能端子として用いる場合は、セグメント出力制御 (P7LCR) を “0” にセットした後、出力ラッチ (P7DR) を “1” にセットします。出力ポートとして用いる場合は、P7LCRの対応するビットを “0” にセットします。LCDセグメント出力として使用する場合は、P7LCRの対応するビットを “1” にセットします。リセット時、P7DRは “1” に、P7LCRは “0” に初期化されます。

P7ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P7DRを、端子の状態を読み込む場合は、P7PRDレジスタをそれぞれ読み出してください。LCDセグメント出力に設定した端子に対してP7PRDで端子の状態を読み出すと不定値が読み出されます。

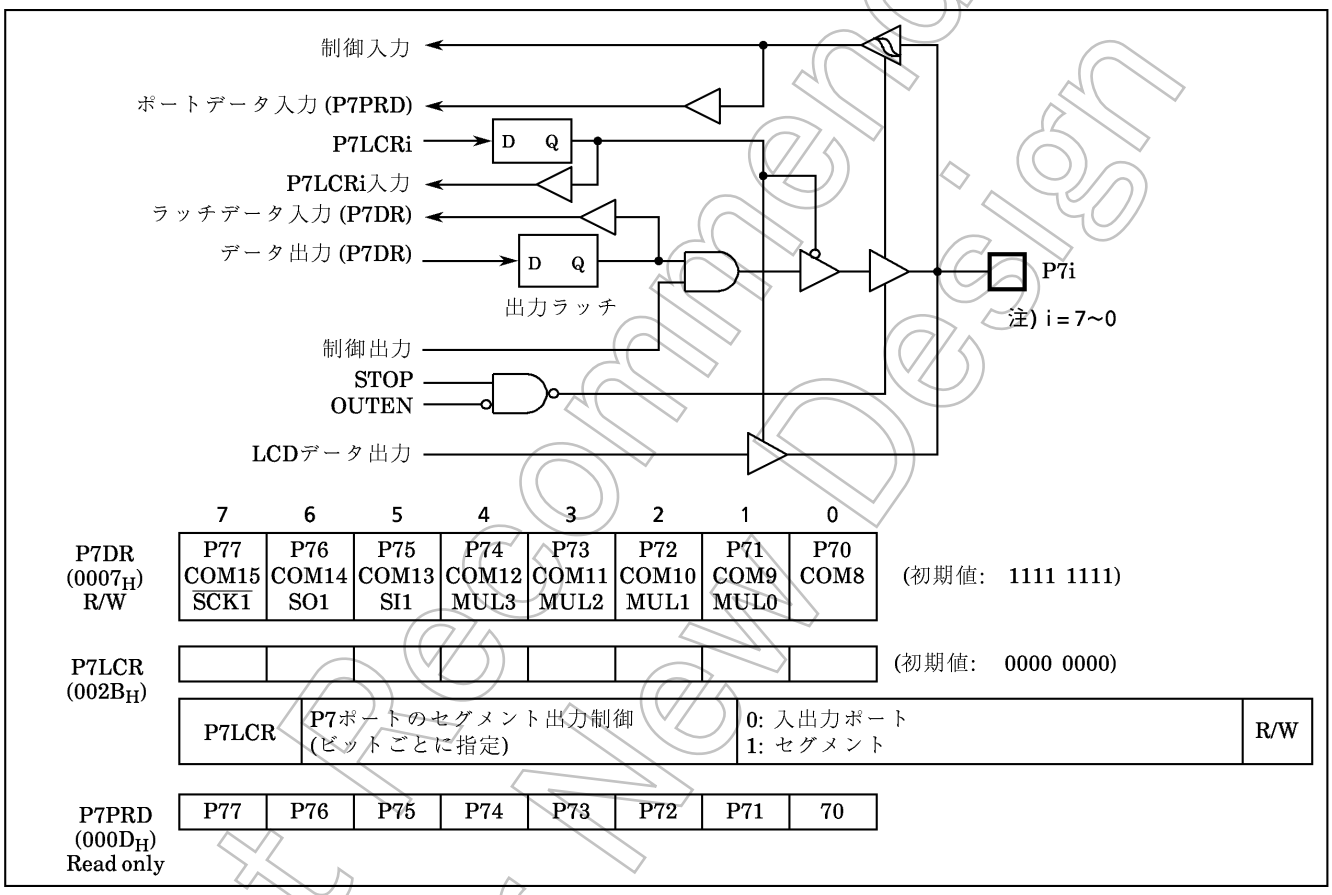


図2-8. P7ポート

注) MUL6~0に割り付けられたポートは、マルチファンクションレジスタ(MULSEL)によって端子割り付けを切り替えることができます。それぞれに割り付けられた機能は以下を参照してください。

MUL0: $\overline{\text{DVO}}$
MUL1: $\overline{\text{PWM3}}$, $\overline{\text{PDO3}}$, TC3
MUL2: $\overline{\text{PPG4}}$, $\overline{\text{PWM4}}$, $\overline{\text{PDO4}}$, TC4
MUL3: $\overline{\text{PPG6}}$, $\overline{\text{PWM6}}$, $\overline{\text{PDO6}}$, TC6
MUL4: INT1
MUL5: INT2
MUL6: INT3

Not Recommended for New Design

2.3 マルチファンクションレジスタ

MUL6~0が割り付けられた機能端子は、MULSELによって使用するポートを切り替えることができます。

マルチファンクションレジスタ

MULSEL ($0FC0_H$)

7	6	5	4	3	2	1	0
	MUL6	MUL5	MUL4	MUL3	MUL2	MUL1	MUL0

(初期値: *000 0000)

MUL6	INT3機能の端子選択	0: P14 1: P36	R/W
MUL5	INT2機能の端子選択	0: P13 1: P35	
MUL4	INT1機能の端子選択	0: P12 1: P34	
MUL3	$\overline{PPG6}$, $\overline{PWM6}$, $\overline{PDO6}$, TC6機能の端子選択	0: P33 1: P74	
MUL2	$\overline{PPG4}$, $\overline{PWM4}$, $\overline{PDO4}$, TC4機能の端子選択	0: P32 1: P73	
MUL1	$\overline{PWM3}$, $\overline{PDO3}$, TC3 機能の端子選択	0: P31 1: P72	
MUL0	$\overline{DVO}$機能の端子選択	0: P30 1: P71	

図2-9. マルチファンクションレジスタ

Not Recommended for New Design

2.4 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力をTBTCKで選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-10 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできます。

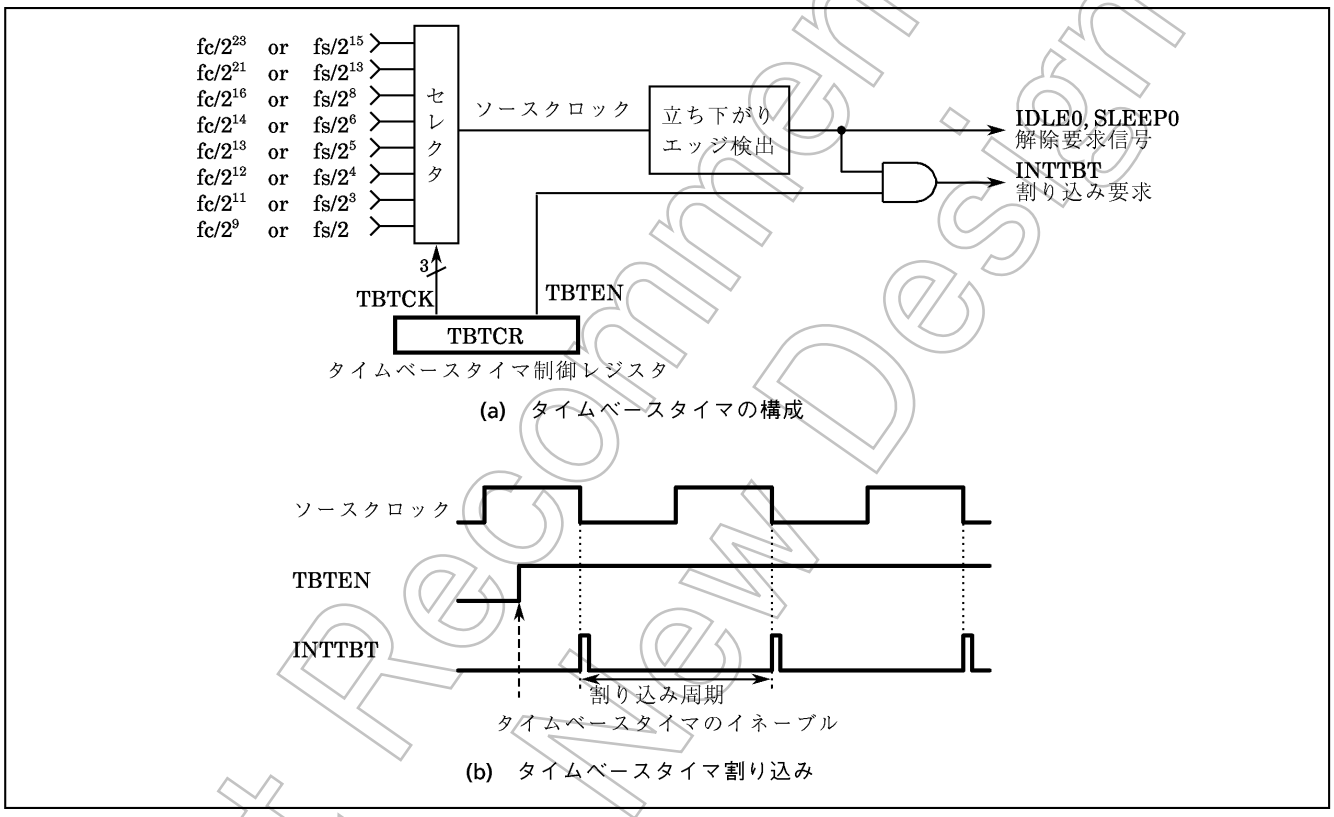


図2-10. タイムベースタイマ

例: タイムベースタイマ割り込み周波数を$fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD    (TBTCR), 00000010B        ; TBTCK ← 010
LD    (TBTCR), 00001010B        ; TBTEN ← 1
SET   (EIRL). 6
```

Not Recommended for New Design

TBTCR (0036_H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK		

(初期値: 0000 0000)

TBTEN	タイムベースタイマの許可/禁止	0: ディセーブル 1: イネーブル			R/W
TBTCK	タイムベースタイマ割り込み周波数の選択 単位: [Hz]		NORMAL1/2, IDLE1/2モード	SLOW, SLEEPモード	
			DV7CK=0	DV7CK=1	
		000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$
		001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$
		010	$fc/2^{16}$	$fs/2^{8}$	–
		011	$fc/2^{14}$	$fs/2^{6}$	–
		100	$fc/2^{13}$	$fs/2^{5}$	–
		101	$fc/2^{12}$	$fs/2^{4}$	–
		110	$fc/2^{11}$	$fs/2^{3}$	–
		111	$fc/2^{9}$	fs/2	–

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2-11. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数 (例: fc = 16.0 MHz, fs = 32.768 kHz時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード
	DV7CK=0	DV7CK=1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	–
011	976.56	512	–
100	1953.13	1024	–
101	3906.25	2048	–
110	7812.5	4096	–
111	31250	16384	–

Not Recommended for New Design

2.5 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、リセット発生またはノンマスカブル割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット発生に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

2.5.1 ウォッチドッグタイマの構成

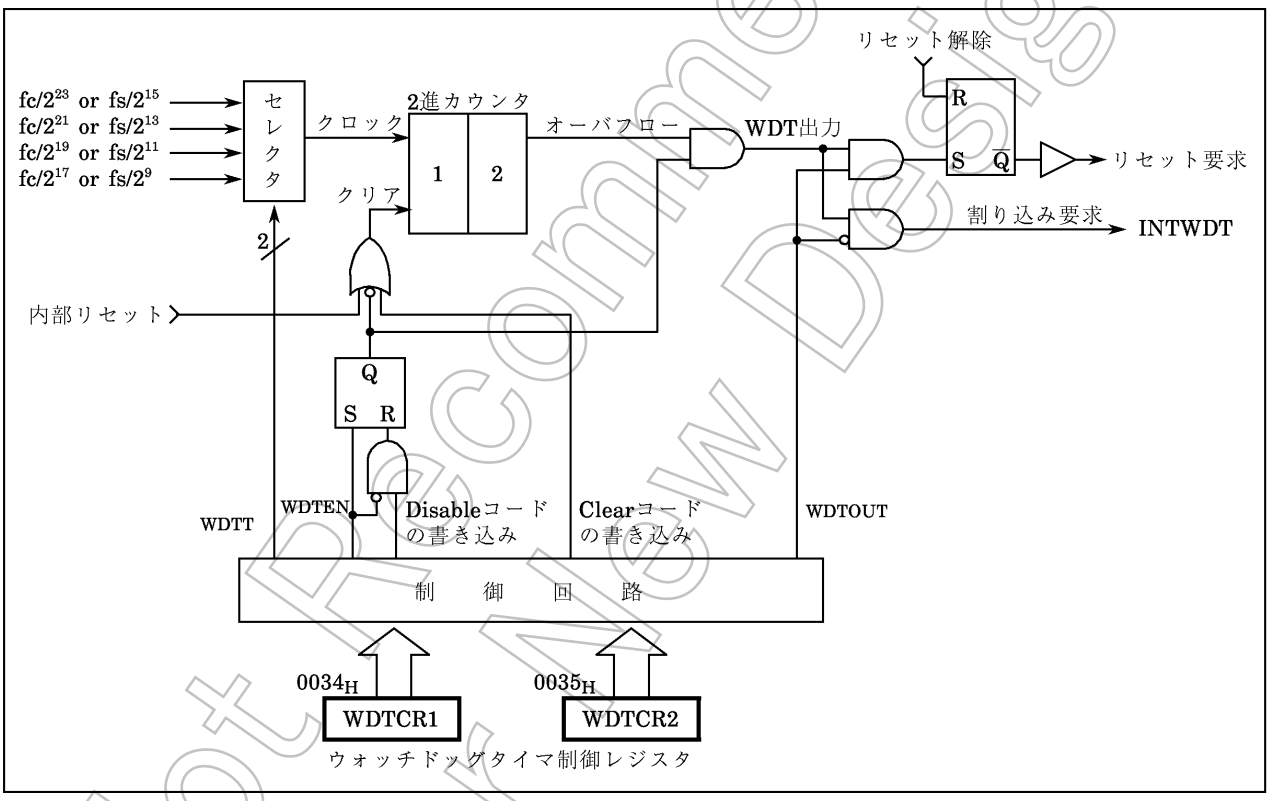


図2-12. ウォッチドッグタイマの構成

Not Recommended for New Design

2.5.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図2-12に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

(1) ウォッチドッグタイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

① 検出時間の設定, 出力の選択および2進カウンタのクリア
② 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTOUT＝“1” なら内蔵ハードウエアをリセットします。また、WDTOUT＝“0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLEモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード ($4E_H$) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2レジスタにクリアコード ($4E_H$) を書き込むタイミングによって、最短でWDTCR1<WDTT>の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

例: ウォッチドッグタイマ検出時間を2^{21}/fc [s] に設定し、暴走検出リセットを行う。

```
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
        LD      (WDTCR1), 00001101B ;  WDTT ← 10, WDTOUT ← 1
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
                                       (WDTT変更直前直後は必ずクリアします)
WDT検出
時間3/4以内
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
WDT検出
時間3/4以内
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
```

Not Recommended for New Design

ウォッチドッグタイマ制御レジスタ1

WDTCR1 (0034_H)

7	6	5	4	3	2	1	0
−	−	(ATAS)	(ATOUT)	WDTEN	WDTT		WDTOUT

(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁　止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許　可				Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位 : [s]		NORMAL1/2モード		SLOW モード	
			DV7CK＝0	DV7CK＝1		
		00	2^{25}/fc	2^{17}/fs	2^{17}/fs	
		01	2^{23}/fc	2^{15}/fs	2^{15}/fs	
		10	2^{21}/fc	2^{13}/fs	2^{13}/fs	
		11	2^{19}/fc	2^{11}/fs	2^{11}/fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット発生				

注1) WDTOUTを "0" にクリア後は、プログラムで "1" に再セットできません。
注2) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]、*: Don't care
注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
注5) WDTENを "1" から "0" に切り替える場合は、誤動作の原因となる場合がありますので、直前にWDTCR2へ "$4E_H$" を書き込み、2進カウンタをクリアしてください。

ウォッチドッグタイマ制御レジスタ2

WDTCR2 (0035_H)

7	6	5	4	3	2	1	0

(初期値: **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	$4E_H$:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		$B1_H$:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		$D2_H$:	アドレストラップ領域選択有効	
		その他:	無効	

注1) ディセーブルコードは、WDTCR1＜WDTEN＞＝"0" のとき以外は書き込み無効です。
注2) *: Don't care
注3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
注4) クリアコード ($4E_H$) はWDTCR1＜WDTT＞の設定時間の3/4以内に書き込んでください。

図2-13. ウォッチドッグタイマ制御レジスタ

(2) ウォッチドッグタイマのイネーブル

WDTEN (WDTCR1のビット3) を "1" にセットするとイネーブルになります。リセット時、WDTENは "1" に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

(3) ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルするには、割り込みマスタ許可フラグ (IMF) を "0" にし、WDTCR2にクリアコード ($4E_H$) を書き込んだ後、WDTEN (WDTCR1のビット3) を "0" にクリアします。その後、WDTCR2にディセーブルコード ($B1_H$) を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを "0" にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

Not Recommended for New Design

例: ウォッチドッグタイマのディセーブル

```
DI                          ;IMF ← 0
LD    (WDTCR2), 04EH        ;2進カウンタのクリア
LDW   (WDTCR1), 0B101H      ;WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表2-2. ウォッチドッグタイマ検出時間 (例: fc = 16.0 MHz, fs = 32.768 kHz時)

WDTT	ウォッチドックタイマ検出時間 [s]		
	NORMAL1/2モード		SLOW モード
	DV7CK=0	DV7CK=1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

2.5.3 ウォッチドッグタイマ割り込み (INTWDT)

ノンマスカブル割り込みで、割り込み許可レジスタの内容にかかわらず 割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウエア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例: ウォッチドッグタイマ割り込みの設定例

```
LD    SP, 023FH             ;SPの設定
LD    (WDTCR1), 00001000B   ;WDTOUT ← 0
```

2.5.4 ウォッチドッグタイマリセット

ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウエアはリセットされます。リセット時間は、8/fc~24/fc [s] (0.5~1.5 μs @ fc=16.0 MHz) です。

注) SLOWモードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間は 8/fc~24/fcとなります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになりますので、概略値としてとらえてください。

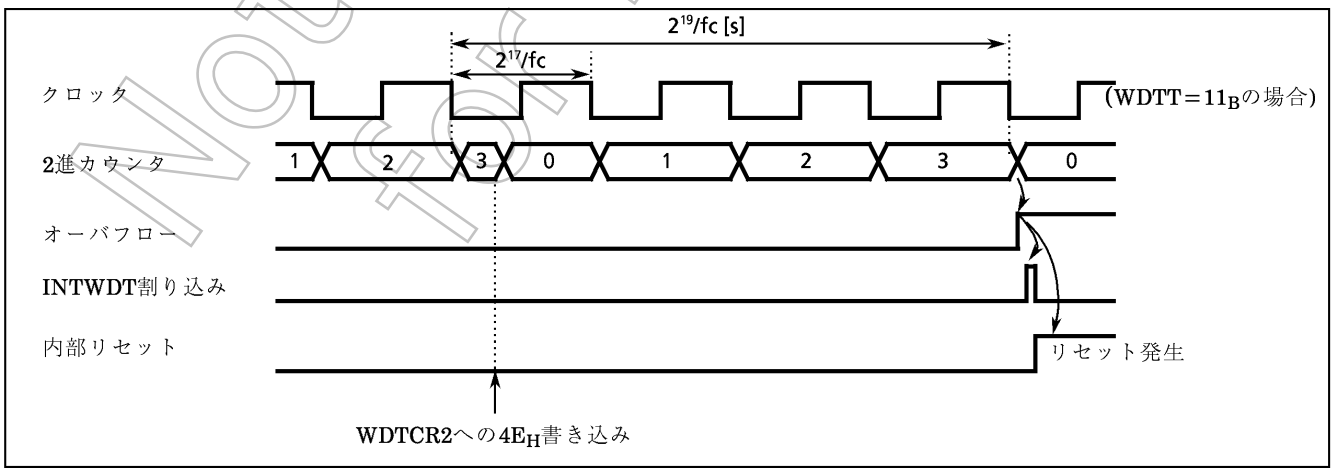


図2-14. ウォッチドッグタイマ割り込み/リセット

Not Recommended for New Design

2.5.5 アドレストラップ

ウォッチドッグタイマ制御レジスタ1, 2は、アドレストラップ時の制御用レジスタと兼用となっています。アドレストラップの制御レジスタを図2-15に示します。

ウォッチドッグタイマ制御レジスタ1

WDTCR1 (0034_H)

7	6	5	4	3	2	1	0
−	−	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)

(初期値: **11 1001)

ATAS	内蔵RAM領域のアドレストラップ選択	0: アドレストラップ発生しない 1: アドレストラップ発生する (ATASの設定後WDTCR2に制御コード"D2H"書き込む必要あり)	Write only
ATOUT	アドレストラップ発生時の動作選択	0: 割り込み要求 1: リセット発生	

ウォッチドッグタイマ制御レジスタ2

WDTCR2 (0035_H)

7	6	5	4	3	2	1	0

(初期値: **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	$D2_H$: アドレストラップ領域選択有効 (ATRAP設定コード) $4E_H$: ウォッチドッグタイマの2進カウンタのクリア (クリアコード) $B1_H$: ウォッチドッグタイマのディセーブル (WDTディセーブルコード) その他: 無効	Write only

図2-15. ウォッチドッグタイマ制御レジスタ

(1) 内蔵RAM領域のアドレストラップ選択 (ATAS)

内蔵RAM領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵RAM領域で命令を実行する場合、WDTCR1<ATAS>を "0" に設定します。

WDTCR1<ATAS>の設定は、WDTCR1の設定後、WDTCR2に "D2H" を書き込むことで有効となります。SFR, DBR領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

(2) アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって割り込みを発生するか、リセットを発生するかを選択することができます。

Not Recommended for New Design

2.6 デバイダ出力 ($\overline{DVO}$)

タイミングジェネレータのデバイダによってデューティ約50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、P30またはP71端子から出力されます。P30とP71端子の選択は、MULSEL<MUL0>によって制御します。なお、デバイダ出力するポートは出力ラッチを“1”にセットします。

注) デバイダ出力周波数の選択は、デバイダ出力が禁止の状態で行ってください (許可状態から禁止状態にする際もデバイダ出力周波数の設定を変更しないでください)。

TBTCR (0036_H)

7	6	5	4	3	2	1	0
DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)		

(初期値: 0000 0000)

			NORMAL1/2, IDLE1/2モード		SLOW, SLEEP モード	
			DV7CK=0	DV7CK=1		
DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル				R/W
DVOCK	デバイダ出力 ($\overline{DVO}$端子) の周波数選択 単位: [Hz]	00	$fc/2^{13}$	$fs/2^5$	$fs/2^5$	
		01	$fc/2^{12}$	$fs/2^4$	$fs/2^4$	
		10	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	
		11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$	

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2-16. デバイダ出力制御レジスタ

例: 1.95 kHzのパルスをP30から出力 (fc=16.0 MHz)。

```
LD      (MULSEL), 00000000B   ; DVO出力をP30に設定
SET     (P3DR).0              ; P30出力ラッチ ←“1”
LD      (TBTCR),00000000B     ; DVOCK ←“00”
LD      (TBTCR),10000000B     ; DVOEN ←“1”
```

表2-3. デバイダ出力の周波数 (例: fc = 16.0 MHz, fs = 32.768 kHz時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2モード		SLOW, SLEEP モード
	DV7CK=0	DV7CK=1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

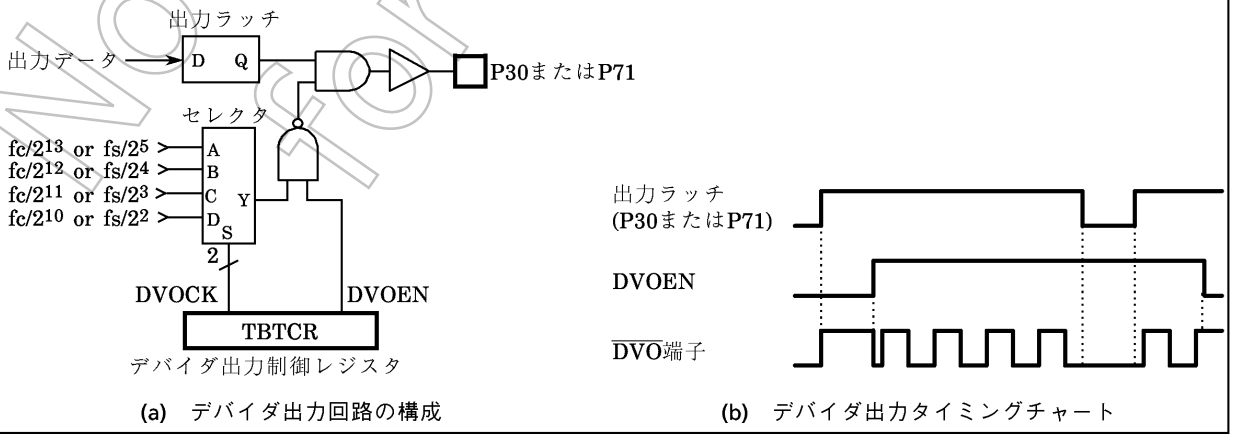


図2-17. デバイダ出力

Not Recommended for New Design

2.7 18ビットタイマカウンタ1 (TC1)

2.7.1 構 成

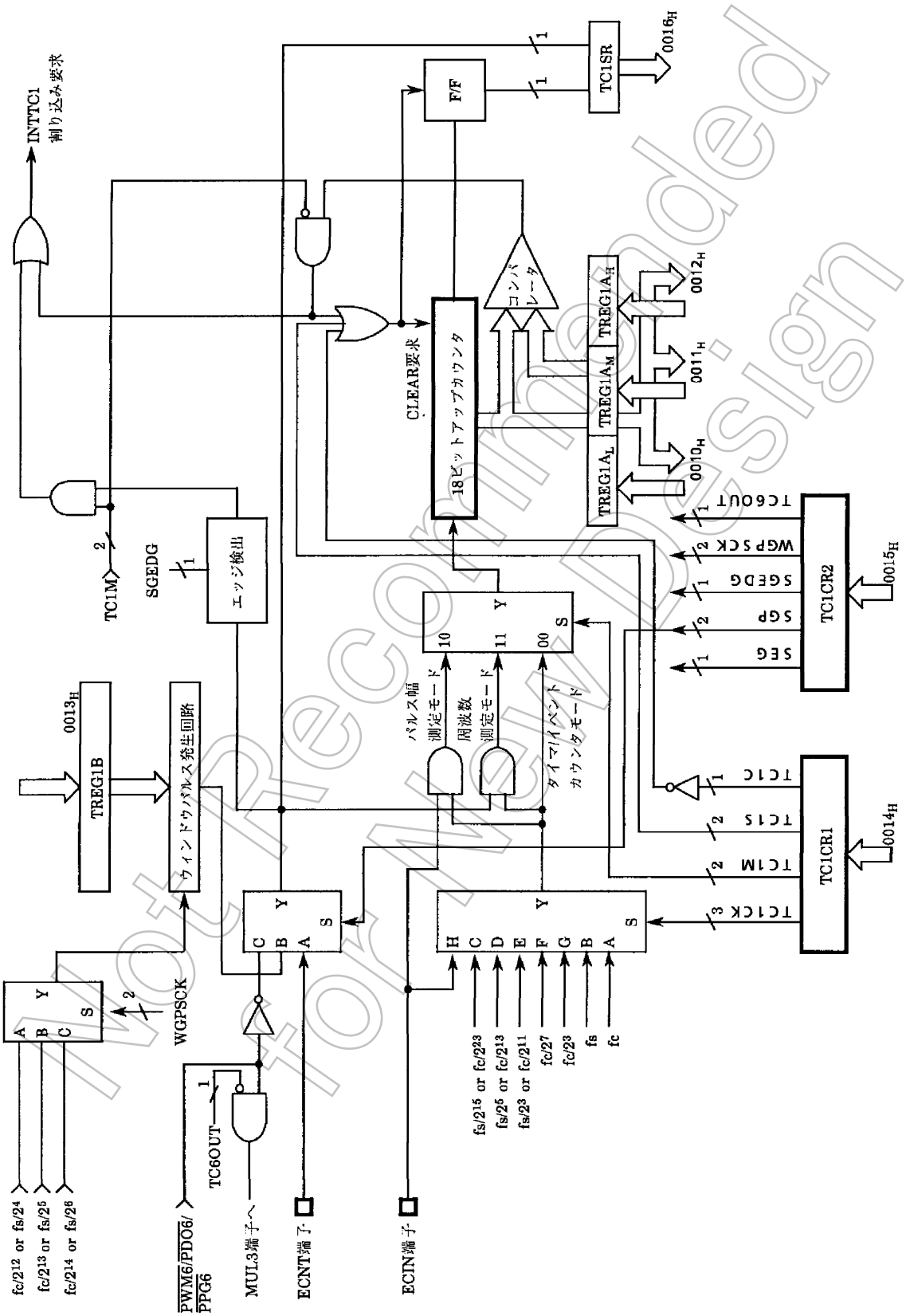


図2-18. タイマカウンタ1 (TC1)

Not Recommended for New Design

2.7.2 制　御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR1/TC1CR2), 18ビットタイマレジスタ (TREG1A) および8ビットの内部ウィンドウゲートパルス設定レジスタ (TREG1B) で制御されます。

タイマレジスタ

17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1A$_H$ (0012_H)		TREG1A$_M$ (0011_H)								TREG1A$_L$ (0010_H)							

TREG1A (0012_H, 0011_H, 0010_H,)　Read/Write (初期値:　00 0000 0000 0000 0000)

内部ウィンドウゲートパルス設定レジスタ

TREG1B (0013_H)

7	6	5	4	3	2	1	0
Ta				Tb			

(初期値:　0000　0000)

Ta	ウィンドウゲートパルスの“H”レベル期間の設定	(16－Ta)×2^{13}/fc　または　(16－Ta)×2^5/fs　[s]	R/W
Tb	ウィンドウゲートパルスの“L”レベル期間の設定	(16－Tb)×2^{13}/fc　または　(16－Tb)×2^5/fs　[s]	

注) WGPSCK = 01の場合

タイマカウンタ1制御レジスタ1

TC1CR1 (0014_H)

7	6	5	4	3	2	1	0
TC1C	TC1S			TC1CK		TC1M	

(初期値:　1000 1000)

TC1C		0: カウンタ/オーバフローフラグクリア要求 (クリア後、自動的に“1”にセットされます)	R/W
TC1S	タイマカウンタ1のスタート制御	00: ストップ&カウンタクリア (オーバフローフラグもクリアされます) 10: スタート *1: Reserved	
TC1CK	タイマカウンタ1のソースクロックの選択	000: 内部クロック fc [Hz] 001: 内部クロック fs [Hz] 010: 内部クロック fc/2^{23} または fs/2^{15} [Hz] 011: 内部クロック fc/2^{13} または fs/2^5 [Hz] 100: 内部クロック fc/2^{11} または fs/2^3 [Hz] 101: 内部クロック fc/2^7 [Hz] 110: 内部クロック fc/2^3 [Hz] 111: 外部クロック (ECIN端子入力)	
TC1M	タイマカウンタ1の動作モードの選択	00: タイマ/イベントカウンタモード 01: Reserved 10: パルス幅測定 モード 11: 周波数測定モード	

注1)　fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注2)　タイマレジスタの下位側 (TREG1A$_L$, TREG1A$_M$) に書き込むと上位側 (TREG1A$_H$) への書き込みが終わるまで、一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後、1マシンサイクル以内 (命令実行中) の一致検出も無視されます。

注3)　モード, ソースクロック, エッジ (選択) は、停止 (TC1S = 00) 状態で設定してください。

注4)　ソースクロックにfcを選択できるのは、タイマモード (SLOW時) とパルス幅測定モード (NORMAL 1/2または IDLE 1/2時) だけです。

注5)　タイマレジスタ(TREG1A)にリード命令を実行すると、レジスタ設定値ではなくカウンタ即値が読み出され、TREG1Aに書き込んだ値を読み出すことはできません。従ってカウンタ即値を読み出す場合、カウント中にリード命令を実行すると不定値が読み出されることがありますので、必ずカウントが停止している状態でリードしてください。

注6)　タイマレジスタの設定はTREG1A≧1で使用してください。

注7)　タイマモード/パルス幅測定モードで使用する場合、ソースクロックの選択(TC1CK)は内部クロックに設定してください。

注8)　イベントカウンタモードで使用する場合、ソースクロックの選択(TC1CK)は外部クロックに設定してください。

注9)　タイマレジスタ(TREG1A) は書き込み値, 読み出し値が異なりますので、リードモディファイライト命令ではアクセスしないでください。

注10)　SLOWモード, SLEEPモード時、fc/2^7, fc/2^3はソースクロックとして選択できません。

注11)　TREG1AH (0012H) のbit 2~7は常に“0”が読み出されます (“1”は書き込めません)。

図2-19. タイマカウンタ1のタイマレジスタ/ウィンドウゲートパルス設定レジスタ/制御レジスタ

Not Recommended for New Design

タイマカウンタ1制御レジスタ2

TC1CR2 (0015_H)

7	6	5	4	3	2	1	0	(初期値: *000 000*)
"0"	SGP		SGEDG	WGPSCK		TC6OUT	"0"	

SGP	ウィンドウゲートパルスの選択	00: ECNT入力 01: 内部ウィンドウゲートパルス (TREG1B) 10: $\overline{\text{PWM6/PDO6/PPG6}}$ (TC6) 出力 11: Reserved	R/W
SGEDG	ウィンドウゲートパルス割り込みエッジの選択	0: 立ち下がりエッジで割り込み 1: 立ち下がり/立ち上がり両エッジで割り込み	
WGPSCK	ウィンドウゲートパルスソースクロックの選択	00: 2^{12}/fc または 2^4/fsを選択 01: 2^{13}/fc または 2^5/fsを選択 10: 2^{14}/fc または 2^6/fsを選択 11: Reserved	
TC6OUT	TC6出力 (PWM6/PDO6/$\overline{\text{PPG6}}$) の外部出力の選択	0: P33へ出力する 1: P33へ出力しない	

注1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]、*: Don't care

注2) TC1CR2の設定はタイマカウンタ停止状態 (TC1S = 00) で行ってください。

注3) $\overline{\text{PWM6/PDO6/PPG6}}$をタイマカウンタ1のウィンドウゲートパルスとして使用しない場合は、TC6OUTは"0"に設定してください。

注4) TC1CR2の0, 7ビット目には、必ず"0"を書き込んでください。

タイマカウンタ1ステータスレジスタ

TC1SR (0016_H)

7	6	5	4	3	2	1	0	(初期値: 0000 0000)
HECF	HEOVF	"0"	"0"	"0"	"0"	"0"	"0"	

HECF	動作状態モニタ	0: 停止 (Tbの期間) またはディセーブル 1: カウント動作中 (Taの期間)	Read only
HEOVF	カウンタオーバフローモニタ	0: オーバフロー未検出 1: オーバフロー状態	

図2-20. タイマカウンタ1の制御レジスタ/ステータスレジスタ

2.7.3 機　能

タイマカウンタ1には、4つの動作モードがあります。また、SLOWモードからNORMAL2モードへの切り替え時のウォーミングアップの際、通常タイマカウンタ1のタイマモードを使用します。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

表2-4. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOWモード	SLEEPモード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz時
DV7CK = 0	DV7CK = 1						
fc/2^{23} [Hz]	fs/2^{15} [Hz]	fs/2^{15} [Hz]	fs/2^{15} [Hz]	0.52 s	1 s	38.2 h	72.8 h
fc/2^{13}	fs/2^5	fs/2^5	fs/2^5	512 μs	0.98 ms	2.2 min	4.3 min
fc/2^{11}	fs/2^3	fs/2^3	fs/2^3	128 μs	244 μs	0.6 min	1.07 min
fc/2^7	fc/2^7	–	–	8 μs	–	2.1 s	–
fc/2^3	fc/2^3	–	–	0.5 μs	–	131.1 ms	–
fc	fc	fc (注)	–	62.5 ns	–	16.4 ms	–
fs	fs	–	–	–	30.5 μs	–	8 s

Not Recommended for New Design

注) SLOWモードでソースクロックにfcを選択した場合は、TREG1Aの下位11ビットは無視され、上位7ビットの一致で割り込みを発生します。

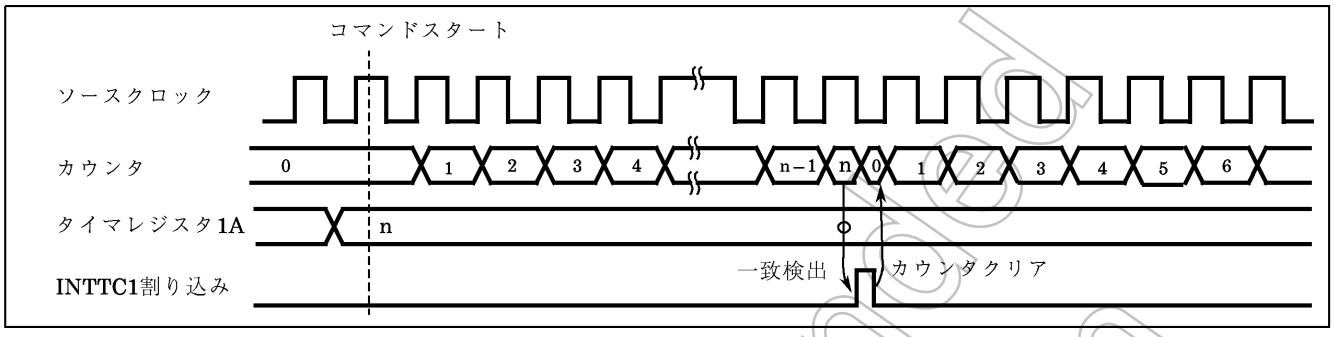


図2-21. タイマモード タイミングチャート

(2) イベントカウンタモード

ECIN端子入力の立ち下がりエッジ (両エッジは使用できません) でカウントアップするモードです。カウント値とTREG1A設定値との一致でINTTC1割り込み発生し、カウントはクリアされます。カウンタクリア後もECIN端子入力のエッジごとにカウントアップします。最大印可周波数は、$fc/2^4$ [Hz] (NORMAL1/2またはIDEL1/2モード時), $fs/2^4$ [Hz] (SLOW, SLEEPモード時) で、"H", "L" レベルとも2マシンサイクル以上のパルス幅が必要です。

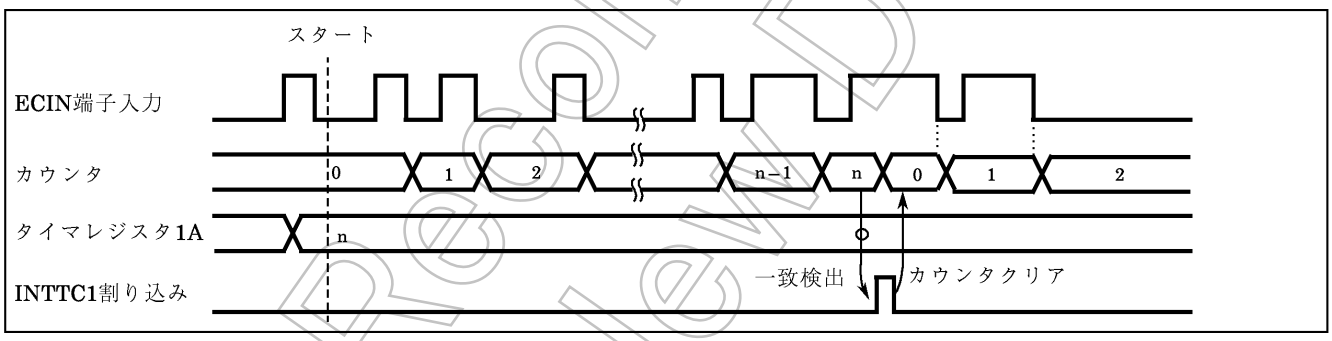


図2-22. イベントカウンタモード タイミングチャート

(3) パルス幅測定モード

ECIN端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち下がりエッジでカウントアップするモードです。内部クロックは、TC1CKで選択します。ウィンドウパルスの立ち下がりエッジもしくは立ち上がり/立ち下がりの両エッジ (TC1CR2のSGEDGにより選択可能) でINTTC1割り込みが発生します。カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ECIN端子が "L"の期間) で行い、その後、TC1Cによりカウンタをクリアしてください。カウンタクリアしない場合、次のカウントスタートよりカウントアップが継続されます。TREG1Aが$3FFFF_H$から00000_Hにカウントアップしたとき、オーバフローが発生します。オーバフローの検出はステータスレジスタのHEOVFによりモニタすることができます。なお、オーバフローフラグ状態はカウンタクリア要求しない限り、前のデータが残ったままになります。

Not Recommended for New Design

注1) パルス幅測定モードにおいてECIN端子入力が“1”のとき、タイマカウンタ1のスタート制御(TC1S)を“00”(ストップ&カウンタクリア)に設定するとINTTC1割り込みが発生します。従ってタイマカウンタを停止するときは、以下のような手順で割り込みラッチ(IL8)をクリアしてください。

```
TCISTOP:
        ⋮       ⋮
        DI                          ;  IMFクリア
        CLR   (EIRH). EF8           ;  TC1許可フラグクリア
        LD    (TC1CR1), 0y00011010  ;  タイマ停止
        LD    (ILH), 0y11111110     ;  割り込みラッチ(IL8)クリア
        SET   (EIRH). EF8           ;  TC1許可フラグ
        EI                          ;  IMFセット
        ⋮       ⋮
```

注2) パルス幅測定モードにおいてウィンドウゲートパルスの割り込みエッジの選択(SGEDG)が両エッジかつECIN端子が“1”のとき、タイマカウンタ1のスタート制御(TC1S)を“10”(スタート)に設定するとINTTC1割り込みが発生します。

注3) パルス幅測定モードでは、動作状態モニタ(HECF)を使用できません。

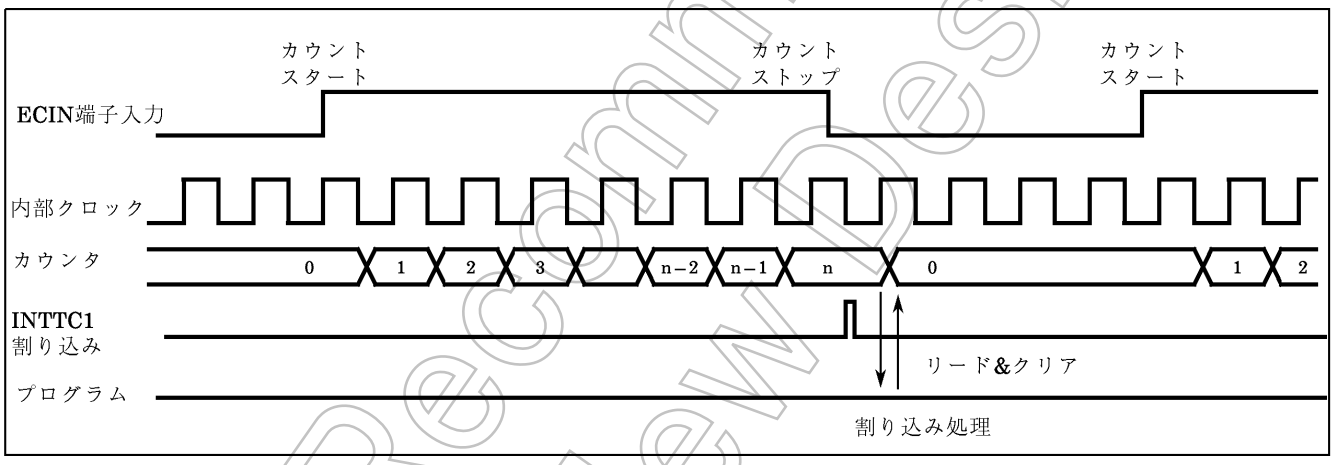


図2-23. パルス幅測定モードタイミングチャート(TC1CR2＜SGEDG＞="0")

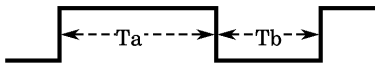
(4) 周波数測定モード

ECIN端子入力パルスの周波数を測定するモードです(TC1CKは外部クロックに設定してください)。TC1CR2のSGP(ウィンドウゲートパルスの選択)で選択されたウィンドウゲートパルスが“H”レベルの期間、入力パルスの立ち下りエッジをカウントし、ウィンドウゲートパルスの立ち下がりエッジもしくは立ち上がり/立ち下がり両エッジ(TC1CR2のSGEDGにより選択可能)でINTTC1割り込みが発生します。ウィンドウゲートパルスとしてECNT端子入力を使用する場合は、SPGを“00”にセットします。カウンタ値(TREG1A)の読み出しは、割り込みサービスプログラムでカウントが停止している状態(ウィンドウゲートパルスが“L”の期間)で行い、その後、TC1Cによりカウンタをクリアしてください。カウンタクリアしない場合、次のカウントスタートよりカウントアップが継続されます。なお、ウィンドウパルスの状態をステータスレジスタのHECFによりモニタでき、また、2進カウンタのオーバフローの検出をステータスレジスタのHEOVFによりモニタすることができます。なお、オーバフローフラグ状態はカウンタクリア要求をしない限り、前のデータが残ったままになります。

Not Recommended for New Design

- ウィンドウゲートパルスにTC6出力 ($\overline{PWM6}/\overline{PDO6}/\overline{PPG6}$) を使用した場合、TC6OUT (TC1CR2のビット1) により、$\overline{PWM6}/\overline{PDO6}/\overline{PPG6}$の外部 (P33) への出力制御が可能です。TC6OUTを“0”にクリアするとP33から$\overline{PWM6}/\overline{PDO6}/\overline{PPG6}$が出力され、TC6OUTを“1”にセットするとP33からは$\overline{PWM6}/\overline{PDO6}/\overline{PPG6}$は出力されません (TC6OUTはP33からの出力のみ制御しますので、$\overline{PWM6}/\overline{PDO6}/\overline{PPG6}$の動作/停止はタイマカウンタ6制御レジスタにて行ってください)。
- 内部ウィンドウゲートパルスを選択した場合、ウィンドウゲートパルスの設定は以下のようになります。
  内部ウィンドウゲートパルスはカウントを行う時間 [“H” レベル期間 (Ta)] と、カウントを停止する時間 [“L” レベル期間 (Tb)]とから構成され、それぞれTREG1Bにより独立に設定できます。従って、一周期はTa＋Tbとなります。

注1) 内部ウィンドウゲートパルスは、内部デバイダに同期して生成されますので、タイマスタート直後に最大でソースクロック(WGPSCK)の一周期分遅れることがあります。
注2) 内部ウィンドウゲートパルスの設定は、タイマカウンタ停止中もしくはTb期間中に行ってください。なお、Tb期間中にTbを書き替えた場合、次のTbの幅から反映されます。



Taおよび Tbの設定時間は、次式で表されます。

(WGPSCK＝10) 時

$(16-n)\times 2^{14}/fc$ [s] または

$(16-n)\times 2^{6}/fs$ [s]

fs＝32.768 kHzの設定時間を右表に示します。

TREG1Bの上位側 (ビット7~4) でTaのセットを行い、下位側 (ビット3~0) でTbのセットを行います。

図2-24. ウィンドウゲートパルス設定時間

表2-5. Ta, Tbの設定 (fs＝32.768 kHz, WGPSCK＝10時)

設定値n	設定時間	設定値	設定時間
0	31.25 ms	8	15.63 ms
1	29.30 ms	9	13.67 ms
2	27.34 ms	A	11.72 ms
3	25.39 ms	B	9.77 ms
4	23.44 ms	C	7.81 ms
5	21.48 ms	D	5.86 ms
6	19.53 ms	E	3.91 ms
7	17.58 ms	F	1.95 ms

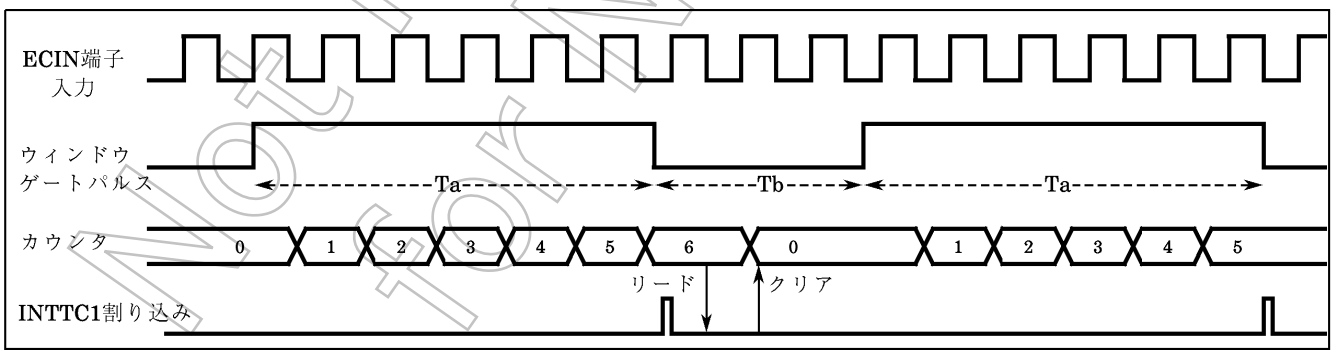


図2-25. 周波数測定モードタイミングチャート
(ウィンドウゲートパルス立ち下がり割り込み(TC1CR2＜SGEDG＞＝"0")の場合)

Not Recommended for New Design

2.8 8ビットタイマカウンタ3, 4, 5, 6 (TC3, 4, 5, 6)

2.8.1 構 成

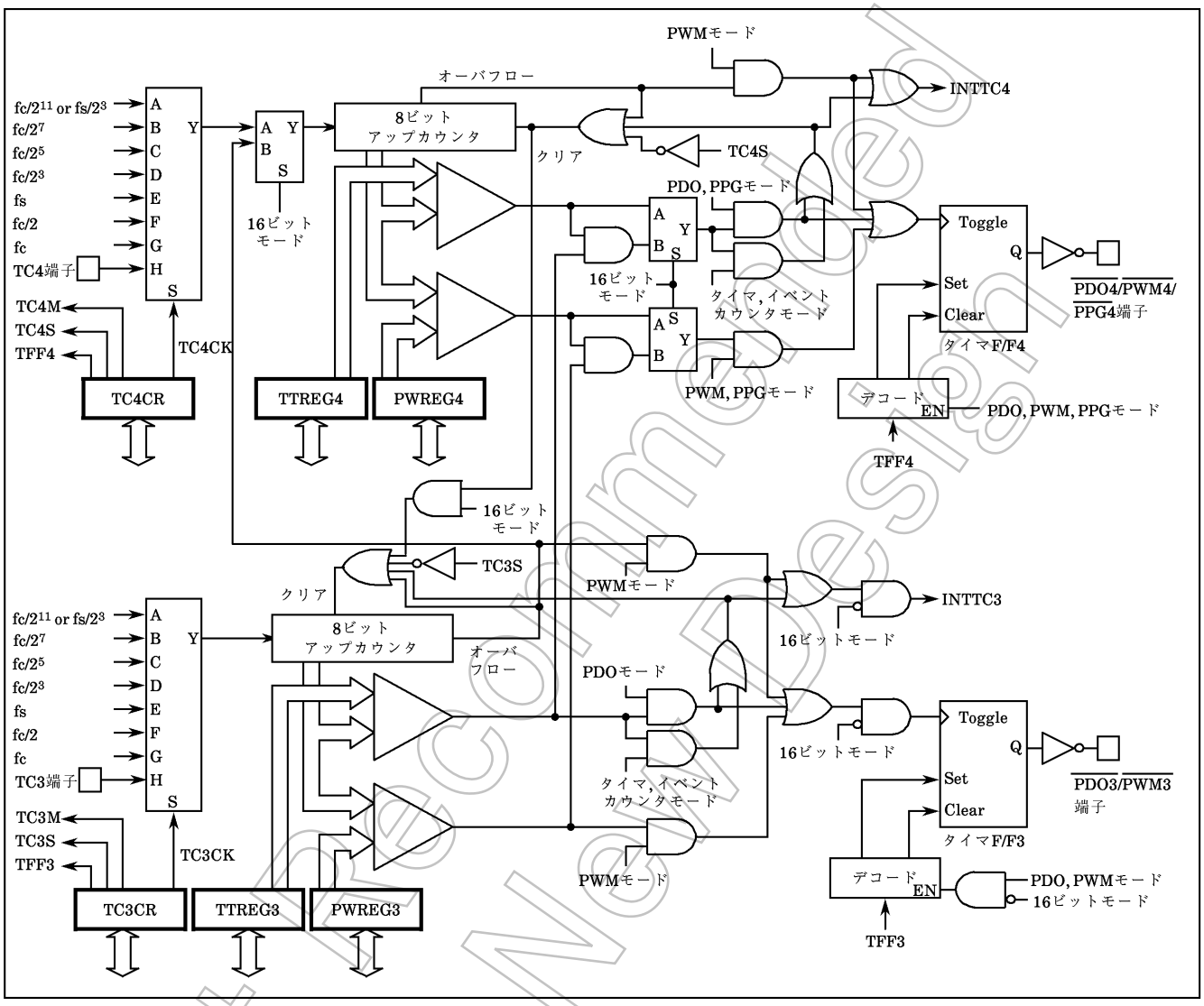


図2-26. 8ビットタイマカウンタ3, 4

Not recommended for New Design

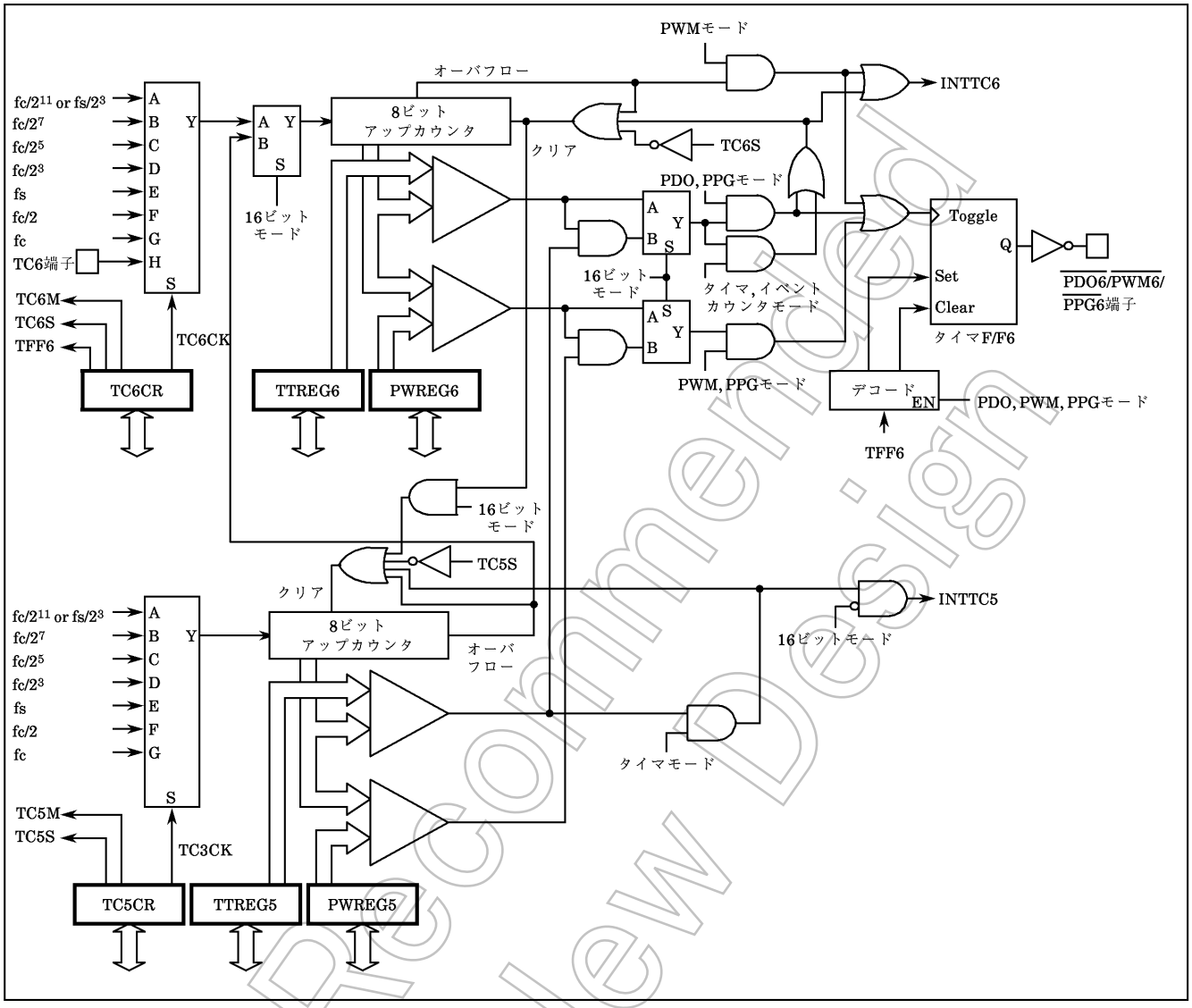


図2-27. 8ビットタイマカウンタ5, 6

Not Recommended for New Design

2.8.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と、2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマレジスタ

TTREG3 ($001C_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

PWREG3 ($002C_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

注1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
注2) 8/16ビット PWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ

TC3CR (0018_H)

7	6	5	4	3	2	1	0
TFF3	TC3CK			TC3S	TC3M		

(初期値: 0000 0000)

TFF3	タイマF/F3の制御	0: クリア 1: セット			R/W
TC3CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2モード	SLOW1/2 SLEEP1/2 モード	
			DV7CK＝0	DV7CK＝1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	–
		010	$fc/2^5$	$fc/2^5$	–
		011	$fc/2^3$	$fc/2^3$	–
		100	fs	fs	fs
		101	fc/2	fc/2	–
		110	fc	fc	fc (注8)
		111	TC3端子入力		
TC3S	タイマスタート制御	0: 動作停止&カウンタクリア 1: 動作開始			
TC3M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: 16ビットモード (各モード選択はTC4Mにて設定してください) 1**: Reserved			

注1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]
注2) タイマ動作中は、TC3M, TC3CK, TFF3の設定を変更しないでください。
注3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3の設定を変更することができます。
注4) 16ビットモードで使用する場合、動作モードの設定はTC4CR<TC4M>にて行い、TC3Mは "011" に固定してください。
注5) 16ビットモードで使用する場合、ソースクロックの選択はTC3CKにて行い、タイマスタート制御, タイマF/Fの制御についてはTC4CR<TC4S>, TC4CR<TFF4>にて設定してください。
注6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表2-6, 2-7を参照してください。
注7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表2-8を参照してください。
注8) SLOW, SLEEPモード時の動作クロックfcは、高周波ウォーミングアップモードとしてのみ使用できます。

図2-28. タイマカウンタ3のタイマレジスタ/制御レジスタ

Not Recommended for New Design

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と、2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマレジスタ

TTREG4 (001D$_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

PWREG4 (002D$_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

注1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
注2) 8/16ビット PWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ4制御レジスタ

TC4CR (0019$_H$)

7	6	5	4	3	2	1	0
TFF4	TC4CK			TC4S	TC4M		

(初期値: 0000 0000)

TFF4	タイマF/F4の制御	0: クリア 1: セット			R/W
TC4CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2モード	SLOW 1/2 SLEEP 1/2 モード	
			DV7CK=0	DV7CK=1	
		000	fc/2^{11}	fs/2^3	fs/2^3
		001	fc/2^7	fc/2^7	–
		010	fc/2^5	fc/2^5	–
		011	fc/2^3	fc/2^3	–
		100	fs	fs	fs
		101	fc/2	fc/2	–
		110	fc	fc	–
		111	TC4端子入力		
TC4S	タイマスタート	0: 動作停止&カウンタクリア 1: 動作開始			
TC4M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16ビットパルス幅変調出力 (PWM) モード 111: 16ビットPPGモード			

注1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]
注2) タイマ動作中は、TC4M, TC4CK, TFF4の設定を変更しないでください。
注3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4の設定を変更することができます。
注4) TC4M = 1**のとき (16ビットモードの上位側のとき) は、TC4CKの設定に関係なく、ソースクロックはTC3オーバフロー信号になります。
注5) 16ビットモードで使用する場合、動作モード選択はTC4Mにて行います。そのとき、TC3CR<TC3M>は必ず "011" に設定してください。
注6) 16ビットモードで使用する場合、ソースクロックの選択はTC3CR<TC3CK>にて行い、タイマスタート制御, タイマF/Fの制御についてはTC4S, TFF4にて設定してください。
注7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表2-6, 2-7を参照してください。
注8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表2-8を参照してください。

図2-29. タイマカウンタ4のタイマレジスタ/制御レジスタ

Not Recommended for New Design

タイマカウンタ5は、タイマカウンタ5制御レジスタ (TC5CR) と、2本の8ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマレジスタ

TTREG5 ($001E_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

PWREG5 ($002E_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

注1) タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。
注2) 16ビット PWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ5制御レジスタ

TC5CR ($001A_H$)

7	6	5	4	3	2	1	0
	TC5CK			TC5S	TC5M		

(初期値: *000 0000)

			NORMAL1/2, IDLE1/2モード		SLOW1/2 SLEEP1/2 モード	
			DV7CK=0	DV7CK=1		
TC5CK	動作クロック選択 [Hz]	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	R/W
		001	$fc/2^7$	$fc/2^7$	–	
		010	$fc/2^5$	$fc/2^5$	–	
		011	$fc/2^3$	$fc/2^3$	–	
		100	fs	fs	fs	
		101	fc/2	fc/2	–	
		110	fc	fc	fc (注8)	
		111	Reserved			
TC5S	タイマスタート制御	0: 動作停止&カウンタクリア 1: 動作開始				
TC5M	動作モード選択	000: 8ビットタイマモード 001: Reserved 010: Reserved 011: 16ビットモード (各モード選択はTC6Mにて設定してください) 1**: Reserved				

注1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]
注2) タイマ動作中は、TC5M, TC5CK, TFF5の設定を変更しないでください。
注3) タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5の設定を変更しないでください。ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5の設定を変更することができます。
注4) 16ビットモードで使用する場合、動作モードの設定はTC6CR<TC6M>にて行い、TC5Mは "011" に固定してください。
注5) 16ビットモードで使用する場合、ソースクロックの選択はTC5CKにて行い、タイマスタート制御, タイマF/Fの制御についてはTC6CR<TC6S>, TC6CR<TFF6>にて設定してください。
注6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表2-6, 2-7を参照してください。
注7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表2-8を参照してください。
注8) SLOW, SLEEPモード時の動作クロックfcは、高周波ウォーミングアップモードとしてのみ使用できます。

図2-30. タイマカウンタ5のタイマレジスタ/制御レジスタ

Not Recommended for New Design

タイマカウンタ6は、タイマカウンタ6制御レジスタ (TC6CR) と、2本の8ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマレジスタ

TTREG6 ($001F_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

PWREG6 ($002F_H$) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

注1) タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。
注2) 8/16ビット PWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。

タイマカウンタ6制御レジスタ

TC6CR ($001B_H$)

7	6	5	4	3	2	1	0
TFF6	TC6CK			TC6S	TC6M		

(初期値: 0000 0000)

TFF6	タイマF/F6の制御	0: クリア 1: セット			R/W
TC6CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2モード	SLOW1/2 SLEEP1/2 モード	
			DV7CK=0	DV7CK=1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	–
		010	$fc/2^5$	$fc/2^5$	–
		011	$fc/2^3$	$fc/2^3$	–
		100	fs	fs	fs
		101	fc/2	fc/2	–
		110	fc	fc	–
		111	TC6端子入力		
TC6S	タイマスタート制御	0: 動作停止&カウンタクリア 1: 動作開始			
TC6M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16ビットパルス幅変調出力 (PWM) モード 111: 16ビットPPGモード			

注1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]
注2) タイマ動作中は、TC6M, TC6CK, TFF6の設定を変更しないでください。
注3) タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6の設定を変更しないでください。ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6の設定を変更することができます。
注4) TC6M = 1**のとき (16ビットモードの上位側のとき) は、TC6CKの設定に関係なく、ソースクロックはTC5オーバフロー信号になります。
注5) 16ビットモードで使用する場合、動作モード選択はTC6Mにて行います。そのとき、TC5CR<TC5M>は必ず "011" に設定してください。
注6) 16ビットモードで使用する場合、ソースクロックの選択はTC5CR<TC5CK>にて行い、タイマスタート制御, タイマF/Fの制御についてはTC6S, TFF6にて設定してください。
注7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表2-6, 2-7を参照してください。
注8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表2-8を参照してください。
注9) $\overline{PWM6}/PDO6/\overline{PPG6}$出力をP33ポートから出力する場合は、TC1CR2<TC6OUT>を "0" に設定してください。

図2-31. タイマカウンタ6のタイマレジスタ/制御レジスタ

Not Recommended for New Design

表2-6. 動作モードと使用できるソースクロック
(NORMAL1/2, IDLE1/2モード時)

動作モード	fc/2^{11} or fs/2^3	fc/2^7	fc/2^5	fc/2^3	fs	fc/2	fc	TCi 端子入力
8ビットタイマ	○	○	○	○	–	–	–	–
8ビットイベントカウンタ	–	–	–	–	–	–	–	○
8ビットPDO	○	○	○	○	–	–	–	–
8ビットPWM	○	○	○	○	○	○	○	–
16ビットタイマ	○	○	○	○	–	–	–	–
16ビットイベントカウンタ	–	–	–	–	–	–	–	○
ウォーミングアップカウンタ	–	–	–	–	○	–	–	–
16ビットPWM	○	○	○	○	○	○	○	–
16ビットPPG	○	○	○	○	–	–	–	–

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ, ウォーミングアップカウンタ, 16ビットPWM, 16ビットPPG) のソースクロックは、下位ビット側 (TC3CK, TC5CK) にて設定します。
注2) i = 3, 4, 6 (16ビットモードはi = 3のみ)

表2-7. 動作モードと使用できるソースクロック
(SLOW1/2, SLEEP1/2モード時)

動作モード	fc/2^{11} or fs/2^3	fc/2^7	fc/2^5	fc/2^3	fs	fc/2	fc	TCi 端子入力
8ビットタイマ	○	–	–	–	–	–	–	–
8ビットイベントカウンタ	–	–	–	–	–	–	–	○
8ビットPDO	○	–	–	–	–	–	–	–
8ビットPWM	○	–	–	–	○	–	–	–
16ビットタイマ	○	–	–	–	–	–	–	–
16ビットイベントカウンタ	–	–	–	–	–	–	–	○
ウォーミングアップカウンタ	–	–	–	–	–	–	○	–
16ビットPWM	○	–	–	–	○	–	–	–
16ビットPPG	○	–	–	–	–	–	–	–

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ, ウォーミングアップカウンタ, 16ビットPWM, 16ビットPPG) のソースクロックは、下位ビット側 (TC3CK, TC5CK) にて設定します。
注2) i = 3, 4, 6 (16ビットモードはi = 3のみ)

表2-8. 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	1≦ (TTREGn) ≦255
8ビットPDO	1≦ (TTREGn) ≦255
8ビットPWM	2≦ (PWREGn) ≦254
16ビットタイマ/イベントカウンタ	1≦ (TTREG4, 3) ≦65535, 1≦ (TTREG6, 5) ≦65535
ウォーミングアップカウンタ	256≦ (TTREG4, 3) ≦65535, 256≦ (TTREG6, 5) ≦65535
16ビットPWM	2≦ (PWREG4, 3) ≦65534, 2≦ (PWREG6, 5) ≦65534
16ビットPPG	1≦ (PWREG4, 3) < (TTREG4, 3) ≦65535 かつ (PWREG4, 3) +1< (TTREG4, 3) 1≦ (PWREG6, 5) < (TTREG6, 5) ≦65535 かつ (PWREG6, 5) +1< (TTREG6, 5)

注) n = 3~6

Not Recommended for New Design

2.8.3 機　能

タイマカウンタ3, 4, 5, 6にはそれぞれ、8ビットタイマモード, 8ビットイベントカウンタモード, 8ビットプログラマブルデバイダ出力 (PDO) モード, 8ビットパルス幅変調出力 (PWM) モード, 16ビットタイマモード, 16ビットイベントカウンタモード, 16ビットパルス幅変調出力 (PWM) モード, 16ビットプログラマブルパルスジェネレート出力 (PPG) モードの8つの動作モードがあります。

16ビットタイマモードは、タイマカウンタ3と4、タイマカウンタ5と6をカスケード接続することにより使用することができます。

(1)　8ビットタイマモード (TC3, 4, 5, 6)

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタi (TTREGi) 設定値との一致でINTTCi割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

注1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、$\overline{\text{PDOj/PWMj/PPGj}}$端子からパルスが出力されることがあります。
注2) タイマモード時は、タイマ動作中にTTREGiの設定値を変更しないでください。タイマモード時、TTREGiはシフトレジスタ構成となりませんので、TTREGiへの設定値は書き替え直後に反映されます。従ってタイマ動作中にTTREGiを書き替えると、想定している動作を得られない場合があります。
注3) j = 3, 4, 6　i = 3~6

表2-9. タイマカウンタ3, 4, 5, 6のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz時	fs = 32.768 kHz時	fc = 16 MHz時	fs = 32.768 kHz時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$fc/2^7$	$fc/2^7$	–	8 μs	–	2.0 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	510 μs	–
$fc/2^3$	$fc/2^3$	–	500 ns	–	127.5 μs	–

例:　ソースクロック$fc/2^7$ [Hz] でタイマモードにセットし、80 μs後に割り込みを発生させる (fc = 16.0 MHz時)。

```
LD    (TTREG4), 0AH        ;  タイマレジスタの設定 (80 μs ÷ 27/fc = 0A_H)
DI
SET   (EIRH). EF11         ;  INTTC4割り込みを許可。
EI
LD    (TC4CR), 00010000B   ;  動作クロックをfc/2^7, 8ビットタイマモードに設定
LD    (TC4CR), 00011000B   ;  TC4スタート
```

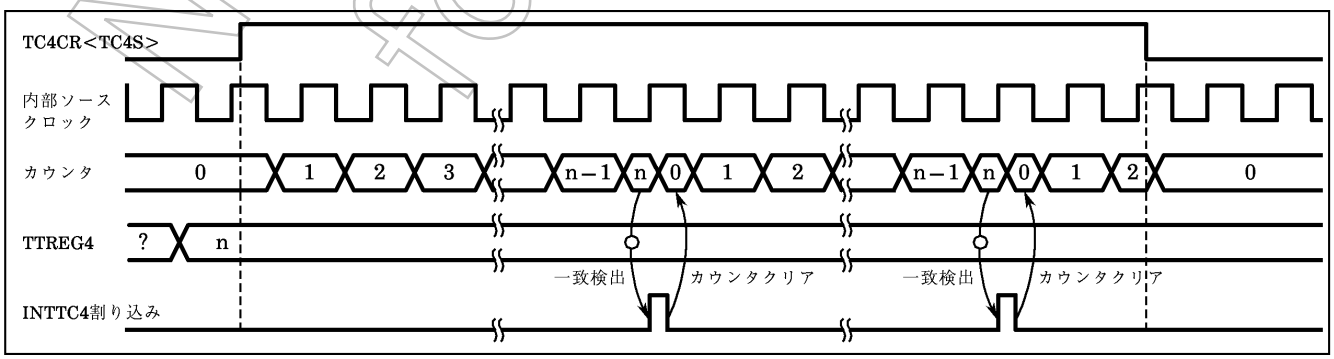


図2-32. 8ビットタイマモードタイミングチャート (TC4の場合)

Not Recommended for New Design

(2) 8ビットイベントカウンタモード (TC3, 4, 6)

TCj端子の立ち下がりでカウントアップするモードです。カウンタ値とTTREGj設定値との一致でINTTCj割り込み発生し、カウンタはクリアされます。カウンタクリア後もTCj端子入力の立ち下がりエッジごとにカウントアップします。最大印加周波数は、fc/2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs/2^4 [Hz] (SLOW1, 2またはSLEEP1, 2モード時) で、"H", "L" レベルともに2マシンサイクル以上のパルス幅が必要です。

注1) イベントカウンタモード時は、TCjCR<TFFj>を "0" に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/PWMj/$\overline{\text{PPGj}}$端子からパルスが出力されることがあります。
注2) イベントカウンタモード時は、タイマ動作中にTTREGjの設定値を変更しないでください。イベントカウンタモード時、TTREGjはシフトレジスタ構成となりませんので、TTREGjへの設定値は書き替え直後に反映されます。従ってタイマ動作中にTTREGjを書き替えると、想定している動作を得られない場合があります。
注3) j = 3, 4, 6

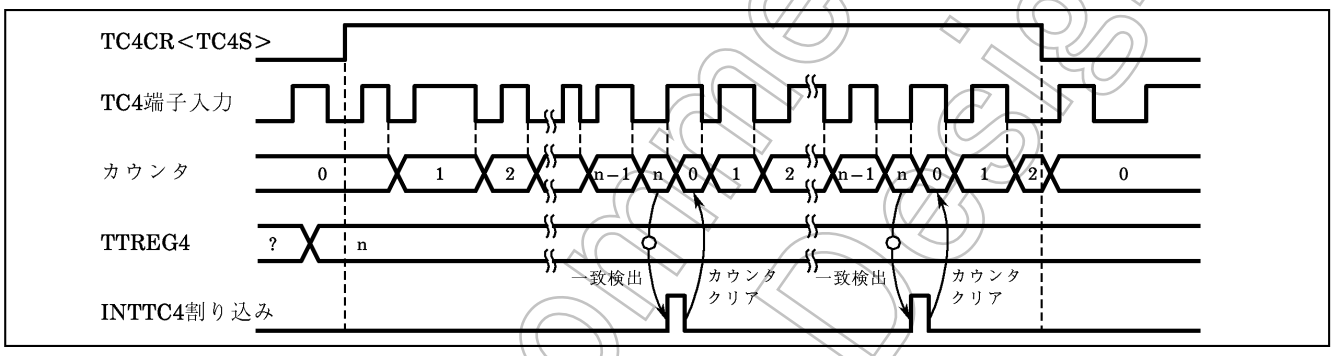


図2-33. 8ビットイベントカウンタモードタイミングチャート (TC4の場合)

(3) 8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4, 6)

内部クロックでカウントアップし、TTREGjとの一致ごとにタイマF/Fj出力を反転し、カウンタをクリアします。タイマF/Fj出力は、反転されて$\overline{\text{PDOj}}$端子に出力されます。プログラマブルデバイダ出力を行う端子は、出力ラッチを "1" にセットします。このモードはデューティ50%のパルス出力に利用できます。なお、タイマF/Fjはプログラムで初期設定することができます。リセット時、タイマF/Fjは "0" に初期化されます。$\overline{\text{PDOj}}$出力反転ごとにINTTCj割り込みが発生します。

例: TC4を使用し、1024 Hzのパルスを出力 (fc = 16.0 MHz, MULSEL<MUL2> = "0" 時)。

```
SET   (P3DR). 2            ;  P32出力ラッチ ← 1
LD    (TTREG4), 3DH        ;  (1/1024 ÷ 2^7/fc) ÷ 2 = 3D_H
LD    (TC4CR), 00010001B   ;  動作クロックをfc/2^7, 8ビットPDOモードに設定
LD    (TC4CR), 00011001B   ;  TC4スタート
```

注1) プログラマブルデバイダ出力モード時は、タイマ動作中にTTREGjの設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGjはシフトレジスタ構成となりませんので、TTREGjへの設定値は書き替え直後に反映されます。従ってタイマ動作中にTTREGjを書き替えると想定している動作を得られない場合があります。
注2) PDO出力中にタイマを停止すると、$\overline{\text{PDOj}}$端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時にTCjCR<TFFj>の設定を変更しないでください。

例: タイマカウンタ停止時に$\overline{\text{PDOj}}$端子を "H" レベルに固定する。

```
CLR   (TCjCR).3    ;  タイマ停止
CLR   (TCjCR).7    ;  PDOj端子を "H" レベルに設定
```

注3) j = 3, 4, 6

Not Recommended for New Design

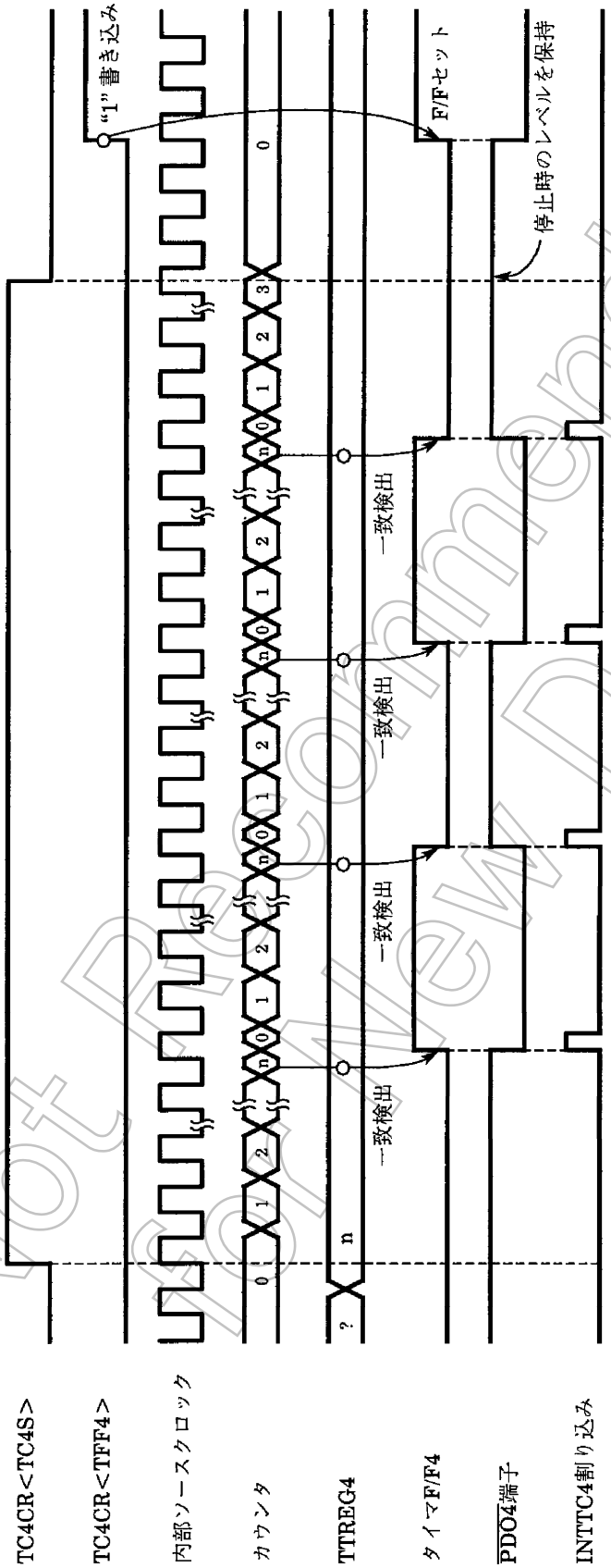


図2-34. 8ビットPDOモードタイミングチャート(TC4の場合)

Not Recommended for New Design

(4) 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4, 6)

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とPWREGi設定値との一致でタイマF/Fi出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/Fi出力を再び反転し、カウンタをクリアします。タイマF/Fi出力は反転されて、$\overline{\text{PWM}}$i端子に出力されます。PWM出力を行う端子は、出力ラッチを“1”にセットします。なお、オーバフロー時には、INTTCi割り込みが発生します。

PWMモード中のPWREGiは、シフトレジスタとの2段構成となっていますので、タイマ動作中にPWREGiの設定値を変更することが可能です。タイマ動作中、PWREGiへの設定値はINTTCi割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREGiにデータを設定した直後にシフトされます。

PWM出力中、PWREGiに対してリード命令を実行するとPWREGiの設定値ではなく、シフトレジスタの値が読み込まれます。従ってPWREGiを設定してからINTTCi割り込みまでの間は、前回のPWREGi設定値が読み込まれます。

注1) PWMモード時、タイマレジスタPWREGiへの書き込みは、INTTCi割り込み発生直後 (通常はINTTCi割り込みサービスルーチン内) に行ってください。タイマレジスタPWREGiへの書き込みとINTTCi割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次のINTTCi割り込みまでの間、設定値と異なるパルスが出力されることがあります。

注2) PWM出力中にタイマを停止すると、$\overline{\text{PWM}}$i端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCiCR<TFFi>の操作を行ってください。ただし、タイマ停止と同時にTCiCR<TFFi>の設定を変更しないでください。

例：タイマカウンタ停止時に$\overline{\text{PWM}}$i端子を“H”レベルに固定する。

```
CLR   (TCiCR).3    ;  タイマ停止
CLR   (TCiCR).7    ;  PWMi出力を“H”レベルに設定
```

注3) PWM出力中、STOPモードを起動する場合は、タイマを停止してからSTOPモードを起動してください。タイマを停止せずにSTOPモードを起動し、さらにソースクロックとしてfc, fc/2またはfsが選択されている場合は、STOP解除後のウォーミングアップ中に$\overline{\text{PWM}}$i端子からパルスが出力されます。

注4) i = 3, 4, 6

表2-10. PWM出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2モード		SLOW1/2, SLEEP1/2モード	fc=16 MHz時	fs=32.768 kHz時	fc=16 MHz時	fs=32.768 kHz時
DV7CK=0	DV7CK=1					
fc/2^{11} [Hz]	fs/2^3 [Hz]	fs/2^3 [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2^7	fc/2^7	–	8 μs	–	2.05 ms	–
fc/2^5	fc/2^5	–	2 μs	–	512 μs	–
fc/2^3	fc/2^3	–	500 ns	–	128 μs	–
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	–	125 ns	–	32 μs	–
fc	fc	–	62.5 ns	–	16 μs	–

Not Recommended for New Design

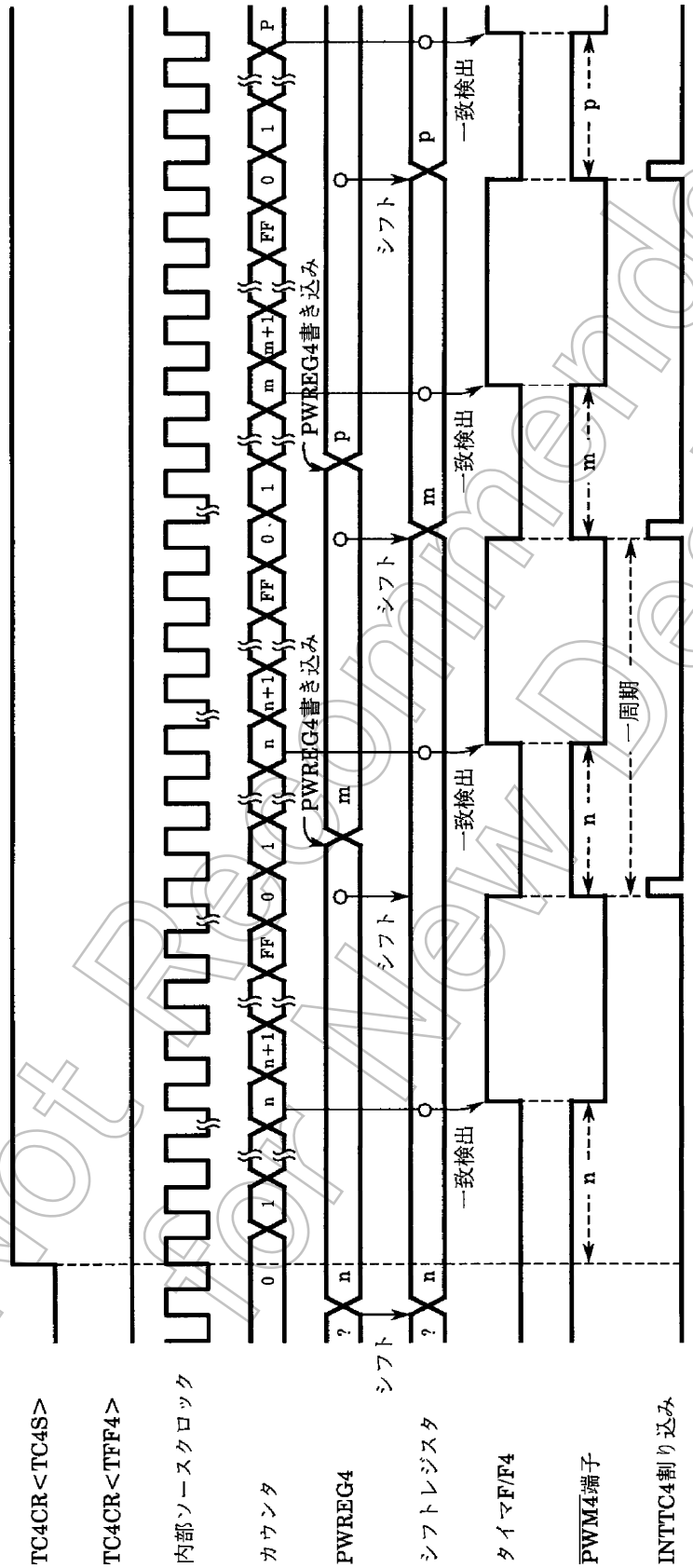


図2-35. 8ビットPWM出力モードタイミングチャート(TC4の場合)

Not Recommended for New Design

(5) 16ビットタイマモード (TC3 + 4, TC5 + 6)

内部クロックでカウントアップするモードです。

タイマカウンタ3と4、タイマカウンタ5と6はそれぞれカスケード接続することにより、16ビットタイマモードとして使用することができます。

a. タイマカウンタ3とタイマカウンタ4のカスケード接続による16ビットタイマモード

TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG3, TTREG4) 設定との一致でINTTC4割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

b. タイマカウンタ5とタイマカウンタ6のカスケード接続による16ビットタイマモード

TC6CR<TC6S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG5, TTREG6) 設定との一致でINTTC6割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

注1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$端子からパルスが出力されることがあります。
注2) タイマモード時は、タイマ動作中にTTREGiの設定値を変更しないでください。タイマモード時、TTREGiはシフトレジスタ構成となりませんので、TTREGiへの設定値は書き替え直後に反映されます。従ってタイマ動作中にTTREGiを書き替えると、想定している動作を得られない場合があります。
注3) j = 3, 4, 6　i = 3~6

表2-11. 16ビットタイマモードのソースクロック

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2モード	fc = 16 MHz時	fs = 32.768 kHz時	fc = 16 MHz時	fs = 32.768 kHz時
DV7CK = 0	DV7CK = 1					
fc/2^{11}	fs/2^3	fs/2^3	128 μs	244.1 μs	8.39 s	16 s
fc/2^7	fc/2^7	–	8 μs	–	524.3 ms	–
fc/2^5	fc/2^5	–	2 μs	–	131.1 ms	–
fc/2^3	fc/2^3	–	500 ns	–	32.8 ms	–

例: ソースクロックfc/2^7 [Hz]でタイマモードにセットし、300 ms後に割り込みを発生させる (fc = 16.0 MHz時)。

```
LDW  (TTREG3), 927CH ;  タイマレジスタの設定 (300 ms÷2^7/fc = 927CH)
DI
SET  (EIRH). EF11    ;  INTTC4割り込みを許可。
EI
LD   (TC3CR), 13H    ;  動作クロックをfc/2^7, 16ビットタイマモード (下位側) に設定
LD   (TC4CR), 04H    ;  16ビットタイマモード (上位側) に設定
LD   (TC4CR), 0CH    ;  タイマスタート
```

Not Recommended for New Design

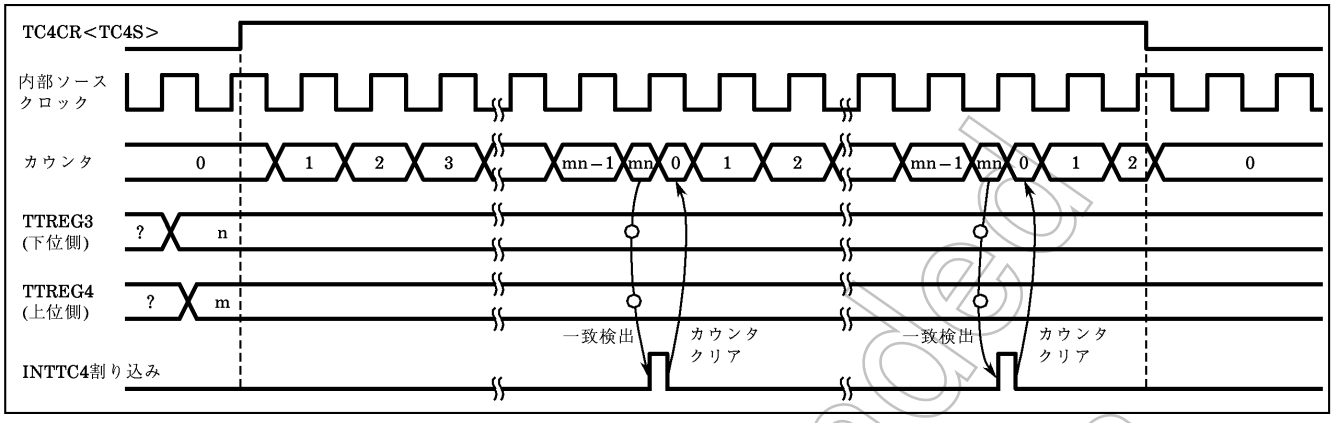


図2-36. 16ビットタイマモードタイミングチャート (TC3 + TC4の場合)

(6) 16ビットイベントカウンタモード (TC3 + 4)

TC3端子の立ち下がりエッジでカウントアップするモードです (TC5とTC6は16ビットイベントカウンタモードでは使用できません)。

タイマカウンタ3と4はそれぞれカスケード接続することにより、16ビットイベントカウンタモードとして使用することができます。

a. タイマカウンタ3とタイマカウンタ4のカスケード接続による16ビットイベントカウンタモード

TC4S (TC4CRのビット3) によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG3, TTREG4) 設定との一致でINTTC3割り込みが発生し、カウンタがクリアされます。カウンタクリア後もTC3端子入力の立ち下がりエッジごとにカウントアップは継続されます。

最大印加周波数は、$fc/2^4$ [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、$fs/2^4$ [Hz] (SLOW1, 2またはSLEEP1, 2モード時) で、"H", "L" レベルともに2マシンサイクル以上のパルス幅が必要です。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

注1) イベントカウンタモード時は、TCjCR<TFFj>を "0" に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/PWMj/PPGj端子からパルスが出力されることがあります。
注2) イベントカウンタモード時は、タイマ動作中にTTREGjの設定値を変更しないでください。イベントカウンタモード時、TTREGjはシフトレジスタ構成となりませんので、TTREGjへの設定値は書き替え直後に反映されます。従ってタイマ動作中にTTREGjを書き替えると、想定している動作を得られない場合があります。
注3) j = 3, 4

Not Recommended for New Design

(7) 16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4, TC5 + 6)

分解能16ビットのPWM出力ができます。タイマカウンタ3と4、タイマカウンタ5と6はそれぞれカスケード接続することにより、16ビットPWMモードとして使用することができます。

a. タイマカウンタ3とタイマカウンタ4のカスケード接続による16ビットPWM出力モード

カウンタ値とタイマレジスタ (PWREG3, PWREG4) 設定との一致でタイマF/F4を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/F4を再び反転し、カウンタをクリアします。PWM出力を行う場合は、P32出力ラッチを "1" にセットします。なお、オーバフロー時INTTC4割り込みが発生します。PWMモード中のPWREG4, 3は、シフトレジスタとの2段構成となっていますので、タイマ動作中にPWREG4, 3の設定値を変更することが可能です。タイマ動作中、PWREG4, 3への設定値はINTTC4割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREG4, 3にデータを設定した直後にシフトされます。PWREG4, 3の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

PWM出力中、PWREG4, 3に対してリード命令を実行すると、PWREG4, 3の設定値ではなくシフトレジスタの値が読み込まれます。従ってPWREG4, 3を設定してからINTTC4割り込みまでの間は、前回のPWREG4, 3設定値が読み込まれます。

b. タイマカウンタ5とタイマカウンタ6のカスケード接続による16ビットPWM出力モード

カウンタ値とタイマレジスタ (PWREG5, PWREG6) 設定との一致でタイマF/F6を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/F6を再び反転し、カウンタをクリアします。PWM出力を行う場合は、P33出力ラッチを "1" にセットします。なお、オーバフロー時にはINTTC6割り込みが発生します。PWMモード中のPWREG6, 5は、シフトレジスタとの2段構成となっていますので、タイマ動作中にPWREG6, 5の設定値を変更することが可能です。タイマ動作中、PWREG6, 5への設定値はINTTC6割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREG6, 5にデータを設定した直後にシフトされます。PWREG6, 5の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

PWM出力中、PWREG6, 5に対してリード命令を実行するとPWREG6, 5の設定値ではなく、シフトレジスタの値が読み込まれます。従ってPWREG6, 5を設定してからINTTC6割り込みまでの間は、前回のPWREG6, 5設定値が読み込まれます。

Not Recommended for New Design

注1) PWMモード時、タイマレジスタPWREGm, nへの書き込みは、INTTCm割り込み発生直後 (通常はINTTCm割り込みサービスルーチン内) に行ってください。タイマレジスタPWREGm, nへの書き込みとINTTCm割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次のINTTCm割り込みまでの間、設定値と異なるパルスが出力されることがあります。

注2) PWM出力中にタイマを停止すると、$\overline{\text{PWMi}}$端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCiCR<TFFi>の操作を行ってください(タイマ停止と同時にTCiCR<TFFi>の設定を変更しないでください)。

例 : タイマカウンタ停止時に$\overline{\text{PWMi}}$端子を "H" レベルに固定する。

```
CLR   (TCiCR).3    ;  タイマ停止
CLR   (TCiCR).7    ;  PWMi端子を "H" レベルに設定
```

注3) PWMモード中、STOPモードを起動する場合は、タイマを停止してからSTOPモードを起動してください。タイマを停止せずにSTOPモードを起動し、さらにソースクロックとしてfc, fc/2またはfsが選択されている場合は、STOP解除後のウォーミングアップ中に$\overline{\text{PWMi}}$端子からパルスが出力されます。

注4) m = 4のときn = 3　m = 6のときn = 5　i = 4, 6

表2-12. 16ビットPWM出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード	fc = 16 MHz時	fs = 32.768 kHz時	fc = 16 MHz時	fs = 32.768 kHz時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$	$fs/2^3$	128 μs	244.14 μs	8.39 s	16 s
$fc/2^7$	$fc/2^7$	–	8 μs	–	524.3 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	131.1 ms	–
$fc/2^3$	$fc/2^3$	–	500 ns	–	32.8 ms	–
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	–	125 ns	–	8.2 ms	–
fc	fc	–	62.5 ns	–	4.1 ms	–

例: P32から周期32.768 ms、"H" レベル幅1 msのパルスを出力する (fc = 16.0 MHz, DV7CK = 0, MULSEL<MUL2> = "0"時)。

```
SET   (P3DR).2            ;  P32の出力ラッチをセット
LDW   (PWREG3), 07D0H     ;  パルス幅の設定
LD    (TC3CR), 33H        ;  動作クロックをfc/2^3, 16ビットPWMモード (下位側) に設定
LD    (TC4CR), 056H       ;  TFF4初期値 "1"、16ビットPWMモード (上位側) に設定
LD    (TC4CR), 05EH       ;  タイマスタート
```

Not Recommended for New Design

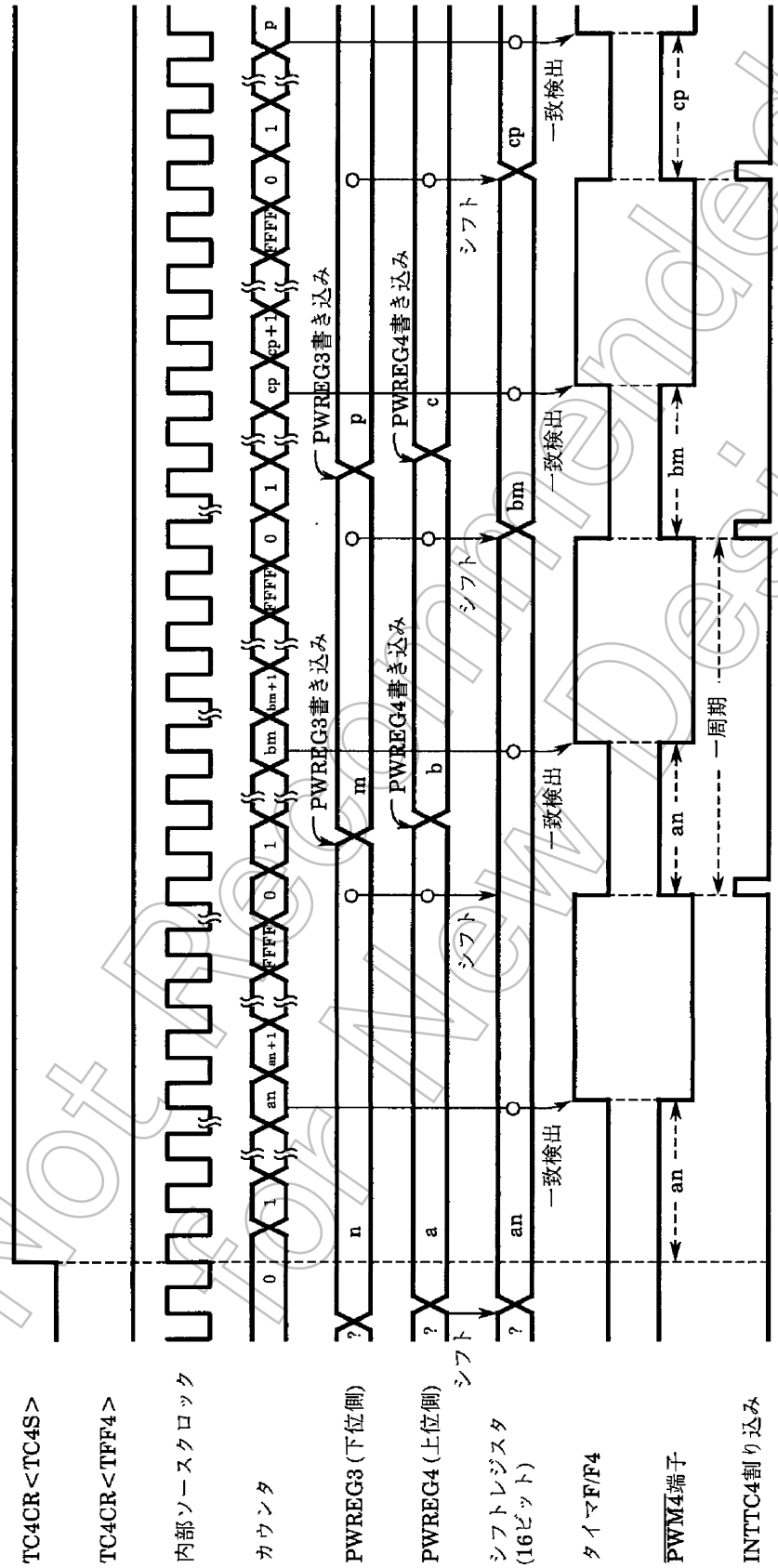


図2-37. 16ビットPWMモードタイミングチャート(TC3 + TC4の場合)

Not Recommended for New Design

(8) 16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4, TC5 + 6)

分解能16ビットのPPG出力ができます。

タイマカウンタ3と4、タイマカウンタ5と6はそれぞれカスケード接続することにより、16ビットPPGモードとして使用することができます。

a. タイマカウンタ3とタイマカウンタ4のカスケード接続による16ビットPPG出力モード

カウンタ値とタイマレジスタ (PWREG3, PWREG4) 設定との一致でタイマF/F4を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマF/F4を再び反転し、カウンタをクリアします。このとき、INTTC4割り込みが発生します。PPG出力を行う場合は、P32出力ラッチを“1”にセットします。タイマF/F4はリセット時“0”にクリアされます。また、TC4CR<TFF4>でタイマF/F4の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。タイマレジスタは、必ず下位側、上位側の順 (TTREG3→TTREG4、PWREG3→PWREG4) に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

b. タイマカウンタ5とタイマカウンタ6のカスケード接続による16ビットPPG出力モード

カウンタ値とタイマレジスタ (PWREG5, PWREG6) 設定との一致でタイマF/F6を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマF/F6を再び反転し、カウンタをクリアします。このとき、INTTC6割り込みが発生します。PPG出力を行う場合は、P33出力ラッチを“1”にセットします。タイマF/F6はリセット時“0”にクリアされます。また、TC6CR<TFF6>でタイマF/F6の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側/上位側だけの変更はできません)。

例: P32から周期16.385 ms、“H”レベル幅1 msのパルスを出力する (fc＝16.0 MHz、DV7CK＝0時)。

```
SET   (P3DR).2          ;  P32の出力ラッチをセット
LDW   (PWREG3), 07D0H   ;  パルス幅の設定
LDW   (TTREG3), 8002H   ;  周期の設定
LD    (TC3CR), 33H      ;  動作クロックをfc/2^3, 16ビットPPGモード (下位側) に設定
LD    (TC4CR), 057H     ;  TFF4初期値“1”, 16ビットPPGモード (上位側) に設定
LD    (TC4CR), 05FH     ;  タイマスタート
```

注1) プログラマブルパルスジェネレートモード時は、タイマ動作中にPWREGi, TTREGiの設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREGi, TTREGiはシフトレジスタ構成となりませんので、PWREGi, TTREGiへの設定値は書き替え直後に反映されます。従ってタイマ動作中にPWREGi, TTREGiを書き替えると、想定している動作を得られない場合があります。

注2) PPG出力中にタイマを停止すると、$\overline{\text{PPGj}}$端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCjCR<TFFj>の操作を行ってください。タイマ停止と同時にTCjCR<TFFj>の設定を変更しないでください。

例: タイマカウンタ停止時に$\overline{\text{PPGj}}$端子を“H”レベルに固定する。

```
CLR   (TCjCR).3     ;  タイマ停止
CLR   (TCjCR).7     ;  PPGj端子を“H”レベルに設定
```

注3) j＝4, 6　i＝3～6

Not recommended for New Design

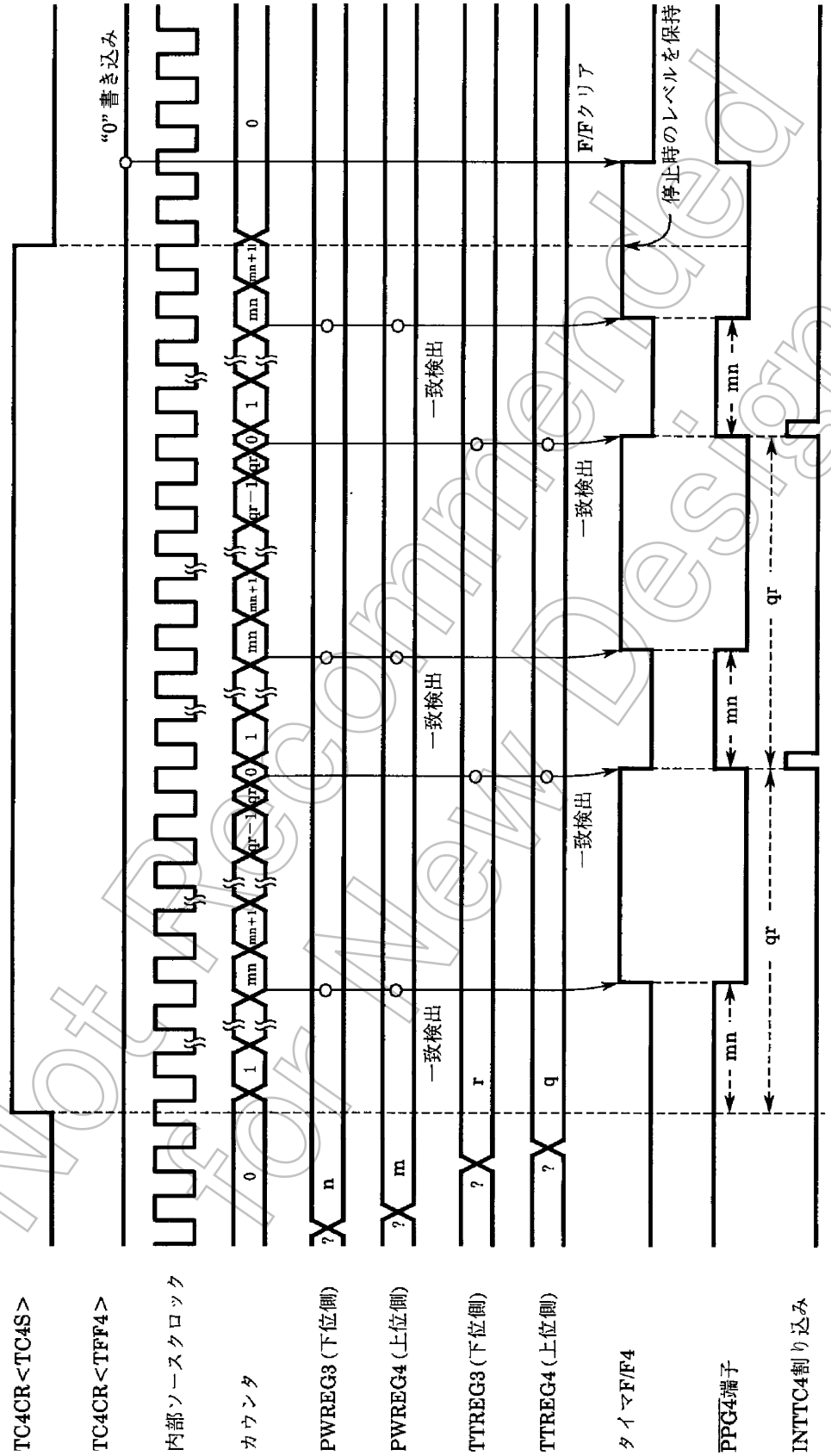


図2-38. 16ビットPPGモードタイミングチャート (TC3 + TC4の場合)

Not Recommended for New Design

(9) ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ3と4、またはタイマカウンタ5と6をカスケード接続し16ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの2つのモードがあります。

注1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、$\overline{\text{PDOi}}$/$\overline{\text{PWMi}}$/$\overline{\text{PPGi}}$端子からパルスが出力されることがあります。
注2) ウォーミングアップカウンタモード時は、タイマレジスタTTREGm, nの下位8ビットは一致検出の対象外となり、上位8ビットのみの一致検出となります。
注3) i = 3, 4, 6　m = 4のときn = 3　m = 6のときn = 5

a. 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロックfsが停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ(TTREGm, n)設定との一致でINTTCm割り込みが発生し、カウンタがクリアされます。INTTCm割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表2-13. 低周波ウォーミングアップカウンタモードの設定時間

(fs = 32.768 kHz時)

最小設定時間 (TTREGm, n = 0100H)	最大設定時間 (TTREGm, n = FF00H)
7.81 ms	1.99 s

例: TC4, 3で低周波クロックの安定した発振を確認後、SLOW1モードへ切り替え

```
        SET   (SYSCR2).6        ; SYSCR2<XTEN> ← "1"
        LD    (TC3CR), 43H      ; TFF3 = "0", ソースクロックfs, 16ビットモードに設定
        LD    (TC4CR), 05H      ; TFF4 = "0", ウォーミングアップカウンタモードに設定
        LD    (TTREG3), 8000H   ; ウォーミングアップ時間をセット
                                  (発振器の特性で時間を決定します)
        DI                      ; IMF ← "0"
        SET   (EIRH).3          ; INTTC4割り込み許可
        EI                      ; IMF ← "1"
        SET   (TC4CR).3         ; TC4, 3スタート
         :      :
PINTTC4: CLR  (TC4CR).3         ; TC4, 3ストップ
        SET   (SYSCR2).5        ; SYSCR2<SYSCK> ← "1"
                                  (システムクロックを低周波に切り替え)
        CLR   (SYSCR2).7        ; SYSCR2<XEN> ← "0" (高周波クロック停止)
        RETI
         :      :
VINTTC4: DW   PINTTC4           ; INTTC4ベクタテーブル
```

Not Recommended for New Design

b. 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロックfcが停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前にSYSCR2＜XEN＞を“1”に設定し、高周波クロックを発振させます。TCmCR＜TCmS＞によりタイマスタート後、カウンタ値とタイマレジスタ(TTREGm, n)設定との一致でINTTCm割り込みが発生し、カウンタがクリアされます。INTTCm割り込みサービスルーチン内でタイマを停止した後、SYSCR2＜SYSCK＞を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2＜XTEN＞を“0”に設定し、低周波クロックを停止します。

表2-14. 高周波ウォーミングアップカウンタモードの設定時間

(fc = 16 MHz時)

最小設定時間 (TTREGm, n＝0100H時)	最大設定時間 (TTREGm, n＝FF00H時)
16 μs	4.08 ms

例: TC4, 3で高周波クロックの安定した発振を確認後、NORMAL1モードへ切り替え

```
        SET    (SYSCR2).7          ; SYSCR2＜XEN＞ ←“1”
        LD     (TC3CR), 63H        ; TFF3＝“0”, ソースクロックfc, 16ビットモードに設定
        LD     (TC4CR), 05H        ; TFF4＝“0”, ウォーミングアップカウンタモードに設定
        LD     (TTREG3), 0F800H    ; ウォーミングアップ時間をセット
                                   (発振器の特性で時間を決定します)
        DI                         ; IMF ←“0”
        SET    (EIRH).3            ; INTTC4割り込み許可
        EI                         ; IMF ←“1”
        SET    (TC4CR).3           ; TC4, 3スタート
         :       :
PINTTC4: CLR   (TC4CR).3           ; TC4, 3ストップ
        CLR    (SYSCR2).5          ; SYSCR2＜SYSCK＞ ←“0”
                                   (システムクロックを高周波に切り替え)
        CLR    (SYSCR2).6          ; SYSCR2＜XTEN＞ ←“0”(低周波クロック停止)
        RETI
         :       :
VINTTC4: DW    PINTTC4             ; INTTC4ベクタテーブル
```

Not Recommended for New Design

2.9 UART (非同期型シリアルインターフェース)

TMP86CM25/S25は、UART (非同期型シリアルインタフェース) を1チャネル内蔵しています。RxD, TxD を通して外部デバイスと接続されます。RxDはP15、TxDはP16と兼用で、RxD, TxD端子として使用する場合、P1の各ポートの出力ラッチを "1" にセットします。

2.9.1 構　成

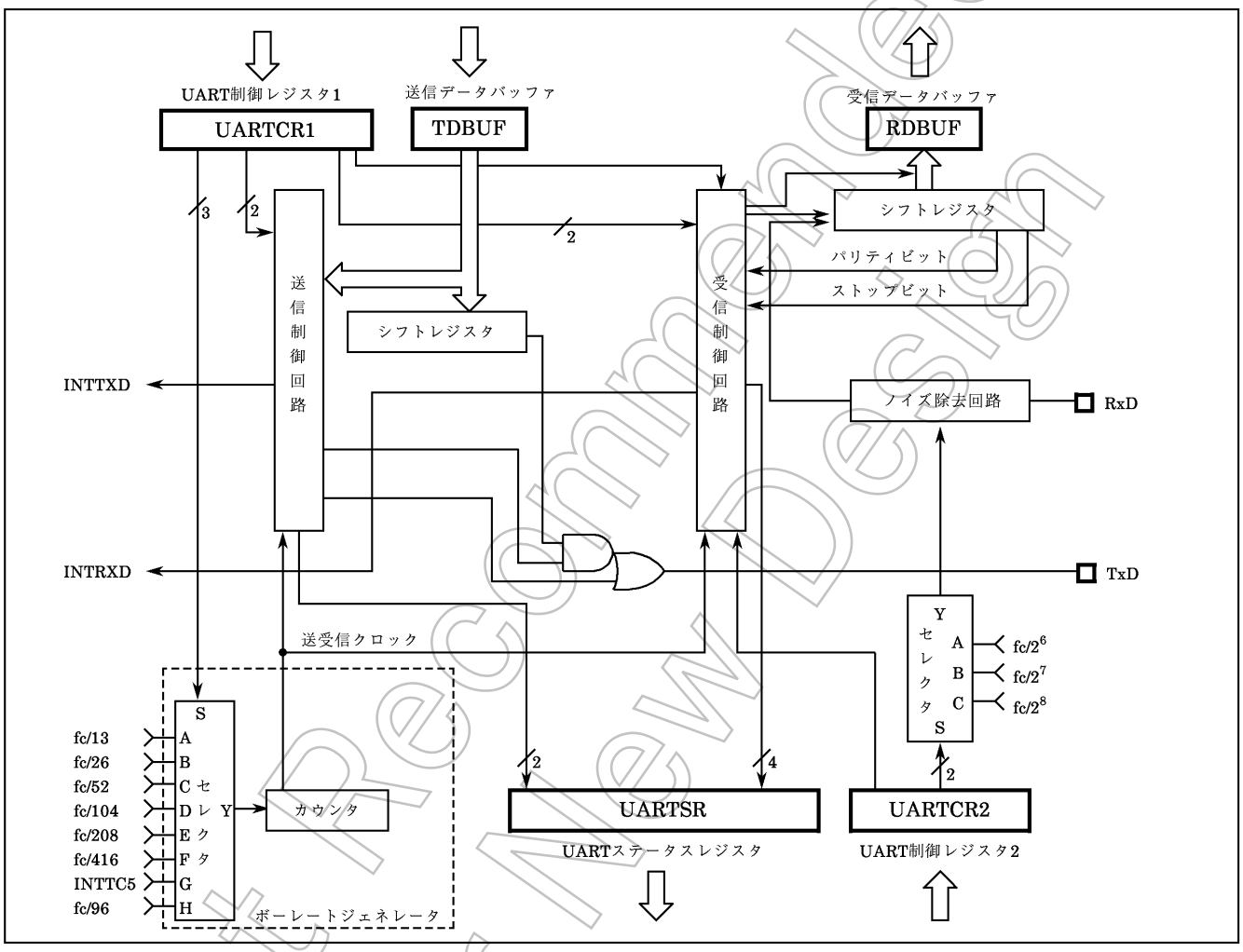


図2-39. UART (非同期型シリアルインタフェース)

Not Recommended for New Design

2.9.2 制　御

UARTは、UART制御レジスタ1, 2 (UARTCR1, UARTCR2) で制御されます。またUARTステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART制御レジスタ

UARTCR1 (0025_H)

7	6	5	4	3	2	1	0
TXE	RXE	STBT	EVEN	PE	BRG		

(初期値:　0000 0000)

BRG	転送のクロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5使用 (INTTC5を入力) 111: fc/96	Write only
PE	パリティ付加	0: パリティなし 1: パリティ付加	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
STBT	送信ストップビット長	0: 1ビット 1: 2ビット	
RXE	受信動作	0: ディセーブル 1: イネーブル	
TXE	送信動作	0: ディセーブル 1: イネーブル	

注1)　TXE, RXEビットを “0” に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、その後送信許可に設定されても、新たにデータを書き込むまで送信動作は行われません。

注2)　転送クロックとパリティは送受信共通です。

注3)　BRGの書き替えは、RXE = “0” かつTXE = “0” のときに行ってください。

UARTCR2 (0026_H)

7	6	5	4	3	2	1	0
					RXDNC		STOPBR

(初期値:　**** *000)

STOPBR	受信ストップビット長	0: 1ビット 1: 2ビット	Write only
RXDNC	RXD入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc [s] 未満のパルスはノイズとして除去 10: 63/fc [s] 未満のパルスはノイズとして除去 11: 127/fc [s] 未満のパルスはノイズとして除去	

注)　RXDNCが“01”の場合96/fc、“10”の場合192/fc、“11”の場合384/fc [s] 以上は、確実に信号とみなされます。

図2-40. UART制御レジスタ

Not Recommended for New Design

UARTステータスレジスタ

UARTSR (0025_H)

7	6	5	4	3	2	1	0
PERR	FERR	OERR	RBFL	TEND	TBEP		

(初期値: 0000 11**)

TBEP	送信バッファエンプティフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファエンプティ (送信割り込み発生後、自動的に"1"にセットされます。)	Read only
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	

UART受信データバッファ

RDBUF ($0F9B_H$)

7	6	5	4	3	2	1	0

Read only
(初期値: 0000 0000)

UART送信データバッファ

TDBUF ($0F9B_H$)

7	6	5	4	3	2	1	0

Write only
(初期値: 0000 0000)

図2-41. UARTステータスレジスタ/データバッファレジスタ

Not Recommended for New Design

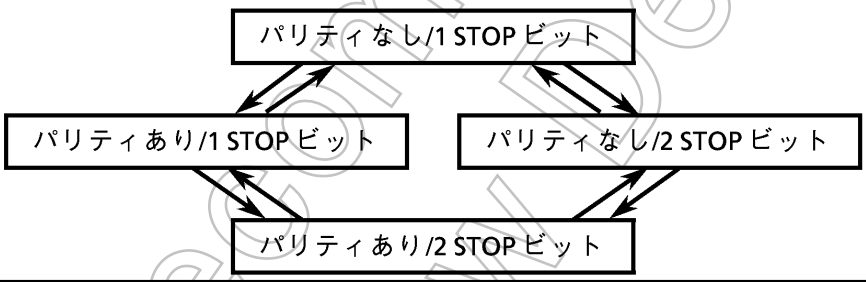
2.9.3 転送データフォーマット

UARTで転送されるデータには、スタートビット1ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1＜STBT＞でビット長の選択可)、パリティUARTCR1＜PE＞でパリティ有無の選択可、UARTCR1＜EVEN＞で偶数/奇数パリティ選択可が付加されます。以下に転送データフォーマットを示します。

表2-15. 転送データフォーマット

PE	STBT	フレーム長 1 2 3 ------- 8 9 10 11 12
0	0	Start Bit 0 Bit 1 ----- Bit 6 Bit 7 Stop 1
0	1	Start Bit 0 Bit 1 ----- Bit 6 Bit 7 Stop 1 Stop 2
1	0	Start Bit 0 Bit 1 ----- Bit 6 Bit 7 パリティ Stop 1
1	1	Start Bit 0 Bit 1 ----- Bit 6 Bit 7 パリティ Stop 1 Stop 2

注) 送信データフォーマットの切り替えは、初期設定時以外は以下の状態遷移にて送信動作を実施し、切り替えを行ってください。



Not Recommended for New Design

2.9.4 転送レート

UARTの転送レート (ボーレート) はUARTCR1<BRG>により設定されます。以下に転送レートの例を示します。

表2-16. 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UARTの転送レートとしてTC5使用を選択したとき (つまりUARTCR1<BRG>="110" に設定したとき)、転送クロックおよび転送レートは

$$\text{転送クロック} = \frac{\text{TC5ソースクロック}}{\text{TTREG5設定値}}$$

$$\text{転送レート} = \frac{\text{転送クロック}}{16}$$

となります。

2.9.5 データのサンプリング方法

UARTのレシーバは、RxD端子入力にスタートビットが見つかるまでUARTCR1<BRG>で選択したクロックで入力のサンプリングを行います。RTクロックは、RxD端子の"L"レベルを検出し、カウントを開始します。スタートビットが見つかるとスタートビット, データビット, ストップビット, パリティビットは、以下に示すように1レシーバクロック (RT1クロック) の間隔 (RT0はビットが始まると予想される位置) でRT7, RT8, RT9の位置で3回サンプリングし、多数決判定 (3回のサンプリングのうち2回または3回) で決定し、ビットのデータとします。

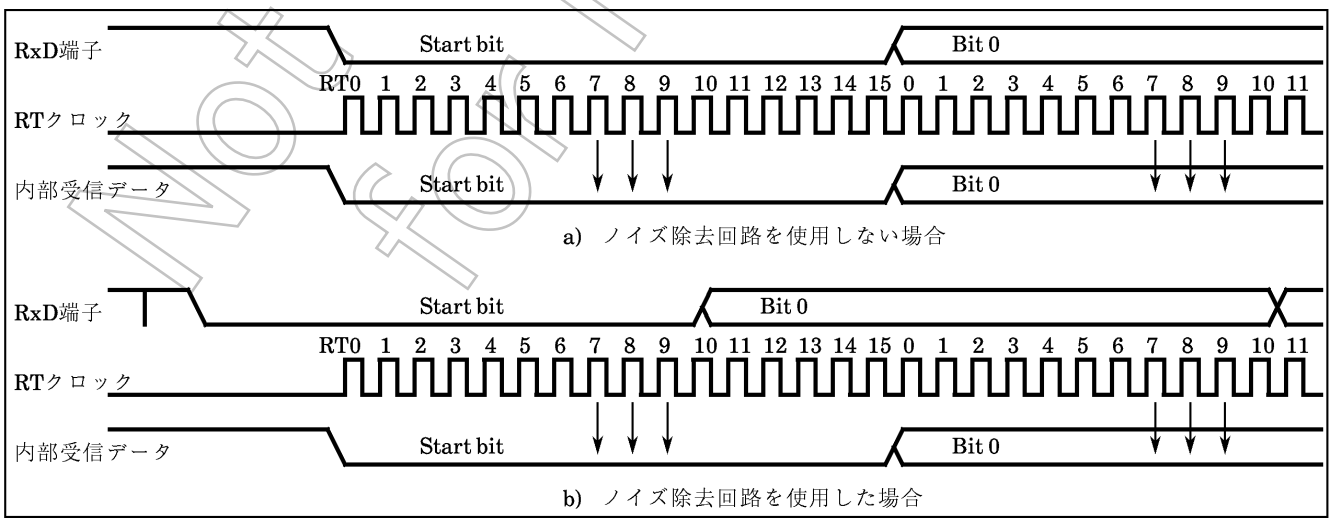


図2-42. データのサンプリング方法

Not Recommended for New Design

2.9.6 STOPビット長

UARTCR1＜STBT＞で送信ストップビット長(1ビット/2ビット)の選択ができます。

2.9.7 パリティ

UARTCR1＜PE＞でパリティ付加の有無を、UARTCR1＜EVEN＞でパリティの種類(奇数/偶数)を設定します。

2.9.8 送受信動作

(1) データ送信動作

UARTCR1＜TXE＞を“1”にセットします。UARTSRを読み出しTBEP＝“1”を確認後、TDBUF(送信データバッファ)にデータを書き込みます。書き込みを行うとUARTSR＜TBEP＞は“0”にクリアされ、データが送信シフトレジスタに転送された後、TxD端子より順次出力されます。このとき出力されるデータには、スタートビット1ビットとUARTCR1＜STBT＞で指定した数のストップビットおよびパリティビット(パリティありの場合)が付加されます。データ転送ボーレートはUARTCR1＜BRG＞で選択します。データの送信が始まると、送信バッファエンプティフラグUARTSR＜TBEP＞は“1”にセットされ、INTTXD割り込みが発生します。
UARTCR1＜TXE＞が“0”の間およびUARTCR1＜TXE＞に“1”を書き込んでからTDBUFに送信データが書き込まれるまでの間、TxD端子は“H”レベルに固定されます。
送信を行う場合、UARTSRを読み出してからTDBUFにデータを書き込んでください。読み出さないと、UARTSR＜TBEP＞が“0”にクリアされず送信が開始されません。

(2) データ受信動作

UARTCR1＜RXE＞を“1”にセットします。その後、RxD端子からデータを受信すると、RDBUF(受信データバッファ)に受信データが転送されます。このとき送られてくるデータにはスタートビットとストップビットおよびパリティビット(パリティありの場合)が付加されています。ストップビットが受信されるとデータだけが取り出され、RDBUF(受信データバッファ)に転送された後、受信バッファフルフラグUARTSR＜RBFL＞がセットされ、INTRXD割り込みが発生します。データ転送ボーレートはUARTCR1＜BRG＞で選択します。
データが受信されたときにオーバランエラーが発生すると、RDBUF(受信データバッファ)へのデータ転送は行われず破棄されます。ただし、RDBUF内のデータは影響を受けません。

注) UARTCR1＜RXE＞ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

Not Recommended for New Design

2.9.9 ステータスフラグ

(1) パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグUARTSR<PERR>が“1”にセットされます。UARTSRを読み出した後、RDBUFを読み出すとUARTSR<PERR>は“0”にクリアされます。

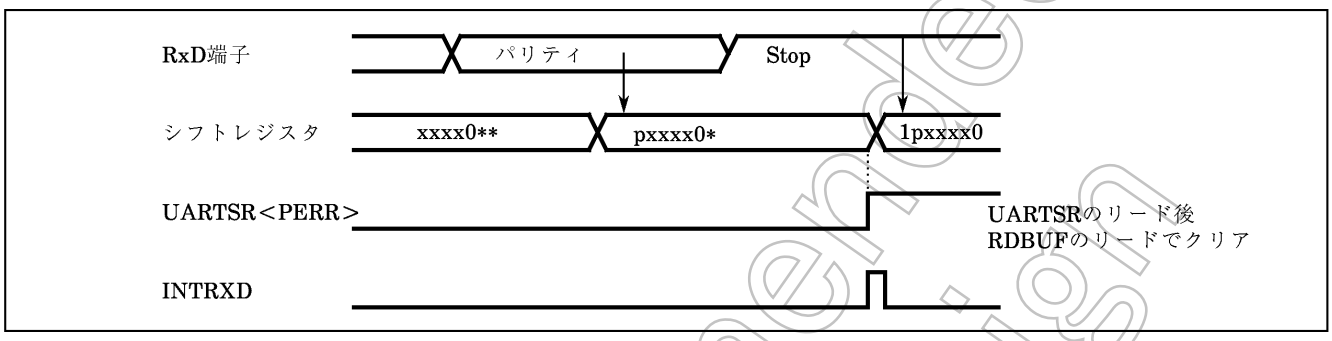


図2-43. パリティエラーの発生

(2) フレーミングエラー

受信データのSTOPビットとして“0”がサンプリングされたときフレーミングエラーフラグUARTSR<FERR>が“1”にセットされます。UARTSRを読み出した後、RDBUFを読み出すとUARTSR<FERR>は“0”にクリアされます。

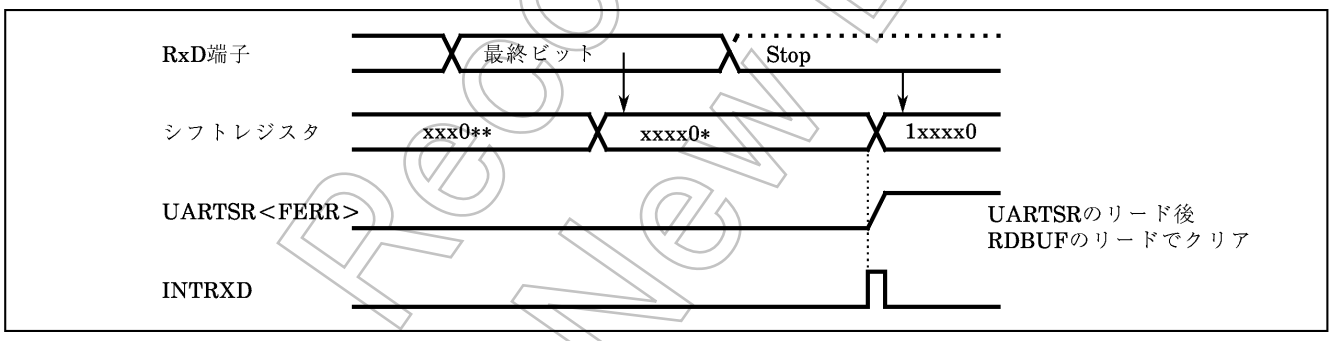


図2-44. フレーミングエラーの発生

Not Recommended for New Design

(3) オーバランエラー

RDBUFに読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグUARTSR<OERR>が“1”にセットされます。この場合、受信データは破棄され、受信データバッファ内のデータは影響を受けません。UARTSRを読み出した後、RDBUFを読み出すとUARTSR<OERR>は“0”にクリアされます。

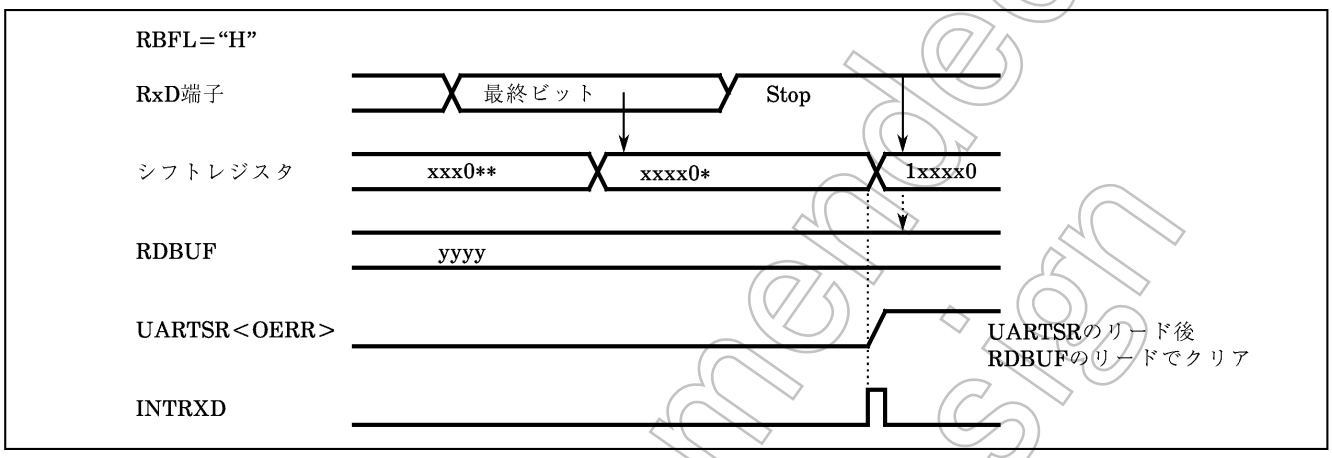


図2-45. オーバランエラーの発生

(4) 受信バッファフル

受信データをRDBUFに取り込むとUARTSR<RBFL>が“1”にセットされます。UARTSRを読み出した後、RDBUFからデータを読み出すとUARTSR<RBFL>は“0”にクリアされます。

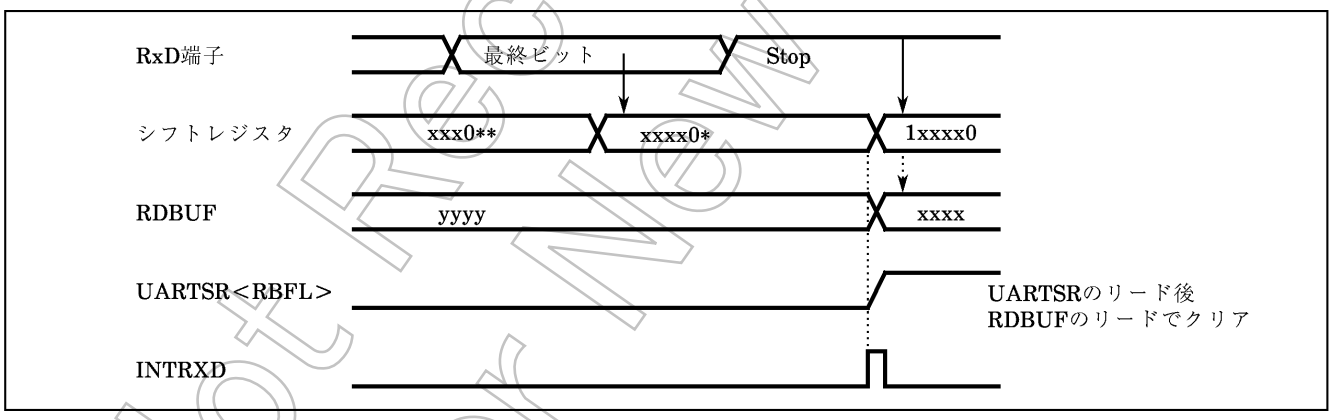


図2-46. 受信バッファフルの発生

Not Recommended for New Design

(5) 送信バッファエンプティ

TDBUFにデータが存在しないとき、つまりTDBUFのデータが送信シフトレジスタに転送され送信が開始されるとき、UARTSR<TBEP>が“1”にセットされます。UARTSRを読み出した後、TDBUFにデータを書き込むとUARTSR<TBEP>は“0”にクリアされます。

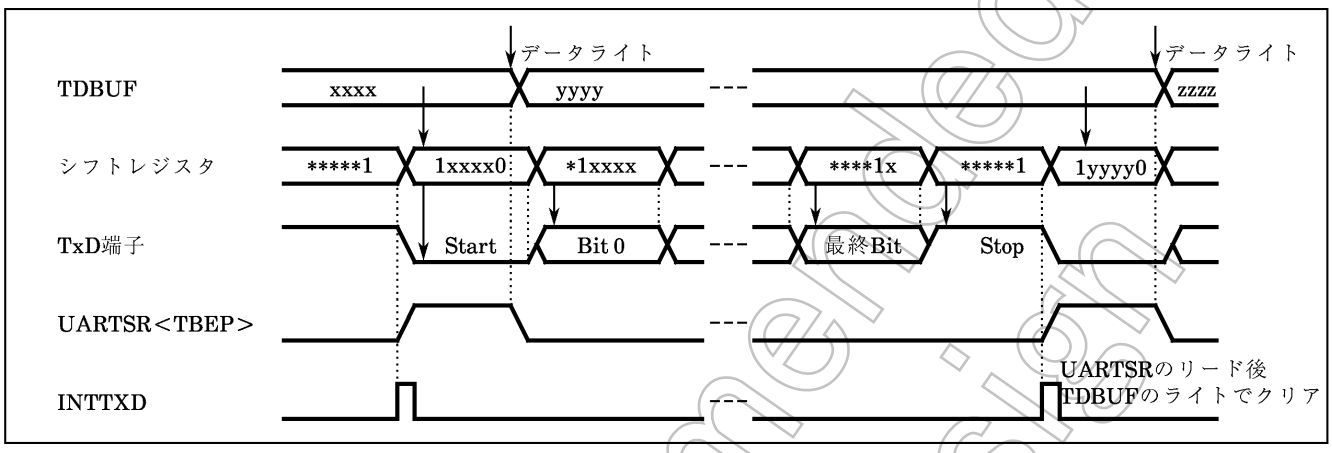


図2-47. 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF内に待機中のデータがないとき(UARTSR<TBEP>=“1”のとき)UARTSR<TEND>が“1”にセットされます。TDBUFにデータを書き込んだ後、送信が開始されるとUARTSR<TEND>は“0”にクリアされます。

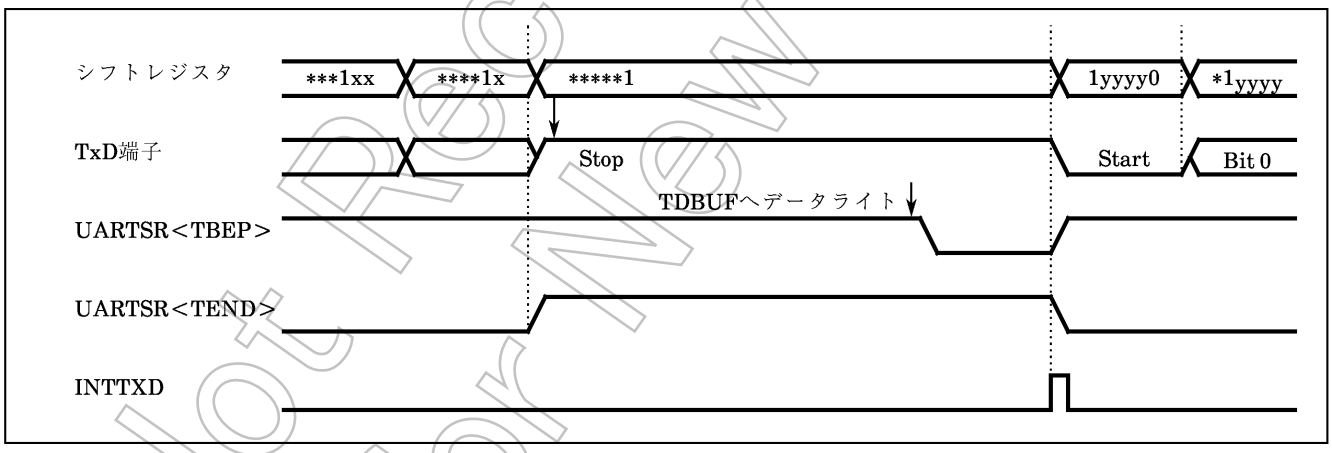


図2-48. 送信バッファエンプティの発生

Not Recommended for New Design

2.10 シリアルインタフェース (SIO0, SIO1)

TMP86CM25/S25は、クロック同期方式の8ビット シリアル インタフェースを2チャネル内蔵しています。シリアル インタフェースは、8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアル インタフェースは、P16 (SO0), P15 (SI0), P17 ($\overline{SCK0}$)およびP76 (SO1), P75 (SI1), P73 ($\overline{SCK1}$) 端子を通して外部デバイスと接続されます。シリアル インタフェース端子は、P1, P7ポートと兼用で、シリアル インタフェース端子として使用する場合、P1, P7ポートの対応するビットの出力ラッチを "1" にセットします。なお、送信モード時にはP15, P75端子が、受信モード時には P16, P76 端子が、通常の入出力ポートとして使用できます。

2.10.1 構 成

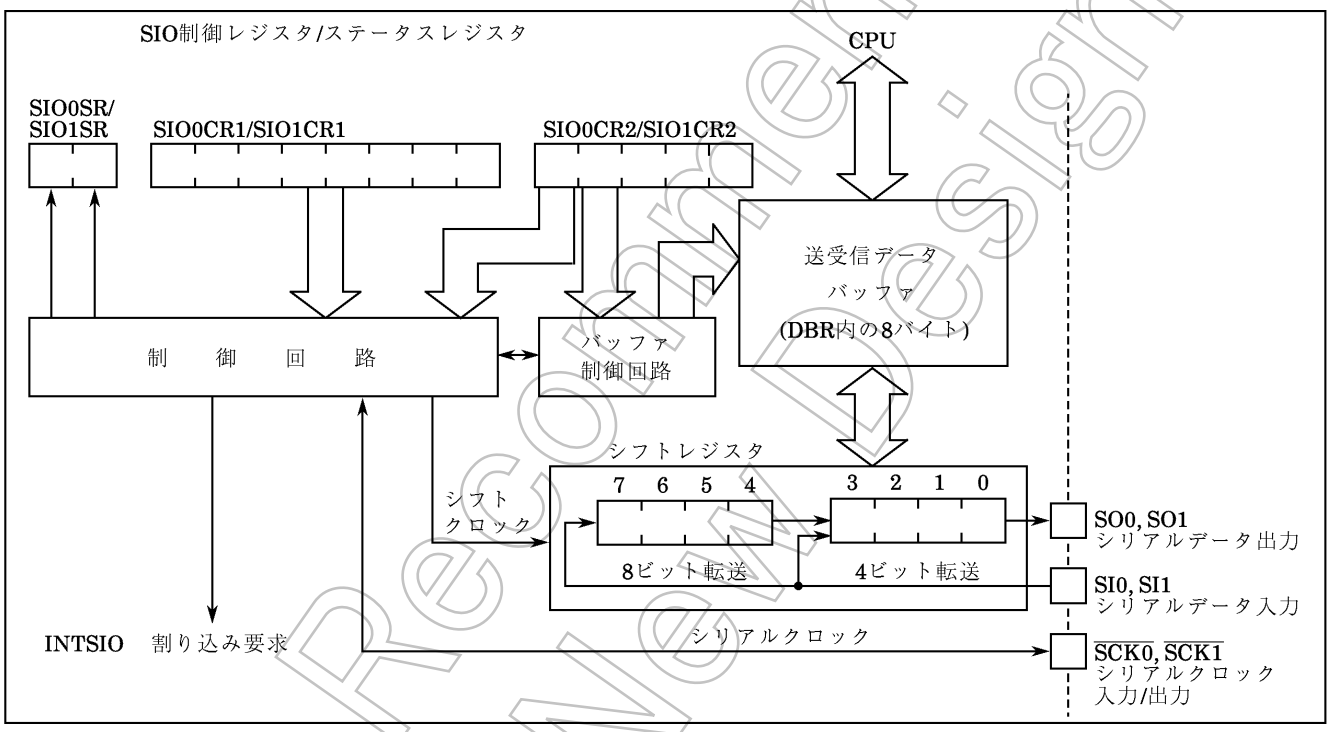


図2-49. シリアル インタフェース

2.10.2 制 御

SIOの制御は、シリアルインタフェース制御レジスタ (SIO0CR1/SIO0CR2, SIO1CR1/SIO1CR2) で行います。また、ステータスレジスタ (SIO0SR, SIO1SR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIO0CR2, SIO1CR2のビット2~0) で行います。送受信データバッファは、DBR領域の$0F90\sim0F97_H$, 0FA0~0FA7 番地に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み (INTSIO0, INTSIO1) が発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信または8ビット受信モードのとき 1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIO0CR2, SIO1CR2のビット4, 3) で4種類の中から選択することができます。

Not Recommended for New Design

シリアルインタフェース制御レジスタ1

SIO0CR1 ($0F98_H$)
SIO1CR1 ($0FA8_H$)

7	6	5	4	3	2	1	0
SIOS	SIOINH	SIOM			SCK		

(初期値: 0000 0000)

SIOS	転送の開始/終了 指示	0: 終了 1: 開始			Write only
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)			
SIOM	転送モードの選択	000: 8ビット 送信モード 010: 4ビット 送信モード 100: 8ビット送受信モード 101: 8ビット 受信モード 110: 4ビット 受信モード 上記以外: Reserved			
SCK	シリアルクロックの選択		NORMAL1/2, IDLE1/2モード		SLOW SLEEP モード
			DV7CK=0	DV7CK=1	
		000	$fc/2^{13}$	$fs/2^5$	$fs/2^5$
		001	$fc/2^8$	$fc/2^8$	–
		010	$fc/2^7$	$fc/2^7$	–
		011	$fc/2^6$	$fc/2^6$	–
		100	$fc/2^5$	$fc/2^5$	–
		101	$fc/2^4$	$fc/2^4$	–
		110	Reserved		–
		111	外部クロック (SCK端子から入力)		

注1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]

注2) 転送モード, シリアルクロックの設定時は、SIOS = "0", SIOINH = "1" にしてください。

注3) SIO0CR1, SIO1CR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ2

SIO0CR2 (0F99H)
SIO1CR2 (0FA9H)

7	6	5	4	3	2	1	0
			WAIT		BUF		

(初期値: ***0 0000)

WAIT	ウェイト制御	8ビット送受信/受信モード以外は常に "00" にしてください。 00: T_f = T_D (ノンウェイト) 01: T_f = $2T_D$ 10: T_f = $4T_D$ (ウェイト) 11: T_f = $8T_D$			Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)		SIO0	SIO1	
		000: 1 ワード転送	$0F90_H$	0FA0H	
		001: 2 ワード転送	0F90 ~ $0F91_H$	0FA0 ~ $0FA1_H$	
		010: 3 ワード転送	0F90 ~ $0F92_H$	0FA0 ~ $0FA2_H$	
		011: 4 ワード転送	0F90 ~ $0F93_H$	0FA0 ~ $0FA3_H$	
		100: 5 ワード転送	0F90 ~ $0F94_H$	0FA0 ~ $0FA4_H$	
		101: 6 ワード転送	0F90 ~ $0F95_H$	0FA0 ~ $0FA5_H$	
		110: 7 ワード転送	0F90 ~ $0F96_H$	0FA0 ~ $0FA6_H$	
		111: 8 ワード転送	0F90 ~ $0F97_H$	0FA0 ~ $0FA7_H$	

Not Recommended for New Design

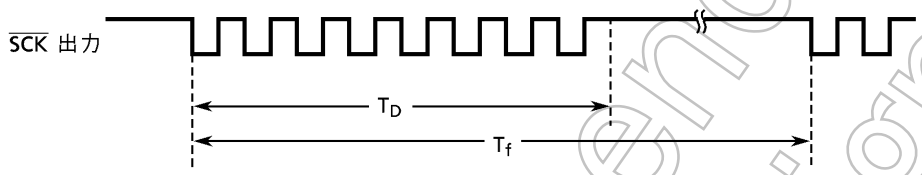
図2-50. シリアルインタフェース制御レジスタ1, 2/ステータスレジスタ (1/2)

SIO0SR ($0F99_H$)
SIO1SR ($0FA9_H$)

7	6	5	4	3	2	1	0
SIOF	SEF						

SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中 (SIOSを "0" にクリアした後、転送が終了した時点、またはSIOINHをセットした時点で "0" となります。)	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

注1) T_f: フレーム時間 (1ワードのデータ転送時間)、T_D: データ転送時間



注2) 4ビット転送のときは、各バッファの下位4ビットに格納されます。受信時上位4ビットには"0"が格納されます。

注3) バッファの若いアドレスの方から送信されます。また、受信は若いアドレスの方から格納されます (最初に転送されるのは$0F90_H$番地です)。

注4) 転送終了後もBUFの設定値は保存されています。

注5) SIO0CR2, SIO1CR2の設定は、シリアルインタフェース停止状態 (SIOF = 0) で行ってください。

注6) *: Don't care

注7) SIO0CR1, SIO0CR2, SIO1CR1, SIO1CR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図2-51. シリアルインタフェース制御レジスタ/ステータスレジスタ (2/2)

Not Recommended for New Design

(1) シリアルクロック

a. クロックソース

SCK (SIOCR1 のビット2~0) により、次の選択ができます。

① 内部クロック

シリアルインタフェースは、7種類の周波数が選択でき、シリアルクロックは $\overline{SCK}$端子より外部に出力されます。なお、転送開始時、$\overline{SCK}$端子出力は "H" レベルになります。

プログラムでデータの書き込み (送信時) または データの読み取り (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表2-17. シリアルクロックレート

	NORMAL1/2, IDLE1/2モード				SLOW, SLEEPモード	
	DV7CK=0		DV7CK=1			
SCK	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート
000	$fc/2^{13}$	1.91 Kbps	$fs/2^5$	1024 bps	$fs/2^5$	1024 bps
001	$fc/2^8$	61.04 Kbps	$fc/2^8$	61.04 Kbps	–	–
010	$fc/2^7$	122.07 Kbps	$fc/2^7$	122.07 Kbps	–	–
011	$fc/2^6$	244.14 Kbps	$fc/2^6$	244.14 Kbps	–	–
100	$fc/2^5$	488.28 Kbps	$fc/2^5$	488.28 Kbps	–	–
101	$fc/2^4$	976.56 Kbps	$fc/2^4$	976.56 Kbps	–	–
110	–	–	–	–	–	–
111	外部		外部		外部	

1 Kbit = 1024 bit
(fc=16 MHz, fs=32.768 kHz)

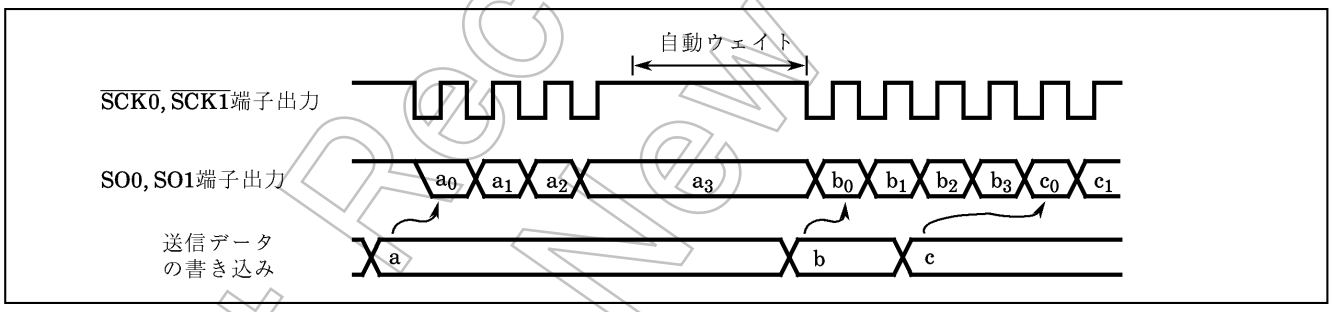
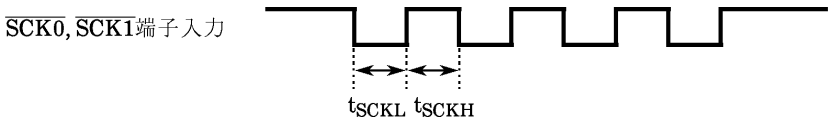


図2-52. 自動ウェイト機能 (4ビット送信モードの場合)

② 外部クロック

外部から $\overline{SCK0}$, $\overline{SCK1}$端子に供給されるクロックをシリアルクロックとして用います。この場合、P17, P73 ($\overline{SCK0}$, $\overline{SCK1}$) の出力ラッチは "1" にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの "H" レベル, "L" レベルともに4マシンサイクル以上パルス幅必要です。従って、最大転送速度は488.3 Kbit/s (fc=16 MHz時) です。



t_{SCKL}, t_{SCKH} > 4 tcyc

注) tcyc = 4/fc (NORAML1/2, IDLE1/2モード時)
4/fs (SLOW, SLEEPモード時)

Not Recommended for New Design

b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ($\overline{SCK0}$, $\overline{SCK1}$端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ($\overline{SCK0}$, $\overline{SCK1}$端子入出力の立ち上がりエッジ) でデータをシフトします。

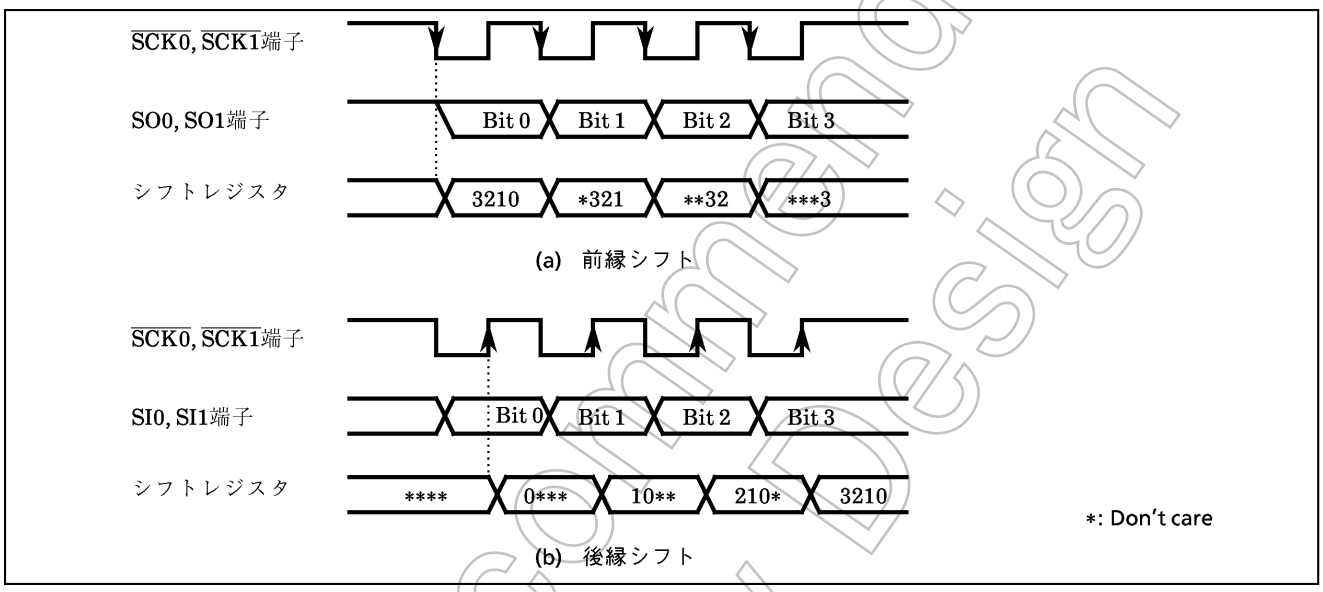


図2-53. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時"0"になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時)/8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO0, INTSIO1割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

Not Recommended for New Design

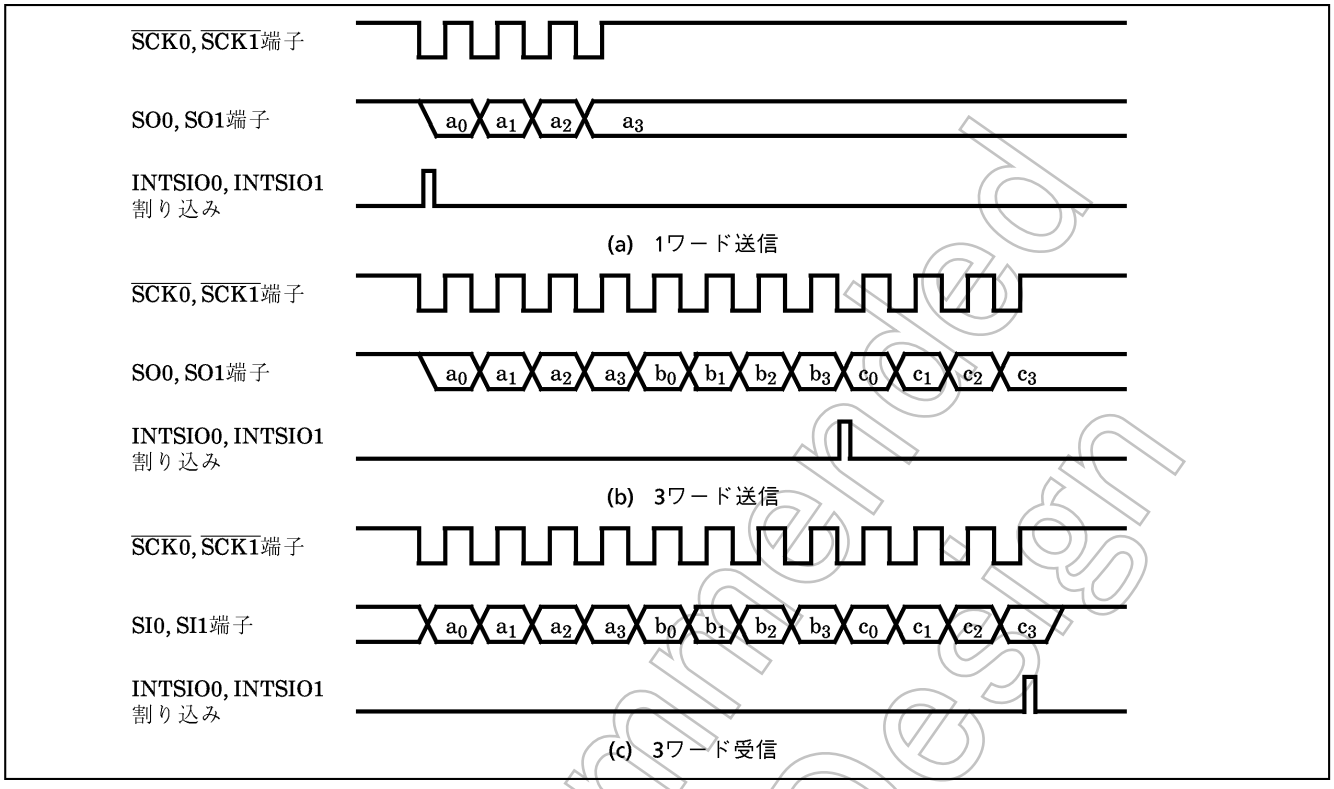


図2-54. 転送ワード数 (例: 1ワード = 4ビット)

(4) 転送モード

SIOM (SIO0CR, SIO1CRのビット3~5) で、送信/受信/送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOSを"1"にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、1ワードずつ バッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、 次の送信データを要求するINTSIO0, INTSIO1 (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信した後、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし, 次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していないDBRへの書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRをほかの用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードのDBRは使用しないでください。

外部クロック動作の場合、次データのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにてバッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

Not Recommended for New Design

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIO0SR, SIO1SRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、直ちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”クリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

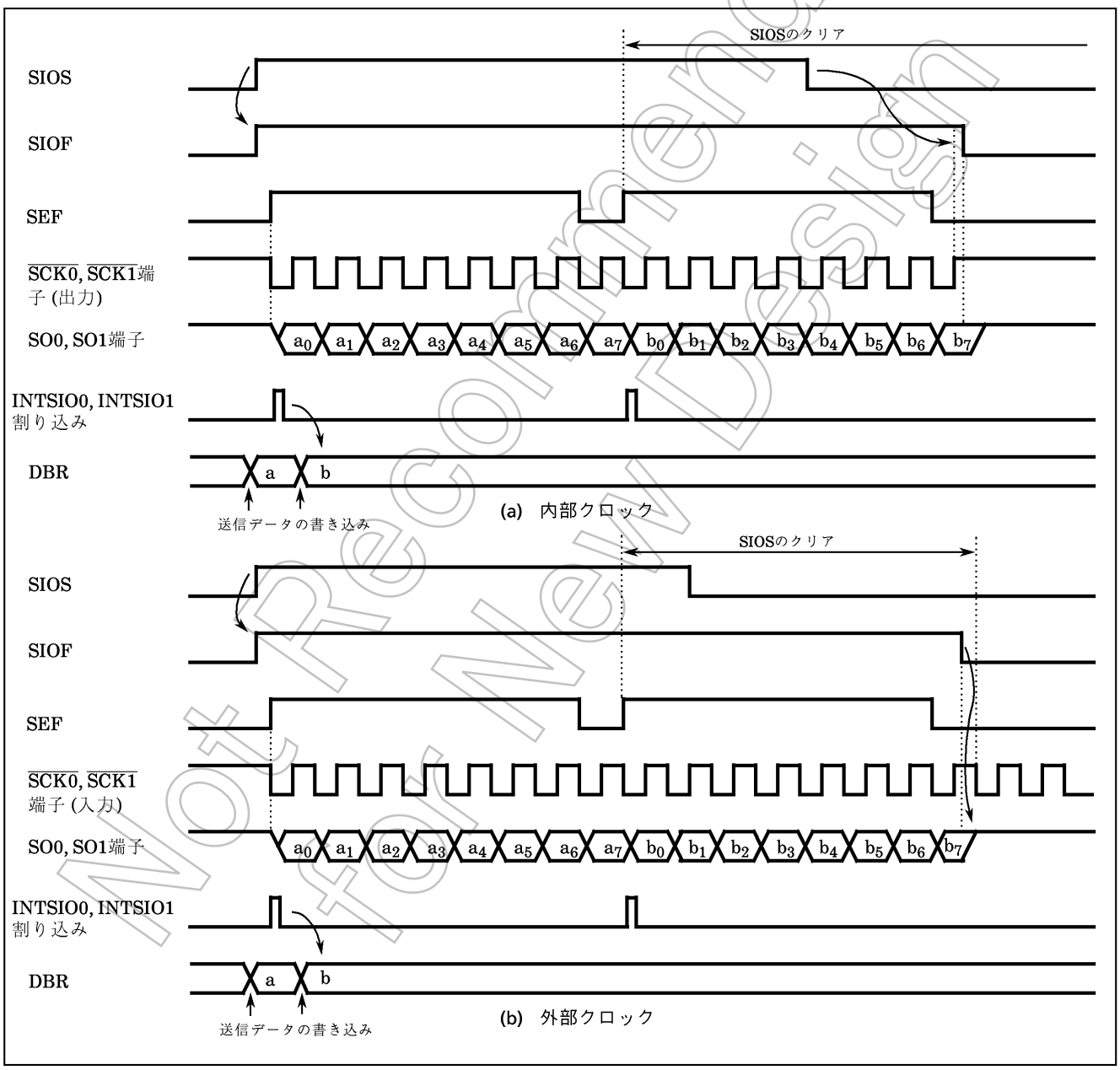


図2-55. 送信モード (例 : 8ビット , 1ワード転送)

Not Recommended for New Design

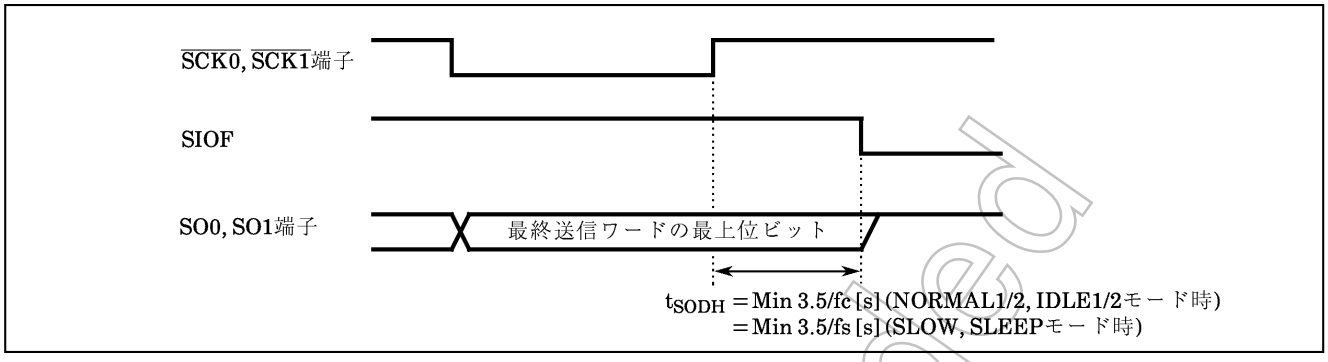


図2-56. 送信終了時の送信データ保持時間

b. 4ビット受信モード , 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI0SI1端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれると、シフトレジスタからデータバッファレジスタ(DBR)に受信データが書き込まれます。BUFで指定されたワード数の受信が終了すると、受信データの読み取りを要求するINTSIO0, INTSIO1 (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していないDBRの読み出しによっても自動ウェイト動作は解除されますので、SIO0, SIO1で不使用のDBRをほかの用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるには、バッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIO0SR, SIO1SRのビット7) をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認の後、最終受信データを読み取ります。SIOINHをセットした場合は、直ちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアしSIOFが“0”になったことを確認後、BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取った後で切り替えてください。

Not Recommended for New Design

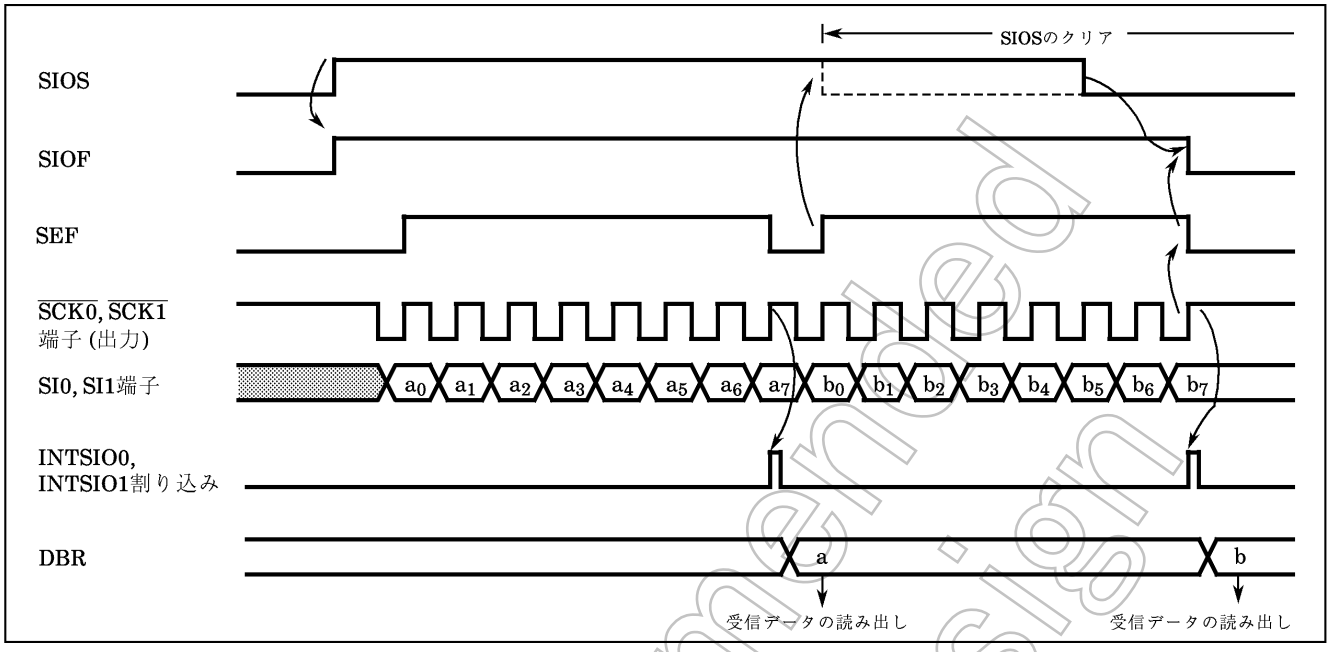


図2-57. 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOSに “1” をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データはSO0, SO1端子から出力され、後縁で受信データがSI0, SI1端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。BUFで指定されたワード数の送受信が終了すると、INTSIO0, INTSIO1割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、その後、送信データを書き込みます。データバッファレジスタは、送信, 受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は、自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO0, INTSIO1割り込みサービスプログラムでSIOSを “0” にクリアするかSIOINHを “1” にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIO0SR, SIO1SR のビット7) をセンスします。SIOFは送受信の終了で “0” になります。SIOINHをセットした場合は、直ちに送受信を打ち切り、SIOFは “0” になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOSを “0” にクリアしSIOFが “0” になったことを確認後、BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

Not Recommended for New Design

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを “0” にクリア) を行い、最終受信データを読み取った後で切り替えてください。

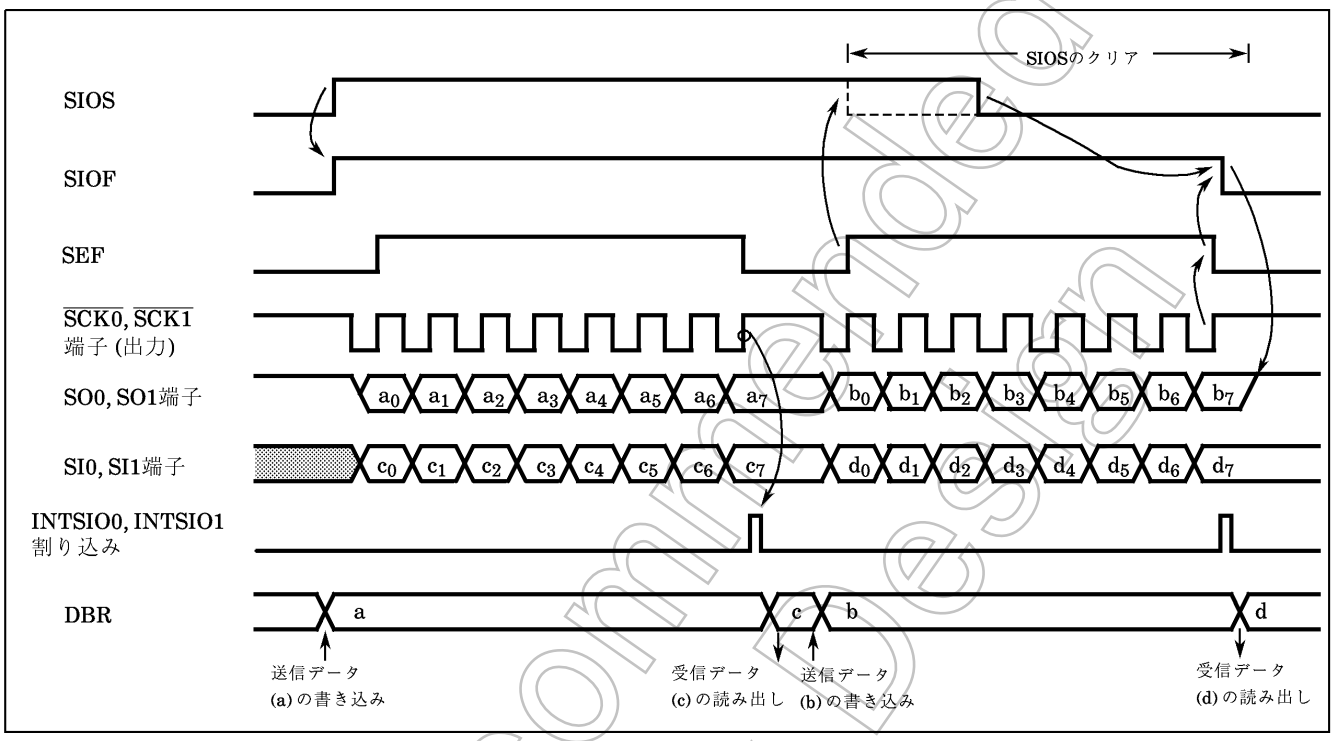


図2-58. 送受信モード (例: 8ビット, 1ワード, 内部クロック)

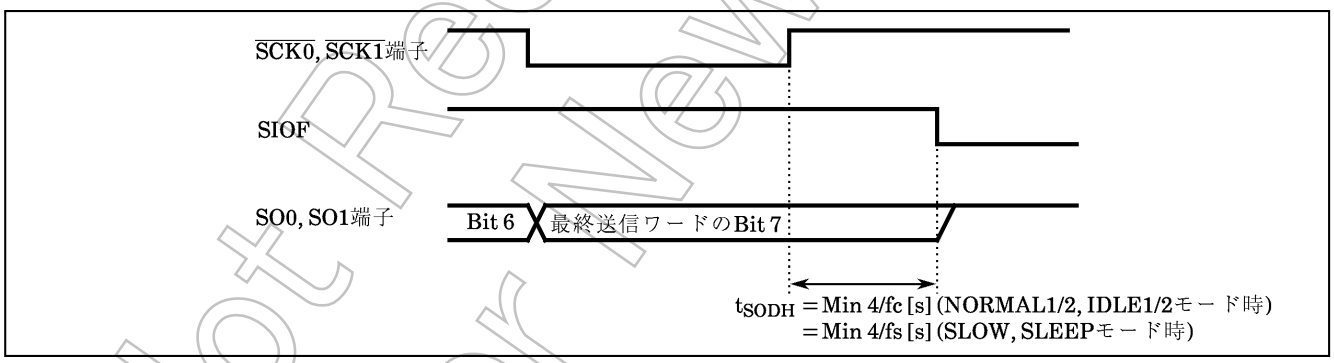


図2-59. 送受信終了時の送信データ保持時間

Not Recommended for New Design

2.11 8ビットADコンバータ

TMP86CM25/S25は、8ビット分解能の逐次比較方式ADコンバータを内蔵しています。

2.11.1 回路構成

8ビットADコンバータの回路構成を図2-60に示します。

制御レジスタADCCR1, ADCCRB2, 変換値レジスタADCDR1, ADCDR2と、DAコンバータ, サンプルホールド回路, コンパレータ, 逐次比較回路などで構成されています。

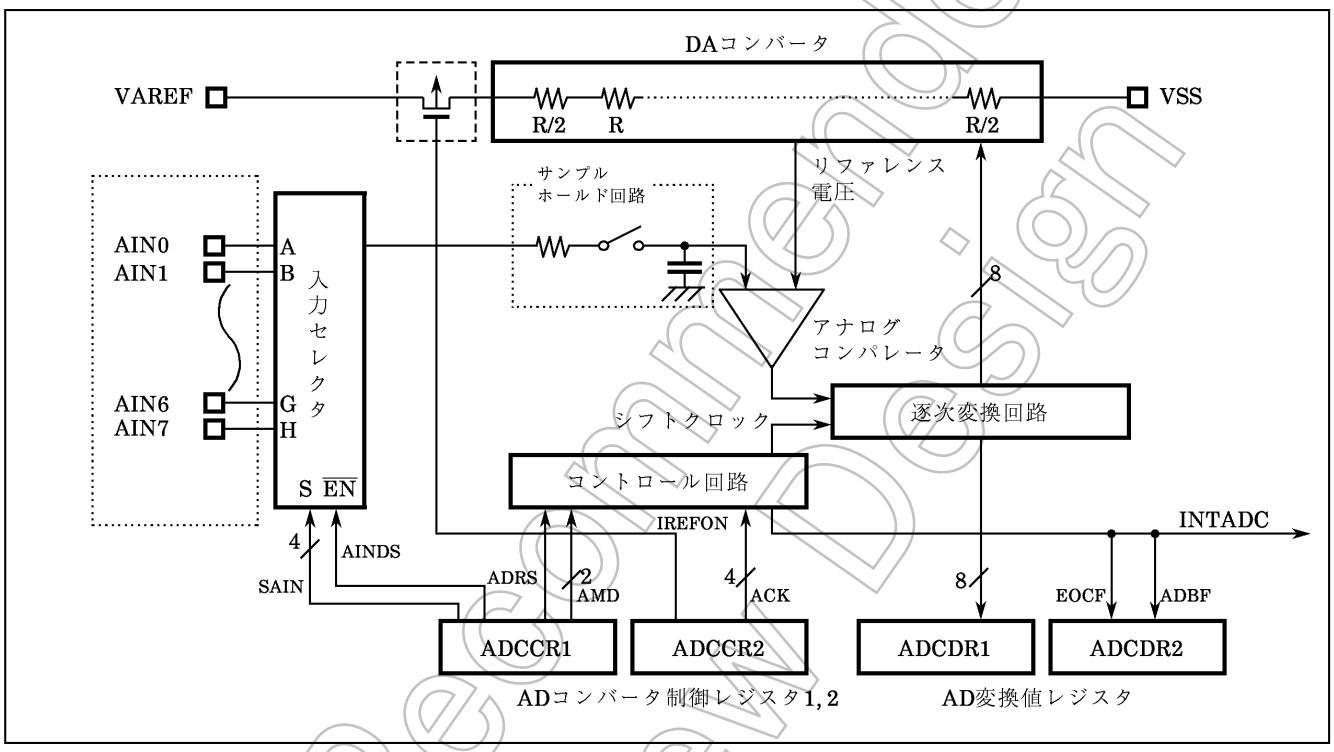


図2-60. 8ビットADコンバータ回路構成

Not Recommended for New Design

2.11.2 レジスタ構成

ADコンバータは、次の4つのレジスタで構成されています。

- ADコンバータ制御レジスタ1 (ADCCR1)
- ADコンバータ制御レジスタ2 (ADCCR2)
- AD変換値レジスタ1/2 (ADCDR1/ADCDR2)

(1) ADコンバータ制御レジスタ1 (ADCCR1)

AD変換を行うアナログチャネルの選択および動作モードの選択とADコンバータの開始を制御するレジスタです。

(2) ADコンバータ制御レジスタ2 (ADCCR2)

AD変換時間の選択と、DAコンバータ (ラダー抵抗) の接続を制御するレジスタです。

(3) AD変換値レジスタ (ADCDR1)

ADコンバータによって変換されたデジタル値を格納するレジスタです。

(4) AD変換値レジスタ (ADCDR2)

ADコンバータの動作状態をモニタするレジスタです。

ADコンバータの制御レジスタ構成を図2-61, 図2-62, 図2-63に示します。

ADコンバータ制御レジスタ1 (ADCCR1)

ADCCR1 ($000E_H$)

7	6	5	4	3	2	1	0
ADRS	AMD		AINDS	SAIN			

(初期値: 0001 0000)

ADRS	AD変換開始	0: — 1: AD変換開始	R/W
AMD	動作モード	00: Reserved 01: ソフトウエアスタートモード 10: Reserved 11: Reserved	
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0を選択 0001: AIN1を選択 0010: AIN2を選択 0011: AIN3を選択 0100: AIN4を選択 0101: AIN5を選択 0110: AIN6を選択 0111: AIN7を選択 1***: Reserved	

注1) アナログ入力チャネルの選択はAD変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
注2) アナログ入力チャネルをすべてディゼーブルにする場合は、AINDSを"1"に設定してください。
注3) アナログ入力は入出力ポートと兼用になっていますが、精度を保つ意味でAD変換中はポート出力命令を実行しないでください。またアナログ入力と接近する入出力ポートにはAD変換中、変化の激しい信号を入力しないようにしてください。
注4) ADRSはAD変換開始後、自動的に"0"にクリアされます。
注5) AD変換中にADRS (ADCCR1のビット7) の再設定は行わないでください。ADRSの再設定は、EOCF (ADCDR2のビット5) にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
注6) STOPまたはSLOWモードを起動すると、ADコンバータ制御レジスタ1 (ADCCR1) はすべて初期化されます。NORMALモードへの復帰後、ADコンバータを使用する場合は、ADCCR1を再設定してください。

図2-61. ADコンバータ制御レジスタ1

Not Recommended for New Design

ADコンバータ制御レジスタ2 (ADCCR2)

	7	6	5	4	3	2	1	0	
ADCCR2 ($000F_H$)			IREFON	"1"	ACK			"0"	(初期値: **00 0000)

IREFON	DAコンバータ (ラダー抵抗) の接続時間	0: AD変換中のみ接続 1: 常時接続	R/W
ACK	AD変換時間選択 (変換時間例は下記表を参照してください)	000: Reserved 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

ACK \ 条件 (fc)	変換時間	16 MHz	8 MHz	4 MHz
000	Reserved			
001	Reserved			
010	78/fc	–	–	19.5 μs
011	156/fc	–	19.5 μs	39.0 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs
110	1248/fc	78.0 μs	156.0 μs	–
111	Reserved			

注1) 上記表内 "–" 部分の設定は行わないでください。

注2) 変換時間は、アナログ基準範囲 (ΔV_{AREF}) によって以下の時間以上を確保するように設定してください。
ΔV_{AREF} = 4.5~5.5 V時 15.6 μs以上
ΔV_{AREF} = 2.7~5.5 V時 31.2 μs以上
ΔV_{AREF} = 1.8~5.5 V時 124.8 μs以上

注3) ADCCR2のビット4には "1"、ビット0には "0" を必ず書き込んでください。

注4) ADCCR2に対しリード命令を実行するとビット7, 6は、不定値が読み込まれます。

注5) STOPまたはSLOWモードを起動すると、ADコンバータ制御レジスタ2 (ADCCR2) はすべて初期化されます。
NORMALモードへの復帰後、ADコンバータを使用する場合は ADCCR2を再設定してください。

図2-62. ADコンバータ制御レジスタ2

AD変換値レジスタ (ADCDR1, ADCDR2)

	7	6	5	4	3	2	1	0	
ADCDR1 (0020_H)	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00	(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
ADCDR2 (0021_H)			EOCF	ADBF					(初期値: **00 ****)

EOCF	AD変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD変換BUSYフラグ	0: AD変換停止中 1: 変換実行中	

注1) EOCFはAD変換値レジスタ (ADCDR1) をリードすると "0" にクリアされます。

注2) ADBFはAD変換開始により "1" にセットされ、AD変換動作が終了すると "0" にクリアされます。
また、スタンバイモード (STOP, SLOWモード) に入るときにもクリアされます。

注3) ADCDR2に対しリード命令を実行すると、ビット7, 6, 3~0は不定値が読み込まれます。

図2-63. ADコンバータ変換値レジスタ

Not Recommended for New Design

2.11.3 ADコンバータの動作

(1) ADコンバータ制御レジスタ1 (ADCCR1) を以下のように設定してください。

- AD入力チャネル選択 (SAIN) によりAD変換するチャネルを選択してください。
- アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
- ADコンバータ制御の動作モードを (AMD) にて指定してください。

(2) ADコンバータ制御レジスタ2 (ADCCR2) を以下のように設定してください。

- AD変換時間 (ACK) によりAD変換時間を設定してください。変換時間の設定については、ADコンバータ制御レジスタ2の (注2) をご参照ください。
- DAコンバータの制御 (IREFON) を選択してください。

(3) 上記 (1), (2) を設定後、ADコンバータ制御レジスタ1 (ADCCR1) のAD変換開始 (ADRS) に “1” を設定すると、直ちにAD変換を開始します。

(4) 指定されたAD変換時間後にAD変換値をAD変換値レジスタ1 (ADCDR1) に格納し、AD変換値レジスタ2 (ADCDR2) のAD変換終了フラグ (EOCF) に “1” をセットすると、同時にAD変換割り込みINTADCを発生します。

(5) 変換結果を読み出すと、EOCFは “0” にクリアされます。ただし、読み出し前に再変換を行った場合はEOCFは “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

Not Recommended for New Design

2.11.4 ADコンバータの動作モード

(1) ソフトウエアスタートモード

AMD (ADCCR1のビット6, 5) を “01” (ソフトウエアスタートモード) に設定後、ADRS (ADCCR1のビット7) を “1” に設定することにより、SAIN (ADCCR1のビット0~3) で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ (ADCDR1) に格納し、EOCF (ADCDR2のビット5) に “1” をセットするとともにAD変換終了割り込み (INTADC) を発生します。

ADRSはAD変換を開始後、自動的にクリアされます。AD変換中にADRS (ADCCR1のビット7) の再設定 (再スタート) は行わないでください。ADRSの再設定はEOCF (ADCDR2のビット5) にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込みルーチンなど) に行ってください。

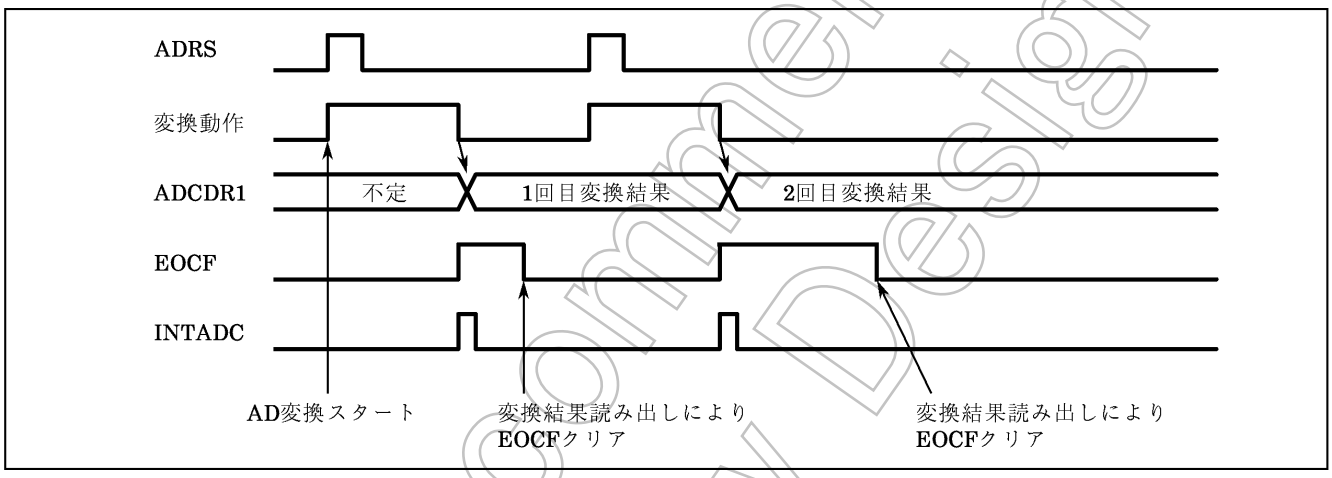


図2-64. ソフトウエアスタートモード動作

2.11.5 AD変換時のSTOP/SLOWモード

AD変換中に強制的にスタンバイモード (STOPまたはSLOWモード) に入ると、AD変換は中断されADコンバータは初期化されます (ADCCR1, ADCCR2は初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、スタンバイモードに入る前に変換結果は読み出すようにしてください)。またスタンバイモードから復帰した際には、自動的にAD変換を再開しませんので、再度AD変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

Not Recommended for New Design

2.11.6 入力電圧と変換結果

例: 変換時間19.5 μs @ 16 MHzおよびアナログ入力チャネルAIN3端子を選択後、AD 変換を1回行います。EOCFを確認して変換値を読み出し、RAMの009F$_H$番地に8ビットのデータを格納します。動作モードは、ソフトウエアスタートモードです。

```
        ; AIN SELECT
        LD          (P6CR), 00000000B       ; P6CRビット3＝0
        LD          (P6DR), 00000000B       ; P6DRビット3＝0
        LD          (ADCCR1), 00100011B     ; AIN3を選択
        LD          (ADCCR2), 11011000B     ; 変換時間(312/fc), 動作モードを選択
        ; AD CONVERT START
        SET         (ADCCR1). 7             ; ADRS＝1
SLOOP:  TEST        (ADCDR2). 5             ; EOCF＝1？
        JRS         T, SLOOP
        ; RESULT DATA READ
        LD          A, (ADCDR1)
        LD          (9FH), A
```

アナログ入力電圧とAD変換された8ビットデジタル値とは図2-65のように対応します。

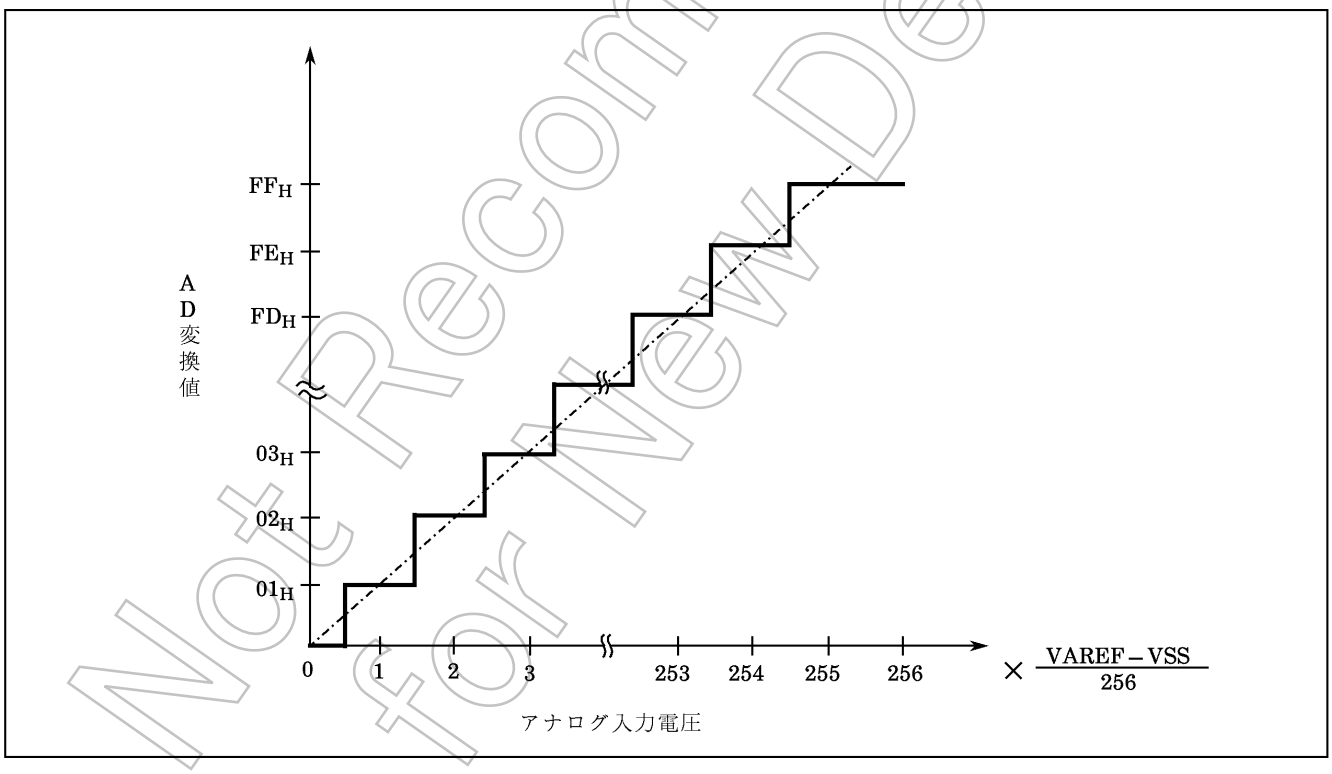


図2-65. アナログ入力電圧とAD 変換値 (typ.) の関係

Not Recommended for New Design

2.11.7 ADコンバータの注意事項

(1) アナログ入力端子電圧範囲

アナログ入力端子(AIN0~AIN7)は、VAREF-VSS間で使用してください。この範囲外の電圧が入力されると、その入力端子の変換値が不定となります。また、ほかのアナログ入力端子の変換値にも影響を与えます。

(2) アナログ入力兼用端子

アナログ入力端子(AIN0~AIN7)は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用してAD変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので注意が必要です。

(3) ノイズ対策

アナログ入力端子の内部等価回路は、図2-66のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは5 kΩ以下になるように設計してください。また、コンデンサの外付けを推奨します。

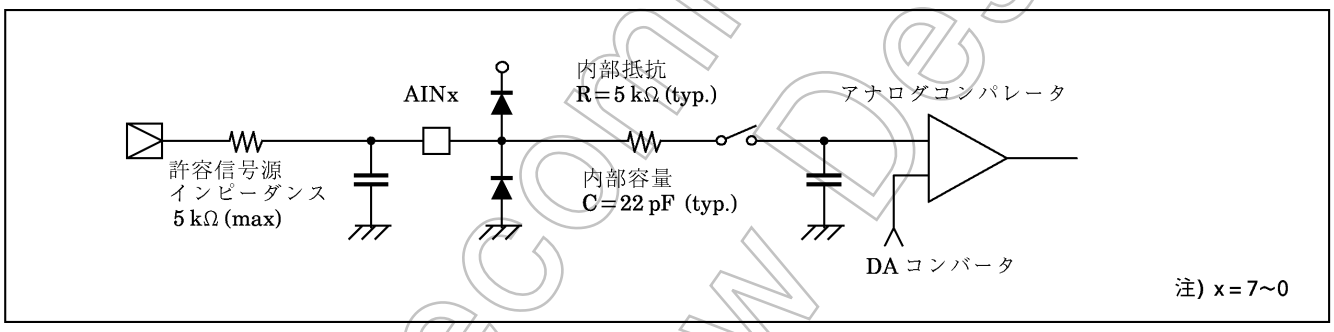


図2-66. アナログ入力等価回路と入力端子処理例

Not Recommended for New Design

2.12 キーオンウェイクアップ (KWU)

TMP86CM25/S25では、P20 ($\overline{INT5}$/$\overline{STOP}$) 端子以外にP64~P67の4つの端子でもストップモードの解除が可能です。

P64~P67ポートの入力でストップモードを解除する場合、P20端子の論理に注意が必要です。詳細については、後述の「2.12.2 制御」にて説明しておりますので参照してください。

2.12.1 構 成

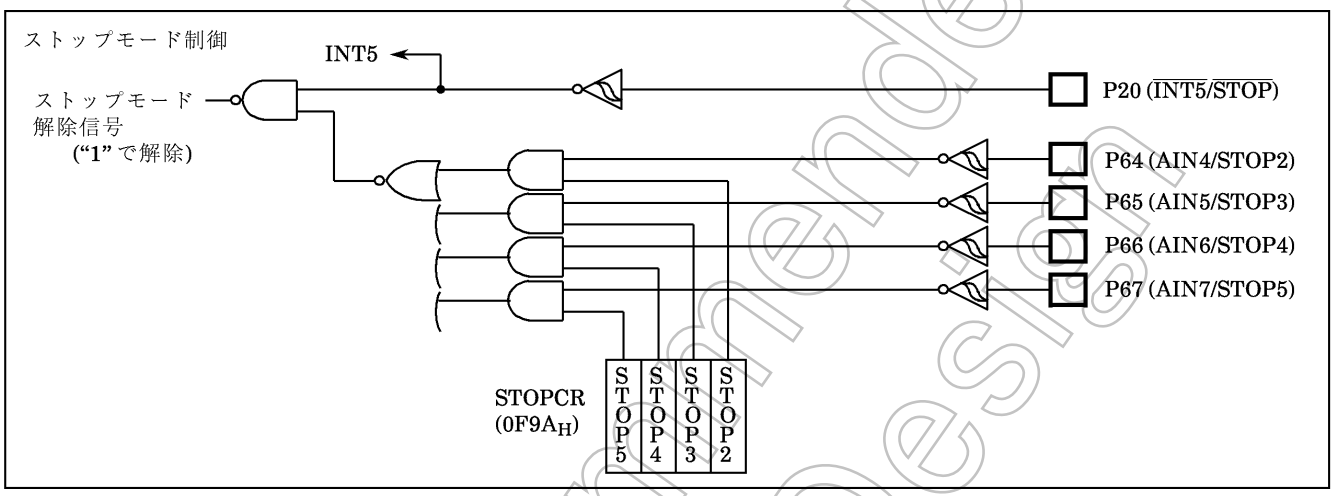
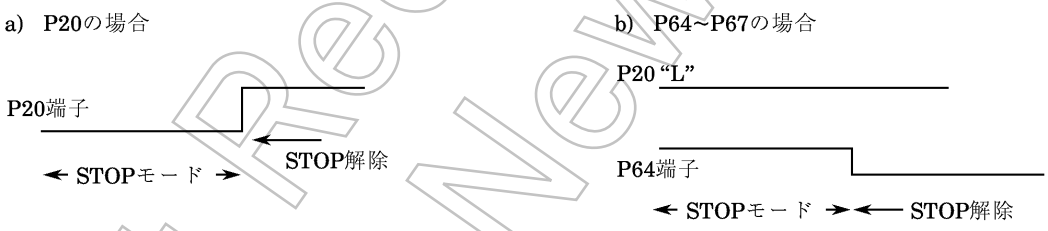


図2-67. キーオンウェイクアップ回路

注) P20の$\overline{STOP}$入力とP64~P67のSTOP2~5を合わせて使用する場合、P20が優先されますので注意してください。
つまり、STOP2~5にてSTOPモードを解除する ("L" レベル) 場合には、P20は必ず "L" レベルでなければなりません。



Not Recommended for New Design

2.12.2 制 御

P64~P67 (STOP2~STOP5) 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとの動作禁止/許可が設定できます。STOPモードの解除入力に使用する端子は、あらかじめP6ポート入出力制御レジスタ (P6CR), P6ポート出力ラッチ (P6DR), AD制御レジスタ (ADCCR1) の各レジスタの設定により入力端子状態にする必要があります。

ストップモードの起動はシステムレジスタ1 (SYSCR1) にて行い、解除はストップモード解除が許可されているSTOP2~5端子のいずれかの端子を "L" レベルにすることにより解除できます (注1)。

また、STOP2~5端子の状態は、P6ポートを読み出すことにより確認できますので、ストップモードを起動する前に各端子のレベルが "H" レベルになっていることを確認してください (注2)。

$\overline{\text{STOP}}$ (P20) 端子は入力を禁止する機能がありませんので、必ずストップモード解除用の端子として使用してください。

注1) ストップモードの解除をエッジ解除モード (SYSCR1<RELM> = "0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によってSTOP2~5端子入力をすべて禁止にするか、入力が許可されているSTOP2~5端子をストップモード中 "H" レベルに固定してください。
注2) レベル解除の場合、$\overline{\text{STOP}}$端子およびSTOP2~5端子のいずれかが解除のレベルであるとストップモードに入らず、直ちに解除シーケンスに移ります。

キーオンウェイクアップ制御レジスタ

STOPCR ($0F9A_H$)

7	6	5	4	3	2	1	0	
STOP5	STOP4	STOP3	STOP2	−	−	−	−	(初期値: 0000 ****)

STOP2	P64ポートによるストップモード解除	0: 禁止 1: 許可	Write only
STOP3	P65ポートによるストップモード解除	0: 禁止 1: 許可	
STOP4	P66ポートによるストップモード解除	0: 禁止 1: 許可	
STOP5	P67ポートによるストップモード解除	0: 禁止 1: 許可	

図2-68. キーオンウェイクアップ制御レジスタ

Not Recommended for New Design

2.13 LCDドライバ

TMP87CM25/S25は、液晶表示器(LCD)を直接駆動するドライバおよびその制御回路を内蔵しています。LCDとの接続端子は次のとおりです。

① セグメント出力端子 40本(SEG39~SEG0)
② セグメント出力/入出力ポート兼用端子 20本(SEG59~SEG40)
③ コモン出力端子 5本(COM4~COM0)
④ コモン出力/入出力ポート兼用端子 11本(COM15~COM5)

ほかにLCDドライブ用昇圧回路用端子として、C0,C1,V1,V2,V3,V4があります。
直接駆動が可能なLCDは、次の3種類です。

① 1/4デューティLCD: 最大240画素(60セグメント×4桁)
② 1/8デューティLCD: 最大480画素(60セグメント×8桁)
③ 1/16デューティLCD: 最大960画素(60セグメント×16桁)

2.13.1 LCDドライバの構成

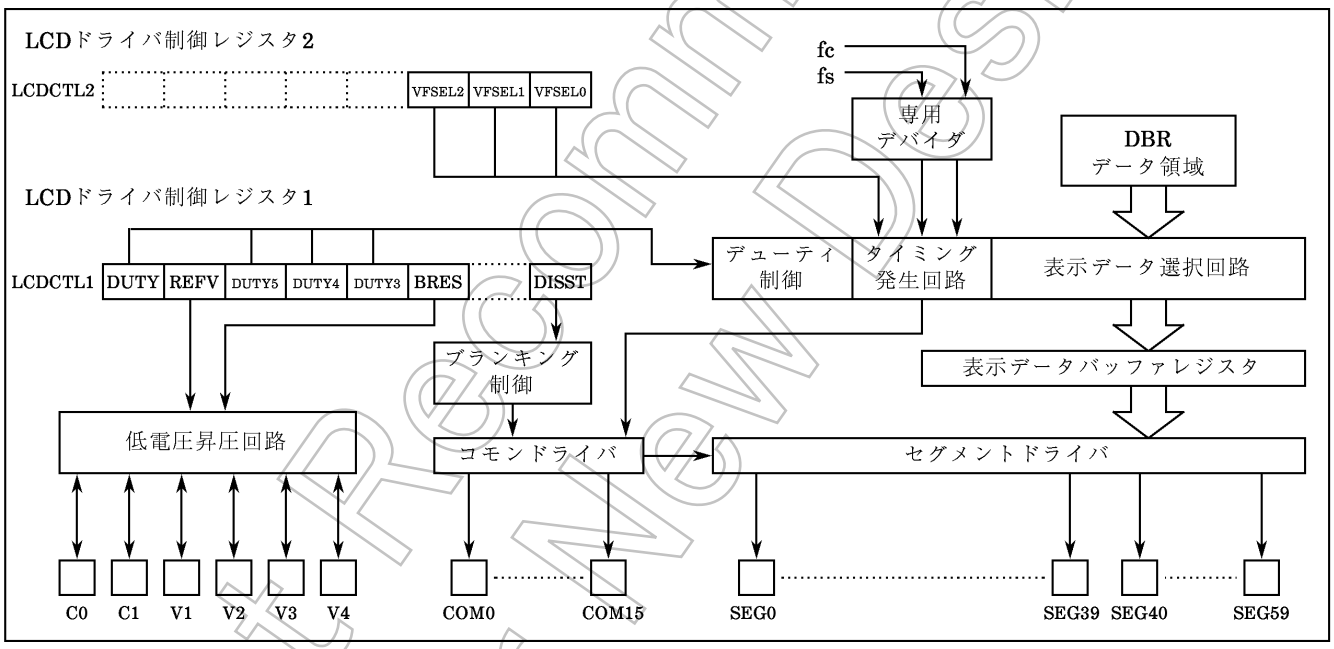


図2-69. LCDドライバブロック図

注) LCDドライバ回路は、専用デバイダ回路を内蔵しています。そのため、ツール使用時のLCD出力は、デバッガのブレーク処理により停止しません。

Not Recommended for New Design

2.13.2 LCDドライバの制御

LCDドライバの制御は、LCD制御レジスタ1 (LCDCTL1) およびLCD制御レジスタ2 (LCDCTL2) で行います。LCDドライバの表示イネーブルはDISSTで行います。

LCD制御レジスタ1

	7	6	5	4	3	2	1	0	
LCDCTL1 (0027_H)	DUTY7	REFV	DUTY5	DUTY4	DUTY3	BRES		DISST	(初期値: 0000 00*0)

DUTY7 DUTY5 DUTY4 DUTY3	デューティの選択	0***: Reserved 1000: 1/4デューティ 1001: Reserved 1010: 1/8デューティ 1011: Reserved 1100: Reserved 1101: Reserved 1110: 1/16デューティ 1111: Reserved	R/W
REFV	LCD基準電圧の設定	0: V4≦VDD (注4) 1: VDD＜V4≦5.5V	
BRES	昇圧回路の設定	0: 昇圧回路ディセーブル 1: 昇圧回路イネーブル	
DISST	LCD表示制御	0: LCD表示ブランキング 1: LCD表示イネーブル	

注1) リセット後、デューティの選択＜DUTY＞は、“0000” (初期値: Reserved) 設定となります。ご使用のLCDパネルに合わせて、適切なデューティ設定を行ってください。

注2) LCD基準電圧の設定＜REFV＞は、VDDによって切り替えてください。適正な設定でない場合、過電流が流れ、デバイスにダメージを与える可能性があります。VDDが電池駆動等の場合、特に注意が必要です。

注3) LCD表示制御＜DISST＞が表示ブランキングのとき、すべてのSEG/COM端子はVSSレベルになります。

注4) LCD基準電圧の設定 ＜REFV＞ が “0” のとき、基準電源は必ずV4端子から入力してください。

注5) Reserved:設定しないでください。

LCD制御レジスタ2

	7	6	5	4	3	2	1	0	
LCDCTL2 (0028_H)						VFSEL2	VFSEL1	VFSEL0	(初期値: **** *011)

VFSEL	フレーム周波数用のベース周波数選択	000: $fc/2^9$ (@ 16 MHz) 001: $fc/2^8$ (@ 8 MHz) 010: $fc/2^7$ (@ 4 MHz) 011: $fc/2^6$ (@ 2 MHz) 1**: fs (@ 32.768 kHz)	R/W

注1) LCD制御レジスタ2は、ご使用の動作周波数に応じて設定してください。実際のフレーム周波数の詳細については表2-18を参照してください。

図2-70. LCDドライバ制御レジスタ

Not Recommended for New Design

(1) フレーム周波数

フレーム周波数は駆動方式とベース周波数により表2-18のように設定されます。ベース周波数は、使用する基本クロック周波数fcおよびfsに応じて、LCDCTL2＜VFSEL＞により選択します。

表2-18. フレーム周波数の設定

VFSEL	ベース周波数 [Hz]	フレーム周波数 [Hz]		
		1/4 デューティ	1/8 デューティ	1/16 デューティ
000	$\frac{fc}{2^9}$	$\frac{fc}{2^9 \cdot 84 \cdot 4}$	$\frac{fc}{2^9 \cdot 42 \cdot 8}$	$\frac{fc}{2^9 \cdot 21 \cdot 16}$
	(fc＝16 MHz時)	93	93	93
001	$\frac{fc}{2^8}$	$\frac{fc}{2^8 \cdot 84 \cdot 4}$	$\frac{fc}{2^8 \cdot 42 \cdot 8}$	$\frac{fc}{2^8 \cdot 21 \cdot 16}$
	(fc＝8 MHz時)	93	93	93
010	$\frac{fc}{2^7}$	$\frac{fc}{2^7 \cdot 84 \cdot 4}$	$\frac{fc}{2^7 \cdot 42 \cdot 8}$	$\frac{fc}{2^7 \cdot 21 \cdot 16}$
	(fc＝4 MHz時)	93	93	93
011	$\frac{fc}{2^6}$	$\frac{fc}{2^6 \cdot 84 \cdot 4}$	$\frac{fc}{2^6 \cdot 42 \cdot 8}$	$\frac{fc}{2^6 \cdot 21 \cdot 16}$
	(fc＝2 MHz時)	93	93	93
1**	fs	$\frac{fs}{84 \cdot 4}$	$\frac{fs}{42 \cdot 8}$	$\frac{fs}{21 \cdot 16}$
	(fs＝32.768 kHz時)	97.5	97.5	97.5

注1) fc: 高周波クロック周波数 [Hz]、fs: 低周波クロック周波数 [Hz]

注2) 本製品はfc = 1 MHz動作保証製品ですが、fc = 1.32 [MHz]以下ではフレーム周波数が61 [Hz] 以下となりますので、LCD表示にはご推奨できません。

Not Recommended for New Design

2.13.3 LCD昇圧回路

(1) LCD昇圧回路

TMP87CM25/S25は、LCD駆動用電源として、外部より供給される基準電圧を内部の昇圧回路で昇圧(分圧)することができます。基準電圧がV1端子の場合、入力された基準電圧は2倍(V2)、3倍(V3)、4倍(V4)に昇圧され、セグメント/コモン信号用の電圧を発生します。V2端子が基準の場合、入力された基準電圧は1/2倍(V1)、3/2倍(V3)、2倍(V4)に分圧、昇圧されます。V3、V4端子基準の場合も同様に、電圧比の関係は$V1 \times 4 = V2 \times 2 = V3 \times (4/3) = V4$となります。

なお本回路は4倍昇圧方式ですのでバイアス比は1/4のみとなります。

注) 基準端子がV1端子以外の場合、V1端子-GND間にコンデンサが必要となります。

2.13.4 LCD昇圧回路接続方式

(1) レギュレータを使用した昇圧回路接続方式

VDDが電池駆動などにより安定でない場合、表示品位を保つためにレギュレータを使用した以下のような接続方式を推奨します。

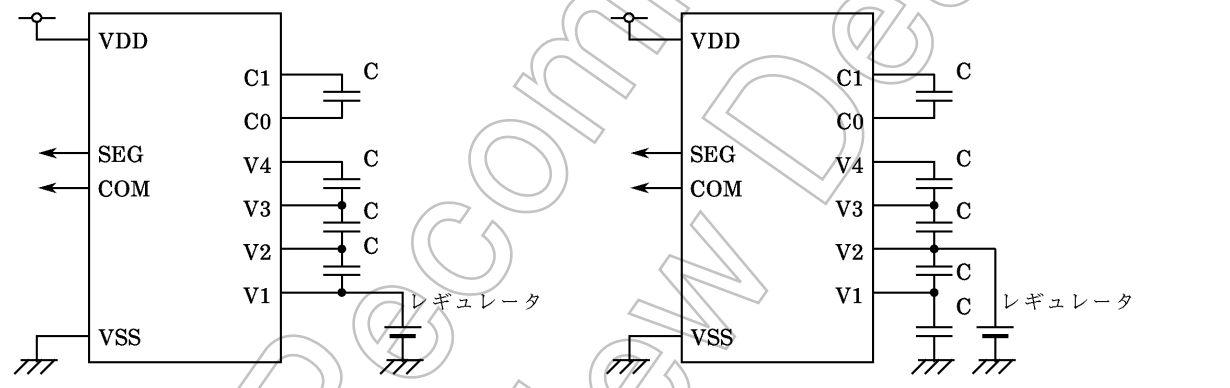


図2-71. レギュレータを使用した昇圧回路接続方式

注) VDD ≧ V4で使用する場合 (LCDCTL1<REFV> = "0")、基準電源は必ずV4端子から入力してください。

Not Recommended for New Design

(2) レギュレータを使用しない昇圧回路接続方式

VDDが安定して供給できる場合(VDD≧V4の場合)、レギュレータを使用しない以下のような接続方式が可能です。この場合、LCD制御レジスタ1のLCDCTL1＜REFV＞は“0”に設定し、基準電源は必ずV4端子から入力してください。

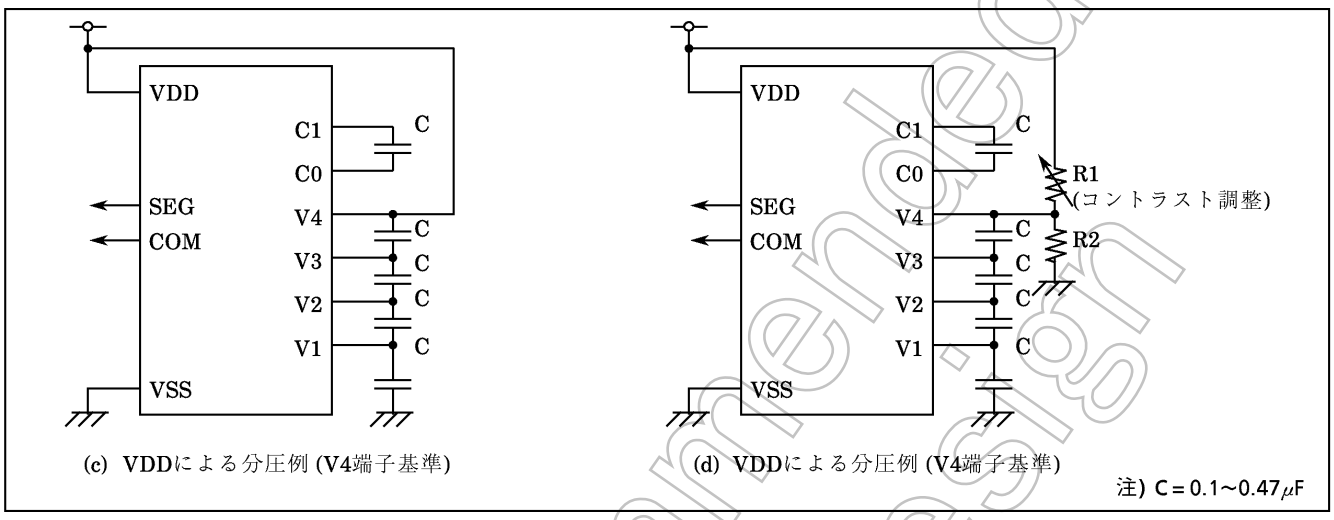


図2-72. レギュレータを使用しない昇圧回路接続方式

2.13.5 LCD表示動作

(1) 表示データの設定

表示データは、DBR内に設けられた表示データ領域(0F00~0F7FH番地内の128バイト)に格納します。

表示データ領域に格納された表示データは、ハードウエアにより自動的に読み出され、LCDドライバへ送出されます。LCDドライバは表示データと駆動方式に従い、セグメント信号、コモン信号を発生しますので、表示パタンの変更はプログラムで表示データ領域の内容を書き替えるのみで行うことができます。図2-73に、表示データ領域とSEG/COM端子の対応を示します。表示データが“1”のとき点灯し、“0”のとき消灯します。LCDの駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のバイト数も異なります。従って、表示データの格納に使用しないバイトや、LCDを接続しないアドレスに相当するデータメモリは、通常の処理データの格納に使用できます(表2-19参照)。

注) 表示データ領域の内容は電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

Not Recommended for New Design

$0F00_H$	$0F10_H$	$0F20_H$	$0F30_H$	$0F40_H$	$0F50_H$	$0F60_H$	$0F70_H$	COM0
$0F01_H$	$0F11_H$	$0F21_H$	$0F31_H$	$0F41_H$	$0F51_H$	$0F61_H$	$0F71_H$	COM1
$0F02_H$	$0F12_H$	$0F22_H$	$0F32_H$	$0F42_H$	$0F52_H$	$0F62_H$	$0F72_H$	COM2
$0F03_H$	$0F13_H$	$0F23_H$	$0F33_H$	$0F43_H$	$0F53_H$	$0F63_H$	$0F73_H$	COM3
$0F04_H$	$0F14_H$	$0F24_H$	$0F34_H$	$0F44_H$	$0F54_H$	$0F64_H$	$0F74_H$	COM4
$0F05_H$	$0F15_H$	$0F25_H$	$0F35_H$	$0F45_H$	$0F55_H$	$0F65_H$	$0F75_H$	COM5
$0F06_H$	$0F16_H$	$0F26_H$	$0F36_H$	$0F46_H$	$0F56_H$	$0F66_H$	$0F76_H$	COM6
$0F07_H$	$0F17_H$	$0F27_H$	$0F37_H$	$0F47_H$	$0F57_H$	$0F67_H$	$0F77_H$	COM7
$0F08_H$	$0F18_H$	$0F28_H$	$0F38_H$	$0F48_H$	$0F58_H$	$0F68_H$	$0F78_H$	COM8
$0F09_H$	$0F19_H$	$0F29_H$	$0F39_H$	$0F49_H$	$0F59_H$	$0F69_H$	$0F79_H$	COM9
$0F0A_H$	$0F1A_H$	$0F2A_H$	$0F3A_H$	$0F4A_H$	$0F5A_H$	$0F6A_H$	$0F7A_H$	COM10
$0F0B_H$	$0F1B_H$	$0F2B_H$	$0F3B_H$	$0F4B_H$	$0F5B_H$	$0F6B_H$	$0F7B_H$	COM11
$0F0C_H$	$0F1C_H$	$0F2C_H$	$0F3C_H$	$0F4C_H$	$0F5C_H$	$0F6C_H$	$0F7C_H$	COM12
$0F0D_H$	$0F1D_H$	$0F2D_H$	$0F3D_H$	$0F4D_H$	$0F5D_H$	$0F6D_H$	$0F7D_H$	COM13
$0F0E_H$	$0F1E_H$	$0F2E_H$	$0F3E_H$	$0F4E_H$	$0F5E_H$	$0F6E_H$	$0F7E_H$	COM14
$0F0F_H$	$0F1F_H$	$0F2F_H$	$0F3F_H$	$0F4F_H$	$0F5F_H$	$0F6F_H$	$0F7F_H$	COM15
SEG7 ～ SEG0	SEG15 ～ SEG8	SEG23 ～ SEG16	SEG31 ～ SEG24	SEG39 ～ SEG32	SEG47 ～ SEG40	SEG55 ～ SEG48	SEG59 ～ SEG56	

図2-73. LCD表示データ領域 (DBR)

表2-19. 表示データの格納に使用する領域

駆動方法	使用するCOM数
1/16デューティ	COM15~COM0
1/8デューティ	COM7~COM0
1/4デューティ	COM3~COM0

(2) ブランキング

DISSTを “0” にクリアすることによりLCD表示をブランキングすることができます。ブランキングは、COM/SEG端子にGNDレベルを出力することによりLCDを消灯します。

LCD表示中にSTOPモードに入ると、DISSTは“0”にクリアされ、自動的にブランキングがかかります。その後STOPモードが復帰すると、DISSTが “1” にセットされ自動的に表示を開始します。

注) リセット時、セグメント専用端子 (SEG39~SEG0)、コモン出力はGNDレベルとなりますが、入出力ポート/セグメント兼用端子 (P1, P3, P5ポート)、入出力ポート/コモン兼用端子 (P3, P7ポート) は出力ハイインピーダンス状態となります。従って、外部からのリセット入力が著しく長くなる場合は、LCD表示が滲むなどの影響を及ぼす恐れがあります。

Not Recommended for New Design

2.13.6 LCDドライバの制御方法

(1) 初期設定

初期設定の手順を、以下に示します。

例: 60 seg×8 com、1/8デューティの5V系LCDをfc＝8 MHz (@ VDD＝5V) で動作。

```
LD   (LCDCTL1), 10010100B    ;  1/8デューティ、LCD基準電圧 (VDD＝V4)、昇圧回路
                                イネーブル設定
LD   (P1LCR), 0FFH           ;  P1ポートをセグメント出力に設定
LD   (P3LCR), 0FFH           ;  P3ポートをセグメント,コモン出力に設定
LD   (P5LCR), 0FFH           ;  P5ポートをセグメント出力に設定
 :
LD   (LCDCTL1), 10010101B    ;  LCD表示イネーブル設定
```

(2) 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

例1: 1/8デューティのLCDを用いて、図2-74のような接続および表示を行う場合、表示データは表2-20、表示タイミングは図2-75のようになります。

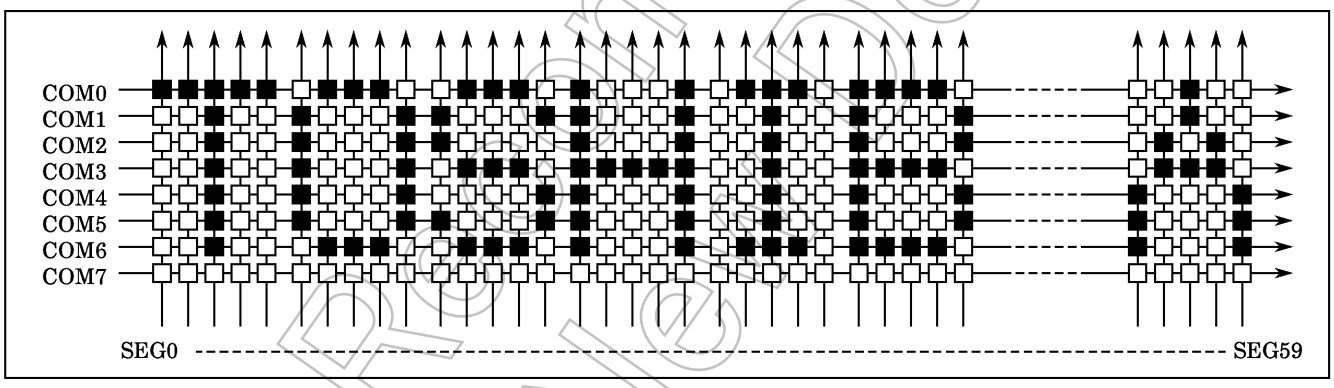


図2-74. 表示データ例 (1/8デューティ)

表2-20. 表示データ例 (1/8デューティ)

	DBR	SEG 0 Bit 0	SEG 1 Bit 1	SEG 2 Bit 2	SEG 3 Bit 3	SEG 4 Bit 4	SEG 5 Bit 5	SEG 6 Bit 6	SEG 7 Bit 7	HEX	DBR	SEG 8 Bit 0	SEG 9 Bit 1	SEG 10 Bit 2	SEG 11 Bit 3	SEG 12 Bit 4	SEG 13 Bit 5	SEG 14 Bit 6	SEG 15 Bit 7	HEX	
COM0	0F00H	1	1	1	1	1	0	1	1	DF	0F10H	1	0	0	1	1	1	0	1	B9	…
COM1	0F01H	0	0	1	0	0	1	0	0	24	0F11H	0	1	1	0	0	0	1	1	C6	…
COM2	0F02H	0	0	1	0	0	1	0	0	24	0F12H	0	1	1	0	0	0	0	1	86	…
COM3	0F03H	0	0	1	0	0	1	0	0	24	0F13H	0	1	0	1	1	1	0	1	BA	…
COM4	0F04H	0	0	1	0	0	1	0	0	24	0F14H	0	1	0	0	0	0	1	1	C2	…
COM5	0F05H	0	0	1	0	0	1	0	0	24	0F15H	0	1	1	0	0	0	1	1	C6	…
COM6	0F06H	0	0	1	0	0	0	1	1	C4	0F16H	1	0	0	1	1	1	0	1	B9	…
COM7	0F07H	0	0	0	0	0	0	0	0	00	0F17H	0	0	0	0	0	0	0	0	00	…

Not Recommended for New Design

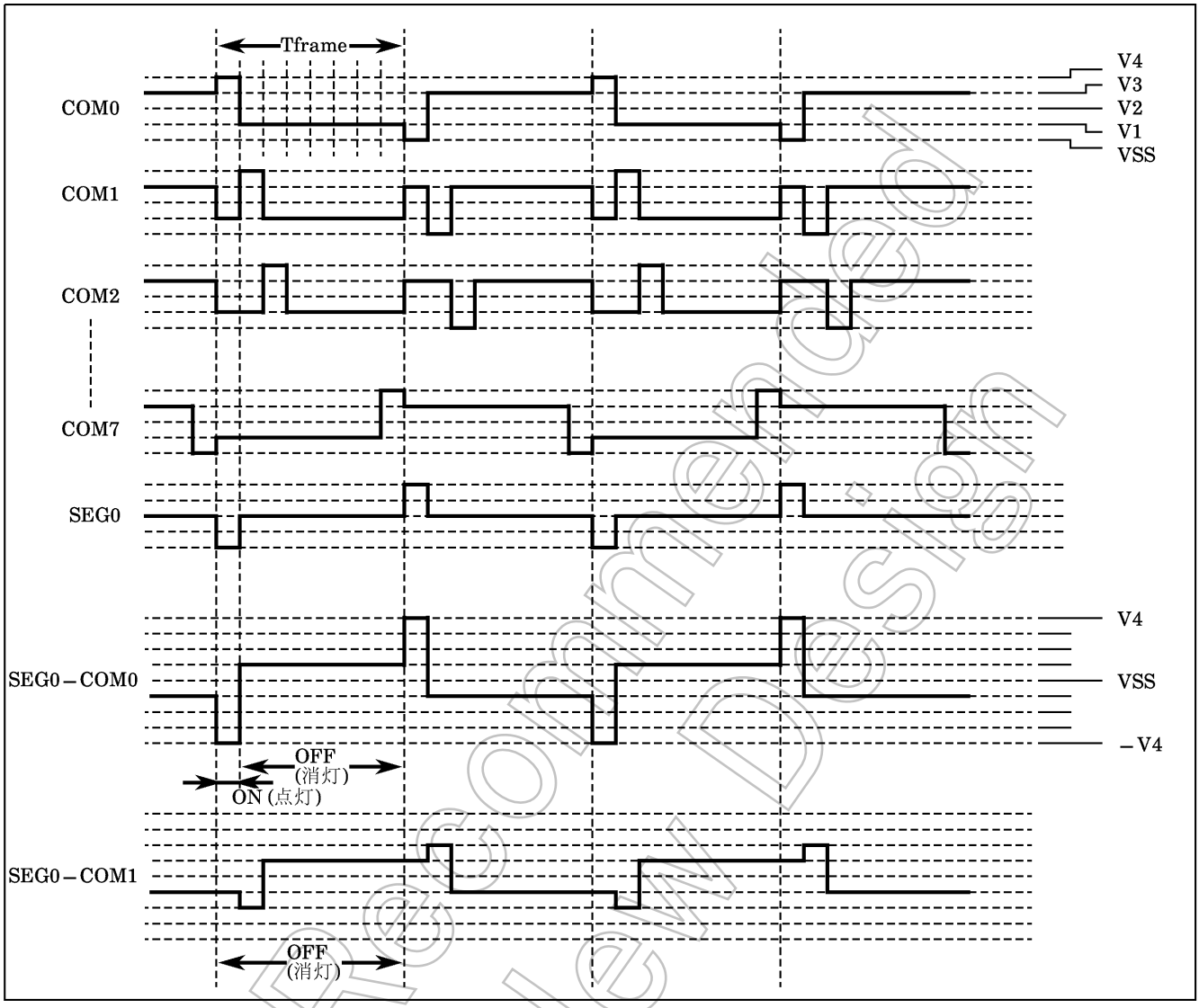


図2-75. 表示タイミング例 (1/8デューティ)

Not Recommended for New Design

例2: 1/16デューティのLCDを用いて、図2-76のような接続および表示を行う場合、表示データは表2-21、表示タイミングは図2-77のようになります。

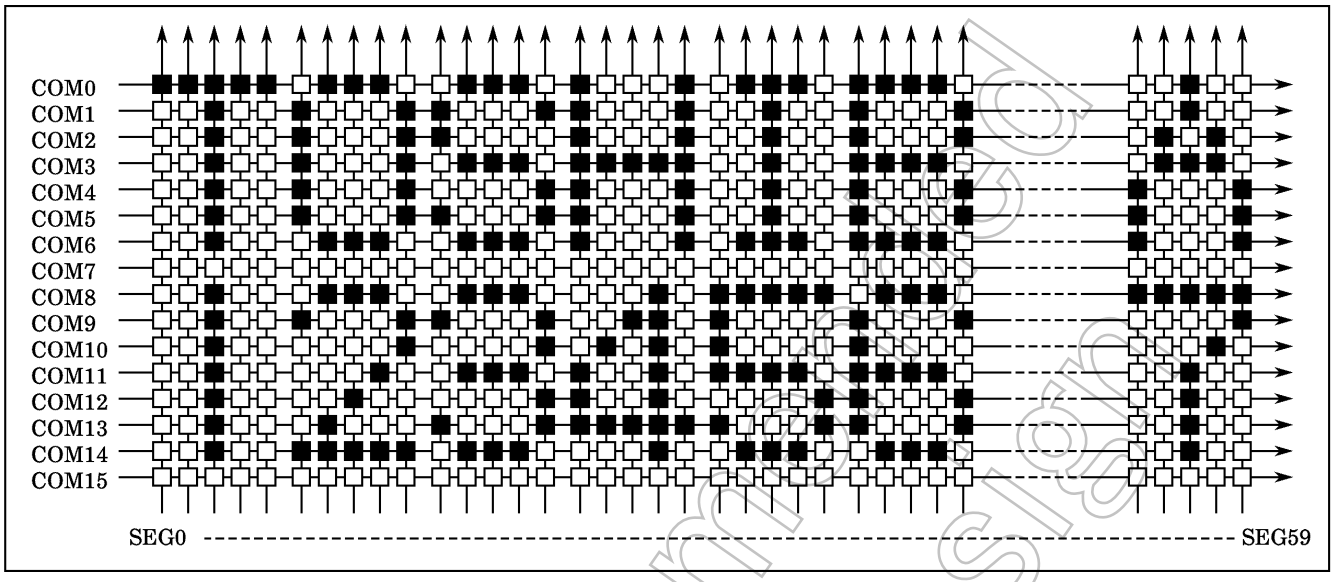


図2-76. 表示データ例(1/16デューティ)

表2-21. 表示データ例(1/16デューティ)

	DBR	SEG 0 Bit 0	SEG 1 Bit 1	SEG 2 Bit 2	SEG 3 Bit 3	SEG 4 Bit 4	SEG 5 Bit 5	SEG 6 Bit 6	SEG 7 Bit 7	HEX	DBR	SEG 8 Bit 0	SEG 9 Bit 1	SEG 10 Bit 2	SEG 11 Bit 3	SEG 12 Bit 4	SEG 13 Bit 5	SEG 14 Bit 6	SEG 15 Bit 7	HEX	
COM0	0F00H	1	1	1	1	1	0	1	1	DF	0F10H	1	0	0	1	1	1	0	1	B9	…
COM1	0F01H	0	0	1	0	0	1	0	0	24	0F11H	0	1	1	0	0	0	1	1	C6	…
COM2	0F02H	0	0	1	0	0	1	0	0	24	0F12H	0	1	1	0	0	0	0	1	86	…
COM3	0F03H	0	0	1	0	0	1	0	0	24	0F13H	0	1	0	1	1	1	0	1	BA	…
COM4	0F04H	0	0	1	0	0	1	0	0	24	0F14H	0	1	0	0	0	0	1	1	C2	…
COM5	0F05H	0	0	1	0	0	1	0	0	24	0F15H	0	1	1	0	0	0	1	1	C6	…
COM6	0F06H	0	0	1	0	0	0	1	1	C4	0F16H	1	0	0	1	1	1	0	1	B9	…
COM7	0F07H	0	0	0	0	0	0	0	0	00	0F17H	0	0	0	0	0	0	0	0	00	…
COM8	0F08H	0	0	1	0	0	0	1	1	C4	0F18H	1	0	0	1	1	1	0	0	39	…
COM9	0F09H	0	0	1	0	0	1	0	0	24	0F19H	0	1	1	0	0	0	1	0	46	…
COM10	0F0AH	0	0	1	0	0	0	0	0	04	0F1AH	0	1	0	0	0	0	1	0	42	…
COM11	0F0BH	0	0	1	0	0	0	0	0	04	0F1BH	1	0	0	1	1	1	0	1	B9	…
COM12	0F0CH	0	0	1	0	0	0	0	1	84	0F1CH	0	0	0	0	0	0	1	1	C0	…
COM13	0F0DH	0	0	1	0	0	0	1	0	44	0F1DH	0	0	1	0	0	0	1	1	C4	…
COM14	0F0EH	0	0	1	0	0	1	1	1	E4	0F1EH	1	1	0	1	1	1	0	0	3B	…
COM15	0F0FH	0	0	0	0	0	0	0	0	00	0F1FH	0	0	0	0	0	0	0	0	00	…

Not Recommended for New Design

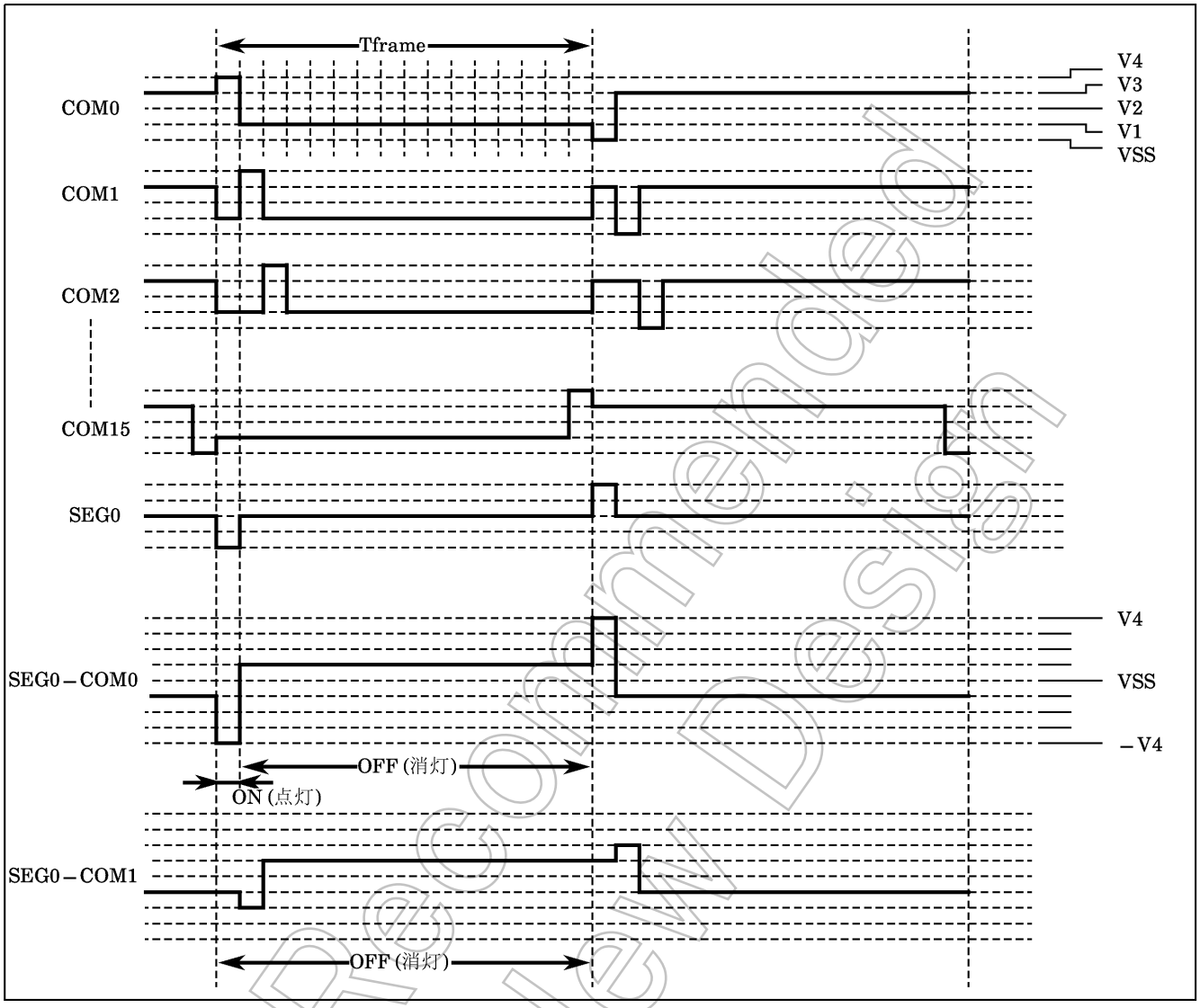


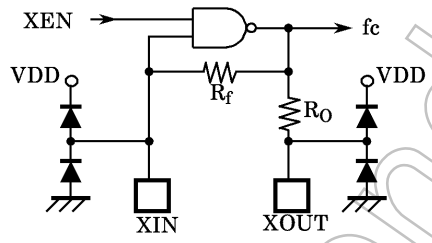
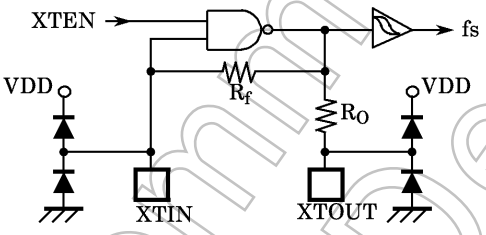
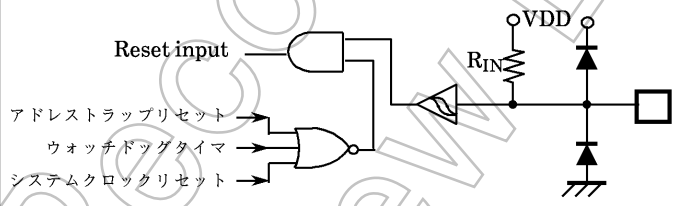
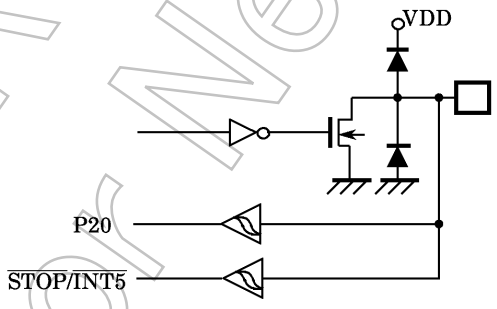
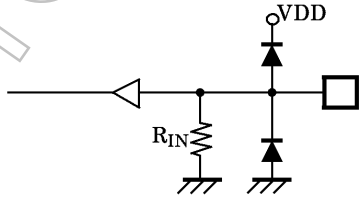
図2-77. 表示タイミング例 (1/16デューティ)

Not Recommended for New Design

端子の入出力回路

(1) 制御端子

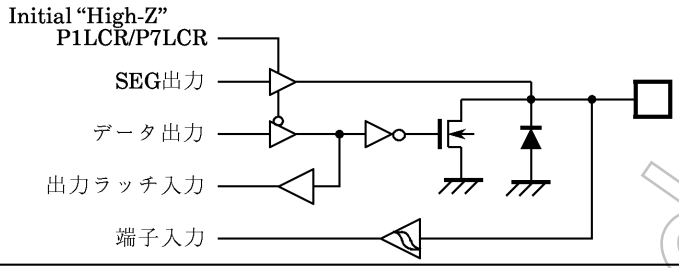
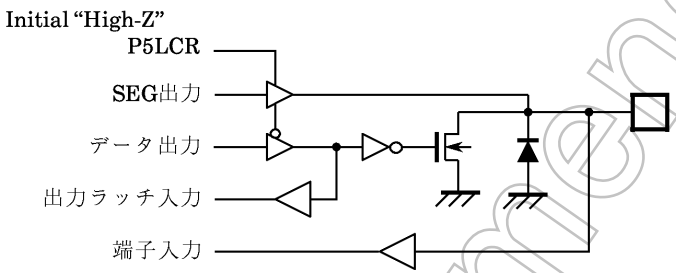
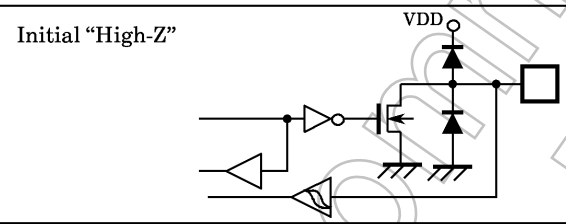
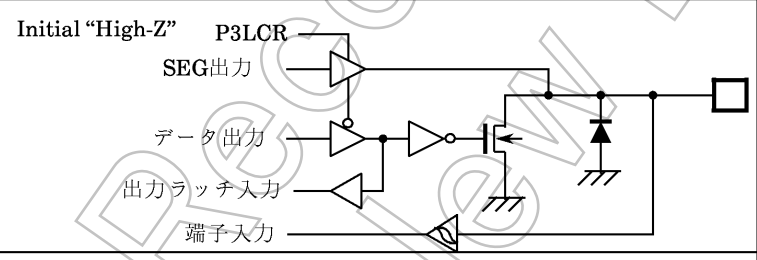
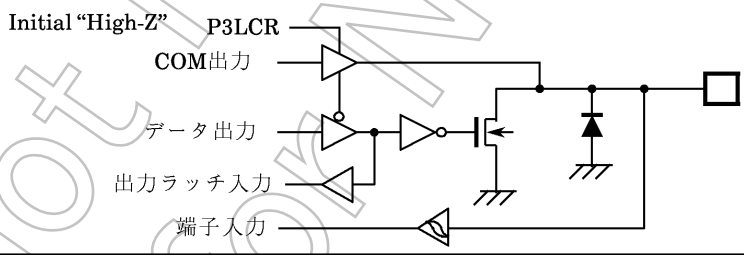
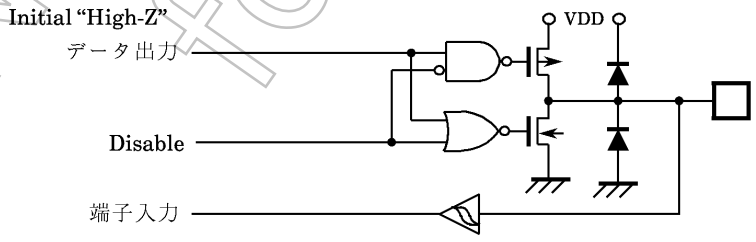
TMP86CM25/S25の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 1.2 MΩ (typ.) R_O = 1 kΩ (typ.)
XTIN XTOUT	入力 出力	NORMAL1モード: P2ポートを参照 NORMAL2モード: 	低周波発振子接続端子 R_f = 6 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.)
$\overline{\text{STOP}}$/$\overline{\text{INT5}}$	入力		ヒステリシス入力
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.)

注) TMP86PS25のTEST端子には、プルダウン抵抗は内蔵されていません。必ず"L"レベルに固定してください。

Not Recommended for New Design

(2) 入出力ポート

ポート	入出力	入 出 力 回 路 および コード	備 考
P1 P7	入出力		シンクオープンドレイン出力 ヒステリシス入力
P5	入出力		シンクオープンドレイン出力
P2	入出力		シンクオープンドレイン出力 ヒステリシス入力
P30 P31 P32 P33	入出力		シンクオープンドレイン出力 ヒステリシス入力 大電流出力 (Nch)
P34 P35 P36	入出力		シンクオープンドレイン出力 ヒステリシス入力
P6	入出力		トライステート入出力 ヒステリシス入力

注) P1, P3, P5, P7ポートはシンクオープンドレイン出力ですが、LCDセグメント出力と兼用のため、ポートの入力電圧の絶対最大定格は – 0.3~VDD + 0.3 [V] となります。

Not Recommended for New Design

電気的特性

絶 対 最 大 定 格 (V_{SS} = 0 V)

項　　目	記号	端　　子	規　　格	単位
電 源 電 圧	V_{DD}		−0.3~6.5	V
入 力 電 圧	V_{IN}		−0.3~V_{DD}+0.3	
出 力 電 圧	V_{OUT1}		−0.3~V_{DD}+0.3	
出 力 電 流 (1端子当たり)	I_{OUT1}	P6 Port	−1.8	mA
	I_{OUT2}	P1, P2, P34~P36, P5, P6, P7 Port	3.2	
	I_{OUT3}	P30~P33 Port	30	
出 力 電 流 (全端子総計)	Σ I_{OUT2}	P1, P2, P34~P36, P5, P6, P7 Port	60	
	Σ I_{OUT3}	P30~P33 Port	80	
消 費 電 力 [Topr = 85°C]	PD		350	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保 存 温 度	Tstg		−55~125	
動 作 温 度	Topr		−40~85	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

Not Recommended for New Design

推 奨 動 作 条 件 (V_{SS} = 0 V, Topr = −40~85°C)

項 目	記号	端 子	条 件		Min	Max	単位
電 源 電 圧	V_{DD}		fc = 16 MHz	NORMAL1, 2モード	4.5	5.5	V
				IDLE0, 1, 2モード			
			fc = 8 MHz	NORMAL1, 2モード	2.7		
				IDLE0, 1, 2モード			
			fc = 4.2 MHz	NORMAL1, 2モード	1.8		
				IDLE0, 1, 2モード			
			fs = 32.768 kHz	SLOW1, 2モード			
				SLEEP0, 1, 2モード			
				STOPモード			
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		V_{DD}×0.70	V_{DD}	
	V_{IH2}	ヒステリシス入力			V_{DD}×0.75		
	V_{IH3}		V_{DD}<4.5 V		V_{DD}×0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		0	V_{DD}×0.30	
	V_{IL2}	ヒステリシス入力				V_{DD}×0.25	
	V_{IL3}		V_{DD}<4.5 V			V_{DD}×0.10	
LCD基準入力電圧範囲	$V1_{IN}$	V1	LCDCTL1<REFV>="1" VDD<V4 (注2)		1.0	1.375	
	$V2_{IN}$	V2			2.0	2.750	
	$V3_{IN}$	V3			3.0	4.125	
	$V4_{IN}$	V4			4.0	5.500	
	$V4_{IN}$	V4 (注3)	LCDCTL1<REFV>="0"		−	VDD	
クロック周波数	fc	XIN, XOUT	V_{DD} = 1.8 V~5.5 V		1.0	4.2	MHz
			V_{DD} = 2.7 V~5.5 V			8.0	
			V_{DD} = 4.5 V~5.5 V			16.0	
	fs	XTIN, XTOUT			30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件(電源電圧、動作温度範囲、AC/DC規定値)から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) LCDCTL1<REFV>が"1"のときは、必ずVDD < V4となるように基準電圧を入力してください。

注3) LCDCTL1<REFV>が"0"のときは、基準電圧は必ずV4端子から入力してください。

Not Recommended for New Design

DC 特 性 (V_{SS} = 0 V, Topr = −40~85°C)

項 目	記号	端 子	条 件		Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力			−	0.9	−	V
入力電流	I_{IN1}	TEST	V_{DD} = 5.5 V, V_{IN} = 5.5 V/0 V		−	−	±2	μA
	I_{IN2}	Sink Open Drain, Tr-st Port						
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$						
入力抵抗	R_{IN1}	TEST Pull-Down			−	70	−	kΩ
	R_{IN2}	$\overline{RESET}$ Pull-Up			100	220	450	
出力リーク電流	I_{LO}	Sink Open Drain, Tr-st Port	V_{DD} = 5.5 V, V_{OUT} = 5.5 V/0 V		−	−	±2	μA
高レベル出力電圧	V_{OH2}	Tr-st Port	V_{DD} = 4.5 V, I_{OH} = −0.7 mA		4.1	−	−	V
低レベル出力電圧	V_{OL}	XOUT, P30~P33 Portを除く	V_{DD} = 4.5 V, I_{OL} = 1.6 mA		−	−	0.4	
低レベル出力電流	I_{OL}	大電流 (P30~P33 port)	V_{DD} = 4.5 V, V_{OL} = 1.0 V		−	20	−	mA
NORMAL1, 2 モード時電源電流	I_{DD}		V_{DD} = 5.5 V V_{IN} = 5.3/0.2 V fc = 16 MHz fs = 32.768 kHz	TMP86CM25	−	4.5	7.0	mA
IDLE0, 1, 2 モード時電源電流					−	2.7	3.5	
SLOW1モード時 電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz LCD未使用時		−	6.0	25	μA
SLEEP1モード時 電源電流					−	4.0	15	
SLEEP0モード時 電源電流					−	2.5	13	
STOPモード時 電源電流			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V		−	0.5	10	
NORMAL1, 2 モード時電源電流			V_{DD} = 5.5 V V_{IN} = 5.3/0.2 V fc = 16 MHz fs = 32.768 kHz	TMP86CS25	−	6.0	7.0	mA
IDLE0, 1, 2 モード時電源電流					−	4.2	5.0	
SLOW1モード時 電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz LCD未使用時		−	8.5	25	μA
SLEEP1モード時 電源電流					−	5.0	15	
SLEEP0モード時 電源電流					−	3.0	13	
STOPモード時 電源電流			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V		−	0.5	10	

注1) Typ.値は、条件に指定がない場合Topr = 25°C, V_{DD} = 5 V時の値を示します。
注2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。
注3) I_{DD}は、I_{REF}を含みません。
注4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

Not Recommended for New Design

AD 変 換 特 性 (V_{SS} = 0.0 V, 4.5 V ≦ V_{DD} ≦ 5.5 V, Topr = −40~85°C)

項　　目	記　号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		V_{DD} − 1.5	−	V_{DD}	V
アナログ基準電源電圧範囲 (注4)	△V_{AREF}		3.0	−	−	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	−	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = V_{AREF} = 5.5 V V_{SS} = 0.0 V	−	0.6	1.0	mA
非直線性誤差		V_{DD} = 5.0 V, V_{SS} = 0.0 V V_{AREF} = 5.0 V	−	−	±1	LSB
ゼロ誤差			−	−	±1	
フルスケール誤差			−	−	±1	
総合誤差			−	−	±2	

(V_{SS} = 0.0 V, 2.7 V ≦ V_{DD} < 4.5 V, Topr = −40~85°C)

項　　目	記　号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		V_{DD} − 1.5	−	V_{DD}	V
アナログ基準電源電圧範囲 (注4)	△V_{AREF}		2.5	−	−	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	−	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = V_{AREF} = 4.5 V V_{SS} = 0.0 V	−	0.5	0.8	mA
非直線性誤差		V_{DD} = 2.7 V, V_{SS} = 0.0 V V_{AREF} = 2.7 V	−	−	±1	LSB
ゼロ誤差			−	−	±1	
フルスケール誤差			−	−	±1	
総合誤差			−	−	±2	

(V_{SS} = 0.0 V, 2.0 V ≦ V_{DD} < 2.7 V, Topr = −40~85°C) (注5)
(V_{SS} = 0.0 V, 1.8 V ≦ V_{DD} < 2.0 V, Topr = −10~85°C) (注5)

項　　目	記　号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		V_{DD} − 0.9	−	V_{DD}	V
アナログ基準電源電圧範囲 (注4)	△V_{AREF}	1.8 V ≦ V_{DD} < 2.0 V	1.8	−	−	
		2.0 V ≦ V_{DD} < 2.7 V	2.0	−	−	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	−	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = V_{AREF} = 2.7 V V_{SS} = 0.0 V	−	0.3	0.5	mA
非直線性誤差		V_{DD} = 1.8 V, V_{SS} = 0.0 V V_{AREF} = 1.8 V	−	−	±2	LSB
ゼロ誤差			−	−	±2	
フルスケール誤差			−	−	±2	
総合誤差			−	−	±4	

注1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については「2.11.2 レジスタ構成」を参照してください。

注3) AIN 入力端子への入力電圧は V_{AREF} ~ V_{SS} 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、ほかのチャネルの変換値にも影響を与えます。

注4) アナログ基準電源電圧範囲: △V_{AREF} = V_{AREF} − V_{SS}

注5) V_{DD} = 2.7 V未満でADを使用する場合、動作電圧によって温度保証範囲が異なります。

Not Recommended for New Design

AC 特 性 (V_{SS}＝0 V, V_{DD}＝4.5~5.5 V, Topr＝－40~85℃)

項 目	記 号	条 件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.25	－	4	μs
		IDLE1, 2モード時				
		SLOW1, 2モード時	117.6	－	133.3	
		SLEEP1, 2モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN入力) fc＝16 MHz時	－	31.25	－	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN入力) fs＝32.768 kHz時	－	15.26	－	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS}＝0 V, V_{DD}＝2.7~4.5 V, Topr＝－40~85℃)

項 目	記 号	条 件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.5	－	4	μs
		IDLE1, 2モード時				
		SLOW1, 2モード時	117.6	－	133.3	
		SLEEP1, 2モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN入力) fc＝8 MHz時	－	62.5	－	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN入力) fs＝32.768 kHz時	－	15.26	－	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS}＝0 V, V_{DD}＝1.8~2.7 V, Topr＝－40~85℃)

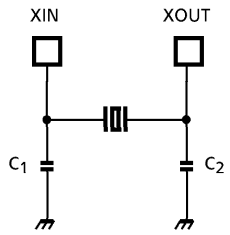
項 目	記 号	条 件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.95	－	4	μs
		IDLE1, 2モード時				
		SLOW1, 2モード時	117.6	－	133.3	
		SLEEP1, 2モード時				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN入力) fc＝4.2 MHz	－	119.05	－	ns
低レベルクロックパルス幅	twcL					
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN入力) fc＝32.768 kHz	－	15.26	－	μs
低レベルクロックパルス幅	twcL					

タイマカウンタ1入力 (ECIN) 特性 (V_{SS}＝0 V, Topr＝－40~85℃)

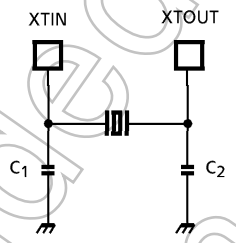
項 目	記 号	条 件		Min	Typ.	Max	単位
タイマカウンタ1入力 (ECIN入力)	t_{TC1}	周波数測定モード VDD＝4.5~5.5 V	片エッジカウント	－	－	1.0	MHz
		周波数測定モード VDD＝2.7~4.5 V	片エッジカウント	－	－	0.5	
		周波数測定モード VDD＝1.8~2.7 V	片エッジカウント	－	－	0.262	

Not Recommended for New Design

推 奨 発 振 条 件 - 1



(1) 高周波発振



(2) 低周波発振

注1) ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

注2) 村田製発振子は、型番・仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページを参照してください。

http://www.murata.co.jp/search/index_j.html

Not Recommended for New Design