

TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870/X シリーズ

TMP88CU74FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP88CU74F	P-QFP80-1420-0.80B	TMP88CU74FG	QFP80-P-1420-0.80B	TMP88PU74FG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

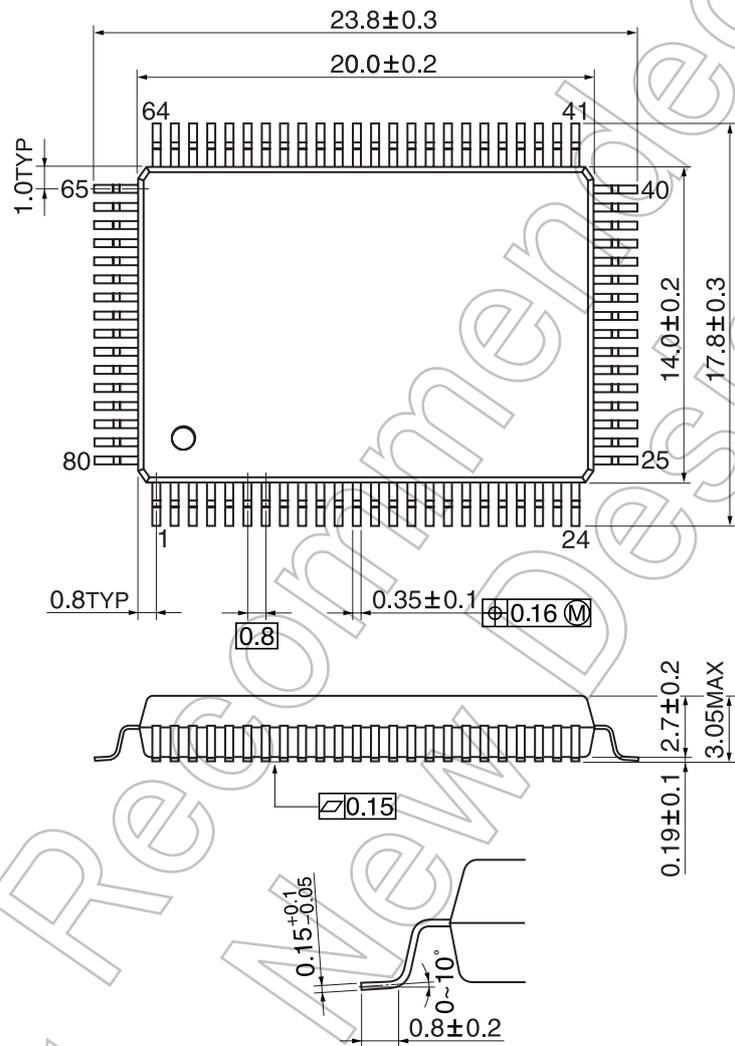
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

QFP80-P-1420-0.80B

単位: mm



Not Recommended for New Design

CMOS 8 ビット マイクロコントローラ TMP88CU74F

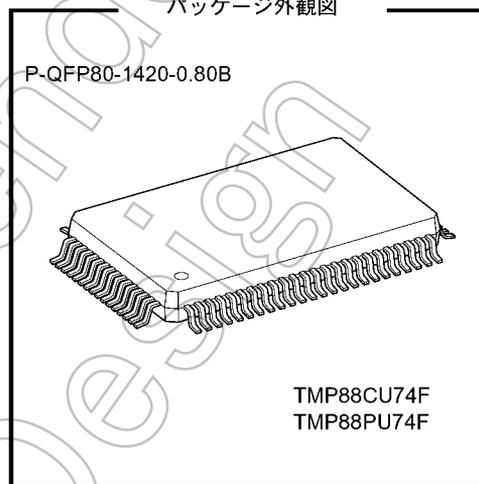
TMP88CU74 は、蛍光表示管駆動回路、シリアルバスインタフェース、8ビット AD コンバータ、多機能タイマカウンタおよび2系統の発振回路などを内蔵した高速、高性能8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP 内蔵品
TMP88CU74F	96 K バイト +256 バイト	2 K バイト	P-QFP80-1420-0.80B	TMP88PU74F

特長

- ◆ 8ビット シングルチップ マイクロコンピュータ
TLCS-870/X シリーズ
- ◆ 最小命令実行時間: 0.32 μ s (12.5 MHz 動作時),
122 μ s (32.768 kHz 動作時)
- ◆ 基本機械命令: 181 種類 842 命令
- ◆ 汎用レジスタバンク: 16 バンク
- ◆ 割り込み 15 要因 (外部: 6, 内部: 9)
 - 全要因独立ラッチ付き, 多重割り込み制御
 - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
 - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 入出力ポート (71 端子)
- ◆ 16ビットタイマカウンタ: 2チャンネル
 - TC1: タイマ, イベントカウンタ, PPG (Programmable Pulse Generator) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
 - TC2: タイマ, イベントカウンタ, ウィンドウモード
- ◆ 8ビットタイマカウンタ: 2チャンネル
 - TC3: タイマ, イベントカウンタ, キャプチャ (パルス幅/デューティ測定)
 - TC4: タイマ, PWM (パルス幅変調) 出力, PDO (Programmable Divider Output) モード
- ◆ タイムベースタイマ
 - 割り込み周波数: 8 種類
- ◆ デバイダ出力機能 (周波数: 4 種類)

パッケージ外観図



060629TBP

・当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
 なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A

・本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

・本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

・本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

・本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

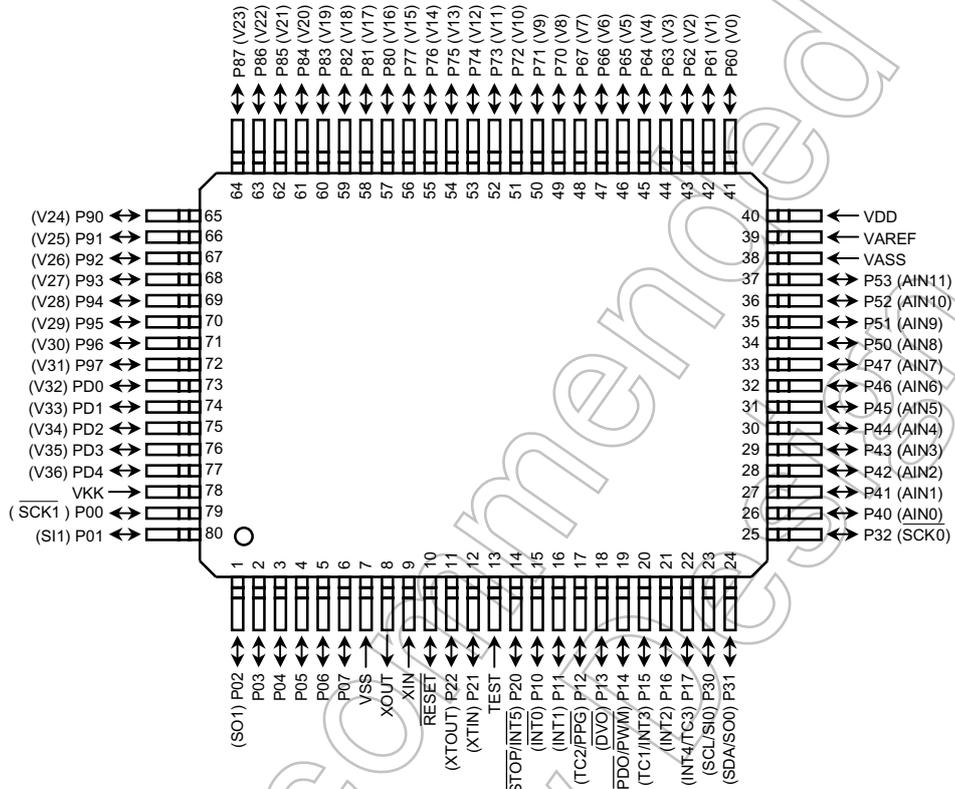
・本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

・マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- ◆ ウォッチドッグタイマ
 - 割り込み/リセット出力の選択 (プログラマブル)
- ◆ 8ビットシリアルインタフェース: 1チャンネル
 - 8ビットの送受信データバッファ付き
 - 内部/外部クロック, 4/8ビット転送モードの選択
- ◆ シリアルバスインタフェース
 - 8ビット SIO/I²C バスモード
- ◆ 8ビット逐次比較方式 AD コンバータ (サンプルホールド付き)
 - アナログ入力: 12チャンネル
 - 変換時間: 23 μ s (8 MHz 動作時: 高速変換モード),
59 μ s (12.5 MHz 動作時: 低速変換モード)
- ◆ 蛍光表示管駆動回路 (自動表示)
 - プログラマブルグリッドスキャン出力
 - 高耐圧出力ポート (max 40 V 耐圧 \times 37 本)
- ◆ クロック発振回路: 2回路
 - シングル/デュアルクロックモードの選択
- ◆ 低消費電力動作 (5 モード)
 - STOP モード: 発振停止 (バッテリー/コンデンサバックアップ)。
 - SLOW モード: 低周波クロックによる低消費電力動作。
 - IDLE1 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)。
 - IDLE2 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
 - SLEEP モード: CPU 停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- ◆ 動作電圧範囲: 2.7~5.5 V @ 32.8 kHz,
4.5~5.5 V @ 12.5 MHz/32.8 kHz
- ◆ エミュレーションポッド: BM88CU74F0A

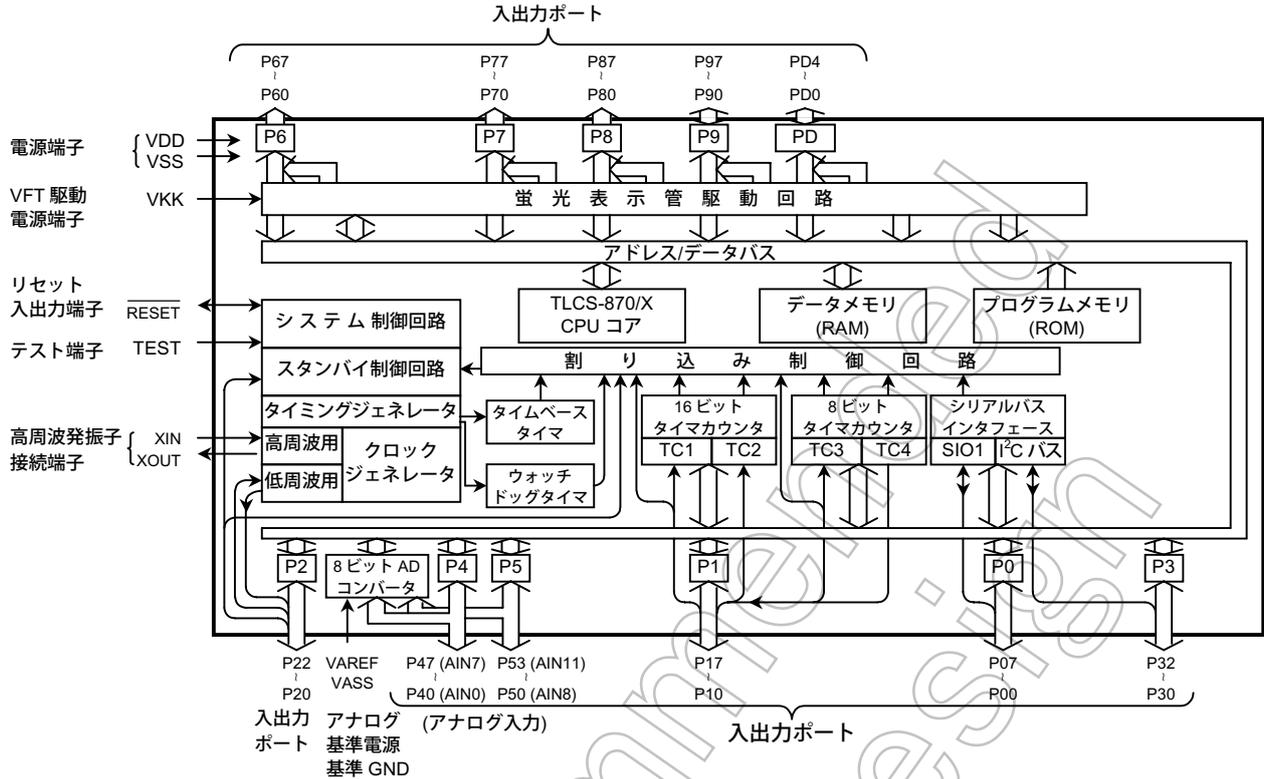
ピン配置図 (上面図)

P-QFP80-1420-0.80B



Not Recommended for New

ブロック図



端子機能 (1/2)

端子名	入出力	機能		
P07~P03	入出力	8ビットのプログラマブル入出力ポート (トリステート) 1ビット単位で入出力の指定ができます。シリアルインタフェース, 外部割り込み入力, タイマカウンタ入力として用いる場合は、入力モードにします。PPG 出力, デバイダ出力として用いる場合は、出力ラッチを“1”にセットして出力モードにします。	SIO1 シリアルデータ出力	
P02 (SO1)	入出力 (出力)		SIO1 シリアルデータ入力	
P01 (SI1)	入出力 (入力)		SIO1 シリアルクロックの入出力	
P00 ($\overline{\text{SCK}}1$)	入出力 (入出力)		外部割り込み 4 入力/タイマカウンタ 3 の入力	
P17 (INT4/TC3)	入出力 (入力)		外部割り込み 2 入力	
P16 (INT2)			外部割り込み 3 入力/タイマカウンタ 1 の入力	
P15 (INT3/TC1)			PWM (パルス幅変調) 出力/プログラマブルデバイス出力	
P14 ($\overline{\text{P}}\text{DO} / \text{P} \text{W} \text{M}$)	入出力 (出力)		デバイス出力	
P13 ($\overline{\text{D}}\text{V} \text{O}$)	入出力 (出力)		タイマカウンタ 2 入力/ プログラマブルパルスジェネレータ出力	
P12 (TC2/ $\overline{\text{P}}\text{P} \text{G}$)	入出力 (入出力)		外部割り込み 1 入力	
P11 (INT1)	入出力 (入力)		外部割り込み 0 入力	
P10 ($\overline{\text{I}}\text{N} \text{T} \text{O}$)				
P22 (XTOUT)	入出力 (出力)		3ビット入出力ポート。 入力ポート, 外部割り込み入力/STOP モード解除入力または発振子接続用として使用する場合は、出力ラッチを“1”にセットします。	低周波発振子接続端子 (32.8 kHz)。 外部クロック入力の場合、XTIN へ入力し、XTOUT は開放します。
P21 (XTIN)	入出力 (入力)			外部割り込み 5 入力/STOP モード解除入力
P20 ($\overline{\text{I}}\text{N} \text{T} \text{5} / \text{S} \text{T} \text{O} \text{P}$)				
P32 ($\overline{\text{S}}\text{C} \text{K} \text{O}$)	入出力 (入出力)	3ビットのプログラマブル入出力ポート (トリステート/プログラマブルオープンドレイン)	SIO0 のクロック入出力	
P31 (SDA/SO0)	入出力 (入出力/出力)	1ビット単位で入力/出力の指定ができます。 シリアルバスインタフェース入力として用いる場合は、入力モードにします。シリアルバスインタフェース出力として用いる場合は、出力ラッチを“1”にセットして出力モードにします。	I ² C バスのデータ入出力/SIO0 のデータ出力	
P30 (SCL/SI0)	入出力 (入出力/入力)		I ² C バスのクロック入出力/SIO0 のデータ入力	
P47 (AIN7) ~P40 (AIN0)	入出力 (入力)	8/4ビットのプログラマブル入出力ポート (トリステート) 1ビット単位で入力/出力の指定ができます。アナログ入力として使用する場合は、入力モードにします。	AD コンバータアナログ入力	
P53 (AIN13) ~P50 (AIN8)	入出力 (入力)			
P67 (V7)~P60 (V0) P77 (V15)~P70 (V8) P87 (V23)~P80 (V16) P97 (V31)~P90 (V24)	入出力 (出力)	8ビット高耐圧入出力ポート 蛍光表示管ドライバとして使用する場合は、出力ラッチを“0”にクリアします。	VFT 出力 (大電流出力)	
PD4(V36)~PD0 (V32)		5ビット高耐圧入出力ポート 蛍光表示管ドライバとして使用する場合は、出力ラッチを“0”にクリアします。		

端子機能 (2/2)

端子名	入出力	機能
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロック入力の場合 XIN へ入力し、XOUT は開放します。
RESET	入出力	リセット信号入力, ウォッチドッグタイマ出力/アドレストラップリセット出力/ システムクロックリセット出力
TEST	入力	出荷試験用端子。“L” レベルに固定します。
VDD, VSS	電源	+5 V, 0 V (GND)
VKK		蛍光表示管駆動用電源端子
VAREF, VASS		AD 変換用アナログ基準電圧, 基準 GND。

Not Recommended
for New Design

動作説明

1. CPU コア機能

CPU コアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870/Xシリーズのメモリは、ROM、RAM、SFR (スペシャルファンクションレジスタ)、DBR (データバッファレジスタ) の4つのブロックで構成され、それらは1つの1Mバイトアドレス空間上にマッピングされています。図 1.1.1に TMP88CU74のメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAM アドレス空間上にマッピングされています。

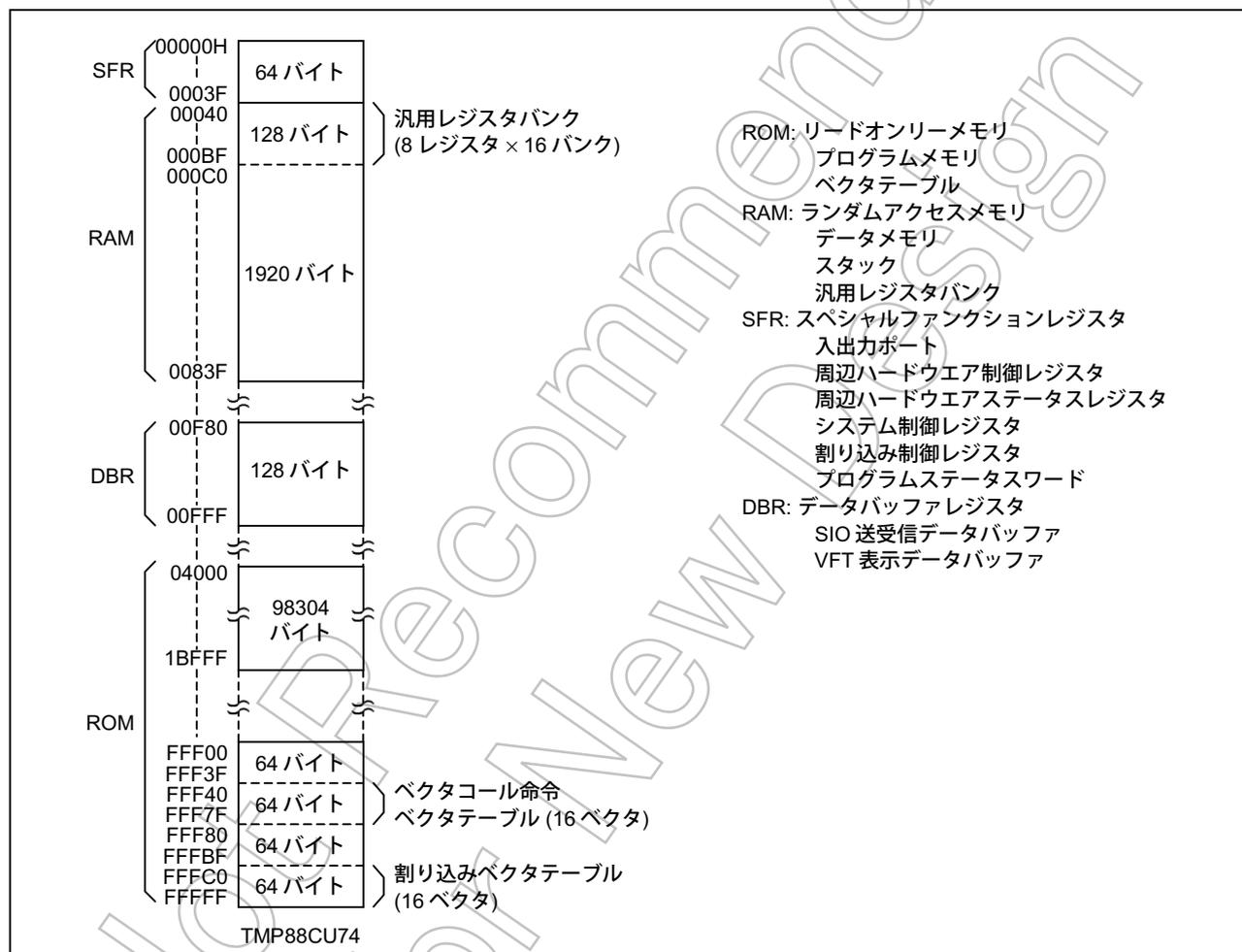


図 1.1.1 メモリアドレスマップ

1.2 プログラムメモリ (ROM)

TMP88CU74は96 Kバイト (アドレス 04000~1BFFFH 番地) と 256 バイト (FFF00~FFFFFH 番地) のプログラムメモリ (マスク ROM) を内蔵しています。

プログラムメモリの FFF00~FFFFFH 番地は、特定の用途にも使用されます。

1.3 データメモリ (RAM)

TMP88CU74 は、2 K バイト (アドレス 00040~0083FH 番地) の RAM を内蔵しています。内蔵 RAM のうち先頭の 128 バイト (00040~000BFH) は汎用レジスタバンクと兼用になっています。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例: RAM クリア (バンク 0 以外の RAM をすべてゼロクリア)

```
LD      HL, 00048H      ; スタートアドレスの設定
LD      A, H            ; 初期化データ (00H) の設定
LD      BC, 03F7H      ; バイト数 (-1) の設定
SRAMCLR: LD      (HL+), A
DEC     BC
JRS    F, SRAMCLR
```

注) 汎用レジスタは RAM 上に存在しますので、カレントバンクのアドレスに対して RAM クリアしないでください。そのため、上記の例でバンク 0 を除いて RAM クリアしています。

1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

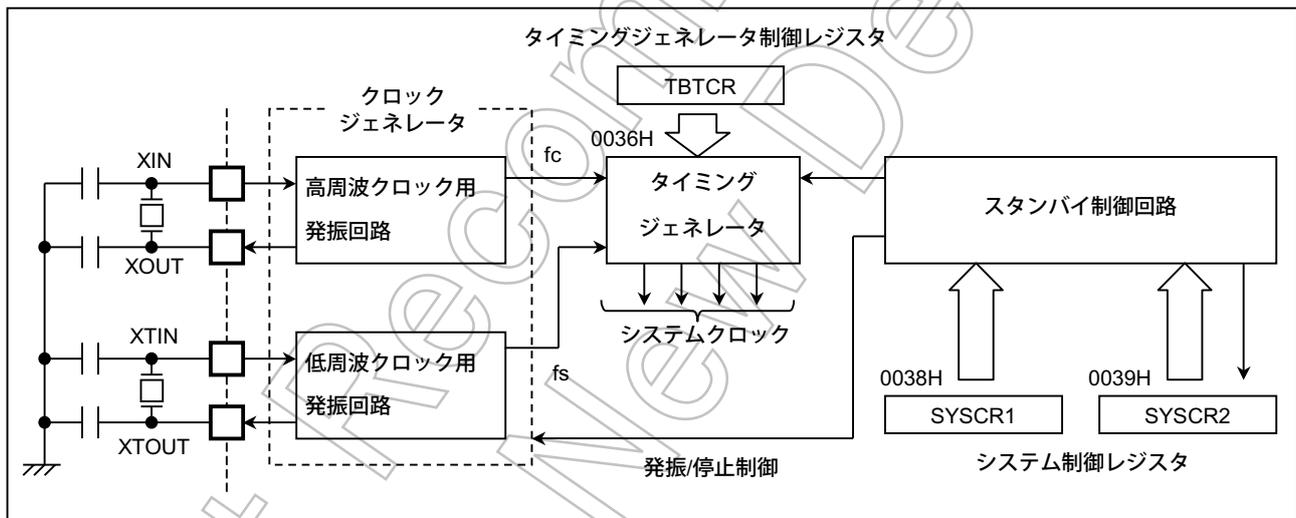


図 1.4.1 システムクロック制御回路

1.4.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

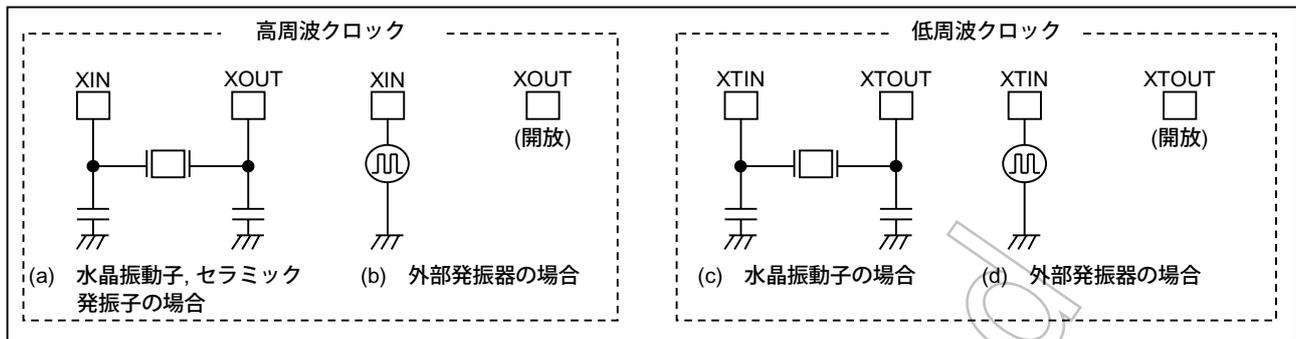


図 1.4.2 発振子の接続例

注) 発振周波数の調整

基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.4.2 タイミングジェネレータ

タイミングジェネレータは、基本クロックから CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- a. メインシステムクロック生成
- b. デバイダ出力 (DV0) パルス生成
- c. タイマベースタイマのソースクロック生成
- d. ウォッチドッグタイマのソースクロック生成
- e. タイマカウンタの内部ソースクロック生成
- f. シリアルインタフェースの内部シリアルクロック生成
- g. 蛍光表示管駆動回路のソースクロック生成
- h. STOP モード解除時のウォーミングアップクロック生成
- i. リセット出力解除クロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、3 段のプリスケラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 1 段目への入力クロックは DV1CK (CGCR のビット 5) によりプリスケラの 2 段目からの出力 ($f_c/4$) か、3 段目からの出力 ($f_c/8$) が選択できます。

DV1CK は周辺回路を起動する前に設定してください。また、一度設定を行った後は設定値を変更しないでください。

デバイダの 7 段目への入力クロックは動作モード、DV1CK (DVCR のビット 5) および DV7CK (TBTCR のビット 4) により表 1.4.1 のようになります。なお、リセット時および STOP モード起動/解除時プリスケラおよびデバイダは“0”にクリアされます。

表 1.4.1 デバイダの7段目への入力クロック (単位: [Hz])

シングルクロックモード		デュアルクロックモード			SLOW, SLEEP モード (SYSCK = 1)
NORMAL1, IDLE1 モード		NORMAL2, IDLE2 モード (SYSCK = 0)			
DV1CK = 0	DV1CK = 1	DV7CK = 0		DV7CK = 1	
$fc/2^8$	$fc/2^9$	$fc/2^8$	$fc/2^9$	fs	fs

注 1) シングルクロックモード時 DV7CK を “1” にセットしないでください。

注 2) SLOW, SLEEP 時、デバイダの初段への入力クロックは停止しますので、デバイダの初段から 6 段目までの出力も停止します。

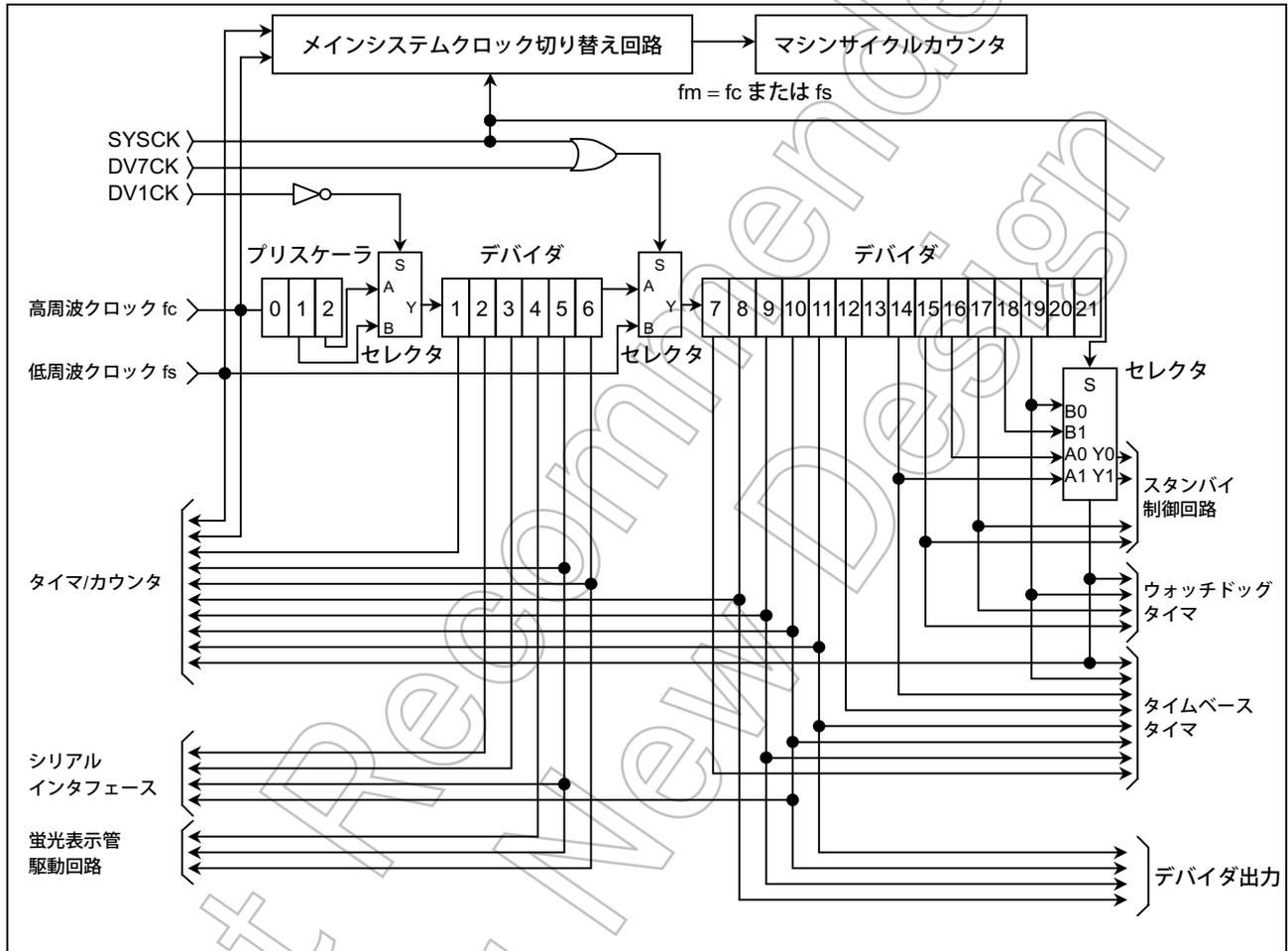


図 1.4.3 タイミングジェネレータの構成

DVCR	7	6	5	4	3	2	1	0	(初期値 **0* ****)
(00030H)	“0”	“0”	DV1CK	“1”	“1”	“1”	“1”	“1”	
DV1CK	デバイダの初段への入力クロックの選択		0: $fc/4$ 1: $fc/8$						R/W

注 1) fc : 高周波クロック [Hz] *: Don't care
 注 2) DVCR の Bit 4~0 は、“1” が読み出されます。

図 1.4.4 デバイダ制御レジスタ

TBTCR (00036H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	(DVOEN)	(DVQCK)	DV7CK	(TBTEN)			(TBTCK)		
DV7CK	デバイダの7段目への 入力クロックの選択		0: $fc/2^8$ or $fc/2^9$ [Hz] 1: fs			R/W			

注 1) fc : 高周波クロック[Hz], fs : 低周波クロック[Hz], *: Don't care
注 2) シングルクロックモード時は、DV7CK を“1” にセットしないでください。
注 3) 低周波クロックの発振安定前ら DV7CK を“1” にセットしないでください。

図 1.4.5 タイミング ジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/X シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 15 サイクル命令までの 15 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

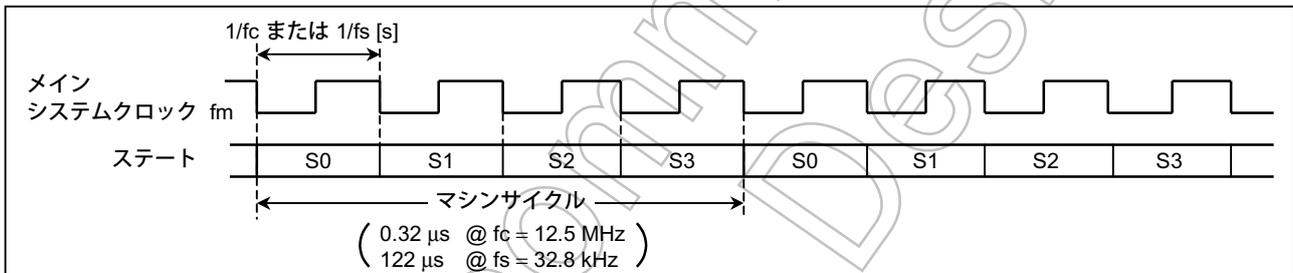


図 1.4.6 マシンサイクル

1.4.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 1.4.7 に動作モード遷移図を、図 1.4.8 に制御レジスタを示します。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] ($0.32 \mu s @ f_c = 12.5 \text{ MHz}$) となります。

a. NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後この NORMAL1 モードになります。

b. IDLE1 モード

CPU および ウォッチドッグ タイマ を停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

c. STOP1 モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、出力保持状態になります。

STOP1 モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$ 端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOP1 モードを起動した命令の次の命令から実行再開します。

(2) デュアルクロック モード

高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW, SLEEP モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s], SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu\text{s}$ @ $f_s = 32.8 \text{ kHz}$) となります。

TLCS-870/X は、リセット中シングルモードとなります。デュアルクロックモードで使用する場合は、プログラム先頭で低周波クロックを発振させてください。

a. NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。

b. SLOW モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2 から SLOW への切り替え、SLOW から NORMAL2 への切り替えは、システム制御レジスタ 2 で行います。

c. IDLE2 モード

CPU およびウォッチドッグ タイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

d. SLEEP モード

CPU およびウォッチドッグ タイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW モードに戻ります。なお、高周波クロックは発振しておりません。

e. STOP2 モード

シングルクロックモードの STOP1 モードと同様、システムの動作をすべて停止するモードです。起動時 NORMAL2 モードのときは解除後に NORMAL2 モードに戻り、起動時 SLOW モードのときは SLOW モードに戻ります。

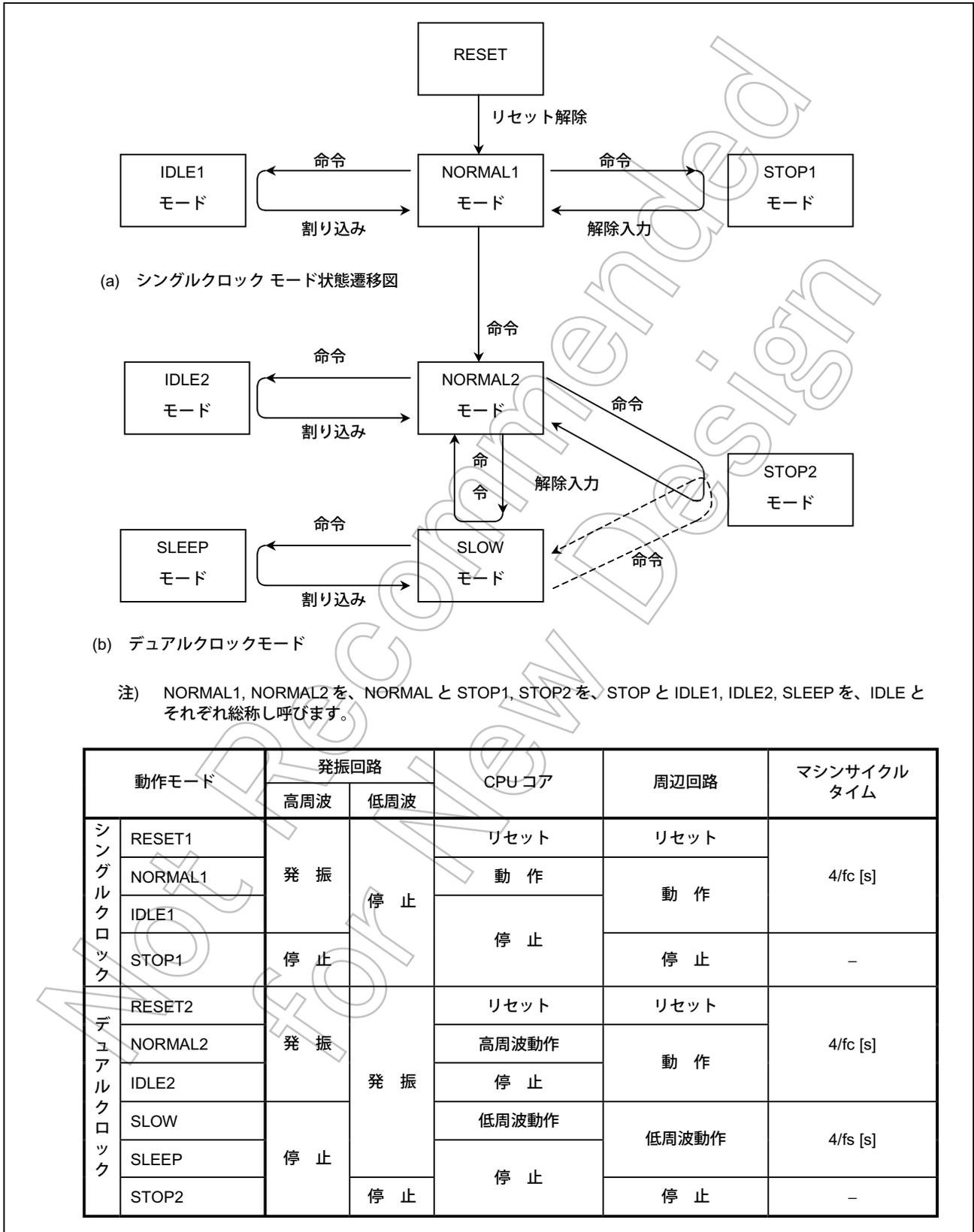
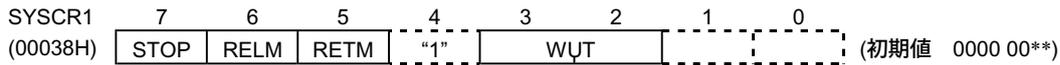


図 1.4.7 動作モード 状態遷移図

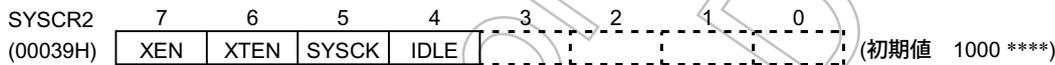
システム制御レジスタ 1



STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア 動作 1: CPU コア, 周辺ハードウェア 停止 (STOP モード起動)			R/W
RELM	STOP モードの解除方法の選択	0: STOP 端子入力の立ち上がりエッジで解除 1: STOP 端子入力の "H" レベルで解除			
RETM	STOP モード解除後の動作モードの選択	0: NORMAL モードへ戻る 1: SLOW モードへ戻る			
WUT	STOPモード解除時のウォーミングアップ時間 単位: [s]		NORMAL モードへ戻る場合	SLOW モードへ戻る場合	
		00	DV1CK = 0 $3 \times 2^{16}/f_c$	DV1CK = 1 $3 \times 2^{17}/f_c$	$3 \times 2^{13}/f_c$
		01	$2^{16}/f_c$	$2^{17}/f_c$	$2^{13}/f_c$
		10	$3 \times 2^{14}/f_c$	$3 \times 2^{15}/f_c$	-
		11	$2^{14}/f_c$	$2^{15}/f_c$	-

- 注 1) RETM は、NORMAL1 モードから STOP モードに移す場合は必ず "0" にしてください。SLOW モードから STOP モードに移す場合は必ず "1" にしてください。
- 注 2) STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
- 注 3) f_c : 高周波クロック [Hz]
 f_s : 低周波クロック [Hz]
*: Don't care
- 注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 5) STOP 起動時、SYSCR1 のビット 4 には "1" を必ず書き込んでください。

システム制御レジスタ 2



XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始			R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始			
SYSCK	システムクロックの選択 (write) / モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)			
IDLE	IDLE モードの起動	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/IDLE2/SLEEP モード起動)			

- 注 1) XEN および SYSCK は STOP モード解除時、RETM (SYSCR1 の 5 ビット目) に従い、自動的に書き替わります。

RETM	STOPモード解除後の動作モード	XTEN	SYSCK
0	NORMAL1/2モード	1	0
1	SLOWモード	0	1

- 注 2) SYSCK = 0 のとき XEN を "0" に、また SYSCK = 1 のとき XTEN を "0" にしないでください。
- 注 3) XEN, XTEN をともに "0" にクリアした場合リセットがかかります (RESET 端子出力が "L" レベルとなります)。
- 注 4) WDT: ウォッチドッグタイマ, *: Don't care
- 注 5) SYSCR2 のビット 3-0 は、リードすると "1" が読み出されます。

図 1.4.8 システム制御レジスタ 1, 2

1.4.4 動作モードの制御

(1) STOP モード (STOP1, STOP2)

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに INT5 (外部割り込み入力 5) 端子と兼用です。STOP モードは、STOP (SYSCR1 のビット 7) を “1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

- a. 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。
- b. データメモリ, レジスタ (DBR を除く), プログラムステータスワード, ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
- c. タイミングジェネレータのプリスケラおよびデバイダを “0” にクリアします。
- d. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードの解除には、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ 1 の RELM (SYSCR1 のビット 6) で選択します。

a. レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への “H” レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が “H” レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が “L” レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. P20 をテストする方法

2. INT5 割り込みによる方法 (INT5 端子入力の立ち下がりエッジで割り込みを発生します)

例 1: P20 ポートをテストして NORMAL モードから STOP モードを起動

```
LD      (SYSCR1), 01010000B ; レベル解除モードにセットアップ
SSTOPH: TEST  (P2). 0       ;  $\overline{\text{STOP}}$  端子入力が “L” レベルになるまでウェイト
        JRS   F, SSTOPH    ;
        SET  (SYSCR1). 7   ; STOP モードを起動
```

例 2: INT5 割り込みにより、STOP モードを起動

```
PINT5:  TEST  (P2). 0       ; ノイズ除去のため P20 ポート入力が “H” レベル
        JRS   F, SINT5     ; なら STOP モードを起動しない。
        LD   (SYSCR1), 01010000B ; レベル解除モードにセットアップ
        SET  (SYSCR1). 7   ; STOP モードを起動
SINT5:  RETI
```

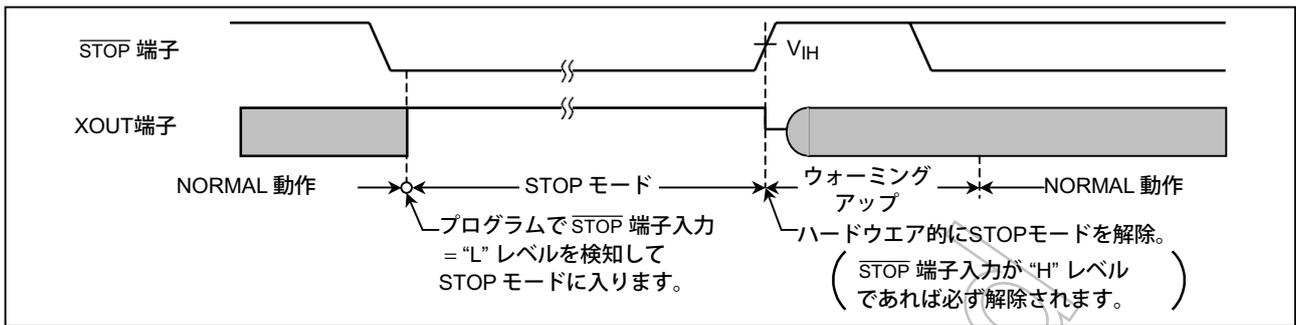


図 1.4.9 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が“L”レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM = “0” のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が“H”レベルにあっても STOP 動作に入ります。

例: エッジ解除モードの STOP モードを起動

```
LD (SYSCR1), 10010000B ; エッジ解除モードに設定して起動
```

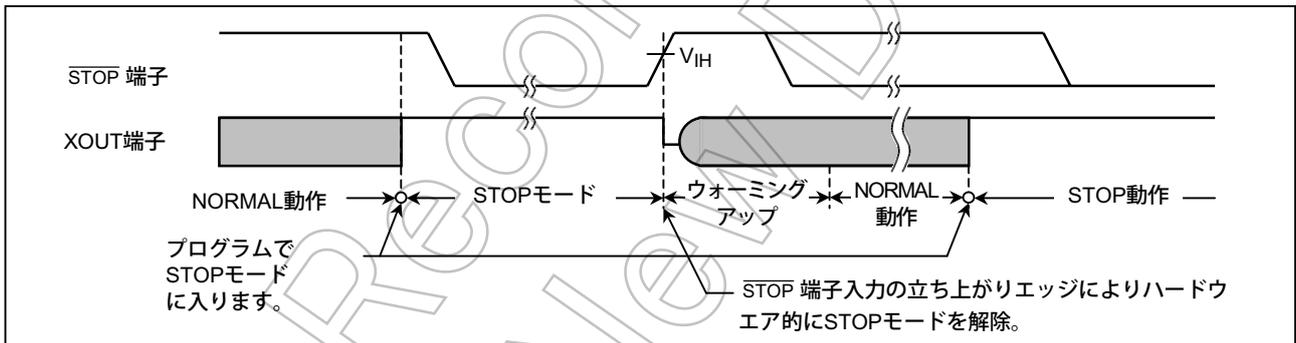


図 1.4.10 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波/低周波発振器の両方が発振し、SLOW に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて WUT (SYSCR1 のビット 3, 2) で 4 種類選択できます。

3. ウォーミングアップ時間経過後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのプリスケールおよびデバイダは“0”にクリアされた状態から始まります。

表 1.4.2 ウォーミングアップ時間 (例: $f_c = 12.5$ MHz, $f_s = 32.8$ kHz 時)

WUT	ウォーミングアップ時間 [ms]		
	NORMAL モードへ戻る場合		SLOW モードに戻る場合
	DV1CK = 0	DV1CK = 1	
00	15.729	31.457	750
01	5.243	10.486	250
10	3.932	7.864	-
11	1.311	2.621	-

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOP モードは、 $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、 $\overline{\text{RESET}}$ 端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、 $\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、 $\overline{\text{RESET}}$ 端子の入力電圧レベルが、 $\overline{\text{RESET}}$ 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

(2) IDLE モード (IDLE1, IDLE2, SLEEP)

IDLE モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。
周辺ハードウェアは動作を継続します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE モードを起動する命令の 2 つ先の命令のアドレスを保持します。

例: IDLE モードの起動

SET (SYSCR2). 4

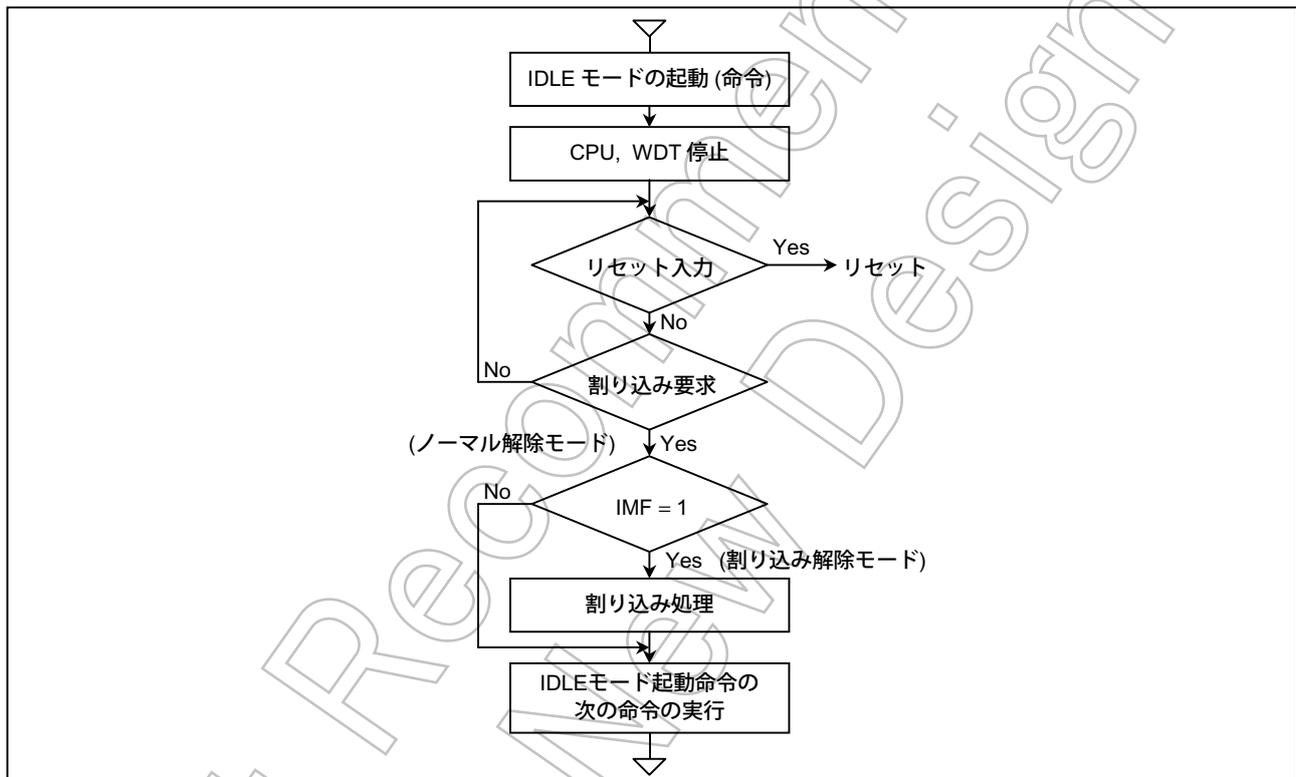


図 1.4.12 IDLE モード

IDLE モードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ(IMF)で選択します。IDLE モード解除後、IDLE1 モードのときは NORMAL1 モードに、IDLE2 モードのときは NORMAL2 モードに、SLEEP モードのときは SLOW モードに戻ります。

(I) ノーマル解除モード (IMF = “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み 0 ($\overline{\text{INT0}}$) の割り込み要求により、IDLE モードが解除され、IDLE モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で “0” にクリアする必要があります。

(II) 割り込み解除モード (IMF = “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み 0 ($\overline{\text{INT0}}$) の割り込み要求により IDLE モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE モードで起動した命令の次の命令に戻ります。

なお、IDLE モードは、RESET 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP88CU74 では、リセット解除後 NORMAL1 モードから始まります。

注) IDLE モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Designs

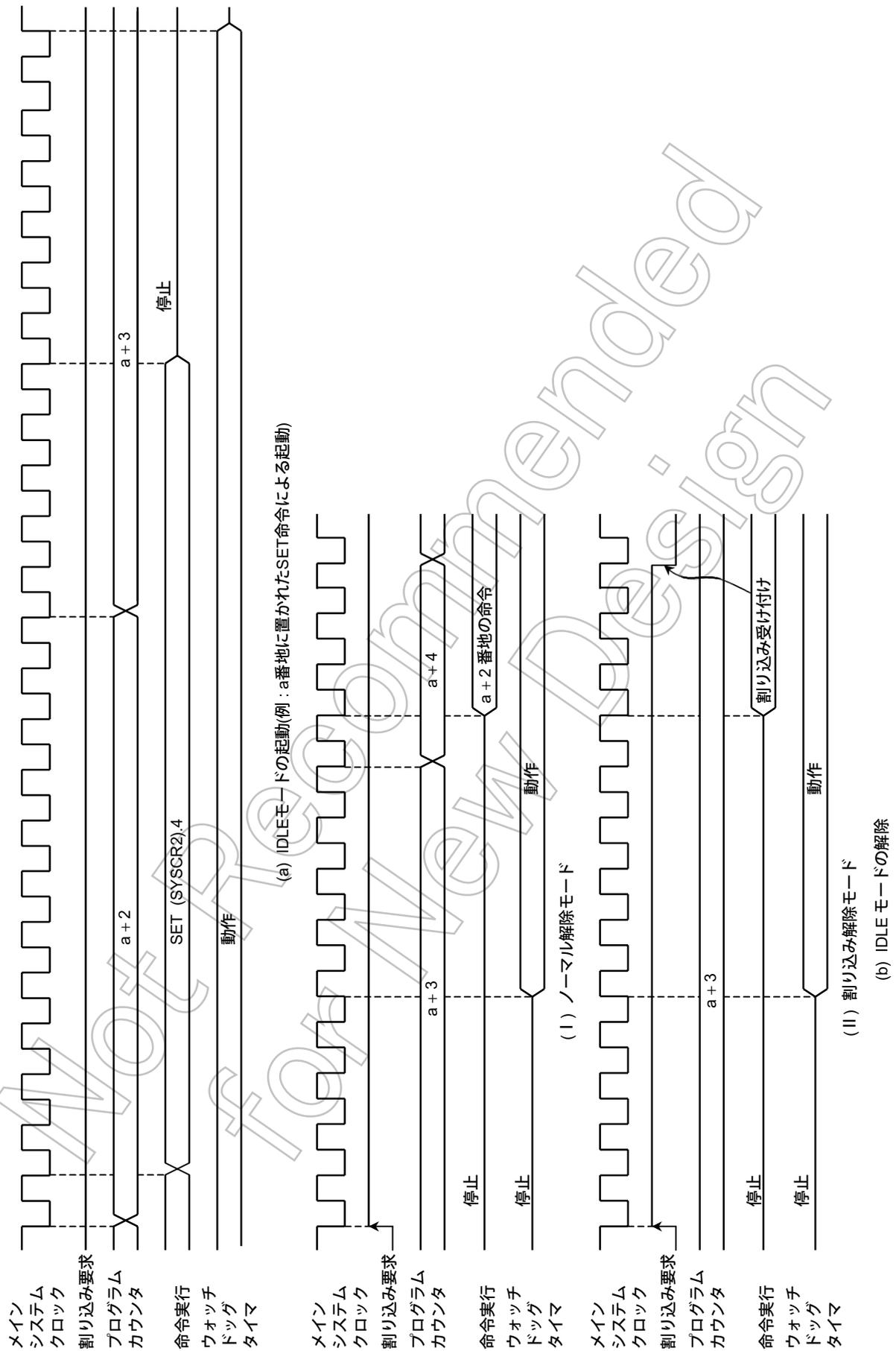


図 1.4.13 IDLEモードの起動/解除

(3) SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) および タイマカウンタ 2 (TC2) によって制御されます。

a. NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCK (SYSCR2 のビット 5) に “1” を書き込み、システムクロックを低周波クロックに切り替えます。次に、XEN (SYSCR2 のビット 7) を “0” にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待つてから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ 2 を使用すると便利です。

例 1: NORMAL2 モードから SLOW モードへの切り替え

```
SET   (SYSCR2). 5      ; SYSCK ← 1
                               (システムクロックを低周波に切り替え)
CLR   (SYSCR2). 7      ; XEN ← 0 (高周波クロック停止)
```

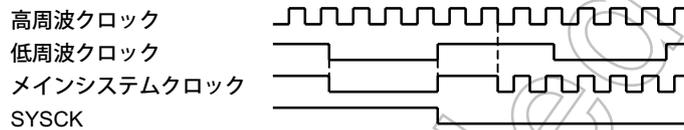
例 2: TC2 で低周波クロックの安定発振の確認後、SLOW モードへ切り替え。

```
LD    (TC2CR), 14H      ; TC2 のモードをセット
                               (タイマモード, ソースクロック: fs)
LDW   (TREG2), 8000H   ; ウォーミングアップ時間をセット
                               (発振子の特性で時間を決定します)
SET   (EIRH). EF14     ; INTTC2 割り込み許可
LD    (TC2CR), 34H     ; TC2 スタート
:
PINTTC2: LD (TC2CR), 10H ; TC2 ストップ
SET   (SYSCR2). 5      ; SYSCK ← 1
                               (システムクロックを低周波に切り替え)
CLR   (SYSCR2). 7      ; XEN ← 0 (高周波クロック停止)
RETI
:
VINTTC2: DL PINTTC2      ; INTTC2 ベクタテーブル
```

b. SLOW モードから NORMAL2 モードへの切り替え

まず、XEN (SYSCR2 のビット 7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ 2 によって確保したあと、SYSCK (SYSCR2 のビット 5) を “0” にクリアします。

注 1) SYSCK を “0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。



注 2) SLOW モードは、 $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP88CU74 は、リセット解除後 NORMAL1 モードになります。

例: SLOW モードから NORMAL2 モードへの切り替え ($f_c = 12.5 \text{ MHz}$, ウォーミングアップ時間 = 5.8 ms)

```

SET    (SYSCR2). 7      ; XEN ← 1 (高周波クロック発振開始)
LD     (TC2CR), 10H    ; TC2 のモードをセット
                          (タイマモード, ソースクロック:  $f_c$ )
LD     (TREG2 + 1), 0F8H ; ウォーミングアップ時間をセット
                          (周波数と発振子の特性で時間を決定します)

SET    (EIRH). EF14   ; INTTC2 割り込み許可
LD     (TC2CR), 30H   ; TC2 スタート
      :
      :
PINTTC2: LD (TC2CR), 10H ; TC2 ストップ
      CLR (SYSCR2). 5   ; SYSCK ← 0
                          (システムクロックを高周波に切り替え)

      RETI
      :
VINTTC2: DL PINTTC2    ; INTTC2 ベクタテーブル
  
```

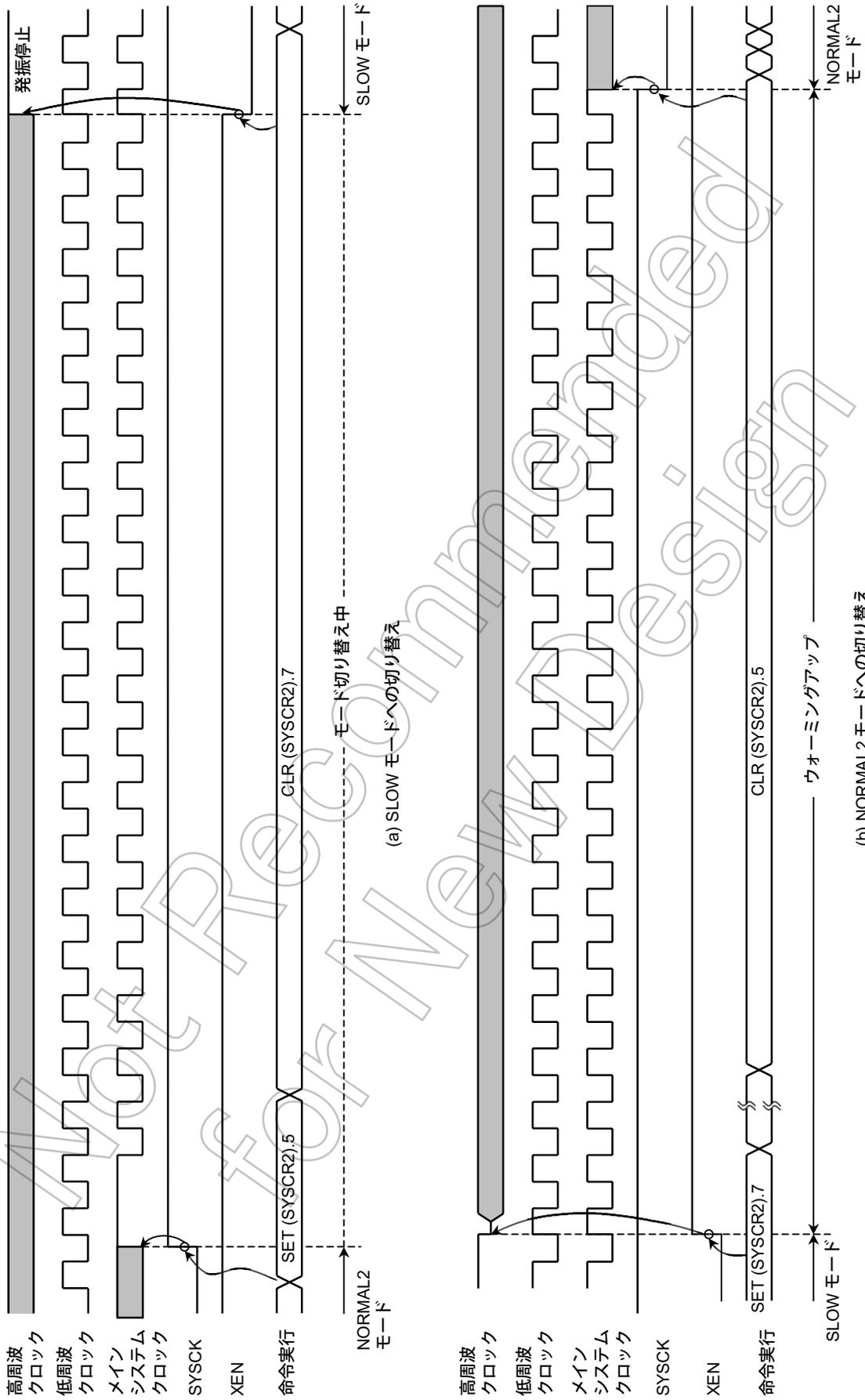


図 1.4.14 SLOW ↔ NORMAL2 モード切り替え

1.5 割り込み制御回路

TMP88CU74には、外部6種、内部9種の合計15種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。

図1.5.1に割り込み制御回路を示します。

表 1.5.1 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	-	FFFFCH	高位 0
内部	INTSW (ソフトウェア割り込み)	擬似ノンマスクابل	-	FFFF8H	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL2	FFFF4H	2
外部	INT0 (外部割り込み 0)	IMF = 1, INTOEN = 1	IL3	FFFF0H	3
内部	INTTC1 (16ビットタイマカウンタ 1 割り込み)	IMF・EF4 = 1	IL4	FFFECH	4
外部	INT1 (外部割り込み 1)	IMF・EF5 = 1	IL5	FFFE8H	5
内部	INTTBT (タイムベースタイマ割り込み)	IMF・EF6 = 1	IL6	FFFE4H	6
外部	INT2 (外部割り込み 2)	IMF・EF7 = 1	IL7	FFFE0H	7
内部	INTTC3 (8ビットタイマカウンタ 3 割り込み)	IMF・EF8 = 1	IL8	FFFDCH	8
内部	INTSBI (シリアルバスインタフェース割り込み)	IMF・EF9 = 1	IL9	FFFD8H	9
内部	INTTC4 (8ビットタイマカウンタ 4 割り込み)	IMF・EF10 = 1	IL10	FFFD4H	10
外部	INT3 (外部割り込み 3)	IMF・EF11 = 1	IL11	FFFD0H	11
外部	INT4 (外部割り込み 4)	IMF・EF12 = 1	IL12	FFFCCH	12
内部	INTSIO1 (シリアルインタフェース 1 割り込み)	IMF・EF13 = 1	IL13	FFFC8H	13
内部	INTTC2 (16ビットタイマカウンタ 2 割り込み)	IMF・EF14 = 1	IL14	FFFC4H	14
外部	INT5 (外部割り込み 5)	IMF・EF15 = 1	IL15	FFFC0H	低位 15

注) 割り込み個別許可フラグ(EF)および割り込みラッチ(IL)の操作をする場合は事前に割り込みマスタ許可フラグ(IMF)を“0”(割り込み禁止状態)にしてから行ってください。

1. DI 命令実行後
2. 割り込みが受け付けられると、IMFは自動的に“0”となりますが、多重割り込みを許可する場合には、IMFを“1”(割り込み許可)にする前にEF, ILの操作を行ってください。

上記以外の条件での割り込み個別許可フラグ(EF)および割り込みラッチ(IL)の操作を行った場合は動作保証できません。

(1) 割り込みラッチ (IL15-IL2)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, 003DH番地に割り付けられており、命令で個別にクリアすることができ(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

例 1: 割り込みラッチのクリア

```
LDW (ILL), 1110100000111111B ; IL12, IL10-IL6 ← 0
```

例 2: 割り込みラッチの読み出し

```
LD WA, (ILL) ; W ← ILH, A ← ILL
```

例 3: 割り込みラッチのテスト

```
TEST (IL).7 ; IL7 = 1ならジャンプ  
JR F, SSET
```

Not Recommended for New Design

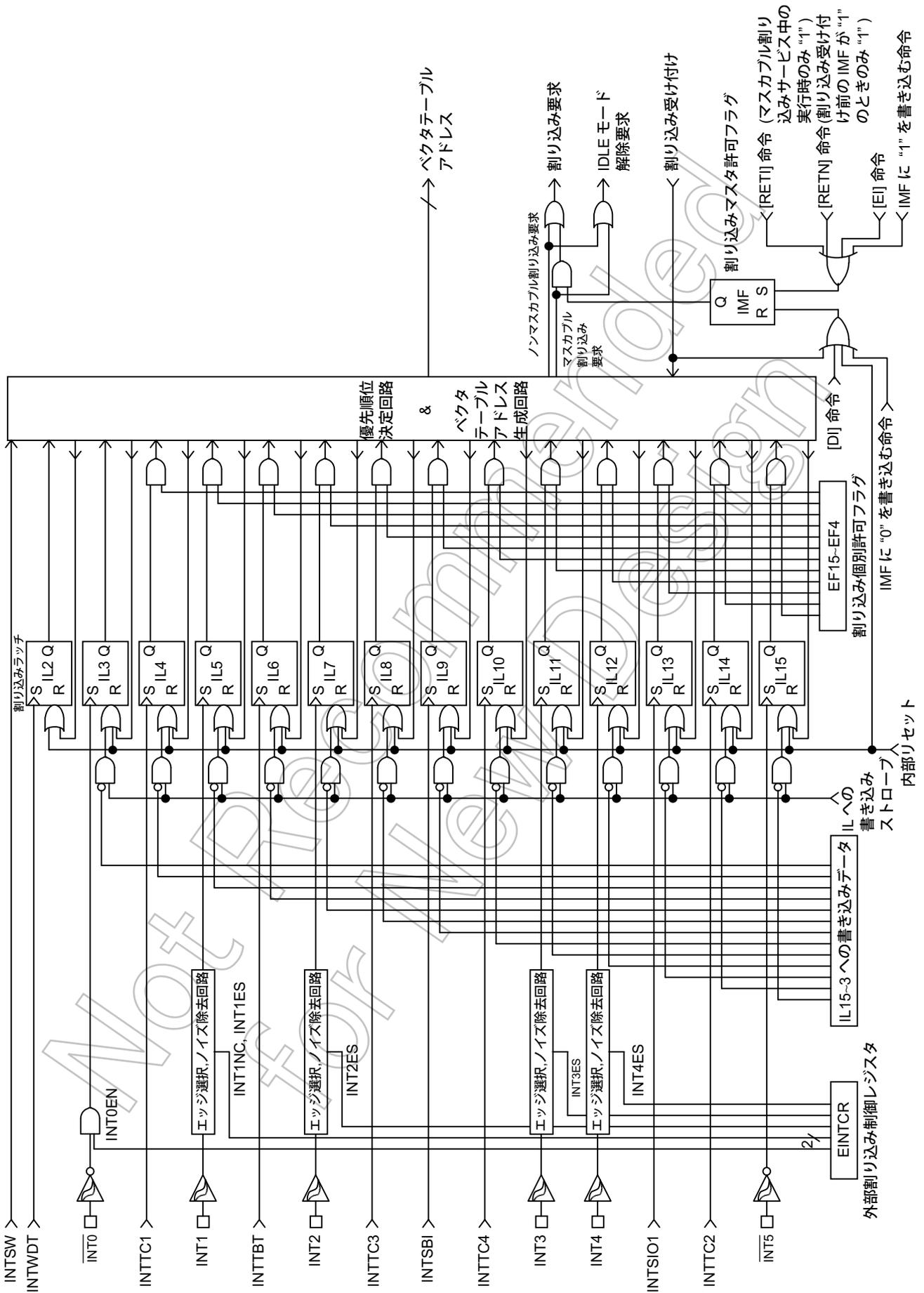


図 1.5.1 割り込み制御回路

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスカブル割り込み (ソフトウェア割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスカブル割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

a. 割り込みマスタ許可フラグ (IMF)

すべてのマスカブル割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令 [RETI] により“1”にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI] 命令の実行直後から割り込み処理に入ります。

擬似ノンマスカブル割り込みの場合は、ノンマスカブル割り込みリターン命令 [RETN] によりリターンします。この場合、割り込み受け付けの許可状態 (IMF = 1) で擬似ノンマスカブル割り込み処理に入ったときのみ、割り込みマスタ許可フラグは“1”にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

b. 割り込み個別許可フラグ (EF15~EF4)

外部割り込み 0 を除く各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

例 1: 割り込みの個別許可と IMF のセット

LDW (EIRL), 1110100010100001B ; EF15~EF13, EF11, EF7, EF5, IMF ← 1

例 2: 割り込みの個別許可フラグのセット

SET (EIRH), 4 ; EF12 ← 1

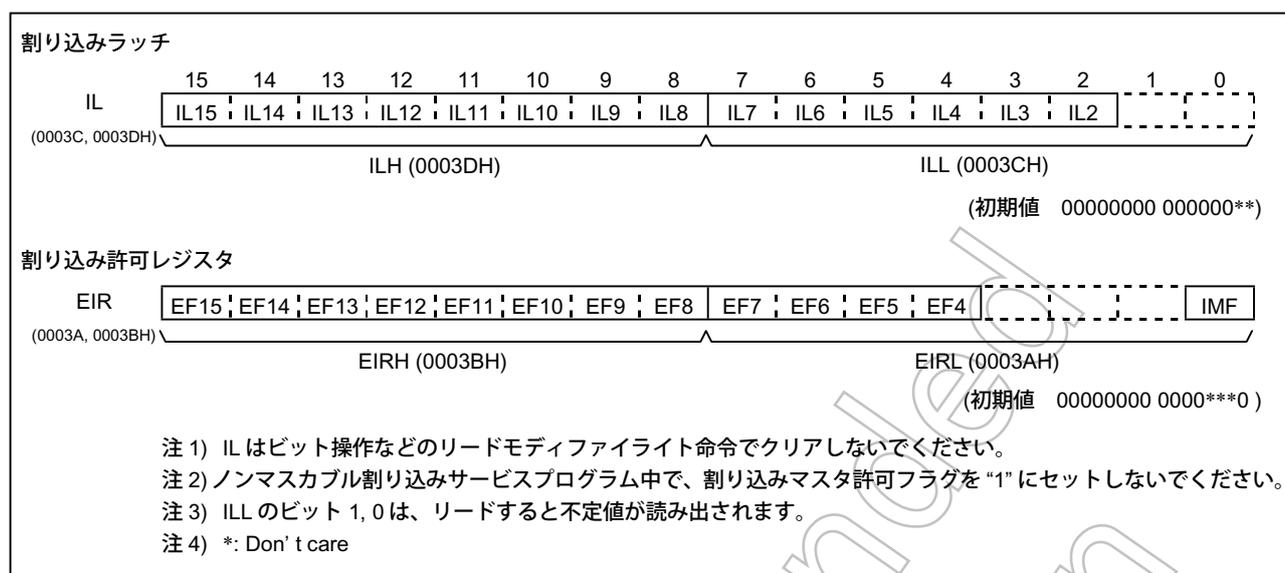


図 1.5.2 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

1.5.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、12 マシンサイクル (3.84 μ s @ 12.5 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスクブル割り込みの場合)/[RETN] (擬似ノンマスクブル割り込みの場合)を実行して終了します。図 1.5.3に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスクブル割り込みの受け付けを一時的に禁止します。ノンマスクブル割り込み受け付けの場合は、そのあとのノンマスクブル割り込みの受け付けも一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) およびプログラム ステータス ワード (PSW) の内容をスタックに退避します (PSWH, PSWL, PCE, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は 5 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. ベクタテーブルから RBS 制御コードを読み出し、その下位 4 ビットをレジスタバンクセレクタ (RBS) に加えます。
6. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

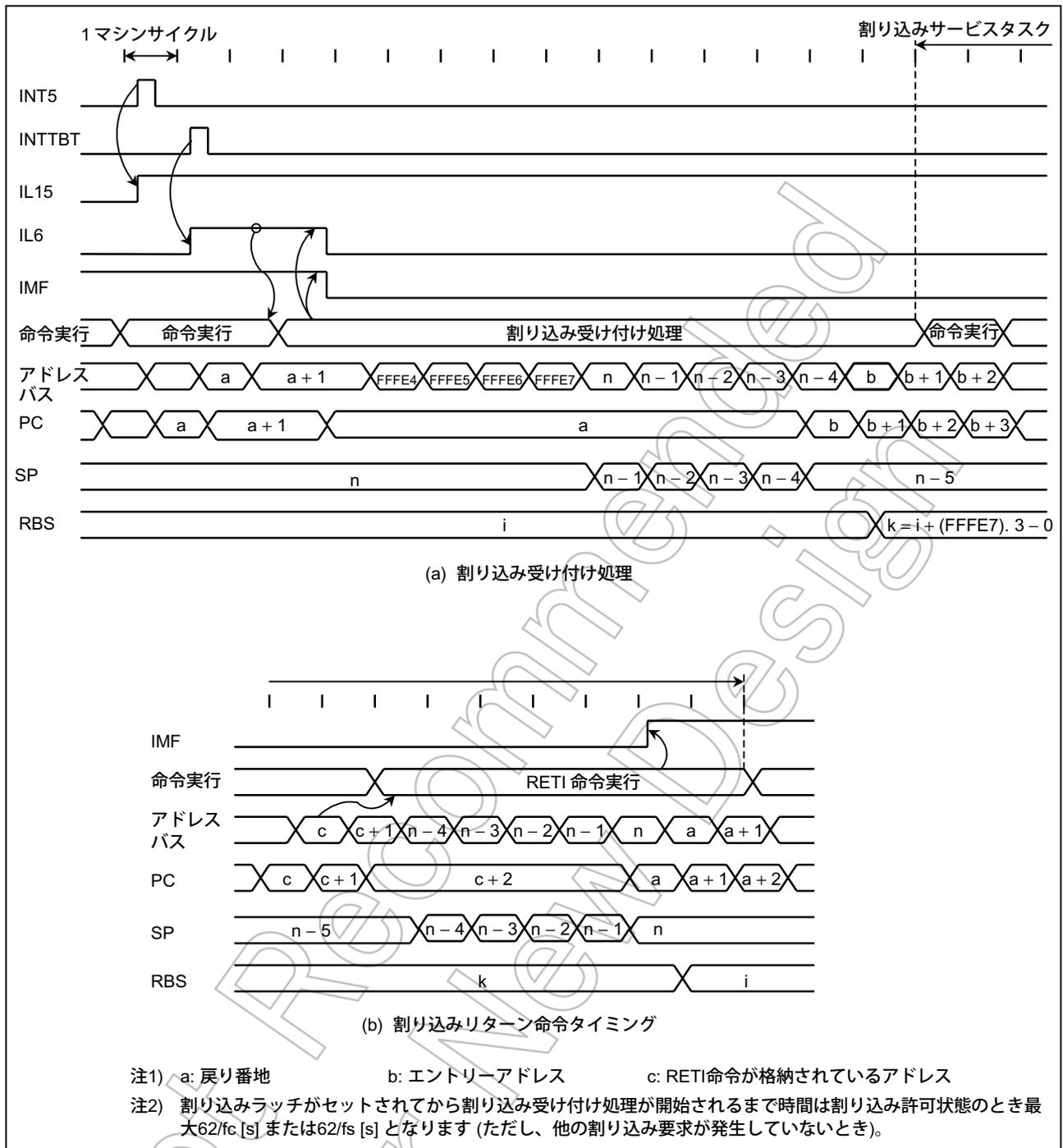


図 1.5.3 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスク可能割り込みが発生しても、割り込みマスク許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスク許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み 0 は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN=0 の期間、割り込みラッチ IL3 はセットされませんので $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジは検出できません) か、または、プログラムでソフトウェア的に割り込み処理を禁止します。

例 1: 外部割り込み制御レジスタによる外部割り込み 0 の禁止

```
LD (EINTCR), 00000000B ; INT0EN ← 0
```

例 2: ソフトウェアによる外部割り込み 0 の割り込み処理禁止 (割り込み処理禁止スイッチを 00F0H 番地のビット 0 とします)。

```
PINT0: TEST (00F0H), 0 ; (00F0H) 0 = 1 なら割り込み処理を行わずにリターン
        JRS T, SINT0
        RETI
SINT0: 割り込み処理
        RETI
        ⋮
VINT0: DL PINT0
```

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の4つの方法があります。

a. 自動レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令 [RETI]/[RETN] の実行で自動的に復帰します。従って、RBSを退避する必要はありません。

例: レジスタバンク切り替え

```
PINTxx:  [割り込み処理]
          RETI
          ⋮
VINTxx:  DP   PINTxx
          DB   1           ; RBS ← RBS + 1
```

b. レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用にバンク1~15の任意を割り込みサービスタスクに使用します。

例: レジスタバンク切り替え

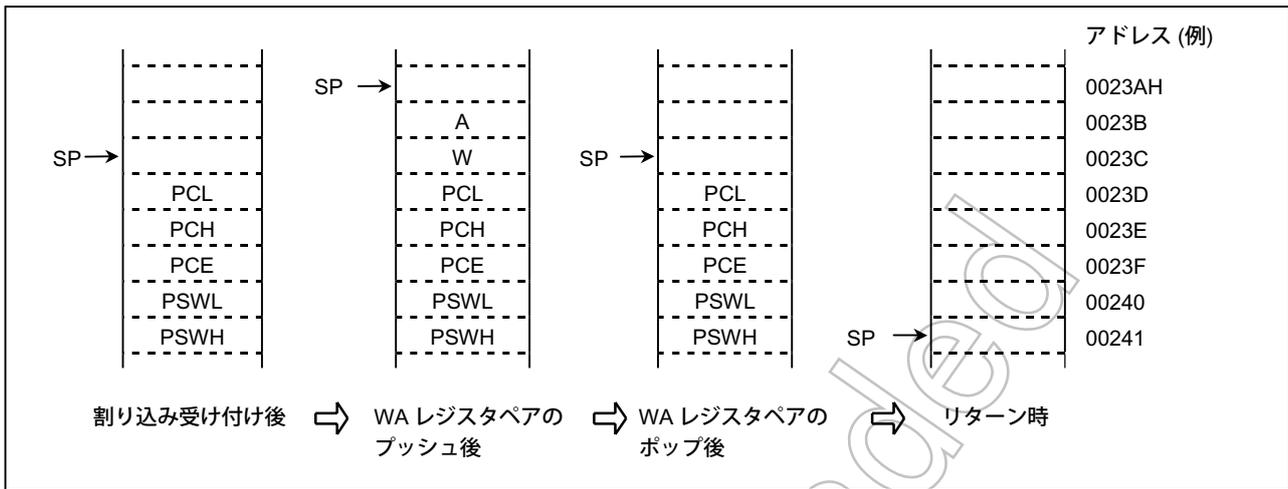
```
PINTxx:  LD   RBS, n
          [割り込み処理]
          RETI           ; バンクの復帰とリターン
          ⋮
VINTxx:  DP   PINTxx           ; 割り込みサービスルーチンエントリーアドレス
          DB   0           ;
```

c. プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx:  PUSH  WA           ; WAレジスタをスタックに退避
          [割り込み処理]
          POP   WA         ; WAレジスタをスタックから復帰
          RETI           ; リターン
```



d. 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx: LD (GSAVA), A ; Aレジスタの退避
        割り込み処理
        LD A, (GSAVA) ; Aレジスタの復帰
        RETI ; リターン
    
```

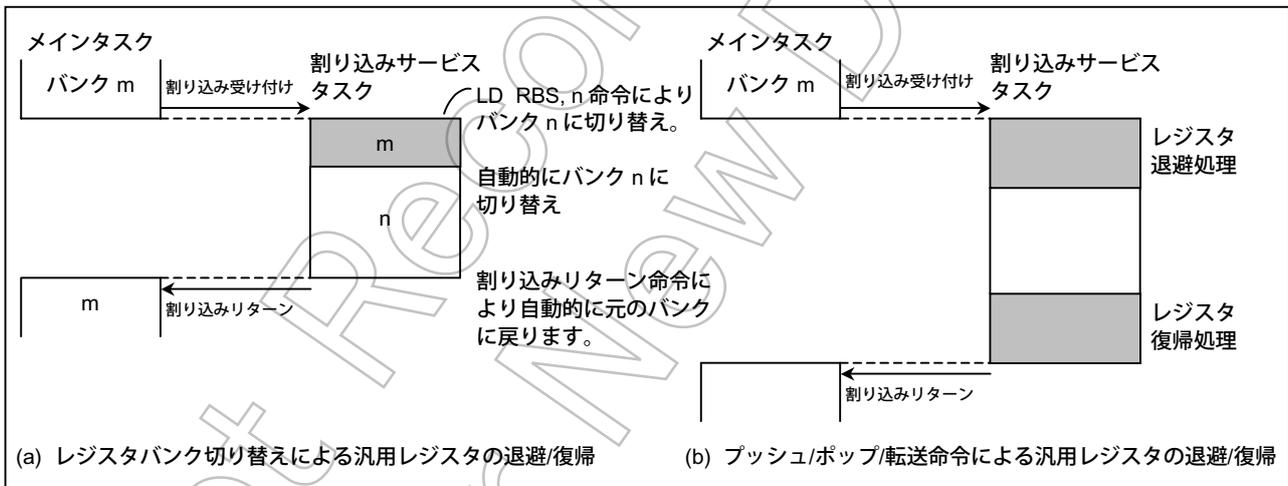


図 1.5.4 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RET] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
1. プログラムカウンタおよびプログラムステータスワードの内容をスタックからそれぞれリストアします。 2. スタックポインタを5回インクリメントします。 3. 割り込みマスタ許可フラグを“1”にセットします。	1. プログラムカウンタおよびプログラムステータスワードの内容をスタックからそれぞれリストアします。 2. スタックポインタを5回インクリメントします。 3. 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.5.2 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、直ちに割り込み処理に入ります (最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI 命令を実行してもソフトウェア割り込みは発生せず、NOP 命令と同一の動作を行います。

注) 開発ツールでは、SWI 命令をソフトウェアブレークに使用できるように、ノンマスカブル割り込み処理中でも必ずソフトウェア割り込みが発生します。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

a. アドレスエラー検出

CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR 領域に対する命令フェッチのときは、アドレストランプリセットがかかります。

b. デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.5.3 外部割り込み

TMP88CU74には、6本の外部割り込み入力があり、うち4本はデジタルノイズ除去回路付き（一定時間未満のパルス入力をノイズとして除去します）となっています。

また、INT1~INT4端子は、エッジ選択可能です。なお、 $\overline{\text{INT0}}$ /P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0}}$ /P10端子の機能選択は、外部割り込み制御レジスタで行います。

表 1.5.2 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	P10	IMF = 1, INT0EN = 1	立ち下がりエッジ	なし (ヒステリシス入力)
INT1	INT1	P11	IMF・EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fcまたは63/fc [s] 未満のパルスはノイズとして除去します。 48/fcまたは、192/fc [s] 以上のパルスは確実に信号とみなします。
INT2	INT2	P16	IMF・EF7 = 1	立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去します。24/fc [s] 以上は確実に信号と見なします。
INT3	INT3	P15/TC1	IMF・EF11 = 1		
INT4	INT4	P17/TC3	IMF・EF12 = 1		
INT5	$\overline{\text{INT5}}$	P20/ $\overline{\text{STOP}}$	IMF・EF15 = 1	立ち下がりエッジ	なし (ヒステリシス入力)

注 1) SLOW/SEEP モード時、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。

注 2) ノイズ除去回路は、タイマカウンタ入力 (TC1 端子, TC3 端子) のエッジ検出に対しても働きます。

注 3) $\overline{\text{INT0}}$ および $\overline{\text{INT5}}$ 端子への入力パルス幅は、“H”、“L”レベルとも2マシンサイクル以上必要です。



注 4) NORMAL1/2 または IDLE1/2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

1. INT1 端子 49/fc [s] (INT1NC = 1 のとき) 193/fc [s] (INT1NC = 0 のとき)
2. INT2-4 端子 25/fc [s]

注 5) INT0EN = 0 のとき、INT0 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL3 はセットされません。

EINTCR (00037H) 7 6 5 4 3 2 1 0
 INT1 INT0 INT4 INT3 INT2 INT1
 NC EN ES ES ES ES (初期値 00*0 000*)

INT1NC	INT1のノイズ除去時間の選択	0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc [s] 未満のパルスはノイズとして除去	R/W
INT0EN	P10/ $\overline{\text{INT0}}$ の機能選択	0: P10 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P10 ポートは入力モードにしてください)	
INT4ES INT3ES INT2ES INT1ES	INT4~INT1のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	

注 1) fc: 高周波クロック [Hz] * : Don't care

注 2) 外部割り込みレジスタ (EINTCR) の設定/書き替えは、まず割り込みを禁止状態 (IMF = 0) にしてから外部割り込み制御レジスタを設定/書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。

注 3) INT2ES, INT3ES および INT4ES を、NORMAL1/2 モード時に、外部割り込み入力信号のエッジを切り替える目的で書き替えた場合には、書き替えてから 8 命令サイクル以上おいてから、外部割り込みラッチ (INT2, INT3, INT4) をクリアしてください。SLOW モード時には、3 命令サイクル必要です。

注 4) INT2ES, INT3ES および INT4ES を、NORMAL1/2 モード時に、タイマカウンタの外部クロック/パルス信号などのエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態)、書き替え後 8 命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3, INT4) をクリアした後に、割り込みを許可状態にし、各タイマカウンタを再スタートさせてください。SLOW モード時には、3 命令サイクル必要です。

図 1.5.5 外部割り込み制御レジスタ

1.6 リセット回路

TMP88CU74 には外部リセット入力、アドレストラップリセット出力、ウォッチドッグタイマリセット出力、システムクロックリセット出力の 4 種類のリセット発生手段があります。

表 1.6.1 にリセット動作による内蔵ハードウェアの初期化を示します。

電源投入時、内部要因リセット出力回路 (ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット) は初期化されません。従って、電源投入時に **RESET** 端子が最大 $24/f_c$ [s] ($1.92 \mu\text{s}$ @ 12.5 MHz) の期間 “L” レベル出力することがあります。

表 1.6.1 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期化	内蔵ハードウェア	初期化
プログラムカウンタ (PC)	(FFFFFFH-FFFFCH)	タイミングジェネレータのプリスケアラおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L)	初期化されません		
レジスタバンクセレクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1		
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスク許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		

1.6.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/f_c$ [s]) 以上の間 **RESET** 端子を “L” レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が “H” レベルに立ち上がるとリセット動作は解除され、FFFFFFC~FFFFFFEH 番地に格納されたベクタアドレスからプログラムの実行を開始します。

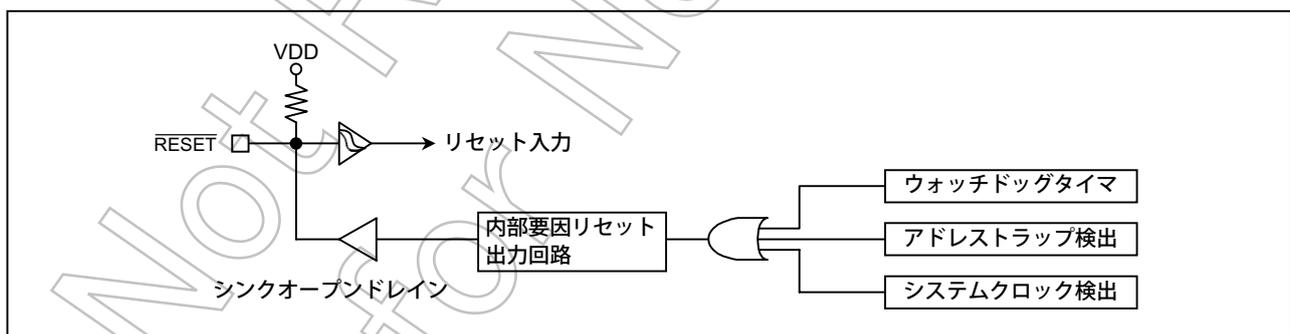


図 1.6.1 リセット回路

1.6.2 アドレスラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM または SFR 領域から命令をフェッチしようとする時内部リセットが発生し、 $\overline{\text{RESET}}$ 端子によりリセット信号 (“L” レベル) が出力されます。リセット時間は、 $8/f_c \sim 24/f_c$ [s] ($0.64 \sim 1.92 \mu\text{s}$ @ 12.5 MHz) です。

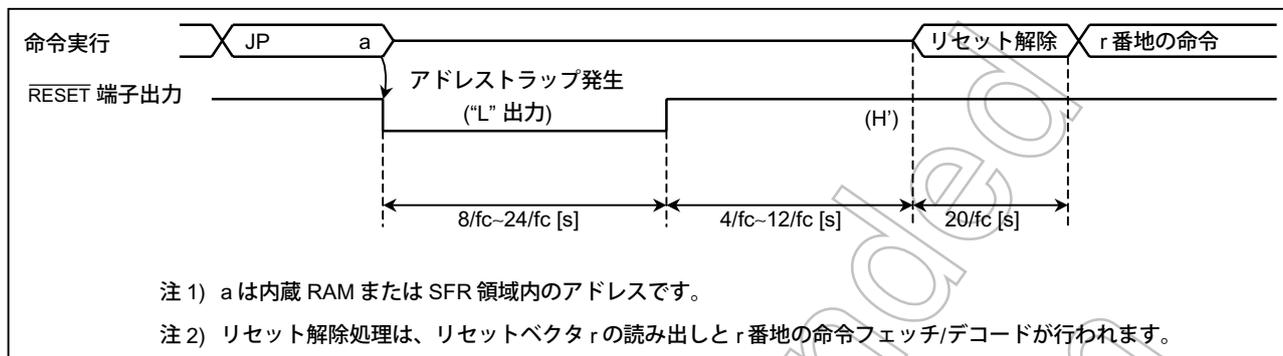


図 1.6.2 アドレスラップリセット

1.6.3 ウォッチドッグタイマリセット

『2.4 ウォッチドッグタイマ』をご参照ください。

1.6.4 システムクロックリセット

XEN, XTEN (SYSCR2 のビット 7,6) をともに “0” にクリアした場合、 $\text{SYSCK} = 0$ で XEN を “0” にクリアした場合、および $\text{SYSCK} = 1$ で XTEN を “0” にクリアした場合、システムクロックが停止し、CPU がデッドロック状態に陥ります。これを防ぐため、 $\text{XEN} = \text{XTEN} = “0”$ を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、 $\overline{\text{RESET}}$ 端子より出力されます。リセット時間は、 $8/f_c \sim 24/f_c$ [s] ($0.64 \sim 1.92 \mu\text{s}$ @ 12.5 MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR) とデータバッファレジスタ (DBR)

TMP88CU74 は、メモリマップ I/O 方式で、周辺ハードウェアの制御/データ転送はすべてスペシャルファンクションレジスタ (SFR) またはデータ バッファレジスタ (DBR) を通して行われます。

SFR は 00000~0003FH 番地に、DBR は 00F80~00FFFH 番地にマッピングされています。図 2.1.1, 2.1.2 に TMP88CU74 の SFR, DBR の一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
00000H	-	P0 ボート	00020H	-	SBICR1 (SBI 制御レジスタ)
01	-	P1 ボート	21	-	SBIDBR (SBI データバッファ)
02	-	P2 ボート	22	-	I ² CAR (I ² C バスアドレス)
03	-	P3 ボート	23	-	SBISR (SBI ステータス) SBICR2 (SBI 制御レジスタ)
04	-	P4 ボート	24	-	Reserved
05	-	P5 ボート	25	-	Reserved
06	-	P6 ボート	26	-	Reserved
07	-	P7 ボート	27	-	SIO1SR (SIO ステータス) SIO1CR1 (SIO1 制御 1)
08	-	P8 ボート	28	-	SIO1CR2 (SIO1 制御 2)
09	-	P9 ボート	29	-	VFTSR (VFT ステータス) VFTR1 (VFT 制御 1)
0A	-	P0CR (P0 ボート入出力制御)	2A	-	VFTR2 (VFT 制御 2)
0B	-	P1CR (P1 ボート入出力制御)	2B	-	P3CR (P3 ボート入出力制御)
0C	-	P4CR (P4 ボート入出力制御)	2C	-	Reserved
0D	-	P5CR (P5 ボート入出力制御)	2D	-	Reserved
0E	-	ADCCR (AD コンバータ制御)	2E	-	Reserved
0F	-	ADCCR (AD 変換値レジスタ)	2F	-	Reserved
10	-	TREG1AL (タイマレジスタ 1A)	30	-	DVCR
11	-	TREG1AH	31	-	Reserved
12	-	TREG1BL (タイマレジスタ 1B)	32	-	Reserved
13	-	TREG1BH	33	-	Reserved
14	-	TC1CR (タイマカウンタ 1 制御)	34	-	WDTTCR1 (ウォッチドッグ タイマ制御)
15	-	TC2CR (タイマカウンタ 2 制御)	35	-	WDTTCR2
16	-	TREG2L (タイマレジスタ 2)	36	-	TBTCR (TBT/G/DVO 制御)
17	-	TREG2H	37	-	EINTCR (外部割り込み制御)
18	-	TREG3A (タイマレジスタ 3A)	38	-	SYSCR1 (システム制御)
19	-	TREG3B (タイマレジスタ 3B)	39	-	SYSCR2
1A	-	TC3CR (タイマカウンタ 3 制御)	3A	-	EIRL (割り込み許可レジスタ)
1B	-	TREG4 (タイマレジスタ 4)	3B	-	EIRH
1C	-	TC4CR (タイマカウンタ 4 制御)	3C	-	ILL (割り込みラッチ)
1D	-	PD ボート	3D	-	ILH
1E	-	Reserved	3E	-	PSWL (プログラムステータスワード)
1F	-	Reserved	3F	-	PSWH

(a) スペシャルファンクションレジスタ

注 1) Reserved の番地はプログラムでアクセスしないでください。
 注 2) -: アクセスできません。
 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。
 注 4) PSW: プログラムステータスワード
 0003FH 番地をシンボルで定義する場合、GRBS としてください。
 0003EH 番地は GPSW/GFLAG としてください。

図 2.1.1 SFR & DBR (1/2)

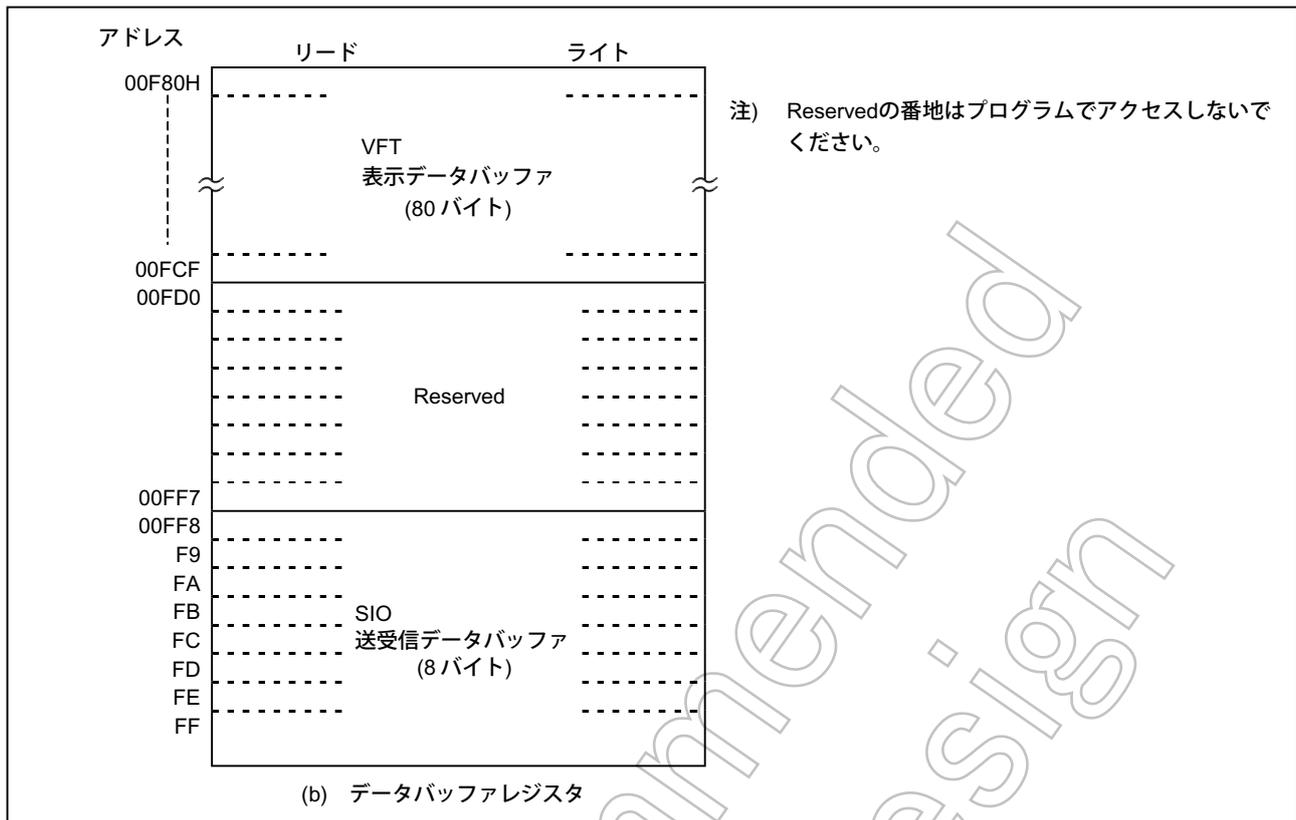


図 2.1.2 SFR & DBR (2/2)

2.2 入出力ポート

TMP88CU74は、11ポート71端子の入出力ポートを内蔵しています。

- a. P0ポート: 8ビット入出力ポート (シリアルポート入出力と兼用)
- b. P1ポート: 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
- c. P2ポート: 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
- d. P3ポート: 3ビット入出力ポート (シリアルバスインタフェース入出力と兼用)
- e. P4ポート: 8ビット入出力ポート (アナログ入力と兼用)
- f. P5ポート: 4ビット入出力ポート (アナログ入力と兼用)
- g. P6ポート: 8ビット入出力ポート (VFT出力と兼用)
- h. P7ポート: 8ビット入出力ポート (VFT出力と兼用)
- i. P8ポート: 8ビット入出力ポート (VFT出力と兼用)
- j. P9ポート: 8ビット入出力ポート (VFT出力と兼用)
- k. PDポート: 5ビット入出力ポート (VFT出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 2.2.1に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。

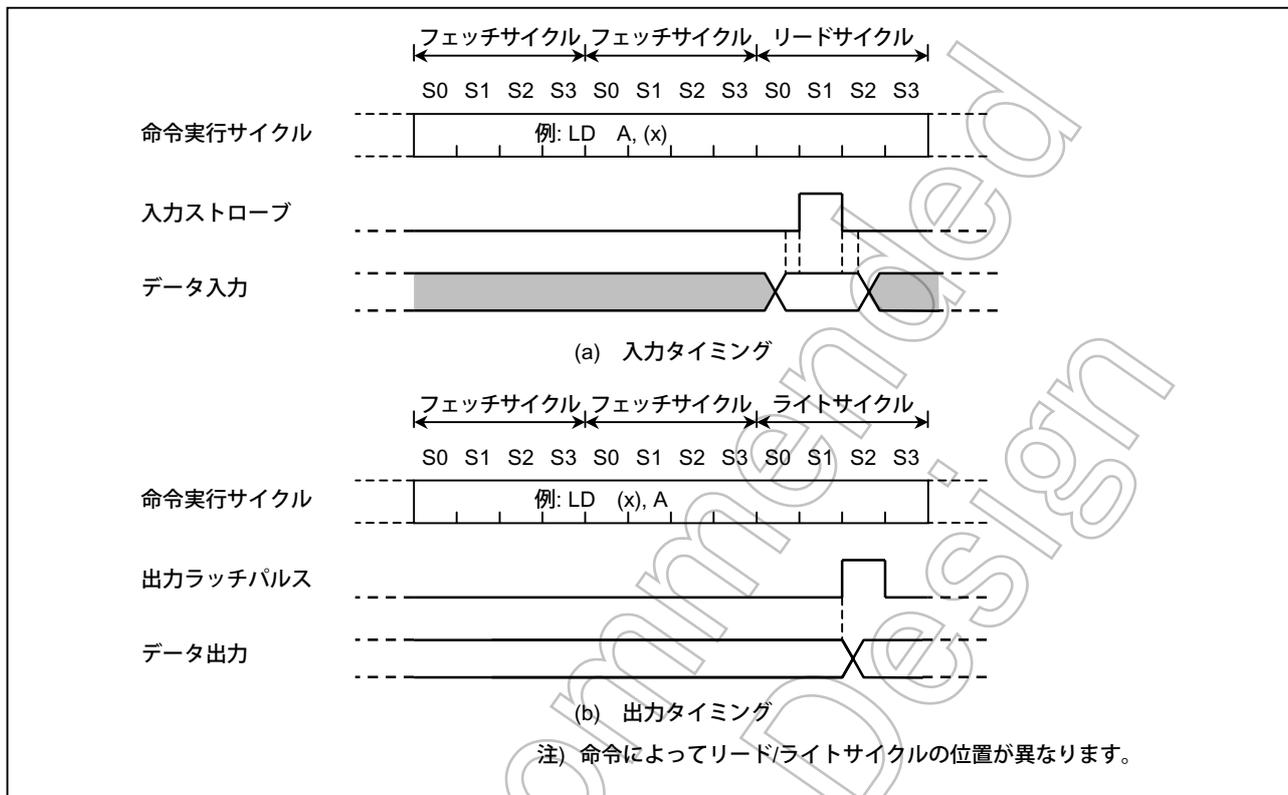


図 2.2.1 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(a) 出力ラッチの内容を読み込む命令

- a. XCH r, (src)
- b. SET/CLR/CPL (src).b
- c. SET/CLR/CPL (pp).g
- d. LD (src).b, CF
- e. LD (pp).b, CF
- f. XCH CF, (src), b
- g. ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n
- h. ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src) 側
- i. MXOR (src), m

(b) 端子入力値を読み込む命令

上記以外の命令および ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (HL) 側

2.2.1 P0 (P07~P00) ポート

P0 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P0 ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CR は “0” に初期化され、P0 ポートは入力モードとなります。また、P0 ポート出力ラッチは “0” に初期化されます。

P0 ポートは、シリアルインタフェース入出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを “1” にセットし、出力モードに設定します。

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

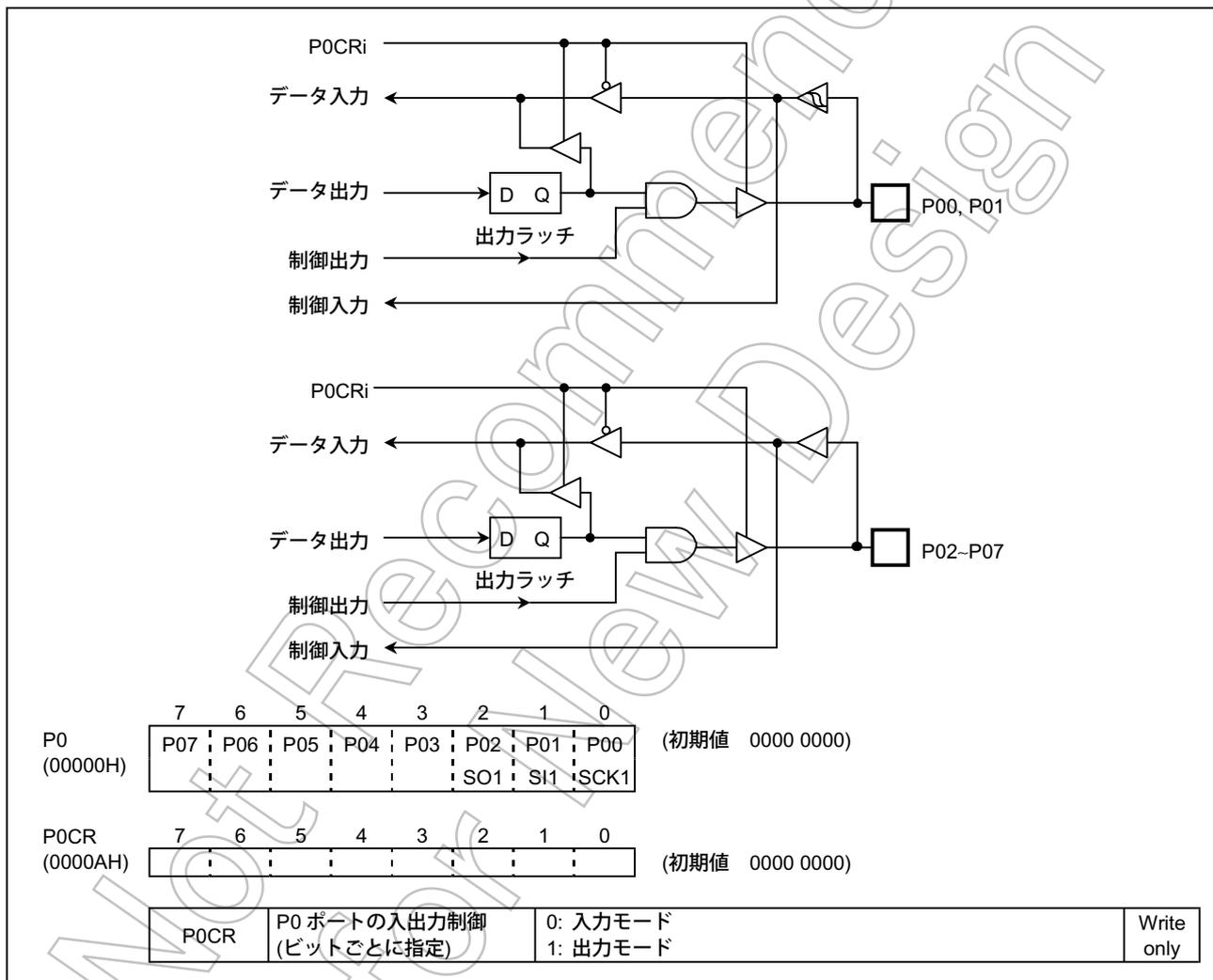


図 2.2.2 P0 ポートと P0 ポート入出力制御レジスタ

例: P0 ポートの上位 4 ビットを入力ポートに、下位 4 ビットを出力ポートに設定します。なお、イニシャルは 1010B を出力します。

LD (P0), 00001010B ; P0 ポート出力ラッチの初期値設定
LD (P0CR), 00001111B ; P0 ポートの入出力モード設定

2.2.2 P1 (P17~P10) ポート

P1 ポートは、1 ビット単位で入出力の指定ができる 8 ビット入出力ポートです。入出力の指定は、P1 ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CR は“0”に初期化され、P1 ポートは入力モードとなります。また、P1 ポート出力ラッチは“0”に初期化されます。

P1 ポートは、外部割り込み入力、タイマカウンタ入出力、デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11, P15, P16, P17 端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10 端子は、外部割り込み制御レジスタ (INT0EN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10 端子は入力ポートとなります。

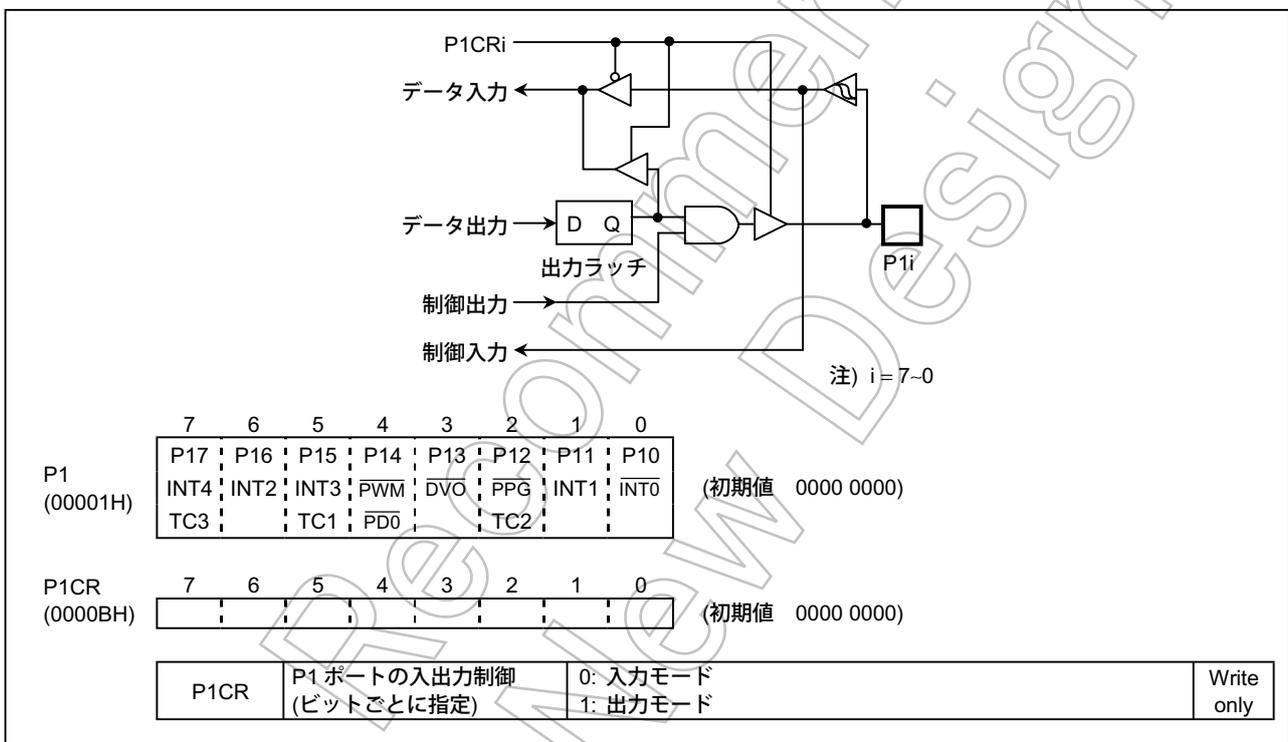


図 2.2.3 P1 ポートと P1 ポート入出力制御レジスタ

例: P17, P16, P14 を出力ポートに、P13, P11 を入力ポートに、そのほかを機能ピンに設定し、P17, P14 ピンは“1”に、P16 ピンは“0”を出力します。

```
LD (EINTCR), 01000000B ; INT0EN ← 1
LD (P1), 10111111B ; P17 ← 1, P14 ← 1, P16 ← 0
LD (P1CR), 11010000B
```

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

2.2.3 P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割り込み入力、STOP モード解除信号入力、低周波発振子接続端子と兼用になっています。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを“1”にセットします。リセット時、出力ラッチは“1”に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は、通常の入出力ポートとして使用できます。

P20 端子は外部割り込み入力、STOP モード解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2 ポートに対して入力命令を実行した場合、ビット 7-3 は不定値が読み込まれます。

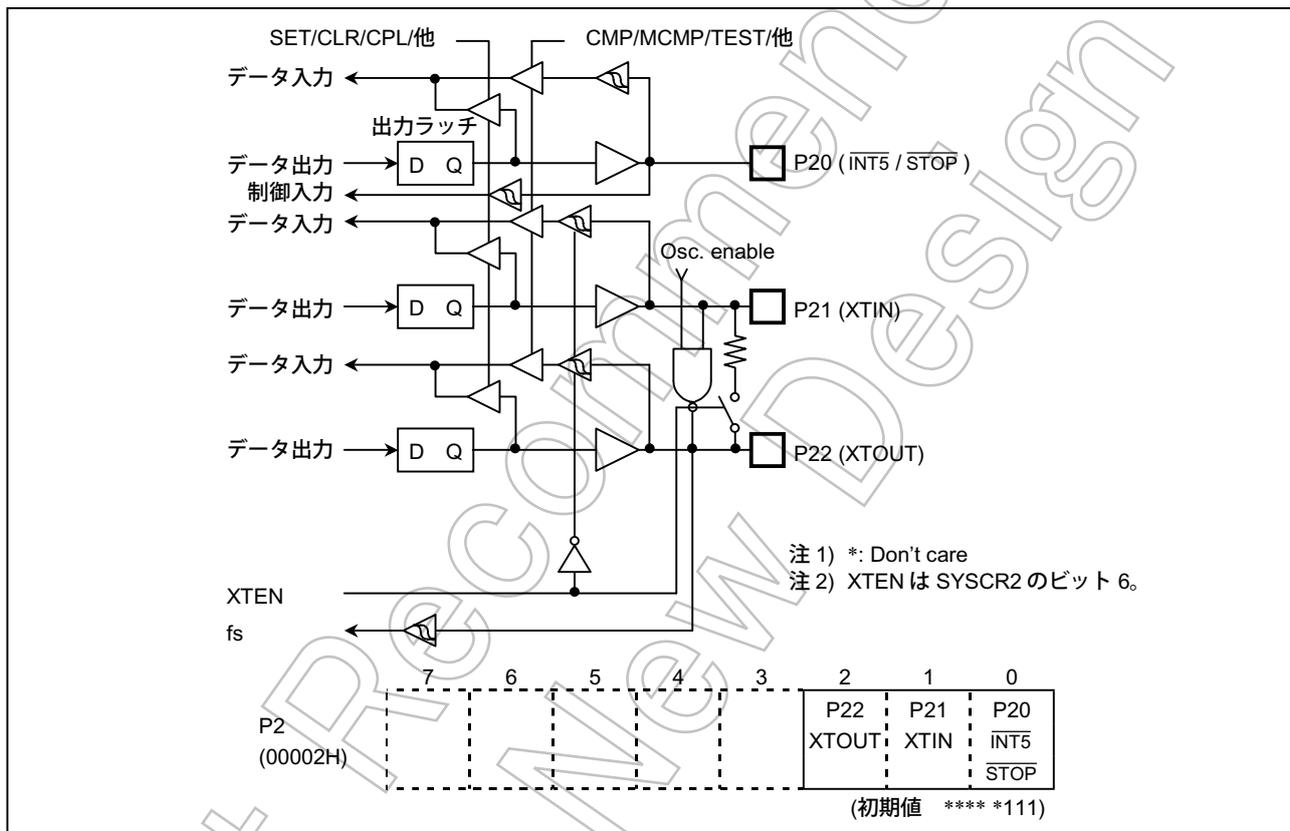


図 2.2.4 P2 ポート

2.2.4 P3 (P32~P30) ポート

P3 ポートは、3 ビットの入出力ポートでシリアルバスインタフェース入出力と兼用です。入出力の指定は、P3 ポート入出力制御レジスタ (P3CR) によって行います。リセット時 P3CR は“0”に初期化され、P3 ポートは入力モードとなります。また、P3 ポート出力ラッチは“0”に初期化されます。

P3 は、シリアルバスインタフェース入出力と兼用になっています。これらの機能ピンとして使用する場合、P3 ポート入出力制御レジスタ (P3CR) にて出力モードに設定し、入出力は出力データによりコントロールしてください。また、P3 ポート入出力制御レジスタ (P3CR) にて、出力バッファをトライステート/シンクオープンドレインと切り替えることができます。

P3 ポートに対してリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

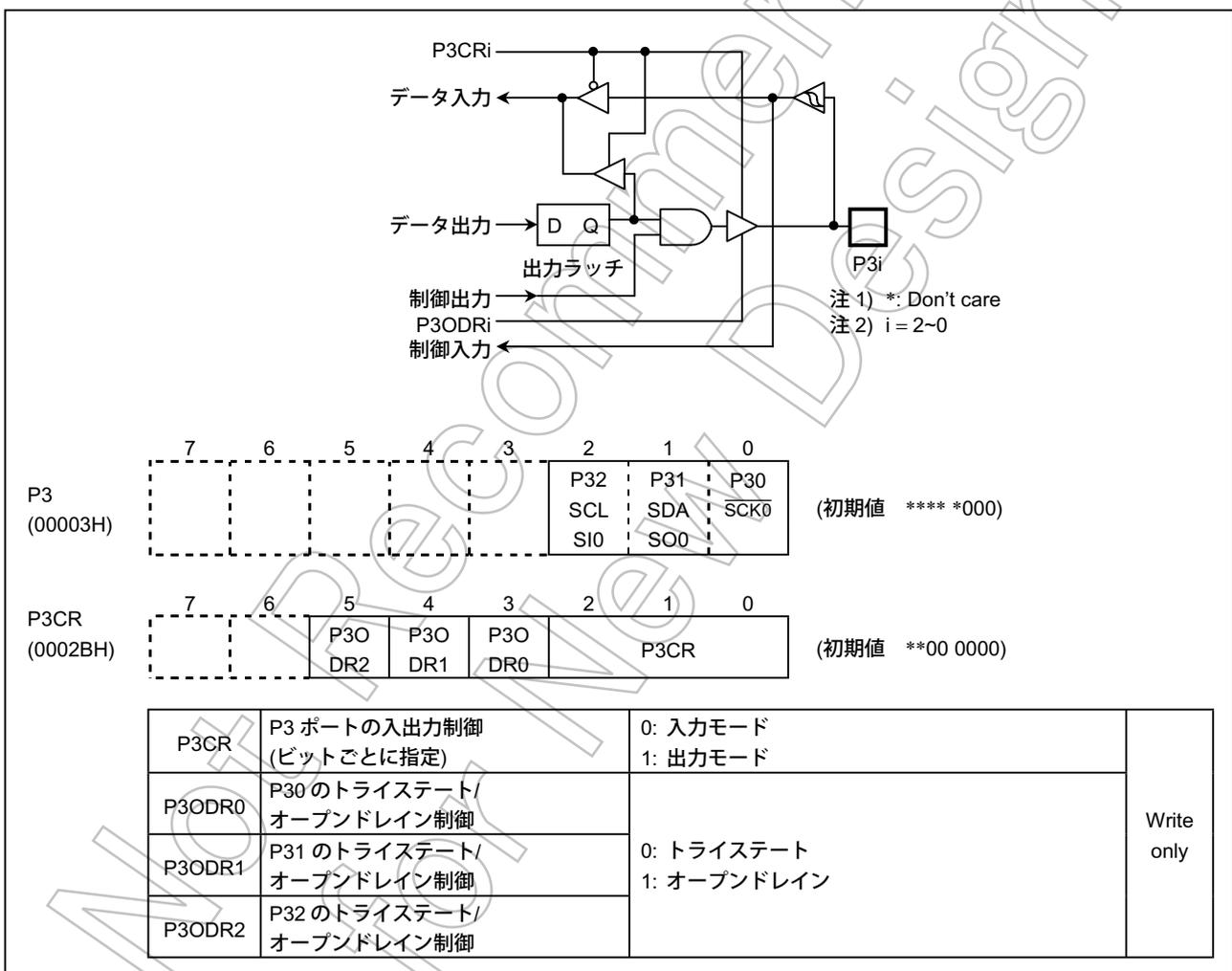


図 2.2.5 P3 ポートと P3 ポート入出力制御レジスタ

2.2.5 P4 (P47~P40) ポート

P4 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートで、アナログ入力と兼用です。入出力の指定は、P4 ポート入出力制御レジスタ (P4CR) と AINDS (ADCCR のビット 4) によって行います。リセット時、P4CR は“0”にセットされ、AINDS は“0”にクリアされますので、P4 ポートはアナログ入力となります。また、P4 ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P4CR は書き込み専用レジスタです。アナログ入力として使用しない P4 ポートは、入出力ポートとして使用できますが、AD 変換中は、精度を保つ意味で出力命令は実行しないでください。AD コンバータを使用しているとき P4 ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます。

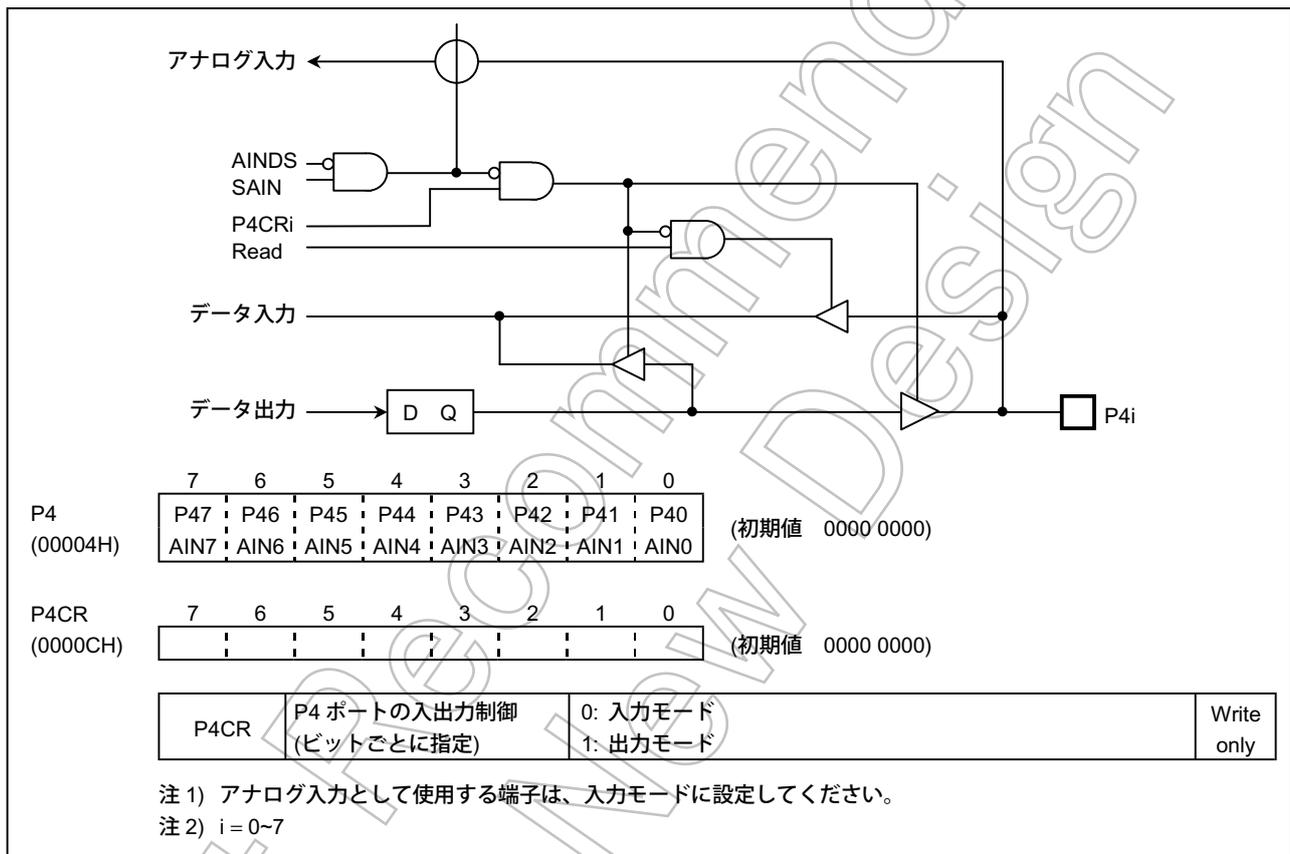


図 2.2.6 P4 ポートと P4 ポート入出力制御レジスタ

2.2.6 P5 (P53~P50) ポート

P5 ポートは、1 ビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートで、アナログ入力と兼用です。入出力の指定は、P5 ポート入出力制御レジスタ (P5CR) と AINDS (ADCCR のビット 4) によって行います。リセット時、P5CR は“0”にセットされ、AINDS は“0”にクリアされますので、P5 ポートはアナログ入力となります。また、P5 ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P5CR は書き込み専用レジスタです。アナログ入力として使用しない P5 ポートは、入出力ポートとして使用できますが、AD 変換中は、精度を保つ意味で出力命令は実行しないでください。AD コンバータを使用しているとき P5 ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます。

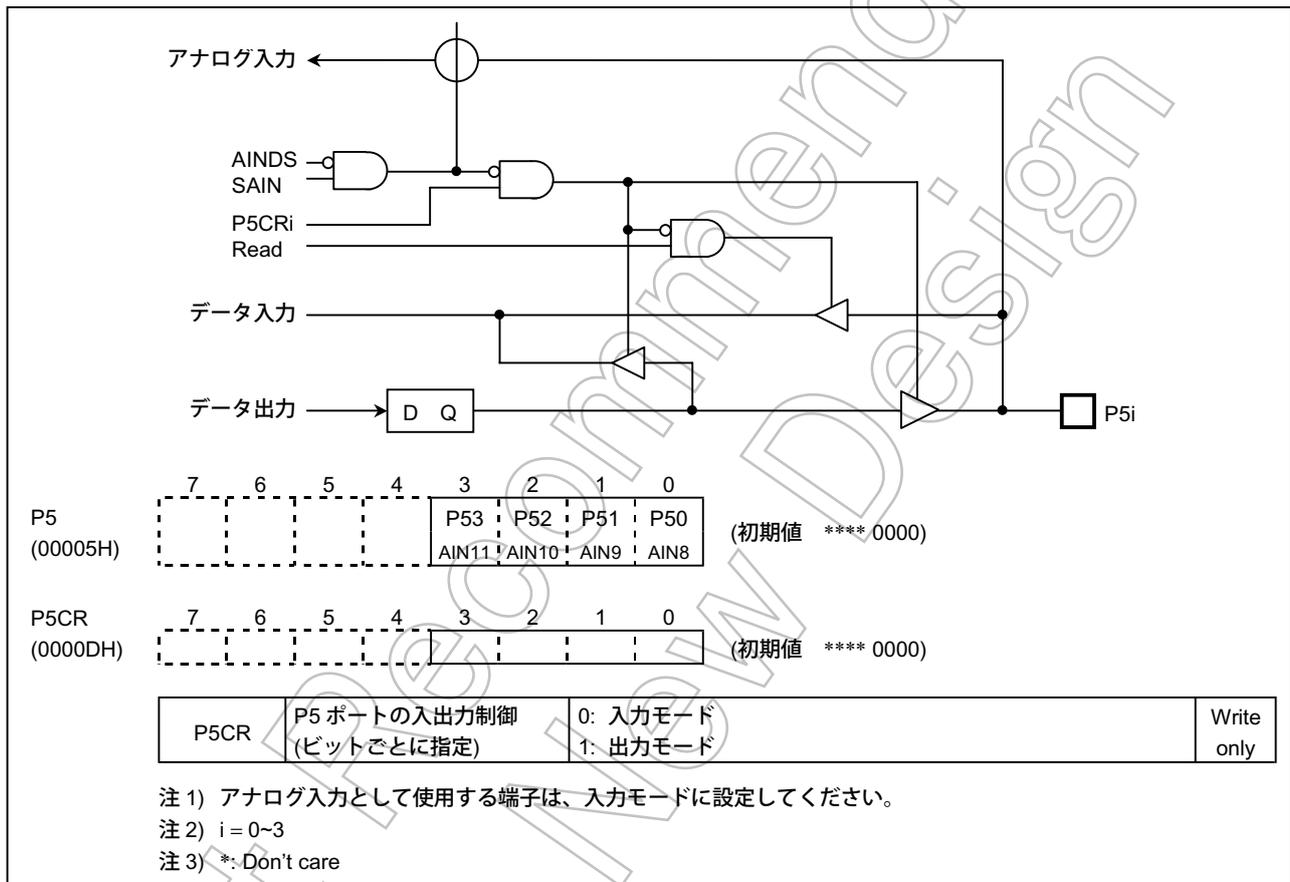


図 2.2.7 P5 ポートと P5 ポート入出力制御レジスタ

2.2.7 P6 (P67~P60) ポート

P6 ポートは、8ビットの高耐圧入出力ポートでVFTドライバ出力と兼用しており、VFTを直接駆動できます。VFTドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。

VFTドライバ出力に設定されない端子は、入出力ポートとして使用できますが、VFTドライバ使用時に通常の入出力として使用する場合、端子に兼用されているVFTドライバ出力データバッファメモリ (DBR) を“0”にクリアする必要があります。リセット時、出力ラッチは“0”に初期化されます。

P6ポートはプルダウン抵抗が内蔵されているため、VFT駆動用として使用されることを推奨します。

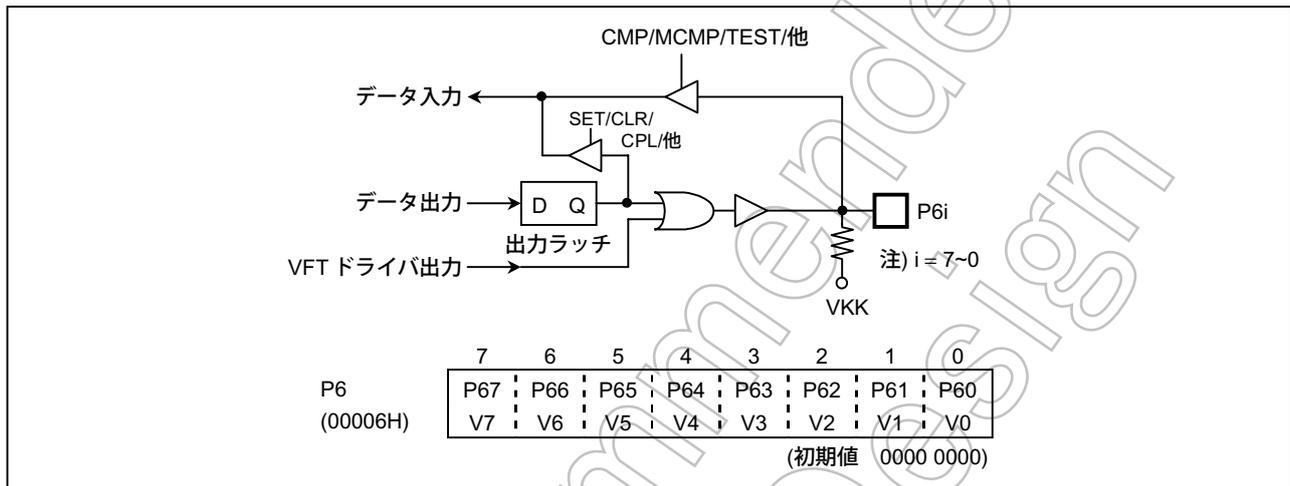


図 2.2.8 P6 ポート

2.2.8 P7 (P77~P70) ポート

P7 ポートは、8ビット高耐圧入出力ポートで VFT ドライバ出力と兼用しており、VFT を直接駆動できます。VFT ドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。リセット時、出力ラッチは、“0”に初期化されます。

VFT ドライバ出力に設定されない端子は、通常の入出力ポートとして使用できますが、VFT ドライバ使用時に通常の入出力として使用する場合、端子に兼用されている VFT ドライバ出力のデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P7 ポートはプルダウン抵抗が内蔵されているため VFT 駆動用として使用されることを推奨します。

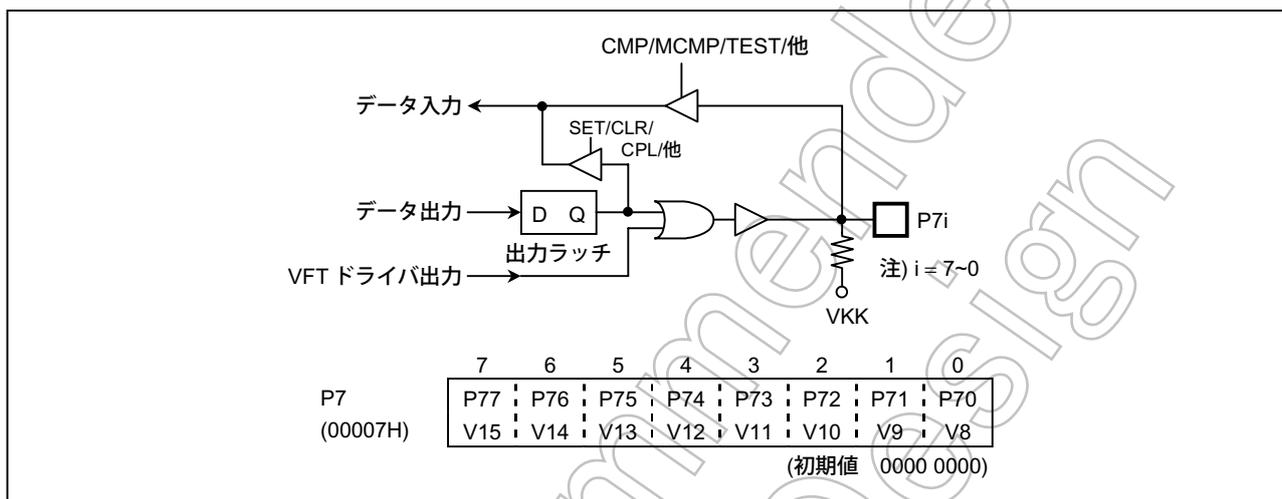


図 2.2.9 P7 ポート

2.2.9 P8 (P87~P80) ポート

P8 ポートは、8ビットの高耐圧入出力ポートで、VFT ドライバ出力と兼用しており、VFT を直接駆動できます。VFT ドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。なお、リセット時、出力ラッチは“0”に初期化されます。

VFT ドライバ出力に設定されない端子は、通常の入出力ポートとして使用できますが、VFT ドライバ使用時に通常の入出力として使用する場合は、端子に兼用されている VFT ドライバ出力のデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P8 ポートはプルダウン抵抗が内蔵されているため、VFT 駆動用として使用されることを推奨します。

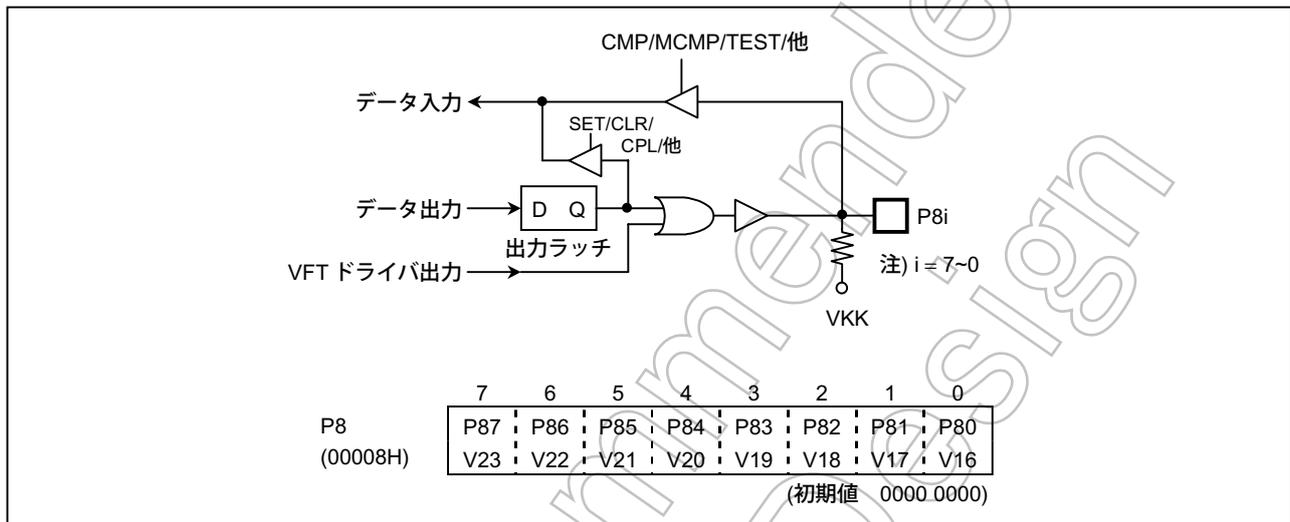


図 2.2.10 P8 ポート

2.2.10 P9 (P97~P90) ポート

P9 ポートは、8 ビットの高耐圧入出力ポートで、VFT ドライバ出力と兼用しており、VFT を直接駆動できます。VFT ドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。なお、リセット時、出力ラッチは“0”に初期化されます。

VFT ドライバ出力に設定されない端子は、通常の入出力ポートとして使用できますが、入出力として使用する場合、端子に兼用されている VFT ドライバ出力のデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P9 ポートはプルダウン抵抗が内蔵されているため、VFT 駆動用として使用されることを推奨します。

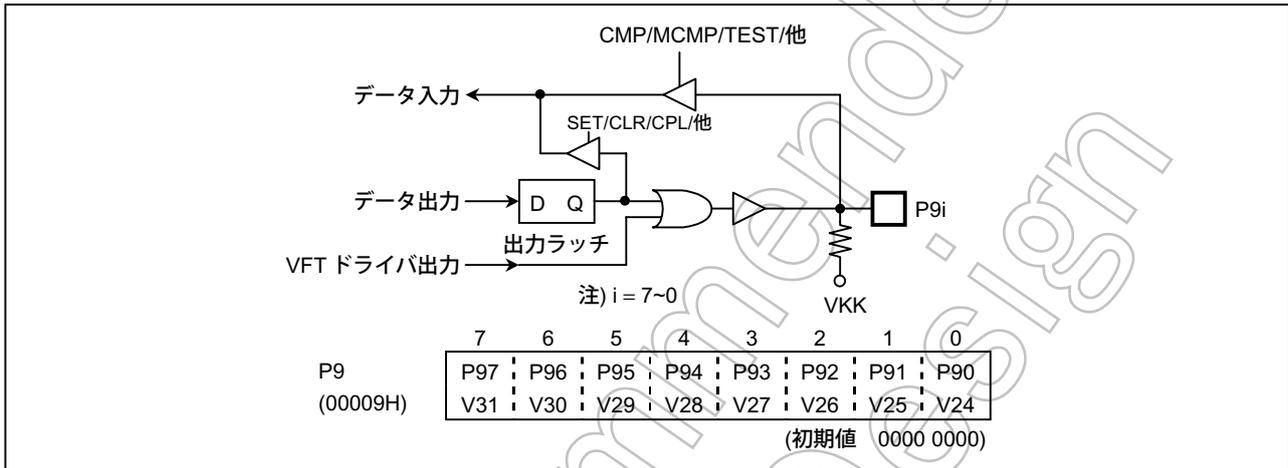


図 2.2.11、P9 ポート

2.2.11 PD (PD4~PD0) ポート

PD ポートは高耐圧入出力ポートで、VFT ドライバ出力と兼用しており、VFT を直接駆動できます。1 ビット単位で、VFT 出力、入出力ポートの指定ができます。VFT ドライバ制御レジスタ 1 (VFPCR1) の VSEL (ビット 4~0) によって行います。リセット時、VSEL は“0”にクリアされていますので入出力ポートとなります。入力ポートまたは VFT ドライバ出力として用いる場合は、出力ラッチを“0”にセットします。出力ラッチは、リセット時“0”に初期化されます。リード命令を実行した場合、ビット 7~5 は不定値が読み込まれます。

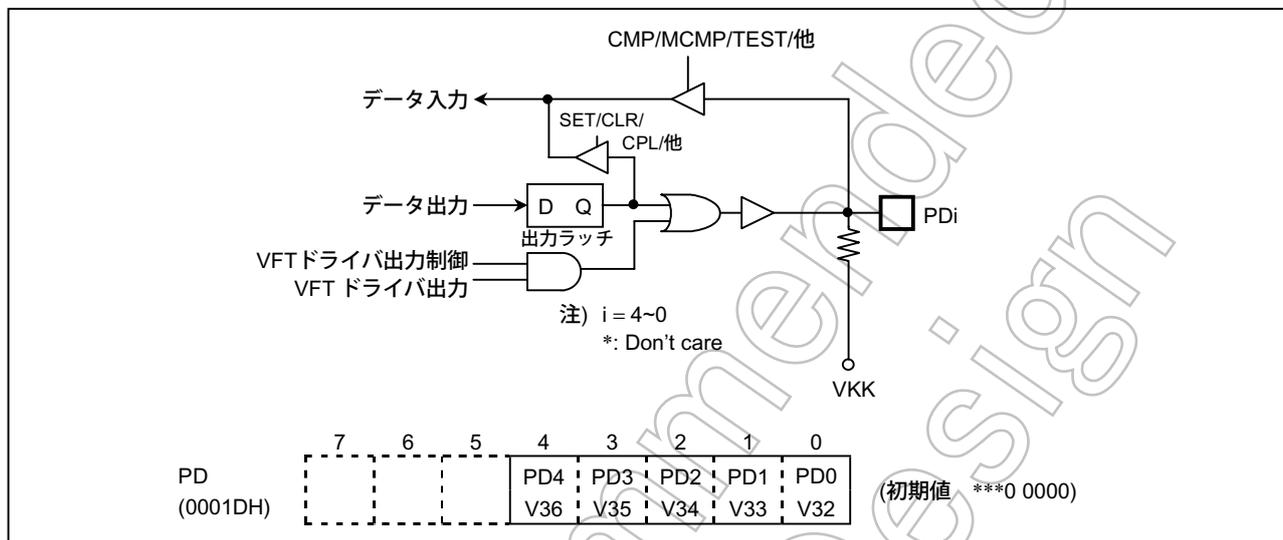


図 2.2.12 PD ポート

2.3 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期毎ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCCK で選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 2.3.1 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

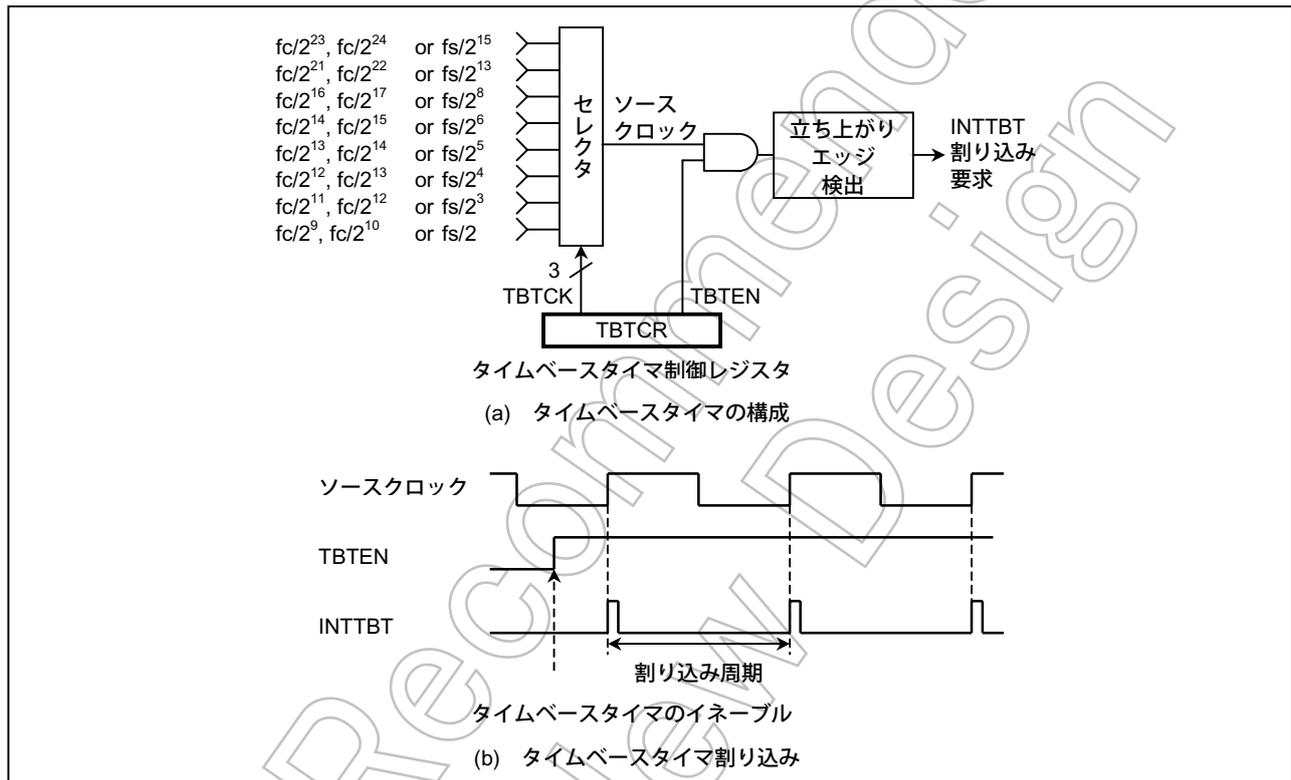


図 2.3.1 タイムベースタイマ

例: タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

LD (TBTCR), 00001010B
SET (EIRL), 6

TBTCR (00036H)	7 (DVOEN)	6 (DVOCK)	5 (DV7CK)	4 TBTEN	3	2	1	0 TBTCK	(初期値 0**0 0***)
TBTEN	タイムベースタイマの許可/禁止		0: デイセーブル 1: イネーブル						
TBTCR	タイムベースタイマ割り込み周波数の選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード		R/W			
		DV7CK = 0		DV7CK = 1					
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1				
		000	$fc/2^{23}$	$fc/2^{24}$	$fs/2^{15}$		$fs/2^{15}$	$fs/2^{15}$	
		001	$fc/2^{21}$	$fc/2^{22}$	$fs/2^{13}$		$fs/2^{13}$	$fs/2^{13}$	
		010	$fc/2^{16}$	$fc/2^{17}$	$fs/2^8$		$fs/2^8$	—	
		011	$fc/2^{14}$	$fc/2^{15}$	$fs/2^6$		$fs/2^6$	—	
		100	$fc/2^{13}$	$fc/2^{14}$	$fs/2^5$		$fs/2^5$	—	
101	$fc/2^{12}$	$fc/2^{13}$	$fs/2^4$	$fs/2^4$	→				
110	$fc/2^{11}$	$fc/2^{12}$	$fs/2^3$	$fs/2^3$	—				
111	$fc/2^9$	$fc/2^{10}$	$fs/2$	$fs/2$	—				

注) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

図 2.3.2 タイムベースタイマ制御レジスタ

表 2.3.1 タイムベースタイマ割り込み周波数 (例: $fc = 12.5$ MHz, $fs = 32.8$ kHz 時)

TBTCR	タイムベースタイマ割り込み周波数 [Hz]				
	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード
	DV7CK = 0		DV7CK = 1		
	DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	
000	1.49	0.75	1	1	1
001	5.96	2.98	4	4	4
010	190.73	95.37	128	128	—
011	762.94	381.47	512	512	—
100	1525.88	762.94	1024	1024	—
101	3051.76	1525.88	2048	2048	—
110	6103.52	3051.76	4096	4096	—
111	24414.06	12207.03	16384	16384	—

2.4.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図 2.4.2に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

(1) ウォッチドッグタイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

1. 検出時間の設定, 出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバーフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTOUT="1" なら $\overline{\text{RESET}}$ 端子からリセット出力するとともに内蔵ハードウェアをリセットします。また、WDTOUT="0" なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中も含む) また、IDLE モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマの禁止操作を行う場合は、割り込みの受け付けを禁止 (DI) しウォッチドッグタイマをクリアした直後にウォッチドッグタイマを禁止状態にしてください。

上記以外の条件でウォッチドッグタイマの禁止操作を行った場合は動作保証できません。

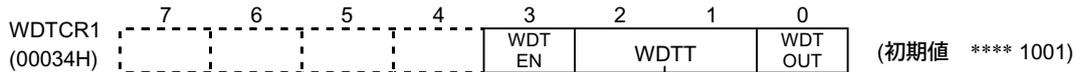
例:

DI	:	割り込み受け付け禁止
LD (WDTCR2), 4EH	:	ウォッチドッグタイマのクリア
LDW (WDTCR1), 0100H	:	ウォッチドッグタイマの禁止
EI	:	割り込み受け付け許可

例: ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う。

	LD	(WDTCR2), 4EH	:	2進カウンタのクリア	
	LD	(WDTCR1), 00001101B	:	WDTT ← 10, WDTOUT ← 1	
WDT 検出 時間以内	[LD	(WDTCR2), 4EH	:	2進カウンタのクリア (WDTT 変更直前直後は必ず クリアします)
		⋮			
WDT 検出 時間以内	[LD	(WDTCR2), 4EH	:	2進カウンタのクリア
		⋮			
	LD	(WDTCR2), 4EH	:	2進カウンタのクリア	
	⋮				

ウォッチドッグタイマ制御レジスタ 1



WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCCR2 にディセーブルコードを書き込む必要があります) 1: 許可						
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2モード				SLOWモード	Write only	
		DV7CK = 0		DV7CK = 1				
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1			
		00	2 ²⁵ /fc	2 ²⁶ /fc	2 ¹⁷ /fs	2 ¹⁷ /fs		2 ¹⁷ /fs
		01	2 ²³ /fc	2 ²⁴ /fc	2 ¹⁵ /fs	2 ¹⁵ /fs		2 ¹⁵ /fs
10	2 ²¹ /fc	2 ²² /fc	2 ¹³ /fs	2 ¹³ /fs	2 ¹³ /fs			
11	2 ¹⁹ /fc	2 ²⁰ /fc	2 ¹¹ /fs	2 ¹¹ /fs	2 ¹¹ /fs			
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット出力						

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 3) WDTCCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
- 注 4) STOP および IDLE モード起動時は、STOP および IDLE モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
また、カウンタをクリアした場合、STOP および IDLE モード解除直後に再度カウンタをクリアしてください。

ウォッチドッグタイマ制御レジスタ 2



WDTCCR2	ウォッチドッグタイマの制御コード書き込み	4EH: ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1H: ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効	Write only
---------	----------------------	--	------------

- 注 1) ディセーブルコードは、WDTEN = 0 のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマ2進カウンタのクリアは割り込みタスクで行わないでください。

図 2.4.2 ウォッチドッグタイマ制御レジスタ

(2) ウォッチドッグタイマのイネーブル

WDTEN (WDTCCR1 のビット 3) を “1” にセットするとイネーブルになります。リセット時、WDTEN は “1” に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

(3) ウォッチドッグタイマのディセーブル

WDTEN (WDTCCR1 のビット 3) を “0” にクリア後、WDTCCR2 にディセーブルコード (B1H) を書き込むことによりディセーブルになります。なお、逆に WDTCCR2 にディセーブルコードを書き込んだ後、WDTEN を “0” にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマ2進カウンタはクリアされています。

例: ウォッチドッグタイマのディセーブル

LDW (WDTCCR1), 0B101H ; WDTEN ← 0, WDTCCR2 ← ディセーブルコード

表 2.4.1 ウォッチドッグタイマ検出時間 (例: $f_c = 12.5 \text{ MHz}$, $f_s = 32.8 \text{ kHz}$ 時)

WDTT	ウォッチドッグタイマ検出時間				
	NORMAL1/2 モード				
	DV7CK = 0		DV7CK = 1		SLOW モード
	DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	
00	2.684 s	5.369 s	4 s	4 s	4 s
01	671.089 ms	1.342 s	1 s	1 s	1 s
10	167.772 ms	335.544 ms	250 ms	250 ms	250 ms
11	41.943 ms	83.886 ms	62.5 ms	62.5 ms	62.5 ms

2.4.3 ウォッチドッグタイマ割り込み (INTWDT)

擬似ノンマスクابل割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN 命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力を WDTOUT により割り込み要因とする前にスタックポインタを設定してください。

例: ウォッチドッグタイマ割り込みの設定例

```
LD    SP, 0023FH      ; SP の設定
LD    (WDTCR1), 00001000B ; WDTOUT ← 0
```

2.4.4 ウォッチドッグタイマリセット

$\overline{\text{RESET}}$ 端子より “L” レベルを出力するとともに内蔵ハードウェアをリセットします。リセット時間は、 $8/f_c \sim 24/f_c$ [s] ($0.64 \sim 1.92 \mu\text{s}$ @ $f_c = 12.5 \text{ MHz}$) です。 $\overline{\text{RESET}}$ 端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOW モードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間は $8/f_c \sim 24/f_c$ となります。ただし、高周波クロックの発振時間開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

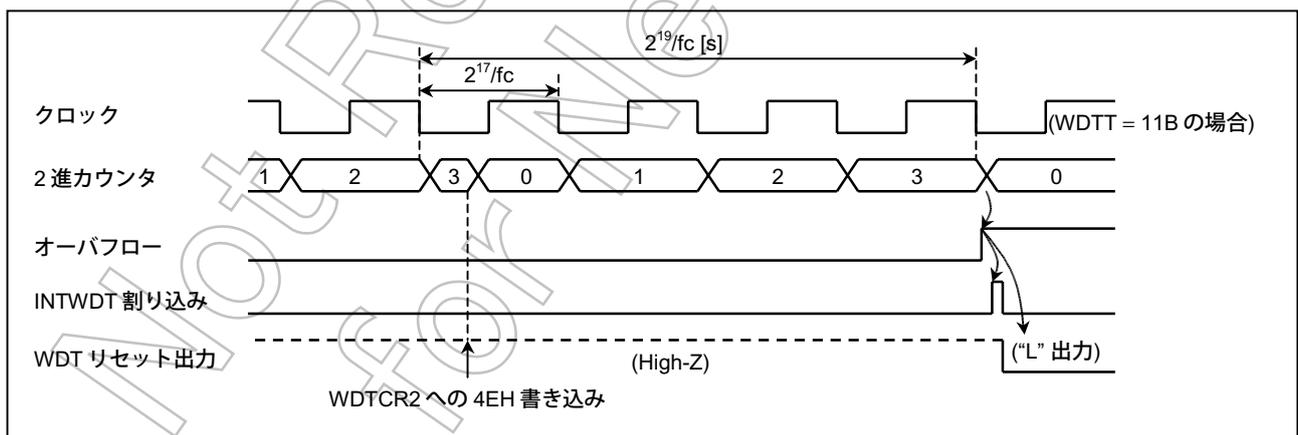


図 2.4.3 ウォッチドッグタイマ割り込み/リセット

2.5 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、P13 (DVO) 端子から出力されます。なお、P13 ポートは出力ラッチを“1”にセットしたあと出力モードに設定します。

TBTCR (00036H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	DVOEN	DVOCK	(DV7CK)	(TBTEN)		(TBTK)			

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル					SLOW, SLEEP モード	R/W
DVOCK	デバイダ出力 (DVO 端子) の 周波数選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード						
		DV7CK = 0		DV7CK = 1				
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1			
		00	$fc/2^{13}$	$fc/2^{14}$	$fs/2^5$	$fs/2^5$	$fs/2^5$	
01	$fc/2^{12}$	$fc/2^{13}$	$fs/2^4$	$fs/2^4$	$fs/2^4$			
10	$fc/2^{11}$	$fc/2^{12}$	$fs/2^3$	$fs/2^3$	$fs/2^3$			
11	$fc/2^{10}$	$fc/2^{11}$	$fs/2^2$	$fs/2^2$	$fs/2^2$			

注) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

図 2.5.1 デバイダ出力制御レジスタ

例: 1.5 kHz のパルスを出力 ($fc = 12.5 \text{ MHz}$ 時, $DV1CK = 0$ 時)。

```

SET (P1).3 ; P13 出力ラッチ ← 1
LD (P1CR), 00001000B ; P13 を出力モードに設定
LD (TBTCR), 10000000B ; DVOEN ← 1, DVOCK ← 00
    
```

表 2.5.1 デバイダ出力の周波数 (例: $fc = 12.5 \text{ MHz}$, $fs = 32.8 \text{ kHz}$)

DVOCK	デバイダ出力の周波数 [kHz]				
	NORMAL 1/2, IDLE 1/2 モード				SLOW, SLEEP モード
	DV7CK = 0		DV7CK = 1		
	DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	
00	1.526 k	0.763 k	1.024 k	1.024 k	1.024 k
01	3.502	1.526	2.048	2.048	2.048
10	6.104	3.502	4.096	4.096	4.096
11	12.207	6.104	8.192	8.192	8.192

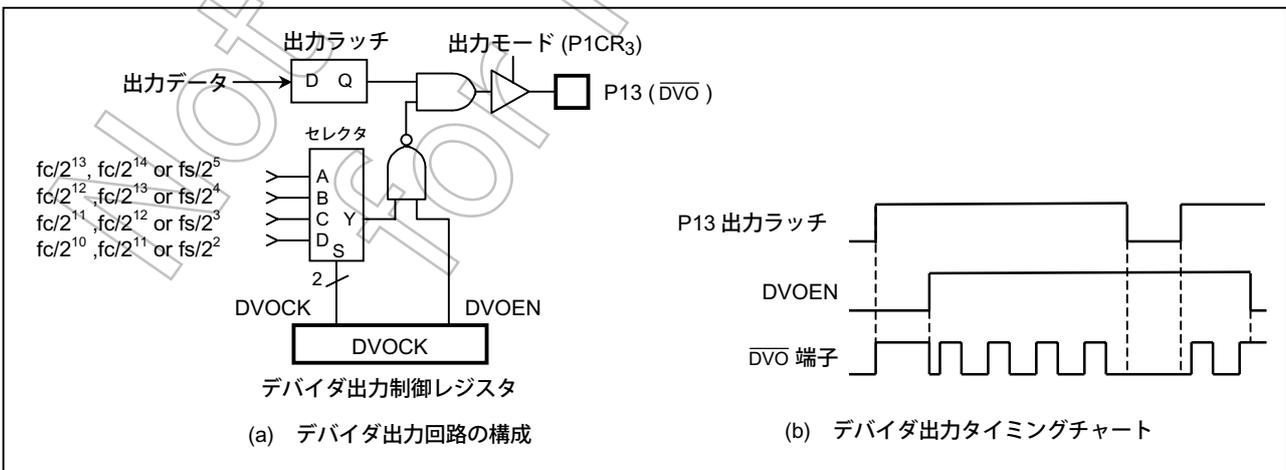


図 2.5.2 デバイダ出力

2.6 16ビットタイマカウンタ1 (TC1)

2.6.1 構成

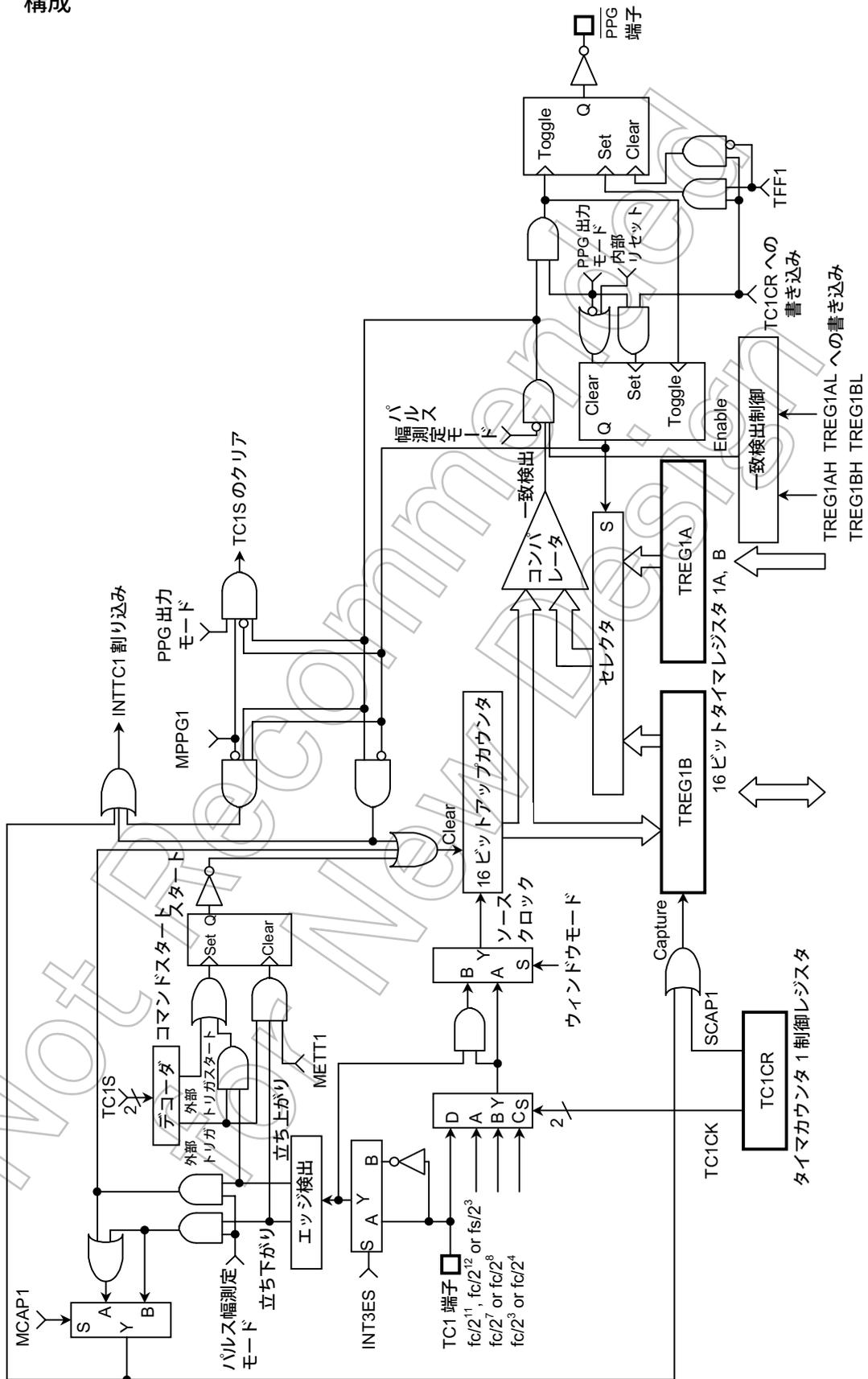


図 2.6.1 タイマ/カウンタ 1 (TC1)

2.6.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TREG1A/TREG1B) で制御されます。

タイマレジスタ		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1A (00010,00011H)	TREG1AH(00011H)								TREG1AL(00010H)								Write only
TREG1B (00012,00013H)	TREG1BH(00013H)								TREG1BL(00012H)								Read/Write (PPG 出力モード時のみ Write 可)
タイマカウンタ 1 制御レジスタ		7	6	5	4	3	2	1	0								
TC1CR (00014H)	TFF1	SCAP1 MCAP1 METT1 MPPG1	TC1S		TC1CK		TC1M (初期値 0000 0000)										
TC1M	タイマカウンタ 1 の動作モードの選択	00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード							Write only								
TC1CK	タイマカウンタ 1 のソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード											
		DV7CK = 0		DV7CK = 1													
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1												
		00	$fc/2^{11}$	$fc/2^{12}$	$fs/2^3$	$fs/2^3$	$fs/2^3$										
		01	$fc/2^7$	$fc/2^8$	$fc/2^7$	$fc/2^8$	—										
10	$fc/2^3$	$fc/2^4$	$fc/2^3$	$fc/2^4$	—												
11	外部クロック (TC1 端子入力)																
TC1S	タイマカウンタ 1 のスタート制御	00: ストップ & カウンタクリア 01: コマンドスタート 10: Reserved 11: 外部トリガスタート															
SCAP1	ソフトキャプチャ制御	0: —			1: ソフトキャプチャトリガ												
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ			1: 片エッジキャプチャ												
METT1	外部トリガタイマモード制御	0: トリガスタート			1: トリガスタート & ストップ												
MPPG1	PPG 出力制御	0: 連続			1: 単発												
TFF1	タイマ F/F1 制御	0: クリア			1: セット												

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]
 注 2) タイマレジスタの下位側 (TREG1AL, TREG1BL) に書き込むと上位側 (TREG1AH, TREG1BH) への書き込みが終わるまで、一致検出を停止します (従ってタイマ/レジスタの下位側だけの変更はできません)。また、上位側への書き込み後 1 サイクル以内 (すなわち命令実行中) の一致検出も無視されます。
 注 3) モード、ソースクロック、エッジ (INT3ES を含む)、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。
 注 4) ソフトキャプチャは、タイマ、イベントカウンタモードでのみ使用可能です。SCAP1 はソフトキャプチャ後自動的に “0” にクリアされます。
 注 5) タイマレジスタへの設定値は、次の条件を満足する必要があります。
 TREG1A > TREG1B > 0 (PPG 出力モード), TREG1A > 0 (PPG 出力モード以外)
 注 6) PPG 出力モード以外は、TFF1 = “0” としてください。
 注 7) TC1CR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 8) TREG1B は、PPG 出力モードに設定後でなければ書き込みできません。
 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。
 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

図 2.6.2 タイマカウンタ 1 のタイマレジスタと制御レジスタ

2.6.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 1A (TREG1A) 設定値との一致で INTTC1 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、SCAP1 (TC1CR のビット 6) を “1” にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TREG1B) に取り込むことができます (ソフトキャプチャ機能)。SCAP1 は、キャプチャ後自動的に “0” にクリアされます。

表 2.6.1 タイマカウンタ 1 の内部クロックソース (例: $f_c = 12.5 \text{ MHz}$, $f_s = 32.8 \text{ kHz}$ 時)

TC1CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間
00	163.84 μs	10.8 s	327.68 μs	21.5 s	244.14 μs	16.0 s	244.14 μs	16.0 s
01	10.24 μs	0.64 s	20.48 μs	1.28 s	8 μs	0.5 s	16 μs	1.0 s
10	0.64 μs	41.92 ms	1.28 μs	83.84 ms	0.5 μs	32.75 ms	1 μs	65.5 ms

TC1CK	SLOW, SLEEP モード	
	分解能	最大設定時間
00	244.14 μs	16.0 s
01	—	—
10	—	—

例 1: ソースクロック $f_s/2^3$ [Hz] でタイマモードにセットし、1s後に割り込みを発生させる ($f_s = 32.8 \text{ kHz}$ 時)。

LDW (TREG1A), 1000H ; タイマレジスタの設定 ($1 \text{ s} \div 2^3/f_s = 1000\text{H}$)

SET (EIRL). EF4 ; INTTC1 割り込みを許可

EI

LD (TC1CR), 00010000B ; TC1 スタート

注) TC1CR は書き込み専用レジスタですので、[SET (TC1CR). 4] 命令によるスタートはできません。

例 2: ソフトキャプチャ

LD (TC1CR), 01010000B ; SCAP1 \leftarrow 1

LD WA, (TREG1B) ; キャプチャ値の読み出し

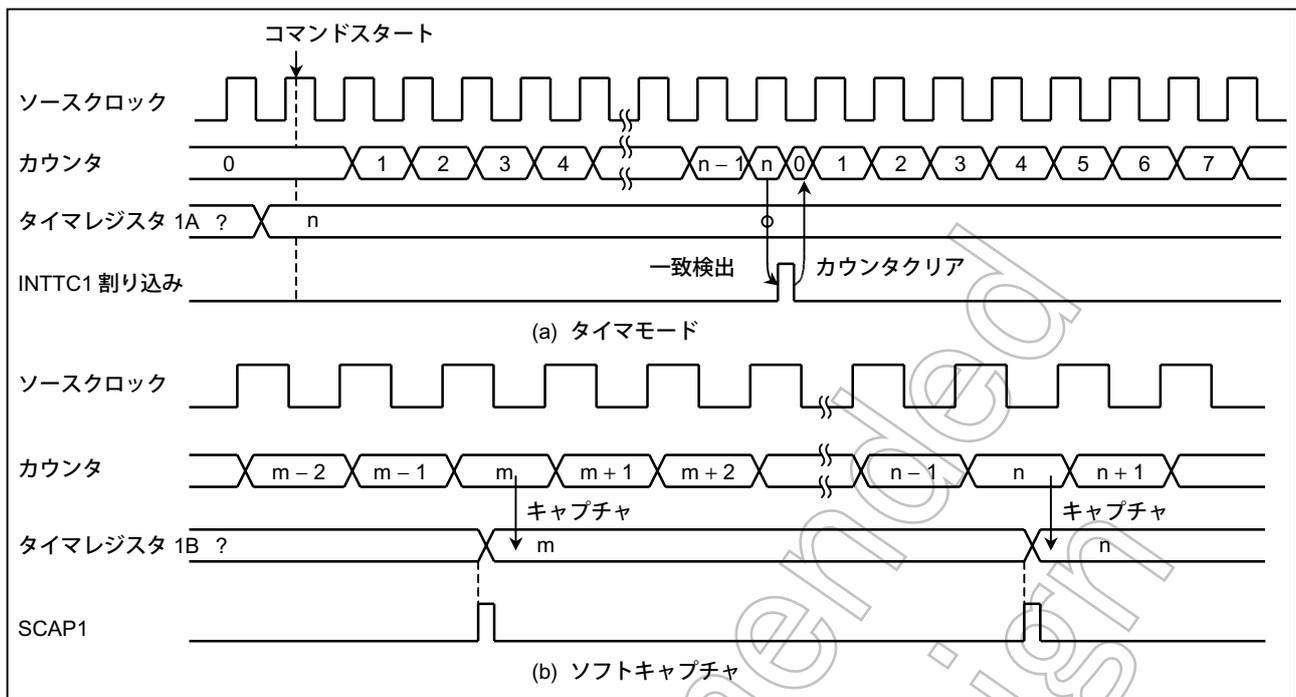


図 2.6.3 タイマモードタイミングチャート

(2) 外部トリガタイマモード

TC1 端子入力のエッジ (立ち上がり/立ち下がりエッジ) の選択可能。エッジ選択は、INT3 端子のエッジ選択と共通) をトリガにしてカウントをスタートするタイマモードです (ソースクロックは内部クロックです)。カウンタ値と TREG1A 設定値の一致で INTTC1 割り込み発生し、カウンタはクリアされて停止します。TC1 端子入力のエッジによりカウントアップは再開します。

METT1 (TC1CR のビット 6) が “1” の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1 が “0” の場合は、逆方向のエッジ入力は無視されます。また、一致検出前の TC1 端子入力のエッジも無視されます。

TC1 端子入力には INT3 端子と同じノイズ除去回路が付いていますので、NORMAL 1, 2 または IDLE 1, 2 モード時 $7/fc$ [s] 以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには $24/fc$ [s] 以上のパルス幅が必要です。SLOW または SLEEP モード時はノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

例 1: TC1 端子入力の立ち上がりエッジから $100 \mu\text{s}$ 後に割り込みを発生させる ($fc = 12.5 \text{ MHz}$, $DV1CK = 1$ 時)。

LD	(EINTCR), 00000000B	;	INT3ES ← 0 (立ち上がりエッジ)
LDW	(TREG1A), 004EH	;	$100 \mu\text{s} \div 2^4/fc = 4EH$
SET	(EIRL).EF4	;	INTTC1 割り込み許可
EI			
LD	(TC1CR), 00111000B	;	TC1 外部トリガスタート, METT1 = 0

例 2: TC1 端子に “L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる (fc = 12.5 MHz, DV1CK = 1 時)。

```
LD (EINTCR), 00000100B ; INT2ES ← 1 (“L” レベル)
LDW (TREG1A), 00C3H ; 4 ms ÷ 28/fc = C3H
SET (EIRL).EF4 ; INTTC1 割り込み許可
EI
LD (TC1CR), 01110100B ; TC1 外部トリガスタート, METT1 = 1
```

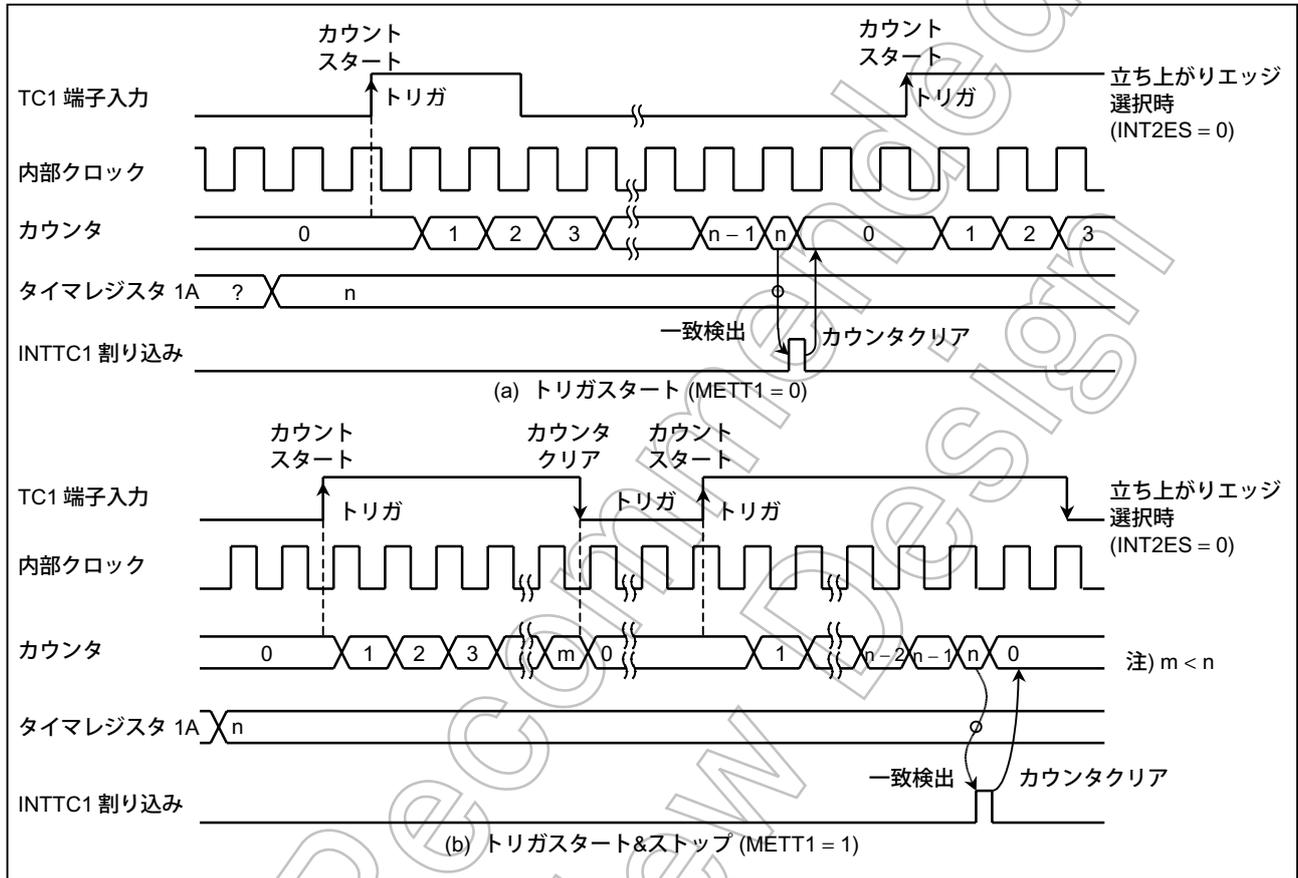


図 2.6.4 外部トリガタイマモードタイミングチャート

(3) イベントカウンタモード

TC1 端子入力のエッジ (立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、INT3 端子のエッジ選択と共通) でカウントアップするモードです。カウンタ値と TREG1A 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。カウンタクリア後も TC1 端子入力のエッジごとにカウントアップします。最大印加周波数は表 2.6.2 のとおりです。

SCAP1 を “1” にセットすることにより、そのときのアップカウンタの内容を TREG1B に取り込むことができます (ソフトキャプチャ機能)。

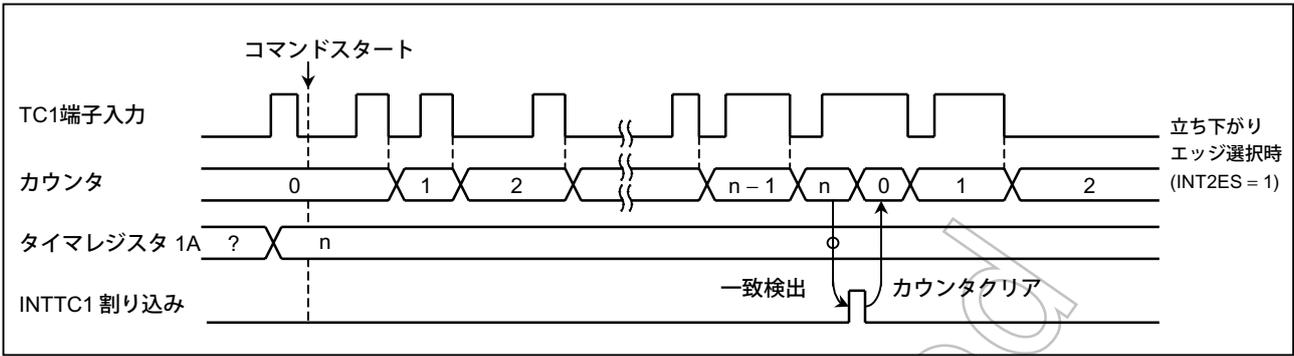


図 2.6.5 イベントカウンタモードタイミングチャート

表 2.6.2 タイマカウンタ 1 の外部クロックソース

最大印加周波数 [Hz]	
NORMAL1/2, IDLE1/2 モード	SLOW, SLEEP モード
$f_c/2^4$	$f_s/2^4$

(4) ウィンドウモード

TC1 端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値と TREG1A 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。TC1 端子入力は、正論理/負論理の選択ができます (INT3 端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要があります。すなわち、設定した内部クロックより十分に遅い周波数となります。

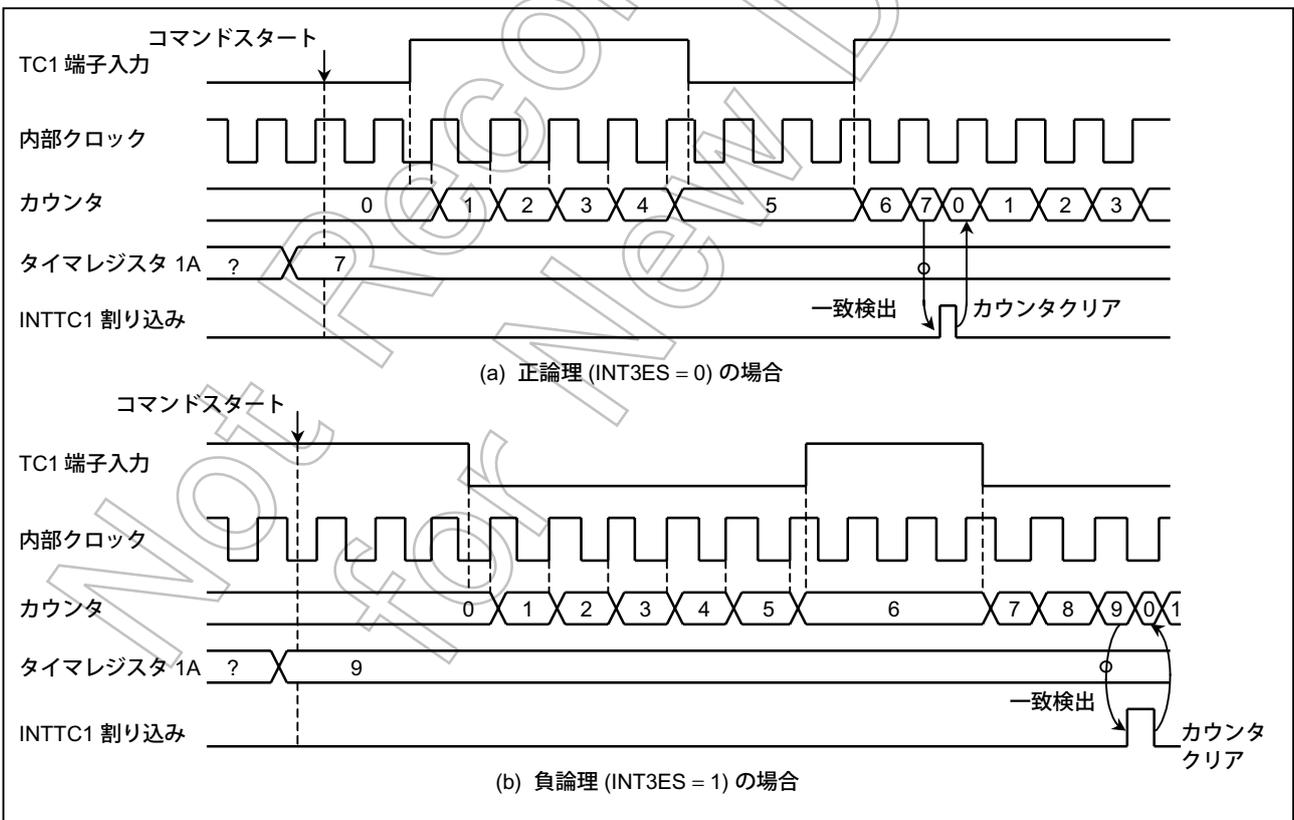


図 2.6.6 ウィンドウモードタイミングチャート

(5) パルス幅測定モード

TC1 端子入力の立ち上がり (立ち下がり) エッジをトリガにしてカウントをスタートします (TC1CR で外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり (立ち上がり) エッジでカウンタの内容を TREG1B に取り込み、割り込みを発生します。片エッジキャプチャに設定した場合はカウンタはクリアされます。両エッジキャプチャに設定した場合はカウントは継続し、次の立ち上がり (立ち下がり) エッジで再びカウンタの内容を TREG1B に取り込みます。なお、立ち下がり (立ち上がり) エッジでのキャプチャ値が必要な場合は、立ち上がり (立ち下がり) エッジが検出されるまでに TREG1B の内容を読み出す必要があります。立ち上がり / 立ち下がりエッジの選択は INT3ES で行い、片エッジ / 両エッジキャプチャの選択は MCAPI (TC1CR のビット 6) で行います。

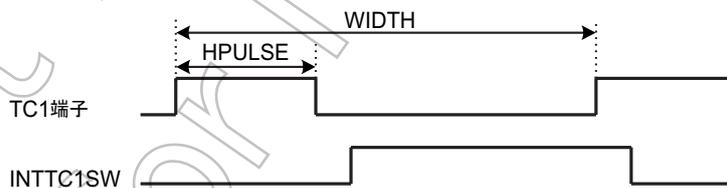
注) パルス幅測定モードにおいて、タイマスタート直後の最初のキャプチャ値は不定となります。タイマスタート後の 1 回目のキャプチャ値は読み捨ててください。

例: デューティの測定 (分解能 $fc/2^7$ [Hz] DV1CK = 0 時)

```

CLR      (INTTC1SW). 0           ; INTTC1 のサービススイッチの初期設定
LD       (EINTCR), 00000000B    ; INT3ES を立ち上がりエッジに設定
LD       (TC1CR), 00000110B     ; TC1 のモード, ソースクロックを設定
SET      (EIRL). EF4           ; INTTC1 割り込みを許可
EI
LD       (TC1CR), 00110110B     ; MCAPI = 0 で TC1 を外部トリガスタート
...
PINTTC1: CPL      (INTTC1SW). 0   ; INTTC1 のサービススイッチの反転 / テスト
JRS      F, SINTTC1
LD       (HPULSE), (TREG1BL)     ; TREG1B の読み出し ("H" レベルパルス幅)
LD       (HPULSE + 1), (TREG1BH)
RETI
SINTTC1: LD       (WIDTH), (TREG1BL) ; TREG1B の読み出し (周期)
LD       (WIDTH + 1), (TREG1BH)
...
RETI
VINTTC1: DW       PINTTC1

```



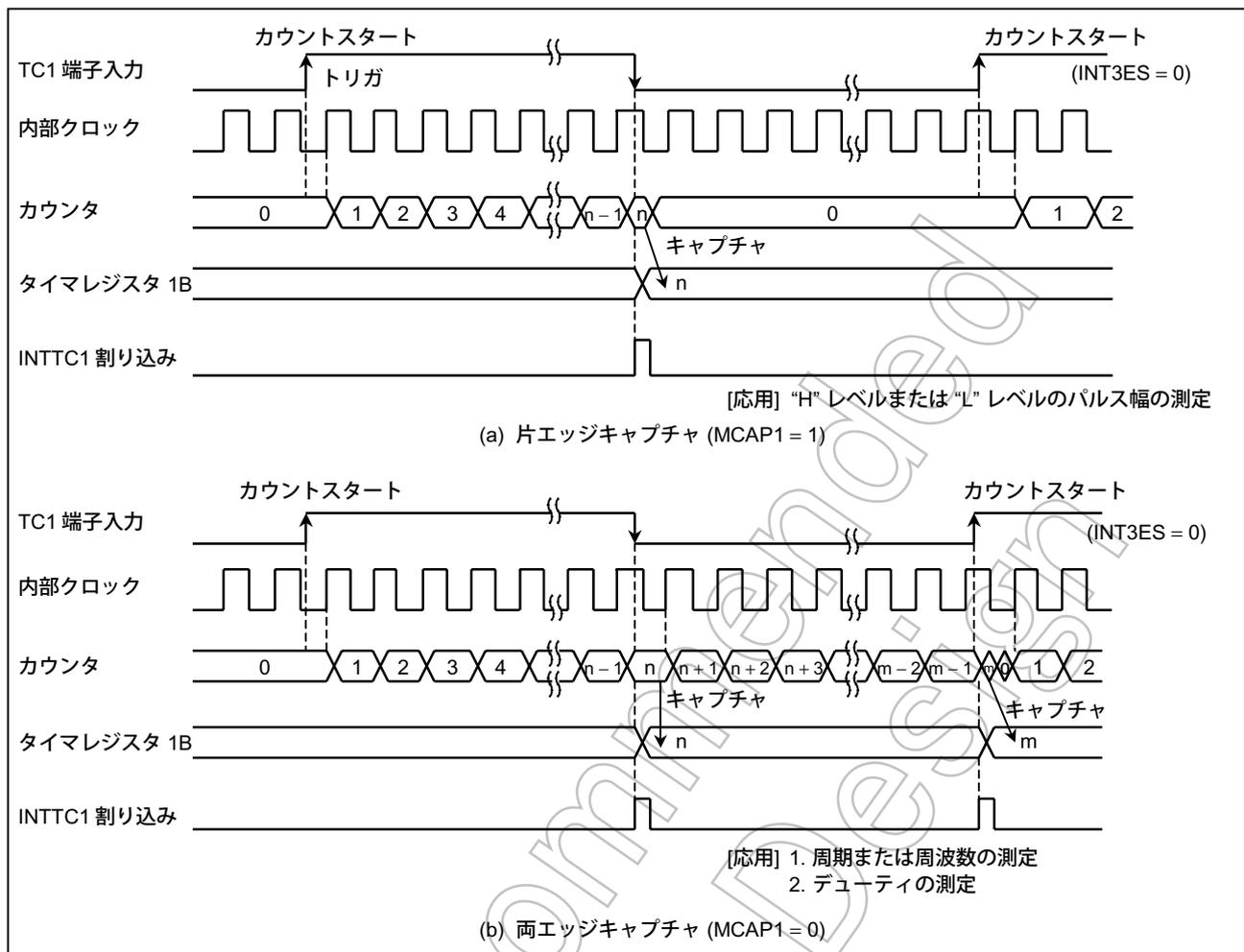


図 2.6.7 パルス幅測定モード

(6) プログラマブルパルスジェネレート (PPG) 出力モード

TC1 端子入力のエッジ (立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT3 端子のエッジ選択と共通) またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1B との一致でタイマ F/F1 を反転します。連続出力の場合 (MPPG1 = 0) は、INTTC1 割り込みが発生します。次に TREG1A との一致でタイマ F/F1 を再び反転し、カウンタをクリアします。このとき、INTTC1 割り込みも発生します。タイマ F/F1 出力は、反転されて P12 (PPG) 端子に接続されています。PPG 出力を行う場合、P12 出力ラッチを “1” にセットし、出力モードに設定します。タイマ F/F1 は、リセット時 “0” にクリアされます。また、TFF1 (TC1CR のビット 7) でタイマ F/F1 の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1B は、PPG 出力モードに設定されていないと書き込みできません。

例: “H”レベル 800 μ s, “L”レベル 200 μ s のパルス出力 ($f_c = 12.5$ MHz, DV1CK = 0 時)。

SET	(P1).2	; P12 出力ラッチ ← 1
LD	(P1CR), 00000100B	; P12 を出力モードに設定
LD	(TC1CR), 10001011B	; PPG 出力モードに設定
LDW	(TREG1A), 07D0H	; 周期の設定 (1 ms \div 0.64 μ s = 061AH)
LDW	(TREG1B), 0190H	; “L”レベルパルス幅の設定 (200 μ s \div 0.64 μ s = 0138H)
LD	(TC1CR), 10011011B	; スタート

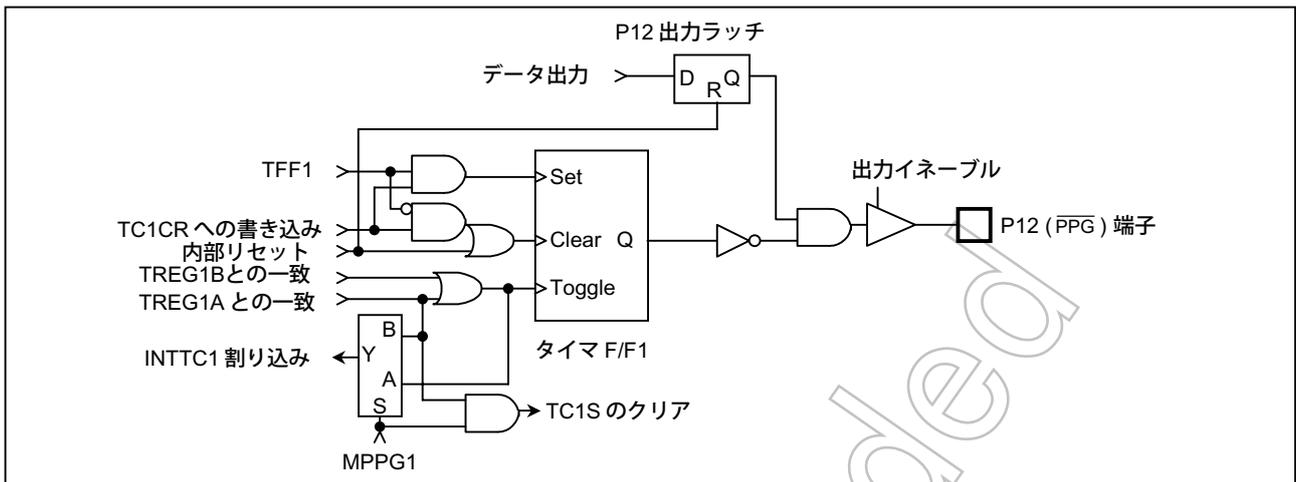


図 2.6.8 PPG 出力

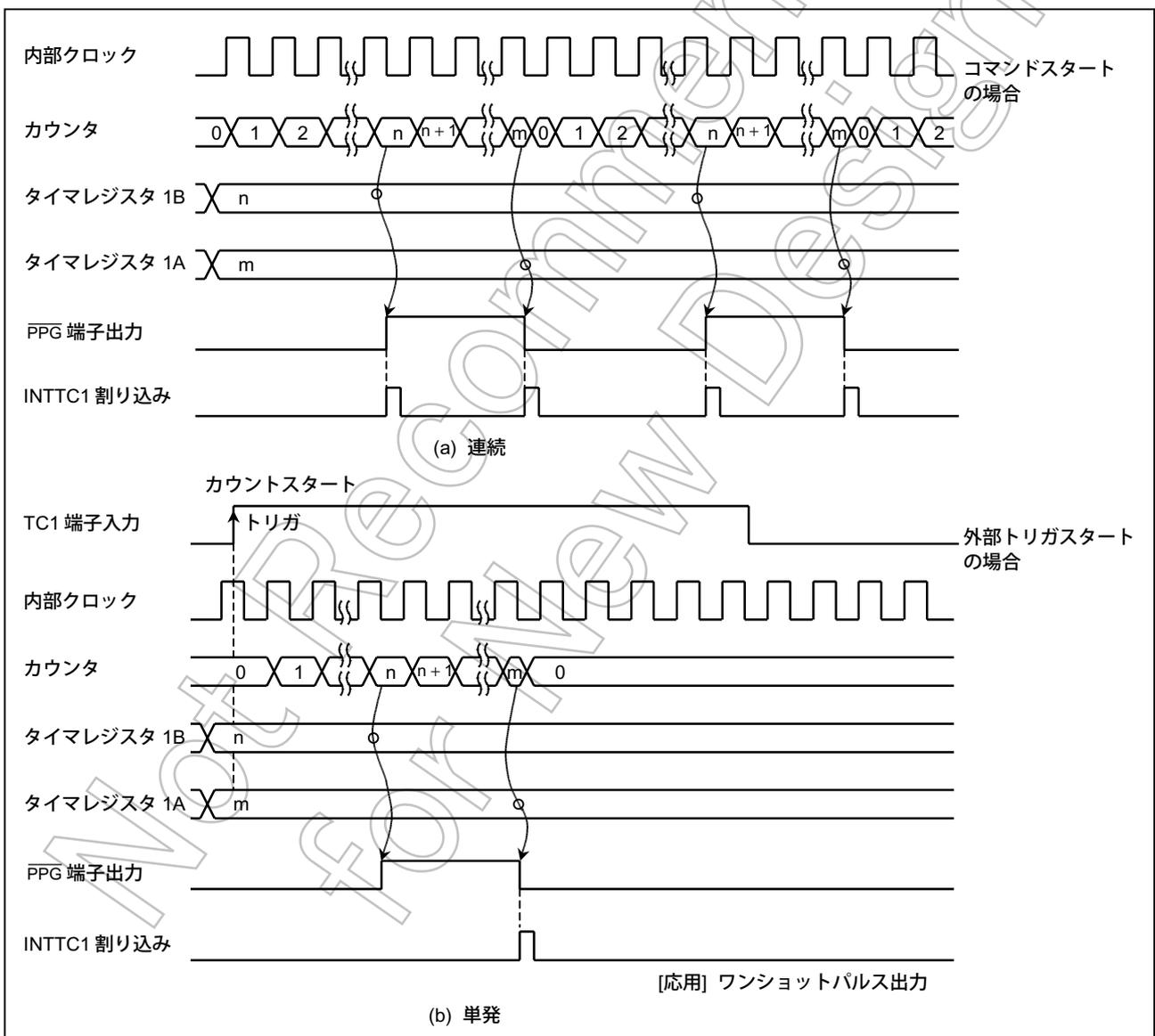


図 2.6.9 PPG 出力モード タイミングチャート

2.7 16ビットタイマカウンタ 2 (TC2)

2.7.1 構成

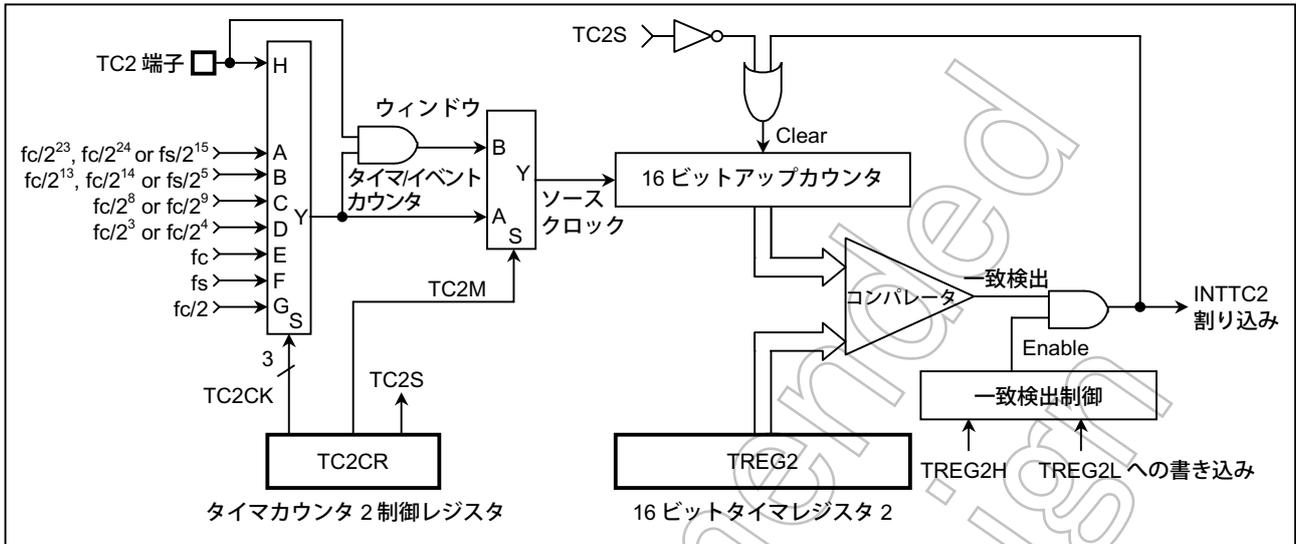


図 2.7.1 タイマカウンタ 2 (TC2)

2.7.2 制御

タイマカウンタ 2 は、タイマカウンタ 2 制御レジスタ (TC2CR) と 16 ビットのタイマレジスタ 2 (TREG2) で制御されます。

TREG2 (00016, 00017H) Write only

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG2H (00017H)								TREG2L (00016H)							

TC2CR (00015H) (初期値 **00 00*0)

7	6	5	4	3	2	1	0
"0"	"0"	TC2S	TC2CK				TC2M

TC2M	タイマカウンタ 2 の動作モードの選択	0: タイマ/イベントカウンタモード 1: ウィンドウモード						
TC2CK	タイマカウンタ2のソースクロックの選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード				SLOW	SLEEP	
		DV7CK = 0		DV7CK = 1		モード	モード	
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1			
		000	$fc/2^{23}$	$fc/2^{24}$	$fs/2^{15}$	$fs/2^{15}$	$fs/2^{15}$	$fs/2^{15}$
		001	$fc/2^{13}$	$fc/2^{14}$	$fs/2^5$	$fs/2^5$	$fs/2^5$	$fs/2^5$
		010	$fc/2^8$	$fc/2^9$	$fc/2^8$	$fc/2^9$	—	—
011	$fc/2^3$	$fc/2^4$	$fc/2^3$	$fc/2^4$	—	—		
100	—	—	—	—	fc	—		
101	fs	fs	fs	fs	—	—		
110	—	—	—	—	fc/2	—		
111	外部クロック (TC2 端子入力)							
TC2S	タイマカウンタ 2 のスタート制御	0: ストップ&カウンタクリア 1: スタート						

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
 注 2) タイマレジスタの下位側 (TREG2L) に書き込むと上位側 (TREG2H) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後 1 マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。
 注 3) モード、ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。
 注 4) タイマレジスタへの設定値は、次の条件を満足する必要があります。
 TREG2 > 0 (ウォーミングアップのときは TREG2_{15~11} > 0)
 注 5) ソースクロックに fc, fc/2 を選択できるのは、SLOW モード時のタイマモードだけです。
 注 6) TC2CR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 7) TC2CK = <100> の場合 fc ≤ 8 MHz としてください。fc = 12.5 MHz で用いる場合、TC2CK = <110> で使用することをすすめます。

図 2.7.2 タイマカウンタ 2 のタイマレジスタと制御レジスタ

2.7.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。また、SLOW モードから NORMAL2 へモードへの切り替え時のウォーミングアップの際、通常タイマカウンタ 2 をタイマモードで使用します。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 2 (TREG2) 設定値との一致で INTTC2 割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW モードでソースクロックに f_c を選択した場合は、TREG2 の下位 11 ビットは無視され、上位 5 ビットの一一致で割り込みを発生します。従って、この場合 TREG2H の設定だけで済みます。

表 2.7.1 タイマカウンタ 2 の内部クロックソース (例: $f_c = 12.5$ MHz, $f_s = 32.8$ kHz 時)

TC2CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間
000	671 ms	12.2 h	1.34 s	24.4 h	1 s	18.2 h	1 s	18.2 h
001	655.36 μ s	43.0 s	1.31 ms	1.4 min	0.98 ms	1.07 min	0.98 ms	1.07 min
010	20.48 μ s	1.34 s	40.96 μ s	2.7 s	16 μ s	1.05 s	32 μ s	2.1 s
011	0.64 μ s	41.92 ms	1.28 μ s	83.8 ms	0.5 μ s	32.75 ms	1 μ s	65.5 ms
100	-	-	-	-	-	-	-	-
101	30.5 μ s	2 s	30.5 μ s	2 s	30.5 μ s	2 s	30.5 μ s	2 s

TC2CK	SLOW モード		SLEEP モード	
	分解能	最大設定時間	分解能	最大設定時間
000	1 s	18.2 h	1 s	18.2 h
001	0.98 ms	1.07 min	0.98 ms	1.07 min
01*	-	-	-	-
100	125 ns 注)	-	-	-
110	160 ns 注)	-	-	-
101	-	-	-	-

注) f_c , $f_c/2$ はタイマモードでのみ使用可能。これは、SLOW モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。また、TC2CK = <100> 時は $f_c = 8$ MHz で表しています。

例: ソースクロック $f_c/2^4$ [Hz] で、タイマモードにセットし、25 ms ごとに割り込み発生させる ($f_c = 12.5$ MHz, DV1CK = 1 時)。

LDW (TREG2), 4C46H ; TREG2 の設定 (25 ms \div $2^4/f_c = 4C46H$)
 SET (EIRH), EF14 ; INTTC2 割り込みを許可
 EI
 LD (TC2CR), 00101100B ; TC2 スタート

(2) イベントカウンタモード

TC2 端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値と TREG2 設定値との一致で INTTC2 割り込み発生し、カウンタはクリアされます。TC2 端子への最大印加周波数は、表 2.7.2のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

例: イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込みを発生させる。

LDW (TREG2), 640 ; TREG2 の設定
 SET (EIRH). EF14 ; INTTC2 割り込みを許可
 EI
 LD (TC2CR), 00111100B ; TC2 スタート

表 2.7.2 タイマカウンタ 2 の外部クロックソース

最大印加周波数 [Hz]	
NORMAL1/2, IDLE1/2 モード	SLOW, SLEEP モード
$f_c/2^4$	$f_s/2^4$

(3) ウィンドウモード

TC2 外部端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。カウンタ値と TREG2 設定値の一致で、INTTC2 割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例: 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる ($f_c = 12.5 \text{ MHz}$, $DV1CK = 1 \text{ 時}$)。

LDW (TREG2), 0056H ; TREG2 の設定 ($120 \text{ ms} \div 2^{14}/f_c = 0056\text{H}$)
 SET (EIRH). EF14 ; INTTC2 割り込みを許可
 EI
 LD (TC2CR), 00100101B ; TC2 スタート

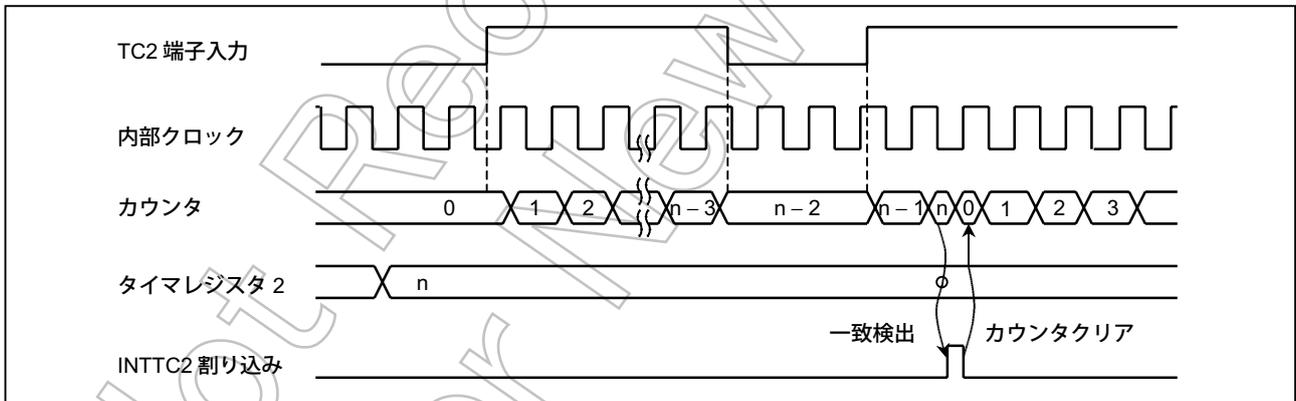


図 2.7.3 ウィンドウモードタイミングチャート

2.8 8ビットタイマカウンタ 3 (TC3)

2.8.1 構成

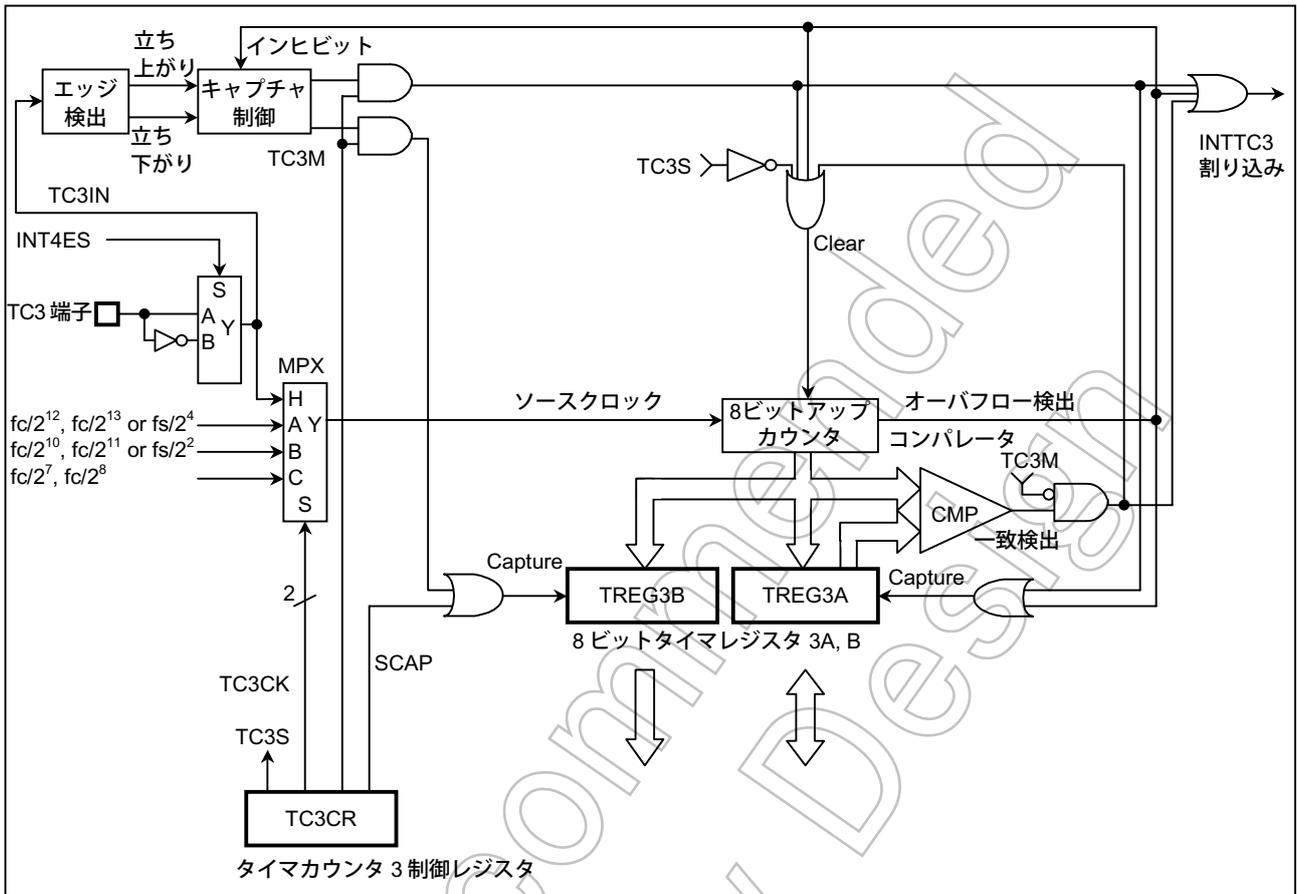


図 2.8.1 タイマカウンタ 3 (TC3)

2.8.2 制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

TREG3A (00018H) 7 6 5 4 3 2 1 0

Read/Write

TREG3B (00019H)

Read only

TC3CR (0001AH) 7 6 5 4 3 2 1 0

"0"
SCAP
"0"
TC3S
TC3CK
"0"
TC3M

(初期値 *0*0 00*0)

TC3M	タイマカウンタ3の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード				Write only
TC3CK	タイマカウンタ3のソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード				
		DV7CK = 0		DV7CK = 1		
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	
		00	$fc/2^{12}$	$fc/2^{13}$	$fs/2^4$	
		01	$fc/2^{10}$	$fc/2^{11}$	$fs/2^2$	$fs/2^2$
10	$fc/2^7$	$fc/2^8$	$fs/2^7$	$fs/2^8$		
11	外部クロック (TC3 端子入力)					
TC3S	タイマカウンタ3のスタート制御	0: ストップ&カウンタクリア 1: スタート				
SCAP	ソフトキャプチャ制御	0: - 1: ソフトキャプチャ				

注 1) fc: 高周波クロック[Hz], fs: 低周波クロック[Hz], *: Don't care
 注 2) モード, ソースクロック, エッジ (INT3ES) は、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。
 注 3) タイマレジスタ 3A への設定値は、次の条件を満足する必要があります。
 TREG3A > 0 (タイマ/イベントカウンタモード時)
 注 4) ソフトキャプチャはタイマ/イベントカウンタモード時のみ使用可能です。
 注 5) TC3CR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図 2.8.2 タイマカウンタ 3 のタイマレジスタと制御レジスタ

2.8.3 機能

タイマカウンタ 3 には、タイマ、イベントカウンタ、キャプチャの 3 つの動作モードがあります。
 キャプチャモードで使用する場合、リモコン受信制御レジスタにより、TC3 端子入力のノイズ除去時間が設定できます。

(1) タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ 3A (TREG3A) 設定値との一致で INTTC3 割り込みが発生し、カウンタはクリアされます。SCAP (TC3CR のビット 6) を "1" にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ 3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAP は、キャプチャ後自動的に "0" にクリアされます。

表 2.8.1 タイマカウンタの内部クロックソース (例: $f_c = 12.5$ MHz, $f_s = 32.8$ kHz 時)

TC3CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能 [μ s]	最大設定時間 [ms]	分解能 [μ s]	最大設定時間 [ms]	分解能 [μ s]	最大設定時間 [ms]	分解能 [μ s]	最大設定時間 [ms]
00	327.68	83.6	655.36	167.8	488.28	124.5	488.28	124.5
01	81.92	20.9	163.84	41.7	122.07	31.1	122.07	31.1
10	10.24	2.6	10.48	5.2	8	2.0	16	4.1

TC3CK	SLOW, SLEEP モード	
	分解能 [μ s]	最大設定時間 [ms]
00	488.28	124.5

(2) イベントカウンタモード

TC3 端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3 端子のエッジ選択と共通) パルスでカウントアップするモードです。カウンタ値と TREG3A 設定値との一致で INTTC3 割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、表 2.8.2のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

SCAP (TC3CR のビット 6) を“1”にセットすることにより、そのときのアップカウンタの内容を TREG3B に取り込むことができます (ソフトキャプチャ機能)。SCAP はキャプチャ後自動的に“0”にクリアされます。

例: TC3 端子に 50 Hz のパルスを入力し、0.5 s ごとに割り込みを発生させる。

LD (TREG3A), 19H ; $0.5 \text{ s} \div 1/50 = 25 = 19\text{H}$

LD (TC3CR), 00011110B ; TC3 スタート

表 2.8.2 タイマカウンタ 3 の外部クロックソース

最大印加周波数 [Hz]	
NORMAL1/2, IDLE1/2 モード	SLOW, SLEEP モード
$f_c/2^4$	$f_s/2^4$

(3) キャプチャモード

TC3 端子入力のパルス幅, 周期, デューティなどを測定するモードで, リモコン信号のデコードや AC 50/60 Hz 識別などに利用できます。カウンタを内部クロックでフリーランニングし, TC3 端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は, INT4 端子のエッジ選択と共通) の立ち上がり (立ち下がり) エッジでカウンタ値を TREG3A に取り込みカウンタをクリアするとともに INTTC3 割り込みが発生します。また, TC3 端子入力の立ち下がり (立ち上がり) エッジではカウンタ値を TREG3B に取り込みます。この場合はカウント継続し, 次の立ち上がり (立ち下がり) エッジでカウンタ値を TREG3A に取り込み, カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバーフロー (FFH) すると TREG3A に FFH をセットしてカウンタをクリアするとともに INTTC3 割り込みが発生します。割り込み処理で TREG3A を読み出して FFH であるか否かでオーバーフロー発生の有無を判断することができます。なお, 割り込み (TREG3A へのキャプチャまたはオーバーフロー検出) の発生後, TREG3A を読み出すまではキャプチャおよびオーバーフロー検出は停止します。ただし, カウントは継続します。TREG3A を読み出すとキャプチャ/オーバーフロー検出が再開されますので, 通常 TREG3B から先に読み出します。

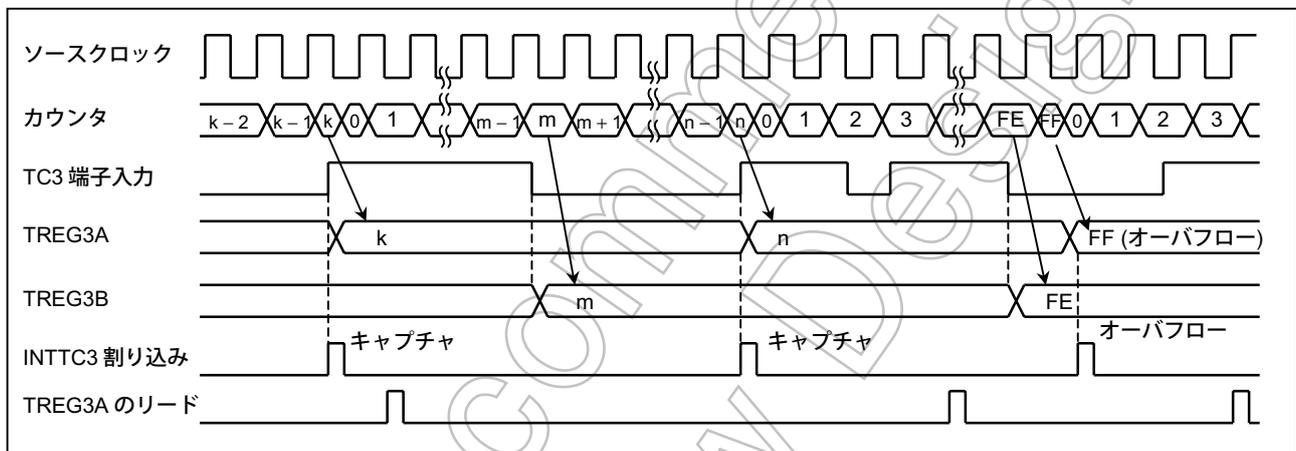


図 2.8.3 キャプチャモードタイミングチャート (INT4ES = 0 の場合)

2.9 8ビットタイマカウンタ 4 (TC4)

2.9.1 構成

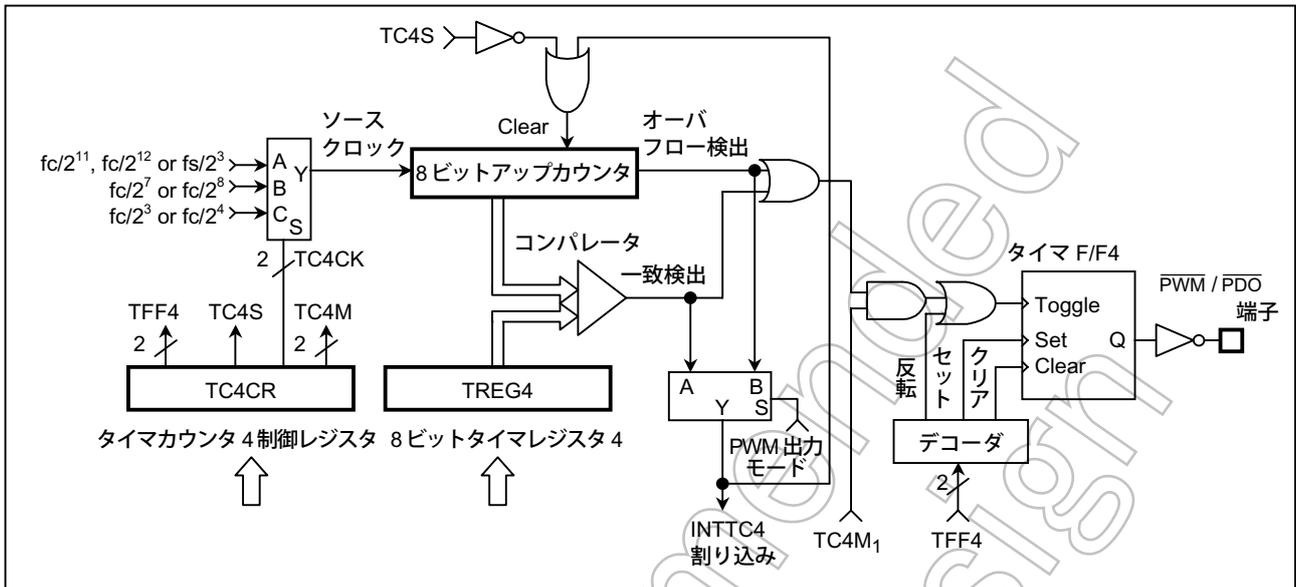


図 2.9.1 タイマカウンタ 4 (TC4)

2.9.2 制御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) とタイマレジスタ4 (TREG4) で制御されます。

TREG4 (0001BH) Write only

7	6	5	4	3	2	1	0

TC4CR (0001CH) (初期値 00*0 0000)

7	6	5	4	3	2	1	0
TFF4	"0"	TC4S	TC4CK				TC4M

TC4M	タイマカウンタ4の動作モードの選択	00: タイマ 01: Reserved 10: プログラマブル デバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード																																							
TC4CK	タイマカウンタ4のソースクロックの選択 単位: [Hz]	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2"></td> <td colspan="4" style="text-align: center;">NORMAL1/2, IDLE1/2 モード</td> <td rowspan="2" style="text-align: center;">SLOW, SLEEP モード</td> </tr> <tr> <td colspan="2"></td> <td colspan="2" style="text-align: center;">DV7CK = 0</td> <td colspan="2" style="text-align: center;">DV7CK = 1</td> </tr> <tr> <td style="text-align: center;">00</td> <td style="text-align: center;">fc/2¹¹</td> <td style="text-align: center;">fc/2¹²</td> <td style="text-align: center;">fs/2³</td> <td style="text-align: center;">fs/2³</td> <td style="text-align: center;">fs/2³</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">Write only</td> </tr> <tr> <td style="text-align: center;">01</td> <td style="text-align: center;">fc/2⁷</td> <td style="text-align: center;">fc/2³</td> <td style="text-align: center;">fc/2⁷</td> <td style="text-align: center;">fc/2⁸</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">10</td> <td style="text-align: center;">fc/2³</td> <td style="text-align: center;">fc/2⁴</td> <td style="text-align: center;">fc/2³</td> <td style="text-align: center;">fc/2⁴</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">11</td> <td colspan="5" style="text-align: center;">Reserved</td> </tr> </table>			NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード			DV7CK = 0		DV7CK = 1		00	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³	fs/2 ³	Write only	01	fc/2 ⁷	fc/2 ³	fc/2 ⁷	fc/2 ⁸	—	10	fc/2 ³	fc/2 ⁴	fc/2 ³	fc/2 ⁴	—	11	Reserved					
		NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード																																			
		DV7CK = 0		DV7CK = 1																																					
00	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³	fs/2 ³	Write only																																			
01	fc/2 ⁷	fc/2 ³	fc/2 ⁷	fc/2 ⁸	—																																				
10	fc/2 ³	fc/2 ⁴	fc/2 ³	fc/2 ⁴	—																																				
11	Reserved																																								
TC4S	タイマカウンタ4のスタート制御	0: ストップ&カウンタクリア 1: スタート																																							
TFF4	タイマ F/F4 の制御	00: クリア 01: Reserved 10: Reserved 11: — 注3)																																							

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
 注 2) 動作モード, ソースクロックおよびタイマ F/F4 の制御を行うときは、TC4S = "0" にしてください。
 注 3) TFF4 はタイマモード時は "11" にしてください。
 注 4) タイマレジスタへの設定値は次の条件を満足する必要があります。
 0 < TREG4
 注 5) TC4CR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図 2.9.2 タイマカウンタ4のタイマレジスタ/制御レジスタ

2.9.3 機能

タイマカウンタ4には、タイマ、プログラマブル デバイダ出力、パルス幅変調出力の4つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致で INTTC4 割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表 2.9.1 タイマカウンタ 4 の内部クロックソース (例: $f_c = 12.5 \text{ MHz}$, $f_s = 32.8 \text{ kHz}$ 時)

TC4CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間
00	163.84 μs	41.7 ms	327.68 μs	83.6 ms	244.14 μs	62.2 ms	244.14 μs	62.2 ms
01	10.24 μs	2.6 ms	20.48 μs	5.2 ms	10.24 μs	2.6 ms	20.48 μs	5.2 ms
10	0.64 μs	163.2 μs	1.28 μs	326 μs	0.64 μs	163.2 μs	1.28 μs	326 μs

TC4CK	SLOW, SLEEP モード	
	分解能	最大設定時間
00	244.14 μs	62.2 ms
01	-	-
10	-	-

(2) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4 との一致ごとにタイマ F/F4 出力を反転し、カウンタをクリアします。タイマ F/F4 出力は、反転されて P14 (PDO) 端子に出力されます。プログラマブル デバイダ出力を行う場合は、P14 出力ラッチを “1” にセットします。このモードはデューティ 50% のパルス出力に利用できます。なお、タイマ F/F4 はプログラムで初期設定することができます。リセット時、タイマ F/F4 は “0” に初期化されます。PDO 出力反転ごとに INTTC4 割り込みが発生します。

例: 1024 Hz のパルス出力 ($f_c = 12.5 \text{ MHz}$ 時)。

```

SET (P1). 4 ; P14 出力ラッチ ← 1
LD (P1CR), 00010000B ; P14 を出力モードに設定
LD (TREG4), 5FH ;  $1/1024 \div 2^7/f_c = 5FH$ 
LD (TC4CR), 00010010B ; TC4 スタート
    
```

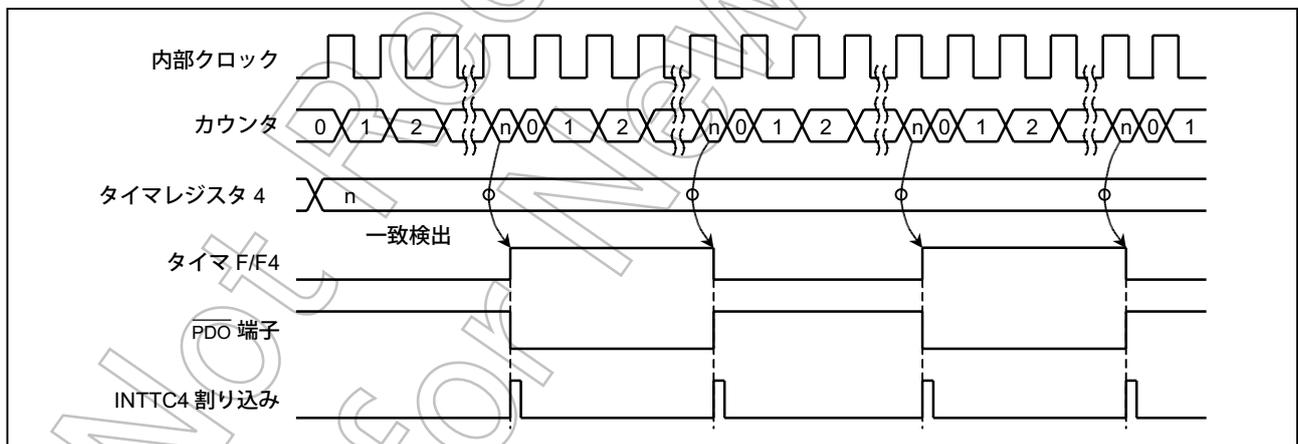


図 2.9.3 PDO モード タイミングチャート

(3) パルス幅変調 (PWM) 出力モード

分解能 8 ビットの PWM 出力ができます。内部クロックでカウントアップし、カウンタ値と TREG4 設定値との一致でタイマ F/F4 出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 出力を再び反転し、カウンタをクリアします。タイマ F/F4 出力は反転されて、P14 (PWM) 端子に出力されます。PWM 出力を行う場合は、P14 出力ラッチを“1”にセットします。なお、オーバフロー時 INTTC4 割り込みが発生します。

TREG4 は、シフトレジスタ (2 段) 構成で、PWM 出力中に TREG4 を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回は TREG4 にデータ設定後、TC4CR によりスタートした時点でシフトされます。

注) INTTC4 割り込み発生サイクル時のみ TREG4 を書き替えしないでください。通常は、INTTC4 割り込みサービスルーチンで TREG4 を書き替えます。

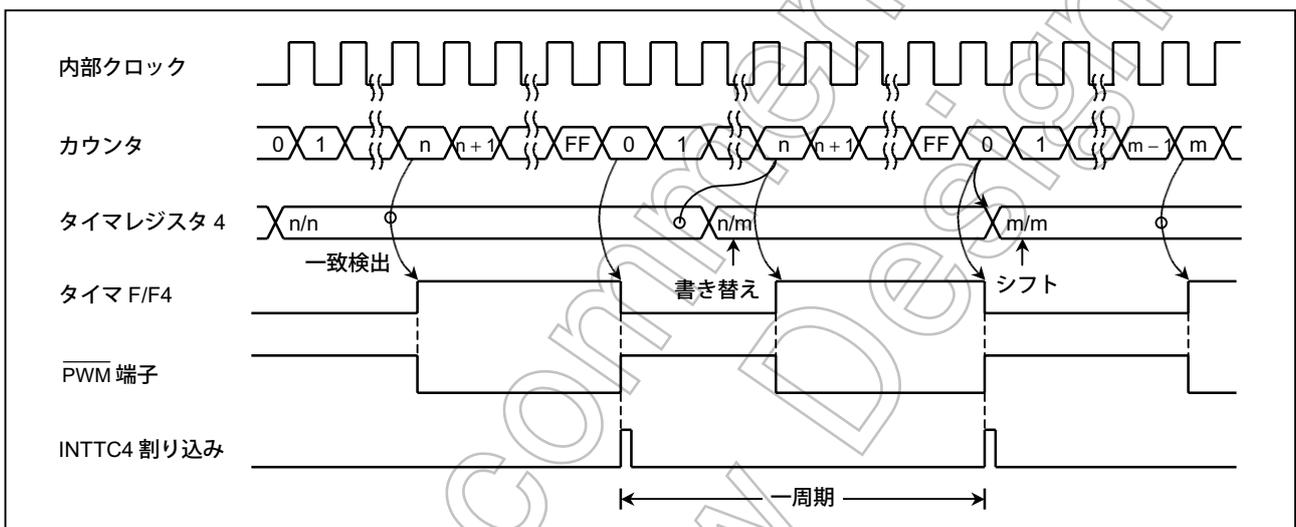


図 2.9.4 PWM 出力モードタイミングチャート

表 2.9.2 PWM モード (例: $f_c = 12.5 \text{ MHz}$ 時)

TC4CK	NORMAL 1/2, IDLE 1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能	繰り返し周期	分解能	繰り返し周期	分解能	繰り返し周期	分解能	繰り返し周期
00	163.84 μs	41.7 ms	327.68 μs	83.6 ms	244.14 μs	62.5 ms	244.14 μs	62.5 ms
01	10.24 μs	2.6 ms	20.48 μs	5.2 ms	-	-	-	-
10	0.64 μs	163.2 μs	1.28 μs	326 μs	-	-	-	-

TC4CK	SLOW, SLEEP モード	
	分解能	繰り返し周期
00	244.14 μs	62.5 ms
01	-	-
10	-	-

2.10 シリアルバスインタフェース (SBI-ver. C)

TMP88CU74 は、I²C バス (Philips 社の提唱するバス方式)/クロック同期式 8 ビット SIO の 2 つの動作モードを持つシリアルバスインタフェースを 1 チャンネル内蔵しています。

シリアルバスインタフェースは I²C バスモードのとき、P31 (SDA), P30 (SCL) を通して、クロック同期式 8 ビット SIO モードの時、P32 ($\overline{SCK0}$), P31 (SO0), P30 (SI0) を通して外部デバイスと接続されます。

シリアルバスインタフェース端子は、P3 ポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応する P3 ポートの出力ラッチを “1” にするとともに入出力制御レジスタにて入出力のコントロールをする必要があります。シリアルバスインタフェース端子として使用しない端子は、通常の入出力として使用できます。

2.10.1 構成

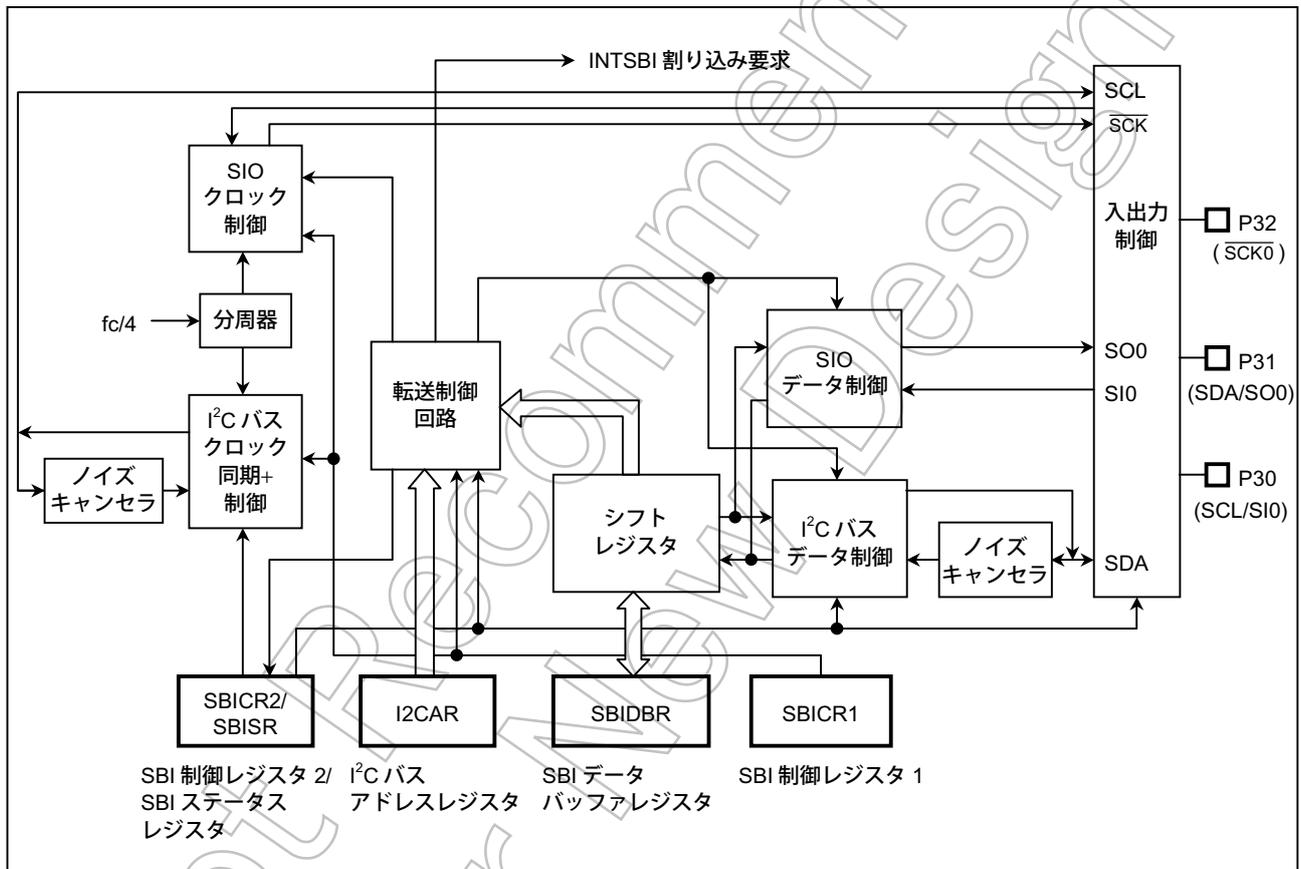


図 2.10.1 シリアルバスインタフェース (SBI-ver. C)

2.10.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ 1 (SBICR1)
- シリアルバスインタフェース制御レジスタ 2 (SBICR2)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)

上記レジスタは使用するモードによって、機能が異なります。詳細は『2.10.4 I²C バスモード時の制御』および『2.10.6 クロック同期式 8 ビット SIOO モード時の制御』をご参照ください。

2.10.3 I²C バスモード時のデータフォーマット

I²C バスモード時のデータフォーマットを図 2.10.2 に示します。

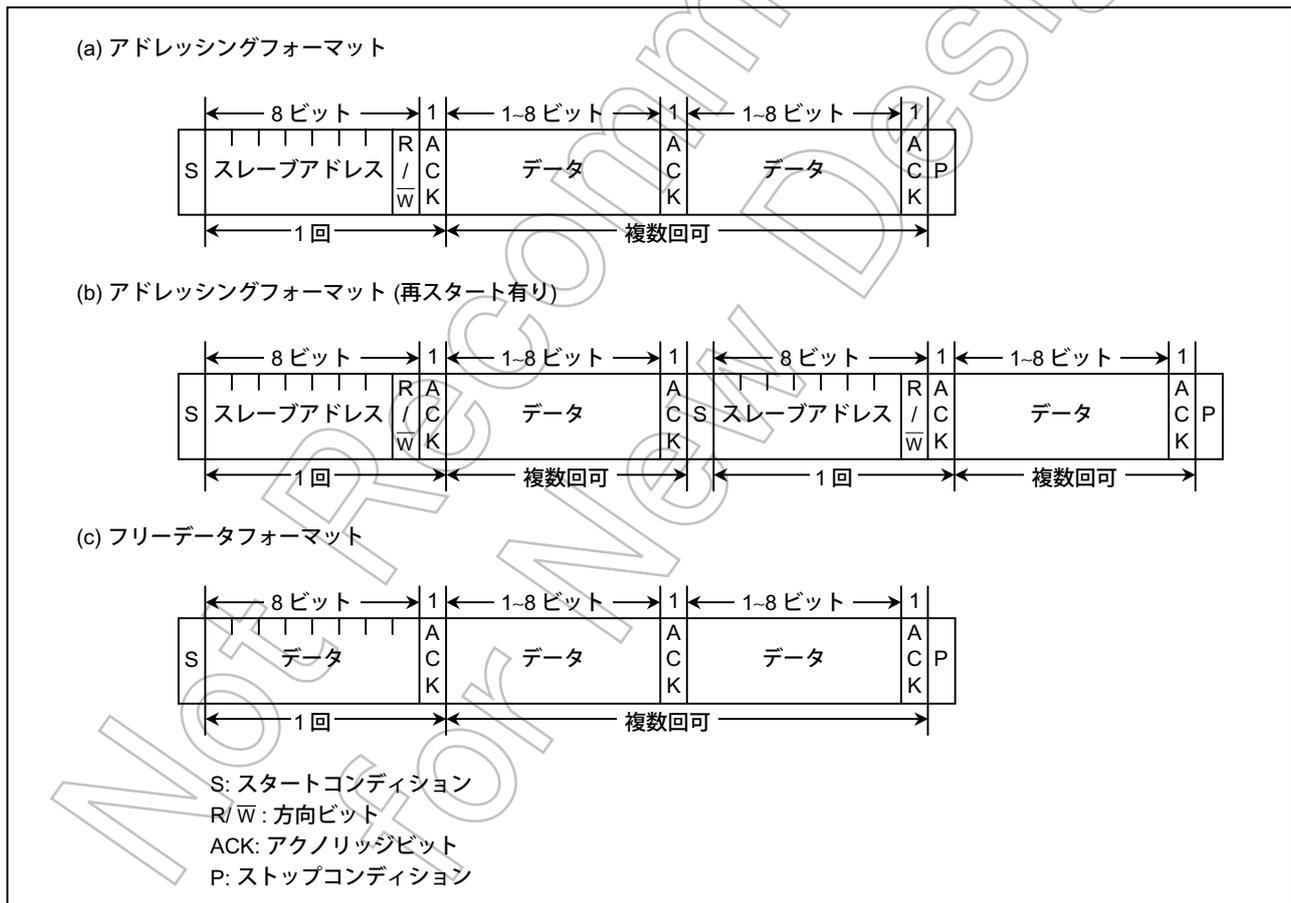


図 2.10.2 I²C バスモード時のデータフォーマット

2.10.4 I²C バスモード時の制御

シリアルバスインタフェース (SBI-ver. C) を I²C バスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 1

SBICR1 (0020H)	7	6	5	4	3	2	1	0	
	BC		ACK	SWRST	SCK				(初期値 0000 0000)

BC	転送ビット数の選択	BC	ACK = 0 のとき		ACK = 1 のとき		Write only
			クロック数	データ長	クロック数	データ長	
000		000	8	8	9	8	Write only
001		001	1	1	2	1	
010		010	2	2	3	2	
011		011	3	3	4	3	
100		100	4	4	5	4	
101		101	5	5	6	5	
110		110	6	6	7	6	
111		111	7	7	8	7	
ACK	アクノリッジのためのクロック発生を選択	0: アクノリッジのためのクロックを発生しない。 1: アクノリッジのためのクロックを発生する。					Read/Write
SWRST	SBI の内部を初期化する	0: - 1: 初期化を行う (初期化後、0 にクリア)					Read/Write
SCK	シリアルクロック周波数の選択	000: Reserved (注4) 001: Reserved (注4) 010: 91.9 kHz 011: 47.3 kHz 100: 24.0 kHz 101: 12.1 kHz 110: 6.08 kHz 111: Reserved @ fc = 12.5 MHz (SCL 端子への出力)					Write only

注 1) fc: 高周波クロック [Hz]
 注 2) クロック同期式 8 ビット SIO モードに切り替える前に BC を “000” にクリアしてください。
 注 3) SBICR1 は書き込み専用レジスタを含むので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが I²C 規格の規格外となります。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0021H)	7	6	5	4	3	2	1	0	R/W
-------------------	---	---	---	---	---	---	---	---	-----

注 1) 送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。
 注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 3) SBIDBR に書き込んだ値は、INTSBI 割り込み要求信号により “0” にクリアされます。

I²C バスアドレスレジスタ

I2CAR (0022H)	7	6	5	4	3	2	1	0	
	スレーブアドレス							ALS	(初期値 0000 0000)
	SA6	SA5	SA4	SA3	SA2	SA1	SA0		

SA	TMP88CU74 のスレーブアドレスの設定		Write only
ALS	アドレス認識モードの指定	0: スレーブアドレスを認識する。 1: スレーブアドレスを認識しない。	Write only

注) I2CAR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図 2.10.3 I²C バスモード時の制御レジスタ 1, データバッファレジスタと I²C バスアドレスレジスタ

シリアルバスインタフェース制御レジスタ 2

SBICR2 7 6 5 4 3 2 1 0
 (0023H) MST TRX BB PIN SBIM "0" "0" (初期値 0001 00**)

MST	マスタ/スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	トランスミッタ/レシーバの選択	0: レシーバ 1: トランスミッタ	
BB	スタートコンディション/ストップコンディションの発生	0: ストップコンディション発生 1: スタートコンディション発生	
PIN	割り込みサービス要求の解除	0: - ("0" にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: クロック同期式 8 ビット SIO モード 10: I ² C バスモード 11: Reserved	

- 注 1) *: Don't care
- 注 2) ポートモードへの切り替えはバスフリーを確認してから行ってください。
- 注 3) ポートモードから I2C バスモード、クロック同期式 SIO モードへの切り替えは、ポートの状態が "H" になっていることを確認後、行ってください。
- 注 4) SBICR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
- 注 5) SBICR2 のビット 1, 0 は "0" にクリアしてください。

シリアルバスインタフェースステータスレジスタ

SBISR 7 6 5 4 3 2 1 0
 (0023H) MST TRX BB PIN AL AAS AD0 LRB (初期値 0001 0000)

MST	マスタ/スレーブ選択状態モニタ	0: スレーブ 1: マスタ	Read only
TRX	トランスミッタ/レシーバ選択状態モニタ	0: レシーバ 1: トランスミッタ	
BB	バス状態モニタ	0: バスフリー 1: バスビジー	
PIN	割り込みサービス要求状態モニタ	0: 割り込みサービス要求中 1: 割り込みサービス要求解除中	
AL	アービトラージョンロスト検出モニタ	0: アービトラージョンロスト未検出 1: アービトラージョンロスト検出	
AAS	スレーブアドレス一致検出モニタ	0: スレーブアドレス不一致またはゼネラルコール未検出 1: スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0: ゼネラルコール未検出 1: ゼネラルコール検出	
LRB	最終受信ビットモニタ	0: 最終受信ビット "0" 1: 最終受信ビット "1"	

図 2.10.4 I²C バスモード時の制御レジスタ 2/ステータスレジスタ

(1) アクノリッジメントモードの指定

ACK (SBICR1 のビット 4) を “1” にセットしておくくとアクノリッジメントモードとして動作します。

シリアルバスインタフェース回路がマスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。

ACK を “0” にクリアしておくくと非アクノリッジメントモードとして動作し、シリアルバスインタフェース回路がマスタモードのときにアクノリッジ信号のためのクロックは発生しません。

同様にアクノリッジメントモードのとき、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントします。アクノリッジのためのクロックの期間中、受信したスレーブアドレスと I2CAR に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときには、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。また、スレーブアドレス一致、ゼネラルコール受信後のデータ転送でのアクノリッジのためのクロックの期間中、トランスミッタモードのときには、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。

非アクノリッジメントモードのとき、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

(2) 転送ビット数の選択

BC (SBICR1 のビット 7~5) により、次に送受信するデータのビット数を選択します。

BC はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは BC は一度設定された値を保持します。

(3) シリアルクロック

a. クロックソース

SCK (SBICR1 のビット 2~0) で、マスタモード時に SCL 端子から出力するシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。またマスタモード/スレーブモードとも外部から入力されるクロックの “H” レベル、“L” レベルは 4 マシンサイクル以上のパルス幅が必要です。

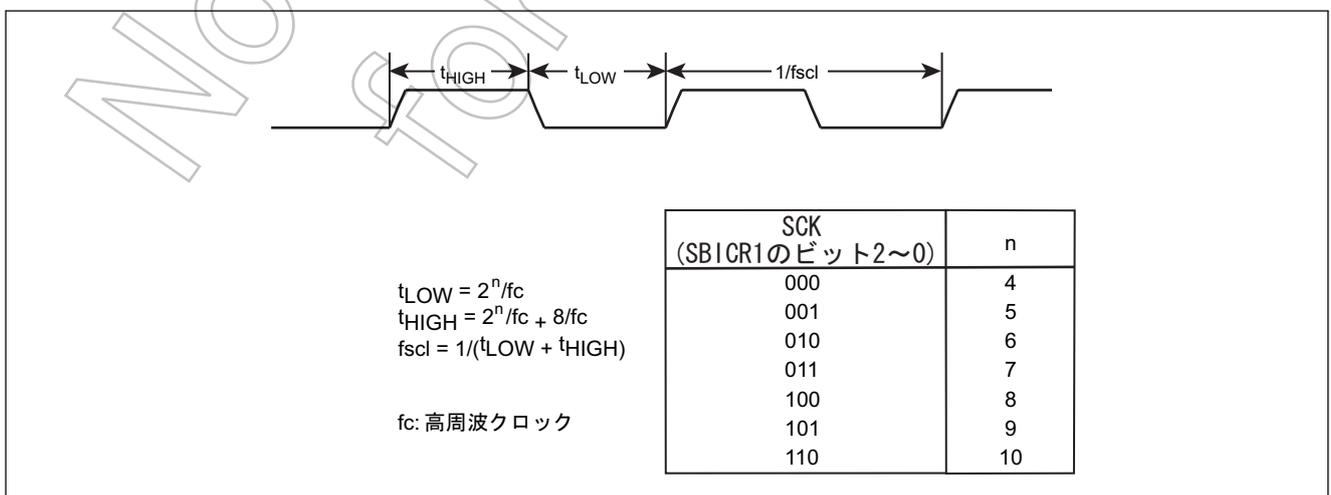


図 2.10.5 クロックソース

b. クロック同期化

I²Cバスでは端子の構造上、バスをワイヤードアンドで駆動させるためクロックラインを最初に“L”レベルに引いたマスタが“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例にあげて以下に示します。

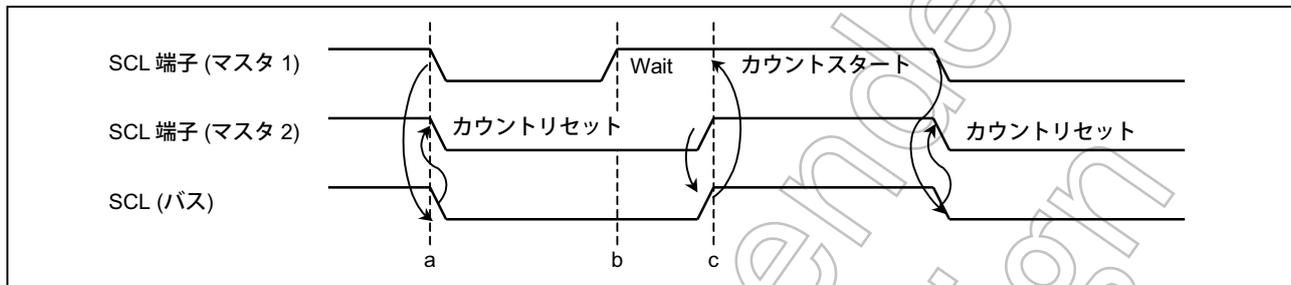


図 2.10.6 クロック同期化の例

a点でマスタ1がSCL端子を“L”レベルに引くことで、バスのSCLラインは“L”レベルになります。マスタ2はこれを検出し、マスタ2の“H”レベル期間のカウンタをリセットし、SCL端子を“L”レベルに引きます。

b点でマスタ1は“L”レベル期間のカウンタを終わり、SCL端子を“H”レベルにします。しかしマスタ2がバスのSCLラインを“L”レベルに保持し続けているのでマスタ1は“H”レベル期間のカウンタを止めます。マスタ1は、c点でマスタ2がSCL端子を“H”レベルにし、バスのSCLラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとスレーブアドレス認識モードの設定

シリアルバスインタフェース回路をスレーブアドレスを認識するアドレッシングフォーマットで使用するときは、ALS (I2CARのビット0)を“0”にクリアし、SA (I2CARのビット7-1)にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときは、ALSを“1”にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

(5) マスタ/スレーブの選択

MST (SBICR2のビット7)を“1”にセットするとシリアルバスインタフェース回路はマスタデバイスとして動作します。

MSTを“0”にクリアするとスレーブデバイスとして動作します。MSTはバス上のストップコンディションを検出したとき、または、アービトレーションロストが検出されると、ハードウェアにより“0”にクリアされます。

また、BB (SBISR のビット 5) を読み出すことで、バスの状態を知ることができます。BB は、バス上のスタートコンディションを検出すると“1”にセットされ (バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます (バスフリー状態)。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BC と ACK によって設定されたクロック数の転送が終了するとシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスが I2CAR に設定されたスレーブアドレスと一致したとき、ゼネラルコールを受信したときのアクノリッジ信号出力後、または、前記スレーブアドレスの一致、ゼネラルコール受信をしたあとのデータ転送の終了時に、INTSBI 割り込み要求が発生します。

シリアルバスインタフェース割り込み要求が発生すると PIN (SBISR のビット 4) が“0”にクリアされます。PIN が“0”の間、SCL 端子が“L”レベルに引かれます。

SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと“1”にセットされます。

PIN が“1”にセットされてから、SCL 端子が開放されるまで、 t_{LOW} のとき間がかかります。

プログラムで PIN (SBICR2 のビット 4) に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBIM (SBICR2 のビット 3-2) でシリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するときには、シリアルバスインタフェース端子の状態が“H”レベルになっていることを確認後、SBIM を“10”にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手段が必要となります。

I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 と同じデータを出力し、a 点でマスタ 1 がデータ“1”を出力、マスタ 2 がデータ“0”を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって“L”レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を“アービトレーションロスト”と呼び、アービトレーションを失ったマスタは、SDA 端子、SCL 端子を開放し、アービトレーションを失っていない他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

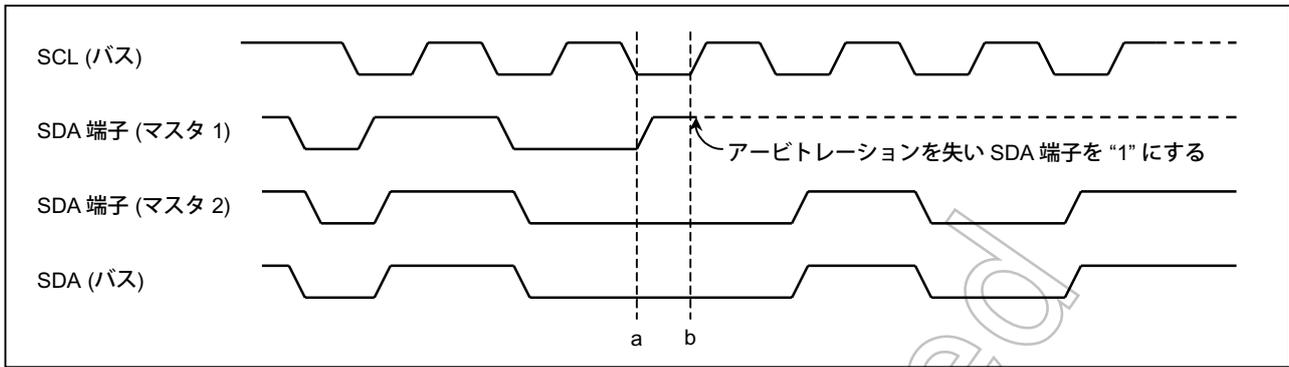


図 2.10.9 アービトレーションロスト

シリアルバスインタフェース回路ではバスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISR のビット 3) が “1” にセットされます。

AL が “1” にセットされると MST, TRX は “0” にリセットされ、スレーブレシーバモードになります。

AL は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと “0” にリセットされます。

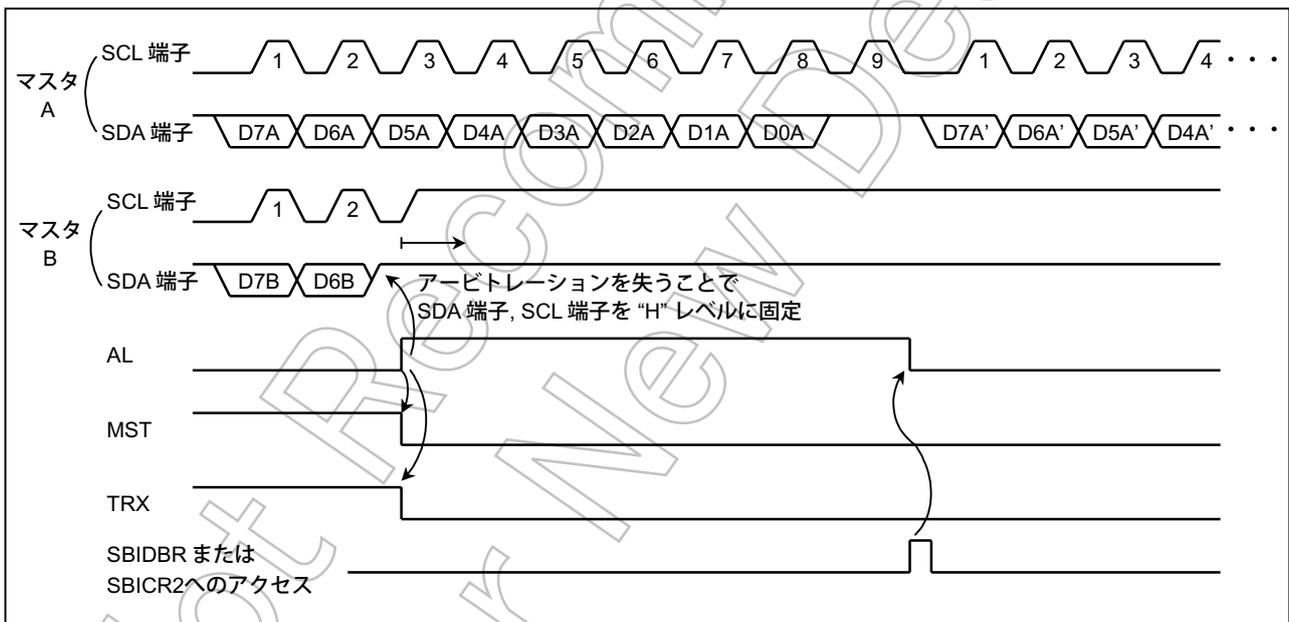


図 2.10.10 シリアルバスインタフェース回路がマスタ B の場合アービトレーションロストの例

(11) スレーブアドレス一致検出モニタ

AAS (SBISR のビット 2) は、スレーブモードで、かつアドレッシングフォーマット (ALS = “0”) のとき、ゼネラルコールまたは I2CAR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。フリーデータフォーマット (ALS = “1”) のときは、最初の 1 ワードが受信されると “1” にセットされます。AAS は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “0” にクリアされます。

(12) ゼネラルコール検出モニタ

AD0 (SBISR のビット 1) は、スレーブモード時、ゼネラルコール (スタートコンディション直後に受信した 8 ビットのデータがすべて “0”) のとき、“1” にセットされます。AD0 はバス上のスタートコンディションまたはストップコンディションが検出されると “0” にクリアされます。

(13) 最終受信ビットモニタ

LRB (SBISR のビット 0) には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に LRB を読み出すと、アクノリッジ信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズなどによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SWRST (SBICR3 のビット 0) を “1” にすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。

また、SWRST は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

2.10.5 I²C バスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBICR1 の ACK に “1” を、BC に “000” を設定し、アクノリッジのためのクロックをカウントするように、またデータ長を 8 ビットにします。また、SCK に転送周波数を設定します。

次に I2CAR の SA にスレーブアドレスを設定します。また、ALS を “0” にクリアしてアドレッシングフォーマットに設定します。

その後、シリアルバスインタフェース端子の状態が “H” レベルになっていることを確認し、SBICR2 の MST, TRX, BB に “0”、PIN に “1”、SBIM に “10”、ビット 1-0 に “0” を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に他のデバイスが転送を開始することがあり、正常にデータを受信することができません。

(2) スタートコンディション、スレーブアドレスの発生

バスフリー (BB = “0”) 状態を確認します。

ACK を “1” にセットし、SBIDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PIN に “1” を書き込むと、バス上にスタートコンディションと SBIDBR に設定したスレーブアドレスと方向ビットが出力されます。この後、SCL の 9 クロック目の立ち下がり、INTSBI 割り込み要求が発生し、PIN が “0” にクリアされます。PIN が “0” の間、SCL 端子を “L” レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウェアにより、INTSBI 割り込み要求タイミングで TRX が方向ビットに合わせて変化します。

注 1) SBIDBR への、出力するスレーブアドレスの書き込みは、ソフトウェアによりバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2) 出力するスレーブアドレスの書き込みから 98.0 μs (I²C バス規格による最短の転送時間) 以内に再度ソフトウェアによるバスフリーの確認を行い、バスフリーが確認できたときのみ、SBICR2 の MST, TRX, BB, PIN に “1” を書き込みスタートコンディションを発生させてください。この制約が守られない場合、SBIDBR へ出力するスレーブアドレスを書き込んでから SBICR2 の MST, TRX, BB, PIN に “1” を書き込みスタートコンディションを発生させるまでの間に、他のマスタによる転送が行われ、SBIDBR に書き込んだスレーブアドレスが破壊されることがあります。



図 2.10.11 スタートコンディションとスレーブアドレスの発生

(3) 1ワードのデータ転送

1ワード転送終了の INTSBI 割り込みの処理で MST をテストし、マスターモード/スレーブモードの判断をします。

a. MST が “1” のとき (マスターモード)

TRX をテストし、トランスミッタ/レシーバの判断をします。

1. TRX が “1” のとき (トランスミッタモード)

LRB をテストします。LRB が “1” のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

LRB が “0” のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が 8 ビット以外のときは BC を再設定し、ACK を “1” にセットした後、送信データを SBIDBR に書き込みます。データを書き込むと PIN が “1” になり SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、1 ワードのデータが送信されます。送信終了後、INTSBI 割り込み要求が発生し、PIN が “0” になり SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は上記 LRB のテストから繰り返します。

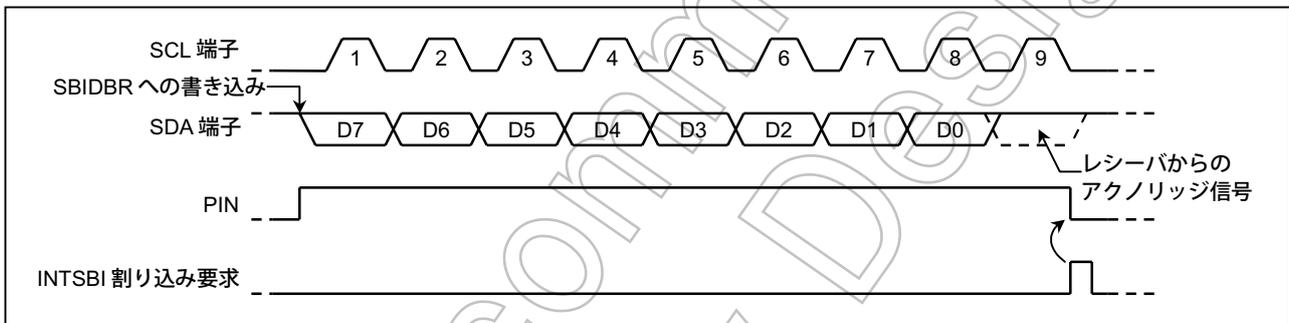


図 2.10.12 BC = “000”, ACK = “1” のときの例

2. TRX が “0” のとき (レシーバモード)

次に転送するデータのビット数が 8 ビット以外のときは BC を再設定し、ACK に “1” をセットした後、SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと PIN は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL に出力し、アクノリッジのタイミングで “0” を SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、PIN が “0” になります。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

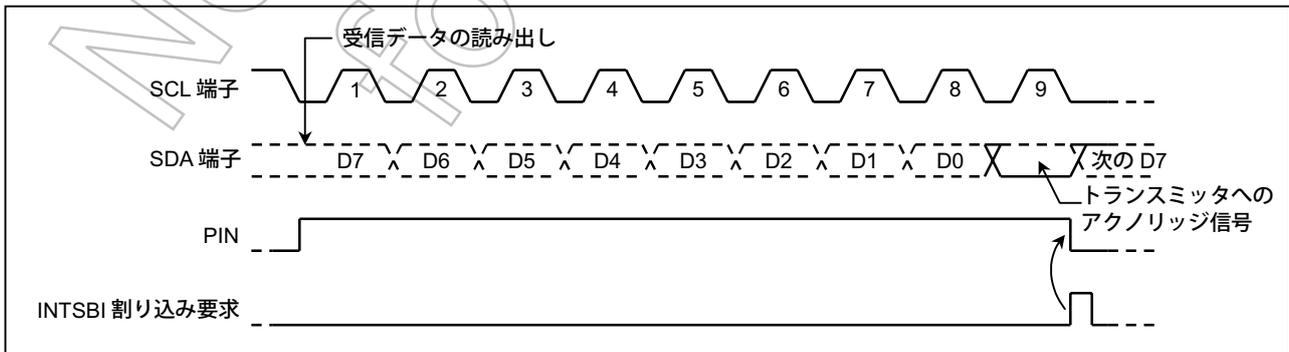


図 2.10.13 BC = “000”, ACK = “1” のときの例

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前にACKを“0”にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC = “001” に設定し、データを読み出すとPINが“1”にセットされ、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスのSDAラインは“H”レベルを保ちます。トランスミッタはアクノリッジ信号としてこの“H”レベルを受信するので、レシーバはトランスミッタ送信終了を知らせることができます。この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

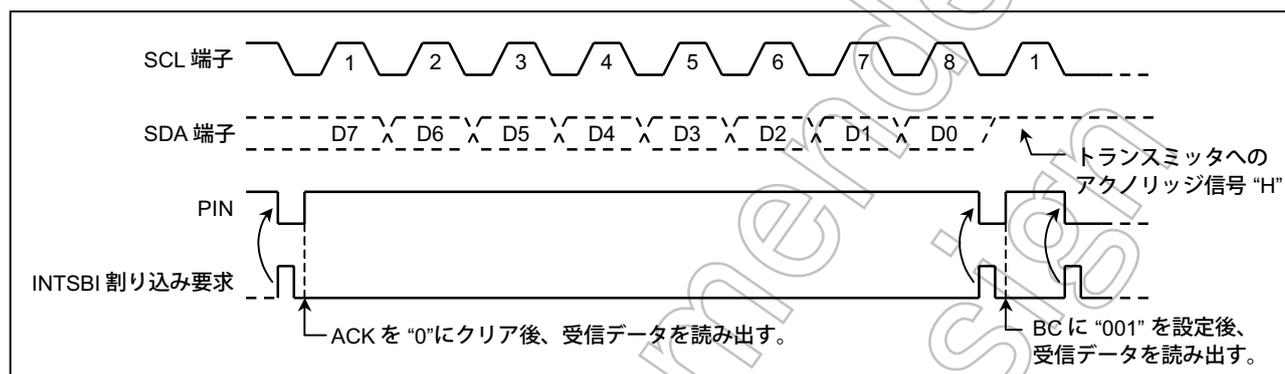


図 2.10.14 マスタレシーバモード時、データの送信を終了させるときの処理

b. MST が“0”のとき (スレーブモード)

スレーブモード時は、通常のスレーブモードとしての処理または、シリアルバスインタフェース回路がアービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったシリアルバスインタフェース回路のスレーブアドレスを受信したとき、またはゼネラルコールを受信したとき、または、受信したスレーブアドレスが一致した後、ゼネラルコールを受信した後のデータ転送終了時に INTSBI 割り込み要求が発生します。また、シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると PIN (SBICR2 のビット 4) が“0”にリセットされ、SCL 端子を“L”レベルに引きます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出すか、または PIN を“1”にセットすると SCL 端子が t_{LOW} 後に開放されます。

AL (SBISR のビット 3)、TRX (SBISR のビット 6)、AAS (SBISR のビット 2)、AD0 (SBISR のビット 1) をテストし、場合分けを行います。表 2.10.1 にスレーブモード時の状態と必要な処理を示します。

表 2.10.1 スレーブモード時の処理

TRX	AL	AAS	AD0	状態	処理
1	1	1	0	シリアルバスインタフェース回路がスレーブアドレス送信中にアービトレーションを失い、他のマスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。
		0	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	
	0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRBをテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないのでPINに“1”をセット、TRXを“0”にリセットしバスを開放します。LRBが“0”にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。	
0	1	0	1/0	シリアルバスインタフェース回路がスレーブアドレス送信中にアービトレーションを失い、他のマスタが送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PINを“1”にセットするためにSBIDBRを読み出します(ダミー読み出し)。またはPINに“1”を書き込みます。
		0	0	シリアルバスインタフェース回路がスレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数をBCにセットし、受信データをSBIDBRから読み出します。
		0	1/0	スレーブレシーバモード時、1ワードのデータ受信が終了	

(4) ストップコンディションの発生

BB=“1”のときに、MST、TRX、PINに“1”、BBに“0”を書き込むとバス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST、TRX、BB、PINの内容を書き替えないでください。

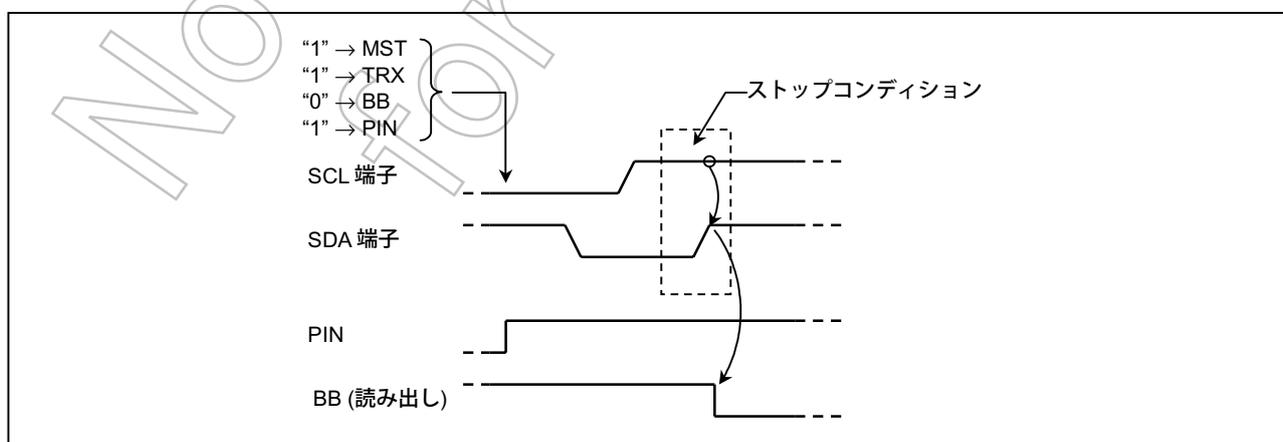


図 2.10.15 ストップコンディションの発生

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。再スタートを発生する場合の手順を以下に示します。

まず、MST, TRX, BB に“0”、PIN に“1”を書き込むと、SDA 端子は“H”レベルを保ち、SCL 端子が開放されます。このときバス上にストップコンディションは発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、BB をテストして“0”になるまで待ち、シリアルバスインタフェース回路の SCL 端子が開放されたことを確認します。次に LRB をテストして“1”になるまで待ち、他のデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記 (2) の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μ s のソフトウェアによる待ち時間が必要です。

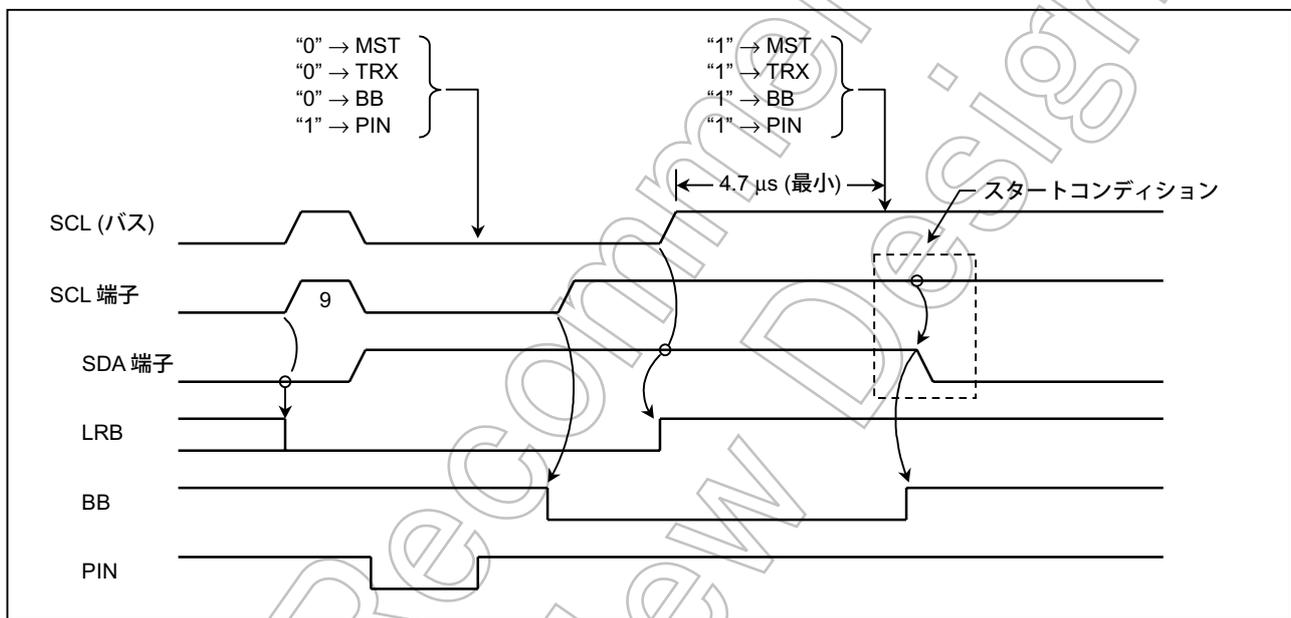


図 2.10.16 再スタートを発生する場合のタイミングチャート

2.10.6 クロック同期式 8 ビット SIO0 モード時の制御

シリアルバスインタフェース (SBI-ver. C) をクロック同期式 8 ビット SIO モードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 1

SBICR1 (00020H)	7	6	5	4	3	2	1	0	(初期値 0000 *000)
	SIOS	SIOINH	SIOM	"0"		SCK			
SIOS	転送の開始/終了		0: 終了 1: 開始		Write only				
SIOINH	転送の強制停止		0: 転送継続 1: 強制停止 (停止後、自動的にクリア)						
SIOM	転送モードの選択		00: 8 ビット送信モード 01: Reserved 10: 8 ビット送受信モード 11: 8 ビット受信モード						
SCK	シリアルクロック周波数の選択		000: $fc/2^5$ (390 kHz) 001: $fc/2^6$ (195 kHz) 010: $fc/2^7$ (97.6 kHz) 011: $fc/2^8$ (48.8 kHz) 100: $fc/2^9$ (24.4 kHz) 101: $fc/2^{10}$ (12.2 kHz) 110: $fc/2^{11}$ (6.1 kHz) 111: 外部クロック (SCK 端子から入力)						

注 1) *: Don't care
 注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0" にしてください。
 注 3) SBICR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (00021H)	7	6	5	4	3	2	1	0	R/W
[7-bit data field]									

注) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別にもっているため書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

シリアルバスインタフェース制御レジスタ 2

SBICR2 (00023H)	7	6	5	4	3	2	1	0	(初期値 **** 00**)
	"0"	"0"	"0"	"1"	SBIM	"0"	"0"		
SBIM	シリアルバスインタフェースの動作モード選択		00: ポートモード (シリアルバスインタフェースの出力禁止) 01: クロック同期式 8 ビット SIO モード 10: I ² C バスモード 11: Reserved		Write only				

注 1) *: Don't care
 注 2) ポートモードへの切り替えは転送終了を確認してから行ってください。
 注 3) ポートモードから I2C バスモード、クロック同期式 8 ビット SIO モードへの切り替えはポートの状態が "H" になっていることを確認後、行ってください。
 注 4) SBICR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注 5) SBICR2 のビット 7~5, 1~0 は "0" にクリア、ビット 4 は "1" にセットして下さい。

シリアルバスインタフェースステータスレジスタ

SBISR (00023H)	7	6	5	4	3	2	1	0	(初期値 1111 0011)
	"1"	"1"	"1"	"1"	SIOF	SEF	"1"	"1"	
SIOF	シリアル転送動作状態モニタ		0: 転送終了 1: 転送中		Read only				
SEF	シフト動作状態モニタ		0: シフト動作終了 1: シフト転送中						

図 2.10.17 SIO モード時の制御レジスタ 1, 2/データバッファレジスタ/ステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SBICR1 のビット 2~0) により、次の選択ができます。

1. 内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは $\overline{\text{SCK0}}$ 端子より外部に出力されます。なお、転送開始時 $\overline{\text{SCK0}}$ 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み出し (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

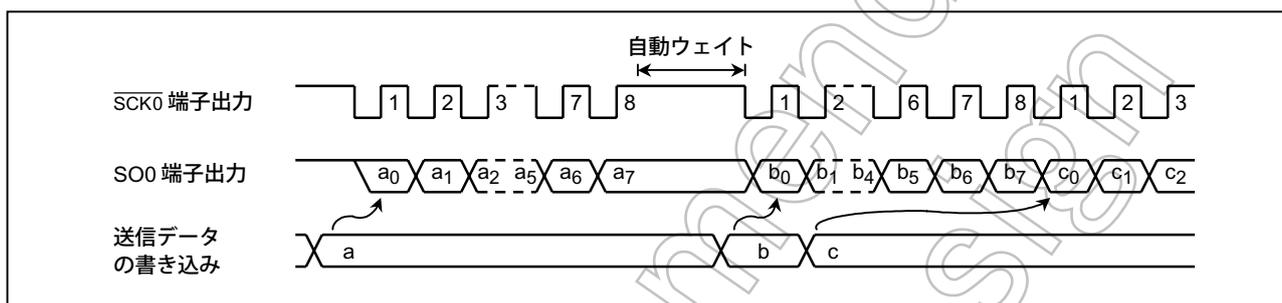


図 2.10.18 自動ウェイト機能

2. 外部クロック (SCK = “111”)

外部から $\overline{\text{SCK0}}$ 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの “H” レベル、“L” レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送周波数は 390 kHz ($f_c = 12.5$ MHz 時) です。

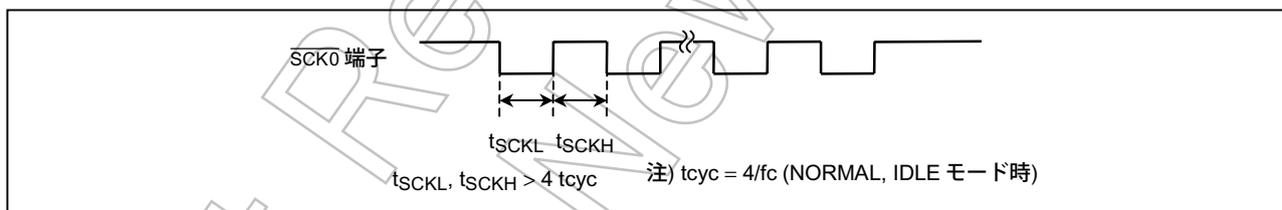


図 2.10.19 外部クロック入力時の最大転送周波数

b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

1. 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK0}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

2. 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK0}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

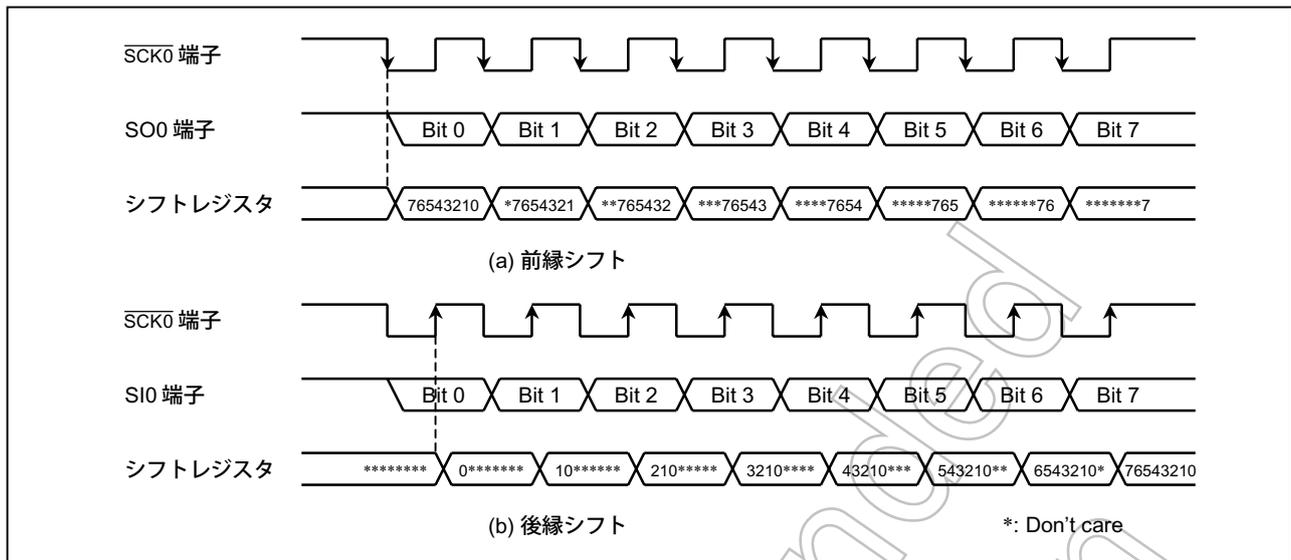


図 2.10.20 シフトエッジ

(2) 転送モード

SIOM (SBICR1 のビット 5, 4) で、送信/受信/送受信モードを選択します。

a. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SIOS を“1”にセットすることにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から SO0 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、次の送信データを要求する INTSBI (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOF が“1”となってから、 \overline{SCK} の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOS を“0”にクリアするか SIOINH を“1”にセットします。SIOS がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了を確認するには SIOF (SBISR のビット 3) をセンスします。SIOF は送信の終了で“0”になります。SIOINH をセットした場合は直ちに送信を打ち切り、SIOF は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOS を“0”にクリアする必要があります。もしシフトアウトする前に SIOS がクリアされなかった場合は、ダミーのデータの送信後、停止します。

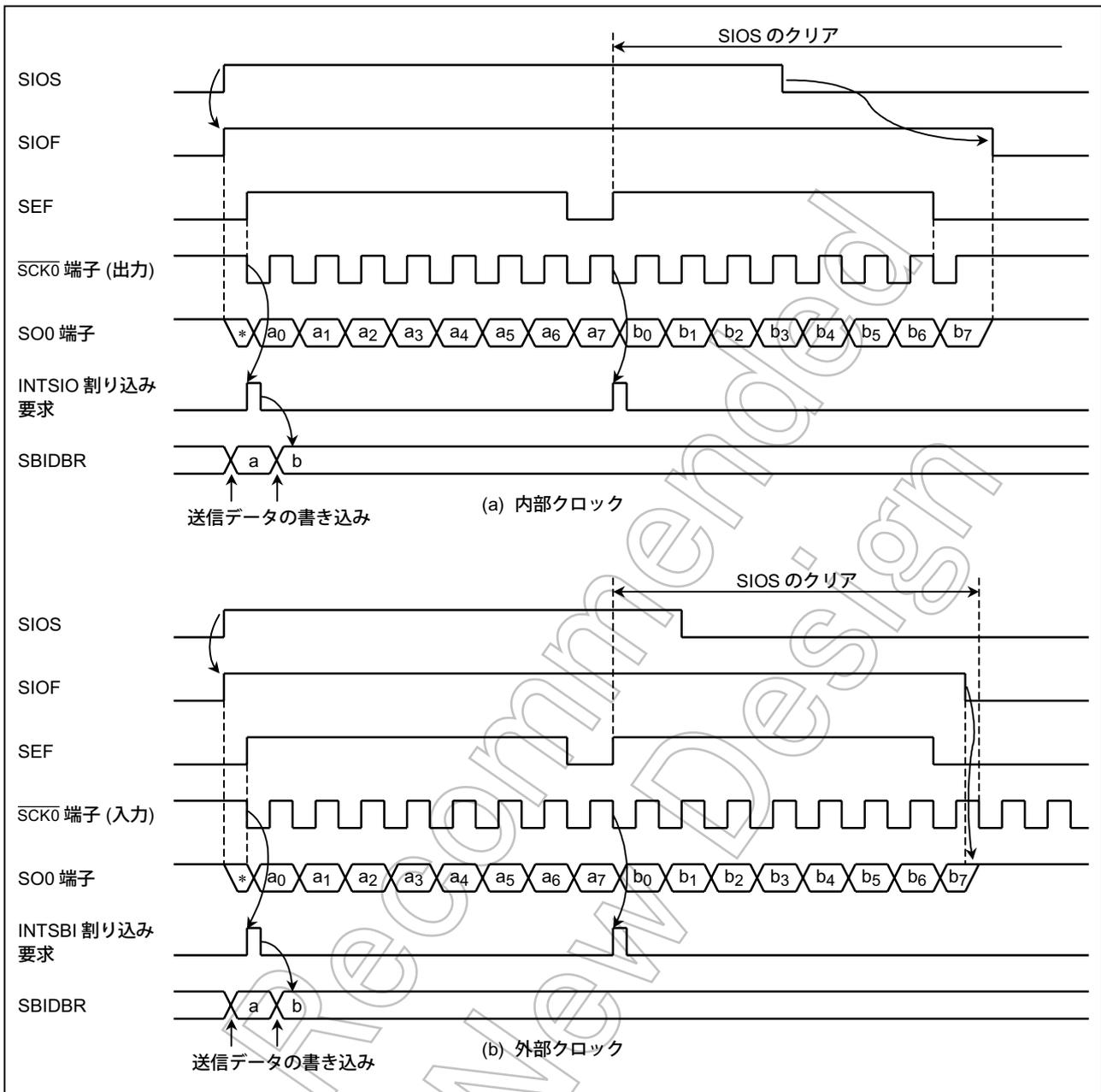


図 2.10.21 送信モード

例: SIO0の送信終了指示 (外部クロックの場合)。

```

STEST1:  TEST (SBISR). SEF          ; If SEF = 1 then loop
          JRS  F, STEST1
STEST2:  TEST (P3). 6              ; If SCK = 0 then loop
          JRS  T, STEST2
          LD   (SBICR1), 00000111B ; SIOS ← 0
    
```

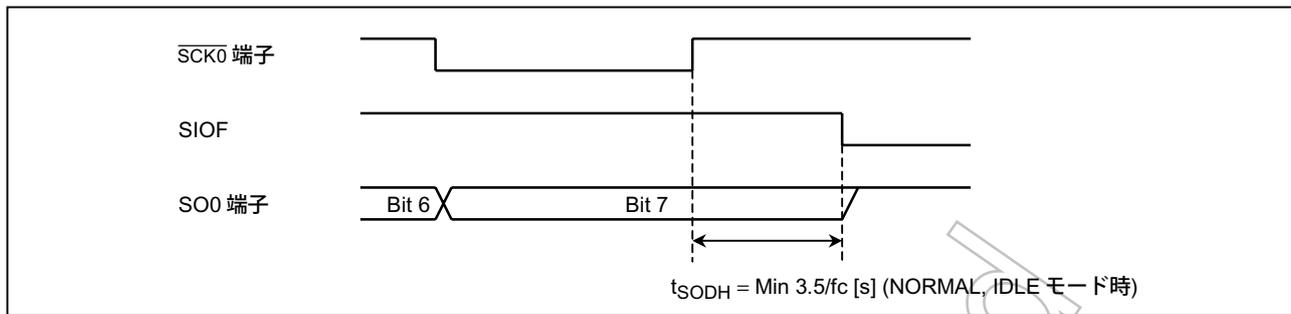


図 2.10.22 送信終了時の送信データ保持時間

b. 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SIO端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタからSBIDBRに受信データが書き込まれ、受信データの読み出しを要求するINTSBI(バッファフル)割り込み要求が発生します。受信データは、割り込みサービスプログラムにてSBIDBRから読み出します。

内部クロック動作の場合、受信データがSBIDBRから読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、受信データが全ビット揃いSBIDBRへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF(SBIDBRのビット3)をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み出します。SIOINHをセットした場合は、直ちに受信を打ち切り、SIOFは“0”になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えますとSBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(SIOSを“0”にクリア)を行い、最終受信データを読み出したあとで切り替えてください。

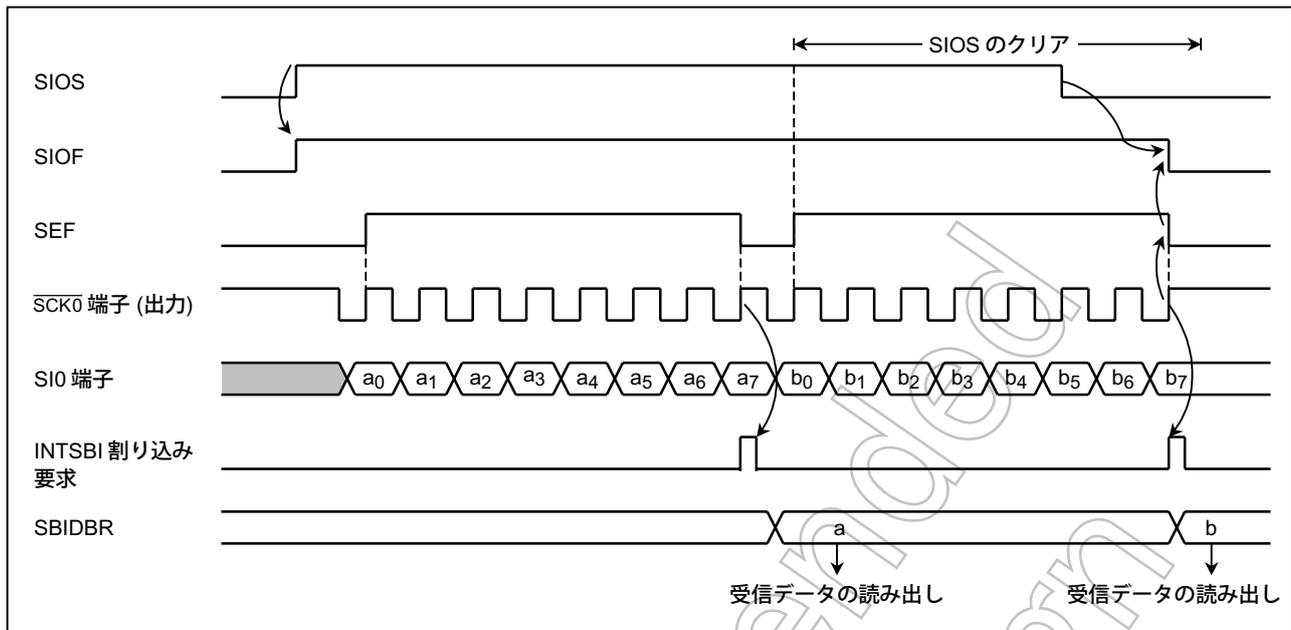


図 2.10.23 受信モード (例: 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SIOS に“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの前縁で送信データが SIO 端子から出力され、後縁で受信データが SIO 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTSBI 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信、受信にて兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOF が“1”となってから、 \overline{SCK} の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI 割り込みサービスプログラムで SIOS を“0”にクリアするか SIOINH を“1”にセットします。SIOS がクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SBIDBR のビット 3) をセンスします。SIOF は送受信の終了で“0”になります。SIOINH をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

注) 転送モードを切り替えますと SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み出したあとで切り替えてください。

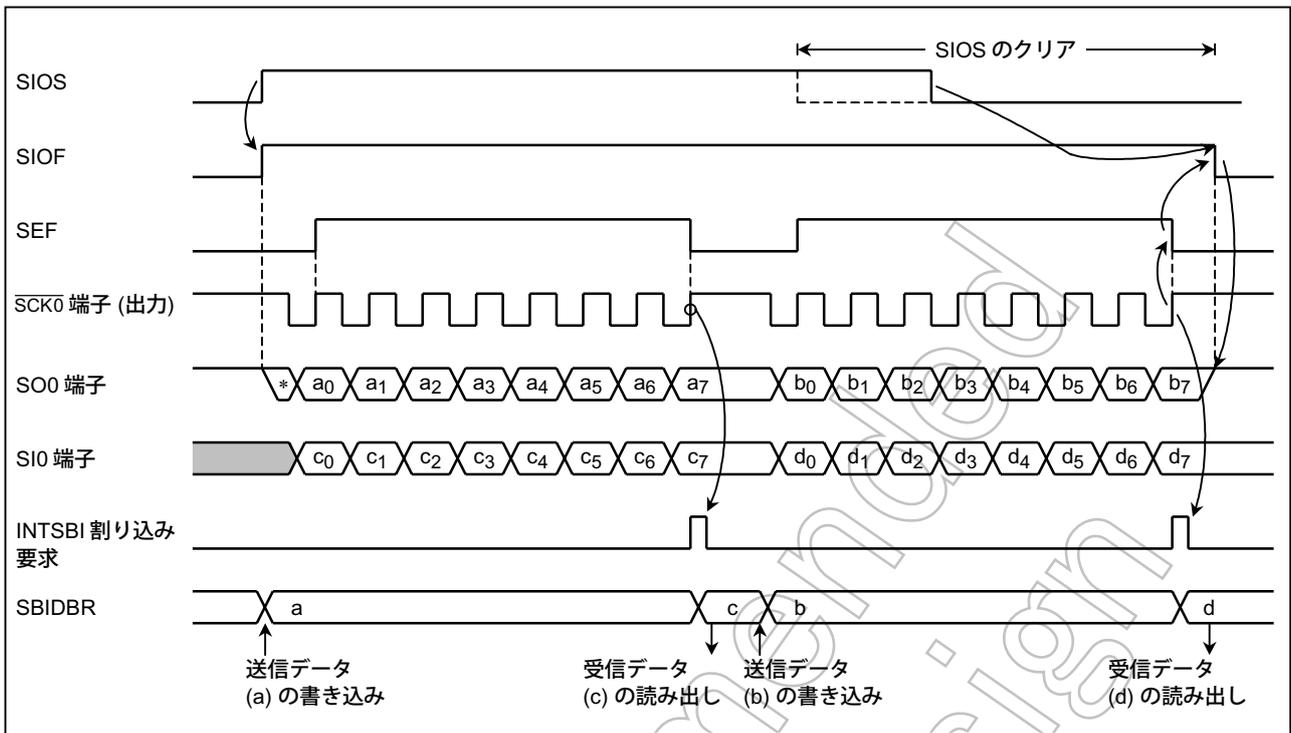


図 2.10.24 送受信モード (例: 内部クロック)

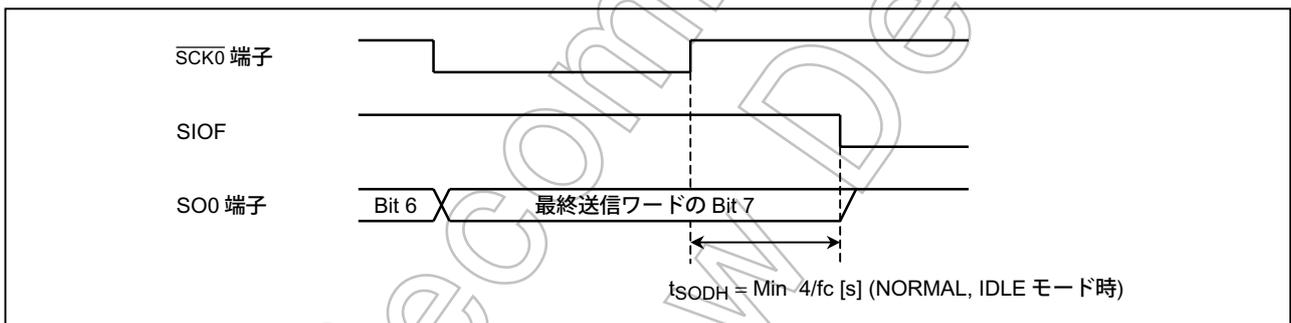


図 2.10.25 送受信終了時の送信データ保持時間 (送受信モード時)

2.11 シリアルインタフェース (SIO1)

TMP88CU74は、クロック同期方式の8ビットシリアルインタフェースを1チャンネル(SIO1)内蔵しています。シリアルインタフェースは、8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、P02 (SO1), P01 (SI1), P00 ($\overline{\text{SCK1}}$) 端子を通して外部デバイスと接続されます。シリアルインタフェース端子は、P0ポートと兼用で、シリアルインタフェース端子として使用する場合、P0ポートの出力ラッチを“1”にセットし、それぞれをP0CRによって入出力モードに設定します。なお、送信モード時にはP01端子が、受信モード時にはP02端子が、通常の入出力ポートとして使用できます。

2.11.1 構成

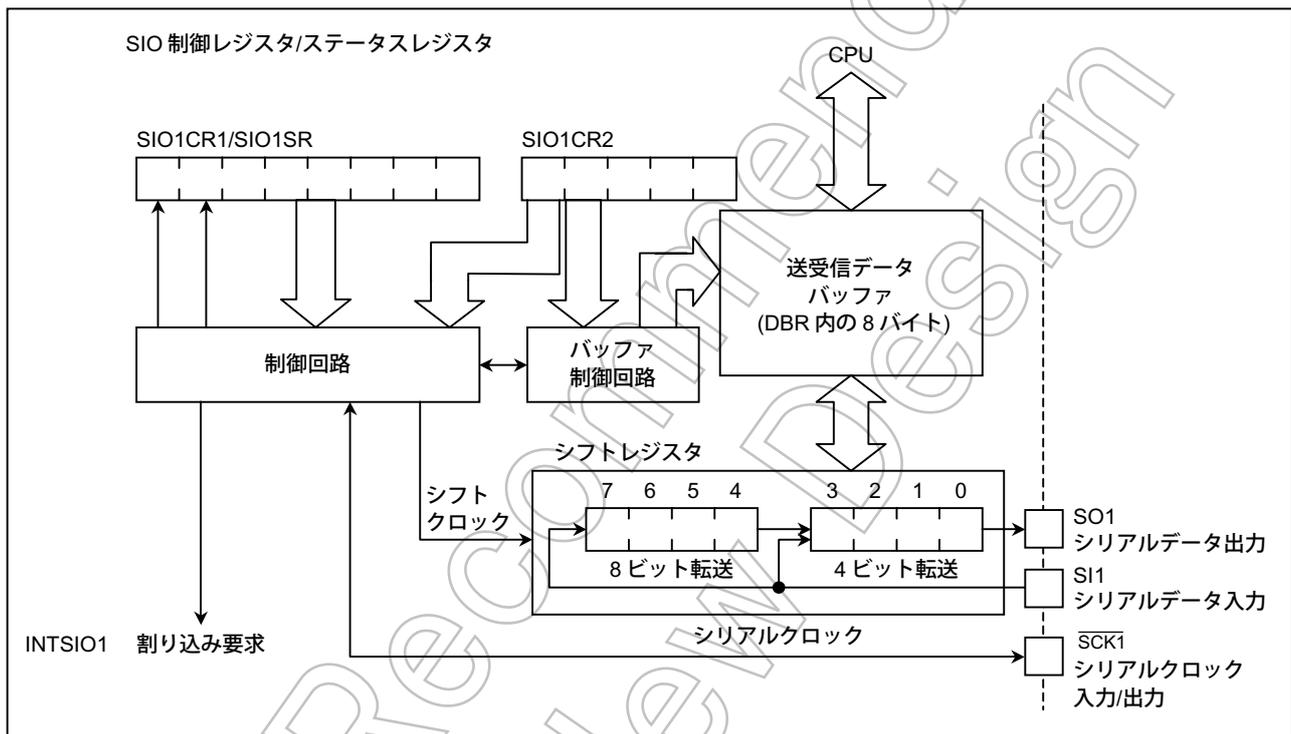


図 2.11.1 シリアルインタフェース

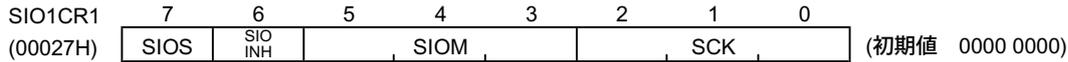
2.11.2 制御

SIO1の制御は、シリアルインタフェース制御レジスタ (SIO1CR1/SIO1CR2) で行います。また、ステータスレジスタ (SIO1SR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIO1CR2のビット2-0) で行います。送受信データバッファは、DBR領域の0FF8~0FFFH番地 (SIO1) に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み (INTSIO1) が発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信または8ビット受信モードのとき1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIO1CR2のビット4, 3) で4種類の中から選択することができます。

シリアルインタフェース 1 制御レジスタ 1

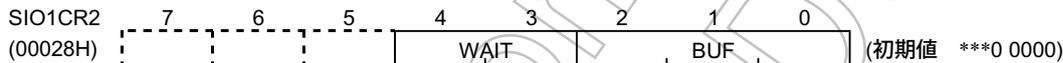


SIOS	転送の開始/終了 指示	0: 終了 1: 開始	Write only			
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)				
SIOM	転送モードの選択	000: 8 ビット 送信モード 010: 4 ビット 送信モード 100: 8 ビット 送受信モード 101: 8 ビット 受信モード 110: 4 ビット 受信モード				
SCK	シリアルクロックの選択 (SCK1 端子へ入力)	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード
		DV7CK = 0		DV7CK = 1		
			DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1
		000	$fc/2^{13}$	$fc/2^{14}$	$fs/2^5$	$fs/2^5$
		001	$fc/2^8$	$fc/2^9$	$fc/2^8$	$fc/2^9$
010	$fc/2^6$	$fc/2^7$	$fc/2^6$	$fc/2^7$		
011	$fc/2^5$	$fc/2^6$	$fc/2^5$	$fc/2^6$		
111	外部クロック (SCK 端子から入力)					

注 1) 転送モード, シリアルクロックの設定時は, SIOS = "0", SIOINH = "1" にしてください。

注 2) SIO1CR1 は書き込み専用レジスタですので, ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース 1 制御レジスタ 2



WAIT	ウェイト制御	8 ビット送受信/受信モード以外は常に "00" にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$	Write only	
BUF	転送ワード数の設定	使用するバッファのアドレス SIO1		
		000: 1ワード転送		00FF8H
		001: 2ワード転送		00FF8~00FF9H
		010: 3ワード転送		00FF8~00FFAH
		011: 4ワード転送		00FF8~00FFBH
		100: 5ワード転送		00FF8~00FFCH
		101: 6ワード転送		00FF8~00FFDH
		110: 7ワード転送	00FF8~00FFEH	
111: 8ワード転送	00FF8~00FFFH			

図 2.11.2 シリアルインタフェース 1 制御レジスタ 1, 2 (1/2)

注 1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間

注 2) 4ビット転送のときは、各バッファの下位4ビットに格納されます。受信時上位4ビットには“0”が格納されます。

注 3) バッファの若いアドレスの方から送信されます。また、受信は若いアドレスの方から格納されます (最初に転送されるのは 00FF8H 番地です)。

注 4) 転送終了後も BUF の設定値は保存されています。

注 5) SIO1CR2 の設定は、シリアルインタフェース停止状態 (SIOS = 0)で行ってください。

注 6) *: Don't care

注 7) SIO2CR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図 2.11.3 シリアルインタフェース 1 制御レジスタ 1, 2 (2/2)

SIO1SR (00027H)	7	6	5	4	3	2	1	0
	SIOF	SEF	“1”	“1”	“1”	“1”	“1”	“1”
SIOF	シリアル転送動作状態モニタ		0: 転送終了 (SIOS を “0” にクリア後、転送が終了した時点または SIOINH をセットした時点で “0” となります。)					Read only
SEF	シフト動作状態モニタ		0: シフト動作終了 1: シフト動作中					

図 2.11.4 シリアルインタフェース 1 ステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SIO1CR1 のビット 2~0) により、次の選択ができます。

1. 内部クロック

シリアルインタフェースは 4 種類の周波数を選択でき、シリアルクロックは SCK1 端子より外部に出力されます。なお、転送開始時 SCK1 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 2.11.1 シリアルクロックレート

シリアルクロック				SLOW, SLEEP モード	最大転送速度	
DV7CK = 0		DV7CK = 1			fc = 12.5 MHz	fs = 32.768 kHz
DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1			
fc/2 ¹³ [Hz]	fc/2 ¹⁴ [Hz]	fs/2 ⁵ [Hz]	fs/2 ⁵ [Hz]	fs/2 ⁵ [Hz]	1.50 kbit/s	1 kbit/s
fc/2 ⁸	fc/2 ⁹	fc/2 ⁸	fc/2 ⁹	—	48.8	—
fc/2 ⁶	fc/2 ⁷	fc/2 ⁶	fc/2 ⁷	—	185	—
fc/2 ⁵	fc/2 ⁶	fc/2 ⁵	fc/2 ⁶	—	390	—

注) 1 kbit = 1024 bit

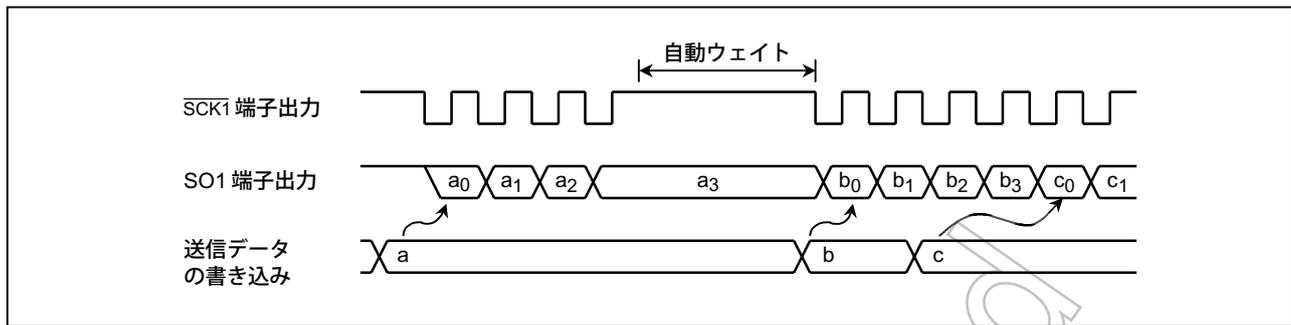
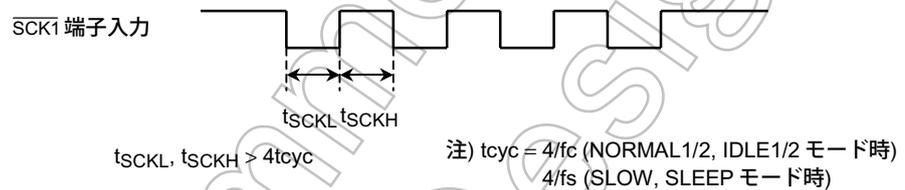


図 2.11.5 クロックソース (内部クロック)

2. 外部クロック

外部から $\overline{\text{SCK1}}$ 端子に供給されるクロックをシリアルクロックとして用います。この場合、P00 ($\overline{\text{SCK1}}$) の出力ラッチは“1”にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの“H”レベル、“L”レベルともに4マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 390 kbit/s ($f_c = 12.5 \text{ MHz}$ 時) です。



b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

1. 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

2. 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

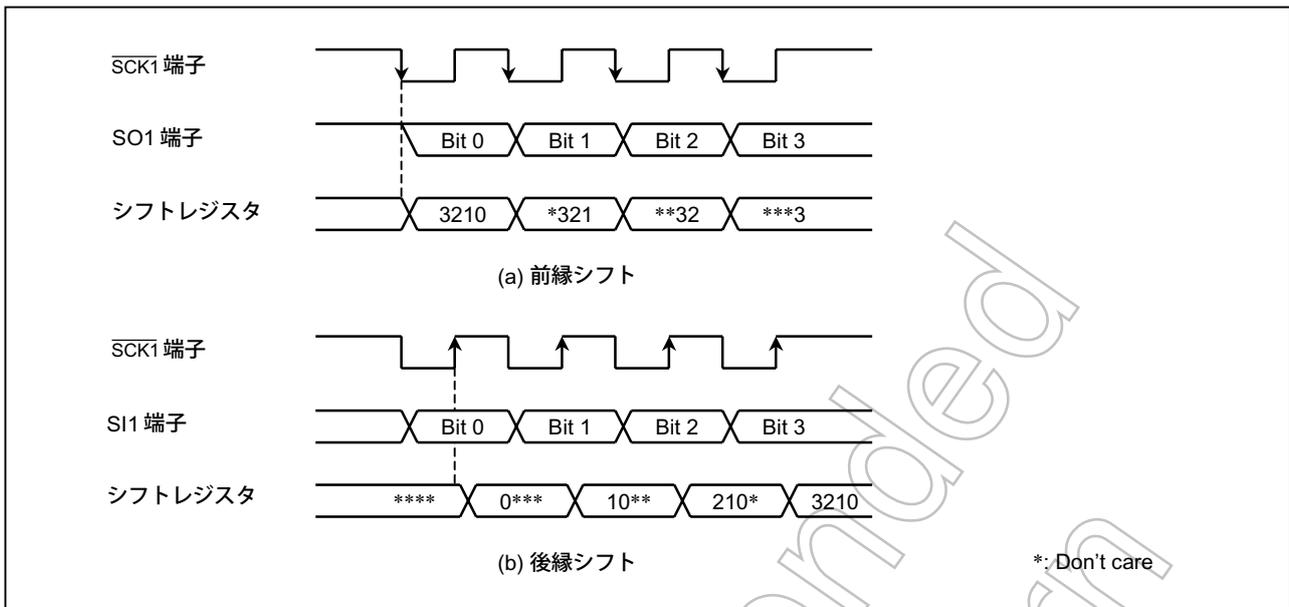


図 2.11.6 シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時) / 8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

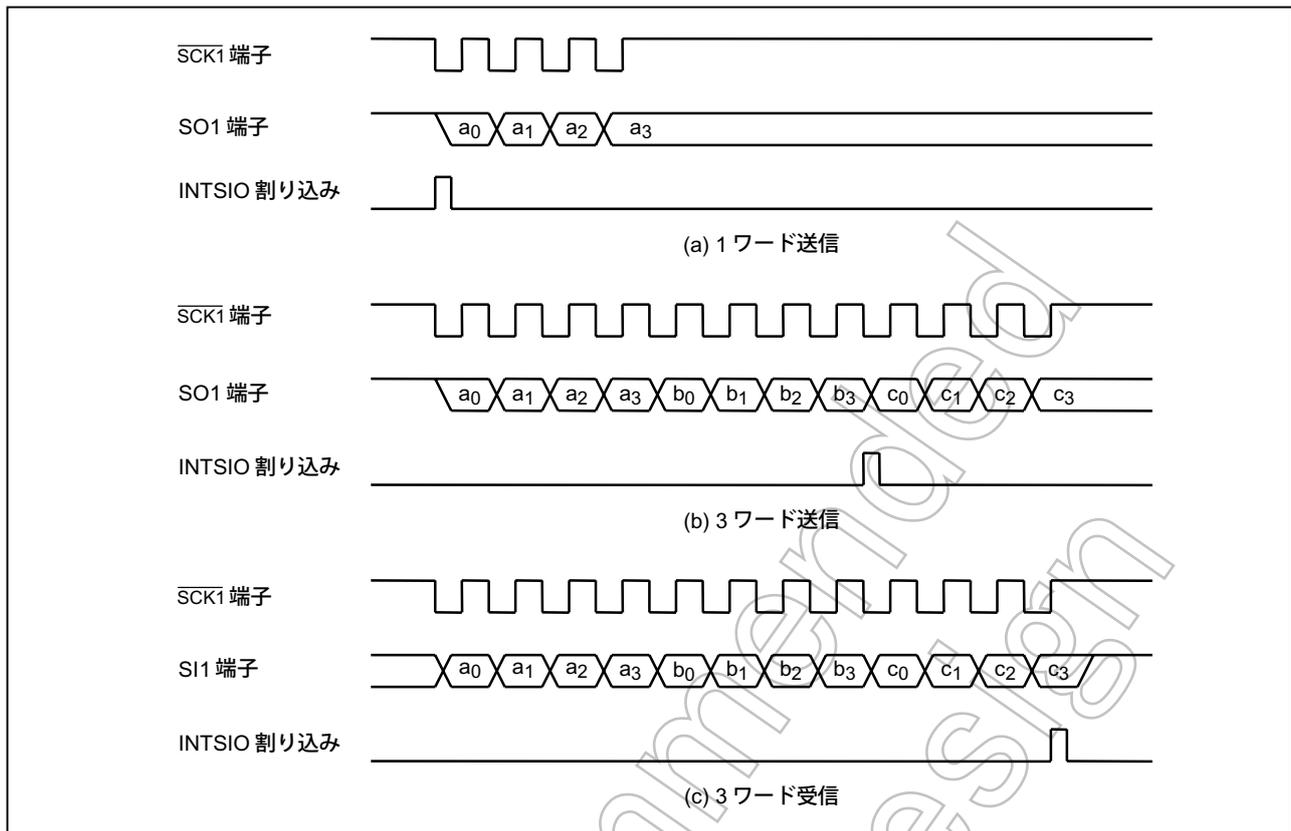


図 2.11.7 転送ワード数 (例: 1ワード≒4ビット)

(4) 転送モード

SIOM (SIO1CR のビット 3-5) で、送信/受信/送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOS を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO1 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUF で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOS を“0”にクリアするか SIOINH を“1”にセットします。SIOS がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIO1SR のビット 7) をセンスします。SIOF は送信の終了で“0”になります。SIOINH をセットした場合は、直ちに送信を打ち切り、SIOF は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOS を“0”クリアする必要があります。もしシフトアウトする前に SIOS がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOS を“0”にクリアし、SIOF が“0”になったことを確認後 BUF を書き替えてください。

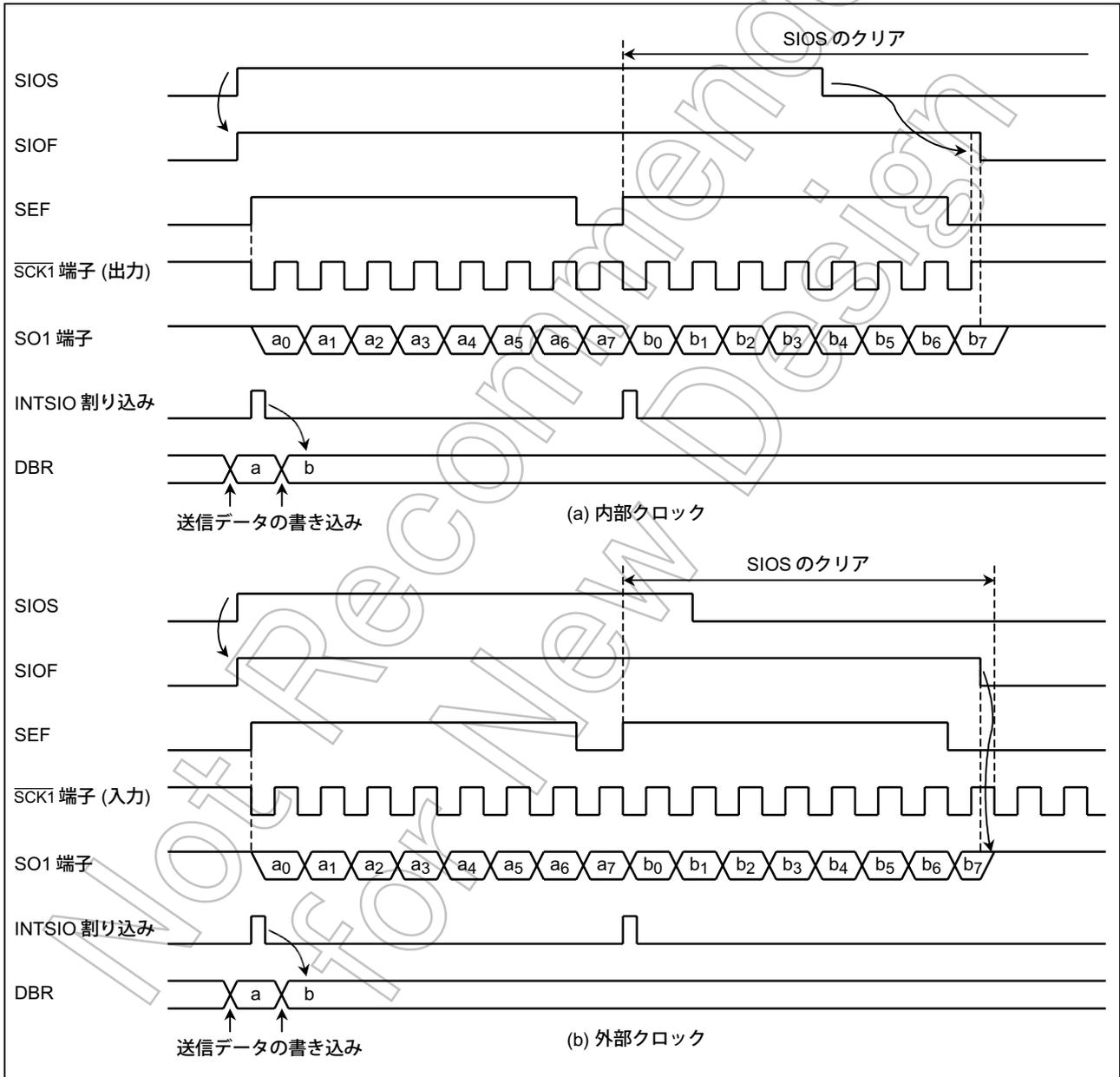


図 2.11.8 送信モード (例: 8 ビット, 1 ワード転送)

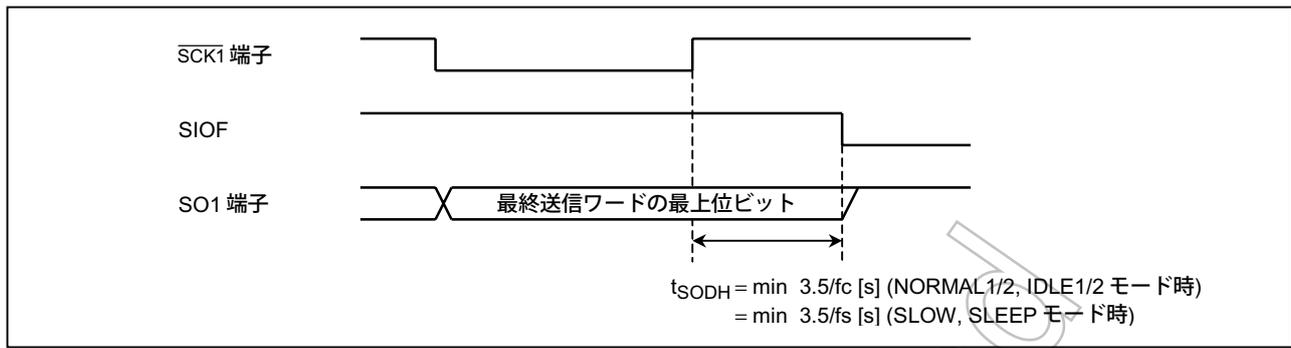


図 2.11.9 送信終了時の送信データ保持時間

b. 4ビット受信モード, 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI1端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。BUFで指定されたワード数の受信が終了すると受信データの読み取りを要求するINTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIO1SRのビット7)をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。SIOINHをセットした場合は、直ちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアしSIOFが“0”になったことを確認後BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

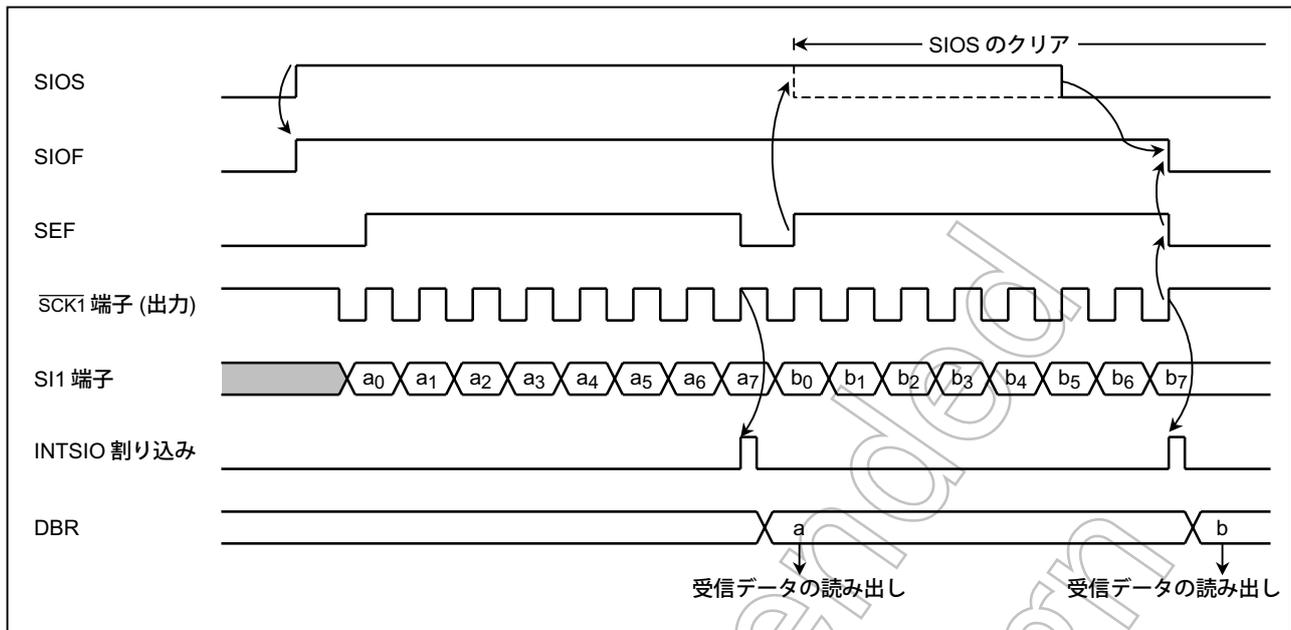


図 2.11.10 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データはSO1端子から出力され、後縁で受信データがSI1端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。BUFで指定されたワード数の送受信が終了すると、INTSIO割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

注 受信データバッファに使用していないDBR (VFTバッファを除く) の読み出しによっても自動ウェイト動作は解除されますので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、直ちに送受信を打ち切り、SIOFは“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOSを“0”にクリアしSIOFが“0”になったことを確認後、BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(SIOSを“0”にクリア)を行い、最終受信データを読み取ったあとで切り替えてください。

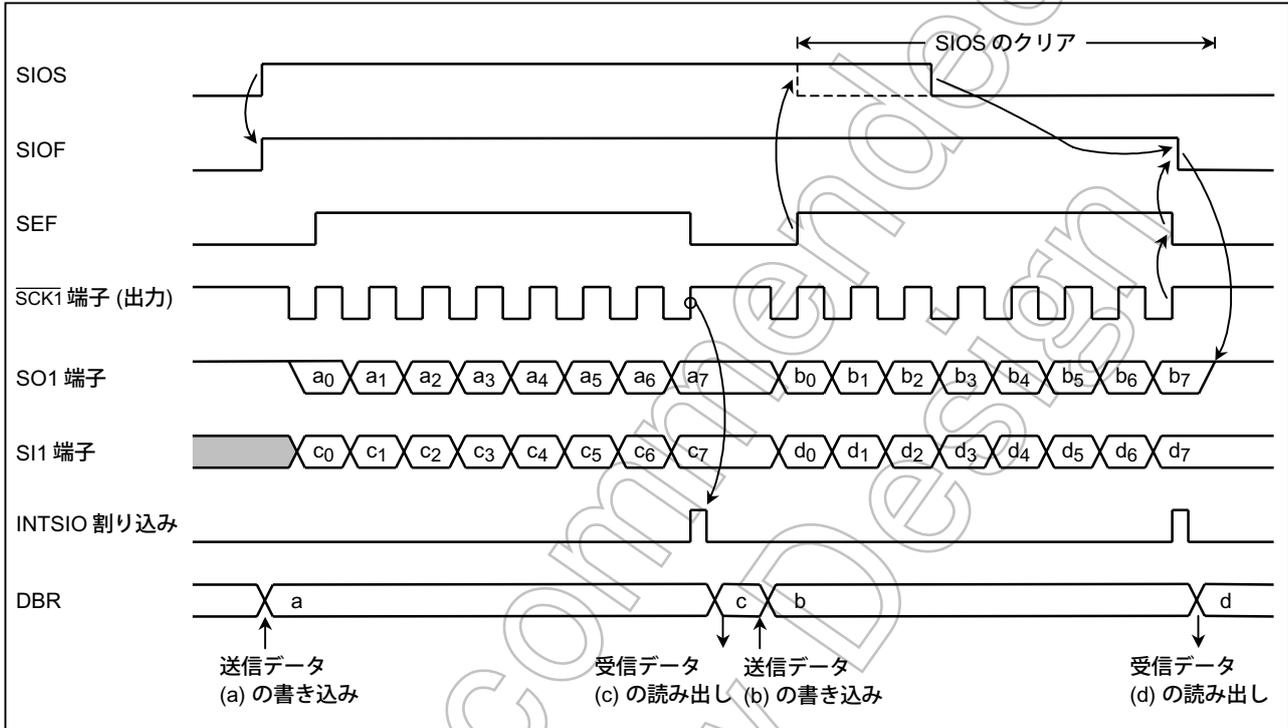


図 2.11.11 送受信モード (例: 8ビット, 1ワード, 内部クロック)

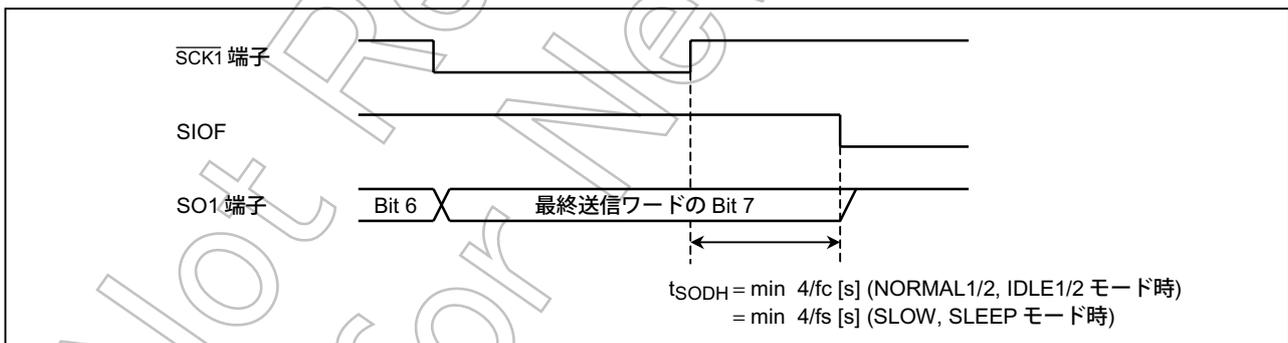


図 2.11.12 送受信終了時の送信データ保持時間

2.12 8ビット AD コンバータ (ADC)

TMP88CU74 は、8ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

2.12.1 構成

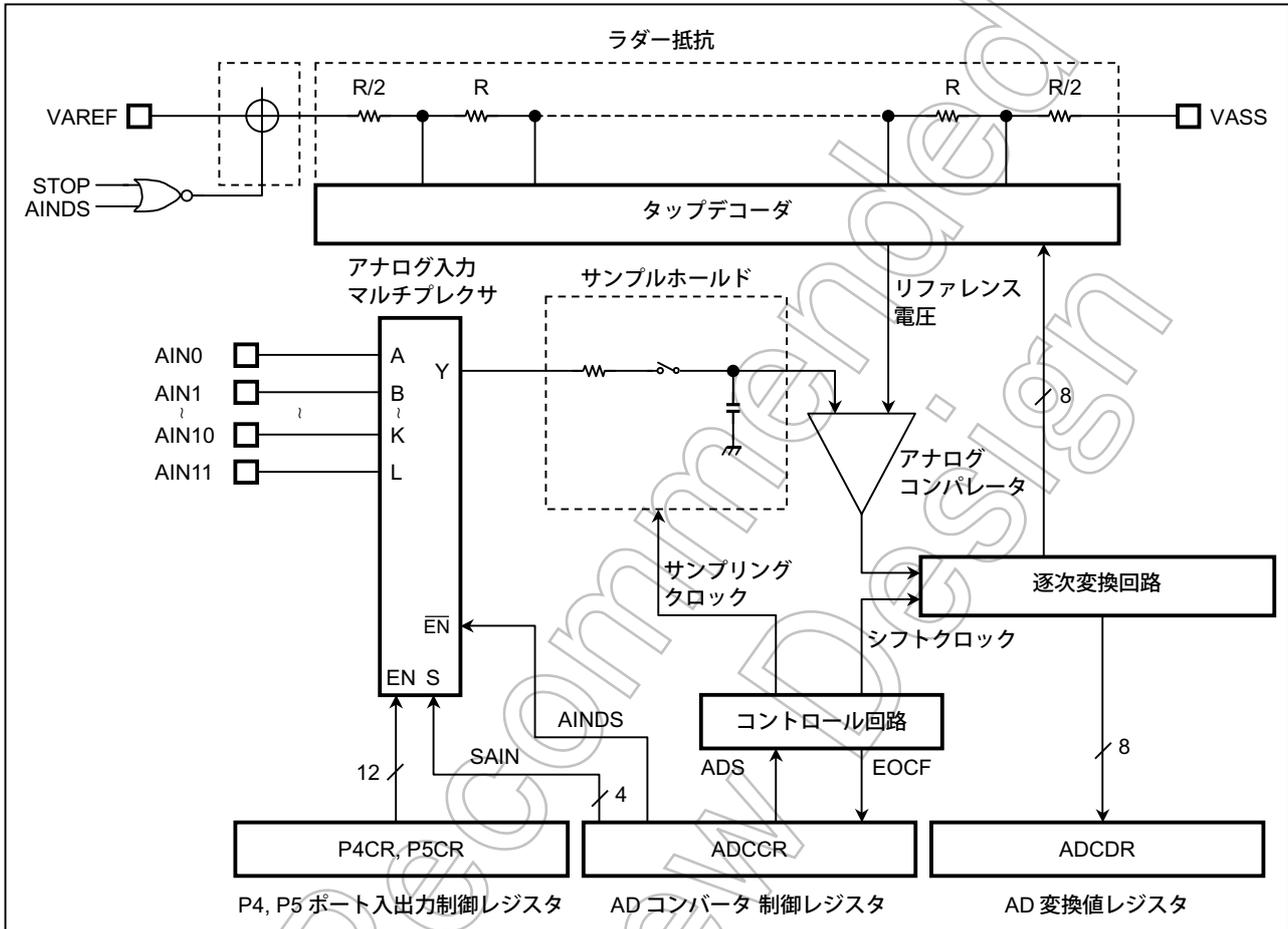


図 2.12.1 AD コンバータ (ADC)

2.12.2 制御

AD コンバータの制御は、AD コンバータ制御レジスタ (ADCCR) で行います。また、ADCCR の EOCF を読むことで AD コンバータの動作状態を、AD 変換値レジスタ (ADCDR) を読むことで AD 変換値を知ることができます。

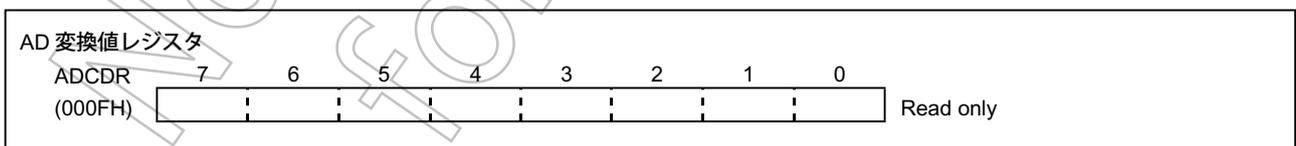


図 2.12.2 AD 変換値レジスタ

AD コンバータ制御レジスタ			
ADCCR	7 6 5 4 3 2 1 0		
(000EH)	EOCF ADS ACK AINDS SAIN	(初期値 0000 0000)	
SAIN	アナログ入力チャネル選択	0000: AIN0 を選択 0001: AIN1 を選択 0010: AIN2 を選択 0011: AIN3 を選択 0100: AIN4 を選択 0101: AIN5 を選択 0110: AIN6 を選択 0111: AIN7 を選択	1000: AIN8 を選択 1001: AIN9 を選択 1010: AIN10 を選択 1011: AIN11 を選択 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル	
ACK	変換時間選択	0: 184/fc [s]: 23 μs (fc = 8 MHz) 1: 736/fc [s]: 59 μs (fc = 12.5 MHz)	
ADS	AD 変換開始	0: – 1: AD 変換開始	
EOCF	AD 変換終了フラグ	0: AD 変換中または AD 変換前 1: AD 変換終了	
			R/W
			Read only

注 1) アナログ入力チャネルの選択は AD 変換停止状態で設定してください。
 注 2) ADS は、AD 変換開始後自動的に“0”にクリアされます。
 注 3) EOCF は、AD 変換値レジスタ (ADCCR) をリードすると“0”にクリアされます。
 注 4) EOCF は、リード専用で書き込んだデータは無視されます。
 注 5) ACK = “0” で使用する場合、 $f_c \leq 8$ MHz は使用してください。
 注 6) STOP または SLOW モードが起動すると、AD 制御レジスタは初期化されます。NORMAL モード復帰後は、AD 制御レジスタを再設定してください。

図 2.12.3 AD コンバータの制御レジスタ

2.12.3 AD コンバータの動作

アナログ基準電圧の High 側を VAREF 端子に、Low 側を VASS 端子に印加します。VAREF-VASS 間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換が実行されます。

(1) AD 変換の起動

AD 変換に先立ち、SAIN (ADCCR のビット 3-0) によりアナログ入力チャネル (AIN17-AIN0) のうちの 1 端子を選択します。AINDS (ADCCR のビット 4) を“0”にクリアし、P4 入力制御 (P4CR) および P5 入力制御 (P5CR) でアナログ入力に使用するチャネルを“0”にセットします。

注) アナログ入力として使用しない端子は、通常の入出力端子として使用できますが、変換中はいずれの端子に対しても AD 精度を保つ意味で出力命令は行わないでください。

AD 変換動作は、ADS (ADCCR のビット 6) を“1”にセットすることにより開始されます。

AD 変換時間は、AD 変換開始後 ADCCR に変換結果がセットされるまで、ACK = 1 の場合 $736/f_c$ [s] (184 マシンサイクル) 必要です。例えば、 $f_c = 12.5$ MHz の場合 $59 \mu\text{s}$ かかることとなります。AD 変換が終了すると、変換終了を示す EOCF (ADCCR のビット 7) が“1”にセットされます。

AD 変換中に ADS を“1”にセットすると初期化されて、初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、AD 変換の開始指示後 4 マシンサイクルで行われます。

注) サンプルホールド回路は、 $5 \text{ k}\Omega$ (typ.) の抵抗を介して 12 pF (typ.) のコンデンサを内蔵していますので、4 マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

(2) AD 変換値の読み出し

AD 変換値レジスタ (ADCDR) にストアされた変換値は、変換終了 (EOCF = 1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCF は自動的に“0”にクリアされます。なお、AD 変換中に読み出しを行うと、不定値が読み出されます。

(3) AD 変換中の STOP モード

AD 変換中に STOP モードに入ると AD 変換は中止され、AD 変換値は不定となります。従って、STOP モードより復帰後は EOCF は“0”にクリアされたままとなります。ただし、AD 変換終了後 (EOCF が“1”にセットされた後) STOP モードに入ると、AD 変換値、EOCF の状態は保持されます。

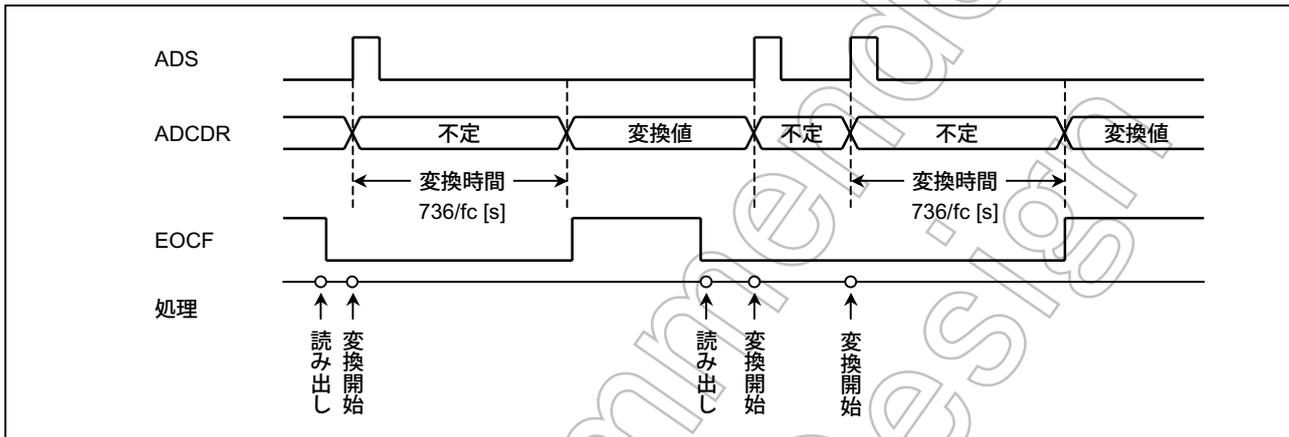


図 2.12.4 AD 変換動作 (ACK = 1 の時)

例: アナログ入力チャネルとして AIN4 端子を選択後、AD 変換を行います。EOCF を確認して変換値を読み出し、RAM の 0009EH 番地に格納します。

```

; AIN SELECT
LD   (ADCCR), 00100100B ; AIN4 を選択、ACK = 1
; AD CONVERT START
SET  (ADCCR). 6
SLOOP: TEST (ADCCR). 7 ; EOCF = 1 ?
      JRS  T, SLOOP
      ; RESULT DATA READ
      LD   (9EH), (ADCDR)

```

アナログ入力電圧と AD 変換された 8 ビットデジタル値とは図 2.12.5 のように対応します。

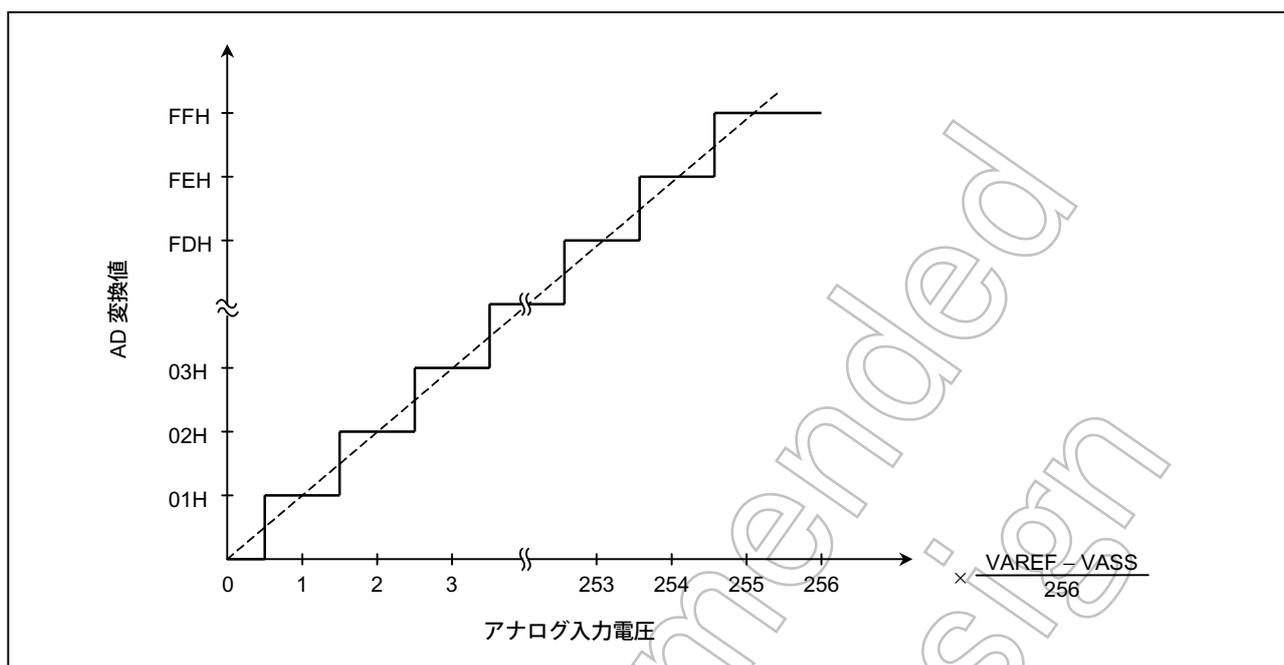


図 2.12.5 アナログ入力電圧と AD 変換値 (typ.) の関係

2.13 蛍光表示管 (VFT) 駆動回路

TMP88CU74 は、蛍光表示管を直接駆動する高耐圧出力および表示データを自動的にポートに転送するための表示回路を内蔵しています。また、従来製品の VFT 駆動回路のように、セグメントおよびデジットといった割り付けをしておりません。表示管の種類およびレイアウトにより指定されたタイミング (T0~T15) の中で、セグメントおよびデジットのレイアウトを自由に行うことが可能です。

2.13.1 機能

- (1) 37 本の高耐圧出力を内蔵しています。
 - 大電流出力端子 (typ.20 mA) 37 本 (V0~V36)
 - その他に VFT 駆動用電源として VKK 端子があります。
- (2) ダイナミック点灯方式による 1~16 桁 (T0~T15) をプログラムにて選択できます。
- (3) VFT として使用しない端子は、汎用ポートとして使用できます。
 - VFT 制御レジスタ 1 の VSEL (ビット 4~0) によりビットごとに選択できます。
- (4) 表示データ (DBR 内の 112 バイト) を VFT 出力ピンへ転送する動作は自動的に行われます。
- (5) ディマーマ機能により、8 段階の輝度調整ができます。
- (6) 表 2.13.1 に表示時間の設定を示します。

表 2.13.1 表示時間の設定

DV1CK = 0 [s]	DV1CK = 1 [s]
$2^{10}/fc$	$2^{10}/fc$
$2^{11}/fc$	$2^{11}/fc$
$2^{12}/fc$	$2^{12}/fc$
$2^{13}/fc$	$2^{13}/fc$

2.13.2 構成

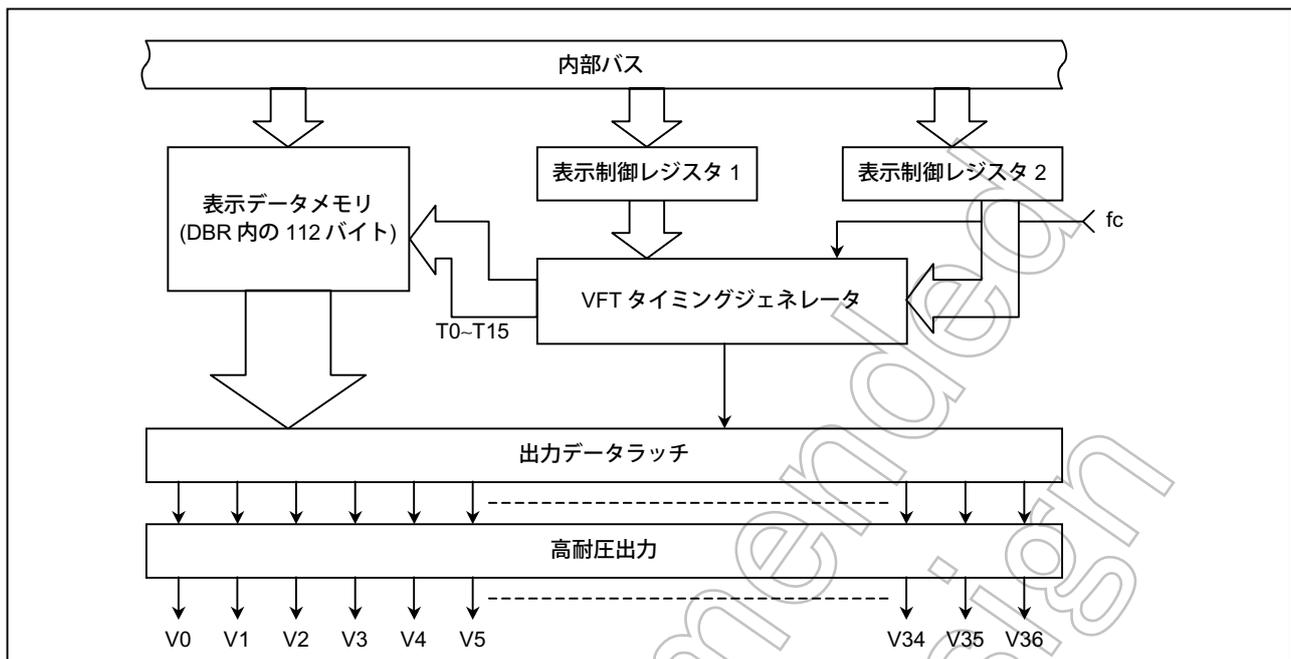


図 2.13.1 蛍光表示管 (VFT) 駆動回路

2.13.3 制御

VFT 駆動回路は、VFT 制御レジスタ (VFTCR1, VFTCR2) で制御されます。また、VFTSR を読み込むことにより、VFT の動作状態を知ることができます。

NORMAL1, 2 モードから SLOW または STOP モードに切り替えると、VFT 駆動回路はブランキングとなり、VFT 出力は “0” となりますので、P6~P9, PD ポートは通常の入出力ポートとして機能します。

VFT 制御レジスタ 1

VFTCR1 7 6 5 4 3 2 1 0
(00029H) BLK SDT VSEL (初期値 0000 0000)

BLK	VFT 表示制御	0: 表示イネーブル 1: ブランキング		Write only	
SDT	表示時間 (tdisp) の設定 (1 表示時間の設定)				
			DV1CK = 0 [s]		DV1CK = 1 [s]
		00	2 ¹⁰ /fc		2 ¹⁰ /fc
		01	2 ¹¹ /fc	2 ¹¹ /fc	
		10	2 ¹² /fc	2 ¹² /fc	
		11	2 ¹³ /fc	2 ¹³ /fc	
VSEL	自動表示本数の選択 (VFT 駆動回路(自動表示)使用時は、V31~V0 は VFT 専用出力となります。) 上記以外の出力端子で選択されない端子は汎用入出力端子として使用可能です。(汎用入出力端子として使用する場合その端子に相当する表示データは “0” に設定してください)	00000: 32 本 (V31~V0) 00001: 33 本 (V32~V0) 00010: 34 本 (V33~V0) 00011: 35 本 (V34~V0) 00100: 36 本 (V35~V0) 00101: 37 本 (V36~V0)			

注 1) fc: 高周波クロック [Hz]
注 2) VFTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図 2.13.2 VFT 制御レジスタ 1

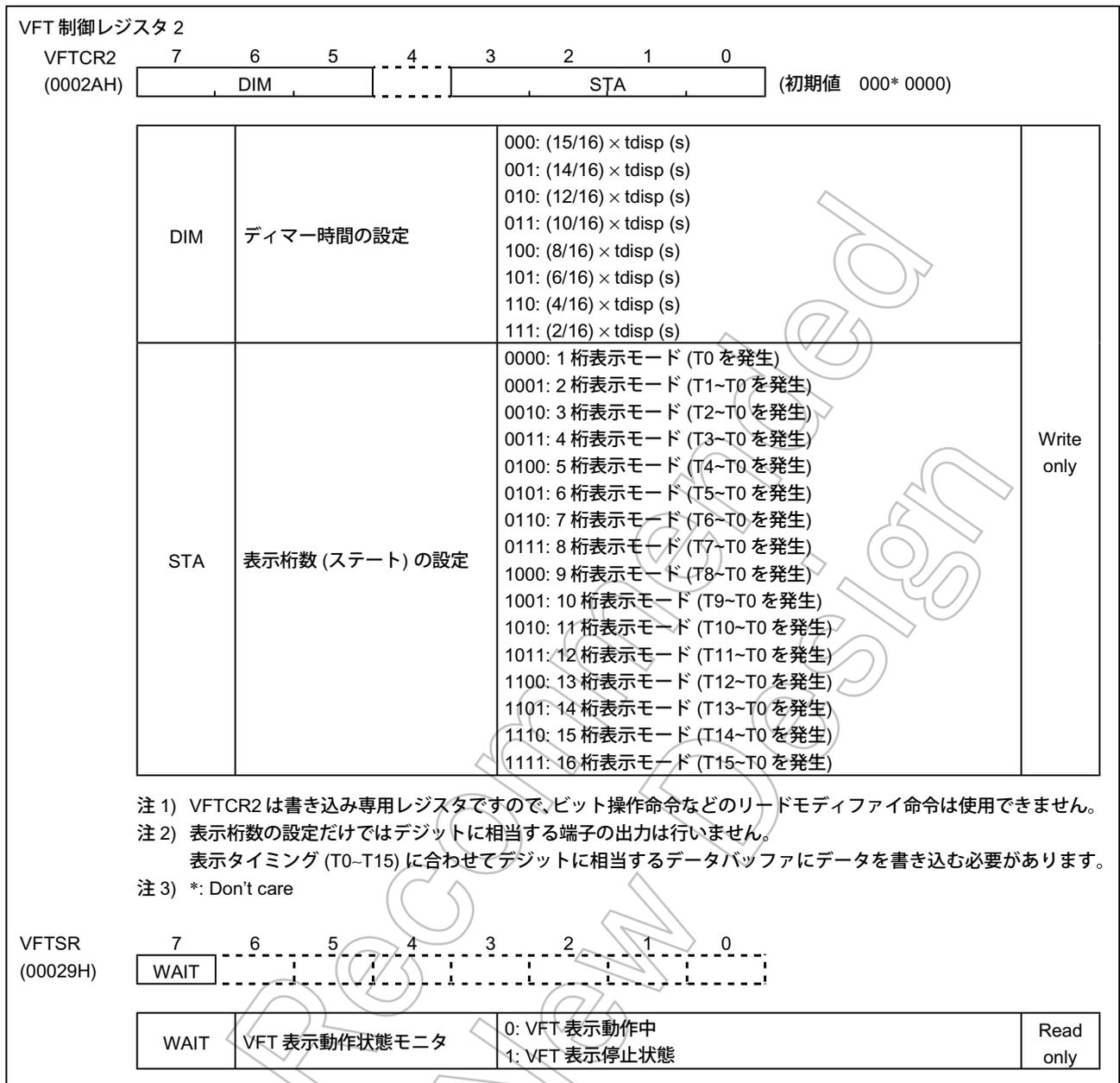


図 2.13.3 VFT 制御レジスタ 2, VFT ステータスレジスタ

(1) 表示モードの設定

VFT 表示モードの設定は、VFT 制御レジスタ 1 (VFTCR1) にて 1 表示時間 (tdisp) および表示本数 (VSEL) の設定、VFT 制御レジスタ 2 (VFTCR2) にてディマー時間 (DIM) および表示桁 (STA) の設定を行います (この場合 VFTCR1 の BLK が “1” の状態で行ってください)。また、セグメント、デジットといった割り付けで固定しておりませんので、レイアウトは自由となりますが、表示桁 (ステート) 数は、ご使用の蛍光表示管のデジット数に合わせて設定してください。

(表示タイミングおよびデータの設定方法については、『2.13.4 表示動作』の欄をご参照願います。)

(2) 表示データの設定

データを VFT 表示データに変換する処理は命令で行います。変換されて表示データバッファ (DBR の 00F80H~00FCFH 番地) に格納されたデータは、自動的に転送され、VFT 出力 (V0~V36) に出力されます。従って表示パターンの変更は、表示データバッファのデータを変更するのみで可能です。VFT 出力端子と表示データ領域の各ビットは一對一の対応があり、表示パターンに割り付けられた各セグメントおよびデジット端子に対応するデータが双方 “1” のとき点灯します。なお表示データバッファは、図 2.13.4 に示す DBR 領域に設けられています (表示データバッファは通常のデータメモリとして使用できません)。

ビット	0~7	0~7	0~7	0~7	0~4	タイミング
	00F80H	00F90H	00FA0H	00FB0H	00FC0H	T0
	00F81H	00F91H	00FA1H	00FB1H	00FC1H	T1
	00F82H	00F92H	00FA2H	00FB2H	00FC2H	T2
	00F83H	00F93H	00FA3H	00FB3H	00FC3H	T3
	00F84H	00F94H	00FA4H	00FB4H	00FC4H	T4
	00F85H	00F95H	00FA5H	00FB5H	00FC5H	T5
	00F86H	00F96H	00FA6H	00FB6H	00FC6H	T6
	00F87H	00F97H	00FA7H	00FB7H	00FC7H	T7
	00F88H	00F98H	00FA8H	00FB8H	00FC8H	T8
	00F89H	00F99H	00FA9H	00FB9H	00FC9H	T9
	00F8AH	00F9AH	00FAAH	00FBAH	00FCAH	T10
	00F8BH	00F9BH	00FABH	00FBBH	00FCBH	T11
	00F8CH	00F9CH	00FACH	00FBCH	00FCCH	T12
	00F8DH	00F9DH	00FADH	00FBDH	00FCDH	T13
	00F8EH	00F9EH	00FAEH	00FBEH	00FCEH	T14
	00F8FH	00F9FH	00FAFH	00FBFH	00FCFH	T15
出力端子	V0~V7	V8~V15	V16~V23	V24~V31	V32~V36	

注) DBR の 00FC0H~00FCFH 番地の 7~5 bit には “0” を書いてください。

図 2.13.4 VFT 表示データバッファ

2.13.4 表示動作

前記のとおりセグメント、デジットと言った端子名称を設けておりませんので、使用する蛍光表示管に合わせデジット本数分の表示タイミングを設定し、各タイミングに合わせたセグメントおよびデジットのデータを格納後、VFTCR1 の BLK を “0” にクリアすることにより、VFT 表示が開始されます。

図 2.13.5 に VFT の駆動波形また図 2.13.6, 図 2.13.7 に表示動作例を示します。

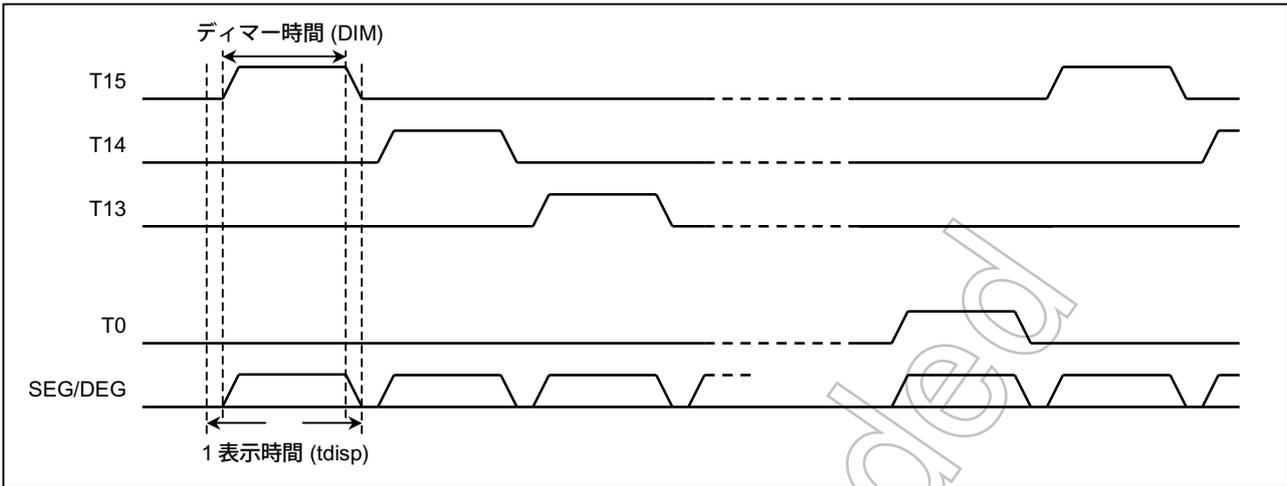


図 2.13.5 VFT の駆動波形および表示タイミング

2.13.5 表示動作例

(1) コンベンショナルタイプ蛍光表示管の場合

コンベンショナルタイプの蛍光表示管をご使用の場合、デジットの出力タイミングは、1 タイミングに対し 1 デジット出力となりますので、デジットに指定した端子にシーケンシャルに出力されるようデータの設定を行ってください。下記に 10 デジットの蛍光表示管を使用し、V0~V9 端子をデジット出力として割り付けた場合の、表示データバッファ (DBR) のデータ割り付けとその際の実出力タイミングを示します (この場合デジット端子に相当するデータバッファでのデータ書き込みは、最初に設定して頂ければ、その後は書き替えの必要がありません)。

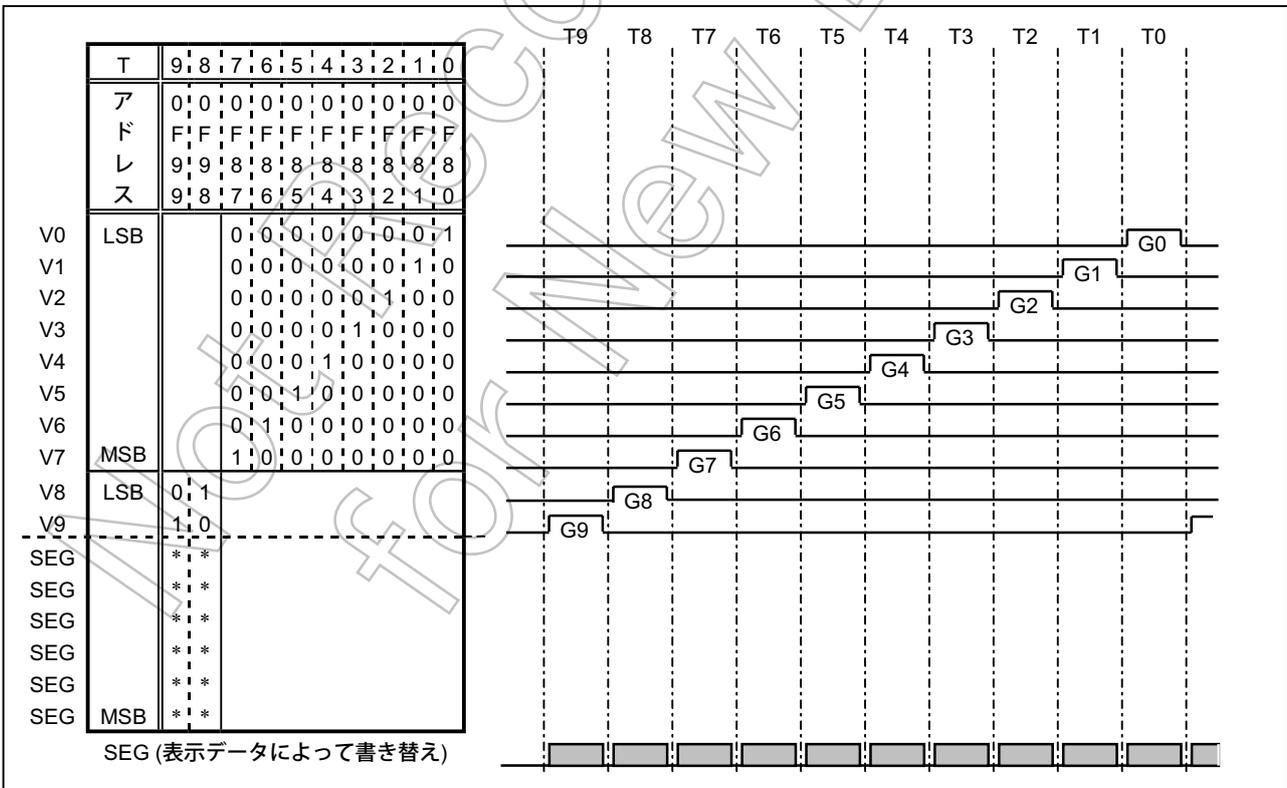


図 2.13.6 コンベンショナルタイプ蛍光表示管駆動波形例

(2) グリッドスキャンタイプ蛍光表示管の場合

グリッドスキャンタイプの蛍光表示管の場合、複数のグリッドにまたがった表示パターンを点灯するために、その複数のグリッドを同時に選択する必要があります。その場合下記のようなグリッドスキャンモードとなるようにタイミングとデータを設定していただくことにより駆動できます。

- 各グリッド内に完全に納まっているパターンを点灯する場合、従来どおりの対応するグリッドのみを順次スキャンして点灯します(下記 T8-T3 のタイミング)。
- 複数のグリッドにまたがった表示パターンを点灯する場合、対応する複数のグリッドを同時に選択し、点灯させます(下記 T2-T0 のタイミング)。

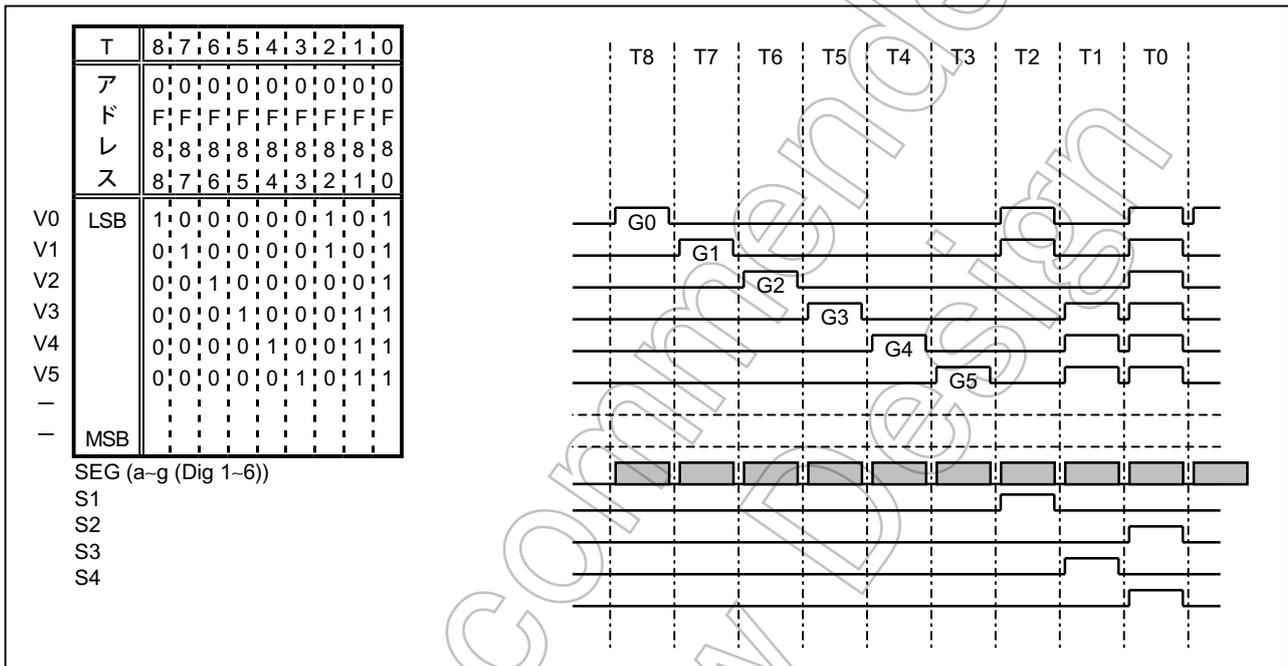


図 2.13.7 グリッドスキャンタイプ蛍光表示管駆動波形例

2.13.6 ポート機能

(1) 高耐圧ポート

蛍光表示管を駆動させる場合は、ポート出力ラッチを“0”にクリアします。ポート出力ラッチは、リセット時“0”に初期化されます。

通常の入出力端子として用いる場合は、以下の注意が必要です。

注) V_{KK} 端子へプルダウン ($R_K = \text{typ. } 80 \text{ k}\Omega$) されている端子を使用しない場合は開放にし、ポート出力ラッチおよび相当するデータバッファメモリ (DBR) を“0”にクリアする必要があります。

a. P6-P9 ポート

P6~P9 の一部を入出力端子として使用する場合 (蛍光表示管駆動回路動作時) 入出力端子として使用する端子に兼用されているセグメントのデータバッファメモリ (DBR) を“0”にクリアする必要があります。

b. PD ポート

VFT 出力と通常入出力が VFT 制御レジスタの VSEL によりビット単位で制御することができます。

また、V_{KK} 端子へプルダウンされている端子を通常の入出力または入力として使用する場合、以下の注意が必要です。

(a) 出力時

“L” レベルを出力する際、V_{KK} 端子へプルダウンされているポートは、V_{KK} 端子電圧となります。従って外部回路に V_{KK} 端子電圧が印加されるのを防ぐため、図 2.13.8 (a) のようにダイオードでクランプするなどの処理が必要です。

(b) 入力時

外部データを入力する場合、ポート出力ラッチを“0”にクリアします。入力しきい値は、他の通常入出力ポートと同一ですが、V_{KK} 端子へプルダウンされていますので、R_K (typ. 80 kΩ) を十分にドライブする必要があります。

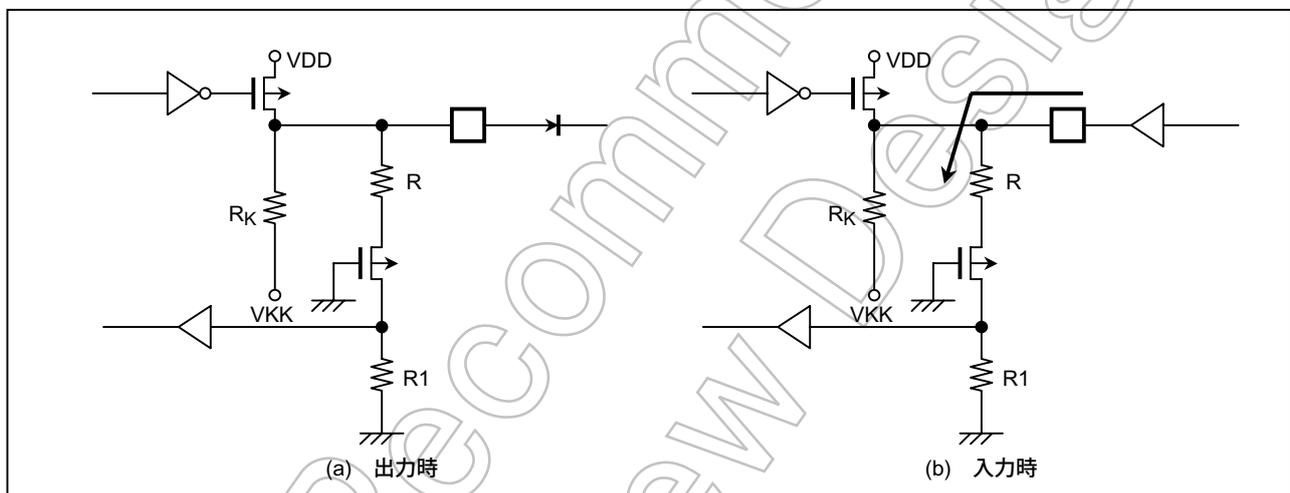


図 2.13.8 外部回路との入出力

端子の入出力回路

(1) 制御端子

TMP88CU74 の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_O = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入出力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
STOP / $\overline{\text{INT5}}$	入力		ヒステリシス入力 $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

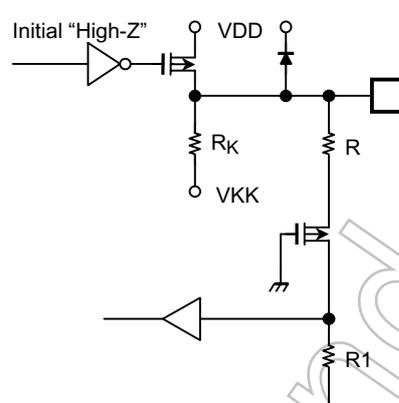
注) TMP88PU74 の TEST 端子には、プルダウン抵抗は内蔵されていません。必ず“L”レベルに固定してください。

(2) - 1. 入出力ポート

TMP88CU74の入出力回路を示します。

ポート	入出力	入出力回路	備考
P00 P01 P1	入出力	<p>Initial "High-Z"</p> <p>Disable</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>	<p>トリステート入出力 ヒステリシス入力</p>
P02 P07	入出力	<p>Initial "High-Z"</p> <p>Disable</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>	<p>トリステート入出力</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>
P2	入出力	<p>Initial "High-Z"</p> <p>Disable</p> <p>$R = 1\text{ k}\Omega$</p>	<p>シンクオープンドレイン出力 ヒステリシス入力</p> <p>$R = 1\text{ k}\Omega$</p>
P3	入出力	<p>Initial "High-Z"</p> <p>Open-drain</p> <p>Disable</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>	<p>トリステート入出力 ヒステリシス入力 プログラマブル・オープンドレイン</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>
P4 P5	入出力	<p>Initial "High-Z"</p> <p>Disable</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>	<p>トリステート入出力</p> <p>$R = 1\text{ k}\Omega$ (typ.)</p>
P6 P7 P8 P9	入出力	<p>Initial "High-Z"</p> <p>Disable</p> <p>$R_k = 80\text{ k}\Omega$ (typ.) $R = 1\text{ k}\Omega$ (typ.) $R_1 = 200\text{ k}\Omega$ (typ.)</p>	<p>ソースオープンドレイン 入出力</p> <p>高耐圧</p> <p>$R_k = 80\text{ k}\Omega$ (typ.) $R = 1\text{ k}\Omega$ (typ.) $R_1 = 200\text{ k}\Omega$ (typ.)</p>

(2) - 2. 入出力ポート

ポート	入出力	入出力回路およびコード	備考
PD	入出力		ソースオープンドレイン 入出力 高耐圧 $R_K = 80 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.) $R_1 = 200 \text{ k}\Omega$ (typ.)

Not Recommended for New Design

電氣的特性

絶対最大定格 (V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V _{DD}		-0.3~6.5	V
入力電圧	V _{IN}		-0.3~V _{DD} + 0.3	
出力電圧	V _{OUT1}	P2, P3 (オープンドレイン時)	-0.3~V _{DD} + 0.3	
	V _{OUT2}	P6, P7, P8, P9, PD	V _{DD} - 40~V _{DD} + 0.3	
出力電流 (1端子当り)	I _{OUT1}	P0, P1, P2, P3, P4, P5 ポート	3.2	mA
	I _{OUT2}	P6, P7, P8, P9, PD ポート	-25	
出力電流 (全端子総計)	ΣI _{OUT1}	P0, P1, P3, P4, P5 ポート	-40	
	ΣI _{OUT2}	P0, P1, P2, P3, P4, P5 ポート	120	
	ΣI _{OUT3}	P6, P7, P8, P9, PD ポート	-160	
消費電力 [Topr = 25°C]	PD 注 2)		1200	mW
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C
保存温度	T _{stg}		-55~+125	
動作温度	Topr		-30~+70	

注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注 2) 消費電力 (PD) は、Ta = 25°C 以上では-14.3 mW/°C にて算出してください (次頁参照)。

推奨動作条件 (V_{SS} = 0 V, Topr = -30~70°C)

項目	記号	端子	条件	Min	Max	単位				
電源電圧	V _{DD}		fc =	NORMAL1, 2 モード時	4.5	5.5	V			
			12.5 MHz					IDLE1, 2 モード時		
			fs =	SLOW モード時				2.7	0	V _{DD} × 0.30
			32.768 KHz	SLEEP モード時						
				STOP モード時						
高レベル 入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V				
		V _{IH2}					ヒステリシス入力	V _{DD} × 0.75		
		V _{IH3}						V _{DD} × 0.90		
低レベル 入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.25	V				
		V _{IL2}					ヒステリシス入力	V _{DD} × 0.10		
		V _{IL3}						V _{DD} × 0.10		
クロック周波数	fc	XTIN, XOUT	V _{DD} = 4.5~5.5 V 注 2)	8	12.5	MHz				
		XTIN, XTOUT	V _{DD} = 2.7~5.5 V	30.0	34.0	kHz				

注 1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注 2) クロック周波数 fc: 条件の電源電圧範囲は、NORMAL1, 2 モード時および IDLE1, 2 モード時の値を示す。

消費電力の計算方法

TMP88CU74 は、マスクオプションで VFT ドライバにそれぞれプルダウン抵抗 ($R_K = 80 \text{ k}\Omega$ typ.) を内蔵することが可能です。ただし、消費電力 P_{\max} は VFT ドライバの損失 (VFT ドライバ出力損失 + プルダウン抵抗 (R_K) 損失) が占める割合が大きく多セグメントの蛍光表示管を使用する場合、プルダウン抵抗 (R_K) を外付けするか、ソフトウェアにより常時点灯するセグメント数を制限するなどして最大消費電力 P_D を超えないように注意が必要です。消費電力 P_{\max} は以下の式で算出できます。

消費電力 $P_{\max} =$ 動作消費電力 + ノーマル出力ポート損失 + VFT ドライバ損失

- a. 動作消費電力 = $V_{DD} \times I_{DD}$
- b. ノーマル出力損失 = $\Sigma I_{OUT2} \times 0.4$
- c. VFT ドライバ損失 = VFT ドライバ出力損失 + プルダウン抵抗 (R_K) 損失

例) $T_a = 10 \sim 50^\circ\text{C}$ の使用条件下において

セグメント出力 = 3 mA, デジット出力 = 15 mA, $V_{KK} = -25 \text{ V}$ の蛍光表示管を使用。

$V_{DD} = 5 \text{ V} \pm 10\%$, $f_c = 12.5 \text{ MHz}$, VFT デイマー時間 (DIM) = $(14/16) \times t_{SEG}$ 動作の場合、消費電力 P_{\max} は、

$P_{\max} = a. + b. + c.$ で算出されます。

ここでセグメント端子の本数を X、同時に点灯するグリッド端子の本数を Y とします。同時に点灯するグリッド端子の本数 $Y = 2$ とします。

- a. 動作消費電力: $V_{DD} \times I_{DD} = 5.5 \text{ V} \times 20 \text{ mA} = 110 \text{ mW}$
- b. ノーマル出力ポート損失: $\Sigma I_{OUT2} \times 0.4 = 120 \text{ mA} \times 0.4 \text{ V} = 48 \text{ mW}$
- c. VFT ドライバ損失: セグメント端子 = $3 \text{ mA} \times 2 \text{ V} \times \text{セグメント数 X}$
 $= 6 \text{ mW} \times X \times \text{グリッド数 Y}$
 デジット端子 = $15 \text{ mA} \times 2 \text{ V} \times 14/16$ (デイマー時間 (DIM))
 $= 52.5 \text{ mW}$
 R_K 損失 = $(5.5 + 25 \text{ V})^2 / 50 \text{ k}\Omega \times (\text{セグメント数 X} + \text{デジット数 Y}) = 18.605 \text{ mW} \times (X + 2)$

$$P_{\max} = 110 \text{ mW} + 48 \text{ mW} + 6 \text{ mW} \times X + 52.5 \text{ mW} + 18.605 \text{ mW} \times (X + 2)$$

$$= 253.71 \text{ mW} + 24.605 X$$

となります。

また、 $T_a = 50^\circ\text{C}$ 時の最大消費電力は $P_D = 1200 \text{ mW} - (14.3 \times 25) = 842.5 \text{ mW}$ となり点灯可能なセグメント数 X は

$$\begin{array}{rcl} P_D & > & P_{\max} \\ 842.5 \text{ mW} & > & 253.71 + 24.605 X \\ 23.9 & > & X \end{array}$$

となり、この場合 23 セグメント以下の蛍光表示管では問題ありませんが、それ以上の蛍光表示管を使用する場合プルダウン抵抗 (R_K) を外付けするか、ソフトウェアにて常時点灯するセグメント数を 23 セグメント以下に制限する必要があります。

DC 特性 (V_{SS} = 0 V, Topr = -30~70°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V _{HS}	ヒステリシス入力			0.9	-	V
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V V _{IN} = 5.5 V/0 V	-	-	±2	μA
	I _{IN2}	オープンドレインポート, トライステートポート					
	I _{IN3}	RESET, STOP					
入力抵抗	R _{IN3}	RESET		100	220	450	kΩ
プルダウン抵抗	R _K	ソースオープンドレイン	V _{DD} = 5.5 V, V _{KK} = -30 V	50	80	110	
出力リーク電流	I _{LO1}	シンクオープンドレイン	V _{DD} = 5.5 V, V _{OUT} = 5.5 V	-	-	2	μA
	I _{LO2}	ソースオープンドレイン	V _{DD} = 5.5 V, V _{OUT} = -32 V	-	-	-2	
	I _{LO3}	トライステートポート	V _{DD} = 5.5 V, V _{OUT} = 5.5 V/0 V	-	-	2	
高レベル出力電圧	V _{OH2}	トライステートポート	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	-	-	V
低レベル出力電圧	V _{OL}	XOUT を除く	V _{DD} = 4.5 V, I _{OL} = 1.6 mA	-	-	0.4	
高レベル出力電流	I _{OH}	P6, P7, P8, P9, PD ポート	V _{DD} = 4.5 V, V _{OH} = 2.4 V	-	-20	-	
NORMAL1, 2 モード時 電源電流	I _{DD}		V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V	-	18	26	mA
IDLE1, 2 モード時 電源電流				-	5.5	8.5	
SLOW モード時 電源電流			V _{DD} = 3.0 V V _{IN} = 2.8 V/0.2 V fs = 32.768 kHz	-	30	60	μA
SLEEP モード時 電源電流			-	15	30		
STOP モード時 電源電流			V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V	-	0.5	10	

注 1) Typ.値は、条件に指定なき場合 Topr = 25°C, V_{DD} = 5 V 時の値を示します。注 2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗を内蔵している場合、抵抗による電流を除きません。AD 変換特性 (V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = -30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V _{AREF}		4.5	-	V _{DD}	V
	V _{ASS}					
アナログ入力電圧範囲	V _{AIN}		V _{ASS}	-	V _{AREF}	V
アナログ基準電源電流	I _{REF}	V _{AREF} = 5.5 V, V _{ASS} = 0.0 V	-	0.5	1.0	mA
非直線性誤差		V _{DD} = 5.0 V, V _{SS} = 0.0 V V _{AREF} = 5.000 V V _{ASS} = 0.000 V	-	-	±1	LSB
ゼロ誤差			-	-	±1	
フルスケール誤差			-	-	±1	
総合誤差			-	-	±2	

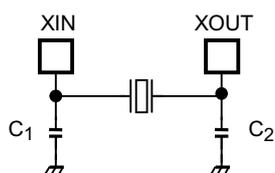
注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

AC 特性 ($V_{SS} = 0\text{ V}$, $V_{DD} = 4.5\sim 5.5\text{ V}$, $T_{opr} = -30\sim 70^\circ\text{C}$)

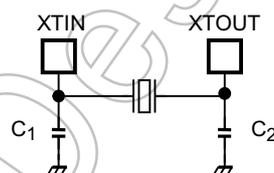
項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1, 2 モード時	0.32	-	10	μs
		IDLE1, 2 モード時				
		SLOW モード時	117.6	-	133.3	
		SLEEP モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	33.75	-	-	ns
低レベルクロックパルス幅	t _{WCL}	f _c = 12.5 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	14.7	-	-	μs
低レベルクロックパルス幅	t _{WSL}	f _s = 32.768 kHz 時				

推奨発振条件 ($V_{SS} = 0\text{ V}$, $V_{DD} = 4.5\sim 5.5\text{ V}$, $T_{opr} = -30\sim 70^\circ\text{C}$)

項目	発振子	発振周波数	推奨発振子	推奨定数	
				C ₁	C ₂
高周波発振	セラミック発振子	12.5 MHz	村田製作所 CSA12.5MTZ	30 pF	30 pF
		8 MHz	村田製作所 CSA8.00MTZ	30 pF	30 pF
	水晶振動子	12.5 MHz	日本電波工業 AT-51	10 pF	10 pF
低周波発振	水晶振動子	32.768 kHz	日本電波工業 MX-38T	15 pF	15 pF



(1) 高周波発振



(2) 低周波発振

注 1) 高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/search/index_j.html

Not Recommended
for New Design