

**TOSHIBA**

東芝 オリジナル CMOS 16ビット マイクロコントローラ

**TLCS-900/H シリーズ**

**TMP95C001FG**

Not Recommended  
for New Design

株式会社 **東芝** セミコンダクター社

## はじめに

この度は弊社16ビットマイクロコントローラTLCS-900/Hシリーズ、TMP95C001をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

### ホールド状態からの解除に関する注意事項

通常は、割り込みによってホールド状態を解除することができますが、ホールドモードがIDLE、STOPモードに設定されている状態で、CPUがホールドモードに移行しようとしている期間(X1約3クロックの間)に、ホールドモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールドが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールドモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールドモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

## お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願ひ申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

### 修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、  
表紙及び付加ページ(ローマ数字の本文前のページを示す)  
内記述の名称が正式な名称となります。

### 修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、  
付加ページの名称と寸法図が正式な名称及び寸法図となります。

### 修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

### 修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

旧製品には旧製品当時の文言が記述されている場合がありますが、  
付加ページ内で最新の内容に更新しております。

### 修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が  
本データシートの発行日付となります。

## 修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP95C001F	TMP95C001FG

## 修正対象項目 2. パッケージ名称及び寸法

本文中パッケージ名称 (旧名称)	正式パッケージ名称 (新名称)
P-QFP64-1414-0.80A	QFP64-P-1414-0.80C

\*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

## 修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

## 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間1回 Rタイプフラックス使用 (鉛はんだ使用時) 245°C 5秒間1回 Rタイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

## 修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

## 当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。  
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

## 修正項目 5. データシートの発行日付

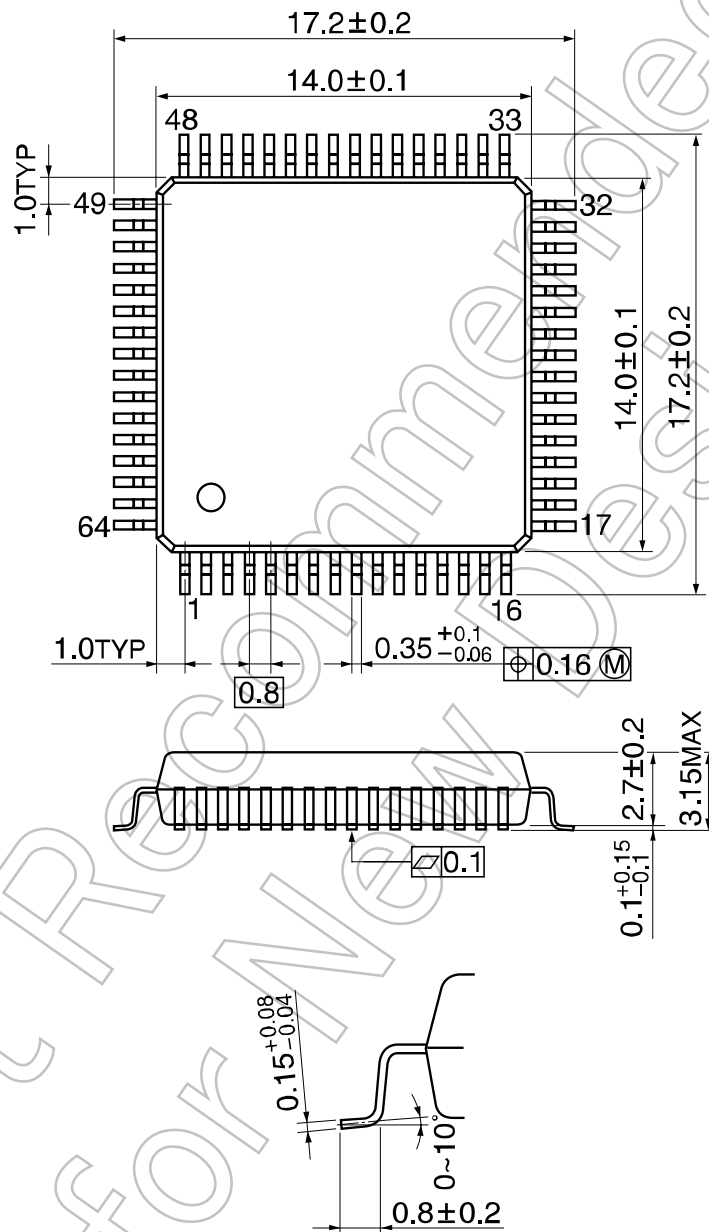
本製品の発行日は、付加ページ右下にも記入の「2008-02-20」です。

(別紙)

パッケージ外形寸法図

QFP64-P-1414-0.80C

単位: mm



## CMOS 16ビットマイクロコントローラ

## TMP95C001F

## 1. 概要と特長

TMP95C001Fは、高速16ビットCPU (TLCS-900/H)をコアとし、ウェイトコントローラ、割り込みコントローラ、といった必要最小限の機能のみを組み込んだ16ビットマイクロコントローラです。

TMP95C001Fは、64ピンフラットパッケージ製品です(P-QFP64-1414-0.80A)。

特長は次のとおりです。

- (1) 高速16ビットCPU (TLCS-900/H CPU使用)
  - TLCS-90/900と命令ニモニクで上位互換
  - 16 Mバイトのリニアアドレス空間
  - 汎用レジスタ&レジスタバンク方式
  - 16ビット乗除算命令、ビット転送/演算命令
  - マイクロDMA : 4チャンネル (640 ns/2バイト : 25 MHz発振時)
- (2) 最小命令実行時間 : 160 ns (25 MHz発振時)
- (3) 内蔵RAM : なし  
内蔵ROM : なし
- (4) 外部メモリ拡張
  - 16 Mバイト(プログラム/データ共通)まで拡張可能
  - 外部データバス幅選択端子 (AM8/16)
  - 外部データバス8/16ビット幅共存可能… ダイナミックバスサイジング
- (5) ウェイトコントローラ : 4ブロック
- (6) 割り込み機能
  - 割り込み要因20本 (内部13本、外部7本)
  - 7レベルの優先順位設定が可能
- (7) スタンバイ機能
  - 3種類のHALTモード (RUN、IDLE、STOP)

000629TBP1

● マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。

● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

● なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。

● 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

● 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

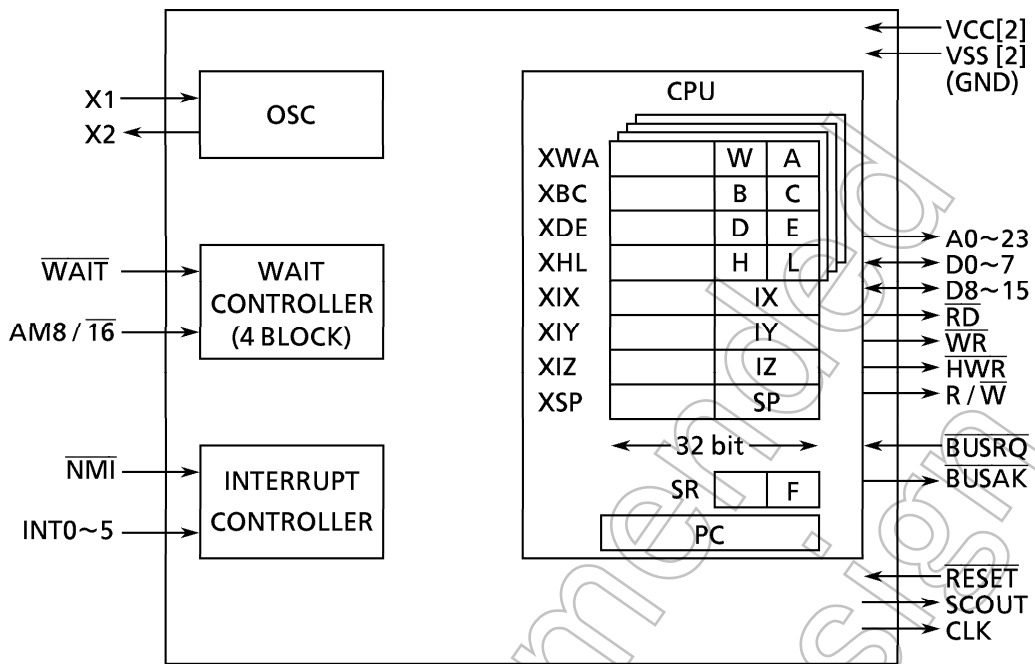


図1 TMP95C001ブロック図

Not Recommended for New Design

2. ピン配置とピン機能

TMP95C001Fのピン配置図、および、入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP95C001Fのピン配置図は、図2.1のとおりです。

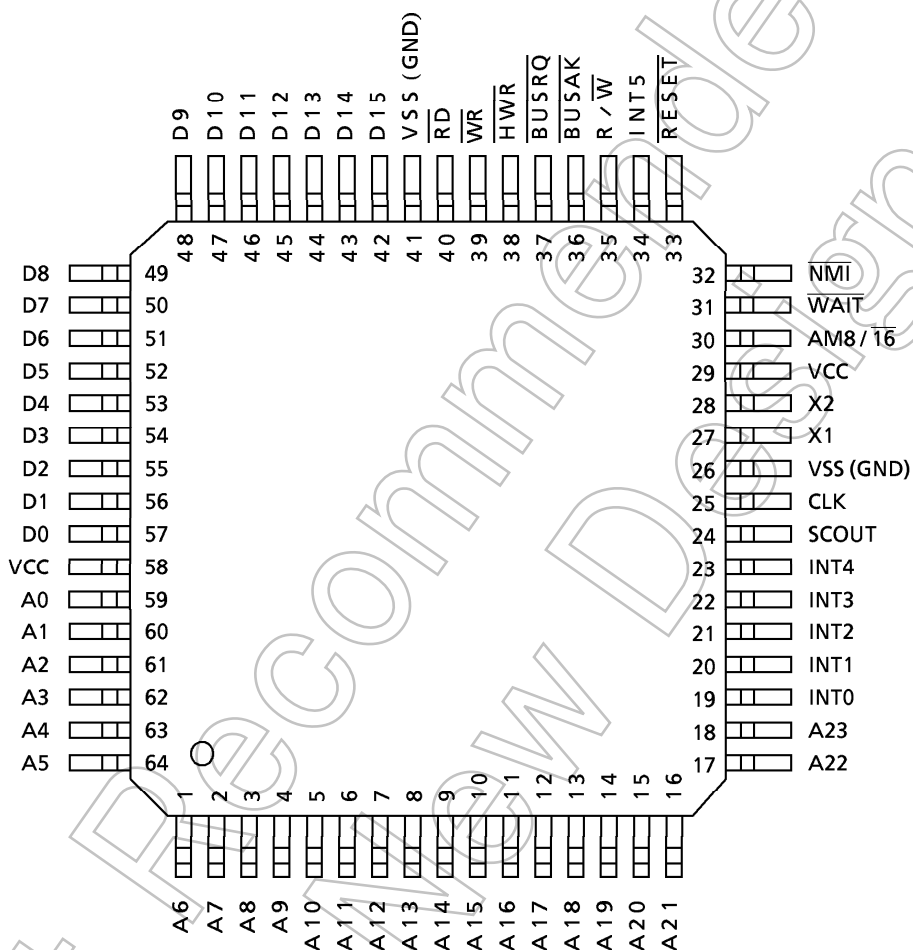


図2.1 ピン配置図 (64ピンQFP)



## 2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

表2.2 ピン名称と機能

ピン名称	ピン数	入出力	機能
D0~D15	16	入出力	データ: データバス0~15です。
A0~A23	24	出力	アドレス: アドレスバス0~23です。
$\overline{RD}$	1	出力	リード: 外部メモリをリードするためのストローク信号が出力されます。PSRAMモードを選択した場合は、すべてのリードタイミングでストローク信号が出力されます。
$\overline{WR}$	1	出力	ライト: D0~7端子のデータをライトするためのストローク信号が出力されます。
$\overline{HWR}$	1	出力	上位ライト: D8~15端子のデータをライトするためのストローク信号が出力されます。
$\overline{BUSRQ}$	1	入力	バスリクエスト: 外部バス開放を要求する入力端子です。
$\overline{BUSAK}$	1	出力	バスアクノリッジ: CPUが $\overline{BUSRQ}$ を受けて外部バスを開放したことを知らせる出力端子です。
R/ $\overline{W}$	1	出力	リード/ライト: このピンから出力される信号が"1"のときリードサイクルまたはダミーサイクルを、"0"のときライトサイクルを示します。
SCOUT	1	出力	システムクロック出力: システムクロック (外部クロックを2分周したクロック) を出力します。
$\overline{WAIT}$	1	入力	ウェイト: CPUへのバスウェイト要求端子です(1 $\overline{WAIT}$ +Nモードまたは、0+N $\overline{WAIT}$ モードのとき有効です: ウェイトコントロールレジスタで設定します)。
INT0	1	入力	割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。 
INT1~4	4	入力	割り込み要求端子1~4: 立ち上がりエッジの割り込み要求端子です。
INT5	1	入力	割り込み要求端子5: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。 
$\overline{NMI}$	1	入力	ノンマスクャブル割り込み要求端子: 立ち下がり/両エッジがプログラマブルな割り込み要求端子です。 
CLK	1	出力	クロック出力: 外部クロックを4分周したクロックを出力します。リセット期間中はプルアップされます。
AM8/ $\overline{16}$	1	入力	アドレスモード: 外部データバス幅の選択端子です。外部16ビットバス固定もしくは外部8/16ビットバス混在では"0"を、外部8ビット固定では"1"を入力してください。
$\overline{RESET}$	1	入力	リセット: TMP95C001を初期化します(プルアップ抵抗が内蔵されています)。
X1/X2	2	入力/出力	発振子接続端子
VCC	2		電源端子: 全VCC端子を電源に接続してください。
VSS (GND)	2		GND端子 (0V): 全VCC端子をGND (0V) に接続してください。

(注) VCC, VSS端子は、かならず全端子を電源, GNDにそれぞれ接続してください。

### 3. 動作説明

ここでは、TMP95C001の機能、および、基本動作について、ブロックごとに説明します。

なお、本章の最後に「7. 使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますので確認願います。

#### 3.1 CPU

TMP95C001には、高性能な高速16ビットCPU (TLCS-900/H CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900/H CPU”を参照してください。

ここでは、“TLCS-900/H CPU”にて説明されていない、TMP95C001独自のCPU機能について説明します。

##### 3.1.1 リセット動作

図3.1 (1) にリセット動作の基本タイミング例を示します。

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも10システムクロック間 (10ステート: 25 MHzクロック発振時で0.8  $\mu$ s) RESET入力を“0”に保っておかなければなりません。

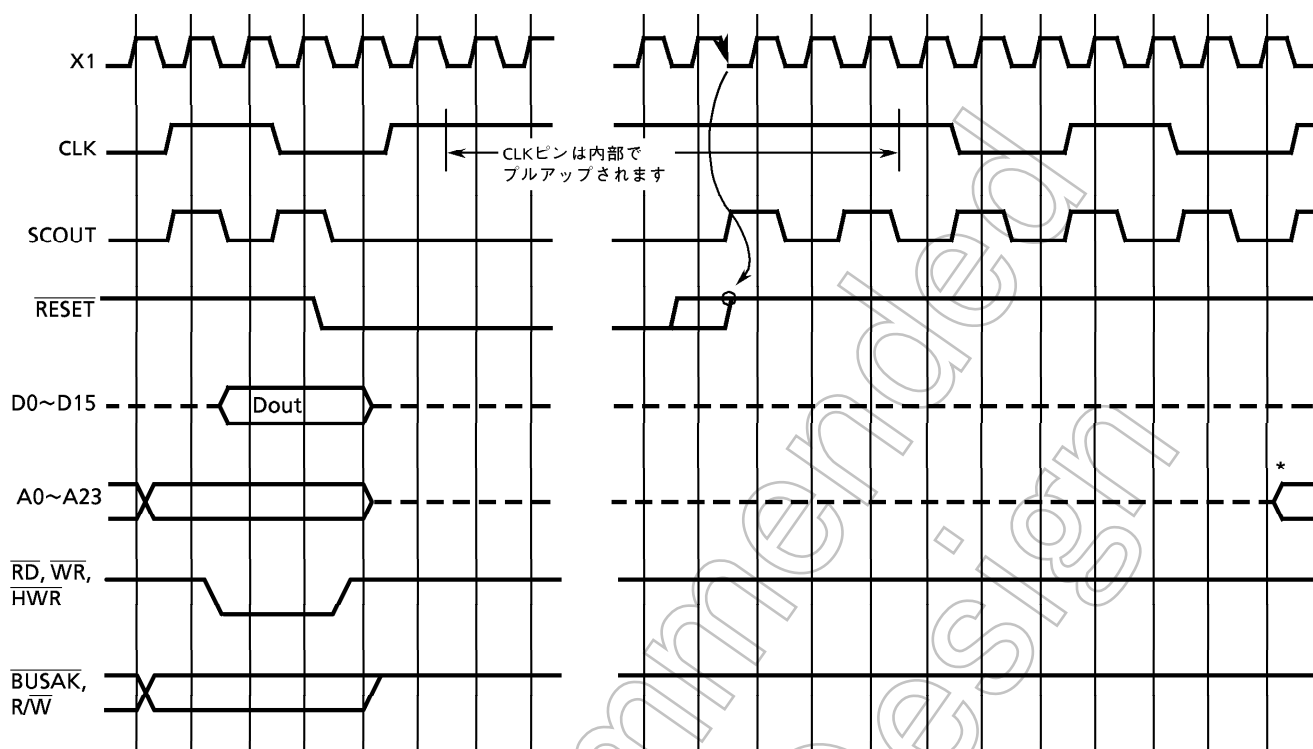
リセットが受け付けられると、CPUは、下記の動作を行います。

- プログラムカウンタPCを、FFFF00H番地~FFFF02H番地に格納されているリセットベクタにしたがいセット  
PC (7:0) ← FFFF00H 番地の値  
PC (15:8) ← FFFF01H 番地の値  
PC (23:16) ← FFFF02H 番地の値
- スタックポインタXSPを100Hにセット
- ステータスレジスタSRの<IFF2~0>を“111”にセット (割り込みレベルのマスクレジスタをレベル7にセット)
- ステータスレジスタSRの<MAX>を“1”にセット (マキシマムモードにセット) (注: 本製品はミニマムモードをサポートしていませんので<MAX>を“0”にしないでください)
- ステータスレジスタSRの<RFP2~0>を“000”にクリア (レジスタバンクを0にセット)

リセットが解除されると、CPUは、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびその他の端子は、下記の動作を行います。

- 仕様で決められているとおりに、内蔵I/Oのレジスタを初期化
- CLK端子を“1”にプルアップ



\*  $\overline{\text{RESET}} = 1$ を認識してから10または12クロック目のX1立ち上がりでA0~A23が出力されます。

図3.1 (1) TMP95C001 リセットタイミング例

### 3.1.2 外部データバス幅選択機能 (AM8/16端子)

TMP95C001は、AM8/16端子入力をリセット信号の立ち上がりでサンプリングすることで、外部データバス幅の選択を行います。

- AM8/16=0 (外部8、16ビットデータバス混在、または、16ビットデータバス固定) の場合。  
D0~D15は、16ビットデータバスとして機能します。  
なお、外部データバス幅の設定は、ウェイトコントロールレジスタで行います(「3.5.2 ウェイトコントロールレジスタ」を参照してください)。
- AM8/16=1 (外部8ビットデータバス固定) の場合。  
D0~D7は、8ビットデータバスとして機能します。  
なお、ウェイトコントロールレジスタの<B0BUS>、<B1BUS>、<B2BUS>、<B3BUS>、<BEXBUS>の設定は無視され、外部8ビットデータバス固定となります。  
外部8ビットデータバス固定で使用する場合、D8~D15端子を“1”または“0”のいずれかに固定してください。

### 3.1.3 クロック出力機能

TMP95C001は、2種類のクロック出力端子をもっています。

スタンバイモードコントロールレジスタ **STMOD**を設定することにより機能を制御することができます。

#### (1) クロック出力端子 (CLK)

- **STMOD <CLKST>** を“1”にセットすることにより、出力を禁止(ハイインピーダンス状態)することができます。**CLK**端子をハイインピーダンス状態にする場合、**CLK**端子の入力バッファに流れる貫通電流防止のため、外部にプルアップ抵抗が必要です。
- リセット解除後は、ただちに出力を開始します。

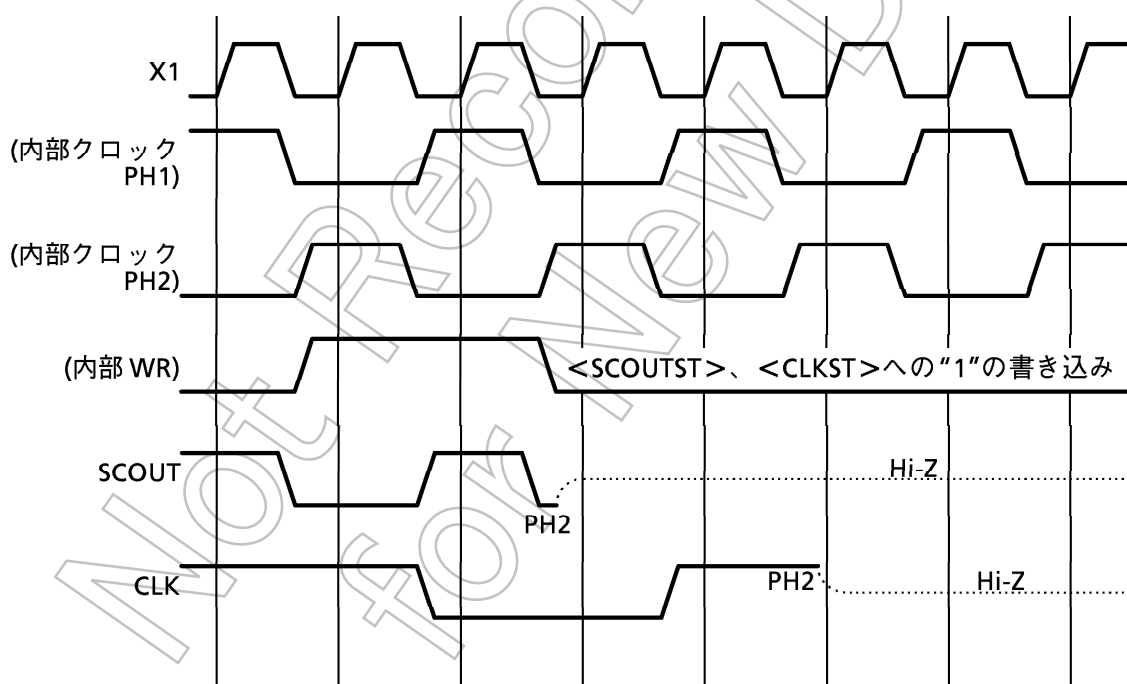
#### (2) システムクロック出力端子 (SCOUT)

- **STMOD <SCOUTST>** を“1”にセットすることにより、出力を禁止(ハイインピーダンス状態)することができます。
- リセット解除後は、ただちに出力を開始します。

図3.1 (2) にスタンバイモードコントロールレジスタを示します。

また、下図に**SCOUT**、**CLK**端子が**Hi-Z**(出力ディセーブル)になるタイミングを示します。

**<CLKST>**、**<SCOUTST>**は、リセットによってのみクリアすることができます。これらのビットには“0”を書き込まないでください。



**SCOUT** : **WR・PH1**で**<SCOUTST>**への書き込みが行われた直後の**PH2**の立ち上がりでHi-Zになります。

**CLK** : **WR・PH1**で**<CLKST>**への書き込みが行われて、**PH2**、**PH1**後の**PH2**の立ち上がりでHi-Zになります。

3.1.4 擬似SRAMサポート機能

TMP95C001は、外部擬似SRAMを使用するためのPSRAMモードを持っています。PSRAMモードを使用することで、内部エリアをリードした場合にも、RD信号が出力され、外付けPSRAMのリフレッシュを行うことができます。スタンバイモードコントロールレジスタSTMOD <RDE> に“1”をライトすることでPSRAMモードに設定できます。

図3.1(2)にスタンバイモードコントロールレジスタを示します。

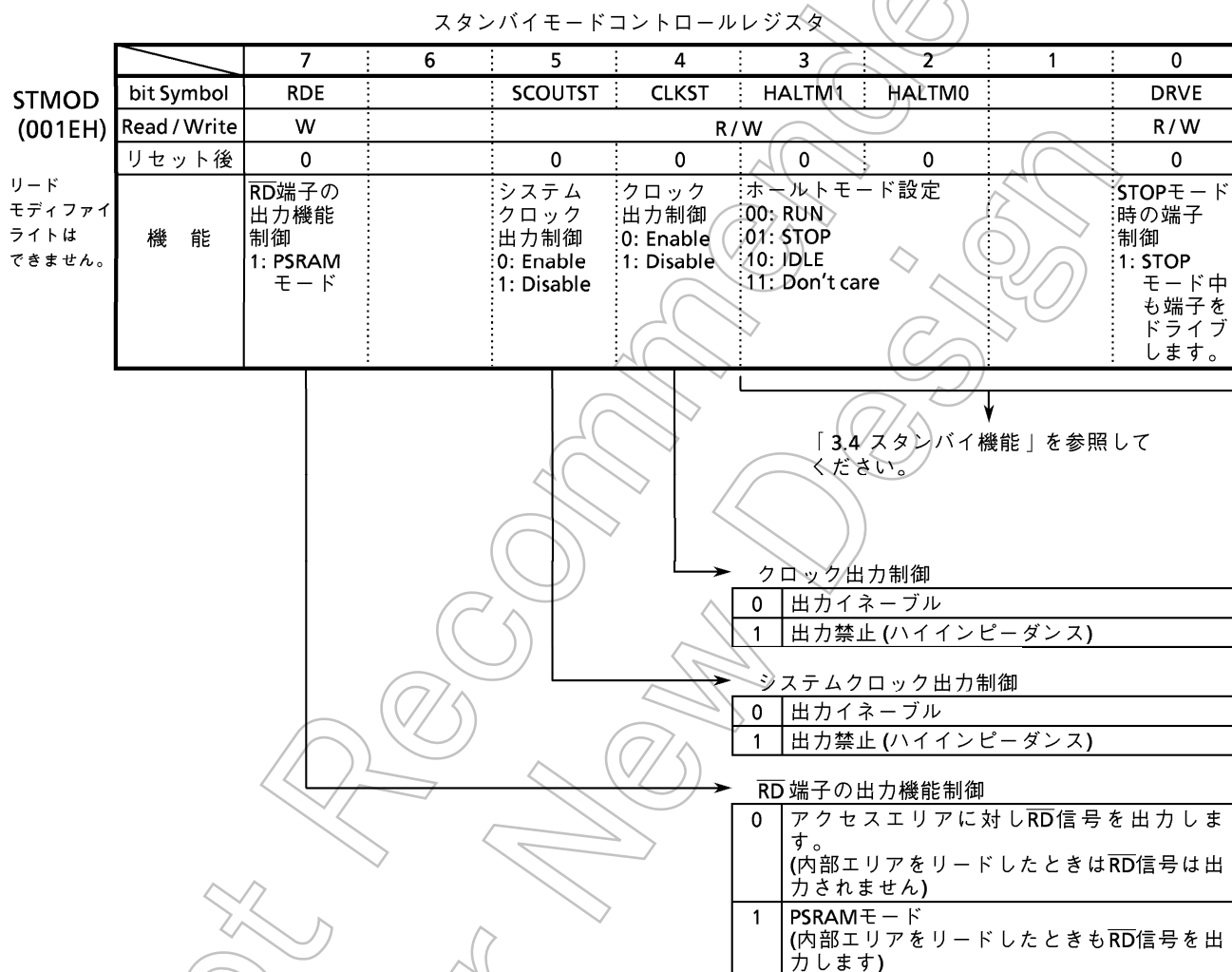
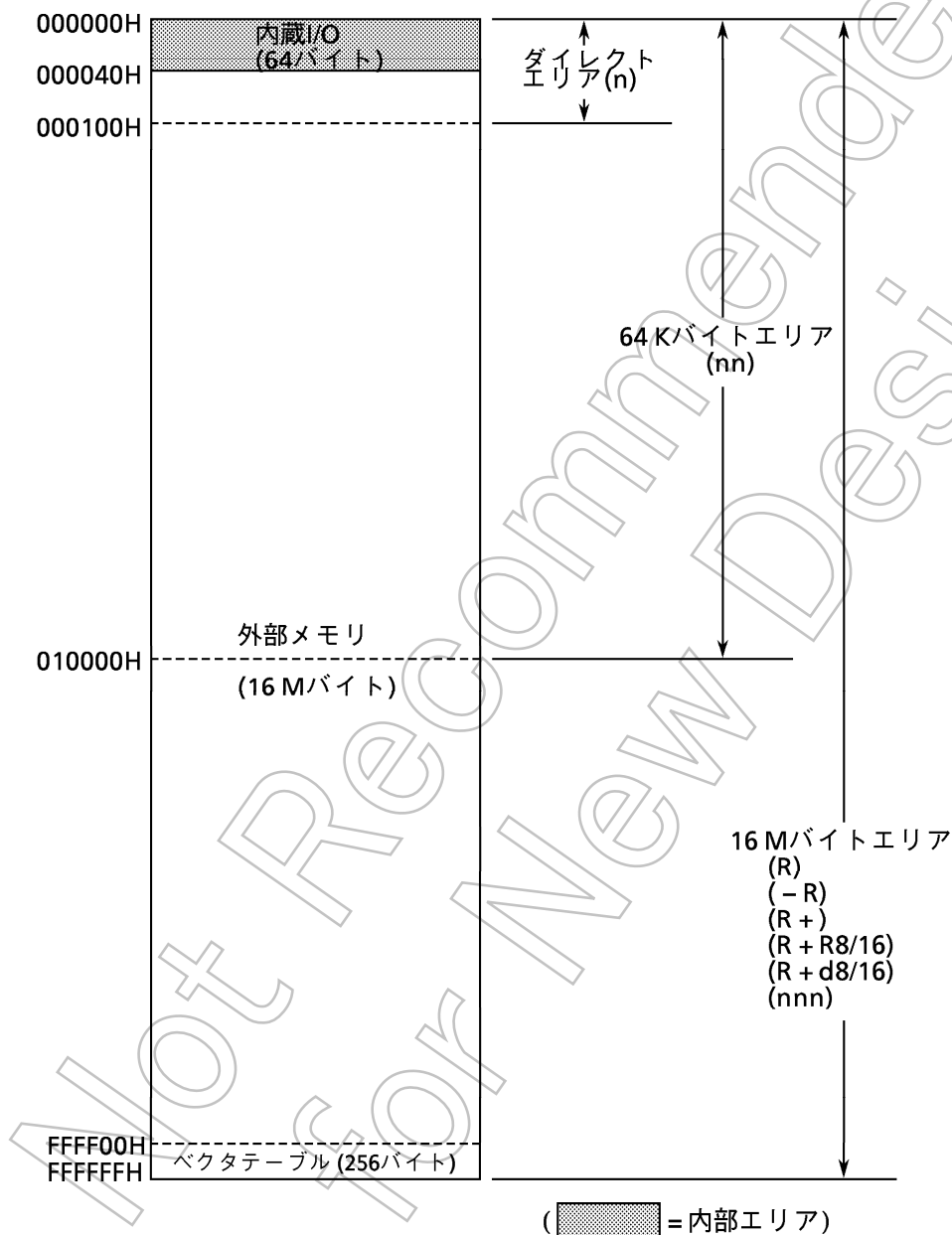


図3.1(2) スタンバイモードコントロールレジスタ

## 3.2 メモリマップ

TMP95C001は、64バイト分のアドレス空間を、内蔵I/O領域として使っています。これは、アドレス空間000000H~00003FHに割り付けられています。なお、CPUは「ダイレクトアドレッシングモード」により、短い命令コードでこの内蔵I/Oをアクセスすることも可能です。

図3.2に、メモリマップとCPUの各アドレッシングモードのアクセス範囲を示します。



(補足) リセット後、スタックポインタ“XSP”は、100Hにセットされます。

図3.2 TMP95C001 メモリマップ

### 3.2.1 内蔵I/Oエリアアクセス時の動作

TMP95C001は、64バイト (0H~3FH) の内蔵I/Oエリアを持っています。この内蔵I/Oエリアには、内蔵I/O制御用のレジスタがマッピングされています。

内蔵I/Oエリアにアクセスした場合の動作は、それ以外のアドレス空間にアクセスした場合の動作と、以下の2点が異なります。

- (1)  $\overline{RD}$ ,  $\overline{WR}$ ,  $\overline{HWR}$  ストローブ信号がアクティブになりません (“H”固定)。

ただし、STMODレジスタで設定するPSRAMモード(「3.1.4 擬似SRAMサポート機能」参照)にした場合は、 $\overline{RD}$  ストローブ信号は、内蔵I/Oエリアをリードした場合にもアクティブになります。

- (2) 内蔵I/Oエリアアクセス時のウェイトは、内部の状態により0ウェイト、または1ウェイトが入りません。

このウェイト数は、チップセレクト/ウェイトコントローラ(3.5節参照)によっても制御されません。チップセレクト/ウェイトコントローラによって設定したアドレス空間が内蔵I/Oエリアと重なっていても、内蔵I/Oエリアとしての動作が優先されます。

Not Recommended for New Design

### 3.3 割り込み機能

TLCS-900の割り込みは、CPUの割り込みマスクフリップフロップ (IFF2~0) と内蔵の割り込みコントローラによって制御されます。

TMP95C001の割り込み要因は、下記の4種類、合計20本あります。

内部割り込み…13本
● ソフトウェア割り込み : 8本
● 未定義命令実行違反 : 1本
● マイクロDMA転送終了割り込み : 4本
外部割り込み…7本
● 外部端子 ( $\overline{\text{NMI}}$ 、INT0~INT5) からの割り込み

各割り込み要因ごとに、個別の割り込みベクタ値が割り当てられており、また、マスクابل割り込みのそれぞれに、7つの優先順位レベルを割り付けることができます。ノンマスクابل割り込みの優先順位レベルは、最優先のレベル“7”に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位レベルをCPUに送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位レベル (最高はノンマスクابل割り込みの“7”) をCPUに送ります。

CPUは、割り込みコントローラから送られてきた優先順位レベルと、CPUの割り込みマスクレジスタ <IFF2~0> の値を比較し、送られてきた優先順位レベルが、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。ただし、CPUが発生するソフトウェア割り込み、未定義命令実行違反割り込みは、<IFF2~0> と比較をせず割り込み処理を開始します。

割り込みマスクレジスタ <IFF2~0> の値は、EI命令 (EI num / <IFF2~0> の内容がnumになります) を使用して、書き替えることができます。例えば、“EI 3”とプログラムすると、割り込みコントローラに設定された、優先順位レベル3以上のマスクابل割り込みと、ノンマスクابل割り込みを受け付け可能となります。ただし、“EI 0”とプログラムした場合は、優先順位レベル1以上のマスクابل割り込みと、ノンマスクابل割り込みを受け付けます (“EI 1”と同じ動作を行います)。

また、DI命令 (<IFF2~0> の値が7になります) は、動作的には“EI 7”と同じですが、マスクابل割り込みの優先順位レベルが0~6であるため、マスクابل割り込みの受け付け禁止用として使用されます。なお、EI命令は実行後ただちに有効となります (TLCS-90では、EI命令の次の命令を実行した後有効になります)。

TLCS-900の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロDMA」処理モードがあります。マイクロDMAは、CPUが自動的にデータの転送 (バイト転送、ワード転送、4バイト転送) を行うモードです。マイクロDMAを使用することで、I/Oに対するデータ転送などの割り込み処理を、高速に行うことが可能になります。

さらに、TMP95C001には、このマイクロDMA要求を割り込み要因からではなく、ソフト的に要求をかける“マイクロDMAソフトスタート機能”があります。

図3.3 (1) に割り込み処理全体のフローを示します。



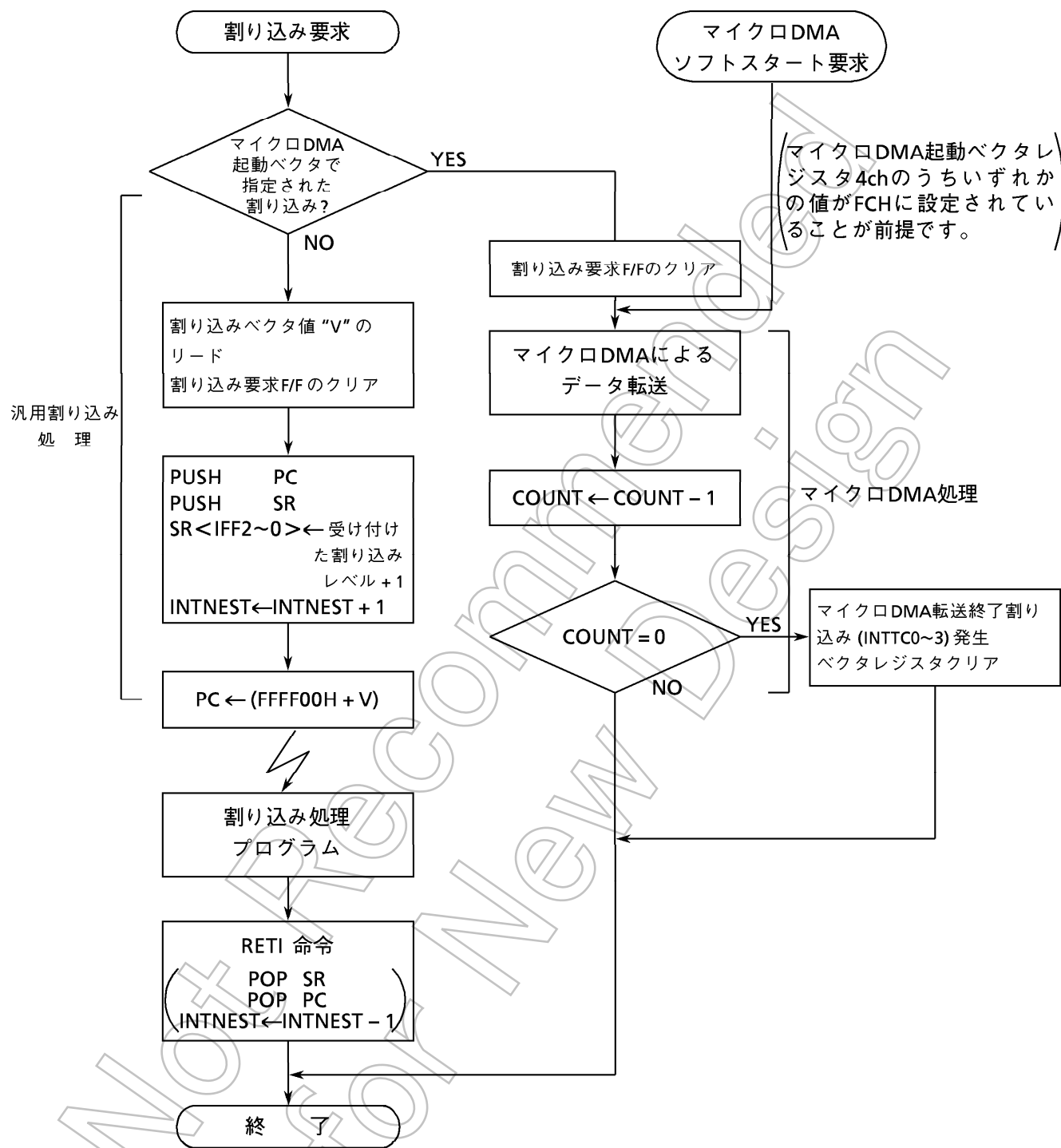


図3.3 (1) 割り込みとマイクロDMAの処理フロー

### 3.3.1 汎用割り込み処理

CPUが割り込みを受け付けると、下記の動作をします。ただし、CPUが発生するソフトウェア割り込み、未定義命令実行違反割り込みは①, ③は実行せず、②, ④, ⑤を実行します。

- ① CPUは、割り込みコントローラから、割り込みベクタをリードします。  
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (割り込み優先順位は、割り込みベクタの値が小さいほど高くなります) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
- ② CPUは、プログラムカウンタPCとステータスレジスタSRの内容を、スタック領域(XSPが示す領域)へPUSHします。
- ③ CPUの割り込みマスクレジスタ <IFF2~0> の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”のときは、インクリメントせず“7”をセットします。
- ④ 割り込みネスティングカウンタINTNESTを「+1」します。
- ⑤ CPUは、「FFFF00H+割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

以上の処理時間を下記の表3.3 (1)に示します。

表3.3 (1) バス幅ごとの割り込み処理時間

スタックエリアのバス幅 (ビット)	割り込みベクタエリアのバス幅	割り込み処理実行ステート数(ステート)	割り込み処理時間 @ fc = 25 MHz (μs)
8	8	28	2.24
	16	24	1.92
16	8	22	1.76
	16	18	1.44

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタPCとステータスレジスタSRの内容をリストアし、割り込みネスティングカウンタINTNESTを「-1」します。

ノンマスクابل割り込みは、プログラムによって、割り込み受け付けを禁止することができません。一方、マスクابل割り込みは、プログラムによって、割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位レベルを設定することができます (割り込み優先順位レベルを“0”(または“7”)に設定することで、その割り込み要求が禁止されます)。

CPUは、CPU自身が持つ割り込みマスクレジスタ <IFF2~0> に設定された値以上の優先順位レベルをもつ割り込み要求があると、割り込みを受け付けます。そして、CPUのマスクレジスタ <IFF2~0> に、受け付けた優先順位レベルに“1”を加えた値をセットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPUが割り込みを受け付け、前記①～⑤までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が、実行された直後にサンプリングされます。先頭命令をDI命令にすると、マスカブル割り込みのネスティングを禁止することができます(注:900と900/Lでは、先頭命令が実行される前に、サンプリングされます)。

リセット後、CPUのマスクレジスタ <IFF2~0> は、“7”に初期化されているため、マスカブル割り込み禁止状態になっています。

表3.3(2)に、TMP95C001の割り込みベクタ、および、マイクロDMA起動ベクタテーブルを示します。TMP95C001では、FFFF00H~FFFFFFH番地(256バイト)が、割り込みベクタ領域に、割り当てられています。

なお、割り込みベクタ領域は派生品ごとに異なります。

表3.3(2) TMP95C001の割り込みベクタおよびマイクロDMA起動ベクタテーブル

デフォルト プライオリティ	タイプ	割り込み要求および、マイクロDMA要求発生ソース	ベクタ値 "V"	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
1	ノン マスカブル	リセット、または、「SWI 0」命令	0 0 0 0 H	FFFF00H	-
2		「SWI 1」命令	0 0 0 4 H	FFFF04H	-
3		未定義命令実行違反、または、「SWI 2」命令	0 0 0 8 H	FFFF08H	-
4		「SWI 3」命令	0 0 0 C H	FFFF0CH	-
5		「SWI 4」命令	0 0 1 0 H	FFFF10H	-
6		「SWI 5」命令	0 0 1 4 H	FFFF14H	-
7		「SWI 6」命令	0 0 1 8 H	FFFF18H	-
8		「SWI 7」命令	0 0 1 C H	FFFF1CH	-
9		NMI端子	0 0 2 0 H	FFFF20H	-
10		(予約)	0 0 2 4 H	FFFF24H	-
11	マスカブル	INT0端子	0 0 2 8 H	FFFF28H	28H
12		INT1端子	0 0 2 C H	FFFF2CH	2CH
13		INT2端子	0 0 3 0 H	FFFF30H	30H
14		INT3端子	0 0 3 4 H	FFFF34H	34H
15		INT4端子	0 0 3 8 H	FFFF38H	38H
16		INT5端子	0 0 3 C H	FFFF3CH	3CH
17		(予約)	0 0 4 0 H	FFFF40H	-
18		INTTC0: マイクロDMA終了(Channel.0)	0 0 4 4 H	FFFF44H	-
19		INTTC1: マイクロDMA終了(Channel.1)	0 0 4 8 H	FFFF48H	-
20		INTTC2: マイクロDMA終了(Channel.2)	0 0 4 C H	FFFF4CH	-
21		INTTC3: マイクロDMA終了(Channel.3)	0 0 5 0 H	FFFF50H	-
-	(予約)	0 0 5 4 H	FFFF54H	-	
-	(予約)	0 0 F C H	FFFFFCH	-	
-	-	マイクロDMAソフトスタート要求	-	-	FCH

リセットベクタ、および、割り込みベクタの設定

① リセットベクタ

FFFF00H	PC (7:0)
FFFF01H	PC (15:8)
FFFF02H	PC (23:16)
FFFF03H	XX

② 割り込みベクタ (リセットベクタ以外)

ベクタ参照アドレス +0	PC (7:0)	
+1	PC (15:8)	
+2	PC (23:16)	
+3	XX	XX : don't care

(設定例)

リセットベクタを8100H、NMIベクタを9ABCH、INT1ベクタを123456H番地に定義する場合

```

ORG    8100H
LD     A, B      (参考)
      ⋮
ORG    9ABCH
LD     B, C
      ⋮
ORG    123456H
LD     C, A
      ⋮
ORG    0FFFF00H
DL     008100H    ;リセット = 8100H

ORG    0FFFF20H
DL     009ABCH    ; NMI = 9ABCH

ORG    0FFFF2CH
DL     123456H    ; INT1 = 123456H

```

ORG、DLはアセンブラ擬似命令です  
 { ORG : ロケーションカウンタ制御用  
 { DL : ロングワード (32ビット) データ定義用

### 3.3.2 マイクロDMA処理

TMP95C001には、従来の割り込み処理に加えて、マイクロDMA機能があります。マイクロDMAに設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で、最も優先順位の高い割り込みレベル(レベル“6”)でマイクロDMA処理を行います。

なお、マイクロDMAの機能がCPUの協調動作によって実現されているため、HALT命令により、CPUがスタンバイ状態になると、マイクロDMAの要求は、無視(保留)されます。

#### (1) マイクロDMAの動作

マイクロDMAは、マイクロDMA起動ベクタレジスタで指定された割り込み要求元で割り込みが発生すると、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も優先順位の高い割り込みレベル(レベル“6”)でCPUにマイクロDMA要求を発生し、その起動がかけられます。マイクロDMAは4チャンネル用意されており、同時に4種類までの割り込み要因に対して、マイクロDMAを設定することができます。

マイクロDMAが受け付けられると、そのチャンネルに割り当てられている割り込み要求フリップフロップをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスにデータ転送が自動的に行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”でなければ、マイクロDMA起動ベクタレジスタの値はそのまま、マイクロDMA処理は終了します。もし、転送数カウンタをデクリメントした結果、値が“0”ならば、CPUよりマイクロDMA転送終了割り込み(INTTC0~3)を割り込みコントローラに伝え、かつ、マイクロDMA起動ベクタレジスタの値を“0”クリアし、次のマイクロDMA起動を禁止して、マイクロDMA処理を終了します。

複数チャンネルのマイクロDMA要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の小さい方が高くなります(チャンネル0(高)→チャンネル3(低))。

マイクロDMA起動ベクタがクリアされ、再度設定されるまでの間に、使用していた割り込み要因の割り込み要求が発生すると、設定された割り込みレベルで汎用割り込み処理を行います。従って、その割り込み要因をマイクロDMAの起動のみに使用する(汎用割り込みとして使用しない)場合、あらかじめ、割り込みレベルを“0”(割り込み要求禁止)にしておく必要があります。

また、上記のように、マイクロDMAと汎用割り込みを兼用する場合は、あらかじめ、マイクロDMAの起動に使用する割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低く設定しておく必要があります。なお、この場合、汎用割り込み要因はエッジ割り込みに限られます。

(例) 外部割り込みINT0~3をマイクロDMA0~3の起動に使用する場合

外部割り込みINT0~3の割り込みレベル ..... “1”

他の割り込みレベル ..... “2”~“6”

に設定してください。

マイクロDMA転送終了割り込みは、他のマスカブル割り込みと同様に、割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっていますが、アドレスは24本しか出力されていないため、マイクロDMAで取り扱える空間は、16Mバイトとなります(32ビットのうち上位8ビットは無効となります)。

マイクロDMAの転送モードとしては、1バイト転送、1ワード(=2バイト)転送、4バイト転送の3種類があり、それぞれの転送モードに対して、転送実行後、転送元/転送先アドレスがインクリメント、デクリメント、固定されるモードが準備されています。このモードにより、I/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送を簡単に行うことができます。転送モードの詳細は、「3.3.2 (4) 転送モードレジスタ詳細説明」を参照してください。

転送数カウンタは、16ビット幅で構成されているため、1つの割り込みソースに対して、最大65536回(転送カウンタの初期値が0000Hのとき最大)のマイクロDMA処理を行うことができます。

マイクロDMA処理の起動は、表3.3 (2) でマイクロDMA起動ベクタの記載されている6種類の割り込み(INT0~INT5)と、マイクロDMAソフトスタートの合計7種類により行うことができます。

転送先アドレスINCモード2バイト転送(カウンタモード以外は同様)のマイクロDMAサイクルを図3.3 (2) に示します(外部16ビットバス幅、0ウェイト、ソース/デスティネーションアドレスとも偶数の場合)。

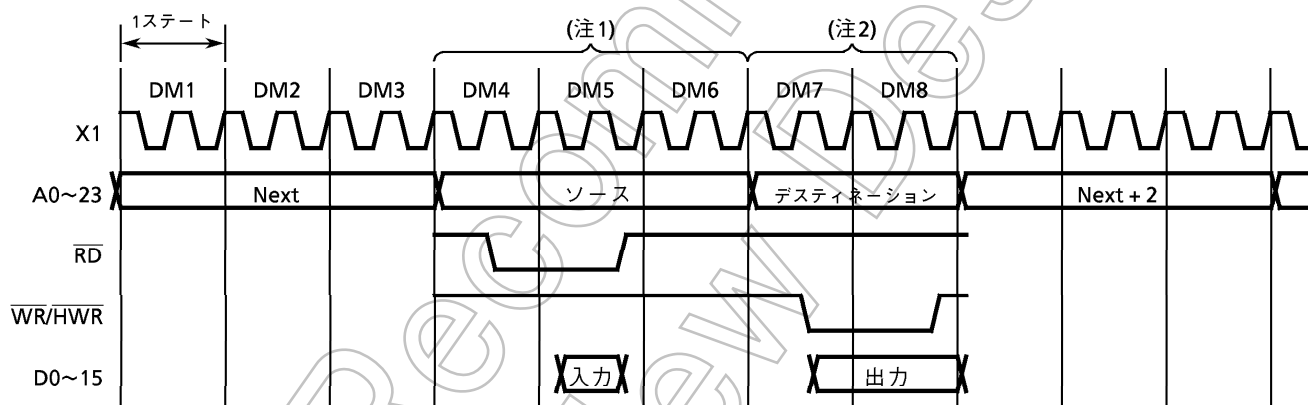


図3.3 (2) マイクロDMAサイクル図

- 第1~3ステート : 命令フェッチサイクル(次の命令コードを先取りします)  
命令キューバッファに3バイト以上の命令コードが入ると、このサイクルは、ダミーサイクルになります。
- 第4~5ステート : マイクロDMAリードサイクル
- 第6ステート : ダミーサイクル(アドレスバスは第5ステート状態のままです)
- 第7~8ステート : マイクロDMAライトサイクル

(注1) ソースアドレスエリアが8ビットバスの場合、「+2」ステートされます。  
また、ソースアドレスエリアが16ビットバスで、奇数番地から始まる場合も「+2」ステートされます。

(注2) デスティネーションアドレスエリアが8ビットバスの場合、「+2」ステートされます。  
また、デスティネーションアドレスエリアが16ビットバスで、奇数番地から始まる場合も「+2」ステートされます。

## (2) マイクロDMAソフトスタート機能

TMP95C001には、従来の割り込み要因によるマイクロDMAの起動のほかに、ソフトDMAコントロールレジスタへの書き込みサイクルが発生したことによりマイクロDMAを起動する“マイクロDMAソフトスタート機能”があります。

ソフトスタートさせるためには、マイクロDMA起動ベクタレジスタDMA0V~3V(メモリ番地26H、27H、28H、29H)に、マイクロDMA起動ベクタ“FCH”を書き込み、その後、ソフトDMAコントロールレジスタSDMACR0~3(メモリ番地2AH、2BH、2CH、2DH)へ、任意のデータ(データの値は、ソフトスタートの動作に影響しません)を書き込むことにより、対応したチャンネルのマイクロDMAが1回起動されます。また、再度ソフトDMAコントロールレジスタにデータを書き込むと、マイクロDMA転送カウンタが“0”でない限り、ソフトスタートを引き続き行うことができます(マイクロDMA起動ベクタを書き直す必要はありません)。

ただし、ソフトスタート要求は1ショットであり、保持されませんので、ソフトDMAコントロールレジスタへの書き込みサイクルが発生しても、あらかじめマイクロDMA起動ベクタが設定されていない場合は、ソフトスタートされません(マイクロDMAソフトスタートを起動する場合、あらかじめマイクロDMA起動ベクタを設定しておく必要があります)。

Not Recommended for New Designs

## (3) マイクロDMA専用レジスタ構成

図3.3 (3) に、マイクロDMA専用レジスタを示します。このレジスタは、CPUに内蔵されており（「第3章 TLCS-900/H CPU 3.2.5 コントロールレジスタ」を参照してください）LDC命令により設定することができます。

図中の転送元アドレスレジスタは、転送するソースのアドレスを示し、転送先アドレスレジスタは、転送されるデスティネーションのアドレスを示します。これらのアドレスレジスタは、下位24ビットのみを使用して、16Mバイト空間をサポートしています。

転送数カウントレジスタは、マイクロDMA実行回数を設定するレジスタで、1から65536の値を設定することができます。

転送モードレジスタの設定については、「3.3.2 (4) 転送モードレジスタ詳細説明」を参照してください。

これらのマイクロDMA専用レジスタへのデータの設定は、「LDC cr, r」命令によってのみ実行可能です。

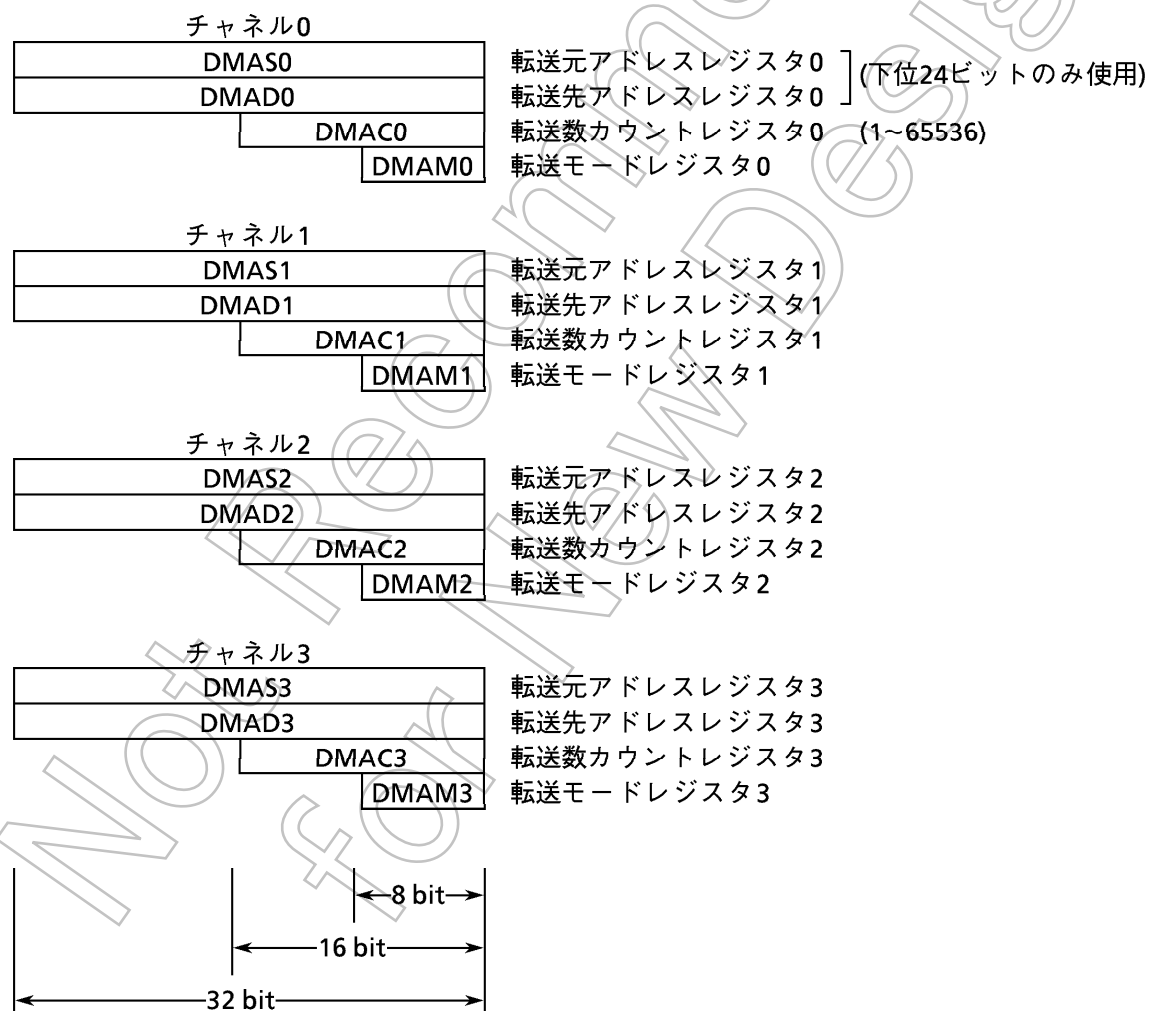


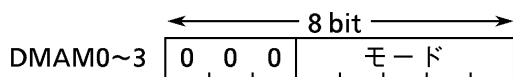
図3.3 (3) マイクロDMA専用レジスタ



(4) 転送モードレジスタ詳細説明

マイクロDMA転送モードは、転送モードレジスタDMAM0~3で設定します。表3.3 (3)に各モードの設定と実行ステート数を示します。

表3.3 (3) マイクロDMAの転送モード



(注) このレジスタに値を設定するとき、上位3ビットには“0”をライトしてください

		転送バイト数	モード内容	実行ステート数 (※)	最小実行時間 @ fc = 25 MHz
000 (固定)	000	00	バイト転送 転送先アドレスINCモード ..... I/O to メモリ用	8ステート	640 ns
		01	ワード転送 (DMADn+) ← (DMASn) DMACn ← DMACn - 1	12ステート	960 ns
		10	4バイト転送 if DMACn = 0 then INTTCn発生		
	001	00	バイト転送 転送先アドレスDECモード ..... I/O to メモリ用	8ステート	640 ns
		01	ワード転送 (DMADn-) ← (DMASn) DMACn ← DMACn - 1	12ステート	960 ns
		10	4バイト転送 if DMACn = 0 then INTTCn発生		
	010	00	バイト転送 転送元アドレスINCモード ..... メモリ to I/O用	8ステート	640 ns
		01	ワード転送 (DMADn) ← (DMASn+) DMACn ← DMACn - 1	12ステート	960 ns
		10	4バイト転送 if DMACn = 0 then INTTCn発生		
	011	00	バイト転送 転送元アドレスDECモード ..... メモリ to I/O用	8ステート	640 ns
		01	ワード転送 (DMADn) ← (DMASn-) DMACn ← DMACn - 1	12ステート	960 ns
		10	4バイト転送 if DMACn = 0 then INTTCn発生		
100	00	バイト転送 アドレス固定モード ..... I/O to I/O用	8ステート	640 ns	
	01	ワード転送 (DMADn) ← (DMASn) DMACn ← DMACn - 1	12ステート	960 ns	
	10	4バイト転送 if DMACn = 0 then INTTCn発生			
101	00	カウンタモード ..... 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn - 1 if DMACn = 0 then INTTCn発生	5ステート	400 ns	

(※) 外部16ビットバス幅、0ウェイトで、ワード/4バイト転送モードでは、ソース/デスティネーションとも偶数のアドレスの場合です。

(注) n: 対応するマイクロDMAチャンネル0~3

DMADn+/DMASn+: ポストインクリメント (転送後、レジスタの値をインクリメント)

DMADn-/DMASn-: ポストデクリメント (転送後、レジスタの値をデクリメント)

表中のI/Oとは固定されたアドレス、メモリとはINC, DECされるアドレスを意味します。

転送モードレジスタへは、上記以外の未定義のコードを設定しないでください。

### 3.3.3 割り込みコントローラの制御

図3.3(4)に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホールド解除回路(ホールドについては、「3.4スタンバイ機能」を参照してください)を示しています。

割り込みコントローラには、NMI、INT0~5、INTTC0~3の合計11本の割り込みチャンネルがあります。それぞれのチャンネルは、

- 割り込み要求用フリップフロップ(11チャンネル)
- 割り込み優先順位設定レジスタ(INT0~5、INTTC0~3の10チャンネル)

を持っています。

さらに、マイクロDMA処理を行うための起動ベクタレジスタが4チャンネルあります。

#### (1) 割り込み要求用フリップフロップ

割り込み要求用フリップフロップは、周辺からの割り込み要求をラッチするためのものです。NMI以外のチャンネルは、それぞれ割り込み要求をクリアするためのビット<IxxC>を持っています(図3.3(5)割り込み優先順位設定レジスタ参照)。このフリップフロップは、次の動作により“0”にクリアされます。

- リセット動作
- 割り込みが受け付けられて、その割り込みチャンネルのベクタが、CPUにリードされたとき
- マイクロDMA要求が、CPUに受け付けられたとき
- 受け付けられたチャンネルの割り込みを、クリアする命令(割り込み優先順位設定レジスタのクリアビット<IxxC>に“0”をライト)を実行したとき

命令により割り込み要求をクリアする場合、DI命令を実行した後、クリアビットに“0”をライトしてください。

例) INT0割り込み要求をクリアする場合のレジスタ設定

	MSB	LSB							
	7	6	5	4	3	2	1	0	
INTE01 ←	-	-	-	-	0	-	-	-	INT0の割り込み要求用フリップフロップをゼロクリア

(注) - : no change

また、クリアビット<IxxC>をリードすると、割り込み要求フリップフロップの状態が読み出され、各割り込みチャンネルごとの割り込み要求の有無を知ることができます。ただし、NMI割り込みチャンネルの割り込み要求用フリップフロップは、読み出すことができません。

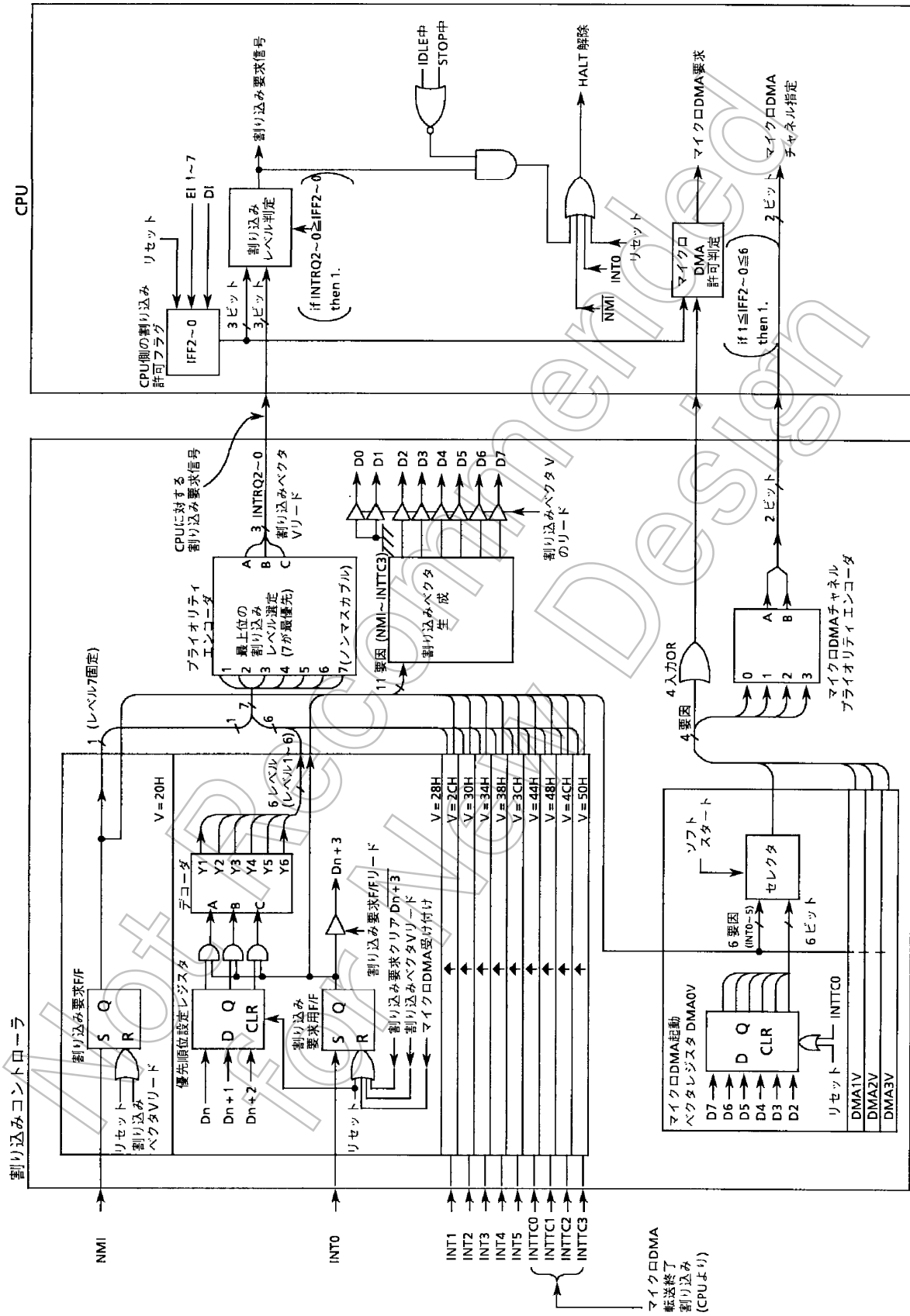


図3.3(4) 割り込みコントローラブロック図

(2) 割り込み優先順位設定レジスタ

図3.3 (5) に、割り込み優先順位設定レジスタを示します。10本の割り込みチャンネル (INT0~5、INTTC0~3) ごとに、割り込み要求レベル設定ビット <IxxM2~0> を備えています。割り込み要求を発生できる割り込みレベルは、1 から 6 までの 6 レベルです。書き込む優先順位レベルを “0” (または “7”) にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクブル割り込み (NMI端子入力) の優先順位レベルは “7” に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。

割り込み優先順位設定レジスタ

	7	6	5	4	3	2	1	0	
<b>INTE01 (0020H)</b> リード モディファイ ライトは できません。	bit Symbol	I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
	Read/Write	R/W	W			R/W	W		
	リセット後	0	0	0	0	0	0	0	0
	機能	INT1 要求フラグ	INT1の割り込み優先順位レベルの 設定			INT0 要求フラグ	INT0の割り込み優先順位レベルの 設定		
<b>INTE23 (0021H)</b> リード モディファイ ライトは できません。	bit Symbol	I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0
	Read/Write	R/W	W			R/W	W		
	リセット後	0	0	0	0	0	0	0	0
	機能	INT3 要求フラグ	INT3の割り込み優先順位レベルの 設定			INT2 要求フラグ	INT2の割り込み優先順位レベルの 設定		
<b>INTE45 (0022H)</b> リード モディファイ ライトは できません。	bit Symbol	I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
	Read/Write	R/W	W			R/W	W		
	リセット後	0	0	0	0	0	0	0	0
	機能	INT5 要求フラグ	INT5の割り込み優先順位レベルの 設定			INT4 要求フラグ	INT4の割り込み優先順位レベルの 設定		
<b>INTTC01 (0023H)</b> リード モディファイ ライトは できません。	bit Symbol	ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
	Read/Write	R/W	W			R/W	W		
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTC1 要求フラグ	INTTC1の割り込み優先順位レベルの 設定			INTTC0 要求フラグ	INTTC0の割り込み優先順位レベルの 設定		
<b>INTTC23 (0024H)</b> リード モディファイ ライトは できません。	bit Symbol	ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
	Read/Write	R/W	W			R/W	W		
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTC3 要求フラグ	INTTC3の割り込み優先順位レベルの 設定			INTTC2 要求フラグ	INTTC2の割り込み優先順位レベルの 設定		

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み優先順位レベルを、“1”に設定します。
0	1	0	割り込み優先順位レベルを、“2”に設定します。
0	1	1	割り込み優先順位レベルを、“3”に設定します。
1	0	0	割り込み優先順位レベルを、“4”に設定します。
1	0	1	割り込み優先順位レベルを、“5”に設定します。
1	1	0	割り込み優先順位レベルを、“6”に設定します。
1	1	1	割り込み要求を、禁止します。

IxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

図3.3 (5) 割り込み優先順位設定レジスタ

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位レベルの高い割り込み要求と、そのベクタアドレスをCPUへ送ります。

その後、CPUは、ステータスレジスタSRに設定された割り込みマスクレジスタ<IFF2~0>の値と、送られてきた割り込み要求の優先順位レベルを比較し、割り込み要求のレベルが高ければ、割り込みを受け付けます。そして、CPU側のSR<IFF2~0>に、受け付けた優先順位レベル「+1」の値をセットし、このセットされた値以上の割り込み要求だけが、多重に受け付けられる割り込みソースとなります。

### (3) マイクロDMA起動ベクタレジスタ

割り込みコントローラには、マイクロDMA起動ベクタレジスタ(4チャンネル)があります。この4チャンネルのレジスタに、マイクロDMA処理を行いたい割り込みソースの起動ベクタ(表3.3(2)参照)を書き込むことにより、該当する割り込み要求がマイクロDMA要求となります。この処理を行う場合、事前に、マイクロDMAパラメータ用レジスタ(DMAS、DMAD、DMAC、DMAM)に、値を設定しておく必要があります。図3.3(6)にマイクロDMA起動ベクタレジスタを示します。

マイクロDMA起動ベクタレジスタは、マイクロDMA処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロDMA起動ベクタを持つ割り込み要因をマイクロDMA起動要因として割り当てます。

マイクロDMA転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロDMA転送終了割り込み(INTTC0~3)が伝えられるとともに、マイクロDMA起動ベクタレジスタはクリアされ、そのチャンネルのマイクロDMA起動要因がクリアされます。従って、引き続きマイクロDMA処理をさせたい場合は、マイクロDMA転送終了割り込み処理の中で、再度マイクロDMA起動ベクタレジスタをセットする必要があります。

複数チャンネルのマイクロDMA起動ベクタレジスタに同一ベクタを設定した場合は、チャンネル番号の小さい方が優先して起動されます。この場合、チャンネル番号の最も小さいチャンネルがマイクロDMA転送終了になるまで実行され、終了割り込み処理の中で、マイクロDMA起動ベクタを再度設定しなければ、その後のマイクロDMA起動はチャンネル番号が次に小さいチャンネルに移行して行われます(この動作をマイクロDMAのチェーンと呼びます)。

マイクロDMA0 起動ベクタレジスタ

DMA0V (0026H) リード モディファイ ライトは できません。		7	6	5	4	3	2	1	0
	bit Symbol	DMA0V7	DMA0V6	DMA0V5	DMA0V4	DMA0V3	DMA0V2		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
	機能	マイクロDMAチャンネル0を起動する割り込み要因の設定							

マイクロDMA1 起動ベクタレジスタ

DMA1V (0027H) リード モディファイ ライトは できません。		7	6	5	4	3	2	1	0
	bit Symbol	DMA1V7	DMA1V6	DMA1V5	DMA1V4	DMA1V3	DMA1V2		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
	機能	マイクロDMAチャンネル1を起動する割り込み要因の設定							

マイクロDMA2 起動ベクタレジスタ

DMA2V (0028H) リード モディファイ ライトは できません。		7	6	5	4	3	2	1	0
	bit Symbol	DMA2V7	DMA2V6	DMA2V5	DMA2V4	DMA2V3	DMA2V2		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
	機能	マイクロDMAチャンネル2を起動する割り込み要因の設定							

マイクロDMA3 起動ベクタレジスタ

DMA3V (0029H) リード モディファイ ライトは できません。		7	6	5	4	3	2	1	0
	bit Symbol	DMA3V7	DMA3V6	DMA3V5	DMA3V4	DMA3V3	DMA3V2		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
	機能	マイクロDMAチャンネル3を起動する割り込み要因の設定							

マイクロDMA 起動要因の設定

マイクロDMAの起動要因	マイクロDMA 起動ベクタレジスタ設定値
INT0 割り込み	28H
INT1 割り込み	2CH
INT2 割り込み	30H
INT3 割り込み	34H
INT4 割り込み	38H
INT5 割り込み	3CH
マイクロDMAソフトスタート	FCH

図3.3 (6) マイクロDMA起動ベクタレジスタと起動要因の設定

(4) 外部割り込みの制御

表3.3 (4) に外部割り込み端子の機能設定を示します。TMP95C001は、外部割り込み機能のうち、NMI端子、INT0端子、INT5端子の3つの入力について動作モードを選択することができます(外部割り込み機能のパルス幅については「4.5 割り込みオペレーション」を参照してください)。

表3.3 (4) 外部割り込み端子の機能設定

割り込み端子	モード	設定方法
NMI		立ち下がりエッジ IIMC<NMIREE> = 0
		立ち下がり/立ち上がり 両エッジ IIMC<NMIREE> = 1
INT0		立ち上がりエッジ IIMC<IOLE> = 0
		レベル IIMC<IOLE> = 1
INT1		立ち上がりエッジ
INT2		立ち上がりエッジ
INT3		立ち上がりエッジ
INT4		立ち上がりエッジ
INT5		立ち上がりエッジ IIMC<I5LE> = 0
		レベル IIMC<I5LE> = 1

NMI、INT0、INT5割り込みの入力モードの制御は、割り込み入力モードコントロールレジスタ IIMC の設定することにより行います。

図3.3 (7) に、割り込み入力モードコントロールレジスタを示します。

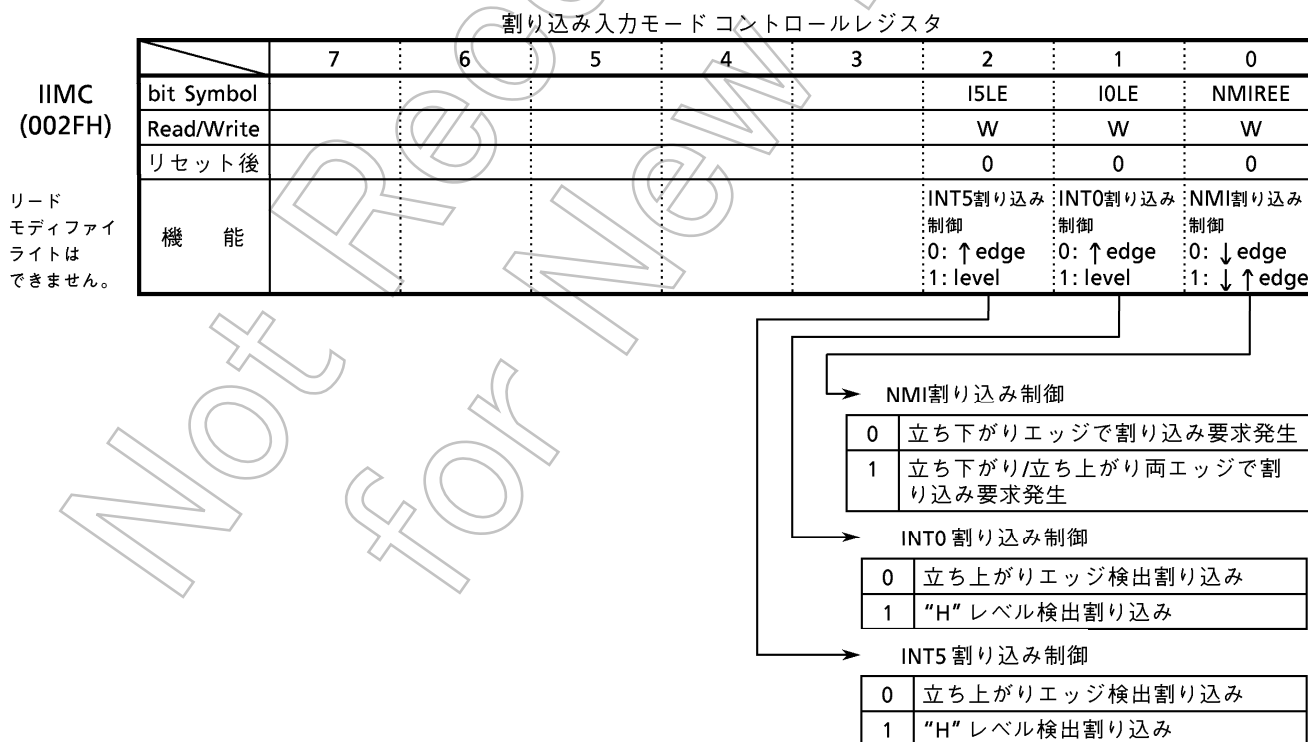


図3.3 (7) 割り込み入力モードコントロールレジスタ

## (5) 注意事項

割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグを、クリアする命令をフェッチした場合、CPUが割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令を実行するということがあります。

(注)

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI命令の後にクリアする命令を置くようにしてください。クリアする命令を実行した後、再びEI命令で割り込みをイネーブルにする時は、クリア命令後かならず1命令以上間をおいてからEI命令を実行してください。クリア命令後すぐにEI命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR命令により割り込みマスクレベル(ステータスレジスタSRの<IFF2-0>)を書き替えるときは、かならずDI命令により割り込みを禁止した後にPOP SR命令を実行してください。

割り込み機能を使用するうえで、以下のモードは例外の回路になっていますので注意が必要です。

INT0, INT5のレベルモード	<p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップのS入力を素通りし、Q出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INT0を“0”から“1”にすることによって、CPUが割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまでINT0を“1”のままにしておく必要があります。また、INT0のレベルモードをHALTの解除に使用する場合も、一度“0”から“1”にしたら、HALTが解除されるまで、かならず“1”に保持しておく必要があります。(ノイズによって、途中で“0”が入ることがないようにしてください)</p> <p>レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。</p> <pre>DI LD (HMC), 00H ; レベルからエッジへ切り替える LD (INTE01), 00H ; 割り込み要求フラグをクリア EI</pre> <p>※ INT5 (コントロールレジスタ INTE45) も同様の操作を行ってください。</p>
-------------------	--

(注) 下記の命令、および、端子入力の変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0, INT5 : エッジモードで割り込み要求発生後のレベルモードへの切り替え命令  
レベルモードでの割り込み要求発生後の端子入力変化(“H”レベル → “L”レベル)



3.4 スタンバイ機能

(1) ホールトモード

TMP95C001は、HALT命令を実行すると、スタンバイモードコントロールレジスタSTMOD <HALTM1, 0>の設定によりRUN、IDLE、STOPのいずれかのホールトモードになります。図3.4(1)にスタンバイモードコントロールレジスタを示します。

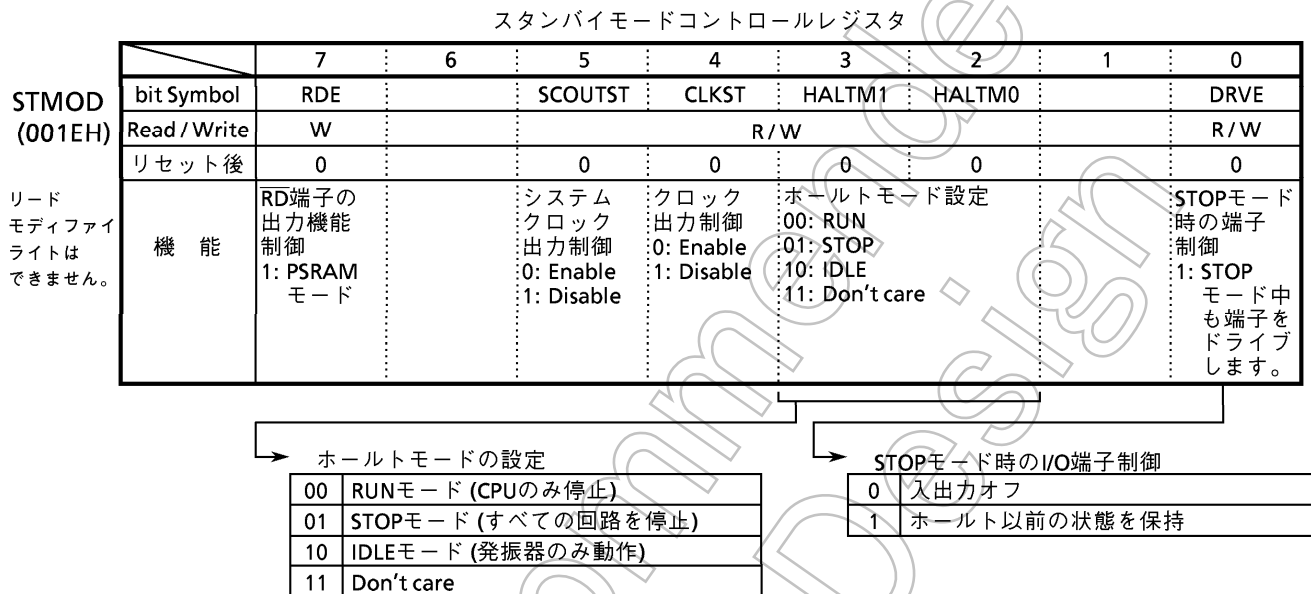


図3.4(1) スタンバイモードコントロールレジスタ

RUN、IDLE、STOPモードの特長は、下記のとおりです。

- ① **RUN** : CPUのみ停止するモードで、消費電力はCPU動作時とほとんど変わりません。
- ② **IDLE** : 内部発振器だけ動作し、他の回路はすべて停止します。  
このモードでは、消費電力は動作時の1/10以下になります。
- ③ **STOP** : 内部発振器も含めて、すべての内部回路が停止します。  
このモードでは、消費電力は著しく低減されます。

ホールト状態での各ブロックの動作を表3.4(1)に示します。

表3.4(1) ホールト状態での各ブロックと入出力端子の動作

ホールトモード		RUN	IDLE	STOP
STMOD <HALTM1, 0>		00	10	01
ブ ロ ッ ク	CPU	停止		
	割り込みコントローラ	動作		
入出力機能				表3.4(3)参照

## (2) ホールト状態からの解除

これらのホールト状態からの解除は、外部割り込み端子からの割り込み要求、またはリセットによって行われます。使用できるホールト解除ソースは、割り込みマスクレジスタ<IFF2~0>の状態と、ホールトモードにより決まります。詳細を表3.4(2)に示します。

INT0によるホールト解除を行った場合、割り込み要求レベルが割り込みマスクレジスタの値より小さいとき、CPUはINT0の割り込み処理を行いません。

なお、INT0以外でのマイクロDMA起動によるホールト解除はできません。

注) 通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間(X1約3クロックの間)に、ホールトモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールトが解除できない場合があります(割り込み要求は内部に保留されます)。ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

表3.4(2) ホールト解除ソースとホールト解除の動作

割り込み要求レベルに対する 割り込みマスクの設定状態			割り込み要求レベル			割り込み要求レベル※		
			≧ 割り込みマスク<IFF2~0>			< 割り込みマスク<IFF2~0>		
ホールトモード			RUN	IDLE	STOP	RUN	IDLE	STOP
ホールト解除 ソース	割り 込み	NMI*	◎	◎	×	◎	◎	×
		INT0	◎	◎	×	○	○	×
		INT1~5	◎	×	×	×	×	×
	RESET*	◎	◎	◎	◎	◎	◎	

◎ : ホールト解除後、割り込み処理を開始します(RESETはLSIを初期化します)。

○ : ホールト解除後、ホールト命令の次の番地から処理を開始します。

× : ホールト解除に使用できません。

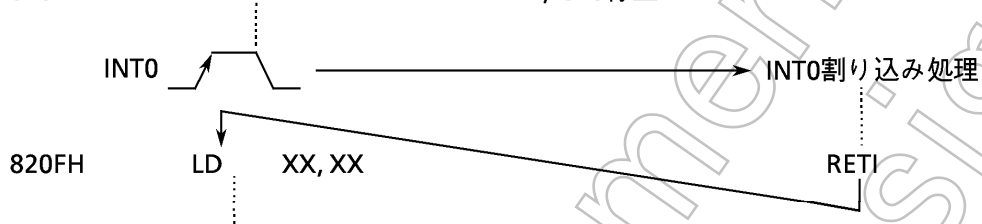
※ : ホールト命令が実行される以前に、DI命令により割り込みマスクレベルが"7"に設定された場合も含まれます。

\* : NMI, RESETによるホールト解除は、割り込みマスクレベルには影響されません。

(ホールド状態からの解除例)

“HALT”命令の実行により、RUNモードのホールド状態で待機しているとき、INT0 割り込み (エッジモード) でホールドの解除を行う場合。

アドレス			
8203H	LD	(IIMC), 00H	; INT0 割り込み立ち上がりエッジを選択
8206H	LD	(INTE01), 06H	; INT0 割り込みレベルを 6 に設定
8209H	EI	5	; CPU割り込みレベルを 5 に設定
820BH	LD	(STM0D), 00H	; RUNモードに設定
820EH	HALT		; CPU停止



Not Recommended for New Design

## (3) 各モードごとの動作

## ① RUNモード

RUNモードでは、HALT命令実行後もMCU内部のシステムクロックは停止せず、CPUの命令実行動作だけが停止します。従って、ホールド状態が解除されるまで、CPUはダミーサイクルを繰り返します。

ホールド状態での割り込み要求のサンプリングは、「CLK」信号の立ち下がりで行われます。

なお、RUNモードでは、外部割り込み (INT0、INT1~5、NMI)、および、リセットにより、ホールド解除ができます。ただし、INT1~5の割り込み要求レベルが割り込みマスク <IFF2~0> より小さいときは、INT1~5によるホールド解除はできません。

図3.4(2)に、割り込みによるRUNモードの解除のタイミングを示します。

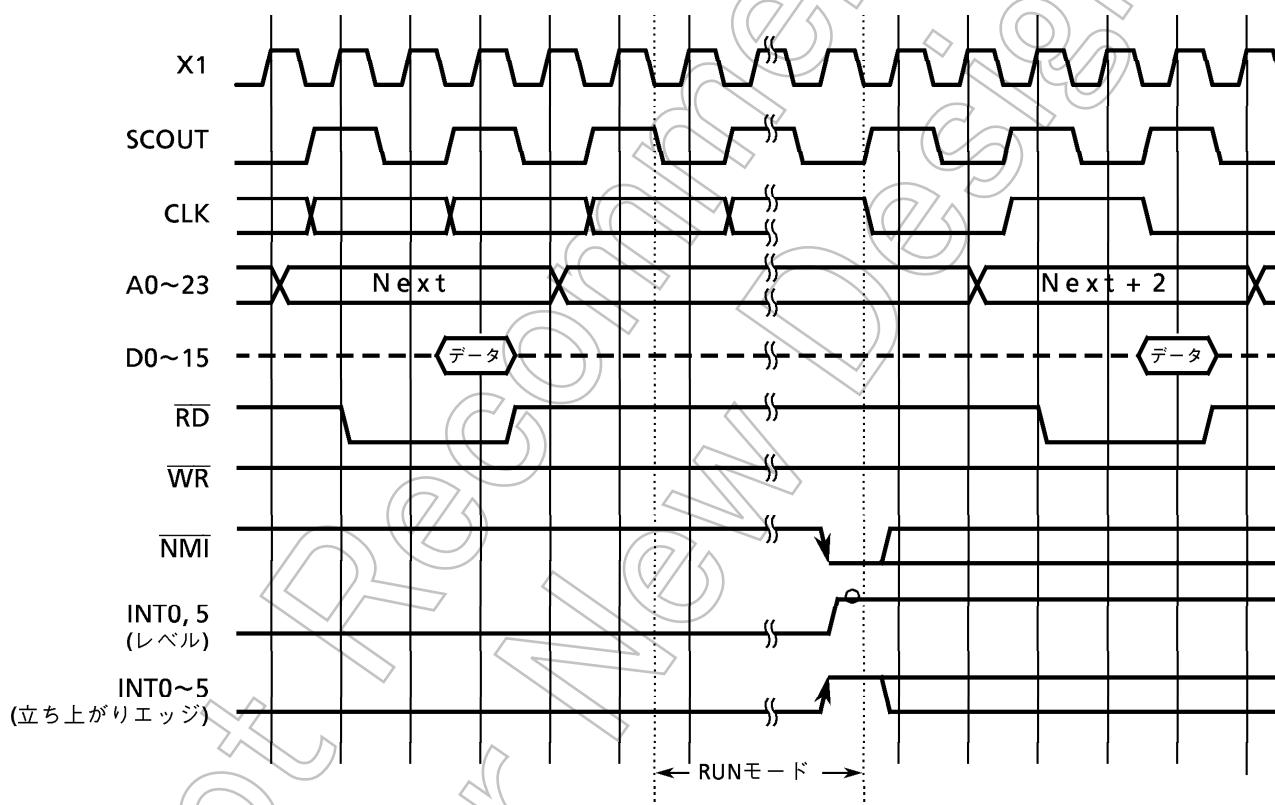


図3.4(2) 割り込みによるRUNモードの解除のタイミング

## ② IDLEモード

IDLEモードでは、内部発振器のみ動作し、MCU内部のシステムクロックは停止し、「CLK」端子は“1”に固定されます。

ホールド状態での、割り込み要求のサンプリングは、システムクロックとは非同期に行われますが、解除(動作の再開)は同期して行われます。

なお、IDLEモードでは、外部割り込み(NMI、INT0)とリセットのみ、ホールド解除ができます。

図3.4(3)に、割り込みによるIDLEモードの解除のタイミングを示します。

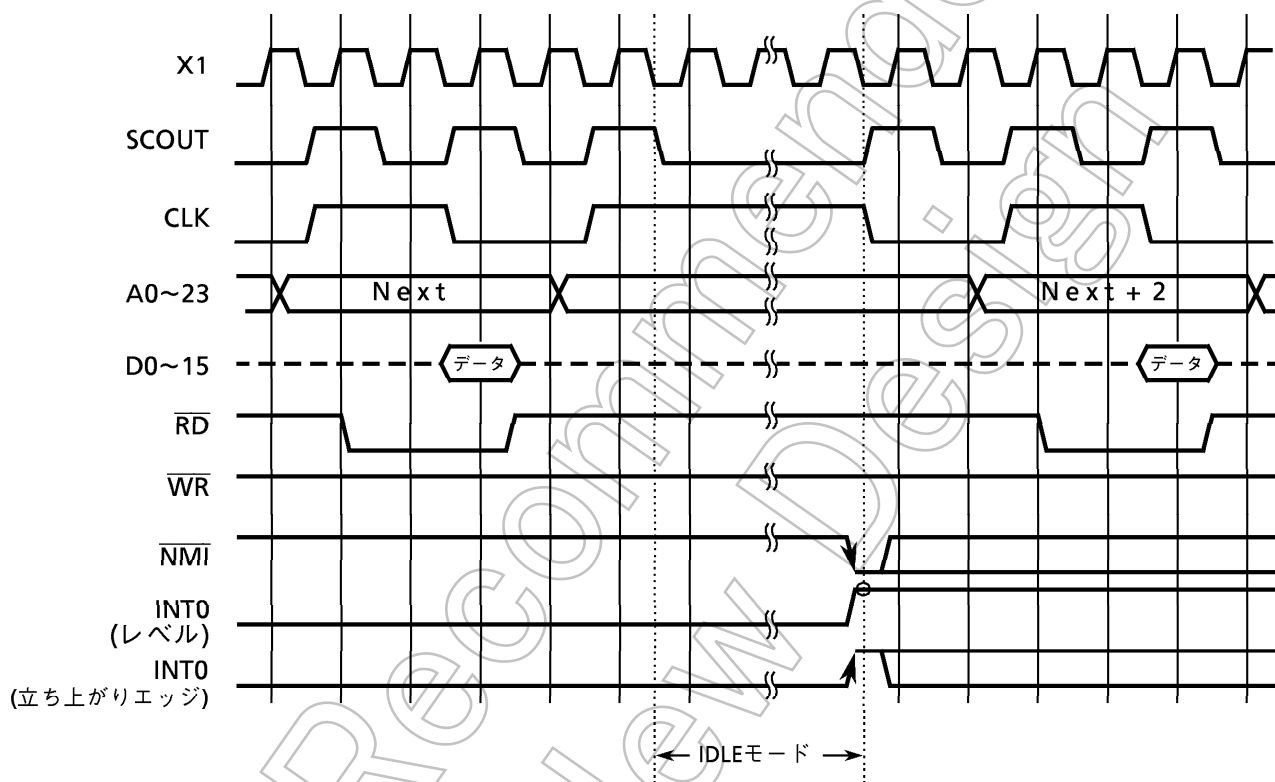


図3.4(3) 割り込みによるIDLEモードの解除のタイミング

## ③ STOPモード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモードでの端子状態は、**STMOD<DRVE>**の設定により異なります(**STMOD<DRVE>**の設定については図3.4(1)を参照してください)。

STOPモード時の端子状態を表3.4(3)に示します。

なお、STOPモードでは、リセットによってホールドの解除ができます。リセットによるホールド解除を行う場合には、リセット入力レベルを**3 ms**以上“0”の状態に保ってください。なお、**STMOD<DRVE>**は、リセットにより“0”に初期化されます。

STOPモードのスタンバイ状態のときに**INT0, NMI**割り込みが入らないようにしてください。

図3.4(4)に、リセットによるSTOPモードの解除のタイミングを示します。

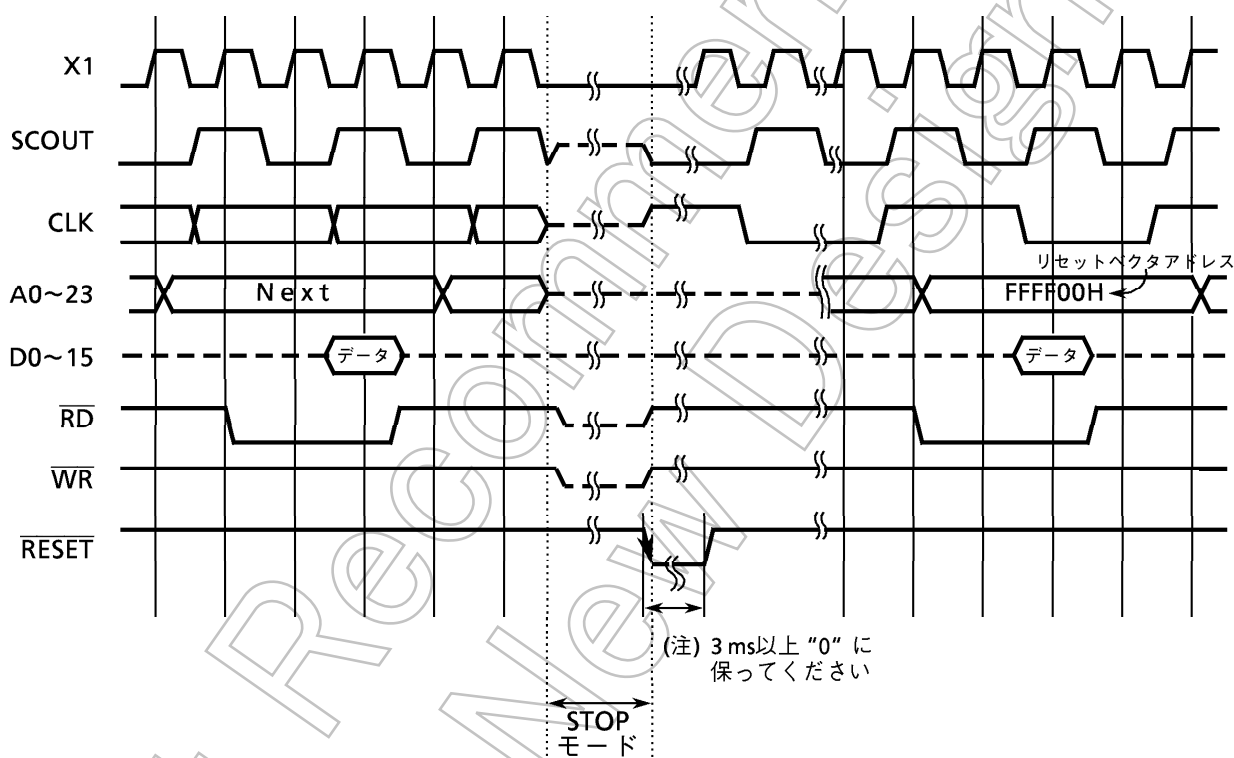


図3.4(4) リセットによるSTOPモードの解除のタイミング  
(**STMOD <DRVE> = 0**の場合)

表3.4 (3) STOPモード時の端子状態

ピン名称	入力/出力	<DRVE> = 0	<DRVE> = 1
D0~D15	入力/出力	Hi-Z*	Hi-Z*
A0~A23	出力	Hi-Z	出力
RD, WR, HWR, BUSAK, R/W	出力	Hi-Z	出力
SCOUT	出力	Hi-Z	"0"
BUSRQ, WAIT	入力	無効	◎
INT0	入力	◎	◎
INT1~5	入力	無効	◎
NMI	入力	◎	◎
CLK	出力	Hi-Z	"1"
RESET	入力	有効	有効
AM 8/16	入力	◎	◎
X1	入力	無効	無効
X2	出力	"1"	"1"

出力 : ホールト以前の出力状態になっています。

\* : 入力ゲートがディセーブルになっているため、ハイインピーダンスに設定されても貫通電流は流れません。

◎ : 外部よりドライブする必要があります。

有効 : 入力が有効です。

無効 : 入力が無効になります。入力ゲートはがディセーブルになっているため貫通電流は流れません。

### 3.5 ウェイトコントローラ

TMP95C001は、任意の4ブロックのアドレス空間(CS0~CS3空間)を設定し、各アドレス空間(CS0~CS3空間と、それ以外のアドレス空間)に対して、データバス幅、および、ウェイト数を指定することができます。

CS0~CS3空間の指定は、メモリスタートアドレスレジスタMSAR0~MSAR3と、メモリアドレスマスクレジスタMAMR0~MAMR3の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数は、ウェイトコントロールレジスタB0CS~B3CS、BEXCSで指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子(WAIT)、および、外部データバスの選択端子(AM8/16)があります(「3.1.2外部データバス幅選択機能」を参照してください)。

#### 3.5.1 アドレス空間指定

CS0~CS3空間の指定は、スタートアドレスレジスタMSAR0~MSAR3と、メモリアドレスマスクレジスタMAMR0~MAMR3により行います。

バスサイクルごとに、バス上のアドレスをCS0~CS3空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定されたCS空間がアクセスされたと判断し、ウェイトコントロールレジスタB0CS~B3CSで設定した動作を実行します(「3.5.2ウェイトコントロールレジスタ」を参照してください)。



(1) メモリスタートアドレスレジスタ

図3.5(1)に、メモリスタートアドレスレジスタを示します。メモリスタートアドレスレジスタMSAR0~MASR3は、CS0~CS3空間のスタートアドレスを設定するレジスタです。<S23~16>には、スタートアドレスの上位8ビット(A23~A16)を設定します。また、スタートアドレスの下位16ビット(A15~A0)には常に“0”が設定されています。従って、スタートアドレスは、000000Hから64Kバイトごとの値になります。図3.5(2)に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ (CS0~CS3空間)

		7	6	5	4	3	2	1	0	
MSAR0 (0034H)	MSAR1 (0036H)	bit Symbol	S23	S22	S21	S20	S19	S18	S17	S16
		Read/Write	R/W							
MSAR2 (0038H)	MSAR3 (003AH)	リセット後	1	1	1	1	1	1	1	1
		機能	スタートアドレス A23~A16設定							

→ CS0~CS3空間のスタートアドレス設定

図3.5(1) メモリスタートアドレスレジスタ

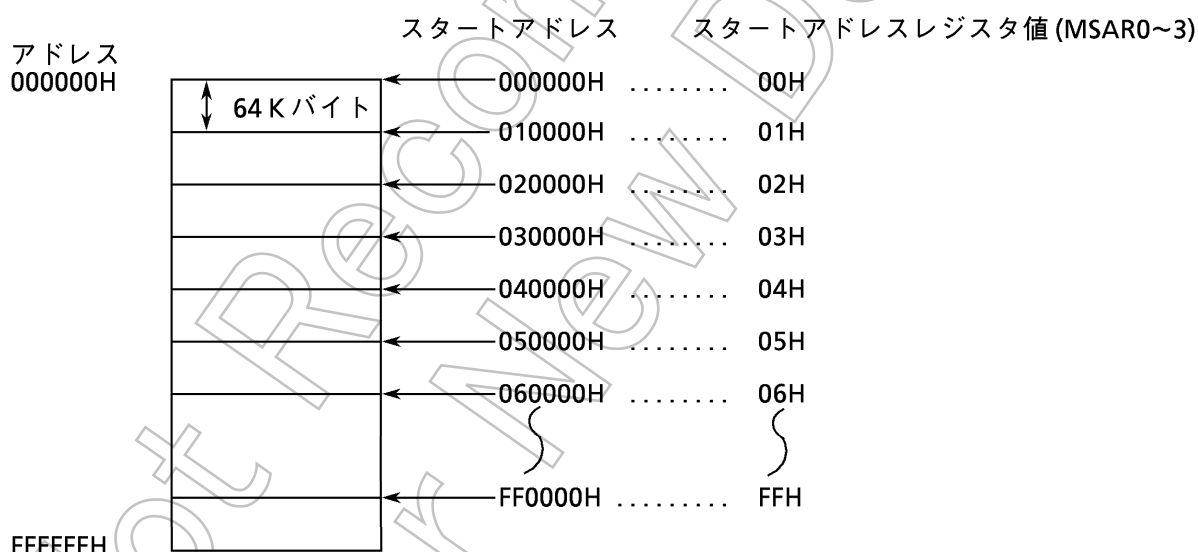


図3.5(2) スタートアドレスとスタートアドレスレジスタ値の関係

## (2) メモリアドレスマスクレジスタ

図3.5 (3) に、メモリアドレスマスクレジスタを示します。メモリアドレスマスクレジスタ MAMR0~MAMR3は、メモリストートアドレスレジスタで設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0~CS3空間サイズを設定しています。“0”をライトしたビットに対応するバス上のアドレスが、CS0~CS3空間の領域かどうかの比較対照となります。

また、CS0~CS3空間は、それぞれMAMR0~MAMR3によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0空間)

	7	6	5	4	3	2	1	0
bit Symbol	V20	V19	V18	V17	V16	V15	V14~9	V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS0空間サイズ設定 0: アドレス比較対照							

CS0空間は、最小256バイトエリアから、最大2Mバイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1空間)

	7	6	5	4	3	2	1	0
bit Symbol	V21	V20	V19	V18	V17	V16	V15~9	V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS1空間サイズ設定 0: アドレス比較対照							

CS1空間は、最小256バイトエリアから、最大4Mバイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3空間)

	7	6	5	4	3	2	1	0
bit Symbol	V22	V21	V20	V19	V18	V17	V16	V15
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS2、CS3空間サイズ設定 0: アドレス比較対照							

CS2、および、CS3空間は、最小32Kバイトから、最大8Mバイトエリアを設定できます。

図3.5 (3) メモリアドレスマスクレジスタ

(3) メモリスタートアドレス、アドレス空間の設定方法

図3.5(4)に、CS0空間を用いて010000Hから始まる64Kバイトの空間を指定する場合を例として説明します。

MSAR0<S23~16>にスタートアドレスの上位8ビットに相当する“01H”を設定します。次に、CS0の空間サイズをもとに想定した終了アドレス(01FFFFH)と、スタートアドレスとの差を、計算により求めます。この結果のビット20~8は、CS0空間を指定する際の、マスク値に相当します。この値をMAMRO<V20~8>に設定することで、空間サイズを設定できます。

この例では、MAMROに“07H”を設定し、64Kバイト空間を指定しています。

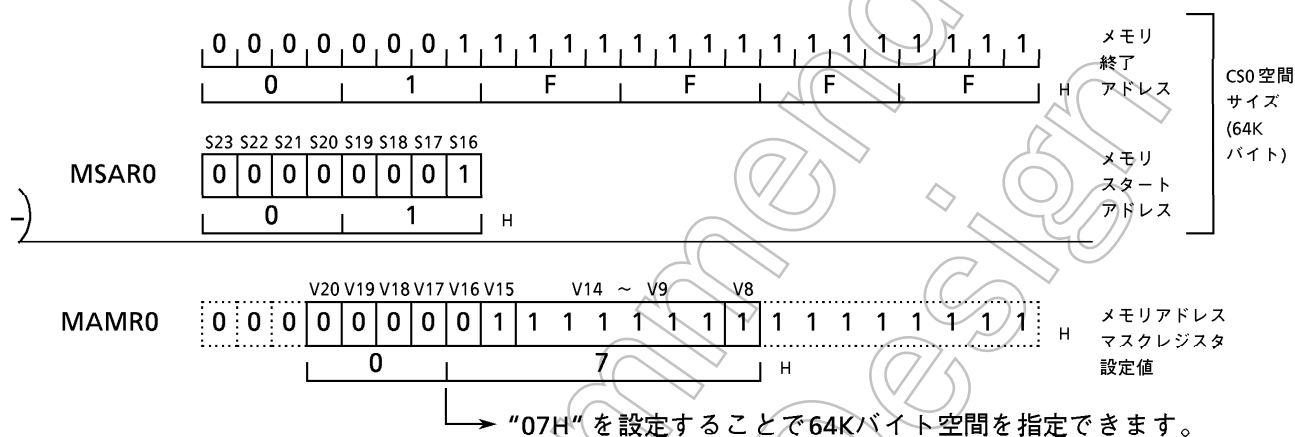


図3.5 (4) CS0空間の設定例

なお、リセット後MSAR0~3、および、MAMRO~3は“FFH”にセットされます。また、リセット後、B0CS<B0E>、B1CS<B1E>、B3CS<B3E>は、“0”にリセットされるため、CS0、CS1、CS3空間は、ディセーブルになります。ただし、B2CS<B2M>は“0”にリセットされ、B2CS<B2E>は“1”にセットされるため、CS2空間は、000040H~FFFFFFH (16Mバイト)の空間でイネーブルになります。また、指定されたCS0~3空間以外のアドレスでは、BEXCSで指定されたバス幅、および、ウェイトにより動作します(「3.5.2 ウェイトコントロールレジスタ」を参照してください)。

(4) アドレス空間サイズ指定

表3.5 (2) に、CS空間と空間サイズの関係を示します。△は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。△で示す組み合わせを用いて、空間サイズを設定する場合、000000Hから希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2空間を16M空間に設定、または、2つ以上のアドレス空間を重ねて設定した場合には、CS空間番号の小さい方が優先的に選択されます。

また、設定したアドレス空間と内蔵I/Oエリアとが重なった場合は、内蔵I/Oエリアとしての動作が優先されます。

(例) CS0空間を128Kバイトエリアに設定する場合

① 設定できるスタートアドレス

000000H ) 128Kバイト  
 020000H ) 128Kバイト  
 040000H ) 128Kバイト  
 060000H ) 128Kバイト  
 ⋮

この場合、いずれのスタートアドレスも設定可能です。

② 設定できないスタートアドレス

000000H ) 64Kバイト  
 010000H ) 128Kバイト  
 030000H ) 128Kバイト  
 050000H ) 128Kバイト  
 ⋮

← 設定サイズ以外のサイズステップであり、このケースでは、以降のスタートアドレスは、希望の空間サイズを設定できません。

表3.5 (2) CS空間と空間サイズ

CS空間 \ サイズ [バイト]	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	△	△	△	△	△		
CS1	○	○		○	△	△	△	△	△	△	
CS2			○	○	△	△	△	△	△	△	△
CS3			○	○	△	△	△	△	△	△	△

3.5.2 ウェイトコントロールレジスタ

図3.5(5)に、ウェイトコントロールレジスタを示します。各アドレス空間(CS0~CS3空間と、それ以外のアドレス空間)は、それぞれのウェイトコントロールレジスタB0CS~B3CS、BEXCSにより、マスタイネーブル/ディセーブル、データバス幅選択、ウェイト数設定を行うことができます。

ウェイトコントロールレジスタ

		7	6	5	4	3	2	1	0	
B0CS (0030H)	bit Symbol	B0E			B0BUS		B0W2	B0W1		B0W0
	Read/Write	W			W		W			
	リセット後	0			0		0	0		0
	機能	0: Disable 1: Enable			データバス幅 選択 0: 16 BIT 1: 8 BIT		ウェイト数設定 000: 2 WAIT 100: 0 + N WAIT 001: 1 WAIT 101 } 設定しない 010: 1 WAIT + N 110 } ください 011: 0 WAIT 111 }			
B1CS (0031H)	bit Symbol	B1E			B1BUS		B1W2	B1W1		B1W0
	Read/Write	W			W		W			
	リセット後	0			0		0	0		0
	機能	0: Disable 1: Enable			データバス幅 選択 0: 16 BIT 1: 8 BIT		ウェイト数設定 000: 2 WAIT 100: 0 + N WAIT 001: 1 WAIT 101 } 設定しない 010: 1 WAIT + N 110 } ください 011: 0 WAIT 111 }			
B2CS (0032H)	bit Symbol	B2E	B2M		B2BUS		B2W2	B2W1		B2W0
	Read/Write	W	W		W		W			
	リセット後	1	0		0		0	0		0
	機能	0: Disable 1: Enable	CS2空間選択 0: 16M 空間 1: CS空間		データバス幅 選択 0: 16 BIT 1: 8 BIT		ウェイト数設定 000: 2 WAIT 100: 0 + N WAIT 001: 1 WAIT 101 } 設定しない 010: 1 WAIT + N 110 } ください 011: 0 WAIT 111 }			
B3CS (0033H)	bit Symbol	B3E			B3BUS		B3W2	B3W1		B3W0
	Read/Write	W			W		W			
	リセット後	0			0		0	0		0
	機能	0: Disable 1: Enable			データバス幅 選択 0: 16 BIT 1: 8 BIT		ウェイト数設定 000: 2 WAIT 100: 0 + N WAIT 001: 1 WAIT 101 } 設定しない 010: 1 WAIT + N 110 } ください 011: 0 WAIT 111 }			
BEXCS (003FH)	bit Symbol				BEXBUS		BEXW2	BEXW1		BEXW0
	Read/Write				W		W			
	リセット後				0		0	0		0
	機能				データバス幅 選択 0: 16 BIT 1: 8 BIT		ウェイト数設定 000: 2 WAIT 100: 0 + N WAIT 001: 1 WAIT 101 } 設定しない 010: 1 WAIT + N 110 } ください 011: 0 WAIT 111 }			

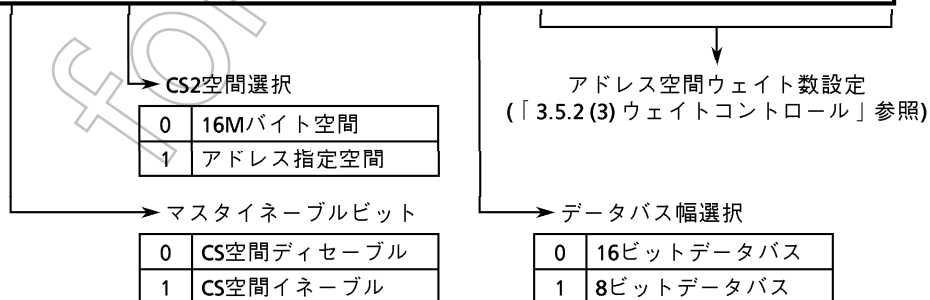


図3.5(5) ウェイトコントロールレジスタ

## (1) マスタイネーブルビット

ウェイトコントロールレジスタのビット7(<B0E>、<B1E>、<B2E>、<B3E>)は、各アドレス空間のイネーブル/ディセーブルを指定するマスタビットです。このビットを“1”にするとイネーブルになります。リセットにより、<B0E>、<B1E>、<B3E>はディセーブル“0”、<B2E>はイネーブル“1”になります(リセット動作によりCS2空間のみイネーブルになります)。

## (2) データバス幅選択

ウェイトコントロールレジスタのビット3(<B0BUS>、<B1BUS>、<B2BUS>、<B3BUS>、<BEXBUS>)は、データバス幅を指定するビットです。このビットを“0”にすると、16ビットデータバスのモードでメモリをアクセスします。“1”にすると、8ビットデータバスのモードでメモリをアクセスします。

ただし、このビットは、16ビットバスモード (AM8/16端子が“0”) のときのみ有効です。8ビットバスモード (AM8/16端子が“1”) のときは、これらのビット設定にかかわらず、すべてのアドレス空間に対して、8ビットのデータバスのモードでメモリをアクセスします(「3.1.2 外部データバス幅選択機能」を参照してください)。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。このバス動作の詳細を表3.5(3)に示します。

表3.5(3) ダイナミックバスサイジング

オペランド データ幅	オペランド スタート番地	メモリ側 データ幅	CPU アドレス	CPUデータ	
				D15 - D8	D7 - D0
8ビット	2n+0 (偶数)	8ビット	2n+0	xxxxx	b7 - b0
		16ビット	2n+0	xxxxx	b7 - b0
	2n+1 (奇数)	8ビット	2n+1	xxxxx	b7 - b0
		16ビット	2n+1	b7 - b0	xxxxx
16ビット	2n+0 (偶数)	8ビット	2n+0	xxxxx	b7 - b0
			2n+1	xxxxx	b15 - b8
	16ビット	2n+0	b15 - b8	b7 - b0	
		2n+1	8ビット	2n+1	xxxxx
	2n+1 (奇数)	8ビット	2n+1	xxxxx	b15 - b8
		16ビット	2n+1	b7 - b0	xxxxx
32ビット	2n+0 (偶数)	8ビット	2n+0	xxxxx	b7 - b0
			2n+1	xxxxx	b15 - b8
			2n+2	xxxxx	b23 - b16
			2n+3	xxxxx	b31 - b24
		16ビット	2n+0	b15 - b8	b7 - b0
			2n+2	b31 - b24	b23 - b16
	2n+1 (奇数)	8ビット	2n+1	xxxxx	b7 - b0
			2n+2	xxxxx	b15 - b8
			2n+3	xxxxx	b23 - b16
			2n+4	xxxxx	b31 - b24
		16ビット	2n+1	b7 - b0	xxxxx
			2n+2	b23 - b16	b15 - b8
	2n+4	xxxxx	b31 - b24		

xxxxx : リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスが高インピーダンスで、そのバスのライトストロープ信号はノンアクティブのままであることを示します。

## (3) ウェイトコントロール

ウェイトコントロールレジスタのビット2~0(<B0W2~0>、<B1W2~0>、<B2W2~0>、<B3W2~0>、<BEXW2~0>)は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は、設定しないでください。

## 000 … 2WAIT

$\overline{\text{WAIT}}$ 端子の状態に関係なく、2ステート分のウェイトが挿入されます。

## 001 … 1WAIT

$\overline{\text{WAIT}}$ 端子の状態に関係なく、1ステート分のウェイトが挿入されます。

## 010 … 1WAIT+N

1ステート分のウェイトを挿入した後、 $\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が“L”レベルならウェイトを挿入し続け、端子が“H”レベルになるまでそのバスサイクルを引き延ばします。

## 011 … 0WAIT

$\overline{\text{WAIT}}$ 端子の状態に関係なく、ウェイトなしで、そのバスサイクルを完了します。

## 100 … 0+NWAIT

常に $\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が“L”レベルならウェイトを挿入し続け、端子が“H”レベルになるまでそのバスサイクルを引き延ばします。

0+NWAIT設定におけるN=0、1の場合のタイミング図を、図3.5(6)、(7)に示します。このとき、SCOUT端子の出力は、 $\overline{\text{WAIT}}$ 端子のサンプリングタイミングの目安として使用することができます。

0+NWAIT以外の設定時のタイミングについては、「第3章 TLCS-900/H CPU 7. 基本タイミング 図7(1)~(5)」を参照してください。

なお、リセットにより、これらのビットは“000”(2WAIT)になります。

## (4) CS0~CS3空間外バス幅ウェイトコントロール

ウェイトコントロールレジスタBEXCSは、任意の4ブロックアドレス空間(CS0~CS3空間)外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定はCS0~CS3空間外のエリアに対して、常にイネーブルです。

## (5) 16Mバイト空間/アドレス設定空間選択

B2CS<B2M>を“0”にすることにより、16Mバイト空間(000040H~FFFFFFH)で、CS2空間が選択されます。B2CS<B2M>を“1”にすると、CS0、CS1、CS3空間と同様に、スタートアドレスレジスタMSAR2、および、アドレスマスクレジスタMAMR2の設定エリアに従い、CS2空間が選択されます。リセットにより、このビットは“0”にクリアされ、16Mバイト空間が選択されます。

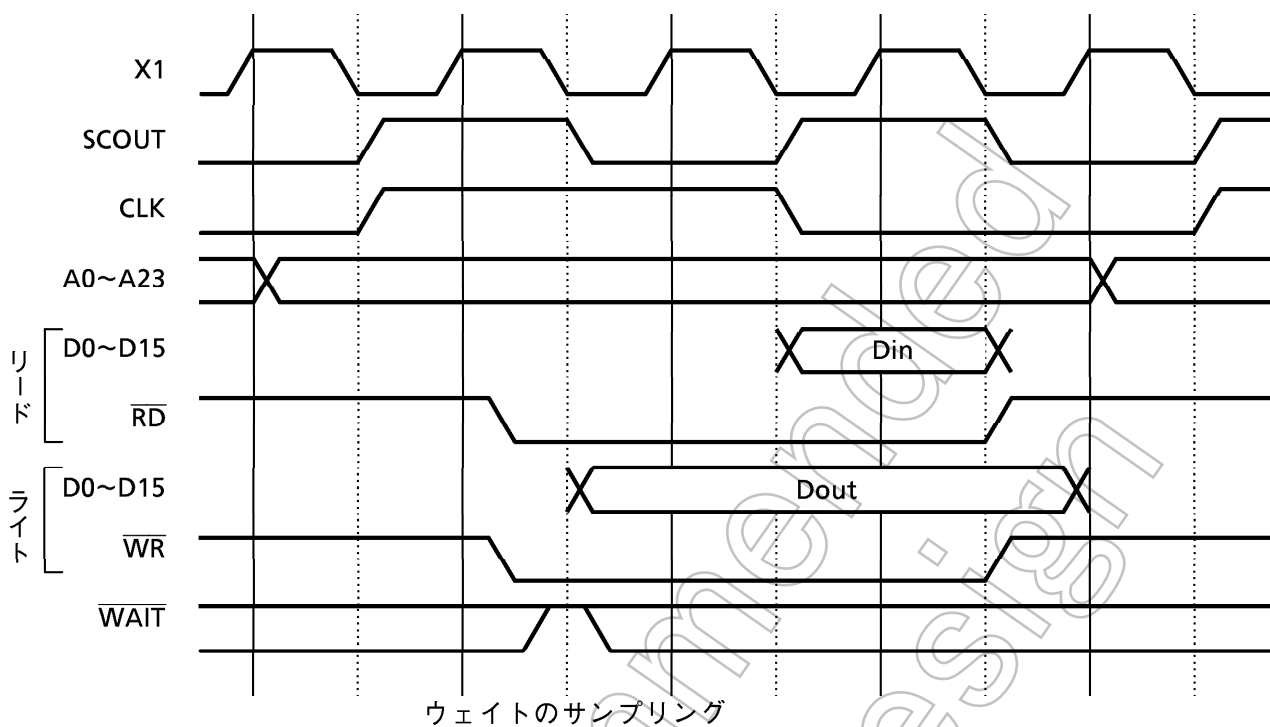


図3.5 (6) 0+NWAITのリード/ライトサイクル (N=0の場合)

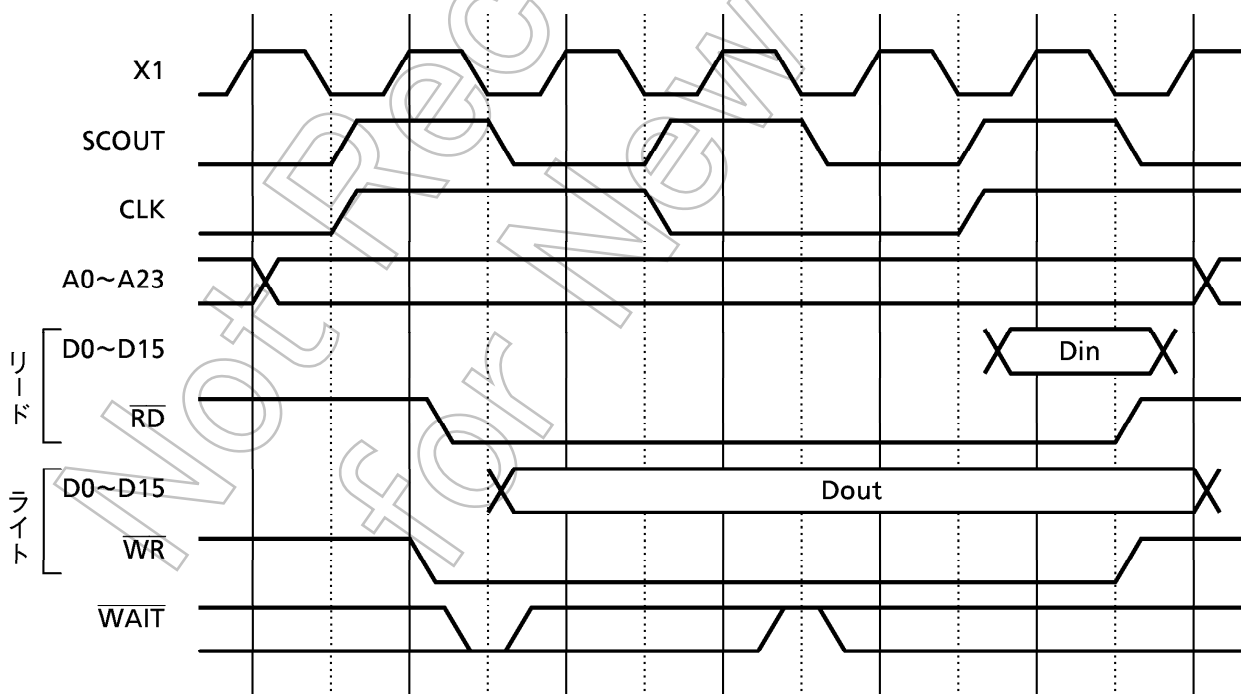


図3.5 (7) 0+NWAITのリード/ライトサイクル (N=1の場合)



## ウェイトコントローラ設定手順

CS0~CS3空間の設定をする場合、以下の手順でレジスタの設定を行ってください。

- ① メモリスタートアドレスレジスタ **MSAR0~MSAR3** の設定  
CS0~CS3空間のスタートアドレスを設定します。
- ② メモリアドレスマスクレジスタ **MAMR0~MAMR3** の設定  
CS0~CS3空間のサイズを設定します。
- ③ コントロールレジスタ **B0CS~B3CS** の設定  
CS0~CS3空間のバス幅、ウェイト数、マスタイネーブル/ディセーブルを設定します。

## (設定例)

CS0空間を、010000H~01FFFFH (64 Kバイト空間)、16ビットデータバス、0ウェイトに設定する場合

MSAR0=01H ..... スタートアドレス 010000H  
MAMR0=07H ..... アドレス空間 64 Kバイト  
B0CS=83H ..... 16ビットデータバス、0ウェイト、CS0空間設定イネーブル

### 3.6 バス解放機能

TMP95C001は、バス解放を行うためのバスリクエスト端子 ( $\overline{\text{BUSRQ}}$ )、および、バスアクノリッジ端子 ( $\overline{\text{BUSAK}}$ ) を持っています。

#### 3.6.1 動作説明

TMP95C001は、 $\overline{\text{BUSRQ}}$ 端子に“0”が入力されると、バス解放要求があると認識します。実行中のバスサイクルが終了すると、アドレスバス ( $\text{A0} \sim \text{A23}$ )、および、バスコントロール信号 ( $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{HWR}}$ 、 $\text{R}/\overline{\text{W}}$ ) を一度“H”レベルにしてから、これらの信号とデータバス ( $\text{D0} \sim \text{D15}$ ) の出力バッファをハイインピーダンス状態に設定し、 $\overline{\text{BUSAK}}$ 端子を“L”レベルにして、バスが解放されたことを示します。

なお、バス解放中は、本デバイスの内蔵I/Oレジスタへのアクセスはできませんが、内蔵I/Oとしてのファンクションは機能し続けます。

#### 3.6.2 バス解放時の端子状態

バス解放時の端子状態を表3.6に示します。

表3.6 バス解放時の端子状態

端子名	バス解放時の端子状態
D0 ~ D15	ハイインピーダンスになります。
A0 ~ A23 $\overline{\text{RD}}$ $\overline{\text{WR}}$ $\overline{\text{HWR}}$ $\text{R}/\overline{\text{W}}$	ハイインピーダンスになります。 (バス解放直前に一度“H”レベルになります)

## 4. 電気的特性

## 4.1 最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~+6.5	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> +0.5	V
出力電流 (合計)	$\Sigma I_{OL}$	+120	mA
出力電流 (合計)	$\Sigma I_{OH}$	-120	mA
消費電力 (Ta = +70°C)	P <sub>D</sub>	400	mW
はんだ付け温度 (10 s)	T <sub>SOLDER</sub>	+260	°C
保存温度	T <sub>STG</sub>	-65~+150	°C
動作温度	T <sub>OPR</sub>	-20~+70	°C

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

## 4.2 DC電気的特性

(1) V<sub>CC</sub> = +5 V ± 10%, Ta = -20~+70°C (fc = 8~25 MHz)

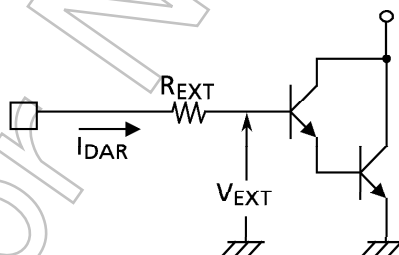
(Typ値はTa = +25°C, V<sub>CC</sub> = +5 Vの値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (D0~15)	V <sub>IL</sub>		-0.3	0.8	V
INT1~5, BUSRQ, WAIT	V <sub>IL1</sub>		-0.3	0.3 V <sub>CC</sub>	V
RESET, NMI, INTO	V <sub>IL2</sub>		-0.3	0.25 V <sub>CC</sub>	V
AM8/16	V <sub>IL3</sub>		-0.3	0.3	V
X1	V <sub>IL4</sub>		-0.3	0.2 V <sub>CC</sub>	V
Input High Voltage (D0~15)	V <sub>IH</sub>		2.2	V <sub>CC</sub> + 0.3	V
INT1~5, BUSRQ, WAIT	V <sub>IH1</sub>		0.7 V <sub>CC</sub>	V <sub>CC</sub> + 0.3	V
RESET, NMI, INTO	V <sub>IH2</sub>		0.75 V <sub>CC</sub>	V <sub>CC</sub> + 0.3	V
AM8/16	V <sub>IH3</sub>		V <sub>CC</sub> - 0.3	V <sub>CC</sub> + 0.3	V
X1	V <sub>IH4</sub>		0.8 V <sub>CC</sub>	V <sub>CC</sub> + 0.3	V
Output Low Voltage	V <sub>OL</sub>	I <sub>OL</sub> = 1.6 mA		0.45	V
Output High Voltage	V <sub>OH</sub>	I <sub>OH</sub> = -400 μA	2.4		V
	V <sub>OH1</sub>	I <sub>OH</sub> = -100 μA	0.75 V <sub>CC</sub>		V
	V <sub>OH2</sub>	I <sub>OH</sub> = -20 μA	0.9 V <sub>CC</sub>		V
Darlington Drive Current (8 Output Pins max.)	I <sub>DAR</sub>	V <sub>EXT</sub> = 1.5 V R <sub>EXT</sub> = 1.1 kΩ	-1.0	-3.5	mA
Input Leakage Current	I <sub>LI</sub>	0.0 ≤ V <sub>in</sub> ≤ V <sub>CC</sub>	0.02 (Typ)	±5	μA
Output Leakage Current	I <sub>LO</sub>	0.2 ≤ V <sub>in</sub> ≤ V <sub>CC</sub> - 0.2	0.05 (Typ)	±10	μA
Operating Current (RUN)	I <sub>CC</sub>	fc = 25 MHz	20 (Typ)	30	mA
IDLE			3.5 (Typ)	10	mA
STOP (Ta = -20~70°C)		0.2 ≤ V <sub>in</sub> ≤ V <sub>CC</sub> - 0.2	0.5 (Typ)	50	μA
STOP (Ta = 0~50°C)		0.2 ≤ V <sub>in</sub> ≤ V <sub>CC</sub> - 0.2		10	μA
Power Down Voltage (@STOP)	V <sub>STOP</sub>	V <sub>IL2</sub> = 0.2 V <sub>CC</sub> , V <sub>IH2</sub> = 0.8 V <sub>CC</sub>	2.0	6.0	V
RESET Pull Up Resistance	R <sub>RST</sub>		50	250	kΩ
Pin Capacitance	C <sub>IO</sub>	fc = 1 MHz		10	pF
Schmitt Width RESET, NMI, INTO	V <sub>TH</sub>		0.4	1.0 (Typ)	V

(注) I<sub>DAR</sub>は、任意の出力ポートについて、合計8本までこのスペックを保証します。

(2)  $V_{CC} = +3\text{ V} \pm 10\%$ ,  $T_a = -20 \sim +70^\circ\text{C}$  ( $f_c = 4 \sim 12.5\text{ MHz}$ )(Typ値は  $T_a = +25^\circ\text{C}$ ,  $V_{CC} = +3\text{ V}$  の値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (D0~15)	$V_{IL}$		-0.3	0.6	V
INT1~5, BUSRQ, WAIT	$V_{IL1}$		-0.3	$0.3 V_{CC}$	V
RESET, NMI, INTO	$V_{IL2}$		-0.3	$0.25 V_{CC}$	V
AM8/16	$V_{IL3}$		-0.3	0.3	V
X1	$V_{IL4}$		-0.3	$0.2 V_{CC}$	V
Input High Voltage (D0~15)	$V_{IH}$		2.0	$V_{CC} + 0.3$	V
INT1~5, BUSRQ, WAIT	$V_{IH1}$		$0.7 V_{CC}$	$V_{CC} + 0.3$	V
RESET, NMI, INTO	$V_{IH2}$		$0.75 V_{CC}$	$V_{CC} + 0.3$	V
AM8/16	$V_{IH3}$		$V_{CC} - 0.3$	$V_{CC} + 0.3$	V
X1	$V_{IH4}$		$0.8 V_{CC}$	$V_{CC} + 0.3$	V
Output Low Voltage	$V_{OL}$	$I_{OL} = 1.6\text{ mA}$		0.45	V
Output High Voltage	$V_{OH}$	$I_{OH} = -400\ \mu\text{A}$	2.4		V
Input Leakage Current	$I_{LI}$	$0.0 \leq V_{in} \leq V_{CC}$	0.02 (Typ)	$\pm 5$	$\mu\text{A}$
Output Leakage Current	$I_{LO}$	$0.2 \leq V_{in} \leq V_{CC} - 0.2$	0.05 (Typ)	$\pm 10$	$\mu\text{A}$
Operating Current (RUN)	$I_{CC}$	$f_c = 12.5\text{ MHz}$	5.0 (Typ)	9.0	mA
IDLE			0.9 (Typ)	1.8	mA
STOP ( $T_a = -20 \sim 70^\circ\text{C}$ )		$0.2 \leq V_{in} \leq V_{CC} - 0.2$	0.5 (Typ)	50	$\mu\text{A}$
STOP ( $T_a = 0 \sim 50^\circ\text{C}$ )		$0.2 \leq V_{in} \leq V_{CC} - 0.2$		10	$\mu\text{A}$
Power Down Voltage (@STOP)	$V_{STOP}$	$V_{IL2} = 0.2 V_{CC}$ , $V_{IH2} = 0.8 V_{CC}$	2.0	6.0	V
RESET Pull Up Resistance	$R_{RST}$		80	500	$k\Omega$
Pin Capacitance	$C_{IO}$	$f_c = 1\text{ MHz}$		10	pF
Schmitt Width	$V_{TH}$		0.4	1.0 (Typ)	V

(参)  $I_{DAR}$  の定義図

## 4.3 AC電気的特性

(1)  $V_{cc} = +5V \pm 10\%$ ,  $T_a = -20 \sim +70^\circ\text{C}$ 

(fc = 8 MHz ~ 25 MHz)

No.	項目	記号	計算式		20 MHz		25 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t <sub>OSC</sub>	40	125	50		40		ns
2	CLKパルス幅	t <sub>CLK</sub>	2x - 40		60		40		ns
3	A0~23有効→CLK保持	t <sub>AK</sub>	0.5x - 20		5		0		ns
4	CLK有効→A0~23保持	t <sub>KA</sub>	1.5x - 60		5		0		ns
5	A0~23有効→RD/WR立ち下がり	t <sub>AC</sub>	1.0x - 20		30		20		ns
6	RD/WR立ち上がり→A0~23保持	t <sub>CA</sub>	0.5x - 20		5		0		ns
7	A0~23有効→D0~15入力	t <sub>AD</sub>		3.5x - 35		140		105	ns
8	RD立ち下がり→D0~15入力	t <sub>RD</sub>		2.5x - 40		85		60	ns
9	RD Lowパルス幅	t <sub>RR</sub>	2.5x - 40		85		60		ns
10	RD立ち上がり→D0~15保持	t <sub>HR</sub>	0		0		0		ns
11	WR Lowパルス幅	t <sub>WW</sub>	2.5x - 40		85		60		ns
12	D0~15有効→WR立ち上がり	t <sub>DW</sub>	2.0x - 40		60		40		ns
13	WR立ち上がり→D0~15保持	t <sub>WD</sub>	0.5x - 10		15		10		ns
14	A0~23有効→WAIT入力(1 WAIT+nモード)	t <sub>AW</sub>		3.5x - 90		85		50	ns
	A0~23有効→WAIT入力(0 WAIT+nモード)	t <sub>AW</sub>		1.5x - 40		35		20	ns
15	RD/WR立ち下がり→WAIT保持(1 WAIT+nモード)	t <sub>cw</sub>	2.5x + 0		125		100		ns
	RD/WR立ち下がり→WAIT保持(0 WAIT+nモード)	t <sub>cw</sub>	0.5x + 0		25		20		ns

## AC測定条件

- 出力レベル : High 2.2 V / Low 0.8 V, CL = 50 pF  
(ただし, D0~D15, A0~A23, RD, WR, HWR, CLKは, CL = 100 pF)
- 入力レベル : High 2.4 V / Low 0.45 V (D0~D15)  
High 0.8 V<sub>cc</sub> / Low 0.2 V<sub>cc</sub> (D0~D15を除く)

(2)  $V_{cc} = +3V \pm 10\%$ ,  $T_a = -20 \sim +70^\circ\text{C}$ 

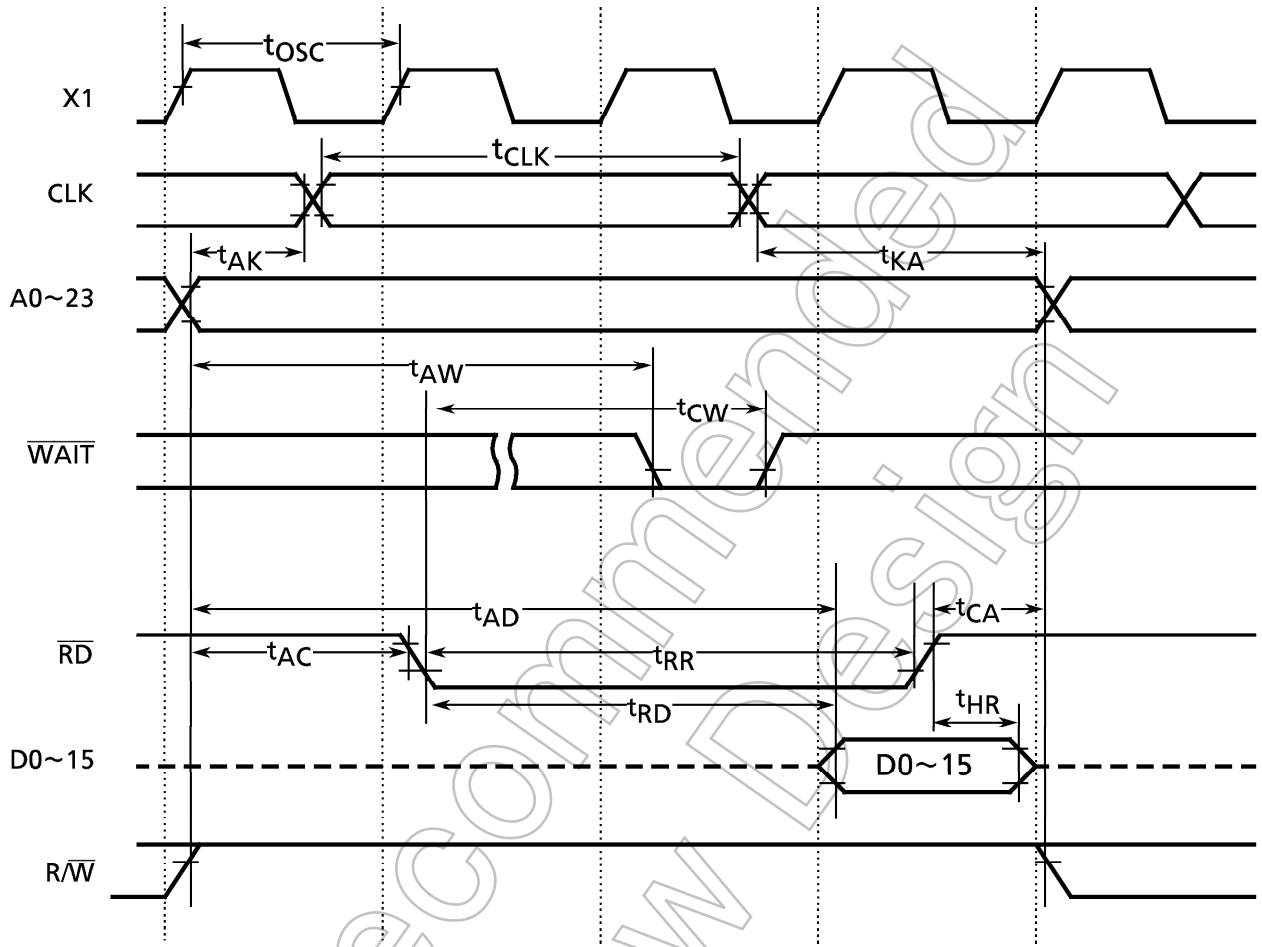
(fc = 4 MHz ~ 12.5 MHz)

No.	項目	記号	計算式		12.5 MHz		単位
			Min	Max	Min	Max	
1	発振周期 (= x)	t <sub>OSC</sub>	80	250	80		ns
2	CLKパルス幅	t <sub>CLK</sub>	2x - 40		120		ns
3	A0~23有効→CLK保持	t <sub>AK</sub>	0.5x - 40		0		ns
4	CLK有効→A0~23保持	t <sub>KA</sub>	1.5x - 80		40		ns
5	A0~23有効→RD/WR立ち下がり	t <sub>AC</sub>	1.0x - 60		20		ns
6	RD/WR立ち上がり→A0~23保持	t <sub>CA</sub>	0.5x - 40		0		ns
7	A0~23有効→D0~15入力	t <sub>AD</sub>		3.5x - 125		155	ns
8	RD立ち下がり→D0~15入力	t <sub>RD</sub>		2.5x - 115		85	ns
9	RD Lowパルス幅	t <sub>RR</sub>	2.5x - 40		160		ns
10	RD立ち上がり→D0~15保持	t <sub>HR</sub>	0		0		ns
11	WR Lowパルス幅	t <sub>WW</sub>	2.5x - 40		160		ns
12	D0~15有効→WR立ち上がり	t <sub>DW</sub>	2.0x - 60		100		ns
13	WR立ち上がり→D0~15保持	t <sub>WD</sub>	0.5x - 30		10		ns
14	A0~23有効→WAIT入力(1 WAIT+nモード)	t <sub>AW</sub>		3.5x - 130		150	ns
	A0~23有効→WAIT入力(0 WAIT+nモード)	t <sub>AW</sub>		1.5x - 80		40	ns
15	RD/WR立ち下がり→WAIT保持(1 WAIT+nモード)	t <sub>cw</sub>	2.5x + 0		200		ns
	RD/WR立ち下がり→WAIT保持(0 WAIT+nモード)	t <sub>cw</sub>	0.5x + 0		40		ns

## AC測定条件

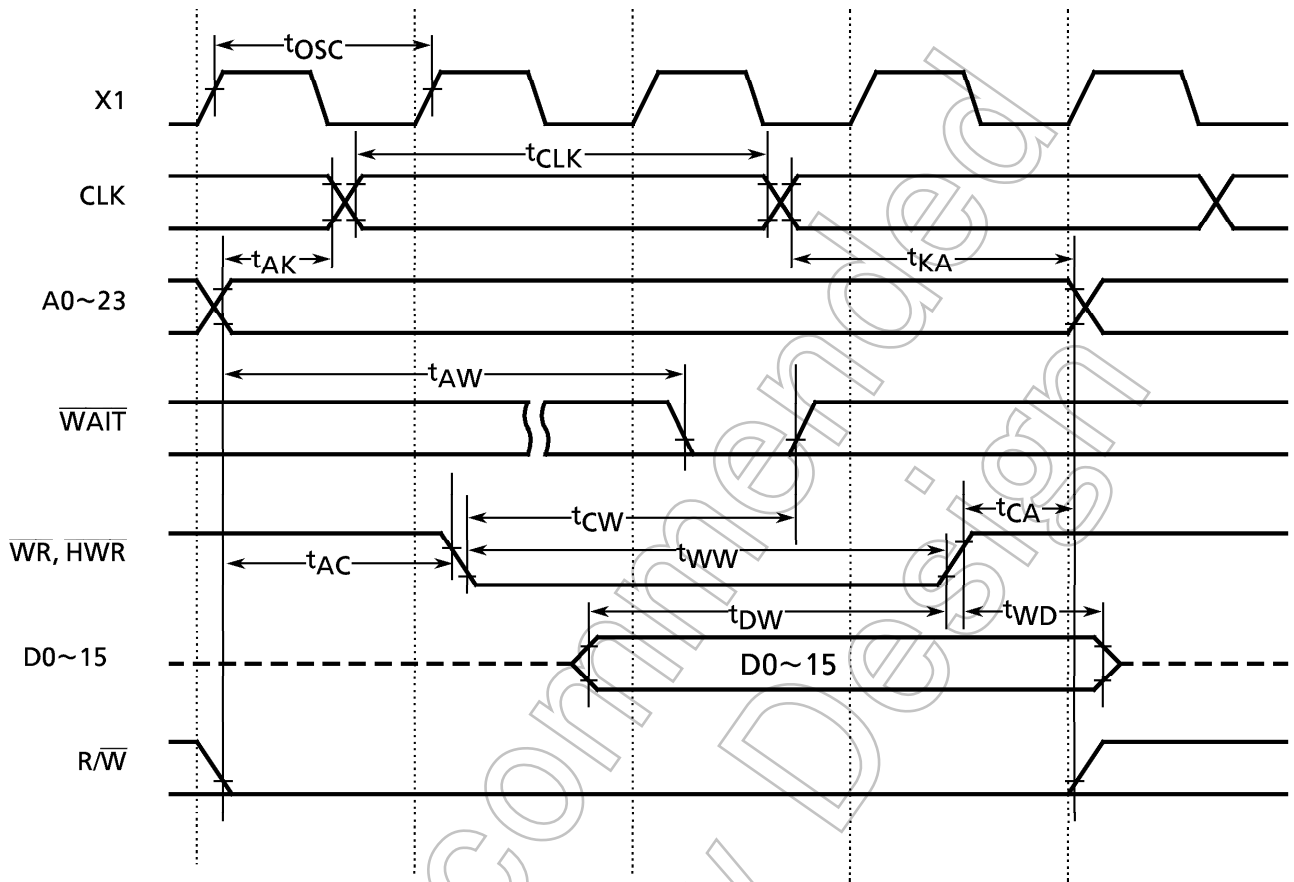
- 出力レベル : High 0.7 × V<sub>cc</sub> / Low 0.3 × V<sub>cc</sub>, CL = 50 pF
- 入力レベル : High 0.9 × V<sub>cc</sub> / Low 0.1 × V<sub>cc</sub>

(3) リードサイクル



Not Recommended for New

(4) ライトサイクル



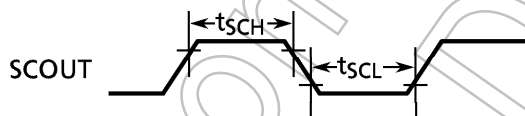
## 4.4 SCOUT端子 AC電气的特性

Ta = -20 ~ +70°C

項目	記号	計算式		12.5 MHz		25 MHz	
		Min	Max	Min	Max	Min	Max
高レベルパルス幅 VCC = +5V ± 10% (fc = 8~25 MHz)	t <sub>SCH</sub>	1x - 20		60		20	
VCC = +3V ± 10% (fc = 4~12.5 MHz)		1x - 30		50		-	-
低レベルパルス幅 VCC = +5V ± 10% (fc = 8~25 MHz)	t <sub>SCL</sub>	1x - 20		60		20	
VCC = +3V ± 10% (fc = 4~12.5 MHz)		1x - 30		50		-	-

## AC測定条件

- 出力レベル
  - (1) Vcc = +5V ± 10%  
High 2.2V / Low 0.8V, CL = 30pF
  - (2) Vcc = +3V ± 10%  
High 0.7 × Vcc / Low 0.3 × Vcc, CL = 30pF



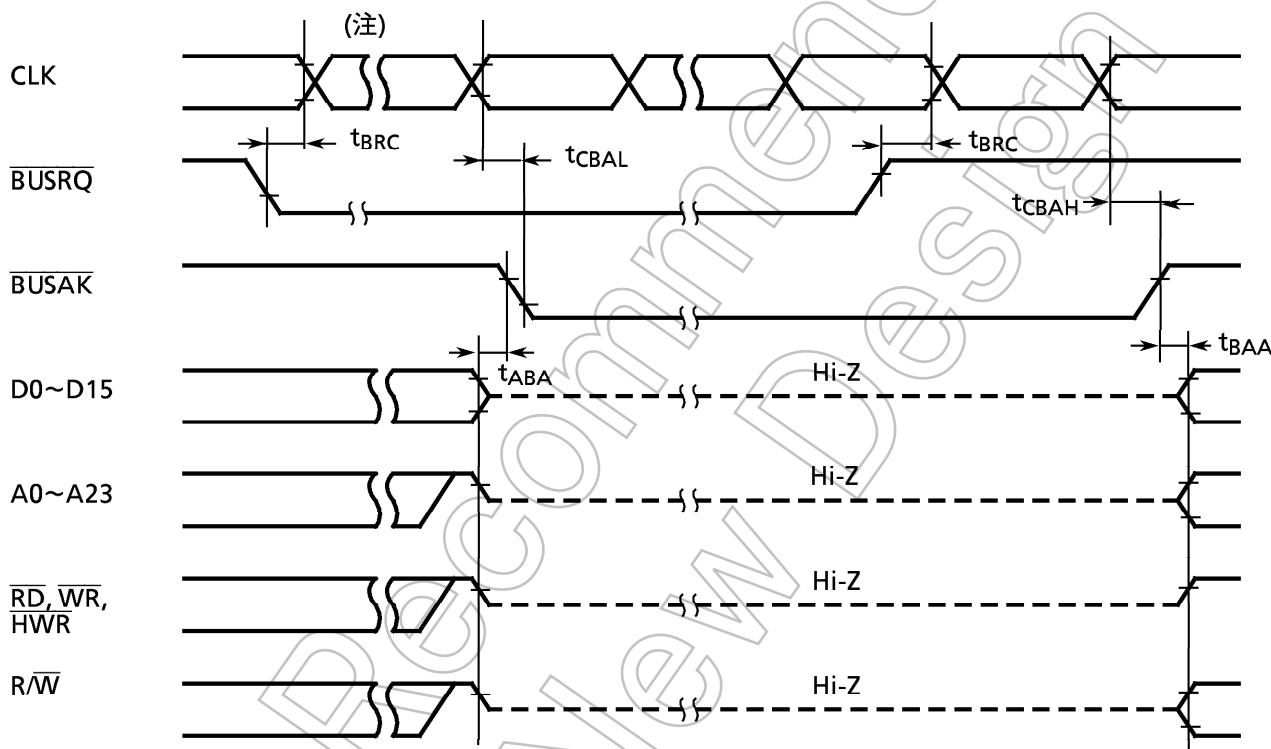


4.5 割り込みオペレーション

Vcc = + 5 V ± 10%, Ta = - 20 ~ + 70 °C (fc = 8 ~ 25 MHz)  
 Vcc = + 3 V ± 10%, Ta = - 20 ~ + 70 °C (fc = 4 ~ 12.5 MHz)

項目	記号	Variable		12.5 MHz		25 MHz		単位
		Min	Max	Min	Max	Min	Max	
NMI、INT0 低レベルパルス幅	t <sub>INTAL</sub>	4x		320		160		ns
NMI、INT0 高レベルパルス幅	t <sub>INTAH</sub>	4x		320		160		ns
INT1~INT5 低レベルパルス幅	t <sub>INTBL</sub>	8x + 100		740		420		ns
INT1~INT5 高レベルパルス幅	t <sub>INTBH</sub>	8x + 100		740		420		ns

4.6 バスリクエスト/バスアクノリッジタイミング



Vcc = + 5 V ± 10%, Ta = - 20 ~ + 70 °C (fc = 8 ~ 25 MHz)  
 Vcc = + 3 V ± 10%, Ta = - 20 ~ + 70 °C (fc = 4 ~ 12.5 MHz)

項目	記号	Variable		12.5 MHz		25 MHz		単位
		Min	Max	Min	Max	Min	Max	
CLKに対するBUSRQセットアップ時間	t <sub>BRC</sub>	120		120		120		ns
CLK→BUSAK立ち下がり	t <sub>CBAL</sub>		2.0x + 120		280		200	ns
CLK→BUSAK立ち上がり	t <sub>CBAH</sub>		0.5x + 40		80		60	ns
出力バッファOFFからBUSAK立ち下がりまでの時間	t <sub>ABA</sub>	0	80	0	80	0	80	ns
BUSAK立ち上がりから出力バッファONまでの時間	t <sub>BAA</sub>	0	80	0	80	0	80	ns

(注)  $\overline{\text{BUSRQ}}$ を“0”にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していない場合は、そのウェイトが解除されるまで、バスは解放されません。

## 5. 特殊機能レジスタ一覧表

特殊機能レジスタ (SFR: Special Function Register) とは、入出力機能、および、周辺部のコントロールレジスタで、000000H~00003FHの64バイトのアドレス空間に割り付けられています。

また、本デバイスの内蔵レジスタは、デバイス外部からはアクセスできません。

- (1) 割り込み制御
- (2) ウェイト制御
- (3) スタンバイ制御

表の構成

記号	名称	アドレス	7	6	5	4	3	2	1	0

→ bit Symbol

→ Read / Write

→ リセット時の初期値

→ 備考

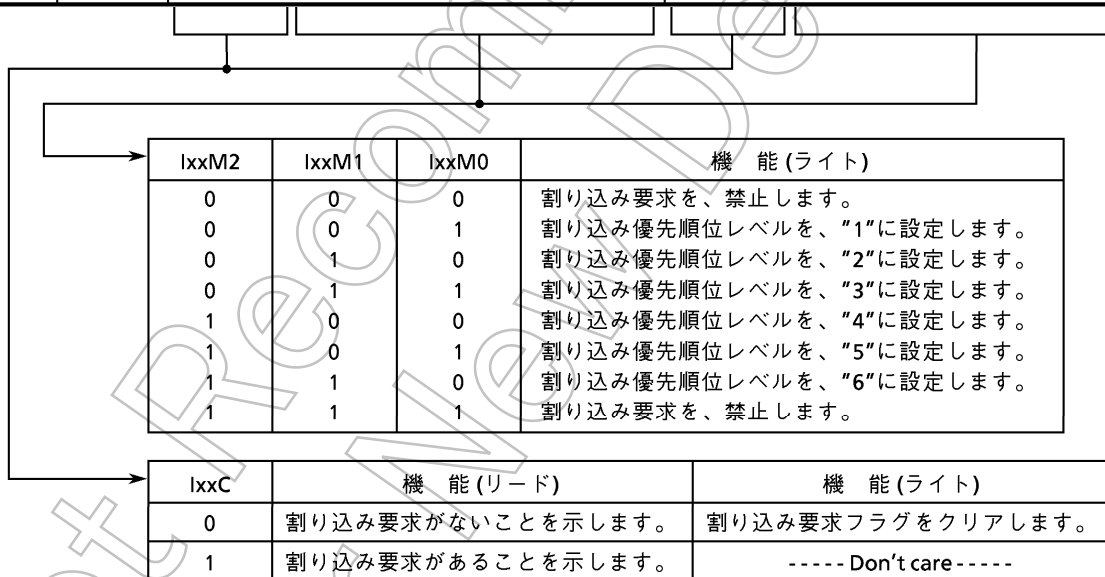
TMP95C001 特殊機能レジスタアドレス一覧表

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
00000000H		10H		20H	INTE01	30H	B0CS
1H		1H		1H	INTE23	1H	B1CS
2H		2H		2H	INTE45	2H	B2CS
3H		3H		3H	INTETC01	3H	B3CS
4H		4H		4H	INTETC23	4H	MSAR0
5H		5H		5H		5H	MAMR0
6H		6H		6H	DMA0V	6H	MSAR1
7H		7H		7H	DMA1V	7H	MAMR1
8H		8H		8H	DMA2V	8H	MSAR2
9H		9H		9H	DMA3V	9H	MAMR2
AH		AH		AH	SDMACR0	AH	MSAR3
BH		BH		BH	SDMACR1	BH	MAMR3
CH		CH		CH	SDMACR2	CH	
DH		DH		DH	SDMACR3	DH	
EH		EH	STMOD	EH		EH	
FH		FH		FH	IIMC	FH	BEXCS

Not Recommended for New Design

(1) 割り込み制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE01	Interrupt Enable 0/1	20H (RMW禁)	INT1				INT0			
			I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE23	Interrupt Enable 2/3	21H (RMW禁)	INT3				INT2			
			I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE45	Interrupt Enable 4/5	22H (RMW禁)	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTETC01	Interrupt Enable TC0/1	23H (RMW禁)	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTETC23	Interrupt Enable TC2/3	24H (RMW禁)	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0



Read / Write

R/W : Read / Write可能

W : Writeのみ可能

RMW 禁 : Read Modify Write ができません (EX、ADD、ADC、SUB、SBC、INC、DEC、AND、OR、XOR、STCF、RES、SET、CHG、TEST、RLC、RRC、RL、RR、SLA、SRA、SLL、SRL、RLD、RRD命令の使用不可)。

割り込み制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
IIMC	Interrupt Input Mode Control	2FH  (RMW禁)						I5LE	I0LE	NMIREE	
								W	W	W	
									0	0	0
									INT5 0: ↑ edge 1: level	INT0 0: ↑ edge 1: level	NMI 0: ↓ edge 1: ↓ ↑ edge
DMA0V	DMA 0 Request Vector	26H  (RMW禁)	DMA0V7	DMA0V6	DMA0V5	DMA0V4	DMA0V3	DMA0V2			
			W								
			0	0	0	0	0	0			
			マイクロDMA0起動ベクタ								
DMA1V	DMA 1 Request Vector	27H  (RMW禁)	DMA1V7	DMA1V6	DMA1V5	DMA1V4	DMA1V3	DMA1V2			
			W								
			0	0	0	0	0	0			
			マイクロDMA1起動ベクタ								
DMA2V	DMA 2 Request Vector	28H  (RMW禁)	DMA2V7	DMA2V6	DMA2V5	DMA2V4	DMA2V3	DMA2V2			
			W								
			0	0	0	0	0	0			
			マイクロDMA2起動ベクタ								
DMA3V	DMA 3 Request Vector	29H  (RMW禁)	DMA3V7	DMA3V6	DMA3V5	DMA3V4	DMA3V3	DMA3V2			
			W								
			0	0	0	0	0	0			
			マイクロDMA3起動ベクタ								

(注) マイクロDMAソフトスタート起動は、SDMACR0/1/2/3 (2AH/2BH/2CH/2DH) のWRサイクルにて実行 (データの値はソフトスタートの動作に影響しません)。

(2) ウェイト制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0			
B0CS	Block 0 CS/WAIT Control Register	30H  (RMW禁)	B0E				B0BUS	B0W2	B0W1	B0W0			
			W				W		W				
			0				0	0	0	0			
			0: Disable 1: Enable				0: 16 BIT 1: 8 BIT	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: 0 + NWAIT 101 110 111	} 設定しない ください			
B1CS	Block 1 CS/WAIT Control Register	31H  (RMW禁)	B1E				B1BUS	B1W2	B1W1		B1W0		
			W				W		W				
			0				0	0	0		0		
			0: Disable 1: Enable				0: 16 BIT 1: 8 BIT	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: 0 + NWAIT 101 110 111	} 設定しない ください			
B2CS	Block 2 CS/WAIT Control Register	32H  (RMW禁)	B2E	B2M			B2BUS	B2W2	B2W1		B2W0		
			W	W			W		W				
			1	0			0	0	0		0		
			0: Disable 1: Enable	0: 16M空間 1: CS空間 設定			0: 16 BIT 1: 8 BIT	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: 0 + NWAIT 101 110 111	} 設定しない ください			
B3CS	Block 3 CS/WAIT Control Register	33H  (RMW禁)	B3E				B3BUS	B3W2	B3W1		B3W0		
			W				W		W				
			0				0	0	0		0		
			0: Disable 1: Enable				0: 16 BIT 1: 8 BIT	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: 0 + NWAIT 101 110 111	} 設定しない ください			
BEXCS	External CS/WAIT Control Register	3FH  (RMW禁)					BEXBUS	BEXW2	BEXW1		BEXW0		
			W				W		W				
			0				0	0	0		0		
			0: 16 BIT 1: 8 BIT				0: 16 BIT 1: 8 BIT	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: 0 + NWAIT 101 110 111	} 設定しない ください			
MSAR0	Memory Start Address Reg. 0	34H	S23	S22	S21	S20	S19	S18	S17		S16		
			R/W										
			1	1	1	1	1	1	1		1	1	
A23~A16 スタートアドレス 設定													
MAMR0	Memory Start Address Mask Reg. 0	35H	V20	V19	V18	V17	V16	V15	V14~9	V8			
			R/W										
			1	1	1	1	1	1	1	1	1		
CS0空間サイズ設定 0:アドレス比較対照													
MSAR1	Memory Start Address Reg. 1	36H	S23	S22	S21	S20	S19	S18	S17	S16			
			R/W										
			1	1	1	1	1	1	1	1	1		
A23~A16 スタートアドレス 設定													
MAMR1	Memory Start Address Mask Reg. 1	37H	V21	V20	V19	V18	V17	V16	V15~9	V8			
			R/W										
			1	1	1	1	1	1	1	1	1		
CS1空間サイズ設定 0:アドレス比較対照													

ウェイト制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory Start Address Reg. 2	38H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 スタートアドレス設定							
MAMR2	Memory Start Address Mask Reg. 2	39H	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2空間サイズ設定 0:アドレス比較対照							
MSAR3	Memory Start Address Reg. 3	3AH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 スタートアドレス設定							
MAMR3	Memory Start Address Mask Reg. 3	3BH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3空間サイズ設定 0:アドレス比較対照							

(3) スタンバイモードコントロール

記号	名称	アドレス	7	6	5	4	3	2	1	0	
STMOD	Stand-By-Mode Control Register	1EH (RMW禁)	RDE	SCOUTST		CLKST	HALTM1	HALTM0	DRVE		
			W	R/W							
			0	0	0	0	0	1: STOP モード中も端子をドライブします			
			1: PSRAM モード	0: 出力 イネーブル 1: 出力 禁止 (Hi-Z)	0: 出力 イネーブル 1: 出力 禁止 (Hi-Z)	ホールドモード設定 00: RUN 01: STOP 10: IDLE 11: Don't care					

(注) <CLKST>、<SCOUTST> には、“0”を書き込まないでください(クリアは、リセットによってのみ可能です)。

## 6. ポート部等価回路図

## ● 回路図の見方

基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

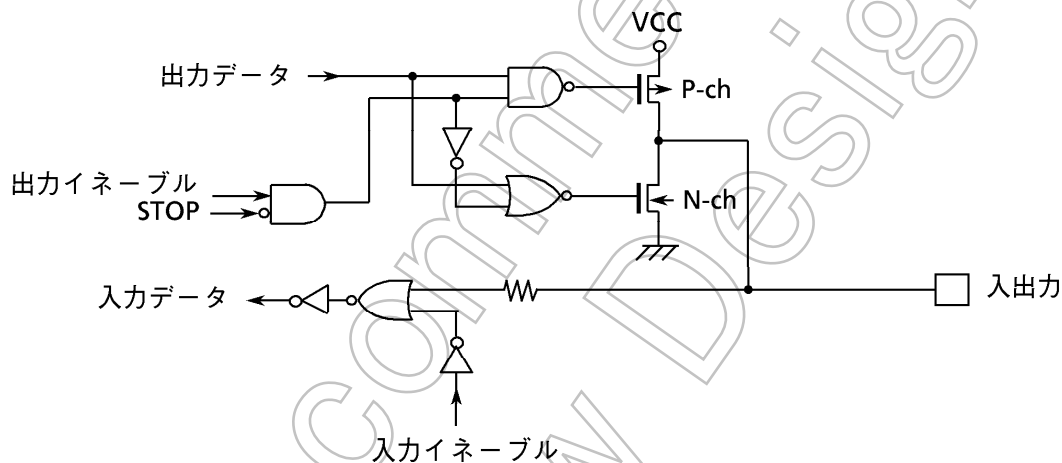
信号名の中で、特殊なものについては、下記に示します。

**STOP** : この信号は、ホールドモード設定レジスタを「STOP」モード (STMOD<HALTM1, 0>=0, 1)にして、CPUが「HALT」命令を実行したとき、アクティブ“1”になります。

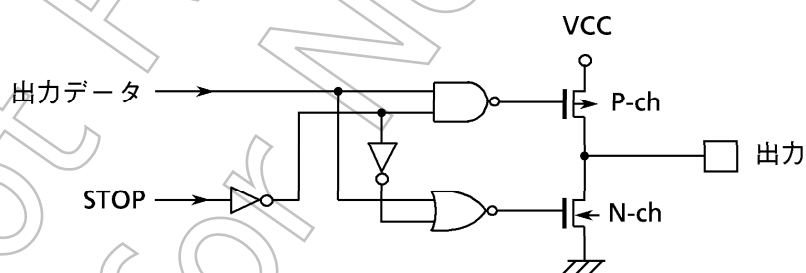
ただし、ドライブイネーブルビットSTMOD<DRVE>が“1”にセットされているときは、STOPは“0”のままです。

## ● 入力保護抵抗は、数十Ω～数百Ω程度です。

## ■ D0~D15

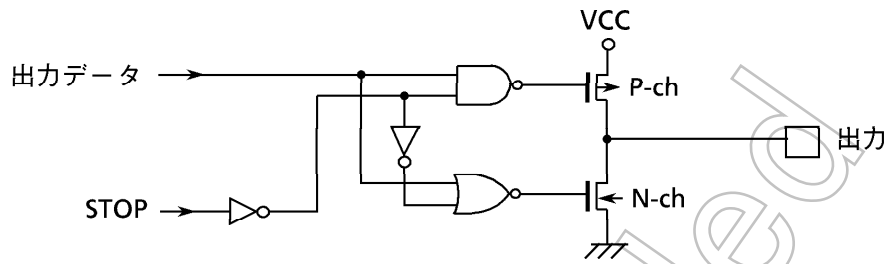


## ■ A0~A23

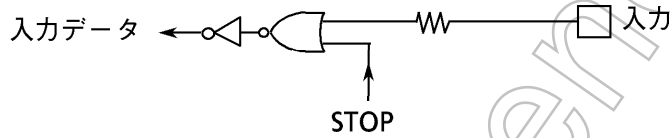




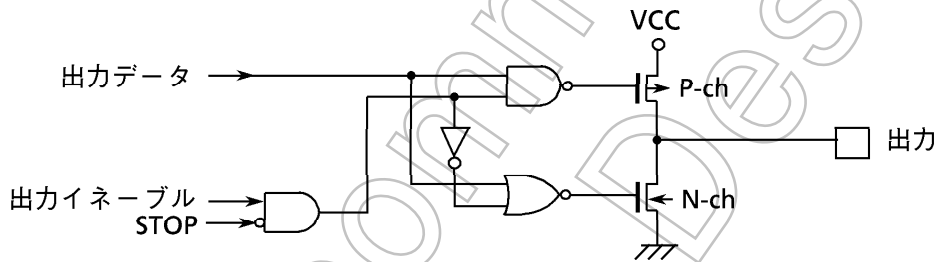
■ RD, WR, HWR, BUSAK, R/W



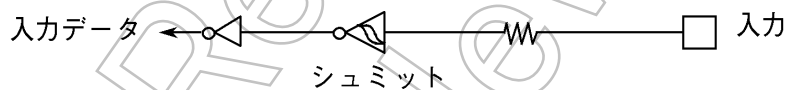
■ BUSRQ, WAIT



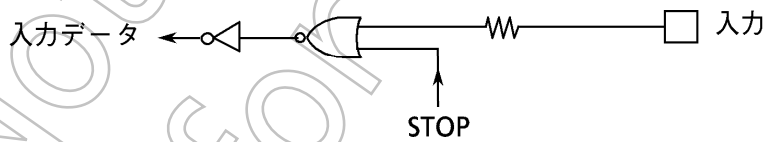
■ SCOUT



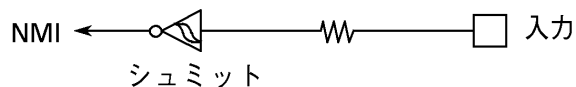
■ INTO



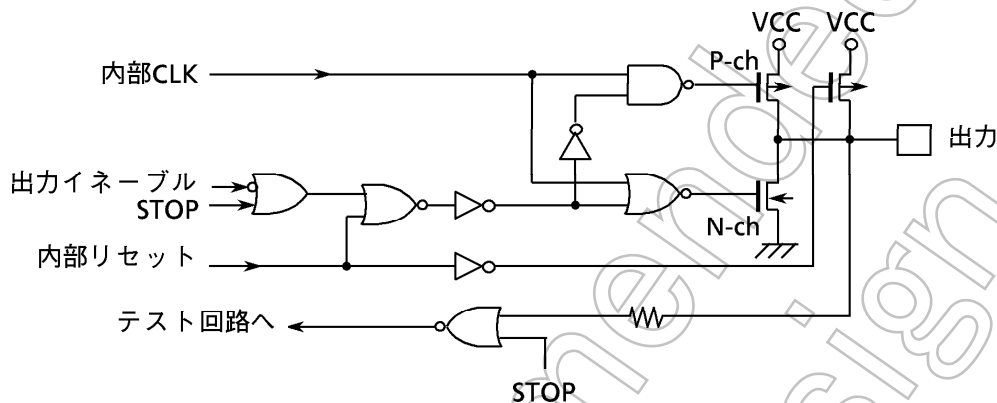
■ INT1~5



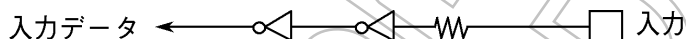
■ NMI



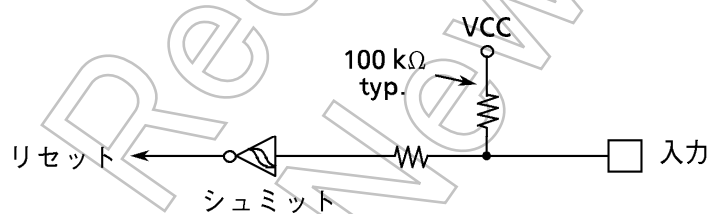
■ CLK



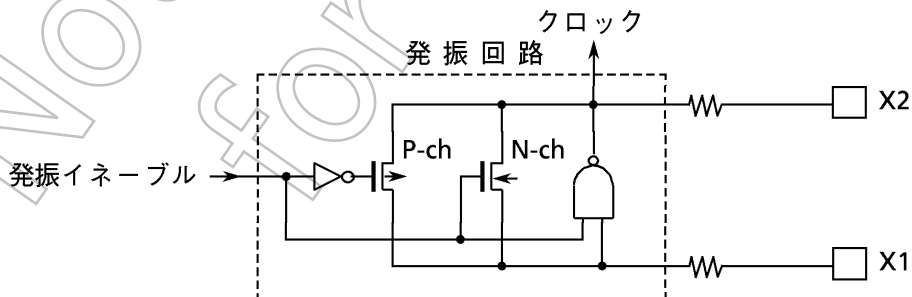
■ AM8/16



■ RESET



■ X1, X2



(注) 発振イネーブル信号は、HALT命令 (STOPモード) 実行により“0”になります。

## 7. 使用上の注意、制限事項

## (1) 特別な表記、言葉の説明

- ① 内蔵I/Oレジスタの説明：レジスタシンボル<ビットシンボル>

例) MSAR0&lt;S23&gt; … レジスタMSAR0のビットS23

- ② リードモディファイライト命令

CPUが、あるメモリに対してデータをリードした後に、そのデータを操作し、同じメモリ番地にデータをライトする命令。

例1)SET 3,(MSAR0) … MSAR0レジスタのビット3をセットする

例2)INC 1,(100H) … 100H番地のデータを「+1」する

- TLCS-900におけるリードモディファイライト命令

交換命令

EX (mem), R

算術演算

ADD (mem), R/# ADC (mem), R/#

SUB (mem), R/# SBC (mem), R/#

INC #3, (mem) DEC #3, (mem)

論理演算

AND (mem), R/# OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem) RES #3, (mem)

SET #3, (mem) CHG #3, (mem)

TEST #3, (mem)

ローテート、シフト

RLC (mem) RRC (mem)

RL (mem) RR (mem)

SLA (mem) SRA (mem)

SLL (mem) SRL (mem)

RLD (mem) RRD (mem)

- ③ 1ステート

発振周波数を2分周した1周期を1ステートと呼びます。

例) 発振周波数25 MHzの場合

 $2/25 \text{ MHz} = 80 \text{ ns} = 1 \text{ ステート}$ となります。

## (2) 使用上の注意、制限事項

## ① AM8/16端子

本端子はVcc、または、GND端子に接続し、動作中にレベル変更のないようにしてください。

## ② CPU (マイクロDMA)

CPU内にあるコントロールレジスタ (転送元レジスタDMASnなど)へのデータ書き込み、読み出しは、“LDC cr,r”、“LDC r,cr”のみで行えません。

## ③ 本製品は、ミニマムモードをサポートしていませんので、“MIN”命令は使用しないでください。

## ④ 「POP SR」命令

「POP SR」命令の実行は、DI状態で行ってください。

## ⑤ 割り込み要求によるホールド状態からの解除

通常は、割り込みによってホールド状態を解除することができますが、ホールドモードがIDLE、STOPモードに設定されている状態で、CPUがホールドモードに移行しようとしている期間(X1約3クロックの間)に、ホールドモードを解除可能な割り込み(NMI,INT0)が入力されても、ホールドが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールドモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールドモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended  
for New Design