TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870 シリーズ

TMP87CS68DFG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。
製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

Not Recommended for New Design

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パーケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87CS68DF	LQFP80-P-1212-0.50A	TMP87CS68DFG	LQFP80-P-1212-0.50F	TMP87PS68DFG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、 はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、 最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」,「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、 付加ページ右下にも記入の「2008-03-06」です。

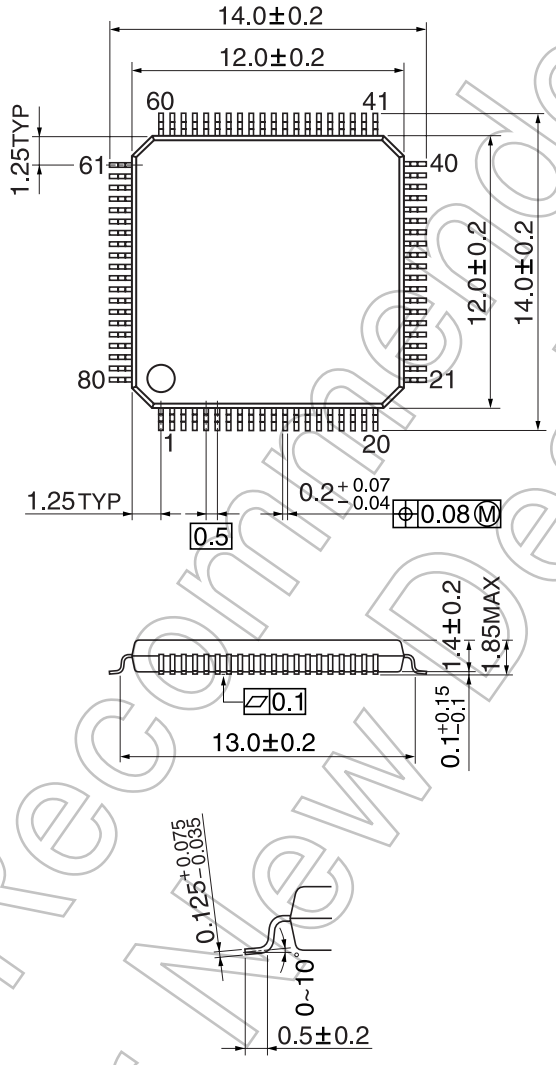
Not recommended for new design

(別紙)

パッケージ外形寸法図

LQFP80-P-1212-0.50F

単位: mm



Not Recommended for New Design

CMOS 8ビット マイクロコントローラ

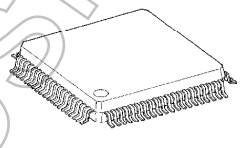
TMP87CS68DF

大容量ROM, RAM, 入出力ポート, 多機能タイマ/カウンタ, シリアルインタフェース, 8ビットA/Dコンバータ, および2系統の発振回路などを内蔵した高速, 高機能8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87CS68DF	61184バイト (60 k byte-256 byte)	2Kバイト	LQFP80-P-1212-0.50A	TMP87PS68DF

パッケージ外観図

LQFP80-P-1212-0.50A



TMP87CS68DF
TMP87PS68DF

特　長

◆8ビット シングルチップ マイクロコンピュータ
TLCS-870シリーズ

◆最小命令実行時間： 0.5 μs (ギア比1/1、8 MHz 動作時),
122 μs (32.768 kHz 動作時)

◆基本機械命令： 129種類 412命令

◆割り込み15要因(外部 : 5, 内部 : 10)
- 全要因独立ラッチ付き, 多重割り込み制御
- エッジ選択, ノイズ除去機能付き外部割り込み端子あり
- レジスタバンク切り替えによる高速タスクスイッチング

◆入出力ポート (72端子)
- 大電流出力： 7端子 (typ. 20 mA), LED 直接駆動可能

◆16ビットタイマ/カウンタ： 2チャネル
- タイマ, イベントカウンタ, PPG (Programmable Pulse Generator) 出力,
  パルス幅測定, 外部トリガタイマ, ウィンドウモード

◆8ビットタイマ/カウンタ： 2チャネル
- タイマ, イベントカウンタ, キャプチャ (パルス幅/デューティ測定),
  PWM (パルス幅変調) 出力, PDO (Programmable Divider Output) モード

◆タイムベース タイマ (割り込み周波数： 1 Hz~16384 Hz)

◆ディバイダ出力機能 (周波数： 1 kHz~8 kHz)

◆ウォッチドッグ タイマ
- 割り込み / リセット出力の選択 (プログラマブル)

Not Recommended for New Design

980901TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
●当社は品質、信頼性の向上に努めていますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用頂く場合は、半導体製品の誤作動や故障により、他人の生命･身体･財産が侵害されることのないように、購入者側の責任において、装置の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用頂くとともに、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご活用ください。
●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
●本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

◆8ビット シリアル インタフェース： 1チャネル
- 各8バイトの送受信データバッファ付き
- 内部/外部クロック，4/8ビット転送モードの選択

◆UART

◆8ビット逐次比較方式 A/Dコンバータ (サンプルホールド付き)
- アナログ入力 ： 8チャネル
- 変換時間 ： 23 μs / 92 μs (ギア比1/1、8 MHz 動作など) の2系統

◆キーオンウェイクアップ機能 ： 8 ch

◆クロック発振回路 ： 2回路
- シングル/デュアルクロックモードの選択 (オプション)
- クロックギア (fc, fc/2, fc/4, fc/8 分周) 初期内部動作 fc

◆低消費電力動作 (5モード)
- STOP モード ： 発振停止 (バッテリ/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
- SLOWモード ： 低周波クロックによる低消費電力動作。
- IDLE1モード ： CPU停止。周辺ハードウエアのみ動作 (高周波) 継続し、割り込みで解除 (CPU再起動)。
- IDLE2モード ： CPU停止。周辺ハードウエアのみ動作 (高周波クロック/低周波クロック) 継続し、割り込みで解除。
- SLEEPモード ： CPU停止。周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。

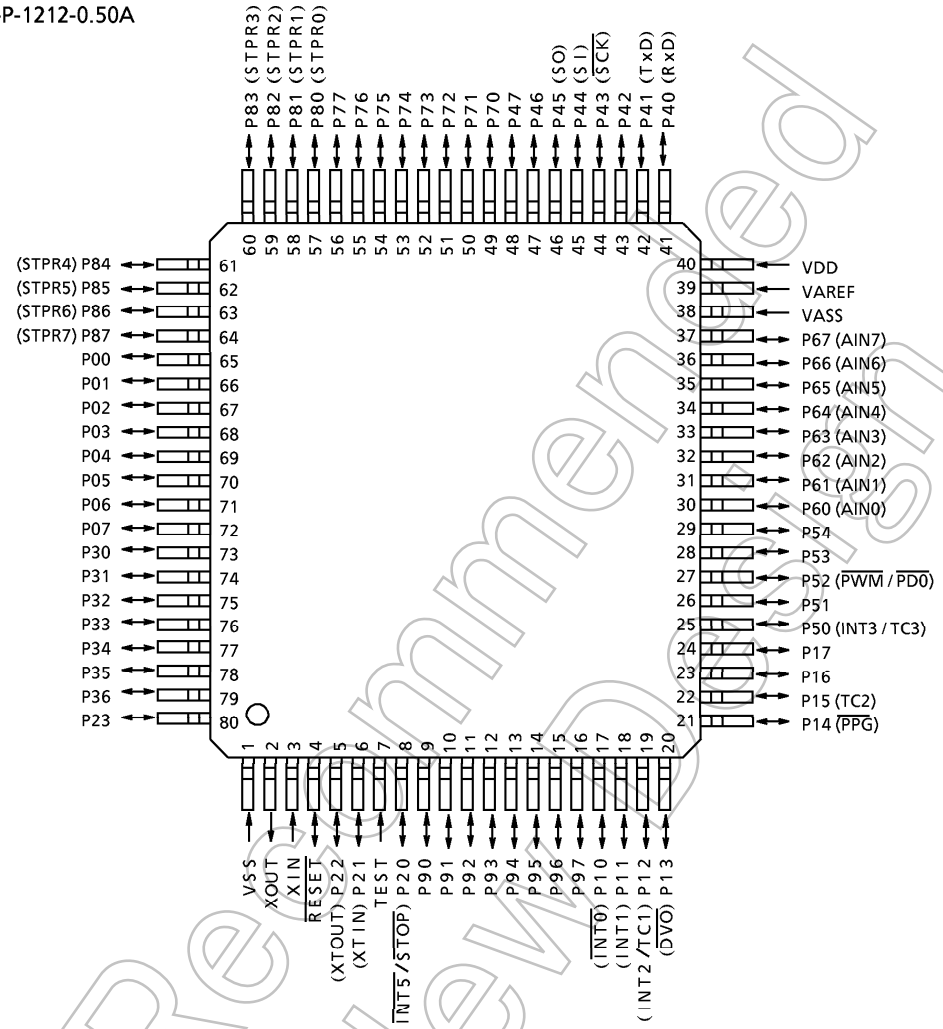
◆動作電圧 ： 2.7~5.5 V @ 4.19 MHz / 32.768 kHz, 4.5~5.5 V @ 8 MHz / 32.768 kHz

◆エミュレーションポッド ： BM87CM53F0A

Not Recommended for New Design

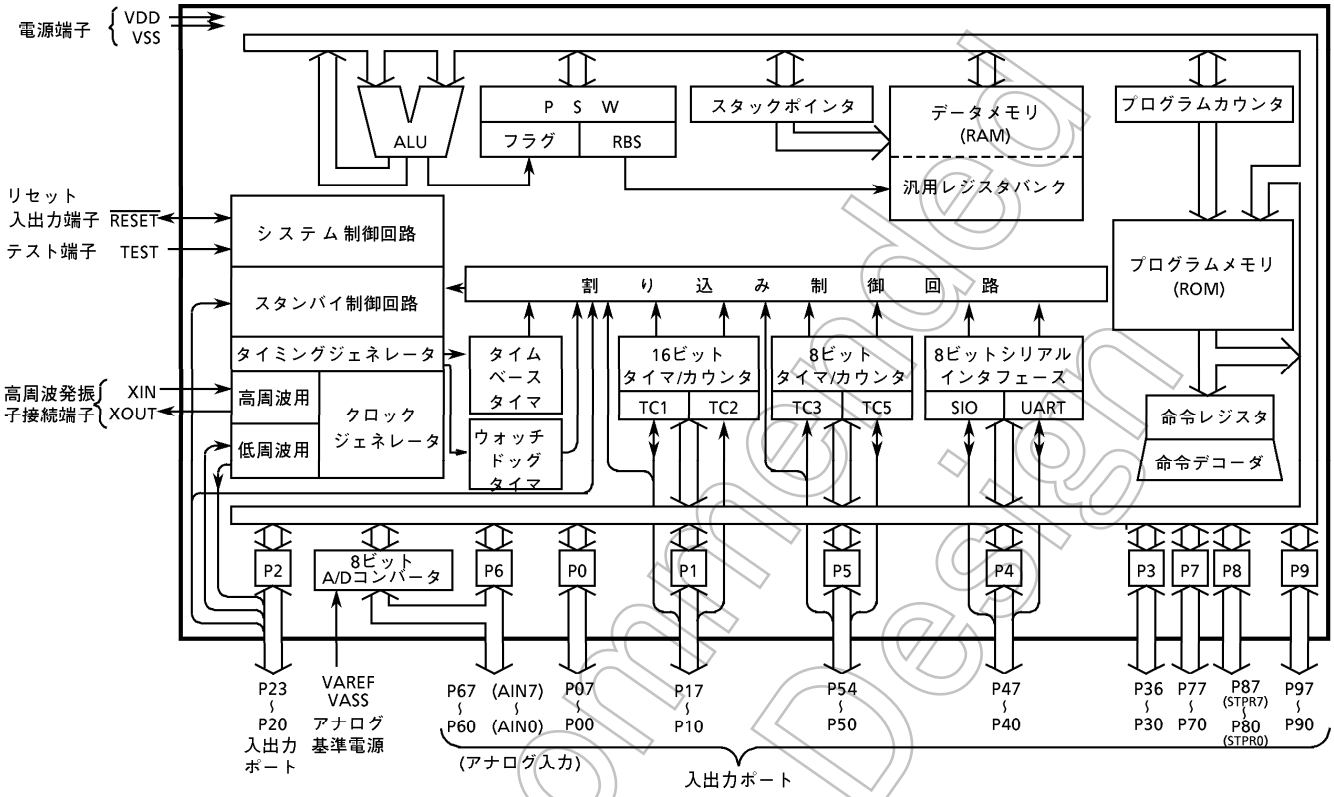
ピン配置図 (上面図)

LQFP80-P-1212-0.50A



Not Recommended for New Design

ブロック図



Not Recommended for New Design

端子機能

端子名	入出力	機能	
P07 ～ P00	入出力	8ビットのプログラマブル入出力ポート (トライステート)。 1ビット単位で入力/出力の指定ができます。外部割り込み入力, タイマカウンタ入力として用いる場合は、入力モードにします。PPG出力, デバイダ出力として用いる場合は、出力ラッチを"1"にセットして、出力モードにします。	
P17, P16	入出力		
P15 (TC2)	入出力 (入力)		タイマカウンタ2の入力
P14 ($\overline{PPG}$)	入出力 (出力)		プログラマブル パルス ジェネレータ出力
P13 ($\overline{DVO}$)			デバイダ出力
P12 (INT2 / TC1)	入出力 (入力)		外部割り込み2/タイマカウンタ1の入力
P11 (INT1)			外部割り込み1入力
P10 ($\overline{INT0}$)			外部割り込み0入力
P23	入出力	4ビット入出力ポート (シンクオープンドレイン)。 入力ポート, 発振子接続端子, 外部割り込み入力, STOPモード解除入力として使用する場合は、出力ラッチを"1"にセットします。	
P22 (XTOUT)	入出力 (出力)		低周波発振子接続端子 (32.768 kHz)。外部クロック入力の場合、XTINへ入力し、XTOUTは開放します。
P21 (XTIN)	入出力 (入力)		
P20 ($\overline{INT5}$ / $\overline{STOP}$)			外部割り込み5入力 / STOPモード解除入力
P36 ～ P30	入出力	7ビット入出力ポート (シンクオープンドレイン大電流出力)。入力ポートとして使用する場合は、出力ラッチを"1"にセットします。	
P47, P46	入出力	8ビットのプログラマブル入出力ポート。 1ビット単位で入力/出力の指定とトライステート/シンクオープンドレインの指定ができます。 SI入力、RxD入力、$\overline{SCK}$入力として用いる場合は、入力モードにします。 SO出力、$\overline{SCK}$出力、TxD出力として用いる場合は、出力ラッチを"1"にセットし、出力モードにします。	
P45 (SO)	入出力 (出力)		SIO シリアルデータ出力
P44 (SI)	入出力 (入力)		SIO シリアルデータ入力
P43 ($\overline{SCK}$)	入出力(入出力)		SIO シリアルクロックの入力/出力
P42	入出力		
P41 (TxD)	入出力 (出力)		UART シリアルデータの出力 (非同期式)
P40 (RxD)	入出力 (入力)		UART シリアルデータの入力 (非同期式)
P54, P53	入出力	5ビットのプログラマブル入出力ポート。 1ビット単位で入力/出力の指定とトライステート/シンクオープンドレインの指定ができます。 INT3入力、TC3入力として用いる場合は、入力モードにします。 PWM出力、PDO出力として用いる場合は、出力ラッチを"1"にセットし、出力モードにします。	
P52 ($\overline{PWM}$/$\overline{PDO}$)	入出力 (出力)		8ビットPWM (パルス幅変調)出力/ 8ビットプログラマブル デバイダ出力
P51	入出力		
P50 (INT3/TC3)	入出力 (入力)		外部割り込み3/タイマカウンタ3の入力
P67 (AIN7) ～ P60 (AIN0)	入出力 (入力)	8ビットのプログラマブル入出力ポート (トライステート)。 1ビット単位で入力/出力の指定ができます。 アナログ入力として使用する場合は、入力モードにし、ADCCRで制御します。	A/Dコンバータアナログ入力
P77 ～ P70	入出力	8ビットのプログラマブル入出力ポート。1ビット単位で入力/出力の指定とトライステート/シンクオープンドレインの指定ができます。	
P87(STPR7) ～ P80 (STPR0)	入出力 (入力)	8ビットのプログラマブル入出力ポート (トライステート)。1ビット単位で入力/出力の指定とPull-Up抵抗の有無の指定ができます。	
P97 ～ P90	入出力	8ビットのプログラマブル入出力ポート。1ビット単位で入力/出力の指定とトライステート/シンクオープンドレインの指定ができます。	
XIN, XOUT	入力、出力	高周波発振子接続端子。 外部クロック入力の場合 XINへ入力し、XOUTは開放します。	
$\overline{RESET}$	入出力	リセット信号入力, ウォッチドッグタイマ出力 / アドレストラップリセット出力 / システムクロックリセット出力	
TEST	入力	出荷試験用端子。低レベルに固定します。	
VDD, VSS	電源	+5 V, 0 V (GND)	
VAREF, VASS		A / D変換用アナログ基準電圧	

Not Recommended for New Design

動作説明

1. CPUコア機能

CPUコアは、CPU, システムクロック制御回路, 割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア, プログラムメモリ, データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM, RAM, SFR(スペシャルファンクションレジスタ), DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1.に87CS68のメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

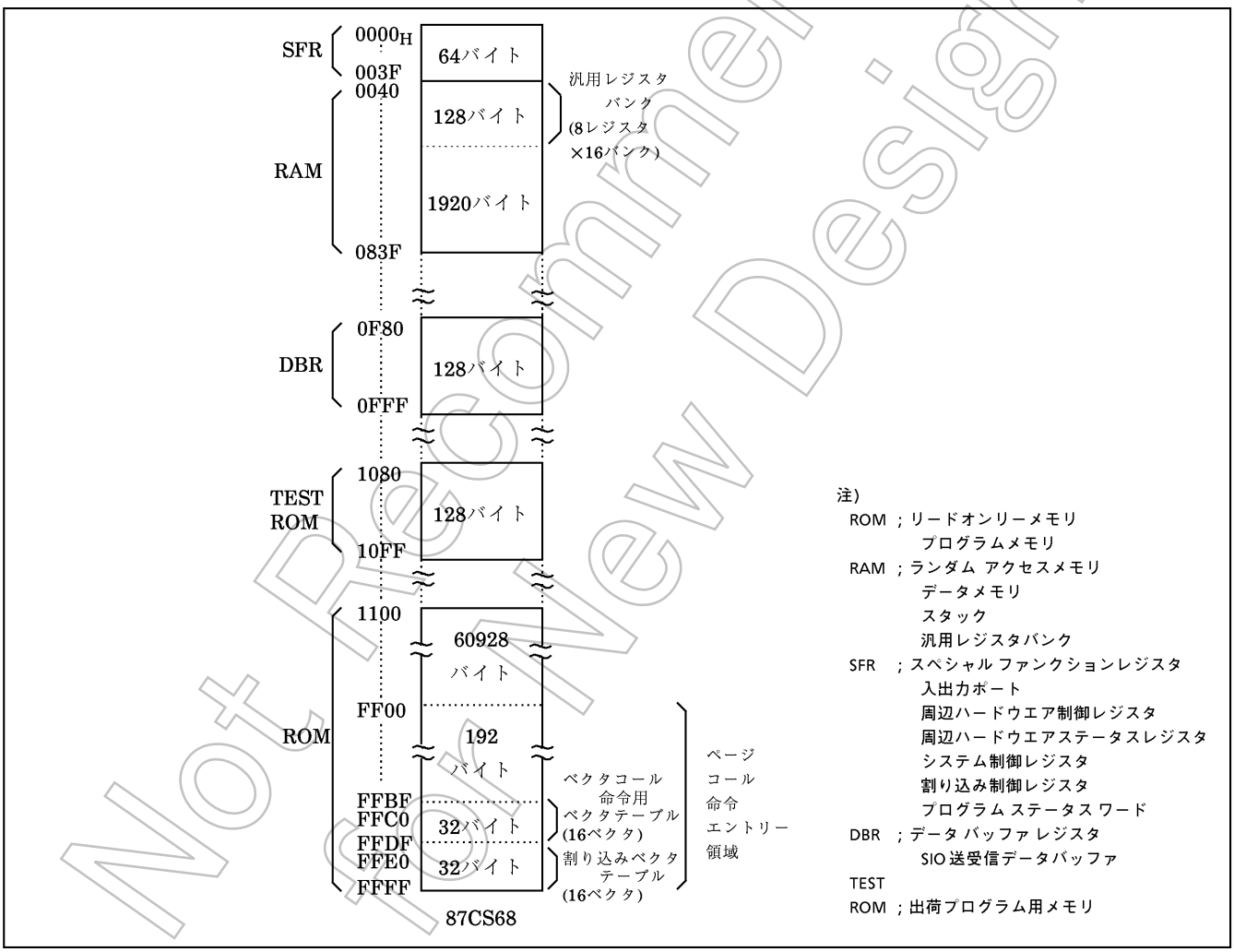


図1-1. メモリアドレスマップ

Not Recommended for New Design

1.2 プログラムメモリ(ROM)

87CS68は60Kバイト(アドレス1100~$FFFF_H$番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2.にプログラムメモリマップを示します。

プログラムメモリの$FF00$~$FFFF_H$番地は、特定の用途にも使用されます。

(1) 割り込みベクタテーブル ($FFE0$~$FFFF_H$番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス, 割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル ($FFC0$~$FFDF_H$番地)

ベクタコール命令[CALLV n]用のベクタ(サブルーチンエントリーアドレス, 2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア ($FF00$~$FFFF_H$番地)

ページコール命令[CALLP n]用のサブルーチンエントリーアドレスエリアです。$FFC0$~$FFFF_H$番地はベクタテーブルにもなっていますので、通常$FF00$~$FFBF_H$番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ, バンクといった境界概念はありません。

例:ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令[JRS cc, $+2+d]　　E8C4H: JRS T, $+2+08H の場合
JF=1のとき、プログラムカウンタの内容に08_Hを加算した$E8CE_H$にジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス +2になっています。従って、この場合プログラムカウンタの値は$E8C4_H+2=E8C6_H$となります)。

② 8ビット相対ジャンプ命令[JR cc, $+2+d]　　E8C4H : JR Z, $+2+80H の場合
ZF=1のとき、プログラムカウンタの内容に$FF80_H$(−128)を加算した$E846_H$にジャンプします。

③ 16ビット絶対ジャンプ命令[JP a]　　E8C4H : JP 0C235H の場合
無条件に$C235_H$番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

Not Recommended for New Design

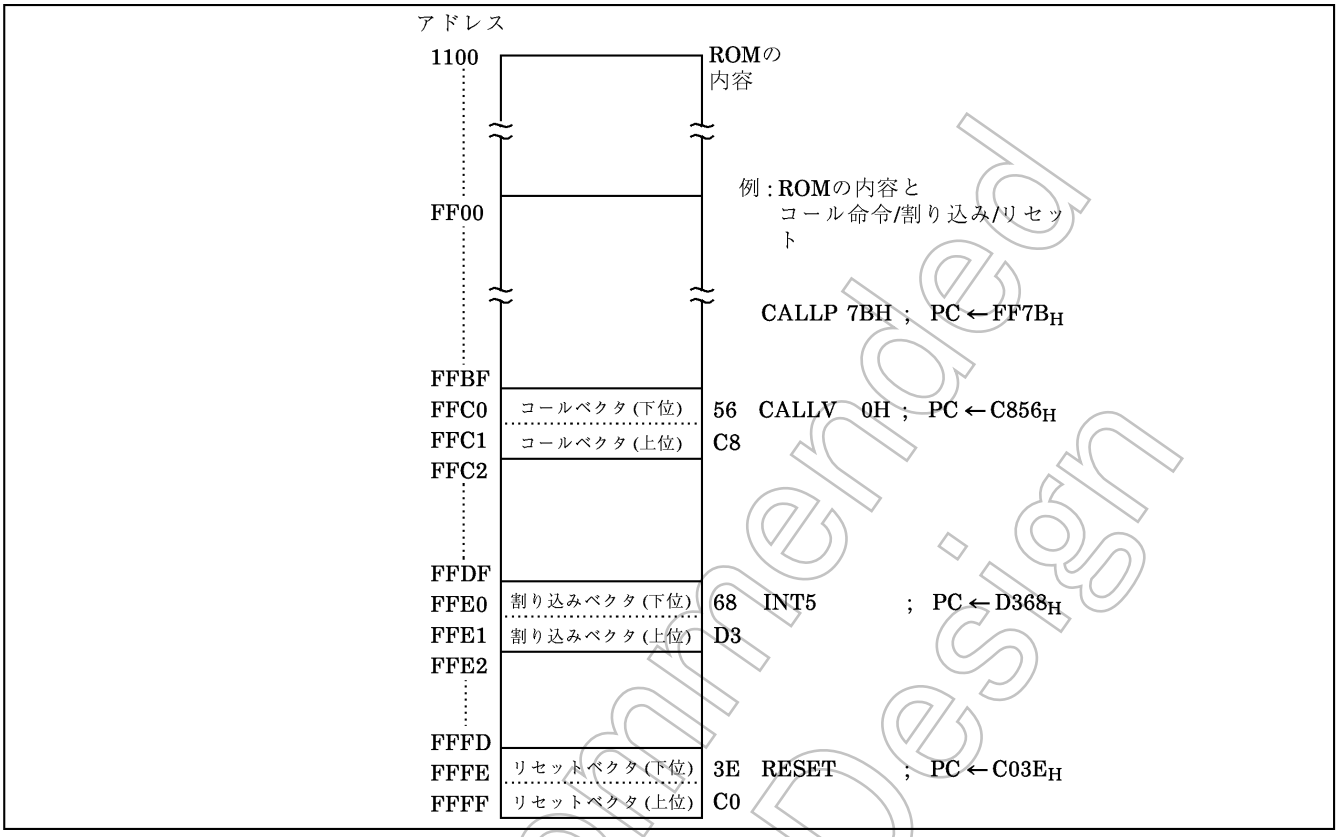


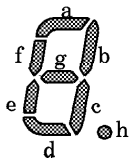
図1-2. プログラムメモリ マップ

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード(PC＋A)の命令も使用でき、コード変換, テーブル ルックアップ, 多方向分岐処理などが容易にプログラミングできます。

例1： HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理(HL≧1100_H)。

```
        LD          A, (HL)        ; A←ROM (HL)
```

例2： BCD→ 7セグメントコード (アノードコモン) 変換出力処理
($A=05_H$のとき下記プログラムの実行で、P6ポートに92_Hが出力されます)。



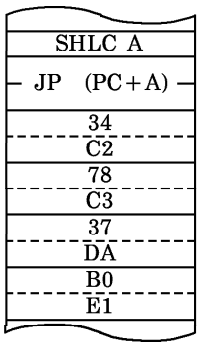

```
        ADD         A, TABLE－$－4 ;   P6 ←ROM (TABLE＋A)
        LD          (P6), (PC＋A)
        JRS         T, SNEXT       ; Jump to SNEXT
TABLE : DB    0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H
SNEXT :
```

注) $ は ADD 命令の先頭アドレス。DB はバイトデータの定義命令。

Not Recommended for New Design

例3： アキュムレータの内容 (0≦A≦3) による多方向分岐処理

```
SHLC    A          ; if A=00H then PC←C234H
JP      (PC+A)       if A=01H then PC←C378H
                     if A=02H then PC←DA37H
                     if A=03H then PC←E1B0H
DW      0C234H, 0C378H, 0DA37H, 0E1B0H
```



注) DW はワードデータの定義命令。ワード = 2バイト。

1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル (FFFF, $FFFE_H$番地) に格納されているリセット ベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、FFFF, $FFFE_H$番地にそれぞれ、C0, $3E_H$ が格納されている場合、リセット解除後 $C03E_H$番地から実行開始します。

TLCS-870シリーズは、パイプライン処理 (命令先行フェッチ) を行っていますので、プログラムカウンタは、常に2アドレス先を指します。例えば、$C123_H$番地に格納されている1バイト命令の実行中、プログラムカウンタの内容は、$C125_H$です。

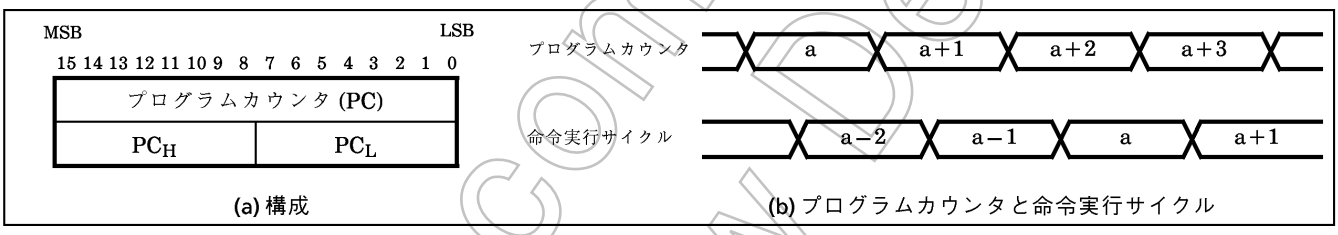


図1-3. プログラムカウンタ

1.4 データメモリ (RAM)

87CS68は、2Kバイト(アドレス0040~$083F_H$番地)のデータメモリ (スタティックRAM) を内蔵しています。図1-4.にデータメモリマップを示します。

0000~$00FF_H$番地は、ダイレクト アドレッシング領域になっており、このアドレッシング モードを用いる命令が強化されていますので、0040~$00FF_H$番地のデータメモリは、ユーザーフラグやユーザーカウンタとしても使用できます。

例1： データメモリの$00C0_H$番地のビット2が"1"なら$00E3_H$番地に00_Hを書き込み、"0"ならFF_Hを書き込む処理。

```
        TEST    (00C0H).2     ; if (00C0H)2=0 then jump
        JRS     T,SZERO
        CLR     (00E3H)       ; (00E3H)←00H
        JRS     T,SNEXT
SZERO : LD(00E3H), 0FFH ;  (00E3H)←FFH
SNEXT :
```

Not Recommended for New Design

例2： データメモリの$00F5_H$番地の内容をインクリメントし、10_H以上になると00_Hにクリアする処理。

```
        INC     (00F5H)
        AND     (00F5H), 0FH
```

$0040 \sim 00BF_H$番地の128バイトには、汎用レジスタバンク (8レジスタ×16バンク) が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、0040_H番地を読み出すとバンク0のアキュムレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック, スタックポインタ』を参照してください。

なお、87CS68は、データメモリ上に置かれたプログラムを実行することは、できません。プログラムカウンタがデータメモリを指した場合、バスエラーによりアドレストラップリセットがかかります ($\overline{\text{RESET}}$ 端子出力が“L”レベルになります)。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例1： 87CS68のRAMクリア (バンク0以外のRAMをすべてゼロクリア)

```
        LD      HL, 0048H     ; スタートアドレス(HL)の設定
        LD      A, H          ; 初期化データ(A)の設定
        LD      BC, 07F7H     ; バイト数−1(BC)の設定
SRAMCLR: LD     (HL+), A
        DEC     BC
        JRS     F, SRAMCLR
```

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、上記の例でバンク0を除いてRAMクリアしています。

Not Recommended for New Design

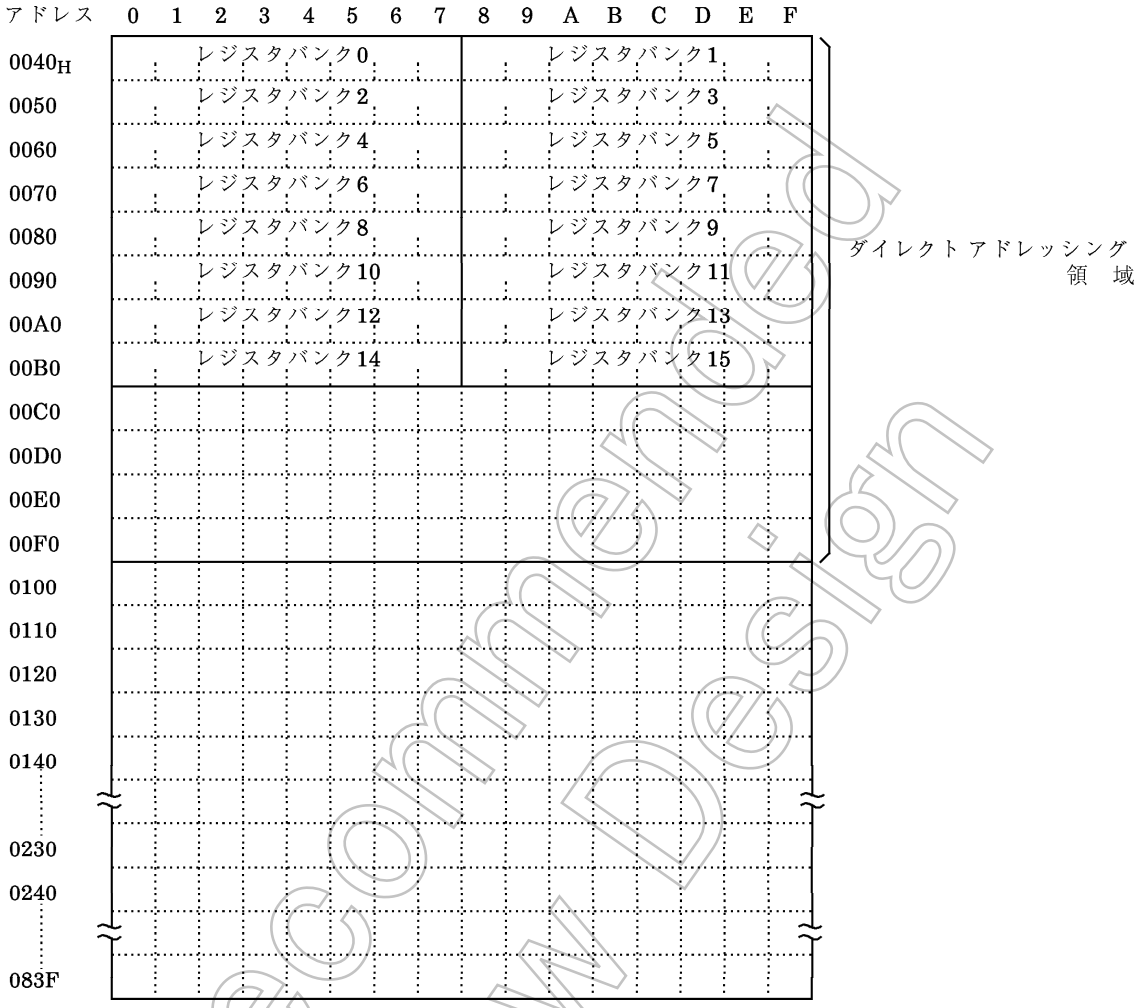


図1-4. データメモリマップ

Not Recommended for New Design

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF$_H$番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ 8本を1バンクとして16バンク内蔵しています。図1-5.に汎用レジスタ バンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

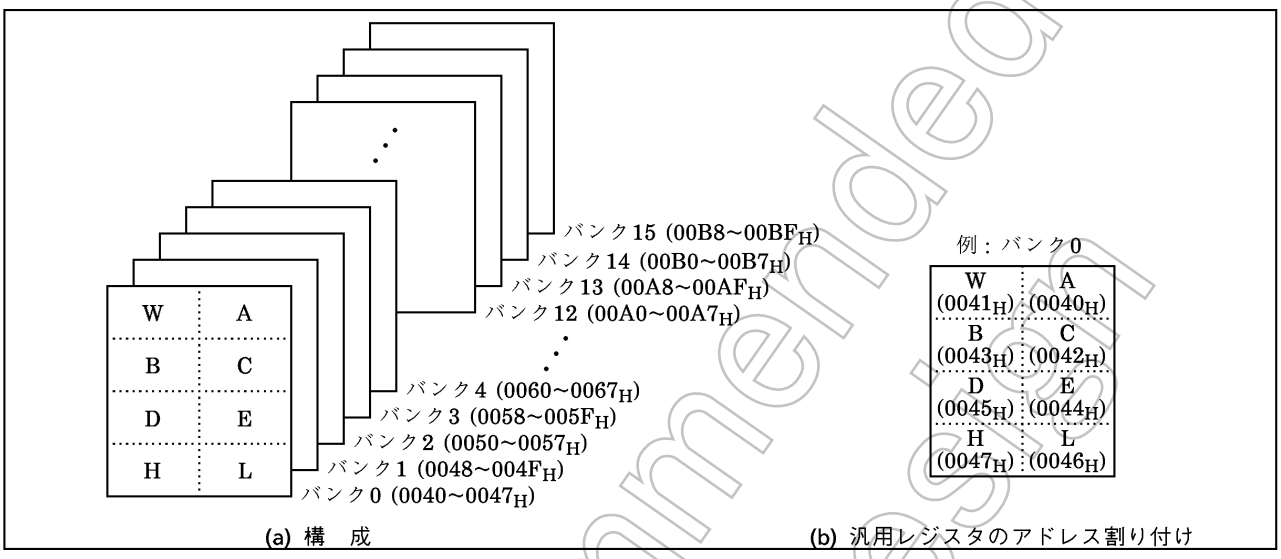


図1-5. 汎用レジスタ バンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

(1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ (Wが上位, Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

例：
① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。
② SUB WA, 1234H ; WAの内容から即値1234$_H$を引き、結果をWAに入れます。
③ SUB E, A ; Eの内容からAの内容を引き、結果をEに入れます。

(2) HL, DE

HLはデータポインタ/インデックスレジスタ/ベースレジスタとして、DEはデータポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウエアLIFO(ラストインファーストアウト)処理が容易にできます。

例1：
① LD A, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。
② LD A, (HL+52H) ; HLに即値52$_H$を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。
③ LD A, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。

Not Recommended for New Design

```
④        LD      A, (HL+)     ; HLで指定されるアドレスのメモリ内容をAにロード後、
                                  HLの内容をインクリメントします。
⑤        LD      A, (−HL)     ; HLの内容をデクリメントし、その値で指定されるアドレ
                                  スのメモリ内容をAにロードします。
```

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2： ブロック転送

```
         LD      B, m         ; m=n−1 (n:転送バイト数)
         LD      HL, DSTA     ; 転送先アドレスを HL に入れます。
         LD      DE, SRCA     ; 転送元アドレスを DE に入れます。
SLOOP:   LD      (HL), (DE)   ; (HL)←(DE)
         INC     HL           ; HL←HL+1
         INC     DE           ; DE←DE+1
         DEC     B            ; B←B−1
         JRS     F, SLOOP     ; if B≧0 then loop
```

(3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ，カウンタなどに使用できます。Cは、レジスタ インデックス アドレッシング (HL+C) におけるオフセットレジスタとして (前記の例1③)、また除算命令における除数レジスタとしての機能を有しています。

例1： リピート処理

```
         LD      B, n         ; リピート回数の設定 (n+1回 処理が行われます)
SREPEAT: 処　理
         DEC     B
         JRS     F, SREPEAT
```

例2： 除算 (16ビット÷8ビット)

```
         DIV     WA, C        ; WA÷Cの演算を行い、商をAに、余りをWに入れます。
```

汎用レジスタのバンク選択は、4ビット長のレジスタバンクセレクタ(RBS) により行います。リセット時 RBSは “0” に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラム ステータス ワード (PSW) として、SFR内の$003F_H$番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令 [LD　RBS, n], [PUSH　PSW], [POP PSW] が用意されています。

例1： RBSのインクリメント

```
         INC     (003FH)      ; RBS←RBS + 1
```

例2： RBSのリード

```
         LD      A, (003FH)   ; A←RBS (この命令ではフラグも同時に読み出されますの
                                       で、A←PSWとなります)
```

Not Recommended for New Design

割り込み処理におけるレジスタの退避, サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBS は自動的にスタックに退避されます。なお、割り込みリターン命令 [RETI], [RETN] の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウエア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例： バンク切り替えによる割り込みタスクにおける汎用レジスタの退避 / 復帰

```
PINT1 :        LD   RBS, n     ; RBS ← n (バンクnに切り替え)
               割り込み処理
               RETI            ; マスカブル割り込みリターン
                               (バンクは自動的に復帰)
```

1.6 プログラム ステータス ワード (PSW)

プログラム ステータス ワードは、レジスタバンクセレクタ (RBS) とフラグから構成され、SFR内の$003F_H$番地に割り付けられています。

RBSは、メモリアクセス命令で 読み出し / 書き込みができ、フラグは 読み出しのみできます。PSW に対して 書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H] 命令を実行すると、RBSには “5” が書き込まれ、JFは “1” にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSW は割り込みリターン命令[RETI] , [RETN] の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ [PUSH PSW] / ポップ [POP PSW] があります。

1.6.1 レジスタ バンク セレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS＝2のとき、バンク2が現在選択されていることになります。

7	6	5	4	3	2	1	0
JF	ZF	CF	HF	RBS			

図1-6. PSW (フラグ , RBS) の構成

1.6.2 フラグ (FLAG)

ゼロフラグ, キャリーフラグ, ハーフキャリーフラグおよびジャンプ ステータス フラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ, キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JR cc, $＋2＋d] , [JRS cc, $＋2＋d] のジャンプ条件 cc となります。

リセット解除時 ジャンプステータスフラグは、“1” に初期化されます (そのほかのフラグは初期化されません)。

(1) ゼロフラグ(ZF)

ゼロフラグは、演算結果または転送データが00_H (8ビット演算/転送時) /0000_H (16ビット演算時)のとき “1” にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が “0” のときZFは “1” にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます (ビットテスト)。乗算命令の場合 積の上位8ビットが00_Hのとき、除算命令の場合 剰余が00_Hのとき、ZFは “1” にセットされ、そのほかのときは“0”にクリアされます。

Not Recommended for New Design

(2) キャリーフラグ(CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00_Hのとき (Divided by zero Error)、または、商が100_H以上のとき(Overflow Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ(ブーリアンアキュムレータ)として機能します 。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作(07H番地のビット5の内容と9AH番地のビット0の内容とで排他的論理和をとり、結果を01H番地のビット2に書き込みます)。

```
LD      CF, (0007H).5 ;  (0001H)2 ← (0007H)5 ∀ (009AH)0
XOR     CF, (009AH).0
LD      (0001H).2, CF
```

(3) ハーフキャリーフラグ(HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです([DAA r], [DAS r]命令による十進補正)。

例： BCD演算(A＝19_H, B＝28_Hのとき、次の命令を実行すると、Aは47_Hになります)。

```
ADD     A, B        ; A ← 41H, HF ← 1, CF ← 0
DAA     A           ; A ← 41H + 06H = 47H (十進補正)
```

(4) ジャンプ ステータス フラグ (JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令
[JR T/F, $+2+d], [JRS T/F, $+2+d] (T, Fは条件コードです)のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```
INC     A
JRS     T, SLABLE1   ; 直前の演算命令で桁上げが発生した場合
 ⋮                   ジャンプします。
LD      A, (HL)
JRS     T, SLABLE2   ; 直前の命令でJFは“1”にセットされますので、
 ⋮                   無条件ジャンプ命令と見なされます。
```

例： WAレジスタペア, HLレジスタペア, データメモリの$00C5_H$番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ“$219A_H$”, “$00C5_H$”, “$D7_H$”, “1”, “0” のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

命令	実行後のアキュムレータ	実行後のフラグ JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1
SUBB A, (HL)	C2	1	0	1	0
CMP A, (HL)	9A	0	0	1	0
AND A, (HL)	92	0	0	1	0
LD A, (HL)	D7	1	0	1	0
ADD A, 66H	00	1	1	1	1

命令	実行後のアキュムレータ	実行後のフラグ JF	ZF	CF	HF
INC A	9B	0	0	1	0
ROLC A	35	1	0	1	0
RORC A	CD	0	0	0	0
ADD WA, 0F508H	16A2	1	0	1	0
MUL W, A	13DA	0	0	1	0
SET A.5	BA	1	1	1	0

Not Recommended for New Design

1.7 スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n]実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウエア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール, プッシュ命令実行時および割り込み受け付け時にポストデクリメントされ、リターン, ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8.に示します。

図1-7. スタックポインタ

スタックポインタは、ハードウエア的には初期化されませんので、イニシャライズルーチンで初期化(スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg]および
[LD gg, SP](mnは16ビット即値、ggはレジスタペア)があります。

例1: スタックポインタのイニシャライズ

```
LD      SP, 083FH     ; SP←083F_H
```

例2: スタックポインタのリード

```
LD      HL, SP        ; HL←SP
```

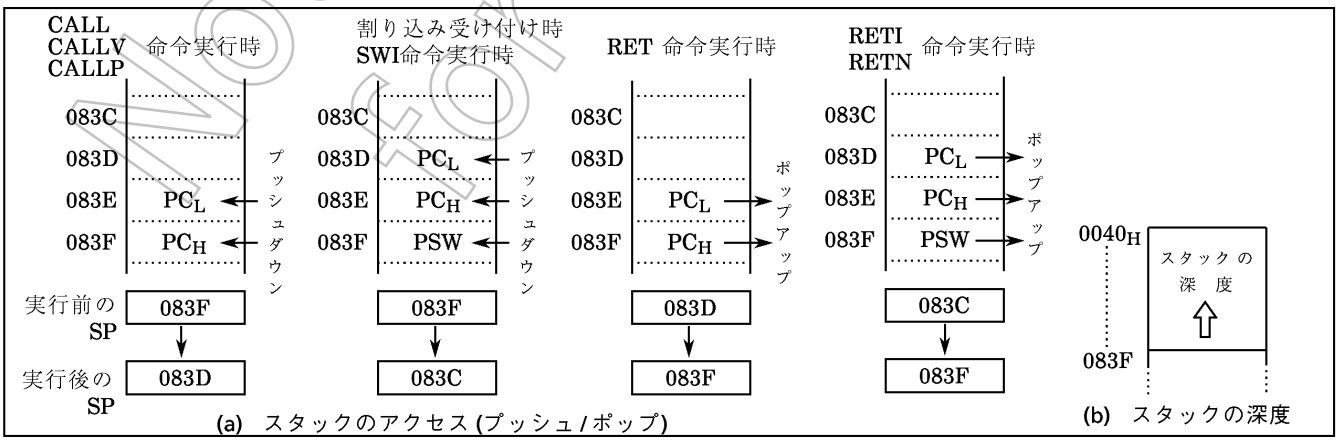


図1-8. スタック

Not Recommended for New Design

1.8 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ,クロックギア,タイミングジェネレータおよびスタンバイ制御回路から構成されています。

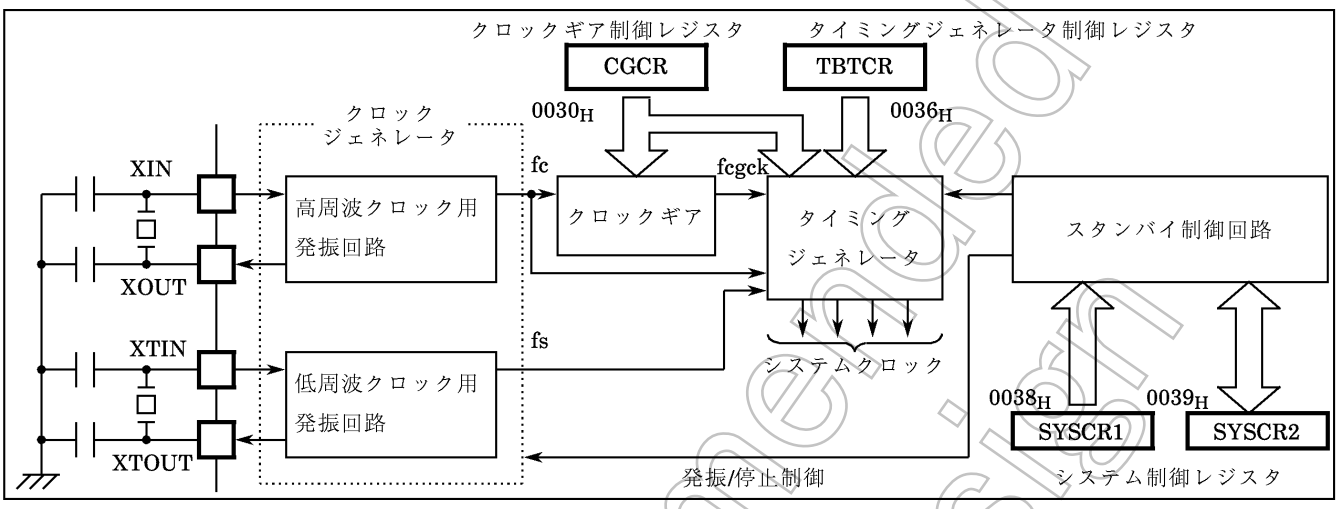


図1-9. システムクロック制御回路

1.8.1 クロック ジェネレータ

クロック ジェネレータは、CPUコアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数fc), 低周波クロック(周波数fs)は、それぞれXIN, XOUT端子, XTIN, XTOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。CR発振には対応していません。

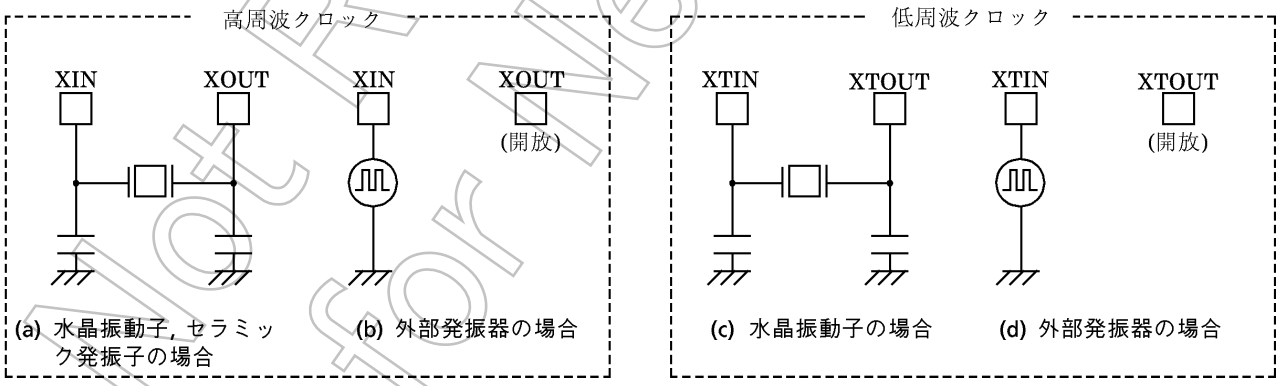


図1-10. 発振子の接続例

注) 発振周波数の調整
基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

Not Recommended for New Design

1.8.2 クロックギア

クロックギアは、タイミングジェネレータに供給するメインシステムクロックの基準となるギアクロックfcgckを高周波クロックfcまたはその分周クロックfc/2, fc/4, fc/8のいずれかから選択する回路です。クロックギアを使用して、ギアクロックをfcからfc/2, fc/4あるいはfc/8に切り替えることにより、消費電力の低減が図れます。

クロッグギアは3段のプリスケーラと選択回路から構成されます。

注) リセット解除後、ギアクロック fcgck は fc が選択されます。

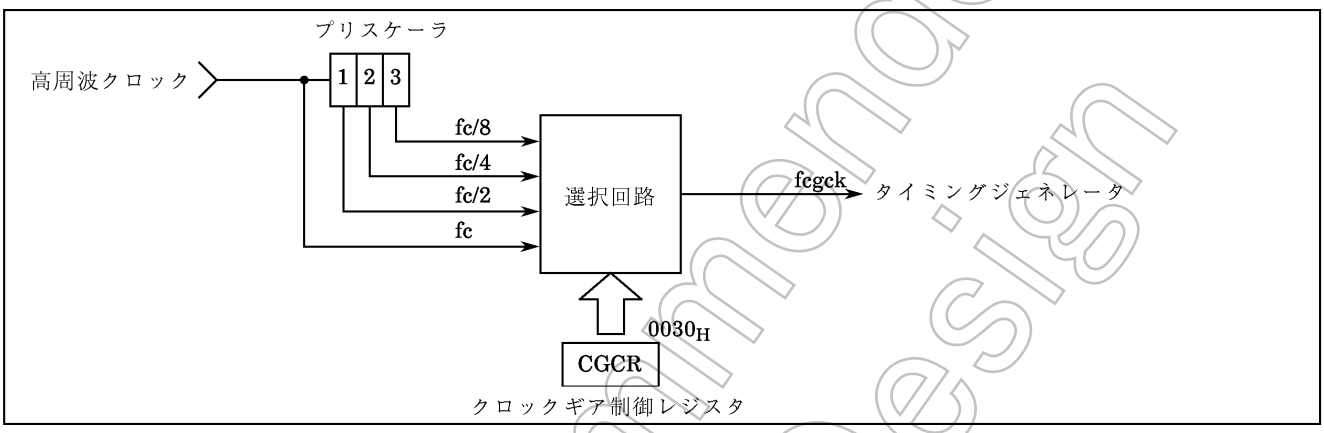


図1-11. クロックギア

CGCR (00030H)

7	6	5	4	3	2	1	0
(DVCK)				FCGCK			

(初期値 000* 1000)

FCGCK	ギアクロックの選択 (write) / モニタ (read)	0*** : reserved 1000 : fc 1001 : fc/2 1010 : fc/4 1011 : fc/8 1100 : reserved 1101 : reserved 111* : reserved	R/W

注1) fc ; 高周波クロック [Hz] * ; don't care

注2) CGCRのビット4は、リードすると "1" が読み出されます。

図1-12. クロックギア制御レジスタ

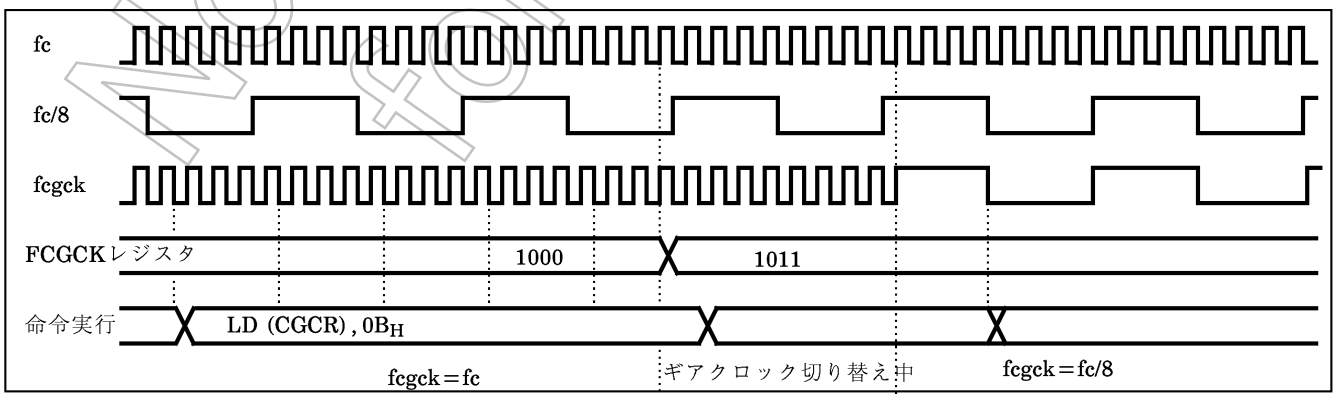


図1-13. クロックギアによるクロック切り替えタイミング例

Not Recommended for New Design

1.8.3 タイミング ジェネレータ

タイミング ジェネレータは、ギアクロック (fcgck) または基本クロック (fcまたはfs) からCPUコアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミング ジェネレータの機能は、次のとおりです。

① メインシステムクロックfm生成　② タイマカウンタの内部ソースクロック生成

③ デバイダ出力 ($\overline{DVO}$) パルス生成　④ STOPモード解除時のウォーミングアップクロック生成

⑤ タイムベースタイマのソースクロック生成　⑥ SIOの内部シリアルクロック生成

⑦ ウォッチドッグタイマのソースクロック生成　⑧ リセット出力パルス生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケーラ、21段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

クロックギアを使用してメインシステムクロックを変化させた場合、デバイダの出力は変化しません。ただし、高速のデバイダ出力 (1~4段目の出力) を使用している周辺回路は、クロックギアでメインシステムクロックが遅くなると使用できなくなります。このような場合に、DVCK (CGCRのビット7, 6, 5) を設定することで高速のデバイダ出力を使用可能な低速デバイダ出力に変更することができます。DVCKは使用するクロックギアの最低速と周辺回路で使用するデバイダ出力にあわせて、周辺回路を起動する前に設定してください。また、一度設定を行った後は設定値を変更しないでください。

デバイダの7段目への入力クロックは動作モードおよびDV7CK (TBTCRのビット4) により表1-2のようになります。なお、リセット時およびSTOPモード起動/解除時プリスケーラおよびデバイダは“0”にクリアされます。

① シングルクロックモード時

高周波クロック (高周波 fc) を256分周したクロック (fc/2^8) がデバイダの7段目に入力されます。なお、シングルクロックモード時DV7CKを“1”にセットしないでください。

② デュアルクロックモード時

NORMAL2, IDLE2モード時 (SYSCK＝0) は、DV7CKにより、デバイダの7段目への入力クロックを fc/2^8 か fs かのいずれかの選択ができます。SLOW, SLEEPモード時 (SYSCK＝1) は、自動的に fs がデバイダの7段目の入力されます (なお、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します)。

表1-1. デバイダ出力使用可否

DVCK	クロックギア周波数 [Hz]	デバイダ出力の使用可否			
		DV1G	DV2G	DV3G	DV4
000	fcgck＝fc	不可	可	可	可
	fcgck＝fc/2	不可	不可	可	可
	fcgck＝fc/4	不可	不可	不可	可
	fcgck＝fc/8	不可	不可	不可	不可
010	fcgck＝fc	可	可	可	可
	fcgck＝fc/2	不可	不可	可	可
	fcgck＝fc/4	不可	不可	不可	可
	fcgck＝fc/8	不可	不可	不可	不可
100	fcgck＝fc	可	可	可	可
	fcgck＝fc/2	可	可	可	可
	fcgck＝fc/4	不可	不可	不可	可
	fcgck＝fc/8	不可	不可	不可	不可
110	fcgck＝fc	可	可	可	可
	fcgck＝fc/2	可	可	可	可
	fcgck＝fc/4	可	可	可	可
	fcgck＝fc/8	不可	不可	不可	不可

Not Recommended for New Design

表1-2. デバイダの7段目への入力クロック (単位 : [Hz])

シングルクロックモード	デュアルクロックモード		
NORMAL1, IDLE1モード	NORMAL2, IDLE2モード (SYSCK＝0)		SLOW, SLEEPモード (SYSCK＝1)
	DV7CK＝0	DV7CK＝1	
$fc/2^8$	$fc/2^8$	fs	fs

注1) シングルクロックモード時DV7CKを“1”にセットしないでください。
注2) SLOW, SLEEP時、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します。
注3) DV1G～DV3Gは下記の対応をします (TC1K～TC5CK : タイマカウンタソースクロックの選択) 。

TC1CK 10 : DV1G　　TC5CK 011 : DV1G

TC2CK 011 : DV1G　　SCK 010 : DV3G
(SIO) 011 : DV2G

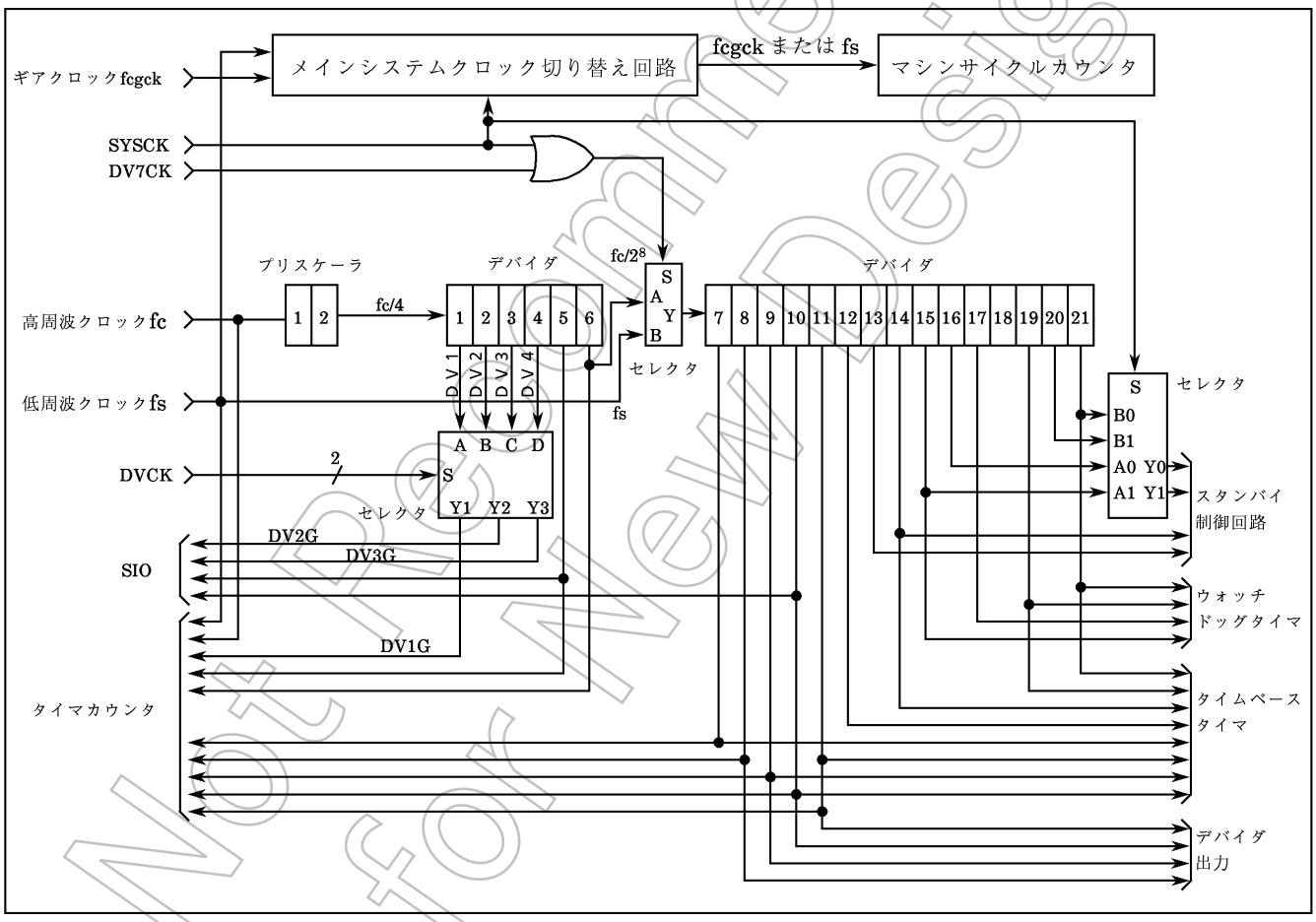


図1-14. タイミング ジェネレータの構成

Not Recommended for New Design

CGCR (0030_H)

7	6	5	4	3	2	1	0
DVCK				(FCGCK)			

(初期値 000* 1011)

DVCK	デバイダ出力DV1G~DV3Gの選択	DV1G / DV2G / DV3G 000 : – / $fc/2^4$ / $fc/2^5$ 010 : $fc/2^4$ / $fc/2^4$ / $fc/2^5$ 100 : $fc/2^5$ / $fc/2^5$ / $fc/2^5$ 110 : $fc/2^6$ / $fc/2^6$ / $fc/2^6$	R/W

注1) fc : 高周波クロック [Hz] * : don't care
注2) CGCRのビット4は、リードすると "1" が読み出されます。

図1-15. クロックギア制御レジスタ

TBTCR (0036_H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		DV7CK	(TBTEN)	(TBTCK)		

(初期値 0000 0000)

DV7CK	デバイダの7段目への入力クロックの選択	0 : $fc/2^8$ 1 : fs	R/W

注1) シングルクロックモード時は、DV7CKを "1" にセットしないでください。
注2) 低周波クロックの発振安定前に DV7CKを "1" にセットしないでください。
注3) fc : 高周波クロック [Hz], fs : 低周波クロック [Hz]

図1-16. タイミング ジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート(S0~S3)で構成され、各ステートは1メインシステムクロックで構成されます。

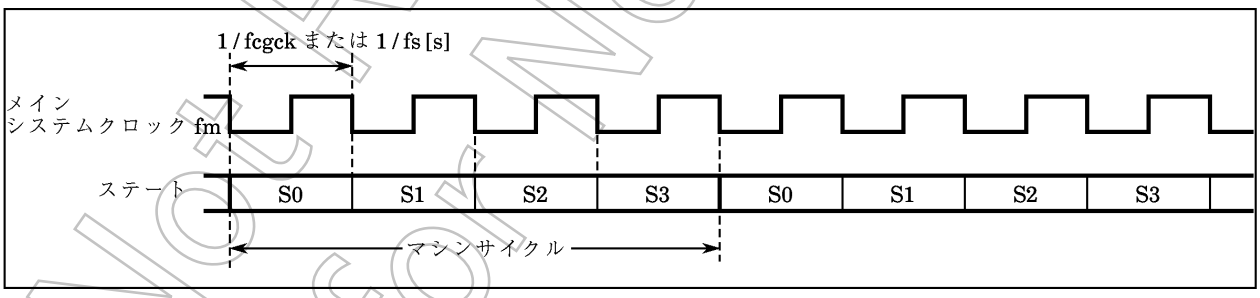


図1-17. マシンサイクル

表1-3. マシンサイクル

周波数		マシンサイクル			
		fcgck = fc	fcgck = fc/2	fcgck = fc/4	fcgck = fc/8
高周波	fc = 8 MHz	0.5 μs	1 μs	2 μs	4 μs
	fc = 4 MHz	1 μs	2 μs	4 μs	8 μs
低周波	fs = 32.768 kHz	122 μs			

Not Recommended for New Design

1.8.4 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用, 低周波クロック用の各発振回路の発振/停止 および メインシステムクロックの切り替えを行います。動作モードは、シングル クロック モードとデュアル クロック モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-18に動作モード遷移図を、図1-19に制御レジスタを示します。

(1) シングル クロック モード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングル クロック モードにおけるマシンサイクルタイムは 4 / fcgck [s] となります。

① NORMAL1モード

CPUコアおよび 周辺ハードウエアを高周波クロックで動作させるモードです。87CS68では、シングルクロックモードをオプション選択した場合、リセット解除後このNORMAL1モードになります。

② IDLE1モード

CPUおよび ウォッチドッグ タイマ を停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2で行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスタ許可フラグ) が "1" (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが "0" (割り込み禁止状態) のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

③ STOP1モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP1モードの起動は、システム制御レジスタ1で行います。解除は、$\overline{\text{STOP}}$ 端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOP1モードを起動した命令の次の命令から実行再開します。なお、キーオンウェイクアップ機能を使用している場合、条件によってエッジ解除できないことがあります。

(2) デュアル クロック モード

高周波, 低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時、高周波クロックから生成され、SLOW, SLEEPモード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4 / fcgck [s] , SLOW, SLEEP モード時 4 / fs [s] (122 μs @ fs＝32.768 kHz) となります。

TMP87PS68は、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波 / 低周波の両クロックで動作します。デュアルクロックモードをオプション選択した場合、リセット解除後このNORMAL2モードになります。

Not Recommended for New Design

② SLOWモード

高周波クロックの発振を停止させ、CPUコア, 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2からSLOWへの切り替え, SLOWからNORMAL2への切り替えは、システム制御レジスタ2で行います。

③ IDLE2モード

CPUおよびウォッチドッグ タイマを停止し、周辺ハードウエアを高周波/低周波の両クロックで動作させるモードです。IDLE2モードの起動/解除方法は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

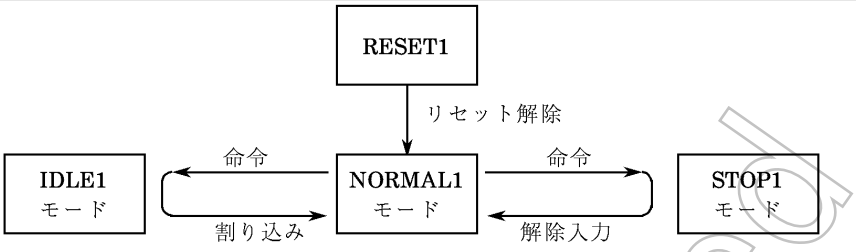
④ SLEEPモード

CPUおよびウォッチドッグ タイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEPモードの起動/解除方法は、IDLE1モードと同じです。解除後、SLOWモードに戻ります。なお、高周波クロックは発振しておりません。

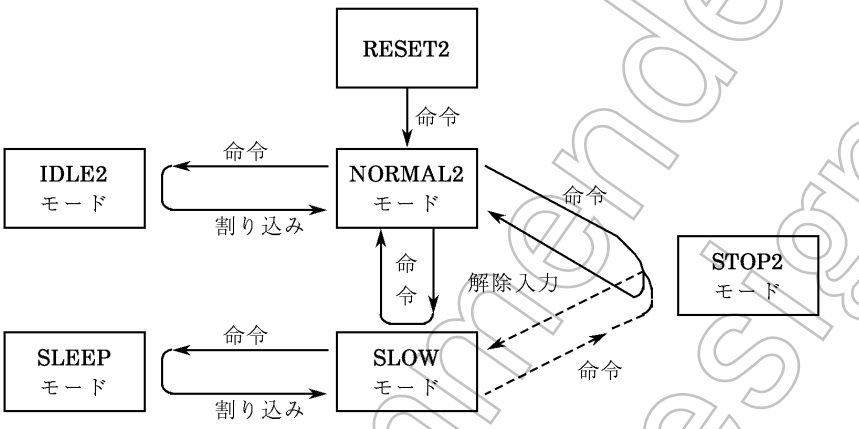
⑤ STOP2モード

シングル クロック モードのSTOP1モードと同様、システムの動作をすべて停止するモードです。起動時NORMAL2モードのときは解除後にNORMAL2モードに戻り、起動時SLOWモードのときはSLOWモードに戻ります。

Not Recommended for New Design



(a) シングルクロック モード



(b) デュアルクロック モード

注1) NORMAL1, NORMAL2を、STOP1, STOP2を、IDLE1, IDLE2, SLEEP を、それぞれ総称して NORMAL, STOP, IDLE と呼びます。
注2) 87PS68にはRESET2はありません。

動作モード		発振回路 高周波	発振回路 低周波	CPUコア	周辺回路	マシンサイクルタイム
シングルクロック	RESET1	発　振	停　止	リセット	リセット	4 / fcgck [s]
	NORMAL1			動　作	動　作	
	IDLE1			停　止		
	STOP1	停　止			停　止	—
デュアルクロック	RESET2	発　振	発　振	リセット	リセット	4 / fcgck [s]
	NORMAL2			高周波動作	動　作	
	IDLE2			停　止		
	SLOW	停　止		低周波動作	低周波動作	4 / fs [s]
	SLEEP			停　止		
	STOP2		停　止		停　止	—

図1-18. 動作モード 状態遷移図

Not Recommended for New Design

システム制御レジスタ1

SYSCR1 (0038_H)

7	6	5	4	3	2	1	0
STOP	RELM	RETM	OUTEN	WUT			

(初期値　0000 00**)

STOP	STOPモードの起動	0 : CPUコア, 周辺ハードウエア 動作 1 : CPUコア, 周辺ハードウエア 停止 (STOPモード起動)			R/W
RELM	STOPモードの解除方法の選択	0 : $\overline{\text{STOP}}$端子入力の立ち上がりエッジで解除 1 : $\overline{\text{STOP}}$端子入力の"H" レベルで解除			
RETM	STOPモード解除後の動作モードの選択	0 : NORMALモードへ戻る 1 : SLOWモードへ戻る			
OUTEN	STOPモード時のポート出力状態の選択	0 : ハイインピーダンス 1 : 出力保持			
WUT	STOPモード解除時のウォーミングアップ時間 単位 :[s]		NORMALモードへ戻る場合	SLOWモードへ戻る場合	
		00	3×2^{16} / fc	3×2^{13} / fs	
		01	2^{16} / fc	2^{13} / fs	
		10	3×2^{14} / fc	–	
		11	2^{14} / fc	–	

注1)　RETMは、NORMAL1モードからSTOP モードに移す場合およびNORMAL2モードからSTOP モードに移す場合はかならず "0" にしてください。SLOWモードからSTOP2モードに移す場合はかならず "1" にしてください。

注2)　STOPモードを$\overline{\text{RESET}}$端子入力で解除した場合は、RETMの値にかかわらずNORMALモードに戻ります。

注3)　SYSCR1 のビット 1, 0 は、リードすると"1"が読み出されます。

注4)　fc ;　高周波クロック [Hz]　　fs ;　低周波クロック [Hz]　　* ;　don't care

注5)　OUTEN = "0" の指定でSTOP動作にはいると、内部入力は "0" に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。

注6)　キーオンウェイクアップを使用している場合、条件によりエッジ解除ができません。レベル解除 (RELM = "0") にすることをお薦めします。

システム制御レジスタ2

SYSCR2 (0039_H)

7	6	5	4	3	2	1	0
XEN	XTEN	SYSCK	IDLE				

(初期値　10/100 ****)

XEN	高周波発振器の制御	0 : 発振停止 1 : 発振継続 または 発振開始	R/W
XTEN	低周波発振器の制御	0 : 発振停止 1 : 発振継続 または 発振開始	
SYSCK	システムクロックの選択(write) / モニタ (read)	0 : 高周波クロック (NORMAL1 / NORMAL2 / IDLE1 / IDLE2) 1 : 低周波クロック (SLOW / SLEEP)	
IDLE	IDLE モードの起動	0 : CPU, WDT動作 1 : CPU, WDT停止 (IDLE1 / IDLE2 / SLEEPモード 起動)	

注1)　XEN, XTENをともに "0" にするとリセットがかかります($\overline{\text{RESET}}$ 端子出力が"L"レベルとなります)。

注2)　SYSCK = 0のときXENを "0" に、またSYSCK = 1のときXTENを "0" にしないでください。

注3)　WDT ; ウォッチドッグタイマ,　* ; don't care

注4)　SYSCR2のビット3~0は、リードすると"1"が読み出されます。

注5)　XTENは、初期値のオプション選択ができます。ES 発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作製依頼書にてマスクオプションの指定を、かならず行ってください。記入の仕方については付録の"TLCS-870 シリーズにおけるマスクオプション指定方法" を参照してください。
87PS68の場合、XTENの初期値は "0" です。

XTEN	リセット解除後の動作モード
0	シングルクロックモード (NORMAL1)
1	デュアルクロックモード (NORMAL2)

図1-19.　システム制御レジスタ1, 2

Not Recommended for New Design

1.8.5 動作モードの制御

(1) STOPモード (STOP1, STOP2)

STOPモードは、システム制御レジスタ1と$\overline{\text{STOP}}$端子入力によって制御されます。$\overline{\text{STOP}}$端子は、P20ポートならびに$\overline{\text{INT5}}$ (外部割り込み入力5) 端子と兼用です。STOPモードは、STOP (SYSCR1のビット7) を "1" にセットすることにより起動され、STOPモード中、次の状態を保持しています。

① 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。

② データメモリ, レジスタ (DBRを除く), プログラムステータスワード, ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN (SYSCR1のビット4) の設定により、出力保持/ハイインピーダンスの選択ができます。

③ タイミングジェネレータのデバイダを "0" にクリアします。

④ プログラムカウンタは、STOPモードを起動する命令 (例えば、[SET (SYSCR1) . 7]) の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM (SYSCR1のビット6) で選択します。

なお、キーオンウェイクアップ機能については『2.12 キーオンウェイクアップ』をご参照ください。

a. レベル解除モード (RELM="1" のとき)

$\overline{\text{STOP}}$端子への "H" レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$端子入力が "H" レベルの状態でSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、ただちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードでSTOP動作で起動する場合、$\overline{\text{STOP}}$端子入力が "L" レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 ($\overline{\text{INT5}}$端子入力の立ち下がりエッジで割り込みを発生します)

例： INT5割り込みにより、STOPモードを起動

```
PINT5 :   TEST   (P2) . 0                  ;  ノイズ除去のため P20ポート入力が "H"
          JRS    F, SINT5                     レベルならSTOPモードを起動しない。
          LD     (SYSCR1), 01000000B       ;  レベル解除モードにセットアップ
          SET    (SYSCR1) . 7              ;  STOPモードを起動
          LDW    (IL), 1110011101010111B   ;  IL12, 11, 7, 5, 3 ← 0
                                              (割り込みラッチのクリア)
SINT5 :   RETI
```

Not Recommended for New Design

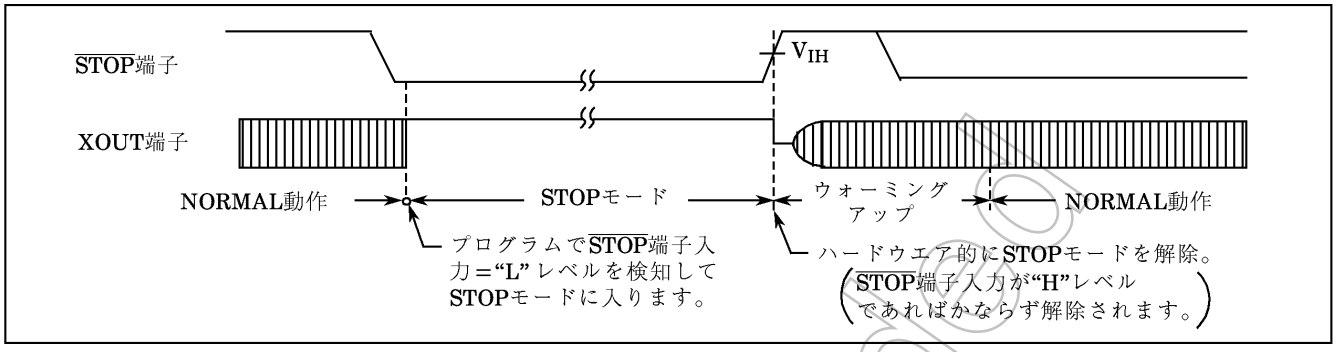


図1-20. レベル解除モード

注1) ウォーミングアップ開始後、再びSTOP端子入力が "L" レベルになってもSTOPモードには戻りません。
注2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM＝"0" のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が "H" レベルにあってもSTOP動作に入ります。

例： エッジ解除モードのSTOP動作を起動

LD (SYSCR1), 10000000B

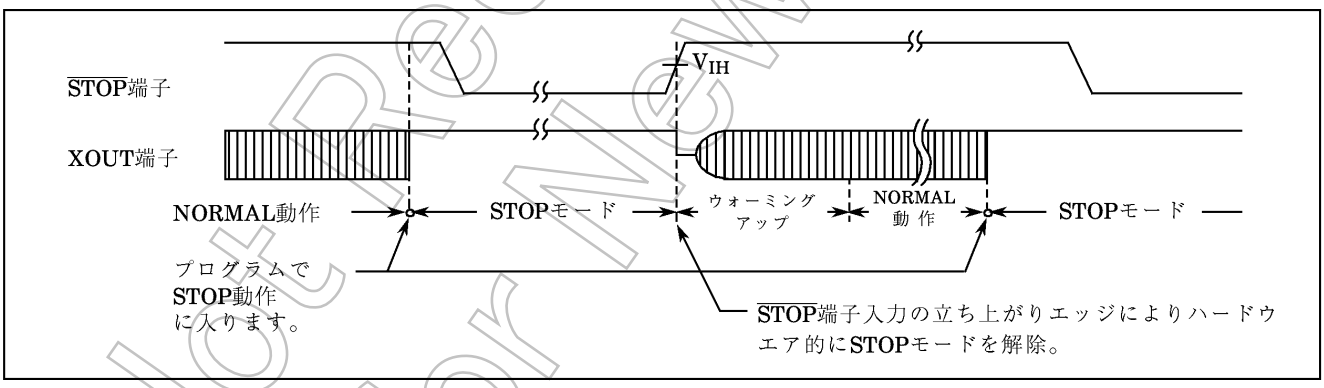


図1-21. エッジ解除モード

Not Recommended for New Design

STOPモードの解除は、次のシーケンスで行われます。

① 発振が開始されます。デュアル クロック モードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。

② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2) で2種類選択できます。

③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは "0" にクリアされた状態から始まります。

表1-4. ウォーミングアップ時間 (例 : fc = 8 MHz, fs = 32.768 kHz時)

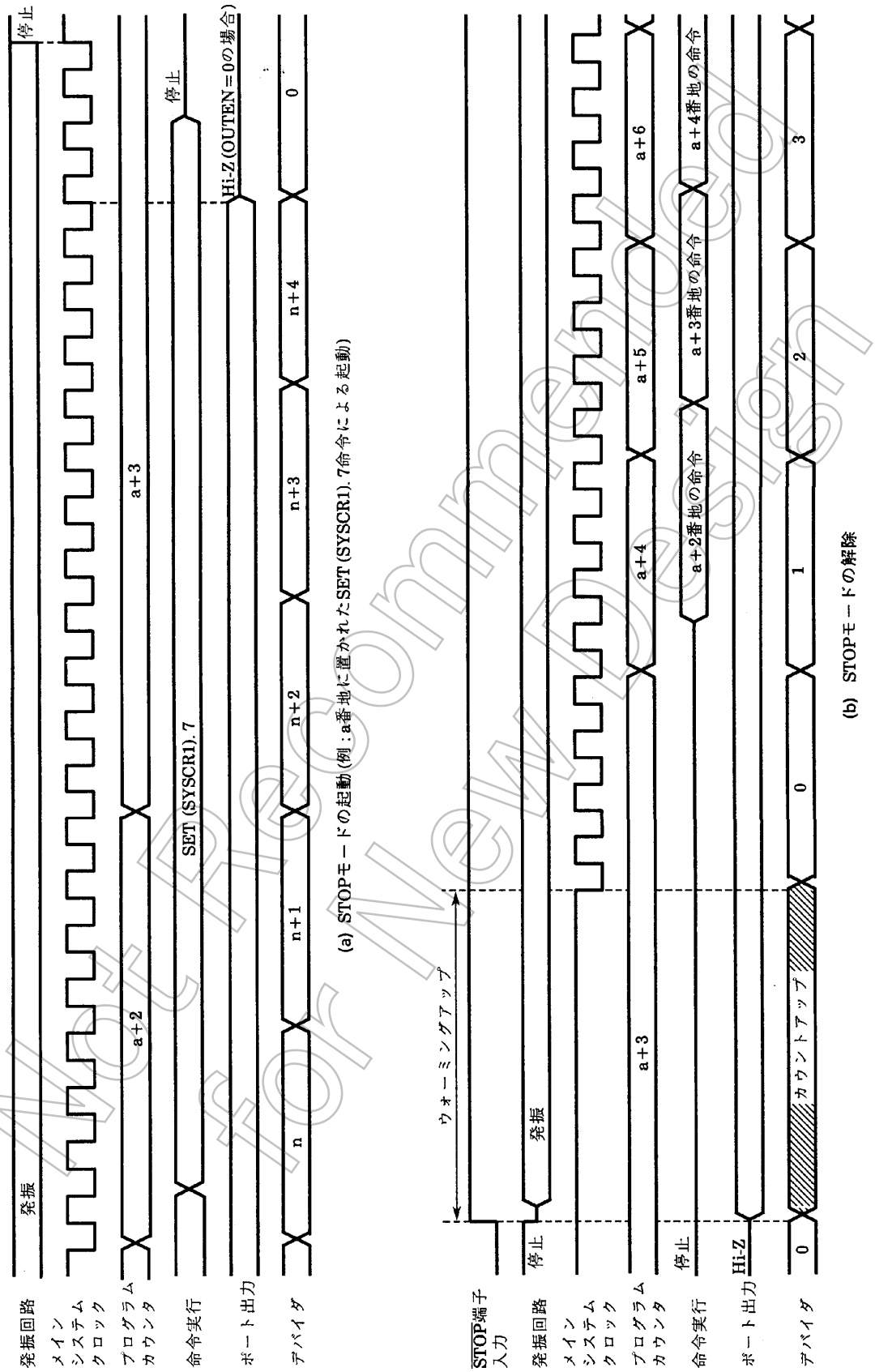
WUT	ウォーミングアップ時間 [ms]	
	NORMALモードへ戻る場合	SLOWモードに戻る場合
00	24.576	750
01	8.192	250
10	6.144	–
11	2.048	–

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、$\overline{\text{RESET}}$端子を "L"レベル にすることによっても解除され、ただちに通常のリセット動作を行います。この場合、SLOWモードに戻る設定がされていても、NORMALモード(87CS68 の場合、マスクオプションにてXTEN (SYSCR2 のビット6) の初期値が"1"のときはNORMAL2 モード、87PS68の場合は、NORMAL1モード) から始まります。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。
STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、$\overline{\text{RESET}}$端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、$\overline{\text{RESET}}$端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、$\overline{\text{RESET}}$端子の入力電圧レベルが、$\overline{\text{RESET}}$端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

Not Recommended for New Design



(a) STOPモードの起動(例:a番地に置かれたSET (SYSCR1). 7命令による起動)

(b) STOPモードの解除

図1-22. STOPモードの起動/解除

Not Recommended for New Design

(2) IDLEモード (IDLE1, IDLE2, SLEEP)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

① CPUおよびウォッチドッグタイマは動作を停止します。周辺ハードウエアは動作を継続します。

② データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。

③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

例： IDLEモードの起動
SET (SYSCR2).4

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、IDLE1モードのときはNORMAL1モードに、IDLE2モードのときはNORMAL2モードに、SLEEPモードのときはSLOWモードに戻ります。

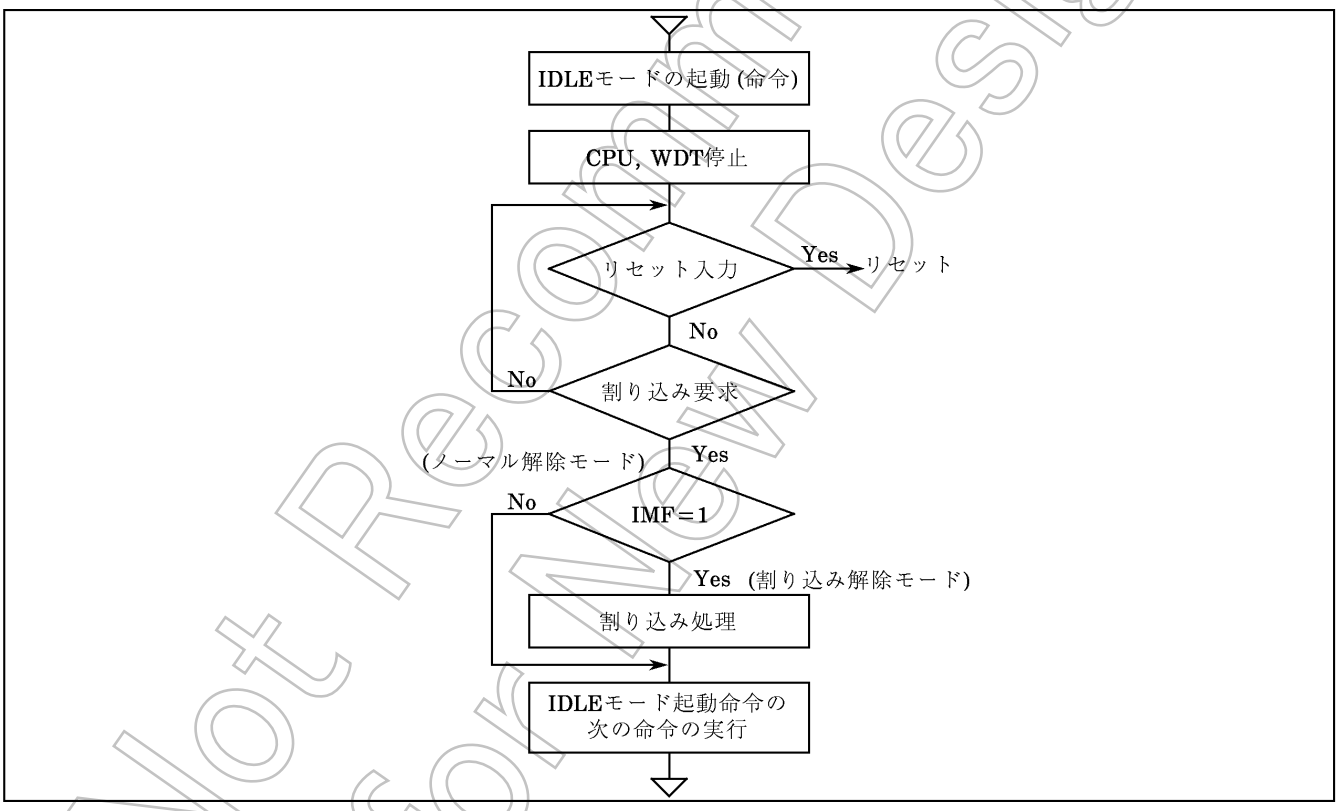


図1-23. IDLEモード

Not Recommended for New Design

a. ノーマル解除モード (IMF＝“0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

b. 割り込み解除モード (IMF＝“1” のとき)

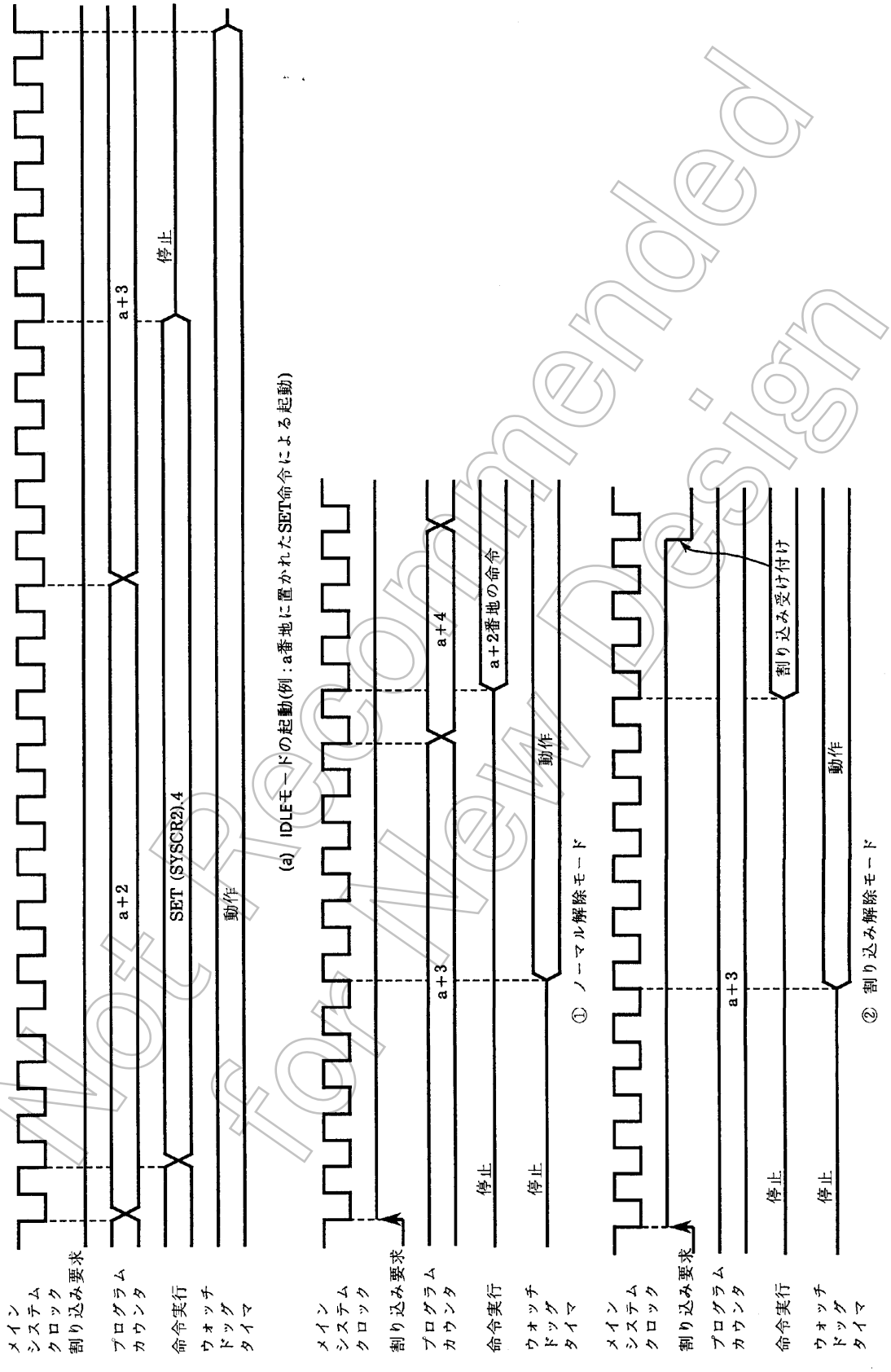
割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求によりIDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードを起動した命令の次の命令に戻ります。

なお、IDLEモードは、$\overline{RESET}$端子を “L” レベルにすることによっても解除され、ただちに通常のリセット動作を行います。IDLEモードでリセットをかけた場合は、リセット解除後ES発注の際、指定したモードから始まります。

シングルクロックモード(XTEN＝“0”)の場合、NORMAL1モード、デュアルクロックモード(XTEN＝“1”)の場合、NORMAL2モードから始まります。87PS68の場合は、NORMAL1モードから始まります。

注)	IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design



(b) IDLEモードの解除

図1-24. IDLEモードの起動/解除

Not Recommended for New Design

(3) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) および タイマカウンタ2 (TC2) によって制御されます。

a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に "1" を書き込み、システムクロックを低周波クロックに切り替えます。
次に、XEN (SYSCR2のビット7) を "0" にクリアして高周波発振器を停止します。

注) NORMAL2モードへ早く戻るために高周波クロックの発振を継続させることも可能です。 ただし、SLOW モードからSTOPモードを起動する場合は、かならず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ2を使用すると便利です。

例1: NORMAL2モードからSLOWモードへの切り替え。

```
        SET     (SYSCR2).5      ;SYSCK←1  (システムクロックを低周波に切り替え)
        CLR     (SYSCR2).7      ;XEN←0    (高周波クロック停止)
```

例2: TC2で低周波クロックの安定発振の確認後、SLOW モードへ切り替え。

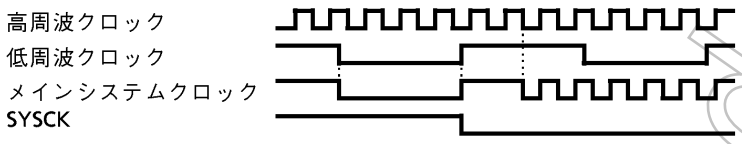
```
        LD      (TC2CR), 14H    ;TC2のモードをセット
                                 (タイマモード, ソースクロック : fs)
        LDW     (TREG2), 8000H  ;ウォーミングアップ時間をセット
                                 (発振子の特性で時間を決定します)
        SET     (EIRH).EF14     ;INTTC2割り込み許可
        LD      (TC2CR), 34H    ;TC2スタート
        :
PINTTC2: LD     (TC2CR), 10H    ;TC2ストップ
        SET     (SYSCR2).5      ;SYSCK←1  (システムクロックを低周波に切り替え)
        CLR     (SYSCR2).7      ;XEN←0    (高周波クロック停止)
        RETI
        :
VINTTC2: DW     PINTTC2         ;INTTC2 ベクタテーブル
```

b. SLOWモードからNORMAL2モードへの切り替え

まず、XEN (SYSCR2のビット7) を "1" にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ2によって確保したあと、SYSCK (SYSCR2のビット5) を "0" にクリアします。

Not Recommended for New Design

注1) SYSCKを“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。



注2) SLOWモードは、$\overline{\text{RESET}}$端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。87CS68の場合、マスクオプションにてXTEN (SYSCR2のビット6)の初期値が“1”のときNORMAL2モード、87PS68は、リセット解除後NORMAL1モードになります。

例： SLOWモードからNORMAL2モードへの切り替え(fc＝8 MHz, ウォーミングアップ時間＝7.9 ms)。

```
            SET     (SYSCR2).7          ;XEN←1     (高周波クロック発振開始)
            LD      (TC2CR), 10H        ;TC2のモードをセット
                                         (タイマモード, ソースクロック：fcgck)
            LD      (TREG2+1), 0F8H     ;ウォーミングアップ時間をセット
                                         (周波数と発振子の特性で時間を決定します)
            SET     (EIRH).EF14         ;INTTC2割り込みを許可
            LD      (TC2CR), 30H        ;TC2スタート
             ⋮
PINTTC2:LD  (TC2CR), 10H                ;TC2ストップ
            CLR     (SYSCR2).5          ;SYSCK←0  (システムクロックを高周波に切り替え)
            RETI
             ⋮
VINTTC2:DL  PINTTC2                     ;INTTC2ベクタテーブル
```

Not Recommended for New Design

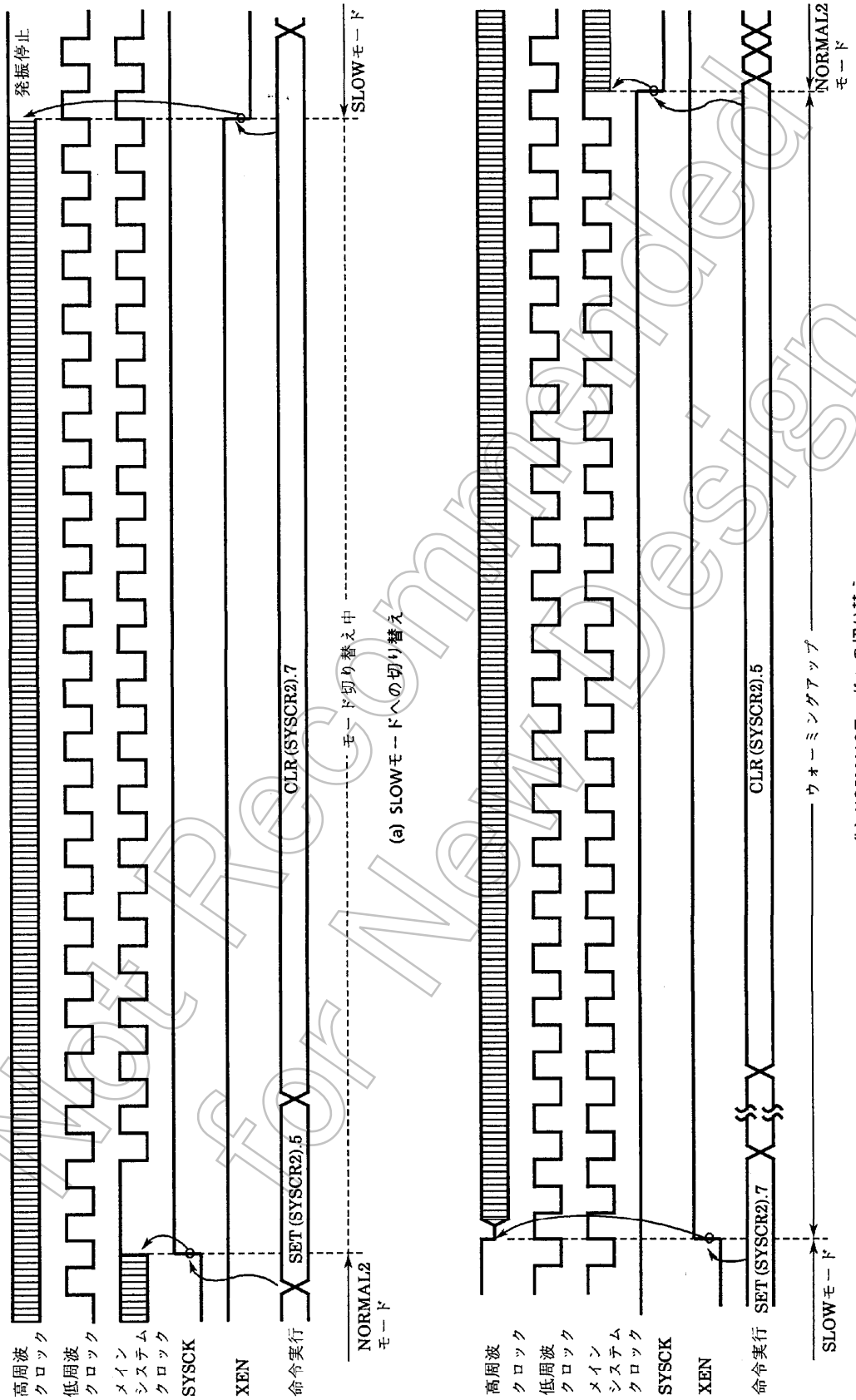


図1-25. SLOW↔NORMAL2モード切り替え

Not Recommended for New Design

1.9 割り込み制御回路

87CS68には、外部5種, 内部10種の合計15種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により "1" にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。

図1-26.に割り込み制御回路を示します。

表1-5. 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスカブル	—	$FFFE_H$	高位 0
内部	INTSW (ソフトウエア割り込み)	擬似ノンマスカブル	—	$FFFC_H$	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL_2	$FFFA_H$	2
外部	INT0 (外部割り込み0)	IMF=1, INT0EN=1	IL_3	$FFF8_H$	3
内部	INTTC1 (16-bitタイマカウンタ1割り込み)	$IMF \cdot EF_4=1$	IL_4	$FFF6_H$	4
外部	INT1 (外部割り込み1)	$IMF \cdot EF_5=1$	IL_5	$FFF4_H$	5
内部	INTTBT (タイムベースタイマ割り込み)	$IMF \cdot EF_6=1$	IL_6	$FFF2_H$	6
外部	INT2 (外部割り込み2)	$IMF \cdot EF_7=1$	IL_7	$FFF0_H$	7
内部	INTTC3 (8-bitタイマカウンタ3割り込み)	$IMF \cdot EF_8=1$	IL_8	$FFEE_H$	8
内部	INTSIO (シリアルインタフェース割り込み)	$IMF \cdot EF_9=1$	IL_9	$FFEC_H$	9
内部	INTTC5 (8-bitタイマカウンタ5割り込み)	$IMF \cdot EF_{10}=1$	IL_{10}	$FFEA_H$	10
外部	INT3 (外部割り込み3)	$IMF \cdot EF_{11}=1$	IL_{11}	$FFE8_H$	11
内部	INTRX (UART受け信割り込み)	$IMF \cdot EF_{12}=1$	IL_{12}	$FFE6_H$	12
内部	INTTX (UART 送信割り込み)	$IMF \cdot EF_{13}=1$	IL_{13}	$FFE4_H$	13
内部	INTTC2 (16-bitタイマカウンタ2割り込み)	$IMF \cdot EF_{14}=1$	IL_{14}	$FFE2_H$	14
外部	INT5 (外部割り込み5)	$IMF \cdot EF_{15}=1$	IL_{15}	$FFE0_H$	低位 15

Not Recommended for New Design

(1) 割り込みラッチ (IL_{15}~IL_2)

割り込みラッチは、ソフトウエア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により "1" にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは "0" にクリアされます。リセット時、割り込みラッチはすべて "0" に初期化されます。

割り込みラッチは、SFR内の003C, $003D_H$番地に割り付けられており、命令で個別にクリアすることができ (ただし、ビット操作命令や演算命令などのリード モディファイ ライト 命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。ただし、IL_2は命令でクリアしないでください。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。

例1: 割り込みラッチのクリア

```
LDW (IL), 1110100000111111B    ;  IL12, IL10~IL6←0
```

例2: 割り込みラッチの読み出し

```
LD   WA, (IL)                  ;  W←ILH, A←ILL
```

例3: 割り込みラッチのテスト

```
TEST (IL).7                    ;  IL7=1ならジャンプ
JR   F, SSET
```

Not Recommended for New Design

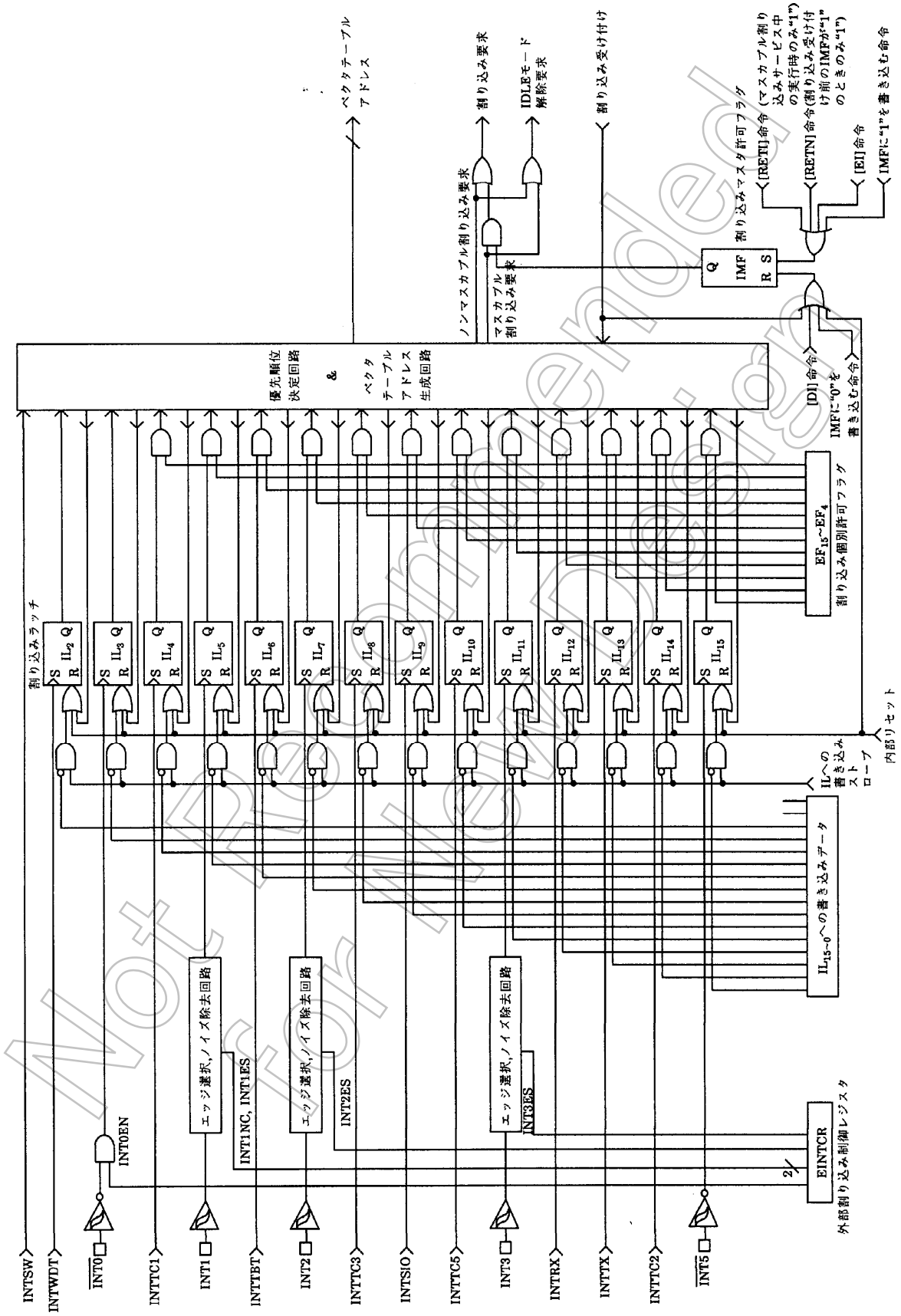


図1-26. 割り込み制御回路

Not Recommended for New Design

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスカブル割り込み (ソフトウエア割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスカブル割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR内の$003A_H$, $003B_H$番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

① 割り込みマスタ許可フラグ (IMF)

すべてのマスカブル割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令 [RETI] により “1” にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI] 命令の実行直後から割り込み処理に入ります。

擬似ノンマスカブル割り込みの場合は、ノンマスカブル割り込みリターン命令[RETN] によりリターンします。この場合、割り込み受け付けの許可状態 (IMF＝1) で擬似ノンマスカブル割り込み処理に入ったときのみ、割り込みマスタ許可フラグは “1” にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR_L (SFR内の$003A_H$番地) のビット0に割り付けられており、命令で読み出し/書き込みができます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI] / [DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

② 割り込み個別許可フラグ (EF_{15}~EF_4)

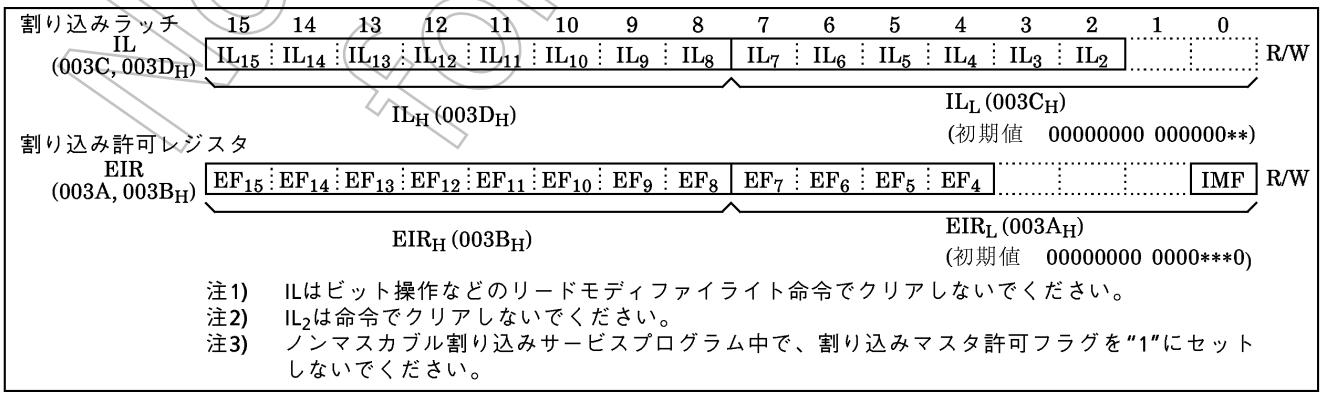
外部割り込み0を除く各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

例1： 割り込みの個別許可とIMFのセット

LDW (EIR), 1110100010100001B ; EF_{15}~EF_{13}, EF_{11}, EF_7, EF_5, IMF←1

例2： 割り込みの個別許可フラグのセット

SET (EIRH).4 ; EF_{12}←1



注1) ILはビット操作などのリードモディファイライト命令でクリアしないでください。
注2) IL_2は命令でクリアしないでください。
注3) ノンマスカブル割り込みサービスプログラム中で、割り込みマスタ許可フラグを“1”にセットしないでください。

図1-27. 割り込みラッチ (IL) , 割り込み許可レジスタ (EIR)

Not Recommended for New Design

1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが "0" にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクル (4 μs @ 8 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合) / [RETN] (擬似ノンマスカブル割り込みの場合)を実行して終了します。図1-28.に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

① 割り込みマスタ許可フラグ(IMF) を "0" にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、そのあとのノンマスカブル割り込みの受け付けも一時的に禁止します。

② 受け付けた割り込み要因の割り込みラッチを "0" にクリアします。

③ プログラムカウンタ(PC) およびプログラム ステータス ワード(PSW) の内容をスタックに退避します (PSW, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。

④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。

⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

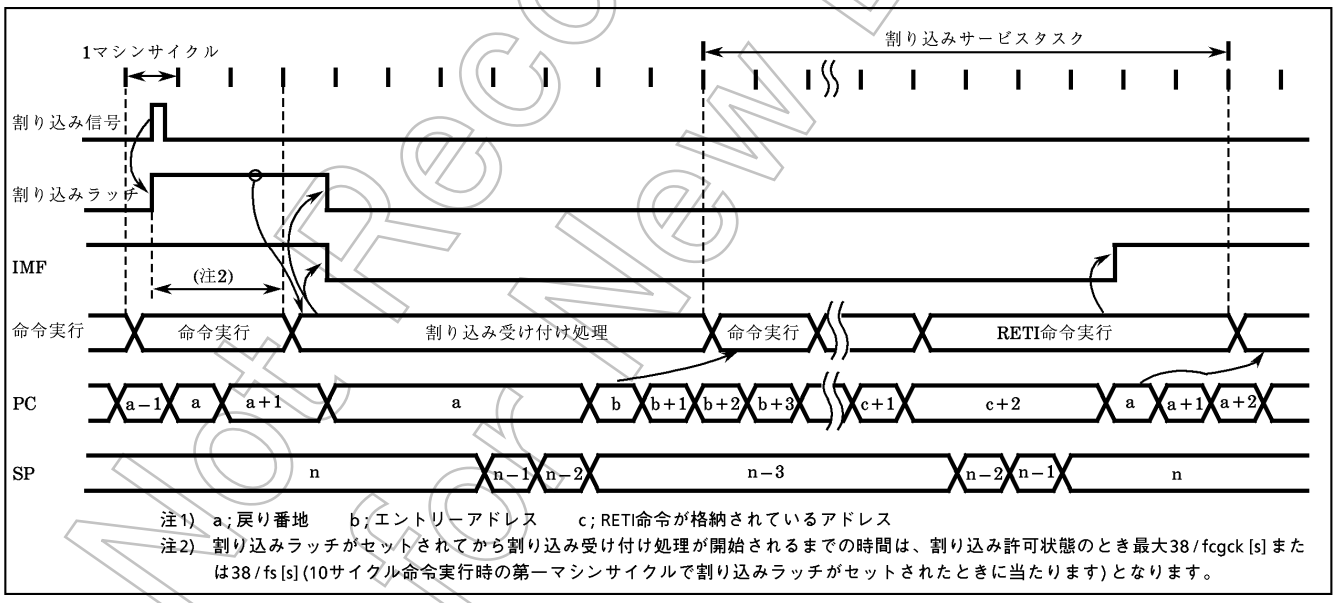
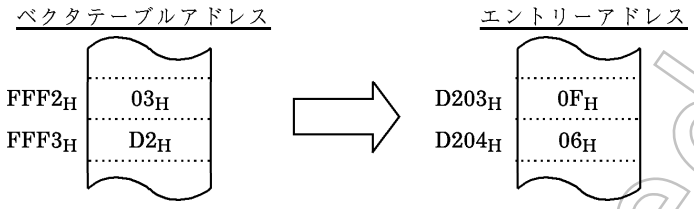


図1-28. 割り込み受け付け処理 / 割り込みリターン命令 タイミングチャート

Not Recommended for New Design

例： INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが"1"にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを"1"にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN＝0の期間、割り込みラッチIL3はセットされませんので、$\overline{\text{INT0}}$端子入力の立ち下がりエッジは検出できません) か、または、プログラムでソフトウエア的に割り込み処理を禁止します。

例1 ： 外部割り込み制御レジスタによる外部割り込み0の禁止

```
CLR  (EINTCR). INT0EN      ;  INT0EN←0
```

例2 ： ソフトウエアによる外部割り込み0の割り込み処理禁止 (割り込み処理禁止スイッチを$00F0_H$番地のビット0とします)。

```
PINT0 :   TEST    (00F0H) . 0     ;(00F0H)0＝1 なら割り込み処理行わずにリターン
          JRS     T, SINT0
          RETI
SINT0 :   割り込み処理
          RETI
          :
VINT0 :   DW      PINT0
```

(2) 汎用レジスタ退避 /復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令 [RETI] / [RETN] の実行で自動的に復帰します。したがって、RBSをプログラムで退避する必要はありません。

Not Recommended for New Design

例： レジスタバンク切り替え

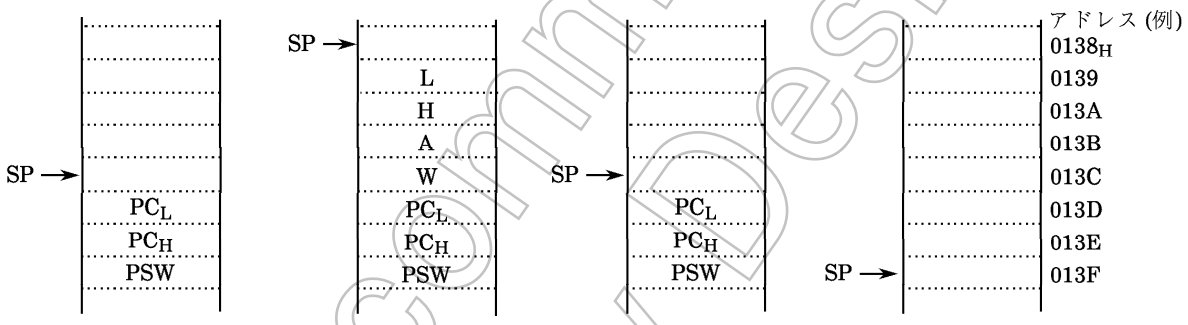
```
PINTxx :   LD      RBS, n        ;バンクnに切り替え
           割り込み処理
           RETI                  ;バンクの復帰とリターン
```

② プッシュ/ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例： プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx :   PUSH    WA            ;WAレジスタペアをスタックに退避
           PUSH    HL            ;HLレジスタペアをスタックに退避
           割り込み処理
           POP     HL            ;HLレジスタペアをスタックから復帰
           POP     WA            ;WAレジスタペアをスタックから復帰
           RETI                  ;リターン
```



割り込み受け付け後　WAレジスタペアのプッシュ後　WAレジスタペアのポップ後　リターン後

③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```
PINTxx :   LD      (GSAVA), A    ;Aレジスタの退避
           割り込み処理
           LD      A, (GSAVA)    ;Aレジスタの復帰
           RETI                  ;リターン
```

Not Recommended for New Design

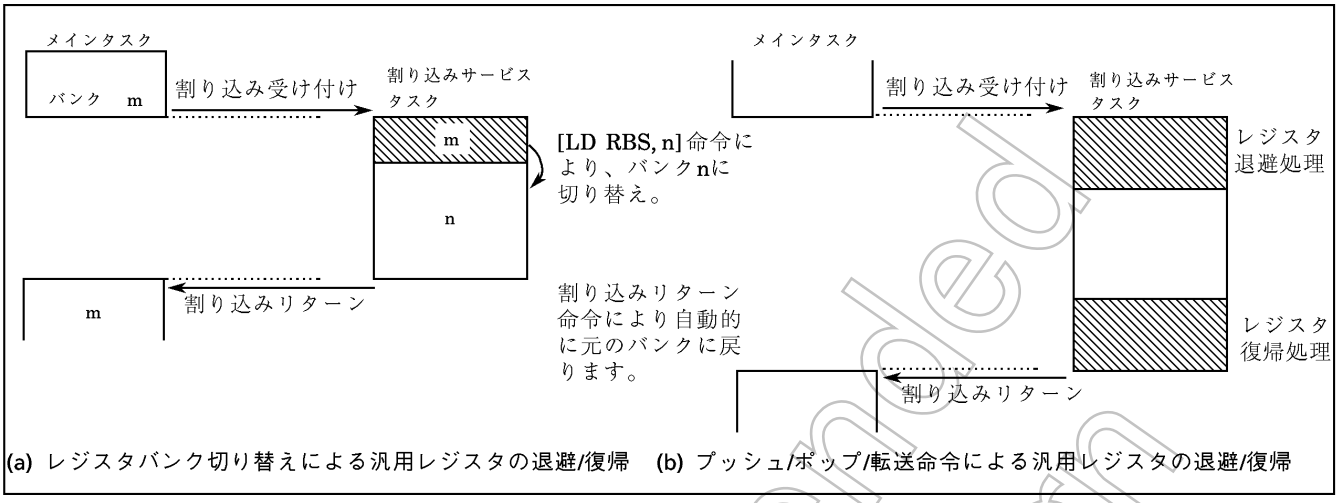


図1-29. 割り込み処理における汎用レジスタの退避 / 復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込みマスタ許可フラグを“1”にセットします。	① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

Not Recommended for New Design

1.9.2 ソフトウエア割り込み (INTSW)

SWI命令を実行することにより、ソフトウエア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウエア割り込みは発生せず、NOP命令と同一の動作を行います。

注)	開発ツールでは、SWI命令をソフトウエアブレークに使用できるように、ノンマスカブル割り込み処理中でもかならずソフトウエア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

① アドレスエラー検出

CPUが何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_Hは、SWI命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM領域およびSFR領域 (0000~$003F_H$番地) に対する命令フェッチのときは、アドレストラップリセットがかかります。

注)	87CS68および87PS68の 1080~$10FF_H$番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF_Hとなりません。

② デバッギング

SWI命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

Not Recommended for New Design

1.9.3 外部割り込み

87CS68には、5本の外部割り込み入力 ($\overline{INT0}$, INT1, INT2, INT3, $\overline{INT5}$) があり、うち3本 (INT1, INT2, INT3) はデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。また、INT1, INT2, INT3端子はエッジ選択可能です。

$\overline{INT0}$/P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御および$\overline{INT0}$/P10端子の機能選択は、外部割り込み制御レジスタ (#0037$_H$ EINTCR) で行います。

表1-6.に外部割り込み要因の許可条件、エッジ選択、ノイズ除去条件を示します。

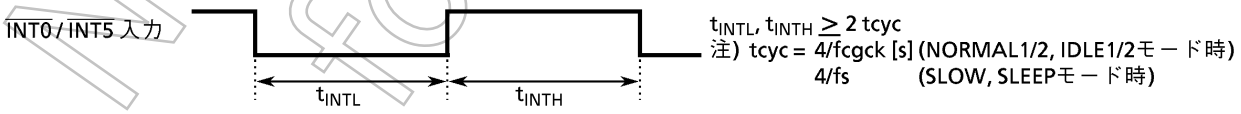
表1-6. (a) 外部割り込み要因

要因	端子名	兼用端子	許可条件	エッジ		デジタルノイズ除去回路
				立ち上がり	立ち下がり	
INT0	$\overline{INT0}$	P10	IMF＝1 INT0EN＝1	—	○	なし (ヒステリシス入力)
INT1	INT1	P11	IMF・EF_5＝1	INT1ES＝0	INT1ES＝1	15/fc または63/fc [s] 未満のパルスはノイズとして除去します。 48/fcまたは192/fc [s] 以上のパルスは確実に信号とみなします。
INT2	INT2	P12/TC1	IMF・EF_7＝1	INT2ES＝0	INT2ES＝1	7/fc [s] 未満のパルスはノイズとして除去します。24/fc [s] 以上は確実に信号とみなします。 なお、TC1端子に対しても、適用しています。(注2)
INT3	INT3	P50/TC3	IMF・EF_{11}＝1	INT3ES＝0	INT3ES＝1	立ち下がりエッジまたは立ち上がりエッジの場合、7/fc [s] 未満のパルスはノイズとして除去します。24/fc [s] 以上は確実に信号とみなします。 なお、TC3端子に対しても適用しています。(注2)
INT5	$\overline{INT5}$	P20/$\overline{STOP}$	IMF・EF_{15}＝1	—	○	なし (ヒステリシス入力)

注1) SLOW/SLEEPモード時、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。入力パルス幅は、"H", "L" レベルともに2マシンサイクル必要です。

注2) ノイズ除去回路は、タイマカウンタ入力 (TC1端子, TC3端子)のエッジ検出に対しても働きます。ただし、イベントカウンタモードの場合は適用していません。

注3) $\overline{INT0}$ および $\overline{INT5}$端子への入力パルス幅は、"H", "L"レベルともに2マシンサイクル以上必要です。



注4) NORMAL 1/2 またはIDLE 1/2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

① INT1 端子 49/fc [s] (INT1NC＝1のとき), 193/fc [s] (INT1NC＝0のとき)

② INT2, 3 端子 25/fc [s]

注5) INT0EN＝0のとき、$\overline{INT0}$端子入力の立ち下がりエッジが検出されても割り込みラッチIL_3はセットされません。

Not Recommended for New Design

表1-6. (b) 外部割り込み

EINTCR (0037_H)

7	6	5	4	3	2	1	0
INT1NC	INT0EN		−	INT3ES	INT2ES	INT1ES	

(初期値 00*0 000*)

INT1NC	INT1のノイズ除去時間の選択	0 : 63 / fc [s] 未満のパルスはノイズとして除去 1 : 15 / fc 〃	R/W
INT0EN	P10 / $\overline{INT0}$の機能選択	0 : P10 入出力ポート 1 : $\overline{INT0}$ 端子 (P10ポートは入力モードにしてください)	
INT3 ES INT2 ES INT1 ES	INT3~INT1のエッジ選択	0 : 立ち上がりエッジで割り込み要求発生 1 : 立ち下がりエッジ 〃	

注1) fc ; 高周波クロック [Hz] * ; don't care

注2) 外部割り込み制御レジスタ (EINTCR) の設定 / 書き替えは、まず割り込みを禁止状態 (IMF = 0) にしてから外部割り込み制御レジスタを設定 / 書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。

注3) INT2ES, INT3ESを、NORMAL1/2モード時に、タイマカウンタの外部クロック/パルス信号等のエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態) 、書き替え後8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3) をクリアした後に、割り込みを許可状態にし、各タイマカウンタを再スタートさせてください。SLOWモード時には、3命令サイクル必要です。

例 : TC1で外部トリガモードでのカウントスタートのエッジを、立ち下がりエッジに切り替える場合

```
LD    (TC1CR), 01001000B      ; TC1S←00 (TC1ストップ)
DI                            ; IMF←0 (割り込み受け付け禁止)
LD    (EINTCR), 00000100B     ; INT2ES←1 (エッジ選択切り替え)
NOP
~
NOP
LD    (ILL), 01111111B        ; IL7←0 (IL7をクリア)
EI                            ; IMF←1 (割り込み受け付け許可)
LD    (TC1CR), 01111000B      ; TC1S←11 (TC1スタート)
```

8マシンサイクル

注4) INT1ESを書き替えたとき、NORMAL1/2モードの場合には、切り替えてから14命令サイクル (INT1NC = 1のとき) または50命令サイクル (INT1NC = 0のとき) おいてから、INT1の割り込みラッチをクリアしてください。SLOWモード時には、3命令サイクル必要です。

注5) STOPモードでポート出力をハイインピーダンスに指定 (OUTEN = 0) したとき、ポート入力は内部で強制的に "L" レベルに固定されるため、ポートと兼用の外部割り込み入力 (P20 ($\overline{STOP}$ / $\overline{INT5}$) を除く) の割り込みラッチがセットされることがあります。STOPモードでポート出力をハイインピーダンス指定にする場合割り込み受け付けを一次禁止 (IMF = 0) にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

Not Recommended for New Design

1.10 ウォッチドッグ タイマ (WDT)

ウォッチドッグ タイマは、ノイズなどの原因による誤動作 (暴走) やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグ タイマによる暴走検出信号は、リセット出力または擬似ノンマスカブル割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット出力に初期化されます。

なお、ウォッチドッグ タイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

1.10.1 ウォッチドッグ タイマの構成

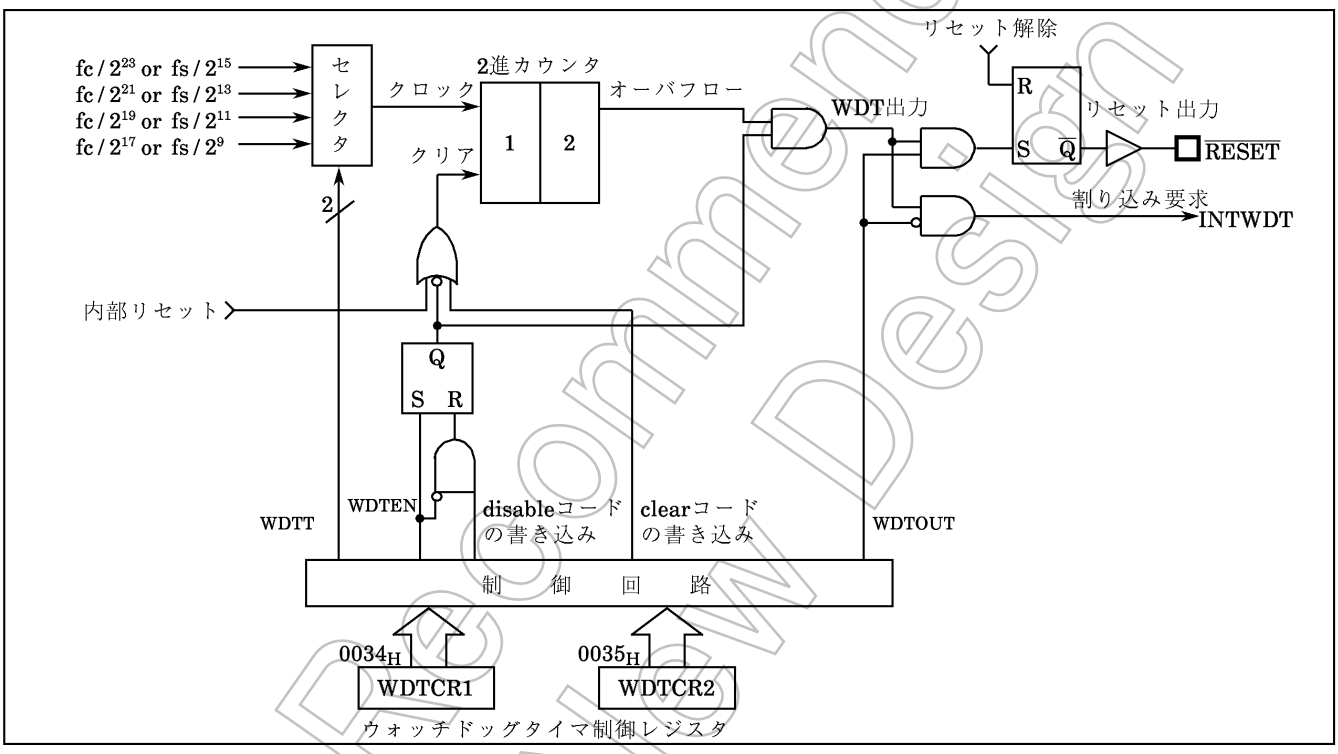


図1-30. ウォッチドッグ タイマの構成

1.10.2 ウォッチドッグ タイマの制御

ウォッチドッグ タイマの制御レジスタを図1-31.に示します。リセット解除後、ウォッチドッグ タイマはイネーブルになります。

(1) ウォッチドッグ タイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

① 検出時間の設定, 出力の選択 および 2進カウンタのクリア

② 設定した検出時間3/4以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバフローでウォッチドッグ タイマ出力がアクティブになります。このとき WDTOUT＝“1” なら $\overline{\text{RESET}}$端子からリセット出力するとともに内蔵ハードウエアをリセットします。また、WDTOUT＝“0” なら、ウォッチドッグ タイマ割り込み (INTWDT) を発生します。

Not Recommended for New Design

なお、STOPモード(ウォーミングアップ中を含む)またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLEモード解除後、自動的に再起動(カウントアップ継続)します。

例： ウォッチドッグタイマ検出時間を2^{21}/fc [s]に設定し、暴走検出リセットを行う。

```
                LD  (WDTCR2), 4EH          ; 2進カウンタのクリア
                LD  (WDTCR1), 00001101B    ; WDTT←10, WDTOUT←1
WDT検出         LD  (WDTCR2), 4EH          ; 2進カウンタのクリア
時間3/4以内                                  (WDTT変更直前直後はかならずクリアします)
                :
WDT検出         LD  (WDTCR2), 4EH          ; 2進カウンタのクリア
時間3/4以内     :
                :
                LD  (WDTCR2), 4EH          ; 2進カウンタのクリア
```

ウォッチドッグタイマ制御レジスタ1

WDTCR1 (0034_H)

7	6	5	4	3	2	1	0
				WDT EN	WDTT		WDT OUT

(初期値 **** 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0：禁　止 (WDTCR2にディセーブルコードを書き込む必要あり) 1：許　可	write only
WDTT	ウォッチドッグタイマ検出時間の設定	00：2^{25}/fc　または　2^{17}/fs　[s] 01：2^{23}/fc　または　2^{15}/fs 10：2^{21}/fc　または　2^{13}/fs 11：2^{19}/fc　または　2^{11}/fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0：割り込み要求 1：リセット出力	

注1) WDTOUTを"0"にクリア後は、プログラムで"1"に再セットできません。
注2) fc；高周波クロック[Hz]　fs；低周波クロック[Hz]　*；don't care
注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイ命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。
注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。

ウォッチドッグタイマ制御レジスタ2

WDTCR2 (0035_H)

7	6	5	4	3	2	1	0

(初期値 **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	$4E_H$ ： ウォッチドッグタイマの2進カウンタのクリア (クリアコード) $B1_H$ ： ウォッチドッグタイマのディセーブル (ディセーブルコード) その他： 無　効	write only

注1) ディセーブルコードは、WDTEN＝0のとき以外は書き込み無効です。
注2) *；don't care
注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。
注4) 2進カウンタのクリアは、ソースクロックのクリアをしません。クリアの時間設定は、検出時間の3/4以内をお勧めします。

図1-31. ウォッチドッグタイマ制御レジスタ

Not Recommended for New Design

(2) ウォッチドッグ タイマのイネーブル

WDTEN (WDTCR1のビット3) を "1" にセットするとイネーブルになります。リセット時、WDTENは "1" に初期化されますので、リセット解除後ウォッチドッグ タイマはただちに動作します。

(3) ウォッチドッグ タイマのディセーブル

WDTEN (WDTCR1のビット3) を "0" にクリア後、WDTCR2にディセーブルコード ($B1_H$) を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを "0" にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

例： ウォッチドッグ タイマのディセーブル

```
LDW (WDTCR1) , 0B101H        ;  WDTEN←0, WDTCR2←disable code
```

表1-7. ウォッチドッグ タイマ検出時間

動作モード			検出時間	
NORMAL1	NORMAL2	SLOW	fc＝8 MHz	fs＝32.768 kHz時
2^{25} / fc [s]	2^{25} / fc, 2^{17} / fs	2^{17} / fs	4.194 s	4 s
2^{23} / fc	2^{23} / fc, 2^{15} / fs	2^{15} / fs	1.048 s	1 s
2^{21} / fc	2^{21} / fc, 2^{13} / fs	——	262.1 ms	250 ms
2^{19} / fc	2^{19} / fc, 2^{11} / fs	——	65.5 ms	62.5 ms

1.10.3 ウォッチドッグ タイマ割り込み (INTWDT)

擬似ノンマスカブル割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウエア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例： ウォッチドッグ タイマ割り込みの設定例

```
LD   SP, 083FH              ;  SPの設定
LD   (WDTCR1) , 00001000B   ;  WDTOUT←0
```

1.10.4 ウォッチドッグ タイマ リセット

$\overline{\text{RESET}}$端子より "L" レベルを出力するとともに内蔵ハードウエアをリセットします。$\overline{\text{RESET}}$端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOWモードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますので、リセット時間は2^{16}/fcとなります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

Not Recommended for New Design

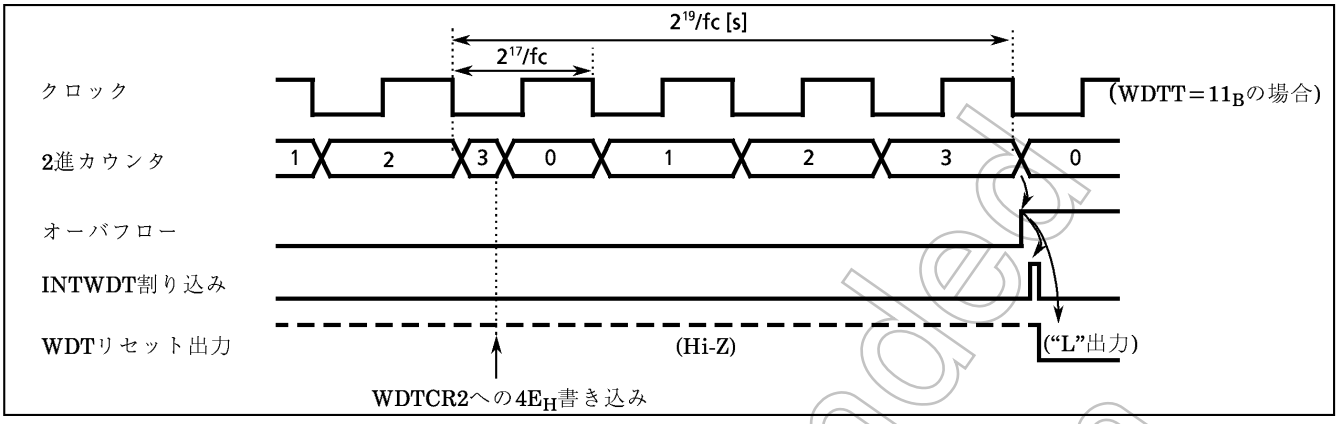


図1-32. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

87CS68には外部リセット入力, アドレストラップリセット, ウォッチドッグタイマリセット, システムクロックリセットの4種類のリセット発生手段があります。表1-8.にリセット動作による内蔵ハードウエアの初期化を示します。電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット, アドレストラップリセットおよびシステムクロックリセット)は初期化されません。従って、電源投入時に$\overline{\text{RESET}}$端子出力が2^{16}/fc [s] (8.2 ms @ 8 MHz) "L" レベルになることがあります。

表1-8. リセット動作による内蔵ハードウエアの初期化

内蔵ハードウェア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	($FFFF_H$)・($FFFE_H$)	タイミングジェネレータのデバイダ	0
レジスタバンクセレクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

1.11.1 外部リセット入力

電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3命令サイクル以上の間$\overline{\text{RESET}}$端子を "L" レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$端子入力が "H" レベルに立ち上がるとリセット動作は解除され、FFFE, $FFFF_H$番地に格納されたベクタアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子はプルアップ抵抗付きのヒステリシス入力となっており、コンデンサおよびダイオードを外付けすることにより簡易型パワーオンリセットを行うことができます。

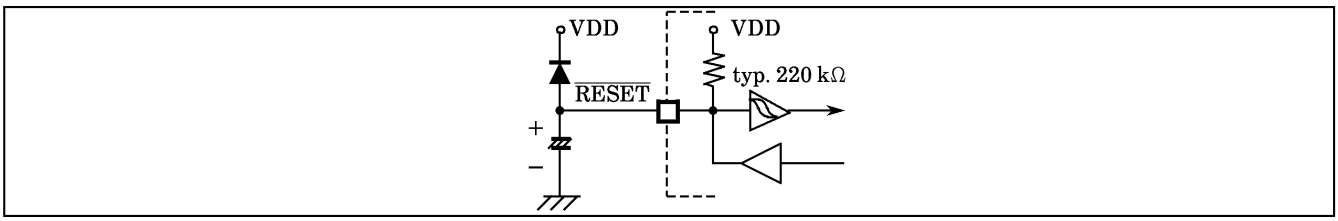


図1-33. 簡易型パワーオンリセット回路

Not Recommended for New Design

1.11.2 アドレストラップ リセット

CPUが何らかの原因(ノイズなど)により暴走していることを検出し、正常な状態に戻すことを目的としたフェイルセーフ機能の1つにアドレストラップリセットがあります。アドレストラップリセットとは、SFRおよびRAM領域から命令をフェッチしようとすると内部リセットを発生し、$\overline{\text{RESET}}$端子よりリセット信号(“L”レベル)が出力される機能です。リセット時間は、2^{16} / fc [s] (8.2 ms @ 8MHz)です。

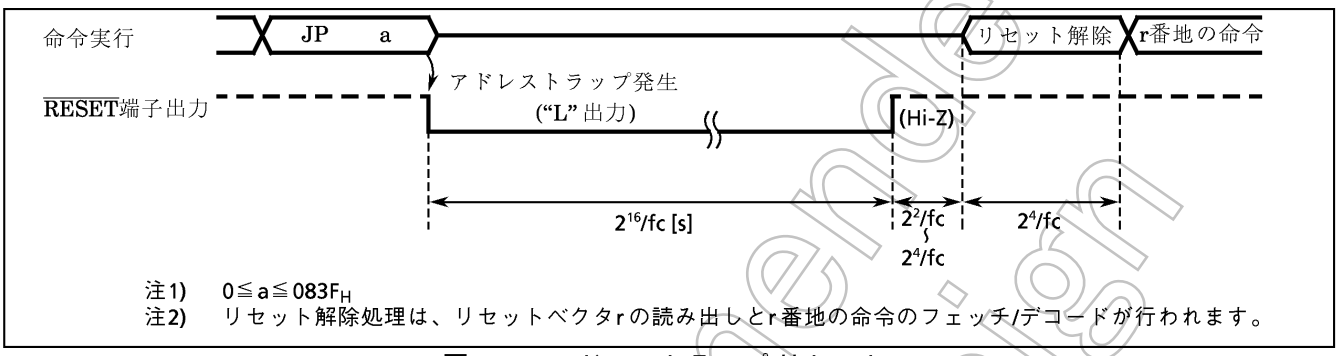


図1-34. アドレストラップ リセット

1.11.3 ウォッチドッグタイマ リセット

『1.10ウォッチドッグタイマ』をご参照ください。

1.11.4 システムクロック リセット

XEN, XTEN (SYSCR2のビット7, 6)をともに“0”にクリアすると高周波, 低周波発振が停止し、MCUがデッドロック状態に陥ります。これを防ぐため、XEN＝XTEN＝0を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、$\overline{\text{RESET}}$端子より出力されます。リセット時間は、2^{16}/fc [s] (8.2 ms @ 8 MHz)です。

Not Recommended for New Design

2. 周辺ハードウエア機能

2.1 スペシャル ファンクション レジスタ (SFR) とデータ バッファ レジスタ (DBR)

TLCS-870シリーズは、メモリマップトI/O方式で、周辺ハードウエアの制御/データ転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータ バッファ レジスタ (DBR) を通して行われます。

SFRは0000~003F$_H$番地に、DBRは0F80~0FFF$_H$番地にマッピングされています。図2-1.に87CS68のSFR, DBRの一覧を示します。

アドレス	リード	ライト
0000$_H$	P0ポート	
0001$_H$	P1ポート	
0002$_H$	P2ポート	
0003$_H$	P3ポート	
0004$_H$	P4ポート	
0005$_H$	P5ポート	
0006$_H$	P6ポート	
0007$_H$	P7ポート	
0008$_H$	P8ポート	
0009$_H$	P9ポート	
000A$_H$	–	P0CR (P0ポート入出力制御)
000B$_H$	–	P1CR (P1ポート入出力制御)
000C$_H$	–	P6CR (P6ポート入出力制御)
000D$_H$	–	P7CR1 (P7ポート入出力制御1)
000E$_H$	ADCCR (A/Dコンバータ制御)	
000F$_H$	ADCDR (A/D変換値レジスタ)	–
0010$_H$	–	TREG1A$_L$ (タイマレジスタ1A)
0011$_H$	–	TREG1A$_H$ (タイマレジスタ1A)
0012$_H$	TREG1B$_L$ (タイマレジスタ1B)	
0013$_H$	TREG1B$_H$ (タイマレジスタ1B)	
0014$_H$	–	TC1CR (タイマカウンタ1制御)
0015$_H$	–	TC2CR (タイマカウンタ2制御)
0016$_H$	–	TREG2$_L$ (タイマレジスタ2)
0017$_H$	–	TREG2$_H$ (タイマレジスタ2)
0018$_H$	TREG3A (タイマレジスタ3A)	
0019$_H$	TREG3B (タイマレジスタ3B)	–
001A$_H$	–	TC3CR(タイマカウンタ3制御)
001B$_H$	–	P4CR1 (P4ポート入出力制御1)
001C$_H$	P4CR2 (P4ポート入出力制御2)	
001D$_H$	–	TREG5 (タイマレジスタ5)
001E$_H$	–	TC5CR (タイマカウンタ5制御)
001F$_H$	reserved	

(a) -1 スペシャル ファンクション レジスタ

図2-1.(1) SFR & DBR

Not Recommended for New Design

アドレス	リード	ライト
0020_H	SIOSR (SIOステータス)	SIOCR1 (SIO制御)
0021_H	–	SIOCR2 (SIO制御)
0022_H	UARTSR (UARTステータス)	UARTCR1 (UART制御)
0023_H	–	UARTCR2 (UART制御)
0024_H	RDBUF (UART受信データバッファ)	TDBUF (UART送信データバッファ)
0025_H	–	P5CR1 (P5ポート入出力制御1)
0026_H	P5CR2 (P5ポート入出力制御2)	
0027_H	P7CR2 (P7ポート入出力制御2)	
0028_H	–	P8CR (P8ポート入出力制御)
0029_H	P8PUCR (P8ポートプルアップ抵抗制御)	
$002A_H$	–	P9CR1 (P9ポート入出力制御1)
$002B_H$	P9CR2 (P9ポート入出力制御2)	
$002C_H$	–	GCCR (ジェネレータクロック制御)
$002D_H$	reserved	
$002E_H$	reserved	
$002F_H$	STOPCR (STOP解除制御)	
0030_H	CGCR (システムクロック制御レジスタ)	
0031_H	reserved	
0032_H	reserved	
0033_H	reserved	
0034_H	–	WDTCR1 (ウォッチドッグタイマ制御)
0035_H	–	WDTCR2 (ウォッチドッグタイマ制御)
0036_H	TBTCR (TBT / TG / DVO 制御)	
0037_H	EINTCR (外部割り込み制御)	
0038_H	SYSCR1 (システム制御)	
0039_H	SYSCR2 (システム制御)	
$003A_H$	EIR_L (割り込み許可レジスタ)	
$003B_H$	EIR_H (割り込み許可レジスタ)	
$003C_H$	IL_L (割り込みラッチ)	
$003D_H$	IL_H (割り込みラッチ)	
$003E_H$	reserved	
$003F_H$	PSW	RBS (レジスタバンクセレクタ)

(a)-2　スペシャル ファンクション レジスタ

注1)　reservedの番地はプログラムでアクセスしないでください。
注2)　– ; アクセスできません。
注3)　$003F_H$番地をシンボルで定義する場合、GPSW / GRBSとしてください。
注4)　書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。
注5)　PSW ; プログラムステータスワード

(b)　データ バッファ レジスタ

図2-1.(2)　SFR & DBR

Not Recommended for New Design

2.2 入出力ポート

87CS68は、10ポート72端子の入出力ポートを内蔵しています。

① P0ポート ; 8ビット入出力ポート
② P1ポート ; 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
③ P2ポート ; 4ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
④ P3ポート ; 7ビット入出力ポート
⑤ P4ポート ; 8ビット入出力ポート (UART, 8ビットシリアルインタフェース入出力と兼用)
⑥ P5ポート ; 5ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力と兼用)
⑦ P6ポート ; 8ビット入出力ポート (アナログ入力と兼用)
⑧ P7ポート ; 8ビット入出力ポート
⑨ P8ポート ; 8ビット入出力ポート (キーオンウェイクアップ入力と兼用)
⑩ P9ポート ; 8ビット入出力ポート

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2.に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。

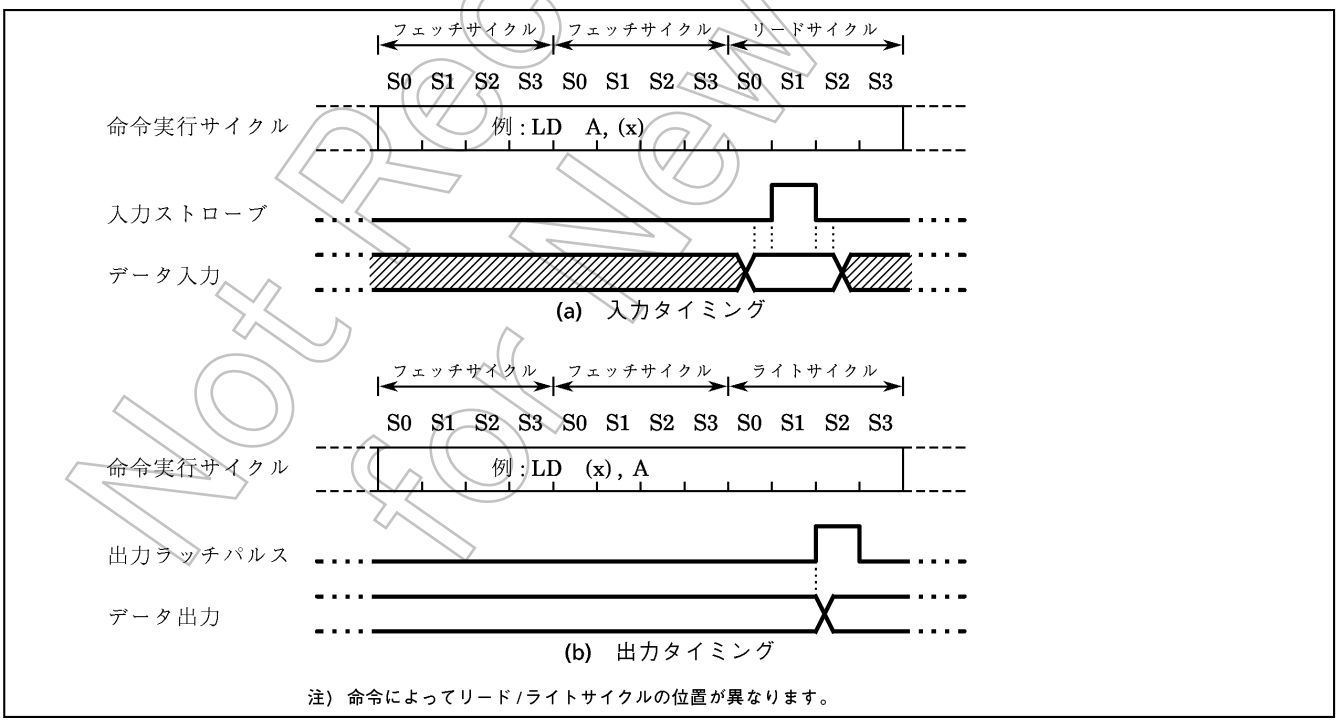


図2-2. 入出力タイミング (例)

Not Recommended for New Design

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(1) 出力ラッチの内容を読み込む命令

① XCH r, (src)
② SET / CLR / CPL (src).b
③ SET / CLR / CPL (pp).g
④ LD (src).b, CF
⑤ LD (pp).b,CF
⑥ ADD / ADDC / SUB / SUBB / AND / OR / XOR (src), n
⑦ ADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の(src) 側

(2) 端子入力値を読み込む命令

上記以外の命令およびADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の (HL) 側

プログラマブル入出力ポートに対して、ポートからのリードを行った場合、出力モードに設定された端子は、出力ラッチの値を読み込みます。なお、制御出力などとして使用している端子も、出力モードに設定するので出力ラッチの値を読み込みますので端子の値とは異なる場合があります。

2.2.1 P0 (P07~P00) ポート

P0ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P0ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CRは "0" に初期化され、P0ポートは入力モードとなります。また、P0ポート出力ラッチは "0" に初期化されます。なお、P0CRは書き込み専用レジスタです。

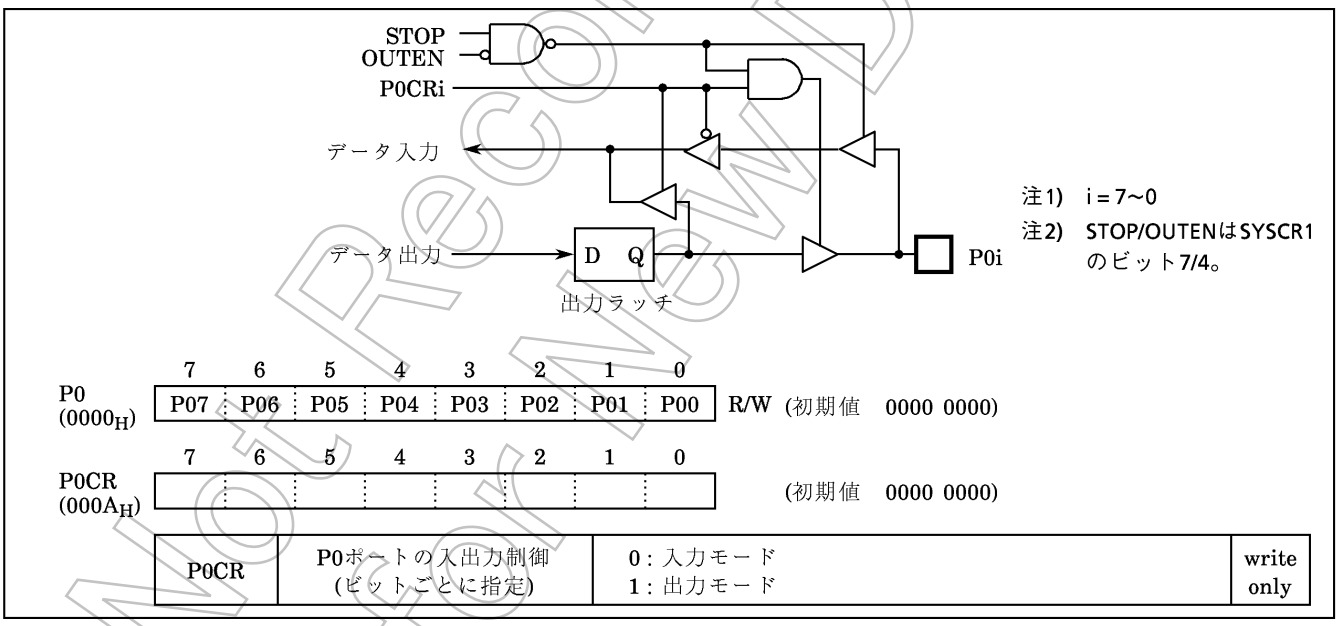


図2-3. P0ポートとP0ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2) P0CRは書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

Not Recommended for New Design

例： P0ポートの上位4ビットを入力ポートに、下位4ビットを出力ポートに設定します。なお、イニシャルは1010_Bを出力します。

```
LD      (P0), 00001010B      ;  P0ポート出力ラッチの初期値設定
LD      (P0CR), 00001111B    ;  P0ポートの入出力モード設定
```

2.2.2 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。

P1ポートは、外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用です。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを "1" にセットし、出力モードに設定します。なお、P11, P12端子は、外部割り込み入力, タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN)により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P1CRは "0" に初期化され、P1ポートは入力モードとなります。また、P1ポートの出力ラッチは "0" に初期化されます。なお、P1CRは書き込み専用レジスタです。

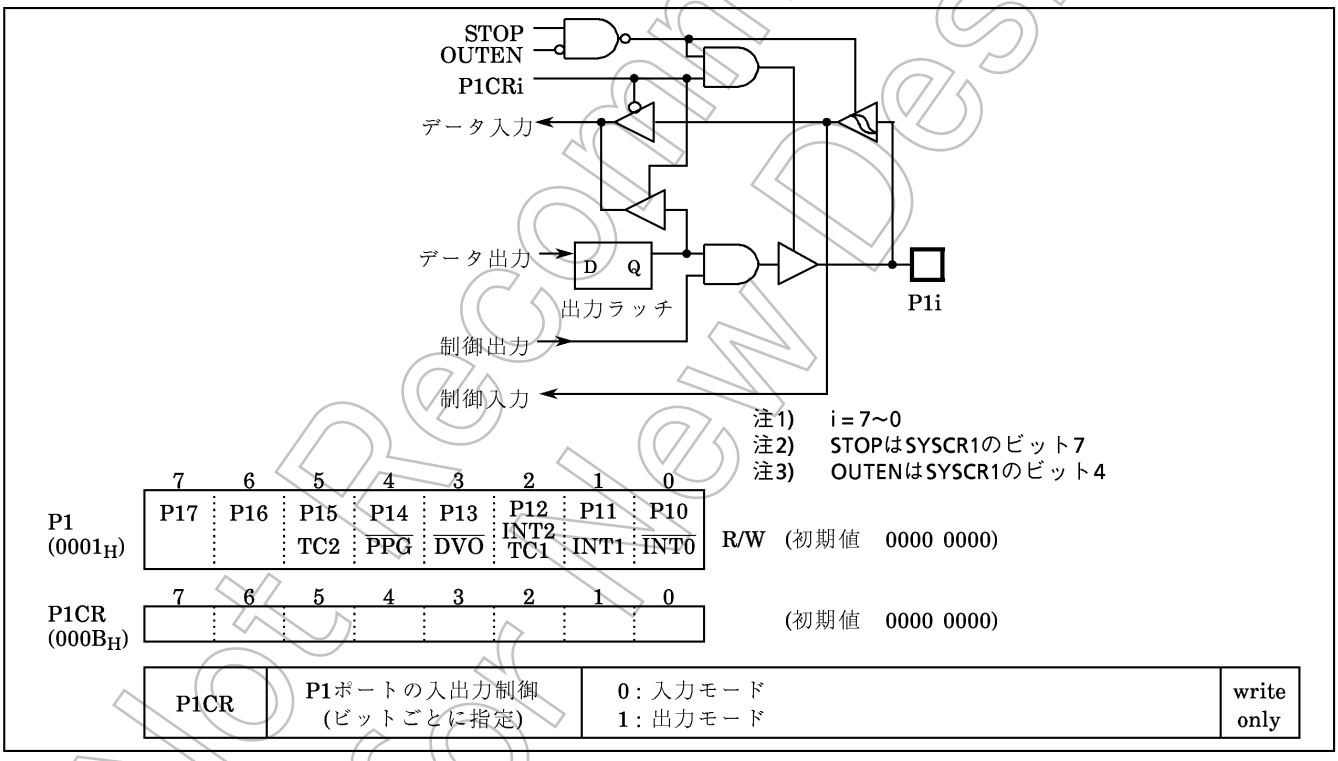


図2-4. P1ポートとP1ポート入出力制御レジスタ

例： P17, P16, P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17, P14ピンは "1" に、P16ピンは "0" を出力します。

```
LD      (EINTCR), 01000000B  ;  INT0EN←1
LD      (P1), 10111111B      ;  P17←1, P14←1, P16←0
LD      (P1CR), 11010000B
```

Not Recommended for New Design

注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。
注2) P1CRは書き込み専用レジスタですのでリードモディファイ命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。

2.2.3 P2 (P23~P20) ポート

P2ポートは、4ビットの入出力ポートで、外部割り込み入力, STOPモード解除信号入力, 低周波発振子接続端子と兼用です。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを“1”にセットします。

デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22端子は、通常の入出力ポートとして使用できます。

P20端子は外部割り込み入力, STOPモード解除信号入力, 入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

リセット時、出力ラッチは“1”に初期化されます。

P2ポートに対してリード命令を実行した場合、ビット7~4は“1”が読み込まれます。

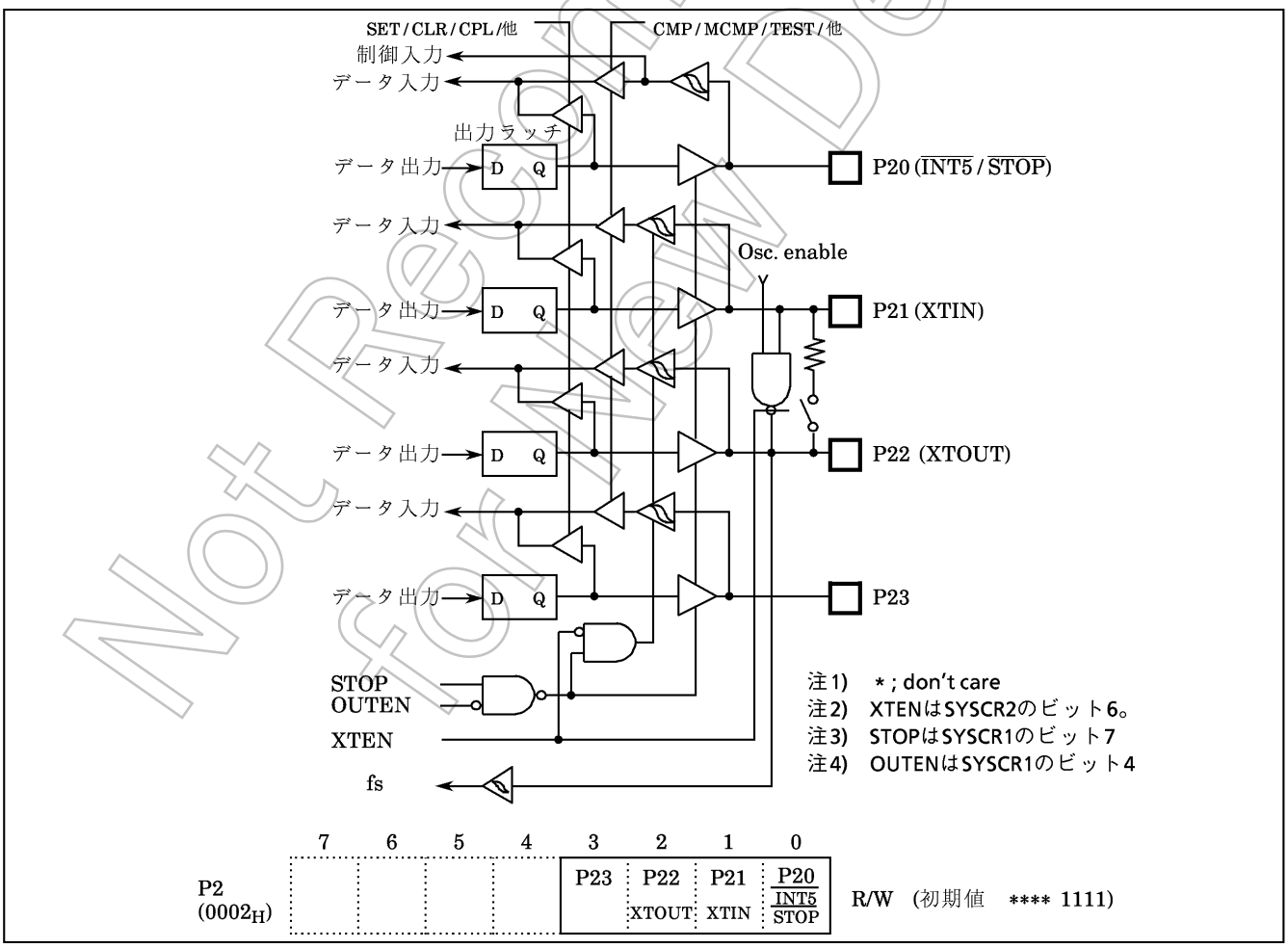


図2-5. P2ポート

Not Recommended for New Design

注) P20端子を出力ポートとして使用する場合、以下の注意が必要です。従って、P20端子は外部割り込み入力、STOP解除信号入力、入力ポートとして使用してください。

1) P20端子の出力が "H" から "L" に切り替わる立ち下がりエッジで$\overline{\text{INT5}}$の割り込みラッチがセットされます。

2) STOPモードを使用した場合、P20端子はSTOPモード中はSYSCR1 (0038H) のbit4 (OUTEN) の値が "0" の場合 "Hi-z" になります。

例) STOPモードを使用し、かつ外部$\overline{\text{RESET}}$によってSTOP解除する場合において、P20端子を出力端子として使用すると次のような誤動作が起きますので注意が必要です。

STOPモードに入る前にP20に "L" を出力したままSTOPモードに入るとP20端子の出力は "L" から "Hi-z" (外部Pull-Upにより電圧レベルは "H") に切り替わります。また、STOPモードに入った直後にSTOP解除動作を行います。従って外部$\overline{\text{RESET}}$によるSTOP解除よりも前に誤ってSTOP解除動作を行ってしまいます。この場合はSTOPモードに入る前にかならずP20出力を "H" にし、かつSYSCR1 (0038H) のbit6 (RELM) を "0" (エッジ解除) に設定した後にSTOPモードに入れる必要があります。

3) STOPモードを使用しない場合は、前記1) に注意してください。

2.2.4 P3 (P36~P30) ポート

P3ポートは、7ビットの汎用入出力ポートで、入力ポートとして使用する場合は出力ラッチを "1" にセットします。リセット時、出力ラッチは "1" に初期化されます。

P3ポートに対してリード命令を実行した場合、ビット7は "1" が読まれます。

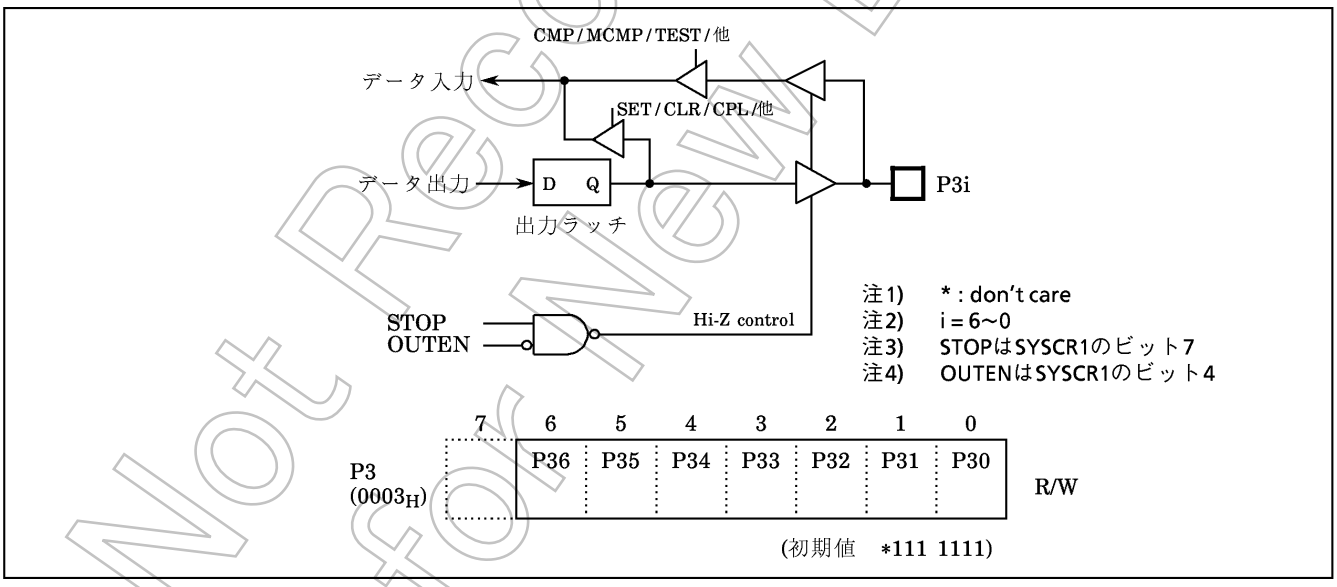


図2-6. P3ポート

例1: P3ポートに即値 "$1A_H$" を出力。

```
LD      (P3), 1AH        ; P3←1AH
```

例2: P3ポートの下位4ビット (P33~P30) の出力を反転する。

```
XOR     (P3), 00001111B  ; P33~P30←P33~P30
```

Not Recommended for New Design

2.2.5 P4 (P47~P40) ポート

P4ポートは、1ビット単位で入出力の指定およびトライステート / オープンドレインの選択ができる8ビットの汎用入出力ポートで、UART入出力、SIO入出力と兼用です。これらの機能ピンとして使用する場合、UART入力、SI入力, $\overline{SCK}$入力として使用する場合には入力モードに設定します。UART出力、SO出力, $\overline{SCK}$出力の出力ピンとして使用する場合にはあらかじめ出力ラッチを "1" にセットした後、出力モードに設定します。

P4ポートの入出力の指定はP4ポート入出力制御レジスタ1 (P4CR1) により行います。トライステート / オープンドレインの指定は、P4ポート入出力制御レジスタ2 (P4CR2) により行います。

リセット時、P4CR1は "0" に初期化され、入力モードになります。P4CR2は "1" に初期化され、トライステートとなります。またP4ポートの出力ラッチは "1" に初期化されます。なお、P4CR1は書き込み専用レジスタです。

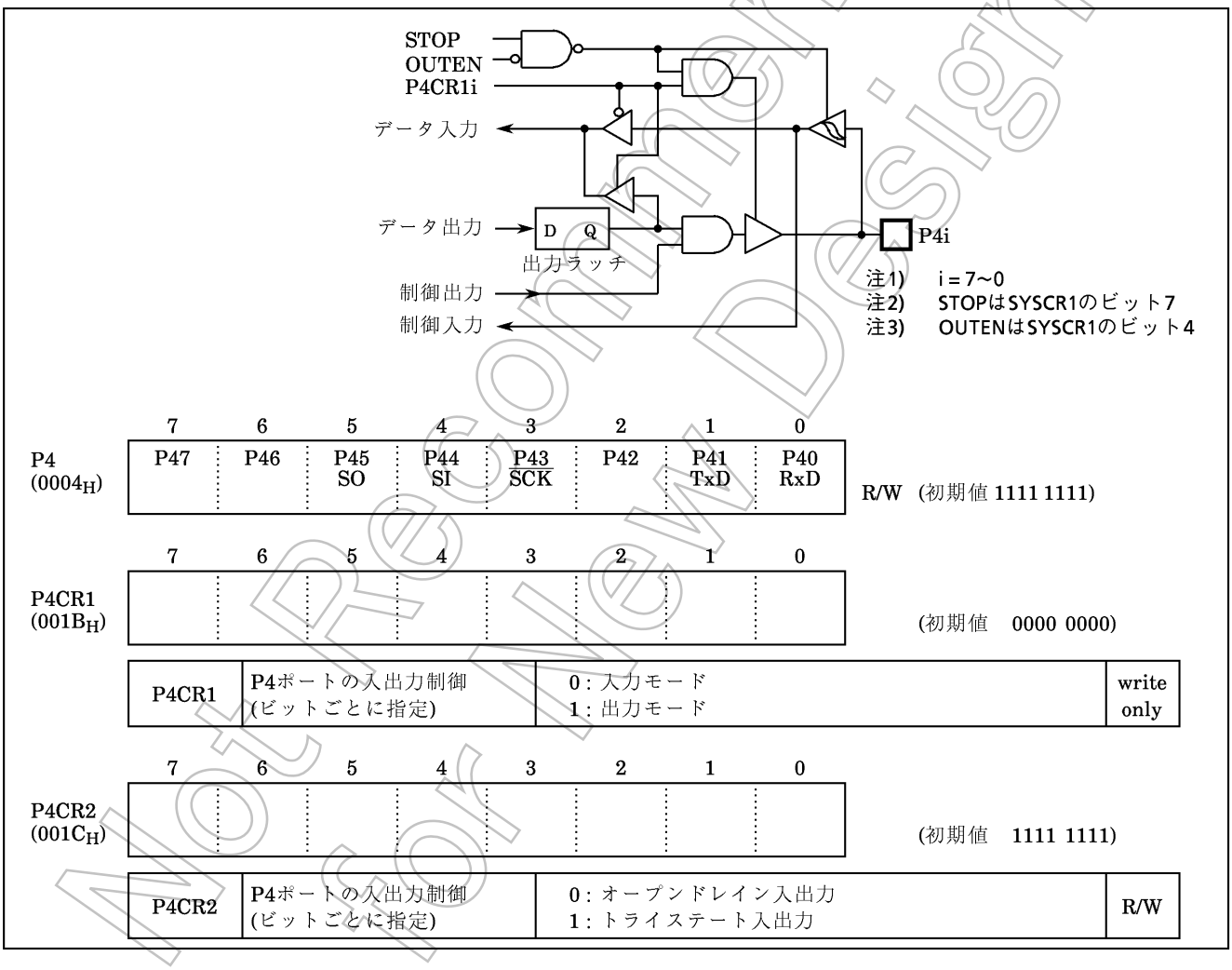


図2-7. P4ポートとP4ポート入出力制御レジスタ

Not Recommended for New Design

注1)	入力モードに設定されているポートは、端子入力の状態をリードしますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。
注2)	P4CR1は書き込み専用レジスタですのでリードモディファイ命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。

例： P4ポートの下位4ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD        (P4CR1), 0FH     ; P4CR1←00001111B
```

2.2.6 P5 (P54~P50) ポート

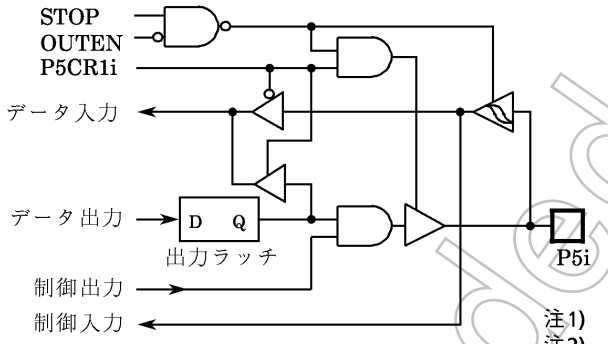
P5ポートは、1ビット単位で入出力の指定およびトライステート/オープンドレイの選択ができる5ビットの汎用入出力ポートで、外部割り込み3入力、タイマカウンタ3入力、タイマカウンタ5出力(PWM、PDO)と兼用です。これらの機能ピンとして使用する場合、外部割り込み3入力、タイマカウンタ3入力の入力ピンとして使用する場合には入力モードに設定します。タイマカウンタ5出力の出力ピンとして使用する場合には、あらかじめ出力ラッチを“1”にセットした後、出力モードに設定します。

P5ポートの入出力の指定は、P5ポート入出力制御レジスタ1(P5CR1)により行います。トライステート/オープンドレインの指定は、P5ポート入出力制御レジスタ2(P5CR2)により行います。

リセット時、P5CR1は“0”に初期化され、入力モードになります。P5CR2は“1”に初期化され、トライステートとなります。またP5ポートの出力ラッチは“1”に初期化されます。なお、P5CR1は書き込み専用レジスタです。

P5ポートに対してリード命令を実行した場合、ビット7~5は“1”が読み込まれ、出力モードに設定した端子は出力ラッチの値が読み込まれます。

Not Recommended for New Design



注1) i = 4～0
注2) STOPはSYSCR1のビット7
注3) OUTENはSYSCR1のビット4
注4) * ; don't care

	7	6	5	4	3	2	1	0	
P5 (0005_H)				P54	P53	P52 / PWM / PDO	P51	P50 / INT3 / TC3	R/W (初期値 1111 1111)
P5CR1 (0025_H)									(初期値 ***0 0000)

P5CR1	P5ポートの入出力制御 (ビットごとに指定)	0 : 入力モード 1 : 出力モード	write only

	7	6	5	4	3	2	1	0	
P5CR2 (0026_H)									(初期値 ***1 1111)

P5CR2	P5ポートの入出力制御 (ビットごとに指定)	0 : オープンドレイン入出力 1 : トライステート入出力	R/W

図2-8. P5ポートとP5ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは、端子入力の状態をリードしますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。

注2) P5CR1は書き込み専用レジスタですのでリードモディファイ命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。

例： P5ポートの下位4ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD        (P5CR1), 0FH      ; P5CR1←00001111B
```

Not Recommended for New Design

2.2.7 P6 (P67~P60) ポート

P6ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、A/Dコンバータのアナログ入力と兼用です。入出力の指定は、P6ポート入出力制御レジスタ (P6CR) により行います。A/Dコンバータのアナログ入力として使用する場合には、端子を入力モードに設定します。

リセット時、P6CRは "0" に初期化され、入力モードになります。またP6ポートの出力ラッチは "0" に初期化されます。なお、P6CRは書き込み専用レジスタです。

P6ポートに対してリード命令を実行した場合、出力モードに設定している端子は出力ラッチの値が読み込まれ、入力モードに設定している端子は、端子の値 ("L" レベルなら "0"、"H" レベルなら "1") が読み込まれます。ただし、A/Dコンバータ制御レジスタ (ADCCR) のAINDS (ADCCRのビット4) が "0" の場合、SAIN (ADCCRのビット0~3) で選択された端子は、端子の値を読まず "0"となります。

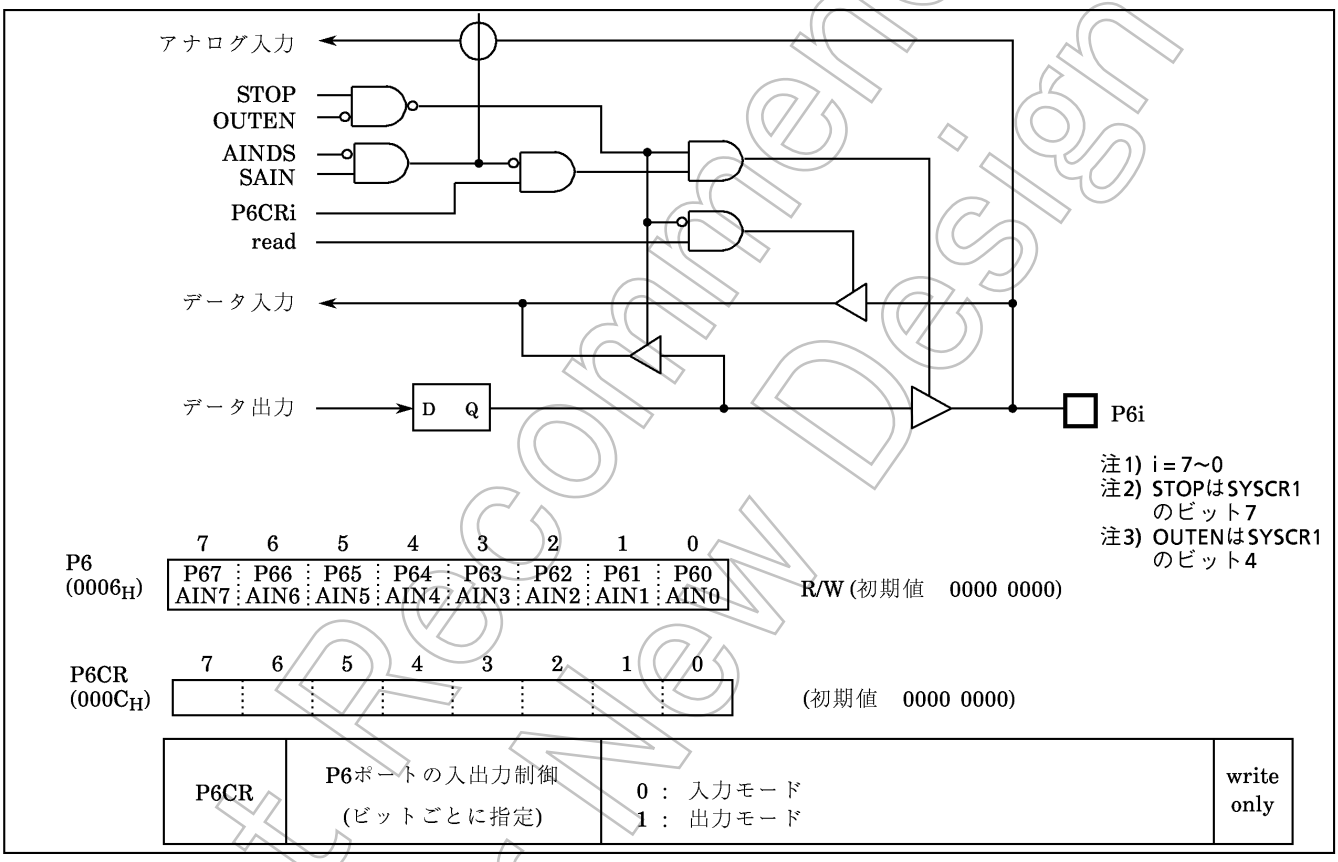


図2-9. P6ポートとP6ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは、端子入力の状態をリードしますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。

注2) P6CRは書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

Not Recommended for New Design

2.2.8 P7 (P77~P70) ポート

P7ポートは、1ビット単位で入出力の指定およびトライステート/オープンドレインの選択ができる8ビットの汎用入出力ポートです。入出力の指定は、P7ポート入出力制御レジスタ1 (P7CR1) によって行います。トライステート/オープンドレインの指定は、P7ポート入出力制御レジスタ2 (P7CR2) によって行います。

リセット時、P7CR1は "0" に初期化され、入力モードとなります。P7CR2は "1" に初期化され、トライステートとなります。また、P7ポートの出力ラッチは "0" に初期化されます。なお、P7CR1は書き込み専用レジスタです。P7ポートに対してリード命令実行した場合、出力モードに設定した端子は出力ラッチの値が読み込まれます。

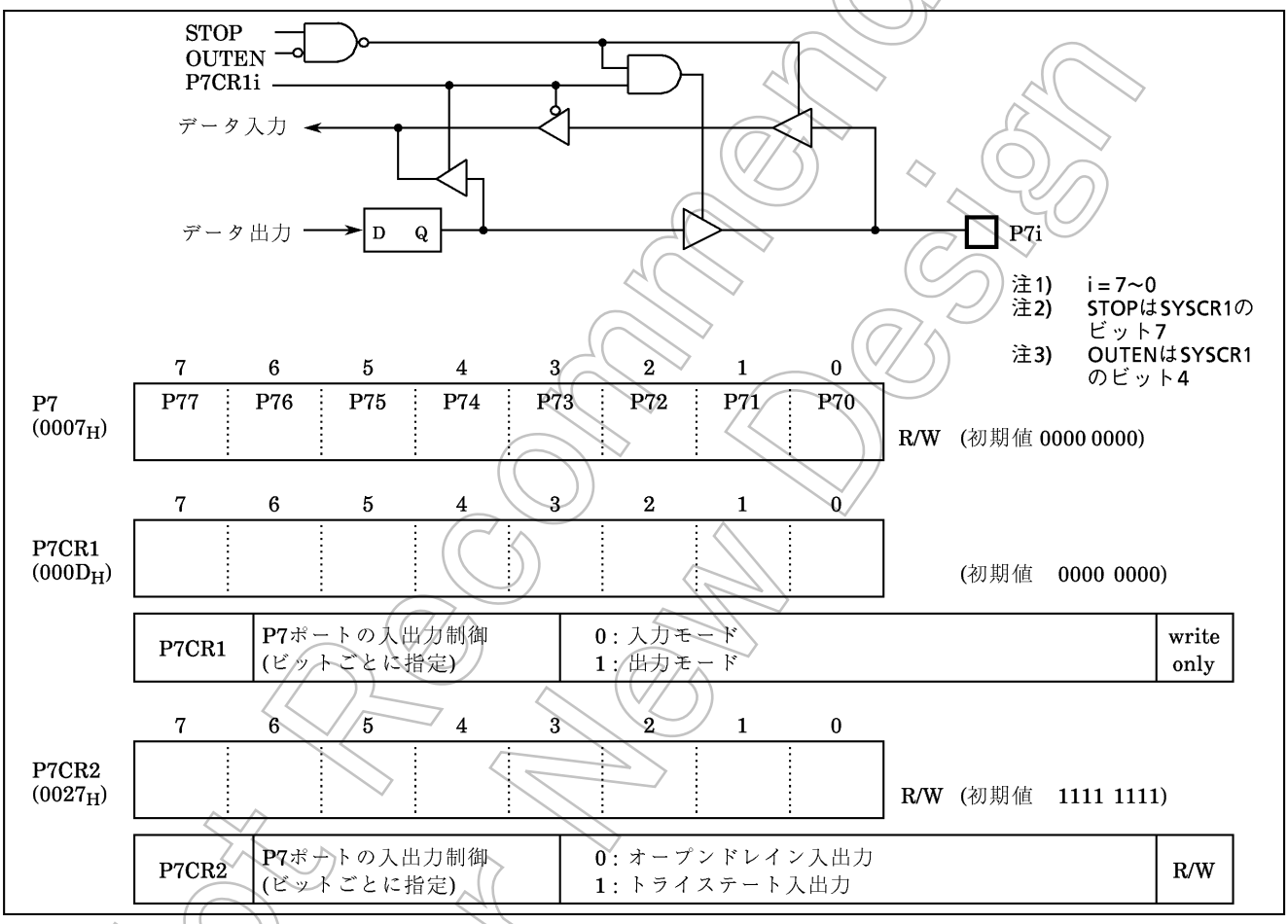


図2-10. P7ポートとP7ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは、端子入力の状態をリードしますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。

注2) P7CR1は書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

例： P7ポートの下位4ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD        (P7CR1), 0FH      ; P7CR1←00001111B
```

Not Recommended for New Design

2.2.9 P8 (P87~P80) ポート

P8ポートは、1ビット単位で入出力の指定およびプルアップ抵抗の有無の選択ができる8ビットの汎用入出力ポートです。キーオンウェイクアップ機能と兼用です。入出力の指定は、P8ポート入出力制御レジスタ (P8CR) によって行います。プルアップ抵抗の有無の指定は、P8ポートプルアップ抵抗制御 (P8PUCR) によって行います。キーオンウェイクアップ機能として使用する端子は入力モードに設定します。リセット時、P8CRは "0" に初期化され、入力モードとなります。P8PUCRは "1" に初期化され、プルアップ抵抗有りとなります。またP8ポートの出力ラッチは "0" に初期化されます。なお、P8CRは書き込み専用レジスタです。P8ポートに対してリード命令を実行した場合、出力モードに設定した端子は出力ラッチの値が読み込まれます。

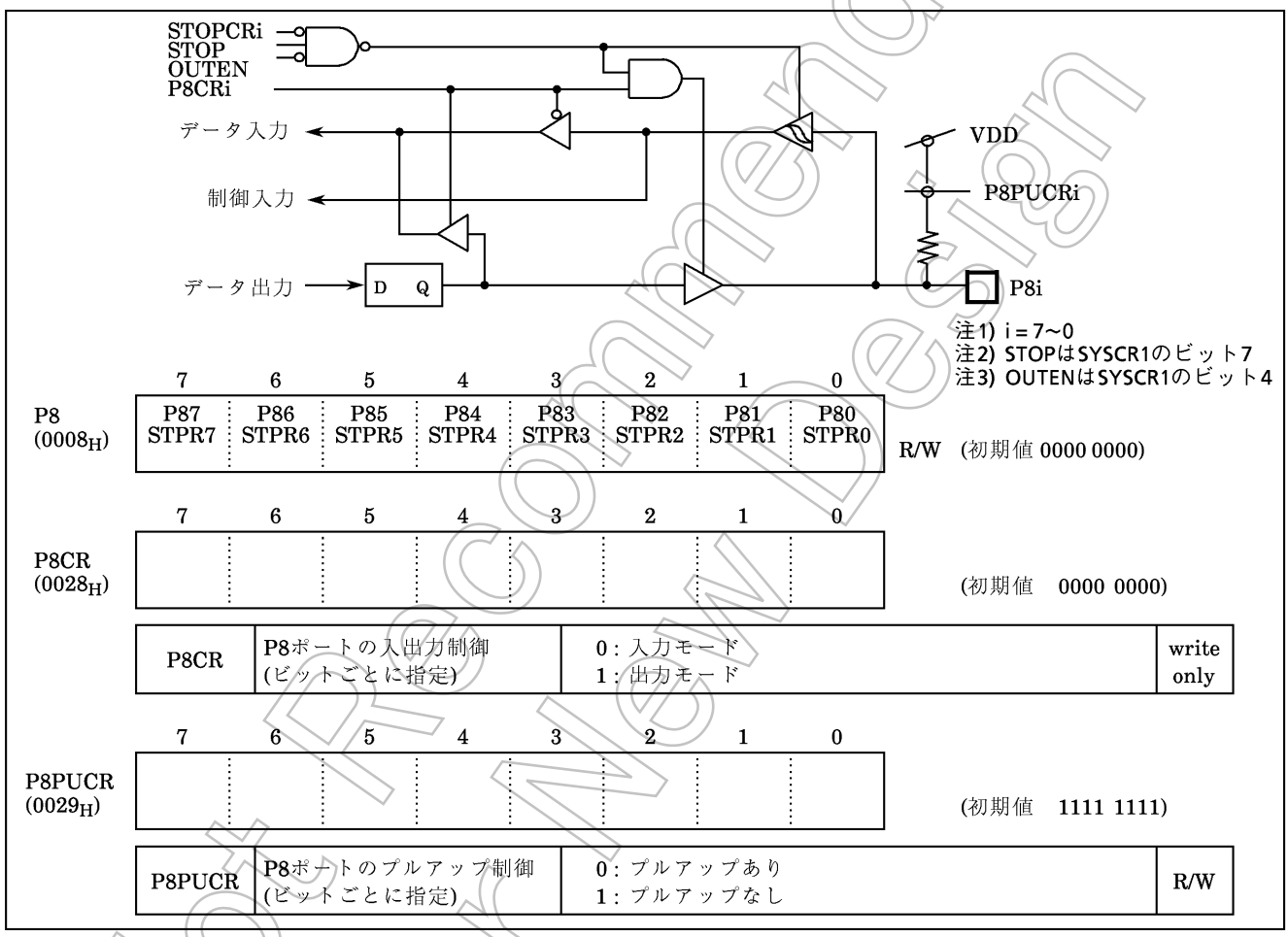


図2-11. P8ポートとP8ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは、端子入力の状態をリードしますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。

注2) P8CRは書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

例： P8ポートの下位8ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD        (P8CR), 0FH      ; P8CR←00001111B
```

Not Recommended for New Design

2.2.10 P9 (P97~P90) ポート

P9ポートは、1ビット単位で入出力の指定およびトライステート / オープンドレインの選択ができる8ビットの汎用入出力ポートです。入出力の指定は、P9ポート入出力制御レジスタ1 (P9CR1) によって行います。トライステート / オープンドレインの指定は、P9ポート入出力制御レジスタ2 (P9CR2) によって行います。

リセット時、P9CR1は "0" に初期化され、入力モードとなります。P9CR2は"1" に初期化され、トライステートとなります。また、P9ポートの出力ラッチは "0" に初期化されます。なお、P9CR1は書き込み専用レジスタです。P9ポートに対してリード命令を実行した場合、出力モードに設定した端子は出力ラッチの値が読み込まれます。

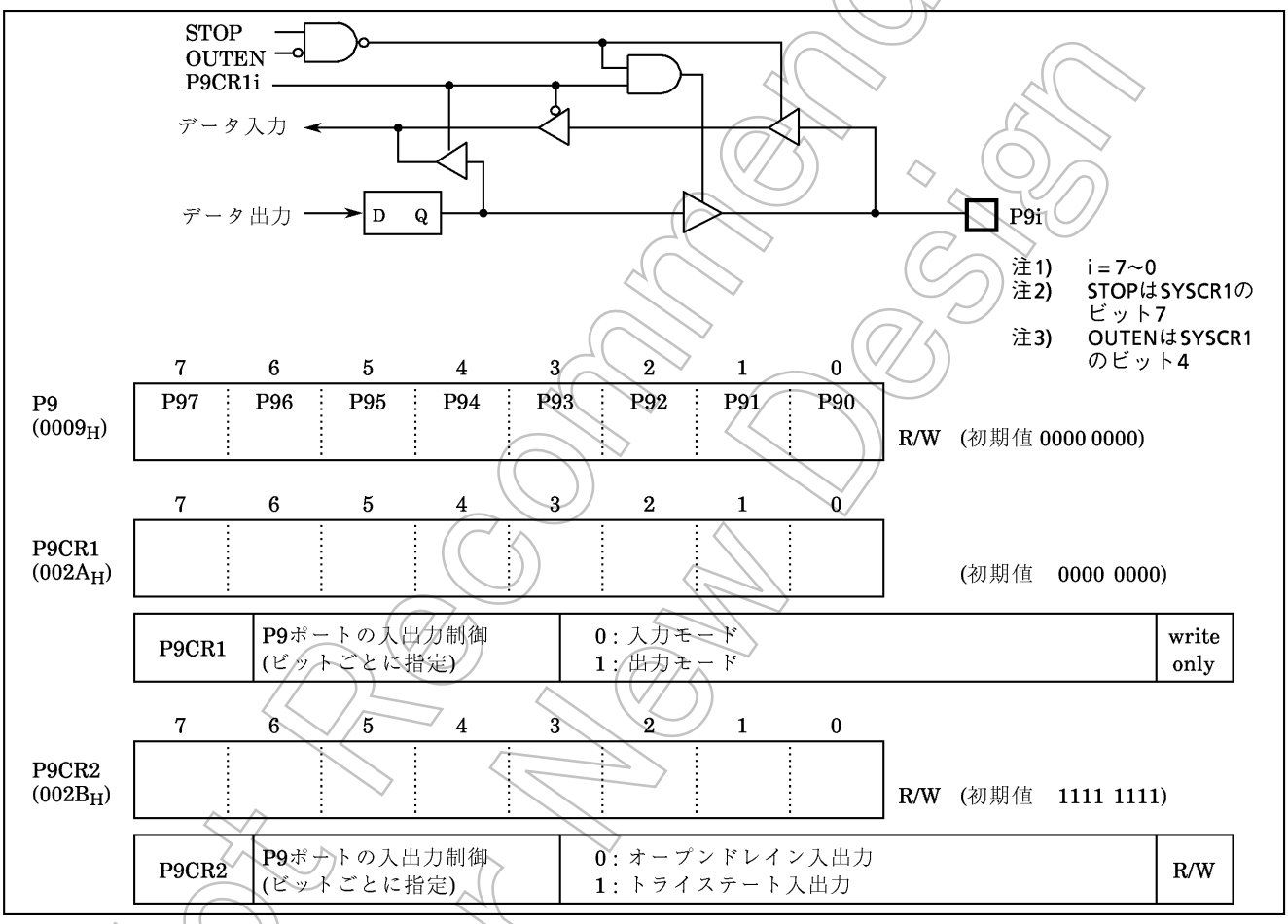


図2-12. P9ポートとP9ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは、端子入力の状態をリードしますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。出力モードに設定した端子は出力ラッチの値が読み込まれます。

注2) P9CR1は書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

例 : P9ポートの下位4ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD (P9CR1), 0FH ; P9CR1←00001111B
```

Not Recommended for New Design

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期毎にタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力をTBTCKで選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-13. (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできます。

例： タイムベースタイマ割り込み周波数を fc /2^{16} [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR) , 00001010B
SET     (EIRL) . 6
```

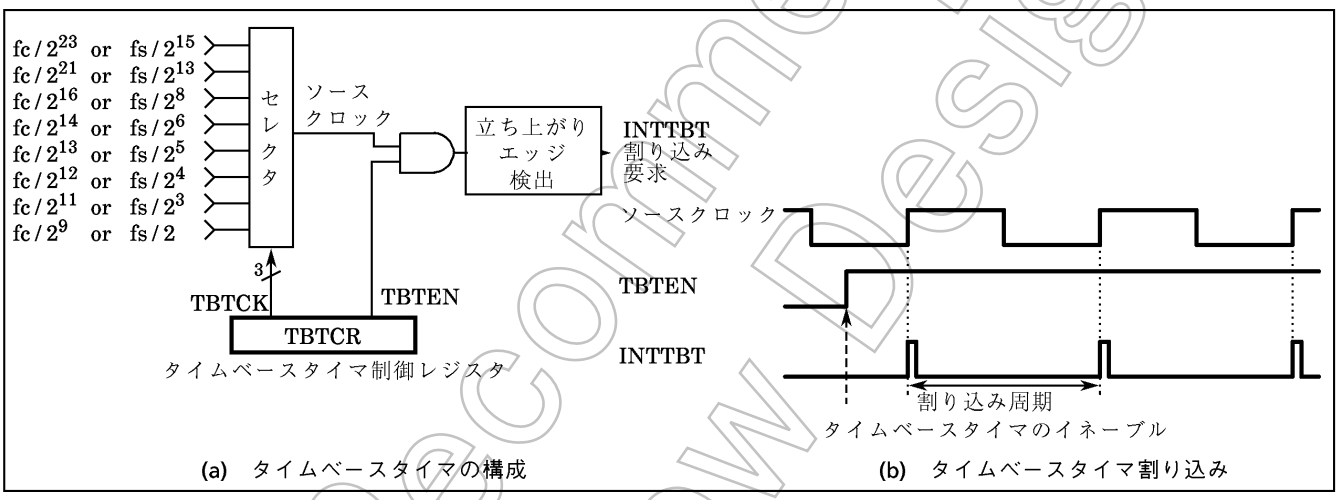


図2-13. タイムベースタイマ

TBTCR (0036_H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK		

(初期値 0000 0000)

TBTEN	タイムベースタイマの許可/禁止	0：ディセーブル 1：イネーブル	R/W
TBTCK	タイムベースタイマ割り込み周波数の選択	000：fc / 2^{23} または fs / 2^{15} [Hz] 001：fc / 2^{21} または fs / 2^{13} 010：fc / 2^{16} または fs / 2^{8} 011：fc / 2^{14} または fs / 2^{6} 100：fc / 2^{13} または fs / 2^{5} 101：fc / 2^{12} または fs / 2^{4} 110：fc / 2^{11} または fs / 2^{3} 111：fc / 2^{9} または fs / 2	

注) fc； 高周波クロック [Hz] , fs ；低周波クロック [Hz] , ＊；don't care

図2-14. タイムベースタイマ制御レジスタ

Not Recommended for New Design

表2-1. タイムベースタイマ割り込み周波数

TBTCK	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	割り込み周波数	
	DV7CK=0	DV7CK=1		fc=8 MHz時	fs=32.768 kHz時
000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	0.95 Hz	1 Hz
001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	3.81	4
010	$fc/2^{16}$	$fs/2^{8}$	−	122.07	128
011	$fc/2^{14}$	$fs/2^{6}$	−	488.28	512
100	$fc/2^{13}$	$fs/2^{5}$	−	976.56	1024
101	$fc/2^{12}$	$fs/2^{4}$	−	1953.12	2048
110	$fc/2^{11}$	$fs/2^{3}$	−	3906.25	4096
111	$fc/2^{9}$	$fs/2$	−	15625	16384

2.4 デバイダ出力 ($\overline{DVO}$)

タイミング ジェネレータのデバイダによってデューティ50%のパルスを出力することができ、ブザーなどの駆動に利用できます。デバイダ出力は、$\overline{DVO}$ (P13)端子から出力されます。なお、P13ポートは出力ラッチを "1" にセットしたあと出力モードに設定します。

TBTCR (0036_H)

7	6	5	4	3	2	1	0
DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)		

(初期値 0000 0000)

DVOEN	デバイダ出力 の許可/禁止	0 : ディセーブル 1 : イネーブル	R/W
DVOCK	デバイダ出力 ($\overline{DVO}$端子) の周波数選択	00 : $fc/2^{13}$ または $fs/2^{5}$ [Hz] 01 : $fc/2^{12}$ または $fs/2^{4}$ 10 : $fc/2^{11}$ または $fs/2^{3}$ 11 : $fc/2^{10}$ または $fs/2^{2}$	

注) fc; 高周波クロック [Hz], fs ; 低周波クロック [Hz], * ; don't care

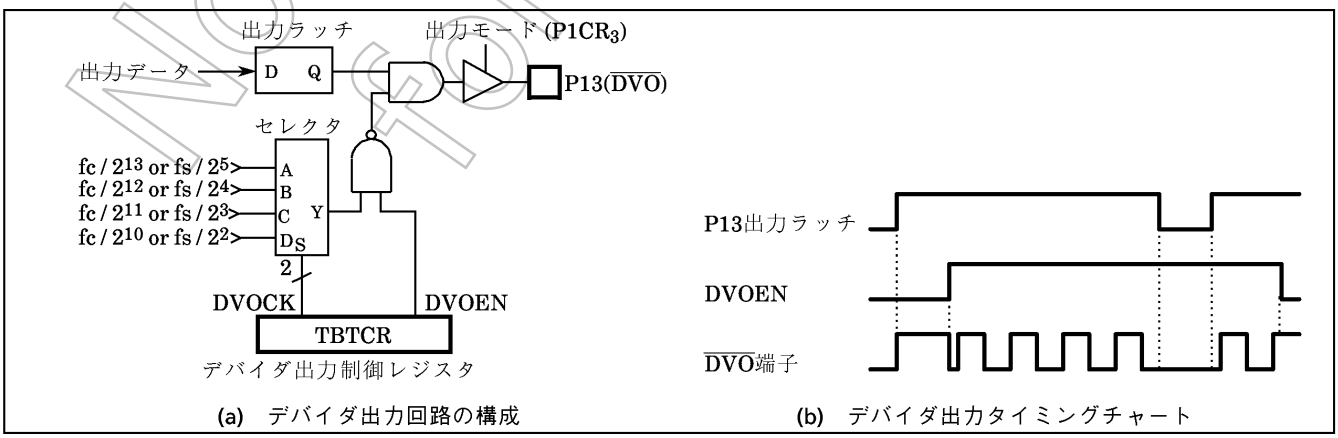
図2-15. デバイダ出力制御レジスタ

例 : 1 kHzのパルスを出力 (fc=8 MHz時)。

```
SET     (P1).3              ; P13出力ラッチ←1
LD      (P1CR), 00001000B   ; P13を出力モードに設定
LD      (TBTCR), 10000000B  ; DVOEN←1, DVOCK←00
```

表2-2. デバイダ出力の周波数

DVOCK	デバイダ出力の周波数	fc=4.194304 MHz時	fc=8 MHz時	fc=32.768 kHz時
00	$fc/2^{13}$または$fs/2^{5}$	0.512 [kHz]	0.976 [kHz]	1.024 [kHz]
01	$fc/2^{12}$ $fs/2^{4}$	1.024	1.953	2.048
10	$fc/2^{11}$ $fs/2^{3}$	2.048	3.906	4.096
11	$fc/2^{10}$ $fs/2^{2}$	4.096	7.812	8.192



(a) デバイダ出力回路の構成 (b) デバイダ出力タイミングチャート

図2-16. デバイダ出力

Not Recommended for New Design

2.5 16ビットタイマカウンタ1(TC1)

2.5.1 構 成

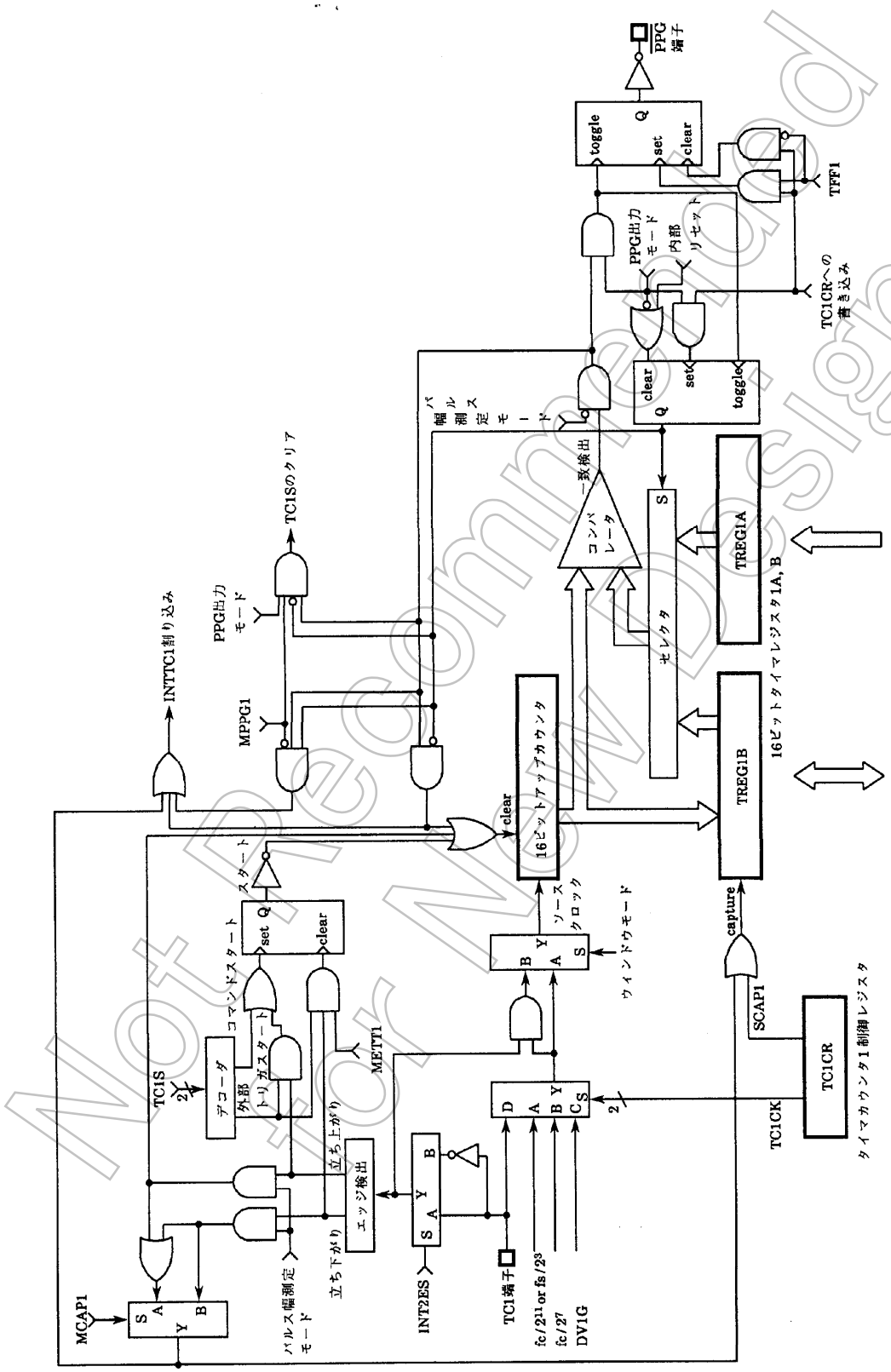
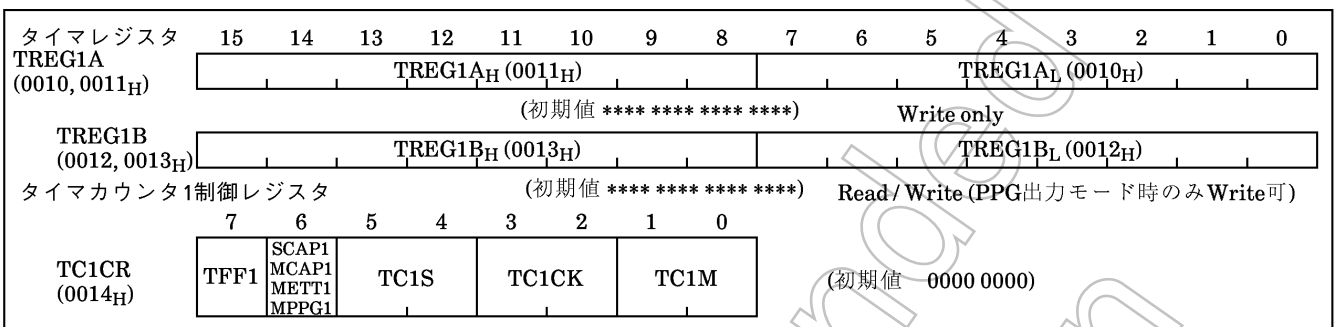


図2-17. タイマ/カウンタ1(TC1)

Not Recommended for New Design

2.5.2 制　御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TREG1A / TREG1B) で制御されます。



TC1M	タイマカウンタ1の 動作モードの選択	00 : タイマ / 外部トリガタイマ / イベントカウンタモード 01 : ウィンドウモード 10 : パルス幅測定モード 11 : PPG (プログラマブルパルスジェネレート)出力モード	write only
TC1CK	タイマカウンタ1の ソースクロックの選択	00 : 内部クロック　fc / 2^{11} または fs / 2^3　[Hz] 01 :　〃　fc / 2^7 10 :　〃　DV1G (fc / 2^4, fc / 2^5, fc / 2^6) 11 : 外部クロック (TC1端子入力)	
TC1S	タイマカウンタ1の スタート制御	00 : ストップ&カウンタクリア 01 : コマンドスタート 10 : reserved 11 : 外部トリガスタート	
SCAP1	ソフトキャプチャ制御	0 : –　1 : ソフトキャプチャトリガ	
MCAP1	パルス幅測定モード制御	0 : 両エッジキャプチャ　1 : 片エッジキャプチャ	
METT1	外部トリガタイマモード制御	0 : トリガスタート　1 : トリガスタート&ストップ	
MPPG1	PPG出力制御	0 : 連続　1 : 単発	
TFF1	タイマF / F1制御	0 : クリア　1 : セット	

注1)　fc ; 高周波クロック [Hz]　fs ; 低周波クロック [Hz]

注2)　タイマレジスタの下位側 ($TREG1A_L$, $TREG1B_L$) に書き込むと上位側 ($TREG1A_H$, $TREG1B_H$) への書き込みが終わるまで、一致検出を停止します (従ってタイマ/レジスタの下位側だけの変更はできません)。また、上位側への書き込み後1サイクル以内 (すなわち命令実行中) の一致検出も無視されます。

注3)　モード, ソースクロック, エッジ (INT2ESを含む), PPG出力制御, タイマF / F1制御は、停止 (TC1S = 00) 状態で設定してください。

注4)　ソフトキャプチャは、タイマ, イベントカウンタモードでのみ使用可能です。SCAP1 はソフトキャプチャ後自動的に "0" にクリアされます。

注5)　タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG1A＞TREG1B＞0 (PPG出力モード) , TREG1A＞0 (PPG出力モード以外)

注6)　PPG出力モード以外は、TFF1 = 0としてください。

注7)　TC1CR, TREG1A, TREG1Bは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注8)　TREG1Bは、PPG出力モードに設定後でなければ書き込みできません。

注9)　DV1Gは、クロックギア制御レジスタ (CGCR) のDVCKで$fc/2^4$, $fc2^5$, $fc2^6$に設定できます。
使用する場合、ギア比1/1のときは、$fc/2^4$, $fc2^5$, $fc/2^6$、1/2のときは、$fc/2^5$, $f/2^6$、1/4のときは、$fc/2^6$になるように設定してください。
そのほかの設定とギア比1/8のときのDV1G (TC1Ck = 10) は正しく動作しません。

図2-18. タイマカウンタ1のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.5.3 機　能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、SCAP1 (TC1CRのビット6) を "1" にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TREG1B) に取り込むことができます (ソフトキャプチャ機能)。SCAP1は、キャプチャ後自動的に "0" にクリアされます。

表2-3. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1 /2, IDLE1 /2モード		SLOW, SLEEP モード	fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1					
fc / 2^{11} [Hz]	fs / 2^3 [Hz]	fs / 2^3 [Hz]	256 μs	244.14 μs	16.8 s	16.0 s
fc / 2^7	fc / 2^7	–	16 μs	–	1.0 s	–
fc / 2^6	fc / 2^6	–	8 μs	–	524.2 ms	–
fc / 2^5	fc / 2^5	–	4 μs	–	262.1 ms	–
fc / 2^4	fc / 2^4	–	2 μs	–	131.1 ms	–

例1： ソースクロックfs / 2^3 [Hz] でタイマモードにセットし、1 s後に割り込みを発生させる (fs＝32.768 kHz時)。

```
LDW     (TREG1A), 1000H      ; タイマレジスタの設定 (1 s÷2³ / fs＝1000H)
SET     (EIRL). EF4          ; INTTC1割り込みを許可
EI
LD      (TC1CR), 00010000B   ; TC1スタート
```

注) TC1CR は書き込み専用レジスタですので、[SET (TC1CR) . 4] 命令によるスタートはできません。

Not Recommended for New Design

例2： ソフトキャプチャ

```
LD      (TC1CR), 01010000B      ; SCAP1←1
LD      WA, (TREG1B)            ; キャプチャ値の読み出し
```

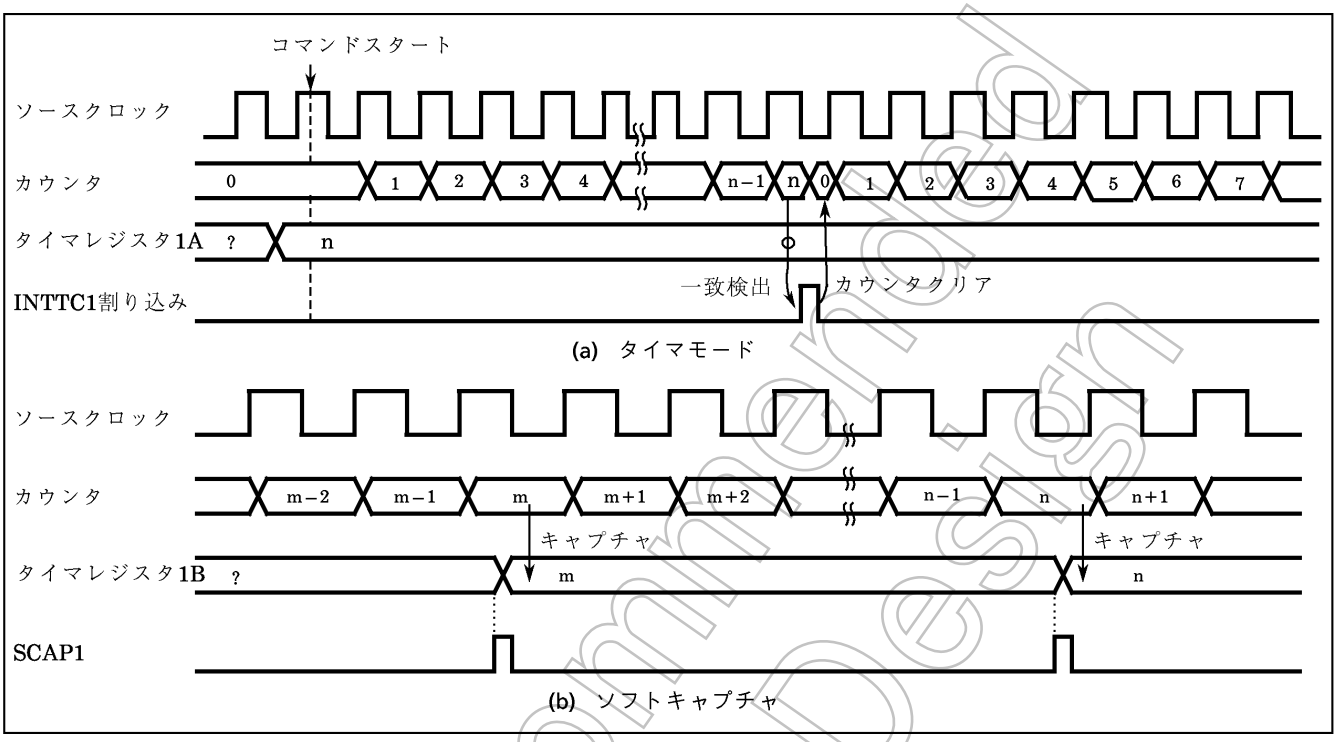


図2-19. タイマモード タイミングチャート

Not Recommended for New Design

(2) 外部トリガタイマモード

TC1(P12) 端子入力のエッジ (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT2端子のエッジ選択と共通) をトリガにしてカウントをスタートするタイマモードです (ソースクロックは内部クロックです)。カウンタ値とTREG1A設定値の一致でINTTC1割り込み発生し、カウンタはクリアされて停止します。TC1端子入力のエッジによりカウントアップは再開します。

METT1 (TC1CRのビット6) が“1”の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1が“0”の場合は、逆方向のエッジ入力は無視されます。また、一致検出前のTC1端子入力のエッジも無視されます。

TC1端子入力にはINT2端子と同じノイズ除去回路が付いていますので、NORMAL 1, 2またはIDLE1, 2 モード時7 / fc [s] 以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには24 / fc [s] 以上のパルス幅が必要です。SLOWまたはSLEEPモード時はノイズ除去回路はオフしますが “H”, “L”レベルともに2マシンサイクル以上のパルス幅が必要です。

例1 : TC1端子入力の立ち上がりエッジから100 μs後に割り込みを発生させる
(fc＝8 MHz時, CGCRのDVCK＝“010”)。

```
LD      (EINTCR), 00000000B     ; INT2ES←0 (立ち上がりエッジ)
LDW     (TREG1A), 0032H         ; 100 μs÷2^4 / fc＝32H
SET     (EIRL).EF4              ; INTTC1割り込み許可
EI
LD      (TC1CR), 00111000B      ; TC1外部トリガスタート, METT＝0
```

例2 : TC1端子に“L”レベル幅4 ms以上のパルスが入力されたら割り込みを発生させる (fc＝8 MHz時)。

```
LD      (EINTCR), 00000100B     ; INT2ES←1 (“L” レベル)
LDW     (TREG1A), 00FAH         ; 4 ms÷2^7 / fc＝FAH
SET     (EIRL).EF4              ; INTTC1割り込み許可
EI
LD      (TC1CR), 01110100B      ; TC1外部トリガスタート, METT＝1
```

Not Recommended for New Design

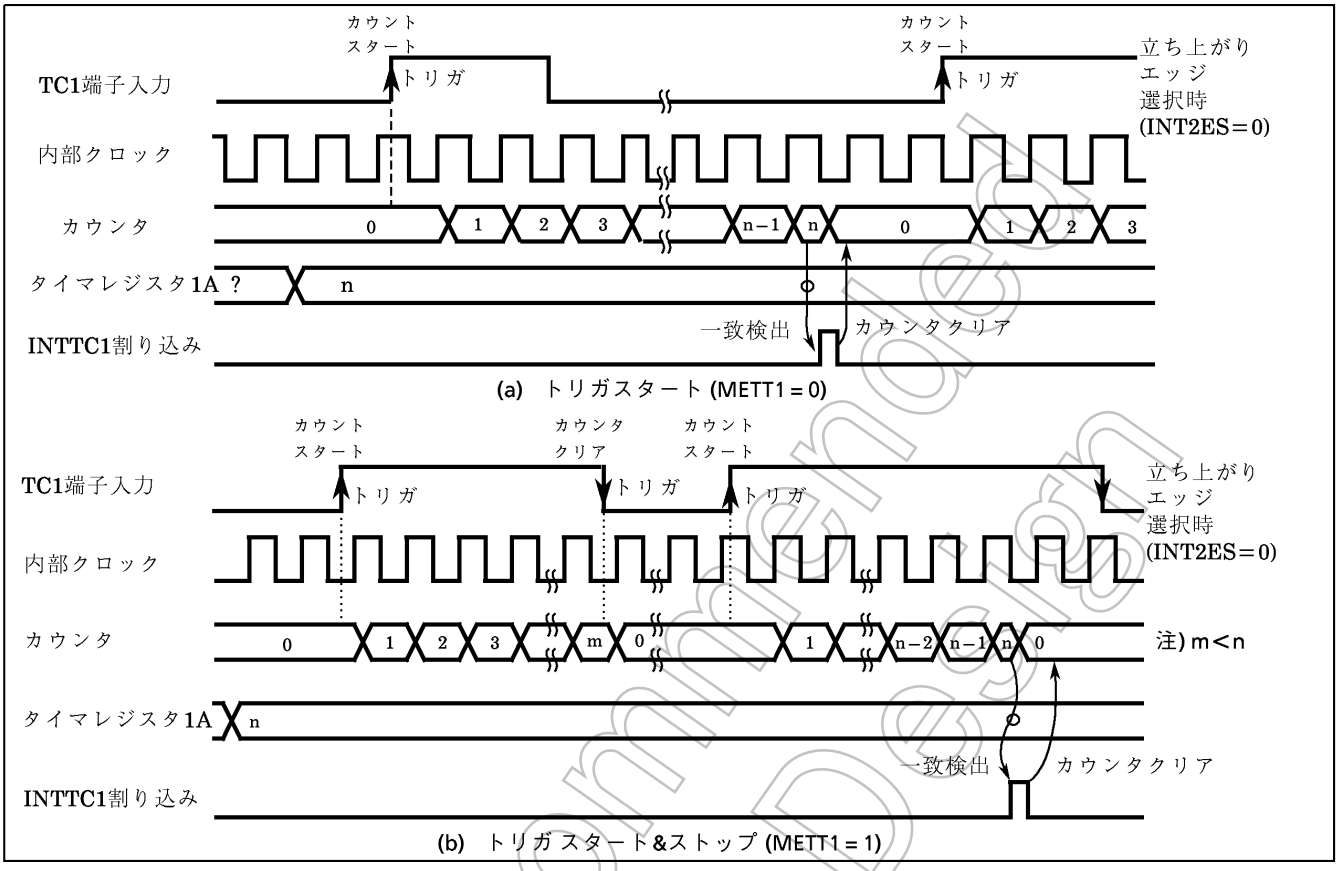


図2-20. 外部トリガタイマモード タイミングチャート

(3) イベントカウンタモード

TC1(P12) 端子入力のエッジ (立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、INT2端子のエッジ選択と共通) でカウントアップするモードです。カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、fcgck / 2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs / 2^4 [Hz] (SLOW, SLEEPモード時) です。
SCAP1を“1”にセットすることにより、そのときのアップカウンタの内容をTREG1Bに取り込むことができます (ソフトキャプチャ機能)。

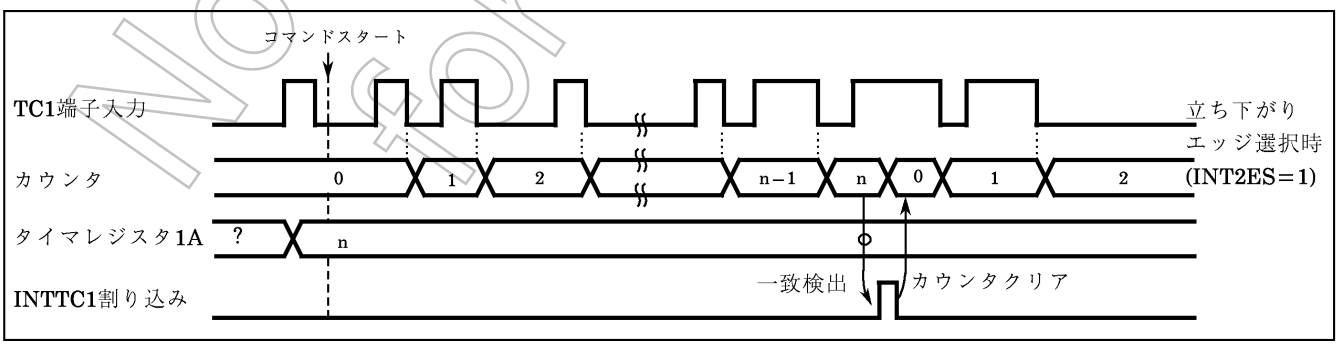


図2-21. イベントカウンタモード タイミングチャート

Not Recommended for New Design

(4) ウィンドウモード

TC1 (P12) 端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。TC1端子入力は、正論理/負論理の選択ができます (INT2端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要があります。すなわち、設定した内部クロックより十分に遅い周波数となります。

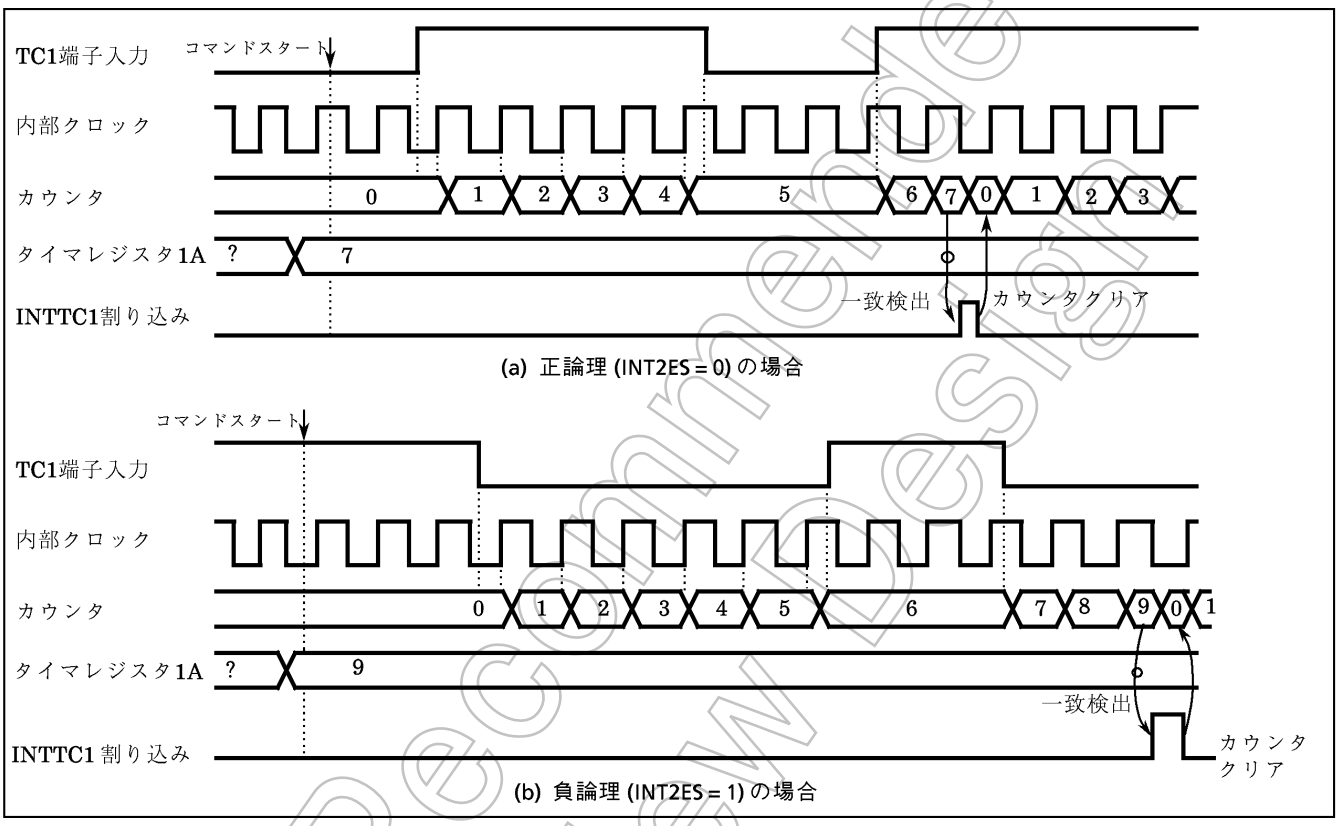


図2-22. ウィンドウモード タイミングチャート

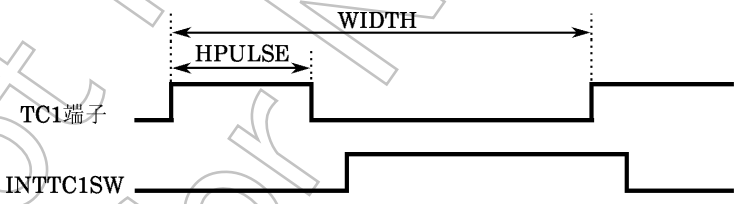
Not Recommended for New Design

(5) パルス幅測定モード

TC1(P12) 端子入力の立ち上がり (立ち下がり) エッジをトリガにしてカウントをスタートします (TC1CRで外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり (立ち上がり) エッジでカウンタの内容をTREG1Bに取り込み、割り込みを発生します。片エッジキャプチャに設定した場合はカウンタはクリアされます。両エッジキャプチャに設定した場合はカウントは継続し、次の立ち上がり (立ち下がり) エッジで再びカウンタの内容をTREG1Bに取り込みます。なお、立ち下がり (立ち上がり) エッジでのキャプチャ値が必要な場合は、立ち上がり (立ち下がり) エッジが検出されるまでにTREG1Bの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択はINT2ESで行い、片エッジ/両エッジキャプチャの選択はMCAP1 (TC1CRのビット6) で行います。

例： デューティの測定 (分解能fc / 2^7 [Hz])

```
            CLR   (INTTC1SW). 0          ; INTTC1のサービススイッチの初期設定
            LD    (EINTCR), 00000000B    ; INT2ESを立ち上がりエッジに設定
            LD    (TC1CR), 00000110B     ; TC1のモード, ソースクロックを設定
            SET   (EIRL). EF4            ; INTTC1割り込みを許可。
            EI
            LD    (TC1CR), 00110110B     ; MCAP1＝0でTC1を外部トリガスタート。
             ⋮
PINTTC1 :   CPL   (INTTC1SW). 0          ; INTTC1のサービススイッチの反転/テスト
            JRS   F, SINTTC1
            LD    (HPULSE), (TREG1BL)    ; TREG1Bの読み出し (“H”レベルパルス幅)
            LD    (HPULSE＋1), (TREG1BH)
            RETI
SINTTC1 :   LD    (WIDTH), (TREG1BL)     ; TREG1Bの読み出し (周期)
            LD    (WIDTH＋1), (TREG1BH)
             ⋮                           ; デューティ計算
            RETI
             ⋮
VINTTC1 :   DW    PINTTC1
```



Not Recommended for New Design

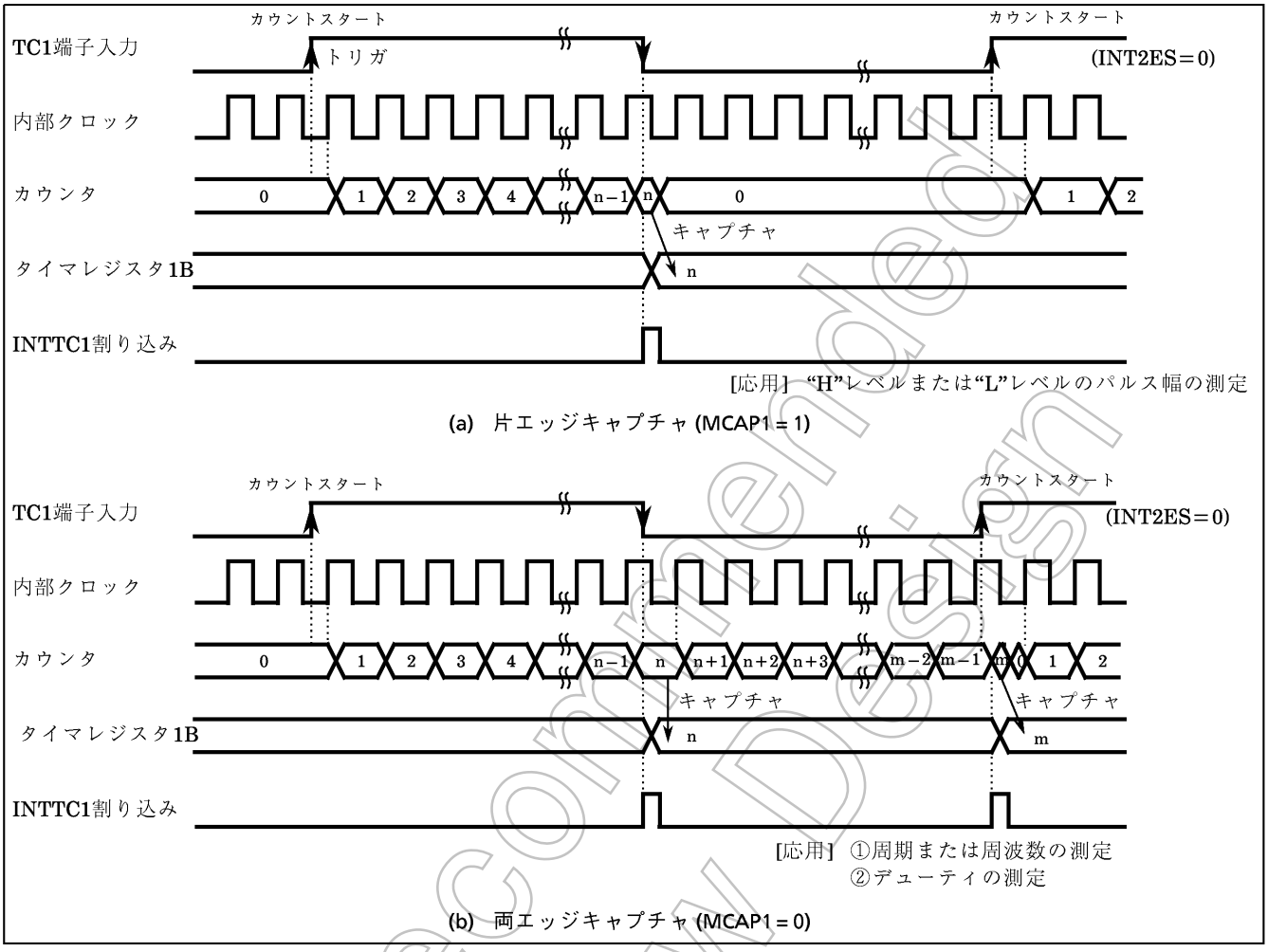


図2-23. パルス幅測定モード

(6) プログラマブル パルス ジェネレート (PPG) 出力モード

TC1(P12) 端子入力のエッジ (立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT2端子のエッジ選択と共通) またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1Bとの一致でタイマF / F1を反転します。連続出力の場合 (MPPG1＝0) は、INTTC1割り込みが発生します。次にTREG1Aとの一致でタイマF / F1を再び反転し、カウンタをクリアします。このとき、INTTC1割り込みも発生します。タイマF / F1出力は、反転されて$\overline{\text{PPG}}$ (P14) 端子に接続されています。PPG出力を行う場合、P14出力ラッチを "1" にセットし、出力モードに設定します。タイマF / F1は、リセット時 "0" にクリアされます。また、TFF1 (TC1CRのビット7) でタイマF / F1の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1Bは、PPG出力モードに設定されていないと書き込みできません。

例 : "H"レベル800 μs, "L"レベル200 μsのパルスを出力(fc＝8 MHz時, CGCRのDVCK＝"010")。

```
SET     (P1).4                  ; P14出力ラッチ←1
LD      (P1CR), 00010000B       ; P14を出力モードに設定
LD      (TC1CR), 10001011B      ; PPG出力モードに設定
LDW     (TREG1A), 01F4H         ; 周期の設定(1 ms÷2 μs＝1F4H)
LDW     (TREG1B), 0064H         ; "L"レベルパルス幅の設定(200 μs÷2 μs＝0064H)
LD      (TC1CR), 10011011B      ; スタート
```

Not Recommended for New Design

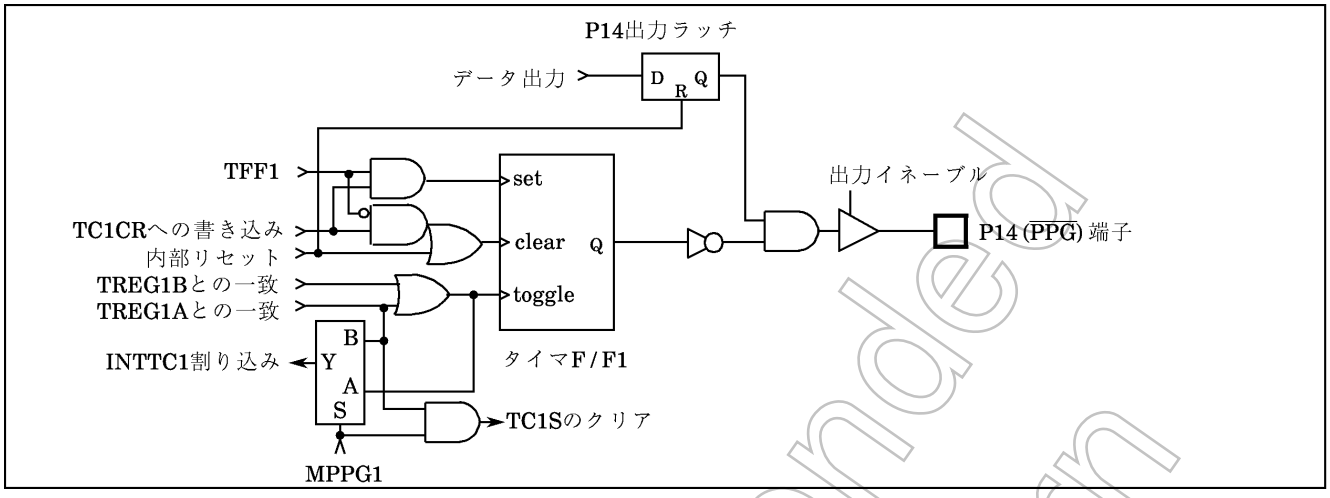


図2-24. $\overline{\text{PPG}}$出力

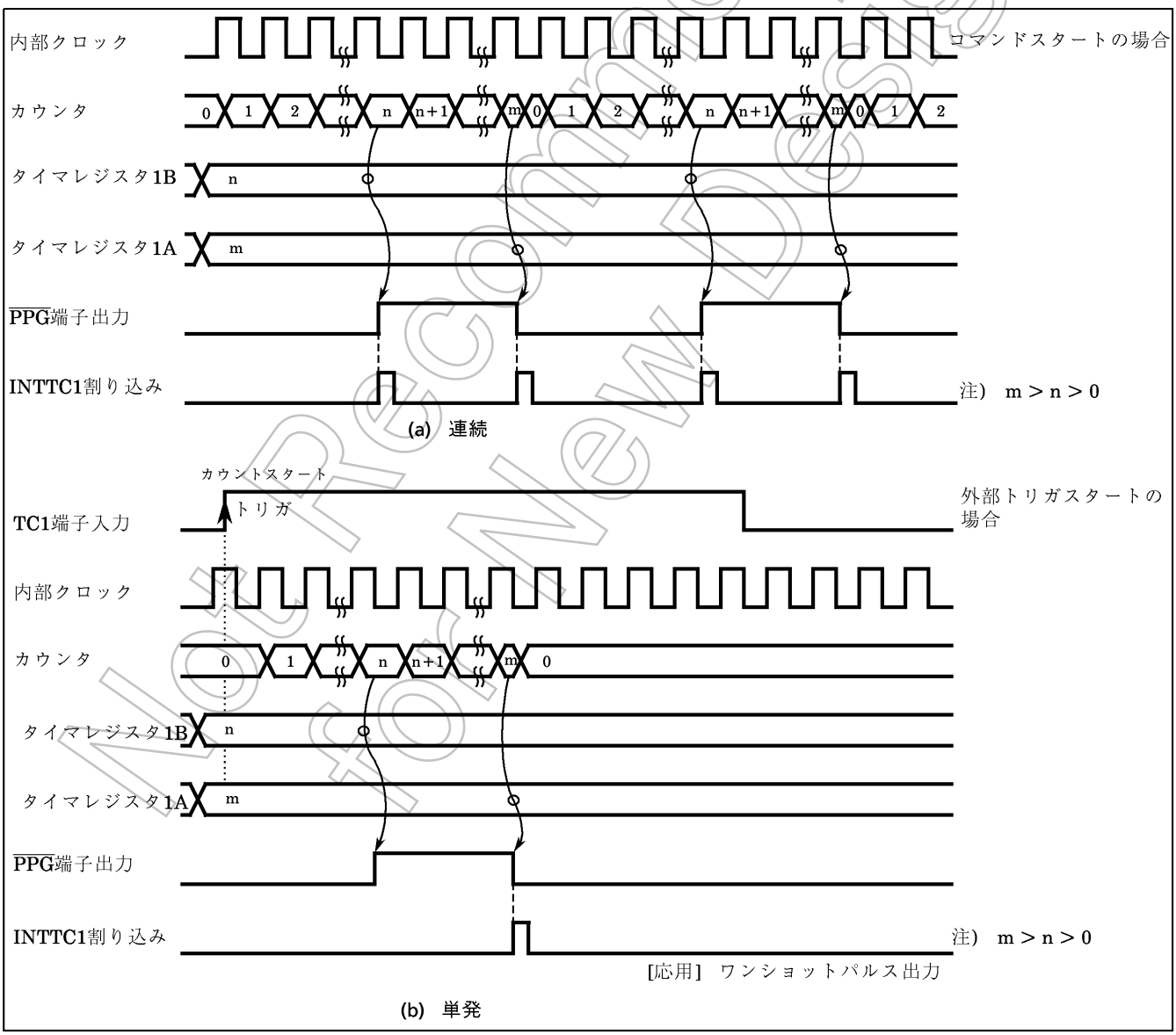


図2-25. PPG出力モード タイミングチャート

Not Recommended for New Design

2.6 16ビット タイマカウンタ2 (TC2)

2.6.1 構 成

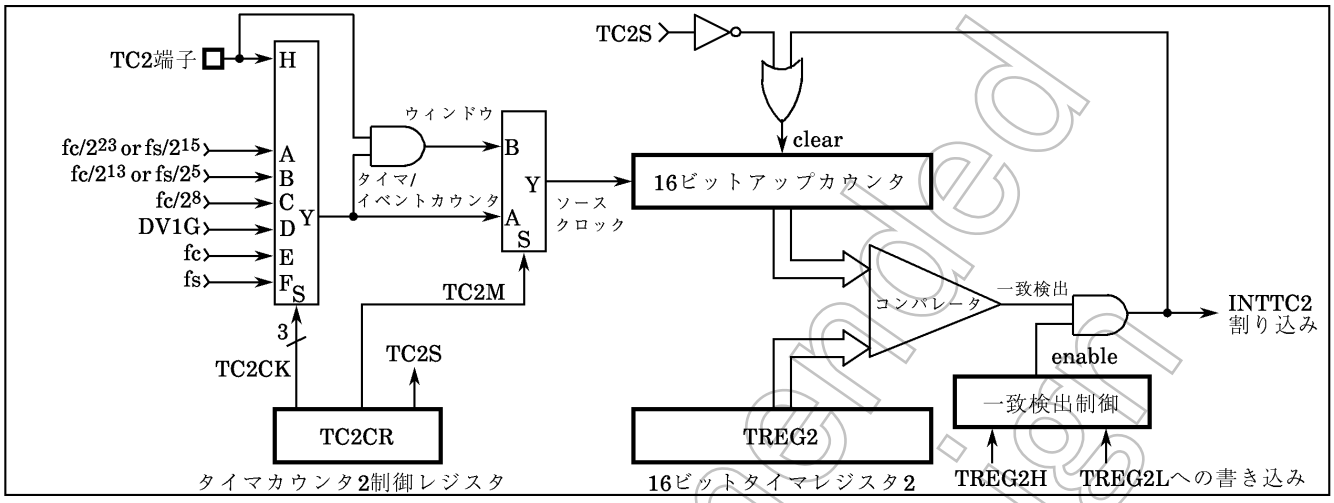
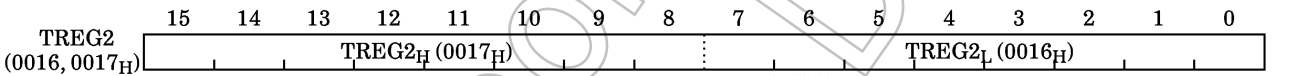


図2-26. タイマカウンタ2 (TC2)

2.6.2 制 御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。



TC2M	タイマカウンタ2の動作モードの選択	0 : タイマ/イベントカウンタモード 1 : ウィンドウモード	write only
TC2CK	タイマカウンタ2のソースクロックの選択	000 : 内部クロック fc / 2^{23} または fs / 2^{15} [Hz] 001 : 〃 fc / 2^{13} または fs / 2^5 010 : 〃 fc / 2^8 011 : 〃 DV1G (fc / 2^4, fc / 2^5, fc / 2^6) 100 : 〃 fc (注5) 101 : 〃 fs 110 : reserved 111 : 外部クロック (TC2端子入力)	
TC2S	タイマカウンタ2のスタート制御	0 : ストップ&カウンタクリア 1 : スタート	

注1) fc ; 高周波クロック [Hz] fs ; 低周波クロック [Hz] * ; don't care

注2) タイマレジスタの下位側 ($TREG2_L$) に書き込みすると上位側 ($TREG2_H$) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。

注3) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注4) タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG2＞0 (ウォーミングアップのときは$TREG2_{15\sim11}$＞0)

注5) ソースクロックにfcを選択できるのは、SLOWモード時のタイマモードだけです。

注6) TC2CR, TREG2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注7) DV1Gは、クロックギア制御レジスタ (CGCR) のDVCKでfc/2^4, fc/2^5, fc/2^6に設定できます。使用する場合、ギア比1/1のときはfc/2^4, fc/2^5, fc/2^6、1/2のときは、fc/2^5, fc2^6,、1/4のときは、fc/2^6になるように設定してください。そのほかの設定とギア比1/8のときのDV1G (TC2CK = 011) は正しく動作しません。

図2-27. タイマカウンタ2のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.6.3 機　能

タイマカウンタ2には、タイマ、イベントカウンタとウィンドウの3つの動作モードがあります。また、SLOWモードからNORMAL2へモードへの切り替え時のウォーミングアップの際、通常タイマカウンタ2をタイマモードで使用します。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOWモードでソースクロックにfcを選択した場合は、TREG2の下位11ビットは無視され、上位5ビットの一致で割り込みを発生します。従って、この場合$TREG2_H$の設定だけで済みます。

表2-4. タイマカウンタ2のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOWモード	SLEEPモード	fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1						
$fc/2^{23}$[Hz]	$fs/2^{15}$[Hz]	$fs/2^{15}$ [Hz]	$fs/2^{15}$ [Hz]	1.05 s	1 s	19.1 h	18.2 h
$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$	$fs/2^{5}$	1.02 ms	1 ms	1.1 min	1 min
$fc/2^{8}$	$fc/2^{8}$	–	–	32 μs	–	2.1 s	–
$fc/2^{6}$	$fc/2^{6}$	–	–	8 μs	–	524.2 ms	–
$fc/2^{5}$	$fc/2^{5}$	–	–	4 μs	–	262.1 ms	–
$fc/2^{4}$	$fc/2^{4}$	–	–	2 μs	–	131.1 ms	–
–	–	fc (注)	–	125 ns	–	7.936 ms	–
fs	fs	–	–	–	30.5 μs	–	2 s

注) fc はタイマモードでのみ使用可能。これは、SLOW モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

例： ソースクロック$fc/2^4$ [Hz] で、タイマモードにセットし、25 msごとに割り込み発生させる (fc＝8 MHz時)。

```
LD      (TC2CR), 00001100B      ; TC2モードとソースクロックを設定
LDW     (TREG2), 30D4H          ; TREG2の設定 (25 ms÷2^4 / fc＝30D4H)
SET     (EIRH).EF14             ; INTTC2割り込みを許可
EI
LD      (TC2CR), 00101100B      ; TC2スタート
```

(2) イベントカウンタモード

TC2(P15) 端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込み発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、$fcgck/2^4$ [Hz] (NORMAL1/2またはIDLE1/2モード時)、$fs/2^4$ [Hz] (SLOW, SLEEPモード時) です。“H”, “L” レベルともに2マシンサイクル以上のパルス幅が必要です。

例： イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

```
LD      (TC2CR), 00011100B      ; TC2モードとソースクロックを設定
LDW     (TREG2), 640            ; TREG2の設定
SET     (EIRH).EF14             ; INTTC2割り込みを許可
EI
LD      (TC2CR), 00111100B      ; TC2スタート
```

Not Recommended for New Design

(3) ウィンドウモード

TC2 (P15) 端子入力 (ウィンドウパルス) が "H" レベルの間、内部クロックでカウントアップするモードです。カウンタ値とTREG2設定値との一致で、INTTC2割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例： 120 ms以上の "H" レベルパルスが入力されると割り込みを発生させる。(fc＝8 MHz時)

```
LDW     (TREG2), 0078H          ; TREG2の設定 (120 ms÷2^13/fc＝0078H)
SET     (EIRH).EF14             ; INTTC2割り込みを許可
EI
LD      (TC2CR), 00100101B      ; TC2スタート
```

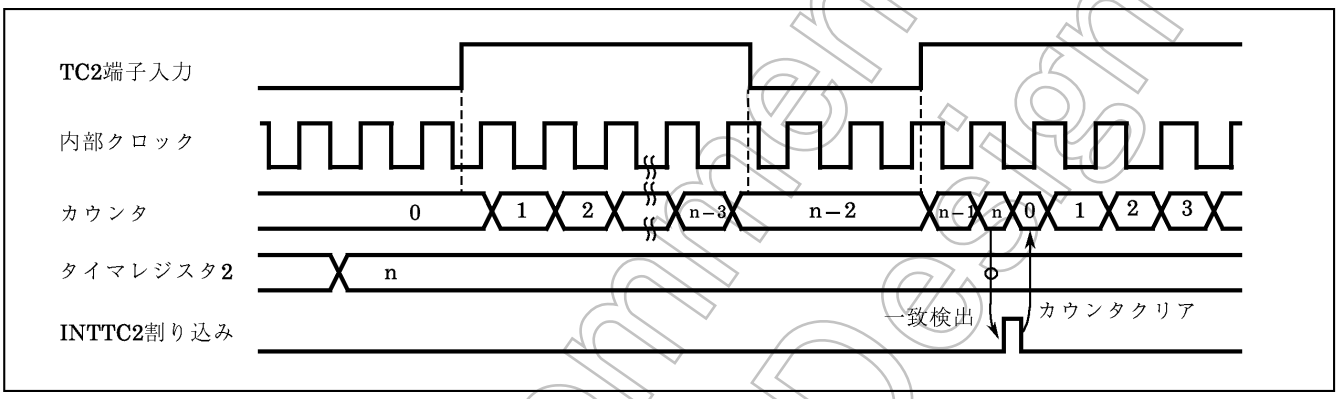


図2-28. ウィンドウモード タイミングチャート

Not Recommended for New Design

2.7 8ビットタイマカウンタ3 (TC3)

2.7.1 構 成

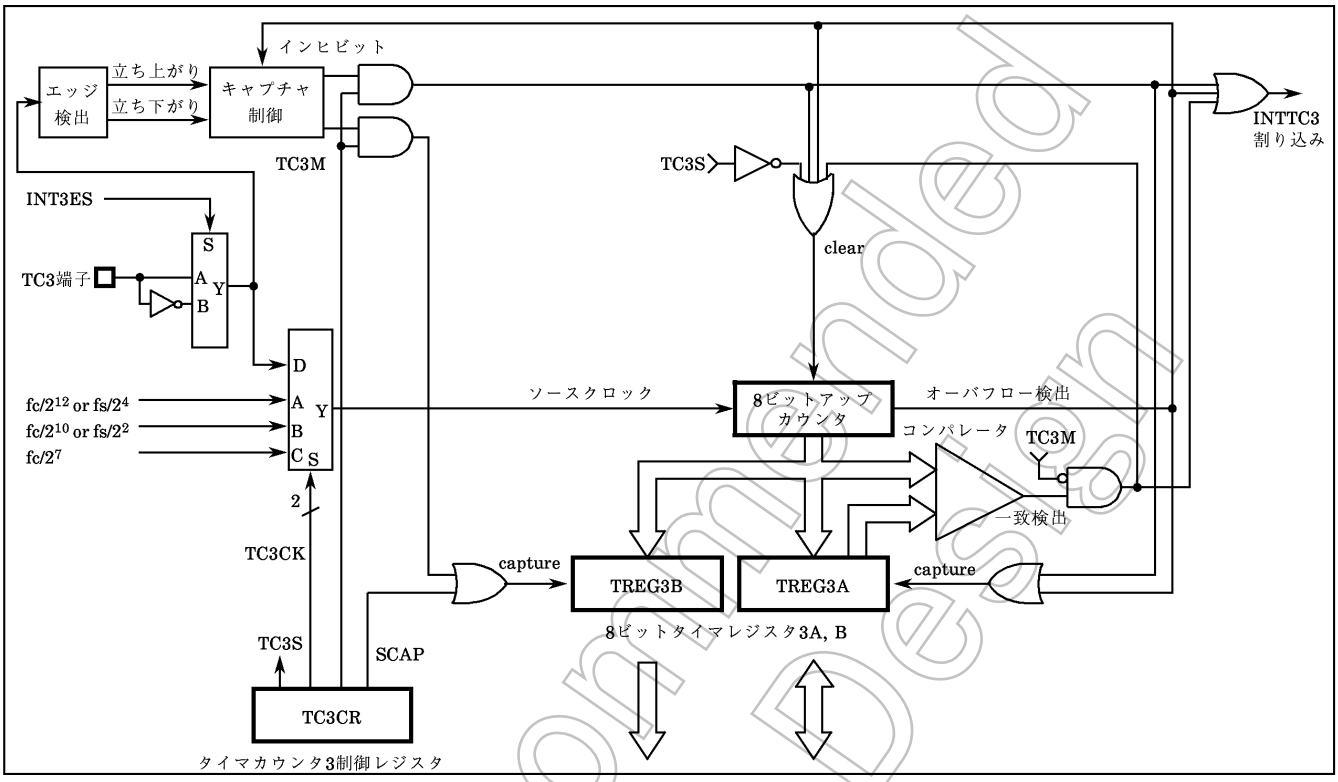


図2-29. タイマカウンタ3 (TC3)

Not Recommended for New Design

2.7.2 制　御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

	7	6	5	4	3	2	1	0		
TREG3A (0018_H)									(初期値 **** ****)	Read / Write
TREG3B (0019_H)									(初期値 **** ****)	Read only
TC3CR ($001A_H$)		SCAP		TC3S	TC3CK			TC3M	(初期値 *0*0 00*0)	

TC3M	タイマカウンタ3の動作モードの選択	0 : タイマ/イベントカウンタモード 1 : キャプチャモード	write only
TC3CK	タイマカウンタ3のソースクロックの選択	00 : 内部クロック　fc / 2^{12} or fs / 2^4 [Hz] 01 :　〃　fc / 2^{10} or fs / 2^2 10 :　〃　fc / 2^7 11 : 外部クロック (TC3端子入力)	
TC3S	タイマカウンタ3のスタート制御	0 : ストップ&カウンタクリア 1 : スタート	
SCAP	ソフトキャプチャ制御	0 : － 1 : ソフトキャプチャ	

注1)　fc ; 高周波クロック [Hz]　fs ; 低周波クロック [Hz]　* ; don't care
注2)　モード, ソースクロック, エッジ (INT3ES) は、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。
注3)　タイマレジスタ3Aへの設定値は、次の条件を満足する必要があります。
　　TREG3A＞0 (タイマ/イベントカウンタモード時)
注4)　ソフトキャプチャはタイマ/イベントカウンタモード時のみ使用可能です。
注5)　TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-30. タイマカウンタ3のタイマレジスタと制御レジスタ

2.7.3 機　能

タイマカウンタ3には、タイマ, イベントカウンタ, キャプチャの3つの動作モードがあります。

(1)　タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。SCAP (TC3CRのビット6) を "1" にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAP は、キャプチャ後自動的に "0" にクリアされます。

表2-5. タイマカウンタ3のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1 / 2 , IDLE1 / 2モード		SLOW, SLEEP モード	fc = 8 MHz 時	fc = 32.768 kHz時	fc = 8 MHz 時	fc = 32.768 kHz時
DV7CK = 0	DV7CK = 1					
fc / 2^{12} [Hz]	fs / 2^4 [Hz]	fs / 2^4 [Hz]	512 μs	488.28 μs	131.1 ms	124.5 ms
fc / 2^{10} [Hz]	fs / 2^2	–	128 μs	122.07 μs	32.6 ms	31.1 ms
fc / 2^7	fc / 2^7	–	16 μs	–	4.1 ms	–

Not Recommended for New Design

(2) イベントカウンタモード

TC3(P50) 端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通) パルスでカウントアップするモードです。カウンタ値とTREG3A設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、fc / 2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs / 2^4 [Hz] (SLOW, SLEEPモード時) です。"H", "L" レベルとも2マシンサイクル以上のパルス幅が必要です。

SCAP (TC3CRのビット6) を "1" にセットすることにより、そのときのアップカウンタの内容をTREG3Bに取り込むことができます (ソフトキャプチャ機能)。SCAP はキャプチャ後自動的に "0" にクリアされます。

例： TC3端子に50Hzのパルスを入力し、0.5 sごとに割り込みを発生させる。

```
LD      (TC3CR), 00001100B      ; TC3モード, ソースクロック設定
LD      (TREG3A) , 19H          ; 0.5 s÷1 / 50＝25＝19H
LD      (TC3CR) , 00011100B     ; TC3スタート
```

(3) キャプチャモード

TC3(P50) 端子入力のパルス幅, 周期, デューティなどを測定するモードで、リモコン信号のデコードやAC50 / 60Hz識別などに利用できます。カウンタを内部クロックでフリーランニングし、TC3端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は, INT3端子のエッジ選択と共通) の立ち上がり (立ち下がり) エッジでカウンタ値をTREG3Aに取り込みカウンタをクリアするとともにINTTC3割り込みが発生します。また、TC3端子入力の立ち下がり (立ち上がり) エッジではカウンタ値をTREG3Bに取り込みます。この場合はカウント継続し、次の立ち上がり (立ち下がり) エッジでカウンタ値をTREG3Aに取り込み、カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバフロー (FF_H) するとTREG3AにFF_HをセットしてカウンタをクリアするとともにINTTC3割り込みが発生します。割り込み処理でTREG3Aを読み出してFF_Hであるか否かでオーバフロー発生の有無を判断することができます。なお、割り込み (TREG3Aへのキャプチャまたはオーバフロー検出) の発生後、TREG3Aを読み出すまではキャプチャおよびオーバフロー検出は停止します。ただし、カウントは継続します。TREG3Aを読み出すとキャプチャ/オーバフロー検出が再開されますので, 通常TREG3Bから先に読み出します。

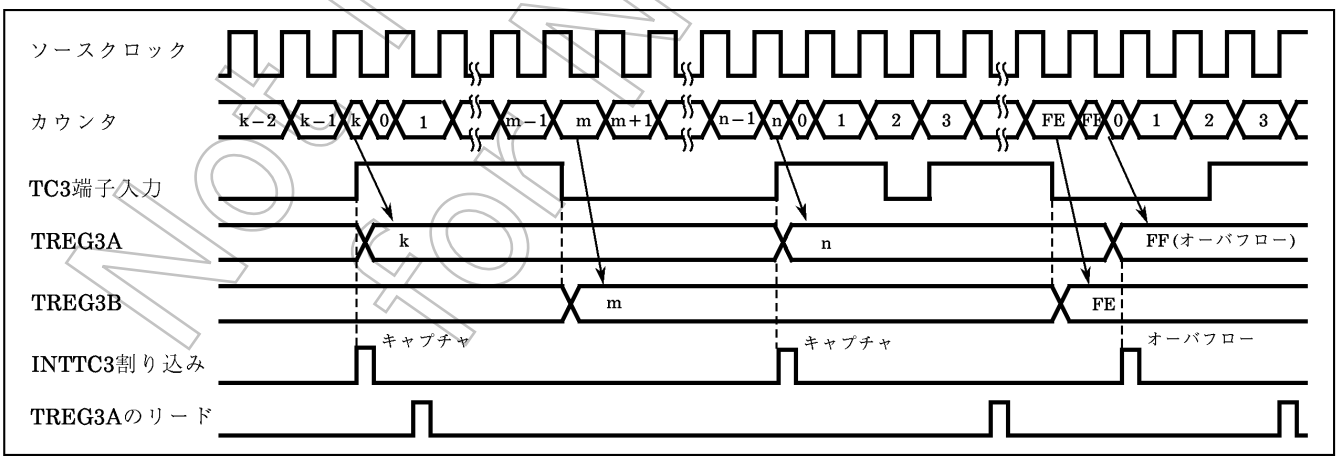


図2-31. キャプチャモードタイミングチャート (INT3ES＝0の場合)

Not Recommended for New Design

2.8 8ビットタイマカウンタ5 (TC5)

2.8.1 構 成

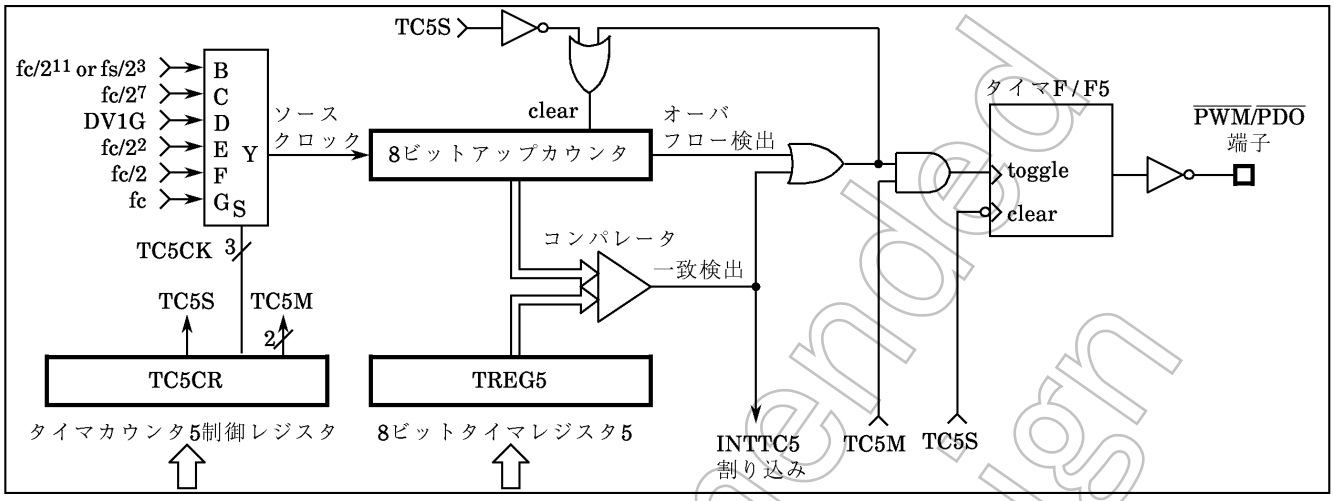


図2-32. タイマカウンタ5 (TC5)

2.8.2 制 御

タイマカウンタ5は, タイマカウンタ5制御レジスタ (TC5CR) とタイマレジスタ5 (TREG5) で制御されます。

TREG5 (001D$_H$)

7	6	5	4	3	2	1	0

(初期値 **** ****) Write only

TC5CR (001E$_H$)

7	6	5	4	3	2	1	0
		TC5S	TC5CK			TC5M	

(初期値 **00 0000)

TC5M	タイマカウンタ5の 動作モードの選択	00 : タイマモード 01 : reserved 10 : プログラマブル デバイダ出力 (PDO) モード 11 : パルス幅変調 (PWM) 出力モード	write only
TC5CK	タイマカウンタ5の ソースクロックの選択	000 : reserved 001 : 内部クロック fc / 2^{11} または fs / 2^3 [Hz] 010 : 〃 fc / 2^7 011 : 〃 DV1G (fc / 2^4, fc / 2^5, fc / 2^6) 100 : 〃 fc / 2^2 101 : 〃 fc / 2 110 : 〃 fc 111 : reserved	
TC5S	タイマカウンタ5の スタート制御	0 : ストップ&カウンタクリア 1 : スタート	

注1) fc ; 高周波クロック [Hz] , fs ; 低周波クロック [Hz] , * ; don't care
注2) タイマレジスタ5への設定値には制約条件があります。
(a) PWM出力モードの場合 パルス変調(PWM)出力モードの説明を参照してください。
(b) PWM出力モード以外の場合 0<TREG5 にする。
注3) ソースクロック fc / 2^2, fc / 2, fcはPWM出力モード以外では使用できません。
注4) 動作モード, ソースクロックの選択を行うときは、タイマカウンタ停止 (TC5S = 0) 状態で設定してください。
注5) DV1Gは、クロックギア制御レジスタ (CGCR) のDVCKでfc/2^4, fc/2^5, fc/2^{6}に設定できます。
使用する場合、ギア比1/1のときは、fc/2^4, fc/2^5, fc/2^6、1/2のときは、fc/2^5, fc/2^6、1/4のときは、fc/2^{6}になるように設定してください。
その他の設定とギア比1/8のときのDV1G (TC5CK = 011) は正しく動作しません。

図2-33. タイマカウンタ5のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.8.3 機　能

タイマカウンタ5には、タイマ, プログラマブル デバイダ出力, パルス幅変調出力, UARTボーレートジェネレータの4つの動作モードがあります。

なお、タイマカウンタ5はUARTのボーレートジェネレータとしても使用できます。詳しくはUARTの『2.10.4 転送レート』を参照してください。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ5 (TREG5) 設定値との一致でINTTC5割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2-6. タイマカウンタ5のソースクロック (内部クロック)

ソースクロック			分 解 能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード				
DV7CK=0	DV7CK=1		fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
$fc/2^{11}$[Hz]	$fs/2^{3}$ [Hz]	$fs/2^{3}$ [Hz]	256 μs	244.14 μs	65.3 ms	62.2 ms
$fc/2^{7}$	$fc/2^{7}$	–	16 μs	–	4.1 ms	–
$fc/2^{6}$	$fc/2^{6}$	–	8 μs	–	2.0 ms	–
$fc/2^{5}$	$fc/2^{5}$	–	4 μs	–	1.0 ms	–
$fc/2^{4}$	$fc/2^{4}$	–	2 μs	–	0.5 ms	–

(2) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG5との一致ごとにタイマF/F5出力を反転し、カウンタをクリアします。タイマF/F5出力は、反転されて$\overline{PDO}$(P52)端子に出力されます。プログラマブルデバイダ出力を行う場合は、あらかじめP52端子を出力モードに設定し、P52出力ラッチを"1"にセットします。このモードはデューティ50 %のパルス出力に利用できます。$\overline{PDO}$出力反転ごとにINTTC5割り込みが発生します。

例： 1024 Hzのパルス出力 (fc=4.194304 MHz時)。

```
SET     (P5). 2              ; P52出力ラッチ←1
LD      (P5CR1), 0000 0100B  ; P52出力モードに設定
LD      (TC5CR), 0000 1010B
LD      (TREG5), 10H         ; (1/1024÷2^7/fc)÷2=10H
LD      (TC5CR), 00101010B   ; TC5スタート
```

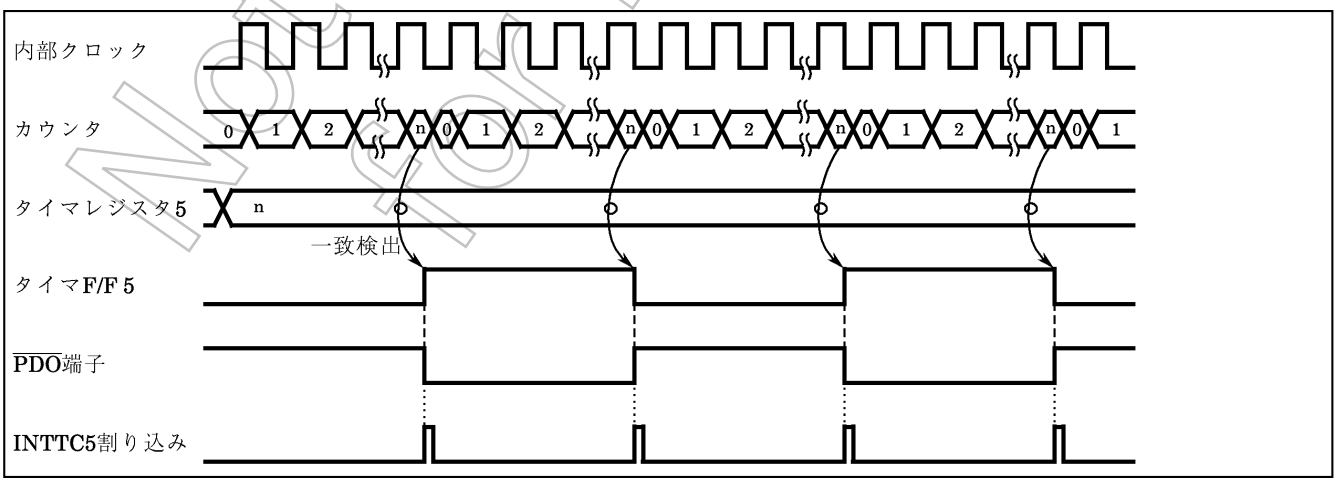


図2-34. PDOモード タイミングチャート

Not Recommended for New Design

(3) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG5設定値との一致でタイマF / F5出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF / F5出力を再び反転し、カウンタをクリアします。タイマF / F5出力は反転されて、$\overline{\text{PWM}}$ (P52) 端子に出力されます。PWM出力を行う場合は、あらかじめP52端子を出力モードに設定し、P52出力ラッチを“1”にセットします。なお、オーバフロー時INTTC5割り込みが発生します。

TREG5は、シフトレジスタ2段構成なので、PWM出力中にTREG5を書き替えても一周期分の出力が終了するまで切り替わりません。つまり、連続的に出力を変更することができます。なお、初回はTREG5にデータ設定後、TC5CRによりスタートした時点でシフトされます。

注) PWM出力モードはNORMAL1, 2およびIDLE1, 2モードでのみ使用可能です。

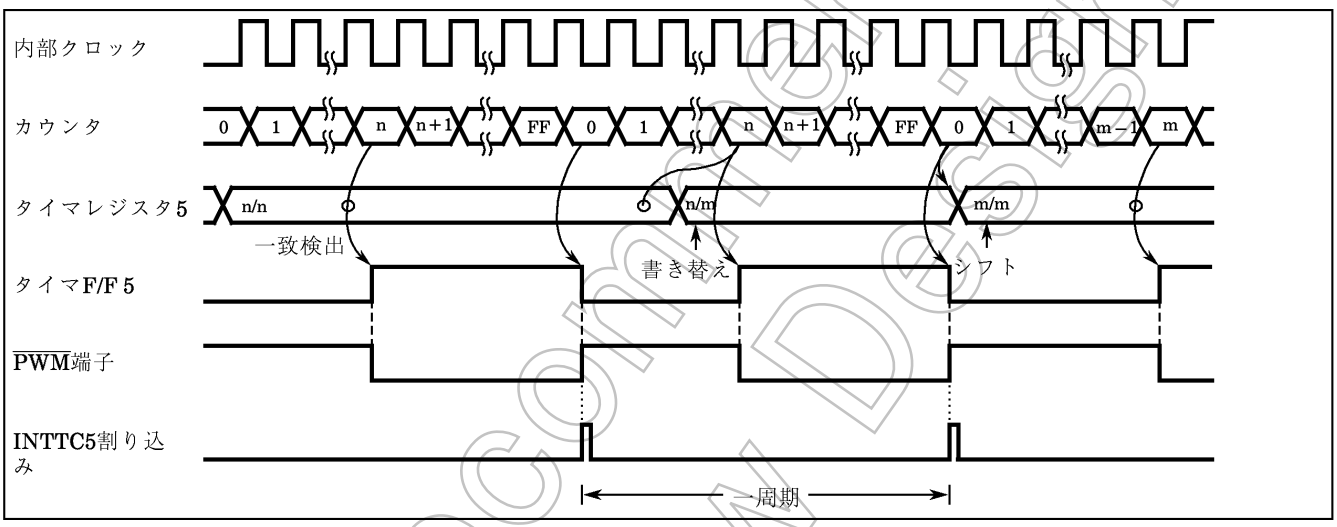


図2-35. PWM出力モード タイミングチャート

表2-7. TREG5最小 / 最大設定値

ギア比	1/1		1/2		1/4		1/8	
	最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値
$fc/2^2$	3	253	4	252	6	250	10	246
fc/2	4	252	6	250	10	246	18	238
fc	6	250	10	246	18	238	34	222

PWM出力モード

ソースクロック	fc＝4.00 MHz		fc＝4.19 MHz		fc＝8.00 MHz	
	分解能	繰り返し周期	分解能	繰り返し周期	分解能	繰り返し周期
$fc/2^2$	1000.00 ns	256.00 μs	954.65 ns	244.39 μs	500.00 ns	128.00 μs
fc/2	500.00 ns	128.00 μs	477.33 ns	122.20 μs	250.00 ns	64.00 μs
fc	250.00 ns	64.00 μs	238.66 ns	61.10 μs	125.00 ns	32.00 μs

Not Recommended for New Design

2.9 シリアル インタフェース (SIO)

87CS68は、クロック同期方式の8ビット シリアル インタフェースを1チャネル内蔵しています。各シリアルインタフェースは、それぞれ8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO, SI, $\overline{\text{SCK}}$端子を通して外部デバイスと接続されます。SOはP45, SIはP44, $\overline{\text{SCK}}$はP43と兼用です。シリアルインタフェース端子として使用する場合、入力端子は入力モードに設定します。

出力端子はあらかじめ出力モードに設定し、なおかつ出力ラッチを“1”にセットします。

2.9.1 構　成

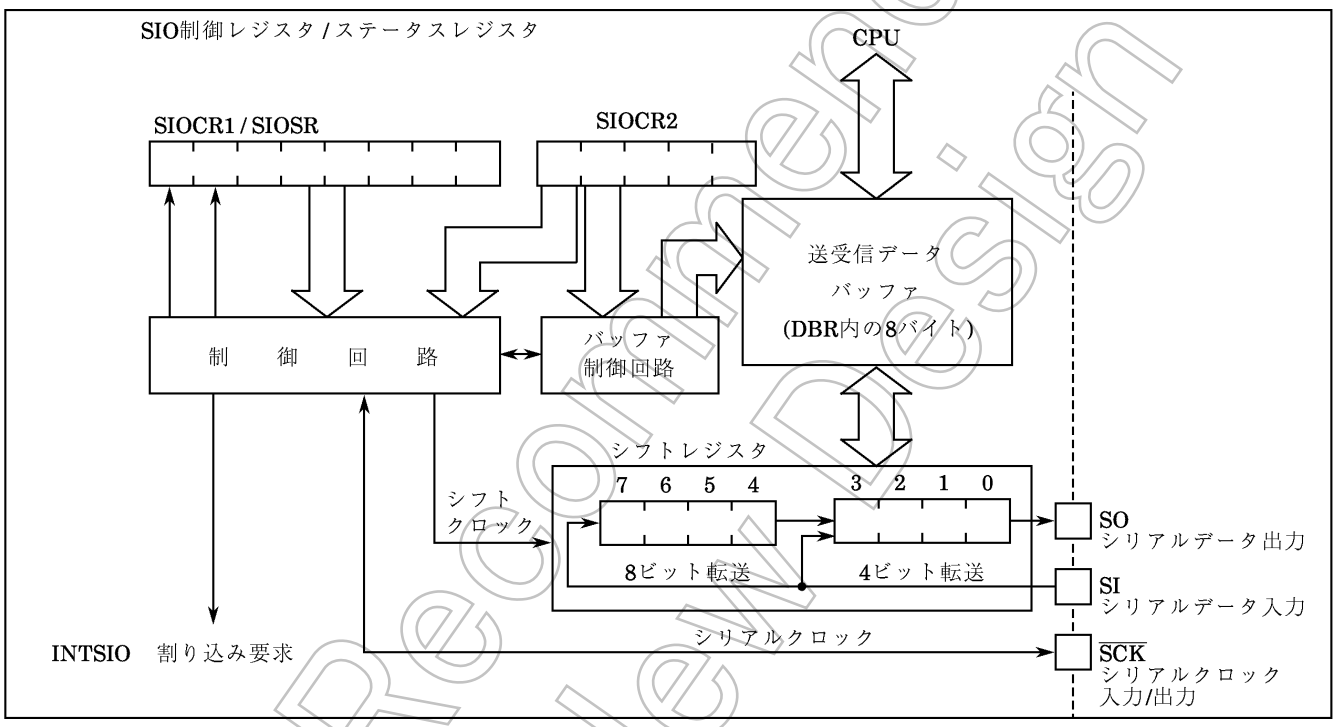


図2-36. シリアル インタフェース

2.9.2 制　御

SIOの制御は、シリアルインタフェース制御レジスタ (SIOCR1およびSIOCR2) で行います。また、ステータスレジスタ (SIOSR) を読むことにより シリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIOCR2のビット2~0) で行います。送受信データバッファは、DBR領域の$0FF0 \sim 0FF7_H$番地に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信または8ビット受信モードのとき 1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIOCR2のビット4, 3) で4種類の中から選択することができます。

Not Recommended for New Design

シリアルインタフェース制御レジスタ1

SIOCR1 (0020_H)

7	6	5	4	3	2	1	0
SIOS	SIO INH	SIOM			SCK		

(初期値　0000 0000)

SIOS	転送の開始/終了 指示	0 : 終　了 1 : 開　始	write only
SIOINH	転送の強制停止	0 : 転送継続 1 : 強制停止 (停止後、自動的にクリア)	
SIOM	転送モードの選択	000 : 8ビット 送信モード 010 : 4ビット 送信モード 100 : 8ビット送受信モード 101 : 8ビット 受信モード 110 : 4ビット 受信モード	
SCK	シリアルクロックの選択	000 : 内部クロック　fc / 2^{13} or fs / 2^5 [Hz] 001 : 内部クロック　fc / 2^8 010 : 内部クロック DV3G ÷ 2 (fc/2^5 ÷ 2, fc/2^6 ÷ 2)(注3) 011 : 内部クロック DV2G ÷ 2 (fc/2^4 ÷ 2, fc/2^5 ÷ 2, fc/2^6 ÷ 2)(注3) (SCK端子へ出力) 111 : 外部クロック ($\overline{SCK}$端子から入力)	

注1)　転送モード, シリアルクロックの設定時は、SIOS = 0, SIOINH = 1 にしてください。
注2)　SIOCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。
注3)　DV2G, DV3Gはクロックギア制御レジスタ (CGCR) のDVCKでfc/2^4, fc/2^5, fc/2^6、fc/2^5, fc/2^6に設定できます。
使用する場合ギア比1/1のときはfc/2^4, fc/2^5, fc/2^6、1/2のときはfc/2^5, fc/2^6、1/4のときはfc/2^6になるよう設定してください。その他の設定とギア比1/8のときのDV2G ÷ 2、DV3G ÷ 2 (SCK = 011,010) は正しく動作できません。

シリアルインタフェース制御レジスタ2

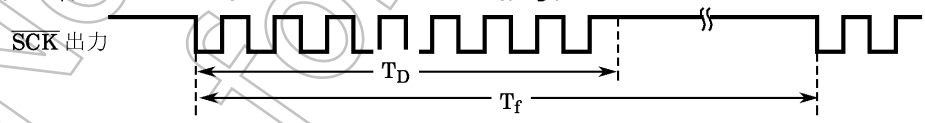
SIOCR2 (0021_H)

7	6	5	4	3	2	1	0
			WAIT		BUF		

(初期値　***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に"00"にしてください。 00 : T_f = T_D (ノンウェイト) 01 : T_f = $2T_D$ 10 : T_f = $4T_D$ 11 : T_f = $8T_D$ (ウェイト)	write only
BUF	転送ワード数の設定	使用するバッファのアドレス SIO 000 : 1 ワード転送　$0FF0_H$ 001 : 2 ワード転送　0FF0 ～ $0FF1_H$ 010 : 3 ワード転送　0FF0 ～ $0FF2_H$ 011 : 4 ワード転送　0FF0 ～ $0FF3_H$ 100 : 5 ワード転送　0FF0 ～ $0FF4_H$ 101 : 6 ワード転送　0FF0 ～ $0FF5_H$ 110 : 7 ワード転送　0FF0 ～ $0FF6_H$ 111 : 8 ワード転送　0FF0 ～ $0FF7_H$	

注1)　T_f ; フレーム時間 (1ワードのデータ転送時間), T_D ;データ転送時間



注2)　4ビット転送のときは、各バッファの下位4ビットに格納します/されます。受信時上位4ビットには"0"が格納されます。
注3)　バッファの若いアドレスの方から、すなわち$0FF0_H$番地から送信されます。また、受信は若いアドレスの方から格納されます。
注4)　転送終了後もBUFの設定値は保存されています。
注5)　SIOCR2の設定は、シリアル インタフェース停止状態 (SIOF = 0) で行ってください。
注6)　* ; don't care
注7)　SIOCR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図2-37. シリアルインタフェース制御レジスタ / ウェイト制御レジスタ

Not Recommended for New Design

SIOSR (0020_H)

7	6	5	4	3	2	1	0
SIOF	SEF	"1"	"1"	"1"	"1"	"1"	"1"

(初期値　0011 1111)

SIOF	シリアル転送動作状態モニタ	0：転送終了 （SIOSを "0" にクリア後、転送が終了した時点または SIOINHをセットした時点で"0"となります。） 1：転送中	read only
SEF	シフト動作状態モニタ	0：シフト動作終了 1：シフト動作中	

図2-38. シリアルインタフェースステータスレジスタ

(1)　シリアルクロック

a. クロックソース

SCK (SIOCR1のビット2~0) により、次の選択ができます。

① 内部クロック

シリアルクロックは4種類の周波数が選択でき、$\overline{SCK}$端子より外部に出力されます。なお、転送開始時$\overline{SCK}$端子出力は "H" レベルになります。

この場合、P43 ($\overline{SCK}$) は出力モードに設定し、なおかつ出力ラッチを1にされてなければいけません。

プログラムでデータの書き込み (送信時) または データの読み取り (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表2-8. シリアルクロックレート

シリアルクロック			転送速度			
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード				
DV7CK=0	DV7CK=1		fc=8.00 MHz	fc=4.19 MHz	fc=4.00 MHz	fs=32.768MHz
$fc/2^{13}$ [Hz]	$fs/2^5$ [Hz]	$fs/2^5$ [Hz]	0.95Kbit/s	0.50Kbit/s	0.48Kbit/s	1 Kbit/s
$fc/2^8$	$fc/2^8$	——	30.52Kbit/s	15.98Kbit/s	15.26Kbit/s	——
$fc/2^7$	$fc/2^7$	——	61.04Kbit/s	31.97Kbit/s	30.52Kbit/s	——
$fc/2^6$	$fc/2^6$	——	122.07Kbit/s	63.93Kbit/s	61.04Kbit/s	——
$fc/2^5$	$fc/2^5$	——	244.14Kbit/s	127.87Kbit/s	122.07Kbit/s	——

注)　1K bit = 1024 bit

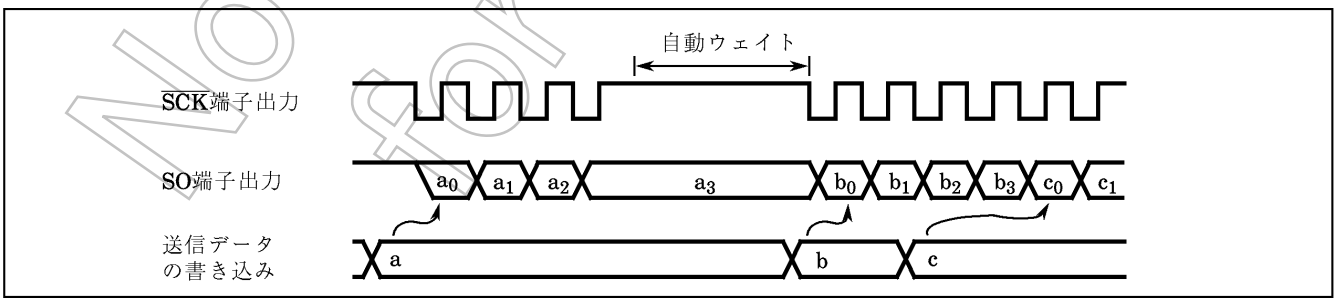
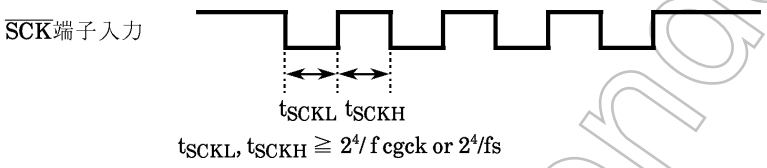


図2-39. クロックソース (内部クロック)

Not Recommended for New Design

② 外部クロック

外部から$\overline{\text{SCK}}$端子に供給されるクロックをシリアルクロックとして用います。この場合、P43 ($\overline{\text{SCK}}$) は入力モードにされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの "H" レベル、"L" レベルともにNORMAL時は2^4/f cgck、SLOW時は2^4/fs以上のパルスが必要です。
ただし、これはシフト動作が確実に行われるのに必要なパルスで実際には割り込み、書き込み、読み出しなどの処理時間が必要なためモードの設定とプログラムによって最小パルスは決定されます。



b. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK}}$端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK}}$端子入出力の立ち上がりエッジ) でデータをシフトします。

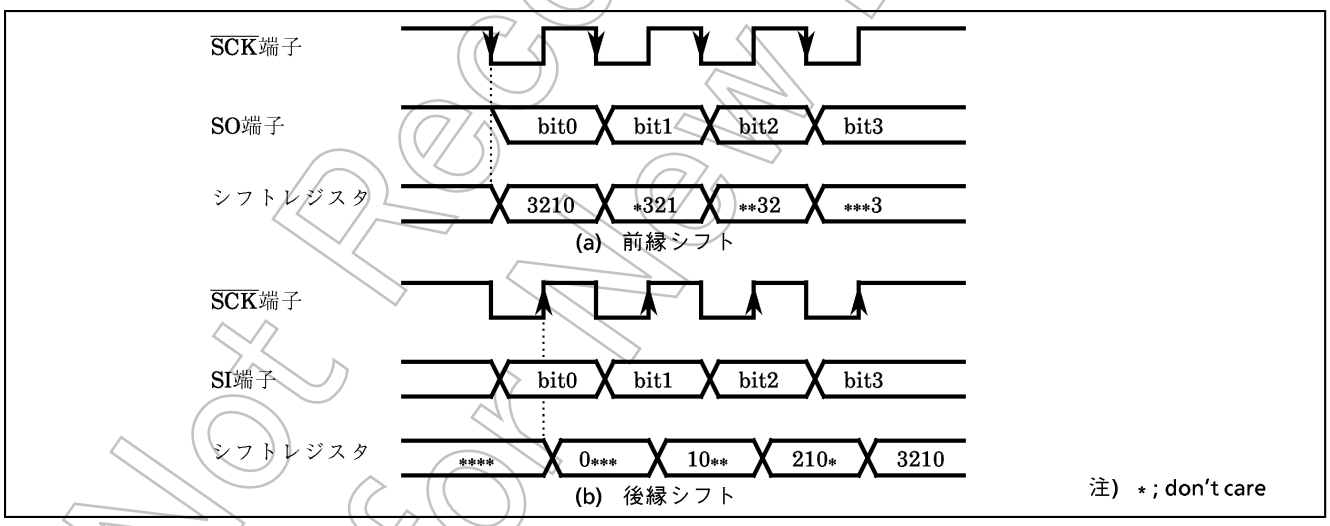


図2-40. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時 "0" になります。
なお、データは最下位ビット (LSB) から順次シリアル転送されます。

Not Recommended for New Design

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時) / 8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO割り込みが発生します。途中で転送ワード数を変更する場合は、シリアル インタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

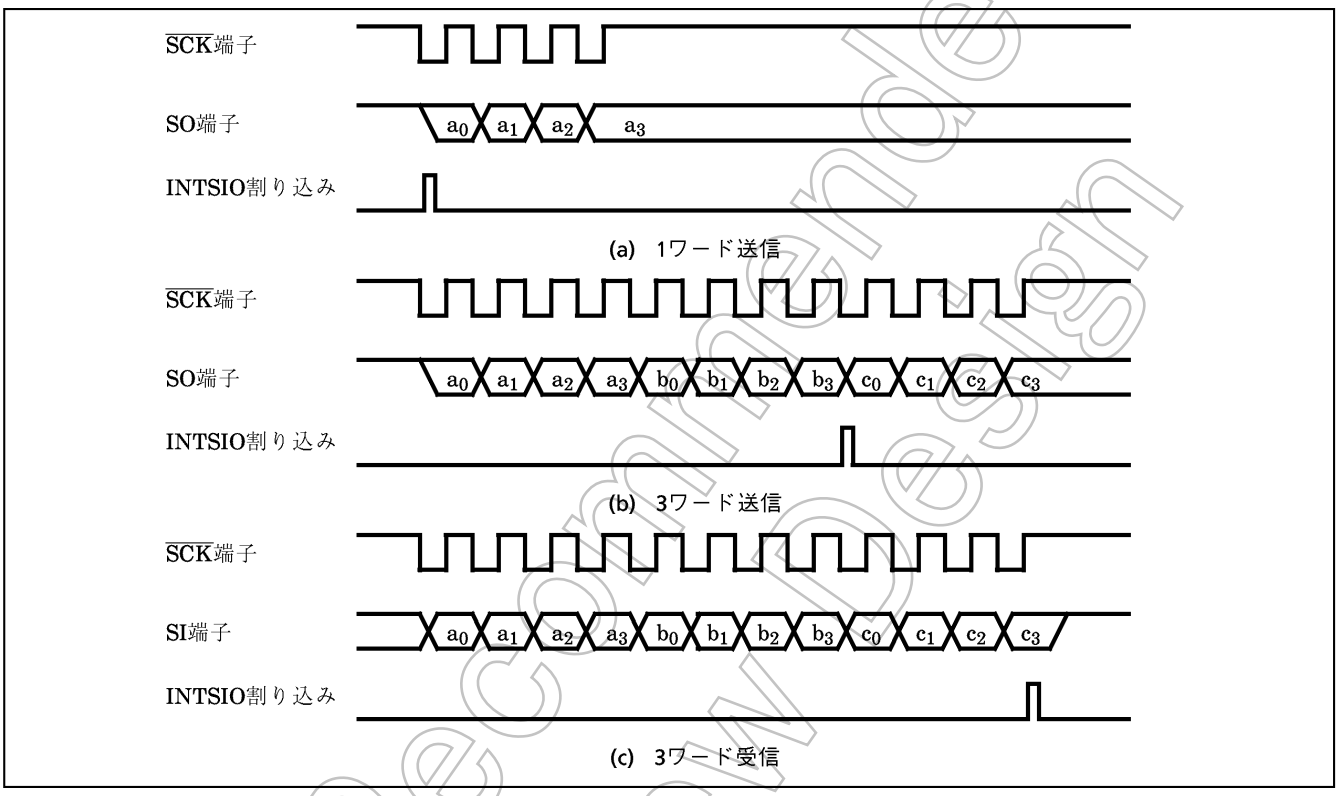


図2-41. 転送ワード数 (例 : 1ワード = 4ビット)

(4) 転送モード

SIOM (SIOCRのビット3~5) で, 送信 / 受信 / 送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、1ワードずつ バッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求するINTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

Not Recommended for New Design

注) 送信データバッファに使用していないDBRへの書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRを他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードのDBRは使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、ただちに送信を打ち切り、SIOFは“0”になります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、ただちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”クリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

Not Recommended for New Design

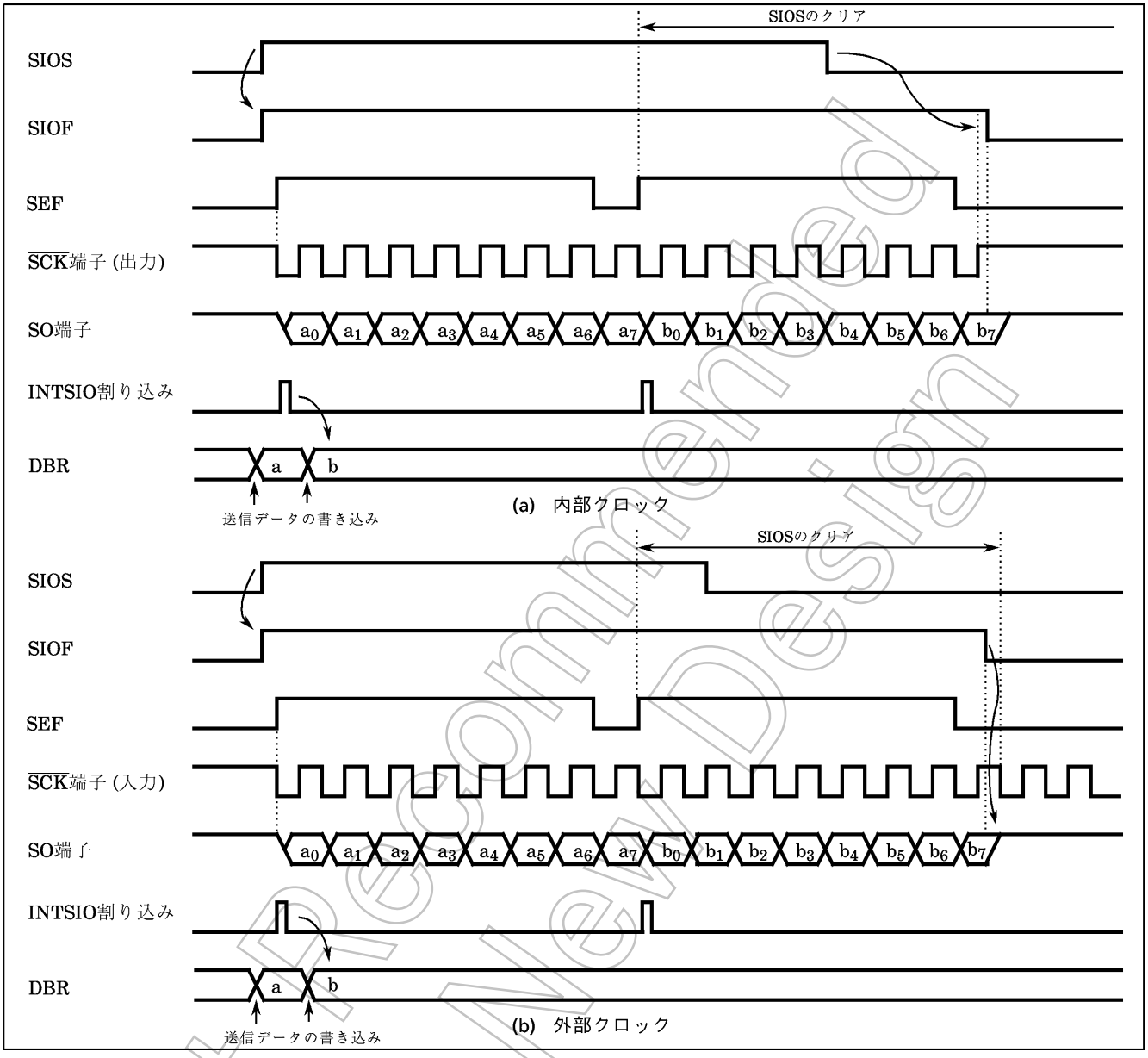


図2-42. 送信モード (例 : 8ビット , 1ワード転送)

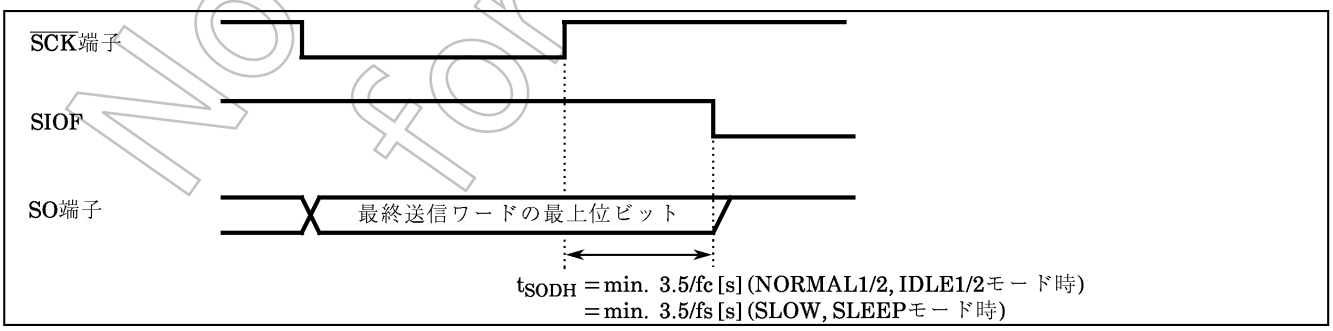


図2-43. 送信終了時の送信データ保持時間

Not Recommended for New Design

b. 4ビット受信モード , 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ(DBR) に受信データが書き込まれます。BUFで指定されたワード数の受信が終了すると受信データの読み取りを要求するINTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注)	受信データバッファに使用していないDBRの読み出しによっても自動ウェイト動作は解除されますので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは受信の終了で“0”になります。 受信終了の確認のあと最終受信データを読み取ります。SIOINHをセットした場合は、ただちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアしSIOFが“0”になったことを確認後BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注)	転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを “0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

Not Recommended for New Design

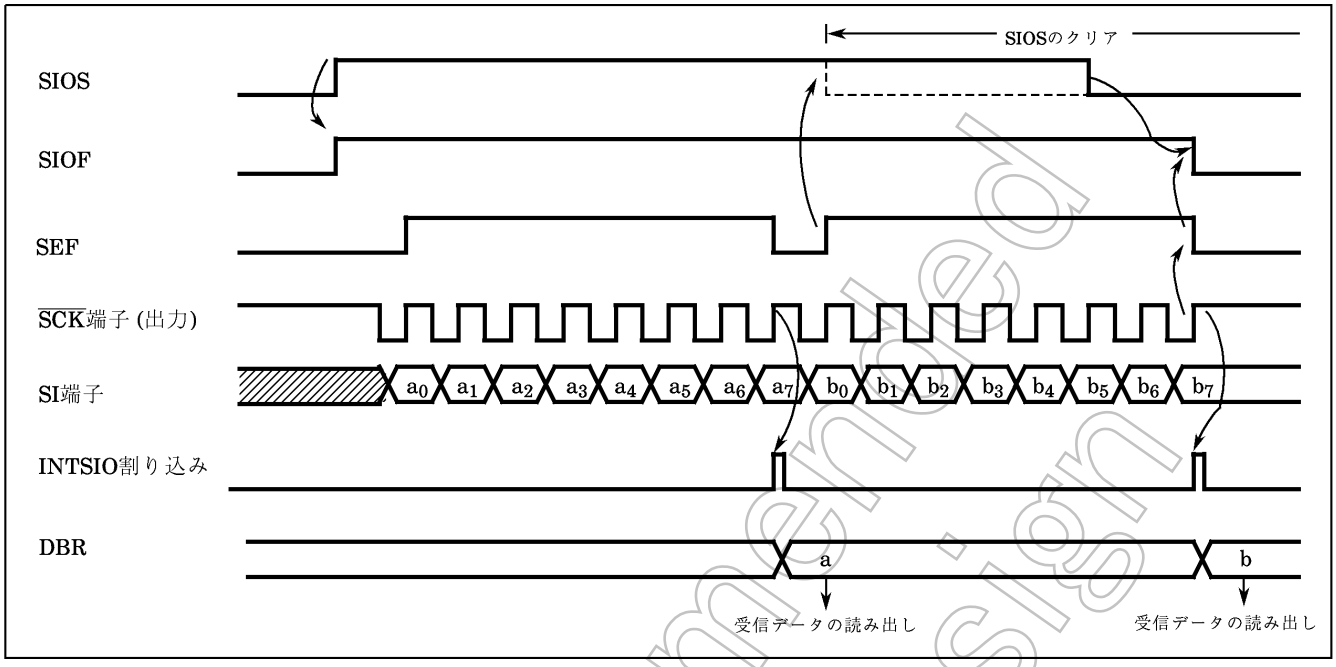


図2-44. 受信モード (例 : 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データはSO端子から出力され、後縁で受信データがSI端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。BUFで指定されたワード数の送受信が終了すると、INTSIO割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信,受信にて兼用していますので、送信データは、かならず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので, 次のシフト動作に入る前に受信データを読み取り、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

転送の開始時、SIOFが“1”になってから、$\overline{\text{SCK}}$の立ち下がりエッジまでの間、前回転送した最後の送信データが出力されます。

送受信を終了させるには、INTSIO割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、ただちに送受信を打ち切り、SIOFは“0”になります。

Not Recommended for New Design

転送ワード数を変更する場合、外部クロック動作のときは、SIOSを“0”にクリアしSIOFが“0”になったことを確認後、BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(SIOSを“0”にクリア)を行い、最終受信データを読み取ったあとで切り替えてください。

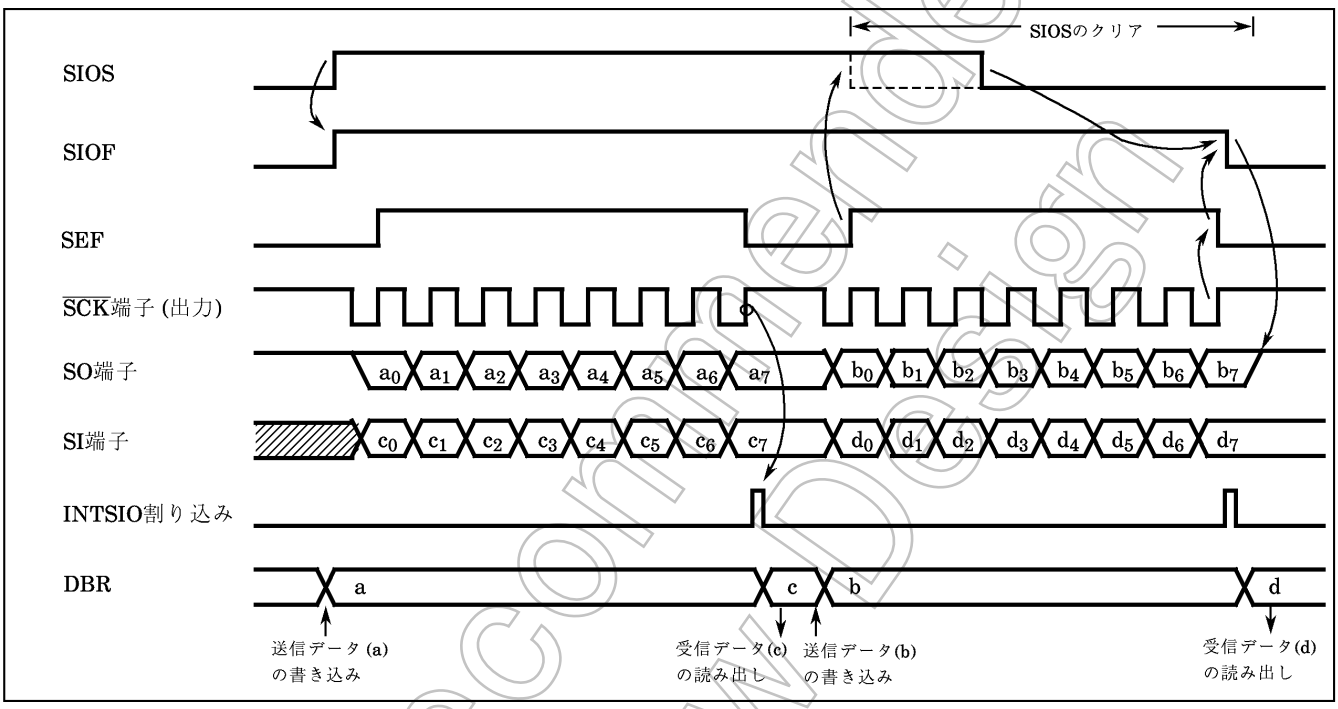


図2-45. 送受信モード (例 : 8ビット, 1ワード, 内部クロック)

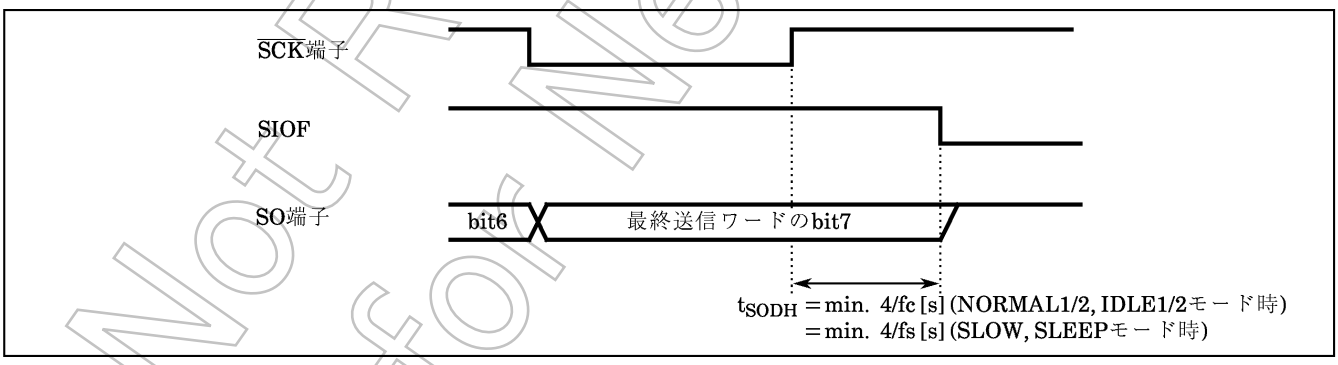


図2-46. 送受信終了時の送信データ保持時間

Not Recommended for New Design

2.10 UART (非同期型シリアルインタフェース)

87CS68は、UART (非同期型シリアルインタフェース) を1チャネル内蔵しています。RxD、TxD を通して外部デバイスと接続されます。RxDはP40とTxDはP41と兼用です。RxD端子として使用する場合、P40を入力モードに設定します。TxD 端子として使用する場合、あらかじめP41の出力ラッチを "1" にセットし、出力モードに設定します。

2.10.1 構 成

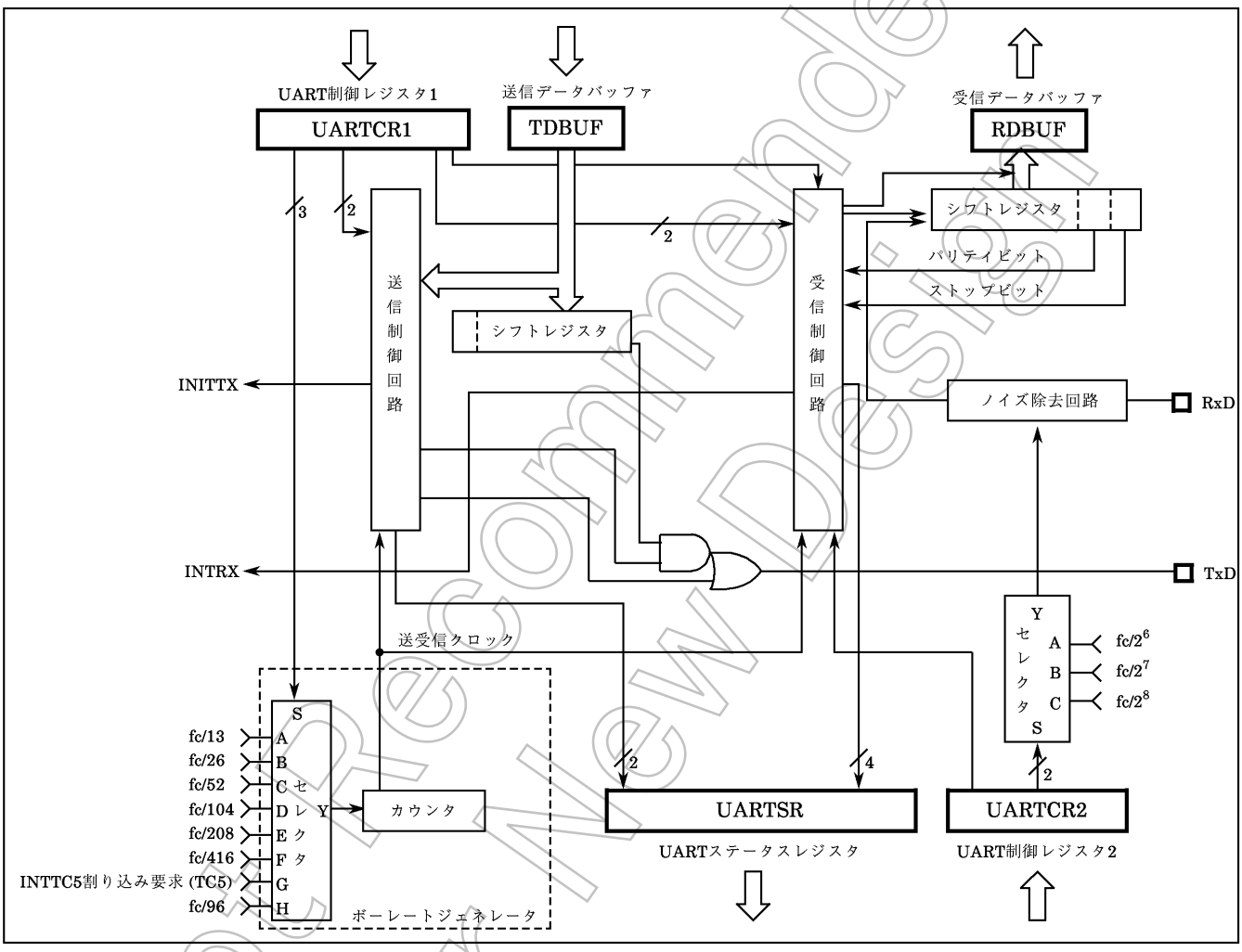


図2-47. UART (非同期型シリアルインタフェース)

Not Recommended for New Design

2.10.2 制 御

UARTは、UART制御レジスタ1, 2 (UARTCR1, UARTCR2) で制御されます。またUARTステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART制御レジスタ

UARTCR1 (0022_H)

7	6	5	4	3	2	1	0
TXE	RXE	STBT	EVEN	PE	BRG		

(初期値 0000 0000)

BRG	転送のクロック選択	000 : fc / 13 [Hz] 001 : fc / 26 010 : fc / 52 011 : fc / 104 100 : fc / 208 101 : fc / 416 110 : INTTC5 (TC5割り込み要求) 111 : fc / 96	write only
PE	パリティ付加	0 : パリティなし 1 : パリティ付加	
EVEN	偶数パリティ	0 : 奇数パリティ 1 : 偶数パリティ	
STBT	送信ストップビット長	0 : 1ビット 1 : 2ビット	
RXE	受信動作	0 : ディセーブル 1 : イネーブル	
TXE	送信動作	0 : ディセーブル 1 : イネーブル	

注1) TXE, RXEビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出はおこなわず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。

注2) 転送クロックとパリティは送受信共通です。

注3) UARTCR1は書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

注4) SLOW モード時、高周波を発振させたまま (SYSCR2 のビット 7 が "1") UART を使用する場合、BRG はTC5 のみ使用できます (TC5 のソースクロックは $fs / 2^3$ を選択してください)。

注5) クロックギア使用時、転送クロックとして選択できるのは以下のとおりです。

BRG	RT クロック	fcgck [Hz] の使用可否			
		fc	fc / 2	fc / 4	fc / 8
000	fc / 13	可	不可	不可	不可
001	fc / 26	可	可	不可	不可
010	fc / 52	可	可	可	不可
011	fc / 104	可	可	可	可
100	fc / 208	可	可	可	可
101	fc / 416	可	可	可	可
111	fc / 96	可	可	可	可

図2-48. UART制御レジスタ (1 / 2)

Not Recommended for New Design

UARTCR2 (0023_H)

7	6	5	4	3	2	1	0
					RXDNC		STOPBR

(初期値 **** *000)

STOPBR	受信ストップビット長	0 : 1ビット 1 : 2ビット	write only
RXDNC	RXD入力のノイズ除去時間の選択	00 : ノイズ除去なし (ヒステリシス入力) 01 : 31 / fc [s] 未満のパルスはノイズとして除去 96fc [s] 以上は確実に信号とみなされます。 10 : 63 / fc [s] 未満のパルスはノイズとして除去 192fc [s] 以上は確実に信号とみなされます。 11 : 127 / fc [s] 未満のパルスはノイズとして除去 384fc [s] 以上は確実に信号とみなされます。	

注) UARTCR2は書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

図2-48. UART制御レジスタ (2 / 2)

UARTステータスレジスタ

UARTSR (0022_H)

7	6	5	4	3	2	1	0
PERR	FERR	OERR	RBFL	TEND	TBEP	"1"	"1"

(初期値 0000 1111)

TBEP	送信バッファエンプティフラグ	0 : – 1 : 送信バッファエンプティ	read only
TEND	送信終了フラグ	0 : 送信中 1 : 送信終了	
RBFL	受信バッファフルフラグ	0 : – 1 : 受信バッファフル	
OERR	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	
FERR	フレーミングエラーフラグ	0 : フレーミングエラーなし 1 : フレーミングエラー発生	
PERR	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	

UART受信データバッファ

RDBUF (0024_H)

7	6	5	4	3	2	1	0

read only
(初期値 0000 0000)

UART送信データバッファ

TDBUF (0024_H)

7	6	5	4	3	2	1	0

write only
(初期値 0000 0000)

注) TDBUFは書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

図2-49. UARTステータスレジスタ / データバッファレジスタ

Not Recommend for New Design

2.10.3 転送データフォーマット

UARTでは転送されるデータには、スタートビット1ビット (“L” レベル) とストップビット (“H” レベル、STBTでビット長の選択可)、パリティ (PEでパリティ有無の選択可、EVENで偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

表2-10. 転送データフォーマット

PE	STBT	フレーム長 1 2 3 ------- 8 9 10 11 12
0	0	Start bit0 bit1 ----- bit6 bit7 Stop1
0	1	Start bit0 bit1 ----- bit6 bit7 Stop1 Stop2
1	0	Start bit0 bit1 ----- bit6 bit7 パリティ Stop1
1	1	Start bit0 bit1 ----- bit6 bit7 パリティ Stop1 Stop2

2.10.4 転送レート

UARTの転送レート (ボーレート) はBRG (UARTCR1のビット0, 1, 2) により設定されます。以下に転送レートの例を示します。

表2-11. 転送レート (例)

BRG	ソースクロック	
	8 MHz	4 MHz
000	38400 [baud]	19200 [baud]
001	19200	9600
010	9600	4800
011	4800	2400
100	2400	1200
101	1200	600

$$転送レート = \frac{転送クロック}{16}$$

UARTの転送クロックとしてINTTC5割り込みを使用する場合 (つまりBRG＝110に設定したとき)
転送クロックおよび転送レートは

$$転送レート = \frac{転送クロック}{16} \qquad 転送クロック = 割り込み周波数 = \frac{TC5ソースクロック}{TREG設定値}$$

注) TC5のINTTC5割り込みを転送クロックとして使用する場合INTTC5が正しく動作するような条件で使用してください。

となります。
なお、TC5のタイマモードで使用することをおすすめします。

Not Recommended for New Design

2.10.5 データのサンプリング方法

UARTのレシーバは、RxD端子入力にスタートビットが見つかるまでBRG (UARTCR1のビット0, 1, 2) で選択したクロックで入力のサンプリングを行います。RTクロックの開始は、RxD端子の立ち下りエッジを検出し始まります。スタートビットが見つかるとスタートビット, データビット, ストップビット, パリティビットは、以下に示すように1レシーバクロック (RT1クロック) の間隔 (RT0はビットが始まると予想される位置) でRT7, RT8, RT9の位置で3回サンプリングし、多数決判定 (3回のサンプリングのうち2回または3回) で決定しビットのデータとします。

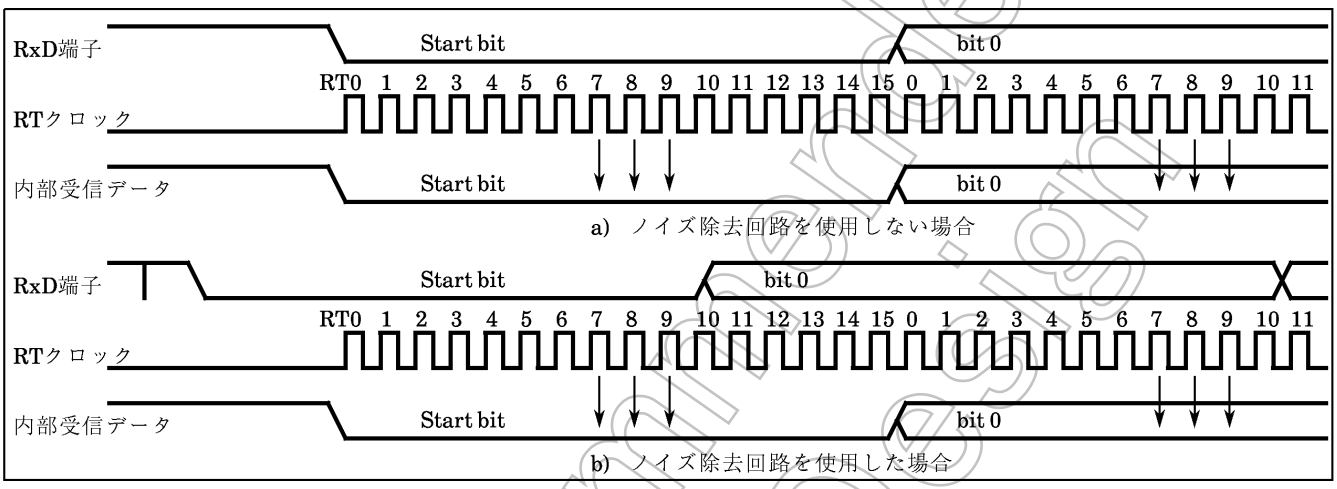


図2-50. データのサンプリング方法

2.10.6 STOPビット長

STBT (UARTCR1のビット5) で送信ストップビット長 (1ビット/2ビット) の選択ができます。

2.10.7 パリティ

PE (UARTCR1のビット3) でパリティ付加の有無を、EVEN (UARTCR1のビット4) でパリティの種類 (奇数/偶数) を設定します。

2.10.8 送受信動作

(1) データ送信動作

TXE (UARTCR1のビット7) を "1" にセットします。UARTSRを読みだしTBEP＝1を確認後TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うとTBEPは "0" にクリアされデータが送信シフトレジスタに転送された後、TxD端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとSTBT (UARTCRのビット5) で指定した数のストップビットおよびパリティビット (パリティ有りの場合) が付加されます。データ転送ボーレートはBRG (UARTCR1のビット0, 1, 2) で選択します。データの送信がはじまると送信バッファエンプティフラグTBEPは "0" にクリアされ、INTTX割り込みが発生します。
TXEが "0" の間およびTXEが "1" で送信動作中でない場合 (送信データがない場合)、TxD端子は "H" レベル固定となります。
送信を行う場合、UARTSRを読み出してからTDBUFにデータを書き込んでください。読み出さないと、TBEPが0にクリアされず送信が開始されません。

Not Recommended for New Design

(2) データ受信動作

RXE (UARTCR1のビット6) を "1" にセットします。その後、RxD端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティ有りの場合) が付加されています。ストップビットが受信されるとデータだけが取り出されRDBUF (受信データバッファ) に転送された後、受信バッファフルフラグRBFLがセットされ、INTRX割り込みが発生します。データ転送ボーレートはBRG (UARTCR1のビット0, 1, 2) で選択します。
データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。但し、RDBUF内のデータは影響を受けません。

2.10.9 ステータスフラグ

(1) パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグPERRがセットされます。UARTSRを読み出した後RDBUFを読み出すとクリアされます。

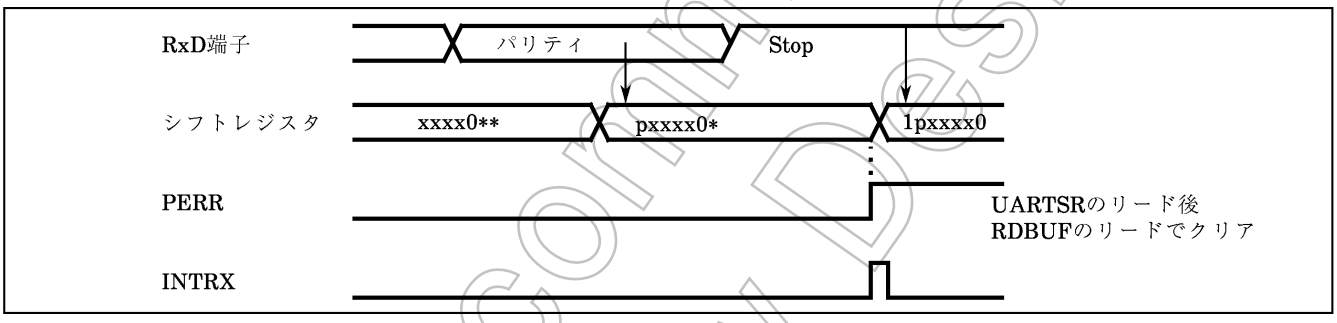


図2-51. パリティエラーの発生

(2) フレーミングエラー

受信データのSTOPビットとして '0' がサンプリングされたときフレーミングエラーフラグFERRがセットされます。UARTSRを読み出した後RDBUFを読み出すとクリアされます。

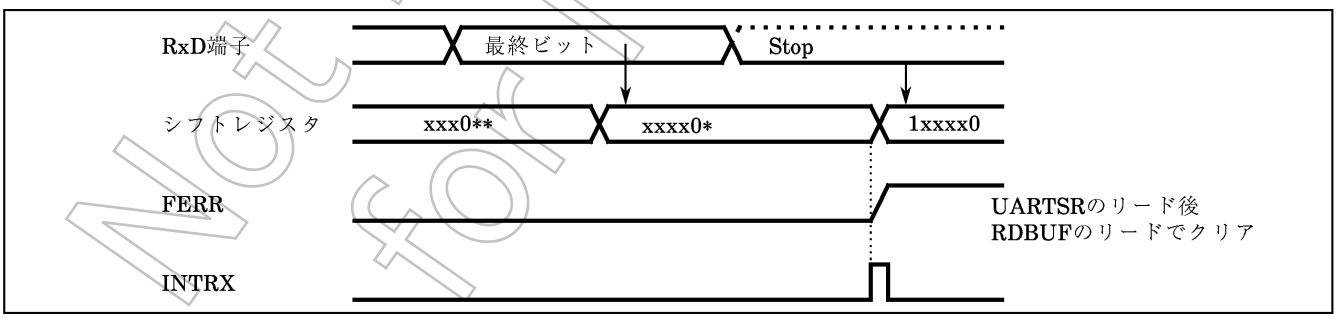


図2-52. フレーミングエラーの発生

Not Recommended for New Design

(3) オーバランエラー

RDBUFに読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグOERRがセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSRを読み出した後RDBUFを読み出すとクリアされます。

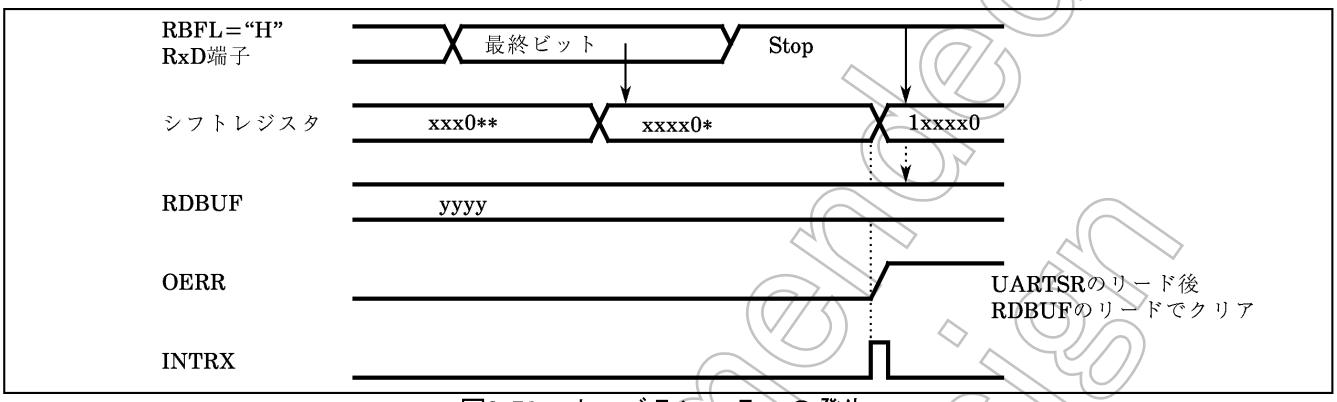


図2-53. オーバランエラーの発生

(4) 受信バッファフル

受信データをRDBUFに取り込むとRBFLがセットされます。UARTSRを読み出したRDBUFからデータを読み出すとクリアされます。

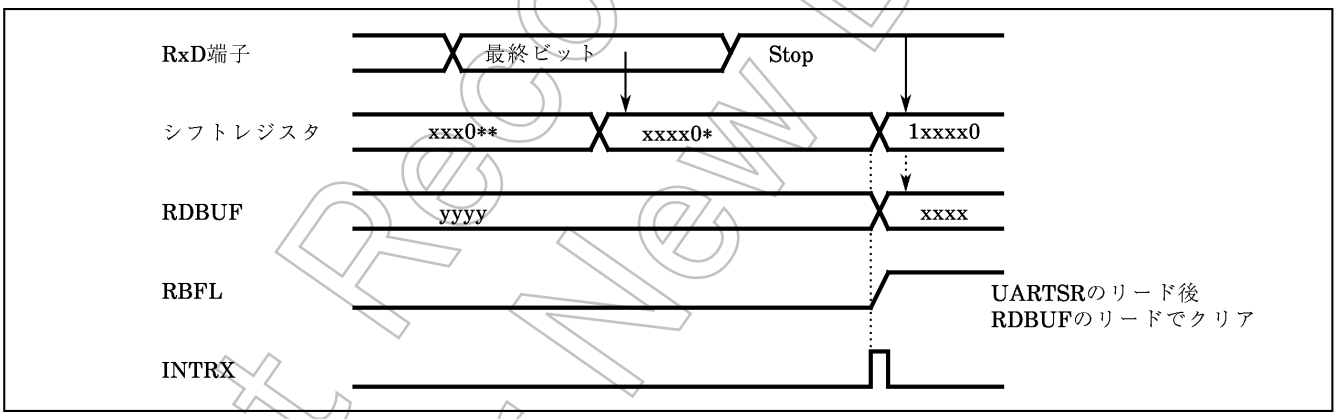


図2-54. 受信バッファフルの発生

Not Recommended for New Design

(5) 送信バッファエンプティ

TDBUFにデータが存在しないとき、つまりTDBUFのデータが送信シフトレジスタに転送され送信が開始されるときTBEPがセットされます。UARTSRを読み出した後、TDBUFにデータを書き込むとクリアされます。

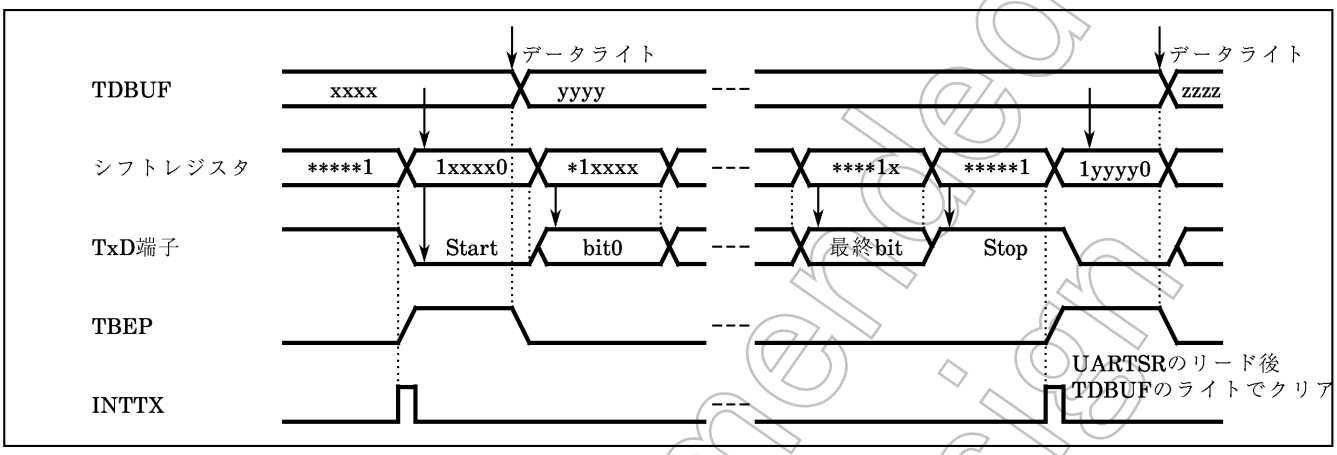


図2-55. 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF内に待機中のデータがないとき(TBEP=1のとき)TENDがセットされます。TDBUFにデータを書き込んだ後、送信が開始されるとクリアされます。

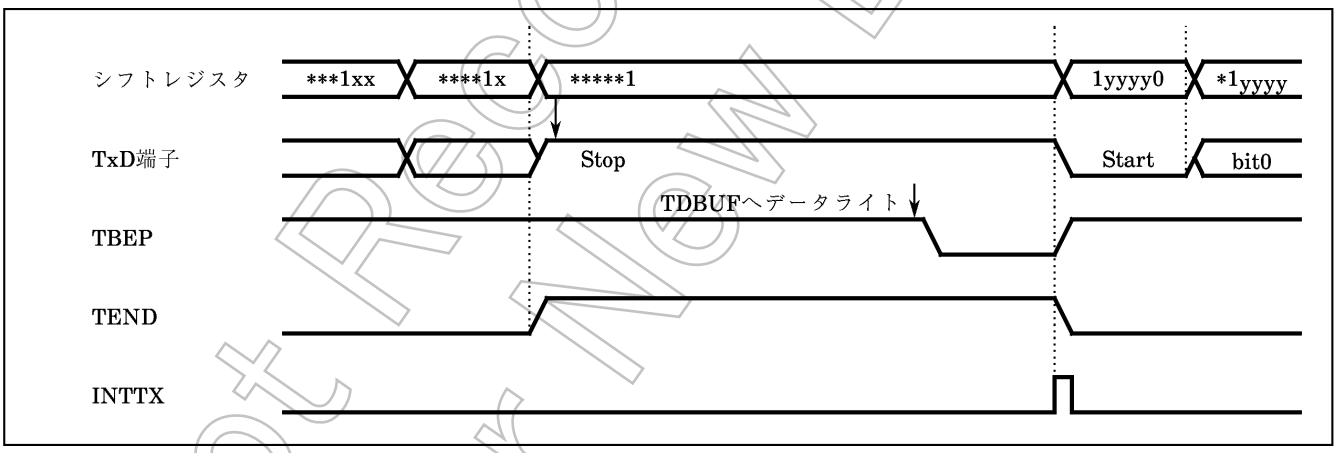


図2-56. 送信バッファエンプティの発生

Not Recommended for New Design

2.11 8ビットA/D コンバータ (ADC)

87CS68は、8ビット分解能の逐次比較方式A/Dコンバータを内蔵しています。

なお、アナログ基準電源 (VAREF) はSTOPモード時またはアナログ入力ディセーブル時に自動的にカットオフされます。

2.11.1 構 成

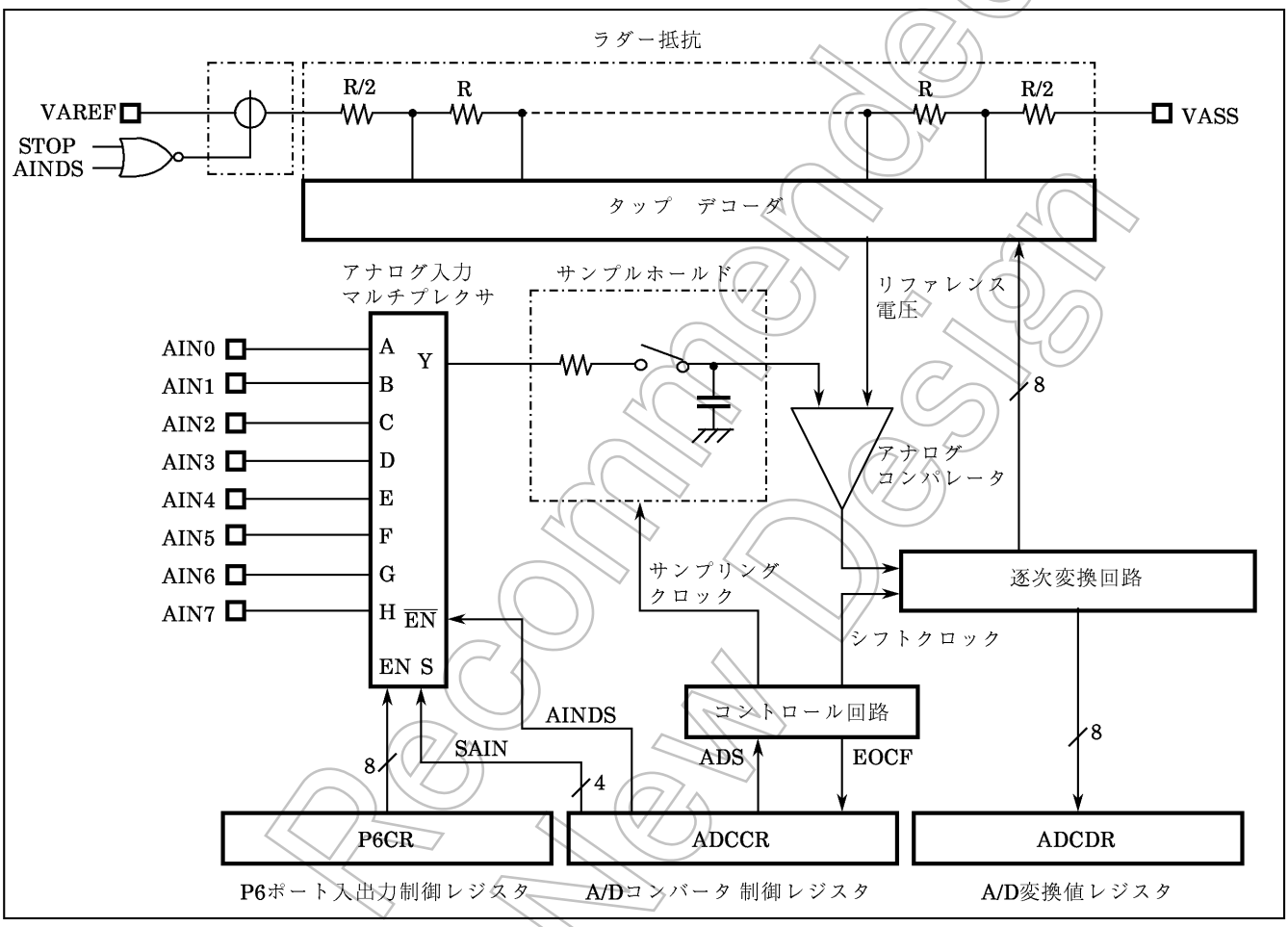


図2-57. A/Dコンバータ (ADC)

2.11.2 制 御

A/Dコンバータの制御は、A/Dコンバータ制御レジスタ (ADCCR) で行います。また、ADCCRのEOCFを読むことでA/Dコンバータの動作状態を、A/D変換値レジスタ (ADCDR) を読むことでA/D変換値を知ることができます。

A/D変換値レジスタ

	7	6	5	4	3	2	1	0	
ADCDR ($000F_H$)									(初期値 **** ****) Read only

図2-58. A/D変換値レジスタ

Not Recommended for New Design

A/Dコンバータ制御レジスタ

ADCCR ($000E_H$)

7	6	5	4	3	2	1	0
EOCF	ADS	ACK	AINDS	SAIN			

(初期値　0000 0000)

SAIN	アナログ入力チャネル選択	0000 : AIN0を選択 0001 : AIN1を選択 0010 : AIN2を選択 0011 : AIN3を選択 0100 : AIN4を選択 0101 : AIN5を選択 0110 : AIN6を選択 0111 : AIN7を選択 1*** : reserved	R/W
AINDS	アナログ入力制御	0 : アナログ入力イネーブル 1 : アナログ入力ディセーブル	
ACK	変換時間選択	0 : 184/fcgck 1 : 736/fcgck	
ADS	A/D変換開始	0 : − 1 : A/D変換開始	
EOCF	A/D変換終了フラグ	0 : A/D変換中またはA/D変換前 1 : A/D変換終了	

注1)　* ; don't care

注2)　アナログ入力チャネルの選択はA/D変換停止状態で設定してください。

注3)　ADSは、A/D変換開始後自動的に "0" にクリアされます。

注4)　EOCFは、A/D変換値レジスタ (ADCDR)をリードすると "0" にクリアされます。

注5)　EOCFは、リード専用で書き込んだデータは無視されます。

図2-59. A/Dコンバータの制御レジスタ

Not Recommended for New Design

2.11.3 A/Dコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換が実行されます。

アナログ入力に使用するチャネルは、あらかじめP6入出力制御 (P6CR) で入力端子に設定する必要があります。

(1) A/D変換の起動

A/D変換に先立ち、SAIN (ADCCR ビット3~0) によりアナログ入力チャネル (AIN7~AIN0) のうちの1端子を選択し、AINDS (ADCCRのビット4) を "0" にクリアします。

注) アナログ入力として使用しない端子は、通常の入出力端子として使用できますが、変換中はいずれの端子に対してもA/D精度を保つ意味で出力は行わないでください。

A/D変換時間は、ACK (ADCCRのビット5) により設定します。

A/D変換動作は、ADS (ADCCRのビット6) を "1" にセットすることにより開始されます。

A/D変換時間は、A/D変換開始後ADCDRに変換結果がセットされるまでで、ACK＝0のとき、184/fcgck [s] (46マシンサイクル) 必要です。例えばfcgck＝fc＝8 MHzの場合23 μsかかることになります。

A/D変換変換が終了すると、変換終了を示すEOCF (ADCCRのビット7) が "1" にセットされます。

A/D変換中にADSを "1" にセットすると初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、A/D変換の開始後4マシンサイクルで行われます。

注) サンプルホールド回路は、5 kΩ (typ.) の抵抗を介して12 pF (typ.) のコンデンサを内蔵していますので、4マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

(2) A/D変換値の読み出し

A/D変換値レジスタ (ADCDR) にストアされた変換値は、変換終了(EOCF＝1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に "0" にクリアされます。なお、A/D変換中に読み出しを行うと、不定値が読み出されます。

(3) A/D変換中のSTOPモード

A/D変換中にSTOPモードに入るとA/D変換は中止され、A/D変換値は不定となります。従って、STOPモードより復帰後はEOCFは "0" にクリアされたままとなります。ただし、A/D変換終了後 (EOCFが "1" にセットされた後) STOPモードに入ると、A/D変換値, EOCFの状態は保持されます。

Not Recommended for New Design

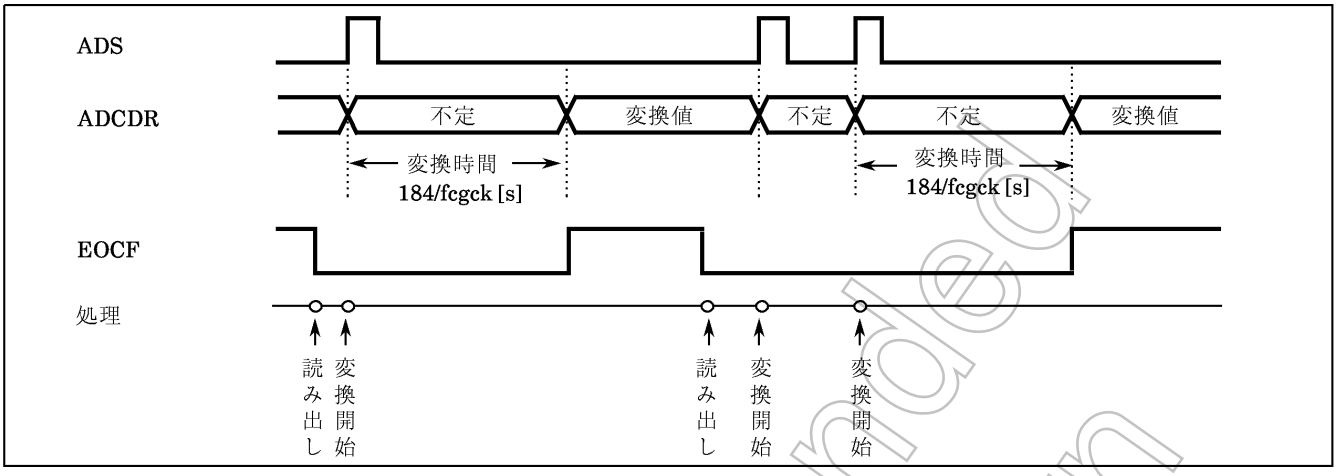


図2-60. A/D変換動作

例1： アナログ入力チャネルとしてAIN4端子を選択後、A/D変換を行います。EOCFを確認して変換値を読み出し、RAMの$009E_H$番地に格納します。

```
                ; AIN SELECT
                LD      (ADCCR), 00000100B      ; AIN4を選択
                ; A/D CONVERT START
                SET     (ADCCR). 6              ; ADS=1
SLOOP:          TEST    (ADCCR). 7              ; EOCF=1?
                JRS     T, SLOOP
                ; RESULT DATA READ
                LD      (9EH), (ADCDR)
```

アナログ入力電圧とA/D変換された8ビットデジタル値とは図2-47.のように対応します。

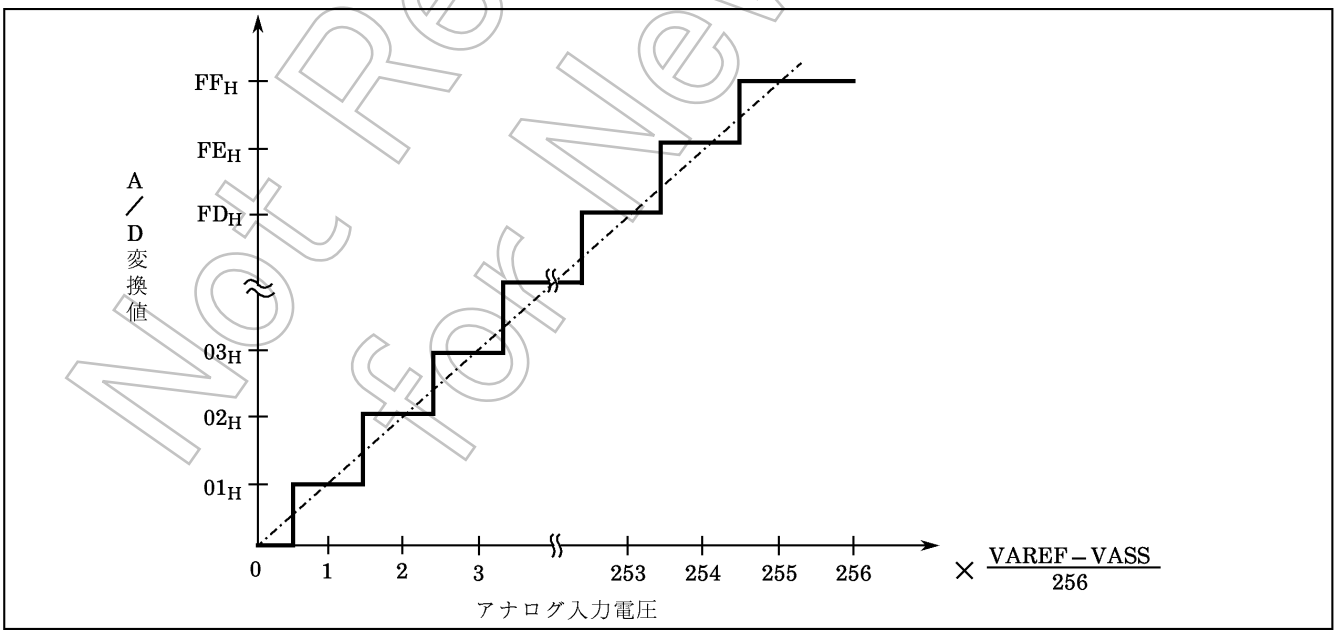


図2-61. アナログ入力電圧とA/D変換値 (typ.) の関係

Not Recommended for New Design

2.12 キーオンウェイクアップ

TMP87CS68では、$\overline{\text{STOP}}$端子 (P20) 以外にSTPR0~7端子 (P80~P87) でもストップモードの解除ができます。

構成

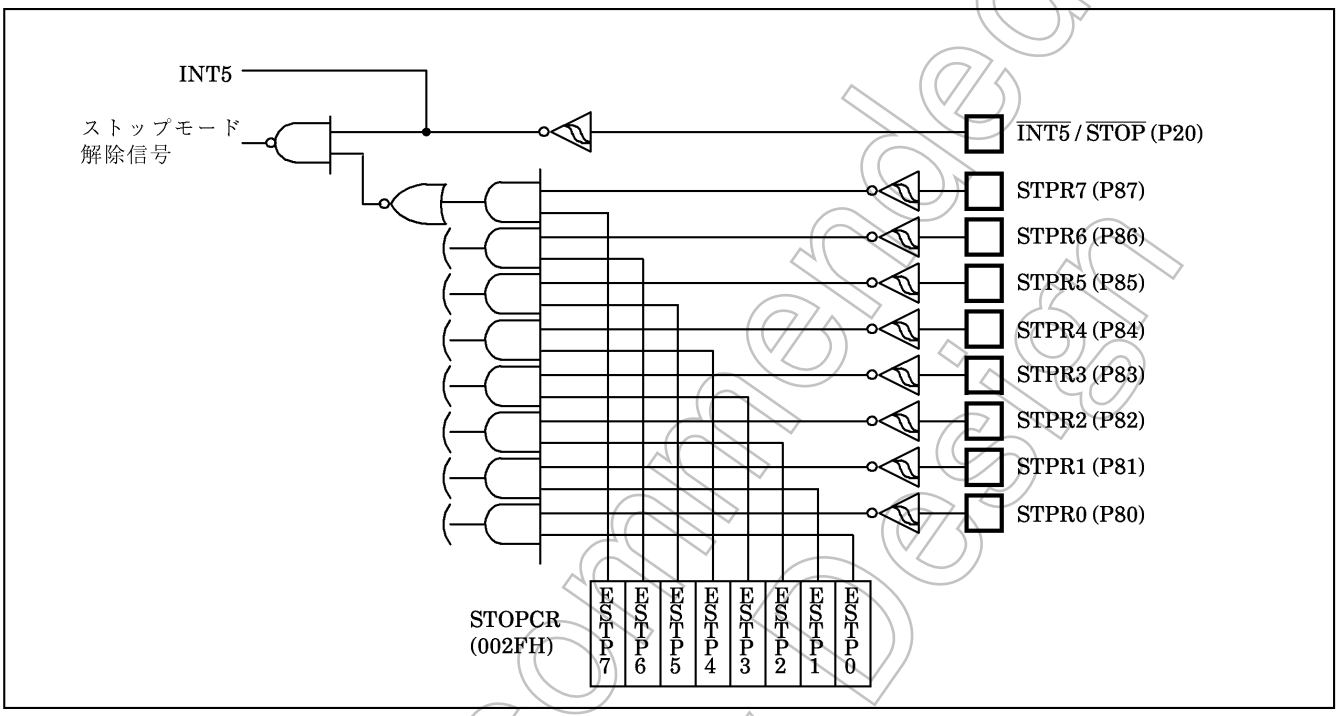


図2-62. キーオンウェイクアップ

Not Recommended for New Design

制御

STPR0~7端子はストップ解除制御レジスタ (STOPCR) でストップ解除許可 / 禁止の制御とP8プルアップ制御レジスタ (P8PUCR) によりプルアップ抵抗の有 / 無がビットごとに設定できます。

STPR0~7端子として使う端子はあらかじめポート8入出力制御レジスタ (P8CR) で入力端子に設定する必要があります。ストップモードの起動はシステムレジスタ1 (SYSCR1) にて行い、解除はストップモード解除が許可されているSTPR0~7端子のいずれかの端子を "L" レベルにすることにより解除できます。(注1)

キーオンウェイクアップ機能 (STOP0~7) を使用する場合、ストップモード解除方法の選択RELMはレベルモードを選択すること (SYSCR1のビット6を "1") をお薦めします。

また、STPR0~7端子の状態はP8ポートを読み出すことにより確認できますので、ストップモードを起動する前に各端子のレベルが "H" レベルになっていることを確認してください。(注2)

ストップ解除制御レジスタ

STOPCR ($002F_H$)

7	6	5	4	3	2	1	0
ESTP7	ESTP6	ESTP5	ESTP4	ESTP3	ESTP2	ESTP1	ESTP0

(初期値 0000 0000)

STOPCR	P8ポートによるSTOPモード解除 (ビットごとに指定)	0: ポートによるSTOP解除を禁止 1: ポートによるSTOP解除を許可	R / W

注1) ストップモードを起動するときにエッジの選択を用いる場合、STOP端子入力から解除する場合は、キーオンウェイクアップ機能によりSTOPモード解除が許可されているSTPR0~STPR7端子は確実に "H" レベルに固定、STPR0~STPR7端子から解除する場合はSTOP端子入力を確実に "L" レベルに、解除入力以外でキーオンウェイクアップ機能によりSTOPモード解除が許可されているSTPR0~STPR7端子は確実に "H" レベルに固定しなければなりません。

注2) ストップモードを起動するときにレベル選択を用いる場合、STOP端子入力から解除する場合は、キーオンウェイクアップ機能によりSTOPモード解除が許可されているSTPR0~STPR7端子のいずれかが "L" レベルだと、STOP動作に入らず、ただちに解除シーケンス (ウオーミングアップ) に移ります。

注3) キーオンウェイクアップ機能は、単独で使用できません。必ずSTOP端子をメインに使用してください。

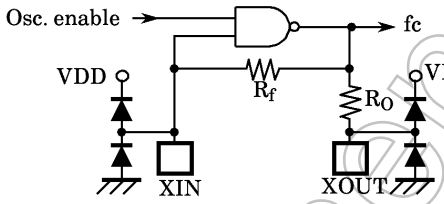
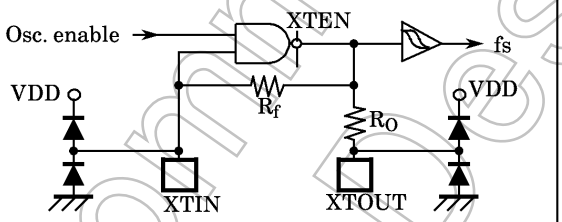
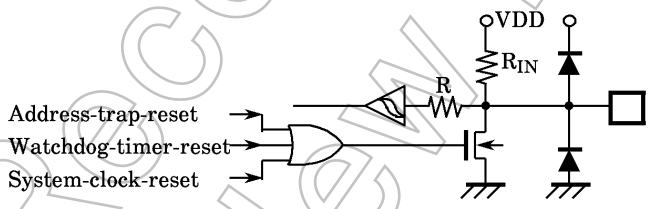
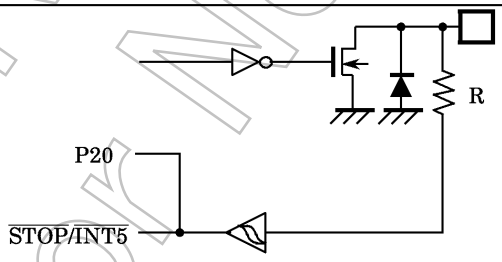
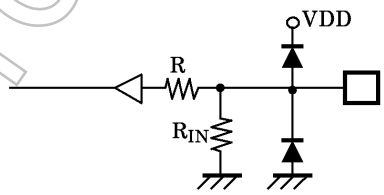
図2-63. ストップ解除制御レジスタ

Not Recommended for New Design

端子の入出力回路

(1) 制御端子

87CS68の制御端子の入出力回路を示します。
リセット解除時の動作モードは、シングルクロックモード (XIN/XOUTのみ発振) かデュアルクロックモード (XIN/XOUTおよびXTIN/XTOUTの両方が発振) かのいずれかをマスクオプション (コード NM1, NM2) で指定してください。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 1.2 MΩ (typ.) R_O = 1.5 kΩ (typ.)
XTIN XTOUT	入力 出力	NM1: P2 ポートを参照 NM2: 	低周波発振子接続端子 R_f = 6 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入出力		シンクオープンドレイン出力 ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.) R = 1 kΩ (typ.)
$\overline{\text{STOP/INT5}}$	入力		ヒステリシス入力 R = 1 kΩ (typ.)
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 1 kΩ (typ.)

注1) 87PS68のTEST端子には、プルダウン抵抗は内蔵されていません。MCUモード時はかならず低レベルに固定してください。

注2) 87PS68は、リセット解除時シングルクロックモード (NM1)となっています。

Not Recommended for New Design

(2) 入出力ポート

87CS68の入出力ポートの入出力回路を示します。

ポート	入出力	入出力回路	備　考
P0 P6	入出力	initial "Hi-Z" VDD disable R	トライステート入出力 R = 1 kΩ (typ.)
P1	入出力	initial "Hi-Z" VDD disable R	トライステート入出力 ヒステリシス入力 R = 1 kΩ (typ.)
P2	入出力	P20, P23: initial "Hi-Z" R P21, P22: initial "Hi-Z" VDD R	シンクオープンドレイン出力 ヒステリシス入力 R = 1 kΩ (typ.)
P3	入出力	initial "Hi-Z" R	シンクオープンドレイン出力 大電流出力 R = 1 kΩ (typ.)
P4 P5	入出力	initial "Hi-Z" p-ch Control VDD disable R	シンクオープンドレイン出力 または トライステート入出力 (プログラマブル ポートオプション) ヒステリシス入力 R = 1 kΩ (typ.)
P7 P9	入出力	initial "Hi-Z" p-ch Control VDD disable R	シンクオープンドレイン出力 または トライステート入出力 (プログラマブル ポートオプション) R = 1 kΩ (typ.)
P8	入出力	initial "Hi-Z" VDD P.U Control R_{IN} disable R	トライステート 入出力 プログラマブル プルアップ抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 1 kΩ (typ.) ヒステリシス入力

Not Recommended for New Design

電気的特性

絶対最大定格

(V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		−0.3~6.5	V
入力電圧	V_{IN}		−0.3~V_{DD} + 0.3	V
出力電圧	V_{OUT}		−0.3~V_{DD} + 0.3	V
出力電流 (1端子当り)	I_{OUT1}	P0, P1, P2, P4, P5, P6, P7, P8, P9ポート	3.2	mA
	I_{OUT2}	P3ポート	30	
出力電流 (全端子総計)	Σ I_{OUT1}	P0, P1, P2, P4, P5, P6, P7, P8, P9 ポート	160	mA
	Σ I_{OUT2}	P3ポート	120	
消費電力 [Topr = 70 °C]	PD		350	mW
はんだ付け温度 (時間)	Tsld		260 (10s)	°C
保存温度	Tstg		−55~125	°C
動作温度	Topr		−30~70	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破壊・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V_{SS} = 0 V, Topr = −30~70 °C)

項目	記号	端子	条件		Min.	Max.	単位
電源電圧	V_{DD}		fc = 8 MHz	NORMAL1, 2 モード時	4.5	5.5	V
				IDLE1, 2 モード時			
			fc≦ 4.2 MHz	NORMAL1, 2 モード時	2.7		
				IDLE1, 2 モード時			
			fs = 32.768 kHz	SLOW モード時			
				SLEEP モード時			
				STOP モード時	2.0		
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		V_{DD}×0.70	V_{DD}	V
	V_{IH2}	ヒステリシス入力			V_{DD}×0.75		
	V_{IH3}		V_{DD}<4.5 V		V_{DD}×0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		0	V_{DD}×0.30	V
	V_{IL2}	ヒステリシス入力				V_{DD}×0.25	
	V_{IL3}		V_{DD}<4.5 V			V_{DD}×0.10	
クロック周波数	fc	XIN, XOUT	V_{DD} = 4.5~5.5 V	ギア比 fc 0.4		8.0	MHz
				ギア比 fc/2 0.8			
			V_{DD} = 2.7~5.5 V	ギア比 fc/4 1.6		4.19	
				ギア比 fc/8 3.2			
	fs	XTIN, XTOUT			30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc： 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示す。

Not Recommended for New Design

D.C. 特　性　　(V_{SS} = 0 V, Topr = − 30～70 °C)

項　　目	記　号	端　　子	条　　件	Min.	Typ.	Max.	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力	V_{DD} = 5.0V	−	0.9	−	V
入　力　電　流	I_{IN1}	TEST	V_{DD} = 5.5V V_{IN} = 5.5V / 0V	−	−	± 2	μA
	I_{IN2}	オープンドレインポート, トライステートポート					
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$					
入力抵抗	R_{IN2}	$\overline{RESET}$		100	220	450	kΩ
	R_{IN}	P8 プルアップ抵抗		30	70	150	kΩ
出力リーク電流	I_{LO}	オープンドレインポート	V_{DD} = 5.5V, V_{OUT} = 5.5V	−	−	2	μA
高レベル出力電圧	V_{OH2}	トライステートポート	V_{DD} = 4.5V, I_{OH} = − 0.7mA	4.1	−	−	V
低レベル出力電圧	V_{OL}	XOUT, P3ポートを除く	V_{DD} = 4.5V, I_{OL} = 1.6mA	−	−	0.4	V
低レベル出力電流	I_{OL3}	P3ポート	V_{DD} = 4.5V, V_{OL} = 1.0V	−	20	−	mA
NORMAL 1, 2 モード時電源電流	I_{DD}		V_{DD} = 5.5V, V_{IN} = 5.3V/0.2V fc = 8 MHz, fs = 32.768 kHz	−	9	12	mA
IDLE 1, 2モード時 電源電流				−	4.5	6.5	
NORMAL 1, 2 モード時電源電流			V_{DD} = 3.0V, V_{IN} = 2.8V/0.2V fc = 4.2 MHz, fs = 32.768 kHz	−	3	6	
IDLE 1, 2モード時 電源電流				−	2	4	
SLOWモード時 電源電流	I_{DD}		V_{DD} = 3.0V V_{IN} = 2.8V/0.2V fs = 32.768 kHz	−	30	60	μA
SLEEPモード時 電源電流				−	15	30	μA
STOPモード時 電源電流			V_{DD} = 5.5V V_{IN} = 5.3V/0.2V		0.5	10	μA

注1) Typ.値は、条件に指定なき場合Topr = 25℃, V_{DD} = 5V時の値を示す。
注2) 入力電流　I_{IN1}, I_{IN3}　:　プルアップまたはプルダウン抵抗による電流を除く。

Not Recommended for New Design

A/D 変 換 特 性 (V_{SS} = 0V, V_{DD} = 2.7～5.5V, Topr = – 30～70 °C)

項　　目	記号	条　　件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V_{AREF}	$V_{AREF} - V_{ASS} \geqq 2.5V$	2.7	—	V_{DD}	V
	V_{ASS}		V_{SS}	—	1.5	
アナログ入力電圧範囲	V_{AIN}		V_{ASS}	—	V_{AREF}	V
アナログ基準電圧電源電流	I_{REF}	V_{AREF} = 5.5V, V_{ASS} = 0.0V	—	0.5	1.0	mA
非直線性誤差		V_{DD} = 5.0, V_{SS} = 0.0V V_{AREF} = 5.000V V_{ASS} = 0.000 V または V_{DD} = 2.7, V_{SS} = 0.0V V_{AREF} = 2.700V V_{ASS} = 0.000 V	—	—	± 1	LSB
ゼロ誤差			—	—	± 1	
フルスケール誤差			—	—	± 1	
総合誤差			—	—	± 2	

(注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差を言います。

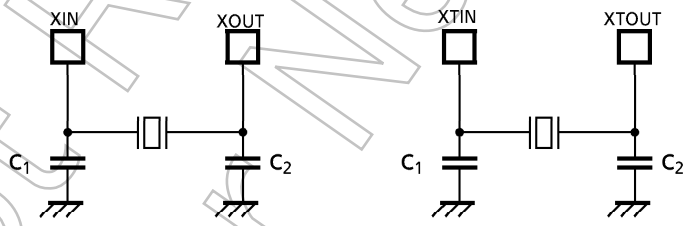
Not Recommended for New Design

A.C. 特　性　(V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = −30~70 °C)

項　　目	記　号	条　　件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時　(ギア 比)	0.5 (1/1)	−	10 (1/8)	μs
		IDLE1, 2モード時　(ギア 比)				
		SLOWモード時	117.6		133.3	
		SLEEPモード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN入力) fc = 8 MHz 時	62.5	−	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN入力) fs = 32.768 kHz 時	14.7	−	−	μs
低レベルクロックパルス幅	t_{WSL}					

推 奨 発 振 条 件

項　目	発　振　子	発振周波数	推奨発振子	推奨定数 C_1	推奨定数 C_2
高周波発振	セラミック発振子	8 MHz	京セラ　KBR8.0M	30 pF	30 pF
		4 MHz	京セラ　KBR4.0MS		
			村田製作所　CSA4.00MG		
	水晶振動子	8 MHz	TOYOCOM 210B 8.0000	20 pF	20 pF
		4 MHz	TOYOCOM 204B 4.0000		
低周波発振	水晶振動子	32.768 kHz	日本電波工業　MX-38T	15 pF	15 pF



(1)　高周波発振　　(2)　低周波発振

注) ブラウン管などの高電解のかかるところで使用する場合は、正常動作を保つためパッケージを電気的にシールドすることを推奨します。

注) 正確な発振周波数を得るためにはセット上で、コンデンサ容量の調整が必要です。

Not Recommended for New Design