

TOSHIBA

32 ビット TX System RISC

TX19A ファミリー

TMP19A63CDXBG

Rev1.1 2008 年 3 月 28 日

1. 概要と特長

TMP19A63 に搭載されている TX19A プロセッサコアは、米国 MIPS グループの高性能な 32 ビットの命令セットである MIPS32ISA と高コード効率の命令セットである MIPS16eISA に当社で命令を追加した拡張命令セットの MIPS16e-TX™ASE (Application Specific Extension) を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A63 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A63 の特長は次のとおりです。

(1) TX19A プロセッサコア

16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

高性能化と低消費電力化を同時に実現

高性能化

- ほとんどの命令を 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算を 1 クロックで実行

当社半導体製品取り扱い上のお願ひ

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下“特定用途”という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

(2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP19A63CDXBG	512Kbyte	24Kbyte
TMP19A63F10XBG	1Mbyte(Flash)	48Kbyte

- ROM コレクション機能 : 8word x 12 block

(3) 外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス :
 - セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
 - CS リカバリ (RD (WR) - CS 間ウェイト挿入) 機能 (1Clock 分)
 - 外部ウェイト X+2N 対応 (X=2~7)
 - ALE 幅変更

(4) DMA コントローラ : 8 チャンネル

- 割り込みもしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ : 36 チャンネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インพุットキャプチャ機能
- 二相パルス入力カウンタ機能 (専用 2 チャンネル)

(6) 32 ビットタイマ

- 32 ビットインพุットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 4 チャンネル
- 32 ビットタイムベースタイマ : 2 チャンネル

(7) 汎用シリアル・インタフェース : 11 チャンネル

- UART / 同期式モード選択可能

(8) シリアルバスインタフェース : 2 チャンネル

- I²C バスモード/クロック同期式モード選択可能

(9) 10 ビット A/D コンバータ (S/H 有) : 32 チャンネル

- 内部タイマトリガ起動
- チャンネル固定/スキャンモード
- シングル/リピートモード
- 最優先変換モード
- タイマ監視機能

1.7usec@27MHz(54MHz 時)。1.15usec@40MHz(40MHz 時)

(2 ユニット構成 。同時変換可。Unit 間誤差定義なし)

(11) ウォッチドックタイマ : 1 チャンネル

(12) チップセレクト/ウェイトコントローラ : 6 チャンネル

(13) 割り込み機能

- CPU 2本 …… ソフトウェア割り込み命令
- 内部 83本 …… 7レベルの優先順位設定可能
(ウォッチドッグタイマ割り込みを除く)
この内、独立した割り込み要因は39本
- 外部 20本 …… 7レベルの優先順位設定可能 (NMI 割り込みを除く)
またこの内、8本は KWUP であり割り込み要因としては1本

(14) 入出力ポート …… 212 端子

(15) スタンバイ機能

- 2種類のスタンバイモード (IDLE、STOP)

(16) クロックジェネレータ

- PLL 内蔵 (4 逓倍)
- クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8 に分周

(17) エンディアン …… バイエンディアンの場合

ビッグエンディアンの場合

上位アドレス	31	24	23	16	15	8	7	0	ワードアドレス
↑	8		9		10		11		8
	4		5		6		7		4
	0		1		2		3		0

下位アドレス

- バイト0が最上位バイト (ビット31-24) です。
- ワードのアドレスは、最上位バイト (バイト0) のアドレスで指定します。

リトルエンディアンの場合

上位アドレス	31	24	23	16	15	8	7	0	ワードアドレス
↑	11		10		9		8		8
	7		6		5		4		4
	3		2		1		0		0

下位アドレス

- バイト0が最下位バイト (ビット7-0) です。
- ワードのアドレスは、最下位バイト (バイト0) のアドレスで指定します。

(18) 動作周波数

- 54MHz (DVCC15 = 1.35V ~ 1.65V)

(19) 動作電圧範囲

- コア: 1.35 ~ 1.65V
- I/O: 1.65 ~ 3.3 V
- ADC: 2.7 ~ 3.3 V

(20) 温度範囲

- -20 ~ 85
- 0 ~ 70 (Flash W/E時)

(21) パッケージ

- P-FBGA289 (11mm×11mm, 0.5mm ピッチ)

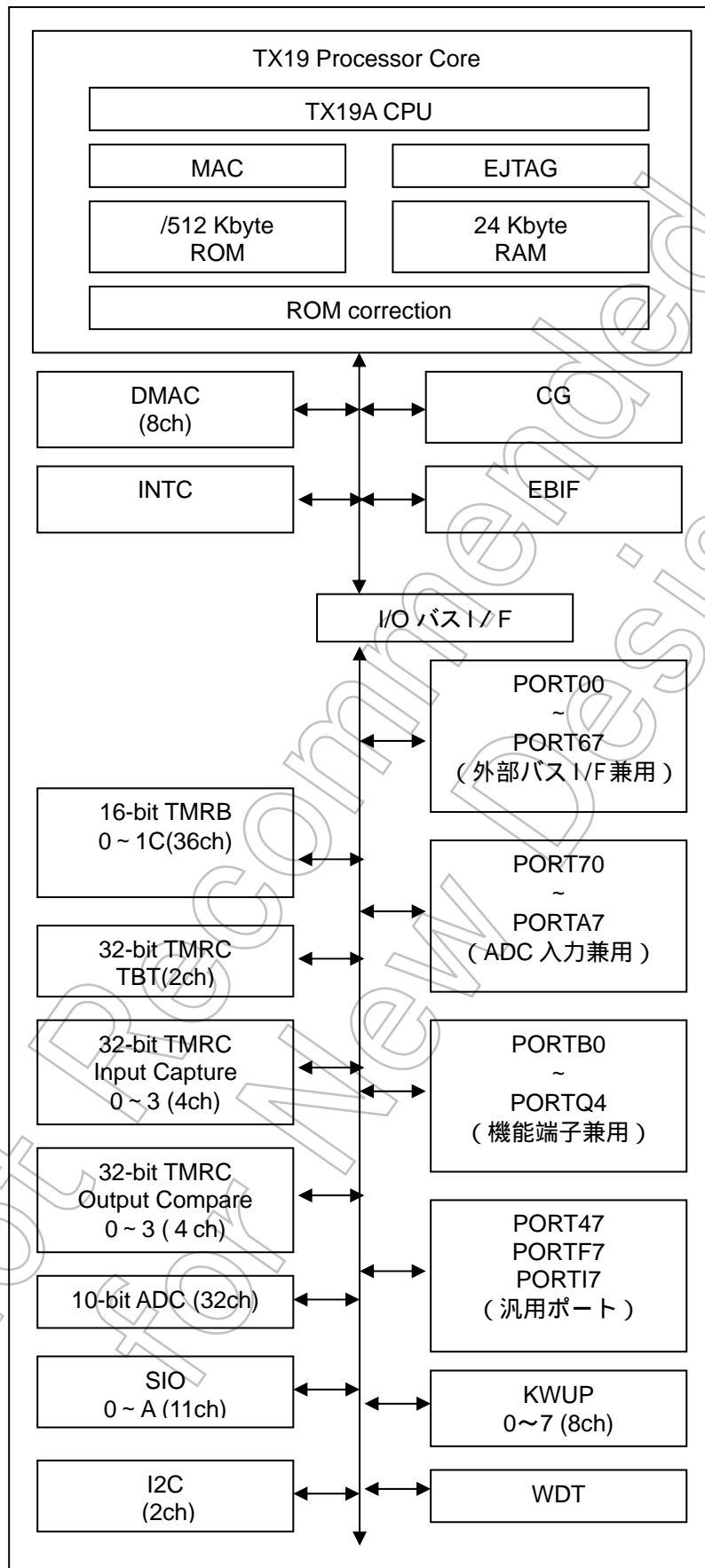


図 1.1 TMP19A63CDXBG ブロック図

2 ピン配置とピン機能

TMP19A63 のピン配置および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図 (Top view)

TMP19A63 のピン配置は、図 2.1.1 の通りです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17	A18	A19	A20
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17	B18	B19	B20
C1	C2																	C19	C20
D1	D2	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17			D19	D20
E1	E2	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17			E19	E20
F1	F2	F4	F5											F16	F17			F19	F20
G1	G2	G4	G5	G7	G8	G9	G10	G11	G12	G13	G14			G16	G17			G19	G20
H1	H2	H4	H5	H7	H8	H9	H10	H11	H12	H13	H14			H16	H17			H19	H20
J1	J2	J4	J5	J7	J8	J9				J13	J14			J16	J17			J19	J20
K1	K2	K4	K5	K7	K8					K13	K14			K16	K17			K19	K20
L1	L2	L4	L5	L7	L8					L13	L14			L16	L17			L19	L20
M1	M2	M4	M5	M7	M8					M13	M14			M16	M17			M19	M20
N1	N2	N4	N5	N7	N8	N9	N10	N11	N12	N13	N14			N16	N17			N19	N20
P1	P2	P4	P5	P7	P8	P9	P10	P11	P12	P13	P14			P16	P17			P19	P20
R1	R2	R4	R5											R16	R17			R19	R20
T1	T2	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17			T19	T20
U1	U2	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17			U19	U20
V1	V2																	V19	V20
W1	W2	W3	W4	W5	W6	W7	W8	W9	W10	W11	W12	W13	W14	W15	W16	W17	W18	W19	W20
Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15	Y16	Y17	Y18	Y19	Y20

図 2.1.1 ピン配置図 (P-FBGA289)

2.2 ピン番号とピン名称との関係

TMP19A63 のピン番号とピン名称との関係は、表 2-2 の通りです。

PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称
A1	N.C(GND)	B1	N.C(GND)	C1	PL0/TC4IN	D1	PL2
A2	N.C(GND)	B2	N.C(GND)	C2	PL1/TC5IN	D2	PL3/TCOUTB0
A3	RESET	B3	PCST0				
A4	PCST1	B4	PCST2			D4	DVSSA
A5	PCST3	B5	PCST4			D5	PQ0/DREQ2
A6	DCLK	B6	TOVR			D6	TCK
A7	TDO	B7	TDI			D7	DINT
A8	PP6/TPC6/TPD6	B8	PP7/TPC7/TPD7			D8	PO6/TPD6
A9	PP4/TPC4/TPD4	B9	PP5/TPC5/TPD5			D9	PO4/TPD4
A10	PP2/TPC2/TPD2	B10	PP3/TPC3/TPD3			D10	PO2/TPD2
A11	PP0/TPC0/TPD0	B11	PP1/TPC1/TPD1			D11	PO0/TPD0
A12	PJ4/TC11N	B12	PJ5/S01/SDA1			D12	PJ6/S11/SCL1
A13	PJ2/SCLK8/CTS8	B13	PJ3/TC0IN			D13	PM6/TCOUTA0
A14	PJ0/TXD8	B14	PJ1/RXD8			D14	PM4/INT4
A15	PF6/SCLK1/CTS1	B15	PF7			D15	PM2/INT2
A16	PF4/TXD1	B16	PF5/RXD1			D16	PM0/INT0
A17	PF2/SCLK0/CTS0	B17	PF3			D17	PG5/RXD3
A18	PFO/TXD0	B18	PF1/RXD0				
A19	N.C(GND)	B19	N.C(GND)	C19	PG7/TBTIN2	D19	PG4/TXD3
A20	N.C(GND)	B20	N.C(GND)	C20	PG6/SCLK3/CTS3	D20	PG3/TBTIN1

表 2-2 ピン番号とピン名称 (1/3)

PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称
E1	PL4/TXD9	F1	PL6/SCLK9/CTS9	G1	P00/D0/AD0	H1	P02/D2/AD2
E2	PL5/RXD9	F2	PL7/TCOUTB1	G2	P01/D1/AD1	H2	P03/D3/AD3
E4	PQ1/DACK2	F4	PQ2/DREQ3	G4	PK0/KEY0	H4	PK2/KEY2
E5	DVSSB	F5	PQ3/DACK3	G5	PK1/KEY1	H5	PK3/KEY3
E6	TRST						
E7	TMS			G7	DVSSC	H7	PK4/KEY4
E8	P07/TPD7			G8	EJE	H8	DVSSD
E9	P05/TPD5			G9	DVCC33	H9	N.C(OPEN)
E10	P03/TPD3			G10	DVCC34	H10	N.C(OPEN)
E11	P01/TPD1			G11	DVCC34	H11	DVCC15
E12	PJ7/SCK1			G12	DVCC34	H12	DVCC15
E13	PM7/TCOUTA1			G13	DVCC32	H13	AVSS1
E14	PM5/INT5			G14	AVSS0	H14	P85/ANA13
E15	PM3/INT3						
E16	PM1/INT1	F16	P77/ANA7	G16	P87/ANA15	H16	P84/ANA12
E17	PG2/SCLK2/CTS2	F17	P76/ANA6	G17	P86/ANA14	H17	P83/ANA11
E19	PG1/RXD1	F19	P75/ANA5	G19	P73/ANA3	H19	P71/ANA1
E20	PG0/TXD2	F20	P74/ANA4	G20	P72/ANA2	H20	P70/ANA0
J1	P04/D4/AD4	K1	P06/D6/AD6	L1	P10/D8/AD8/A8	M1	P12/D10/AD10/A10
J2	P05/D5/AD5	K2	P07/D7/AD7	L2	P11/D9/AD9/A9	M2	P13/D11/AD11/A11
J4	P50/A0	K4	P52/A2	L4	P54/A4	M4	P56/A6
J5	P51/A1	K5	P53/A3	L5	P55/A5	M5	P57/A7
J7	PK5/KEY5	K7	PK6/KEY6	L7	PK7/KEY7	M7	BW0
J8	DVCC30	K8	DVCC30	L8	DVCC30	M8	DVCC15
J9	DVSSH						
J13	AVCC30	K13	AVREFH0	L13	AVREFH1	M13	AVCC31
J14	P82/ANA10	K14	PA7/ANB15	L14	PA4/ANB12	M14	DVCC15
J16	P81/ANA9	K16	PA6/ANB14	L16	PA3/ANB11	M16	PA1/ANB9
J17	P80/ANA8	K17	PA5/ANB13	L17	PA2/ANB10	M17	PA0/ANB8
J19	P97/ANB7	K19	P95/ANB5	L19	P93/ANB3	M19	P91/ANB1
J20	P96/ANB6	K20	P94/ANB4	L20	P92/ANB2	M20	P90/ANB0
N1	P14/D12/AD12/A12	P1	P16/D14/AD14/A14	R1	P40/*CS0	T1	P42/*CS2
N2	P15/D13/AD13/A13	P2	P17/D15/AD15/A15	R2	P41/*CS1	T2	P43/*CS3
N4	P30/*RD	P4	P32/*HWR	R4	P34/*BUSRQ	T4	P36/R/*W
N5	P31/*WR	P5	P33/*WAIT/*RDY	R5	P35/*BUSAK	T5	P61/A9
						T6	P63/A11
N7	BW1	P7	DVSSE			T7	P65/A13
N8	DVSSF	P8	DVSSG			T8	PN1/INT7
N9	BUSMD	P9	END1AN			T9	PN3/ADTRG-A
N10	DVCC15	P10	*NMI			T10	PN5/RXDA
N11	DVCC15	P11	DVCC31			T11	PN7/ADTRG-B
N12	PLLSEL	P12	DVCC31			T12	PH1/RXD4
N13	DVSS1	P13	CVSS			T13	PH3/INT9
N14	CVCC15	P14	DVSSL			T14	PH5/RXD5
						T15	PH7/INTA
N16	PC7/TB0FIN1	P16	PC5/TB0EIN1	R16	PC3/TB0DIN1	T16	DVSSK
N17	PC6/TB0FIN0	P17	PC4/TB0EIN0	R17	PC2/TB0DIN0	T17	PC1/TB0CIN1
N19	PB7/TB0BIN1	P19	PB5/TB0A1N1	R19	PB3/TB9IN1	T19	PB1/TB8IN1
N20	PB6/TB0BIN0	P20	PB4/TB0A1N0	R20	PB2/TB9IN0	T20	PB0/TB8IN0

表 2-2 ピン番号とピン名称 (2/3)

PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称
U1	P44/*CS4	V1	P46/SCOUT	W1	N.C(GND)	Y1	N.C(GND)
U2	P45/*CS5	V2	P47	W2	N.C(GND)	Y2	N.C(GND)
				W3	P21/A17/A1/A17	Y3	P20/A16/A0/A16
U4	P37/ALE			W4	P23/A19/A3/A19	Y4	P22/A18/A2/A18
U5	P60/A8			W5	P25/A21/A5/A21	Y5	P24/A20/A4/A20
U6	P62/A10			W6	P27/A23/A7/A23	Y6	P26/A22/A6/A22
U7	P64/A12			W7	P67/A15	Y7	P66/A14
U8	PN0/INT6			W8	P11/RXD6	Y8	P10/TXD6
U9	PN2/INT8			W9	P13/INTB	Y9	P12/SCLK6/CLS6
U10	PN4/TXDA			W10	P15/RXD7	Y10	P14/TXD7
U11	PN6/SCLKA/CTSA			W11	P17	Y11	P16/SCLK7/CTS7
U12	PH0/TXD4			W12	PE1/TB17OUT	Y12	PE0/TB16OUT
U13	PH2/SCLK4/CTS4			W13	PE3/TB19OUT	Y13	PE2/TB18OUT
U14	PH4/TXD5			W14	PE5/S00/SCA0	Y14	PE4/TB1AOUT
U15	PH6/SCLK5/CTS5			W15	PE7/SCK0	Y15	PE6/S10/SCL0
U16	PD2/TB11IN0			W16	PD1/TB10IN1	Y16	PD0/TB10IN0
U17	DVSSJ			W17	PD4/TB12IN0	Y17	PD3/TB11IN1
				W18	PD6/TB14OUT	Y18	PD5/TB12IN1
U19	PC0/TBOC1N0	V19	PD7/TB15OUT	W19	N.C(GND)	Y19	N.C(GND)
U20	X2	V20	X1	W20	N.C(GND)	Y20	N.C(GND)

表 2-2 ピン番号とピン名称 (3/3)

2.3 ピン名称と機能

TMP19A63 の入出力ピン名称と機能は、表 2-3 の通りです。

表 2-3 ピン名称と機能 (1/8)

ピン名称	ピン数	入出力	機能
P00~P07 D0~D7 AD0~D7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート データ (下位): データバス 0~7 (セパレートバスモード) アドレスデータ (下位): アドレス・データバス 0~7 (マルチプレクスバスモード)
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート データ (上位): データバス 8~15 (セパレートバスモード) アドレスデータ (上位): アドレス・データバス 8~15 (マルチプレクスバスモード) アドレス: アドレスバス 8~15 (マルチプレクスバスモード)
P20~P27 A16~A23 A0~A7 A16~A23	8	入出力 出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 16~23 (セパレートバスモード) アドレス: アドレスバス 0~7 (マルチプレクスバスモード) アドレス: アドレスバス 16~23 (マルチプレクスバスモード)
P30 * RD	1	入出力 出力	ポート 30: 入出力ポート (プルアップ付) リード: 外部メモリをリードするためのストロープ信号
P31 * WR	1	入出力 出力	ポート 31: 入出力ポート (プルアップ付) ライト: D0~7 端子のデータをライトするためのストロープ信号
P32 * HWR	1	入出力 出力	ポート 32: 入出力ポート (プルアップ付) 上位ライト: D8~15 端子のデータをライトするためのストロープ信号
P33 * WAIT * RDY	1	入出力 入力 入力	ポート 33: 入出力ポート (プルアップ付) ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子
P34 * BUSRQ	1	入出力 入力	ポート 34: 入出力ポート (プルアップ付) バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号
P35 * BUSAK	1	入出力 出力	ポート 35: 入出力ポート (プルアップ付) バスアクノリッジ: *BUSREQ を受け CPU がバス制御権を解放しているのを通知する信号
P36 R/* W	1	入出力 出力	ポート 36: 入出力ポート (プルアップ付) リード/ライト: "1" でリードサイクルまたはダミーサイクルを "0" でライトサイクルを示します。
P37 ALE	1	入出力 出力	ポート 37: 入出力ポート アドレスラッチイネーブル (外部メモリアクセス (マルチプレクスバスモード) 時のみイネーブル)
P40 * CS0	1	入出力 出力	ポート 40: 入出力ポート (プルアップ付) チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力
P41 * CS1	1	入出力 出力	ポート 41: 入出力ポート (プルアップ付) チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力
P42 * CS2	1	入出力 出力	ポート 42: 入出力ポート (プルアップ付) チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力
P43 * CS3	1	入出力 出力	ポート 43: 入出力ポート (プルアップ付) チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力
P44 * CS4	1	入出力 出力	ポート 44: 入出力ポート (プルアップ付) チップセレクト 4: アドレスが指定したアドレス領域内なら "0" を出力
P45 * CS5	1	入出力 出力	ポート 45: 入出力ポート (プルアップ付) チップセレクト 5: アドレスが指定したアドレス領域内なら "0" を出力

表 2-3 ピン名称と機能 (2/8)

P46 SCOUT	1	入出力 出力	ポート 46 : 入出力ポート システムクロック出力 : CPU と同じ高速クロック、低速クロック出力など選択可能
P47	1	入出力	ポート 47 : 入出力ポート
P50 ~ P57 A0~A7	8	入出力 出力	ポート 5 : ビット単位で入出力の設定ができる入出力ポート アドレス : アドレスバス 0~7 (セパレートバスモード)
P60 ~ P67 A8 ~ A15	1	入出力 出力	ポート 60 ~ 67 : 入出力ポート アドレス : アドレスバス 4 (セパレートバスモード)
P70~P77 ANA0~ANA7	8	入力 入力	ポート 7 : 入力専用ポート アナログ入力 : A/D コンバータの入力
P80~P87 ANA8~ANA15	8	入力 入力	ポート 8 : 入力専用ポート アナログ入力 : A/D コンバータの入力
P90~P97 ANB0~ANB7	8	入力 入力	ポート 9 : 入力専用ポート アナログ入力 : A/D コンバータの入力
PA0~PA7 ANB8~ANB15	8	入力 入力	ポート A : 入力専用ポート アナログ入力 : A/D コンバータの入力
PB0 TB8IN0	1	入出力 入力	ポート B0 : 入出力ポート 16bit タイマ 8 入力 0 : 16bit タイマ 8 キャプチャトリガ入力
PB1 TB8IN1	1	入出力 入力	ポート B1 : 入出力ポート 16bit タイマ 8 入力 1 : 16bit タイマ 8 キャプチャトリガ入力
PB2 TB9IN0	1	入出力 入力	ポート B2 : 入出力ポート 16bit タイマ 9 入力 0 : 16bit タイマ 9 キャプチャトリガ入力
PB3 TB9IN1	1	入出力 入力	ポート B3 : 入出力ポート 16bit タイマ 9 入力 1 : 16bit タイマ 9 キャプチャトリガ入力
PB4 TBAIN0	1	入出力 入力	ポート B4 : 入出力ポート 16bit タイマ A 入力 0 : 16bit タイマ A キャプチャトリガ入力
PB5 TBAIN1	1	入出力 入力	ポート B5 : 入出力ポート 16bit タイマ A 入力 1 : 16bit タイマ A キャプチャトリガ入力
PB6 TBBIN0	1	入出力 入力	ポート B6 : 入出力ポート 16bit タイマ B 入力 0 : 16bit タイマ B キャプチャトリガ入力
PB7 TBBIN1	1	入出力 入力	ポート B7 : 入出力ポート 16bit タイマ B 入力 1 : 16bit タイマ B キャプチャトリガ入力
PC0 TBCIN0	1	入出力 入力	ポート C0 : 入出力ポート 16bit タイマ C 入力 0 : 16bit タイマ C キャプチャトリガ入力/2 相カウンタ入力端子
PC1 TBCIN1	1	入出力 入力	ポート C1 : 入出力ポート 16bit タイマ C 入力 1 : 16bit タイマ C キャプチャトリガ入力/2 相カウンタ入力端子
PC2 TBDIN0	1	入出力 入力	ポート C2 : 入出力ポート 16bit タイマ D 入力 0 : 16bit タイマ D キャプチャトリガ入力
PC3 TBDIN1	1	入出力 入力	ポート C3 : 入出力ポート 16bit タイマ D 入力 1 : 16bit タイマ D キャプチャトリガ入力
PC4 TBEIN0	1	入出力 入力	ポート C4 : 入出力ポート 16bit タイマ E 入力 0 : 16bit タイマ E キャプチャトリガ入力
PC5 TBEIN1	1	入出力 入力	ポート C5 : 入出力ポート 16bit タイマ E 入力 1 : 16bit タイマ E キャプチャトリガ入力
PC6 TBFIN0	1	入出力 入力	ポート C6 : 入出力ポート 16bit タイマ F 入力 0 : 16bit タイマ F キャプチャトリガ入力
PC7 TBFIN1	1	入出力 入力	ポート C7 : 入出力ポート 16bit タイマ F 入力 1 : 16bit タイマ 10 キャプチャトリガ入力
PD0 TB10IN0	1	入出力 入力	ポート D0 : 入出力ポート 16bit タイマ 10 入力 0 : 16bit タイマ 10 キャプチャトリガ入力

表 2-3 ピン名称と機能 (3/8)

ピン名称	ピン数	入出力	機能
PD1 TB10IN1	1	入出力 入力	ポート D1 : 入出力ポート 16bit タイマ 10 入力 1 : 16bit タイマ 10 キャプチャトリガ入力
PD2 TB11IN0	1	入出力 入力	ポート D2 : 入出力ポート 16bit タイマ 11 入力 0 : 16bit タイマ 11 キャプチャトリガ入力
PD3 TB11IN1	1	入出力 入力	ポート D3 : 入出力ポート 16bit タイマ 11 入力 1 : 16bit タイマ 11 キャプチャトリガ入力
PD4 TB12IN0	1	入出力 入力	ポート D4 : 入出力ポート 16bit タイマ 12 入力 0 : 16bit タイマ 12 キャプチャトリガ入力/2 相カウンタ入力端子
PD5 TB12IN1	1	入出力 入力	ポート D5 : 入出力ポート 16bit タイマ 12 入力 1 : 16bit タイマ 12 キャプチャトリガ入力/2 相カウンタ入力端子
PD6 TB14OUT	1	入出力 出力	ポート D6 : 入出力ポート 16bit タイマ 14 出力 : 16bit タイマ 14 可変 PPG 出力
PD7 TB15OUT	1	入出力 出力	ポート D7 : 入出力ポート 16bit タイマ 15 出力 : 16bit タイマ 15 可変 PPG 出力
PE0 TB16OUT	1	入出力 出力	ポート E0 : 入出力ポート 16bit タイマ 16 出力 : 16bit タイマ 16 可変 PPG 出力
PE1 TB17OUT	1	入出力 出力	ポート E1 : 入出力ポート 16bit タイマ 17 出力 : 16bit タイマ 17 可変 PPG 出力
PE2 TB18OUT	1	入出力 出力	ポート E2 : 入出力ポート 16bit タイマ 18 出力 : 16bit タイマ 18 可変 PPG 出力
PE3 TB19OUT	1	入出力 出力	ポート E3 : 入出力ポート 16bit タイマ 19 出力 : 16bit タイマ 19 可変 PPG 出力
PE4 TB1AOUT	1	入出力 出力	ポート E4 : 入出力ポート 16bit タイマ 1A 出力 : 16bit タイマ 1A 可変 PPG 出力
PE5 SO0 SDA0	1	入出力 出力 入出力	ポート E5 : 入出力ポート シリアルバスインタフェースの SIO モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ送受信端子 (シュミット付き入力) オープンドレイン出力端子
PE6 SIO SCL0	1	入出力 入力 入出力	ポート E6 : 入出力ポート シリアルバスインタフェースの SIO モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子 (シュミット付き入力) オープンドレイン出力端子
PE7 SCK0	1	入出力 入出力	ポート E7 : 入出力ポート シリアルバスインタフェースの SIO モード時のクロック入出力端子
PF0 TXD0	1	入出力 入力	ポート F0 : 入出力ポート シリアル送信データ 0 : プログラムによりオープンドレイン出力端子
PF1 RXD0	1	入出力 入力	ポート F1 入出力ポート シリアル受信データ 0
PF2 *SCLK0 CTS0	1	入出力 入力 入力	ポート F2 : 入出力ポート シリアルクロック入出力 0 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PF3	1	入出力	ポート F3 : 入出力ポート
PF4 TXD1	1	入出力 入力	ポート F0 : 入出力ポート シリアル送信データ 1 : プログラムによりオープンドレイン出力端子
PF5 RXD1	1	入出力 入力	ポート F2 入出力ポート シリアル受信データ 1
PF6 *SCLK1 CTS1	1	入出力 入力 入力	ポート F3 : 入出力ポート シリアルクロック入出力 1 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PF7	1	入出力	ポート F7 : 入出力ポート

表 2-3 ピン名称と機能 (4/8)

ピン名称	ピン数	入出力	機能
PG0 TXD2	1	入出力 出力	ポート G0 : 入出力ポート シリアル送信データ 2 : プログラムによりオープンドレイン出力端子
PG1 RXD2	1	入出力 入力	ポート G1 入出力ポート シリアル受信データ 2
PG2 *SCLK2 CTS2	1	入出力 入出力 入力	ポート G2 : 入出力ポート シリアルクロック入出力 2 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PG3 TBTIN1	1	入出力 入力	ポート G3 : 入出力ポート 32bit タイムベースタイマ入力 1 : 32bit タイムベースタイマのカウント入力
PG4 TXD3	1	入出力 入力	ポート G4 : 入出力ポート シリアル送信データ 3 : プログラムによりオープンドレイン出力端子
PG5 RXD3	1	入出力 入力	ポート G5 入出力ポート シリアル受信データ 3
PG6 *SCLK3 CTS3	1	入出力 入出力 入力	ポート G6 : 入出力ポート シリアルクロック入出力 3 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PG7 TBTIN2	1	入出力 入力	ポート G7 : 入出力ポート 32bit タイムベースタイマ入力 2 : 32bit タイムベースタイマのカウント入力
PH0 TXD4	1	入出力 出力	ポート H0 : 入出力ポート シリアル送信データ 4 : プログラムによりオープンドレイン出力端子
PH1 RXD4	1	入出力 入力	ポート H1 入出力ポート シリアル受信データ 4
PH2 *SCLK4 CTS4	1	入出力 入出力 入力	ポート H2 : 入出力ポート シリアルクロック入出力 4 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PH3 INT9	1	入出力 入力	ポート H3 入出力ポート 割込み要求端子 9 : "H" レベル/"L" レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PH4 TXD4	1	入出力 出力	ポート H4 : 入出力ポート シリアル送信データ 5 : プログラムによりオープンドレイン出力端子
PH5 RXD5	1	入出力 入力	ポート H5 入出力ポート シリアル受信データ 5
PH6 *SCLK5 CTS5	1	入出力 入出力 入力	ポート H6 : 入出力ポート シリアルクロック入出力 5 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PH7 INTA	1	入出力 入力	ポート H7 入出力ポート 割込み要求端子 A : "H" レベル/"L" レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PI0 TXD6	1	入出力 出力	ポート I0 : 入出力ポート シリアル送信データ 6 : プログラムによりオープンドレイン出力端子
PI1 RXD6	1	入出力 入力	ポート I1 入出力ポート シリアル受信データ 6
PI2 *SCLK6 CTS6	1	入出力 入出力 入力	ポート I2 : 入出力ポート シリアルクロック入出力 6 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PI3 INTB	1	入出力 入力	ポート I3 入出力ポート 割込み要求端子 B : "H" レベル/"L" レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PI4 TXD7	1	入出力 出力	ポート I4 : 入出力ポート シリアル送信データ 7 : プログラムによりオープンドレイン出力端子
PI5 RXD7	1	入出力 入力	ポート I5 入出力ポート シリアル受信データ 7
PI6 *SCLK7 CTS7	1	入出力 入出力 入力	ポート I6 : 入出力ポート シリアルクロック入出力 7 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力

表 2-3 ピン名称と機能 (5/8)

ピン名称	ピン数	入出力	機能
PI7	1	入出力	ポート I7 : 入出力ポート
PJ0 TXD8	1	入出力 出力	ポート J0 : 入出力ポート シリアル送信データ 8 : プログラムによりオープンドレイン出力端子
PJ1 RXD8	1	入出力 入力	ポート J1 入出力ポート シリアル受信データ 8
PJ2 *SCLK8 CTS8	1	入出力 入出力 入力	ポート J2 : 入出力ポート シリアルクロック入出力 8 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PJ3 TC0IN	1	入出力 入力	ポート J3 入出力ポート 32bit タイマキャプチャトリガ入力
PJ4 TC1IN	1	入出力 入力	ポート J4 入出力ポート 32bit タイマキャプチャトリガ入力
PJ5 SO1 SDA1	1	入出力 出力 入出力	ポート J5 : 入出力ポート シリアルバスインタフェースの SIO モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ送受信端子 (シュミット付き入力) オープンドレイン出力端子
PJ6 SI1 SCL1	1	入出力 入力 入出力	ポート J6 : 入出力ポート シリアルバスインタフェースの SIO モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子 (シュミット付き入力) オープンドレイン出力端子
PJ7 SCK1	1	入出力 入出力	ポート J7 : 入出力ポート シリアルバスインタフェースの SIO モード時のクロック入出力端子
PK0 KEY0	1	入出力 入力	ポート K0 : 入出力ポート Key On Wake UP 入力 0 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK1 KEY1	1	入出力 入力	ポート K1 : 入出力ポート Key On Wake UP 入力 1 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK2 KEY2	1	入出力 入力	ポート K2 : 入出力ポート Key On Wake UP 入力 2 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK3 KEY3	1	入出力 入力	ポート K3 : 入出力ポート Key On Wake UP 入力 3 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK4 KEY4	1	入出力 入力	ポート K4 : 入出力ポート Key On Wake UP 入力 4 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK5 KEY5	1	入出力 入力	ポート K5 : 入出力ポート Key On Wake UP 入力 5 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK6 KEY6	1	入出力 入力	ポート K6 : 入出力ポート Key On Wake UP 入力 6 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PK7 KEY7	1	入出力 入力	ポート K7 : 入出力ポート Key On Wake UP 入力 7 : (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
PL0 TC4IN	1	入出力 入力	ポート L0 : 入出力ポート 32bit タイマキャプチャトリガ入力
PL1 TC5IN	1	入出力 入力	ポート L1 : 入出力ポート 32bit タイマキャプチャトリガ入力
PL2	1	入出力	ポート L2 : 入出力ポート
PL3 TCOUTB0	1	入出力 出力	ポート L3 : 入出力ポート 32bit タイマコンペアー一致出力
PL4 TXD9	1	入出力 出力	ポート L4 : 入出力ポート シリアル送信データ 9 : プログラムによりオープンドレイン出力端子
PL5 RXD9	1	入出力 入力	ポート L5 入出力ポート シリアル受信データ 9
PL6 *SCLK9 CTS9	1	入出力 入出力 入力	ポート L6 : 入出力ポート シリアルクロック入出力 9 : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PL7 TCOUTB1	1	入出力 出力	ポート L7 : 入出力ポート 32bit タイマコンペアー一致出力

表 2-3 ピン名称と機能 (6/8)

ピン名称	ピン数	入出力	機能
PM0 INT0	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PM1 INT1	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PM2 INT2	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PM3 INT3	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PM4 INT4	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PM 5 INT5	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PM6 TCOUTA0	1	入出力 出力	ポート M6 : 入出力ポート 32bit タイマコンペア一致出力
PM7 TCOUTA1	1	入出力 出力	ポート M7 : 入出力ポート 32bit タイマコンペア一致出力
PN0 INT6	1	入出力 入力	ポート N0 : 入出力ポート 割込み要求端子 6 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PN1 INT7	1	入出力 入力	ポート N1 : 入出力ポート 割込み要求端子 7 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PN2 INT8	1	入出力 入力	ポート N2 : 入出力ポート 割込み要求端子 8 : “H” レベル/“L” レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)
PN3 ADTRG-A	1	入出力 入力	ポート N3 : 入出力ポート A/D トリガ、A/D コンバータの外部スタート要求端子
PN4 TXDA	1	入出力 出力	ポート N4 : 入出力ポート シリアル送信データ A : プログラムによりオープンドレイン出力端子
PN5 RXDA	1	入出力 入力	ポート N5 : 入出力ポート シリアル受信データ A
PN6 * SCLK CTSA	1	入出力 入出力 入力	ポート N6 : 入出力ポート シリアルクロック入出力 A : プログラムによりオープンドレイン出力端子 ハンドシェイク用端子入力
PN7 ADTRG-B	1	入出力 入力	ポート N7 : 入出力ポート A/D トリガ、A/D コンバータの外部スタート要求端子
PO0 TPD0	1	入出力 出力	ポート D0 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PO1 TPD1	1	入出力 出力	ポート D1 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PO2 TPD2	1	入出力 出力	ポート D2 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PO3 TPD3	1	入出力 出力	ポート D3 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PO4 TPD4	1	入出力 出力	ポート D4 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号

表 2-3 ピン名称と機能 (7/8)

ピン名称	ピン数	入出力	機能
PO5 TPD5	1	入出力 出力	ポート D5 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PO6 TPD6	1	入出力 出力	ポート D5 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PO7 TPD7	1	入出力 出力	ポート D5 : 入出力ポート データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP0 TPC0 TPD 0	1	入出力 出力 出力	ポート P0 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP1 TPC1 TPD1	1	入出力 出力 出力	ポート P1 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP2 TPC2 TPD2	1	入出力 出力 出力	ポート P2 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP03 TPC3 TPD3	1	入出力 出力 出力	ポート P3 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP4 TPC4 TPD4	1	入出力 出力 出力	ポート P4 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP5 TPC5 TPD5	1	入出力 出力 出力	ポート P5 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP6 TPC6 TPD6	1	入出力 出力 出力	ポート P6 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PP7 TPC7 TPD7	1	入出力 出力 出力	ポート P7 : 入出力ポート プログラムカウンタのトレースデータ出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
PQ0 DREQ2	1	入出力 入力	ポート Q0 : 入出力ポート DMA リクエスト信号 2 : 外部 I/O デバイスから DMA2 への DMA 転送要求入力
PQ1 DACK2	1	入出力 出力	ポート Q0 : 入出力ポート DMA アクノリッジ信号 2 : DREQ2 による DMA 転送要求に対するアクノリッジ信号
PQ2 DREQ3	1	入出力 入力	ポート Q2 : 入出力ポート DMA リクエスト信号 3 : 外部 I/O デバイスから DMA3 への DMA 転送要求入力
PQ4 DACK3	1	入出力 出力	ポート Q3 : 入出力ポート DMA アクノリッジ信号 3 : DREQ3 による DMA 転送要求に対するアクノリッジ信号
DCLK	1	出力	デバッグクロック : DSU-ICE 用信号
*EJE	1	入力	EJTAG イネーブル : DSU-ICE 用信号 (プルアップ固定) (シュミット付き入力、ノイズフィルタ内蔵)
*DINT	1	入力	デバッグインタラプト : DSU-ICE 用信号 (プルアップ固定) (シュミット付き入力、ノイズフィルタ内蔵)
PCST0	1	出力	PC トレースステータス : DSU-ICE 用信号
PCST1	1	出力	PC トレースステータス : DSU-ICE 用信号
PCST2	1	出力	PC トレースステータス : DSU-ICE 用信号
PCST 3	1	出力	PC トレースステータス : DSU-ICE 用信号
PCST4	1	出力	PC トレースステータス : DSU-ICE 用信号
*DINT	1	入力	デバックインタラプト : DSU-ICE 用信号
TOVR	1	出力	PD データのオーバーフローのステータス出力 : DSU - ICE 用信号
TCK	1	入力	テストクロック入力 : DSU-ICE 用信号 (プルアップ固定) (シュミット付き入力、ノイズフィルタ内蔵)
TMS	1	入力	テストモードセレクト入力 : DSU-ICE 用信号 (プルアップ固定) (シュミット付き入力)

表 2-3 ピン名称と機能 (8/8)

ピン名称	ピン数	入出力	機能
TDI	1	入力	テストデータ入力：DSU-ICE 用信号 (プルアップ固定) (シュミット付き入力)
TDO	1	出力	テストデータ出力：DSU-ICE 用信号
*TRST	1	入力	テストリセット入力：DSU-ICE 用信号 (プルダウン固定) (シュミット付き入力、ノイズフィルタ内蔵)
*RESET	1	入力	リセット：LSI を初期化 (プルアップ固定) (シュミット付き入力、ノイズフィルタ内蔵)
X1/X2	2	入出力	高速発振子接続端子 (X1：シュミット付き入力)
*NMI	1	入力	ノンマスカブル割込み要求端子：(シュミット付)
BUSMD	1	入力	外部バスモード設定端子：リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてマルチプレクスバスとして、リセット信号の立ち上がりで "L" をサンプリングしてセパレートバスとして動作します。使用するバスモードに従ってリセット時にプルアップまたはプルダウンしてください。(シュミット付き入力端子)
ENDIAN	1	入力	エンディアン設定端子：この端子はモード設定に使用されます。リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がりで "L" をサンプリングしてリトルエンディアンの動作をします。使用するエンディアンに従ってリセット時にプルアップまたはプルダウンしてください。(シュミット付き入力端子)
PLLSEL	1	入力	MASK 品での動作 PLL 設定端子。(シュミット付き入力) High(DVCC15) :11 ~ 13.5MHz(=X1)、Low : 8 ~ 11MHz(=X1) 使用する発振子によってリセット時にプルアップまたはプルダウンしてください。
BW0	1	入力	TEST 用端子：DVCC15 に固定してください。(シュミット付き入力)
BW1	1	入力	TEST 用端子：DVCC15 に固定してください。(シュミット付き入力)
AVREFH0	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC3x に接続してください
AVREFH1	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC3x に接続してください
AVCC30	1	-	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVCC31	1	-	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVSS0	1	-	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。
AVSS1	1	-	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。
CVCC15	1	-	高周波発振器用電源端：1.5V 系電源
CVSS	1	-	高周波発振器用 GND 端子(0V)
DVCC15	6	-	電源端子：1.5V 系電源
DVCC30	4	-	電源端子：3V 系電源
DVCC31	2	-	電源端子：3V 系電源
DVCC32	1	-	電源端子：3V 系電源
DVCC33	1	-	電源端子：3V 系電源
DVCC34	3	-	電源端子：3V 系電源
DVSS	12	-	電源端子：GND 端子(0V)
N.C	2	-	OPEN にして下さい (Flash 品：FVCC 3 端子)

2.4 ピン名称と電源供給端子

表 2-4 ピン名称と電源

ピン名称	電源	ピン名称	電源
P0	DVCC30	PL	DVCC33
P1	DVCC30	PM	DVCC32
P2	DVCC30	PN	DVCC31
P3	DVCC30	PO	DVCC34
P4	DVCC30	PP	DVCC34
P5	DVCC30	PQ	DVCC34
P6	DVCC30	* NMI	DVCC15
P7	AVCC30	PCST4 ~ 0	DVCC34
P8	AVCC30	DCLK	DVCC34
P9	AVCC31	* EJE	DVCC34
PA	AVCC31	* TRST	DVCC34
PB	DVCC31	TDI	DVCC34
PC	DVCC31	TDO	DVCC34
PD	DVCC31	TMS	DVCC34
PE	DVCC31	TCK	DVCC34
PF	DVCC32	* DINT	DVCC34
PG	DVCC32	* RESET	DVCC15
PH	DVCC31	PLLSEL	DVCC15
PI	DVCC31	X1、X2	CVCC15
PJ	DVCC32	BUSMD	DVCC15
PK	DVCC33	BW0、BW1	DVCC15

2.5 ピン番号と電源供給端子

表 2-5 ピン番号と電源

電源	ピン番号	電圧範囲
DVCC15	M8, M14, N11, H12 H11, N10	1.35V ~ 1.65V
DVCC3	G9, G10, G11, G12, G13, J8, K8, L8, P11, P12,	2.7V ~ 3.3V
AVCC	J13, M13	2.7V ~ 3.3V
CVCC15	N14	1.35V ~ 1.65V

3. メモリマップ

TMP19A63 のメモリマップを図 3.1 と図 3.2 に示します。

本デバイスは TMP19A63F10XBG の内蔵フラッシュ ROM を内蔵 ROM に置き換えたものです。

その他の構成および機能は TMP19A63F10XBG と同一です。ここに記載されていない機能については TMP19A63F10XBG のデータシートを参照してください。

1) 1024KB ROM/ 48KB RAM 版 TMP19A63F10XBG

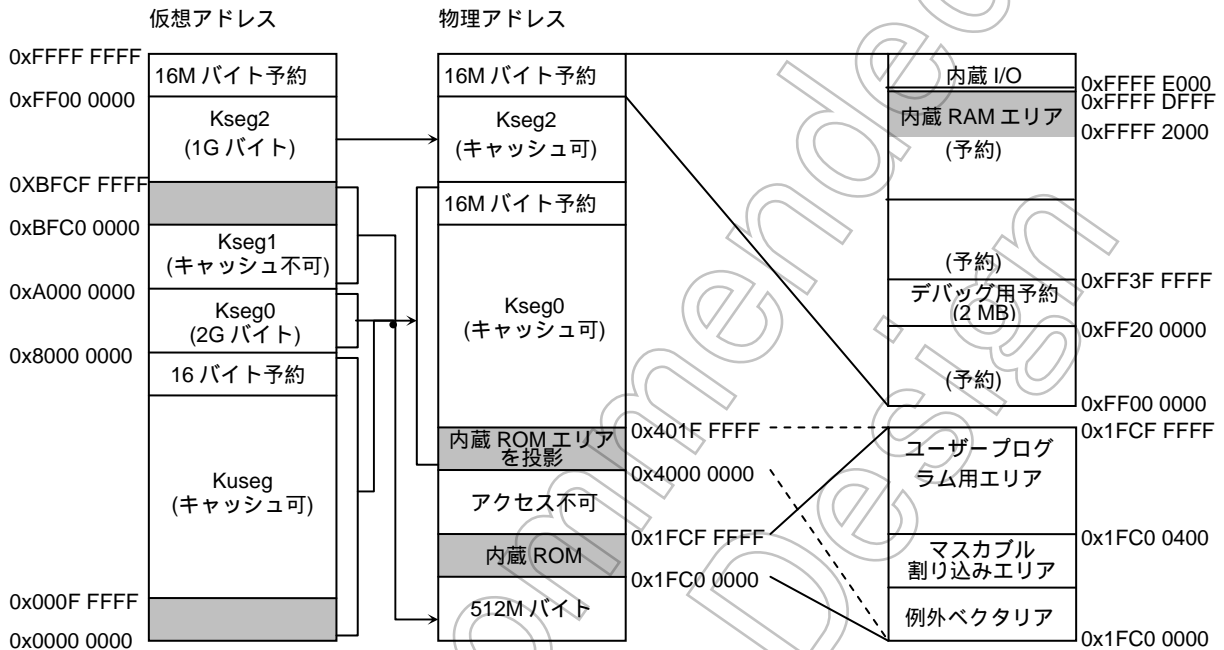


図 3.1 メモリマップ

2) 512KB ROM/ 24KB RAM 版 TMP19A63CDXBG

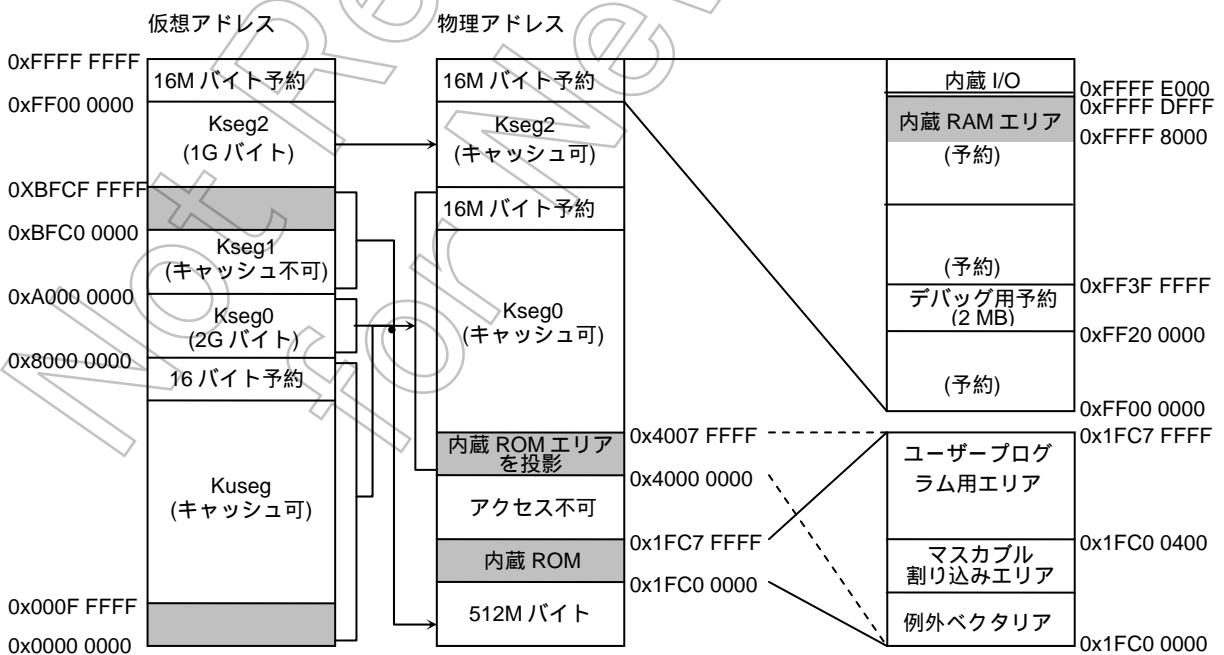


図 3.2 メモリマップ

(注1) 内蔵 ROM は、
0x1FC0_0000 ~ 0x1FCF_FFFF (1024KB)
0x1FC0_0000 ~ 0x1FC7_FFFF (512KB)

内蔵 RAM は、
0xFFFF_2000 ~ 0xFFFF_DFFF (48KB)
0xFFFF_8000 ~ 0xFFFF_DFFF (24KB)

にマッピングされます。

(注2) TMP19A63 では外部アドレス空間として 16M バイトの物理空間しかアクセスできません。CPU の物理アドレス空間 3.5G バイト内で任意のチップセレクト領域に 16M バイトの物理アドレス空間を配置することができます。

ただし、内蔵メモリ、内蔵 I/O 空間および予約エリアの外部メモリ設定はできません。

(注3) 物理領域の最後の 4 ワードには命令を置かないでください。

内蔵 ROM の場合 : 0x1FCF_FFF0 ~ 0x1FCF_FFFF (1024KB)

内蔵 ROM の場合 : 0x1FC7_FFF0 ~ 0x1FC7_FFFF (512KB)

外部に ROM 拡張する場合はメモリの実装されている最後の 4 ワードが対象になります

(ユーザーのシステムによります)。

Not Recommended for New Design

4. 電気的特性

4.1 絶対最大定格

計算式に使用している“X”は、SYSCR1<SYSCK>で選択されたクロック f_{sys} の周期を示しますのでクロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値はシステムクロックは高速 (f_c) (SYSCR1 <SYSCK> = “0”)、ギア選択が $1/f_c$ (SYSCR1 <GEAR (1 : 0)> = “00”) のときの値です。

項目	記号	定格	単位
電源電圧	V _{CC15} (内部)	- 0.3 ~ 3.0	V
	V _{CC3} (I/O)	- 0.3 ~ 3.9	
	AV _{CC} (A/D)	- 0.3 ~ 3.9	
入力電圧	V _{IN}	- 0.3 ~ V _{CC} +0.3	V
低レベル 出力電流	1 端子	I _{OL}	mA
	合計	ΣI _{OL}	
高レベル 出力電流	1 端子	I _{OH}	mA
	合計	ΣI _{OH}	
消費電力 (Ta = 85 °C)	PD	600	mW
はんだ付け温度 (10s)	T _{SOLDER}	260	
保存温度	T _{STG}	-40 ~ 125	
動作温度	T _{OPR}	-20 ~ 85	

$$V_{CC15} = DVCC15 = CVCC15, V_{CC3} = DVCC3n \ (n = 0 \sim 4)$$

$$AVCC = AVCC3m \ (m = 1 \sim 2), V_{SS} = DVSS * = AVSS * = CVSS \text{ と定義します。}$$

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性 (1/4)

Ta = -20 ~ 85 (n = 0 ~ 4, m = 1, 2)

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
電源電圧 CVCC15 = DVCC15 CVSS = DVSS = 0V		DVCC15	fosc = 8 ~ 13.5MHz fsys = 4MHz ~ 54MHz PLLON、	1.35		1.65	V
		DVCC3n (n = 0 ~ 4)	fsys = 4 ~ 54MHz	1.65		3.3	
低 レ ベル 入 力 電 圧	P7 ~ PA	V _{IL1}	2.7V AVCC32 AVCC31 3.3V	-0.3		0.3AVCC31 0.3AVCC32	V
	ノーマルポート	V _{IL2}	1.65V DVCC3n 3.3V (n=0~4)		0.3DVCC3n		
	シュミット入力	V _{IL3}	1.65V DVCC3n 3.3V (n=0~4)		0.2DVCC3n		
			1.35V DVCC15 1.65V		0.1DVCC15		
	X1	V _{IL5}	1.35V CVCC15 1.65V		0.1CVCC15		

Not Recommended for New Design

4.3 DC電気的特性 (2/4)

Ta = -20 ~ 85 (n = 0 ~ 4, m = 1, 2)

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
高レベル入力電圧	P7 ~ PA	V_{IH1}	2.7V AVCC32 AVCC31 3.3V	0.7AVCC31 0.7AVCC32		AVCC31+0.3 AVCC32+0.3	V
	ノーマルポート	V_{IH2}	1.65V DVCC3n 3.3V (n=0~4)	0.7DVCC3n		DVCC3n+0.3	
	シュミット入力	V_{IH3}	1.65V DVCC3n 3.3V (n=0~4)	0.8DVCC3n		DVCC3n+0.3	
			1.35V DVCC15 1.65V	0.9DVCC15		DVCC15+0.2	
X1	V_{IH4}	1.35V DVCC15 1.65V	0.9DVCC15		DVCC15+0.2		
低レベル出力電圧		V_{OL}	$I_{OL} = 2\text{mA}$ DVCC3n 2.7V			0.4	V
			$I_{OL} = 500\mu\text{A}$ DVCC3n < 2.7V			0.4	
高レベル出力電圧		V_{OH}	$I_{OH} = -2\text{mA}$ DVCC3n 2.7V	2.4			
			$I_{OH} = -500\mu\text{A}$ DVCC3n < 2.7V	0.8DVCC3n			

- (1) Typ 値は特に指定のない限り Ta=25 , DVCC15=1.5V、DVCC3n=3.0V、AVCC3m=3.3V の値です。

4.4 DC電気的特性 (3/4)

Ta = -20 ~ 85 (n = 0 ~ 4, m = 1, 2)

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
入力リーク電流	I _{LI}	0.0 V _{IN} DVCC15 0.0 V _{IN} DVCC3n (n=0~4) 0.0 V _{IN} AVCC31 0.0 V _{IN} AVCC32		0.02	±5	μA
出力リーク電流	I _{LO}	0.2 V _{IN} DVCC15-0.2 0.2 V _{IN} DVCC3n-0.2 (n=0~4) 0.2 V _{IN} AVCC31-0.2 0.2 V _{IN} AVCC32-0.2		0.05	±10	
パワーダウン電圧 (@STOP)	V _{STOP} (DVCC15)		1.35		1.65	V
	V _{STOP2} (AVCC3)	V _{IL1} = 0.3AVCC31,32 V _{IH1} = 0.7AVCC31,32	2.7		3.3	
	V _{STOP3} (DVCC3)	V _{IL2} = 0.3DVCC3n, V _{IL3} = 0.1DVCC3n V _{IH2} = 0.7DVCC3n, V _{IH3} = 0.9DVCC3n (n=0~4)	1.65		3.3	
リセットブルアップ抵抗	RRST	DVCC15 = 1.5V ± 0.15V	20	50	150	k
シュミット入力	V _{TH}	1.65V DVCC3n 3.3V (n=0~4) 1.35V DVCC15 1.65V	0.3	0.6		V
プログラマブル ブルアップ/ダウン抵抗	PKH	DVCC3n = 1.65V ~ 3.3V (n=0~4) DVCC15 = 1.35V ~ 1.65V	20	50	150	k
Pin 容量 (電源端子を除く)	C _{I0}	Fc = 1MHz			10	pF

(1) Typ 値は特に指定のない限り Ta=25、DVCC15=1.5V、DVCC3=3.0V、
AVCC3m=3.3V の値です。

4.5 DC電気的特性 (4/4)

DVCC15 = CVCC15 = 1.5V ± 0.15V,
 DVCC3n = 3.0V ± 0.3V, AVCC3m = 3.0V ± 0.3V,

Ta = -20 ~ 85 (n = 0 ~ 4, m = 1, 2)

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
NORMAL(注2)ギア比 1/1	I _{CC}	F _{sys} = 54 MHz (f _{osc} = 13.5 MHz, PLLON)		39	49	mA
IDLE(Doze)				18	28	
IDLE(Halt)				14	23	
STOP		DVCC15 = CVCC15 = 1.35 ~ 1.65V DVCC3n = 1.65 ~ 3.3V AVCC3m = 2.7 ~ 3.3V		30	2000	μA

(注1) Typ 値は、特に指定のない限り Ta=25、DVCC15=1.5V、DVCC15x=1.5V、DVCC3n=3.0V、AVCC3m=3.3V の値です。

(注2) I_{CC} NORMAL の測定条件 :CPU ドライストン実行、内蔵周辺 I/O 全て動作

外部バス 16 ビット幅 4 システムクロックで動作

(注3) I_{CC} には DVCC15、DVCC3n、CVCC15、AVCC3m に流れる電流が含まれます。

Not Recommended for New Design

4.6 10ビットA/D変換特性

DVCC15 = CVCC15 = 1.35V ~ 1.65V, CVCC3 = DVCC3 = AVCC3 = VREFH = 2.7V ~ 3.3V,
 AVCC = 2.3V ~ 2.7V, AVSS = DVSS, Ta = -20 ~ 85
 AVCC3 負荷容量 3.3μF, VREFH 負荷容量 3.3μF

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7	3.0	3.3	V
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	IREF	A/D変換時		4.5	5.5	mA
		A/D非変換時	DVSS = AVSS = VREFL	±0.02	±5	μA
消費電流	—	IREFを除く			3	mA
積分非直線性誤差	—	AIN 負荷抵抗 1k AIN 負荷容量 0.1μF 変換時間 2.0μs @27MHz(ADCLK)		±2	±3	LSB
微分直線性誤差				±1	±2	
オフセット誤差				±2	±4	
フルスケール誤差				±2	±4	
積分非直線性誤差	—	AIN 負荷抵抗 10k AIN 負荷容量 0.01μF 変換時間 2.0μs @27MHz(ADCLK)		±2	±3	
微分直線性誤差				±1	±2	
オフセット誤差				±2	±4	
フルスケール誤差				±2	±4	
積分非直線性誤差	—	AIN 負荷抵抗 600 AIN 負荷容量 30pF 変換時間 1.15μs @40MHz(ADCLK)		±2	±3	
微分直線性誤差				±1	±2	
オフセット誤差				±2	±4	
フルスケール誤差				±2	±4	

(注 1) 1LSB = (VREFH - VREFL) / 1024[V]

4.7 AC電気的特性

[1] セパレートバスモード

(1) DVCC15 = CVCC15 = 1.35V ~ 1.65V, DVCC3n = 2.3V ~ 3.3V

SYSCR3<ALESEL> = "0", 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	x		18.5		ns
2	A0-23 有効 RD / WR / HWR 立ち下がり	t _{AC}	(1+ALE)x-20		17		ns
3	RD / WR / HWR 立ち上がり A0 - 23 保持	t _{CAR}	x-14		4.5		ns
4	A0 - 23 有効 D0 - 15 入力	t _{AD}		x(2+W+ALE) - 42		50.5	ns
5	RD 立ち下がり D0 - 15 入力	t _{RD}		x(1+W) - 28		27.5	ns
6	RD Low パルス幅	t _{RR}	x(1+W) - 10		45.5		ns
7	RD 立ち上がり D0 - 15 保持	t _{HR}	0		0		ns
8	RD 立ち上がり A0 - 23 出力	t _{RAE}	x-15		3.5		ns
9	WR / HWR Low パルス幅	t _{WW}	x(1+W) - 10		45.5		ns
10	WR / HWR 立ち下がり D0-15 有効	t _{DO}		12.3		12.3	ns
11	D0-15 有効 WR / HWR 立ち上がり	t _{DW}	x(1+W) - 18		37.5		ns
12	WR / HWR 立ち上がり D0 - 15 保持	t _{WD}	x-15		3.5		ns
13	A0 - 23 有効 WAIT 入力	t _{AW}		x+(ALE)x+(w-1) x - 30		25.5	ns
14	RD / WR / HWR WAIT 保持	t _{CW}	x(TW-3) - 1	x(TW-1) - 30	17.5	25.5	ns

(注) 項目 1~14 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

W = 自動ウェイト数

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

(自動2ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(2) DVCC15 = CVCC15 = 1.35V ~ 1.65V, DVCC3n = 1.65V ~ 1.95V, DVCC15 <= DVCC3n + 0.2V

SYSCR3<ALESEL> = "0", 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	x		18.5		ns
2	A0-23 有効 RD / WR / HWR 立ち下がり	t _{AC}	(1+ALE)x-20		17		ns
3	RD / WR / HWR 立ち上がり A0 - 23 保持	t _{CAR}	x-7		11.5		ns
4	A0 - 23 有効 DO - 15 入力	t _{AD}		x(2+W+ALE)-42		50.5	ns
5	RD 立ち下がり DO - 15 入力	t _{RD}		x(1+W)-28		27.5	ns
6	RD Low パルス幅	t _{RR}	x(1+W)-10		45.5		ns
7	RD 立ち上がり DO - 15 保持	t _{HR}	0		0		ns
8	RD 立ち上がり A0 - 23 出力	t _{RAE}	x-15		3.5		ns
9	WR / HWR Low パルス幅	t _{WW}	x(1+W)-10		45.5		ns
10	WR / HWR 立ち下がり DO-15 有効	t _{DO}		12.3		12.3	ns
11	DO-15 有効 WR / HWR 立ち上がり	t _{DW}	x(1+W)-18		37.5		ns
12	WR / HWR 立ち上がり DO - 15 保持	t _{WD}	x-15		3.5		ns
13	A0 - 23 有効 WAIT 入力	t _{AW}		x+(ALE)x+(w-1) x-30		25.5	ns
14	RD / WR / HWR WAIT 保持	t _{CW}	x(TW-3)-7	x(TW-1)-40	11.5	15.5	ns

(注) 項目 1~14 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

W = 自動ウェイト数

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

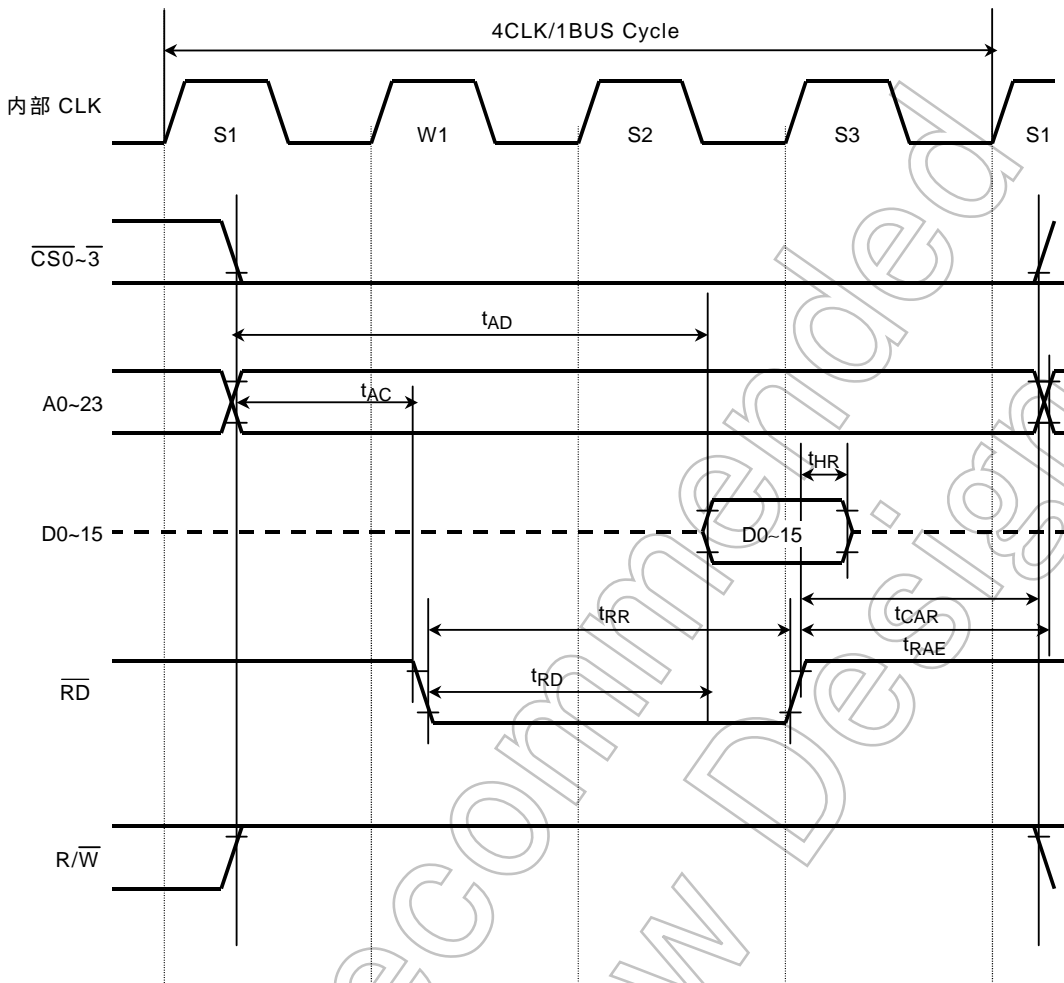
(自動2ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

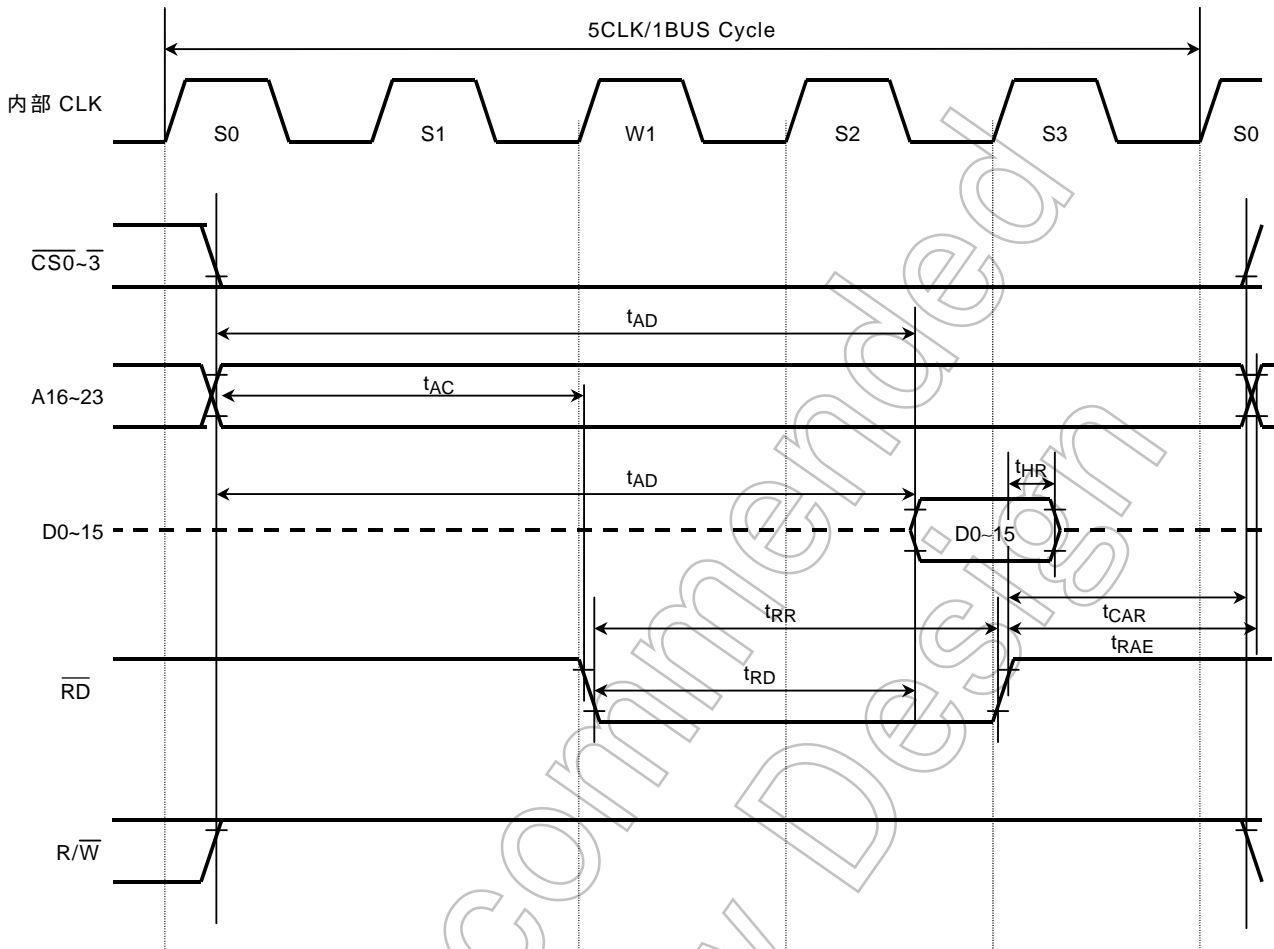
- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(1) リードタイミング (SYSCR3<ALESEL> = "0"、1ウェイト (内部ウェイト))



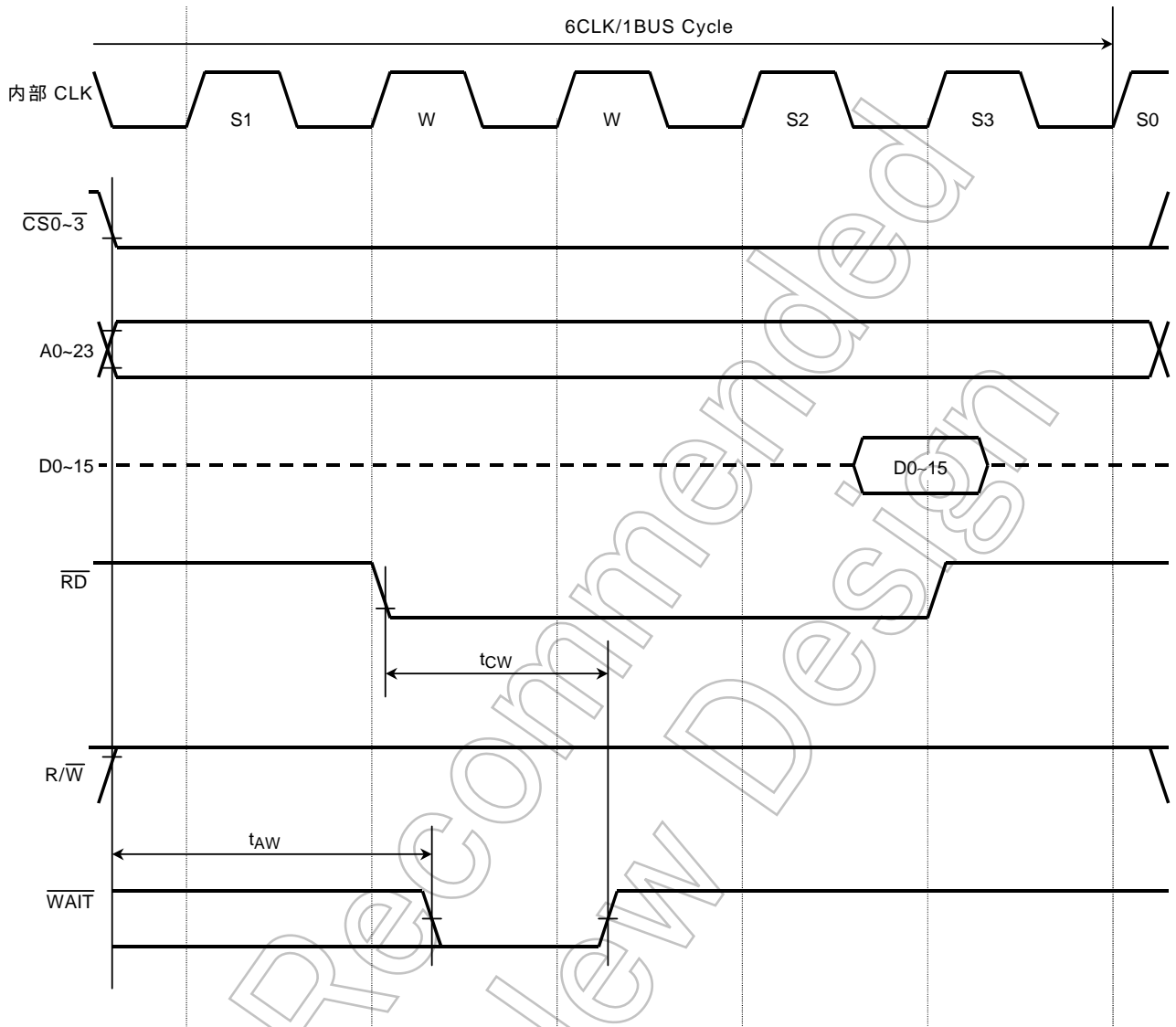
Not Recommended for New

(2) リードタイミング (SYSCR3<ALESEL> = "1"、1ウェイト (内部ウェイト))



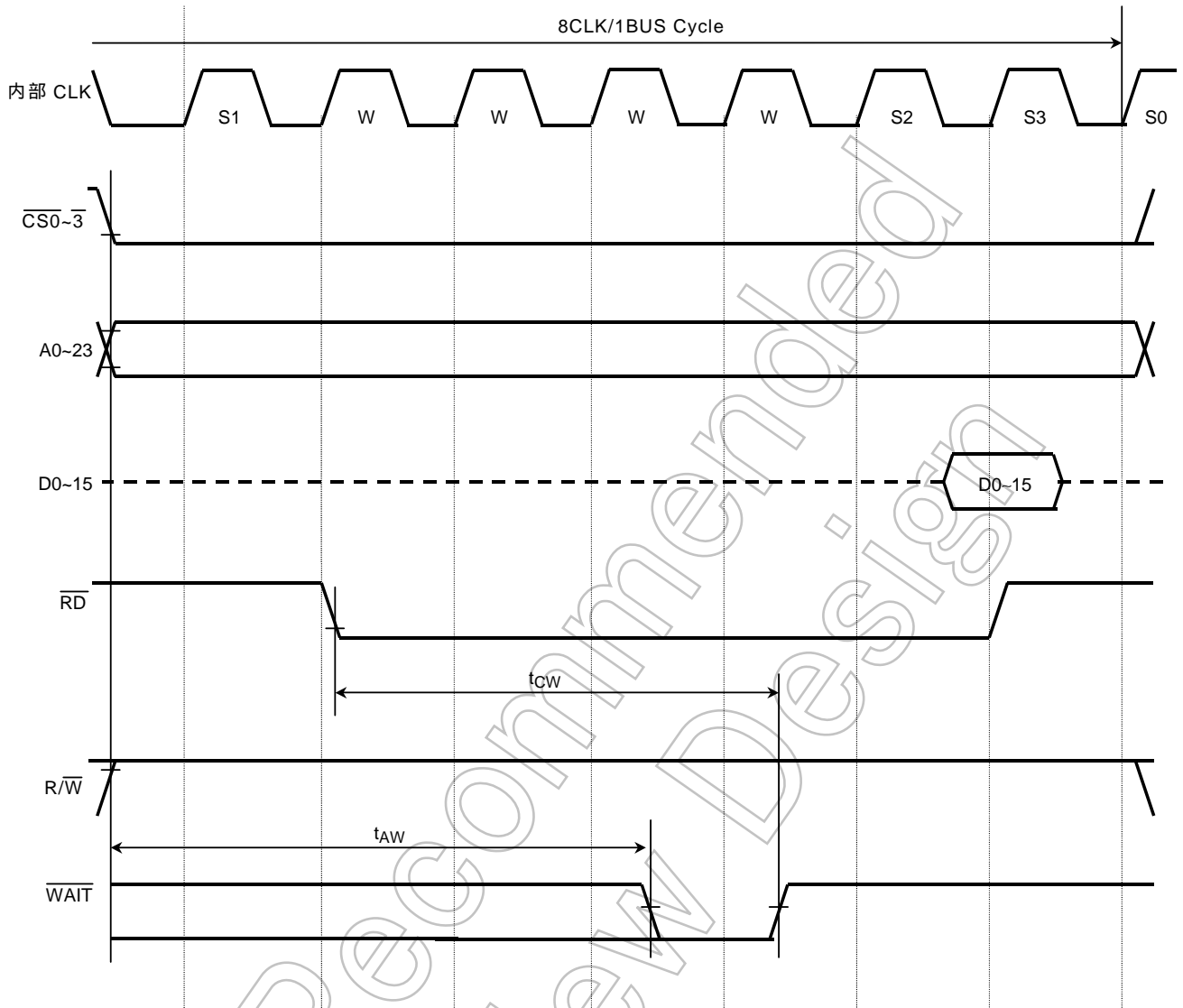
Not Recommended for New Design

(3)リードタイミング (SYSCR3<ALESEL> = "1"、2ウェイト (外部 1+N ウェイト、N = 1))



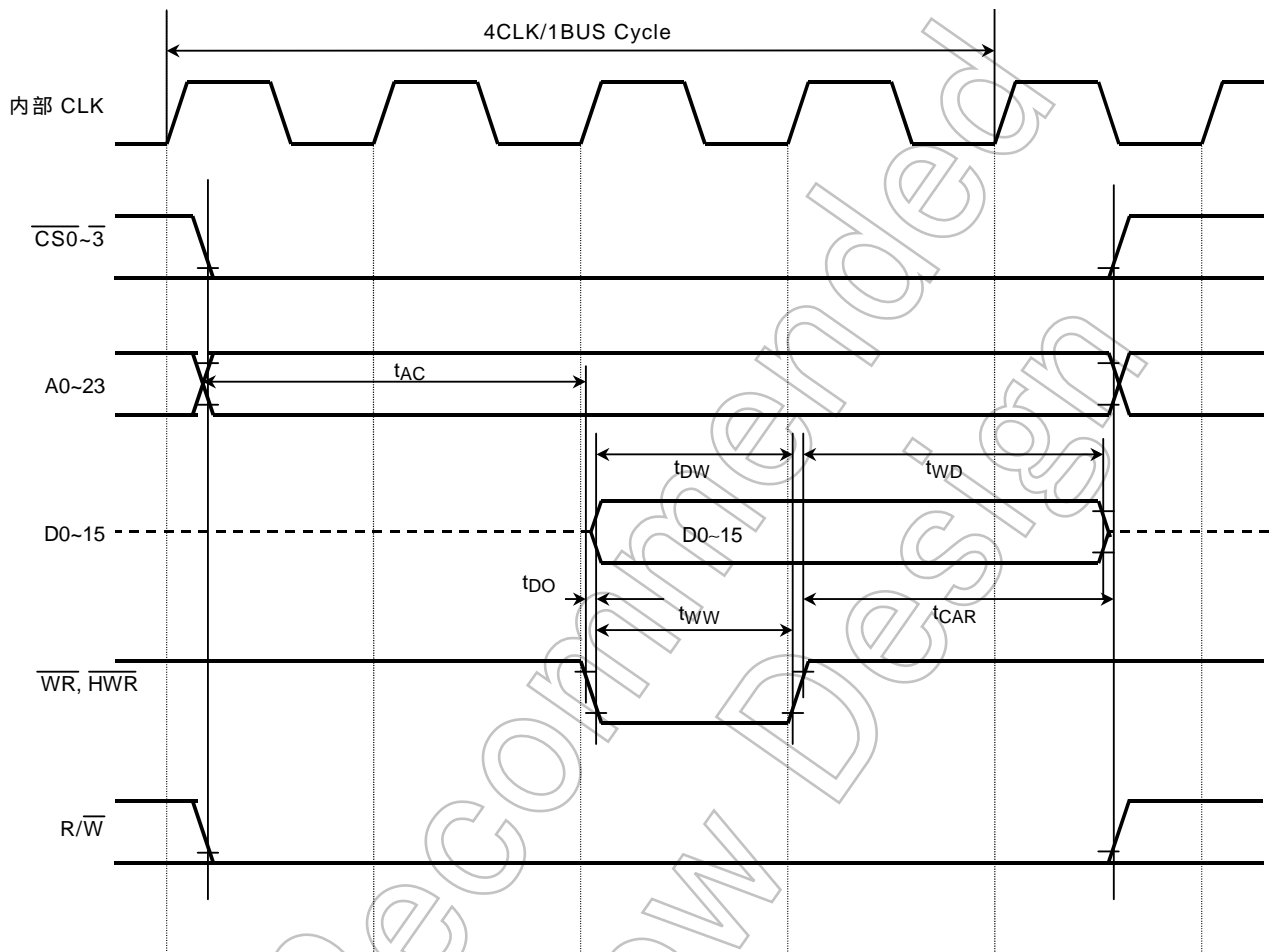
Not Recommended for New Design

(4)リードタイミング (SYSCR3<ALESEL> = "1"、4 ウェイト (外部 3+N ウェイト、N = 1))



Not Recommended for New Designs

(5) ライトタイミング (SYSCR3<ALESEL> = “1”、0 ウェイト)



Not Recommended for New

[2] マルチプレクスバスモード

(1) DVCC15 = CVCC15 = 1.35V ~ 1.65V, DVCC3n = 2.3V ~ 3.3V

ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t _{sys}	x		18.5		ns
2	A0-15 有効 ALE 立ち下がり	t _{AL}	(ALE)x-12		6.5		ns
3	ALE 立ち下がり A0-15 保持	t _{LA}	x-8		10.5		ns
4	ALE High パルス幅	t _{LL}	(ALE)x-6		12.5		ns
5	ALE 立ち下がり RD/WR/HWR 立ち下がり	t _{LC}	x-8		10.5		ns
6	RD/WR/HWR 立ち上がり ALE 立ち上がり	t _{CL}	x-15		3.5		ns
7	A0-15 有効 RD/WR/HWR 立ち下がり	t _{ACL}	2x-20		17.0		ns
8	A16-23 有効 RD/WR/HWR 立ち下がり	t _{ACH}	2x-20		17.0		ns
9	RD/WR/HWR 立ち上がり A16-23 保持	t _{CAR}	x-14		4.5		ns
10	A0-15 有効 D0-15 入力	t _{ADL}		x(2+W+ALE)-42		50.5	ns
11	A16-23 有効 D0-15 入力	t _{ADH}		x(2+W+ALE)-42		50.5	ns
12	RD 立ち下がり D0-15 入力	t _{RD}		x(1+W)-28		27.5	ns
13	RD Low パルス幅	t _{RR}	x(1+W)-10		45.5		ns
14	RD 立ち上がり D0-15 保持	t _{HR}	0		0		ns
15	RD 立ち上がり A0-15 出力	t _{RAE}	x-15		3.5		ns
16	WR/HWR Low パルス幅	t _{WW}	x(1+W)-10		45.5		ns
17	D0-15 有効 WR/HWR 立ち上がり	t _{DW}	x(1+W)-18		37.5		ns
18	WR/HWR 立ち上がり D0-15 保持	t _{WD}	x-15		3.5		ns
19	A16-23 有効 WAIT 入力	t _{ANH}		x+(ALE)x+(W-1)x-30		25.5	ns
20	A0-15 有効 WAIT 入力	t _{ANL}		x+(ALE)x+(W-1)x-30		25.5	ns
21	RD/WR/HWR WAIT 保持	t _{CW}	x(TW-3)-1	x(TW-1)-30	17.5	25.5	ns

(注) 項目 1~21 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

W = 自動ウェイト数

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(2) DVCC15 = CVCC15 = 1.35V ~ 1.65V, DVCC3n = 1.65V ~ 1.95V, DVCC15 <= DVCC3n + 0.2V

ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
+1	システムクロック周期(x)	t _{sys}	x		18.5		ns
2	A0-15 有効 ALE 立ち下がり	t _{AL}	(ALE)x-12		6.5		ns
3	ALE 立ち下がり A0-15 保持	t _{LA}	x-8		10.5		ns
4	ALE High パルス幅	t _{LL}	(ALE)x-6		12.5		ns
5	ALE 立ち下がり $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり ALE 立ち上がり	t _{CL}	x-15		3.5		ns
7	A0-15 有効 $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-20		17.0		ns
8	A16-23 有効 $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり A16-23 保持	t _{CAR}	x-7		11.5		ns
10	A0-15 有効 D0-15 入力	t _{ADL}		x(2+W+ALE)-42		50.5	ns
11	A16-23 有効 D0-15 入力	t _{ADH}		x(2+W+ALE)-42		50.5	ns
12	\overline{RD} 立ち下がり D0-15 入力	t _{RD}		x(1+W)-28		27.5	ns
13	\overline{RD} Low パルス幅	t _{RR}	x(1+W)-10		45.5		ns
14	\overline{RD} 立ち上がり D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり A0-15 出力	t _{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x(1+W)-10		45.5		ns
17	D0-15 有効 $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x(1+W)-18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり D0-15 保持	t _{WD}	x-15		3.5		ns
19	A16-23 有効 \overline{WAIT} 入力	t _{AWH}		x+(ALE)x+(W-1)x-30		25.5	ns
20	A0-15 有効 \overline{WAIT} 入力	t _{AWL}		x+(ALE)x+(W-1)x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ \overline{WAIT} 保持	t _{CH}	x(TW-3)-7	x(TW-1)-40	11.5	15.5	ns

(注) 項目 1~21 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

W = 自動ウェイト数

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

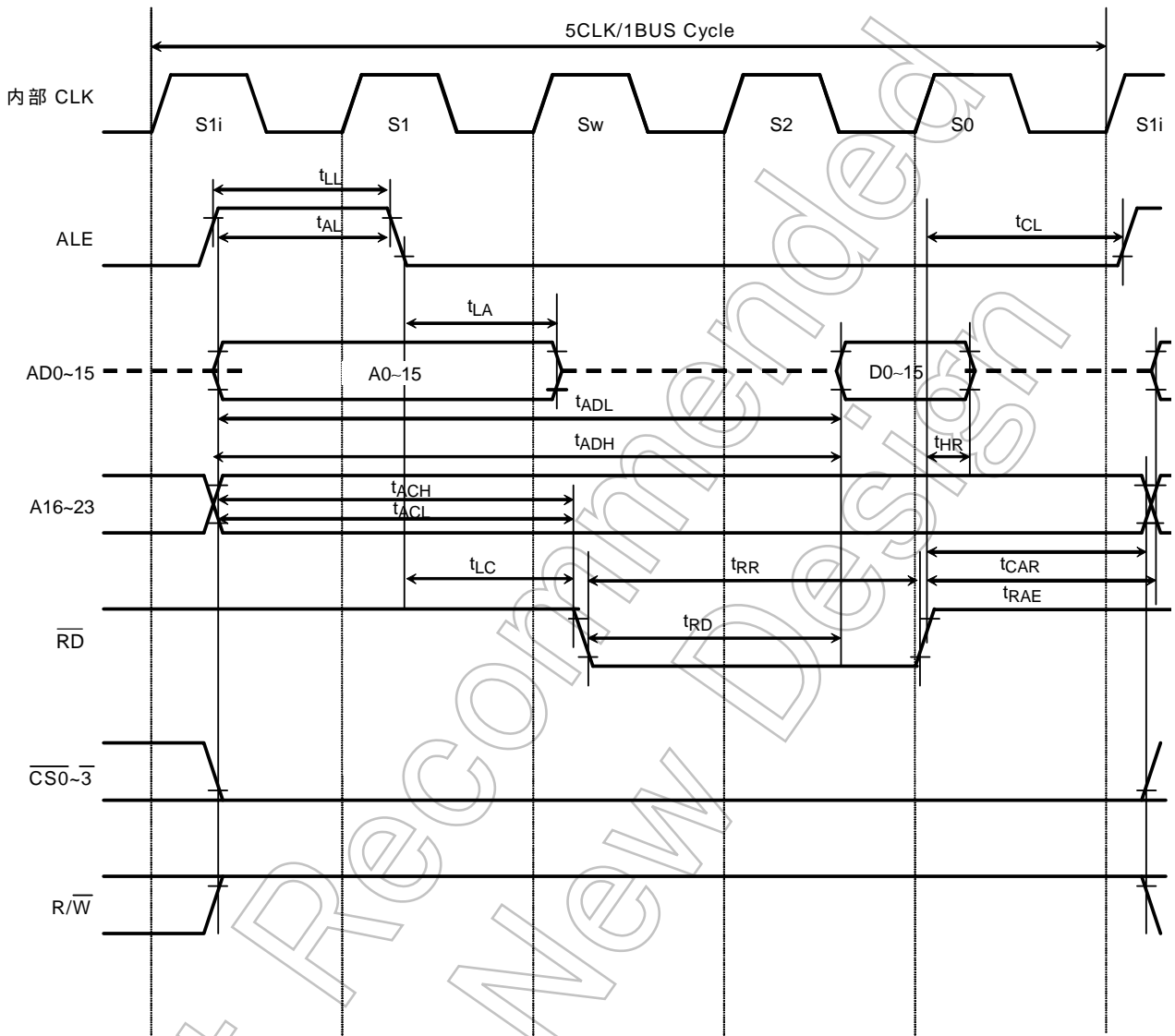
(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

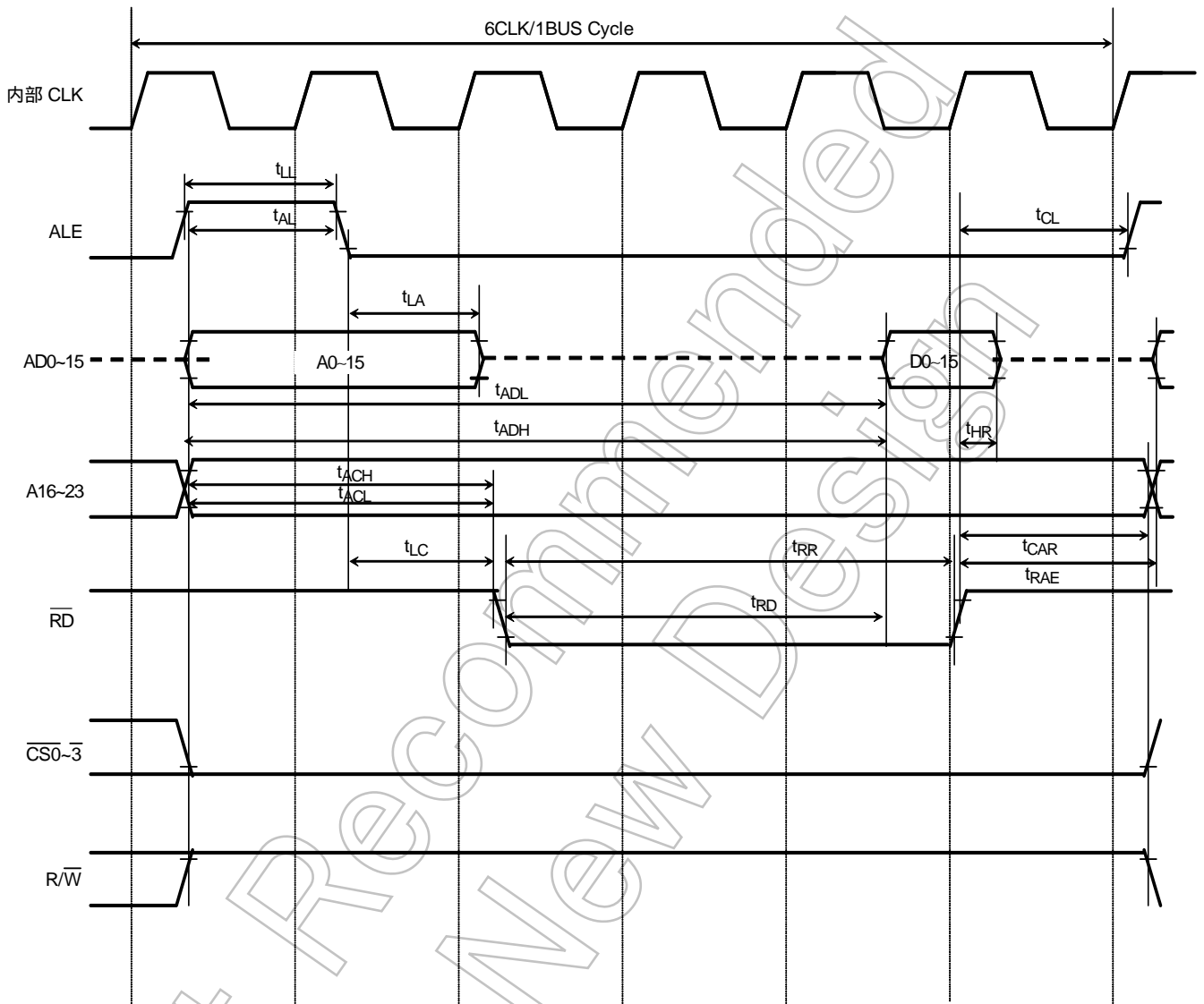
AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

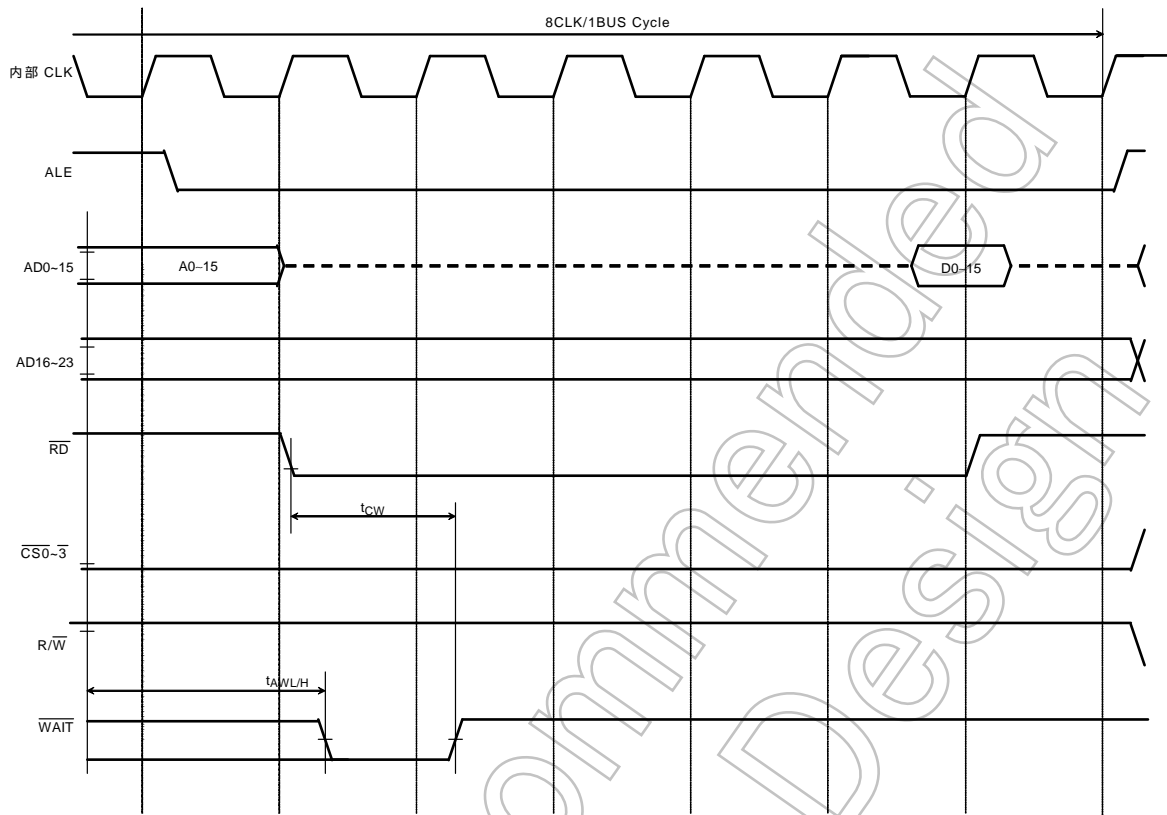
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



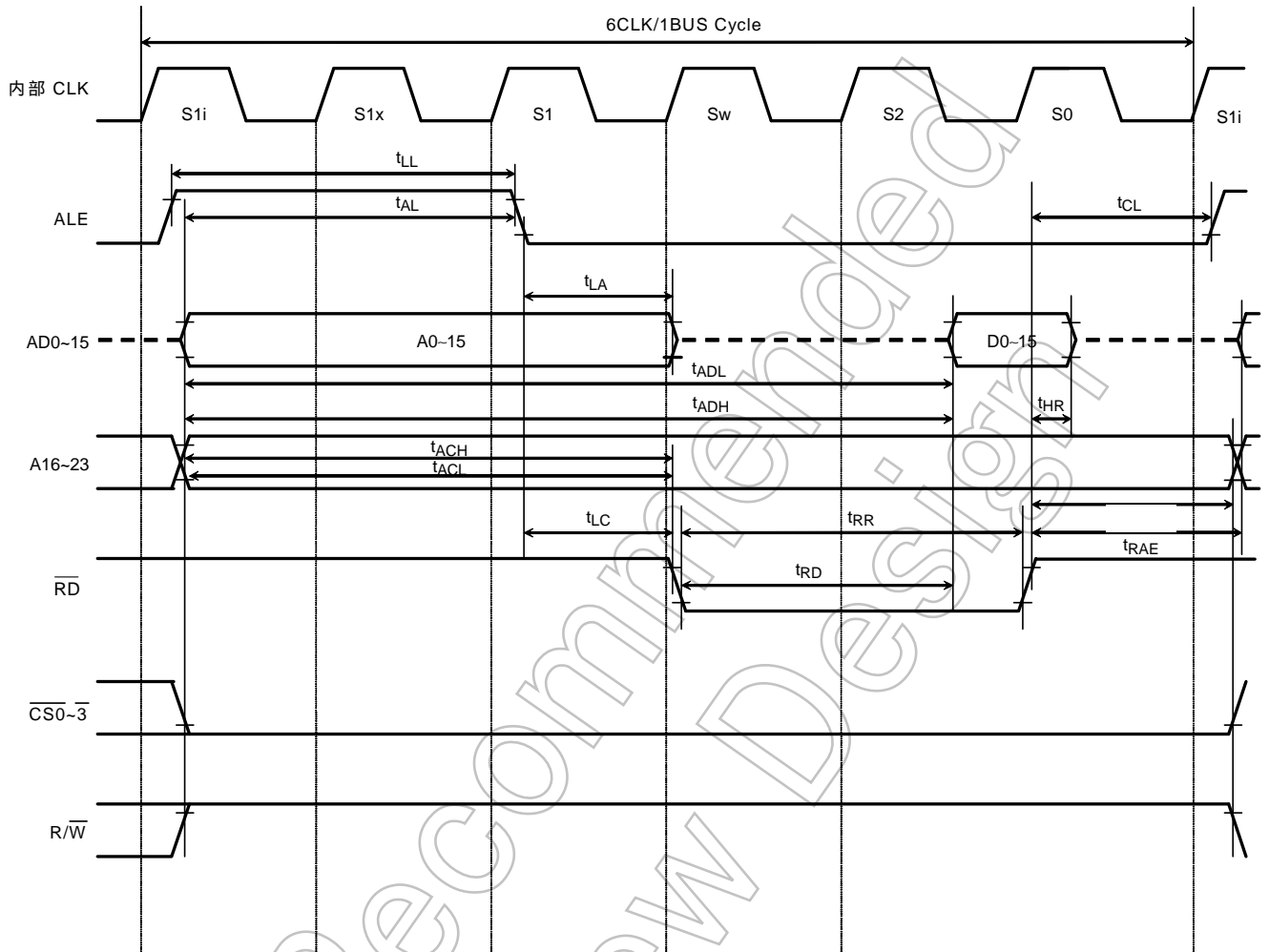
(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



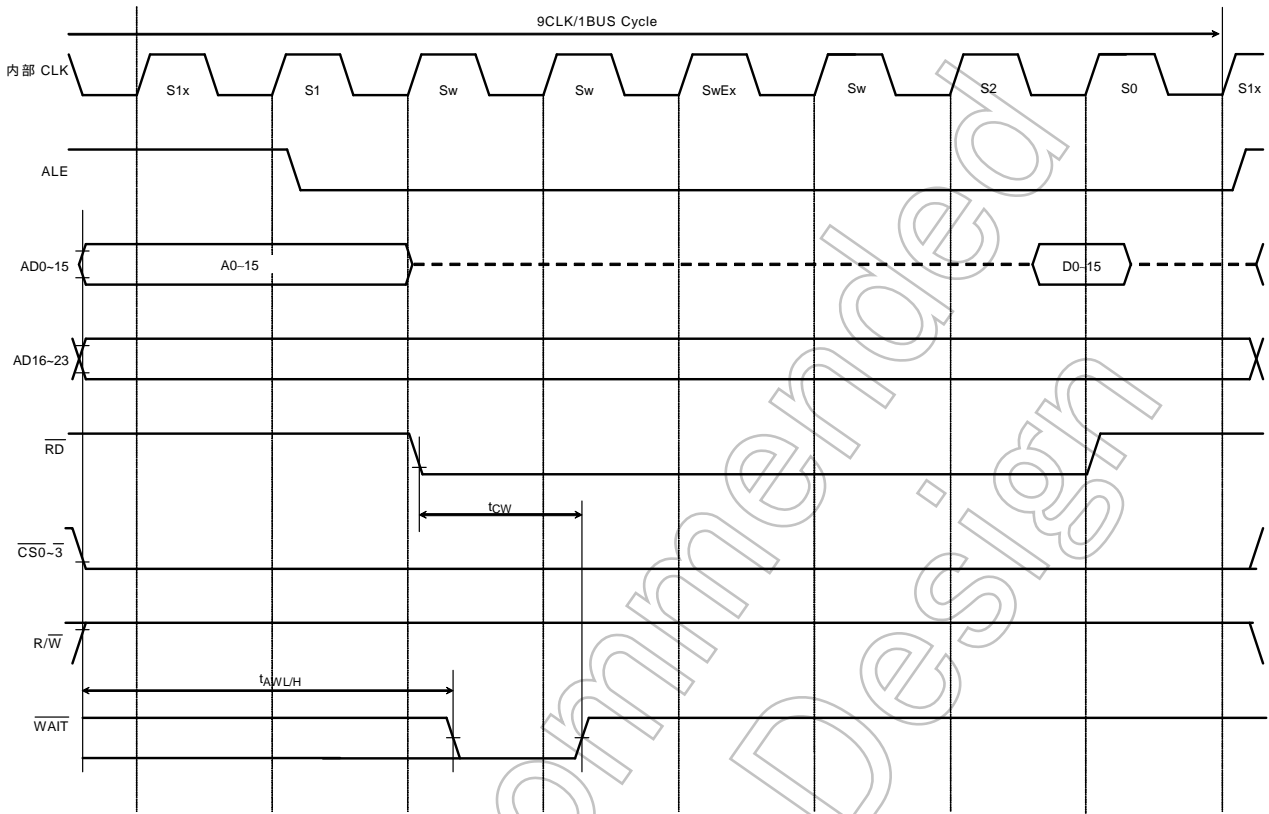
(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))

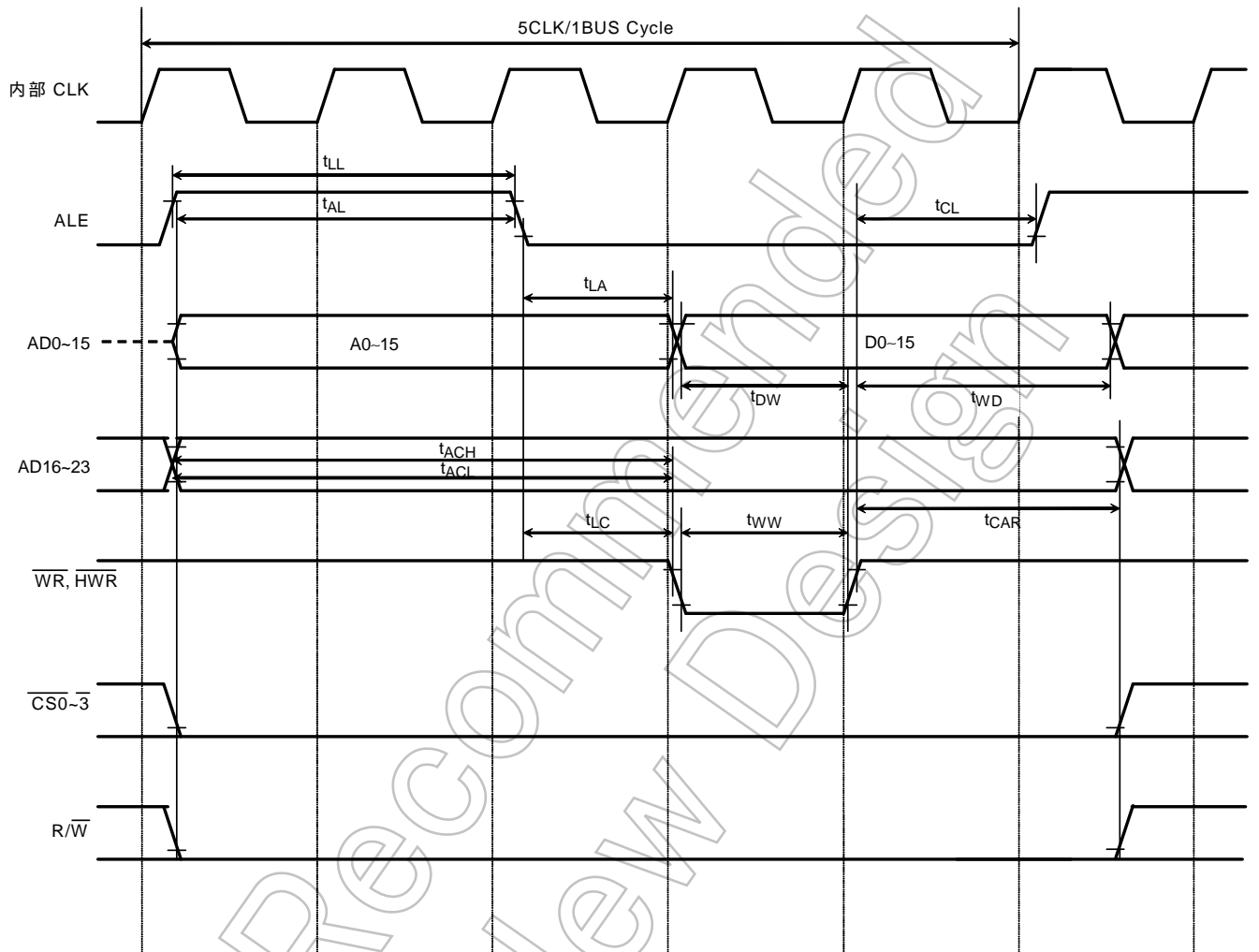


(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

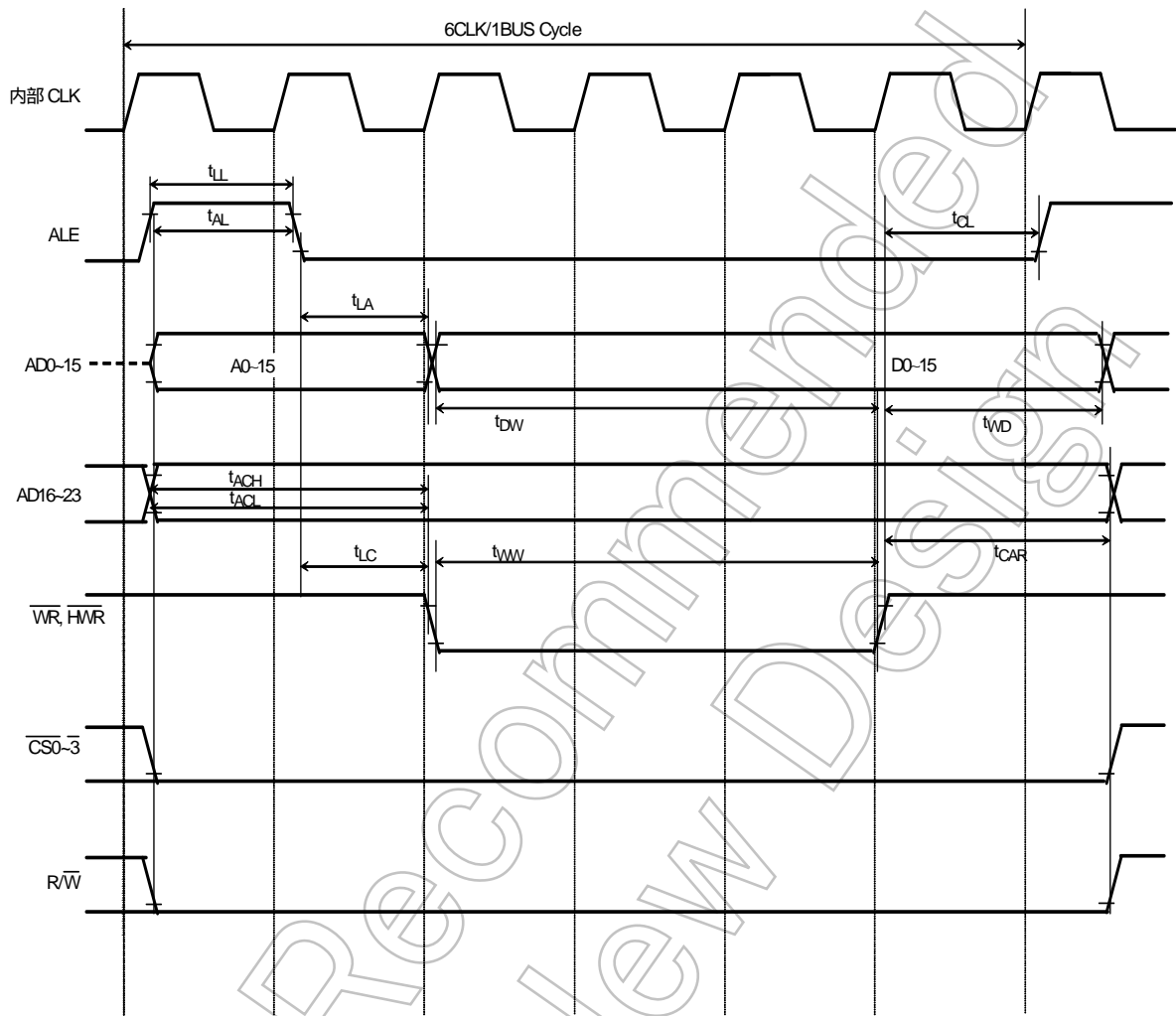


Not Recommended for New Design

(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)

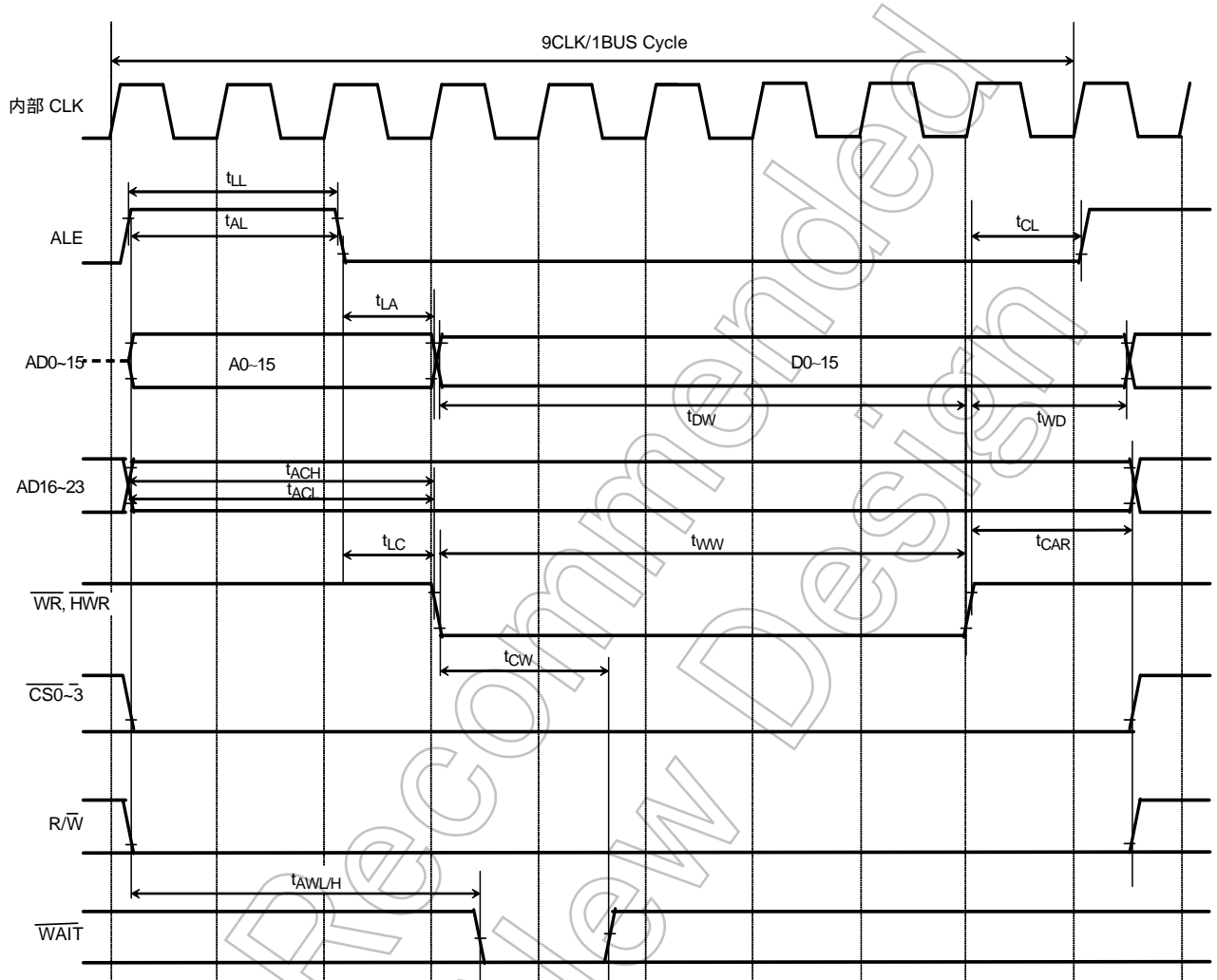


(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



Not Recommended for New Design

(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))

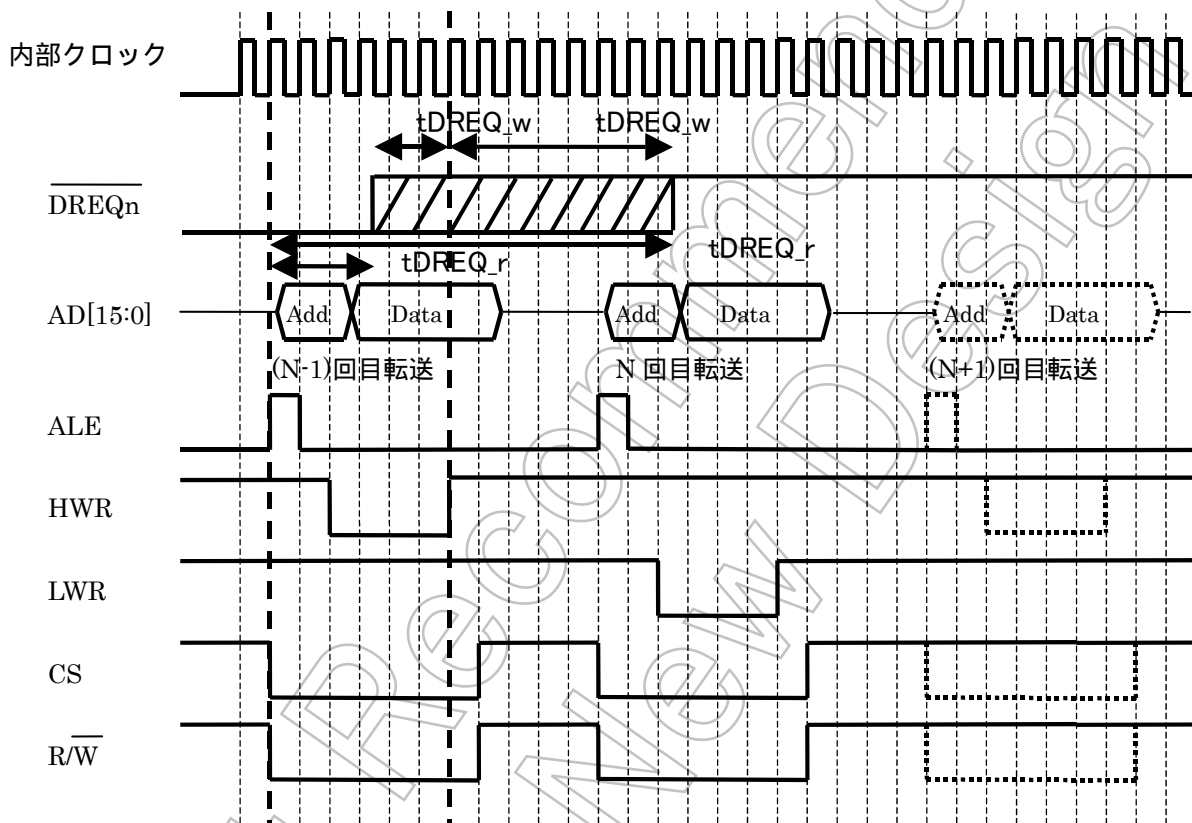


4.8 DMAリクエストを使用した転送

マルチプレクスバスモードで、内蔵RAMと外部デバイスとの転送例を示します。

- ・ 16ビットバス幅、リカバリタイムなし
- ・ DMA転送モードはレベルモード
- ・ 転送単位(TrSiz) 16bit、デバイスポートサイズ(DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵RAM/外部デバイス

内蔵RAM to 外部デバイス(ライト時)(Mem to Mem転送)のタイミングを図に示します。



- ① N回目の転送が確実に行われるための条件
- ② N+1回目の転送が行われないための条件

(1) DVCC15=CVCC15=1.35V~1.65V, AVCC3m=2.7V~3.3V

DVCC33=2.3V~3.3V, DVCC30/31/32/34=1.65V~3.3V, Ta= -20~85°C (m=1~2)

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	\overline{RD} 立ち下がり→ \overline{DREQn} のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	$(W+1)x$	$(2W+ALE+8)x - 51$	37	152.5	ns
3	$\overline{WR}/\overline{HWR}$ 立ち上がり→ \overline{DREQn} のデアサート (内蔵 RAM to 外部デバイス)	tDREQ_w	$-(W+2)x$	$(5+WAIT)x - 51.8$	-55.5	59.2	ns

(2) DVCC15=CVCC15=1.35V~1.65V, AVCC3m=2.7V~3.3V

DVCC33=1.65V~1.95V, DVCC30/31/32/34=1.65V~3.3V, Ta= -20~85°C (m=1~2)

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
2	\overline{RD} 立ち下がり→ \overline{DREQn} のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	$(W+1)x$	$(2W+ALE+8)x - 56$	37	147.5	ns
3	$\overline{WR}/\overline{HWR}$ 立ち上がり→ \overline{DREQn} のデアサート (内蔵 RAM to 外部デバイス)	tDREQ_w	$-(W+2)x$	$(5+WAIT)x - 56.8$	-55.5	54.2	ns

W: ウェイト数、例えば、外部 2+2N ウェイト(N=1)の場合は、W=4

ALE: ALE=1 クロックの時は ALE=1、ALE=2 クロックの時は ALE=2 を代入

表中の計算は、W=1、ALE=1として計算

4.9 シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3 = 1.65V ~ 3.3V)

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

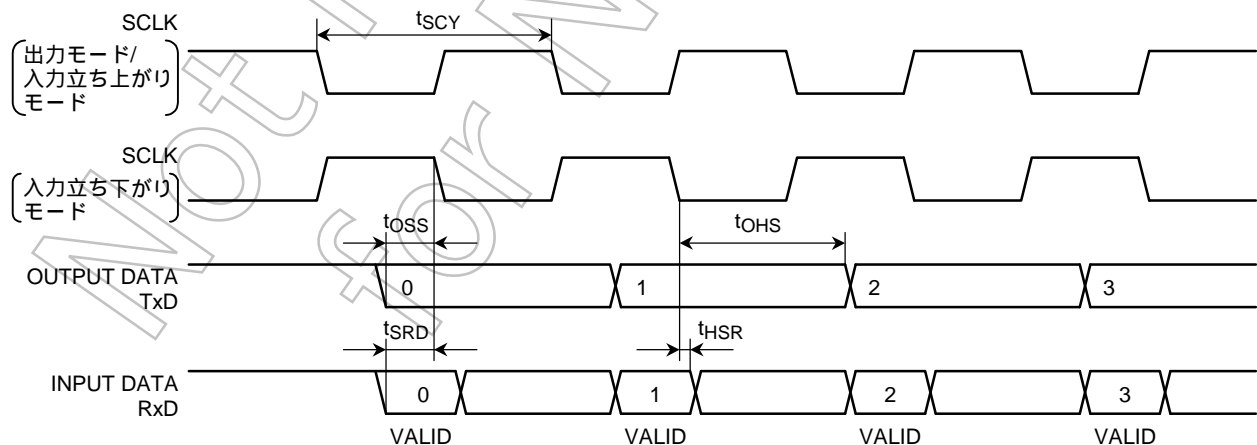
SCLK 入力モード (S100~S106)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	12x		222		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t _{OSS}	2x-35		2		ns
SCLK 立ち上がり / 立ち下がり* → Output Data 保持	t _{OHS}	8x-15		133		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t _{SRD}	30		30		ns
SCLK 立ち上がり / 立ち下がり* → Input Data 保持	t _{HSR}	2x+29		66		ns

*) SCLK 立ち上がり/立ち下がり...SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

SCLK 出力モード (S100~S106)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	8x		222		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	4x-14		60		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	4x-14		60		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45		45		ns
SCLK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		ns



4.10 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック fsys の周期を、T はφT0 を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード f _{sys} = 8 MHz n = 4		ファーストモード f _{sys} = 32 MHz n = 4		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t _{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	t _{HD;STA}			4.0		0.6		μs
SCL クロック Low 幅 (入力) (注1)	t _{LOW}			4.7		1.3		μs
SCL クロック High 幅 (入力) (注2)	t _{HIGH}			4.0		0.6		μs
再スタートコンディションセットアップ時間	t _{SU;STA}	ソフト (注5)		4.7		0.6		μs
データ保持時間 (入力) (注3, 4)	t _{HD;DAT}			0.0		0.0		μs
データセットアップ時間	t _{SU;DAT}			250		100		ns
ストップコンディションセットアップ時間	t _{SU;STO}			4.0		0.6		μs
ストップコンディションとスタートコンディション間のバスマフリー時間	t _{BUF}	ソフト (注5)		4.7		1.3		μs

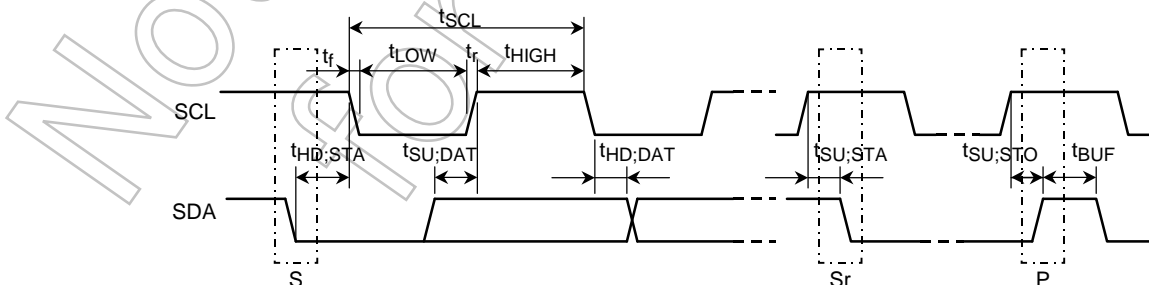
注1) SCL クロック LOW 幅(出力)は $(2^{(n-1)} + 4) T$ で計算されて、標準モード: 6μsec@Typ (f_{sys}=8MHz、n=4)
ファーストモード: 1.5μsec@Typ (f_{sys}=32MHz、n=4)

注2) SCL クロック HIGH 幅(出力)は $(2^{(n-1)}) T$ で計算されて、標準モード: 4μsec@Typ (f_{sys}=8MHz、n=4)
ファーストモード: 1μsec@Typ (f_{sys}=32MHz、n=4)

注3) データ保持時間 (出力) は内部 SCL から 1 2X の時間です。

注4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロ-ブコントロール機能をもっていません。従って、SCL / SDA の tr/tf を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

注5) ソフトウェアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

ファーストモードでは、f_{sys} 20 MHz、スタンダードモードでは、f_{sys} 4 MHz で使用ください。

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック fsys の周期を、T はφT0 を表します。

n は SBIOCR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

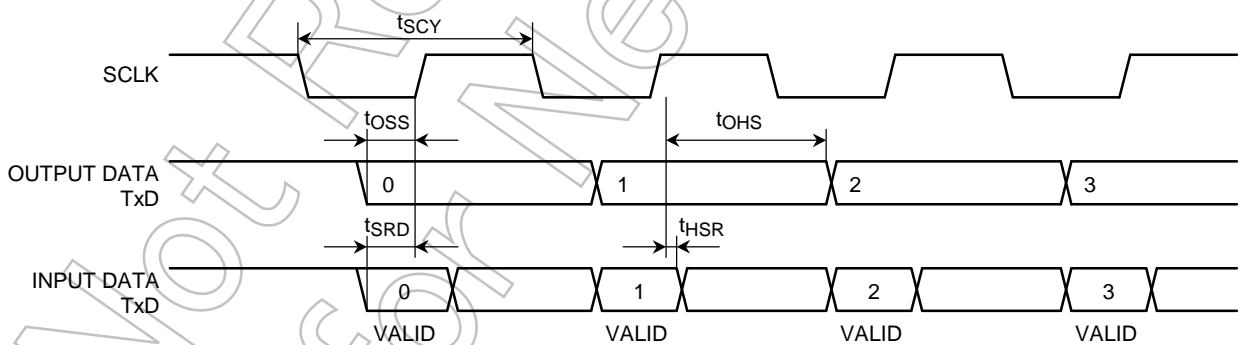
SCK デューティ 50%の場合

SCK 入力モード

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期	t _{SCY}	16x		296		ns
Output Data ← SCK 立ち上がり	t _{OSS}	(t _{SCY} /2) - (6x + 20)		17		ns
SCK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) + 4x		222		ns
有効 Data 入力 ← SCK 立ち上がり	t _{SRD}	0		0		ns
SCK 立ち上がり → Input Data 保持	t _{HSR}	4x + 10		84		ns

SCK 出力モード

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	t _{SCY}	16x		296		ns
Output Data ← SCK 立ち上がり	t _{OSS}	(t _{SCY} /2) - 20		128		ns
SCK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) - 20		128		ns
有効 Data 入力 ← SCK 立ち上がり	t _{SRD}	2x + 30		67		ns
SCK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		ns



4.11 イベントカウンタ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		137		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		137		ns

4.12 キャプチャ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		137		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		137		ns

4.13 割り込み (INTC)

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
INTO-A 低レベルパルス幅	t_{INTAL}	$X + 100$		118.5		ns
INTO-A 高レベルパルス幅	t_{INTAH}	$X + 100$		118.5		ns

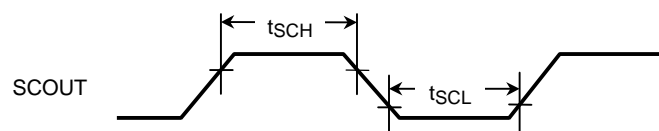
4.14 割り込み (\overline{NMI} , STOP解除割り込み)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
\overline{NMI} , INTO-4 低レベルパルス幅	t_{INTBL}	100		100		ns
INTO-4 高レベルパルス幅	t_{INTBH}	100		100		ns

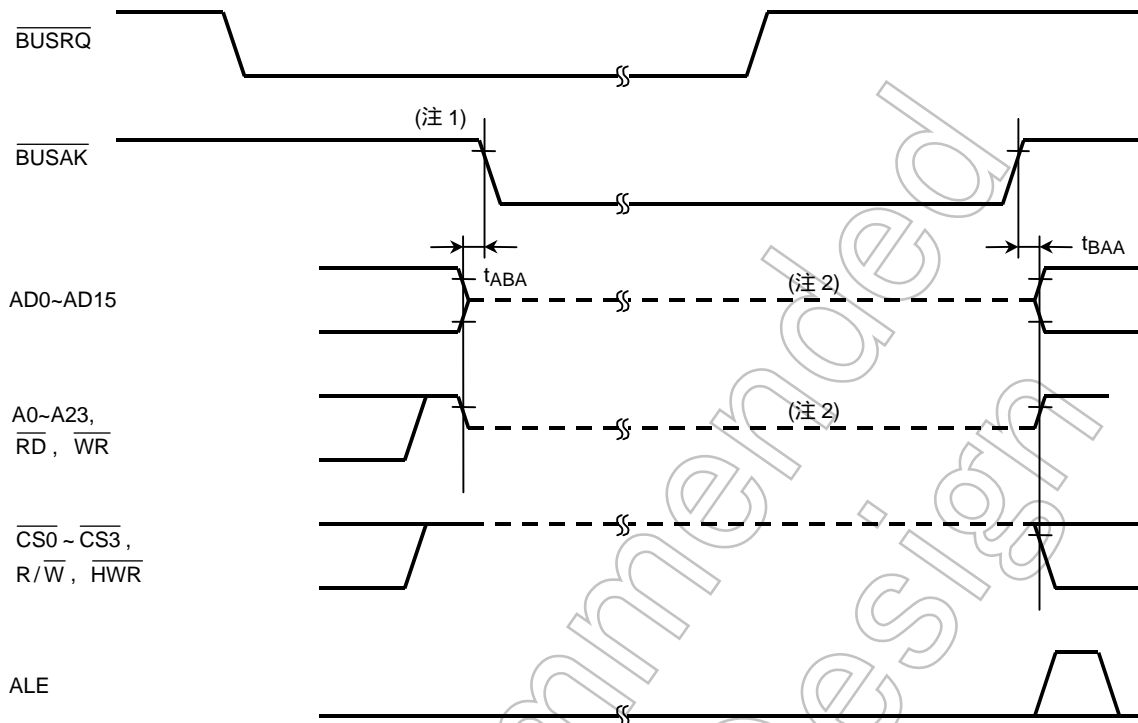
4.15 SCOUT端子 AC特性

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		4.3		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		4.3		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



4.16 バスリクエスト/ バスアクノリッジ



項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	ns

(注1) BUSRQ を "Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注2) この破線は出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

4.17 KWUP入力

PULL UP 未使用時

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0 ~ D 低レベルパルス幅	t _{kyTBL}	X+100		118		ns
KEY0 ~ D 高レベルパルス幅	t _{kyTBH}	X+100		118		ns

PULL UP 使用時

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0 ~ D 低レベルパルス幅	t _{kyTBL}	100		100		ns

4.18 2相パルス入力

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	T _{dcyc}	8Y		296		ns
2相入力セットアップ	T _{abs}	Y + 20		57		ns
2相入力ホールド	T _{abh}	Y + 20		57		ns

Y : f_{sys} / 2