TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870 シリーズ

TMP87CH74AFG
TMP87CM74AFG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。
製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

Not Recommended for New Design

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パーケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87CH74AF	QFP80-P-1420-0.80B	TMP87CH74AFG	QFP80-P-1420-0.80B	TMP87PM74FG
TMP87CM74AF	QFP80-P-1420-0.80B	TMP87CM74AFG	QFP80-P-1420-0.80B	TMP87PM74FG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、 はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、 最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」,「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下 " 特定用途"という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、 付加ページ右下にも記入の「2008-03-06」です。

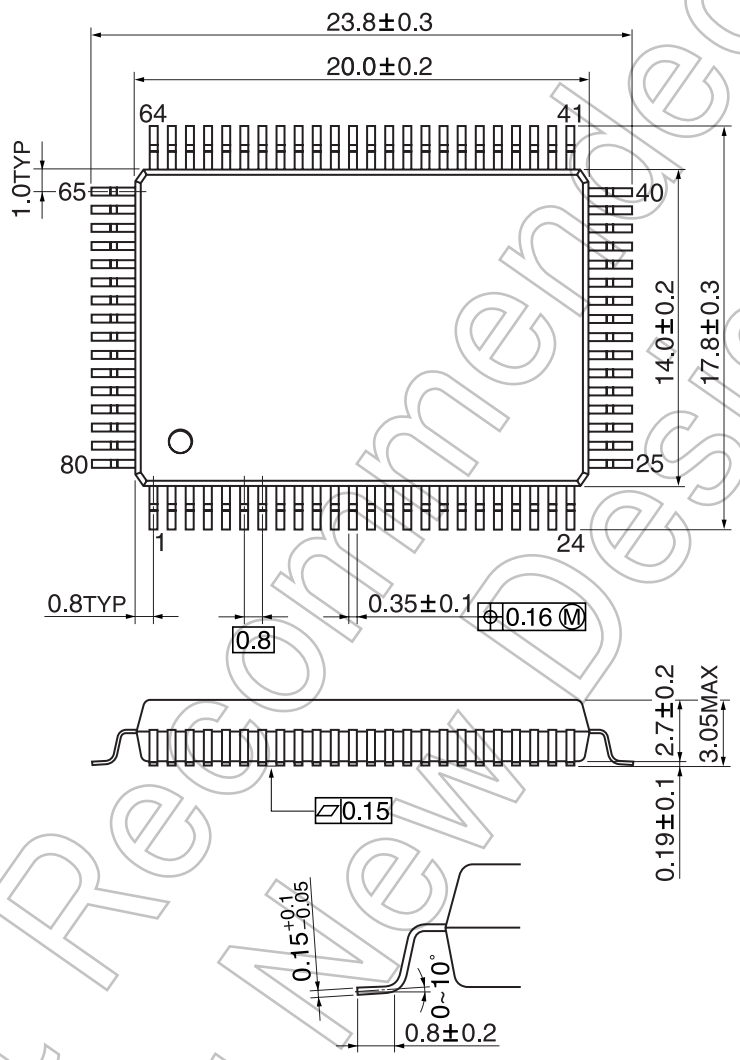
Not Recommended for New Design

(別紙)

パッケージ外形寸法図

QFP80-P-1420-0.80B

単位: mm



Not Recommended for New Design

CMOS 8ビット マイクロコントローラ

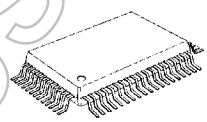
TMP87CH74AF, TMP87CM74AF

87CH74A/M74Aは、蛍光表示管駆動回路, シリアルバスインタフェース, 8ビットA/Dコンバータ, 多機能タイマカウンタおよび2系統の発振回路などを内蔵した高速, 高機能8ビット シングルチップ マイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87CH74AF	16Kバイト	512バイト	P-QFP80-1420-0.80B	TMP87PM74F
TMP87CM74AF	32Kバイト	1Kバイト		

パッケージ外観図

P-QFP80-1420-0.80B



TMP87CH74AF
TMP87CM74AF
TMP87PM74F

特　長

- ◆ 8ビット シングルチップ マイクロコンピュータ TLCS-870シリーズ
- ◆ 最小命令実行時間： 0.5 μs (8 MHz 動作時),
  122 μs (32.768 kHz 動作時)
- ◆ 基本機械命令： 129種類 412命令
  - 乗除算 (8 bit×8 bit , 16 bit÷8 bit) : 実行時間3.5 μs (8 MHz 動作時)
  - ビット操作
    (Set/Clear/Complement/Load/Store/Test/Exclusive OR)
  - 16ビット演算/転送
  - 1バイト長のジャンプ/コール
    (Short relative jump / Vector call)
- ◆ 割り込み15要因(外部 : 6, 内部 : 9)

Not Recommended for New Design

030519TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。
●当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
●本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
●本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
●本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

◆ 割り込み15要因(外部 : 6, 内部 : 9)
- 全要因独立ラッチ付き, 多重割り込み制御
- エッジ選択 (立ち上がりエッジ/立ち下がりエッジ/両エッジ) , ノイズ除去機能付き外部割り込み端子あり
- レジスタバンク切り替えによる高速タスクスイッチング

◆ 入出力ポート (71端子)
- 大電流出力 : 16端子 (typ. 20mA), LED直接駆動可能

◆ 16ビットタイマカウンタ : 2チャネル
- タイマ, イベントカウンタ, PPG出力, パルス幅測定, 外部トリガ, ウィンドウモード

◆ 8ビットタイマカウンタ : 2チャネル
- タイマ, イベントカウンタ, キャプチャ (パルス幅/デューティ測定), PWM (パルス幅変調) 出力, PDO (Programmable Divider Output) モード

◆ タイムベース タイマ (割り込み周波数 : 1~16384 Hz)

◆ デバイダ出力機能 (周波数 : 1~8 kHz)

◆ ウォッチドッグ タイマ
- 割り込み/リセット出力の選択 (プログラマブル)

◆ 8ビット シリアルインタフェース : 1チャネル
- 8バイトの送受信データバッファ付き
- 内部/外部クロック, 4/8ビット転送モードの選択

◆ シリアルバスインタフェース
- 8ビット SIO/I²Cバスモード

◆ 8ビット 逐次比較方式 A/Dコンバータ (サンプルホールド付き)
- アナログ入力 : 12チャネル
- 変換時間 : 23 μs (8 MHz動作時)

◆ 蛍光表示管駆動回路 (自動表示)
- プログラマブルグリッドスキャン出力可能
- 高耐圧出力ポート (max.40 V耐圧×37本)

◆ クロック発振回路 : 2回路
- シングル/デュアルクロックモードの選択 (オプション)

◆ 低消費電力動作 (5モード)
- STOPモード : 発振停止(バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
- SLOWモード : 低周波クロックに (32.768 kHz) よる低消費電力動作。
- IDLE1モード : CPU停止。周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)。
- IDLE2モード : CPU停止。周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- SLEEPモード : CPU停止。周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。

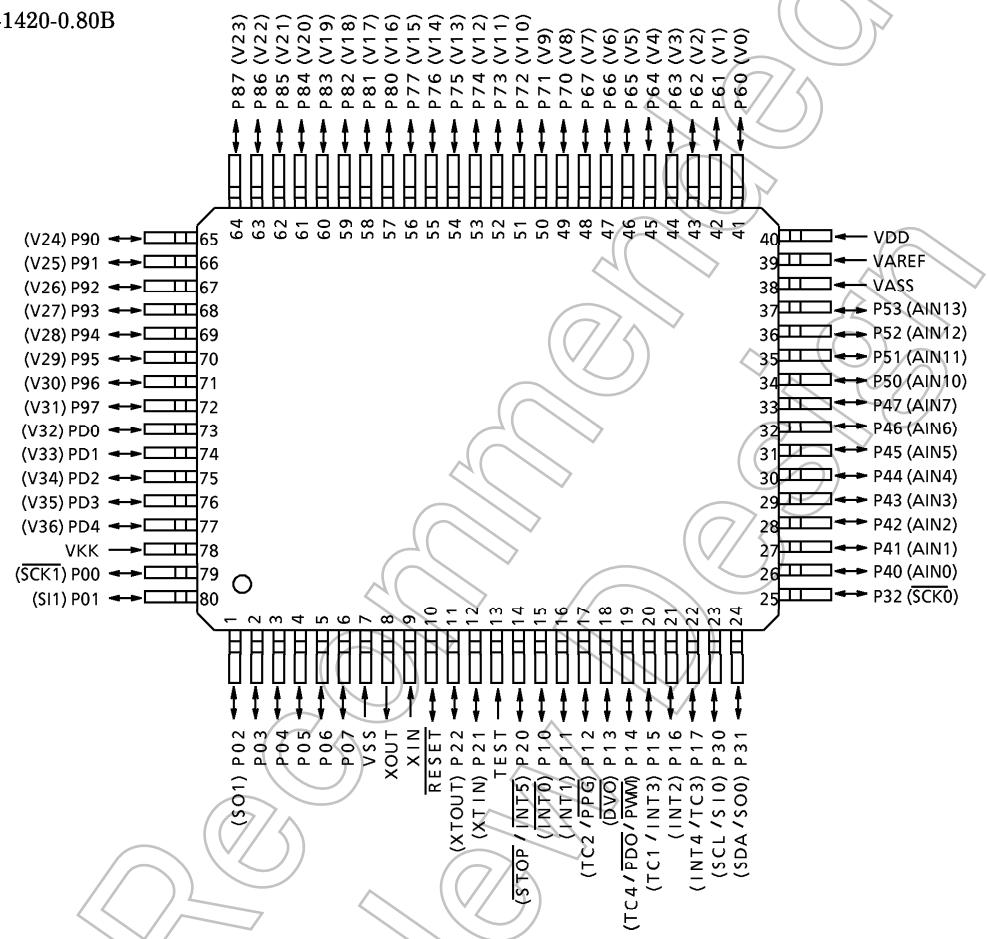
Not Recommended for New Design

◆ 動作電圧範囲 : 2.7~5.5 V 32.768 kHz, 4.5~5.5 V @ 8 MHz / 32.768 kHz

◆ エミュレーションポッド : BM87CM75F0A

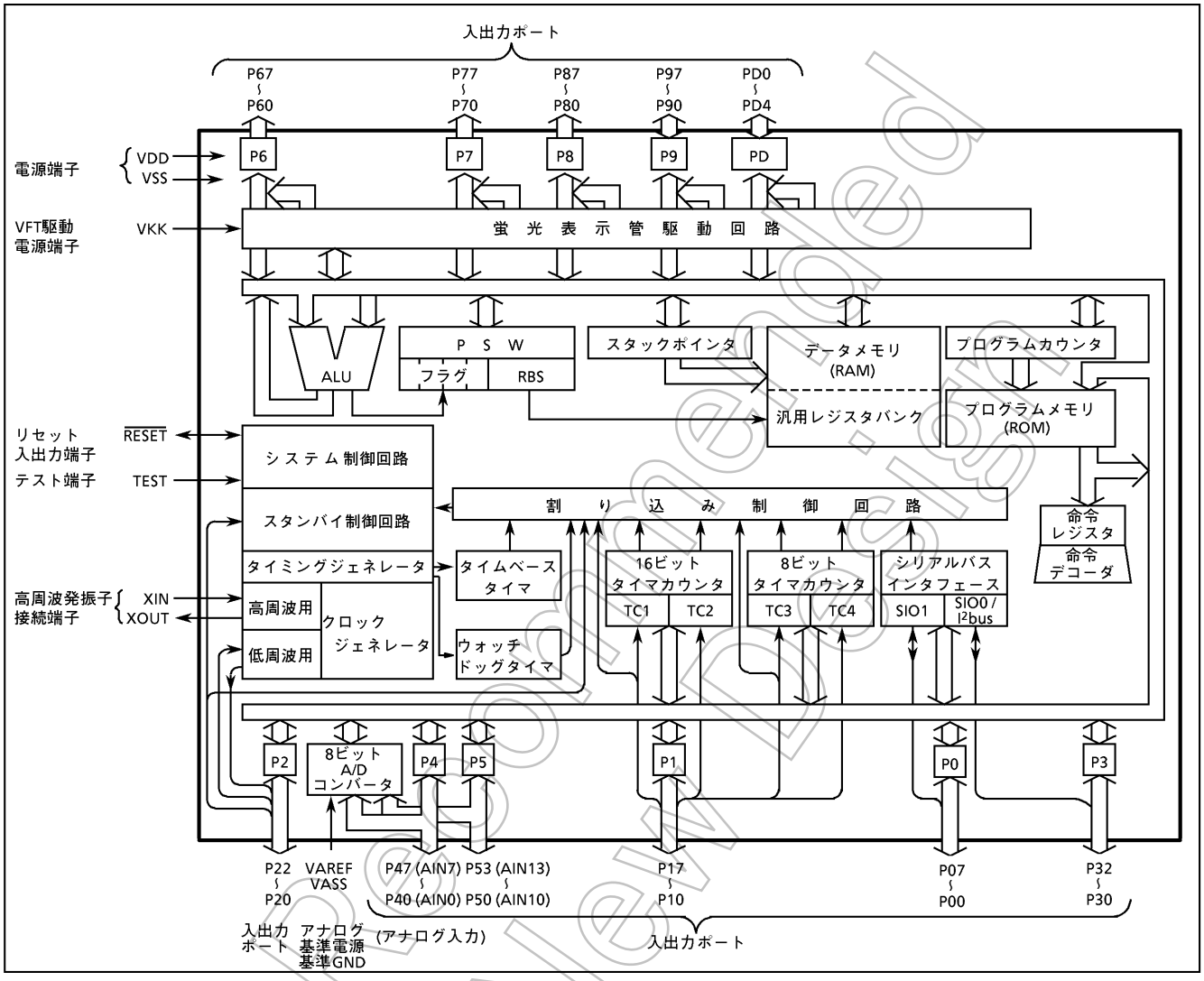
ピン配置図 (上面図)

P-QFP80-1420-0.80B



Not Recommended for New Design

ブロック図



Not Recommended for New Design

端子機能

端 子 名	入 出 力	機	能
P07~P03	入出力	8ビットのプログラマブル入出力(大電流)ポート。(トライステート) 1ビット単位で入出力の指定ができます。シリアルインタフェース入力として用いる場合は入力モードにします。シリアルインタフェース出力として用いる場合は、出力ラッチを"1"にセットして出力モードにします。	
P02 (SO1)	入出力(出力)		SIO1シリアルデータ出力
P01 (SI1)	入出力(入力)		SIO1シリアルデータ入力
P00 ($\overline{SCK1}$)	入出力(入出力)		SIO1シリアルクロックの入出力
P17 (INT4, TC3)	入出力(入力)	8ビットのプログラマブル入出力(P14~P10は大電流)ポート。(トライステート) 1ビット単位で入出力の指定ができます。 外部割り込み入力、タイマカウンタ入力として用いる場合は入力モードにします。 タイマカウンタ出力、デバイダ出力として用いる場合は、出力ラッチを"1"にセットして出力モードにします。	外部割り込み4入力,タイマカウンタ3の入力
P16 (INT2)			外部割り込み2入力
P15 (INT3, TC1)			外部割り込み3入力,タイマカウンタ1の入力
P14 (TC4, $\overline{PDO}$, $\overline{PWM}$)	入出力(入出力)		タイマカインタカウンタ4入力,PWM(パルス幅変調)出力,プログラマブルデバイダ出力
P13 ($\overline{DVO}$)	入出力(出力)		デバイダ出力
P12 (TC2, $\overline{PPG}$)	入出力(入出力)		タイマカウンタ2入力, プログラマブルパルスジェネレータ出力
P11 (INT1)	入出力(入力)		外部割り込み1入力
P10 ($\overline{INT0}$)			外部割り込み0入力
P22 (XTOUT)	入出力(出力)	3ビット入出力(大電流出力)ポート。 入力ポート,外部割り込み入力/STOPモード解除入力または発振子接続用として使用する場合は、出力ラッチを"1"にセットします。	低周波発振子接続端子(32.768kHz)。 外部クロック入力の場合、XTINへ入力し、XTOUTは開放します。
P21 (XTIN)	入出力(入力)		
P20 ($\overline{INT5}$, $\overline{STOP}$)			外部割り込み5入力,STOPモード解除入力
P32 ($\overline{SCK0}$)	入出力(入出力)	3ビットのプログラマブル入出力ポート。(シンクオープンドレイン) 1ビット単位で入力/出力の指定ができます。 シリアルバスインタフェースとして用いる場合は、出力ラッチを"1"にセットして出力モードにします。	SIO0のクロック入出力
P31 (SDA, SO0)	入出力(入出力/出力)		I2Cバスのデータ入出力,SIO0のデータ出力
P30 (SCL, SI0)	入出力(入出力/入力)		I2Cバスのクロック入出力, SIO0のデータ入力
P47 (AIN7) ~ P40 (AIN0)	入出力(入力)	8ビットのプログラマブル入出力ポート(トライステート)。1ビット単位で入力/出力の指定ができます。アナログ入力として使用する場合は、入力モードにします。	A/Dコンバータアナログ入力
P53 (AIN13) ~ P50 (AIN10)	入出力(入力)	4ビットのプログラマブル入出力ポート(トライステート)。1ビット単位で入力/出力の指定ができます。アナログ入力として使用する場合は、入力モードにします。	A/Dコンバータアナログ入力

Not Recommended for New Design

端 子 名	入 出 力	機 能	
P67 (V7)~P60 (V0) P77 (V15)~P70 (V8) P87 (V23)~P80 (V16) P97 (V31)~P90 (V24)	入出力 (出力)	8ビット高耐圧入出力ポート。 蛍光表示管ドライバとして使用する場合は、出力ラッチを“0”にクリアします。	VFT出力 (大電流出力)
PD4 (V36)~PD0 (V32)		5ビット高耐圧入出力ポート。 蛍光表示管ドライバとして使用する場合は、出力ラッチを “0” にクリアします。	VFT出力 (中電流出力)
XIN, XOUT	入 力, 出 力	高周波発振子接続端子。 外部クロック入力の場合 XINへ入力し、XOUTは開放します。	
$\overline{\text{RESET}}$	入 出 力	リセット信号入力, ウォッチドッグタイマ出力 / アドレストラップリセット出力 / システムクロックリセット出力	
TEST	入 力	出荷試験用端子。低レベルに固定します。	
VDD, VSS	電 源	+5 V, 0 V (GND)	
VKK		蛍光表示管駆動用電源端子	
VAREF, VASS		A/D変換用アナログ基準電圧, 基準GND。VASSは、A/D未使用時も、常に0V (GND) に固定してください。	

Not Recommended for New Design

動作説明

1. CPUコア機能

CPUコアは、CPU, システムクロック制御回路, 割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア, プログラムメモリ, データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM, RAM, SFR(スペシャルファンクションレジスタ), DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1.に87CH74A/M74Aのメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

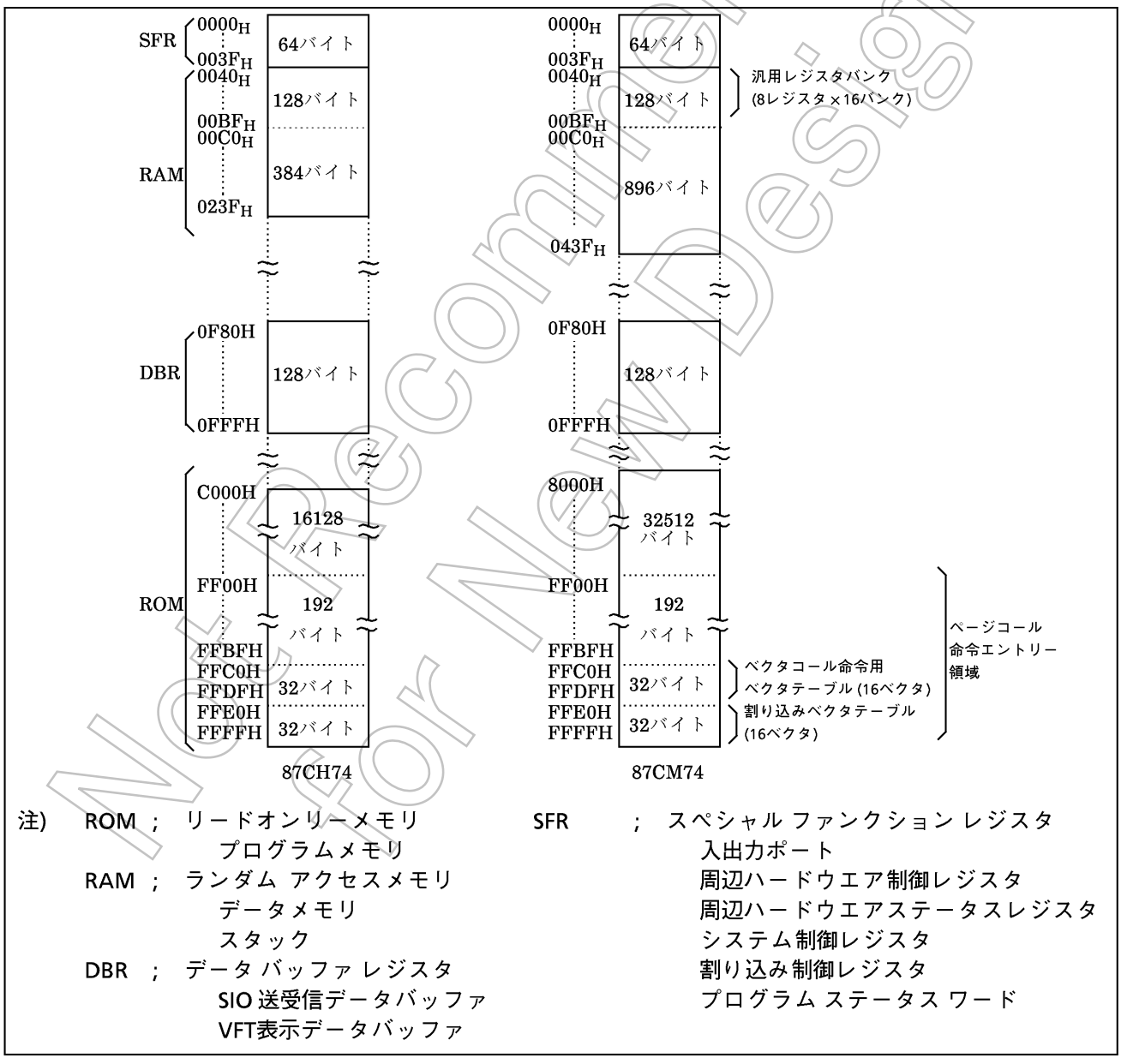


図1-1. メモリアドレスマップ

Not Recommended For New Design

1.2 プログラムメモリ(ROM)

87CH74Aは16Kバイト(アドレスC000~FFFF$_H$番地)、87CM74Aは32Kバイト(アドレス8000~FFFF$_H$番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2.にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF$_H$番地は、特定の用途にも使用されます。

(1) 割り込みベクタテーブル (FFE0~FFFF$_H$番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス, 割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル (FFC0~FFDF$_H$番地)

ベクタコール命令[CALLV n]用のベクタ(サブルーチンエントリーアドレス, 2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア (FF00~FFFF$_H$番地)

ページコール命令[CALLP a]用のサブルーチンエントリーアドレスエリアです。FFC0~FFFF$_H$番地はベクタテーブルにもなっていますので、通常FF00~FFBF$_H$番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ, バンクといった境界概念はありません。

Not Recommended for New Design

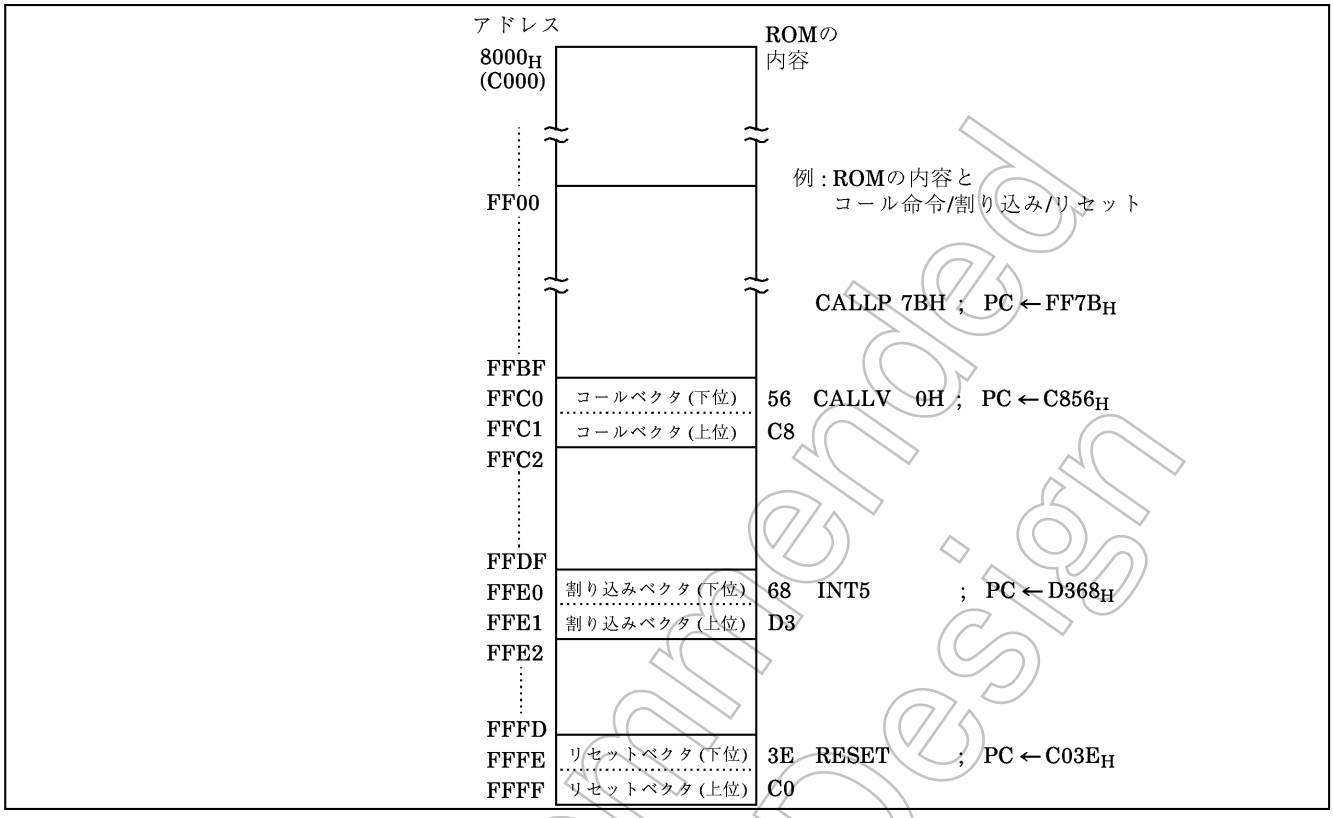


図1-2. プログラムメモリ マップ

例： ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令

E8C4H: JRS T, $+2+08H の場合

JF=1のとき、プログラムカウンタの内容に08_Hを加算した$E8CE_H$にジャンプします (プログラムカウンタの内容は実行命令の置かれたアドレス +2になっています。従って、この場合プログラムカウンタの値は$E8C4_H+2=E8C6_H$ となります)。

② 8ビット相対ジャンプ命令

E8C4H : JR Z, $+2+80H の場合

ZF=1のとき、プログラムカウンタの内容に$FF80_H$ (−128) を加算した$E846_H$にジャンプします。

③ 16ビット絶対ジャンプ命令 [JP a]

E8C4H : JP 0C235H の場合

無条件に$C235_H$番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード (PC+A) の命令も使用でき、コード変換, テーブル ルックアップ, 多方向分岐処理などが容易にプログラミングできます。

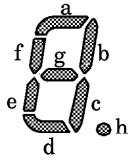
Not Recommended for New Design

例1： HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理(HL≧$A000_H$)。

```
LD      A, (HL)          ;  A←ROM (HL)
```

例2： BCD→ 7セグメントコード(アノードコモン)変換出力処理(A＝05_Hのとき下記プログラムの実行で、P0ポートに92_Hが出力されます)。

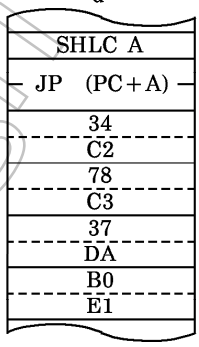
```
        LD      (P0CR), FFH
        ADD     A, TABLE－$－4  ;  P0 ←ROM (TABLE＋A)
        LD      (P0), (PC＋A)
        JRS     T, SNEXT
TABLE : DB      0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H
SNEXT :
```



注) $はADD命令の先頭アドレス。DBはバイトデータの定義命令。

例3： アキュムレータの内容(0≦A≦3)による多方向分岐処理

```
        SHLC    A               ;  if A＝00H then PC←C234H
        JP      (PC＋A)            if A＝01H then PC←C378H
                                   if A＝02H then PC←DA37H
                                   if A＝03H then PC←E1B0H
        DW      0C234H, 0C378H, 0DA37H, 0E1B0H
```



注) DWはワードデータの定義命令。ワード＝2バイト。

1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル(FFFF, $FFFE_H$番地)に格納されているリセットベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、FFFF, $FFFE_H$番地にそれぞれ、C0, $3E_H$が格納されている場合、リセット解除後$C03E_H$番地から実行開始します。

TLCS-870シリーズは、パイプライン処理(命令先行フェッチ)を行っていますので、プログラムカウンタは、常に2アドレス先を指します。例えば、$C123_H$番地に格納されている1バイト命令の実行中、プログラムカウンタの内容は、$C125_H$です。

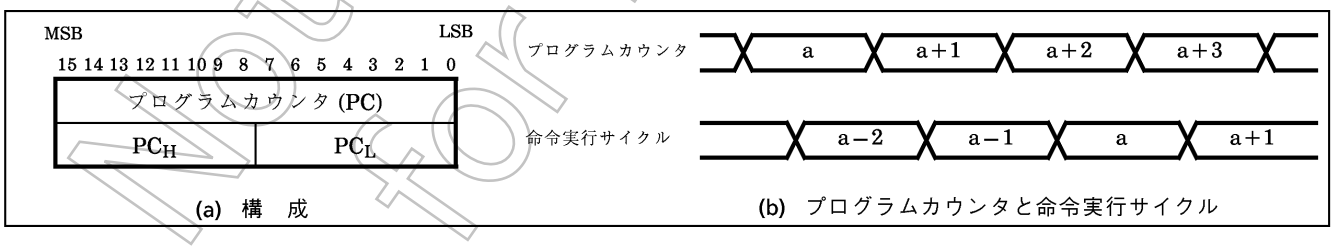


図1-3. プログラムカウンタ

Not Recommended for New Design

1.4 データメモリ (RAM)

87CH74A は、512 バイト (アドレス 0040~023F$_H$ 番地)、87CM74A は 1K バイト (アドレス 0040~043F$_H$ 番地) のデータメモリ (スタティック RAM) を内蔵しています。図 1-4. にデータメモリマップを示します。

0000~00FF$_H$ 番地は、ダイレクトアドレッシング領域になっており、このアドレッシングモードを用いる命令が強化されていますので、0040~00FF$_H$ 番地のデータメモリは、ユーザーフラグやユーザーカウンタとしても使用できます。

例 1 : データメモリの 00C0$_H$ 番地のビット 2 が "1" なら 00E3$_H$ 番地に 00$_H$ を書き込み、"0" なら FF$_H$ を書き込む処理。

```
        TEST    (00C0H).2       ;  if (00C0H)2=0 then jump
        JRS     T,SZERO
        CLR     (00E3H)         ;  (00E3H) ← 00H
        JRS     T,SNEXT
SZERO : LD      (00E3H), 0FFH   ;  (00E3H) ← FFH
SNEXT :
```

例 2 : データメモリの 00F5$_H$ 番地の内容をインクリメントし、10$_H$ 以上になると 00$_H$ にクリアする処理。

```
        INC     (00F5H)
        AND     (00F5H), 0FH
```

0040~00BFH 番地の 128 バイトには、汎用レジスタバンク (8 レジスタ×16 バンク) が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、0040H 番地を読み出すとバンク 0 のアキュムレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック, スタックポインタ』を参照してください。

なお、87CH74A/M74A は、データメモリ上に置かれたプログラムを実行することはできません。プログラムカウンタがデータメモリのアドレス (0040~043F$_H$) を指した場合、バスエラーによりアドレストラップリセット ($\overline{\text{RESET}}$ 端子出力が "L" レベルになります) がかかります。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

Not Recommended for New Design

例： RAMクリア (バンク0以外のRAMをすべてゼロクリア)

```
        LD      HL, 0048H       ;  スタートアドレス (HL) の設定
        LD      A, H            ;  初期化データ (A) の設定
        LD      BC, 01F7H       ;  バイト数−1 (BC) の設定 (RAM512バイトの場合)

SRAMCLR : LD    (HL+), A
        DEC     BC
        JRS     F, SRAMCLR
```

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、例ではバンク0を除いてRAMクリアしています。

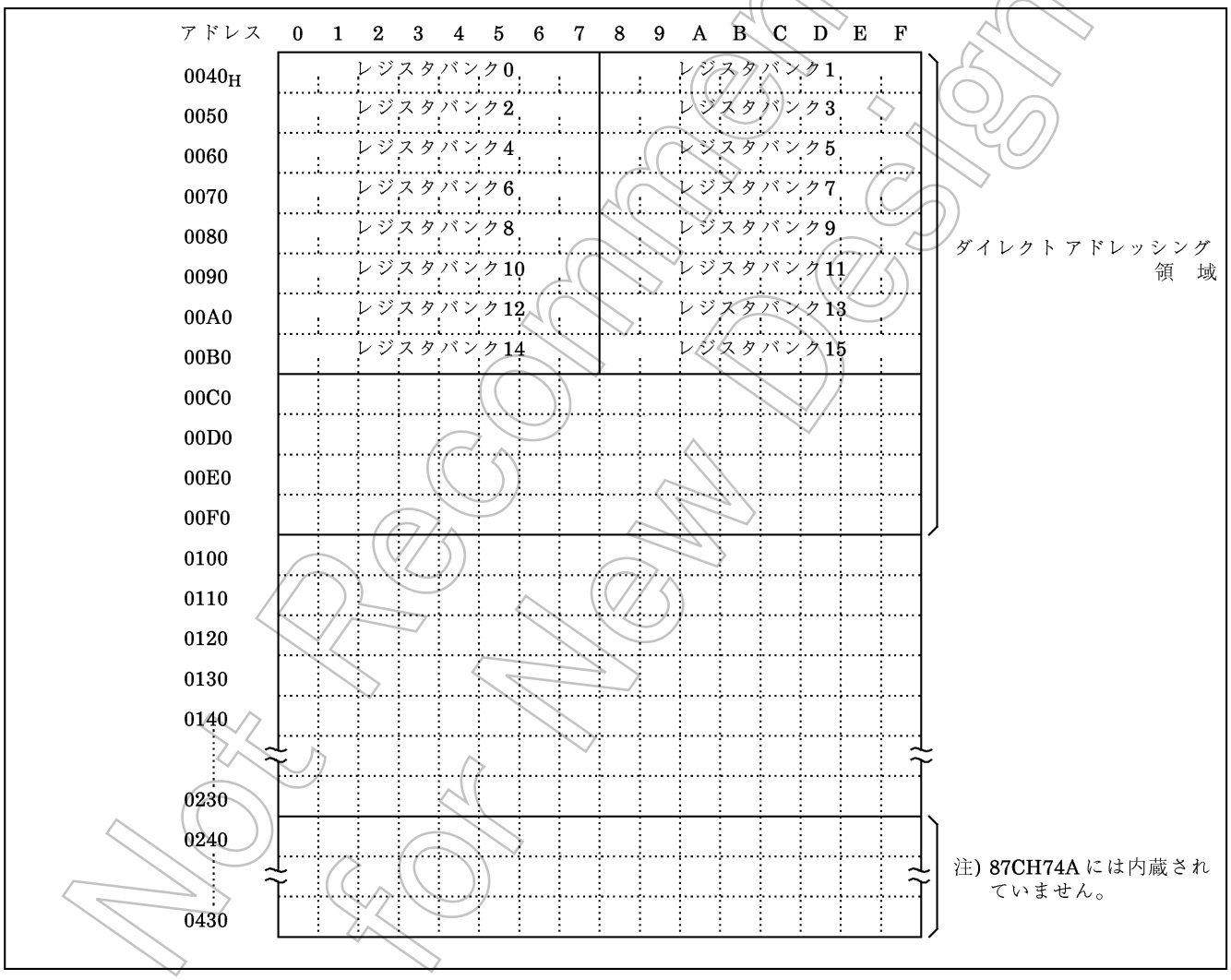


図1-4. データメモリ マップ

Not Recommended for New Design

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF$_H$番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ8本を1バンクとして16バンク内蔵しています。図1-5.に汎用レジスタ バンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

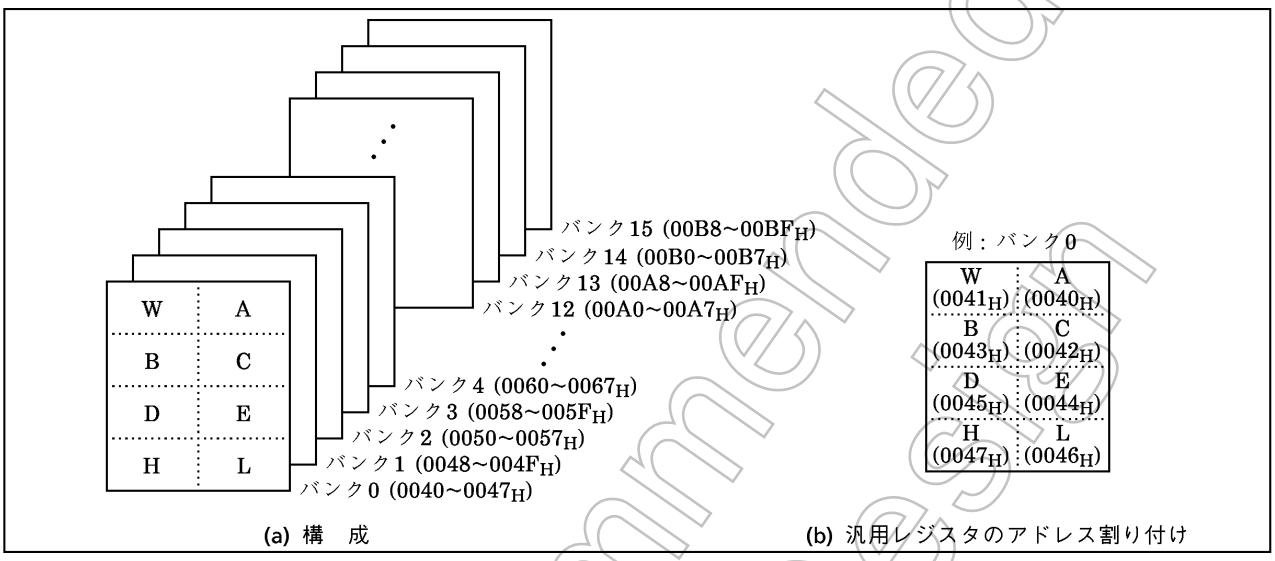


図1-5. 汎用レジスタ バンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

(1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ(Wが上位, Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

例： ① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。
② SUB WA, 1234H ; WAの内容から即値1234$_H$を引き、結果をWAに入れます。
③ SUB E, A ; Eの内容からAの内容を引き、結果をAに入れます。

(2) HL, DE

HLは、データポインタ/インデックスレジスタ/ベースレジスタとして、DEは、データポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウエアLIFO(ラストインファーストアウト)処理が容易にできます。

例1： ① LD A, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。
② LD A, (HL+52H) ; HLに即値52$_H$を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。
③ LD A, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。

Not Recommended for New Design

④ LD A, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。

⑤ LD A, (−HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2 : ブロック転送

```
        LD      B, m          ;  m=n−1  (n:転送バイト数)
        LD      HL, DSTA      ;  転送先アドレス
        LD      DE, SRCA      ;  転送元アドレス
SLOOP : LD      (HL), (DE)    ;  (HL)←(DE)
        INC     HL
        INC     DE
        DEC     B             ;  B←B−1
        JRS     F, SLOOP      ;  if B≧0 then loop
```

(3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ, カウンタなどに使用できます。Cは、レジスタ インデックス アドレッシング (HL+C) におけるオフセットレジスタとして (前記の例1③) 、また除算命令における除数レジスタとしての機能を有しています。

例1 : リピート処理

```
        LD      B, n          ;  リピート回数の設定 (n+1回 処理が行われます)
SREPEAT :  処  理
        DEC     B
        JRS     F, SREPEAT
```

例2 : 除算 (16ビット÷8ビット)

```
        DIV     WA, C         ;  WA÷Cの演算を行い、商をAに、余りをWに入れます。
```

汎用レジスタのバンク選択は、4ビットのレジスタバンクセレクタ (RBS) により行います。リセット時 RBSは “0” に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラム ステータス ワード (PSW) として、SFR内の$003F_H$番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令 [LD RBS, n], [PUSH PSW], [POP PSW] が用意されています。

例1 : RBSのインクリメント

```
        INC   (003FH)         ;  RBS←RBS + 1
```

例2 : RBSのリード

```
        LD    A,(003FH)       ;  A←RBS (この命令ではフラグも同時に読み出されますので、実際はA←PSWとなります)
```

Not Recommended for New Design

割り込み処理におけるレジスタの退避, サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBS は自動的にスタックに退避されます。なお、割り込みリターン命令 [RETI], [RETN] の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウエア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例： バンク切り替えによる割り込みタスクにおける汎用レジスタの退避/復帰

```
PINT1 : LD      RBS, n      ;  RBS ← n (バンクnに切り替え)
        割り込み処理
        RETI                ;  マスカブル割り込みリターン (バンクは自動的に復帰)
```

1.6 プログラム ステータス ワード (PSW)

プログラム ステータス ワードは、レジスタバンクセレクタ(RBS)とフラグから構成され、SFR内の $003F_H$ 番地に割り付けられています。

RBSは、メモリアクセス命令で 読み出し/書き込みができ、フラグは 読み出しのみできます。PSW に対して 書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H] 命令を実行すると、RBSには “5” が書き込まれ、JFは “1” にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSW は割り込みリターン命令[RETI] , [RETN] の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ [PUSH PSW] / ポップ [POP PSW] があります。

1.6.1 レジスタ バンク セレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS＝2のとき、バンク2が現在選択されていることになります。

リセット時、RBSは “0” に初期化されます。

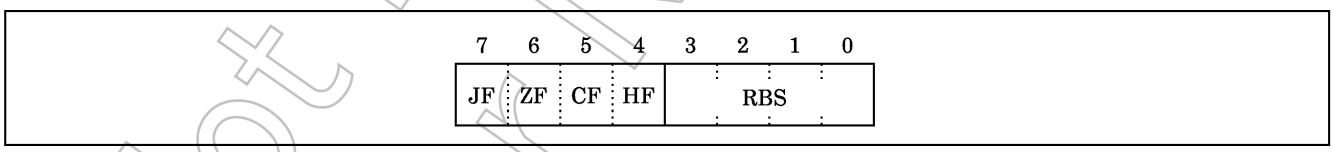


図1-6. PSW (フラグ, RBS) の構成

1.6.2 フラグ

ゼロフラグ, キャリーフラグ, ハーフキャリーフラグおよびジャンプ ステータス フラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ, キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JR cc, $＋2＋d] , [JRS cc, $＋2＋d] のジャンプ条件ccとなります。

リセット解除時 ジャンプステータスフラグは、“1” に初期化されます (そのほかのフラグは初期化されません)。

Not Recommended for New Design

(1) ゼロフラグ(ZF)

ゼロフラグは、演算結果または転送データが00_H(8ビット演算/転送時)/0000_H(16ビット演算時)のとき“1”にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1”にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます(ビットテスト)。乗算命令の場合積の上位8ビットが00_Hのとき、除算命令の場合剰余が00_Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

(2) キャリーフラグ(CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00_Hのとき(Divided by zero Error)、または、商が100_H以上のとき(Overflow Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ(ブーリアンアキュムレータ)として機能します 。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作(07_H番地のビット5の内容と$9A_H$番地のビット0の内容とで排他的論理和をとり、結果を01_H番地のビット2に書き込みます)。

```
LD      CF, (0007H).5 ;  (0001H)2 ← (0007H)5 ∀ (009AH)0
XOR     CF, (009AH).0
LD      (0001H).2, CF
```

(3) ハーフキャリーフラグ(HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです([DAA r], [DAS r]命令による十進補正)。

例： BCD演算(A＝19_H, B＝28_Hのとき、次の命令を実行すると、Aは47_Hになります)。

```
ADD     A, B          ;  A ← 41H, HF ← 1
DAA     A             ;  A ← 41H + 06H = 47H (十進補正)
```

(4) ジャンプ ステータス フラグ(JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令[JR T/F, $+2+d], [JRS T/F, $+2+d] (T, Fは条件コードです)のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```
INC     A
JRS     T, SLABLE1    ;  直前の演算命令で桁上げが発生した場合ジャンプします。
 ⋮
LD      A, (HL)
JRS     T, SLABLE2    ;  直前の命令でJFは“1”にセットされますので、無条件ジャンプ命令と見なされます。
 ⋮
```

例： WAレジスタペア, HLレジスタペア, データメモリの$00C5_H$番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ“$219A_H$”, “$00C5_H$”, “$D7_H$”, “1”, “0”のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

Not Recommended for New Design

命　　令	実行後の	実行後のフラグ			
	アキュムレータ	JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1
SUBB A, (HL)	C2	1	0	1	0
CMP A, (HL)	9A	0	0	1	0
AND A, (HL)	92	0	0	1	0
LD A, (HL)	D7	1	0	1	0
ADD A, 66H	00	1	1	1	1

命　　令	実行後の	実行後のフラグ			
	アキュムレータ	JF	ZF	CF	HF
INC A	9B	0	0	1	0
ROLC A	35	1	0	1	0
RORC A	CD	0	0	0	0
ADD WA, 0F508H	16A2	1	0	1	0
MUL W, A	13DA	0	0	1	0
SET A.5	BA	1	1	1	0

1.7　スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n]実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウエア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

Not Recommended for New Design

1.7.2 スタックポインタ (SP)



図1-7. スタックポインタ

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール, プッシュ命令実行時 および 割り込み受け付け時にポストデクリメントされ、リターン, ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8.に示します。
スタックポインタは、ハードウエア的には初期化されませんので、イニシャライズ ルーチンで初期化 (スタックの最高位アドレスをセット) する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg] および [LD gg, SP] (mnは16ビット即値、ggはレジスタペア) があります。

例1 : スタックポインタのイニシャライズ

```
LD      SP, 023FH  ;  SP←023F_H
```

例2 : スタックポインタのリード

```
LD      HL, SP     ;  HL←SP
```

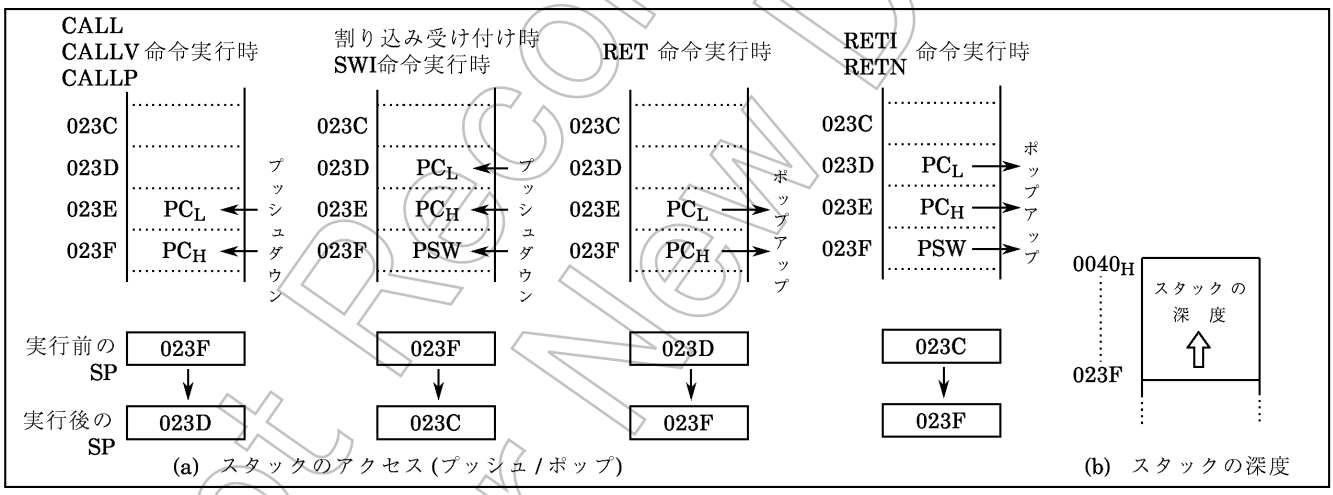


図1-8. スタック

Not Recommended for New Design

1.8 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ, タイミングジェネレータおよびスタンバイ制御回路から構成されています。

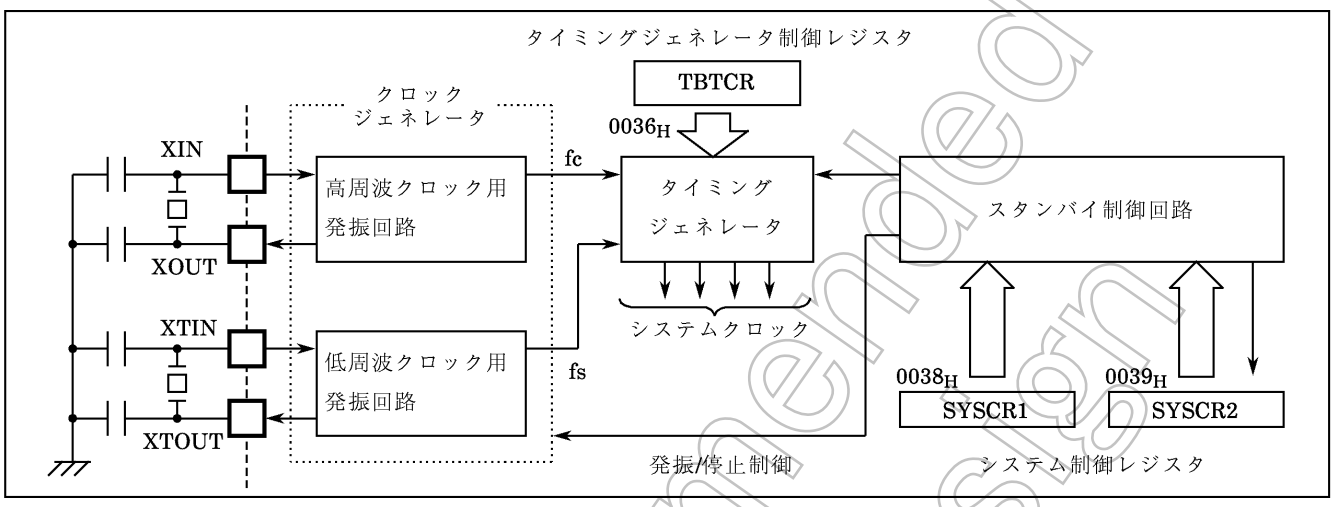


図1-9. システムクロック制御回路

1.8.1 クロック ジェネレータ

クロック ジェネレータは、CPUコアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数fc), 低周波クロック (周波数fs) は、それぞれXIN, XOUT端子, XTIN, XTOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

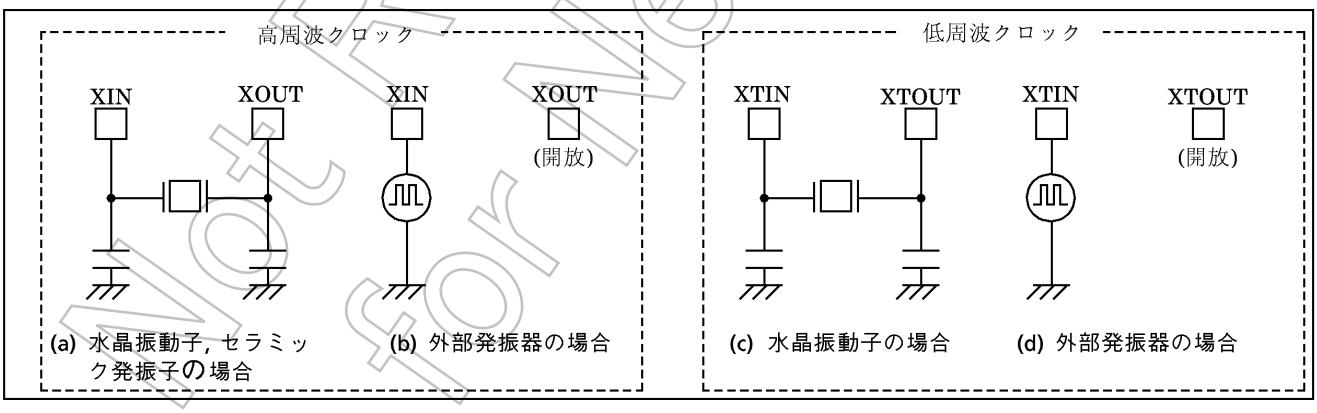


図1-10. 発振子の接続例

注) 発振周波数の調整
基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

Not Recommended for New Design

1.8.2 タイミング ジェネレータ

タイミング ジェネレータは、基本クロックからCPUコアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミング ジェネレータの機能は、次のとおりです。

① メインシステムクロック生成

② デバイダ出力 ($\overline{DVO}$) パルス生成

③ タイマベースタイマのソースクロック生成

④ ウォッチドッグタイマのソースクロック生成

⑤ タイマカウンタの内部ソースクロック生成

⑥ シリアルインタフェースの内部シリアルクロック生成

⑦ 蛍光表示管駆動回路のソースクロック生成

⑧ STOPモード解除時のウォーミングアップクロック生成

⑨ リセット出力 解除クロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケーラ,21段のデバイダ,メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。デバイダの7段目への入力クロックは動作モードおよびDV7CK(TBTCRのビット4)により次のようになります。なお、リセット時およびSTOPモード起動/解除時デバイダは"0"にクリアされます(ただし、プリスケーラはクリアされません)。

① シングルクロックモード時

高周波クロック(周波数fc)を256分周したクロック(fc/28)がデバイダの7段目に入力されます。なお、シングルクロックモード時DV7CKを"1"にセットしないでください。

② デュアルクロックモード時

NORMAL2, IDLE2モード時(SYSCK=0)は、DV7CKにより、デバイダの7段目への入力クロックをfc/2^{8}かfsかのいずれかの選択ができます。SLOW, SLEEPモード時(SYSCK=1)は、自動的にfsがデバイダの7段目に入力されます(なお、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します)。

Not Recommended for New Design

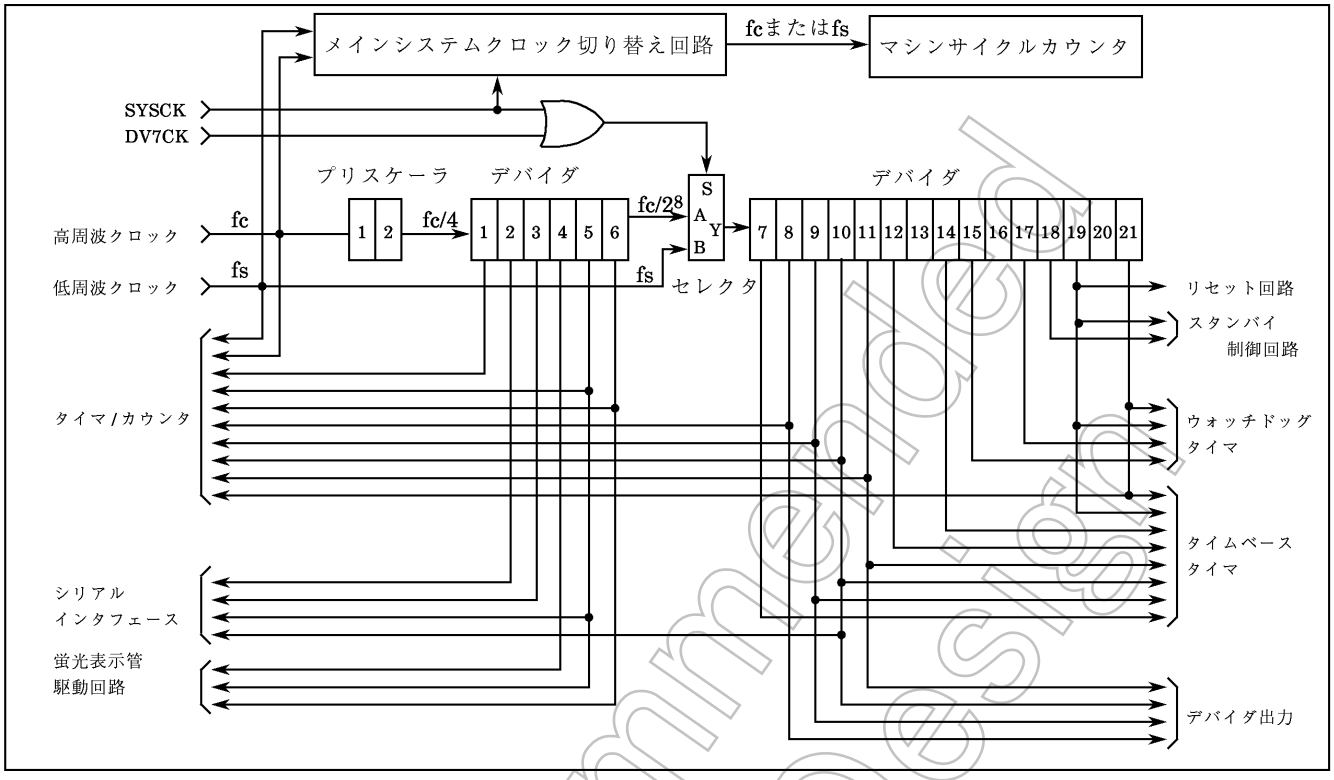


図1-11. タイミング ジェネレータの構成

TBTCR (0036_H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		DV7CK	(TBTEN)	(TBTCK)		

(初期値 0**0 0***)

DV7CK	デバイダの7段目への入力クロックの選択	0 : fc/2^8 [Hz] 1 : fs	R/W

注1) fc ; 高周波クロック[Hz], fs ; 低周波クロック[Hz], * ; don't care
注2) シングルクロックモード時は、DV7CKを"1"にセットしないでください。
注3) 低周波クロックの発振安定前にDV7CKを"1"にセットしないでください。

図1-12. タイミング ジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

Not Recommended for New Design

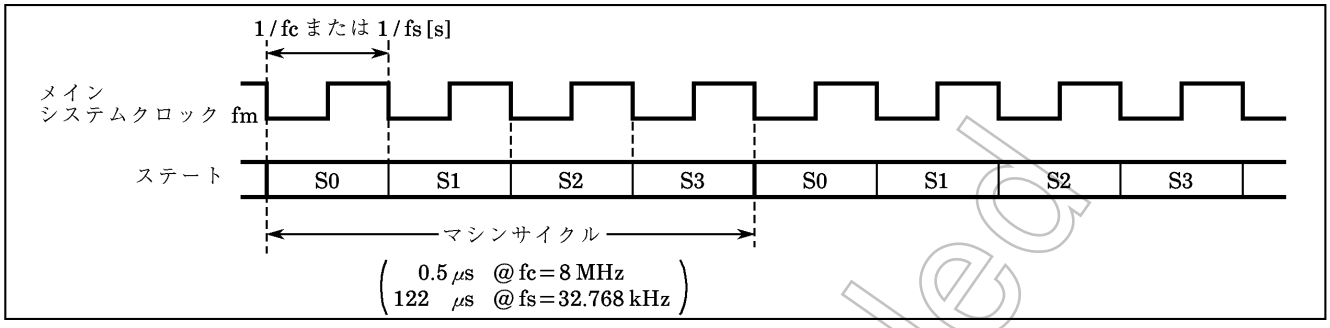


図1-13. マシンサイクル

1.8.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用, 低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-14.に動作モード遷移図を、図1-15.に制御レジスタを示します。

リセット解除時の動作モードは、シングルクロックモードかデュアルクロックモードかのいずれかをオプションで指定することができます。ただし、87PM74はシングルクロックモード固定となります (デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください)。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは 4/fc [s] (0.5 μs @ fc=8 MHz) となります。

① NORMAL1モード

CPUコアおよび周辺ハードウエアを高周波クロックで動作させるモードです。シングルクロックモードをオプション選択した場合、リセット解除後このNORMAL1モードになります。

② IDLE1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2で行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスタ許可フラグ) が "1" (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが "0" (割り込み禁止状態) のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

Not Recommended for New Design

③ STOP1モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOP1モードの起動は、システム制御レジスタ1で行います。解除は、$\overline{\text{STOP}}$ 端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOP1モードを起動した命令の次の命令から実行再開します。

(2) デュアル クロック モード

高周波, 低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時、高周波クロックから生成され、SLOW, SLEEPモード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4 / fc [s] , SLOW, SLEEP モード時 4 / fs [s] (122 μs @ fs = 32.768 kHz) となります。

① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波 / 低周波の両クロックで動作します。デュアルクロックモードをオプション選択した場合、リセット解除後このNORMAL2モードになります。

② SLOWモード

高周波クロックの発振を停止させ、CPUコア, 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2からSLOWへの切り替え, SLOWからNORMAL2への切り替えは、システム制御レジスタ2で行います。

③ IDLE2モード

CPUおよびウォッチドッグ タイマを停止し、周辺ハードウエアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2モードの起動 / 解除方法は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

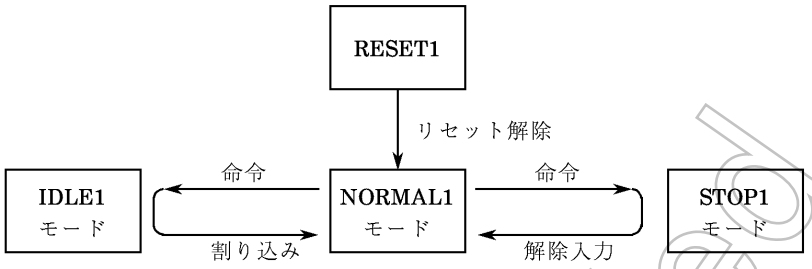
④ SLEEPモード

CPUおよびウォッチドッグ タイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEPモードの起動 / 解除方法は、IDLE1モードと同じです。解除後、SLOWモードに戻ります。なお、高周波クロックは発振しておりません。

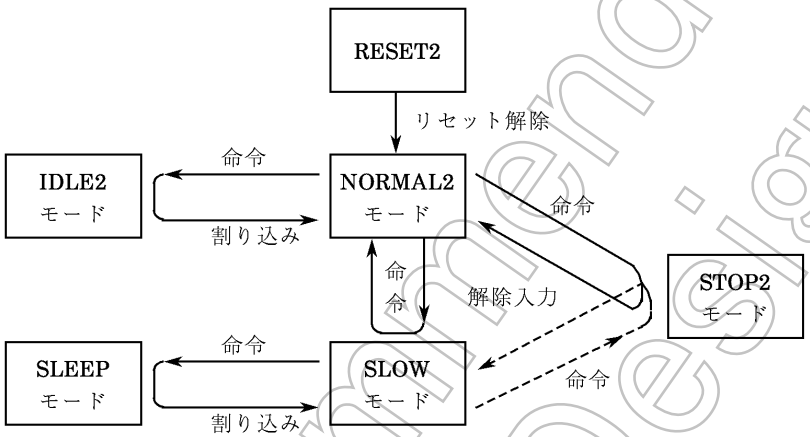
⑤ STOP2モード

シングル クロック モードのSTOP1モードと同様、システムの動作をすべて停止するモードです。

Not Recommended for New Design



(a) シングルクロック モード状態遷移図



(b) デュアルクロック モード状態遷移図

注1) NORMAL1, NORMAL2 を 、STOP1, STOP2 を 、IDLE1, IDLE2, SLEEP を、それぞれ総称してNORMAL, STOP, IDLE と呼びます。

注2) 87PM74には、RESET2はありません。

動作モード		発振回路		CPUコア	周辺回路	マシンサイクルタイム
		高周波	低周波			
シングルクロック	RESET1	発　振	停　止	リセット	リセット	4 / fc [s]
	NORMAL1			動　作	動　作	
	IDLE1			停　止		
	STOP1	停　止			停　止	—
デュアルクロック	RESET2	発　振	発　振	リセット	リセット	4 / fc [s]
	NORMAL2			高周波動作	動　作	
	IDLE2			停　止		
	SLOW	停　止		低周波動作	低周波動作 (注1)	4 / fs [s]
	SLEEP			停　止		
	STOP2		停　止		停　止	—

注1) 蛍光表示管 (VFT) ドライバは、停止します。

図1-14. 動作モード状態遷移図

Not Recommended for New Design

システム制御レジスタ1

SYSCR1 (0038_H)

7	6	5	4	3	2	1	0
STOP	RELM	RETM	OUTEN	WUT			

(初期値 0000 00**)

STOP	STOPモードの起動	0 : CPUコア, 周辺ハードウエア 動作 1 : CPUコア, 周辺ハードウエア 停止 (STOPモード起	R/W
RELM	STOPモードの解除方法の選択	0 : $\overline{\text{STOP}}$端子入力の立ち上がりエッジで解除 1 : $\overline{\text{STOP}}$端子入力の"H" レベルで解除	
RETM	STOPモード解除後の動作モードの選択	0 : NORMALモードへ戻る 1 : SLOWモードへ戻る	
OUTEN	STOPモード時のポート出力状態の選択	0 : ハイインピーダンス 1 : 出力保持	
WUT	STOPモード解除時のウォーミングアップ時間	00 : 3×2^{19}/fc または 3×2^{13}/fs [s] 01 : 2^{19}/fc または 2^{13}/fs 1* : reserved	

注1) RETMは、NORMAL1モードからSTOP1 モードに移す場合およびNORMAL2モードからSTOP2モードに移す場合はかならず "0" にしてください。SLOWモードからSTOP2モードに移す場合はかならず "1" にしてください。

注2) STOPモードを$\overline{\text{RESET}}$端子入力で解除した場合は、RETMの値にかかわらずNORMALモードに戻ります。

注3) fc ; 高周波クロック [Hz]
fs ; 低周波クロック [Hz]
* ; don't care

注4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。

注5) STOPモードでポート出力をハイインピーダンス指定 (OUTEN = 0) 時、ポート入力は内部で強制的に"L" レベルに固定されるため、ポートと兼用の外部割り込み入力 (P20 (STOP/INT5) を除く) の割り込みラッチがセットされることがあります。STOPモードでポート出力をハイインピーダンス指定にする場合割り込み受け付けを一時禁止 (IMF = 0) にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

例 : STOPモードの起動

```
LD    (SYSCR1), 01000000B     ; OUTEN←0 (ハイインピーダンス指定)
DI                            ; IMF←0
SET   (SYSCR1). STOP          ; STOP←1 (STOPモード起動)
LDW (IL), 1110011101010111B   ; IL12, 11, 7, 5, 3←0 (割り込みラッチのクリア)
EI                            ; IMF←1
```

図1-15. システム制御レジスタ (1)

Not Recommended for New Design

システム制御レジスタ2

SYSCR2 (0039_H)

7	6	5	4	3	2	1	0
XEN	XTEN	SYSCK	IDLE				

(初期値　10/1000　****)

XEN	高周波発振器の制御	0：発振停止 1：発振継続 または 発振開始	R/W
XTEN	低周波発振器の制御	0：発振停止 1：発振継続 または 発振開始	
SYSCK	システムクロックの 選択(write)/モニタ(read)	0：高周波クロック(NORMAL1/NORMAL2/IDLE1/IDLE2) 1：低周波クロック (SLOW/SLEEP)	
IDLE	IDLE モードの起動	0：CPU, WDT動作 1：CPU, WDT停止 (IDLE1/IDLE2/SLEEPモード起動)	

注1)　XEN, XTENをともに“0”にするとリセットがかかります ($\overline{\text{RESET}}$ 端子出力が“L”レベルとなります)。

注2)　SYSCK = 0のときXENを“0”に、またSYSCK = 1のときXTENを“0”にしないでください。

注3)　WDT ; ウォッチドッグタイマ, * ; don't care

注4)　SYSCR2のビット3~0は、リードすると不定値が読み出されます。

注5)　XTENは、初期値のオプション選択ができます。ES発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作成依頼書にてマスクオプションの指定をかならず行ってください。記入の仕方については付録の“TLCS-870 シリーズにおけるマスクオプション指定方法”を参照してください。

注6)　87PM74の場合、XTENの初期値は“0”です。

XTEN	リセット解除後の動作モード
0	シングルクロックモード (NORMAL1)
1	デュアルクロックモード (NORMAL2)

図1-15.　システム制御レジスタ (2)

1.8.4　動作モードの制御

(1)　STOPモード (STOP1, STOP2)

STOPモードは、システム制御レジスタ1 (SYSCR1) と$\overline{\text{STOP}}$端子入力によって制御されます。$\overline{\text{STOP}}$端子は、P20ポートならびに$\overline{\text{INT5}}$ (外部割り込み入力5) 端子と兼用です。STOPモードは、STOP (SYSCR1のビット7) を“1”にセットすることにより起動され、STOPモード中、次の状態を保持しています。

① 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。

② データメモリ, レジスタ (DBRを除く), プログラムステータスワード, ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN (SYSCR1のビット4) の設定により、出力保持/ハイインピーダンスの選択ができます。

③ タイミングジェネレータのデバイダを“0”にクリアします。

④ プログラムカウンタは、STOPモードを起動する命令 (例えば、[SET　(SYSCR1).7]) の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM (SYSCR1のビット6) で選択します。

Not Recommended for New Design

a. レベル解除モード (RELM＝“1” のとき)

$\overline{\text{STOP}}$端子への “H” レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$端子入力が “H” レベルの状態でSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、ただちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードでSTOP動作で起動する場合、$\overline{\text{STOP}}$端子入力が “L” レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 ($\overline{\text{INT5}}$端子入力の立ち下がりエッジで割り込みを発生します)

例： INT5割り込みにより、STOPモードを起動

```
PINT5 : TEST   (P2).0                  ;  ノイズ除去のため P20ポート入力が “H”
        JRS    F, SINT5                   レベルならSTOPモードを起動しない。
        LD     (SYSCR1), 01000000B     ;  レベル解除モードにセットアップ
        SET    (SYSCR1).7              ;  STOPモードを起動
        LDW    (IL), 1111011101010111B ;  IL11,7,5,3←0 (割り込みラッチのクリア)
SINT5 : RETI
```

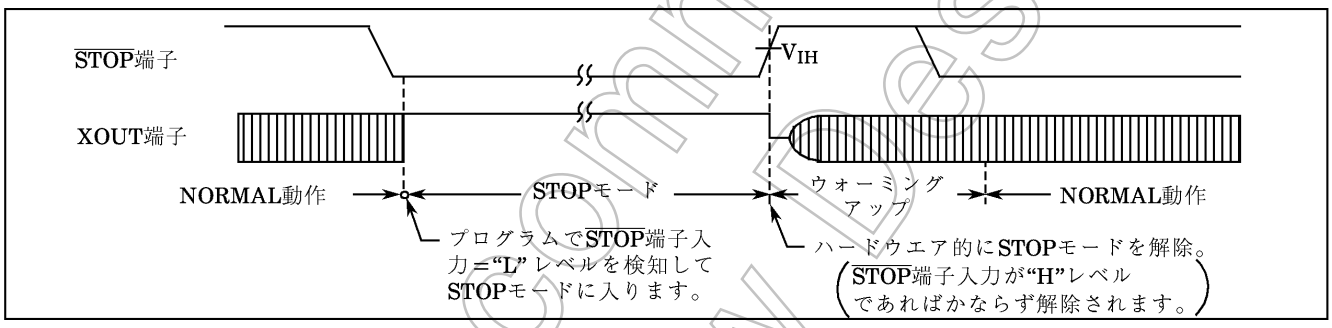


図1-16. レベル解除モード

注1) ウォーミングアップ開始後、再びSTOP端子入力が “L” レベルになってもSTOPモードには戻りません。
注2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

Not recommended for New Design

b. エッジ解除モード (RELM＝“0”のとき)

$\overline{\text{STOP}}$端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を$\overline{\text{STOP}}$端子に入力します。エッジ解除モードの場合、$\overline{\text{STOP}}$端子入力が“H”レベルにあってもSTOP動作に入ります。

例： エッジ解除モードのSTOPモードを起動

```
LD      (SYSCR1), 00000000B     ;  OUTEN←0 (ハイインピーダンス指定)
DI              ;  IMF←0
SET     (SYSCR1). STOP          ;  STOP←1 (STOPモード起動)
LDW     (IL), 1111011101010111B ;  IL11,7,5,3←0 (割り込みラッチのクリア)
EI                              ;  IMF←1
```

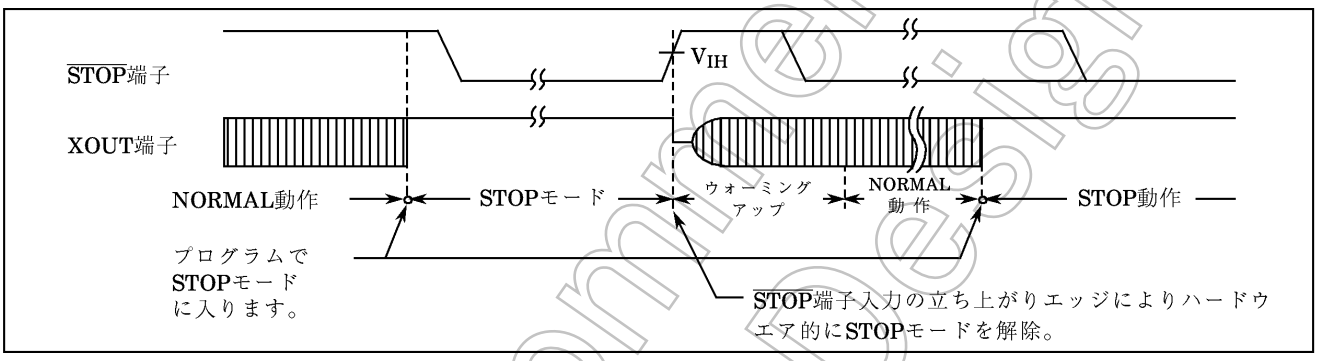


図1-17. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

① 発振が開始されます。デュアルクロックモードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。

② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2) で2種類選択できます。

③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは“0”にクリアされた状態から始まります。

表1-1. ウォーミングアップ時間 (例)

NORMALモードに戻る場合			SLOWモードに戻る場合	
WUT	fc＝4.194304 MHz時	fc＝8 MHz時	WUT	fs＝32.768 kHz時
3×2^{19}/fc [s]	375 [ms]	196.6 [ms]	3×2^{13}/fs [s]	750 [ms]
2^{19}/fc	125	65.5	2^{13}/fs	250

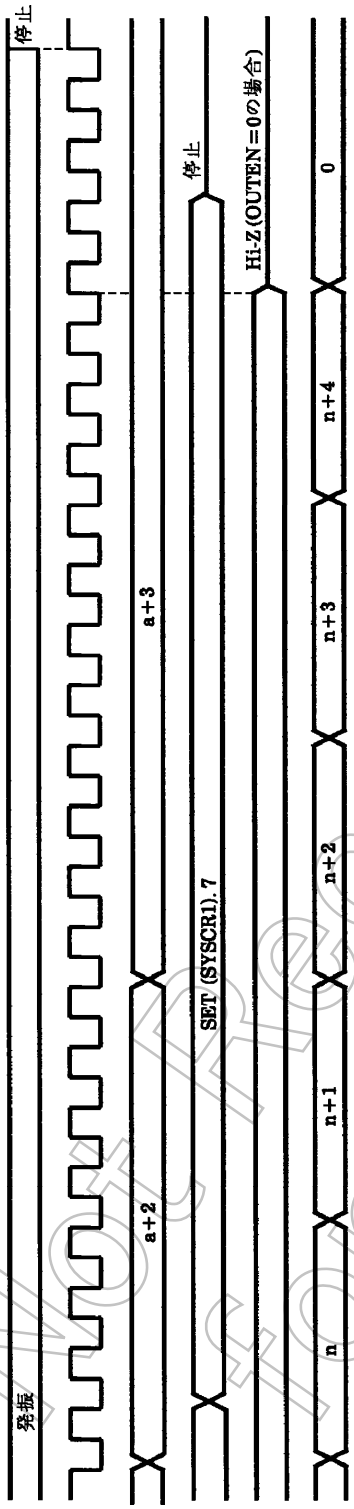
Not Recommended for New Design

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、$\overline{\text{RESET}}$端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。この場合、SLOWモードに戻る設定がされていても、NORMALモード(87CH74A/M74Aの場合、マスクオプションにてXTEN (SYSCR2のビット6)の初期値が“1”のときはNORMAL2モード、87PM74の場合はNORMAL1モード)から始まります。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。
STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときにはRESET端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET端子の入力電圧レベルがRESET端子入力(ヒステリシス入力)の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

Not Recommended for New Design



(a) STOPモードの起動 (例:a番地に置かれたSET (SYSCR1). 7命令による起動)

(b) STOPモードの解除

図1-18. STOPモードの起動/解除

Not Recommended for New Design

(2) IDLEモード (IDLE1, IDLE2, SLEEP)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

① CPUおよびウォッチドッグタイマは動作を停止します。
周辺ハードウエアは動作を継続します。

② データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。

③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

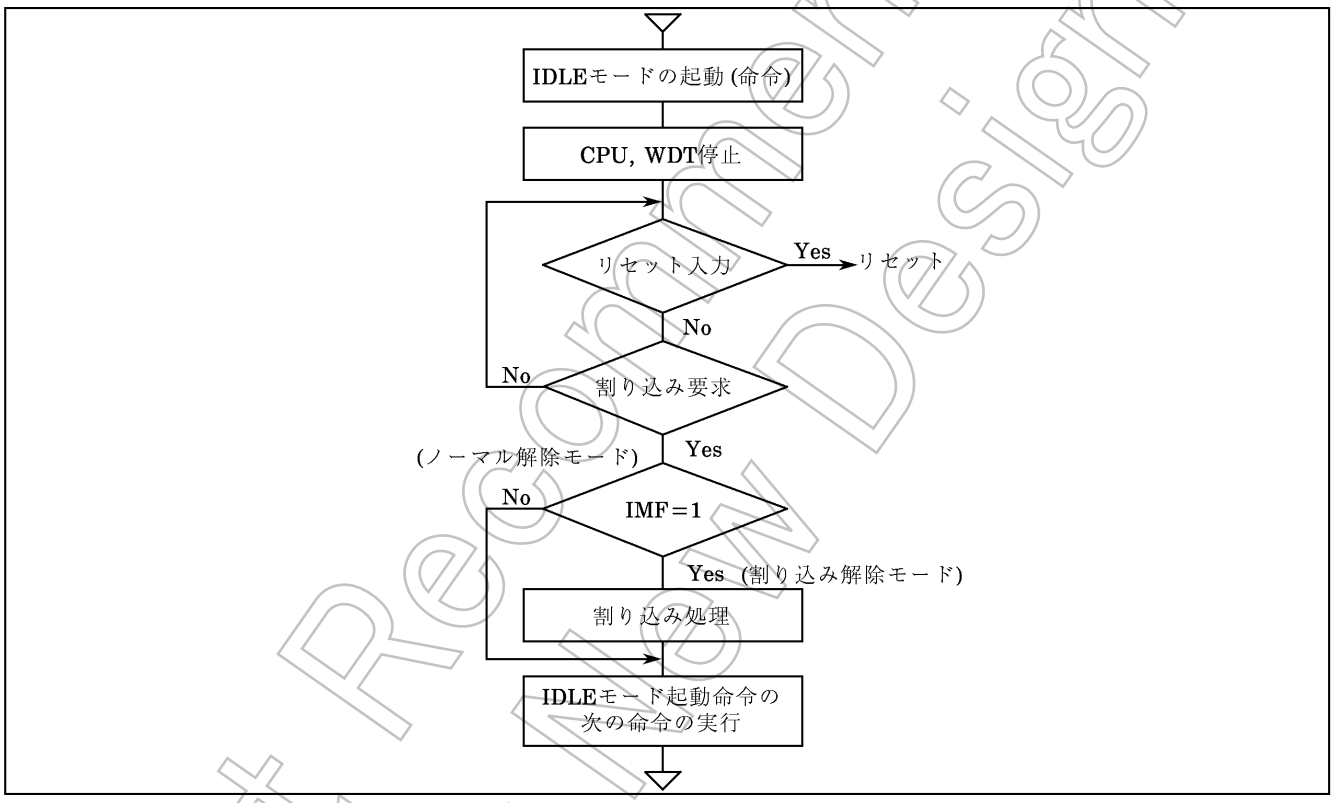


図1-19. IDLEモード

例： IDLEモードの起動

```
SET  (SYSCR2).4
```

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、IDLE1モードのときはNORMAL1モードに、IDLE2モードのときはNORMAL2モードに、SLEEPモードのときはSLOWモードに戻ります。

Not Recommended for New Design

a. ノーマル解除モード (IMF＝“0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

b. 割り込み解除モード (IMF＝“1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求によりIDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードで起動した命令の次の命令に戻ります。

なお、IDLEモードは、$\overline{RESET}$端子を “L” レベルにすることによっても解除され、ただちに通常のリセット動作を行います。SLEEPモードでリセットをかけた場合はリセット解除後、NORMAL2モード (87CH74A/M74A の場合、マスクオプションにてXTEN (SYSCR2 のビット6) の初期値が“1” のときはNORMAL2 モード、87PM74の場合はNORMAL1モード) から始まります。

注) IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

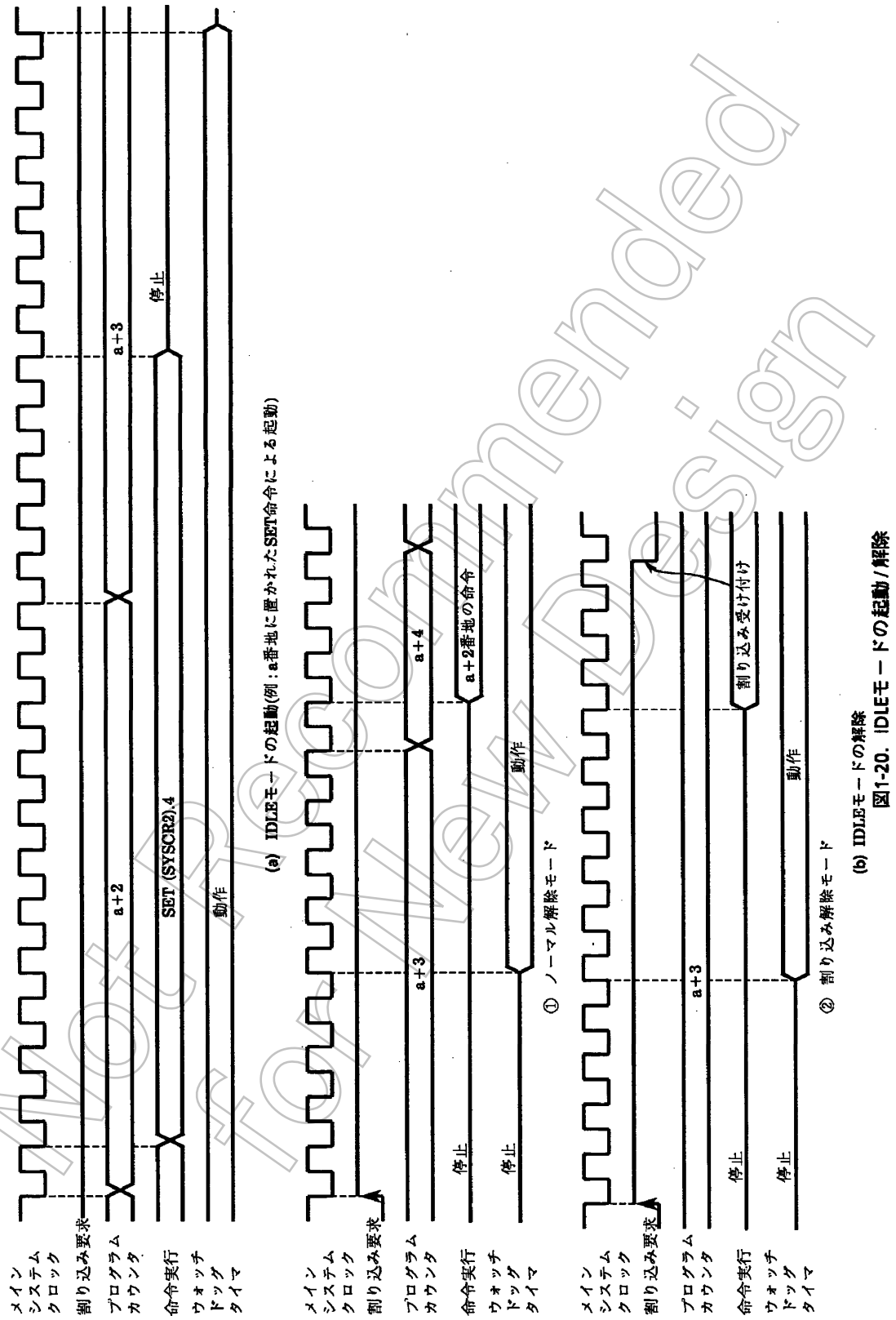


図1-20. IDLEモードの起動/解除

Not Recommended for New Design

(3) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) およびタイマカウンタ2 (TC2) によって制御されます。

a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、XEN (SYSCR2のビット7) を“0”にクリアして高周波発振器を停止します。

注) NORMAL2モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOWモードからSTOPモードを起動する場合は、かならず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ2を使用すると便利です。

例1 : NORMAL2モードからSLOWモードへの切り替え

```
        SET     (SYSCR2).5      ;  SYSCK←1  (システムクロックを低周波に切り替え)
        CLR     (SYSCR2).7      ;  XEN←0    (高周波クロック停止)
```

例2 : TC2で低周波クロックの安定発振の確認後、SLOWモードへ切り替え。

```
        LD      (TC2CR), 14H    ;  TC2のモードをセット(タイマモード, ソースクロック:fs)
        LDW     (TREG2), 8000H  ;  ウォーミングアップ時間をセット
                                   (発振子の特性で時間を決定します)
        SET     (EIRH).EF14     ;  INTTC2割り込み許可
        LD      (TC2CR), 34H    ;  TC2スタート
         ⋮
PINTTC2 : LD    (TC2CR), 10H    ;  TC2ストップ
        SET     (SYSCR2).5      ;  SYSCK←1  (システムクロックを低周波に切り替え)
        CLR     (SYSCR2).7      ;  XEN←0    (高周波クロック停止)
        RETI
         ⋮
VINTTC2 : DW    PINTTC2         ;  INTTC2 ベクタテーブル
```

Not Recommended for New Design

b. SLOWモードからNORMAL2モードへの切り替え

まず、XEN (SYSCR2のビット7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ2によって確保したあと、SYSCK (SYSCR2のビット5) を “0” にクリアします

注1) SYSCKを “0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。 注2) SLOWモードをリセットによって解除した場合、NORMAL2モードに戻ります (87CH74A/M74Aの場合、マスクオプションにてXTEN (SYSCR2 のビット6) の初期値が “1” のときはNORMAL2モード、87PM74の場合はNORMAL1モードへ戻ります)。

例： SLOWモードからNORMAL2モードへの切り替え (fc＝8 MHz, ウォーミングアップ時間＝7.9 ms)

```
        SET   (SYSCR2).7        ; XEN←1     (高周波クロック発振開始)
        LD    (TC2CR), 10H      ; TC2のモードをセット (タイマモード, ソースクロック : fc)
        LD    (TREG2+1), 0F8H   ; ウォーミングアップ時間をセット
                                  (周波数と発振子の特性で時間を決定します)
        SET   (EIRH). EF14      ; INTTC2割り込み許可
        LD                        (TC2CR), 30H ;  TC2スタート
         ⋮
PINTTC2 : LD                      (TC2CR), 10H ;  TC2ストップ
        CLR   (SYSCR2).5        ; SYSCK←0  (システムクロックを高周波に切り替え)
        RETI
         ⋮
VINTTC2 : DW   PINTTC2          ; INTTC2ベクタテーブル
```

Not Recommended for New Design

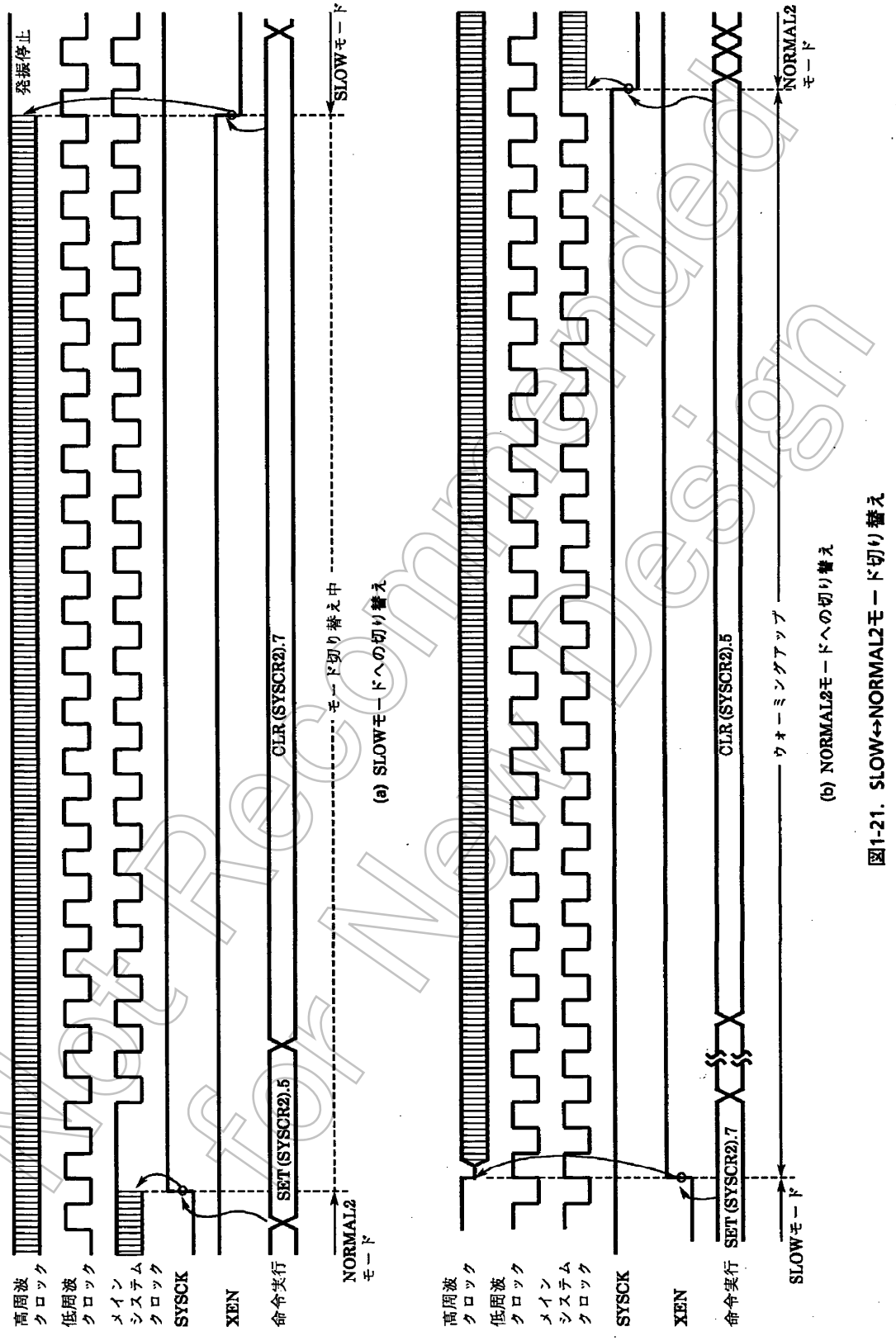


図1-21. SLOW↔NORMAL2モード切り替え

Not Recommended for New Design

1.9 割り込み制御回路

87CH74A/M74Aには、外部6種, 内部9種の合計15種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。

図1-22.に割り込み制御回路を示します。

表1-2. 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスカブル	—	$FFFE_H$	高位 0
内部	INTSW (ソフトウエア割り込み)	擬似ノンマスカブル	—	$FFFC_H$	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL_2	$FFFA_H$	2
外部	INT0 (外部割り込み0)	IMF＝1, INT0EN＝1	IL_3	$FFF8_H$	3
内部	INTTC1 (16-bitタイマカウンタ1割り込み)	IMF・EF_4＝1	IL_4	$FFF6_H$	4
外部	INT1 (外部割り込み1)	IMF・EF_5＝1	IL_5	$FFF4_H$	5
内部	INTTBT (タイムベースタイマ割り込み)	IMF・EF_6＝1	IL_6	$FFF2_H$	6
外部	INT2 (外部割り込み2)	IMF・EF_7＝1	IL_7	$FFF0_H$	7
内部	INTTC3 (8-bitタイマカウンタ3割り込み)	IMF・EF_8＝1	IL_8	$FFEE_H$	8
内部	INTSBI (シリアルバスインタフェース割り込み)	IMF・EF_9＝1	IL_9	$FFEC_H$	9
内部	INTTC4 (8-bitタイマカウンタ4割り込み)	IMF・EF_{10}＝1	IL_{10}	$FFEA_H$	10
外部	INT3 (外部割り込み3)	IMF・EF_{11}＝1	IL_{11}	$FFE8_H$	11
外部	INT4 (外部割り込み4)	IMF・EF_{12}＝1	IL_{12}	$FFE6_H$	12
内部	INTSIO1 (シリアルインタフェース1割り込み)	IMF・EF_{13}＝1	IL_{13}	$FFE4_H$	13
内部	INTTC2 (16-bitタイマカウンタ2割り込み)	IMF・EF_{14}＝1	IL_{14}	$FFE2_H$	14
外部	INT5 (外部割り込み5)	IMF・EF_{15}＝1	IL_{15}	$FFE0_H$	低位 15

Not Recommended for New Design

(1) 割り込みラッチ (IL_{15}~IL_2)

割り込みラッチは、ソフトウエア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, $003D_H$番地に割り付けられており、命令で個別にクリアすることができ(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。ただし、IL2は命令でクリアしないでください。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。

例1：割り込みラッチのクリア

```
LDW     (IL), 1110100000111111B   ;  IL12, IL10~IL6←0
```

例2：割り込みラッチの読み出し

```
LD      WA, (IL)                  ;  W←ILH, A←ILL
```

例3：割り込みラッチのテスト

```
TEST    (IL).7                    ;  IL7=1ならジャンプ
JR      F, SSET
```

Not Recommended for New Design

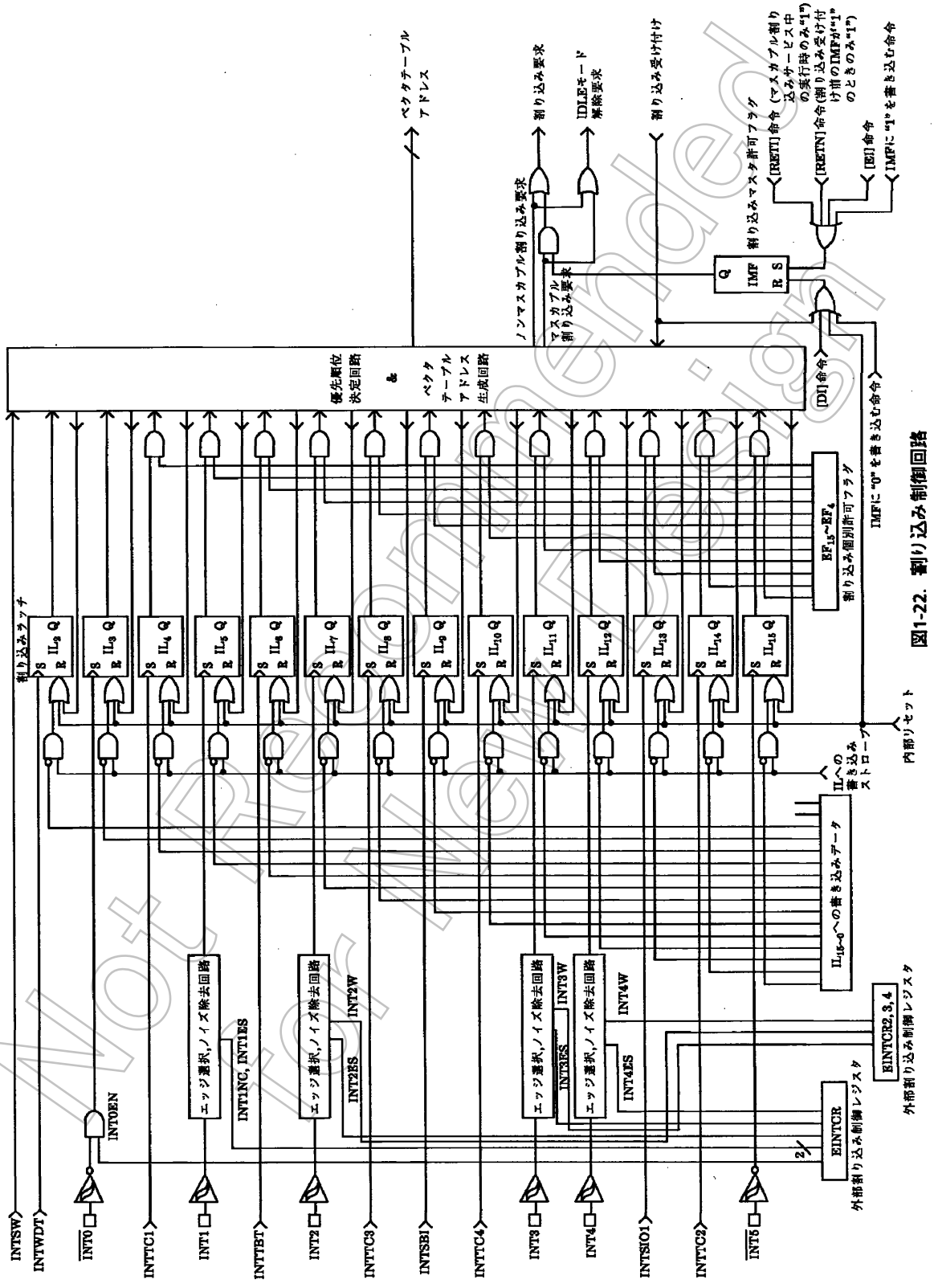


図1-22. 割り込み制御回路

Not Recommended for New Design

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスカブル割り込み (ソフトウエア割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスカブル割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR内の$003A_H$, $003B_H$番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

① 割り込みマスタ許可フラグ (IMF)

すべてのマスカブル割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令 [RETI] により “1” にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI] 命令の実行直後から割り込み処理に入ります。

擬似ノンマスカブル割り込みの場合は、ノンマスカブル割り込みリターン命令[RETN] によりリターンします。この場合、割り込み受け付けの許可状態 (IMF＝1) で擬似ノンマスカブル割り込み処理に入ったときのみ、割り込みマスタ許可フラグは “1” にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR_L (SFR内の$003A_H$番地) のビット0に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI] / [DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

② 割り込み個別許可フラグ (EF_{15}~EF_4)

外部割り込み0を除く各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

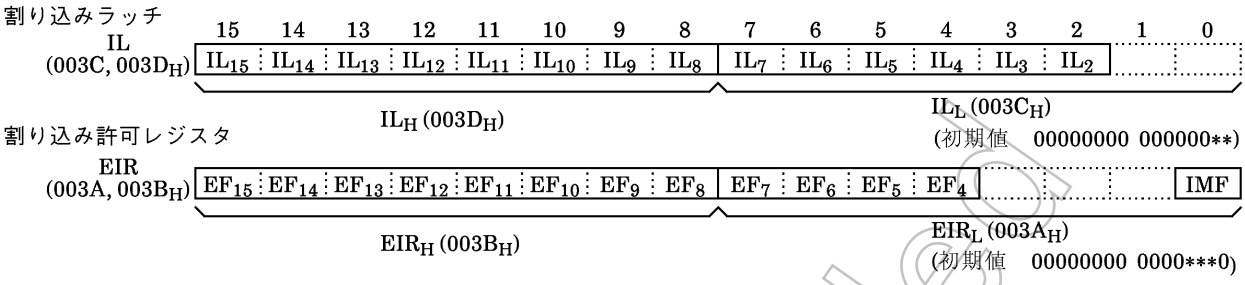
例1 : 割り込みの個別許可とIMFのセット

```
LDW    (EIR), 1110100010100001B    ;  EF15~EF13, EF11, EF7, EF5, IMF←1
```

例2 : 割り込みの個別許可フラグのセット

```
SET  (EIRH).4                      ;  EF12←1
```

Not Recommended for New Design



注1) ILはビット操作などのリードモディファイライト命令でクリアしないでください。
注2) IL$_2$は命令でクリアしないでください。
注3) ノンマスカブル割り込みサービスプログラム中で、割り込みマスタ許可フラグを"1"にセットしないでください。

図1-23. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが"0"にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクル (4 μs @8 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合) / [RETN] (擬似ノンマスカブル割り込みの場合)を実行して終了します。図1-24.に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

① 割り込みマスタ許可フラグ(IMF)を"0"にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、そのあとのノンマスカブル割り込みの受け付けも一時的に禁止します。

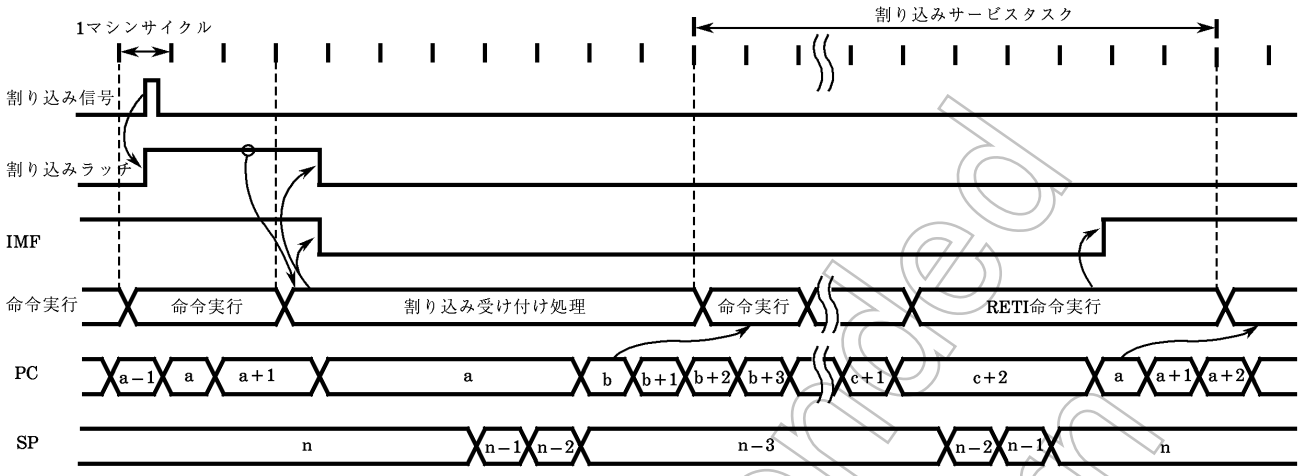
② 受け付けた割り込み要因の割り込みラッチを"0"にクリアします。

③ プログラムカウンタ(PC)およびプログラムステータスワード(PSW)の内容をスタックに退避します (PSW, PC$_H$, PC$_L$の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。

④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。

⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

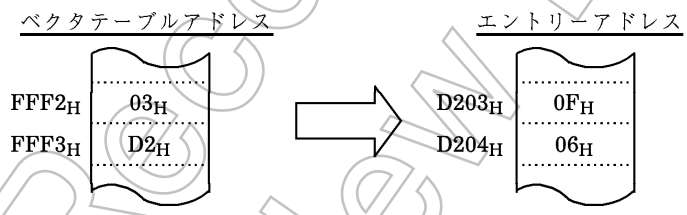
Not Recommended for New Design



注1) a；リターンアドレス　b；エントリーアドレス　c；RETI命令が格納されているアドレス
注2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまで時間は、割り込み許可状態のとき最大38/fc [s] または38/fs [s] (10サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図1-24. 割り込み受け付け処理/割り込みリターン命令 タイミングチャート

例： INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN＝0の期間、割り込みラッチIL_3はセットされませんので$\overline{INT0}$端子入力の立ち下がりエッジは検出できません) か、または、プログラムでソフトウエア的に割り込み処理を禁止します。

例1： 外部割り込み制御レジスタによる外部割り込み0の禁止

```
LD    (EINTCR), 00000000B    ;  INT0EN←0
```

Not Recommended for New Design

例2 : ソフトウエアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを$00F0_H$番地のビット0とします)。

```
PINT0 : TEST    (00F0H).0  ;  (00F0H)0=1 なら割り込み処理行わずにリターン
        JRS     T, SINT0
        RETI
SINT0 : 割 り 込 み 処 理
        RETI
          ⋮
VINT0 : DW      PINT0
```

(2) 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替える ([LD RBS, n], [INC (GRBS)] 命令などを使用) ことで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令 [RETI] / [RETN] の実行で自動的に復帰します。従って、RBSを退避する必要はありません。

例 : レジスタバンク切り替え

```
PINTxx : LD      RBS, n     ;  バンクnに切り替え (1 μs @8 MHz)
         割 り 込 み 処 理
         RETI                ;  バンクの復帰とリターン
```

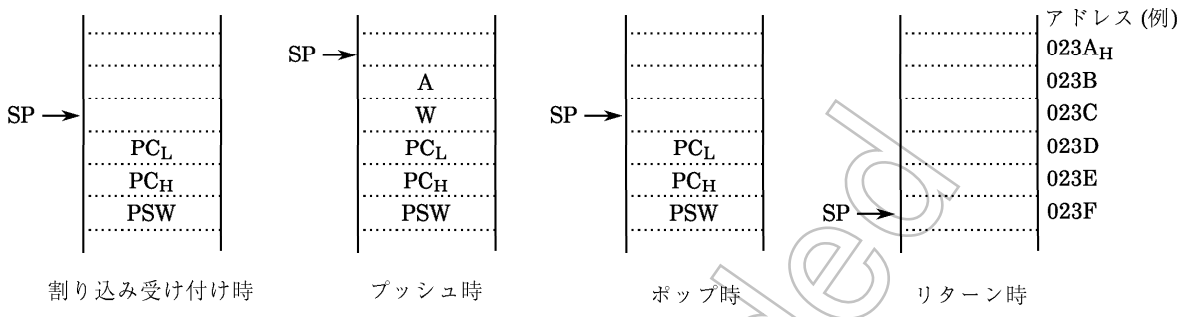
② プッシュ/ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例 : プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx : PUSH    WA         ;  WAレジスタをスタックに退避
         割 り 込 み 処 理
         POP     WA         ;  WAレジスタをスタックから復帰
         RETI               ;  リターン
```

Not Recommended for New Design



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```
PINTxx : LD      (GSAVA), A      ;  Aレジスタの退避
         割り込み処理
         LD      A, (GSAVA)      ;  Aレジスタの復帰
         RETI                    ;  リターン
```

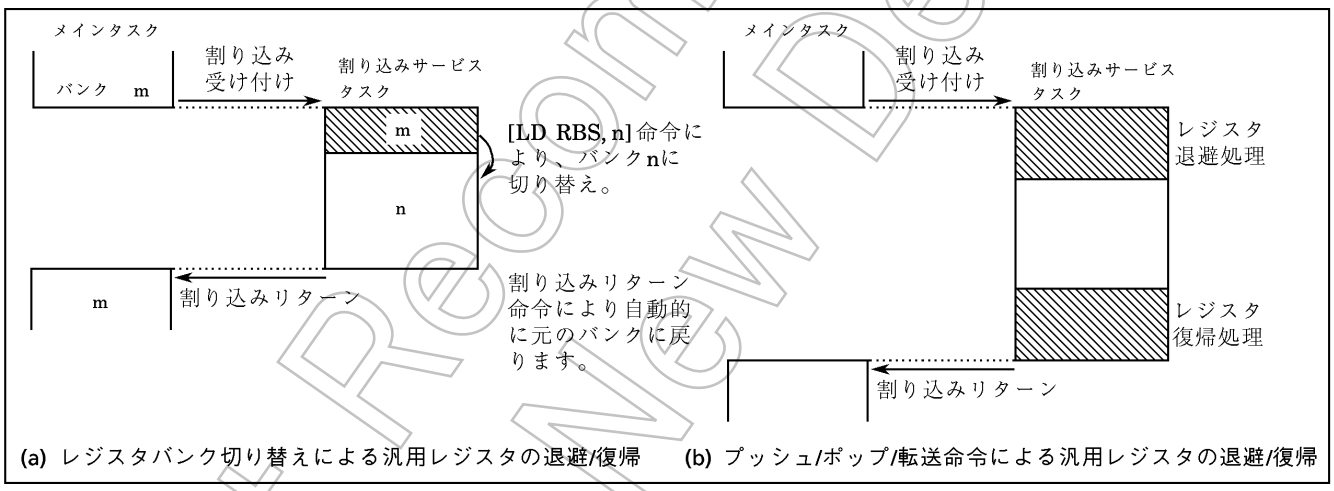


図1-25. 割り込み処理における汎用レジスタの退避 / 復帰処理

Not Recommended for New Design

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタおよびプログラムステータスワードの内容をスタックからそれぞれリストアします。	① プログラムカウンタおよびプログラムステータスワードの内容をスタックからそれぞれリストアします。
② スタックポインタを3回インクリメントします。	② スタックポインタを3回インクリメントします。
③ 割り込みマスタ許可フラグを“1”にセットします。	③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.9.2 ソフトウエア割り込み (INTSW)

SWI命令を実行することにより、ソフトウエア割り込みが発生しただちに割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウエア割り込みは発生せず、NOP命令と同一の動作を行います。

注) 開発ツールでは、SWI命令をソフトウエアブレークに使用できるように、ノンマスカブル割り込み処理中でもかならずソフトウエア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_Hは、SWI命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR 領域に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) 87CH74A/M74Aおよび87PM74の7F80~7FFF$_H$番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF_Hとなりません。

② デバッギング

SWI命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

Not Recommended for New Design

1.9.3 外部割り込み

87CH74A/M74Aには、6本の外部割り込み入力 ($\overline{INT0}$, INT1, INT2, INT3, INT4, $\overline{INT5}$) があり、うち4本 (INT1, INT2, INT3, INT4) はデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1~INT4端子は、エッジ選択可能です。なお、$\overline{INT0}$ / P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択, ノイズ除去の制御 および $\overline{INT0}$ / P10端子の機能選択は、外部割り込み制御レジスタ (EINTCR) で行います。

INT2, INT3, INT4端子の両エッジ検出機能の選択は、外部割り込み制御レジスタ2, 3, 4 (EINTCR2, EINTCR3およびEINTCR4) で行ないます。表1-3.に外部割り込み要因の許可条件, エッジ選択, ノイズ除去条件を示します。

表1-3 (a). 外部割り込み

要　因	端子名	兼用端子	許可条件	エッジ			デジタルノイズ除去回路
				立ち上がり	立ち下がり	両エッジ	
INT0	$\overline{INT0}$	P10	IMF＝1 INT0EN＝1	−	○	−	なし (ヒステリシス入力)
INT1	INT1	P11	IMF･EF_5＝1	INT1ES＝0	INT1ES＝1	−	15/fcまたは63/fc[s]未満のパルスはノイズとして除去します。48/fcまたは、192/fc[s]以上のパルスは確実に信号とみなします。
INT2	INT2	P16	IMF･EF_7＝1 INT2W＝0	INT2ES＝0	INT2ES＝1	−	立ち下がりエッジまたは立ち上がりエッジの場合、7/fc[s]未満のパルスはノイズとして除去します。24/fc[s]以上は確実に信号と見なします。
			IMF･EF_7＝1 INT2W＝1	−	−	INT2W＝1 注2)	ノイズ除去条件は表1-4.に示す通りで、INT2端子を両エッジ割り込みとして使用する場合のみ適用しています。
INT3	INT3	P15/TC1	IMF･EF_{11}＝1 INT3W＝0	INT3ES＝0	INT3ES＝1	−	立ち下がりエッジまたは立ち上がりエッジの場合、7/fc[s]未満のパルスはノイズとして除去します。24/fc[s]以上は確実に信号と見なします。なお、TC1(片エッジの場合)端子に対しても適用しています。
			IMF･EF_{11}＝1 INT3W＝1	−	−	INT3W＝1 注2)	ノイズ除去条件は表1-4.に示す通りで、INT3端子を両エッジ割り込みとして使用する場合のみ適用しています。
INT4	INT4	P17/TC3	IMF･EF_{12}＝1 INT4W＝0	INT4ES＝0	INT4ES＝1	−	立ち下がりエッジまたは立ち上がりエッジの場合、7/fc[s]未満のパルスはノイズとして除去します。24/fc[s]以上は確実に信号と見なします。なお、TC3(片エッジの場合)端子に対しても適用しています。
			IMF･EF_{12}＝1 INT4W＝1	−	−	INT4W＝1 注2)	ノイズ除去条件は表1-4.に示す通りで、INT4端子を両エッジ割り込みとして使用する場合のみ適用しています。(なお、タイマ3をキャプチャモードで使用し、リモコン信号などの検出を行う場合には、INT4端子を両エッジ割り込みで使用します。)
INT5	$\overline{INT5}$	$\overline{P20/STOP}$	IMF･EF_{15}＝1	−	○	−	なし(ヒステリシス入力)

Not Recommended for New Design

注1) $\overline{INT0}$, INT1, INT2, INT3, INT4, $\overline{INT5}$をSLOW/SLEEPモードで使用した場合、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。

注2) 両エッジのうち、どちらのエッジによる割り込みであるかは、割り込み処理ルーチン内で、それぞれINT2EDT (EINTCR2のビット6), INT3EDT (EINTCR3のビット6), INT4EDT (EINTCR4のビット6) を読み出すことで検出できます。INT2EDT, INT3EDT, INT4EDTは、それぞれINT2ES, INT3ES, INT4ES (EINTCRのビット2, 3, 4) で選択されたエッジに対し逆側のエッジを検出した場合に"1"にセットされます。例えば、INT3ES = 0 (立ち上がり) に設定した場合は、INT3EDTはINT3端子の立ち下がりを検出すると"1"にセットされます (エッジ検出がない場合または、立ち上がりエッジの検出では"0"のままです)。
また、INT3ES = 1(立ち下がり)に設定した場合、INT3EDT (EINTCR3のビット6) は、INT3端子の立ち上がりエッジを検出すると"1"にセットされます (エッジ検出がない場合または、立ち下がりエッジでは"0"のままです)。なお、INT3EDTは、読み出し後自動的に"0"にクリアされます。
外部割り込み制御レジスタ (INTTCR) の設定/書き替えを行う場合には、注意が必要です。
詳細は、図1.26 (a) 注2/注3/注4/注5/注6/を参照し、注意事項を厳守してください。

注3) ノイズ除去回路は、タイマカウンタ入力 (TC1, TC3端子) のエッジ検出に対しても働きます。

注4) タイマ/カウンタのノイズ除去/パルス受け付け条件は次のとおりです。
① TC1端子 P15端子をTC1入力として使用する場合は、INT3W = 0の状態で使用しINT3Wは"1"に切り替えないようにしてください。
② TC3端子 INT3W = 0のとき7/fc未満 (ノイズ除去)、24/fc以上 (パルス受け付け)
INT3W = 1のときは別表1-4.に示します。

注5) NORMAL1/2またはIDLE1/2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

1. INT1端子 49/fc[s] (INT1NC = 1のとき)
193/fc[s] (INT1NC = 0のとき)

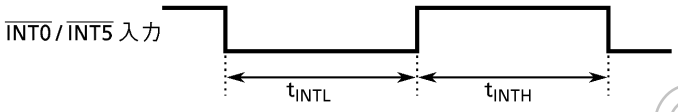
2. INT2端子
EINTCR2 : INT2W = 0(立ち下がりまたは立ち上がりエッジ) のとき25/fc[s]
EINTCR2 : INT2W = 1 (両エッジ) , NCS (0,0,0) のとき 25/fc
EINTCR2 : INT2W = 1 (両エッジ) , NCS (0,0,1) のとき $2^6/fc \times 8.5 + 19/fc$
EINTCR2 : INT2W = 1 (両エッジ) , NCS (0,1,0) のとき $2^7/fc \times 8.5 + 19/fc$
EINTCR2 : INT2W = 1 (両エッジ) , NCS (0,1,1) のとき $2^8/fc \times 8.5 + 19/fc$
EINTCR2 : INT2W = 1 (両エッジ) , NCS (1,0,0) のとき $2^9/fc \times 8.5 + 19/fc$
EINTCR2 : INT2W = 1 (両エッジ) , NCS (1,0,1) のとき $2^{10}/fc \times 8.5 + 19/fc$
EINTCR2 : INT2W = 1 (両エッジ) , NCS (1,1,0) のとき $2^{11}/fc \times 8.5 + 19/fc$
EINTCR2 : INT2W = 1 (両エッジ) , NCS (1,1,1) のとき $2^{12}/fc \times 8.5 + 19/fc$

3. INT3端子
EINTCR3 : INT3W = 0(立ち下がりまたは立ち上がりエッジ) のとき25/fc[s]
EINTCR3 : INT3W = 1 (両エッジ) , NCS (0,0,0) のとき 25/fc
EINTCR3 : INT3W = 1 (両エッジ) , NCS (0,0,1) のとき $2^6/fc \times 8.5 + 19/fc$
EINTCR3 : INT3W = 1 (両エッジ) , NCS (0,1,0) のとき $2^7/fc \times 8.5 + 19/fc$
EINTCR3 : INT3W = 1 (両エッジ) , NCS (0,1,1) のとき $2^8/fc \times 8.5 + 19/fc$
EINTCR3 : INT3W = 1 (両エッジ) , NCS (1,0,0) のとき $2^9/fc \times 8.5 + 19/fc$
EINTCR3 : INT3W = 1 (両エッジ) , NCS (1,0,1) のとき $2^{10}/fc \times 8.5 + 19/fc$
EINTCR3 : INT3W = 1 (両エッジ) , NCS (1,1,0) のとき $2^{11}/fc \times 8.5 + 19/fc$
EINTCR3 : INT3W = 1 (両エッジ) , NCS (1,1,1) のとき $2^{12}/fc \times 8.5 + 19/fc$

Not Recommended for New Design

4. INT4端子 EINTCR4 ： INT4W = 0(立ち下がりまたは立ち上がりエッジ) のとき25/fc[s]
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (0,0,0) のとき 25/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (0,0,1) のとき 2^6/fc×8.5 + 19/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (0,1,0) のとき 2^7/fc×8.5 + 19/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (0,1,1) のとき 2^8/fc×8.5 + 19/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (1,0,0) のとき 2^9/fc×8.5 + 19/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (1,0,1) のとき 2^{10}/fc×8.5 + 19/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (1,1,0) のとき 2^{11}/fc×8.5 + 19/fc
EINTCR4 ： INT4W = 1 (両エッジ) , NCS (1,1,1) のとき 2^{12}/fc×8.5 + 19/fc

注6) $\overline{INT0}$および$\overline{INT5}$端子への入力パルス幅は、1マシンサイクル以上です。



t_{INTL}, t_{INTH} > tcyc
注) tcyc = 4/fc [s] (NORMAL1/2, IDLE1/2モード時)
4/fs (SLOW, SLEEPモード時)

注7) INT0EN = 0のとき、INT0端子入力の立ち下がりエッジが検出されても割り込みラッチIL_3はセットされません。

注8) STOPモードでポート出力をハイインピーダンス指定 (OUTEN = 0) 時、ポート入力は内部で強制的に"L"レベルに固定されるため、ポートと兼用の外部割り込み入力 (INT5を除く) の割り込みラッチがセットされることがあります。STOPモードでポート出力をハイインピーダンス指定にする場合、割り込み受け付けを一時禁止 (INF = 0) にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

例 ： STOPモードの起動

```
LD      (SYSCR1), 01000000B     ;  OUTEN←0 (ハイインピーダンス指定)
DI                              ;  IMF←0
SET     (SYSCR1), STOP          ;  STOP←1 (STOPモード起動)
LDW     (IL), 1110011101010111B ;  IL12, 11, 7, 5, 3←0 (割り込みラッチのクリア)
EI                              ;  IMF←1
```

表1-3 (b). INT2, INT3, INT4端子を両エッジ割り込み端子として使用する場合のノイズ除去条件

EINTCR2, EINTCR3, EINTCR4			ノイズとして除去するmax.値	信号として受け付けるmin.値
NCSx2	NCSx1	NCSx0		
0	0	0	ノイズ除去なし (ヒステリシス入力)	
0	0	1	(2^6/fc) ×7 - 6/fc	(2^6/fc) ×8+5/fc
0	1	0	(2^7/fc) ×7 - 6/fc	(2^7/fc) ×8+5/fc
0	1	1	(2^8/fc) ×7 - 6/fc	(2^8/fc) ×8+5/fc
1	0	0	(2^9/fc) ×7 - 6/fc	(2^9/fc) ×8+5/fc
1	0	1	(2^{10}/fc) ×7 - 6/fc	(2^{10}/fc) ×8+5/fc
1	1	0	(2^{11}/fc) ×7 - 6/fc	(2^{11}/fc) ×8+5/fc
1	1	1	(2^{12}/fc) ×7 - 6/fc	(2^{12}/fc) ×8+5/fc

注) SLOWモードのときは (NCSx2, 1, 0) = (0, 0, 0) として使用してください。
SLOWモードのきは、上記表のデジタルノイズフィルタは機能しません。

Not Recommended for New Design

EINTCR (0037_H)

7	6	5	4	3	2	1	0
INT1NC	INT0EN		INT4ES	INT3ES	INT2ES	INT1ES	

(初期値 00*0 000*)

INT1NC	INT1のノイズ除去時間の選択	0 : 63 / fc [s] 未満のパルスはノイズとして除去 1 : 15 / fc 〃	R/W
INT0EN	P10 / $\overline{INT0}$の機能選択	0 : P10 入出力ポート 1 : $\overline{INT0}$ 端子 (P10ポートは入力モードにしてください)	
INT4 ES INT3 ES INT2 ES INT1 ES	INT4~INT1のエッジ選択	0 : 立ち上がりエッジで割り込み要求発生 1 : 立ち下がりエッジ 〃	

注1) fc ; 高周波クロック [Hz] * ; don't care

注2) 外部割り込み制御レジスタ (EINTCR) の設定 / 書き替えは、まず割り込みを禁止状態 (IMF = 0) にしてから外部割り込み制御レジスタを設定 / 書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。

注3) INT2ES, INT3ESおよびINT4ESを、NORMAL1/2モード時に、外部割り込み入力信号のエッジを切り替える目的で書き替えた場合には、書き替えてから8命令サイクル以上おいてから、外部割り込みラッチ (INT2, INT3, INT4) をクリアしてください。SLOWモード時には、3命令サイクル必要です。

注4) INT2ES, INT3ESおよびINT4ESを、NORMAL1/2モード時に、タイマカウンタの外部クロック/パルス信号などのエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態)、書き替え後8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3, INT4) をクリアした後に、割り込みを許可状態にし、各タイマカウンタを再スタートさせてください。SLOWモード時には、3命令サイクル必要です。

例 : TC1で外部トリガモードでのカウントスタートのエッジを、立ち下がりエッジに切り替える場合

```
        LD    (TC1CR), 01001000B   ;  TC1S←00 (stop TC1)
        DI                         ;  IMF←0 (disable interrupt service)
        LD    (EINTCR), 00000100B  ;  INT2ES←1 (change edge selection)
        NOP
        ~
        NOP                                  } 8machine cycles
        LD    (ILL), 01111111B     ;  IL7←0 (clear interrupt latch)
        EI                         ;  IMF←1 (enable interrupt service)
        LD    (TC1CR), 01111000B   ;  TC1S←11 (start TC1)
```

注5) INT1ESを書き替えたとき、NORMAL1/2モードの場合には、切り替えてから14命令サイクル (INT1NC = 1のとき) または50命令サイクル (INT1NC = 0のとき) おいてから、INT1の割り込みラッチをクリアしてください。SLOWモード時には、3命令サイクル必要です。

注6) INT2W, INT3WおよびINT4Wが "1" にセットされている (両エッジ検出) ときは、INT2ES, INT3ESおよびINT4ESを書き替えないでください。

図1-26.(a) 外部割り込み制御レジスタ (1)

Not Recommended for New Design

割り込み制御レジスタ2

EINTCR2 (0025_H)

7	6	5	4	3	2	1	0
INT2W	INT2EDT		NCS2		INT2DET		

(初期値　0000 00**)

INT2W	INT2の両エッジ選択	0：INT2ESに準ずる 1：両エッジ検出	R/W
INT2EDT	INT2W＝1 (両エッジ) のとき、非アクティブエッジでの割り込みの有/無を示すフラグ	0：非アクティブエッジでの割り込みなし 1：非アクティブエッジでの割り込みあり	R
NCS2	INT2用デジタルノイズフィルタのノイズキャンセル時間の選択 (ただし、INT2W＝1のときのみ有効)	000：ノイズキャンセルなし 001：$(2^6/fc)\times7-6/fc$をノイズとして除去 010：$(2^7fc)\times7-6/fc$ 〃 011：$(2^8fc)\times7-6/fc$ 〃 100：$(2^9fc)\times7-6/fc$ 〃 101：$(2^{10}fc)\times7-6/fc$ 〃 110：$(2^{11}fc)\times7-6/fc$ 〃 111：$(2^{12}fc)\times7-6/fc$ 〃	R/W
INT2DET	INT2割り込みの検出	0：割り込みなし 1：割り込みあり	R

注1)　INT2EDTとNCS2はINT2Wビットが1のときのみ有効です。
従って、INT2W＝0のときは、NCS2ビットによって設定されるデジタルノイズフィルタは機能しません。

注2)　INT2Wが"1"にセットされている (両エッジ検出) 時は、INT2ES (EINTCRのビット2) を書き替えないでください。
INT2Wが"1"にセットされているとき、INT2ESを書き替える場合は、図1-26 (a) の注2/注3/注4の内容に従ってください。

割り込み制御レジスタ3

EINTCR3 (0026_H)

7	6	5	4	3	2	1	0
INT3W	INT3EDT		NCS3		INT3DET		

(初期値　0000 00**)

INT3W	INT3の両エッジ選択	0：INT3ESに準ずる 1：両エッジ検出	R/W
INT3EDT	INT3W＝1 (両エッジ) のとき、非アクティブエッジでの割り込みの有/無を示すフラグ	0：非アクティブエッジでの割り込みなし 1：非アクティブエッジでの割り込みあり	R
NCS3	INT3用デジタルノイズフィルタのノイズキャンセル時間の選択 (ただし、INT2W＝1のときのみ有効)	000：ノイズキャンセルなし 001：$(2^6/fc)\times7-6/fc$をノイズとして除去 010：$(2^7fc)\times7-6/fc$ 〃 011：$(2^8fc)\times7-6/fc$ 〃 100：$(2^9fc)\times7-6/fc$ 〃 101：$(2^{10}fc)\times7-6/fc$ 〃 110：$(2^{11}fc)\times7-6/fc$ 〃 111：$(2^{12}fc)\times7-6/fc$ 〃	R/W
INT3DET	INT3割り込みの検出	0：割り込みなし 1：割り込みあり	R

図1-26.(b)　外部割り込み制御レジスタ (2)

Not Recommended for New Design

注1) INT3EDTとNCS3はINT3Wビットが1のときのみ有効です。
従って、INT3W＝0のときは、NCS3ビットによって設定されるデジタルノイズフィルタは機能しません。

注2) INT3Wが“1”にセットされている (両エッジ検出) 時は、INT3ES (EINTCRのビット3) を書き替えないでください。
INT3Wが“1”にセットされているとき、INT3ESを書き替える場合は、図1-26 (a) の注2/注3/注4の内容に従ってください。

外部割り込み制御レジスタ4

EINTCR4 (0024_H)

7	6	5	4	3	2	1	0
INT4W	INT4EDT		NCS4		INT4DET		

(初期値 0000 00**)

INT4W	INT4の両エッジ選択	0：INT4ESに準ずる 1：両エッジ検出	R/W
INT4EDT	INT4W＝1 (両エッジ) のとき、非アクティブエッジでの割り込みの有/無を示すフラグ	0：非アクティブエッジでの割り込みなし 1：非アクティブエッジでの割り込みあり	R
NCS4	INT4用デジタルノイズフィルタのノイズキャンセル時間の選択 (ただし、INT4W＝1のときのみ有効)	000：ノイズキャンセルなし 001：(2^6/fc)×7－6/fcをノイズとして除去 010：(2^7fc)×7－6/fc　〃 011：(2^8fc)×7－6/fc　〃 100：(2^9fc)×7－6/fc　〃 101：(2^{10}fc)×7－6/fc　〃 110：(2^{11}fc)×7－6/fc　〃 111：(2^{12}fc)×7－6/fc　〃	R/W
INT4DET	INT4割り込みの検出	0：割り込みなし 1：割り込みあり	R

注1) INT4EDTとNCS4はINT4Wビットが1のときのみ有効です。
従って、INT4W＝“0”のときは、NCS4ビットによって設定されるデジタルノイズフィルタは機能しません。

注2) INT4Wが“1”にセットされている (両エッジ検出) 時は、INT4ES (EINTCRのビット4) を書き替えないでください。
INT4Wが“1”にセットされているとき、INT4ESを書き替える場合は、図1-26 (a) の注2/注3/注4の内容に従ってください。

図1-26 (c) 外部割り込み制御レジスタ (3)

Not Recommended for New Design

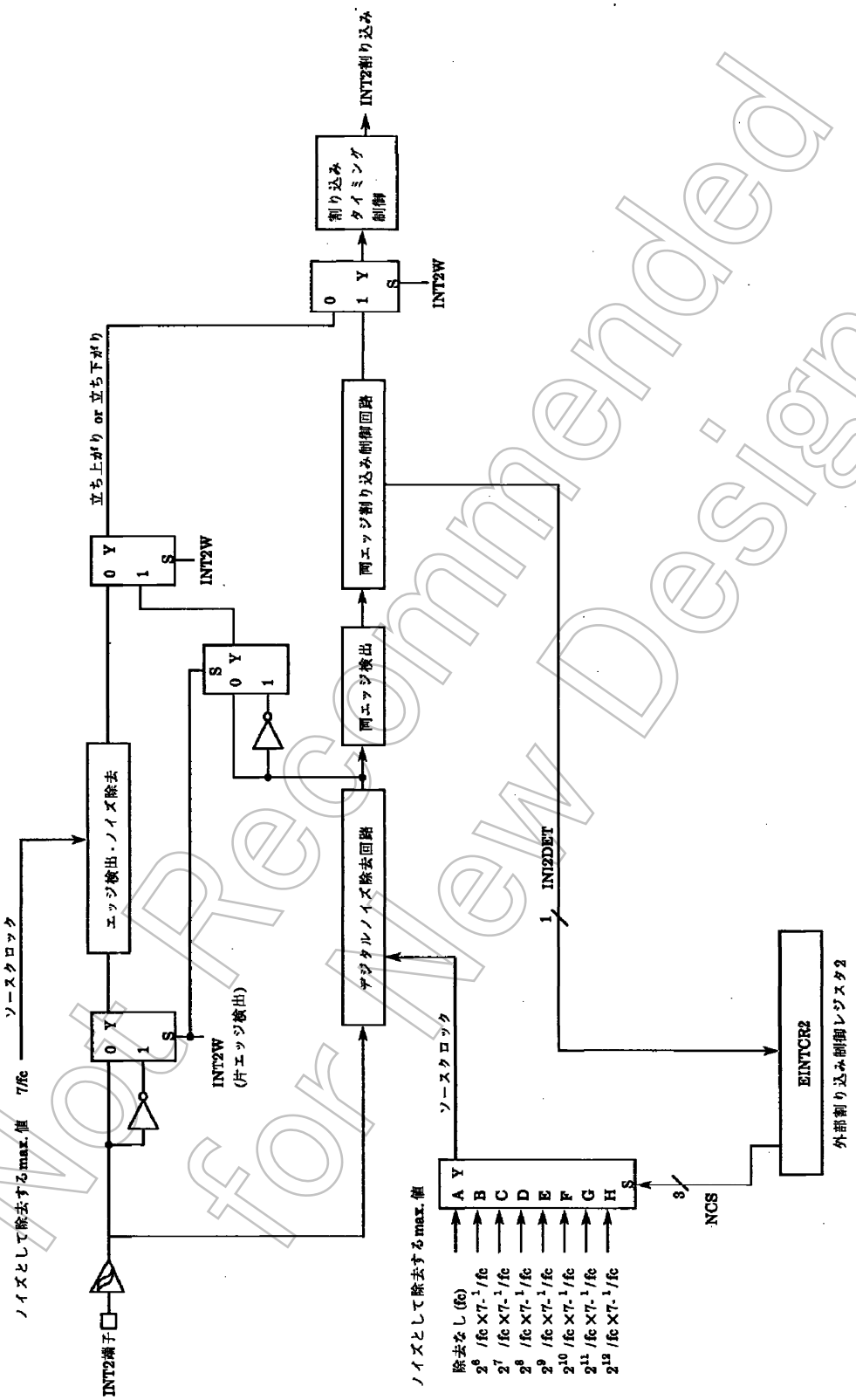


図1-26. (d) INT2端子の両エッジ検出/片エッジ検出の構成図

Not Recommended for New Design

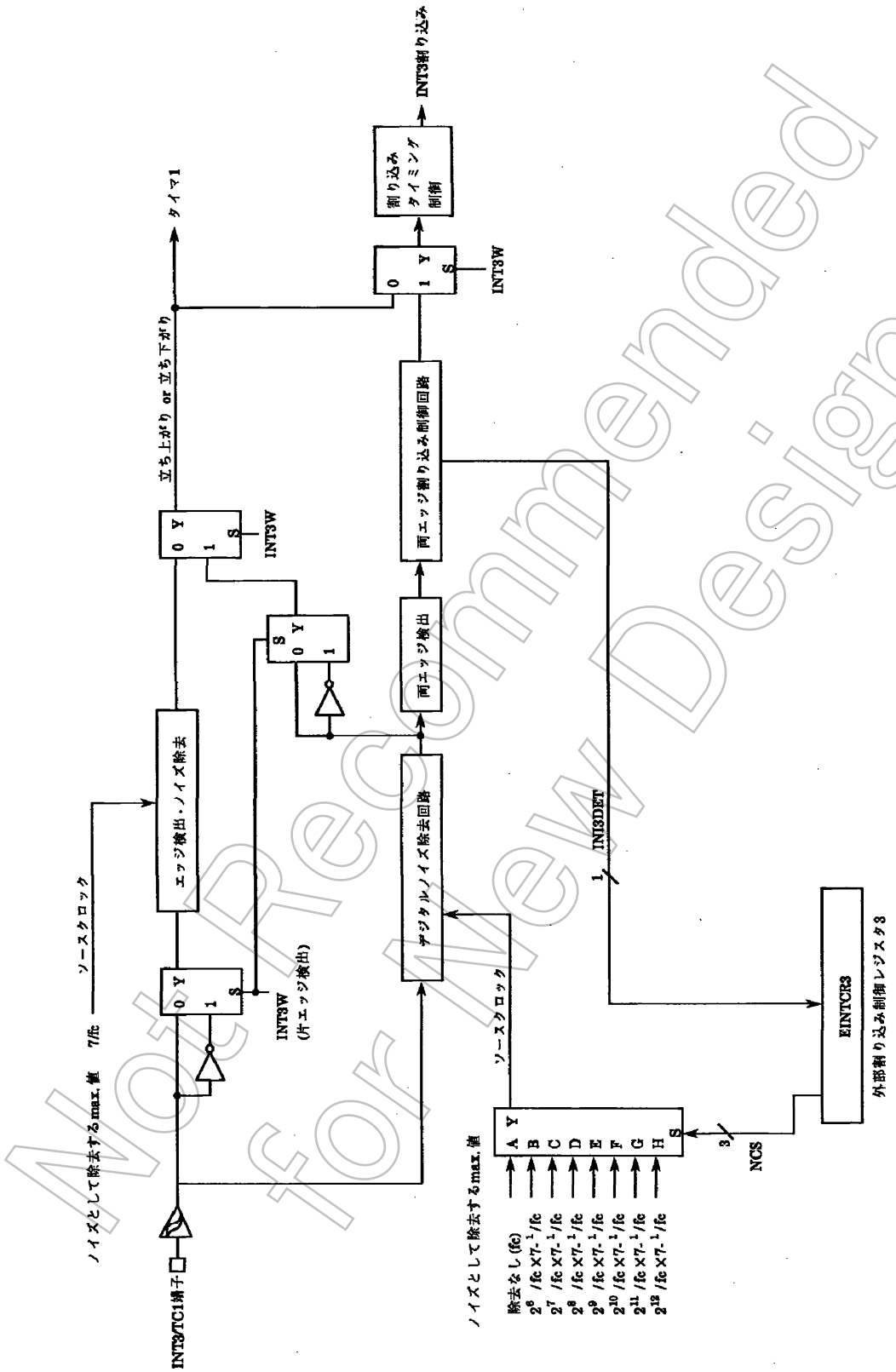


図1-26. (e) INT3/TC1端子の両エッジ検出/片エッジ検出の構成図

Not Recommended for New Design

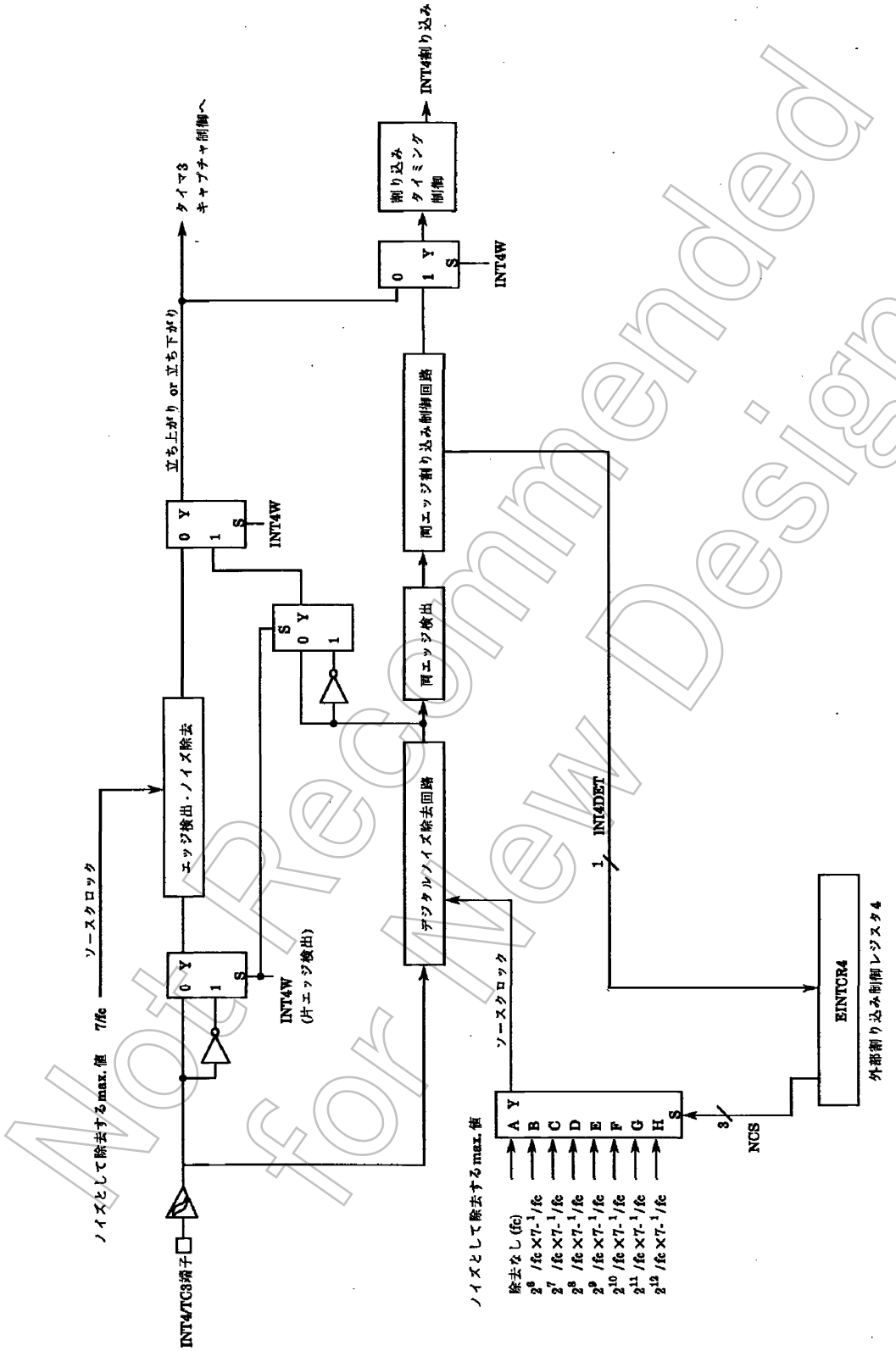


図1-26. (f) INT4/TC1端子の両エッジ検出/片エッジ検出の構成図

Not Recommended for New Design

INT2, INT3, INT4端子 (外部割り込み) 使用上の注意事項

(INT3, INT4とも同一機能のためINT2についてのみ記述しております。)

1. INT2端子を片エッジ (↑立ち上がりまたは↓立ち下がり) で使用する場合

注1) INT2端子による外部割り込みの発生有無は、割り込みラッチ (IL7) を読み出すことで可能です。 注2) 外部割り込み制御レジスタ (EINTCR) の設定/書き替えを行う場合には、注意が必要です。詳細は図1-26. (a) 注2/注3/注4/注5/注6を参照し、注意事項を厳守してください。

2. INT2端子を両エッジ (↑立ち上がり↓立ち下がりの両方) で使用する場合

注1) INT2端子を両エッジ (↑立ち上がりまたは↓立ち下がりの両方) で使用する場合はINT2W (EINTCR2のビット7) を1に設定してください。 注2) 両エッジの内、どちらのエッジによる割り込みかを判別するには、割り込み処理ルーチン内の先頭でINT2EDT (EINTCR2のビット6) を読み出してください。 注3) INT2EDTは両エッジ割り込み (INT2W = 1) のときのみ有効です。両エッジのうち、どちらのエッジによる割り込みであるかは、割り込み処理ルーチン内で、INT2EDT (EINTCR2のビット6) を読み出すことで検出できます。 INT2EDT (EINTCR2のビット6) は、INT2ES (EINTCRのビット2) で選択されたエッジに対し、逆側のエッジを検出した場合に“1”にセットされます。 例えば、INT2ES = 0 (立ち上がり) に設定した場合は、INT2EDTはINT2端子の立ち下がりを検出すると“1”にセットされます。(エッジ検出がない場合または、立ち上がりエッジの検出では“0”のままです。) また、INT2ES = 1 (立ち下がり) に設定した場合、INT2EDT (EINTCR2のビット6) は、INT2端子の立ち上がりエッジを検出すると“1”にセットされます。(エッジ検出がない場合または、立ち下がりエッジでは“0”のままです。) なお、INT2EDTは、読み出し後自動的に“0”にクリアされます。 注4) 外部割り込み制御レジスタ (EINTCR) の設定/書き替えを行う場合には、注意が必要です。詳細は図1-26. (a) 注2/注3/注4/注5/注6を参照し、注意事項を厳守してください。

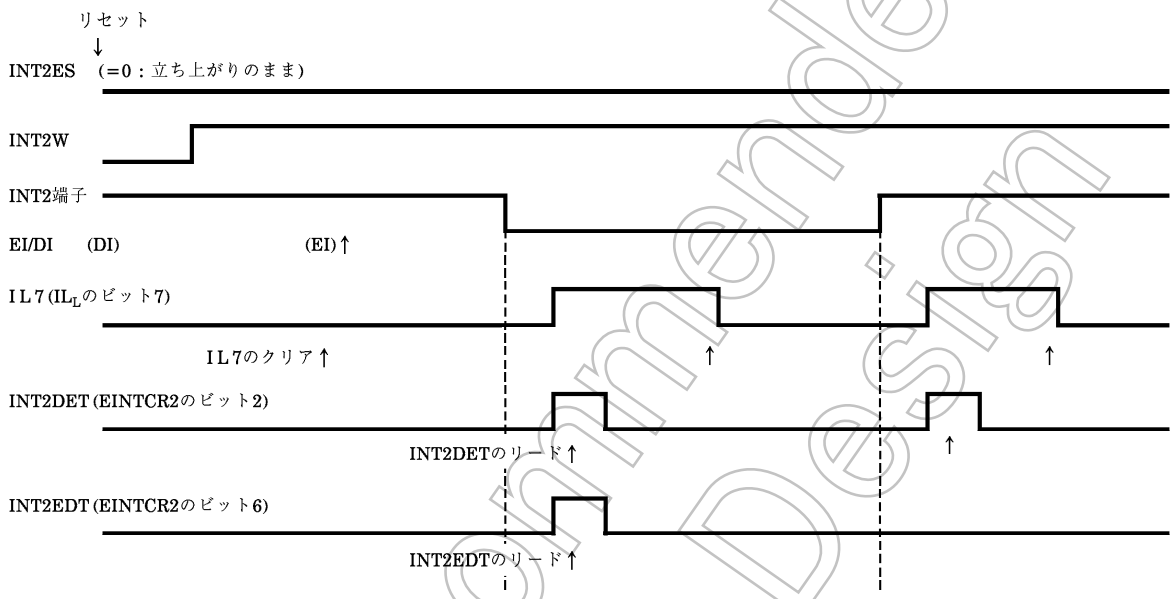
Not Recommended for New Design

INT2端子 (両エッジ割り込み) 使用時の動作説明

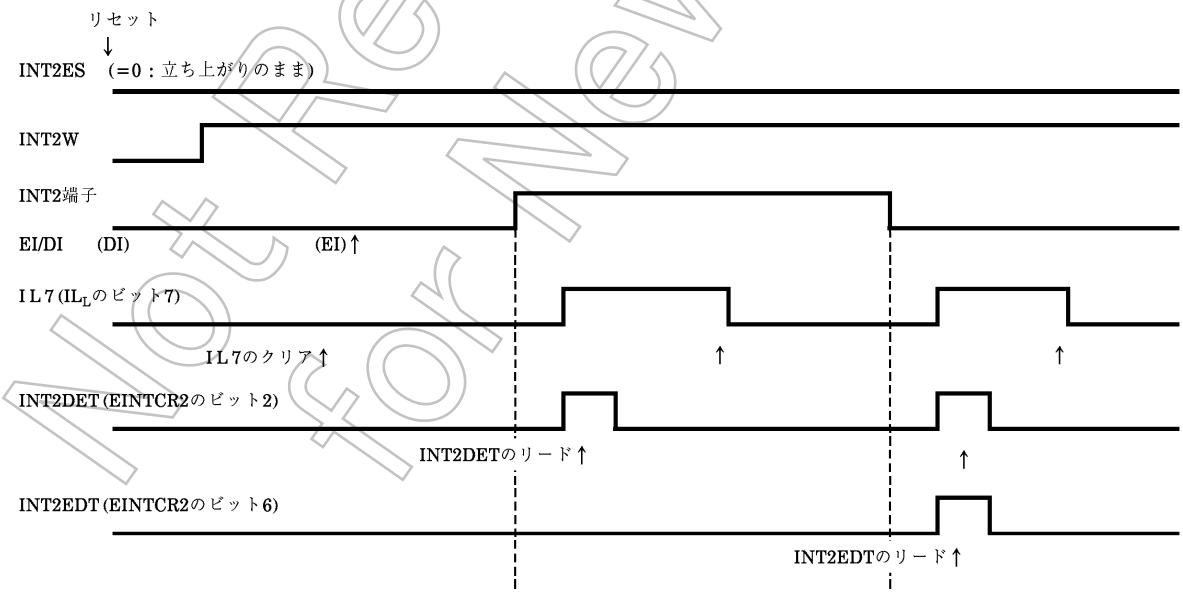
1. リセット後、外部割り込み制御レジスタ (EINTCR) の設定/書き替えを行わない場合の動作

: この場合は、両エッジ割り込みのアクティブ側エッジが立ち上がり (INT2ES＝0) 固定の場合の動作になります。

1) Case1 : リセット後INT2端子の初期状態が “H” レベルの場合



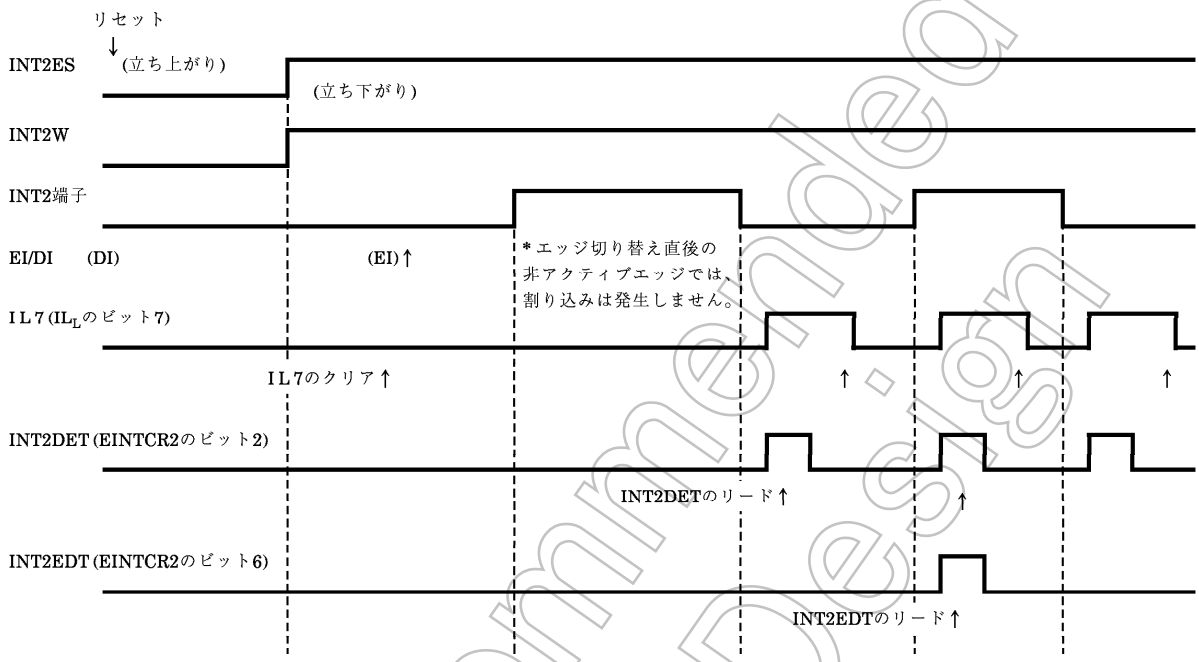
2) Case2 : リセット後INT2端子の初期状態が “L” レベルの場合



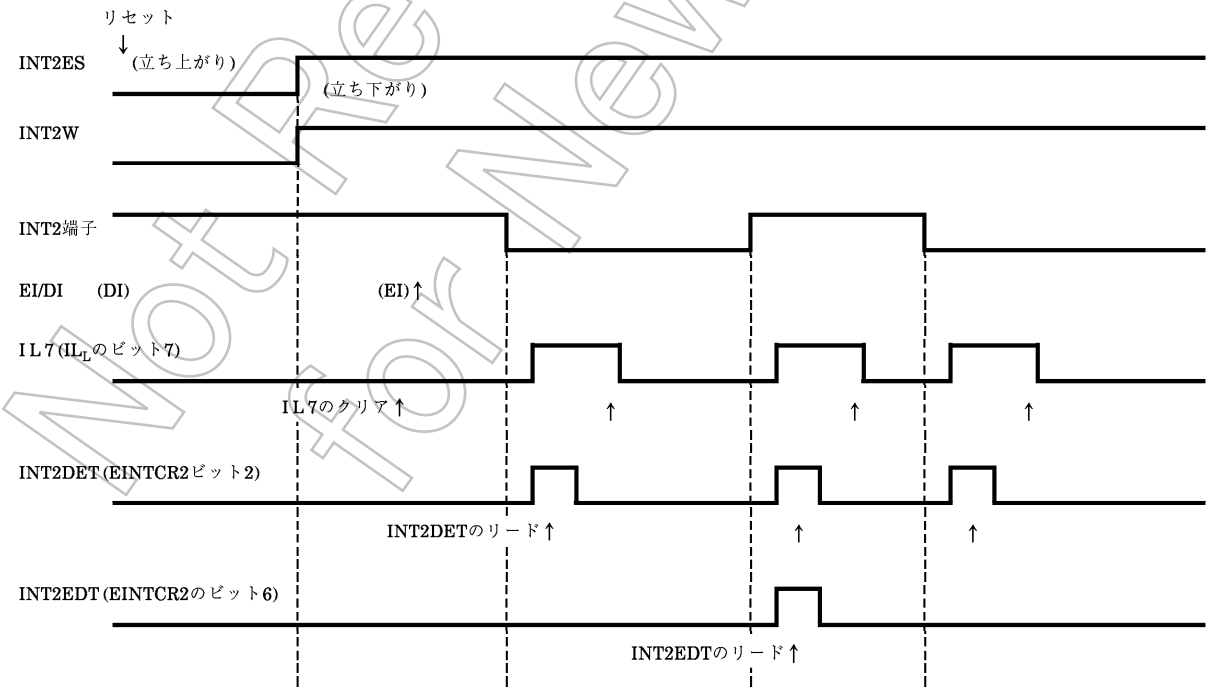
Not Recommended for New Design

2. リセット後、外部割り込み制御レジスタ (EINTCR) の設定/書き替えを行う場合の動作

1) Case3 : リセット後INT2端子の初期状態が "L" レベル / エッジ切り替え時 "L" レベル / エッジ切り替え (立ち上がり→立ち下がり)

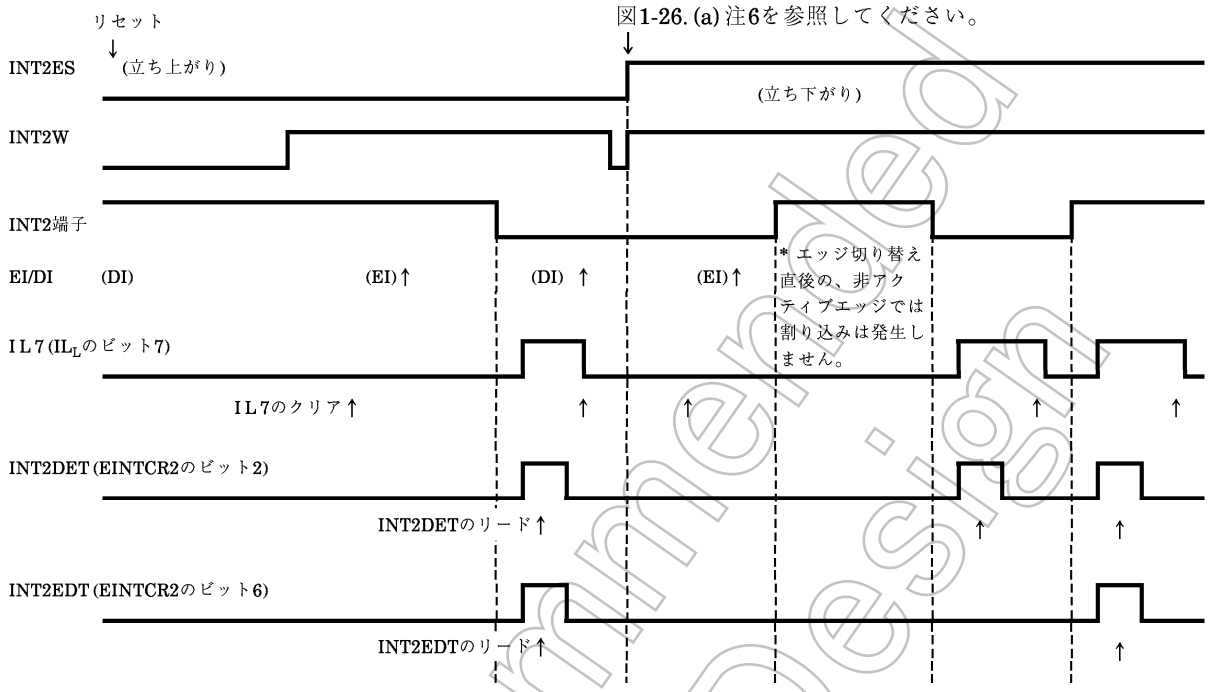


2) Case4 : リセット後INT2端子の初期状態が "H" レベル / エッジ切り替え時 "H" レベル / エッジ切り替え (立ち上がり→立ち下がり)

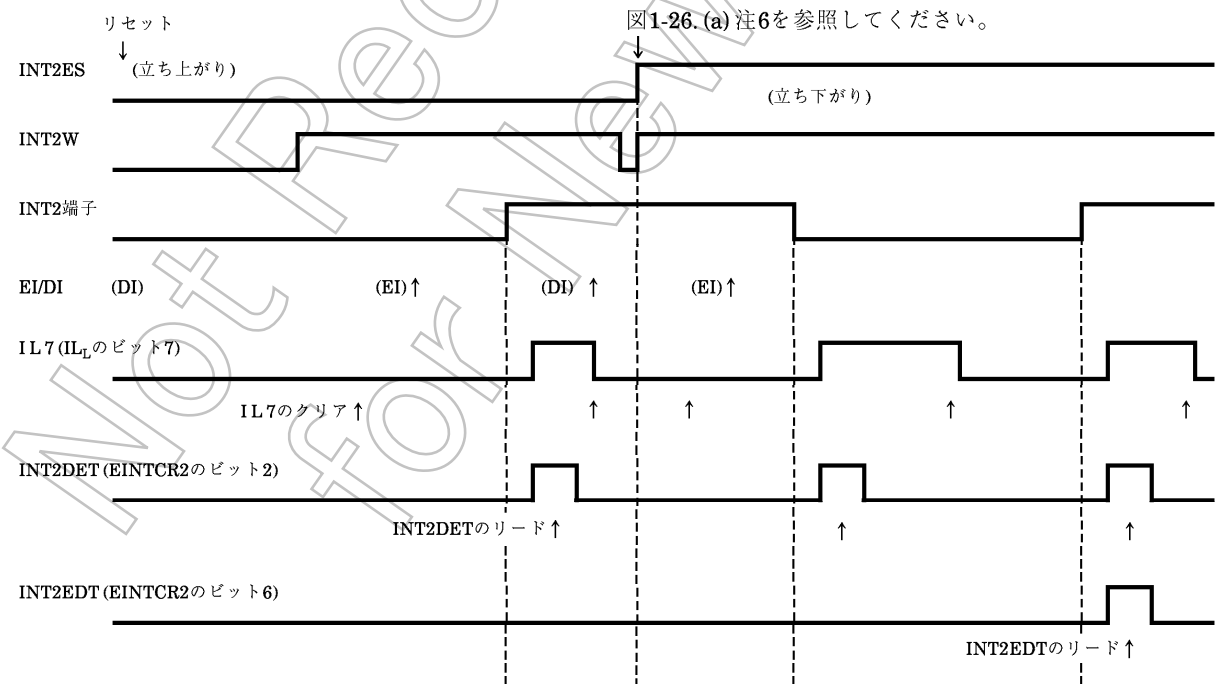


Not Recommended for New Design

3) Case5 : リセット後INT2端子の初期状態が “H” レベル / エッジ切り替え時 “L” レベル / エッジ切り替え (立ち上がり→立ち下がり)



4) Case6 : リセット後INT2端子の初期状態が “L” レベル / エッジ切り替え時 “H” レベル / エッジ切り替え (立ち上がり→立ち下がり)



Not Recommended for New Design

1.10 ウォッチドッグ タイマ (WDT)

ウォッチドッグ タイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグ タイマによる暴走検出信号は、リセット出力または擬似ノンマスカブル割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット出力に初期化されます。

なお、ウォッチドッグ タイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

1.10.1 ウォッチドッグ タイマの構成

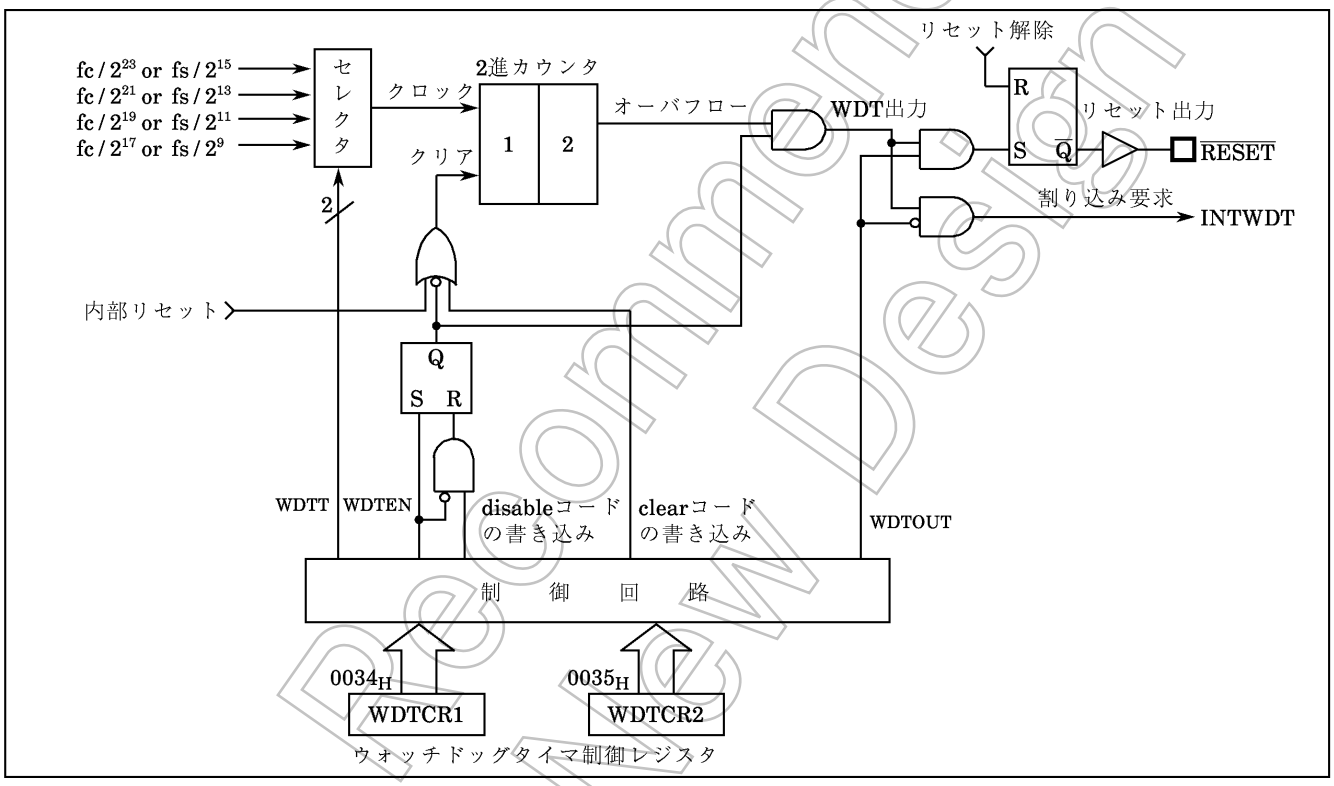


図1-27. ウォッチドッグ タイマの構成

1.10.2 ウォッチドッグ タイマの制御

ウォッチドッグ タイマの制御レジスタを図1-28.に示します。リセット解除後、ウォッチドッグ タイマはイネーブルになります。

(1) ウォッチドッグ タイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

① 検出時間の設定, 出力の選択 および 2進カウンタのクリア

② 設定した検出時間3/4以内ごとに2進カウンタのクリアを繰り返し行います。

注) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従ってクリアタイミングによっては、検出時間が設定時間の3/4となる場合があります。

Not Recommended for New Design

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このときWDTOUT＝“1”なら$\overline{\text{RESET}}$端子からリセット出力するとともに内蔵ハードウエアをリセットします。また、WDTOUT＝“0”なら、ウォッチドッグタイマ割り込み(INTWDT)を発生します。

なお、STOPモード(ウォーミングアップ中を含む)またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLEモード解除後、自動的に再起動(カウントアップ継続)します。

例： ウォッチドッグタイマ検出時間を$2^{21}/fc$[s]に設定し、暴走検出リセットを行う。

```
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
        LD      (WDTCR1), 00001101B ;  WDTT←10, WDTOUT←1
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
WDT検出                             ;  (WDTT変更直前直後はかならずクリアします)
時間3/4以内
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
WDT検出
時間3/4以内
        LD      (WDTCR2), 4EH       ;  2進カウンタのクリア
```

ウォッチドッグタイマ制御レジスタ1

WDTCR1 (0034_H)

7	6	5	4	3	2	1	0
				WDT EN	WDTT		WDT OUT

(初期値 **** 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0：禁　止 (WDTCR2にディセーブルコードを書き込む必要あり) 1：許　可	write only
WDTT	ウォッチドッグタイマ検出時間の設定	00：$2^{25}/fc$ または $2^{17}/fs$ [s] 01：$2^{23}/fc$ または $2^{15}/fs$ 10：$2^{21}/fc$ または $2^{13}/fs$ 11：$2^{19}/fc$ または $2^{11}/fs$	
WDTOUT	ウォッチドッグタイマ出力の選択	0：割り込み要求 1：リセット出力	

注1) WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。
注2) fc；高周波クロック[Hz] fs；低周波クロック[Hz] ＊；don't care
注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。

図1-28. ウォッチドッグタイマ制御レジスタ(1)

Not Recommended for New Design

ウォッチドッグ タイマ制御レジスタ2

WDTCR2 (0035_H)

7	6	5	4	3	2	1	0

(初期値 **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	$4E_H$: ウォッチドッグタイマの2進カウンタのクリア (クリアコード) $B1_H$: ウォッチドッグタイマのディセーブル (ディセーブルコード) その他 : 無 効	write only

注1) ディセーブルコードは、WDTEN = 0 のとき以外は書き込み無効です。
注2) * ; don't care
注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。
注4) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。

図1-28. ウォッチドッグ タイマ制御レジスタ (2)

(2) ウォッチドッグ タイマのイネーブル

WDTEN (WDTCR1のビット3) を "1" にセットするとイネーブルになります。リセット時、WDTENは "1" に初期化されますので、リセット解除後ウォッチドッグ タイマはただちに動作します。

(3) ウォッチドッグ タイマのディセーブル

WDTEN (WDTCR1のビット3) を "0" にクリア後、WDTCR2にディセーブルコード (B1H) を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを "0" にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグ タイマの2進カウンタはクリアされています。

例 : ウォッチドッグ タイマのディセーブル

```
LDW     (WDTCR1), 0B101H    ;  WDTEN←0, WDTCR2←disable code
```

表1-4. ウォッチドッグ タイマ検出時間

動作モード			検出時間	
NORMAL1	NORMAL2	SLOW	fc = 8 MHz	fs = 32.768 kHz時
2^{25} / fc [s]	2^{25} / fc, 2^{17} / fs	2^{17} / fs	4.194 s	4s
2^{23} / fc	2^{23} / fc, 2^{15} / fs	2^{15} / fs	1.048 s	1s
2^{21} / fc	2^{21} / fc, 2^{13} / fs	——	262.1 ms	250 ms
2^{19} / fc	2^{19} / fc, 2^{11} / fs	——	65.5 ms	62.5 ms

1.10.3 ウォッチドッグ タイマ割り込み (INTWDT)

擬似ノンマスカブル割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグ タイマ割り込み中もしくはソフトウエア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグ タイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例 : ウォッチドッグ タイマ割り込みの設定例

```
LD      SP, 023FH           ;  SPの設定
LD      (WDTCR1), 00001000B ;  WDTOUT←0
```

Not Recommended for New Design

1.10.4 ウォッチドッグタイマリセット

$\overline{\text{RESET}}$端子より“L”レベルを出力するとともに内蔵ハードウエアをリセットします。リセット時間は、12 / fc [s] (1.5 μs @ fc＝8 MHz) です。$\overline{\text{RESET}}$端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOWモードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間は2^{20}/fcとなります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

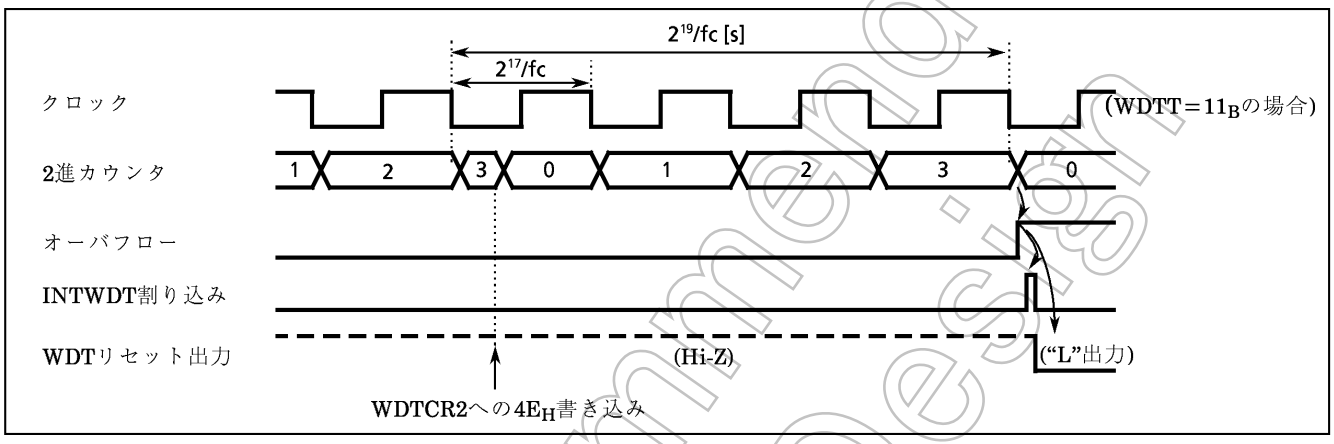


図1-29. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

87CH74A/M74A には外部リセット入力, アドレストラップリセット, ウォッチドッグタイマリセット, システムクロックリセットの4種類のリセット発生手段があります。表1-5.にリセット動作による内蔵ハードウエアの初期化を示します。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット) は初期化されません。

従って、電源投入時に$\overline{\text{RESET}}$端子出力が12 /fc [s] (1.5 μs @ 8 MHz) “L”レベルになることがあります。

表1-5. リセット動作による内蔵ハードウエアの初期化

内蔵ハードウエア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	($FFFF_H$)・($FFFE_H$)	タイミングジェネレータのデバイダ	0
レジスタバンクセレクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

Not Recommended for New Design

1.11.1 外部リセット入力

電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3命令サイクル以上の間RESET端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET端子入力が“H”レベルに立ち上がるとリセット動作は解除され、FFFE, $FFFF_H$番地に格納されたベクタアドレスからプログラムの実行を開始します。

RESET端子はプルアップ抵抗付きのヒステリシス入力となっており、コンデンサおよびダイオードを外付けすることにより簡易型パワーオンリセットを行うことができます。

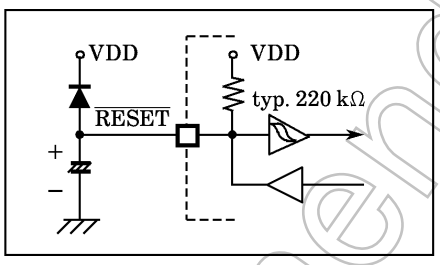
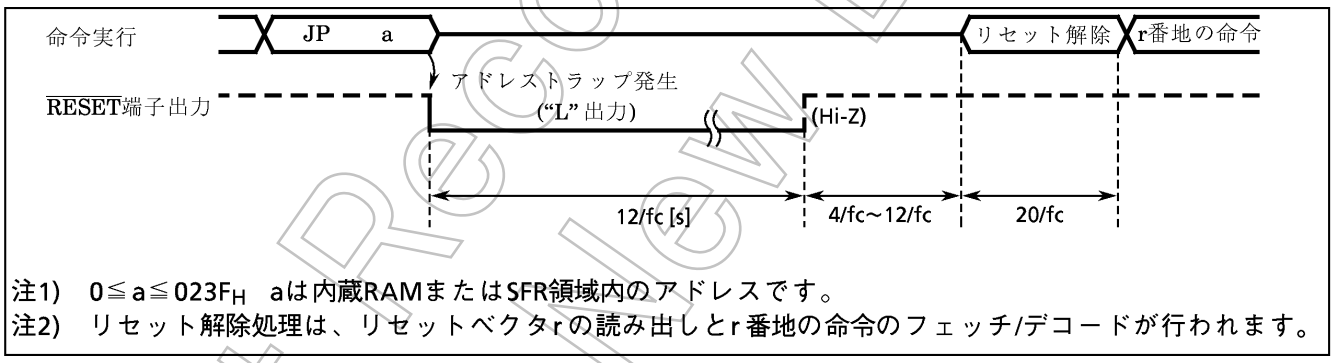


図1-30. 簡易型パワーオンリセット回路

1.11.2 アドレストラップリセット

CPUが何らかの原因(ノイズなど)により暴走してRAM(0040~023F_H)またはSFR領域から命令をフェッチしようとすると内部リセットが発生し, RESET端子よりリセット信号(“L”レベル)が出力されます。リセット時間は、12/fc [s] (1.5 μs @8 MHz)です。



注1) 0≦a≦023F_H aは内蔵RAMまたはSFR領域内のアドレスです。
注2) リセット解除処理は、リセットベクタrの読み出しとr番地の命令のフェッチ/デコードが行われます。

図1-31. アドレストラップリセット

1.11.3 ウォッチドッグタイマリセット

『1.10ウォッチドッグタイマ』をご参照ください。

1.11.4 システムクロックリセット

XEN, XTEN (SYSCR2のビット7, 6)をともに“0”にクリアすると高周波, 低周波発振が停止し、MCUがデッドロック状態に陥ります。これを防ぐため、XEN=XTEN=0を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、RESET端子より出力されます。リセット時間は、12/fc [s] (1.5 μs @8 MHz)です。

Not Recommended for New Design

2. 周辺ハードウエア機能

2.1 スペシャル ファンクション レジスタ (SFR) とデータ バッファ レジスタ (DBR)

TLCS-870シリーズは、メモリマップトI/O方式で、周辺ハードウエアの制御/データ転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータ バッファ レジスタ (DBR) を通して行われます。

SFRは0000~003F$_H$番地に、DBRは0F80~0FFF$_H$番地にマッピングされています。図2-1.に87CH74A/M74AのSFR, DBRの一覧を示します。

アドレス	リード	ライト
0000$_H$	P0ポート	
01	P1ポート	
02	P2ポート	
03	P3ポート	
04	P4ポート	
05	P5ポート	
06	P6ポート	
07	P7ポート	
08	P8ポート	
09	P9ポート	
0A	−	P0CR (P0ポート入出力制御)
0B	−	P1CR (P1ポート入出力制御)
0C	−	P4CR (P4ポート入出力制御)
0D	−	P5CR (P5ポート入出力制御)
0E	ADCCR (A/Dコンバータ制御)	
0F	ADCDR (A/D変換値レジスタ)	
10	−	TREG1A$_L$ (タイマレジスタ1A)
11	−	TREG1A$_H$
12	TREG1B$_L$ (タイマレジスタ1B)	
13	TREG1B$_H$	
14	−	TC1CR (タイマカウンタ1制御)
15	−	TC2CR (タイマカウンタ2制御)
16	−	TREG2$_L$ (タイマレジスタ2)
17	−	TREG2$_H$
18	TREG3A (タイマレジスタ3A)	
19	TREG3B (タイマレジスタ3B)	−
1A	−	TC3CR (タイマカウンタ3制御)
1B	−	TREG4 (タイマレジスタ4)
1C	−	TC4CR (タイマカウンタ4制御)
1D	PDポート	
1E	−	
1F	−	

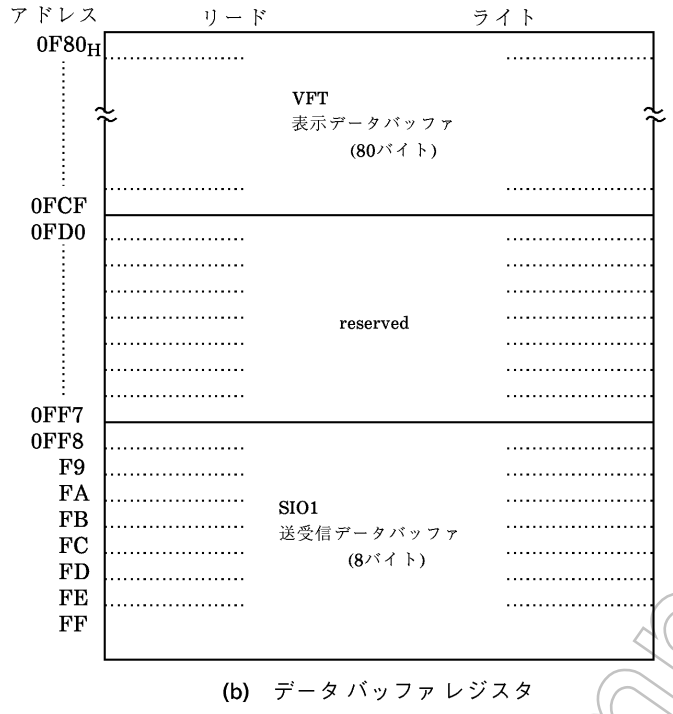
アドレス	リード	ライト
0020$_H$		SBICR1 (SBI制御レジスタ)
21	SBIDBR (SBIデータバッファ)	
22		I^{2}CAR (I^{2}Cバスアドレス)
23	SBISR (SBIステータス)	SBICR2 (SBI制御レジスタ)
24	EINTCR4 (外部割り込み制御4)	
25	EINTCR2 (外部割り込み制御2)	
26	EINTCR3 (外部割り込み制御3)	
27	SIO1SR (SIOステータス)	SIO1CR1 (SIO1制御1)
28		SIO1CR2 (SIO1制御2)
29	VFTSR (VFTステータス)	VFTCR1 (VFT制御1)
2A		VFTCR2 (VFT制御2)
2B		P3CR (P3ポート入出力制御)
2C	reserved	
2D	〃	
2E	〃	
2F	〃	
30	reserved	
31	〃	
32	〃	
33	〃	
34	−	WDTCR1 (ウォッチドッグタイマ制御)
35	−	WDTCR2
36	TBTCR (TBT/TG/DVO制御)	
37	EINTCR (外部割り込み制御)	
38	SYSCR1 (システム制御)	
39	SYSCR2	
3A	EIR$_L$ (割り込み許可レジスタ)	
3B	EIR$_H$	
3C	IL$_L$ (割り込みラッチ)	
3D	IL$_H$	
3E	reserved	
3F	PSW (プログラムステータスワード)	RBS (レジスタバンクセレクタ)

(a) スペシャル ファンクション レジスタ

注1) reservedの番地はプログラムでアクセスしないでください。
注2) −; アクセスできません。
注3) 003F$_H$番地をシンボルで定義する場合、GPSW/GRBSとしてください。
注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。
注5) PSW; プログラムステータスワード

図2-1. (a) SFR & DBR

Not Recommended for New Design



(b) データバッファレジスタ

注1) reservedの番地はプログラムでアクセスしないでください。
注2) －；アクセスできません。
注3) 003F$_H$番地をシンボルで定義する場合、GPSW / GRBSとしてください。
注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令(SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。
注5) PSW；プログラムステータスワード

図2-1. (b) SFR & DBR

2.2 入出力ポート

87CH74A/M74Aは、11ポート74端子の入出力ポートを内蔵しています。

① P0ポート； 8ビット入出力ポート (シリアルポート入出力と兼用)

② P1ポート； 8ビット入出力ポート (外部割り込み入力,タイマカウンタ入出力, デバイダ出力と兼用)

③ P2ポート； 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)

④ P3ポート； 3ビット入出力ポート (シリアルバスインタフェース入出力と兼用)

⑤ P4ポート； 8ビット入出力ポート (アナログ入力と兼用)

⑥ P5ポート； 4ビット入出力ポート (アナログ入力と兼用)

⑦ P6ポート； 8ビット入出力ポート (VFT出力と兼用)

⑧ P7ポート； 8ビット入出力ポート (VFT出力と兼用)

⑨ P8ポート； 8ビット入出力ポート (VFT出力と兼用)

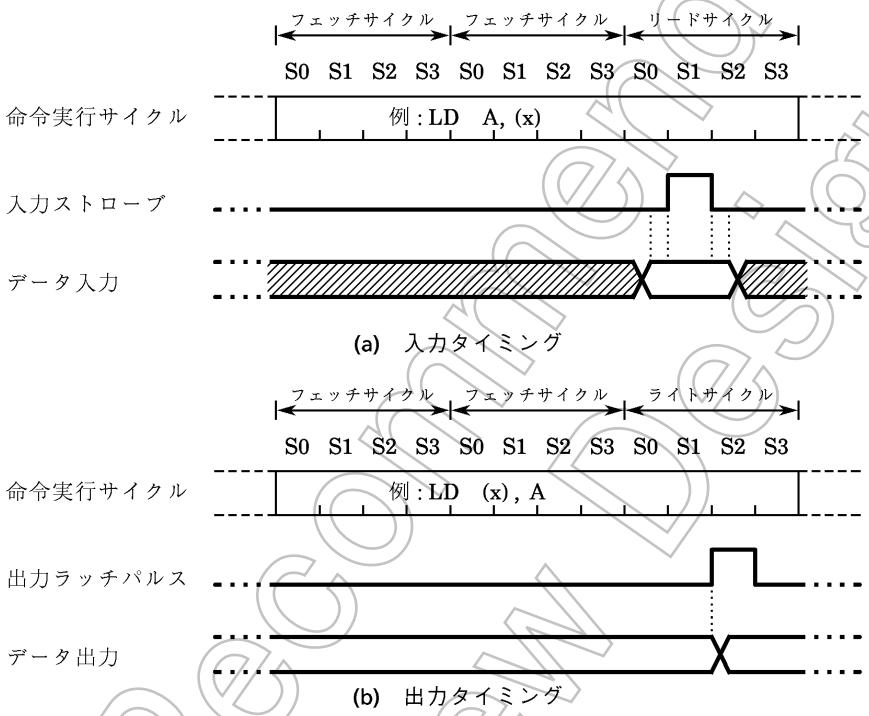
⑩ P9ポート； 8ビット入出力ポート (VFT出力と兼用)

⑪ PDポート ； 5ビット入出力ポート (VFT出力と兼用)

Not Recommend for New Design

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2.に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。



注) 命令によってリード / ライトサイクルの位置が異なります。

図2-2. 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(a) 出力ラッチの内容を読み込む命令

① XCH r, (src)
② SET / CLR / CPL (src).b
③ SET / CLR / CPL (pp).g
④ LD (src).b, CF
⑤ LD (pp).b, CF
⑥ ADD / ADDC / SUB / SUBB / AND / OR / XOR (src), n
⑦ ADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の (src) 側

(b) 端子入力値を読み込む命令

上記以外の命令およびADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の (HL) 側

Not Recommended for New Design

2.2.1 P0 (P07~P00) ポート

P0ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P0ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CRは“0”に初期化され、P0ポートは入力モードとなります。また、P0ポート出力ラッチは“0”に初期化されます。

P0ポートは、シリアルインタフェース入出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。

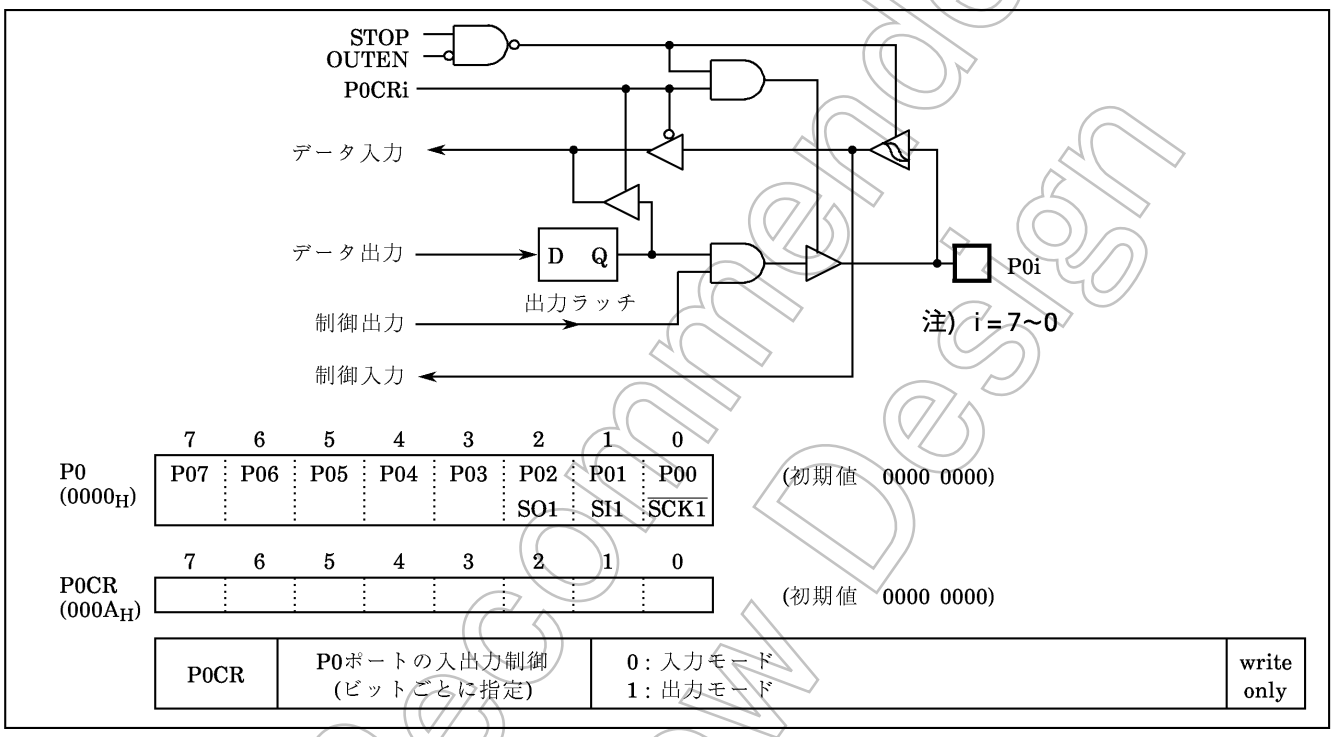


図2-3. P0ポートとP0ポート入出力制御レジスタ

例： P0ポートの上位4ビットを入力ポートに、下位4ビットを出力ポートに設定します。なお、イニシャルは1010_Bを出力します。

```
LD    (P0), 00001010B      ;  P0ポート出力ラッチの初期値設定
LD    (P0CR), 00001111B    ;  P0ポートの入出力モード設定
```

注1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2) P0CRは書き込み専用レジスタですのでリードモディファイ命令 (SET、CLRなどのビット操作命令やAND、ORなどの演算命令など) による操作はできません。

Not Recommended for New Design

2.2.2 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CRは“0”に初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは“0”に初期化されます。

P1ポートは、外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11, P15, P16, P17端子は、外部割り込み入力, タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

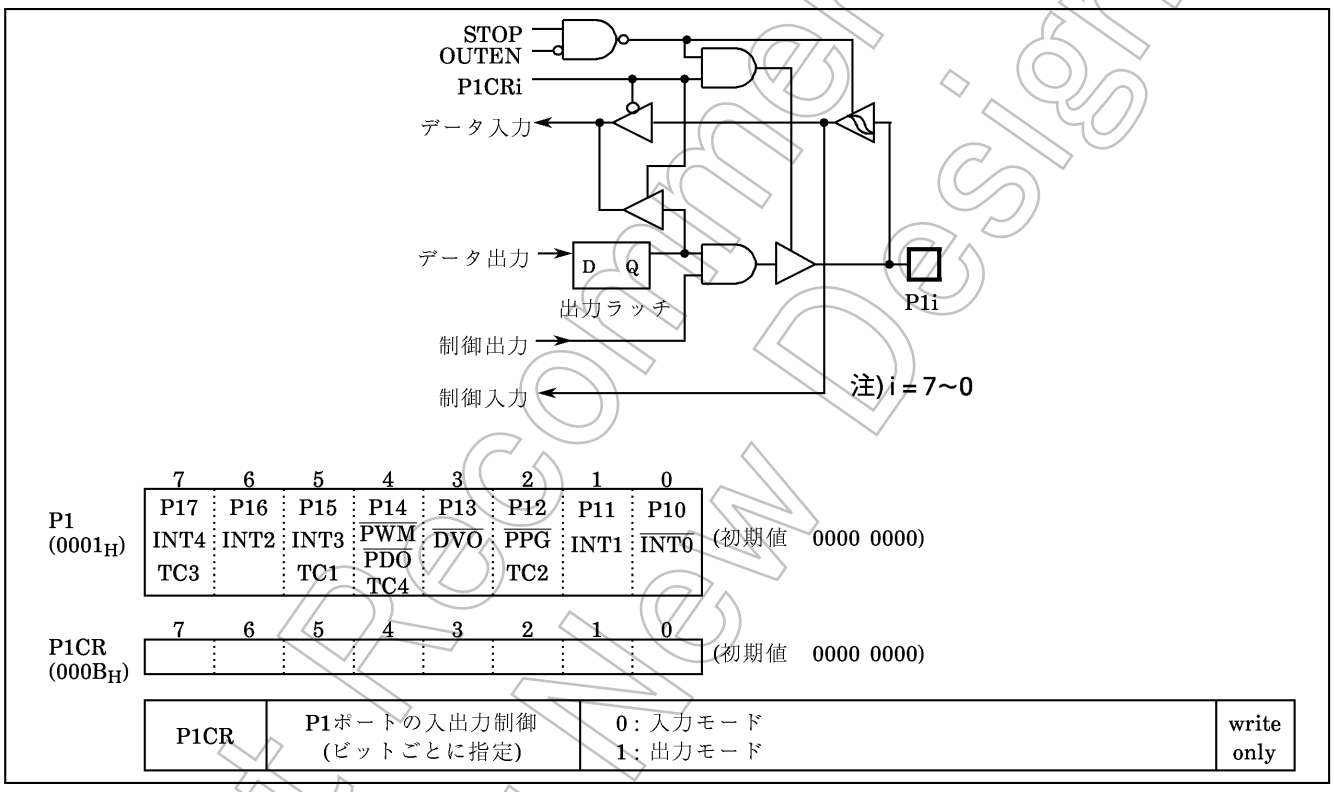


図2-4. P1ポートとP1ポート入出力制御レジスタ

例： P17, P16, P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17, P14ピンは“1”に、P16ピンは“0”を出力します。

```
LD    (EINTCR), 01000000B      ;  INT0EN←1
LD    (P1), 10111111B          ;  P17←1, P14←1, P16←0
LD    (P1CR), 11010000B
```

注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2) P1CR は書き込み専用レジスタですのでリードモディファイ命令 (SET、CLR などのビット操作命令やAND、OR などの演算命令など) による操作はできません。

Not Recommended for New Design

2.2.3 P2 (P22~P20) ポート

P2ポートは、3ビットの入出力ポートで、外部割り込み入力, STOPモード解除信号入力, 低周波発振子接続端子と兼用になっています。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを“1”にセットします。リセット時、出力ラッチは“1”に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22端子は、通常の入出力ポートとして使用できます。

P20端子は外部割り込み入力, STOPモード解除信号入力, 入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2ポートに対して入力命令を実行した場合、ビット7~3は不定値が読み込まれます。

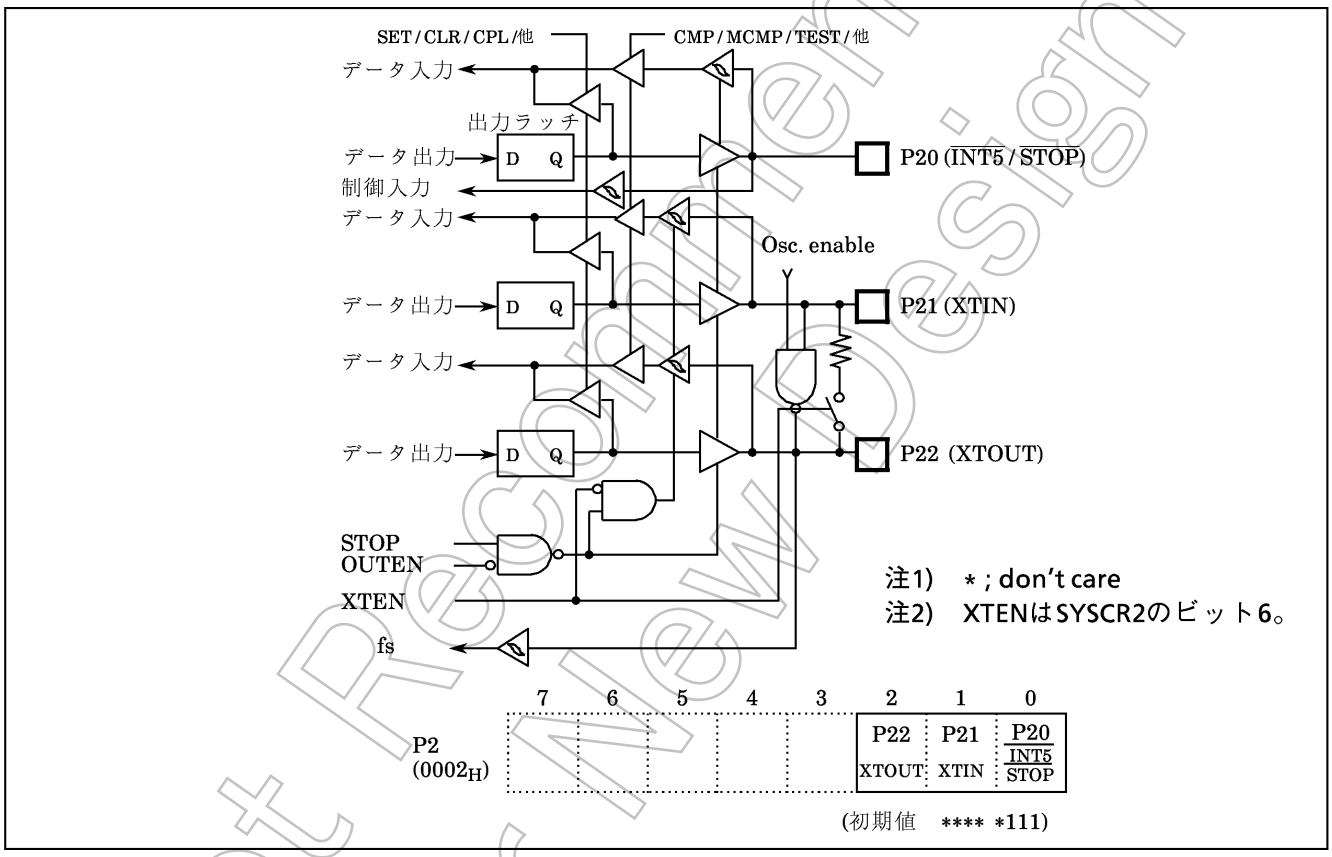


図2-5. P2ポート

Not Recommended for New Design

2.2.4 P3 (P32~P30) ポート

P3ポートは、3ビットの入出力ポートでシリアルバスインタフェース入出力と兼用です。入出力の指定は、P3ポート入出力制御レジスタ (P3CR) によって行います。リセット時P3CRは“0”に初期化され、P3ポートは入力モードとなります。また、P3ポート出力ラッチは“0”に初期化されます。

P3は、シリアルバスインタフェース入出力と兼用になっています。これらの機能ピンとして使用する場合、P3ポート入出力制御レジスタ (P3CR) にて出力モードに設定し、入出力は出力データによりコントロールしてください (入出力制御付シンクオープンドレイン構造となっておりますので、出力データが“1”のとき、端子はHi-Z状態となり入力可能です)。

P3ポートに対して入力命令を実行した場合、ビット7~3は不定値が読み込まれます。

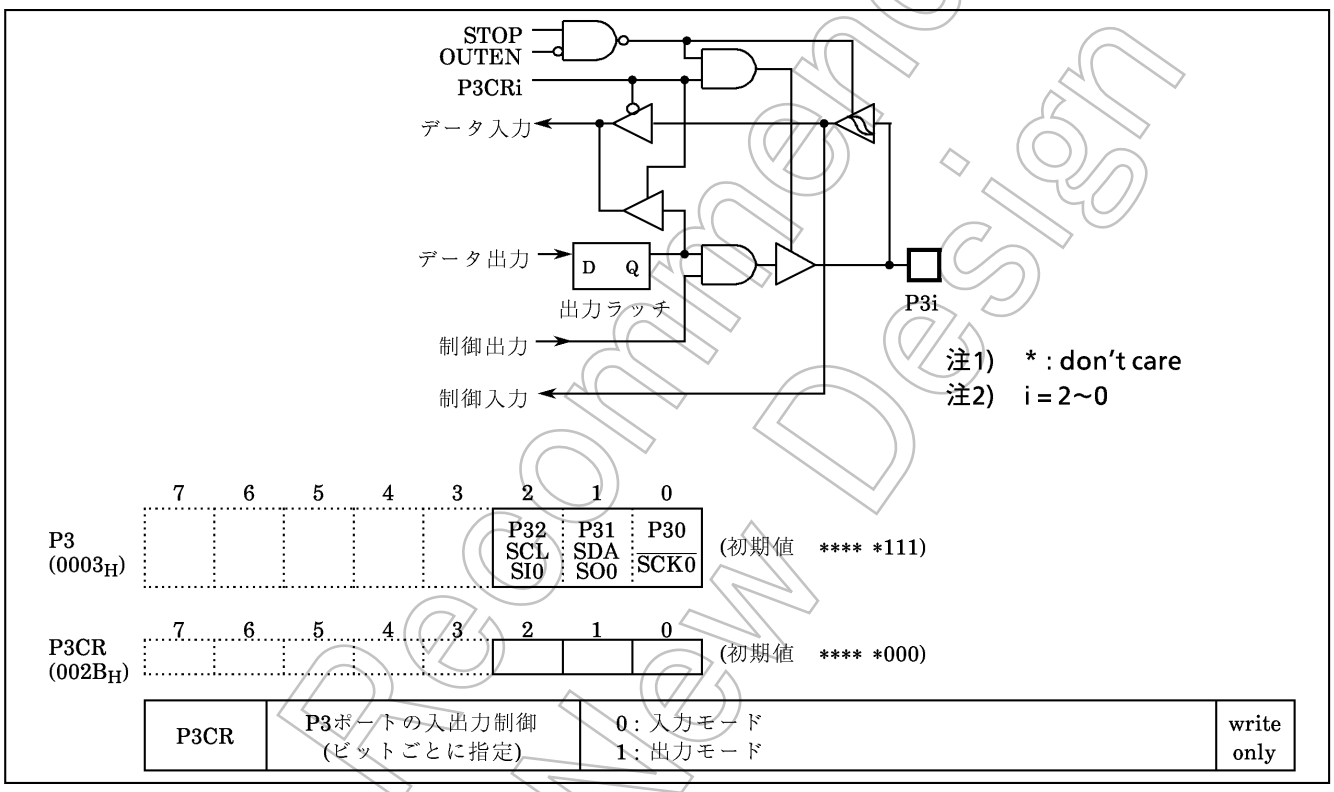


図2-6. P3ポートとP3ポート入出力制御レジスタ

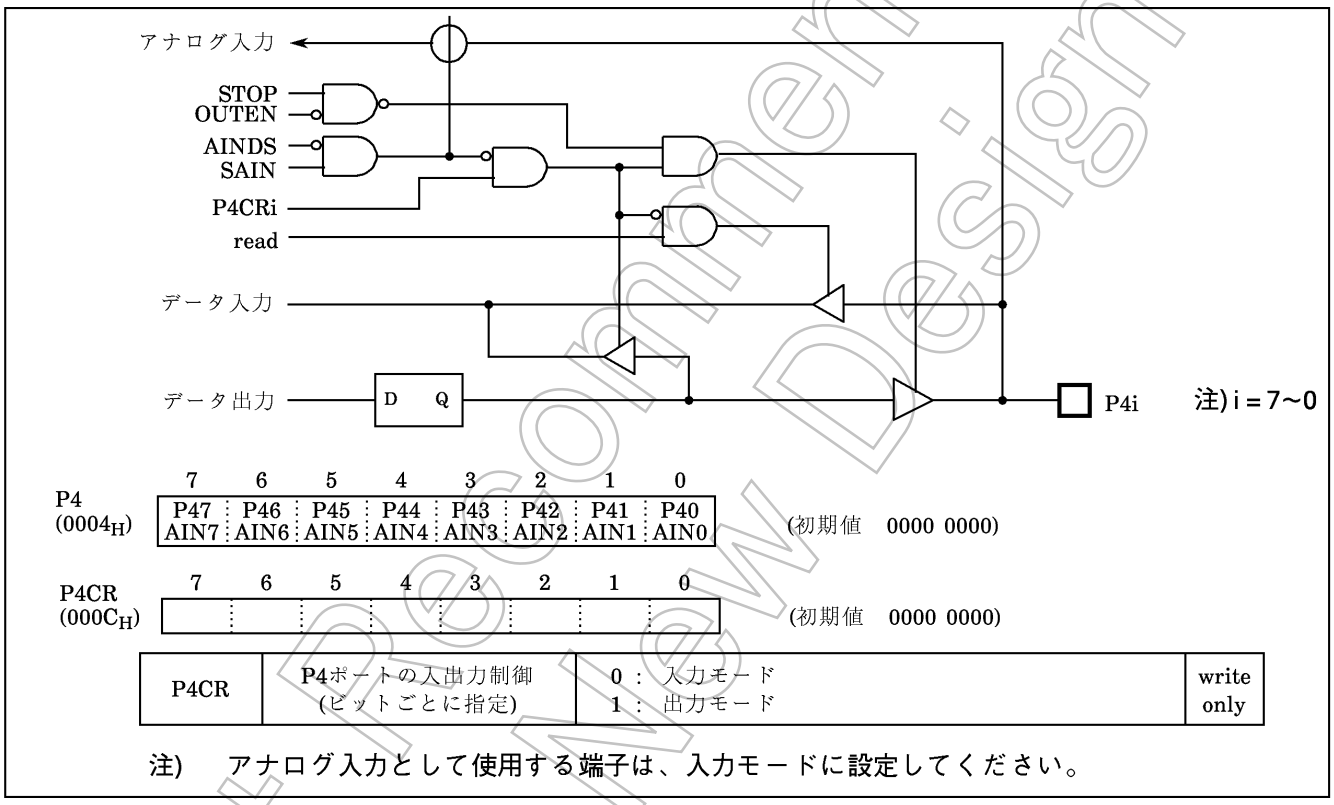
注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2) P3CRは書き込み専用レジスタですのでリードモディファイ命令 (SET、CLRなどのビット操作命令やAND、ORなどの演算命令など) による操作はできません。

Not Recommended for New Design

2.2.5 P4 (P47~P40) ポート

P4ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、アナログ入力と兼用です。入出力の指定は、P4ポート入出力制御レジスタ (P4CR) とAINDS (ADCCRのビット4) によって行います。リセット時、P4CRは“0”にセットされ、AINDSは“0”にクリアされますので、P4ポートはアナログ入力となります。また、P4ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P4CRは書き込み専用レジスタです。アナログ入力として使用しないP4ポートは、入出力ポートとして使用できますが、A/D変換中は、精度を保つ意味で出力命令は実行しないでください。A/Dコンバータを使用している時P4ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます。



注) アナログ入力として使用する端子は、入力モードに設定してください。

図2-7. P4ポートとP4ポート入出力制御レジスタ

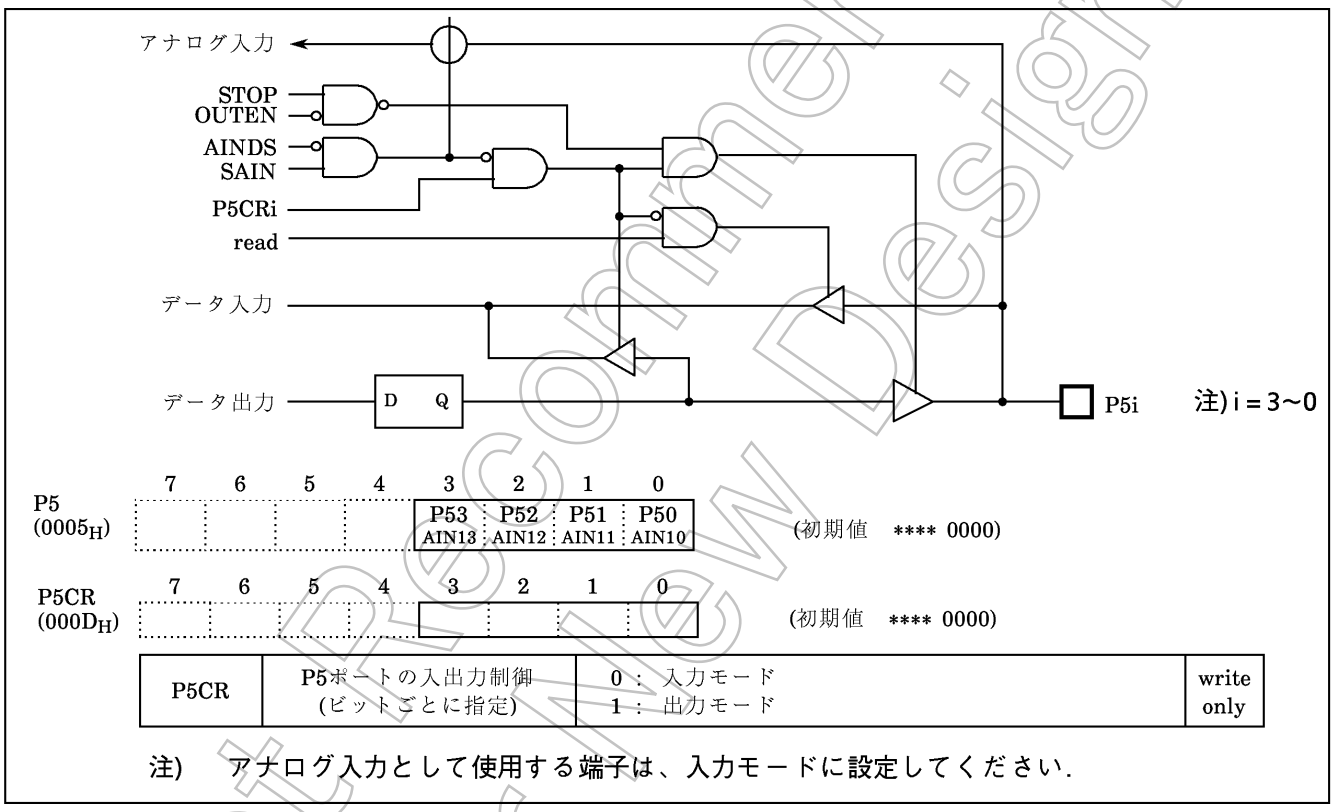
注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2) P4CRは書き込み専用レジスタですのでリードモディファイ命令 (SET、CLRなどのビット操作命令やAND、ORなどの演算命令など) による操作はできません。

Not Recommended for New Design

2.2.6 P5 (P53~P50) ポート

P5ポートは、1ビット単位で入出力の指定ができる4ビットの汎用入出力ポートで、アナログ入力と兼用です。入出力の指定は、P5ポート入出力制御レジスタ (P5CR) とAINDS (ADCCRのビット4) によって行います。リセット時、P5CRは“0”にセットされ、AINDSは“0”にクリアされますので、P5ポートはアナログ入力となります。また、P5ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P5CRは書き込み専用レジスタです。アナログ入力として使用しないP5ポートは、入出力ポートとして使用できますが、A/D変換中は、精度を保つ意味で出力命令は実行しないでください。A/Dコンバータを使用している時P5ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます (ビット7~4はA/Dコンバータ使用有無に関わらず不定値が読み込まれます)。



注) アナログ入力として使用する端子は、入力モードに設定してください.

図2-8. P5ポートとP5ポート入出力制御レジスタ

注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2) P5CRは書き込み専用レジスタですのでリードモディファイ命令 (SET、CLRなどのビット操作命令やAND、ORなどの演算命令など) による操作はできません。

Not Recommended for New Design

2.2.7 P6 (P67~P60) ポート

P6ポートは、8ビットの高耐圧入出力ポートでVFTドライバ出力と兼用しており、VFTを直接駆動できます。VFTドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。

VFTドライバ出力に設定されない端子は、入出力ポートとして使用できますが、VFTドライバ使用時に通常の入出力として使用する場合、端子に兼用されているVFTドライバ出力データバッファメモリ (DBR) を“0”にクリアする必要があります。リセット時、出力ラッチは“0”に初期化されます。

P6ポートはプルダウン抵抗が内蔵されているため、VFT駆動用として使用されることを推奨します。

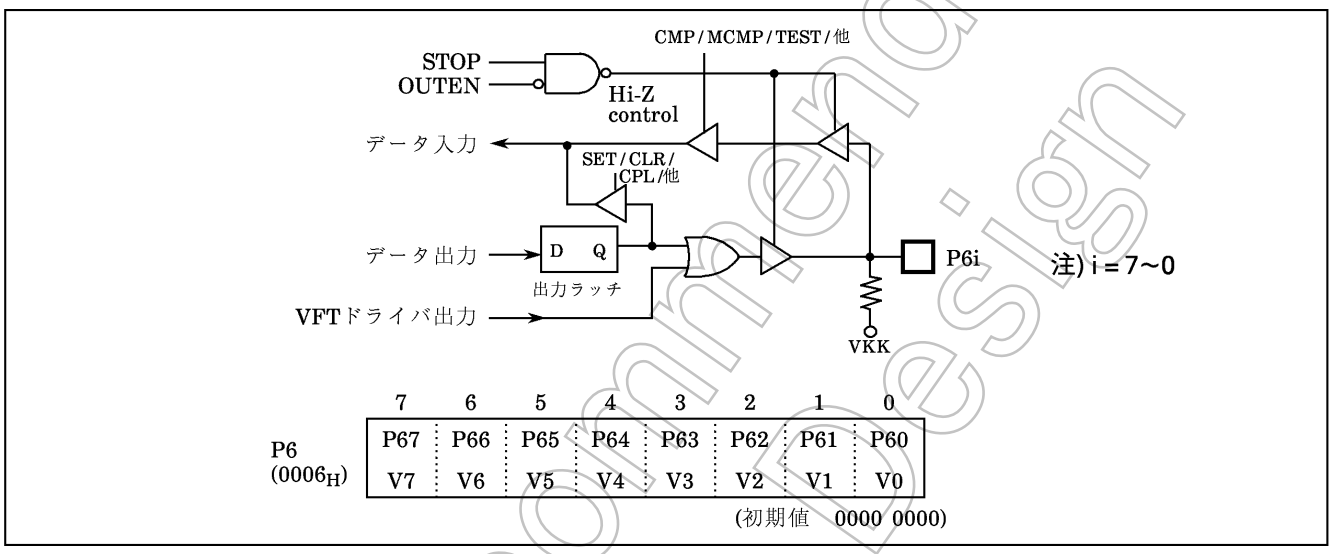


図2-9. P6ポート

Not Recommended for New Design

2.2.8 P7 (P77~P70) ポート

P7ポートは、8ビット高耐圧入出力ポートでVFTドライバ出力と兼用しており、VFTを直接駆動できます。VFTドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。

リセット時、出力ラッチは、“0”に初期化されます。

VFTドライバ出力に設定されない端子は、通常の入出力ポートとして使用できますが、VFTドライバ使用時に通常の入出力として使用する場合、端子に兼用されているVFTドライバ出力のデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P7ポートはプルダウン抵抗が内蔵されているためVFT駆動用として使用されることを推奨します。

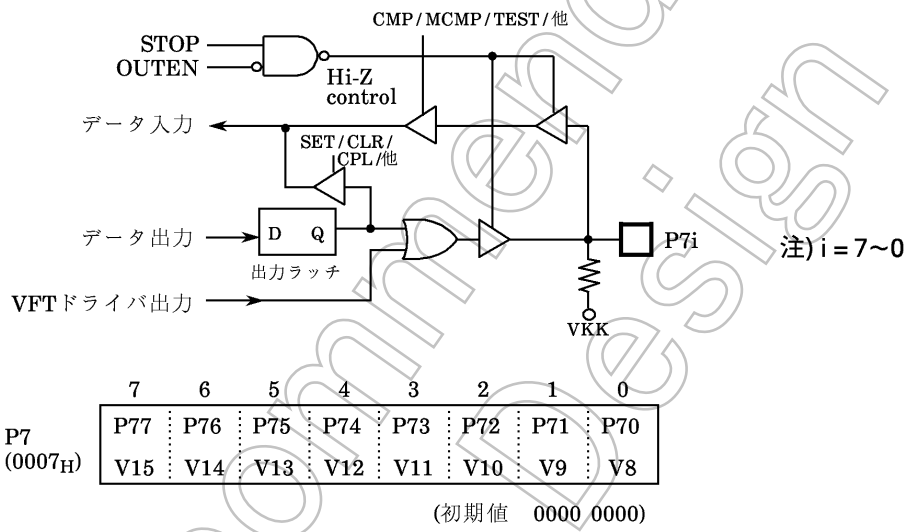


図2-10. P7ポート

Not Recommended for New Design

2.2.9 P8 (P87~P80) ポート

P8 ポートは、8ビットの高耐圧入出力ポートで、VFTドライバ出力と兼用しており、VFTを直接駆動できます。VFTドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。リセット時、出力ラッチは“0”に初期化されます。

VFTドライバ出力に設定されない端子は、通常の出力ポートとして使用できますが、VFTドライバ使用時に通常の入出力として使用する場合、端子に兼用されているVFTドライバ出力のデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P8ポートはプルダウン抵抗が内蔵されているため、VFT駆動用として使用されることを推奨します。

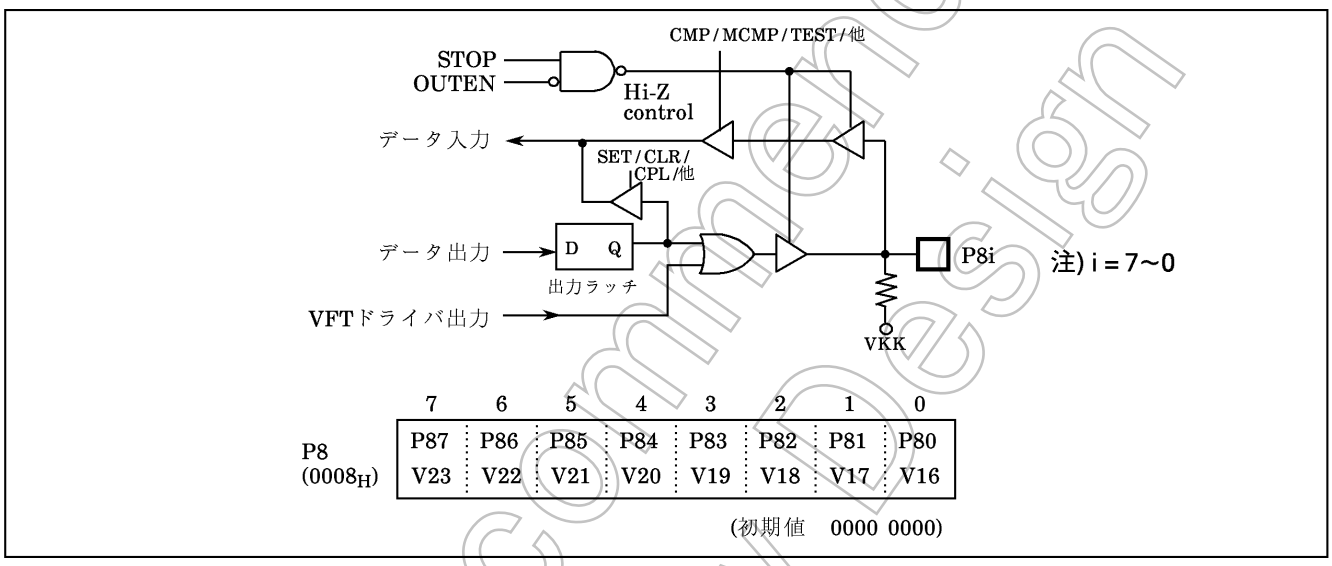


図2-11. P8ポート

Not Recommended for New Design

2.2.10 P9 (P97～P90) ポート

P9 ポートは、8ビットの高耐圧入出力ポートで、VFTドライバ出力と兼用しており、VFTを直接駆動できます。VFTドライバ出力として用いる場合は、出力ラッチを“0”にクリアします。リセット時、出力ラッチは“0”に初期化されます。

VFTドライバ出力に設定されない端子は、通常の入出力ポートとして使用できますが、入出力として使用する場合、端子に兼用されているVFTドライバ出力のデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P9ポートはプルダウン抵抗が内蔵されているため、VFT駆動用として使用されることを推奨します。

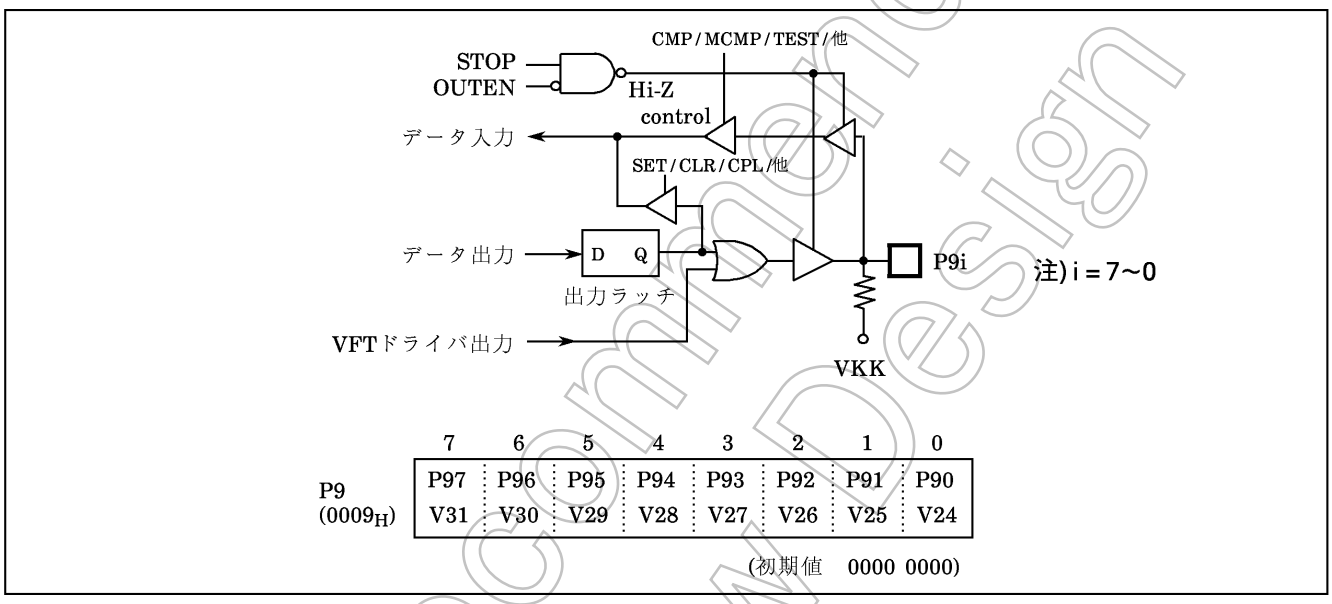


図2-12. P9ポート

Not Recommended for New Design

2.2.11 PD (PD4~PD0) ポート

PD ポートは高耐圧入出力ポートで、VFTドライバ出力と兼用しており、VFTを直接駆動できます。1ビット単位で、セグメント,入出力ポートの指定ができます。VFTドライバ制御レジスタ1 (VFTCR1) のVSEL (ビット4~0) によって行ないます。リセット時、VSELは“0”にクリアされていますので入出力ポートとなります。入力ポートまたはVFTドライバ出力として用いる場合は、出力ラッチを“0”にセットします。出力ラッチは、リセット時“0”に初期化されます。

PDポートに対して入力命令を実行した場合、ビット7~5は不定値が読み込まれます。

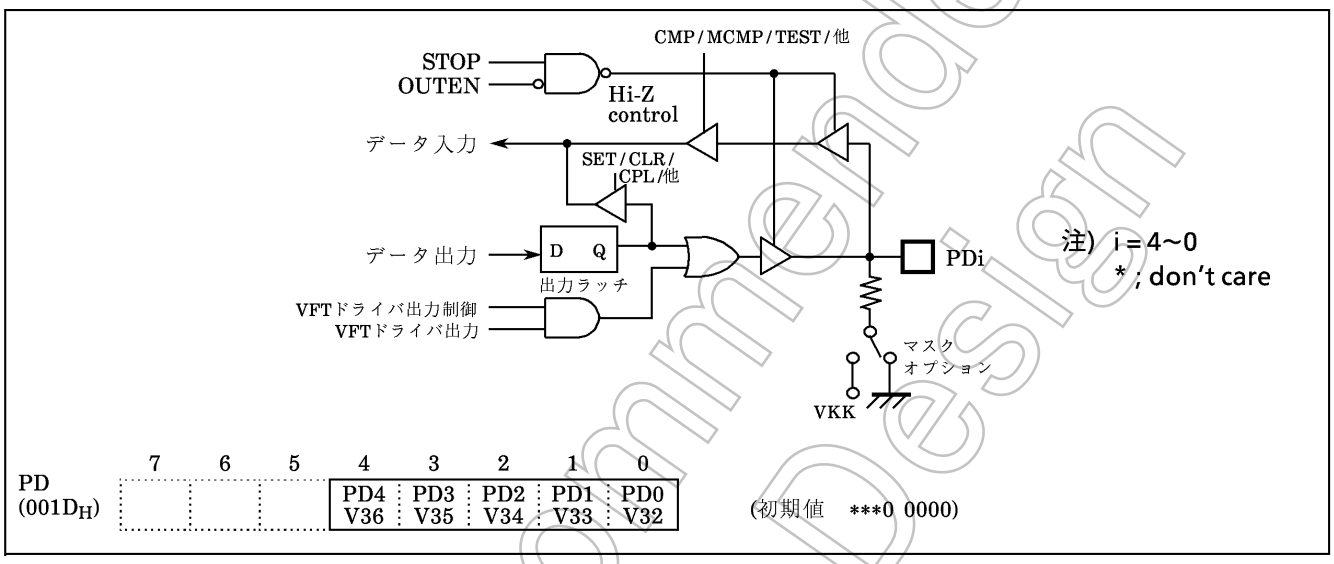


図2-13. PD ポート

Not Recommended for New Design

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期毎にタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力をTBTCKで選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-14. (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできます。

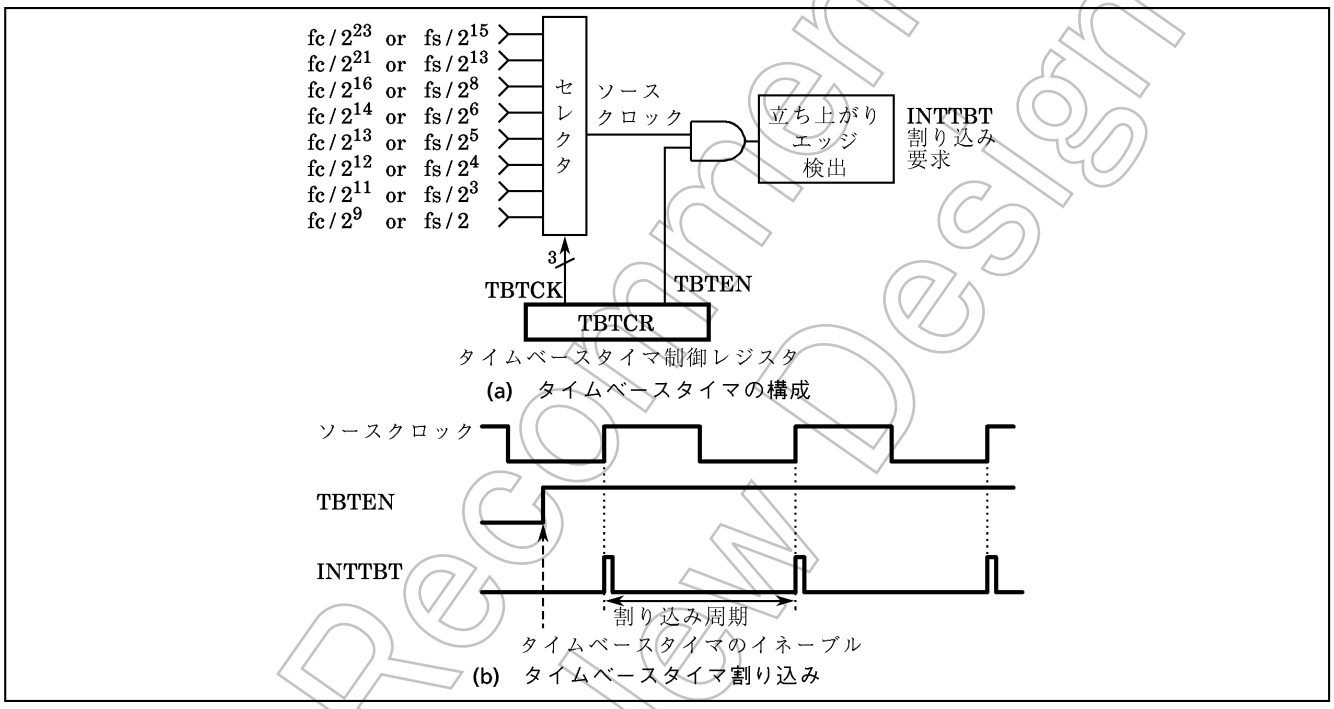


図2-14. タイムベースタイマ

Not Recommended for New Design

例： タイムベースタイマ割り込み周波数を$fc/2^{16}$[Hz]にセットし、割り込みを許可します。

```
LD      (TBTCR), 00001010B
SET     (EIRL). 6
```

TBTCR (0036_H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK		

(初期値 0**0 0***)

TBTEN	タイムベースタイマの許可/禁止	0：ディセーブル 1：イネーブル	R/W
TBTCK	タイムベースタイマ割り込み周波数の選択	000：$fc/2^{23}$ または $fs/2^{15}$ [Hz] 001：$fc/2^{21}$ または $fs/2^{13}$ 010：$fc/2^{16}$ または $fs/2^{8}$ 011：$fc/2^{14}$ または $fs/2^{6}$ 100：$fc/2^{13}$ または $fs/2^{5}$ 101：$fc/2^{12}$ または $fs/2^{4}$ 110：$fc/2^{11}$ または $fs/2^{3}$ 111：$fc/2^{9}$ または $fs/2$	

注1) fc ； 高周波クロック [Hz]， fs ； 低周波クロック [Hz]， * ； don't care

図2-15. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数

TBTCK	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	割り込み周波数	
	DV7CK＝0	DV7CK＝1		fc＝8 MHz時	fs＝32.768 kHz時
000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	0.95 Hz	1 Hz
001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	3.81	4
010	$fc/2^{16}$	$fs/2^{8}$	–	122.07	128
011	$fc/2^{14}$	$fs/2^{6}$	–	488.28	512
100	$fc/2^{13}$	$fs/2^{5}$	–	976.56	1024
101	$fc/2^{12}$	$fs/2^{4}$	–	1953.12	2048
110	$fc/2^{11}$	$fs/2^{3}$	–	3906.25	4096
111	$fc/2^{9}$	$fs/2$	–	15625	16384

Not Recommended for New Design

2.4 デバイダ出力 ($\overline{DVO}$)

タイミングジェネレータのデバイダによってデューティ50 %のパルスを出力することができ、ブザーなどの駆動に利用できます。デバイダ出力は、P13 ($\overline{DVO}$) 端子から出力されます。なお、P13ポートは出力ラッチを“1”にセットしたあと出力モードに設定します。

TBTCR (0036_H)

7	6	5	4	3	2	1	0
DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)		

(初期値 0**0 0***)

DVOEN	デバイダ出力の許可/禁止	0 : ディセーブル 1 : イネーブル	R/W
DVOCK	デバイダ出力 ($\overline{DVO}$端子) の周波数選択	00 : $fc/2^{13}$ または $fs/2^5$ [Hz] 01 : $fc/2^{12}$ または $fs/2^4$ 10 : $fc/2^{11}$ または $fs/2^3$ 11 : $fc/2^{10}$ または $fs/2^2$	

注1) fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], * ; don't care

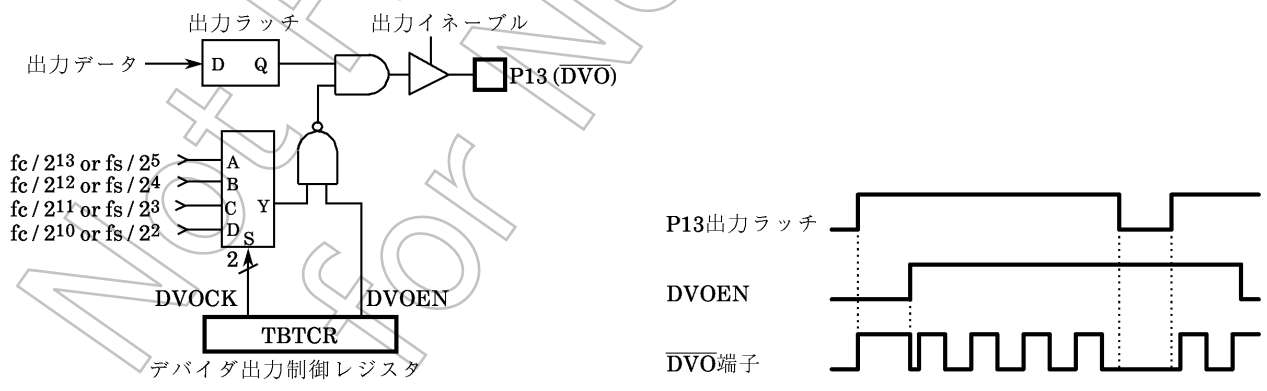
図2-16. デバイダ出力制御レジスタ

例 : 1 kHzのパルスを出力 (fc＝8 MHz時)。

```
SET     (P1).3                  ;  P13出力ラッチ←1
LD      (P1CR), 00001000B       ;  P13を出力モードに設定
LD      (TBTCR), 10000000B      ;  DVOEN←1, DVOCK←00
```

表2-2. デバイダ出力の周波数

DVOCK	デバイダ出力の周波数		fc＝8 MHz時	fs＝32.768 kHz時
00	$fc/2^{13}$	または $fs/2^5$	0.976 [kHz]	1.024 [kHz]
01	$fc/2^{12}$	$fs/2^4$	1.953	2.048
10	$fc/2^{11}$	$fs/2^3$	3.906	4.096
11	$fc/2^{10}$	$fs/2^2$	7.812	8.192



(a) デバイダ出力回路の構成　　(b) デバイダ出力タイミングチャート

図2-17. デバイダ出力

Not Recommended for New Design

2.5 16ビットタイマカウンタ1 (TC1)

2.5.1 構 成

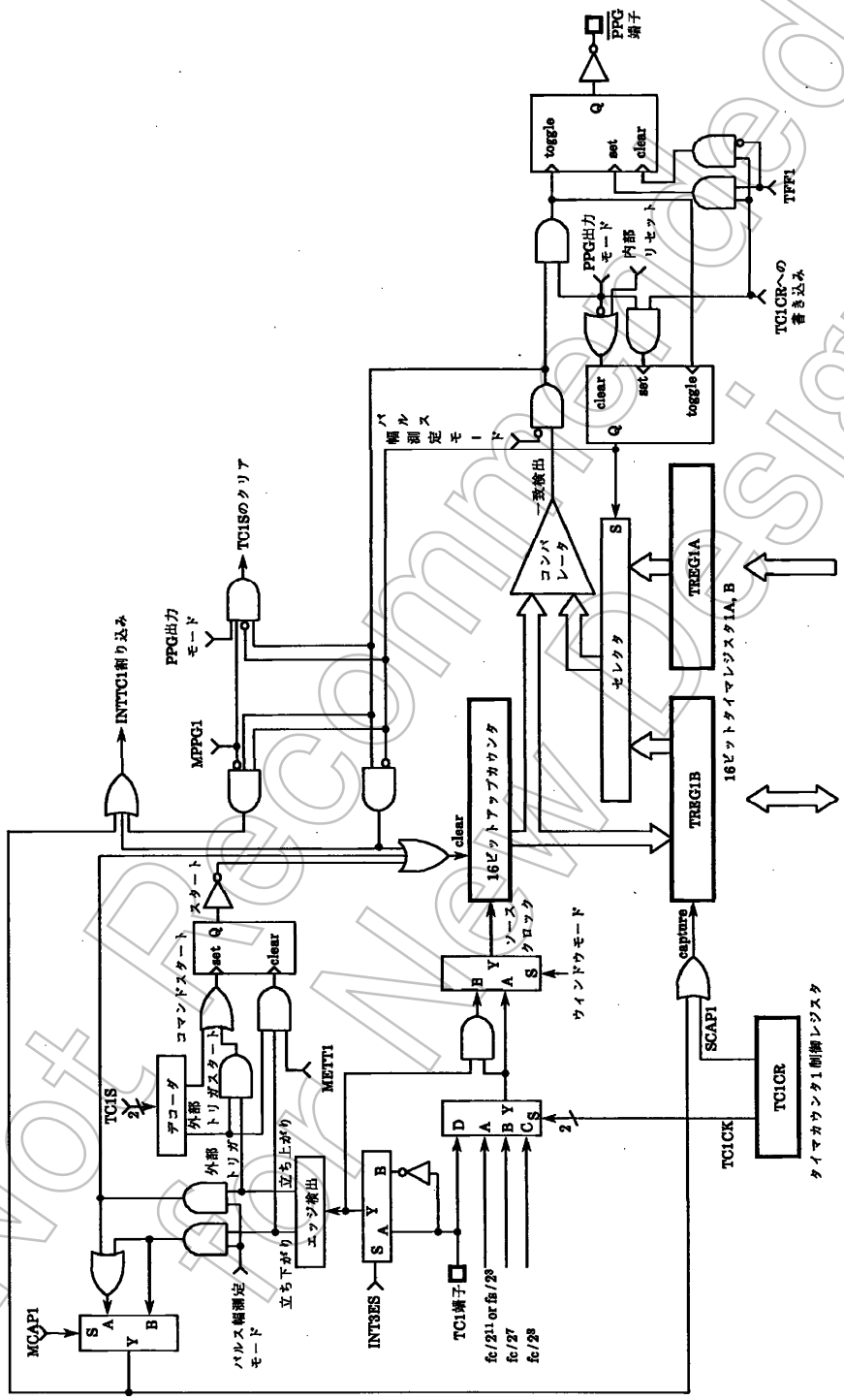


図2-18. タイマ/カウンタ1 (TC1)

Not Recommended for New Design

2.5.2 制　御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TREG1A / TREG1B) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1A (0010, 0011$_H$)	TREG1A$_H$ (0011$_H$)								TREG1A$_L$ (0010$_H$)							
	Write only															
TREG1B (0012, 0013$_H$)	TREG1B$_H$ (0013$_H$)								TREG1B$_L$ (0012$_H$)							
	Read / Write (PPG出力モード時のみWrite可)															

タイマカウンタ1制御レジスタ

	7	6	5	4	3	2	1	0
TC1CR (0014$_H$)	TFF1	SCAP1 MCAP1 METT1 MPPG1	TC1S		TC1CK		TC1M	

(初期値　0000 0000)

TC1M	タイマカウンタ1の 動作モードの選択	00：タイマ / 外部トリガタイマ / イベントカウンタモード 01：ウィンドウモード 10：パルス幅測定モード 11：PPG (プログラマブルパルスジェネレート) 出力モード	write only
TC1CK	タイマカウンタ1の ソースクロックの選択	00：内部クロック　fc / 2^{11} または fs / 2^3　[Hz] 01：〃　fc / 2^7 10：〃　fc / 2^3 11：外部クロック (TC1端子入力)	
TC1S	タイマカウンタ1の スタート制御	00：ストップ&カウンタクリア 01：コマンドスタート 10：reserved 11：外部トリガスタート	
SCAP1	ソフトキャプチャ制御	0：−　1：ソフトキャプチャトリガ	
MCAP1	パルス幅測定モード制御	0：両エッジキャプチャ　1：片エッジキャプチャ	
METT1	外部トリガタイマモード制御	0：トリガスタート　1：トリガスタート&ストップ	
MPPG1	PPG出力制御	0：連続　1：単発	
TFF1	タイマF / F1制御	0：クリア　1：セット	

注1) fc ; 高周波クロック [Hz]　fs ; 低周波クロック [Hz]

注2) タイマレジスタの下位側 (TREG1A$_L$, TREG1B$_L$) に書き込むと上位側 (TREG1A$_H$, TREG1B$_H$) への書き込みが終わるまで、一致検出を停止します (従ってタイマ/レジスタの下位側だけの変更はできません)。また、上位側への書き込み後1サイクル以内 (すなわち命令実行中) の一致検出も無視されます。

注3) モード、ソースクロック、エッジ (INT2ESを含む)、PPG出力制御、タイマF/F1制御は、停止 (TC1S = 00) 状態で設定してください。

注4) ソフトキャプチャは、タイマ, イベントカウンタモードでのみ使用可能です。SCAP1 はソフトキャプチャ後自動的に "0" にクリアされます。

注5) タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG1A > TREG1B > 0 (PPG出力モード) , TREG1A > 0 (PPG出力モード以外)

注6) PPG出力モード以外は、TFF1 = 0としてください。

注7) TREG1Bは、PPG出力モードに設定後でなければ書き込みできません。

注8) TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注9) パルス幅測定モードにおいてソースクロックにfc/2^3を選択した場合、読み出されるカウンタ値 (TREG1B) の最下位ビット (ビット0) は常に '0' となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

図2-19. タイマカウンタ1のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.5.3 機　能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

(1)　タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、SCAP1 (TC1CRのビット6) を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TREG1B) に取り込むことができます (ソフトキャプチャ機能)。SCAP1は、キャプチャ後自動的に“0”にクリアされます。

表2-3. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1 /2, IDLE1 /2モード		SLOW, SLEEP モード	fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1					
$fc/2^3$ [Hz]	$fc/2^3$ [Hz]	–	1 μs	–	65.5 ms	–
$fc/2^7$	$fc/2^7$	–	16 μs	–	1.0 s	–
$fc/2^{11}$	$fs/2^3$	$fs/2^3$ [Hz]	256 μs	244.14 μs	16.8 s	16.0 s

例1：ソースクロック$fs/2^3$ [Hz] でタイマモードにセットし、1s後に割り込みを発生させる (fs＝32.768 kHz時)。

```
LDW     (TREG1A), 1000H      ;  タイマレジスタの設定 (1s÷2^3 / fs＝1000H)
SET     (EIRL). EF4          ;  INTTC1割り込みを許可
EI
LD      (TC1CR), 00010000B   ;  TC1スタート
```

注)　TC1CR は書き込み専用レジスタですので、[SET (TC1CR) . 4] 命令によるスタートはできません。

Not Recommended for New Design

例2 : ソフトキャプチャ

```
LD      (TC1CR) , 01010000B    ;  SCAP1←1
LD      WA, (TREG1B)           ;  キャプチャ値の読み出し
```

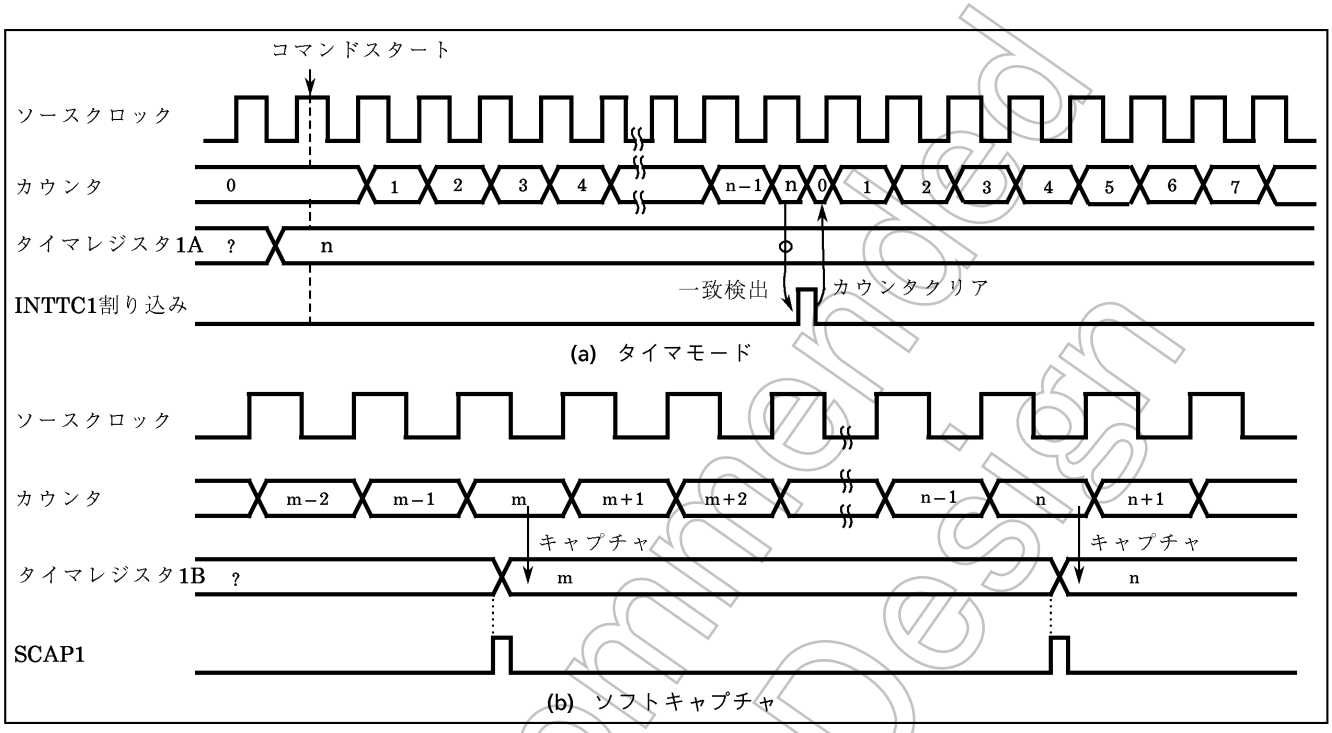


図2-20. タイマモード タイミングチャート

(2) 外部トリガタイマモード

TC1端子入力のエッジ (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通) をトリガにしてカウントをスタートするタイマモードです (ソースクロックは内部クロックです)。カウンタ値とTREG1A設定値の一致でINTTC1割り込み発生し、カウンタはクリアされて停止します。TC1端子入力のエッジによりカウントアップは再開します。

METT1 (TC1CRのビット6) が“1”の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1が“0”の場合は、逆方向のエッジ入力は無視されます。また、一致検出前のTC1端子入力のエッジも無視されます。

TC1端子入力にはINT3端子と同じノイズ除去回路が付いていますので、NORMAL 1, 2またはIDLE1, 2モード時7 / fc [s] 以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには24 / fc [s] 以上のパルス幅が必要です。SLOWまたはSLEEPモード時はノイズ除去回路はオフしますが1マシンサイクル以上のパルス幅が必要です。

Not Recommended for New Design

例1 : TC1端子入力の立ち上がりエッジから100 μs後に割り込みを発生させる (fc＝8 MHz時)。

```
LD      (EINTCR), 00000000B    ;  INT3ES←0 (立ち上がりエッジ)
LDW     (TREG1A), 0064H        ;  100 μs÷2^3 / fc＝64H
SET     (EIRL).EF4             ;  INTTC1割り込み許可
EI
LD      (TC1CR), 00111000B     ;     TC1外部トリガスタート, METT＝0
```

例2 : TC1端子に“L”レベル幅4 ms以上のパルスが入力されたら割り込みを発生させる (fc＝8 MHz時)。

```
LD      (EINTCR), 00000100B    ;  INT3ES←1 (“L” レベル)
LDW     (TREG1A), 00FAH        ;  4 ms÷2^7 / fc＝FAH
SET     (EIRL).EF4             ;  INTTC1割り込み許可
EI
LD      (TC1CR), 01110100B     ;  TC1外部トリガスタート, METT＝1
```

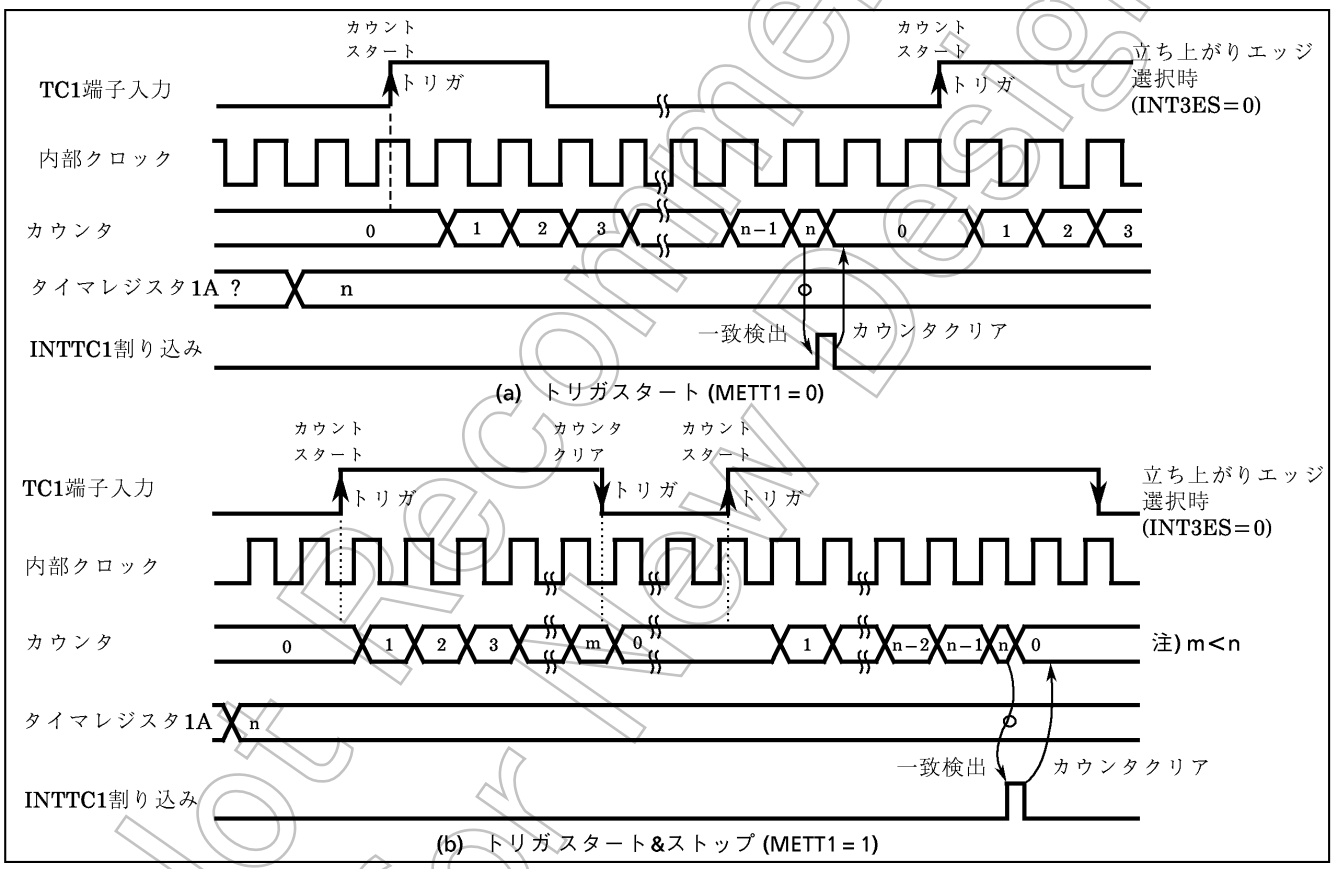


図2-21. 外部トリガタイマモード タイミングチャート

Not Recommended for New Design

(3) イベントカウンタモード

TC1端子入力のエッジ (立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、INT3端子のエッジ選択と共通) でカウントアップするモードです。カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、fc / 2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs / 2^4 [Hz] (SLOW, SLEEPモード時) です。

SCAP1を"1"にセットすることにより、そのときのアップカウンタの内容をTREG1Bに取り込むことができます (ソフトキャプチャ機能)。

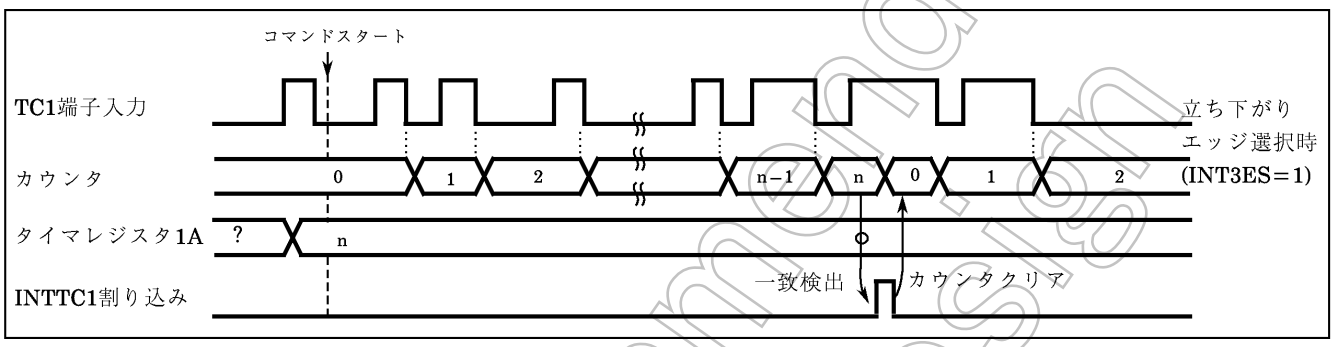


図2-22. イベントカウンタモード タイミングチャート

Not Recommended for New Design

(4) ウィンドウモード

TC1端子入力(ウィンドウパルス)と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。TC1端子入力は、正論理/負論理の選択ができます(INT3端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要があります。すなわち、設定した内部クロックより十分に遅い周波数となります。

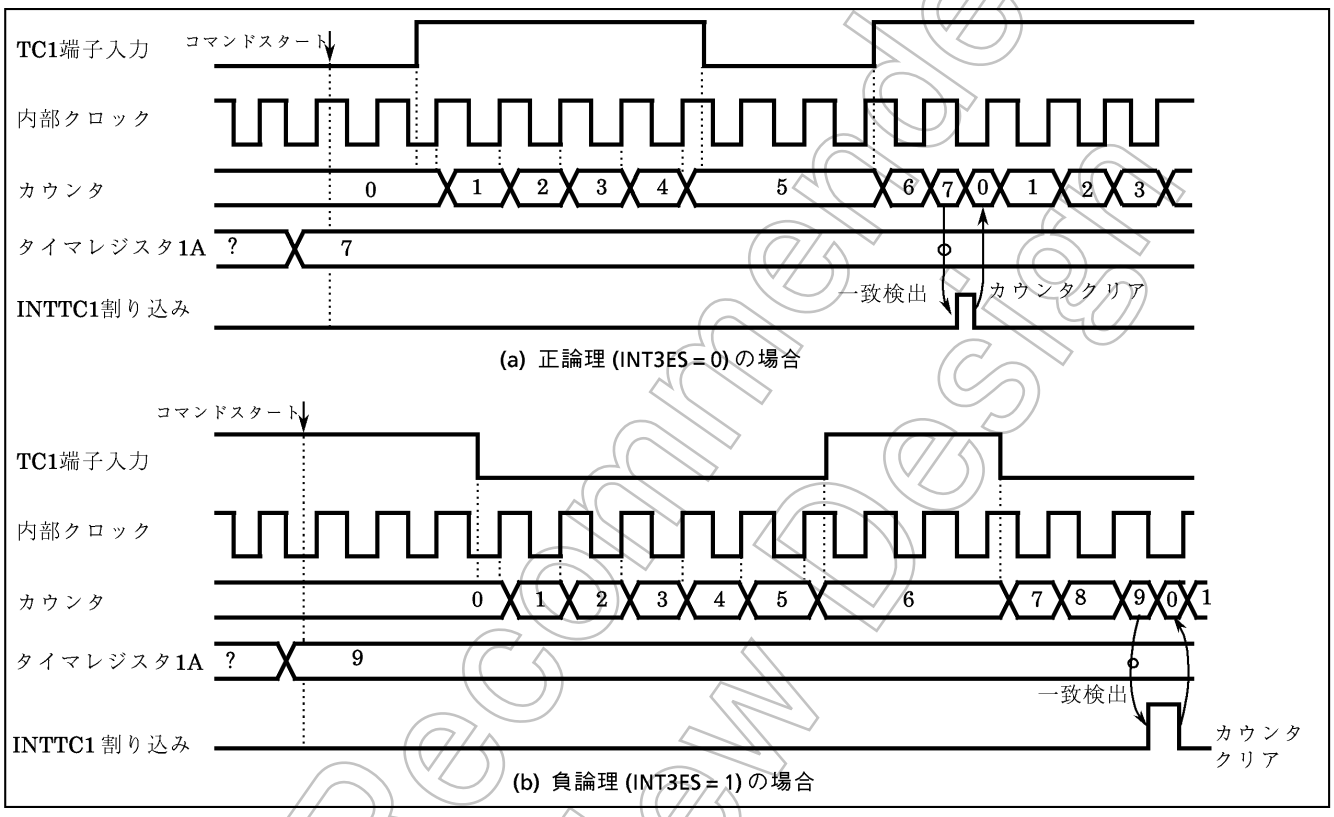


図2-23. ウィンドウモードタイミングチャート

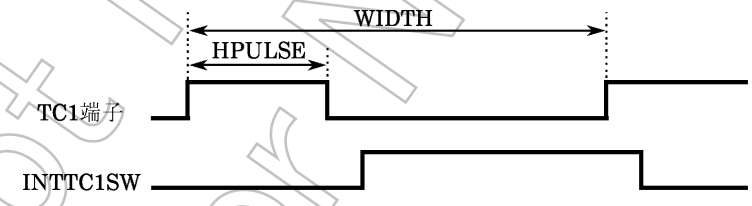
Not Recommended for New Design

(5) パルス幅測定モード

TC1端子入力の立ち上がり (立ち下がり) エッジをトリガにしてカウントをスタートします (TC1CRで外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり (立ち上がり) エッジでカウンタの内容をTREG1Bに取り込み、割り込みを発生します。片エッジキャプチャに設定した場合はカウンタはクリアされます。両エッジキャプチャに設定した場合はカウントは継続し、次の立ち上がり (立ち下がり) エッジで再びカウンタの内容をTREG1Bに取り込みます。なお、立ち下がり (立ち上がり) エッジでのキャプチャ値が必要な場合は、立ち上がり (立ち下がり) エッジが検出されるまでにTREG1Bの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択はINT3ESで行い、片エッジ/両エッジキャプチャの選択はMCAP1 (TC1CRのビット6) で行います。

例： デューティの測定 (分解能fc / 2^7 [Hz])

```
        CLR     (INTTC1SW). 0           ;  INTTC1のサービススイッチの初期設定
        LD      (EINTCR), 00000000B     ;  INT3ESを立ち上がりエッジに設定
        LD      (TC1CR), 00000110B      ;  TC1のモード, ソースクロックを設定
        SET     (EIRL). EF4             ;  INTTC1割り込みを許可。
        EI
        LD      (TC1CR), 00110110B      ;  MCAP1＝0でTC1を外部トリガスタート。
         ⋮
PINTTC1 : CPL   (INTTC1SW). 0           ;  INTTC1のサービススイッチの反転/テスト
        JRS     F, SINTTC1
        LD      (HPULSE), (TREG1BL)     ;  TREG1Bの読み出し (“H”レベルパルス幅)
        LD      (HPULSE＋1), (TREG1BH)
        RETI
SINTTC1 : LD    (WIDTH), (TREG1BL)      ;  TREG1Bの読み出し (周期)
        LD      (WIDTH＋1), (TREG1BH)
         ⋮                              ;  デューティ計算
        RETI
         ⋮
VINTTC1 : DW    PINTTC1
```



パルス幅測定モードにおいてソースクロックにfc/2³を選択した場合、読み出されるカウンタ値 (TREG1B) の最下位ビット (ビット0) は常に ‘0’ となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

Not Recommended for New Design

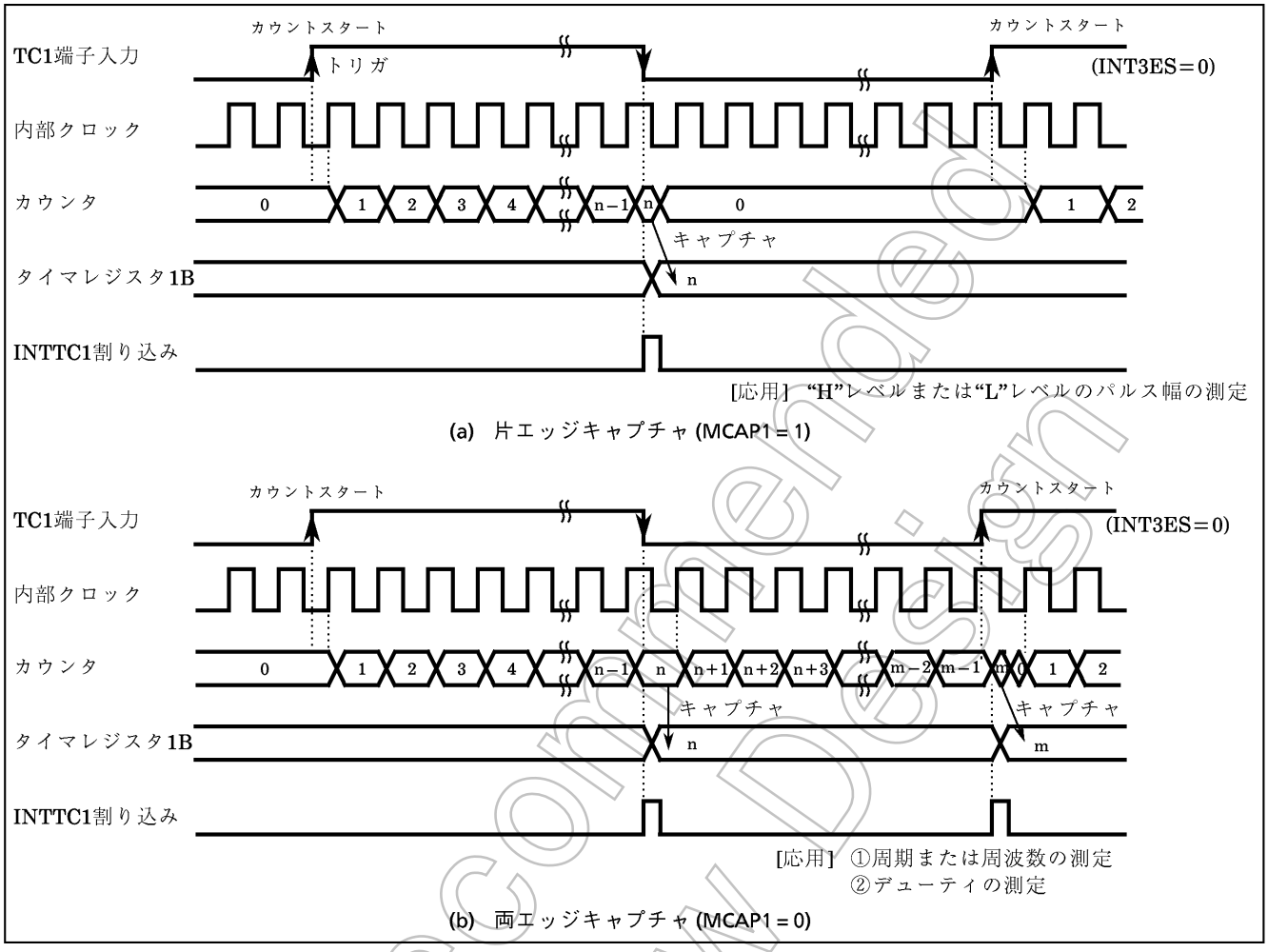


図2-24. パルス幅測定モード

(6) プログラマブルパルスジェネレート(PPG)出力モード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT3端子のエッジ選択と共通)またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1Bとの一致でタイマF/F1を反転します。連続出力の場合(MPPG1＝0)は、INTTC1割り込みが発生します。次にTREG1Aとの一致でタイマF/F1を再び反転し、カウンタをクリアします。このとき、INTTC1割り込みも発生します。タイマF/F1出力は、反転されてP12($\overline{\text{PPG}}$)端子に接続されています。PPG出力を行う場合、P12出力ラッチを“1”にセットし、出力モードに設定します。タイマF/F1は、リセット時“0”にクリアされます。また、TFF1(TC1CRのビット7)でタイマF/F1の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1Bは、PPG出力モードに設定されていないと書き込みできません。

例： “H”レベル800 μs, “L”レベル200 μsのパルスを出力(fc＝8 MHz時)。

```
SET   (P1).2 ;   P12出力ラッチ←1
LD(P1CR), 00000100B    ;   P12を出力モードに設定
LD(TC1CR), 10000011B  ;   PPG出力モードに設定
LDW  (TREG1A), 03E8H ;   周期の設定(1 ms÷1 μs＝03E8H)
LDW  (TREG1B), 00C8H ;   “L”レベルパルス幅の設定(200 μs÷1μs＝00C8H)
LD(TC1CR), 10010011B  ;   スタート
```

Not Recommended for New Design

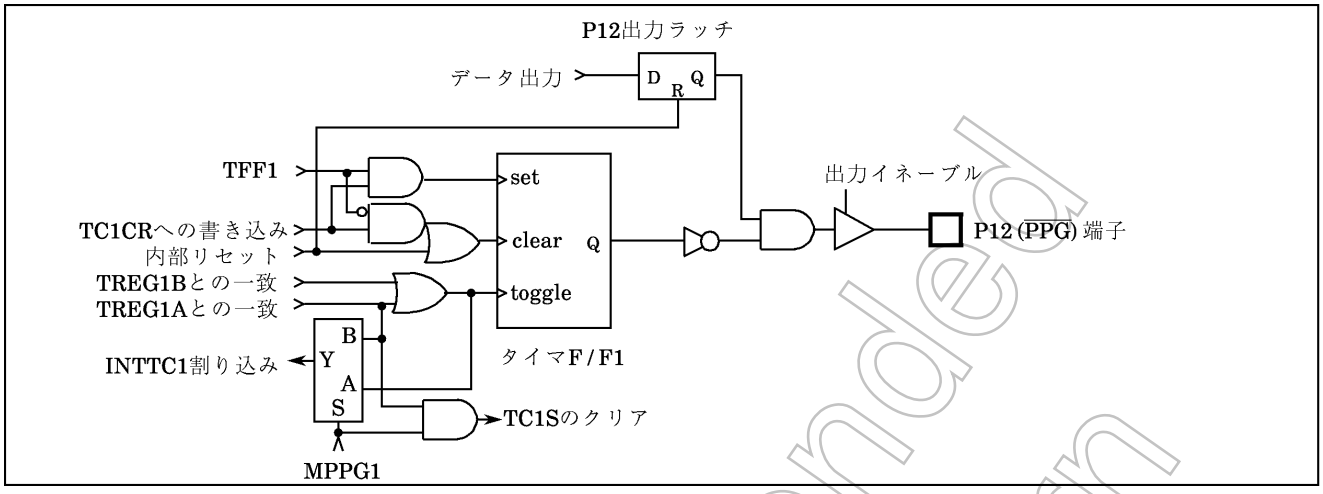


図2-25. PPG出力

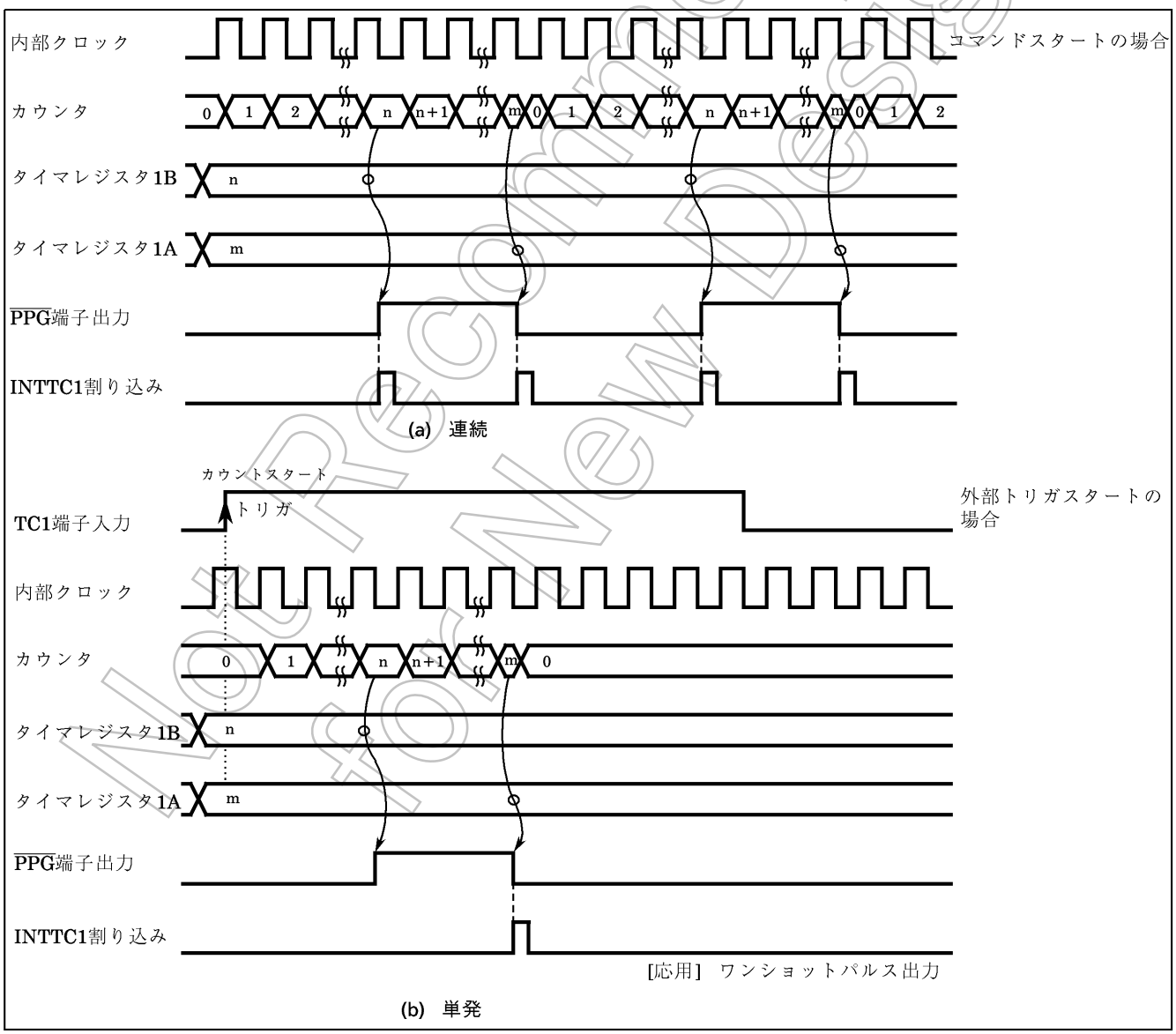


図2-26. PPG出力モードタイミングチャート

Not Recommended for New Design

2.6 16ビット タイマカウンタ2 (TC2)

2.6.1 構 成

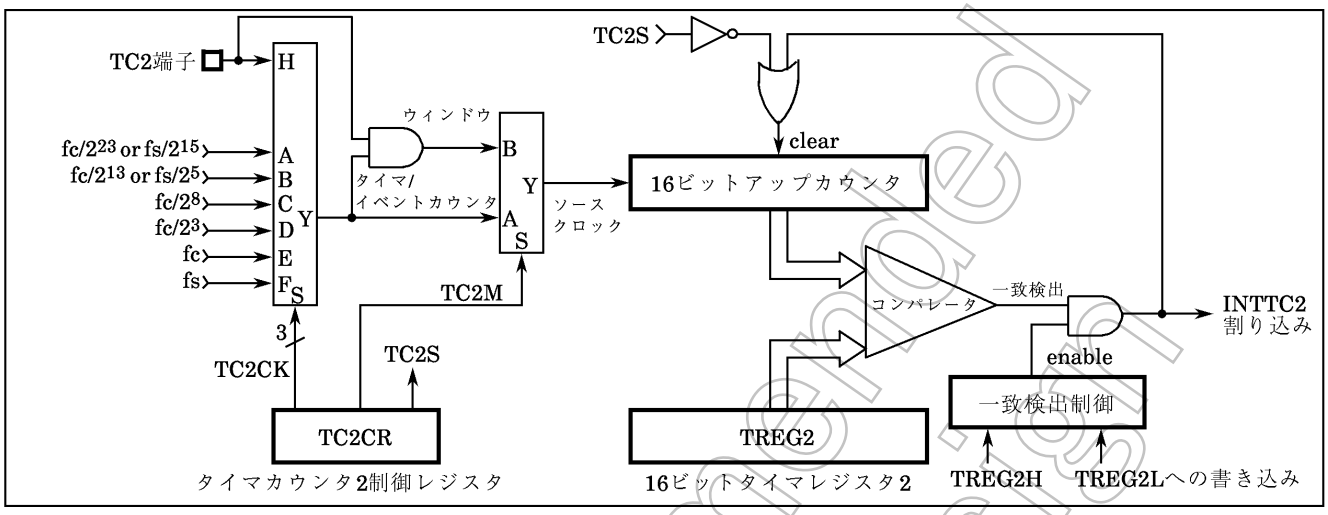


図2-27. タイマカウンタ2 (TC2)

Not Recommended for New Design

2.6.2 制　御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。

TREG2 (0016, 0017$_H$)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG2$_H$ (0017$_H$)								TREG2$_L$ (0016$_H$)							

write only

TC2CR (0015$_H$)

7	6	5	4	3	2	1	0
"0"	"0"	TC2S	TC2CK			"0"	TC2M

(初期値　**00 00*0)

TC2M	タイマカウンタ2の 動作モードの選択	0：タイマ/イベントカウンタモード 1：ウィンドウモード	write only
TC2CK	タイマカウンタ2の ソースクロックの選択	000：内部クロック　fc/2^{23} または fs/2^{15} [Hz] 001：〃　fc/2^{13} または fs/2^5 010：〃　fc/2^8 011：〃　fc/2^3 100：〃　fc (注5) 101：〃　fs 110：reserved 111：外部クロック (TC2端子入力)	
TC2S	タイマカウンタ2の スタート制御	0：ストップ&カウンタクリア 1：スタート	

注1)　fc；高周波クロック [Hz]　　fs；低周波クロック [Hz]　　*；don't care

注2)　タイマレジスタの下位側 (TREG2$_L$) に書き込むと上位側 (TREG2$_H$) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。

注3)　モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注4)　タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG2 > 0 (ウォーミングアップのときはTREG2$_{15\sim11}$ > 0)

注5)　ソースクロックにfcを選択できるのは、SLOWモード時のタイマモードだけです。

注6)　TC2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-28. タイマカウンタ2のタイマレジスタ, 制御レジスタ

Not Recommended for New Design

2.6.3 機　能

タイマカウンタ2には、3つの動作モードがあります。また、SLOWモードからNORMAL2へモードへの切り替え時のウォーミングアップの際、通常タイマカウンタ2をタイマモードで使用します。

(1)　タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOWモードでソースクロックにfcを選択した場合は、TREG2の下位11ビットは無視され、上位5ビットの一致で割り込みを発生します。従って、この場合$TREG2_H$の設定だけで済みます。

表2-4. タイマカウンタ2のソースクロック (内部クロック)

ソースクロック				分　解　能		最大設定時間	
NORMAL1 / 2, IDLE1 / 2モード		SLOWモード	SLEEPモード				
DV7CK＝0	DV7CK＝1			fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
$fc/2^{23}$ [Hz]	$fs/2^{15}$ [Hz]	$fs/2^{15}$ [Hz]	$fs/2^{15}$ [Hz]	1.05 s	1 s	19.1 hour	18.2 hour
$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$	$fs/2^{5}$	1.02 ms	0.98 ms	1.1 min	1.07 min
$fc/2^{8}$	$fc/2^{8}$	–	–	32 μs	–	2.1 s	–
$fc/2^{3}$	$fc/2^{3}$	–	–	1 μs	–	65.5 ms	–
–	–	fc　注)	–	125 ns	–	7.9 ms	–
fs	fs	–	–	–	30.5 μs	–	2 s

注)　fc はタイマモードでのみ使用可能。これは、SLOWモードからNORMAL2モードに切り替える場合のウォーミングアップ用です。

例：　ソースクロック$fc/2^3$ [Hz] で、タイマモードにセットし、25 msごとに割り込み発生させる (fc＝8 MHz時)

```
LDW     (TREG2), 61A8H      ;  TREG2の設定 (25 ms÷2^3 / fc＝61A8H)
SET     (EIRH). EF14        ;  INTTC2割り込みを許可
EI
LD      (TC2CR), 00101100B  ;  TC2スタート
```

(2)　イベントカウンタモード

TC2端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込み発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、$fc/2^4$ [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、$fs/2^4$ [Hz] (SLOW, SLEEPモード時) です。“H”, “L” レベルとも2マシンサイクル以上のパルス幅が必要です。

例：　イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

```
LDW     (TREG2), 640        ;  TREG2の設定
SET     (EIRH). EF14        ;  INTTC2割り込みを許可
EI
LD      (TC2CR), 00111100B  ;  TC2スタート
```

Not Recommended for New Design

(3) ウィンドウモード

TC2外部端子入力(ウィンドウパルス)が“H”レベルの間、内部クロックでカウントアップするモードです。カウンタ値とTREG2設定値の一致で、INTTC2割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例： 120 ms以上の“H”レベルパルスが入力されると割り込みを発生させる。(fc＝8 MHz時)

```
LDW     (TREG2), 0078H      ;  TREG2の設定(120 ms÷2^13/fc＝0078H)
SET     (EIRH). EF14        ;  INTTC2割り込みを許可
EI
LD      (TC2CR), 00100101B  ;  TC2スタート
```

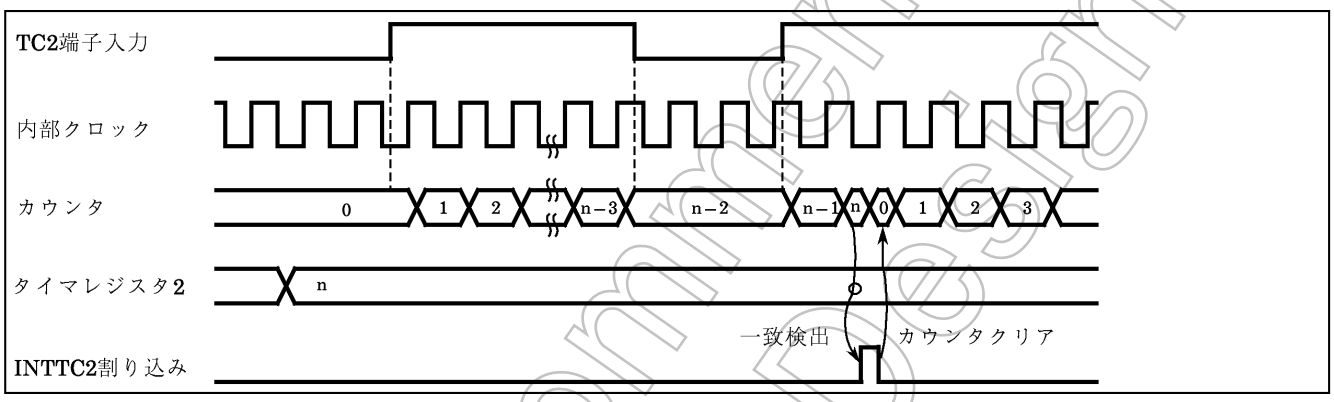


図2-29. ウィンドウモード タイミングチャート

Not Recommended for New Design

2.7 8ビットタイマカウンタ3 (TC3)

2.7.1 構 成

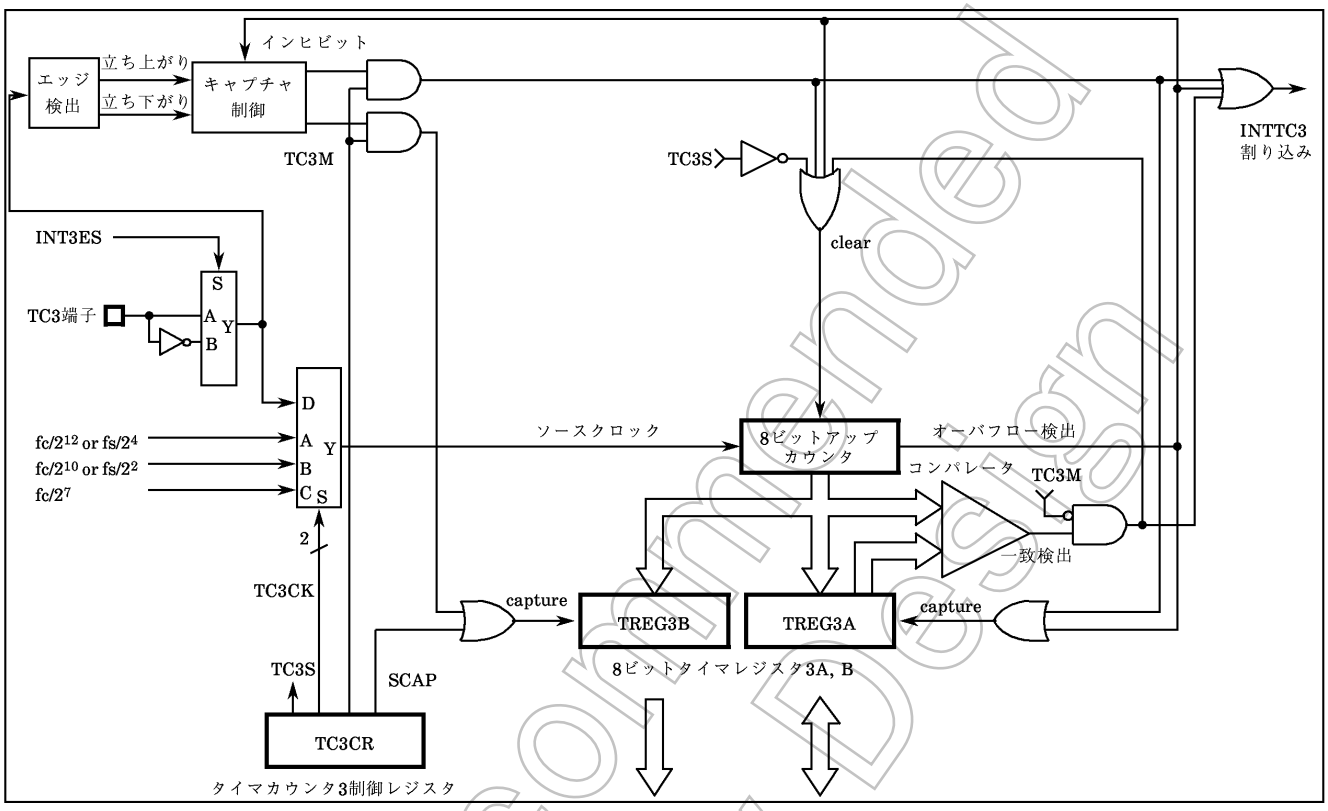


図2-30. タイマカウンタ3 (TC3)

Not Recommended for New Design

2.7.2 制　御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

TREG3A (0018_H)　　Read / Write

TREG3B (0019_H)　　Read only

TC3CR ($001A_H$)　　(初期値　*0*0 00*0)

TC3M	タイマカウンタ3の 動作モードの選択	0 : タイマ/イベントカウンタモード 1 : キャプチャモード	write only
TC3CK	タイマカウンタ3の ソースクロックの選択	00 : 内部クロック　fc / 2^{12} or fs / 2^4 [Hz] 01 :　〃　fc / 2^{10} or fs / 2^2 10 :　〃　fc / 2^7 11 : 外部クロック (TC3端子入力)	
TC3S	タイマカウンタ3の スタート制御	0 : ストップ&カウンタクリア 1 : スタート	
SCAP	ソフトキャプチャ制御	0 : – 1 : ソフトキャプチャ	

注1)　fc ; 高周波クロック[Hz]　fs ; 低周波クロック[Hz]　* ; don't care

注2)　モード, ソースクロック, エッジ (INT3ES) は、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。

注3)　タイマレジスタ3Aへの設定値は、次の条件を満足する必要があります。
TREG3A > 0 (タイマ/イベントカウンタモード時)

注4)　ソフトキャプチャはタイマ/イベントカウンタモード時のみ使用可能です。

注5)　TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-31. タイマカウンタ3のタイマレジスタと制御レジスタ

2.7.3 機　能

タイマカウンタ3には、タイマ, イベントカウンタ, キャプチャの3つの動作モードがあります。

(1)　タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。SCAP (TC3CRのビット6) を "1" にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAPは、キャプチャ後自動的に "0" にクリアされます。

表2-5. タイマカウンタ3のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1 / 2, IDLE1 / 2モード		SLOW, SLEEPモード	fc = 8 MHz時	fs = 32.768 kHz時	fc = 8 MHz時	fs = 32.768 kHz時
DV7CK = 0	DV7CK = 1					
fc / 2^{12}	fs / 2^4 [Hz]	fs / 2^4 [Hz]	512 μs	488.28 μs	131.1 ms	124.5 ms
fc / 2^{10}	fs / 2^2	–	128 μs	122.07 μs	32.6 ms	31.1 ms
fc / 2^7	fc / 2^7	–	16 μs	–	4.1 ms	–

Not Recommended for New Design

(2) イベントカウンタモード

TC3端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT4端子のエッジ選択と共通) パルスでカウントアップするモードです。カウンタ値とTREG3A設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、fc / 2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs / 2^4 [Hz] (SLOW, SLEEPモード時) です。"H", "L" レベルとも2マシンサイクル以上のパルス幅が必要です。

SCAP (TC3CRのビット6) を "1" にセットすることにより、そのときのアップカウンタの内容をTREG3Bに取り込むことができます (ソフトキャプチャ機能)。SCAPはキャプチャ後自動的に "0" にクリアされます。

例： TC端子に50 Hzのパルスを入力し、0.5 sごとに割り込みを発生させる

```
LD      (TC3CR), 00001100B    ;  TC3のモード, ソースクロック設定
LD      (TREG3A), 19H         ;  0.5 s÷1/50=25=19H
LD      (TC3CR), 00011100B    ;  TC3スタート
```

(3) キャプチャモード

TC3端子入力のパルス幅, 周期, デューティなどを測定するモードで、リモコン信号のデコードやAC50 / 60Hz識別などに利用できます。カウンタを内部クロックでフリーランニングし、TC3端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は, INT4端子のエッジ選択と共通) の立ち上がり (立ち下がり) エッジでカウンタ値をTREG3Aに取り込みカウンタをクリアするとともにINTTC3割り込みが発生します。また、TC3端子入力の立ち下がり (立ち上がり) エッジではカウンタ値をTREG3Bに取り込みます。この場合はカウント継続し、次の立ち上がり (立ち下がり) エッジでカウンタ値をTREG3Aに取り込み、カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバフロー (FF_H) するとTREG3A にFF_HをセットしてカウンタをクリアするとともにINTTC3割り込みが発生します。割り込み処理でTREG3Aを読み出してFF_Hであるか否かでオーバフロー発生の有無を判断することができます。なお、割り込み (TREG3Aへのキャプチャまたはオーバフロー検出) の発生後、TREG3Aを読み出すまではキャプチャおよびオーバフロー検出は停止します。ただし、カウントは継続します。TREG3Aを読み出すとキャプチャ/オーバフロー検出が再開されますので、通常TREG3Bから先に読み出します。

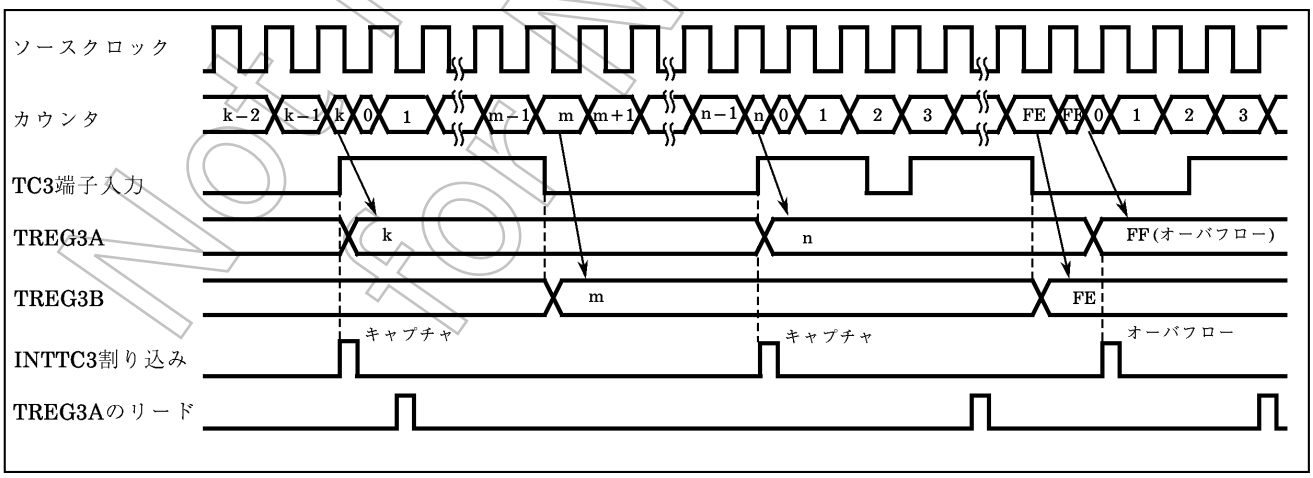


図2-32. キャプチャモードタイミングチャート (INT3ES = 0の場合)

Not Recommended for New Design

INT4/TC3入力のパルス幅測定 (リモコン受信波形の検出など)

INT4/TC3入力からの入力波形 “L” レベル幅あるいは “H” レベル幅を検出/測定する場合は、タイマ3をキャプチャモードに設定し、INT4/TC3入力のエッジ検出を両エッジ検出に設定しておきます。

図2-33.にタイマ3をキャプチャモードで使用した場合のタイミングチャートを示しますので、この図A中に記した①～⑱のNO.の順に動作説明を以下に記します。

① INT4/TC3入力のエッジ検出を “両エッジ検出” に設定します。
図2-28.ではINT4ES＝1 (両エッジのうち、立ち下がりエッジでINT4EDTがセットされる)、INT4W＝1 (両エッジの検出をイネーブル) としています。
なお、#0024$_H$のINT4ESビットおよびINT4Wビットを書き替える場合は、必ず割り込みを禁止状態 (IMF＝0) にしてから外部割り込み制御レジスタを書き替え、割り込みラッチをクリアした後、割り込み受付を許可してください。

② 次にタイマ3を起動するとともに、タイマ3のソフトキャプチャをイネーブルにします。このときより、タイマ3のカウンタはフリーランニングします。また、タイマ3の割り込みを許可 (EF_8＝1) 状態にしておきます。

③～⑤INT4/TC3入力端子のエッジ (この場合は立ち下がりエッジ) で、このときのカウンタ値 (k) をTREG3Aに取り込み、カウンタをゼロ・クリアします。これと同時に、タイマ3の割り込みが発生します。

⑥ タイマ3の割り込み処理内では、INT4ESで選択したエッジとは逆のエッジ (この場合は立ち上がりエッジ) でINT4 (外部) 割り込みが検出できるように割り込み許可レジスタ (EIR) のEF_8を “0”, EF_{12}を “1” にしておきます。(タイマ3の割り込みは禁止しておきます。)

⑦ 次に、TREG3B, TREG3Aをリードするのは、TREG3Aへのキャプチャによるタイマ3割り込み発生後、タイマ3はTREG3Aを読み出すまではキャプチャ/オーバフロー検出が停止しているからです。この割り込み処理内でTREG3Aを読み出すことで、次のキャプチャ/オーバフロー検出を再開しておきます。

⑧～⑩その後、タイマ3のカウント動作は継続し、次のINT4ESで選択したエッジとは逆のエッジ (この場合は立ち上がりエッジ) でカウンタ値 (m) をTREG3Bに取り込みます。
このときINT4 (外部) 割り込みが発生します。

⑪ これと同時に#0024$_H$のbit6 (INT4EDT) が “1” になります。

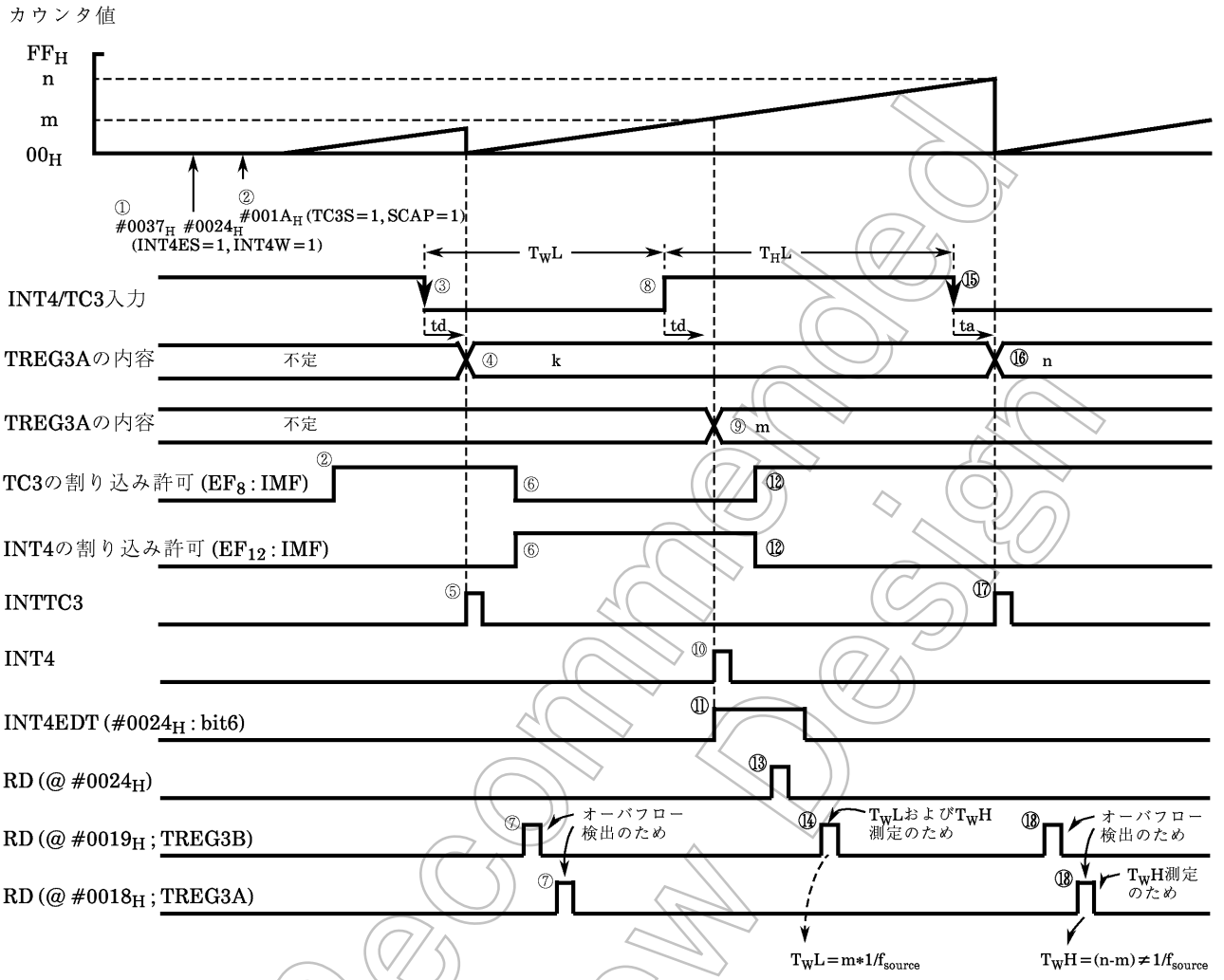
⑫ このINT4 (外部) 割り込み処理内で、次のエッジ (この場合は⑮の立ち下がりエッジ) 検出のために、タイマ3割り込みを許可し、INT4割り込みを禁止します。

⑬～⑭その後、⑦同様に次のキャプチャ/オーバフロー検出を再開しておきます。⑭でリードしたTREG3Bの値 (m) は図AのT_WLを求める値に必要なデータとなります。
また、⑬で#0024$_H$をリードすると、bit 6 (INT4EDT) , bit2 (INT4DET) が “1” になっています。bit6とbit2はリード後クリアされます。

⑮～⑰その後、タイマ3の動作は継続し、次のエッジ (この場合は立ち上がりエッジ) でカウンタ値 (n) をTREG3Aに取り込み、カウンタをゼロクリアします。
これと同時に、INTTC3割り込みが発生します。

⑱ この割り込み処理内では⑦同様に次のキャプチャ/オーバフロー検出を再開しておきます。T_WHは、ここで読み出すTREG3Aの値 (n) と、⑭で読み出したTREG3Bの値 (m) によって求めることができます。

Not Recommended for New Design



注) fsourceは#001AH＝TC3CKの設定値によります。
tdは#0024H＝NCSの設定値によります。

図2-33. タイマ3 (キャプチャモード) によるリモコン波形の受信例

Not Recommended for New Design

2.8 8ビットタイマカウンタ (TC4)

2.8.1 構 成

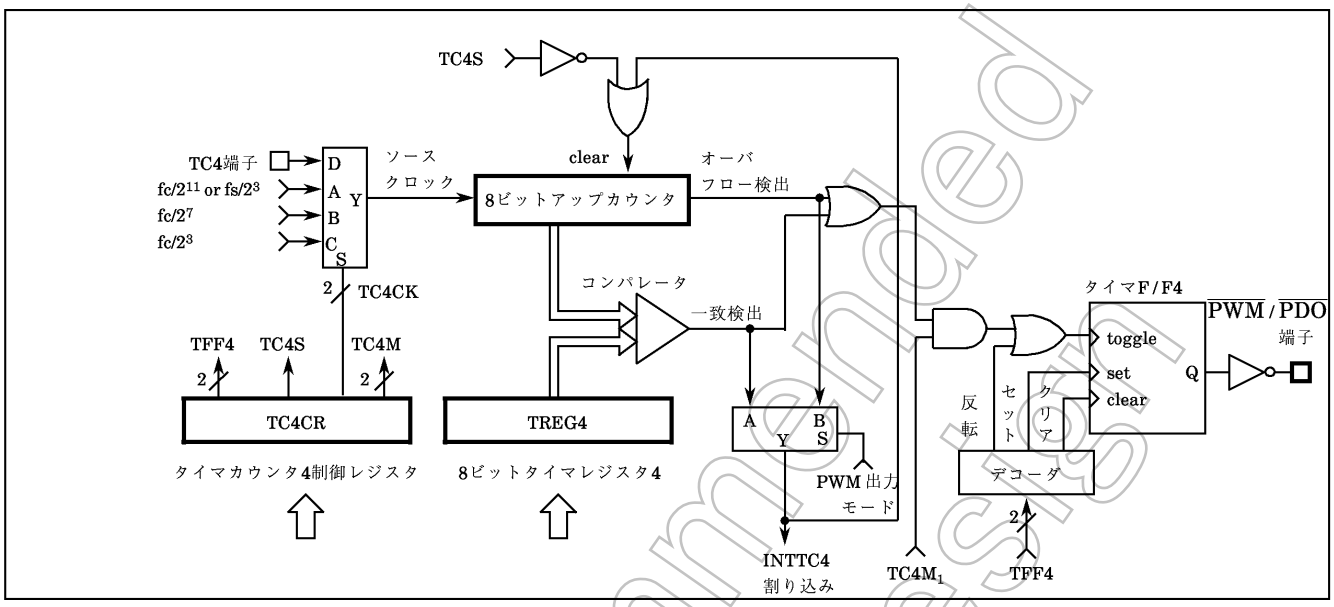


図2-34. タイマカウンタ4 (TC4)

Not Recommended for New Design

2.8.2 制　御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) とタイマレジスタ4 (TREG4) で制御されます。

TREG4 ($001B_H$)

7	6	5	4	3	2	1	0

Write only

TC4CR ($001C_H$)

7	6	5	4	3	2	1	0
TFF4		"0"	TC4S	TC4CK		TC4M	

(初期値　00*0 0000)

TC4M	タイマカウンタ4の 動作モードの選択	00：タイマモード/イベントカウンタモード 01：reserved 10：プログラマブルデバイダ出力 (PDO) モード 11：パルス幅変調 (PWM) 出力モード	write only
TC4CK	タイマカウンタ4の ソースクロックの選択	00：内部クロック fc/2^{11} または fs/2^8[Hz] 01：内部クロック fc/2^7 10：内部クロック fc/2^3 11：外部クロック (TC4端子入力)	
TC4S	タイマカウンタ4の スタート制御	0：ストップ&カウンタクリア 1：スタート	
TFF4	タイマF/F 4の制御	00：クリア 01：反転 10：セット 11：－ (注3)	

注1)　fc；高周波クロック [Hz], fs；低周波クロック [Hz], *；don't care

注2)　動作モード, ソースクロックおよびタイマF/F 4の制御を行うときは、TC4S＝0にしてください。

注3)　TFF4はタイマモード、イベントカウンタモード時は"11"にしてください。

注4)　タイマレジスタへの設定値は次の条件を満足する必要があります。

TREG4＞0

注5)　TC4CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注6)　TC4CRのビット5には必ず"0"を書き込んでください。

図2-35. タイマカウンタ4のタイマレジスタ/制御レジスタ

Not Recommended for New Design

2.8.3 機　能

タイマカウンタ4には、タイマ, イベントカウンタ, プログラマブルデバイダ出力, パルス幅変調出力の4つの動作モードがあります。

(1)　タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致でINTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2-6. タイマカウンタ4のソースクロック (内部クロック)

ソースクロック			分　解　能		最大設定時間	
NORMAL1 / 2, IDLE1 / 2モード		SLOW, SLEEPモード	fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1					
$fc/2^{11}$ [Hz]	$fs/2^{3}$ [Hz]	$fs/2^{3}$ [Hz]	256 μs	244.14 μs	65.3 ms	62.2 ms
$fc/2^{7}$	–	–	16 μs	–	4.1 ms	–
$fc/2^{3}$	–	–	1 μs	–	255 μs	–

(2)　イベントカウンタモード

TC4端子入力 (外部クロック) パルスの立ち上がりエッジでカウントアップするモードです。

カウンタ値とTREG4設定値との一致で、INTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。最大印加周波数は、$fc/2^{4}$ [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、$fs/2^{4}$ [Hz] (SLOW, SLEEPモード時) で、"H", "L" レベルともに2マシンサイクル以上のパルス幅が必要です。

(3)　プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4との一致ごとにタイマF/F 4出力を反転し、カウンタをクリアします。タイマF/F 4出力は、反転されてP14 ($\overline{PDO}$) 端子に出力されます。プログラマブルデバイダ出力を行う場合は, P14出力ラッチを"1"にセットし、出力モードに設定します。このモードはディーティ50 %のパルス出力に利用できます。なお、タイマF/F 4はプログラムで初期設定することができます。リセット時、タイマF/F 4は "0" に初期化されます。$\overline{PDO}$出力反転ごとにINTTC4割り込みが発生します。

例：　1024Hzのパルス出力 (fc＝4.194304 MHz時)。

```
SET     (P1). 4              ;  P14出力ラッチ ←1
LD      (P1CR), 00010000B    ;  P14を出力モードに設定
LD      (TREG4), 10H         ;  1/1024÷2^7/fc=20H
LD      (TC4CR), 00010010B   ;  TC4スタート
```

Not Recommended for New Design

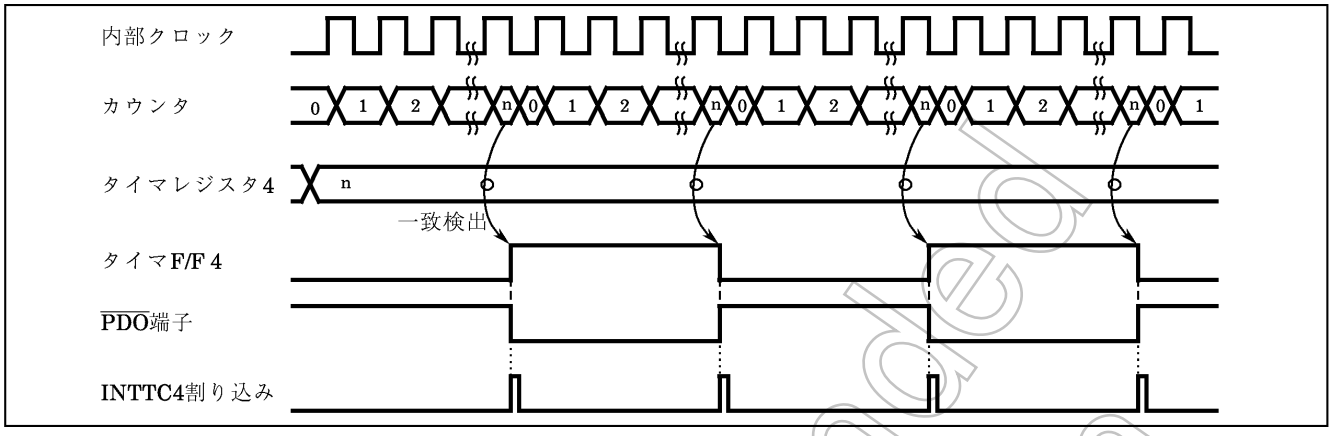


図2-36. PDOモード タイミングチャート

(4) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG4設定値との一致でタイマF/F 4出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/F 4出力を再び反転し、カウンタをクリアします。タイマF/F 4出力は反転されて、P14 ($\overline{\text{PWM}}$) 端子に出力されます。PWM出力を行う場合は, P14出力ラッチを“1”にセットし、出力モードに設定します。なお、オーバフロー時INTTC4割り込みが発生します。

TREG4は、シフトレジスタ (2段) 構成で、PWM出力中にTREG4を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回はTREG4にデータ設定後、TC4CRによりスタートした時点でシフトされます。

注1) INTTC4割り込み発生サイクル時のみTREG4を書き替えないでください。通常は、INTTC4割り込みサービスルーチンでTREG4を書き替えます。
注2) PWM 出力モードはNORMAL1、2およびIDLE1、2モードのみ使用可能です。

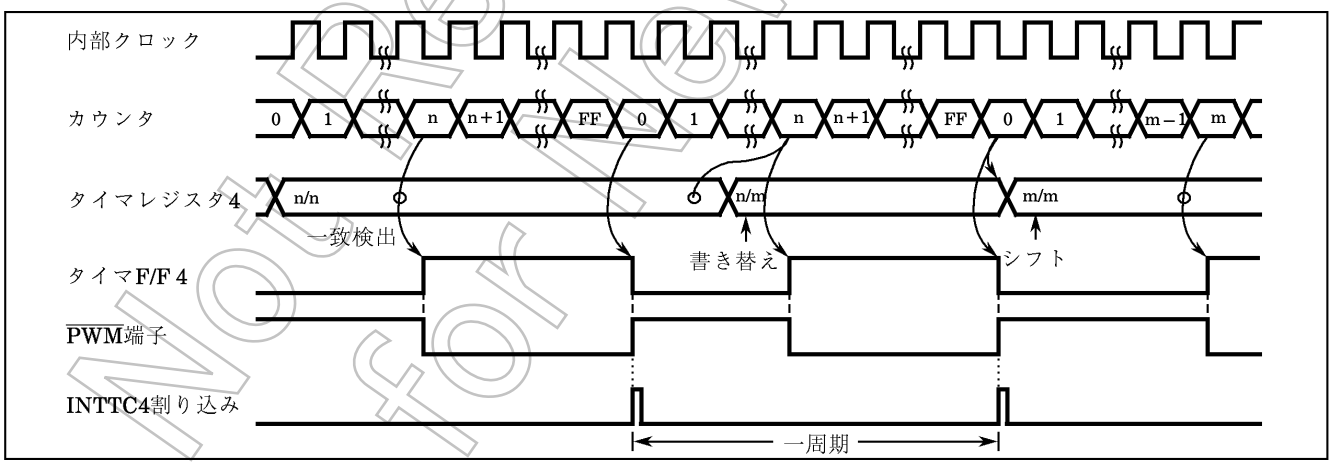


図2-37. PWM出力モード タイミングチャート

表2-7. PWM出力モード

ソースクロック			分解能		繰返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW, SLEEPモード	fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz	fs=32.768 kHz時
DV7CK=0	DV7CK=1					
fc / 2^{11} [Hz]	fs / 2^3 [Hz]	fs / 2^3 [Hz]	256 μs	244.14 μs	65.5 ms	62.5 ms
fc / 2^7	fc / 2^7	–	16 μs		4.1 ms	
fc / 2^3	fc / 2^3	–	1 μs		256 μs	

Not Recommended for New Design

2.9 シリアルバスインタフェース回路 (SBI-ver.A)

87CH74A/M74Aは、I²Cバス (Philips社の提唱するバス方式) とクロック同期式8ビットSIOの2つの動作モードを持つシリアルバスインタフェース回路を1チャネル内蔵しています。

シリアルバスインタフェースはI²Cバスモードのとき、P31 (SDA), P30 (SCL) を通して、クロック同期式8ビットSIOモードのとき、P32 ($\overline{SCK0}$), P31 (SO0), P30 (SI0) を通して外部デバイスと接続されます。

シリアルバスインタフェース端子は、P3ポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応するP3ポートの出力ラッチを“1”にセットするとともに入出力制御レジスタ (P3CR) にて入出力のコントロールをする必要があります。シリアルバスインタフェース端子として使用しない端子は、通常の入出力ポートとして使用できます。

シリアルバスインタフェース回路に内蔵されているI²Cバスは、複数のマスタデバイスがバスの制御を奪い合うために必要なアービトレーションの機能を持っていません。従ってマスタモードで動作させるときには、同一バス上に接続されている他のデバイスはスレーブデバイスである必要があります (シングルマスタ)。

注) 本シリアルバスインタフェース回路のI²Cバスモードは、マルチマスタのI²Cバスシステムで使用すると、下記に示す問題が発生することがあります。本シリアルバスインタフェース回路のI²Cバスモードは、シングルマスタのI²Cバスシステムで使用してください。

1. シリアルバスインタフェース回路がSCLラインを“L”レベルに固定したまま転送を停止することがあります。この現象が発生すると、他のデバイスがSCLラインを駆動できなくなるため、バスがロックします。
2. シリアルバスインタフェース回路が、SCLラインの状態に関係なくSCL端子に“L”レベルを出力することがあります。この現象が発生すると、他のデバイスが出力しているSCLクロックの“H”レベル期間を短くすることがあり、I²Cバス規格で規定されているSCLクロックの“H”レベル期間の最小値を満たさなくなることがあります。

2.9.1 構 成

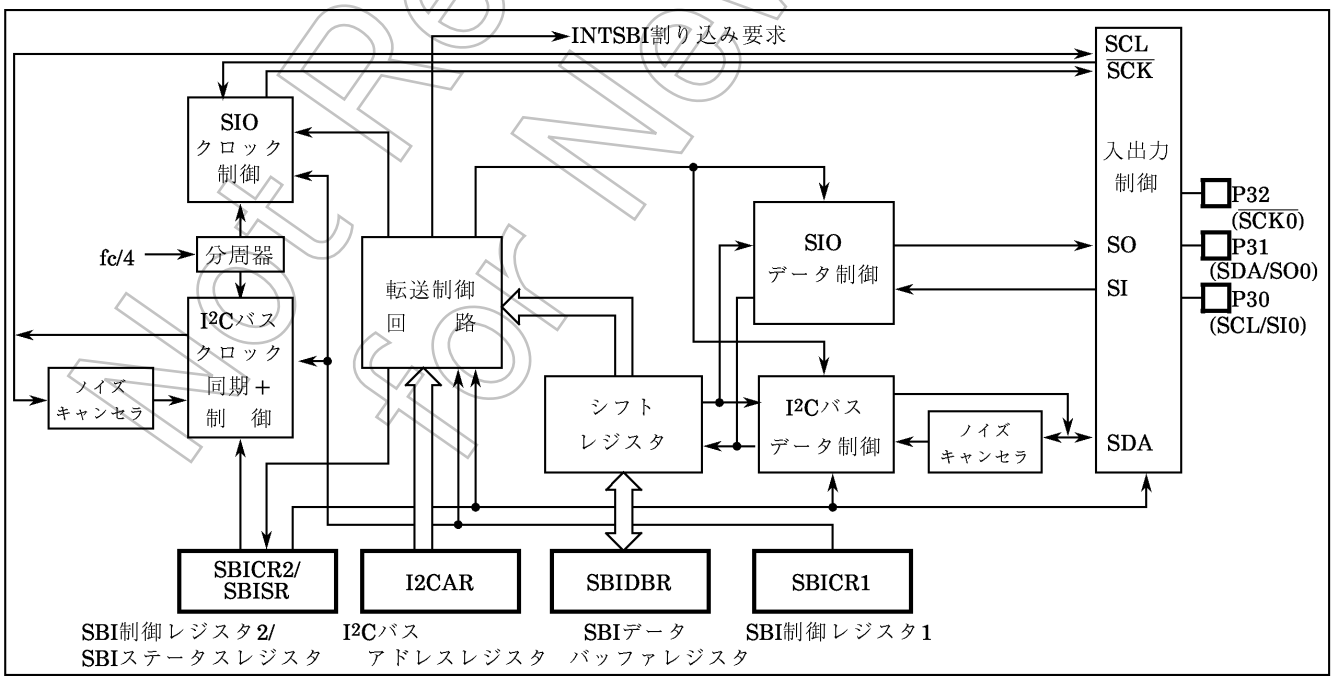


図2-38. シリアルバスインタフェース回路 (SBI-ver.A)

Not Recommended for New Design

2.9.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ1 (SBICR1)
- シリアルバスインタフェース制御レジスタ2 (SBICR2)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)

上記レジスタは使用するモードによって、機能が異なります。詳細は『2.9.4 I²Cバスモード時の制御』および『2.9.6 クロック同期式8ビットSIOモード時の制御』をご参照ください。

2.9.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図2-39.に示します。

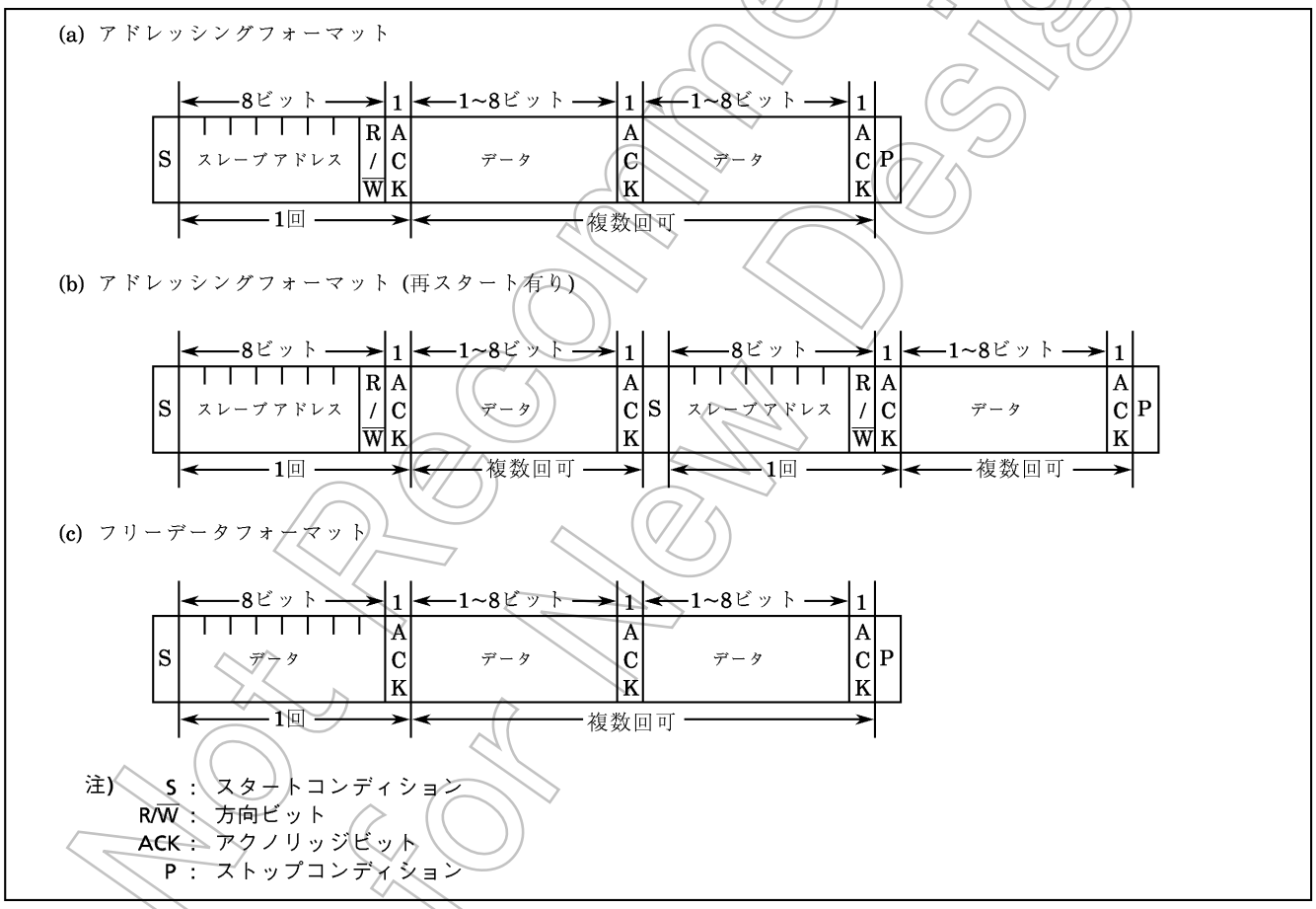


図2-39. I²Cバスモード時のデータフォーマット

2.9.4 I²C バスモード時の制御

シリアルバスインタフェース回路 (SBI-ver.A) をI²Cバスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ1

SBICR1 (0020_H)

7	6	5	4	3	2	1	0
BC			ACK	SWRST	SCK		

(初期値　0000 0000)

		BC	ACK＝0のとき		ACK＝1のとき		
			クロック数	データ長	クロック数	データ長	
BC	転送ビット数の選択	000	8	8	9	8	write only
		001	1	1	2	1	
		010	2	2	3	2	
		011	3	3	4	3	
		100	4	4	5	4	
		101	5	5	6	5	
		110	6	6	7	6	
		111	7	7	8	7	

ACK	アクノリッジメントのためのクロック発生の選択	0：アクノリッジのためのクロックを発生しない(マスタモード)/ アクノリッジのためのクロックをカウントしない(スレーブモード) 1：アクノリッジのためのクロックを発生する(マスタモード)/ アクノリッジのめたのクロックをカウントする(スレーブモード)	R/W
SWRST	SBIの内部を初期化する	0：— 1：初期化を行う(初期化後、0にクリアされます)	R/W
SCK	シリアルクロック周波数の選択	000：Reserved(注4) 001：Reserved(注4) 010：57.1 kHz 011：29.9 kHz 100：15.3 kHz 101：7.72 kHz 110：3.88 kHz 111：Reserved } fc＝8 MHzのとき (SCL端子への出力)	write only

注1)　fc；高周波クロック [Hz]　*；don't care
注2)　クロック同期式8ビットSIOモードに切り替える前にBCを"000"にクリアしてください。
注3)　SBICR1は書き込み専用レジスタを含むので、ビット操作などのリードモディファイライト命令ではアクセスできません。
注4)　本I^2Cバス回路は、高速モードに対応していません。標準モードのみの対応となります。100 kbpsを超える設定が可能な場合がありますがI^2C規格の規格外となります。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0021_H)

7	6	5	4	3	2	1	0

(初期値　**** ****)　　R/W

注1)　送信データを書き込むときには、データをMSB(ビット7)側につめて書き込んでください。
注2)　SBIDBRは書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。
注3)　SBIDBRに書き込んだ値は、INTSBI割り込み要求信号により"0"にクリアされます。
注4)　*；don't care

I^2C バスアドレスレジスタ

I2CAR (0022_H)

7	6	5	4	3	2	1	0
スレーブアドレス							ALS
SA6	SA5	SA4	SA3	SA2	SA1	SA0	

(初期値　0000 0000)

SA	スレーブアドレスの設定		write only
ALS	スレーブアドレス認識モードの指定	0：スレーブアドレスを認識する(アドレッシングフォーマット) 1：スレーブアドレスを認識しない(フリーデータフォーマット)	

注) I2CARは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-40. I^2Cバスモード時の制御レジスタ1/データバッファレジスタ/I^2Cバスアドレスレジスタ

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ2

SBICR2 (0023_H)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	SBIM		“0”	“0”

(初期値　0001 00**)

MST	マスタ/スレーブの選択	0：スレーブ 1：マスタ	write only
TRX	トランスミッタ/レシーバの選択	0：レシーバ 1：トランスミッタ	
BB	スタートコンディション/ストップコンディションの発生	0：ストップコンディション発生 1：スタートコンディション発生	
PIN	割り込みサービス要求の解除	0：－ (“0” にクリアすることはできません) 1：割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00：ポートモード (シリアルバスインタフェースの出力禁止) 01：クロック同期式8ビットSIOモード 10：I^2C バスモード 11：reserved	

注1)　* ; don’t care

注2)　ポートモードへの切り替えはバスフリーを確認してから行ってください。

注3)　ポートモードからI^2Cバスモード, クロック同期式SIOモードへの切り替えは、ポートの状態が “H” レベルになっていることを確認後、行ってください。

注4)　SBICR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注5)　SBICR2のビット1, 0は “0” にクリアしてください。

シリアルバスインタフェースステータスレジスタ

SBISR (0023_H)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	AL	AAS	AD0	LRB

(初期値　0001 0000)

MST	マスタ/スレーブ選択状態モニタ	0：スレーブ 1：マスタ	read only
TRX	トランスミッタ/レシーバ選択状態モニタ	0：レシーバ 1：トランスミッタ	
BB	バス状態モニタ	0：バスフリー 1：バスビジー	
PIN	割り込みサービス要求状態モニタ	0：割り込みサービス要求中 1：割り込みサービス要求解除中	
AL	ノイズ検出モニタ	0：ノイズ未検出 1：ノイズ検出	
AAS	スレーブアドレス一致検出モニタ	0：スレーブアドレス不一致またはゼネラルコール未検出 1：スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0：ゼネラルコール未検出 1：ゼネラルコール検出	
LRB	最終受信ビットモニタ	0：最終受信ビット “0” 1：最終受信ビット “1”	

Not Recommended for New Design

図2-41. I^2Cバスモード時の制御レジスタ2/ステータスレジスタ

(1) アクノリッジメントモードの指定

ACK (SBICR1のビット4) を “1” にセットしておくとアクノリッジメントモードとして動作します。

シリアルバスインタフェース回路がマスタモードのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA端子を “L” レベルに引きアクノリッジ信号を発生します。

ACKを“0”にクリアしておくと非アクノリッジメントモードとして動作し、シリアルバスインタフェース回路がマスタモードのときにアクノリッジ信号のためのクロックを発生しません。

同様にアクノリッジメントモードのとき、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントします。アクノリッジのためのクロックの期間中、受信したスレーブアドレスとI2CARに設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときには、SDA端子を “L” レベルに引きアクノリッジ信号を発生します。また、スレーブアドレス一致、ゼネラルコール受信後のデータ転送でのアクノリッジのためのクロックの期間中、トランスミッタモードのときには、SDA端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA端子を “L” レベルに引きアクノリッジ信号を発生します。

非アクノリッジメントモードのとき、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

(2) 転送ビット数の選択

BC (SBICR1 のビット7~5) により、次に送受信するデータのビット数を選択します。

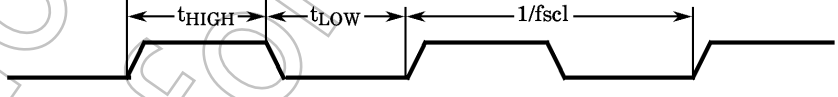
BCはスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送はかならず8ビットで行われます。それ以外のときはBCは一度設定された値を保持します。

(3) シリアルクロック

a. クロックソース

SCK (SBICR1のビット2~0) で、マスタモード時にSCL端子から出力するシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせてt_{LOW}の最小幅など、I^2Cバス規定を満たす通信ボーレートを選択してください。

またマスタモード/スレーブモードとも外部から入力されるクロックの “H” レベル、“L” レベルは4マシンサイクル以上のパルス幅が必要です。



$t_{LOW} = 2^n/fc$

$t_{HIGH} = 2^n/fc + 12/fc$

$fscl = 1/(t_{Low} + t_{HIGH})$

注) fc : 高周波クロック

SCK (SBICR1のビット2~0)	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10

図2-42. クロックソース

Not Recommended for New Design

b. クロック同期化

I²Cバスでは、処理速度の違うデバイス間で転送を行う場合に、処理の遅いデバイスに転送速度をあわせるためにクロック同期化機能を持ちます。

シリアルバスインタフェース回路のクロック同期化機能は、シリアルバスインタフェース回路のSCL端子が“H”レベルになったときに、バスのSCLラインが“L”レベルであった場合に機能します。この状態が発生すると、バスのSCLラインが“H”レベルになるまで、シリアルバスインタフェース回路は自分の出力するクロックの“H”レベル期間のカウントを止めます。バスのSCLラインが“H”レベルになると、シリアルバスインタフェース回路は自分の出力するクロックの“H”レベル期間のカウントを始めます。この機能により、シリアルインタフェース回路の出力するクロックの“H”レベル期間が保たれます。

この機能を使うことで、スレーブデバイスはマスタデバイスのクロック出力を1ワード単位、または1ビット単位で止めることができ、マスタデバイスによる転送速度を、スレーブデバイスの処理速度にあわせることができます。

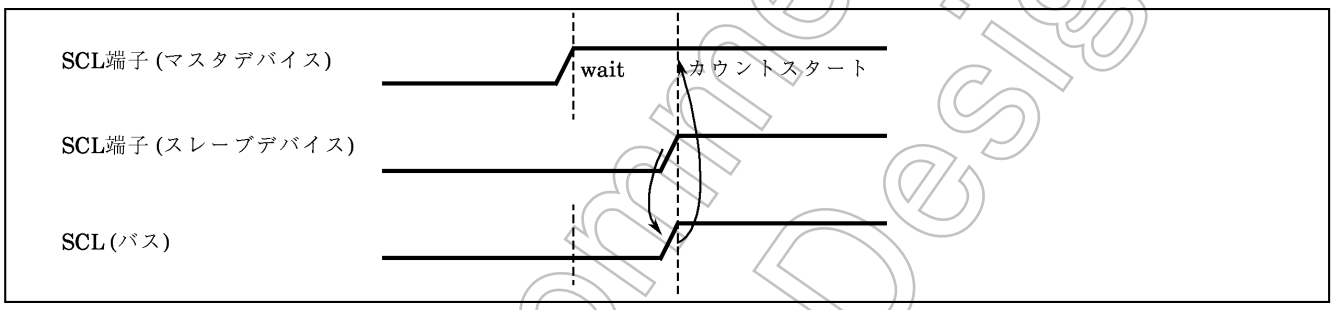


図2-43. クロック同期化の例

(4) スレーブアドレスとスレーブアドレス認識モードの設定

シリアルバスインタフェース回路をスレーブアドレスを認識するアドレッシングフォーマットで使用するときには、ALS (I2CARのビット0) を“0”にクリアし、SA (I2CARのビット7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには、ALSを“1”にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

(5) マスタ/スレーブの選択

MST (SBICR2のビット7) を“1”にセットするとシリアルバスインタフェース回路はマスタデバイスとして動作します。

MSTを“0”にクリアするとスレーブデバイスとして動作します。MSTはバス上のストップコンディションを検出したとき、または、ノイズ検出機能によりノイズが検出されると、ハードウエアにより“0”にクリアされます。

Not Recommended for New Design

(6) トランスミッタ/レシーバの選択

TRX (SBICR2のビット6) を “1” にセットするとシリアルバスインタフェース回路はトランスミッタとして動作し、TRXを “0” にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウエアによりマスタデバイスから送られてくる方向ビット (R/$\overline{W}$) が “1” のとき、TRXは “1” にセットされ、“0” のとき、TRXは “0” にクリアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより送信した方向ビットが “1” のとき、TRXは “0” にクリアされ、“0” のとき、TRXは “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRXはバス上のストップコンディションを検出または、ノイズ検出機能によりノイズが検出されると、ハードウエアにより “0” にクリアされます。

下記に各モードでのTRXの変化条件と変化後のTRXの値を示します。

モード	方向ビット	変化条件	変化後のTRX
スレーブモード	“0”	受信したスレーブアドレスがI2CARに設定された値と同じとき	“0”
	“1”		“1”
マスタモード	“0”	ACK信号が返ってきたとき	“1”
	“1”		“0”

シリアルバスインタフェース回路をフリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRXはハードウエアによって変化することはありません。

(7) スタートコンディション/ストップコンディションの発生

BB (SBICR2のビット5) が “0” のときに、MST, TRX, BB, PIN に “1” を書き込むとバス上にスタートコンディションと8ビットのデータが出力されます。あらかじめ、データバッファレジスタ (SBIDBR) に送信データを、ACKに “1” をセットしておいてください。

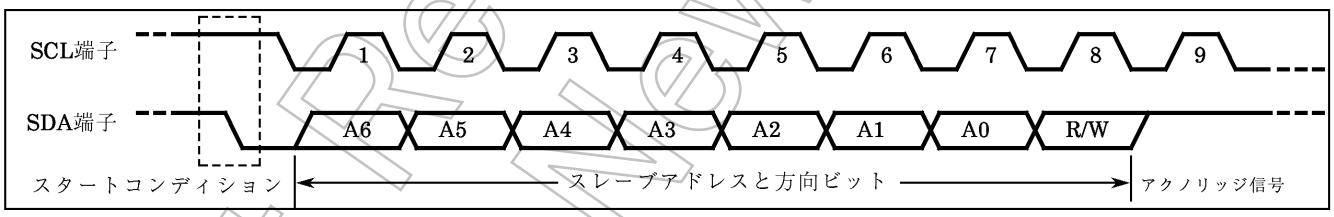


図2-44. スタートコンディションの発生とスレーブアドレスの発生

BB = “1” のときに、MST, TRX, PIN に “1”、BBに “0” を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB, PIN の内容を書き替えないでください。

またストップコンディション発生時にバスのSCLラインが他のデバイスにより “L” レベルに引かれていた場合、SCLラインが開放された後に、ストップコンディションが発生します。

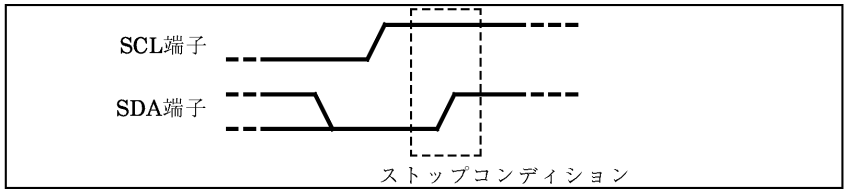


図2-45. ストップコンディションの発生

Not Recommended for New Design

また、BB (SBISRのビット5) を読み出すことで、バスの状態を知ることができます。BBは、バス上のスタートコンディションを検出すると“1”にセットされ (バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます (バスフリー状態)。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BCとACKによって設定されたクロック数の転送が終了するとシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスがI2CARに設定されたスレーブアドレスと一致したとき、ゼネラルコールを受信したときのアクノリッジ信号出力後、または、前記スレーブアドレスの一致、ゼネラルコール受信をしたあとのデータ転送の終了時に、INTSBI割り込み要求が発生します。

シリアルバスインタフェース割り込み要求が発生するとPIN (SBISRのビット4) が“0”にクリアされます。PINが“0”の間、SCL端子が“L”レベルに引かれます。

SBIDBRにデータを書き込むか、SBIDBRからデータを読み出すと“1”にセットされます。

PINが“1”にセットされてから、SCL端子が開放されるまで、t_{LOW}のとき間がかかります。

プログラムでPIN (SBICR2のビット4)に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBIM (SBICR2のビット3~2) でシリアルバスインタフェースの動作モードを設定します。

I^2Cバスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”レベルになっていることを確認後、SBIMを“10”にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

(10) ノイズ検出モニタ

I^2Cバスは、バスをオープンドレインとプルアップ抵抗で駆動するためにノイズの影響を受けやすくなっています。

シリアルバスインタフェース回路は、マスタトランスミッタモードのときのみ、バスのSCLラインの立ち上がりでSDA端子の出力とSDAラインのレベルを比較し、データが正常にバス上に出力されているかを検出する機能を持っています。

SDA端子の出力とSDAラインのレベルが異なっていた場合、AL (SBISRのビット3) が“1”にセットされます。ALが“1”にセットされると、SDA端子を開放します。また、MST, TRXはハードウエアにより“0”にクリアされ、シリアルバスインタフェース回路はスレーブレシーバーモードになります。ただし、このときスレーブモードになっても、ALが“1”にセットされたときのデータの転送が終了するまでは、クロックの出力は継続されます。

ALはSBIDBRにデータを書き込むか、SBIDBRからデータを読み出す、またはSBICR2にデータを書き込むと“0”にクリアされます。

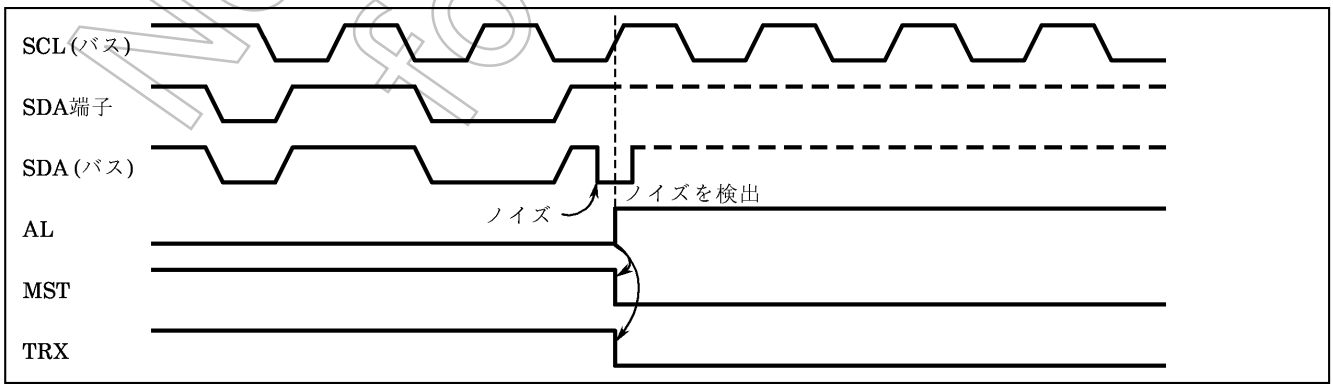


図2-46. ノイズ検出モニタ

Not Recommended for New Design

(11) スレーブアドレス一致検出モニタ

AAS (SBISRのビット2) は、スレーブモードで、かつアドレッシングフォーマット (ALS＝“0”) のとき、ゼネラルコールまたはI2CARにセットした値と同じスレーブアドレスを受信すると“1”にセットされます。フリーデータフォーマット (ALS＝“1”) のときは、最初の1ワードが受信されると“1”にセットされます。AASはSBIDBRにデータを書き込むか、SBIDBRからデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

AD0 (SBISRのビット1) は、スレーブモード時、ゼネラルコール (スタートコンディション直後に受信した8ビットのデータがすべて“0”) のとき、“1”にセットされます。AD0はバス上のスタートコンディションまたはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

LRB (SBISRのビット0) には、バス上のSCLラインの立ち上がりで取り込まれたバス上のSDAラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI割り込み要求発生直後にLRBを読み出すと、アクノリッジ信号が読み出されます。

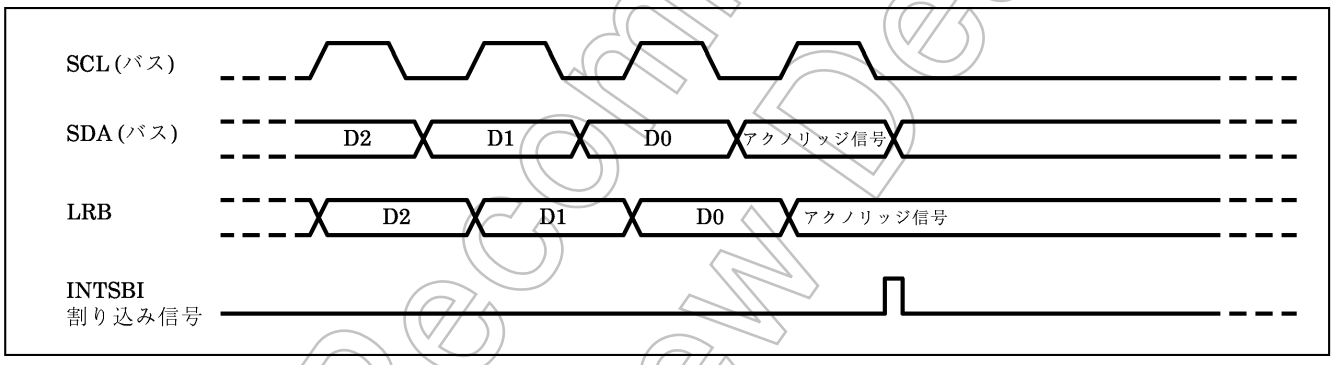


図2-47. 最終受信ビットモニタ

Not Recommended for New Design

2.9.5 I²C バスモード時のデータ転送手順

(1) デバイスの初期化

最初にSBICR1のACKに “1”、BCに “000” を設定し、アクノリッジのためのクロックをカウントするように、またデータ長を8ビットにします。また、SCKに転送周波数を設定します。

次にI2CARのSAにスレーブアドレスを設定します。また、ALSを “0” にクリアしてアドレッシングフォーマットに設定します。

その後、シリアルバスインタフェース端子の状態が “H” になっていることを確認し、SBICR2のMST, TRX, BBに “0”、PINに “1”、SBIMに “10”、ビット1~0に “0” を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に他のデバイスが転送を開始することがあり、正常にデータを受信することができません。

(2) スタートコンディション、スレーブアドレスの発生

バスフリー (BB = “0”) 状態を確認します。

ACKを “1” にセットし、SBIDBRに送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PINに “1” を書き込むと、バス上にスタートコンディションとSBIDBRに設定したスレーブアドレスと方向ビットが出力されます。この後、SCLの9クロック目の立ち下がりでINTSBI割り込み要求が発生し、PINが “0” にクリアされます。PINが “0” の間、SCL端子をローレベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウエアにより、INTSBI割り込み要求タイミングでTRXが方向ビットに合わせて変化します。

注1) データの転送中に、SBIDBRに出力するスレーブアドレスを書き込まないでください。データ転送中にSBIDBRにデータを書き込むと、出力中のデータが破壊されることがあります。

注2) SBIDBRに、出力するスレーブアドレスを書き込んでからSBICR2にスタートコンディション発生コマンドを書き込む間での間に、他のマスタによる転送が始まらないようにしてください。シリアルバスインタフェース回路はアービトレーションの機能を持たないために、正常に動作することができません。

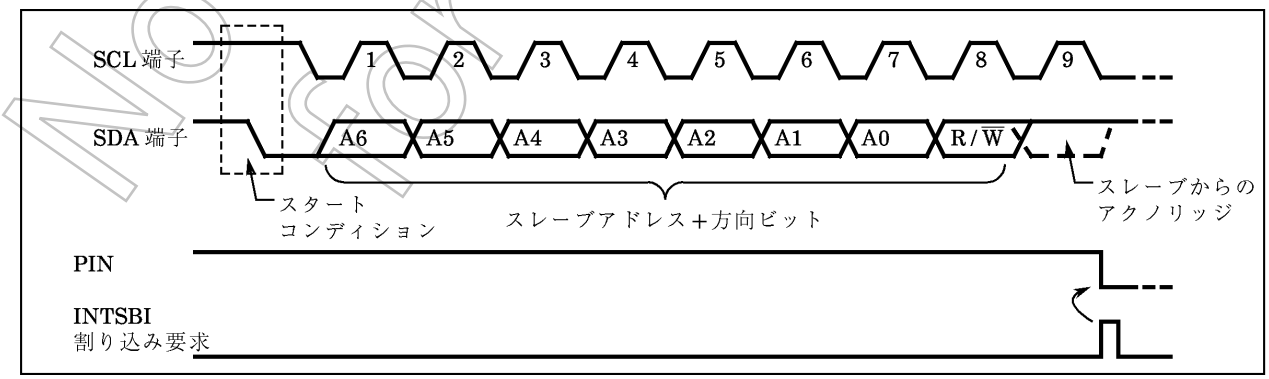


図2-48. スタートコンディションとスレーブアドレスの発生

Not Recommended for New Design

(3) 1ワードのデータ転送

1ワード転送終了のINTSBI割り込みの処理でMSTをテストし、マスタモード/スレーブモードの判断をします。

a. MSTが“1”のとき(マスターモード)

TRXをテストし、トランスミッタ/レシーバの判断をします。

① TRXが“1”のとき(トランスミッタモード)

LRBをテストします。LRBが“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

LRBが“0”のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が8ビット以外のときはBCを再設定し、ACKを“1”にセットした後、送信データをSBIDBRに書き込みます。データを書き込むとPINが“1”になりSCL端子から次の1ワードのデータ転送用のシリアルクロックが発生され、1ワードのデータが送信されます。送信終了後、INTSBI割り込み要求が発生し、PINが“0”になりSCL端子を“L”レベルに引きます。複数ワードの転送が必要な場合は上記LRBのテストから繰り返します。

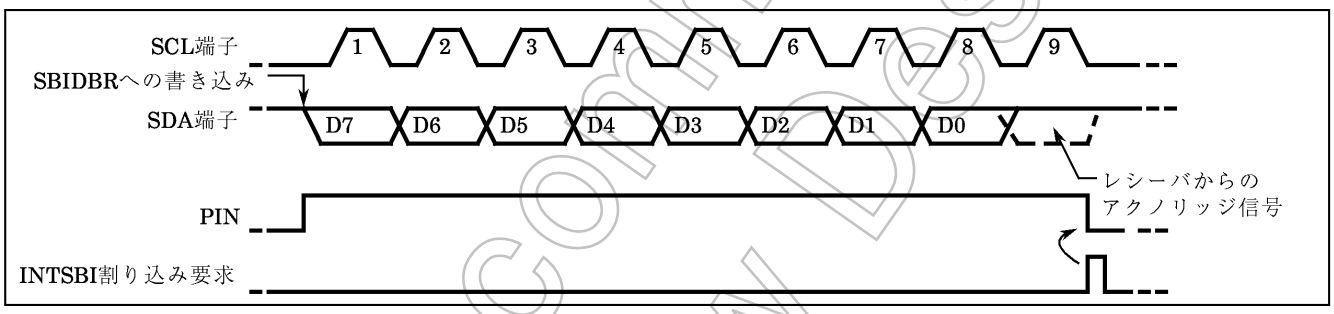


図2-49. BC = “000”, ACK = “1”のときの例

② TRXが“0”のとき(レシーバモード)

次に転送するデータのビット数が8ビット以外のときはBCを再設定し、ACKに“1”をセットした後、SBIDBRから受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すとPINは“1”になり、次の1ワードのデータ転送用のシリアルクロックをSCLに出力し、アクノリッジのタイミングで“0”をSDA端子に出力します。

その後、INTSBI割り込み要求が発生し、PINが“0”になります。SBIDBRから受信データを読み出すたびに1ワードの転送クロックとアクノリッジを出力します。

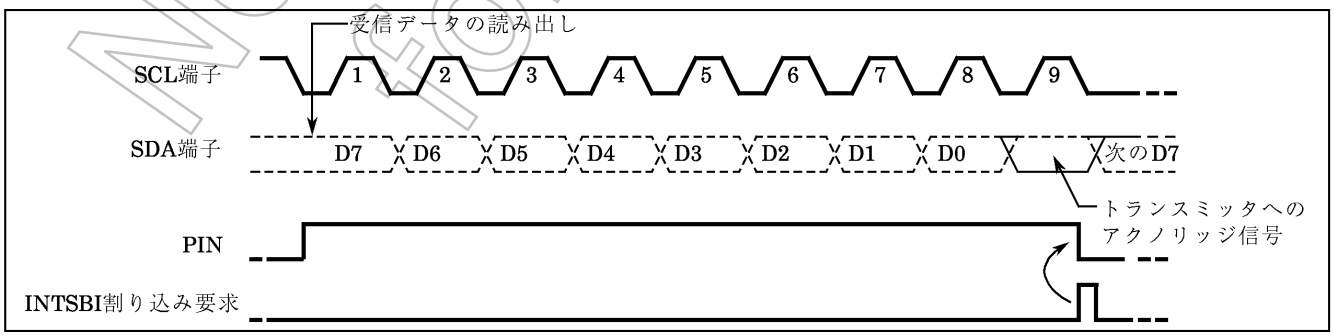


図2-50. BC = “000”, ACK = “1”のときの例

Not Recommended for New Design

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前にACKを“0”にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC＝“001”に設定し、データを読み出すとPINが“1”にセットされ、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスのSDAラインは“H”レベルを保ちます。トランスミッタはアクノリッジ信号としてこの“H”レベルを受信するので、レシーバはトランスミッタ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

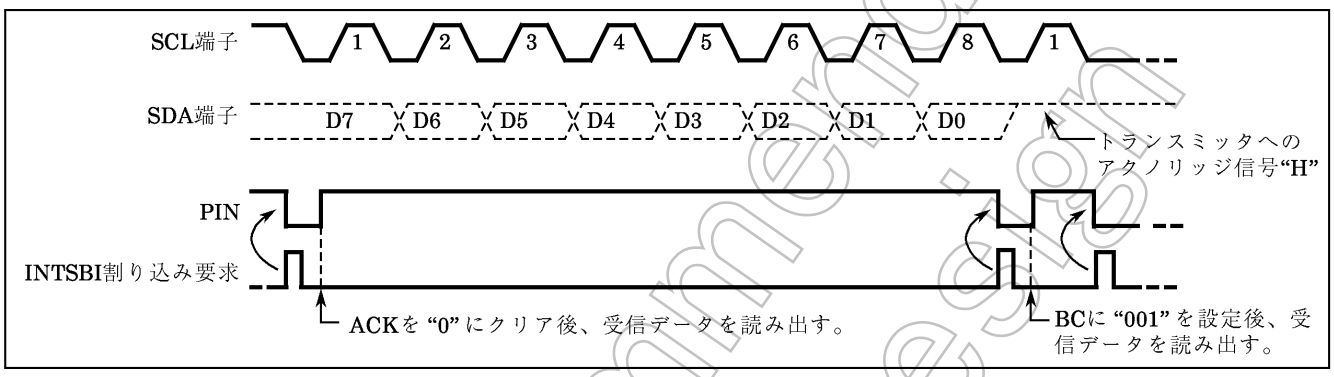


図2-51. マスタレシーバモード時、データの送信を終了させるときの処理

b. MSTが“0”のとき (スレーブモード)

スレーブモード時は、通常のスレーブモードとしての処理または、ノイズ検出後のリカバリ処理を行います。

スレーブモードのとき、マスタが送ったシリアルバスインタフェース回路のスレーブアドレスを受信したとき、またはゼネラルコールを受信したとき、または、受信したスレーブアドレスが一致した後、ゼネラルコールを受信した後のデータ転送終了時にINTSBI割り込み要求が発生します。また、シリアルバスインタフェース回路がマスタモードのとき、ノイズ検出機能によりノイズが検出されるとスレーブモードとして動作し、ノイズが検出されたワード転送の終了時にINTSBI割り込み要求が発生します。INTSBI割り込み要求が発生するとPIN (SBICR2のビット4) が“0”にリセットされ、SCL端子を“L”レベルに引きます。SBIDBRにデータを書き込む、SBIDBRからデータを読み出す、またはPINを“1”にセットするとSCL端子がt_{LOW}後に開放されます。

AL (SBISRのビット3)、TRX (SBISRのビット6)、AAS (SBISRのビット2)、AD0 (SBISRのビット1) をテストし、場合分けを行います。表2-5.にスレーブモード時の状態と必要な処理を示します。

Not Recommended for New Design

表2-5. スレーブモード時の処理

TRX	AL	AAS	AD0	状　態	処　理
1	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRBをテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないのでPINに“1”をセット、TRXを“0”にリセットしバスを開放します。LRBが“0”にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。
0	1	0	0	シリアルバスインタフェース回路がスレーブアドレスを送信中またはデータ送信中にノイズを検出し、そのワードの転送が終了	ノイズによりスレーブデバイスがデータを正常に受信していない可能性があります。ストップコンディションを出力してデータを再送するなどのリカバリ処理を行う必要があります。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PINを“1”にセットするためにSBIDBRを読み出します。(ダミー読み出し) またはPINに“1”を書き込みます。
		0	1/0	スレーブレシーバモード時、1ワードのデータ受信が終了	1ワードのビット数をBCにセットし、受信データをSBIDBRから読み出します。

(4)　ストップコンディションの発生

BB＝“1”のときに、MST, TRX, PINに“1”、BBに“0”を書き込むとバス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB, PINの内容を書き替えないでください。

また、ストップコンディション発生時にバスのSCLラインが他のデバイスにより引かれていた場合、SCLラインが開放された後に、ストップコンディションが発生します。

Not Recommended for New Design

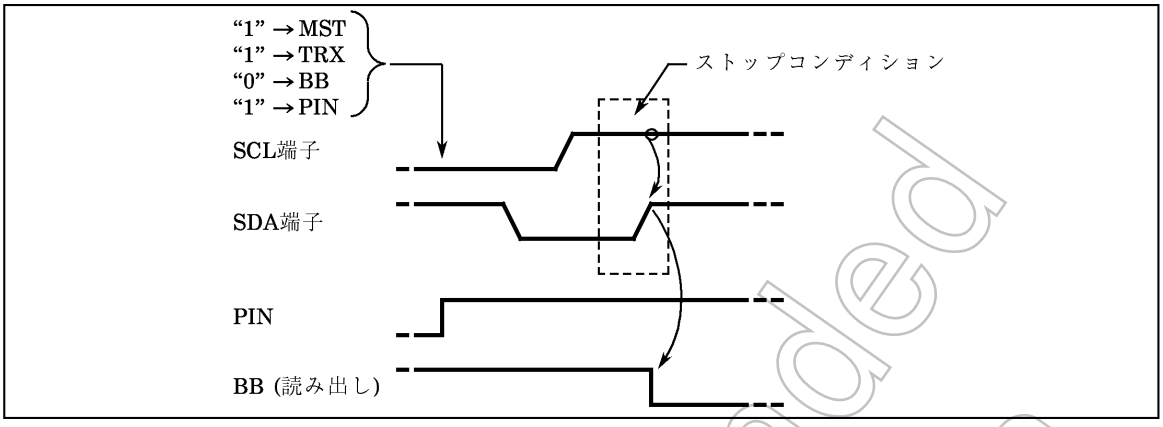


図2-52. ストップコンディションの発生

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。再スタートを発生する場合の手順を以下に示します。

まず、MST, TRX, BBに“0”、PINに“1”を書き込むと、SDA端子は“H”レベルを保ち、SCL端子が開放されます。このときバス上にストップコンディションは発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、BBをテストして“0”になるまで待ち、シリアルバスインタフェース回路のSCL端子が開放されたことを確認します。次にLRBをテストして“1”になるまで待ち、他のデバイスがバスのSCLラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記(2)の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低4.7 μsのソフトウエアによる待ち時間が必要です。

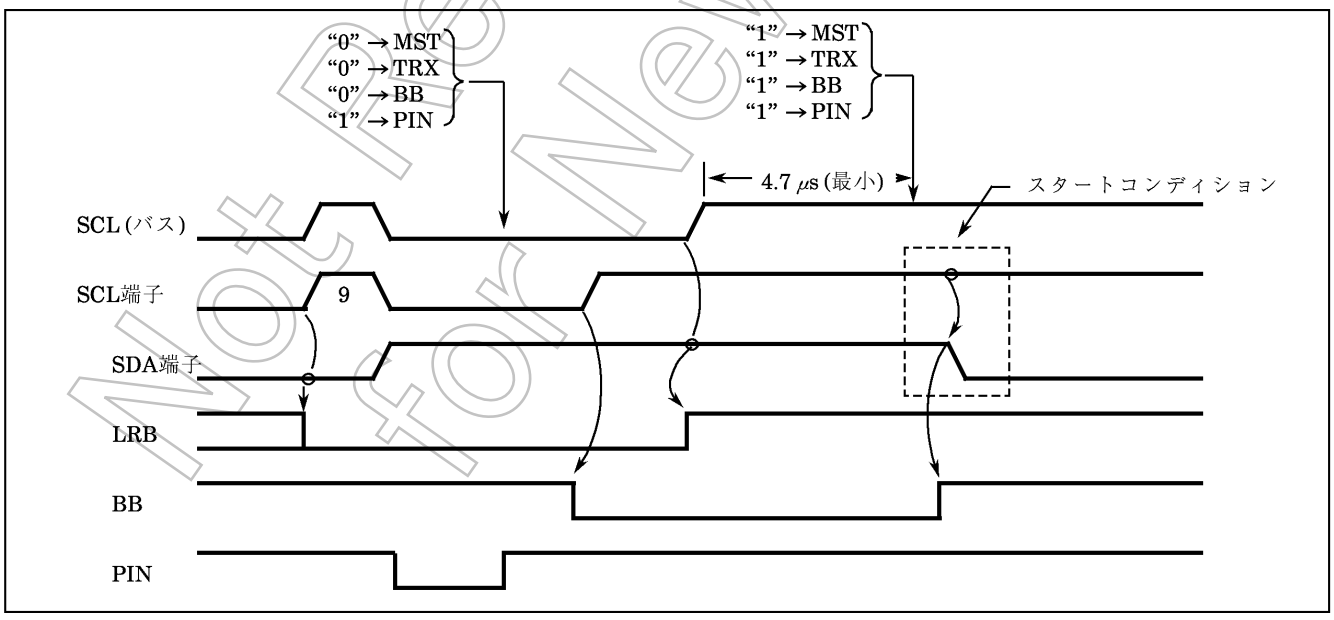


図2-53. 再スタートを発生する場合のタイミングチャート

Not Recommended for New Design

2.9.6 クロック同期式8ビットSIOモード時の制御

シリアルバスインタフェース回路をクロック同期式8ビットSIOモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ1

SBICR1 (0020_H)

7	6	5	4	3	2	1	0
SIOS	SIO INH	SIOM				SCK	

(初期値 0000 *000)

SIOS	転送の開始/終了	0 : 終了 1 : 開始	write only
SIOINH	転送の強制停止	0 : 転送継続 1 : 強制停止 (停止後、自動的にクリア)	write only
SIOM	転送モードの選択	00 : 8ビット送信モード 01 : reserved 10 : 8ビット送受信モード 11 : 8ビット受信モード	write only
SCK	シリアルクロック周波数の選択	000 : fc/2^5 (250 kHz) 001 : fc/2^6 (125 kHz) 010 : fc/2^7 (62.5 kHz) 011 : fc/2^8 (31.25 kHz) 100 : fc/2^9 (15.62 kHz) 101 : fc/2^{10} (7.81 kHz) 110 : fc/2^{11} (3.90 kHz) fc = 8 MHzのとき (SCK端子への出力) 111 : 外部クロック (SCK端子から入力)	write only

注1) * ; don't care, fc ; 高周波クロック [Hz]
注2) 転送モード, シリアルクロックの設定時は、SIOS = 0, SIOINH = 1にしてください。
注3) SBICR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0021_H)

7	6	5	4	3	2	1	0

(初期値 **** ****) R/W

注) SBIDBRは書き込み用のバッファと読み出し用のバッファを個別にもっているため書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

シリアルバスインタフェース制御レジスタ2

SBICR2 (0023_H)

7	6	5	4	3	2	1	0
"0"	"0"	"0"	"1"	SBIM		"0"	"0"

(初期値 **** 00**)

SBIM	シリアルバスインタフェースの動作モード選択	00 : ポートモード (シリアルバスインタフェースの出力禁止) 01 : クロック同期式8bit SIOモード 10 : I^2Cバスモード 11 : reserved	write only

注1) * ; don't care
注2) ポートモードへの切り替えは転送終了を確認してから行ってください。
注3) ポートモードからI^2Cバスモード, クロック同期式8bit SIOモードへの切り替えはポートの状態が "H" になっていることを確認後、行ってください。
注4) SBICR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
注5) SBICR2のビット7~5, 1~0は "0" にクリア、ビット4は "1" にセットして下さい。

シリアルバスインタフェースステータスレジスタ

SBISR (0023_H)

7	6	5	4	3	2	1	0
"1"	"1"	"1"	"1"	SIOF	SEF	"1"	"1"

(初期値 1111 0011)

SIOF	シリアル転送動作状態モニタ	0 : 転送終了 1 : 転送中	read only
SEF	シフト動作状態モニタ	0 : シフト動作終了 1 : シフト転送中	read only

図2-54. SIOモード時の制御レジスタ/データバッファレジスタ/ステータスレジスタ

Not Recommended for New Design

(1) シリアルクロック

a. クロックソース

SCK (SBICR1 のビット2~0) により、次の選択ができます。

① 内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックは$\overline{SCK}$端子より外部に出力されます。なお、転送開始時$\overline{SCK}$端子出力は "H" レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み出し (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

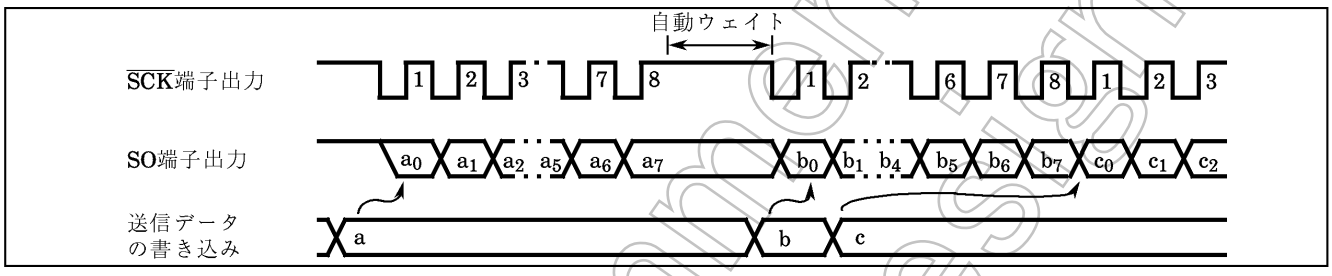


図2-55. 自動ウェイト機能

② 外部クロック (SCK＝"111")

外部から$\overline{SCK}$端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの "H" レベル、"L" レベルとともに4マシンサイクル以上のパルス幅が必要です。従って、最大転送周波数は250 kHz (fc＝8 MHz時) です。

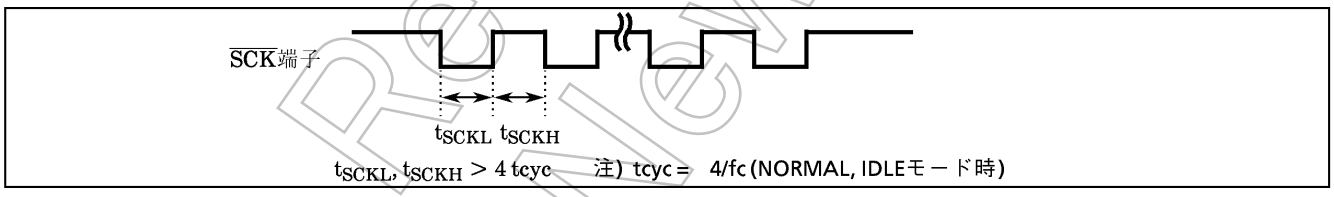


図2-56. 外部クロック入力時の最大転送周波数

b. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ($\overline{SCK}$端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ($\overline{SCK}$端子入出力の立ち上がりエッジ) でデータをシフトします。

Not Recommended for New Design

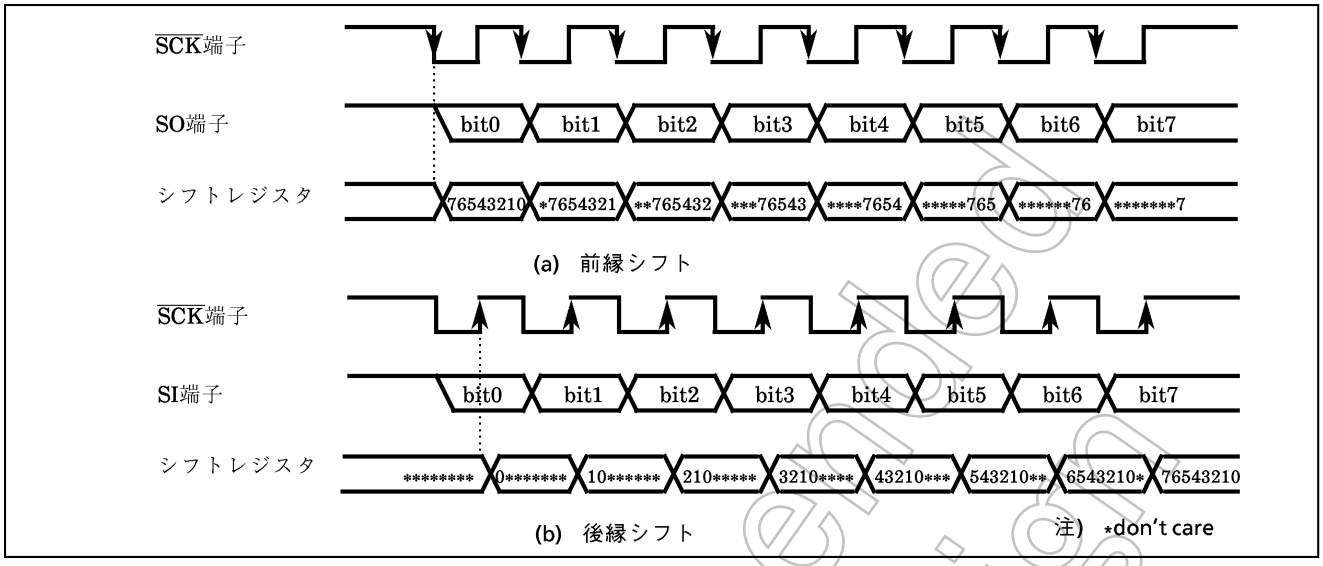


図2-57. シフトエッジ

(2) 転送モード

SIOM (SBICR1のビット5, 4) で, 送信 / 受信 / 送受信モードを選択します。

a. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データをSBIDBR に書き込みます。

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、SBIDBRからシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側からSO端子に出力されます。送信データがシフトレジスタに移されると、SBIDBRが空になりますので、次の送信データを要求するINTSBI (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBRにデータが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、SBIDBRにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが “1” となってから、$\overline{\text{SCK}}$の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを “0” にクリアするかSIOINHを “1” にセットします。SIOSがクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了を確認するにはSIOF (SBISRのビット3) をセンスします。SIOFは送信の終了で “0” になります。SIOINHをセットした場合はただちに送信を打ち切り、SIOFは “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを “0” にクリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後, 停止します。

Not Recommended for New Design

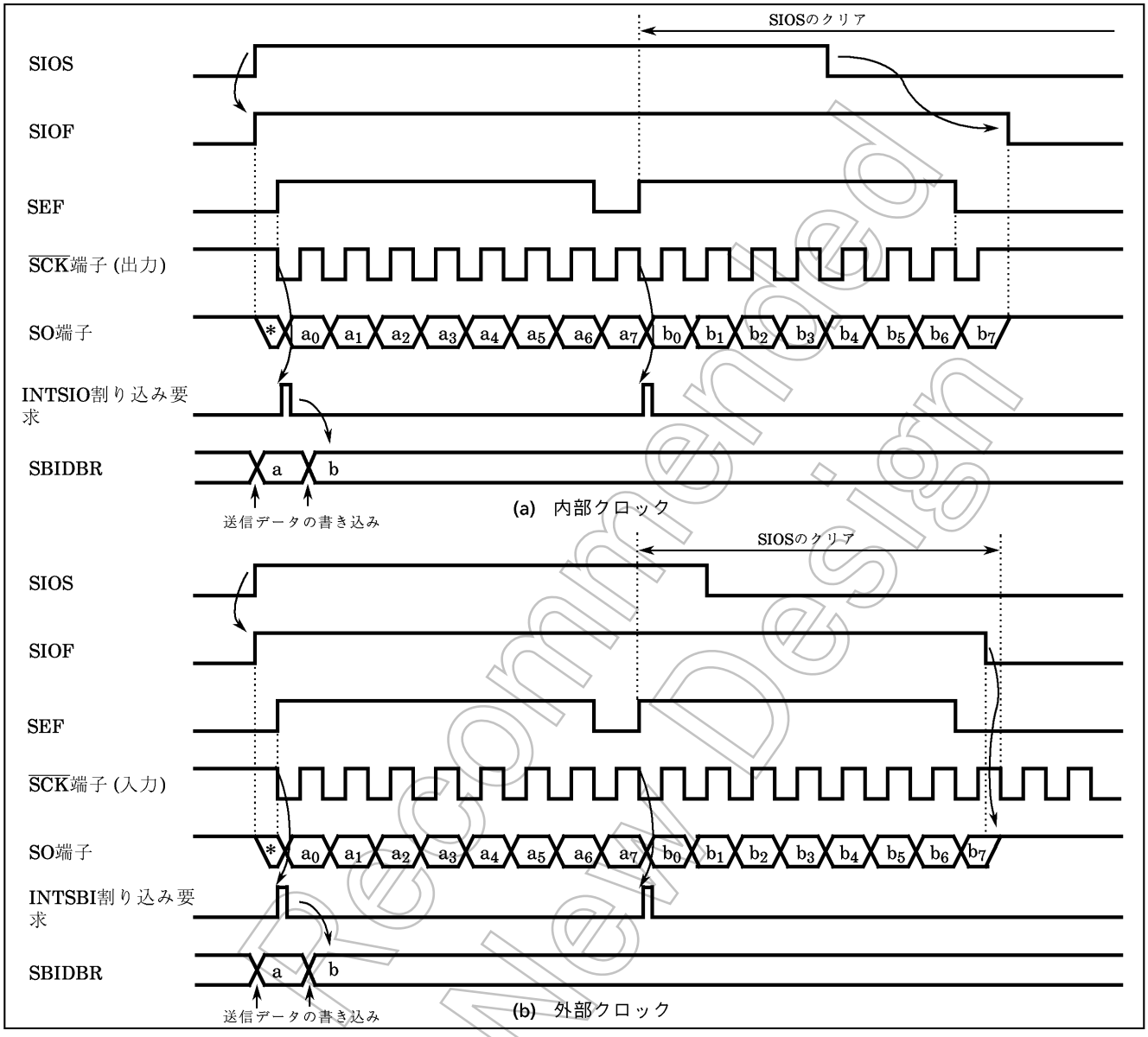


図2-58. 送信モード

例： SIOの送信終了指示 (外部クロックの場合)。

```
STEST1 :  TEST    (SBISR).SEF          ;  If SEF=1    then  loop
          JRS     F,STEST1
STEST2 :  TEST    (P3).2               ;  If SCK=0    then  loop
          JRS     T,STEST2
          LD      (SBICR1),00000111B   ;  SIOS←0
```

Not Recommended for New Design

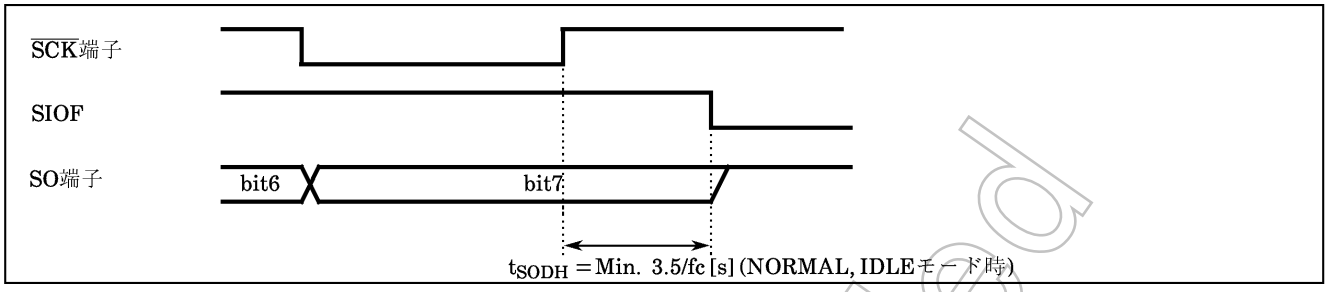


図2-59. 送信終了時の送信データ保持時間

b. 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタからSBIDBRに受信データが書き込まれ、受信データの読み出し要求するINTSBI (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてSBIDBRから読み出します。

内部クロック動作の場合、受信データがSBIDBRから読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを “1” にセットします。SIOSがクリアされると、受信データが全ビット揃いSBIDBRへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SBIDBRのビット3) をセンスします。SIOFは受信の終了で“0”になります。 受信終了の確認のあと最終受信データを読み出します。SIOINHをセットした場合は、ただちに受信を打ち切り、SIOFは “0” になります (受信データは無効になりますので読み出す必要はありません)。

注)	転送モードを切り替えますとSBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを ”0“にクリア) を行い、最終受信データを読み出したあとで切り替えてください。

Not Recommended for New Design

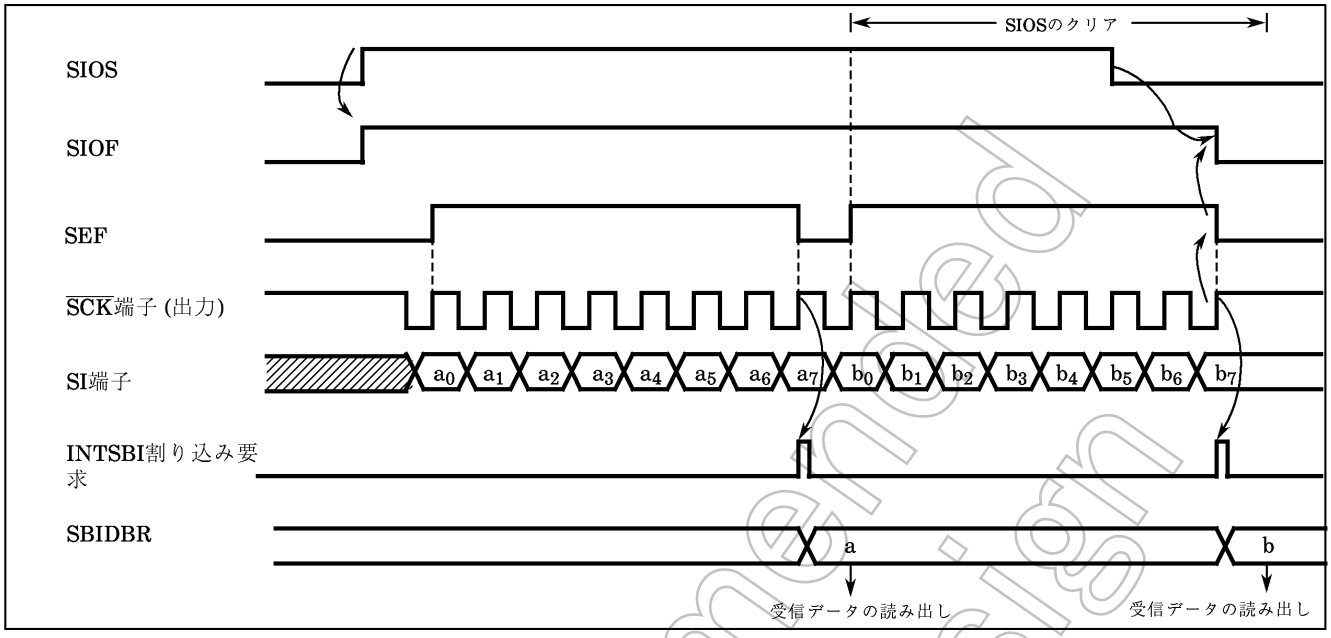


図2-60. 受信モード (例 : 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データをSBIDBRに書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの前縁で送信データがSO端子から出力され、後縁で受信データがSI端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからSBIDBRへ受信データが転送され、INTSBI割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBRは、送信,受信にて兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので,次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となってから、$\overline{SCK}$の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、受信データが揃い、SBIDBRへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SBIDBRのビット3) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、ただちに送受信を打ち切り、SIOFは“0”になります。

注)	転送モードを切り替えますとSBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み出しあとで切り替えてください。

Not Recommended for New Design

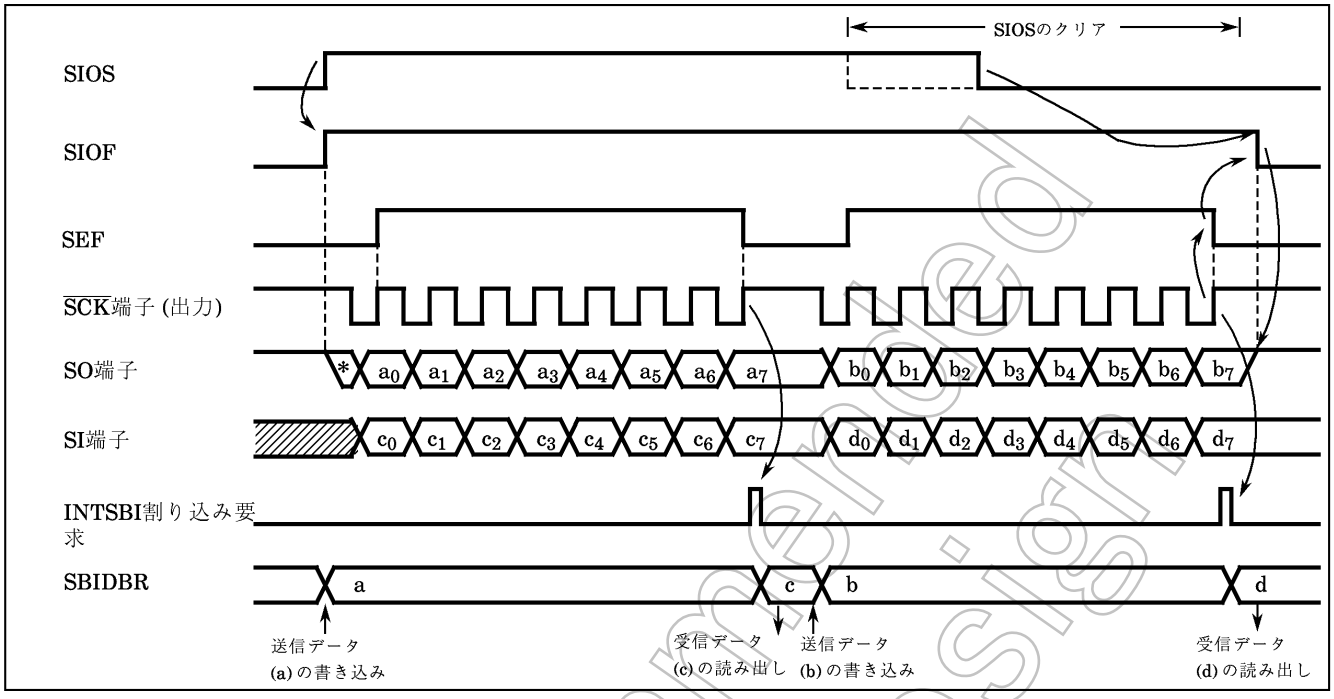


図2-61. 送受信モード (例 : 内部クロック)

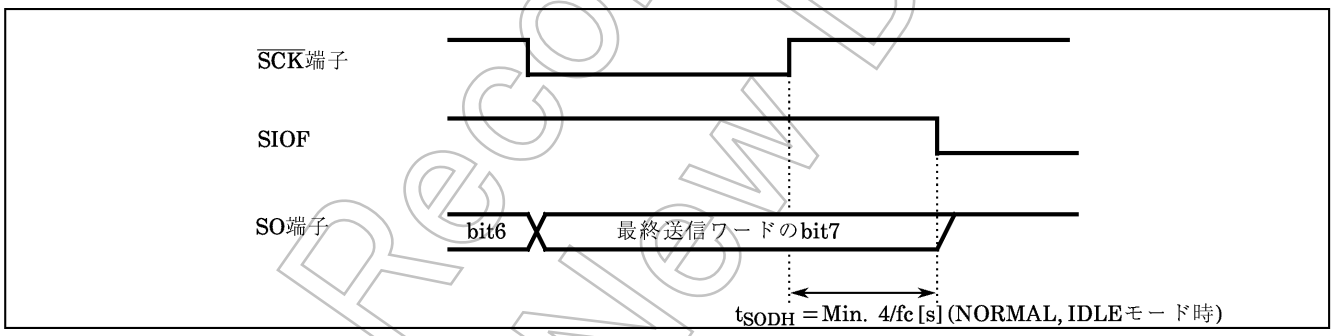


図2-62. 送受信終了時の送信データ保持時間 (送受信モード時)

Not Recommended for New Design

2.10 シリアル インタフェース (SIO1)

87CH74A/M74Aは、クロック同期方式の8ビット シリアル インタフェースを1チャネル (SIO1) 内蔵しています。シリアル インタフェースは、8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアル インタフェースは、P02 (SO1), P01 (SI1), P00 ($\overline{SCK1}$) 端子を通して外部デバイスと接続されます。シリアル インタフェース端子は、P0ポートと兼用で、シリアル インタフェース端子として使用する場合、P0ポートの出力ラッチを“1”にセットし、それぞれをP0CRによって入出力モードに設定します。なお、送信モード時にはP01端子が、受信モード時にはP02端子が、通常の入出力ポートとして使用できます。

2.10.1 構 成

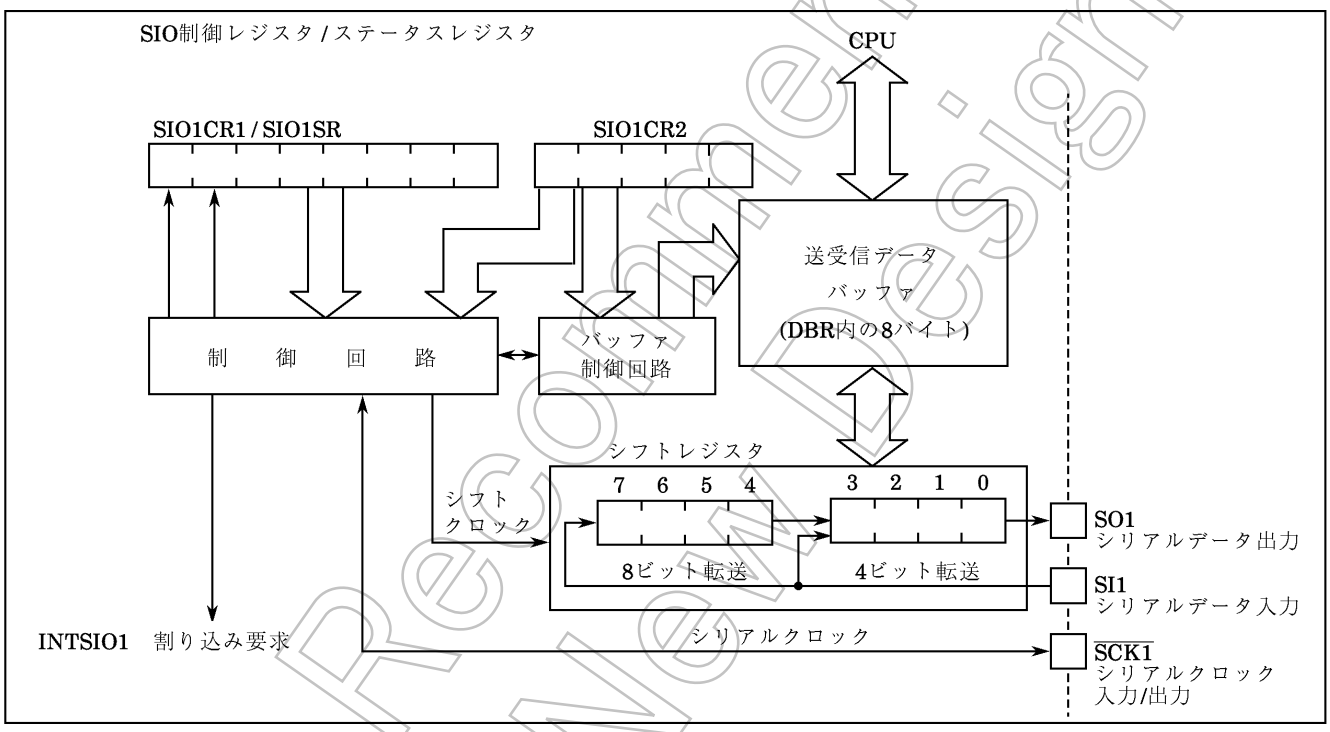


図2-63. シリアル インタフェース

2.10.2 制 御

SIO1 の制御は、シリアルインタフェース制御レジスタ (SIO1CR1/SIO1CR2) で行います。また、ステータスレジスタ (SIO1SR) を読むことにより シリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIO1CR2のビット2~0) で行います。送受信データバッファは、DBR領域の0FF8~0FFF$_H$番地 (SIO1) に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み (INTSIO1) が発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信または8ビット受信モードのとき 1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIO1CR2のビット4, 3) で4種類の中から選択することができます。

Not Recommended for New Design

シリアルインタフェース1制御レジスタ1

SIO1CR1 (0027_H)

7	6	5	4	3	2	1	0
SIOS	SIOINH	SIOM			SCK		

(初期値　0000 0000)

SIOS	転送の開始/終了指示	0：終　了 1：開　始	write only
SIOINH	転送の強制停止	0：転送継続 1：強制停止 (停止後、自動的にクリア)	
SIOM	転送モードの選択	000：8ビット 送信モード 010：4ビット 送信モード 100：8ビット送受信モード 101：8ビット 受信モード 110：4ビット 受信モード	
SCK	シリアルクロックの選択	000：内部クロック $fc/2^{13}$ or $fs/2^5$ [Hz] 001：内部クロック $fc/2^8$ 010：内部クロック $fc/2^6$ 011：内部クロック $fc/2^5$ (SCK端子へ出力) 111：外部クロック (SCK端子から入力)	

注1)　転送モード, シリアルクロックの設定時は、SIOS = 0, SIOINH = 1にしてください。

注2)　SIO1CR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース1制御レジスタ2

SIO1CR2 (0028_H)

7	6	5	4	3	2	1	0
			WAIT			BUF	

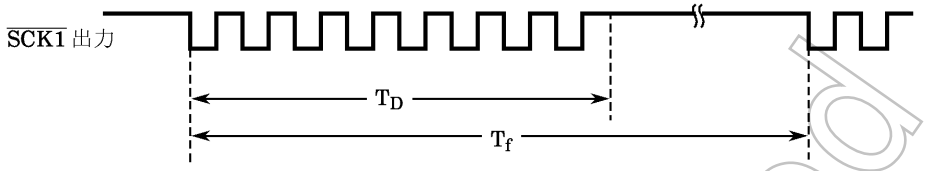
(初期値　***0 0000)

WAIT	ウェイト制御	8ビット送受信/受信モード以外は常に"00"にしてください。 00：T_f = T_D (ノンウェイト) 01：T_f = $2T_D$ 10：T_f = $4T_D$ 11：T_f = $8T_D$ (ウェイト)	write only
BUF	転送ワード数の設定	使用するバッファのアドレス SIO1 000：1 ワード転送　$0FF8_H$ 001：2 ワード転送　$0FF8 \sim 0FF9_H$ 010：3 ワード転送　$0FF8 \sim 0FFA_H$ 011：4 ワード転送　$0FF8 \sim 0FFB_H$ 100：5 ワード転送　$0FF8 \sim 0FFC_H$ 101：6 ワード転送　$0FF8 \sim 0FFD_H$ 110：7 ワード転送　$0FF8 \sim 0FFE_H$ 111：8 ワード転送　$0FF8 \sim 0FFF_H$	

図2-64. シリアルインタフェース制御レジスタ / ウェイト制御レジスタ (1/2)

Not Recommended for New Design

注1) T_f ; フレーム時間 (1ワードのデータ転送時間), T_D ;データ転送時間



注2) 4ビット転送のときは、各バッファの下位4ビットに格納します/されます。受信時上位4ビットには"0"が格納されます。
注3) バッファの若いアドレスの方から送信されます。また、受信は若いアドレスの方から格納されます。(最初に転送されるのは$0FF8_H$番地です。)
注4) 転送終了後もBUFの設定値は保存されています。
注5) SIO1CR2の設定は、シリアル インタフェース停止状態 (SIOF = 0) で行ってください。
注6) * ; don't care
注7) SIO1CR, SIO2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図2-64. シリアルインタフェース制御レジスタ / ウェイト制御レジスタ (2/2)

SIO1SR (0027_H)

7	6	5	4	3	2	1	0
SIOF	SEF	"1"	"1"	"1"	"1"	"1"	"1"

SIOF	シリアル転送動作状態モニタ	0 : 転送終了 (SIOSを"0"にクリア後、転送が終了した時点または SIOINHをセットした時点で"0"となります。) 1 : 転送中	read only
SEF	シフト動作状態モニタ	0 : シフト動作終了 1 : シフト動作中	

図2-65. シリアルインタフェース1, 2 ステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SIO1CR1 のビット2~0) により、次の選択ができます。

① 内部クロック

シリアルインタフェース1, 2独立して4種類の周波数が選択でき、シリアルクロックは $\overline{SCK1}$ 端子より外部に出力されます。なお、転送開始時 $\overline{SCK1}$ 端子出力は "H" レベルになります。

プログラムでデータの書き込み (送信時) または データの読み取り (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

Not Recommended for New Design

表2-9. シリアルクロックレート

シリアルクロック			最大転送速度	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1			
fc/2^{13} [Hz]	fs/2^5 [Hz]	fs/2^5 [Hz]	0.95 Kbit/s	1 Kbit/s
fc/2^8	fc/2^8	——	30.5	——
fc/2^6	fc/2^6	——	122	——
fc/2^5	fc/2^5	——	244	——

注) 1K bit = 1024 bit

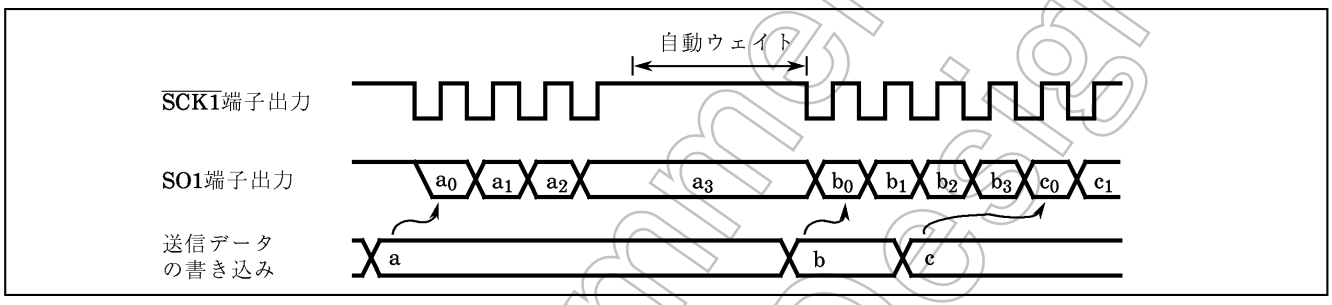
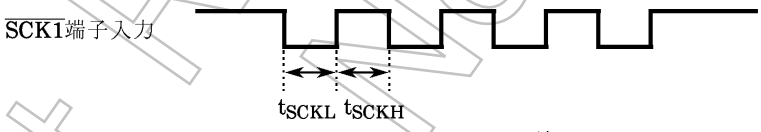


図2-66. クロックソース (内部クロック)

② 外部クロック

外部から SCK1端子に供給されるクロックをシリアルクロックとして用います。この場合、P00 (SCK1) の出力ラッチは "1" にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの "H" レベル, "L" レベルともに4マシンサイクル以上パルス幅必要です。従って、最大転送速度は244 Kbit/s (fc＝8 MHz時) です。



$t_{SCKL}, t_{SCKH} > 4\ tcyc$

注) tcyc = 4/fc (NORAML1/2, IDLE1/2モード時)
4/fs (SLOW, SLEEPモード時)

b. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 (SCK1端子入出力の立ち下がりエッジ) でデータをシフトします。

Not Recommended for New Design

② 後縁シフト

シリアルクロックの後縁 (SCK1端子入出力の立ち上がりエッジ) でデータをシフトします。

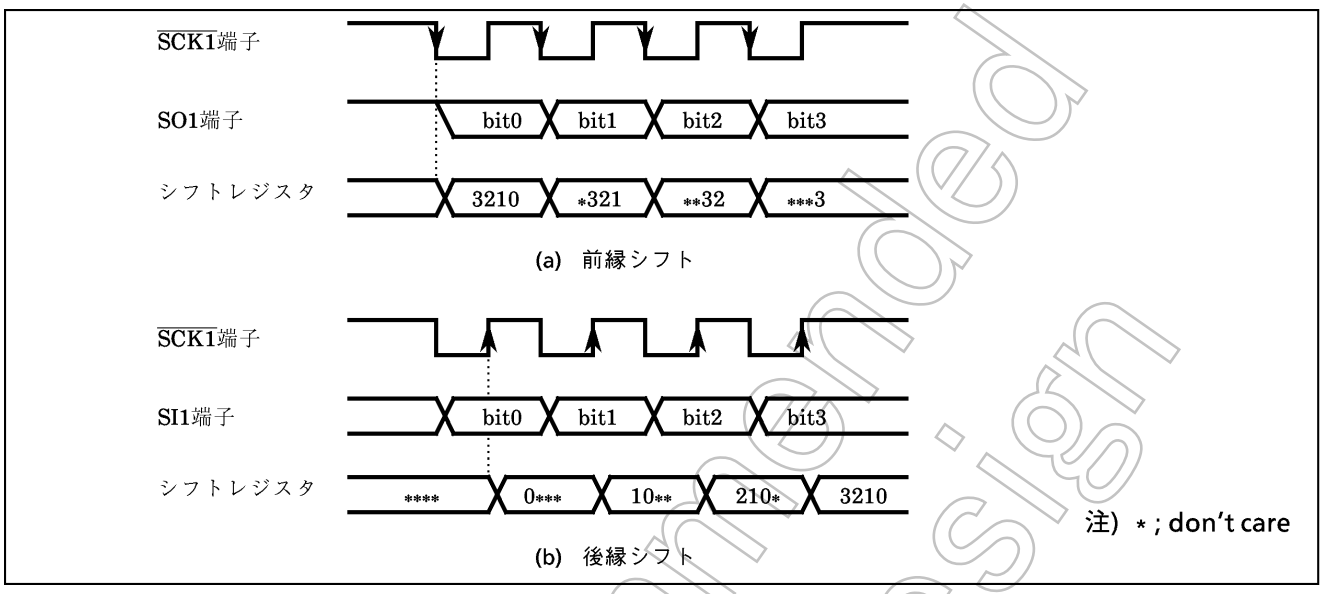


図2-67. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時"0"になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時) / 8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

Not Recommended for New Design

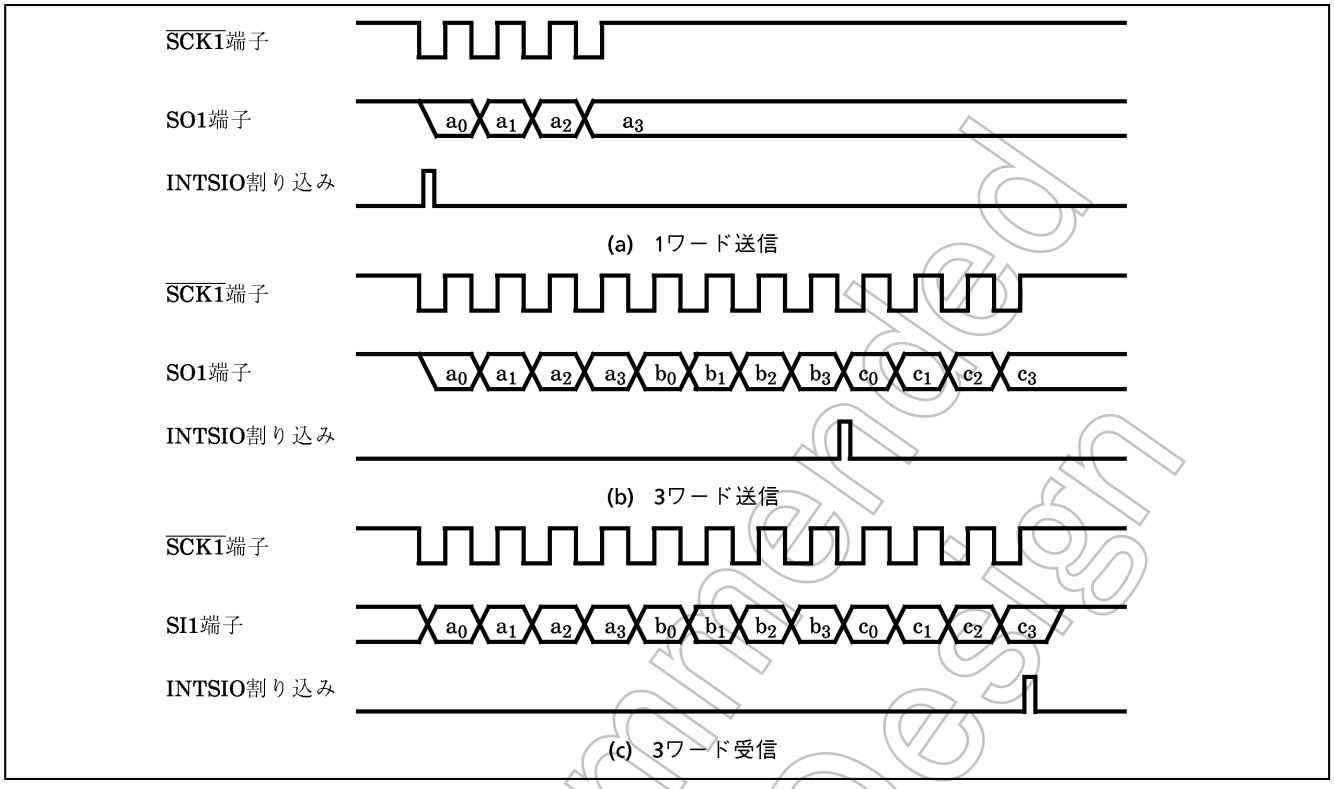


図2-68. 転送ワード数 (例 : 1ワード = 4ビット)

(4) 転送モード

SIOM (SIO1CRのビット3~5) で, 送信 / 受信 / 送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOSを"1"にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、1ワードずつ バッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、 次の送信データを要求するINTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし, 次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注)	送信データバッファに使用していないDBRへの書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRを他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードのDBRは使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

Not Recommended for New Design

送信開始時、SI0Fが“1”となってからCSKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIO1SRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、ただちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”クリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

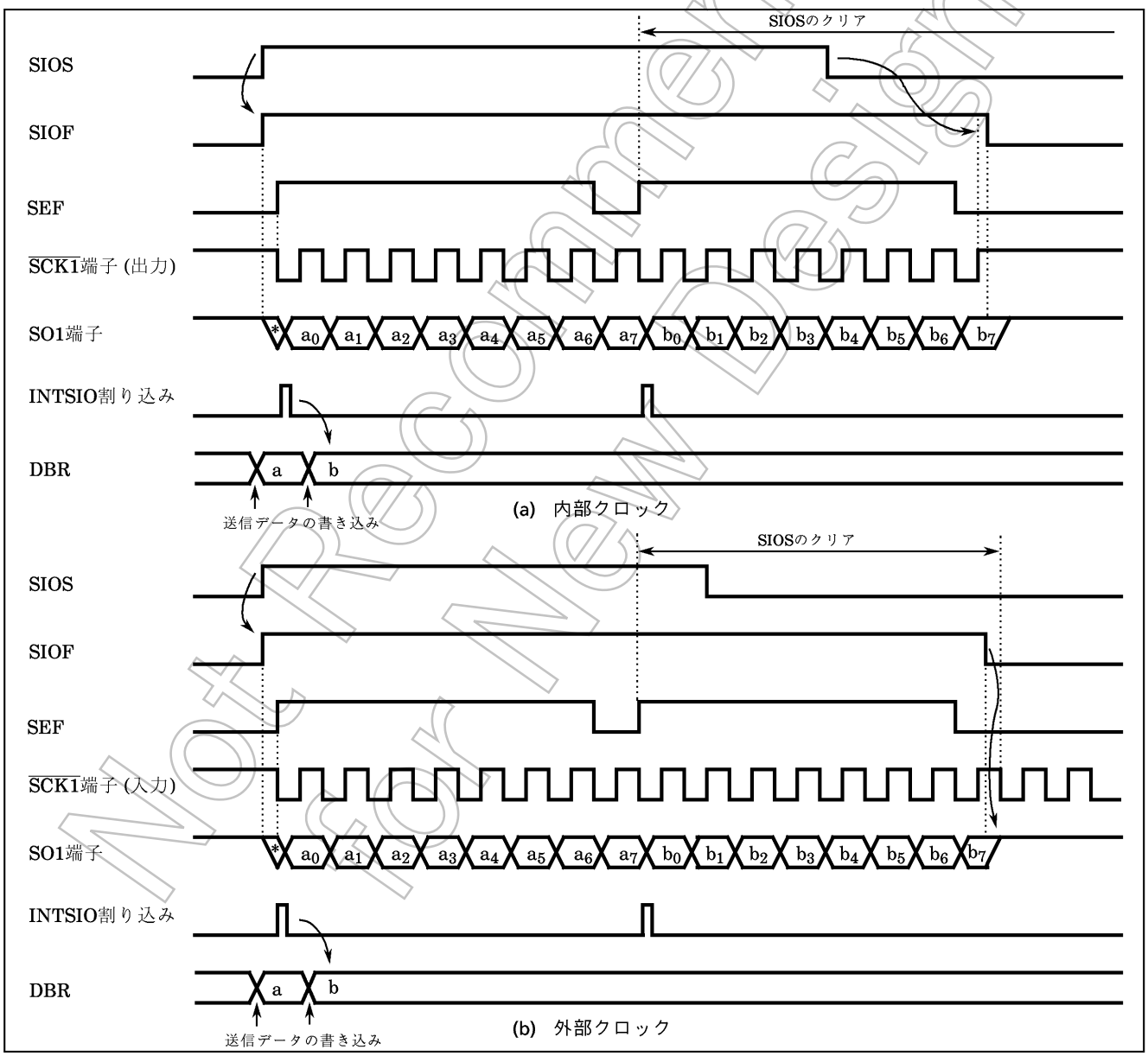


図2-69. 送信モード (例 : 8ビット , 1ワード転送)

Not Recommended for New Design

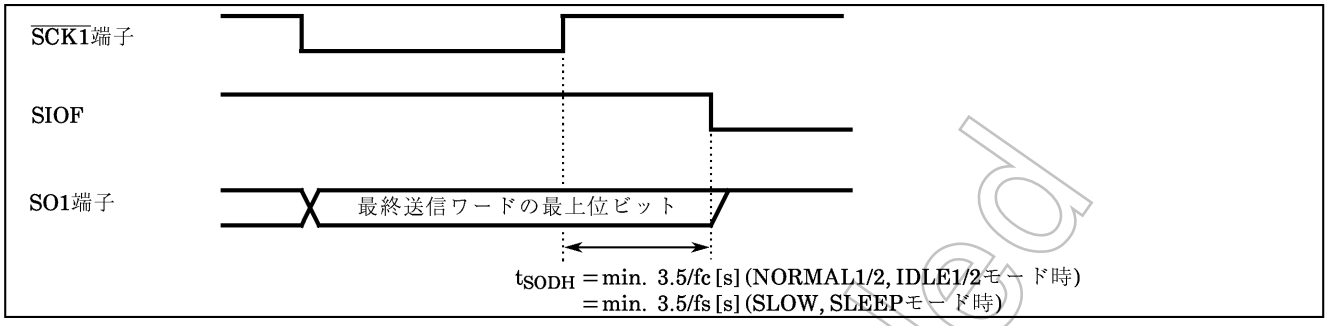


図2-70. 送信終了時の送信データ保持時間

b. 4ビット受信モード, 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI1端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。BUFで指定されたワード数の受信が終了すると受信データの読み取りを要求するINTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していないDBRの読み出しによっても自動ウェイト動作は解除されますので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIO1SRのビット7) をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。SIOINHをセットした場合は、ただちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアしSIOFが“0”になったことを確認後BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

Not Recommended for New Design

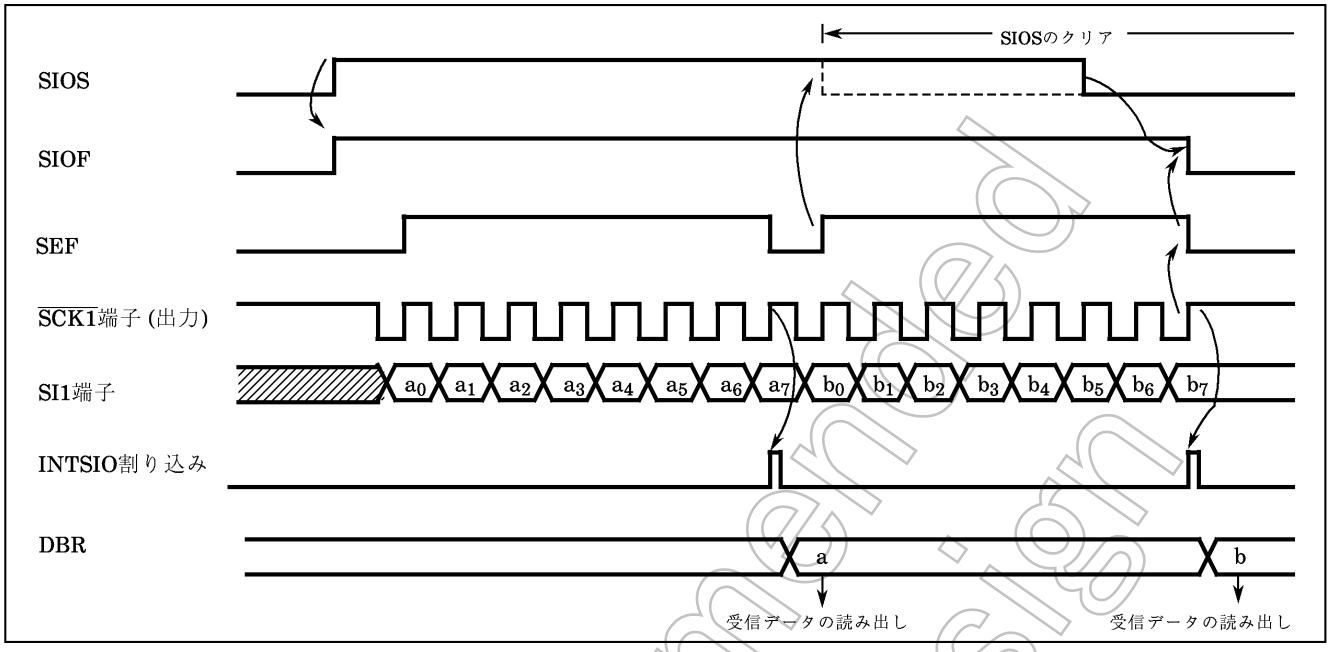


図2-71. 受信モード (例 : 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データはSO1端子から出力され、後縁で受信データがSI1端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。BUFで指定されたワード数の送受信が終了すると、INTSIO割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信, 受信にて兼用していますので、送信データは、かならず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので, 次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、SI0Fが“1”となってからSCKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSIO割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIO1SR のビット7) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、ただちに送受信を打ち切り、SIOFは“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOSを “0” にクリアしSIOFが “0” になったことを確認後、BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

Not Recommended for New Design

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

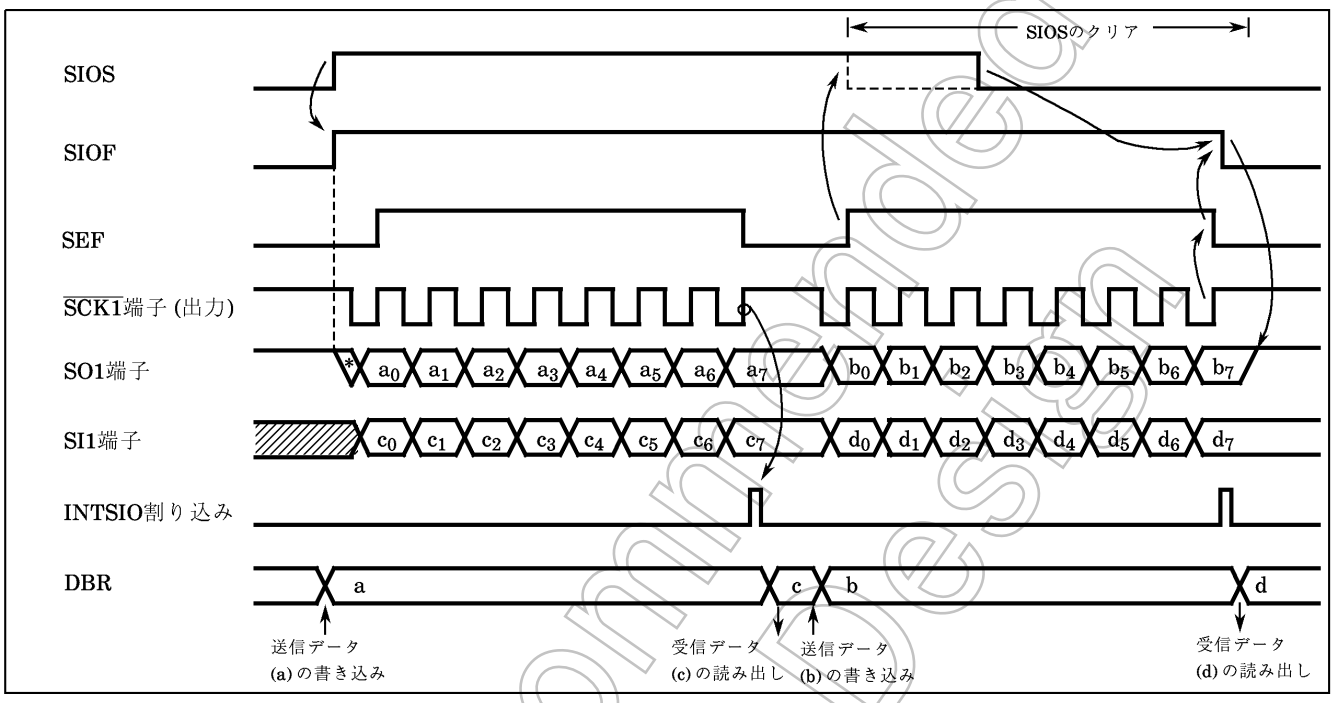


図2-72. 送受信モード (例 : 8ビット, 1ワード, 内部クロック)

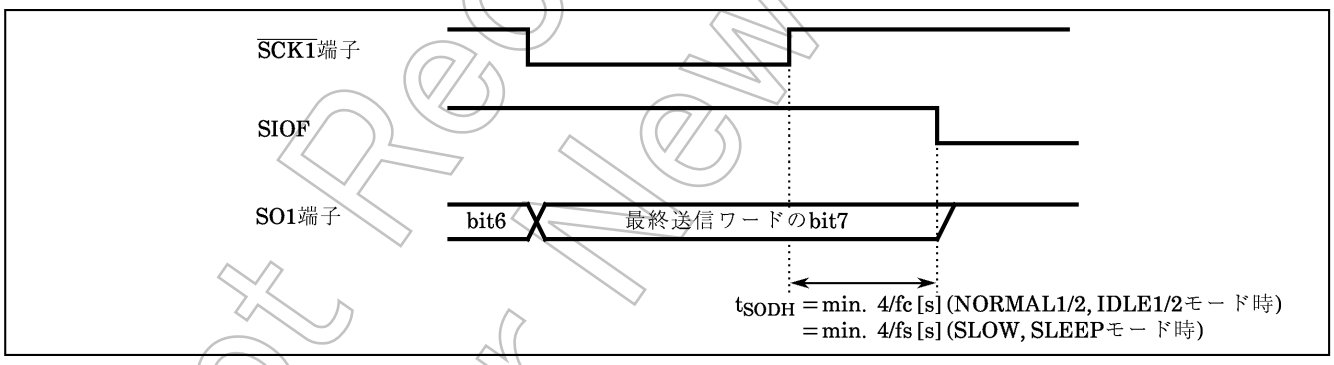


図2-73. 送受信終了時の送信データ保持時間

Not Recommended for New Design

2.11 8ビットA/D コンバータ (ADC)

87CH74A/M74Aは、8ビット分解能の逐次比較方式A/Dコンバータを内蔵しています。

2.11.1 構 成

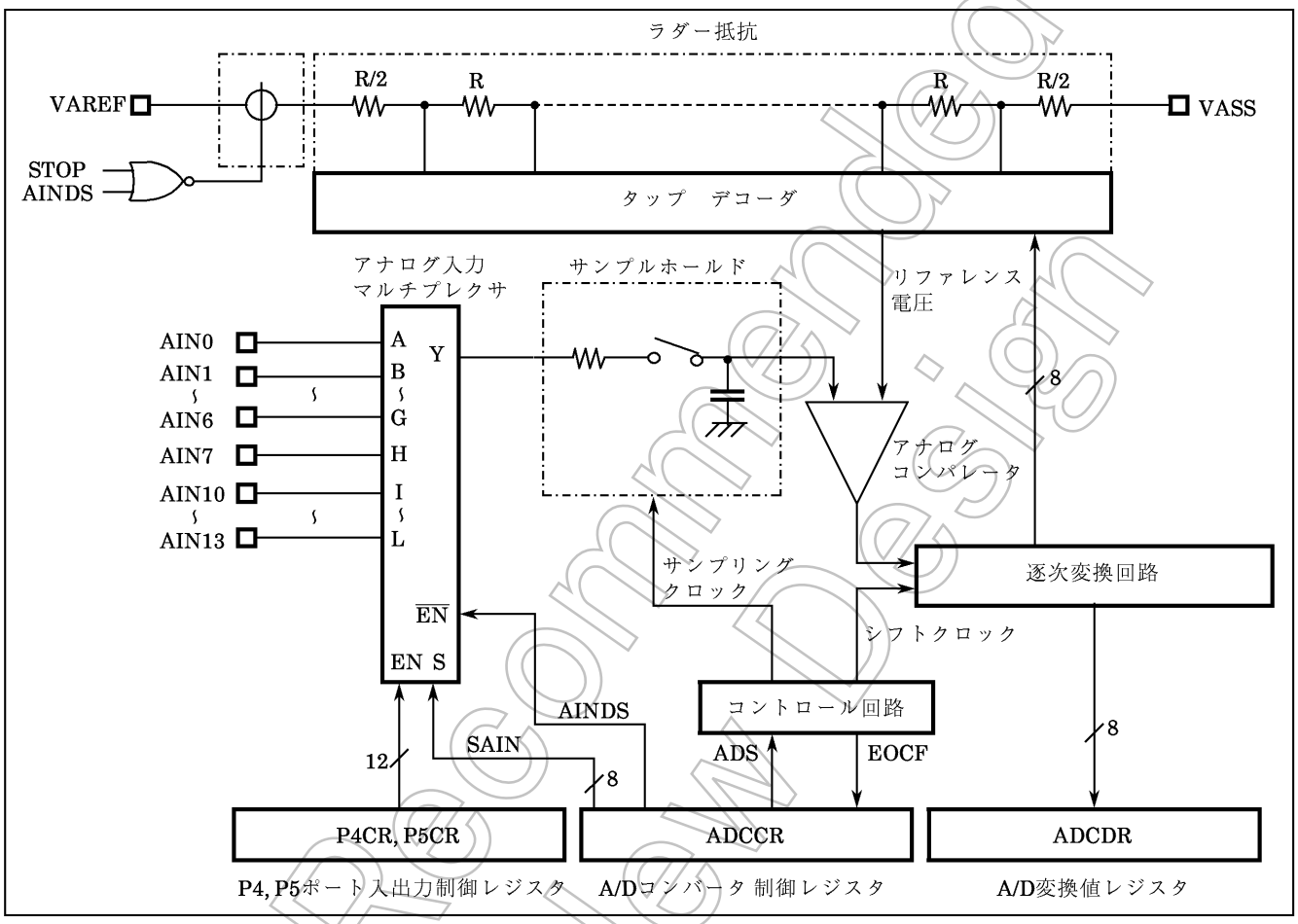


図2-74. A/Dコンバータ (ADC)

2.11.2 制 御

A/Dコンバータの制御は、A/Dコンバータ制御レジスタ (ADCCR) で行います。また、ADCCRのEOCFを読むことでA/Dコンバータの動作状態を、A/D変換値レジスタ (ADCDR) を読むことでA/D変換値を知ることができます。

A/D変換値レジスタ

	7	6	5	4	3	2	1	0	
ADCDR ($000F_H$)									Read only

図2-75. A/D変換値レジスタ

Not Recommended for New Design

A/Dコンバータ制御レジスタ

ADCCR ($000E_H$)

7	6	5	4	3	2	1	0
EOCF	ADS	ACK	AINDS	SAIN			

(初期値　0000 0000)

SAIN	アナログ入力チャネル選択	0000 ： AIN0を選択 0001 ： AIN1を選択 0010 ： AIN2を選択 0011 ： AIN3を選択 0100 ： AIN4を選択 0101 ： AIN5を選択 0110 ： AIN6を選択 0111 ： AIN7を選択 1000 ： AIN10を選択 1001 ： AIN11を選択 1010 ： AIN12を選択 1011 ： AIN13を選択	R/W
AINDS	アナログ入力制御	0：アナログ入力イネーブル 1：アナログ入力ディセーブル	
ACK	変換時間選択	0：変換時間＝23 μs (@ fc＝8 MHz) 1：変換時間＝92 μs (@ fc＝8 MHz)	
ADS	A/D変換開始	0：－ 1：A/D変換開始	
EOCF	A/D変換終了フラグ	0：A/D変換中またはA/D変換前 1：A/D変換終了	read only

注1)　* ; don't care
注2)　アナログ入力チャネルの選択はA/D変換停止状態で設定してください。
注3)　ADSは、A/D変換開始後自動的に "0" にクリアされます。
注4)　EOCFは、A/D変換値レジスタ (ADCDR)をリードすると "0" にクリアされます。
注5)　EOCFは、リード専用で書き込んだデータは無視されます。

図2-76. A/Dコンバータの制御レジスタ

2.11.3　A/Dコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換が実行されます。

(1)　A/D変換の起動

A/D変換に先立ち、SAIN (ADCCRのビット3~0) によりアナログ入力チャネル (AIN13~AIN0) のうちの1端子を選択します。AINDS (ADCCRのビット4) を "0" にクリアし、P4入力制御 (P4CR) およびP5入力制御 (P5CR) でアナログ入力に使用するチャネルを "0" にセットします。

アナログ入力として使用しない端子は、通常の入出力端子として使用できますが、変換中はいずれの端子に対してもA/D精度を保つ意味で出力命令は行わないでください。

A/D変換動作は、ADS (ADCCRのビット6) を "1" にセットすることにより開始されます。

A/D変換時間は、A/D変換開始後ADCDRに変換結果がセットされるまで、184/fc [s] (46マシンサイクル) 必要です。例えば、fc＝8 MHZの場合23 μsかかることになります。A/D変換が終了すると、変換終了を示すEOCF (ADCCRのビット7) が "1" にセットされます。

A/D変換中にADSを "1" にセットすると初期化されて、初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、A/D変換の開始指示後4マシンサイクルで行われます。

注)　サンプルホールド回路は、5 kΩ (typ.) の抵抗を介して12 pF (typ.) のコンデンサを内蔵していますので、4マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

Not Recommended for New Design

(2) A/D変換値の読み出し

A/D変換値レジスタ (ADCDR) にストアされた変換値は、変換終了(EOCF＝1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に “0” にクリアされます。なお、A/D変換中に読み出しを行うと、不定値が読み出されます。

(3) A/D変換中のSTOPモード

A/D変換中にSTOPモードに入るとA/D変換は中止され、A/D変換値は不定となります。従って、STOPモードより復帰後はEOCFは “0” にクリアされたままとなります。ただし、A/D変換終了後 (EOCFが ”1”にセットされた後) STOPモードに入ると、A/D変換値, EOCFの状態は保持されます。

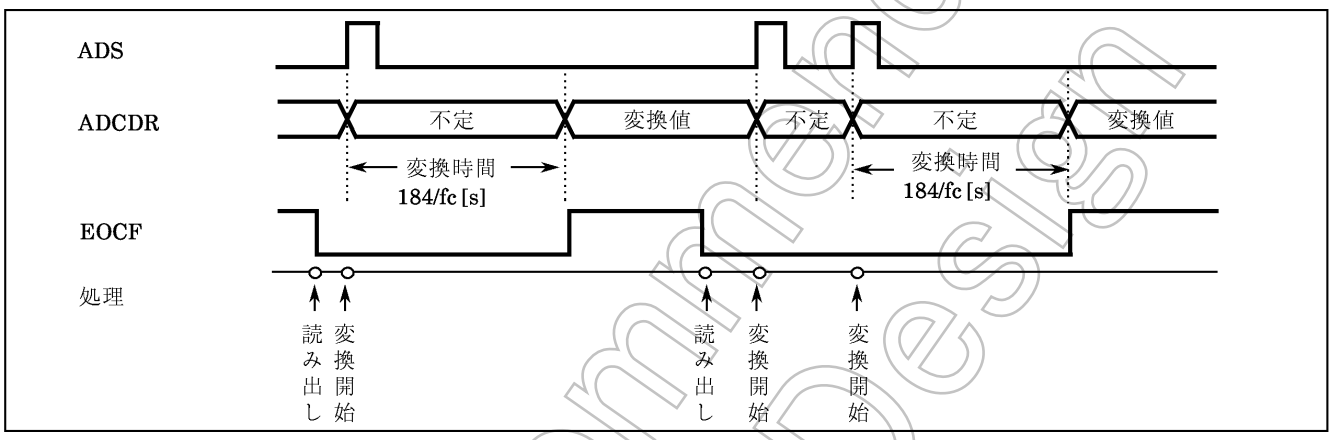


図2-77. A/D変換動作

例1： アナログ入力チャネルとしてAIN4端子を選択後、A/D 変換を行います。EOCFを確認して変換値を読み出し、RAMの009E$_H$番地に格納します。

```
        ; AIN SELECT
        LD      (ADCCR), 00000100B    ;  AIN4を選択
        ; A/D CONVERT START
        SET     (ADCCR). 6            ;  ADS＝1
SLOOP : TEST    (ADCCR). 7            ;  EOCF＝1？
        JRS     T, SLOOP
        ; RESULT DATA READ
        LD      (9EH), (ADCDR)
```

アナログ入力電圧とA/D変換された8ビットデジタル値とは図2-78.のように対応します。

Not Recommended for New Design

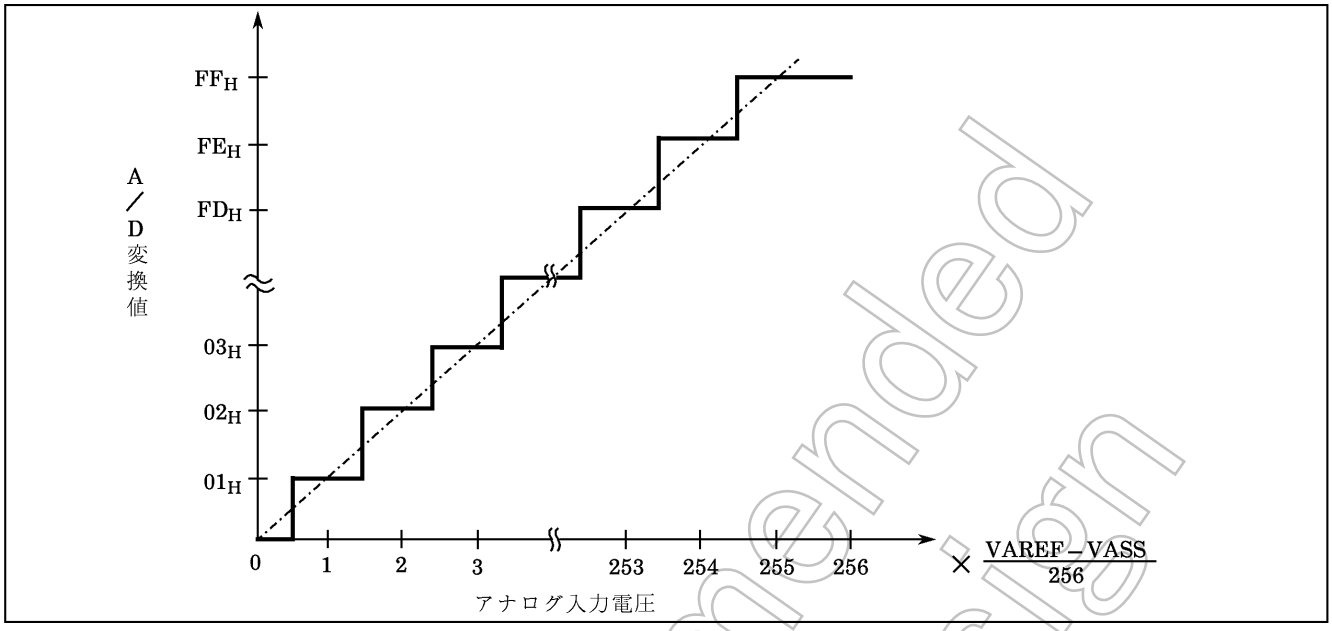


図2-78. アナログ入力電圧とA/D変換値 (typ.) の関係

2.12 蛍光表示管 (VFT) 駆動回路

87CH74A/M74Aは、蛍光表示管を直接駆動する高耐圧出力および表示データを自動的にポートに転送するための表示回路を内蔵しています。また、従来製品のVFT駆動回路の様に、セグメントおよびデジットといった割り付けをしておりません。表示管の種類およびレイアウトにより指定されたタイミング (T0~T15) の中で、セグメントおよびデジットのレイアウトを自由に行うことが可能です。

2.12.1 機 能

(1) 37本の高耐圧出力を内蔵しています。
- 大電流出力端子 (typ.20 mA) 16本 (V0~V15)
- 中電流出力端子 (typ.8 mA) 21本 (V16~V36)

その他にVFT駆動用電源としてVKK端子があります。

(2) ダイナミック点灯方式による1~16桁 (T0~T15) をプログラムにて選択できます。

(3) VFTとして使用しない端子 (PDポート) は、汎用ポートとして使用できます。
- VFT制御レジスタ1のVSEL (ビット4~0) によりビットごとに選択できます。

(4) 表示データ (DBR内の80バイト) をVFT出力ピンへ転送する動作は自動的に行われます。

(5) ディマー機能により、8段階の輝度調整ができます。

(6) 4種類 ($fc/2^{12}$~$fc/2^{9}$) の表示時間が設定できます。

Not Recommended for New Design

2.12.2 構 成

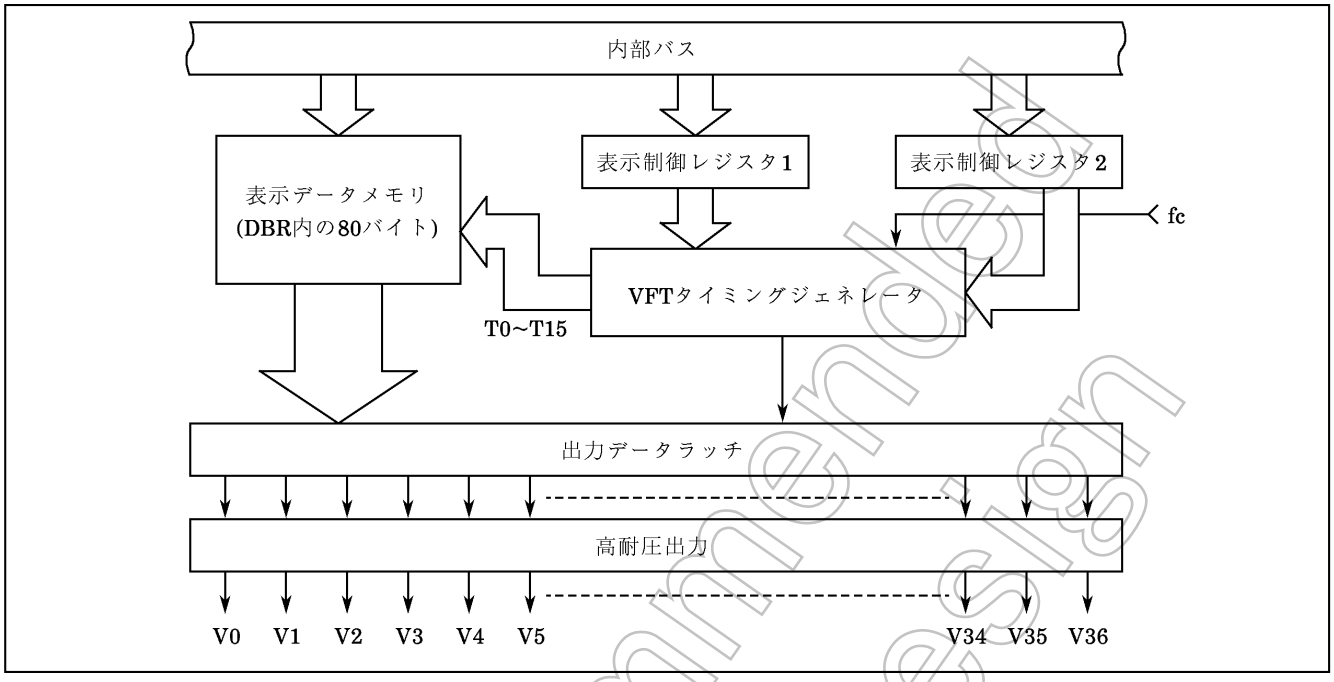


図2-79. 蛍光表示管 (VFT) 駆動回路

2.12.3 制 御

VFT駆動回路は、VFT制御レジスタ (VFTCR1,VFTCR2) で制御されます。また、VFTSRを読み込むことにより、VFTの動作状態を知ることができます。

NORMAL1, 2モードからSLOWまたはSTOPモードに切り替えると、VFT駆動回路はブランキングとなり (VFT制御レジスタの設定値は、BLK, EKEY以外は保持されます)、VFT出力は“0”となりますので、P6~P9, PDポートは通常の入出力ポートとして機能します。

Not Recommended for New Design

VFT制御レジスタ1

VFTCR1 (0029_H)

7	6	5	4	3	2	1	0
BLK	SDT		VSEL				

(初期値 1000 0000)

BLK	VFT表示制御	0 : 表示イネーブル 1 : ブランキング	write only
SDT	表示時間 (tdisp) の設定 (1表示時間の設定)	00 : 2^9 / fc [s] 01 : 2^{10} / fc [s] 10 : 2^{11} / fc [s] 11 : 2^{12} / fc [s]	
VSEL	自動表示本数の選択 (VFT駆動回路(自動表示)使用時は、V31～V0はVFT専用出力となります。) 上記以外の出力端子で選択されない端子は汎用入出力端子として使用可能です。 (汎用入出力端子として使用する場合その端子に相当する表示データは“0”に設定してください)	00000 : 32本 (V31～V0) 00001 : 33本 (V32～V0) 00010 : 34本 (V33～V0) 00011 : 35本 (V34～V0) 00100 : 36本 (V35～V0) 00101 : 37本 (V36～V0)	

注1) fc ; 高周波クロック [Hz]
注2) * don't care
注3) VFTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図2-80. VFT制御レジスタ1

Not Recommended for New Design

VFT制御レジスタ2

VFTCR2 ($002A_H$)

7	6	5	4	3	2	1	0
DIM				STA			

(初期値 000* 0000)

DIM	ディマー時間の設定	000 : (15/16) ×tdisp (s) 001 : (14/16) ×tdisp (s) 010 : (12/16) ×tdisp (s) 011 : (10/16) ×tdisp (s) 100 : (8/16) ×tdisp (s) 101 : (6/16) ×tdisp (s) 110 : (4/16) ×tdisp (s) 111 : (2/16) ×tdisp (s)	write only
STA	表示桁数 (ステート) の設定	0000 : 1桁表示モード (T0を発生) 0001 : 2桁表示モード (T1~T0を発生) 0010 : 3桁表示モード (T2~T0を発生) 0011 : 4桁表示モード (T3~T0を発生) 0100 : 5桁表示モード (T4~T0を発生) 0101 : 6桁表示モード (T5~T0を発生) 0110 : 7桁表示モード (T6~T0を発生) 0111 : 8桁表示モード (T7~T0を発生) 1000 : 9桁表示モード (T8~T0を発生) 1001 : 10桁表示モード (T9~T0を発生) 1010 : 11桁表示モード (T10~T0を発生) 1011 : 12桁表示モード (T11~T0を発生) 1100 : 13桁表示モード (T12~T0を発生) 1101 : 14桁表示モード (T13~T0を発生) 1110 : 15桁表示モード (T14~T0を発生) 1111 : 16桁表示モード (T15~T0を発生)	

注1) VFTCR2は書き込み専用レジスタですので、ビット操作命令などのリードモディファイ命令は使用できません。

注2) 表示桁数の設定 (STE) だけではデジットに相当する端子の出力は行いません。
表示タイミング (T0~T15) に合わせてデジットに相当するデータバッファにデータを書き込む必要があります。

注3) * ; don't care

VFTSR (0029_H)

7	6	5	4	3	2	1	0
WAIT							

WAIT	VFT表示動作状態モニタ	0 : VFT表示動作中 1 : VFT表示停止状態	read only

図2-81. VFT制御レジスタ2, VFTステータスレジスタ

(1) 表示モードの設定

VFT表示モードの設定は、VFT制御レジスタ1 (VFTCR1) にて1表示時間(tdisp)および表示本数 (VSEL) の設定、VFT制御レジスタ2 (VFTCR2) にてディマー時間 (DIM) および表示桁 (STA) の設定を行います(この場合VFTCR1のBLKが "1" の状態で行ってください)。また、セグメント, デジットといった割り付けで固定しておりませんので、レイアウトは自由となりますが、表示桁 (ステート) 数は、ご使用の蛍光表示管のデジット数に合わせ設定してください。

また、レイアウトは自由となりますが通常デジットには大電流出力 (V0~V15) , セグメントには中電流出力 (V16~V36) を使用することを推奨致します。 (表示タイミングおよびデータの設定方法については、2.12.4表示動作の欄をご参照願います。)

Not Recommended for New Design

(2) 表示データの設定

データをVFT表示データに変換する処理は命令で行います。変換されて表示データバッファ(DBRの0F80~0FCF番地)に格納されたデータは、自動的に転送され、VFT出力(V0~V36)に出力されます。従って表示パタンの変更は、表示データバッファのデータを変更するのみで可能です。VFT出力端子と表示データ領域の各ビットは一対一の対応があり、表示パタンに割り付けられた各セグメントおよびデジット端子に対応するデータが双方"1"のとき点灯します。なお表示データバッファは、図2-82.に示すDBR領域に設けられています。(表示データバッファは通常のデータメモリとして使用できません。)

ビット	0 ~ 7	0 ~ 7	0 ~ 7	0 ~ 7	0 ~ 4	タイミング
	0F80	0F90	0FA0	0FB0	0FC0	T0
	0F81	0F91	0FA1	0FB1	0FC1	T1
	0F82	0F92	0FA2	0FB2	0FC2	T2
	0F83	0F93	0FA3	0FB3	0FC3	T3
	0F84	0F94	0FA4	0FB4	0FC4	T4
	0F85	0F95	0FA5	0FB5	0FC5	T5
	0F86	0F96	0FA6	0FB6	0FC6	T6
	0F87	0F97	0FA7	0FB7	0FC7	T7
	0F88	0F98	0FA8	0FB8	0FC8	T8
	0F89	0F99	0FA9	0FB9	0FC9	T9
	0F8A	0F9A	0FAA	0FBA	0FCA	T10
	0F8B	0F9B	0FAB	0FBB	0FCB	T11
	0F8C	0F9C	0FAC	0FBC	0FCC	T12
	0F8D	0F9D	0FAD	0FBD	0FCD	T13
	0F8E	0F9E	0FAE	0FBE	0FCE	T14
	0F8F	0F9F	0FAF	0FBF	0FCF	T15
出力端子	V0 ~ V7	V8 ~ V15	V16 ~ V23	V24 ~ V31	V32 ~ V36	

図2-82. VFT表示データバッファ

2.12.4 表示動作

前記のとおりセグメント,デジットといった端子名称を設けておりませんので、使用する蛍光表示管に合わせ表示タイミングを設定し、各タイミングに合わせたセグメントおよびデジットのデータを格納後、VFTCR1のBLKを"0"にクリアすることにより、VFT表示が開始されます。

図2-83.にVFTの駆動波形また図2-84.,図2-85.に表示動作例をを示します。

Not Recommended for New Design

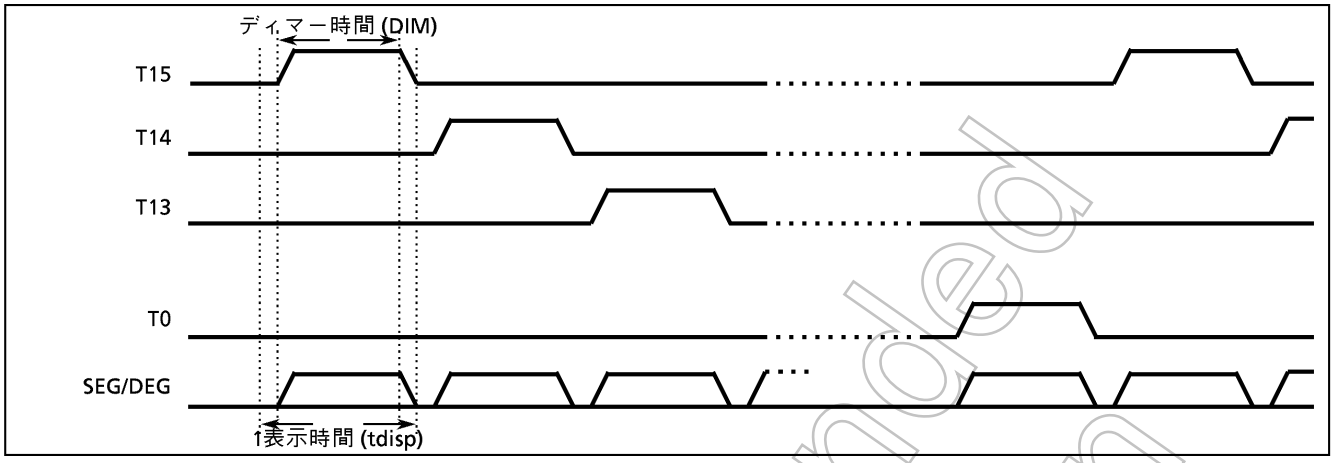


図2-83. VFTの駆動波形および表示タイミング

2.12.5 表示動作例

(1) コンベンショナルタイプ蛍光表示管の場合

コンベンショナルタイプの蛍光表示管をご使用の場合、デジットの出力タイミングは、1タイミングに対し1デジット出力となりますので、デジットに指定した端子にシーケンシャルに出力されるようデータの設定を行ってください。下記に10デジットの蛍光表示管を使用し、V0~V9端子をデジット出力として割り付けた場合の、表示データバッファ(DBR)のデータ割り付けとその際の出力タイミングを示します。(この場合デジット端子に相当するデータバッファでのデータ書き込みは、最初に設定して頂ければ、その後は書き替えの必要がありません。)

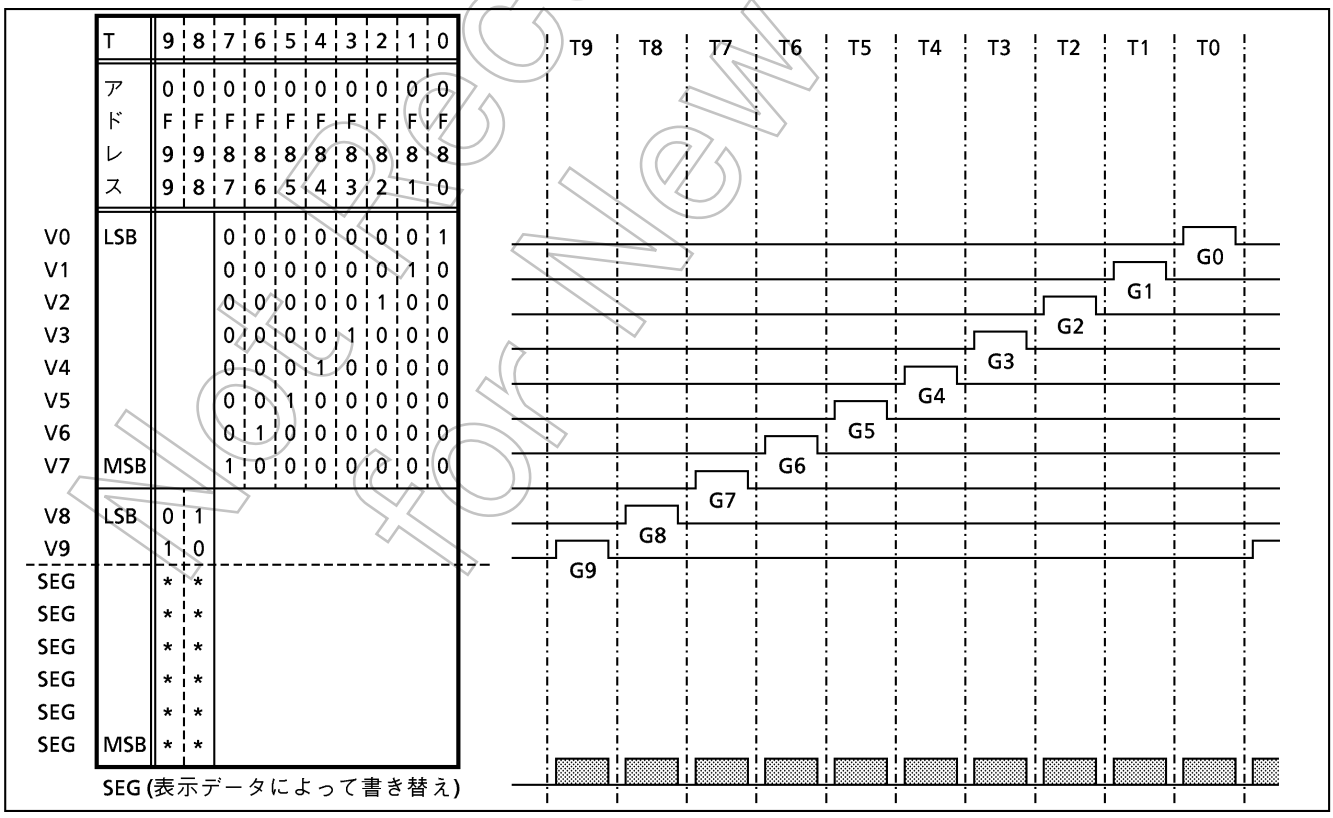


図2-84. コンベンショナルタイプ蛍光表示管駆動波形例

Not recommended for New Design

(2) ユニバーサルグリッドタイプ蛍光表示管*1の場合

ユニバーサルグリッドタイプの蛍光表示管の場合、複数のグリッドにまたがった表示パタンを点灯するために、その複数のグリッドを同時に選択する必要があります。その場合下記のようなグリッドスキャンモードとなる様にタイミングとデータを設定していただくことにより駆動できます。

- 各グリッド内に完全に納まっているパタンを点灯する場合、従来どおりの対応するグリッドのみを順次スキャンして点灯します (下記T8~T3のタイミング)。
- 複数のグリッドにまたがった表示パタンを点灯する場合、対応するセグメントと複数のグリッドを同時に選択し、点灯させます(下記T2~T0のタイミング)。

*1: ユニバーサルグリッドは双葉電子工業株式会社の登録商標です。

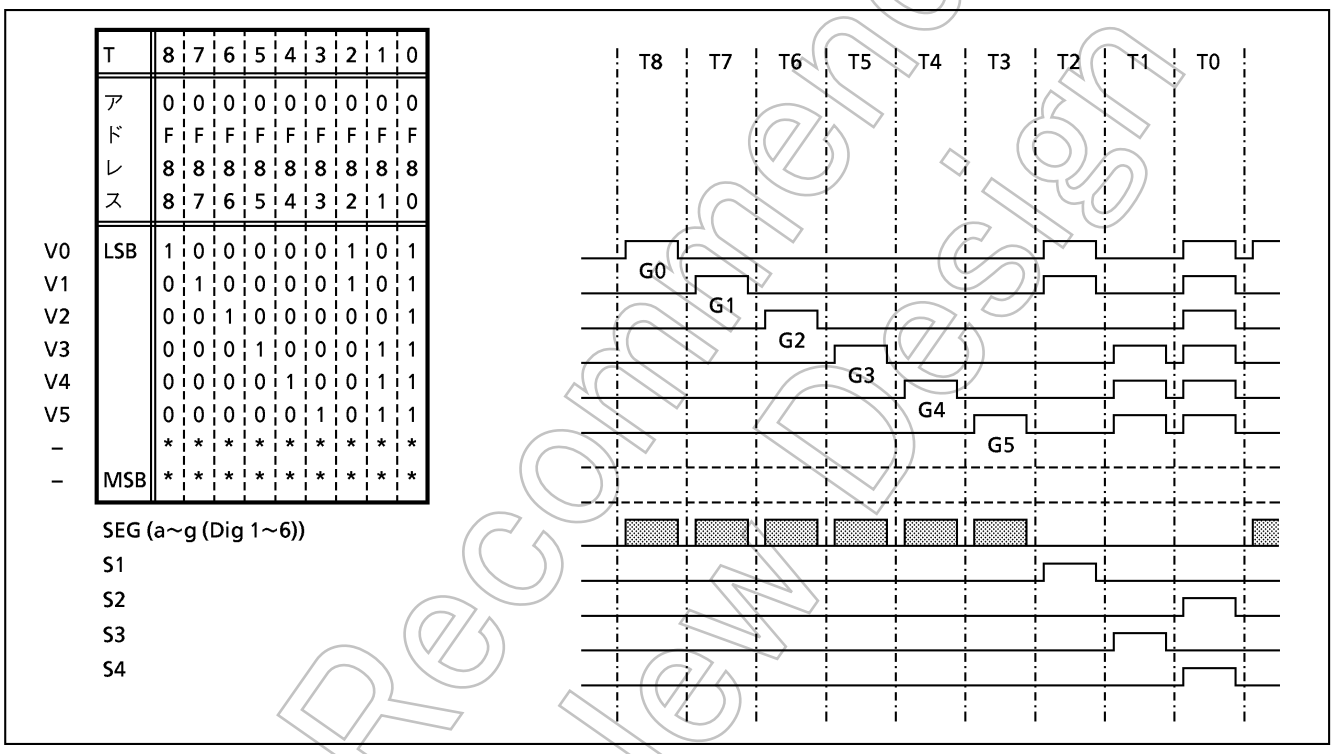


図2-85. ユニバーサルタイプ蛍光表示管駆動波形例

2.12.6 ポート機能

(1) 高耐圧ポート

蛍光表示管を駆動させる場合は、ポート出力ラッチを“0”にクリアします。ポート出力ラッチは、リセット時“0”に初期化されます。

通常の入出力端子として用いる場合は、以下の注意が必要です。

注) V_{KK}端子へプルダウン (R_K = typ. 80 kΩ) されている端子を使用しない場合は開放にし、ポート出力ラッチおよび相当するデータバッファメモリ (DBR) を“0”にクリアする必要があります。

① P6~P9ポート

P6~P9の一部を入出力端子として使用する場合 (蛍光表示管駆動回路動作時) 入出力端子として使用する端子に兼用されているセグメントのデータバッファメモリ (DBR) を“0”にクリアする必要があります。

Not Recommended for New Design

② PDポート

VFT出力と通常入出力がVFT制御レジスタのVSELによりビット単位で制御することができます。また、マスクオプション (ポート単位) にてV_{KK}端子へのプルダウン抵抗 (R_K = typ. 80 kΩ) を切り離すことが可能です。プルダウン抵抗R_Kをマスクオプションにより切り離した場合の入力電流は80 μA (Max.) です。

また、V_{KK}端子へプルダウンされている端子を通常の出力または入力として使用する場合、以下の注意が必要です。

(a) 出力時

“L”レベルを出力する際、VKK端子へプルダウンされているポートは、VKK端子電圧となります。従って外部回路にVKK端子電圧が印加されるのを防ぐため、図2-86. (a) のようにダイオードでクランプするなどの処理が必要です。

(b) 入力時

外部データを入力する場合、ポート出力ラッチを“0”にクリアします。
入力しきい値は、他の通常入出力ポートと同一ですが、VKK端子へプルダウンされていますので、R_K (typ. 80 kΩ) を十分にドライブする必要があります。

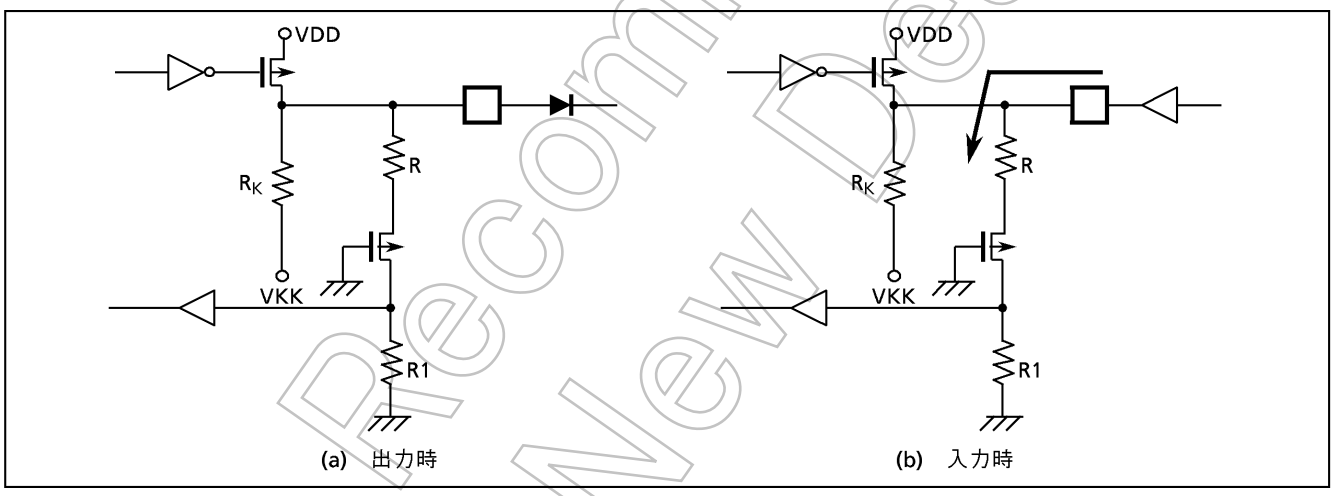


図2-86. 外部回路との入出力

Not Recommended for New Design

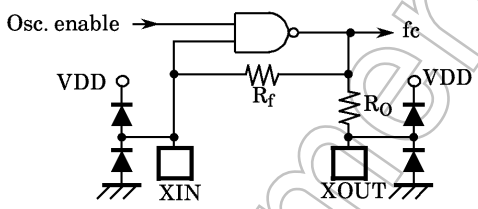
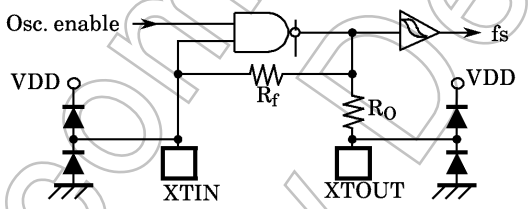
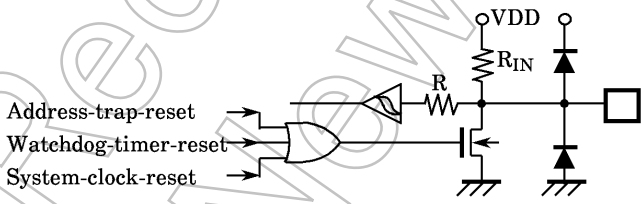
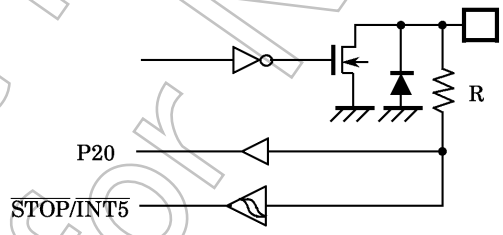
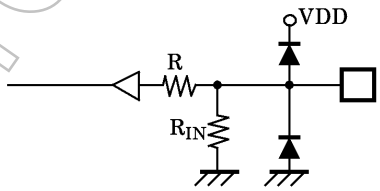
端子の入出力回路

(1) 制御端子

ES 発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作成依頼書にてマスクオプションの指定をかならず行ってください。記入の仕方については付録の“TLCS-870 シリーズにおけるマスクオプション指定方法“ を参照してください。

87CH74A/M74Aの制御端子の入出力回路を示します。

リセット解除時の動作モードは、シングルクロックモード (XIN/XOUT のみ発振) かデュアルクロックモード (XIN/XOUT および XTIN/XTOUT の両方が発振) かのいずれかをマスクオプション (コード NM1, NM2)で指定してください。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 1.2 MΩ (typ.) R_O = 1.5 kΩ (typ.)
XTIN XTOUT	入力 出力	NM1: P2ポートを参照 NM2: 	低周波発振子接続端子 R_f = 6 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入出力		ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.) R = 1 kΩ (typ.)
$\overline{\text{STOP}}$ / $\overline{\text{INT5}}$	入力		ヒステリシス入力 R = 1 kΩ (typ.)
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 1 kΩ (typ.)

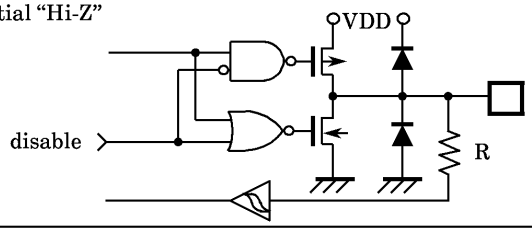
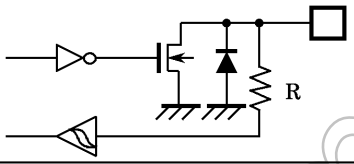
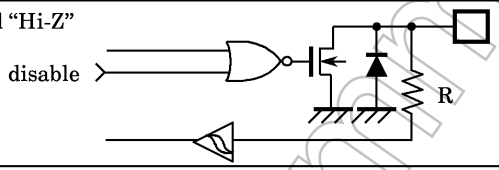
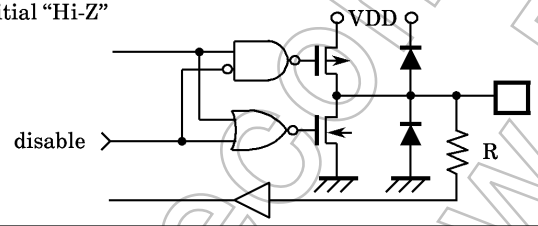
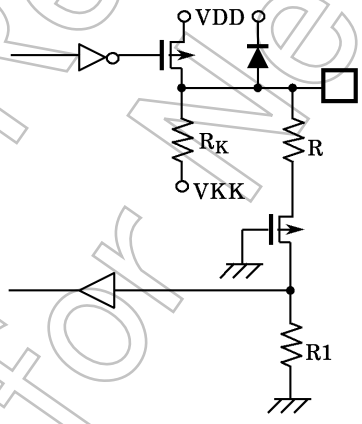
注1) 87PM74のTEST端子には、プルダウン抵抗は内蔵されていません。MCU モードではかならず低レベルに固定してください。

注2) 87PM74は、リセット解除時シングルクロックモード (NM1) となっています。

Not Recommended for New Design

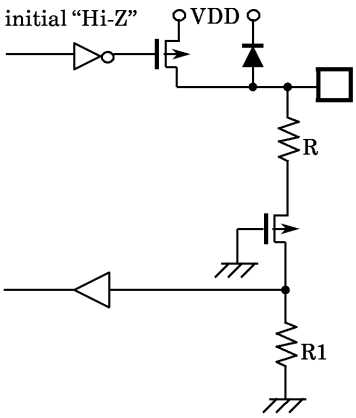
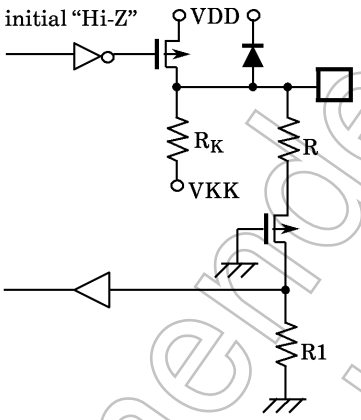
(2) - ① 入出力ポート

87CH74A/M74Aの入出力回路は、マスクオプションとしてコード(A, D)で指定できます。87PM74は、コードAの固定です。

ポート	入出力	入 出 力 回 路	備 考
P0 P1	入出力	initial "Hi-Z" 	トライステート入出力 ヒステリシス入力 P0ポートおよびP10~P14は大電流出力 R＝1 kΩ (typ.)
P2	入出力	initial "Hi-Z" 	シンクオープンドレイン出力 ヒステリシス入力 大電流出力 R＝1 kΩ
P3	入出力	initial "Hi-Z" 	シンクオープンドレイン出力 ヒステリシス入力 R＝1 kΩ (typ.)
P4 P5	入出力	initial "Hi-Z" 	トライステート入出力 R＝1 kΩ (typ.)
P6 P7 P8 P9	入出力	initial "Hi-Z" 	ソースオープンドレイン出力 高耐圧 RK＝80 kΩ (typ.) R＝1 kΩ (typ.) R1＝200 kΩ (typ.)

Not Recommended for New Design

(2) - ② 入出力ポート

ポート	入出力	入出力回路およびコード	備考
PD	入出力	A  D 	ソースオープンドレイン出力 高耐圧 R_K = 80 kΩ (typ.) R = 1 kΩ (typ.) R1 = 200 kΩ (typ.)

Not Recommended for New Design

電気的特性

絶対最大定格 (V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		−0.3~6.5	V
入力電圧	V_{IN}		−0.3~V_{DD}+0.3	V
出力電圧	V_{OUT1}	P2, P3, P4, P5, P6ポートおよびXOUT, $\overline{RESET}$	−0.3~V_{DD}+0.3	V
	V_{OUT3}	ソースオープンドレイン端子	V_{DD}−40~V_{DD}+0.3	
出力電流 (1端子当り)	I_{OUT1}	P15~P17, P3, P4, P5ポート	3.2	mA
	I_{OUT2}	P0, P10~P14, P2ポート	30	
	I_{OUT3}	P8, P9, PDポート	−12	
	I_{OUT4}	P6, P7ポート	−25	
出力電流 (全端子総計)	Σ I_{OUT1}	P15~P17, P3, P4, P5ポート	60	mA
	Σ I_{OUT2}	P0, P10~P14, P2ポート	160	
	Σ I_{OUT3}	P6, P7, P8, P9, PDポート	−200	
消費電力	PD (注)		1200	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		−55~125	°C
動作温度	Topr		−30~70	°C

注1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。
注2) 消費電力 (PD) は、Ta = 25°C以上では − 14.3 mW/°Cにて算出してください (TMP87CH75/CM75参照)。

推奨動作条件 (V_{SS} = 0 V, Topr = −30~70°C)

項目	記号	端子	条件		Min.	Max.	単位
電源電圧	V_{DD}		fc = 8 MHz	NORMAL1, 2 モード時	4.5	5.5	V
				IDLE1, 2 モード時			
			fs = 32.768 kHz	SLOW モード時	2.7		
				SLEEP モード時			
				STOP モード時	2.0		
出力電圧	V_{OUT3}	ソースオープンドレイン端子			V_{DD}−38	V_{DD}	V
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		V_{DD}×0.70	V_{DD}	V
	V_{IH2}	ヒステリシス入力			V_{DD}×0.75		
	V_{IH3}		V_{DD}<4.5 V		V_{DD}×0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		0	V_{DD}×0.30	V
	V_{IL2}	ヒステリシス入力				V_{DD}×0.25	
	V_{IL3}		V_{DD}<4.5 V			V_{DD}×0.10	
クロック周波数	fc	XIN, XOUT	V_{DD} = 4.5~5.5 V		0.4	8.0	MHz
			V_{DD} = 2.7~5.5 V (注)			4.2	
	fs	XTIN, XTOUT			30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。
注2) クロック周波数 fc： 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示す。

Not Recommended for New Design

消費電力の計算方法

TMP87CH74A/M74Aは、マスクオプションでVFTドライバにそれぞれプルダウン抵抗 (R_K = 80 kΩ typ.) を内蔵することが可能です。ただし、消費電力PmaxはVFTドライバの損失 (VFTドライバ出力損失＋プルダウン抵抗 (R_K) 損失) が占める割合が大きく多セグメントの蛍光表示管を使用する場合、プルダウン抵抗 (R_K) を外付けするか、ソフトウエアにより常時点灯するセグメント数を制限するなどして最大消費電力P_Dを越えないように注意が必要です。消費電力Pmaxは以下の式で算出できます。

消費電力Pmax＝動作消費電力＋LED出力損失＋VFTドライバ損失

① 動作消費電力＝VDD×IDD

② LED出力損失＝I_{OL3}×V_{OL}

③ VFTドライバ損失＝VFTドライバ出力損失＋プルダウン抵抗 (R_K) 損失

例) Ta＝−10～50°Cの使用条件下において(デジット同時駆動2本のユニバーサル蛍光表示管を使用する場合)

セグメント出力＝3 mA, デジット出力＝15 mA, V_{KK}＝−25 Vの蛍光表示管を使用。

VDD＝5 V±10 %, fc＝8 MHz, VFTディマー時間 (DIM)＝(14/16)×t_{SEG}動作の場合、消費電力Pmaxは、

Pmax＝①＋②＋③で算出され

① 動作消費電力 : VDD×IDD＝5.5 V×16 mA＝88 mW

② LED出力損失 : 10 mA×1.0 V×4 ＝40 mW (LED 4本使用の場合)

③ VFTドライバ損失 : セグメント端子 ＝3 mA×2 V×セグメント数X＝6 mW×X

デジット端子 ＝15 mA×2 V×14/16 (ディマー時間 (DIM)) ×デジット数Y ＝52.5 mW

R_K損失 ＝(5.5＋25 V)^2 / 50 kΩ× (セグメント数X＋デジット数Y) ＝18.605 mW× (X＋2)

Pmax ＝88 mW＋40 mW＋6 mW×X＋52.5mW＋18.605 mW× (X＋2)
＝217.71 mW＋24.605 X

となります。

また、Ta＝50°C時の最大消費電力はP_D＝1200 mW−(14.3×25) ＝842.5 mWとなり点灯可能なセグメント数Xは

PD ＞ Pmax
842.5 mW ＞ 217.71＋24.605 X
25.4 ＞ X

となり、この場合25セグメント以下の蛍光表示管では問題ありませんが、それ以上の蛍光表示管を使用する場合プルダウン抵抗 (R_K) を外付けするか、ソフトウエアにて常時点灯するセグメント数を25セグメント以下に制限する必要があります。

Not Recommended for New Design

D.C. 特　性　(V_{SS} = 0 V, Topr = −30~70°C)

項　目	記　号	端　子	条　件	Min.	Typ.	Max.	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力		−	0.9	−	V
入　力　電　流	I_{IN1}	TEST	V_{DD} = 5.5 V V_{IN} = 5.5 V / 0 V	−	−	±2	μA
	I_{IN2}	オープンドレインポート, トライステートポート					
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$					
	I_{IN4}	PD (注3)		−	−	80	
入　力　抵　抗	R_{IN3}	$\overline{RESET}$		100	220	450	kΩ
プルダウン抵抗	R_K	ソースオープンドレイン	V_{DD} = 5.5 V, V_{KK} = −30 V	50	80	110	
出力リーク電流	I_{LO1}	シンクオープンドレイン	V_{DD} = 5.5 V, V_{OUT} = 5.5 V	−	−	2	μA
	I_{LO2}	ソースオープンドレイン	V_{DD} = 5.5 V, V_{OUT} = −32 V	−	−	−2	
	I_{LO3}	トライステートポート	V_{DD} = 5.5 V, V_{OUT} = 5.5 V / 0 V	−	−	±2	
高レベル出力電圧	V_{OH2}	トライステートポート	V_{DD} = 4.5 V, I_{OH} = −0.7 mA	4.1	−	−	V
	V_{OH3}	P8, P9, PD	V_{DD} = 4.5 V, I_{OH} = −8 mA	2.4	−	−	
低レベル出力電圧	V_{OL}	XOUTを除く	V_{DD} = 4.5 V, I_{OL} = 1.6 mA	−	−	0.4	V
高レベル出力電流	I_{OH}	P6, P7ポート	V_{DD} = 4.5 V, V_{OH} = 2.4 V	−	−20	−	mA
NORMAL1, 2 モード時　電源電流	I_{DD}		V_{DD} = 5.5 V V_{IN} = 5.3 V / 0.2 V fc = 8 MHz fs = 32.768 kHz	−	12	18	mA
IDLE1, 2 モード時　電源電流				−	6	8	
SLOWモード時 電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V / 0.2 V fs = 32.768 kHz	−	30	60	μA
SLEEPモード時 電源電流				−	15	30	μA
STOPモード時 電源電流			V_{DD} = 5.5 V V_{IN} = 5.3 V / 0.2 V	−	0.5	10	μA

注1)　Typ.値は、条件に指定なき場合Topr = 25 °C, V_{DD} = 5 V時の値を示します。
注2)　入力電流 I_{IN1}, I_{IN3} ：プルアップまたはプルダウン抵抗を内蔵している場合、抵抗による電流を除きます。
注3)　入力電流 I_{IN4} ：マスクオプションによりR_Kが接続されていない場合の入力電流

A/D　変　換　特　性　(V_{SS} = 0 V, V_{DD} = 4.5~6.0 V, Topr = −30~70°C)

項　目	記　号	条　件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V_{AREF}	$V_{AREF} - V_{ASS} \geqq 2.5$ V	V_{DD} − 1.5	−	V_{DD}	V
	V_{ASS}		V_{SS}			
アナログ入力電圧範囲	V_{AIN}		V_{ASS}	−	V_{AREF}	V
アナログ基準電圧電源電流	I_{REF}	V_{AREF} = 5.5 V, V_{ASS} = 0.0 V	−	0.5	1.0	mA
非直線性誤差		V_{DD} = 5.0 V, V_{SS} = 0.0 V V_{AREF} = 5.000 V V_{ASS} = 0.000 V	−	−	±1	LSB
ゼロ誤差			−	−	±1	
フルスケール誤差			−	−	±1	
総合誤差			−	−	±2	

注)　総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

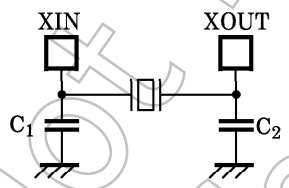
Not Recommended for New Design

A.C. 特　性　(V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = −30~70°C)

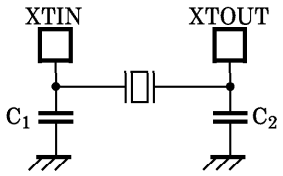
項　　目	記 号	条　　件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.5	−	10	μs
		IDLE1, 2モード時				
		SLOWモード時	117.6	−	133.3	
		SLEEPモード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN入力) fc = 8 MHz 時	50	−	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN入力) fs = 32.768 kHz 時	14.7	−	−	μs
低レベルクロックパルス幅	t_{WSL}					

推奨発振条件　(V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = −30~70°C)

項　目	発　振　子	発振周波数	推奨発振子	推奨定数 C_1	推奨定数 C_2
高周波発振	セラミック発振子	8 MHz	京セラ KBR8.0M	30 pF	30 pF
		4 MHz	京セラ KBR4.0MS		
			村田製作所 CSA4.00MG		
	水晶振動子	8 MHz	TOYOCOM 210B 8.0000	20 pF	20 pF
		4 MHz	TOYOCOM 204B 4.0000		
低周波発振	水晶振動子	32.768 kHz	日本電波工業 MX-38T	15 pF	15 pF



(1) 高周波発振



(2) 低周波発振

注)　高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

Not Recommended for New Design