

TOSHIBA

東芝 オリジナル CMOS 16ビット マイクロコントローラ

TLCS-900 シリーズ

TMP96C141BFG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900シリーズ、TMP96C141Bをご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されることをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールド状態からの解除に関する注意事項

通常は、割り込みによってホールド状態を解除することができますが、ホールドモードがIDLE、STOPモードに設定されている状態で、CPUがホールドモードに移行しようとしている期間(X1約3クロックの間)に、ホールドモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールドが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールドモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールドモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願ひ申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、表紙及び付加ページ(ローマ数字の本文前のページを示す)内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

旧製品には旧製品当時の文言が記述されている場合がありますが、付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が本データシートの発行日付となります。

修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP96C141BF	TMP96C141BFG

修正対象項目 2. パッケージ名称及び寸法

本文中パッケージ名称 (旧名称)	正式パッケージ名称 (新名称)
QFP80-P-1420-0.80	QFP80-P-1420-0.80M

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間1回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5秒間1回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

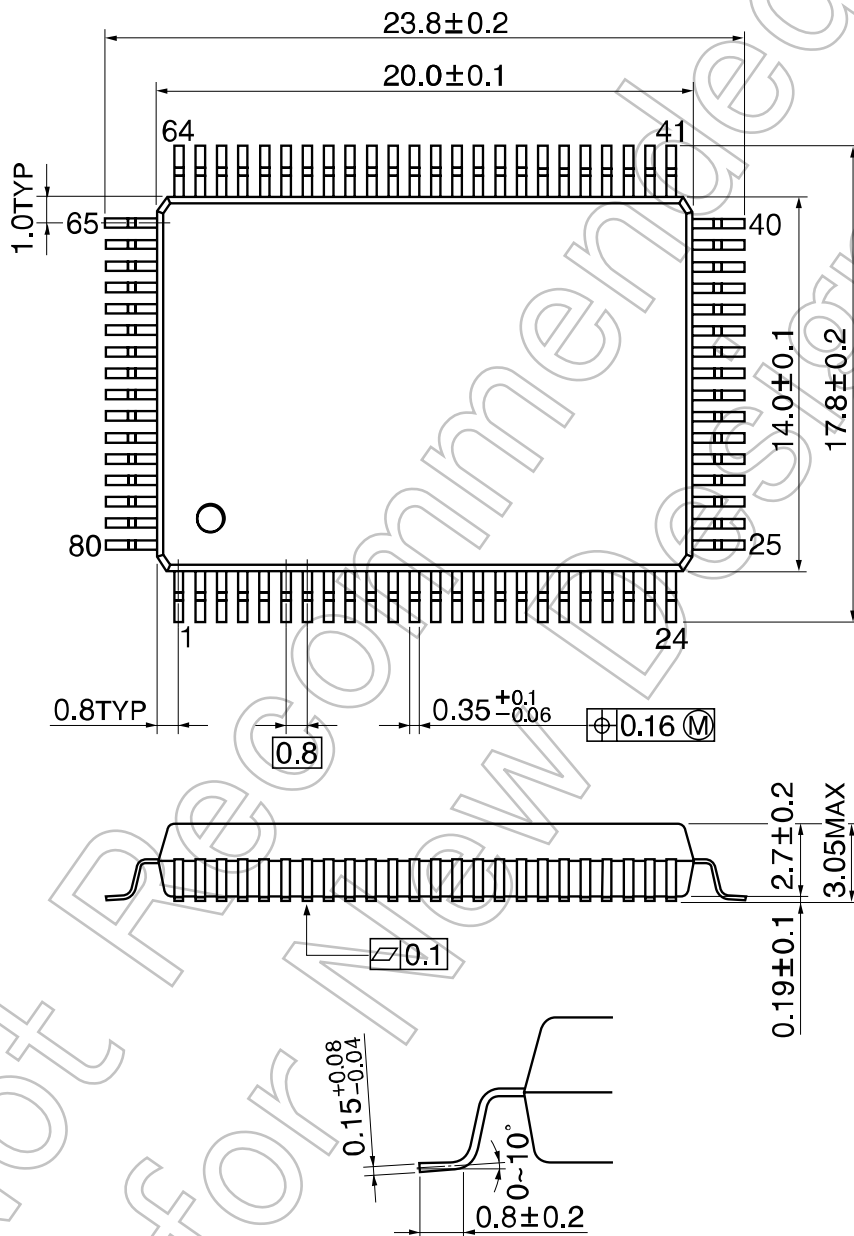
本製品の発行日は、付加ページ右下にも記入の「2008-02-20」です。

(別紙)

パッケージ外形寸法図

QFP80-P-1420-0.80M

単位: mm



CMOS 16ビット マイクロコントローラ

TMP96C141BF

1. 概要と特長

TMP96C141BFは、各種の中規模から大規模機器までの制御用として開発された、高速・高機能16ビットマイクロコントローラです。

TMP96C141BFは、80ピンフラットパッケージ製品です。特長は次のとおりです。

- (1) オリジナル16ビットCPU
 - TLCS-90と命令ニモニックで上位互換
 - 16Mバイトのリニアアドレス空間
 - 汎用レジスタ&レジスタバンク方式
 - 16ビット乗除算命令、ビット転送/演算命令
 - 高速マイクロDMA : 4チャンネル (1.6 μ s/2バイト@20 MHz)
- (2) 最小命令実行時間 : 200 ns (20 MHz発振時)
- (3) 内蔵RAM : 1Kバイト
内蔵ROM : なし
- (4) 外部メモリ拡張
 - 16Mバイト(プログラム/データ共通)まで拡張可能
 - 外部データバス8/16ビット幅共存可能
- (5) 8ビットタイマ : 2本
- (6) 8ビットPWMタイマ : 2本
- (7) 16ビットタイマ : 2本
- (8) パターンジェネレータ : 4ビット、2チャンネル
- (9) 汎用シリアルインタフェース : 2チャンネル
- (10) 10ビットA/Dコンバータ : 4チャンネル
- (11) ウォッチドッグタイマ
- (12) チップセレクト/ウェイトコントローラ : 3ブロック
- (13) 割り込み機能
 - CPU 3本 …… ソフトウェア割り込み命令、特権違反、未定義違反
 - 内部 14本
 - 外部 6本
 7レベルの優先順位の設定が可能
- (14) 入出力ポート
47端子
- (15) スタンバイ機能
3種類のHALTモード (RUN, IDLE, STOP)

000629TBP2

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途")は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

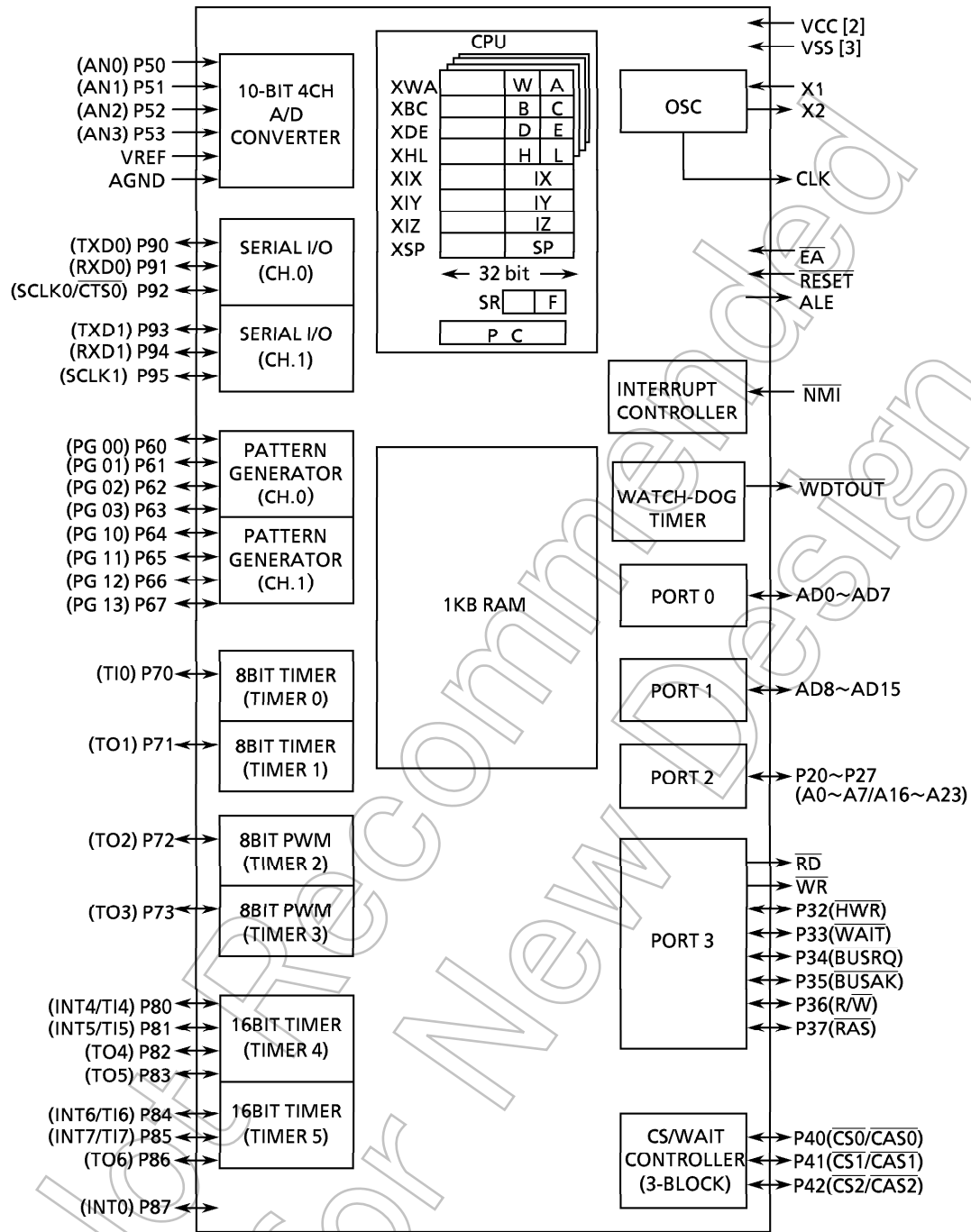


図1 TMP96C141Bブロック図

2. ピン配置とピン機能

TMP96C141Bのピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピンの配置図

TM96C141BFピン配置図は、図2.1のとおりです。

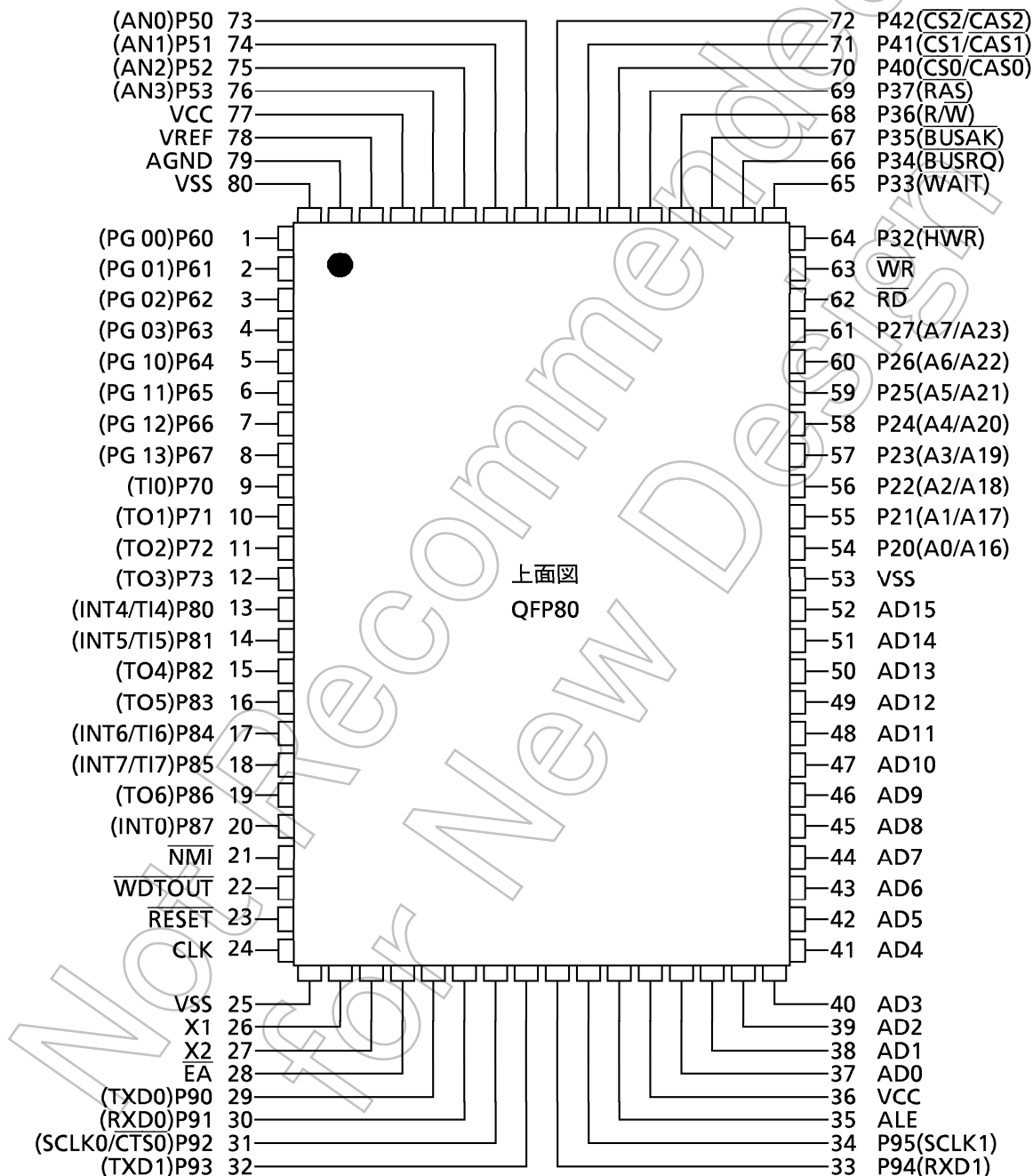


図 2.1 ピン配置図 (80ピンQFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

ピン名称	ピン数	入出力	機能
AD0~AD7	8	3ステート	アドレスデータ (下位): アドレス/データバス0~7です。
AD8~AD15	8	3ステート	アドレスデータ (上位): アドレス/データバス8~15です。
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート2: ビット単位で入出力の設定ができる入出力ポートです。 (プルダウン付) アドレス: アドレスバス0~7です。 アドレス: アドレスバス16~23です。
RD	1	出力	リード: 外部メモリをリードするためのストローク信号です。
WR	1	出力	ライト: AD0~7端子のデータをライトするためのストローク信号です。
P32 HWR	1	入出力 出力	ポート32: 入出力ポートです。(プルアップ付) 上位ライト: AD8~15端子のデータをライトするためのストローク信号です。
P33 WAIT	1	入出力 入力	ポート33: 入出力ポートです。(プルアップ付) ウェイト: CPUへのバスウェイト要求端子です。
P34 BUSRQ	1	入出力 入力	ポート34: 入出力ポートです。(プルアップ付) バスリクエスト: AD0~15, A0~23, RD, WR, HWR, R/W, RAS, CS0, CS1, CS2端子を、ハイインピーダンスにすることを要求する信号です。(外付けDMAC用)
P35 BUSAK	1	入出力 出力	ポート35: 入出力ポートです。(プルアップ付) バスアクリッジ: BUSRQを受けてAD0~15, A0~23, RD, WR, HWR, R/W, RAS, CS0, CS1, CS2端子が、ハイインピーダンスになったことを示す信号です。(外付けDMAC用)
P36 R/W	1	入出力 出力	ポート36: 入出力ポートです。(プルアップ付) リード/ライト: "1"でリードサイクルまたはダミーサイクルを、 "0"でライトサイクルを示します。
P37 RAS	1	入出力 出力	ポート37: 入出力ポートです。(プルアップ付) ローアドレスストローク: DRAM用"RAS"ストロークを出力します。
P40 CS0 CAS0	1	入出力 出力 出力	ポート40: 入出力ポートです。(プルアップ付) チップセレクト0: アドレスが、指定したアドレス領域内なら"0"を出力します。 カラムアドレスストローク0: アドレスが、指定したアドレス領域内なら、DRAM用"CAS"ストロークを出力します。

(注) BUSRQ, BUSAK端子による外付けDMAコントローラでは、本デバイスの内蔵メモリおよび内蔵I/Oは、アクセスできません。

ピン名称	ピン数	入出力	機能
P41 CS1 CAS1	1	入出力 出力 出力	ポート41: 入出力ポートです。(プルアップ付) チップセレクト1: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク1: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P42 CS2 CAS2	1	入出力 出力 出力	ポート42: 入出力ポートです。(プルダウン付)(注1) チップセレクト2: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク2: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P50~P53 AN0~AN3	4	入力 入力	ポート5: 入力ポートです。 アナログ入力: A/Dコンバータの入力です。
VREF	1	入力	A/Dコンバータ用基準電圧入力端子
AGND	1	入力	A/Dコンバータ用GND端子
P60~P63 M00~M03	4	入出力 出力	ポート60~63: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータポート00~03
P64~P67 M10~M13	4	入出力 出力	ポート64~67: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータポート10~13
P70 TI0	1	入出力 入力	ポート70: 入出力ポートです。(プルアップ付) タイマ入力0: タイマ0の入力です。
P71 TO1	1	入出力 出力	ポート71: 入出力ポートです。(プルアップ付) タイマ出力1: タイマ0またはタイマ1の出力です。
P72 TO2	1	入出力 出力	ポート72: 入出力ポートです。(プルアップ付) PWM出力2: 8ビットPWMタイマ2の出力
P73 TO3	1	入出力 出力	ポート73: 入出力ポートです。(プルアップ付) PWM出力3: 8ビットPWMタイマ3の出力
P80 TI4 INT4	1	入出力 入力 入力	ポート80: 入出力ポートです。(プルアップ付) タイマ入力4: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子4: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P81 TI5 INT5	1	入出力 入力 入力	ポート81: 入出力ポートです。(プルアップ付) タイマ入力5: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子5: 立ち上がりエッジの割り込み要求端子です。
P82 TO4	1	入出力 出力	ポート82: 入出力ポートです。(プルアップ付) タイマ出力4: タイマ4の出力端子
P83 TO5	1	入出力 出力	ポート83: 入出力ポートです。(プルアップ付) タイマ出力5: タイマ4の出力端子

(注1) CS2またはCAS2に設定されている場合のバス解放時には、プルダウン抵抗ではなくプルアップ抵抗が付加されます。

ピン名称	ピン数	入出力	機能
P84 TI6 INT6	1	入出力 入力 入力	ポート84: 入出力ポートです。(プルアップ付) タイマ入力6: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子6: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P85 TI7 INT7	1	入出力 入力 入力	ポート85: 入出力ポートです。(プルアップ付) タイマ入力7: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子7: 立ち上がりエッジの割り込み要求端子です。
P86 TO6	1	入出力 出力	ポート86: 入出力ポートです。(プルアップ付) タイマ出力6: タイマ5の出力端子
P87 INT0	1	入出力 入力	ポート87: 入出力ポートです。(プルアップ付) 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。
P90 TXD0	1	入出力 出力	ポート90: 入出力ポートです。(プルアップ付) シリアル送信データ0
P91 RXD0	1	入出力 入力	ポート91: 入出力ポートです。(プルアップ付) シリアル受信データ0
P92 CTS0 SCLK0	1	入出力 入力 入出力	ポート92: 入出力ポートです。(プルアップ付) シリアルデータ送信可能0(Clear To Send) シリアルクロック入出力0
P93 TXD1	1	入出力 出力	ポート93: 入出力ポートです。(プルアップ付) シリアル送信データ1
P94 RXD1	1	入出力 入力	ポート94: 入出力ポートです。(プルアップ付) シリアル受信データ1
P95 SCLK1	1	入出力 入出力	ポート95: 入出力ポートです。(プルアップ付) シリアルクロック入出力1
WD \overline TOUT	1	出力	ウォッチドッグタイマ出力端子
NMI	1	入力	ノンマスクャブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも動作させられます。
CLK	1	出力	クロック出力: 「X1÷4」のクロックが出力されます。リセット期間中は、プルアップされます。
\overline EA	1	入力	外部アクセス: TMP96C141Bでは、“0”にします。
ALE	1	出力	アドレスラッチイネーブル
\overline RESET	1	入力	リセット: LSIを初期化します。(プルアップ付)
X1/X2	2	入力/出力	発振子接続端子
VCC	2		電源端子(+5V) (全VCC端子を電源に接続してください。)
VSS	3		GND端子(0V) (全VSS端子をGND(0V)に接続してください。)

(補足) \overline RESET端子以外のプルアップ/プルダウン抵抗付端子は、ソフトウェアによりその抵抗を端子から開放することができます。

3. 動作説明

ここでは、TMP96C141Bの機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に「7.使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますので確認願います。

3.1 CPU

TMP96C141Bには、高性能な16ビットCPU (900_CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900 CPU”を参照してください。

ここでは、“TLCS-900 CPU”にて説明されていないTMP96C141B独自のCPU機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも10システムクロック間(=10ステート:20 MHzクロック発振時で1 μ s) $\overline{\text{RESET}}$ 入力を“0”にしてください。

リセットが受け付けられると、CPUは、

- プログラムカウンタPCを8000Hにセット
- システムモード用スタックポインタXSPを100Hにセット
- ステータスレジスタSRのSYSMビットを“1”にセット(システムモードにセット)
- ステータスレジスタSRのIFF2~0ビットを“111”にセット(割り込みレベルのマスケジスタをレベル7にセット)
- ステータスレジスタSRのMAXビットを“0”にクリア(ミニマムモードにセット)
- ステータスレジスタSRのRFP2~0ビットを“000”にクリア(レジスタバンクを0にセット)

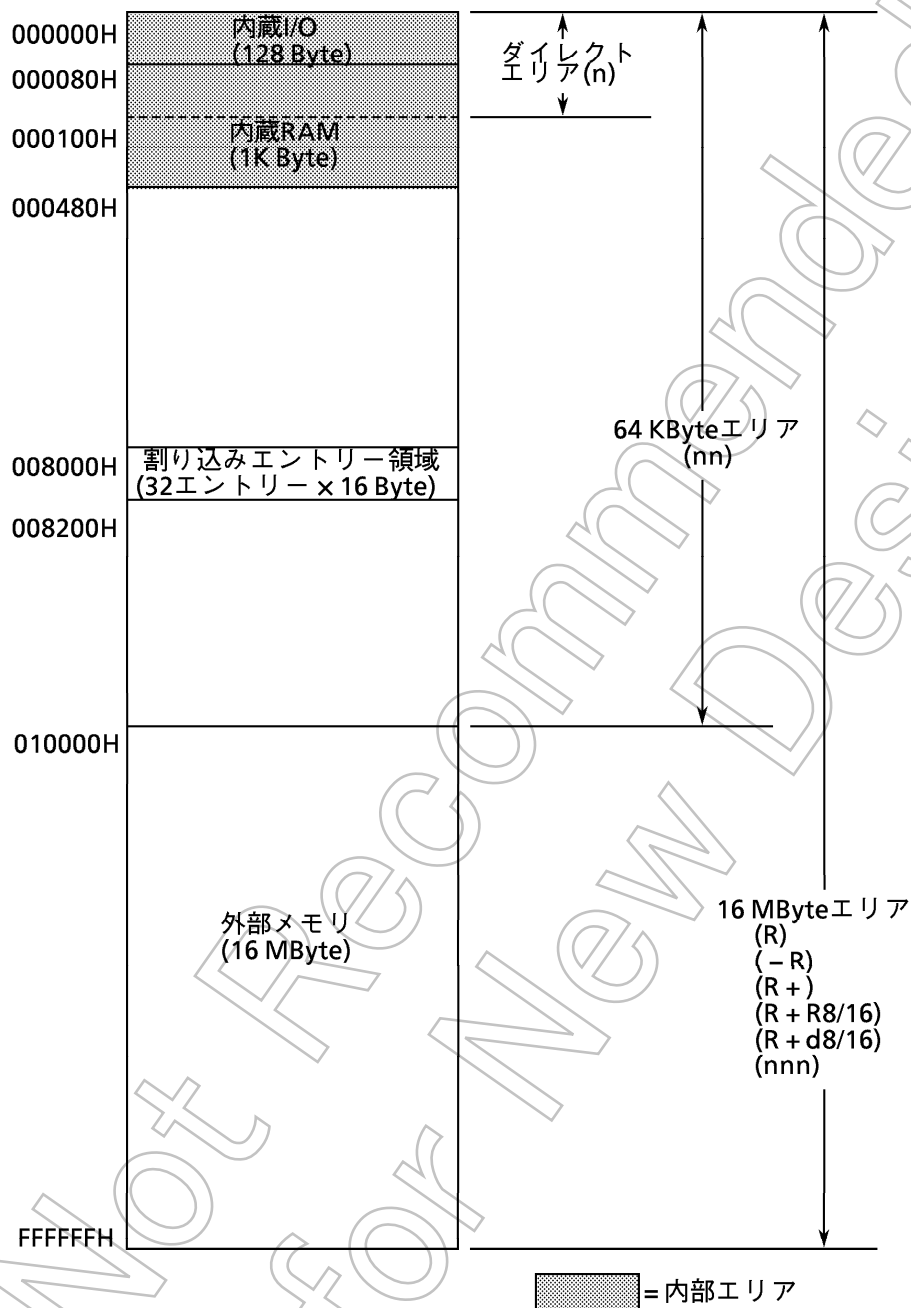
を行い、リセットが解除されると、8000H番地より命令を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびポート、その他の端子は、下記のとおりになります。

- 仕様で決められているとおりに、内蔵I/Oのレジスタを初期化
- ポート端子(内蔵I/O用にも使える兼用端子を含む)を、汎用入力ポートまたは汎用出力ポートのモードにセット(入出力兼用ポートは入力ポートにセット)
- $\overline{\text{WDTOUT}}$ 端子を“0”にセット
(リセット後、ウォッチドッグタイマはイネーブル)
- CLK端子を“1”にプルアップ
- ALE端子を“0”にセット

3.2 メモリマップ

TMP96C141Bのメモリマップを、図3.2に示します。



(補足) リセット後のスタートアドレスは、8000Hです。また、リセットにより、システムモード側のスタックポインタ“XSP”は、100Hにセットされます。

図3.2 メモリマップ

3.3 割り込み

TLCS-900の割り込みは、CPUの割り込みマスクフリップフロップ (IFF2~0) と、内蔵の割り込みコントローラによって制御されます。

TMP96C141Bの割り込み要因には、

- CPU自身からの割り込み…3本
(ソフトウェア割り込み、特権命令実行違反、未定義命令実行違反)
- 外部端子 ($\overline{\text{NMI}}$ 、INT0、INT4~7) からの割り込み…6本
- 内蔵I/Oからの割り込み…14本

の合計23本あります。

各割り込み要因ごとに、個別の割り込みベクタ番号(固定)が割り当てられており、マスクابل割り込みのそれぞれに、6レベルの優先順位(可変)を割り付けることができます。ノンマスクابل割り込みの優先順位は、最優先の“7”に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値をCPUに送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスクابل割り込みの“7”)をCPUに送ります。

CPUは、その送られてきた優先順位値と、CPUの割り込みマスクレジスタ (IFF2~0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2~0) の値はEI命令 (EI num/IFF <2:0> の内容がnumになります。) を使用して、書き替えることができます。例えば、“EI 3”とプログラムすると、割り込みコントローラに設定された、優先順位値3以上のマスクابل割り込みと、ノンマスクابل割り込みが受け付け可能となります。また、DI命令 (IFF <2:0> が“7”になります。) は動作的には“EI 7”と同じですが、マスクابل割り込みの優先順位値が0~6であるため、マスクابل割り込みの受け付け禁止用として使用されます。なお、EI命令は実行後ただちに有効となります (TLCS-90ではEI命令の次の命令を実行した後有効)。

TLCS-900の割り込みには、上記汎用割り込み処理モードに加えて、「高速マイクロDMA」処理モードがあります。高速マイクロDMAは、CPUが自動的にデータの転送(バイト転送またはワード転送)を行うモードですので、内蔵I/Oに対するデータ退避などの割り込み処理を、高速に行うことが可能になります。

図3.3 (1) に割り込み処理全体のフローを示します。

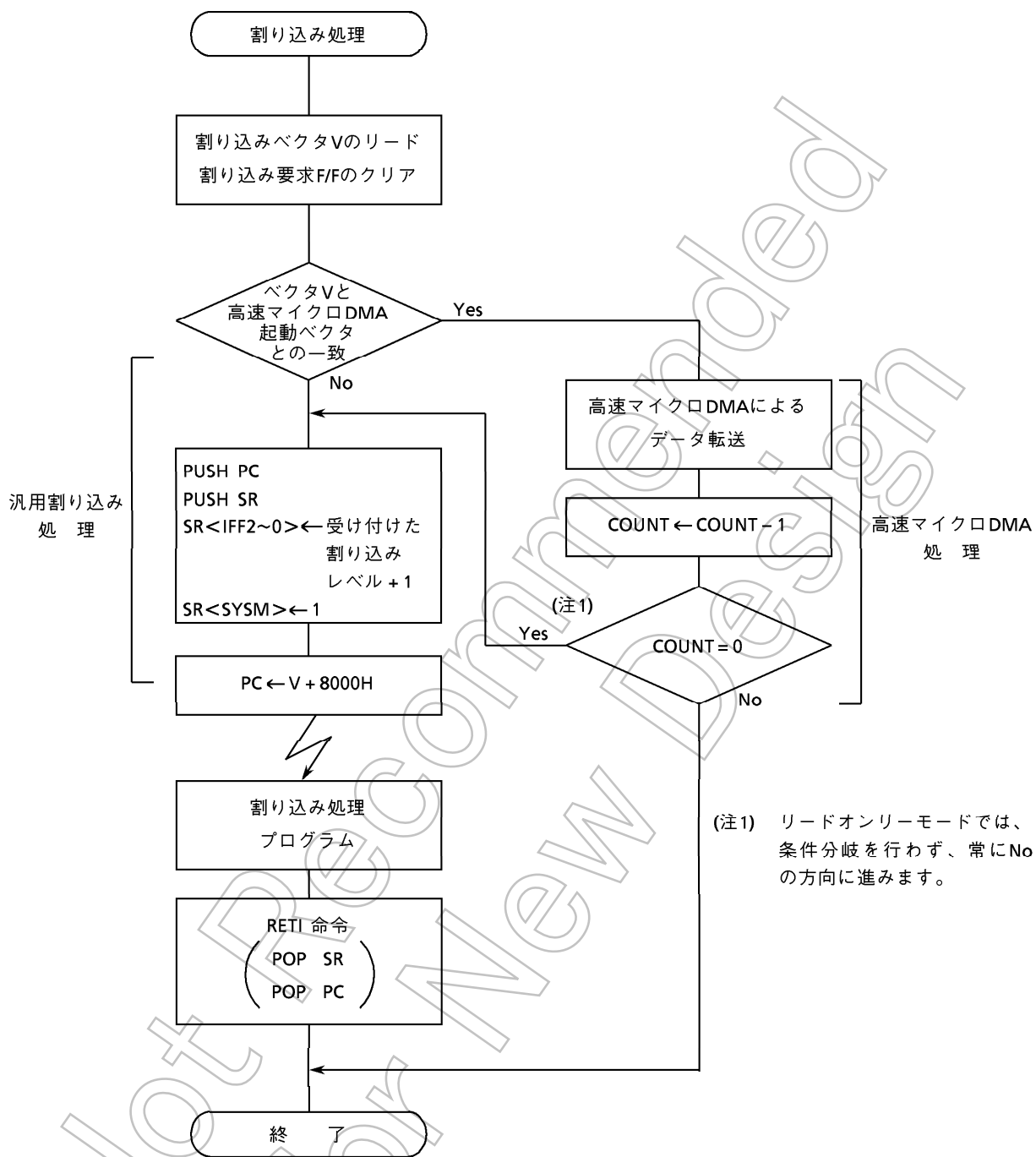


図3.3 (1) 割り込み処理全体のフロー

3.3.1 汎用割り込み処理

CPUが割り込みを受け付けると、下記の動作をします。

- (1) CPUは、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定:ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
- (2) CPUは、プログラムカウンタ「PC」とステータスレジスタ「SR」を、システム側のスタック領域 (システムモード用XSPが示す領域) へPUSHします。
- (3) CPUの割り込みマスクレジスタ <IFF2~0> の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”のときは、インクリメントせず“7”をセットします。
- (4) ステータスレジスタの <SYSM> フラグを、“1”にセットし、システムモードに移行します。
- (5) CPUは、「8000H+割り込みベクタ」番地へジャンプし、割り込み処理ルーチンを開始します。以上の処理時間を下記の表に示します。

スタックエリアの バス幅	割り込み処理実行時間 (ステート数)	
	MAXモード	MINモード
8ビット	23	19
16ビット	17	15

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタPCとステータスレジスタSRの内容をリストアします。

ノンマスクブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスクブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPUは、CPU自身が持つ割り込みマスクレジスタ <IFF2~0> の値以上の、優先順位値をもつ割り込み要求があると、割り込みを受け付けます。そして、CPUのマスクレジスタ <IFF2~0> に、受け付けた優先順位に“1”を加えた値を、セットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

また、CPUが割り込みを受け付け前記(1)~(5)までの処理をしている間に発生した現在受け付けられている割り込みより高いレベルの割り込みは、割り込み処理ルーチンの先頭命令が実行される前に受け付けられ割り込み処理のネスティング状態になります (ただし、ノンマスクブル割り込み (レベル“7”) 同士の割り込みも同様となります)。

なお、現在実行している割り込みレベルと同じレベルの割り込み要求は、受け付けられません。
リセット後、CPUのマスクレジスタ <IFF2~0> は、“7”に初期化されているため、DI状態になっています。

TLCS-900では、008000H~0081FFH番地(512バイト)は、割り込み処理のエントリ領域に、割り当てられています。

表3.3 (1) TMP96C141Bの割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要求発生ソース	ベクタ値 “V”	スタート アドレス	高速マイクロ DMA 起動ベクタ
1		リセット、または「SWI0」命令	0 0 0 0 H	8 0 0 0 H	-
2		INTPREV : 特権命令実行違反、または「SWI1」	0 0 1 0 H	8 0 1 0 H	-
3		INTUNDEF: 未定義命令実行違反、または「SWI2」	0 0 2 0 H	8 0 2 0 H	-
4	ノン	「SWI3」命令	0 0 3 0 H	8 0 3 0 H	-
5	マスクابل	「SWI4」命令	0 0 4 0 H	8 0 4 0 H	-
6		「SWI5」命令	0 0 5 0 H	8 0 5 0 H	-
7		「SWI6」命令	0 0 6 0 H	8 0 6 0 H	-
8		「SWI7」命令	0 0 7 0 H	8 0 7 0 H	-
9		NMI端子	0 0 8 0 H	8 0 8 0 H	08H
10		INTWD : ウォッチドッグタイマ	0 0 9 0 H	8 0 9 0 H	09H
11		INT0端子	0 0 A 0 H	8 0 A 0 H	0AH
12		INT4端子	0 0 B 0 H	8 0 B 0 H	0BH
13		INT5端子	0 0 C 0 H	8 0 C 0 H	0CH
14		INT6端子	0 0 D 0 H	8 0 D 0 H	0DH
15		INT7端子	0 0 E 0 H	8 0 E 0 H	0EH
-		(予約)	0 0 F 0 H	8 0 F 0 H	0FH
16		INTT0 : 8ビットタイマ0	0 1 0 0 H	8 1 0 0 H	10H
17		INTT1 : 8ビットタイマ1	0 1 1 0 H	8 1 1 0 H	11H
18		INTT2 : 8ビットタイマ2/PWM0	0 1 2 0 H	8 1 2 0 H	12H
19		INTT3 : 8ビットタイマ3/PWM1	0 1 3 0 H	8 1 3 0 H	13H
20		INTTR4 : 16ビットタイマ4 (TREG4)	0 1 4 0 H	8 1 4 0 H	14H
21	マスクابل	INTTR5 : 16ビットタイマ4 (TREG5)	0 1 5 0 H	8 1 5 0 H	15H
22		INTTR6 : 16ビットタイマ5 (TREG6)	0 1 6 0 H	8 1 6 0 H	16H
23		INTTR7 : 16ビットタイマ5 (TREG7)	0 1 7 0 H	8 1 7 0 H	17H
24		INTRX0 : シリアル受信 (Channel.0)	0 1 8 0 H	8 1 8 0 H	18H
25		INTTX0 : シリアル送信 (Channel.0)	0 1 9 0 H	8 1 9 0 H	19H
26		INTRX1 : シリアル受信 (Channel.1)	0 1 A 0 H	8 1 A 0 H	1AH
27		INTTX1 : シリアル送信 (Channel.1)	0 1 B 0 H	8 1 B 0 H	1BH
28		INTAD : A/D変換終了	0 1 C 0 H	8 1 C 0 H	1CH
-		(予約)	0 1 D 0 H	8 1 D 0 H	1DH
-		(予約)	0 1 E 0 H	8 1 E 0 H	1EH
-		(予約)	0 1 F 0 H	8 1 F 0 H	1FH

3.3.2 高速マイクロDMA

TLCS-900には、従来の割り込み処理に加えて、高速マイクロDMA機能があります。CPUは、割り込みを受け付けると、割り込みコントローラから、割り込みベクタのほかに高速マイクロDMAか汎用割り込み処理かの情報を受け取り、高速マイクロDMAモードが要求されていれば、高速マイクロDMA処理を行います。

TLCS-900は、TLCS-90のマイクロDMAに比べて、転送パラメータをCPU内部の専用レジスタに持っているため、非常に高速に処理を行うことができます。この専用レジスタはCPUのコントロールレジスタにアサインされているため、LDC命令でしかアクセスできません。

(1) 高速マイクロDMAの動作

高速マイクロDMAは、受け付けられた割り込みベクタ値と、割り込みコントローラに設定された高速マイクロDMA起動ベクタ値が、一致することにより、その起動がかけられます。高速マイクロDMAは、4チャンネル用意されており、同時に4種類までの割り込み要因に対して、高速マイクロDMAを設定することができます。

高速マイクロDMAが受け付けられると、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が自動的に行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”でなければ、高速マイクロDMA処理は終了し、“0”ならば、前項で説明した汎用割り込み処理を行います。ただし、DRAMリフレッシュ用に準備されているリードオンリーモードでは、カウンタの値は無視され、ダミーリードを繰り返します。

転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっていますが、アドレスは24本しか出力されていないため、高速マイクロDMAで取り扱える空間は、16Mバイトとなります。

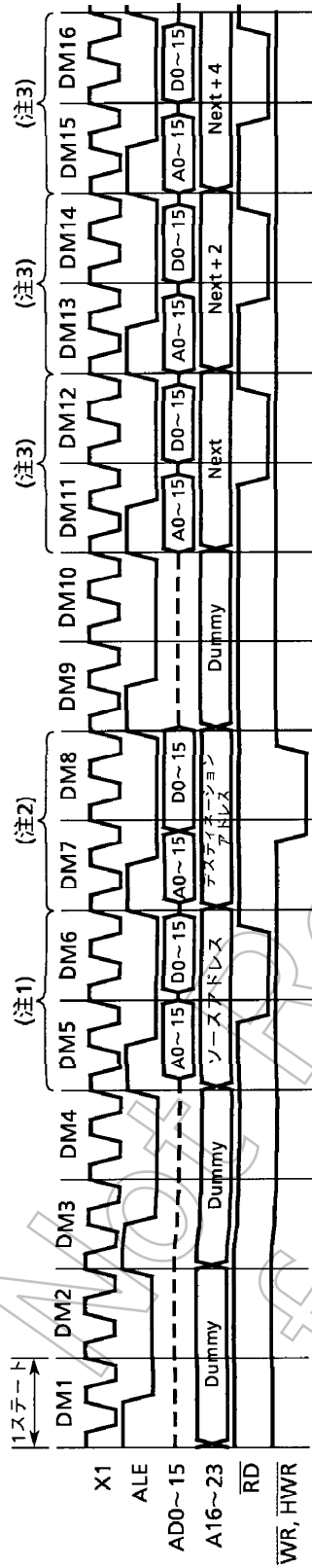
転送モードとしては、1バイト転送と1ワード(=2バイト)転送の2種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスがインクリメント、デクリメント、固定されるモードが、準備されています。このモードにより、I/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送が簡単に行えます。転送モードの詳細は、後述の「転送モードレジスタ詳細」を参照してください。

転送カウンタは、16ビット幅で構成されているため、一つの割り込みソースに対して、最大65536回(転送カウンタの初期値が0000Hのとき最大)の、高速マイクロDMA処理を行うことができます。

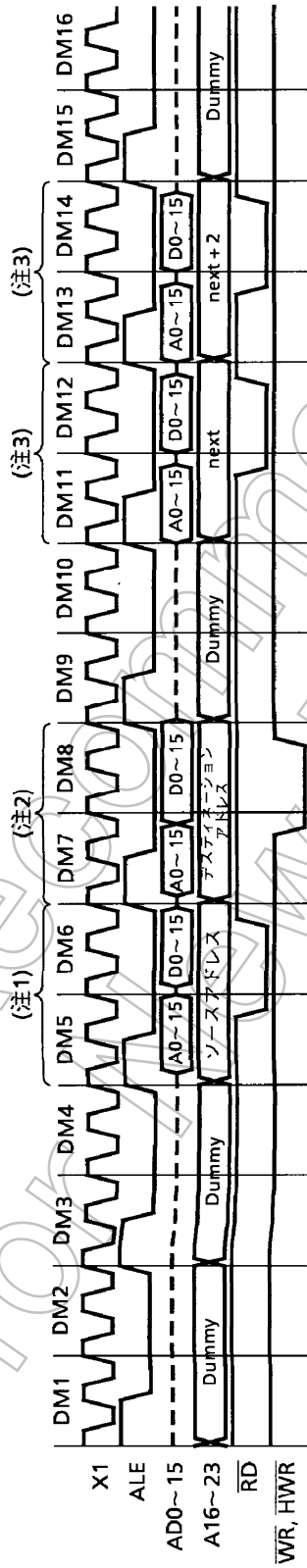
高速マイクロDMAによるデータ転送後、この転送カウンタはデクリメントされ“0”になると汎用割り込み処理へ分岐しますが、その処理後同チャンネルの割り込みが起動されると転送カウンタは巡回し65536よりリスタートしますので再設定が必要なシステムでは注意が必要です。

高速マイクロDMA処理を行うことのできる割り込みソースは、表3.4(1)で高速マイクロDMA起動ベクタのある20種類の割り込みです。

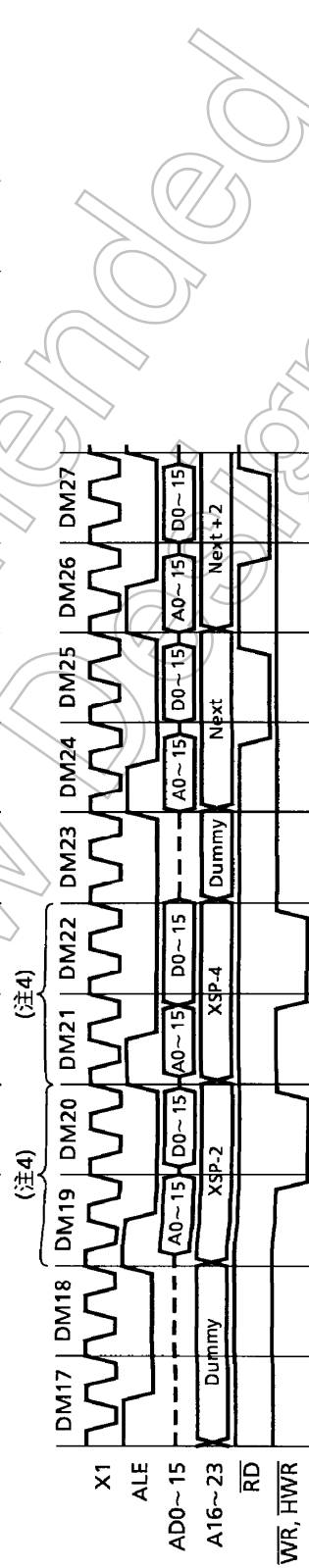
転送先アドレスINCモード(リードオンリーモード以外は同様)の高速マイクロDMAサイクルを示します。(MINモード,全アドレスエリア16ビットバス,0ウェイト)



高速マイクロDMAサイクル (COUNT≠0)



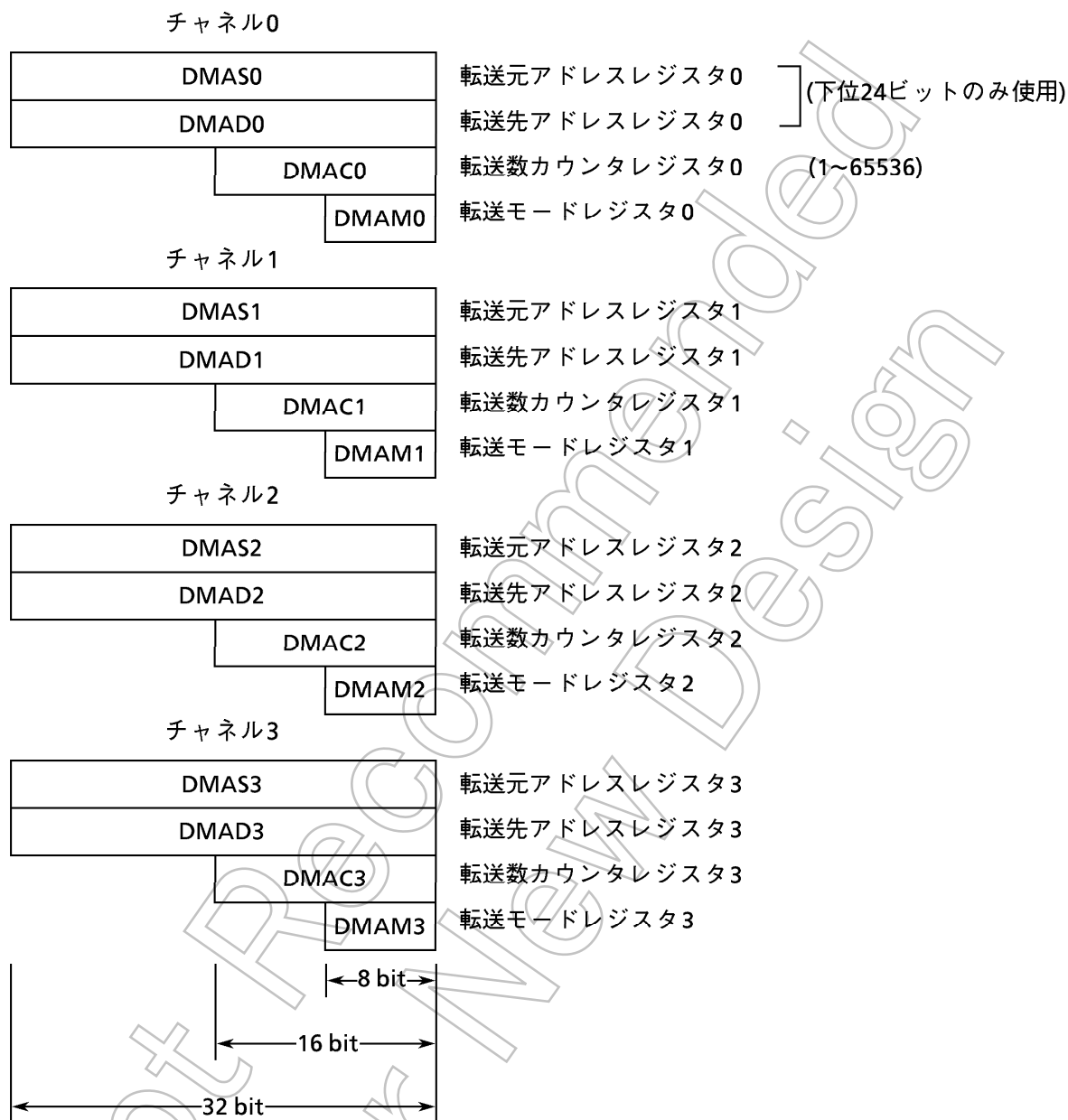
高速マイクロDMAサイクル (COUNT=0)



高速マイクロDMAサイクル (COUNT=0)

- (注1) ソースアドレスエリアが8ビットバスの場合+2ステータートされます。
- (注2) デスチネーションアドレスエリアが8ビットバスの場合+2ステータートされます。
- (注3) 命令キューバッファの状態により、ダミーサイクルになる場合があります。
- (注4) スタックエリアが8ビットバスの場合+2ステータートされます。

(2) レジスタ構成 (CPU コントロールレジスタ)



これらのコントロールレジスタへのデータ設定は、“LDC cr,r”命令のみでしか設定できません。

(3) 転送モードレジスタ詳細

(DMAM0~3)

0	0	0	0	モード	(注) このレジスタに値を設定するとき、 上位4ビットは“0”にしてください。
				Z	

Z: 0 = バイト転送、1 = ワード転送

実行時間 (Min. @ 20 MHz)

0	0	0	Z	転送先アドレスINCモード I/O to メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 μs)
0	0	1	Z	転送先アドレスDECモード I/O to メモリ用 (DMADn-) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 μs)
0	1	0	Z	転送元アドレスINCモード メモリ to I/O用 (DMADn) ← (DMASn +) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 μs)
0	1	1	Z	転送元アドレスDECモード メモリ to I/O用 (DMADn) ← (DMASn -) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 μs)
1	0	0	Z	アドレス固定モード I/O to I/O用 (DMADn) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 μs)
1	0	1	0	リードオンリーモード DRAMリフレッシュ用 Dummy ← (DMASn) ; 4バイトのリード DMASn ← DMASn + 4 ; 下位ワードのみインクリメントする。 DMACn ← DMACn - 1	14ステート (1.4 μs)
1	0	1	1	カウンタモード 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn - 1 if DMACn = 0 then INT.	11ステート (1.1 μs)

(1ステート = 100 ns)

注) 実行時間: 転送元/転送先アドレス空間が、16ビットバス幅0ウェイトに設定をされている場合を示します。

n: 対応する高速マイクロDMAチャンネル0~3

DMADn+ / DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)

DMADn- / DMASn-: ポストデクリメント (転送後レジスタの値をデクリメント)

マイクロDMA中にアクセスされるメモリ空間は、後述のチップセレクト/ウェイトコントローラで設定されるシステムモードの空間です。

未定義のモード用コードは、使用しないでください。

<リードオンリーモード (DRAMリフレッシュ) の使用例>

ハードウェア構成例が、下記のようにになっている場合、

DRAMのマッピング容量=1 MB

DRAMのデータバス幅=8 ビット

DRAMのマッピングアドレス=100000H~1FFFFFFH

下記のレジスタを最初に設定するだけで、後は自動的にリフレッシュが行われます。

① レジスタの初期値設定

LD XIX, 100000H

LDC DMAS0, XIX … マッピングスタートアドレス

LD A, 00001010B

LDC DMAM0,A … リードオンリーモード(DRAMリフレッシュ用)

② タイマの設定

62.5 μ s以下の間隔で割り込みを発生させるように設定します。

③ 割り込みコントローラの設定

タイマの割り込みレベルを、他の割り込み要求レベルより高くに設定します。そして、上記のタイマ割り込みのベクタ値を、高速マイクロDMA起動ベクタレジスタ“DMA0V”に書き込みます。

(動作解説)

DRAMのデータバス幅が8ビットで、高速マイクロDMAがリードオンリーモード(4バイト)なので、1回の割り込みにつき、4回のリフレッシュが行われます。

「512 refresh / 8 ms」のDRAMを接続した場合、15.625 μ s / refreshなので、

$$15.625 \mu\text{s} \times 4 = 62.5 \mu\text{s}$$

以下ごとに、この高速マイクロDMAを起動させれば、DRAMのリフレッシュは、十分に行われることとなります。

(オーバーヘッド)

高速マイクロDMAの1回あたりの処理時間は、データバスが8ビットの場合、1.8 μ s (18ステート) です。(@ 20 MHz)

この例では、62.5 μ sごとに高速マイクロDMAが起動されるので、

$$1.8 \mu\text{s} \div 62.5 \mu\text{s} = 0.036$$

となり、2.9%のオーバーヘッドとなります。

(使用上の注意)

高速マイクロDMAは、割り込みのより起動するため、割り込みの受け付けが待たされるバス解放時 (BUSAK="0") などは、リフレッシュが行われませんので注意が必要です。

3.3.3 割り込みコントローラの制御

図3.3.3 (1)に、割り込み回路のブロック図を示します。この図の左半分は、割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホールド解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計20チャンネル)に、割り込み要求用フリップフロップ、割り込み優先順位設定レジスタ、高速マイクロDMA起動ベクタ格納レジスタを持っています。割り込み要求用フリップフロップは、周辺からの割り込み要求をラッチするためのものです。このフリップフロップはリセット動作、または割り込みがCPUに受け付けられて、その割り込みチャンネルのベクタがCPUにリードされたとき、または、そのチャンネルの割り込みをクリアする命令(割り込み優先順位設定レジスタ中のクリアビットに“0”をライト)を実行したとき、“0”にクリアされます。

例えば、INT0割り込み要求をクリアしたい場合には、DI命令後に、下記のようにレジスタを設定します。

```
INTE0AD ← ---- 0 --- INT0 F/Fをゼロクリア
```

また、このクリアビットを読むと、割り込み要求フリップフロップの状態が読み出され、各割り込みチャンネルごとの、割り込み要求の有無がわかります。

割り込みの優先順位は、各割り込み要因ごとに準備されている、割り込み優先順位設定レジスタ(INTE0AD, INTE45, ……など)にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは1から6までの6レベルです。書き込む優先順位値を“0”(または“7”)にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクブル割り込み(NMI端子、ウォッチドッグタイマ)の優先順位値は“7”に固定されます。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの、換言すればベクタの小さいもの)に従い、割り込みを受け付けます。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込み要求と、そのベクタアドレスをCPUへ送ります。CPUは、ステータスレジスタ(SR)に設定された優先順位値<IFF2~0>と、送られてきた優先順位値付要求信号を比較し、要求信号のレベルが高ければ、割り込みを受け付けます。そして、CPU側のSR<IFF2~0>に、受け付けた優先順位値プラス“1”の値をセットし、このセットされた値以上の割り込み要求だけが、多重に受け付けられる割り込みソースとなります。割り込み処理の終了(RETI命令の実行)により、CPU側のSR<IFF2~0>には、スタックに退避されていた、割り込み発生以前の優先順位値が、リストアされます。

割り込みコントローラには、高速マイクロDMAの起動ベクタを格納するレジスタ(4チャンネル)も、準備されています。このレジスタはI/Oレジスタですので、他の高速マイクロDMA用レジスタ(DMAS, DMAD, DMAM, DMAC)と異なり、ノーマル/システム、どちらのモードからでも、アクセスできます。この4チャンネルのレジスタに、高速マイクロDMA処理を行いたい割り込みソースの、起動ベクタ(表3.3 (1)参照)を書き込むことにより、該当する割り込み処理が、高速マイクロDMA処理となります。当然のことですが、高速マイクロDMA処理の前に、高速マイクロDMAパラメータ用レジスタ(DMAS, DMADなど)に、値を設定しておく必要があります。

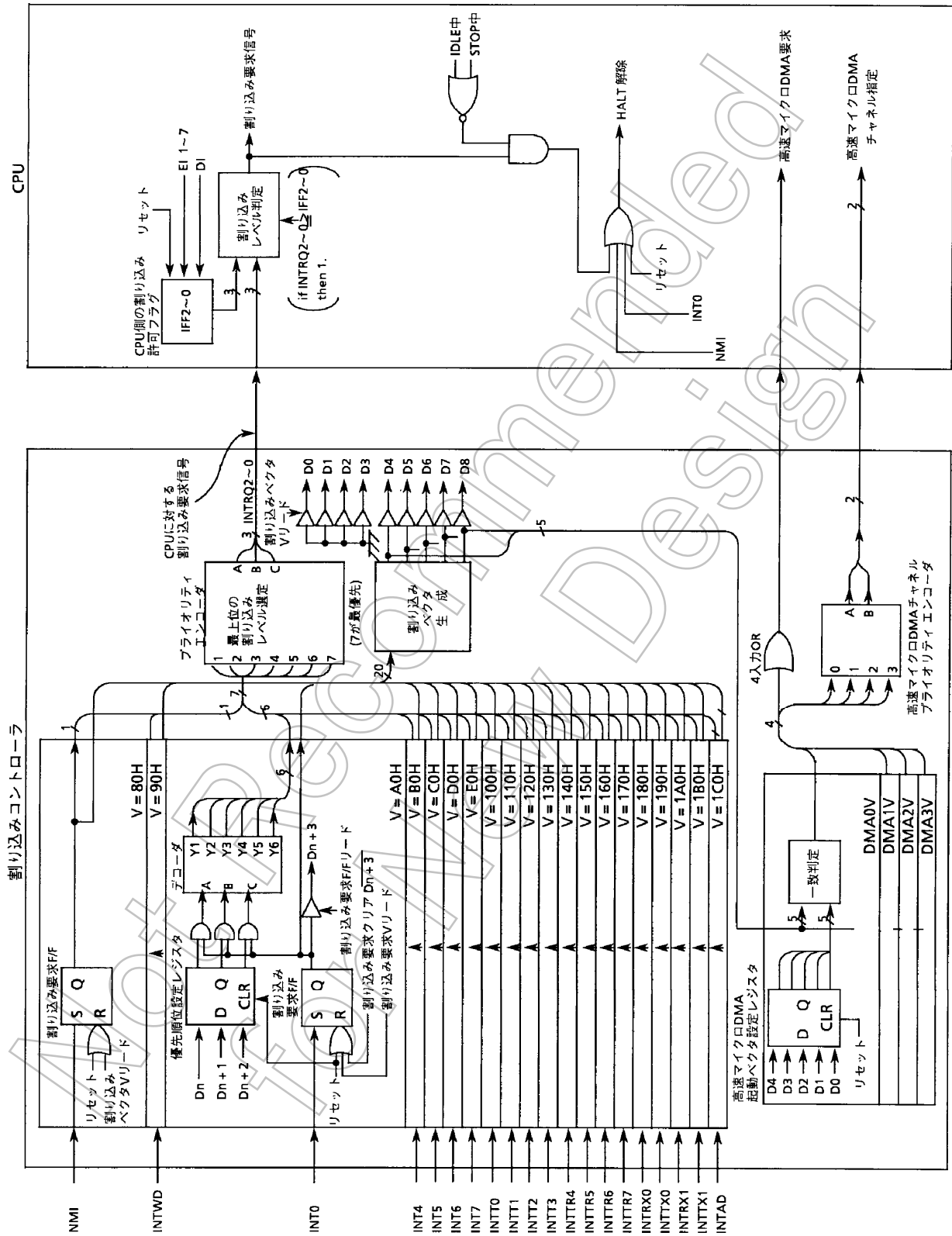


図3.3.3 (1) 割り込みコントローラブロック図

(1) 割り込み優先順位設定レジスタ

(リードモディファイライトは
できません。)

記号	アドレス	7	6	5	4	3	2	1	0
INTE0AD	0070H	INTAD				INT0			
		IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE45	0071H	INT5				INT4			
		I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE67	0072H	INT7				INT6			
		I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE10	0073H	INTT1 (タイマ1)				INTT0 (タイマ0)			
		IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTEPW10	0074H	INTT3 (タイマ3/PWM1)				INTT2 (タイマ2/PWM0)			
		IPW1C	IPW1M2	IPW1M1	IPW1M0	IPW0C	IPW0M2	IPW0M1	IPW0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE54	0075H	INTTR5 (TREG5)				INTTR4 (TREG4)			
		IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE76	0076H	INTTR7 (TREG7)				INTTR6 (TREG6)			
		IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE50	0077H	INTTX0				INTRX0			
		ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE51	0078H	INTTX1				INTRX1			
		ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	

←割り込みソース
←bit Symbol
←Read/Write
←リセット後

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、“1”にします。
0	1	0	割り込み要求レベルを、“2”にします。
0	1	1	割り込み要求レベルを、“3”にします。
1	0	0	割り込み要求レベルを、“4”にします。
1	0	1	割り込み要求レベルを、“5”にします。
1	1	0	割り込み要求レベルを、“6”にします。
1	1	1	割り込み要求を、禁止します。

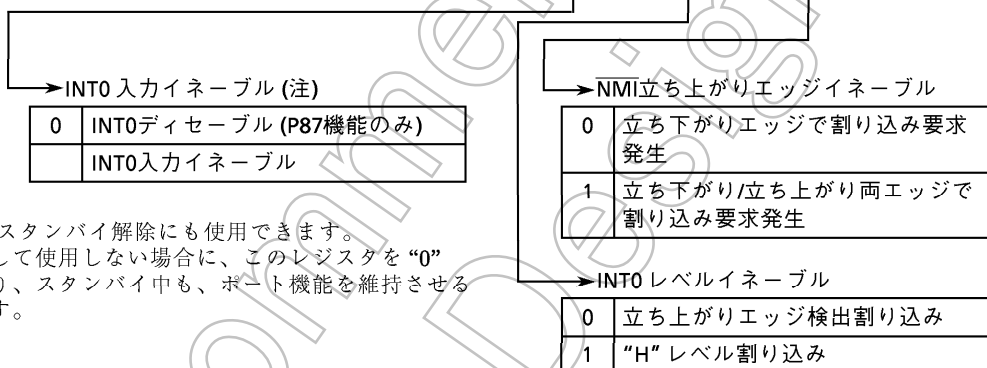
IxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

(2) 外部割り込みの制御

割り込み入力モードコントロールレジスタ

	7	6	5	4	3	2	1	0
IIMC (007BH)	/					IOIE	IOLE	NMIREE
Read/Write						W	W	W
リセット後						0	0	0
機能						1: INTO 入力 イネーブル	0: INTO エッジ モード 1: INTO レベル モード	1: NMI 立ち上がり エッジ でも動作

リードモディファイ
ライトは
できません。



注) INTO端子は、後述のスタンバイ解除にも使用できます。
スタンバイ解除用として使用しない場合に、このレジスタを“0”
にしておくことにより、スタンバイ中も、ポート機能を維持させる
ことが可能となります。

外部割り込み端子の機能設定

割り込み	兼用端子	モード	設定方法
NMI	—	立ち下がりエッジ	IIMC<NMIREE> = 0
		立ち下がり/立ち上がり 両エッジ	IIMC<NMIREE> = 1
INT0	P87	立ち上がりエッジ	IIMC<IOLE> = 0, <IOIE> = 1
		レベル	IIMC<IOLE> = 1, <IOIE> = 1
INT4	P80	立ち上がりエッジ	T4MOD<CAP12M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T4MOD<CAP12M1, 0> = 1, 0
INT5	P81	立ち上がりエッジ	—
INT6	P84	立ち上がりエッジ	T5MOD<CAP34M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T5MOD<CAP34M1, 0> = 1, 0
INT7	P85	立ち上がりエッジ	—

(3) 高速マイクロDMA起動ベクタ

CPUが割り込みを受け付けて、割り込みベクタをリードするとき、同時に、その割り込みベクタと各チャンネルの高速マイクロDMA起動ベクタの比較(ビット4~8のみ)が行われます。両者が一致した場合、その割り込み処理は一致したチャンネルの高速マイクロDMAモードになります。

なお、2チャンネル以上の高速マイクロDMA起動ベクタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

マイクロDMA0起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA0V (007CH)	bit Symbol				DMA0V8	DMA0V7	DMA0V6	DMA0V5	DMA0V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャンネル0の処理							

マイクロDMA1起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA1V (007DH)	bit Symbol				DMA1V8	DMA1V7	DMA1V6	DMA1V5	DMA1V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャンネル1の処理							

マイクロDMA2起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA2V (007EH)	bit Symbol				DMA2V8	DMA2V7	DMA2V6	DMA2V5	DMA2V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャンネル2の処理							

マイクロDMA3起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA3V (007FH)	bit Symbol				DMA3V8	DMA3V7	DMA3V6	DMA3V5	DMA3V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャンネル3の処理							

(4) 注意事項

本CPUは、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPUが割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令を実行するということがあります。この場合、CPUはデフォルトベクタ“00A0H”を読み込み、80A0H番地から、割り込み処理を始めます。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI命令の後にクリアする命令を置くようにしてください。

さらに、以下の3点は例外の回路になっていますので注意が必要です。

INT0のレベルモード	<p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップのS入力を素通りし、Q出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INT0を“0”から“1”にすることによって、CPUが割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまでINT0を“1”のままにしておく必要があります。また、INT0のレベルモードをHALTの解除に使用する場合も一度“0”から“1”にしたら、HALTが解除されるまでかならず“1”に保持しておく必要があります(ノイズによって途中で“0”が入ることがないようにしてください)。</p> <p>レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。</p> <pre>DI LD (IMC), 00H ; レベルからエッジへ切り替える LD (INTE0AD), 00H ; 割り込み要求フラグをクリア EI</pre>
INTAD	割り込み要求用フリップフロップのクリアは、リセット動作または、A/D変換値格納レジスタのリード動作だけで、命令によるクリアはできません。
INTRX	割り込み要求用フリップフロップのクリアは、リセット動作または、シリアルチャネルの受信バッファのリード動作だけで、命令によるクリアはできません。

(注) 下記命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

- INT0 : エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
レベルモードでの割り込み要求発生後の端子入力変化(“H”レベル→“L”レベル)
- INTAD : A/D変換値格納レジスタリードする命令
- INTRX : 受信バッファをリードする命令

3.4 スタンバイ機能

TMP96C141Bは、HALT命令を実行すると、ホールトモード設定レジスタの内容により、RUNモード、IDLEモード、STOPモードのいずれかになります。

- (1) RUN : CPUのみ停止するモードで、消費電力は動作時と変わりません。
- (2) IDLE : 内部発振器だけ動作し、他の回路はすべて停止します。
このモードでは、消費電力は動作時の1/10以下になります。
- (3) STOP : 内部発振器も含めて、すべての内部回路が停止します。
このモードでは、消費電力は著しく低減されます。

また、STOPモードになったときのポート端子の状態は、I/OレジスタのWDMOD <DRVE> ビットにより、表3.4(1)のように設定できます。

	7	6	5	4	3	2	1	0
WDMOD (005CH)	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
Read/Write	R/W							
リセット後	1	0	0	0	0	0	0	0
機能	1: WDT Enable	00: 2 ¹⁶ /fc 01: 2 ¹⁸ /fc 10: 2 ²⁰ /fc 11: 2 ²² /fc	検 出 時 間	Warming up時間 0: 2 ¹⁴ /fc 1: 2 ¹⁶ /fc	スタンバイモード 00: RUN mode 01: STOP mode 10: IDLE mode 11: Don't care	mode	1: ウォッ チドッグタ イマの出力 を内部で RESET端子 へ接続。	1: STOP モード中 も端子を ドライブ します。

なお、STOPモードをリセット以外で解除したときは、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後に、システムクロックの出力を開始します(外部発振器の場合でも同様)。リセットで解除する場合には、発振安定時間を満足するだけの十分なリセット時間が必要です。

スタンバイの解除は、リセットまたは割り込みによって行われます。なお、IDLEモードまたはSTOPモードの解除は、NMI端子またはINT0端子による割り込みとリセットに限られています。下記に、その詳細を示します。

- 注) 通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間(X1約3クロックの間)に、ホールトモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールトが解除できない場合があります(割り込み要求は内部に保留されます)。
ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

割り込みによるスタンバイの解除

割り込みレベル スタンバイモード	割り込みマスク (IFF2~0) ≤ 割り込み要求レベル	割り込みマスク (IFF2~0) > 割り込み要求レベル
RUN	すべての割り込みで可能。 スタンバイ解除後、 割り込み処理を開始。(注1)	INT0端子のみ、スタンバイ 解除し、HALT命令の次の番 地から処理を再開する。
IDLE	NMI端子とINT0端子のみ。 スタンバイ解除後、割り込 み処理を開始。(注1)	↑
STOP	↑ (注1)	↑

(注1) INT0がレベル入力モードで、INT0を“H”レベルにすることにより、スタンバイを解除するときは、割り込み処理が開始されるまで“H”レベルを保持してください。それ以前で、“L”レベルにした場合、正しい割り込み処理を開始することができません。

表3.4 (1) STOPモード時の端子状態

ピン名称	入力 / 出力	96C141B		96CM40 / 96PM40	
		DRVE = 0	DRVE = 1	DRVE = 0	DRVE = 1
P0 (AD0~AD7)	入力モード / AD0~7 出力モード	- x	- x	- -	- 出力
P1 (AD8~AD15)	入力モード / AD8~15 出力モード / A8~15	- x	- x	- -	- 出力
P2	入力モード 出力モード / A0~7, A16~23	PD* PD*	PD* 出力	PD* PD*	PD* 出力
P30 (\overline{RD}), P31 (\overline{WR})	出力	-	"1"出力	-	出力
P32~P37	入力モード 出力モード	PU PU	PU 出力	同 左	
P40, P41	入力モード 出力モード	PU* PU*	PU 出力		
P42 ($\overline{CS2}$ / $\overline{CAS2}$)	入力モード 出力モード	PD* PD*	PD 出力		
P5	入力	-	-		
P6	入力モード 出力モード	PU* PU*	PU 出力		
P7	入力モード 出力モード	PU* PU*	PU 出力		
P80~P86	入力モード 出力モード	PU* PU*	PU 出力		
P87 (INT0)	入力モード 出力モード	PU PU	PU 出力		
P9	入力モード 出力モード	PU* PU*	PU 出力		
\overline{NMI}	入力	入力	入力		
\overline{WDOUT}	出力	出力	出力		
ALE	出力	"0"	"0"		
CLK	出力	-	"1"		
\overline{RESET}	入力	入力	入力		
\overline{EA}	入力	入力	入力		
X1	入力	-	-		
X2	出力	"1"	"1"		

- : 入力モード / 入力ピンは、入力が無効になり、出力モード / 出力ピンは、ハイインピーダンスになることを、示しています。

入力: 入力イネーブル状態になっています。

出力: 出力状態になっています。

PU : プログラマブル Pull-upピンです。Pull-upなしの設定のときには入力ゲートが働いていますので、貫通電流防止のためピンを固定する必要があります。

PD : プログラマブル Pull-downピンです。Pull-upと同様に Pull-downなしのときにはピンを固定してください。

* : 入力ゲートはディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

x : 設定不能

注) プログラマブルプルアップ/ダウンの制御はポートレジスタで行います。ただし、出力ファンクション (TO1など) と兼用ピンでそのファンクションに設定されているピンは、プルアップ/ダウン有無の選択が出力ファンクションのデータに依存します。なお、入力ファンクションとの兼用ピンは、ポートレジスタの設定値だけでプルアップ/ダウン抵抗を付加するか否かが選択されます。

3.5 ポート機能

TMP96C141B/TMP96C041Bには、合計47ビットの入出力ポートがあります。

また、これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表3.5に各ポート端子の機能を示します。

表3.5 ポート機能

(R: ↑ = プログラマブルプルアップ抵抗付,
↓ = プログラマブルプルダウン抵抗付)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート2	P20~P27	8	入出力	↓	ビット	A0~A7/A16~A23
ポート3	P32	1	入出力	↑	ビット	HWR
	P33	1	入出力	↑	ビット	WAIT
	P34	1	入出力	↑	ビット	BUSRQ
	P35	1	入出力	↑	ビット	BUSAK
	P36	1	入出力	↑	ビット	R/W
	P37	1	入出力	↑	ビット	RAS
ポート4	P40	1	入出力	↑	ビット	CS0/CAS0
	P41	1	入出力	↑	ビット	CS1/CAS1
	P42	1	入出力	↓	ビット	CS2/CAS2
ポート5	P50~P53	4	入力	-	(固定)	AN0~AN3
ポート6	P60~P67	8	入出力	↑	ビット	PG00~PG03, PG10~PG13
ポート7	P70	1	入出力	↑	ビット	T10
	P71	1	入出力	↑	ビット	TO1
	P72	1	入出力	↑	ビット	TO2
	P73	1	入出力	↑	ビット	TO3
ポート8	P80	1	入出力	↑	ビット	T14/INT4
	P81	1	入出力	↑	ビット	T15/INT5
	P82	1	入出力	↑	ビット	TO4
	P83	1	入出力	↑	ビット	TO5
	P84	1	入出力	↑	ビット	T16/INT6
	P85	1	入出力	↑	ビット	T17/INT7
	P86	1	入出力	↑	ビット	TO6
	P87	1	入出力	↑	ビット	INT0
	ポート9	P90	1	入出力	↑	ビット
P91		1	入出力	↑	ビット	RXD0
P92		1	入出力	↑	ビット	CTS0/SCLK0
P93		1	入出力	↑	ビット	TXD1
P94		1	入出力	↑	ビット	RXD1
P95		1	入出力	↑	ビット	SCLK1

I/Oポート設定一覧表

X : don't care

ポート	端子名	仕様	I/Oレジスタ設定値			
			Pn	PnCR	PnFC	
ポート2	P2 (0 : 7)	入力ポート (プルダウン無)	1	0	なし	
		入力ポート (プルダウン有)	0	0		
		出力ポート	x	1		
		A (0 : 7) 出力	1	0		
		A (16 : 23) 出力	1	1		
ポート3	P3 (2 : 7)	入力ポート (プルアップ無)	0	0	なし	
		入力ポート (プルアップ有)	1	0		
		出力ポート	x	1		
	P32	HWR出力	x	1		1
	P33	WAIT入力 (プルアップ無)	0	0		なし
		WAIT入力 (プルアップ有)	1	0		
	P34	BUSRQ入力 (プルアップ無)	0	0		1
		BUSRQ入力 (プルアップ有)	1	0		1
	P35	BUSAK出力	x	1		1
	P36	R/W出力	x	1		1
	P37	RAS出力	x	1		1
ポート4	P4 (0 : 1)	入力ポート (プルアップ無)	0	0	なし	
		入力ポート (プルアップ有)	1	0		
		出力ポート	x	1		
	P42	入力ポート (プルダウン無)	1	0		なし
		入力ポート (プルダウン有)	0	0		
		出力ポート	x	1		
	P40	CS0出力 (注1)	x	1		1
	P41	CS1出力 (注1)	x	1		1
	P42	CS2出力 (注1)	x	1		1
	ポート5	P5 (0 : 3)	入力ポート	x		なし
AN (0 : 3) 入力 (注2)			x	なし		
ポート6	P6 (0 : 7)	入力ポート (プルアップ無)	0	0	0	
		入力ポート (プルアップ有)	1	0	0	
		出力ポート	x	1	0	
		PGn出力	x	1	1	
ポート7	P7 (0 : 3)	入力ポート (プルアップ無)	0	0	なし	
		入力ポート (プルアップ有)	1	0		
		出力ポート	x	1		
	P70	TIO入力 (プルアップ無)	0	0		なし
		TIO入力 (プルアップ有)	1	0		
	P71	TO1出力	x	1		1
	P72	TO2出力	x	1		1
P73	TO3出力	x	1	1		

(注1) P40~42端子よりCS0~CS2, CAS0~CAS2のどちらを出力するかは、CS/WAITコントロールレジスタBnCS<BnCAS>で設定します。

(注2) P5 (0 : 3) をA/Dコンバータの入力チャンネルとして使用する場合のチャンネル選択はADMOD<ADCHn>で設定します。

ポート	端子名	仕様	I/Oレジスタ設定値		
			Pn	PnCR	PnFC
ポート8	P8 (0 : 7)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P80	TI4/INT4入力 (プルアップ無)	0	0	なし
		TI4/INT4入力 (プルアップ有)	1	0	
	P81	TI5/INT5入力 (プルアップ無)	0	0	なし
		TI5/INT5入力 (プルアップ有)	1	0	
	P84	TI6/INT6入力 (プルアップ無)	0	0	なし
		TI6/INT6入力 (プルアップ有)	1	0	
	P85	TI7/INT7入力 (プルアップ無)	0	0	なし
		TI7/INT7入力 (プルアップ有)	1	0	
	P82	TO4出力	×	1	1
	P83	TO5出力	×	1	1
	P86	TO6出力	×	1	1
	P87 (注3)	INT0入力 (プルアップ無)	0	0	なし
		INT0入力 (プルアップ有)	1	0	
ポート9	P9 (0 : 5)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P90	TXD0出力	×	1	1
	P93	TXD1出力	×	1	1
	P91	RXD0入力 (プルアップ無)	0	0	なし
		RXD0入力 (プルアップ有)	1	0	
	P94	RXD1入力 (プルアップ無)	0	0	なし
		RXD1入力 (プルアップ有)	1	0	
	P92	SCLK0出力	×	1	1
		CTS0/SCLK0入力 (プルアップ無)	0	0	0
		CTS0/SCLK0入力 (プルアップ有)	1	0	0
	P95	SCLK1出力	×	1	1
		SCLK1入力 (プルアップ無)	0	0	0
		SCLK1入力 (プルアップ有)	1	0	0

(注3) P87端子をINT0として使用する場合は、IIMCレジスタにて割り込み入力許可の設定をします。

リセット動作により、これらのポート端子は汎用入出力ポートとなります。
 なお、入力と出力がプログラマブルな入出力端子は、入力ポートとなります。
 内蔵機能用にポート端子を使うときは、プログラムによる設定が必要です。

バス解放機能

TMP96C141Bでは、バス解放時のバスコントロール信号を確定させるためのプルアップ/プルダウン抵抗を内蔵しています。

表3.5 (1) にバス解放時 ($\overline{\text{BUSAK}}=0$) の端子状態を示します。

表3.5 (1) バス解放時の端子状態

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
AD0-AD7 AD8-AD15	————	ハイインピーダンスになります。
$\overline{\text{RD}}$ $\overline{\text{WR}}$	————	ハイインピーダンスになります。 (一度Highにしてから)
P32 (HWR) P37 (RAS)	状態は変化しません。 (ハイインピーダンスになりません。)	出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルアップが付加されます。 (一度Highにしてから)
P36 (R/W) P40 ($\overline{\text{CS0/CAS0}}$) P41 ($\overline{\text{CS1/CAS1}}$)	状態は変化しません。 (ハイインピーダンスになりません。)	出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルアップが付加されます。 (一度Highにしてから)
P42 ($\overline{\text{CS2/CAS2}}$)	状態は変化しません。 (ハイインピーダンスになりません。)	出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルアップ(*)が付加されます。 (一度Highにしてから)
P20-P27 (A16-23)	状態は変化しません。 (ハイインピーダンスになりません。)	出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルダウンが付加されます。 (一度全ビットLowにしてから)

(*) : P42には、プログラマブルプルダウン抵抗しか付加されていませんが、バス解放時のみプルアップ抵抗が付加されます。

従って、バス解放機能使用時、外部にプルアップ/ダウン抵抗の付加が必要な端子は、

AD0~7

AD8~15

RD

WR

となります。図3.5 にバス解放機能使用時の外部バスインタフェース例を示します。

なお、バス解放状態では、本デバイスの内蔵メモリおよび内蔵I/Oはアクセスできませんが内蔵I/Oとしてのファンクションは機能し続けます。従って、ウォッチドッグタイマはカウントし続けますので、バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。

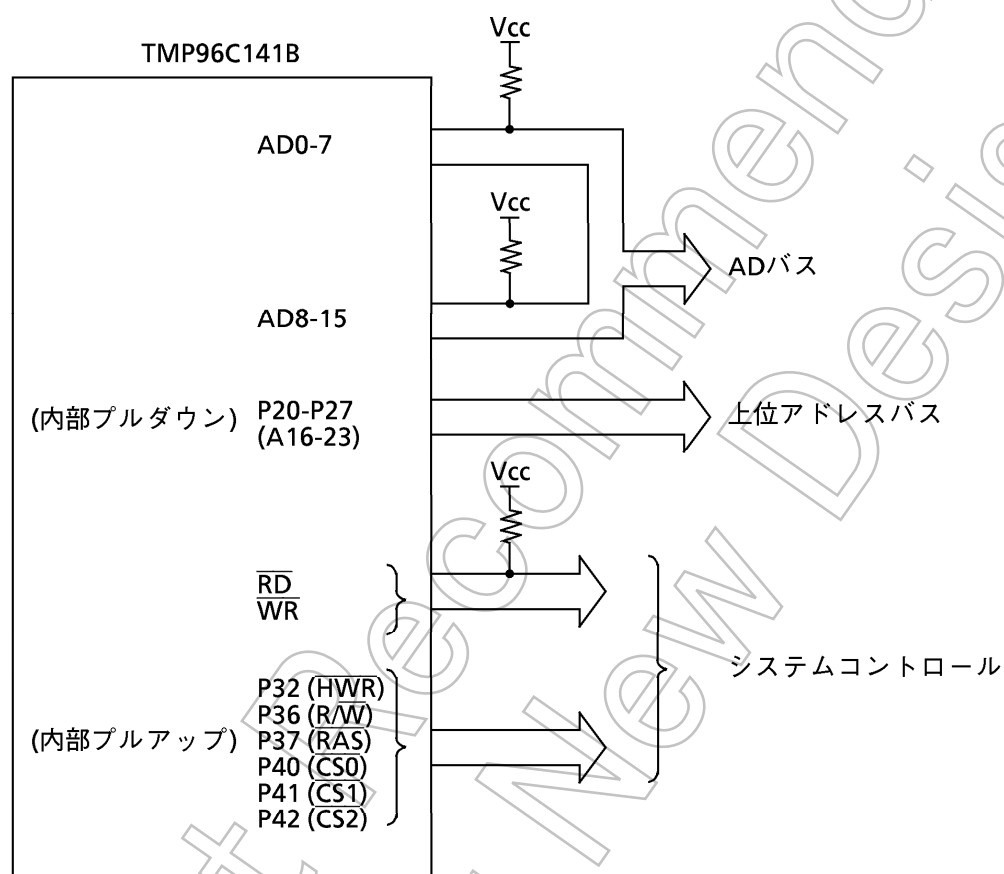


図 3.5 バス解放機能使用時の外部バスインタフェース例

3.5.1 ポート2 (P20~P27)

ポート2は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP2CRと、ファンクションレジスタP2FCによって行います。リセット動作により、出力ラッチP2の全ビットと、コントロールレジスタP2CRとファンクションレジスタP2FC、の全ビットは“0”にリセットされ、ポート2はプルダウン抵抗付きの入力モードになります。

汎用入出力ポート以外に、アドレスバス(A0~7)機能とアドレスバス(A16~23)機能があります。アドレスバスに設定するときは、P2CR, P2FCの順に設定してください。

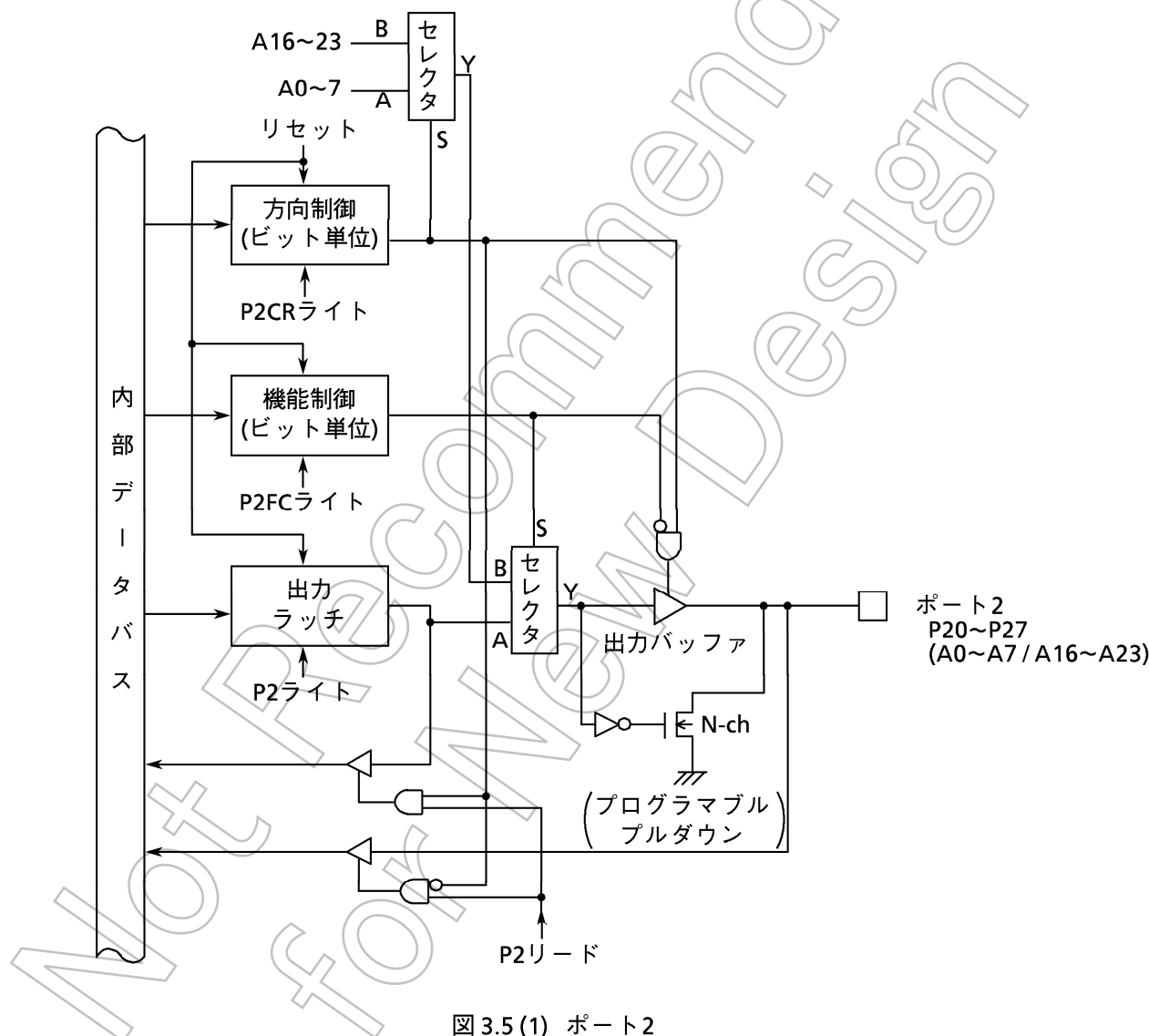


図 3.5 (1) ポート2

ポート2レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							

P2
(0006H)

ポート2コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	<<P2FCの欄を参照>>							

P2CR
(0008H)

ポート2ファンクションレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	P2FC / P2CR = 00 : IN, 01 : OUT, 10 : A7-0, 11 : A23-16							

P2FC
(0009H)

P2CR, P2FCは
リードモディファイライト
できません。
ポート2を入力として使用し
た場合のプルダウンはP2レ
ジスタにて制御しますが、
その際にはリードモディ
ファイライト命令は使用で
きません。

ポート2の機能設定

	P2FC<P2XF>	0	1
P2CR <P2XC>	0	入力ポート	アドレスバス (A7-0)
	1	出力ポート	アドレスバス (A23-16)

注) <P2XF>/<P2XC>はそれぞれレジスタP2FC/P2CRのビットXです。
アドレスバスに設定するときは、P2CR, P2FCの順に設定してくださ
い。

図 3.5 (2) ポート2関係のレジスタ

3.5.2 ポート3 (P32~P37)

ポート3は、ビット単位で入出力の設定ができる6ビットの汎用入出力ポートです。

入出力の指定は、コントロールレジスタP3CRとファンクションレジスタP3FCによって行います。リセット動作により、出力ラッチP3の全ビットは“1”にセットされ、コントロールレジスタP3CR(ビット0と1は未使用)とファンクションレジスタP3FC(ビット3は未使用)の全ビットは“0”にリセットされ、P32~P37はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外に、CPUのコントロール/ステータス信号の入出力機能があります。

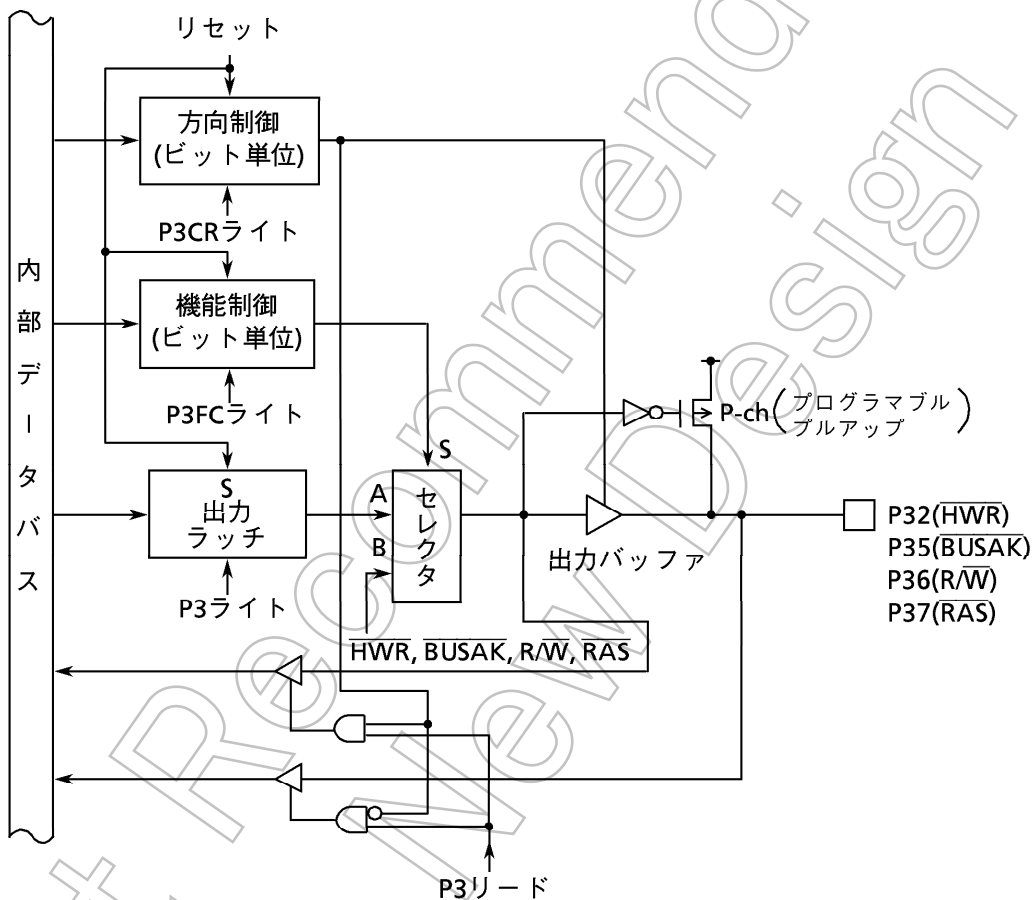


図 3.5 (3) ポート3 (P32, P35, P36, P37)

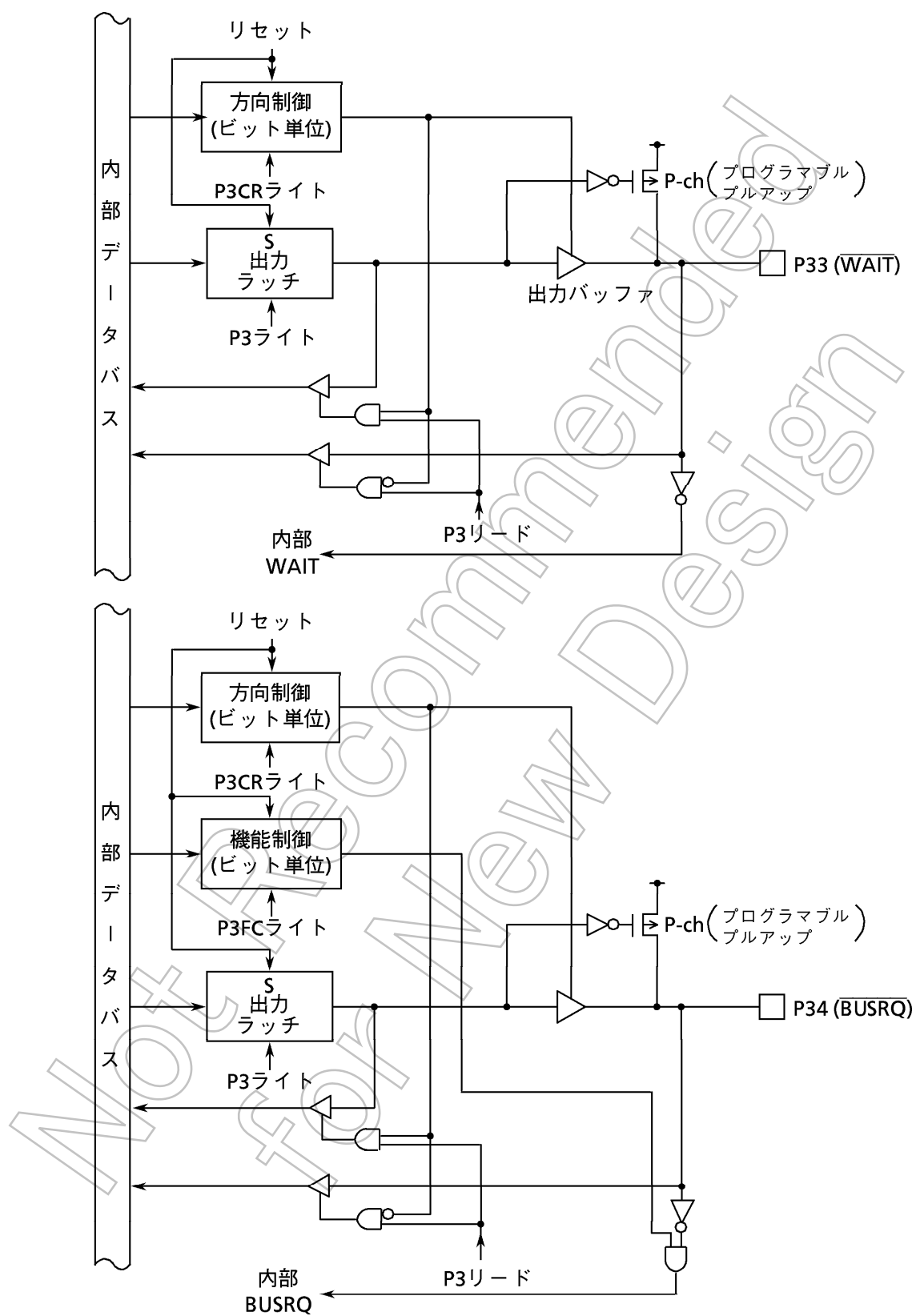
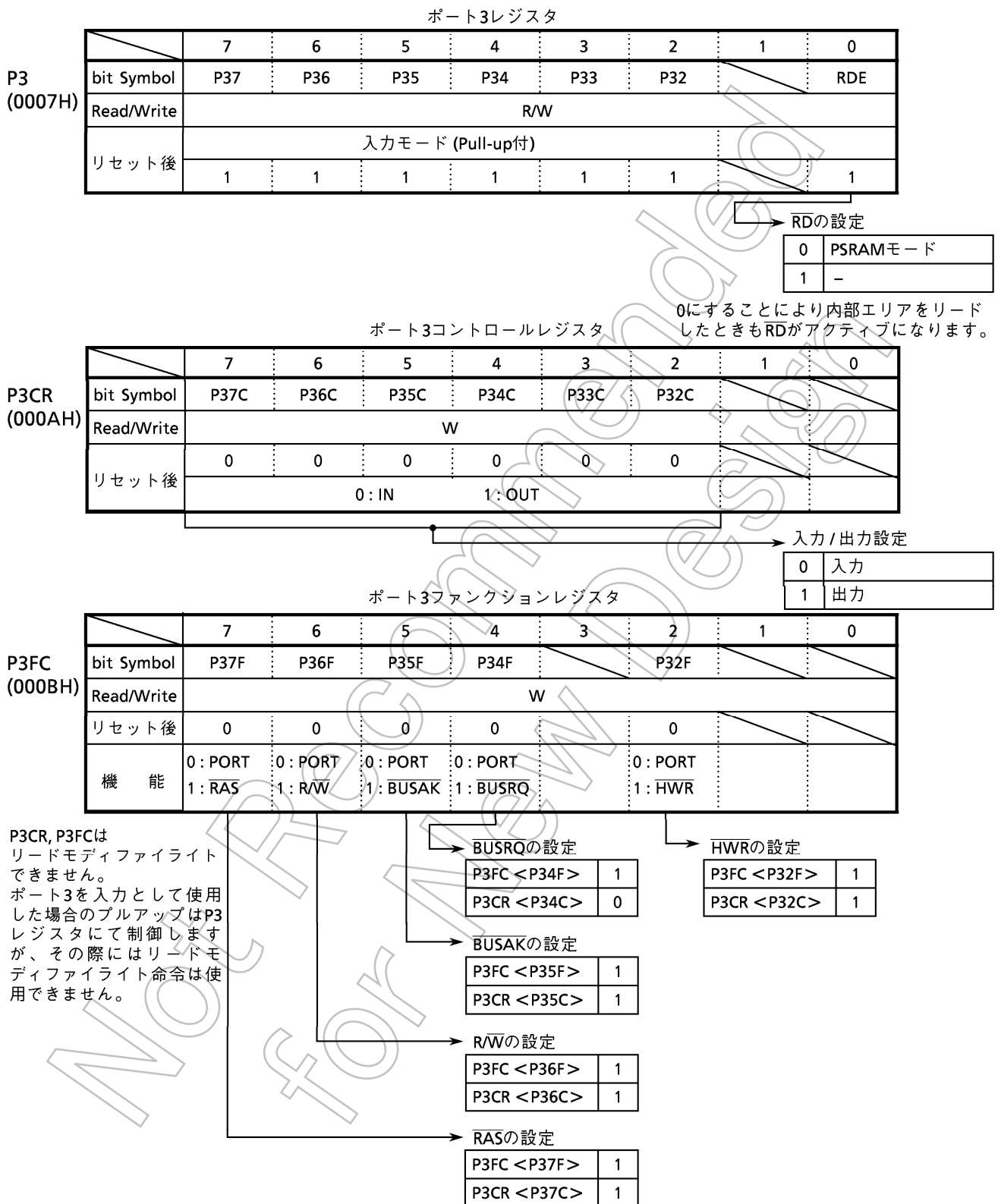


図 3.5 (4) ポート 3 (P33, P34)



注) P33/WAIT端子をWAIT端子として使用する場合は、P3CR<P33C>を“0”にチップセレクト/ウェイトコントロールレジスタのビット3,2<BxW1,0>を“10”に設定する必要があります。

図3.5 (5) ポート3関係のレジスタ

3.5.3 ポート4 (P40~P42)

ポート4は、ビット単位で入出力の設定ができる3ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP4CRとファンクションレジスタP4FCによって行います。リセット動作により、P40とP41の出力レジスタは“1”、P42の出力ラッチレジスタとコントロールレジスタP4CRとファンクションレジスタP4FCの全ビットは“0”にリセットされ、P40とP41はプルアップ抵抗付きの入力モード、P42はプルダウン抵抗付きの入力モードになります。

汎用入出力ポート機能以外に、チップセレクト信号出力機能 ($\overline{CS0}$ ~ $\overline{CS2}$ または $\overline{CAS0}$ ~ $\overline{CAS2}$) があります。

Not Recommended
for New Design

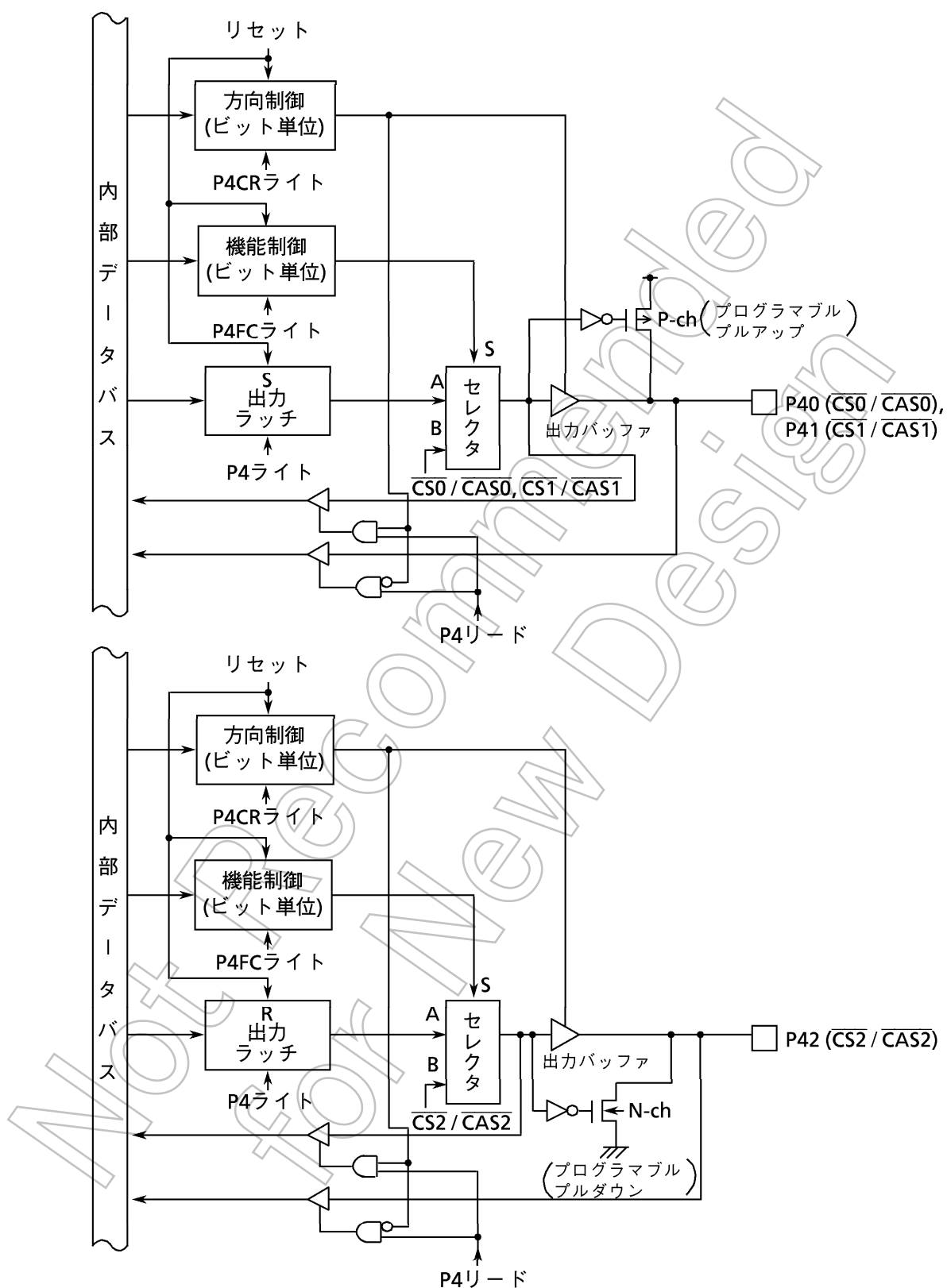
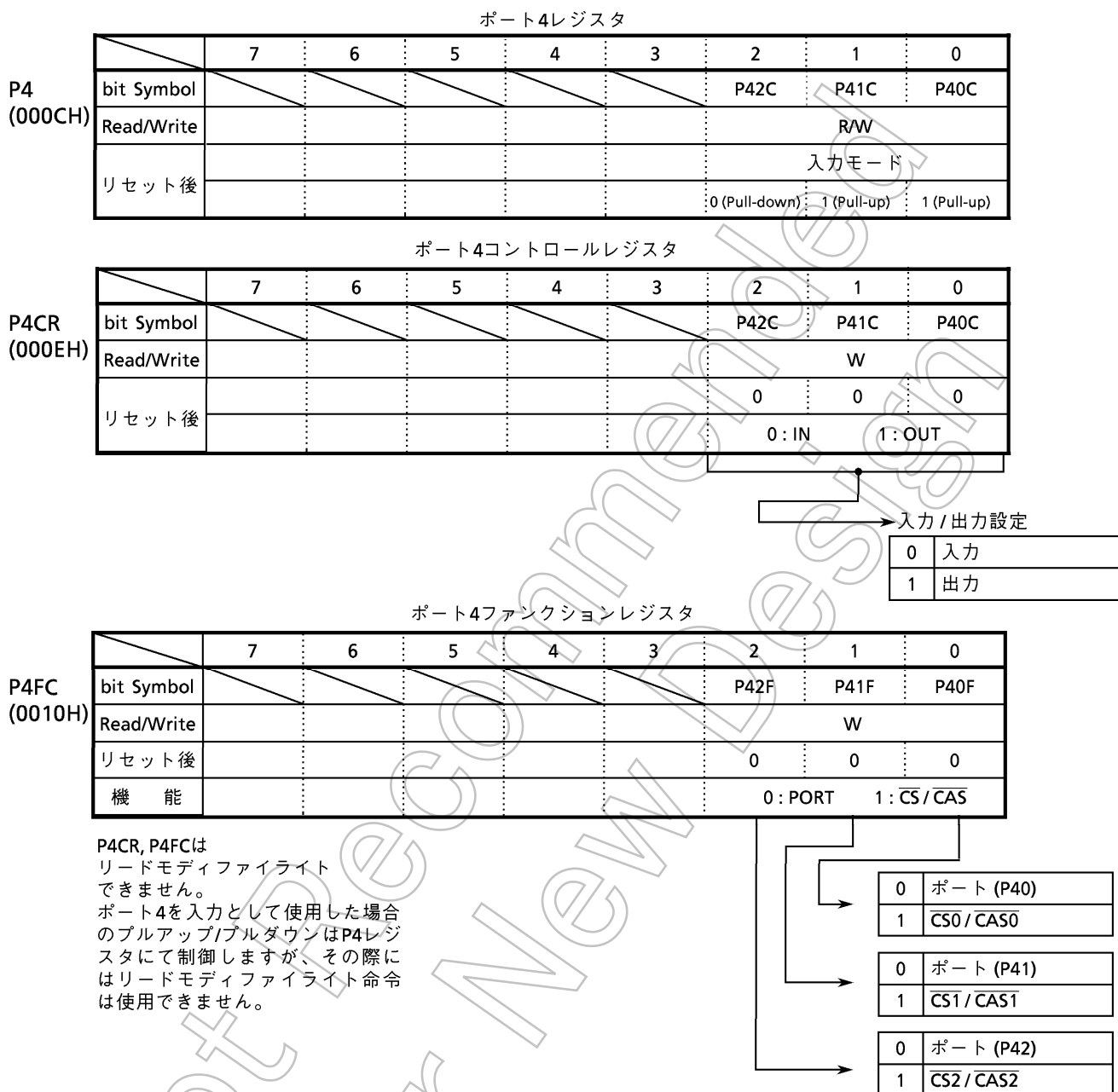


図 3.5 (6) ポート 4



注) チップセレクト信号 ($\overline{CS0}/\overline{CAS0} \sim \overline{CS2}/\overline{CAS2}$) を出力する場合は、コントロールレジスタ (P4CR) とファンクションレジスタ (P4FC) の双方の対応するビットを“1”にしてください。

また、 $\overline{CS}/\overline{CAS}$ の機能選択は、チップセレクト/ウェイトコントローラの (B0CS, B1CS, B2CS) レジスタで行います。

図3.5 (7) ポート4関係のレジスタ

3.5.4 ポート5 (P50~P53)

ポート5は、4ビットの入力専用ポートでアナログ入力端子と兼用になっています。

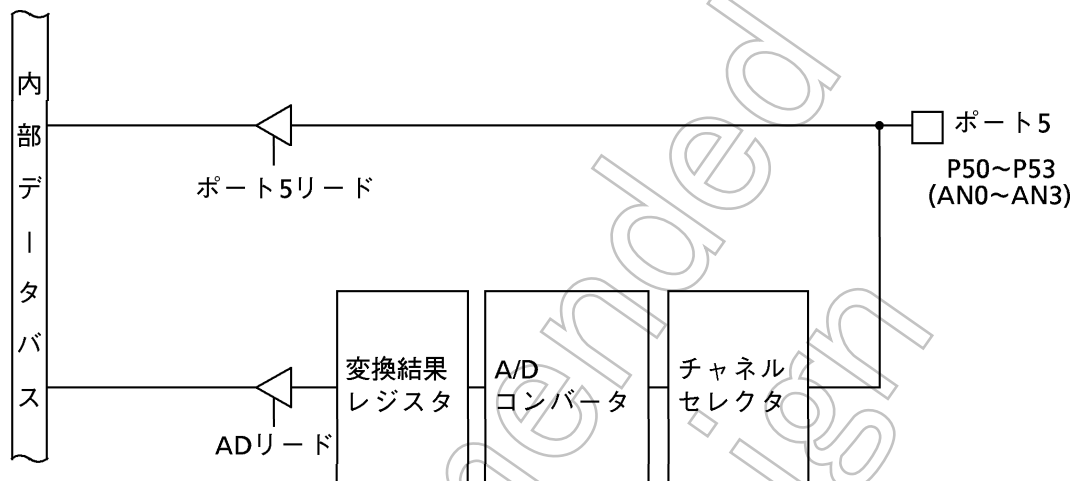


図3.5 (8) ポート5

ポート5レジスタ

	7	6	5	4	3	2	1	0
P5 (000DH)	/							
bit Symbol				P53		P52	P51	P50
Read/Write	R							
リセット後	入力モード							

注) A/Dコンバータの入力チャンネル選択は、A/DコンバータモードレジスタADMODにて設定します。

図 3.5 (9) ポート5関係のレジスタ

3.5.5 ポート6 (P60~P67)

ポート6はビット単位で入出力の指定ができる8ビットポートです。リセット動作により入力ポートとなり、プルアップされた状態となります。また、出力ラッチの全ビットは“1”へセットされます。入出力ポート機能以外にパターンジェネレートPG0,1出力機能があります。PG0はP60~63へ、PG1はP64~67へ割りつけられています。この機能は、ポート6ファンクションレジスタ (P6FC) の該当するビットへ“1”を書き込むことによりPG出力が可能となります。リセット動作により、ファンクションレジスタ (P6FC) の値は“0”にリセットされ、全ビットがポートとなります。

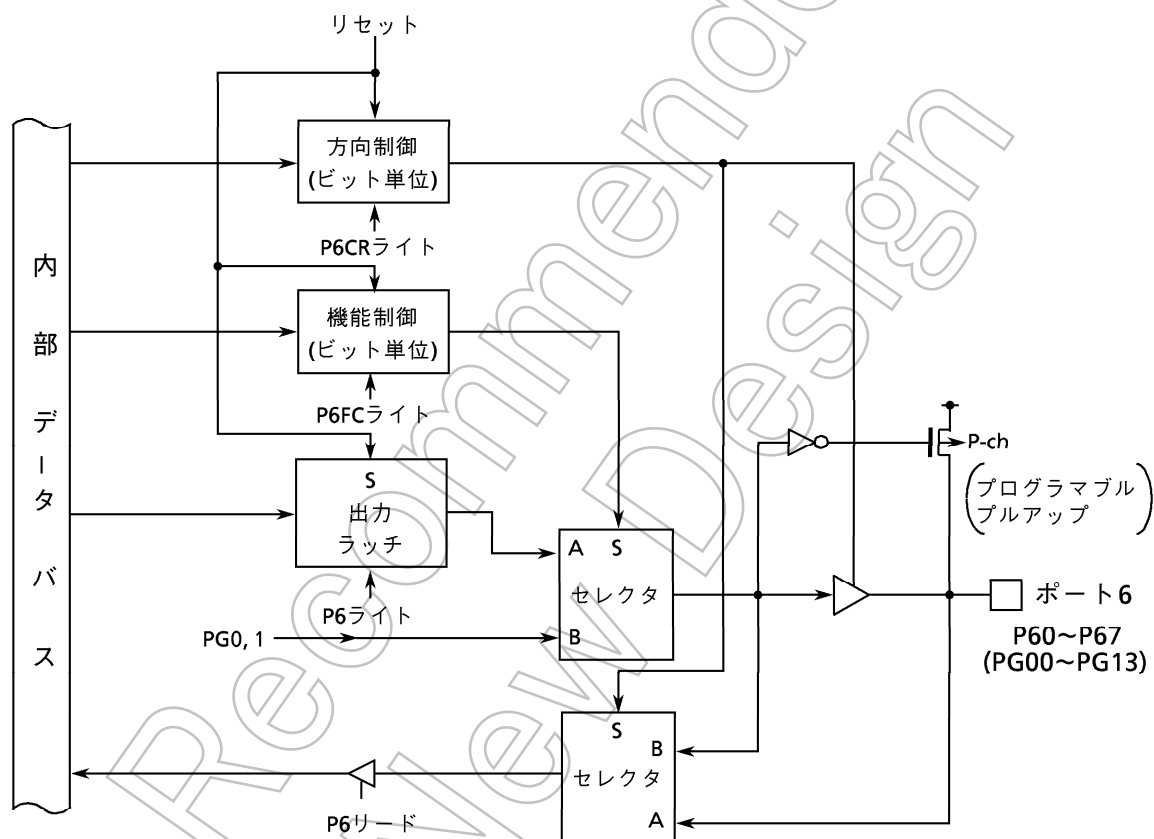


図 3.5 (10) ポート6

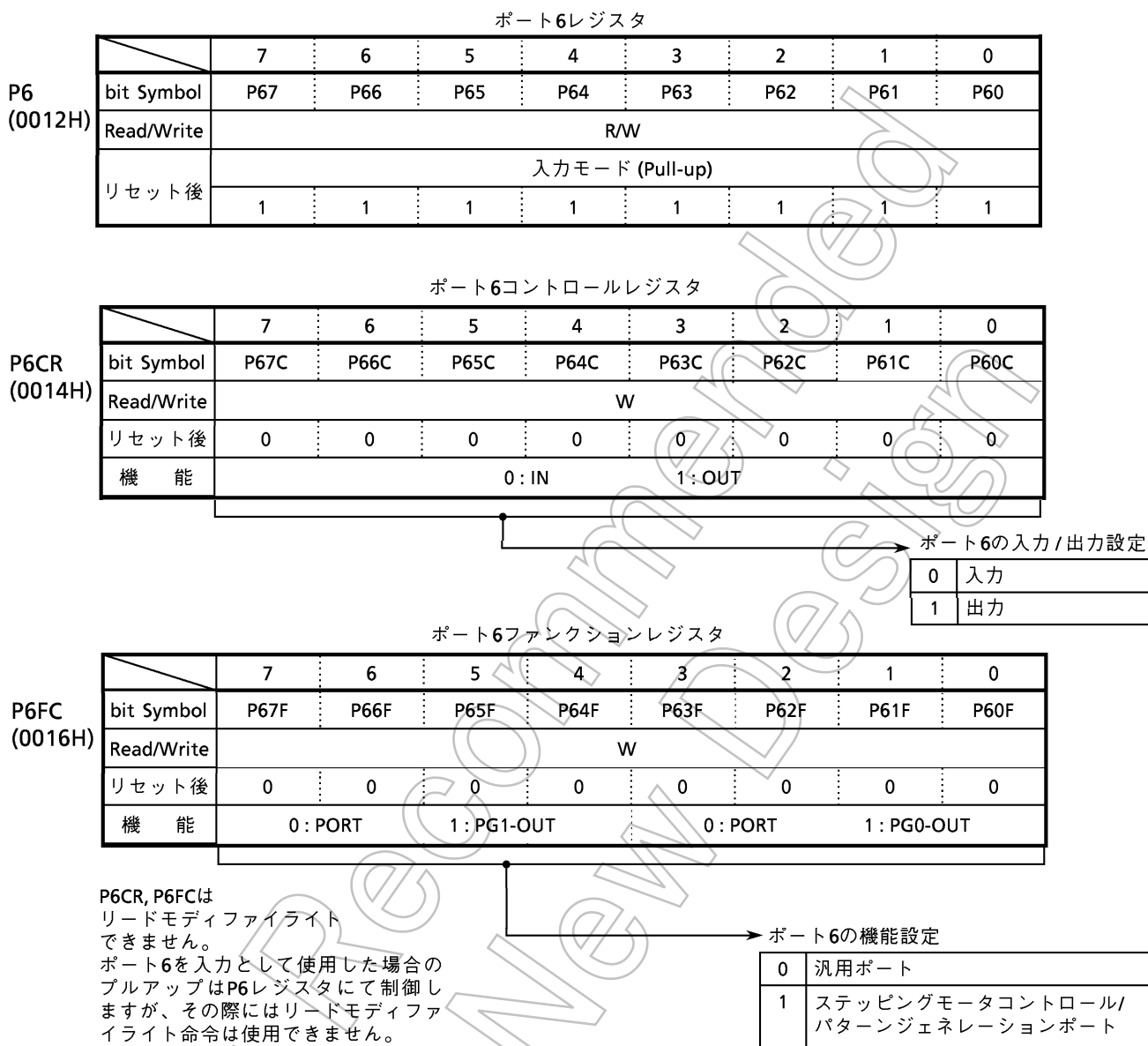


図3.5(11) ポート6関係のレジスタ

3.5.6 ポート7 (P70~P73)

ポート7はビット単位で入出力指定ができる4ビットの汎用入出力ポートです。リセット動作により入力ポートとなりプルアップされた状態となります。入出力ポート機能以外にポート70は8ビットタイマ0の入力クロック端子TIO、ポート71~73はそれぞれ8ビットタイマ出力(TO1)、PWM0出力(TO2)、PWM1出力(TO3)端子の機能を持っています。このタイマ出力機能はポート7ファンクションレジスタ(P7FC)の該当ビットへ“1”を書き込むことにより可能となります。リセット動作により、ファンクションレジスタ(P7FC)の値は“0”にリセットされ、全ビットがポートとなります。

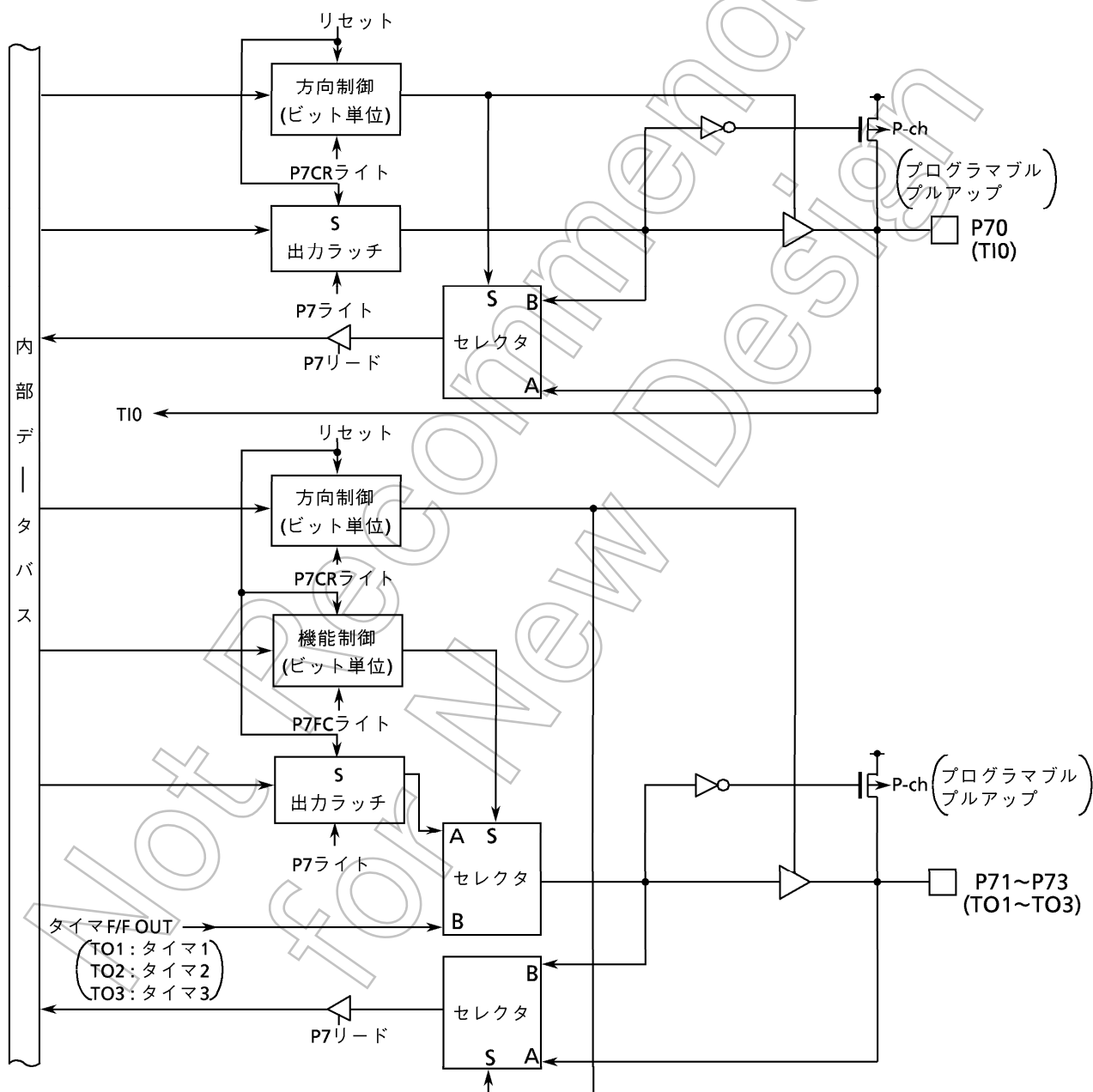
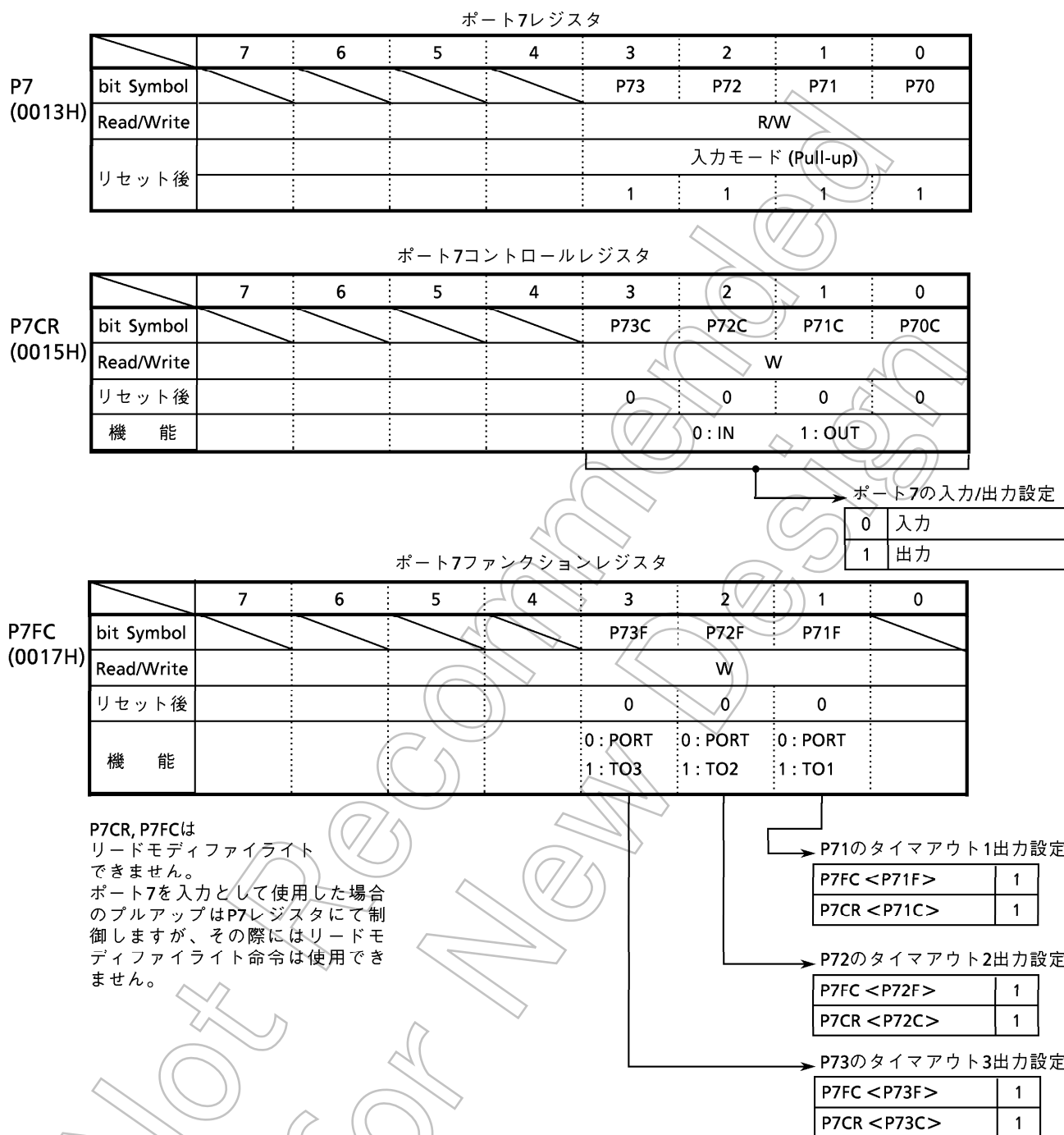


図3.5 (12) ポート7



注) P70/TIO端子は、ポート7ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもタイマ入力0として8ビットタイマ0へ入力されます。

図3.5 (13) ポート7関係のレジスタ

3.5.7 ポート8 (P80~P87)

ポート8はビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。リセット動作により入力ポートとなりプルアップされた状態になります。また、出力ラッチレジスタ (P8) の全ビットは“1”へセットされます。入出力ポート以外に、16ビットタイマ4,5のクロック入力、16ビットタイマF/F4, 5, 6の出力およびINT0入力機能があります。この機能はポート8ファンクションレジスタ (P8FC) の該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。リセット動作により、ファンクションレジスタ (P8FC) の値は“0”にリセットされ、全ビットがポートとなります。

(1) P80~P86

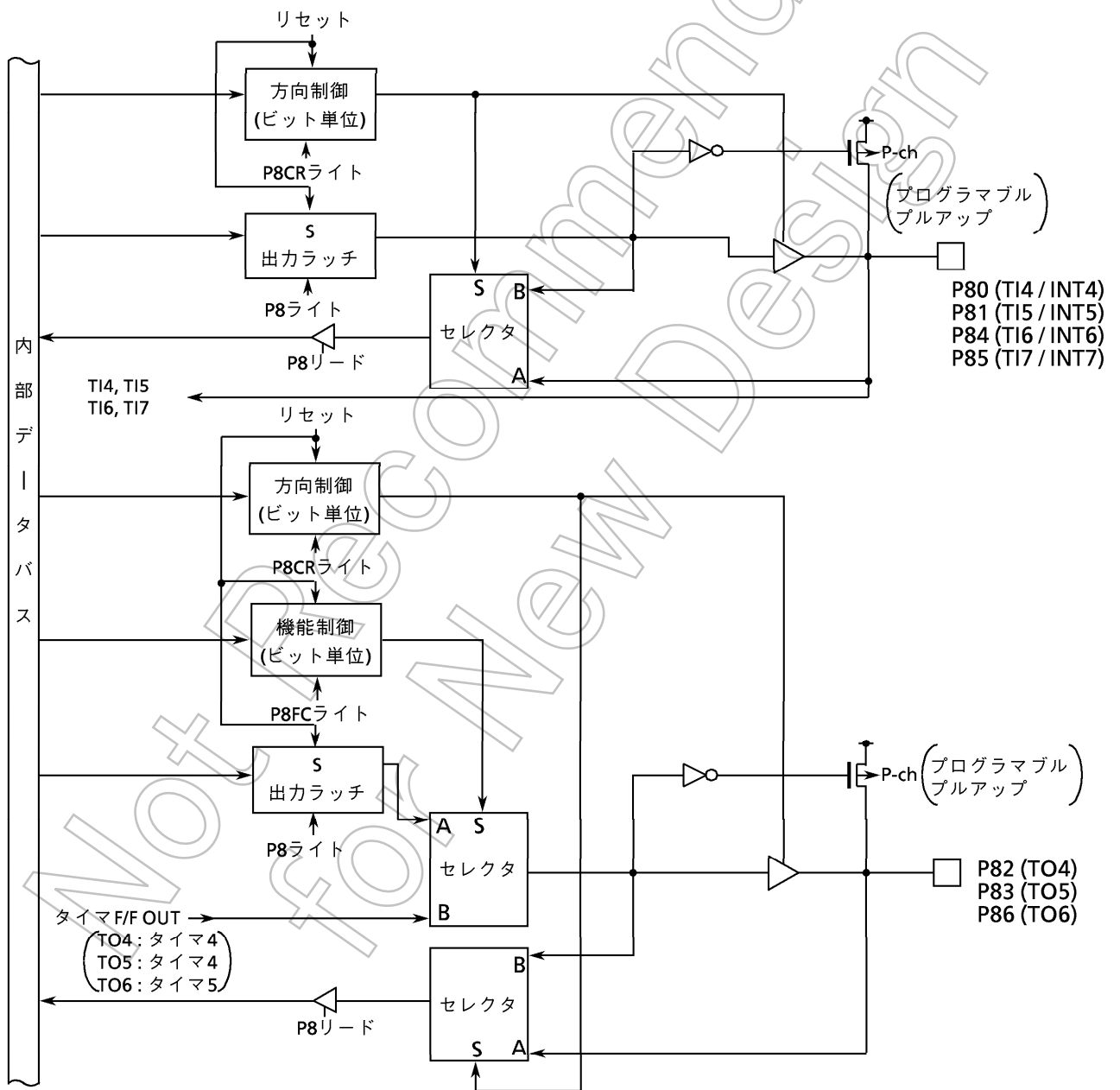


図3.5 (14) ポート8 (P80~P86)

(2) P87 (INT0)

ポート87は汎用入出力ポート以外に、外部割り込み要求入力INT0端子としての機能を持っています。

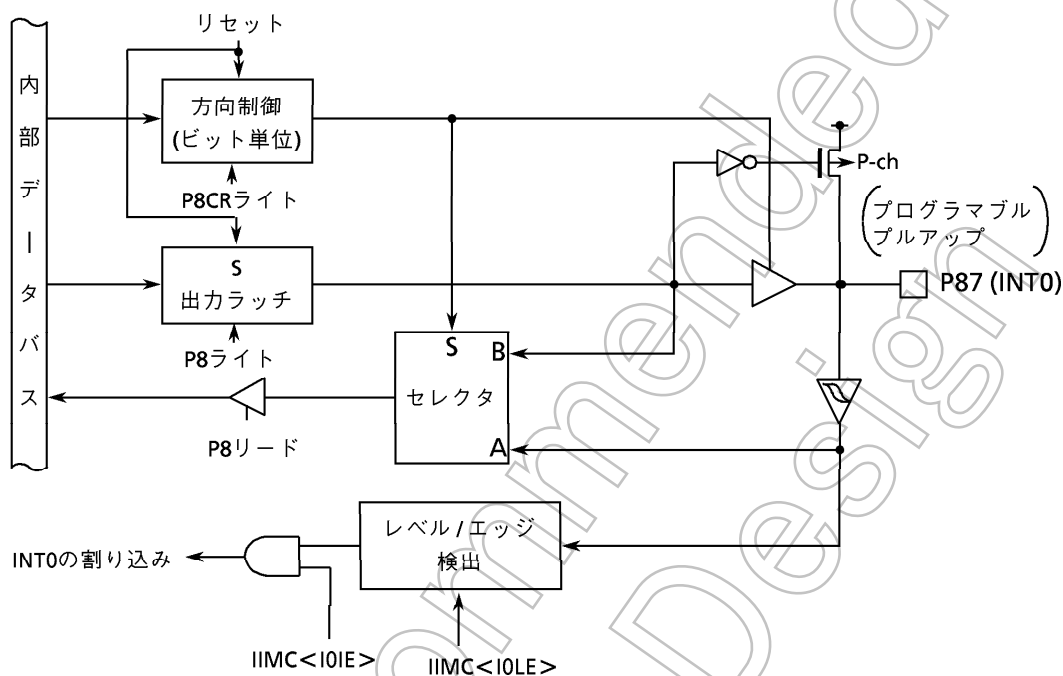
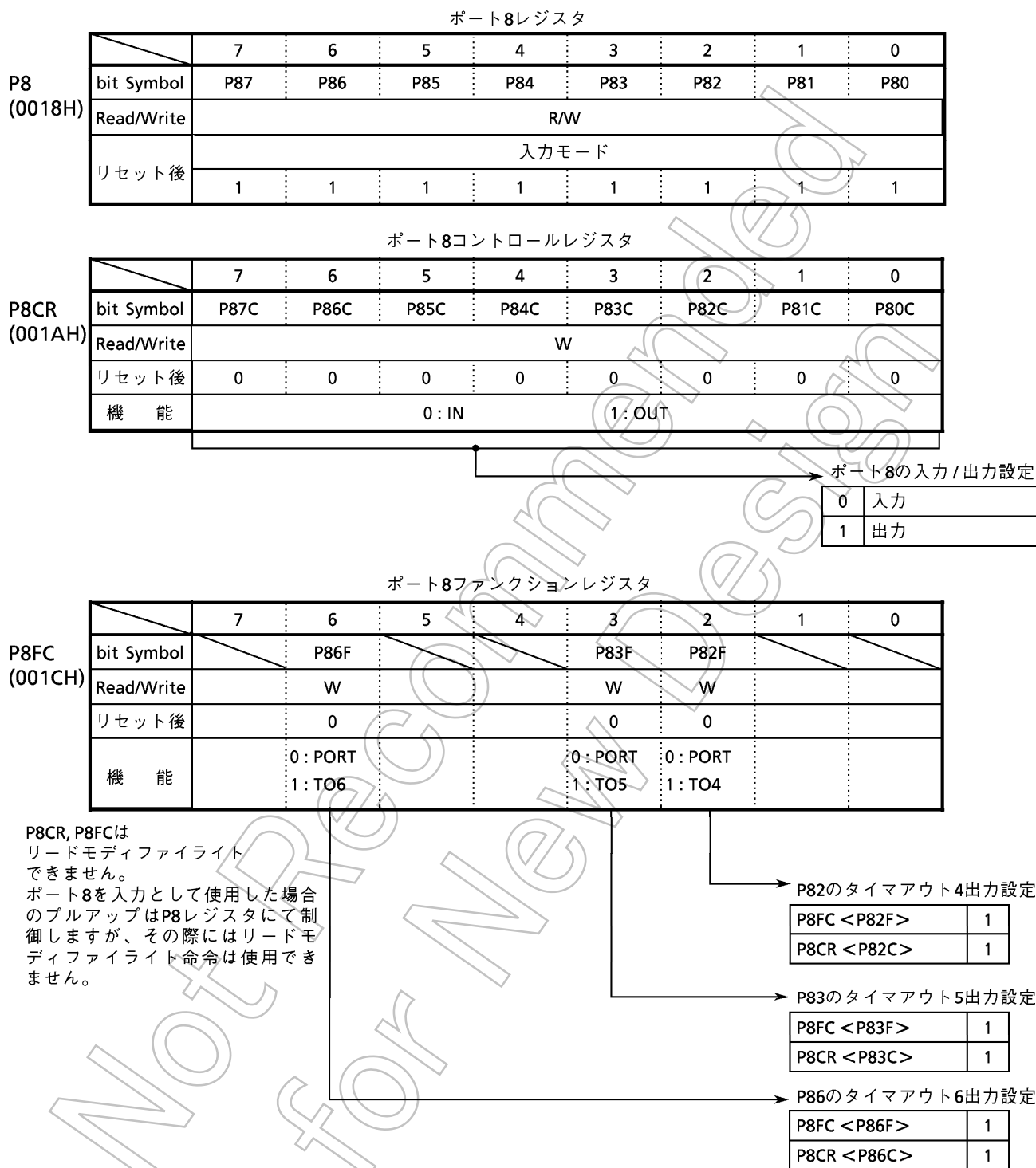


図3.5 (15) ポート87



注) P80/TI4, P81/TI5, P84/TI6, P85/TI7端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもタイマ入力として16ビットタイマへ入力されます。また、P87/INT0端子をINT0端子として使用するときは、P8CR<P87C>を“0”に、IIMC<IOIE>を“1”に設定する必要があります。

図3.5 (16) ポート8関係のレジスタ

3.5.8 ポート9 (P90~P95)

ポート9はビット単位で入出力の指定ができる6ビットの汎用入出力ポートです。
 リセット動作により、入力ポートとなりプルアップされた状態になります。
 また、出力ラッチレジスタの全ビットは“1”へセットされます。
 入出力ポート以外にシリアルチャネル0,1の入出力機能があります。
 この機能はポート9ファンクションレジスタの該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。
 リセット動作により、ファンクションレジスタの値は“0”にリセットされ、全ビットがポートとなります。

(1) ポート90,93 (TXD0/TXD1)

ポート90,93は入出力ポートの以外にシリアルチャネルのTXD出力端子としての機能を持ちます。
 このポートは、プログラマブルオープンドレイン機能を持っています。

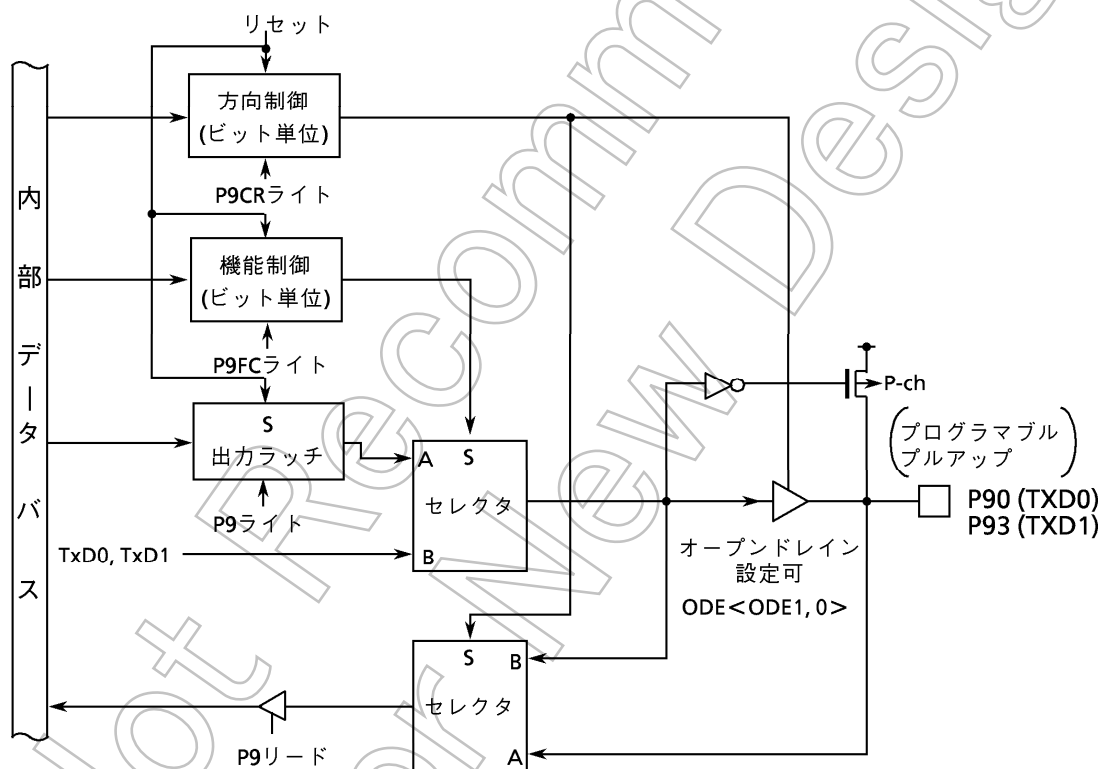


図3.5 (17) ポート90,93

(2) ポート91, 94 (RXD0, 1)

ポート91, 94は入出力ポートの以外に、シリアルチャネルのRXD入力端子としての機能を持っています。

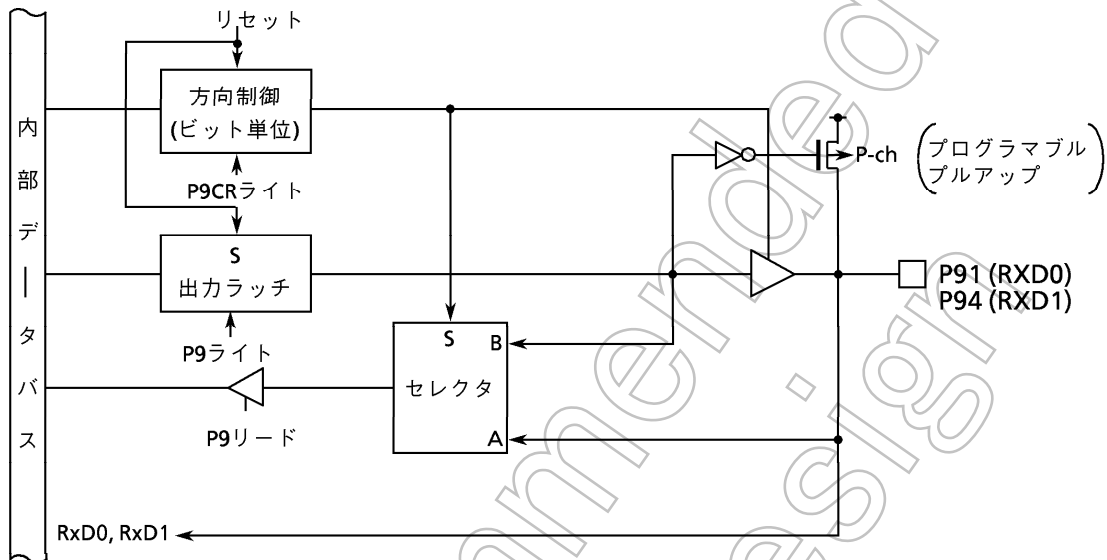


図3.5 (18) ポート91, 94

(3) ポート92 (CTS0 / SCLK0)

ポート92は入出力ポートの以外にシリアルチャネル0のCTS0入力端子としての機能を持っています。また、CTS0端子機能以外に、SCLK0入出力端子としての機能を持っています。

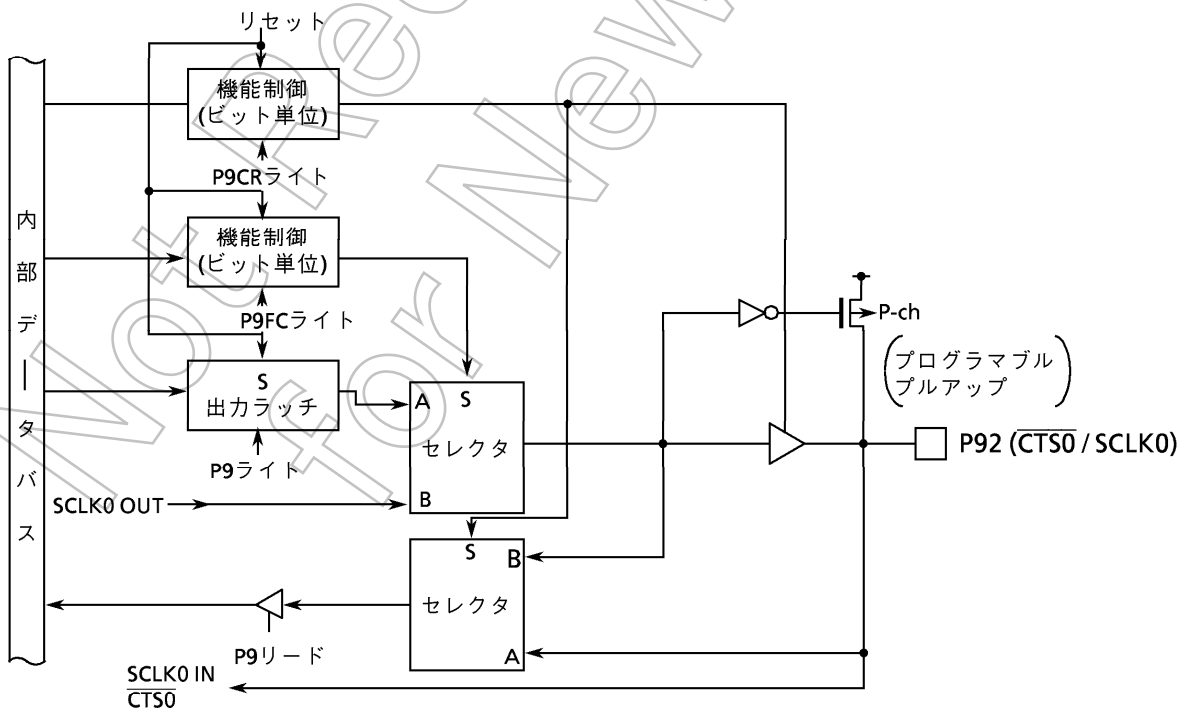


図3.5 (19) ポート92

(4) ポート95 (SCLK1)

ポート95は汎用入出力ポートの以外に、シリアルチャンネル1のSCLK1入出力端子としての機能を持っています。

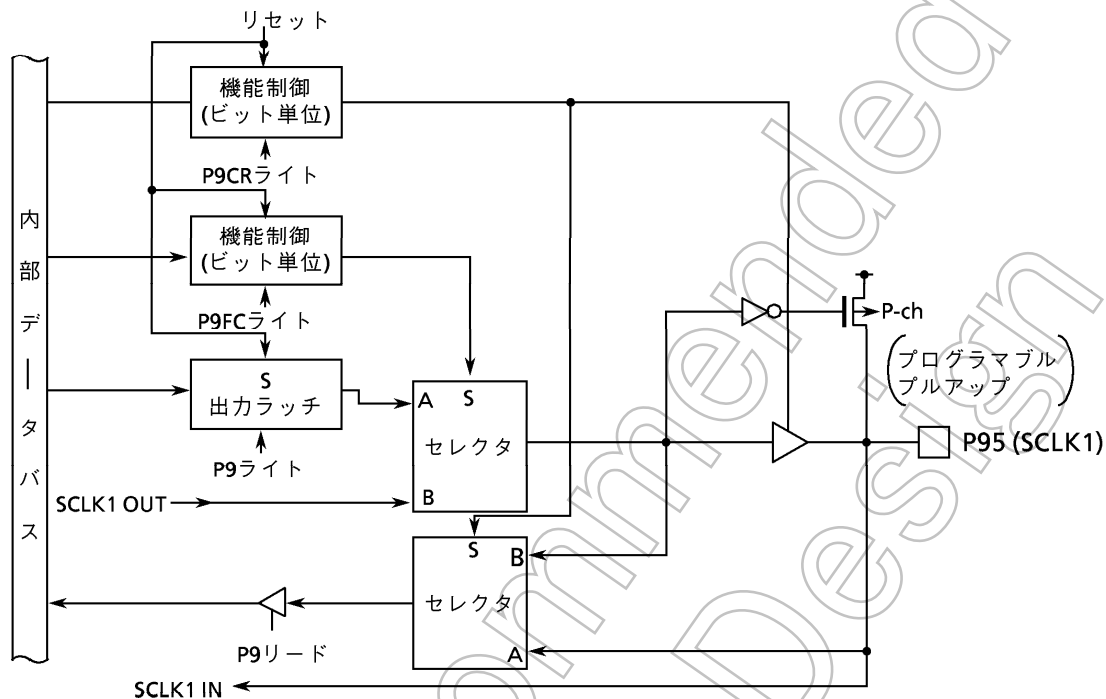
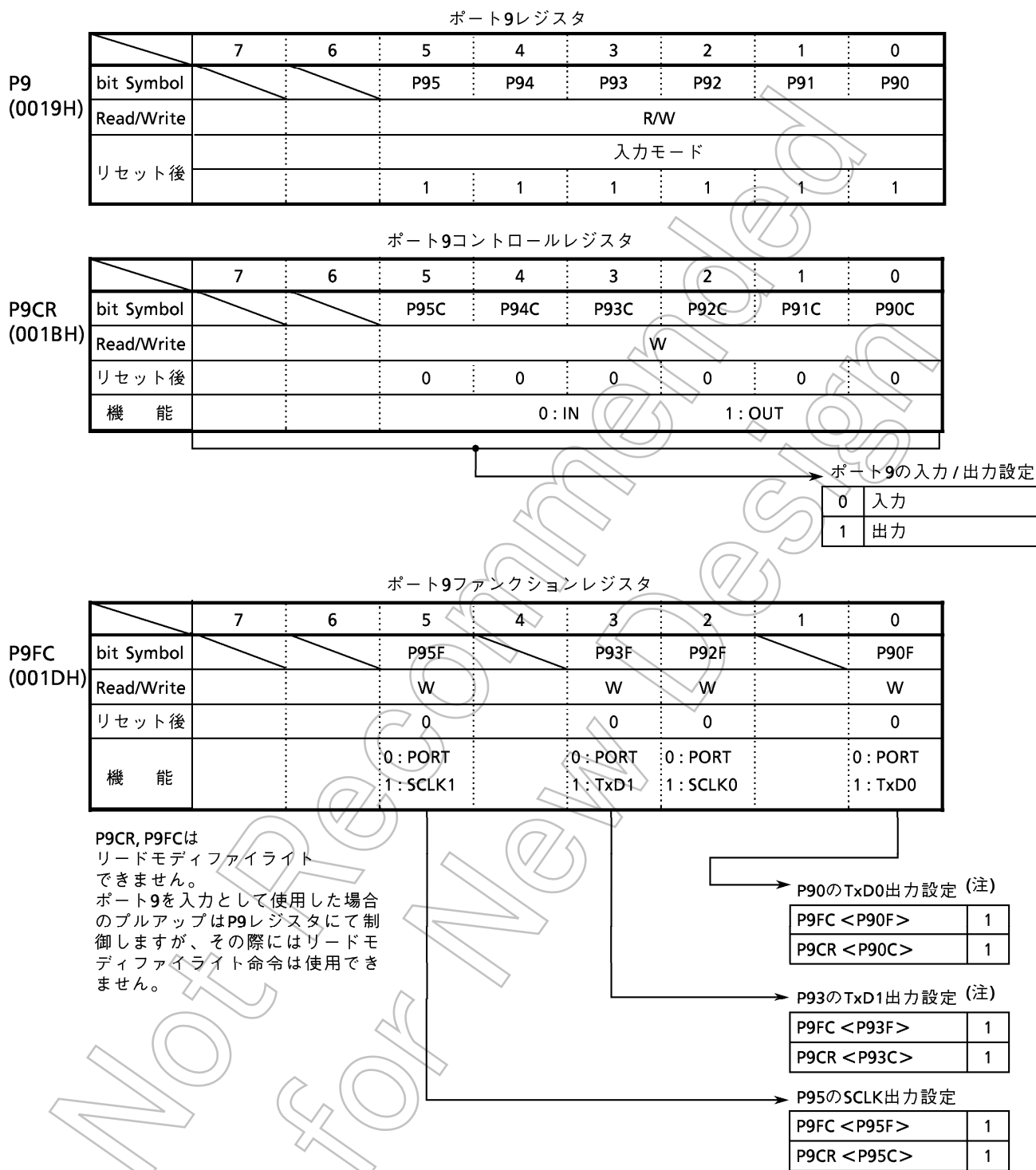


図3.5 (20) ポート95



注) TxD端子をオープンドレイン出力に設定するには、ODEレジスタのビット0 (TxD0端子用)、または、ビット1 (TxD1端子用) に“1”をライトします。
P91/RxD0, P94/RxD1端子はポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもシリアル受信データとしてSIOへ入力されます。

図3.5 (21) ポート9関係のレジスタ

3.6 チップセレクト/ウェイトコントローラ

TMP96C141Bは、任意の3ブロックアドレス空間に対して、チップセレクト ($\overline{\text{CS0}}\sim\overline{\text{CS2}}$ 端子)とウェイト ($\overline{\text{WAIT}}$ 端子)およびデータバスの幅(8ビットか16ビット)を制御するチップセレクト/ウェイトコントローラを内蔵しています。

3.6.1 コントロールレジスタ

表3.6(1)に、コントロールレジスタを示します。

各ブロックアドレス空間は、それぞれ1バイトのCS/WAITコントロールレジスタ (B0CS, B1CS, B2CS)によって制御されます。これらのレジスタは、CPUがシステムモード (CPUの動作モードのひとつ、他にノーマルモードがある)のときのみライト可能です。理由は、これらのレジスタの設定が、システムにとって重要なものだからです。

(1) イネーブル

コントロールレジスタのビット7 (B0E, B1E, B2E)は、設定のイネーブル/ディセーブルを指定するマスタビットです。このビットを“0”にすると、ディセーブルになります。“1”にするとイネーブルになります。

リセットにより、B0EとB1Eはディセーブル (“0”)、B2Eはイネーブル (“1”)になります。

(2) システムオンリー指定

コントロールレジスタのビット6 (B0SYS, B1SYS, B2SYS)は、CPUの動作モード (システムモード/ノーマルモード)によって、設定のイネーブル/ディセーブルを指定するビットです。このビットを“0”にすると、CPUの動作モードに関係なく設定はイネーブルになります。“1”にすると、CPUがシステムモードのときのみ、設定がイネーブルになり、ノーマルモードのときは設定がディセーブルになります。

リセットにより、このビットは“0”にクリアされます。

このビットは、主に外部メモリデータが、ノーマルモードでアクセスされたくないときに使います (例:オペレーティングシステムにおけるシステムモード専用メモリデータ)。

(3) CS/CAS波形セレクト

コントロールレジスタのビット5 (B0CAS, B1CAS, B2CAS)は、チップセレクト端子 ($\overline{\text{CS0}}/\overline{\text{CAS0}}\sim\overline{\text{CS2}}/\overline{\text{CAS2}}$)から出力される波形のモードを指定するビットです。このビットを“0”にすると、 $\overline{\text{CS0}}\sim\overline{\text{CS2}}$ の波形になります。“1”にすると、 $\overline{\text{CAS0}}\sim\overline{\text{CAS2}}$ の波形になります。

リセットにより、このビットは“0”にクリアされます。

(4) データバス幅セレクト

コントロールレジスタのビット4 (B0BUS, B1BUS, B2BUS)は、データバス幅を指定するビットです。このビットを“0”にすると、16ビットのデータバスのモードでメモリをアクセスします。“1”にすると、8ビットのデータバスのモードでメモリをアクセスします。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。このバス動作の詳細を表3.6(2)に示します。

(5) ウェイトコントロール

コントロールレジスタのビット3とビット2 (B0W1・0, B1W1・0, B2W1・0) は、ウェイト数を指定するビットです。このビットを“00”にすると、WAIT端子の状態に関係なく2ステート分のウェイトが挿入されます。“01”にすると、WAIT端子の状態に関係なく1ステート分のウェイトが挿入されます。“10”にすると、1ステート分のウェイトを挿入した後、WAIT端子の状態をサンプリングし、端子が“L”レベルならウェイトを挿入し続け、端子が“H”レベルになるまでそのバスサイクルを引き伸ばします。“11”にするとWAIT端子の状態に関係なくウェイトなしで、そのバスサイクルを完了します。

リセットにより、これらのビットは“00”(2ウェイトのモード)になります。

(6) アドレス領域指定

コントロールレジスタのビット1とビット0 (B0C1・0, B1C1・0, B2C1・0) は対象となるアドレス領域を指定するビットです。このビットを“00”にすると、CS0は7F00H~7FFFH番地、CS1は480H~7FFFH番地(ただし内蔵RAMなし版のTMP96C041Bでは、80H~7FFFH番地になります。)、CS2は8000H~3FFFFFFH番地(ただし、内蔵ROM/PROMあり版のTMP96CM40/TMP96PM40では、10000H~3FFFFFFH番地になります。)をアクセスしたとき、設定がイネーブルになり、かつ、チップセレクト端子(CS0/CAS0~CS2/CAS2)から、“L”ストロブ信号が出力されます。このビットを“01”にすると、各CSとも、40000H~7FFFFFFH番地をアクセスしたとき、“10”にすると80000H~BFFFFFFH番地をアクセスしたとき、“11”にするとC0000H~FFFFFFH番地をアクセスしたとき、設定がイネーブルになり、かつ、チップセレクト端子から、“L”ストロブ信号が出力されます。

表3.6 (1) チップセレクト/ウェイトコントロールレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block0 CS/WAIT control register	0068H	B0E	B0SYS	B0CAS	B0BUS	B0W1	B0W0	B0C1	B0C0
			W	W	W	W	W	W	W	W
			0	0	0	0	0	0	0	0
			1: CS/CAS Enable	1: SYSTEM only	0: CS0 1: CAS0	0: 16 bit Bus 1: 8 bit Bus	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	00: 7F00H~7FFFH 01: 40000H~ 10: 80000H~ 11: C0000H~		
B1CS	Block1 CS/WAIT control register	0069H	B1E	B1SYS	B1CAS	B1BUS	B1W1	B1W0	B1C1	B1C0
			W	W	W	W	W	W	W	W
			0	0	0	0	0	0	0	0
			1: CS/CAS Enable	1: SYSTEM only	0: CS1 1: CAS1	0: 16 bit Bus 1: 8 bit Bus	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	*00: 480H~7FFFH 01: 40000H~ 10: 80000H~ 11: C0000H~		
B2CS	Block2 CS/WAIT control register	006AH	B2E	B2SYS	B2CAS	B2BUS	B2W1	B2W0	B2C1	B2C0
			W	W	W	W	W	W	W	W
			1	0	0	0	0	0	0	0
			1: CS/CAS Enable	1: SYSTEM only	0: CS2 1: CAS2	0: 16 bit Bus 1: 8 bit Bus	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	00: 8000H~ 01: 40000H~ 10: 80000H~ 11: C0000H~		

(注) “Block2”のみ、リセット後、イネーブル(16ビットデータバス, 2WAITのモード)になっています。

*: TMP96C041Bでは、80H~7FFFHになります。

表3.6 (2) ダイナミックバスサイジング

オペランド データ幅	オペランド スタート番地	メモリ側 データ幅	CPU アドレス	CPUデータ	
				D15 - D8	D7 - D0
8ビット	2n+0 (偶数)	8ビット	2n+0	xxxxx	b7 - b0
		16ビット	2n+0	xxxxx	b7 - b0
	2n+1 (奇数)	8ビット	2n+1	xxxxx	b7 - b0
		16ビット	2n+1	b7 - b0	xxxxx
16ビット	2n+0 (偶数)	8ビット	2n+0	xxxxx	b7 - b0
			2n+1	xxxxx	b15 - b8
		16ビット	2n+0	b15 - b8	b7 - b0
	2n+1 (奇数)	8ビット	2n+1	xxxxx	b7 - b0
			2n+2	xxxxx	b15 - b8
		16ビット	2n+1	b7 - b0	xxxxx
32ビット	2n+0 (偶数)	8ビット	2n+0	xxxxx	b7 - b0
			2n+1	xxxxx	b15 - b8
			2n+2	xxxxx	b23 - b16
			2n+3	xxxxx	b31 - b24
		16ビット	2n+0	b15 - b8	b7 - b0
	2n+2	b31 - b24	b23 - b16		
	2n+1 (奇数)	8ビット	2n+1	xxxxx	b7 - b0
			2n+2	xxxxx	b15 - b8
			2n+3	xxxxx	b23 - b16
			2n+4	xxxxx	b31 - b24
16ビット		2n+1	b7 - b0	xxxxx	
2n+2	b23 - b16	b15 - b8			
2n+4	xxxxx	b31 - b24			

xxxxx : リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロープ信号はノンアクティブのままであることを示します。

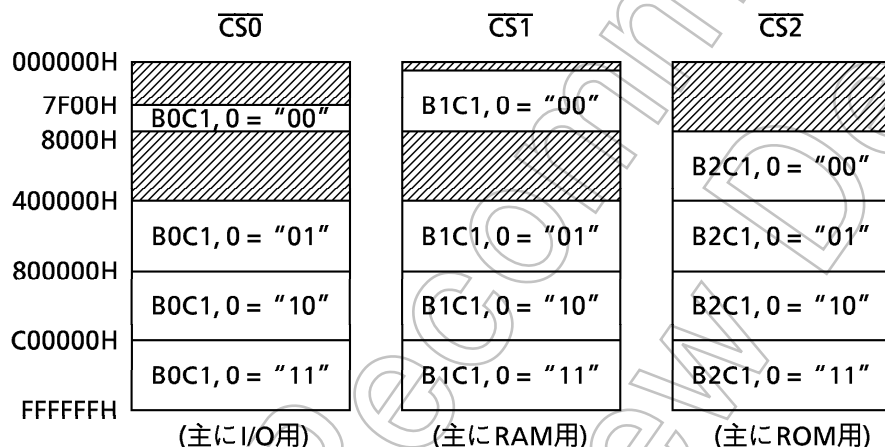
3.6.2 チップセレクトのイメージ

下図に、具体的なチップセレクトのイメージを示します。指定できるアドレス領域は、全メモリ空間を4等分したうちのひとつです。ただし、000000H~3FFFFFFH番地までは、特殊な分割になっており、CS0は7F00H~7FFFH、CS1は480H~7FFFH、CS2は8000H~3FFFFFFHが指定できるようになっています。これは、外部にROM以外のデバイス (RAMとかI/O) を接続することを考慮したからです。

CS0の7F00~7FFFH (256バイト空間) は、主に外部I/Oの拡張を考慮して、この空間にマッピングされています。

CS1の480H~7FFFH (約31Kバイト空間) は、主に外部RAMの拡張を考慮して、この空間にマッピングされています。

CS2の8000H~3FFFFFFH (約4Mバイト空間) は、主に外部のROMの拡張を考慮して、この空間にマッピングされています。リセット後、CS2は16ビットバス、2WAITでイネーブルになっているので、内蔵ROMがないTMP96C141Bでは、リセット後、8000H番地からのプログラムを、この設定 (16ビットバス、2WAIT) で外部からリードします。内蔵ROMがあるTMP96CM40/TMP96PM40では、8000H~FFFFH番地は、内部ROM空間ですので、この空間は、CS2がディセーブルになり、リセット後は16ビットバス、0WAITで、内蔵ROMからプログラムをリードします。



(補足1) アクセスの優先順位は、内蔵I/O、内蔵メモリ、チップセレクト/ウェイトコントローラの順です。

(補足2) CS0~CS2空間以外の外部空間は、16ビットデータバス (0WAIT) でアクセスします。

チップセレクト/ウェイトコントローラを使用する場合、同一アドレス領域に対して多重定義をしないでください (ただし、CS0を7F00H~7FFFH、CS1を480H~7FFFHと設定した場合、重なったアドレス空間7F00H~7FFFHでは、CS0の設定/端子だけがアクティブになります)。

(注意事項) バス解放時 (BUSAK="L"), CS0~CS2端子も解放 (出力バッファOFF) されます。このときの端子状態は表3.5 (1) バス解放時の端子状態を参照してください。

3.6.3 使用例

図3.6 (1) は、TMP96C141Bによる外部メモリの接続例です。この例では、ROMを16ビット幅で接続し、RAMとI/Oを8ビット幅で接続しています。

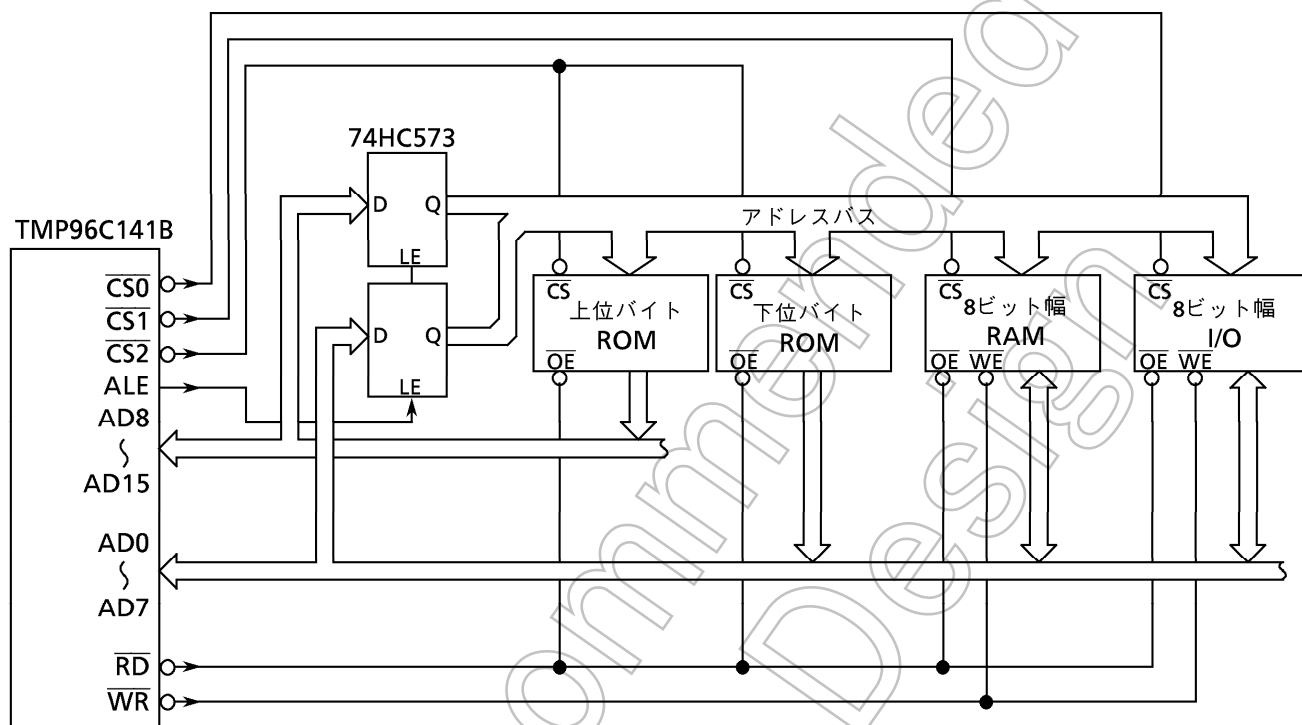


図3.6 (1) 外部メモリ接続例 (ROM = 16ビット幅, RAM & I/O = 8ビット幅)

リセット直後は、 $\overline{CS0} \sim \overline{CS2}$ 端子は、入力ポートのモードになっていますが、 $\overline{CS0}$ と $\overline{CS1}$ は内部プルアップ抵抗によりHigh出力、 $\overline{CS2}$ 端子は内部プルダウン抵抗によりLow出力となります。これらの端子を設定するプログラム例を下記に示します。

```

P4CR EQU 0EH
P4FC EQU 10H
B0CS EQU 68H
B1CS EQU 69H
B2CS EQU 6AH
LD (B0CS), 90H ; CS0 = 8ビット, 2WAIT, 7F00H~7FFFH
LD (B1CS), 9CH ; CS1 = 8ビット, 0WAIT, 480H~7EFFH
LD (B2CS), 84H ; CS2 = 16ビット, 1WAIT, 8000H~3FFFFFFH
LD (P4CR), 07H
LD (P4FC), 07H
    
```

} $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$ 出力モード設定

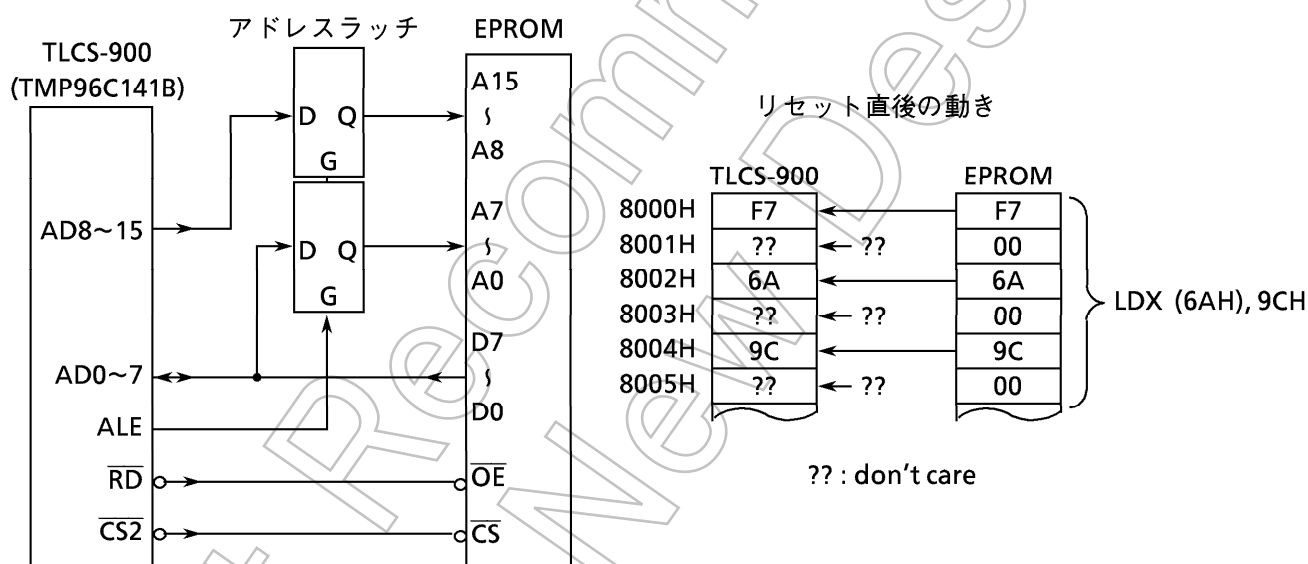
3.6.4 8ビットデータバスでスタートさせる方法

リセット直後は、 $\overline{CS2}$ 端子が内部プルダウン抵抗により“L”レベルになり、16ビットデータバス(2WAIT)のモードでスタートします。従って、8ビットデータバスのメモリでスタートさせる場合は、特別な操作が必要です。下記に、その操作の例を示します。

B2CS	EQU	6AH	; CS2 register address
	ORG	8000H	; RESET address
	<u>LDX</u>	(B2CS), 9CH	; CS2 8 bit, 0WAIT, 8000H~

上記プログラムでは、リセット後、「LDX (B2CS), 9CH」命令を16ビットデータバスのモードで読みます。このLDX命令は、6バイト命令ですが、第2, 第4, 第6バイト目のコードはダミーとして扱われ、第1, 第3, 第5バイト目のコードが実際に使われます。従って、8ビットデータバスのメモリでスタートした場合でも、問題なくLDX命令を実行し、CS2のエリア(8000H~3FFFFFFH番地)を8ビットデータバスとしてアクセスするように設定することができます。

なお、上記プログラムには、端子(P42/ $\overline{CS2}$)をCS2出力にする設定が含まれていないので、必要に応じてP4CRとP4FCレジスタを設定するプログラムを後に追加してください。



3.7 8ビットタイマ

TMP96C141Bは、8ビットタイマを2本(タイマ0,1)内蔵しています。

2本の8ビットタイマはそれぞれ独立に動作させることができ、またカスケード接続することで1本の16ビットタイマにもなります。8ビットタイマは次のような4種類の動作モードを持っています。

- 8ビットインタバルタイマモード (2本)
- 16ビットインタバルタイマモード (1本)
- 8ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード (1本)
- 8ビットPWM (パルス幅変調: 固定周期で可変デューティ) 出力モード (1本)

図3.7(1)に8ビットタイマ(タイマ0,1)のブロック図を示します。

各インタバルタイマは8ビットのアップカウンタ,8ビットのコンパレータおよび8ビットのタイマレジスタで構成され、タイマ0,1のペアにタイマフリップフロップ(TFF1)が用意されています。

各インタバルタイマへの入力クロックソースのうち $\phi T1$, $\phi T4$, $\phi T16$, $\phi T256$ の内部クロックは、図3.7(2)に示す9ビットプリスケラより得ています。

8ビットタイマの動作モードやタイマフリップフロップは3つのコントロールレジスタ(TMOD, TFFCR, TRUN)で制御されます。

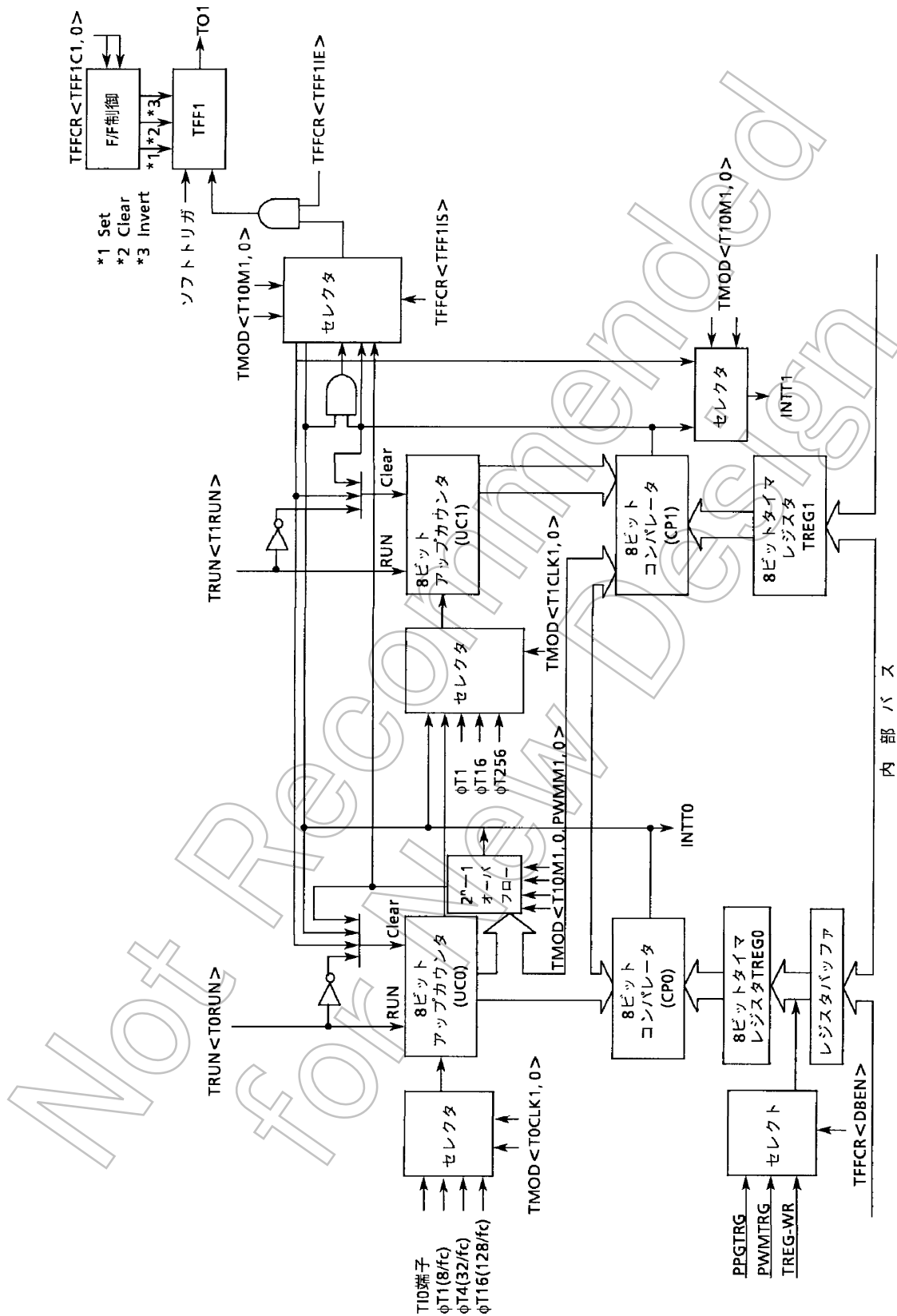


図3.7(1) 8ビットタイマブロック図(タイマ0,1)

① プリスケーラ

原振クロック (f_c) を4分周したクロック ($f_c/4$) をさらに分周する9ビットのプリスケーラで、8ビットタイマ、16ビットタイマ/イベントカウンタ、ボーレートジェネレータなどへの入力クロックを生成しています。

8ビットタイマには、このうち $\phi T1$, $\phi T4$, $\phi T16$, $\phi T256$ の4種類のクロックが用いられます。

このプリスケーラは、タイマ動作コントロールレジスタ **TRUN** <PRRUN> によってカウント/停止させることができます。<PRRUN> = 1 にするとカウント開始し、<PRRUN> = 0 にするとゼロクリアされて停止します。リセット時は、<PRRUN> は “0” にクリアされますので、プリスケーラはクリアされ停止します。

周 期		
入力 クロック f_c	16 MHz	20 MHz
$\phi T1 (8/f_c)$	500 ns	400 ns
$\phi T4 (32/f_c)$	2 μs	1.6 μs
$\phi T16 (128/f_c)$	8 μs	6.4 μs
$\phi T256 (2048/f_c)$	128 μs	102 μs

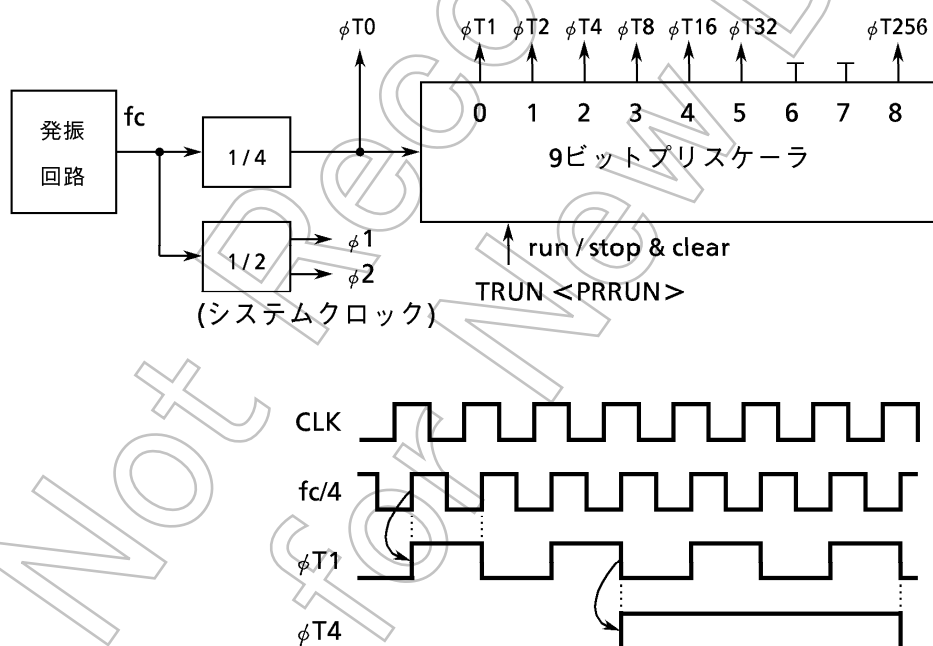


図3.7 (2) プリスケーラ

② アップカウンタ

8ビットタイマモードレジスタ **TMOD** で指定された入力クロックによってカウントアップする8ビットのバイナリカウンタです。

タイマ0の入力クロックは、**T10**端子からの外部クロックと、3種類の内部クロック ϕ T1, ϕ T4, ϕ T16から、**TMOD**レジスタの設定値に応じて選択されます。

タイマ1の入力クロックは動作モードによって異なり、16ビットタイマモードに設定した場合は、タイマ0のオーバフロー出力が入力クロックとなります。

16ビットタイマモード以外の設定の場合は、**TMOD**レジスタの設定により内部クロック ϕ T1, ϕ T16, ϕ T256と、タイマ0のコンパレータ出力(一致検出)の中から選択されます。

例: **TMOD**<**T10M1,0**>=**01**なら、タイマ1の入力クロックは、タイマ0のオーバフロー出力となります(16ビットタイマモード)。

TMOD<**T10M1,0**>=**00**, **TMOD**<**T1CLK1,0**>=**01**ならタイマ1の入力クロックは、 ϕ T1となります(8ビットタイマモード)。

動作モードも**TMOD**レジスタで設定します。リセット時は、**TMOD** <**T10M1,0**>=**00**に初期化されますので、8ビットタイマモードとなっています。

アップカウンタは、タイマ動作コントロールレジスタ**TRUN**によってカウント/停止&クリアを各インタバルタイマごとに制御することができます。リセット時、すべてのアップカウンタはクリアされて、タイマは停止しています。

③ タイマレジスタ

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタ**TREG0, 1**への設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を**00H**にした場合は、アップカウンタのオーバフロー時に、一致信号がアクティブになります。

このタイマレジスタの**TREG0**は、ダブルバッファ構成になっており、レジスタバッファとペアになっています。

TREG0はタイマフリップフロップコントロールレジスタ**TFFCR**の<**DBEN**>ビットによってダブルバッファのイネーブル/ディセーブルを制御します。<**DBEN**>=**0**のときディセーブル、<**DBEN**>=**1**のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、**PWM**モードの2n-1オーバフロー、または、**PPG**モードの周期のコンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<**DBEN**>=**0**に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み、<**DBEN**>=**1**に設定した後、レジスタバッファに次のデータを書き込んでください。

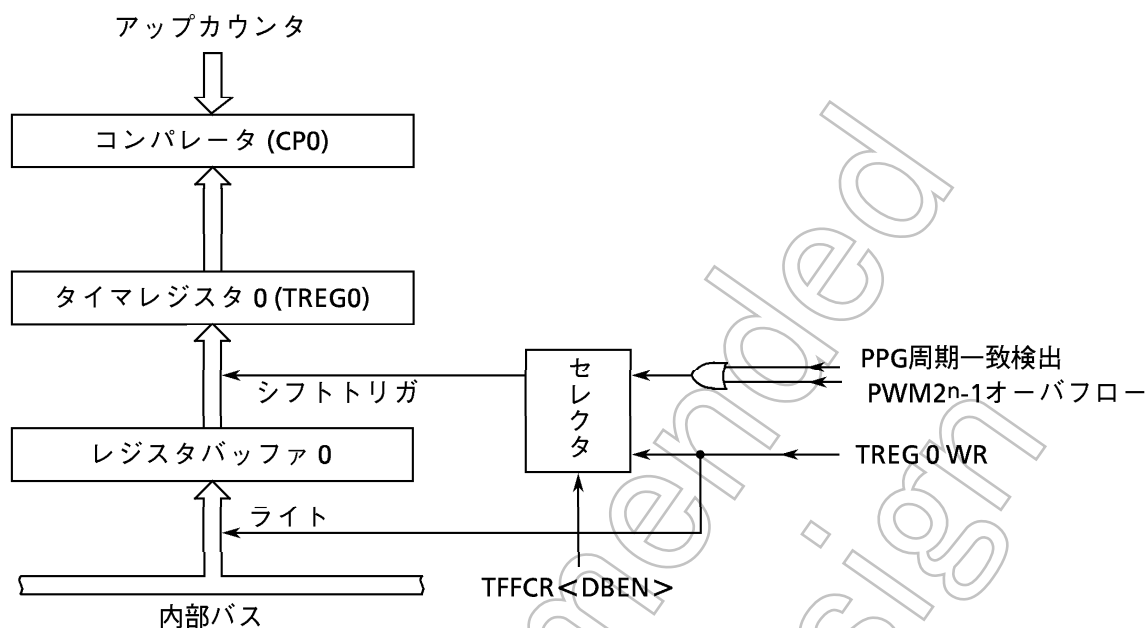


図3.7 (3) タイマレジスタ0 (TREG0) の構成

(注) タイマレジスタとレジスタバッファは同じメモリ番地に割付けられています。
 <DBEN>=0のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<DBEN>=1のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのメモリ番地は次のとおりです。

TREG0 : 000022H

TREG1 : 000023H

各レジスタともライトオンリーのレジスタでリードできません。

④ コンパレータ

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタをゼロクリアするとともに、割り込み (INTT0, 1) を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

⑤ タイマフリップフロップ (タイマF/F: TFF1)

各インタバルタイマの一致検出信号 (コンパレータ出力) により反転するフリップフロップで、タイマ出力端子 TO1 (P71 と兼用) へその値を出力することができます。

このタイマF/Fは、タイマ0, 1のペアに1つあり、TFF1と呼びます。TFF1はTO1端子へ出力されません。

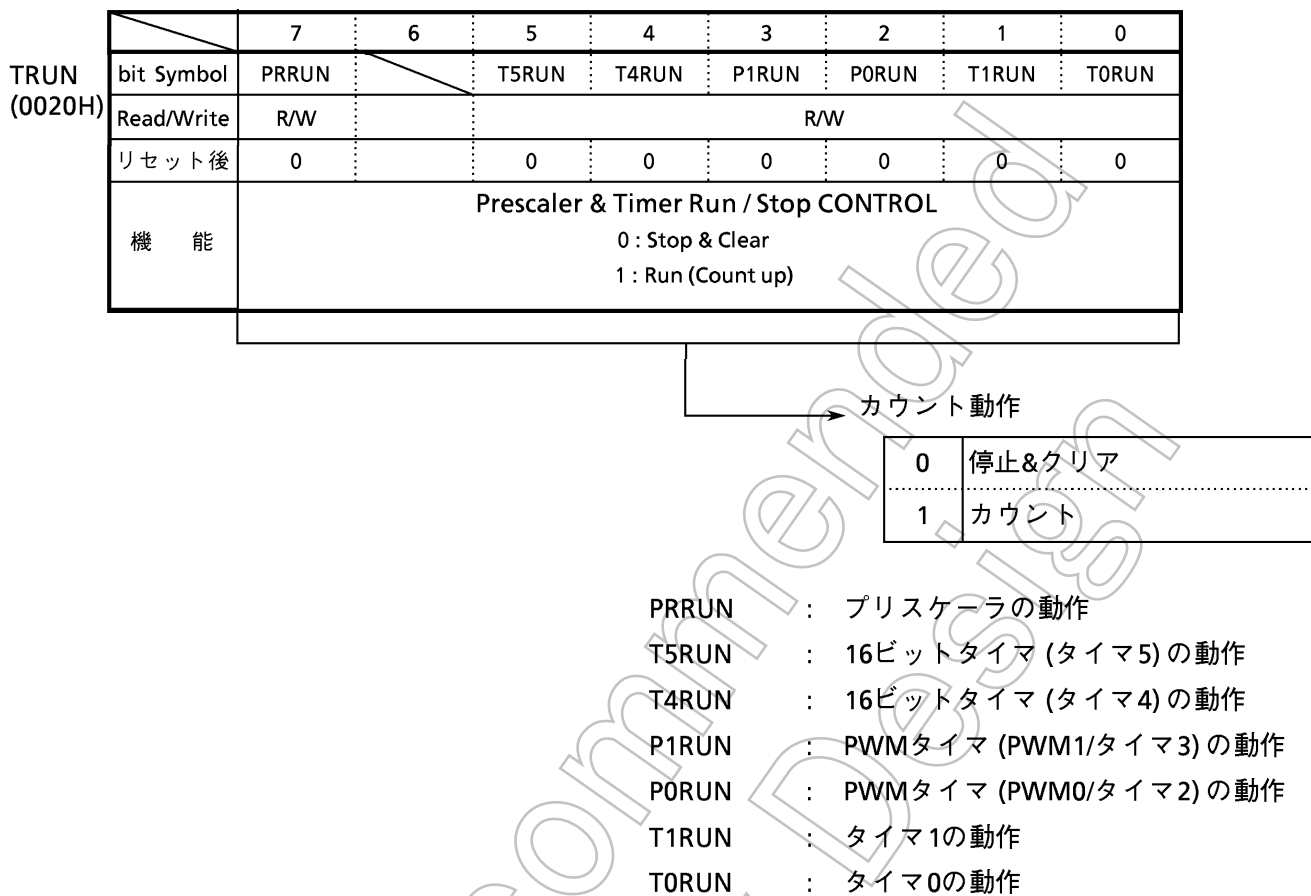


図3.7 (4) タイマ動作コントロールレジスタ (TRUN)

	7	6	5	4	3	2	1	0	
TMOD (0024H)	bit Symbol	T10M1	T10M0	PWMM1	PWMM0	T1CLK1	T1CLK0	TOCLK1	TOCLK0
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
機能	動作モード	PWM周期		タイマ1ソースクロック		タイマ0ソースクロック			
	00: 8ビットタイマ	00: -		00: T00TRG		00: T10			
	01: 16ビットタイマ	01: 2 ⁶ -1		01: φT1		01: φT1			
	10: 8ビットPPG	10: 2 ⁷ -1		10: φT16		10: φT4			
	11: 8ビットPWM	11: 2 ⁸ -1		11: φT256		11: φT16			

リードモディ
ファイライト
できません。

→ タイマ0の入カクロック

00	外部入力 (T10)
01	φT1 (プリスケアラ)
10	φT4 (プリスケアラ)
11	φT16 (プリスケアラ)

→ タイマ1の入カクロック

	TMOD <T10M1,0> ≠ 01	TMOD <T10M1,0> = 01
00	タイマ0の一致出力	タイマ0の オーバフロー 出力
01	φT1	
10	φT16	
11	φT256	(16ビット タイマモード)

→ PWMモード時の周期選択

00	-
01	2 ⁶ -1
10	2 ⁷ -1
11	2 ⁸ -1

→ タイマ0,1の動作モード選択

00	8ビットタイマ2本
01	16ビットタイマ
10	8ビットプログラム矩形波出力
11	8ビットPWM (タイマ0) 8ビットタイマ (タイマ1)

図3.7 (5) タイマモードコントロールレジスタ (TMOD)

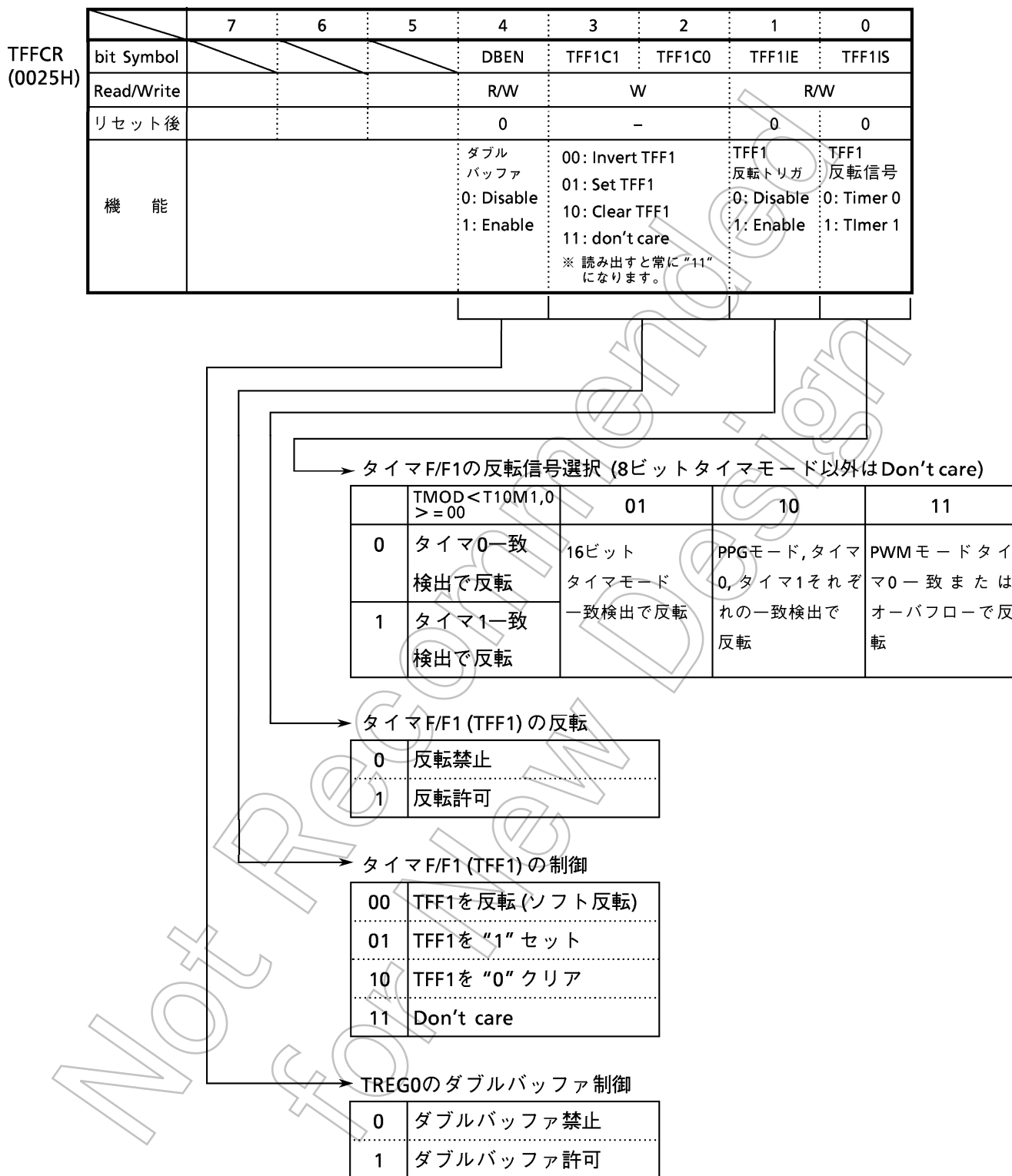


図3.7 (6) タイマフリップフロップコントロールレジスタ (TFFCR)

次に8ビットタイマの動作説明をします。

(1) 8ビットタイマモード

2本のインタバルタイマ0,1は、それぞれ独立に8ビットインタバルタイマとして使用できます。いずれのタイマも同一の動作をしますので、ここではタイマ1の場合について説明します。

① 一定周期の割り込みを発生させる場合

タイマ1を用いて、一定周期ごとにタイマ1割り込み (INTT1) を発生させる場合、まずタイマ1を停止させてから、動作モード、入力クロック、周期をそれぞれTMOD、TREG1レジスタに設定します。次に割り込みINTT1をイネーブルにしてから、タイマ1をカウントさせます。

例: $f_c=16\text{ MHz}$ で $40\ \mu\text{s}$ ごとにタイマ1割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB	LSB	
	7 6 5 4 3 2 1 0		
TRUN	← - X - - - - 0 -		タイマ1を停止し、ゼロクリアします。
TMOD	← 0 0 X X 0 1 - -		8ビットタイマモードにし、入力クロックを $\phi T1 (0.5\ \mu\text{s} @ f_c = 16\text{ MHz})$ にします。
TREG1	← 0 1 0 1 0 0 0 0		タイマレジスタに $40\ \mu\text{s} \div \phi T1 = 80 (50H)$ をセットします。
INTET10	← 1 1 0 1 - - - -		INTT1をイネーブル割り込みレベル5にします。
TRUN	← 1 X - - - - 1 -		タイマ1をカウントさせます。

(注) X: don't care -; no change

入力クロックの選択は下表を参考にしてください。

表3.7 (1) 8ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_c = 16\text{ MHz}$)		割り込み周期 (@ $f_c = 20\text{ MHz}$)	
	最小	最大	最小	最大
$\phi T1 (8/f_c)$	$0.5\ \mu\text{s}$	$128\ \mu\text{s}$	$0.4\ \mu\text{s}$	$102.4\ \mu\text{s}$
$\phi T4 (32/f_c)$	$2\ \mu\text{s}$	$512\ \mu\text{s}$	$1.6\ \mu\text{s}$	$409.6\ \mu\text{s}$
$\phi T16 (128/f_c)$	$8\ \mu\text{s}$	$2.048\ \text{ms}$	$6.4\ \mu\text{s}$	$1.638\ \text{ms}$
$\phi T256 (2048/f_c)$	$128\ \mu\text{s}$	$32.768\ \text{ms}$	$102.4\ \mu\text{s}$	$2.621\ \text{ms}$

(注) タイマ0とタイマ1の入力クロックは下記のように異なります。

タイマ0: TIO入力, $\phi T1$, $\phi T4$, $\phi T16$

タイマ1: タイマ0の一致出力, $\phi T1$, $\phi T16$, $\phi T256$

② デューティ50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TFF1) を反転させ、このタイマフリップフロップの値をタイマ出力端子 (TO1) へ出力します。

例: $f_c = 16 \text{ MHz}$ で周期 $3.0 \mu\text{s}$ の矩形波を TO1 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、タイマ0かタイマ1を用いますが、ここではタイマ1を使用したときのレジスタ設定例を示します。

	7	6	5	4	3	2	1	0
TRUN	←	-	-	-	-	-	0	-
TMOD	←	0	0	X	X	0	1	-
TREG1	←	0	0	0	0	0	1	1
TFFCR	←	-	-	-	-	1	0	1
P7CR	←	X	X	X	X	-	-	1
P7FC	←	X	X	X	X	-	-	1
TRUN	←	1	X	-	-	-	-	1

タイマ1を停止しゼロクリアします。
 8ビットタイマモードにし、入力クロックを $\phi T1$ ($0.5 \mu\text{s}$ @ $f_c = 16 \text{ MHz}$) にします。
 タイマレジスタに $3.0 \mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。
 TFF1を“0”にクリアし、タイマ1からの一致検出信号で反転するように設定します。
 P71をTO1出力端子に設定します。
 タイマ1のカウントを開始させます。

(注) X: don't care - : no change

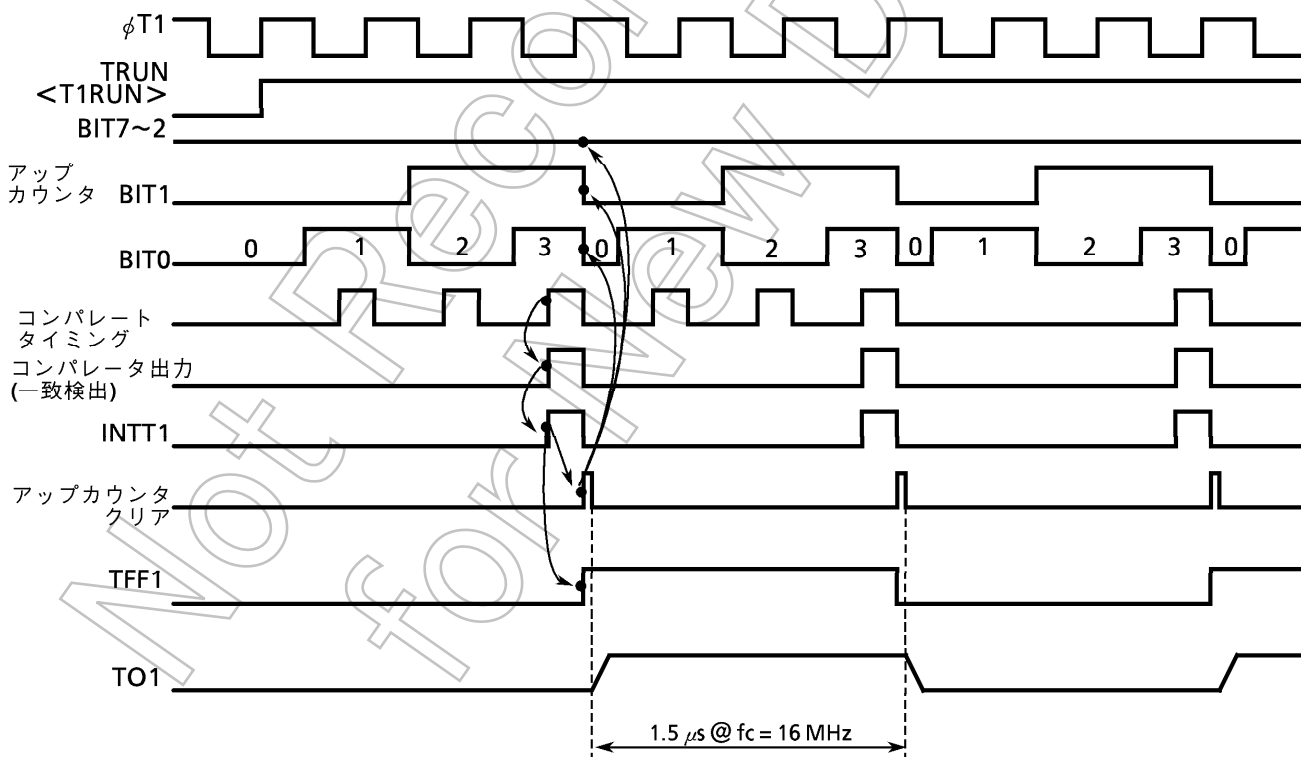


図3.7 (7) 矩形波 (デューティ50%) 出力のタイミングチャート

③ タイマ0の一致出力でタイマ1をカウントアップさせる場合

8ビットタイマモードに設定し、タイマ1の入力クロックをタイマ0のコンパレータ出力に設定します。

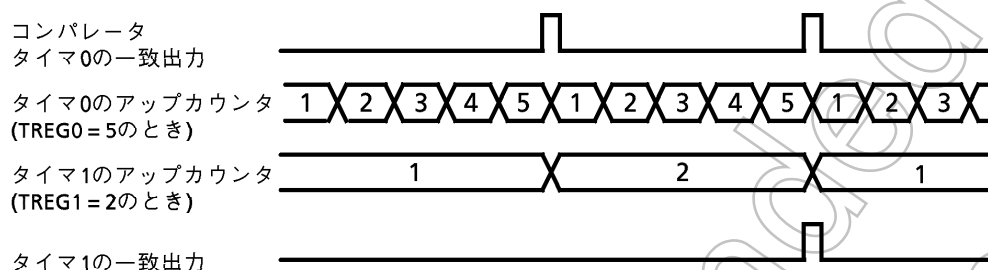


図3.7 (8) タイマ0によるタイマ1のカウントアップ

④ ソフト反転によるタイマ出力反転

タイマの動作とは関係なくタイマフリップフロップ (TFF1) の値を反転させることができます。

TFFCR <TFF1C1, 0> (メモリ番地: 000025Hのビット3, 2)に“00”を書き込むとTFF1の値が反転します。

⑤ タイマフリップフロップ (TFF1) の初期設定

タイマの動作とは関係なく、TFF1の値を“0”または“1”に初期設定することができます。

例えば、TFF1を“0”にする場合、TFFCR <TFF1C1, 0>に“10”を書き込み、TFF1を“1”にする場合はTFFCR <TFF1C1, 0>に“01”を書き込みます。

(注)タイマレジスタの値は読み出すことはできません。

(2) 16ビットタイマモード

タイマ0と1をペアにして、16ビットインタバルタイマにすることができます。

タイマ0と1をカスケード接続して、16ビットインタバルタイマにするには、タイマ0,1モードレジスタTMOD <T10M1, 0>を“01”に設定します。

16ビットタイマモードに設定すると、TMOD <T1CLK1, 0>の設定値にかかわらず、タイマ1の入力クロックは、タイマ0のオーバーフロー出力になります。下表にタイマ(割り込み)周期と入力クロックの選択との関係を示します。

表3.7 (2) 16ビットタイマ(割り込み)周期と入力クロックの選択

入力クロック	割り込み周期 (fc = 16 MHz)	分解能	割り込み周期 (fc = 20 MHz)	分解能
ϕ T1 (8/fc)	0.5 μ s ~ 32.786 ms	0.5 μ s	0.4 μ s ~ 26.214 ms	0.4 μ s
ϕ T4 (32/fc)	2 μ s ~ 131.072 ms	2 μ s	1.6 μ s ~ 104.857 ms	1.6 μ s
ϕ T16 (128/fc)	8 μ s ~ 524.288 ms	8 μ s	6.4 μ s ~ 419.430 ms	6.4 μ s

タイマ割り込み周期は、タイマレジスタ **TREG0** に下位8ビットを、**TREG1** に上位8ビットを設定します。この場合、かならず **TREG0** から先に設定してください (**TREG0** にデータを書き込むとコンパアが一時禁止され、**TREG1** へのデータ書き込みでコンパアが開始されるためです)。

例： $f_c = 16 \text{ MHz}$ で 0.5 秒ごとに割り込み **INTT1** を発生させる場合、タイマレジスタ **TREG0, 1** には次の値を設定します。

$\phi T16 (= 8 \mu\text{s} @ 16 \text{ MHz})$ を入力クロックとしてカウントすると

$$0.5 \text{ s} \div 8 \mu\text{s} = 62500 = \text{F424H}$$

従って **TREG1 = F4H**, **TREG0 = 24H** を設定します。

タイマ0のコンパレータ一致出力は、アップカウンタ **UC0** と **TREG0** とが一致するたびに出力されますが、アップカウンタ **UC0** はクリアされません。また、このとき割り込み **INTT0** は、発生しません。

タイマ1のコンパレータは、アップカウンタ **UC1** と **TREG1** と一致すると、コンパレータタイミング時、毎回一致検出信号が出力されます。タイマ0, 1両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ **UC0, 1** がゼロクリアされ、割り込み **INTT1** のみが発生します。また反転イネーブルであれば、タイマフリップフロップ **TFF1** の値は反転されます。

例： **TREG1 = 04H**, **TREG0 = 80H** の場合

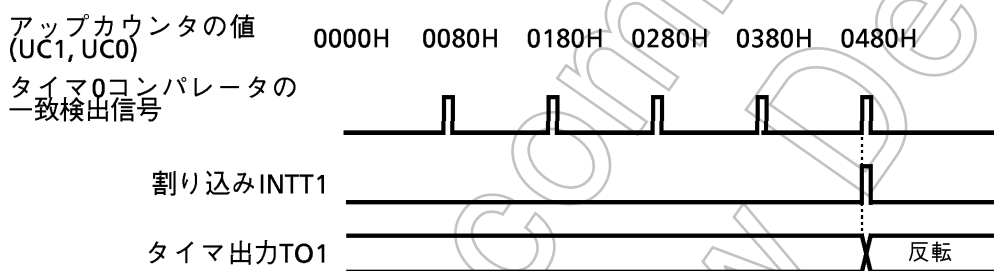


図3.7 (9) 16ビットタイマモードによるタイマ出力

(3) 8ビットPPG (プログラマブル矩形波) 出力モード

タイマ0を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブどちらでも可能です。

このモードに設定した場合タイマ1は使用できません。

矩形波は **TO1 (P71)** と兼用へ出力されます。

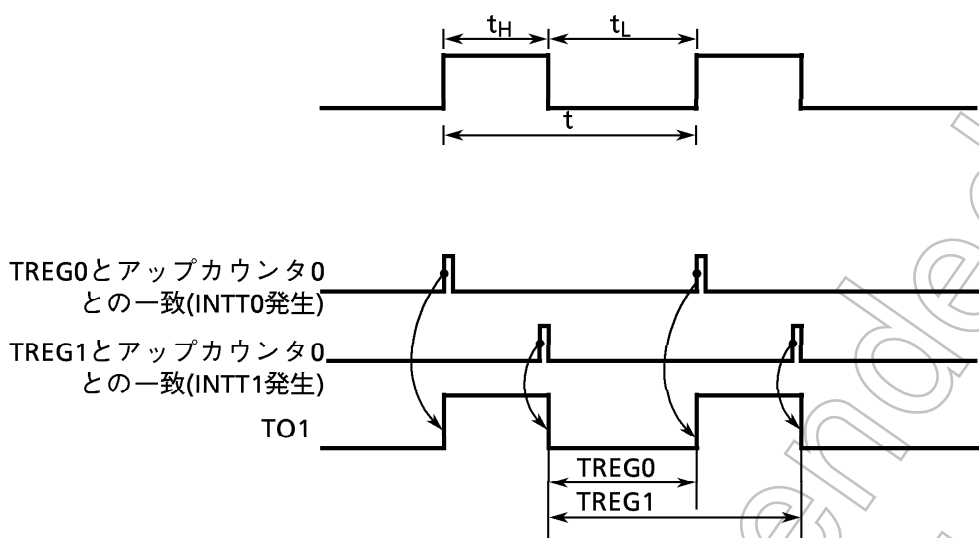


図3.7 (10) 8ビットPPG出力波形

このモードは、8ビットアップカウンタ0 (UC0) が、タイマレジスタTREG0およびTREG1と一致するたびに、タイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TREG0の設定値) < (TREG1の設定値) の条件を満たす必要があります。

なお、このモードでは、タイマ1のアップカウンタ(UC1)は使用できませんが、TRUN < T1RUN > = 1にして、タイマ1はカウントにしてください。

このモードをブロック図で示すと図3.7 (11) のようになります。

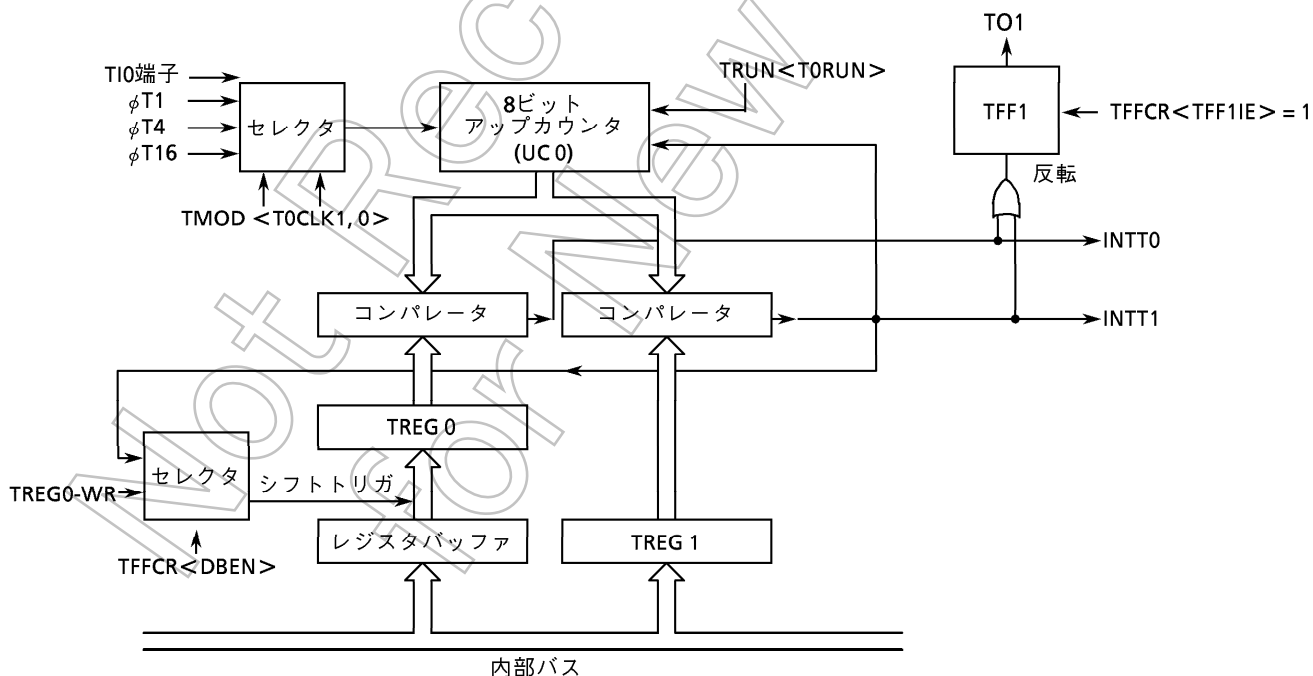


図3.7 (11) 8ビットPPG出力モードのブロック図

このモードでは、TREG0をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TREG1とUC0の一致時に、TREG0へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。

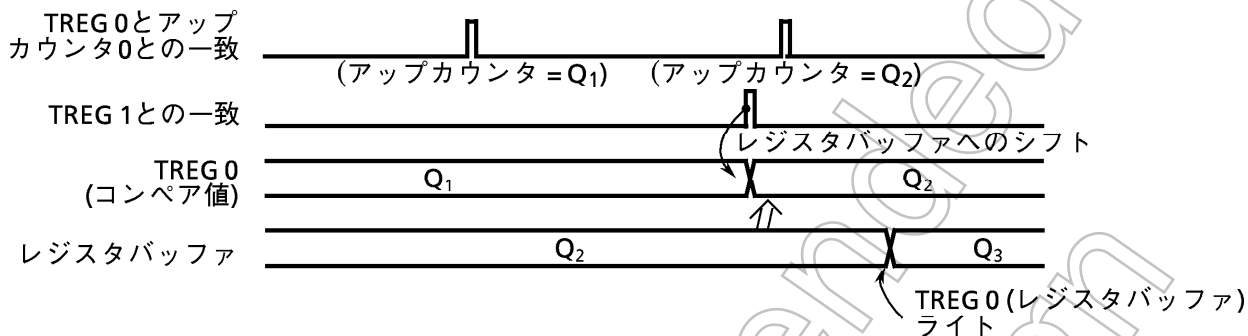


図3.7 (12) レジスタバッファの動作

例: デューティ 1/4 の 50 kHz のパルス を出力する場合 (fc=16 MHz)



タイマレジスタへの設定値を求めます。
周波数を 50 kHz にするには、周期 $t = 1/50 \text{ kHz} = 20 \mu\text{s}$ の波形をつくります。

$\phi T1 = 0.5 \mu\text{s}$ (@ fc=16 MHz) を用いると、

$$20 \mu\text{s} \div 0.5 \mu\text{s} = 40$$

従ってタイマレジスタ 1 (TREG1) を、TREG1=40=28H

次にデューティを 1/4 にするには、 $t \times 1/4 = 20 \mu\text{s} \times 1/4 = 5 \mu\text{s}$

$$5 \mu\text{s} \div 0.5 \mu\text{s} = 10$$

従ってタイマレジスタ 0 (TREG0) を TREG0=10=0AH に設定します。

	7 6 5 4 3 2 1 0	
TRUN	← - X - - - - 0 0	タイマ0,1を停止し、ゼロクリアします。
TMOD	← 1 0 X X X X 0 1	8ビットPPGモードにし、入力クロックをφT1にします。
TREG0	← 0 0 0 0 1 0 1 0	0AHを書き込みます。
TREG1	← 0 0 1 0 1 0 0 0	28Hを書き込みます。
TFFCR	← - - - X 0 1 1 X	TFF1をセットし反転イネーブルにします。
		↑ "10" にすると負論理の出力波形が得られます。
P7CR	← X X X X - - 1 -	} P71をTO1端子に設定します。
P7FC	← X X X X - - 1 X	
TRUN	← 1 X - - - - 1 1	タイマ0,1のカウントを開始します。

(注) X: don't care -: no change

(4) 8ビットPWM出力モード

タイマ0にのみ可能なモードです。分解能8ビットまでのPWMを出力することができます。PWM出力はTO1端子 (P71と兼用)へ出力されます。

このモード使用時、タイマ1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ (UC0) がタイマレジスタ TREG0 の設定値と一致したときと、 2^{n-1} ($n=6, 7, 8$ のいずれか $\text{TMOD} \langle \text{PWMM1}, 0 \rangle$ で指定) カウンタオーバーフロー発生時に起こります。また、アップカウンタ (UC0) は 2^{n-1} カウンタのオーバーフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(タイマレジスタの設定値) < (2^{n-1} カウンタのオーバーフロー設定値)

(タイマレジスタの設定値) $\neq 0$

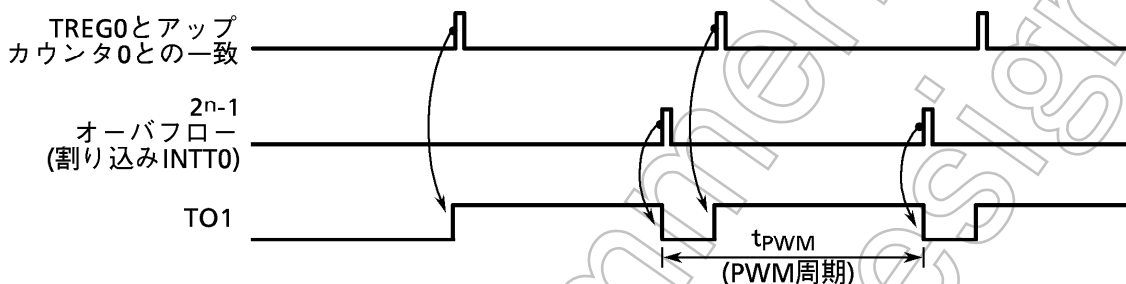


図 3.7(13) 8ビットPWM出力波形

このモードをブロック図で示すと図3.7(14)のようになります。

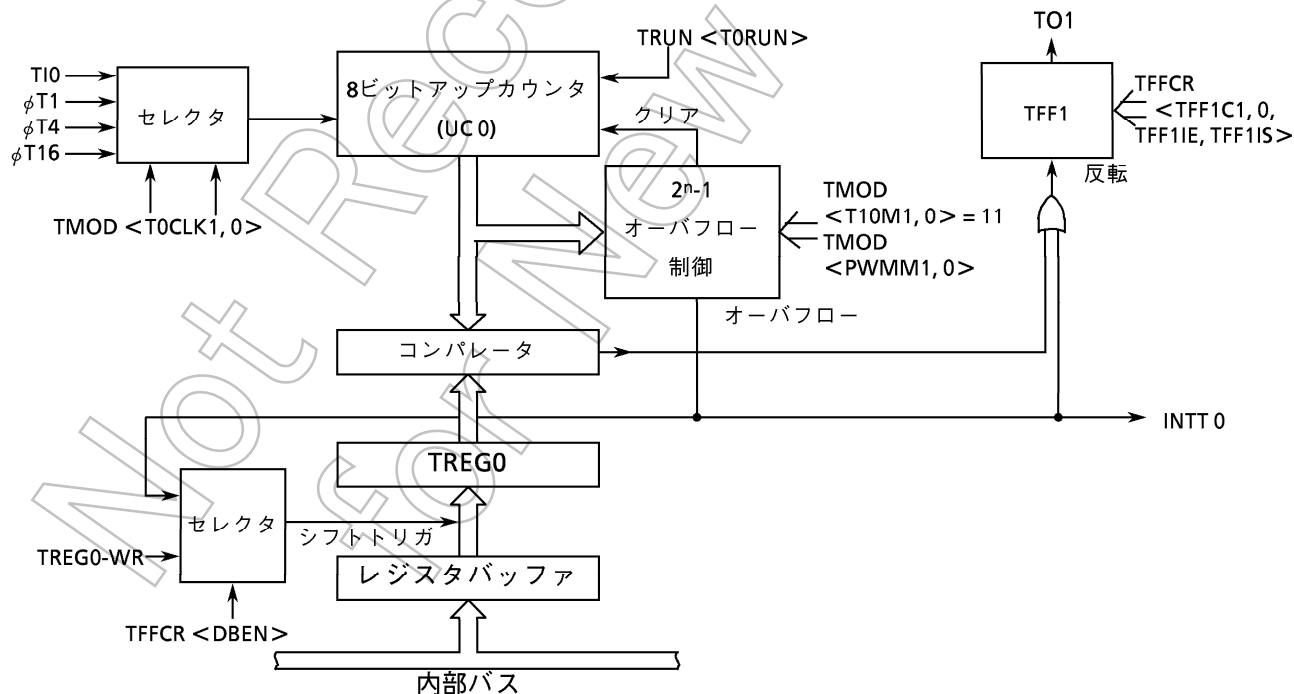


図3.7(14) 8ビットPWM出力モードのブロック図

このモードでは、TREG0をダブルバッファイネーブルにすることにより、2ⁿ-1 オーバフロー検出で、レジスタバッファの値がTREG0へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が、容易に行えます。

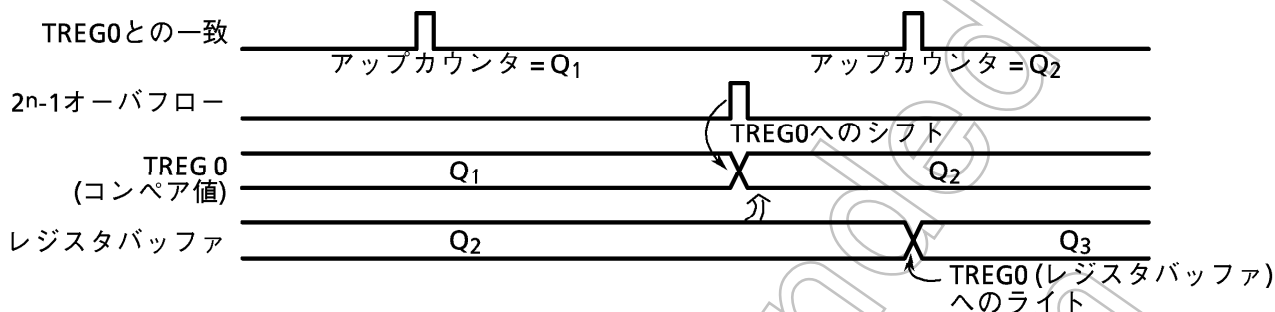
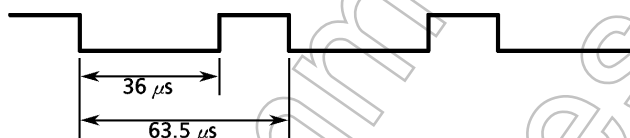


図 3.7 (15) レジスタバッファの動作

例： fc=16 MHz時、タイマ0を使って下記のPWM波形をTO1端子へ出力する場合



PWM周期63.5 μsを φT1=0.5 μs (@ fc=16 MHz) で実現する場合

$$63.5 \mu s \div 0.5 \mu s = 127 = 2^n - 1$$

従って n=7 に設定します。

“L” レベルの期間は 36 μs ですから φT1=0.5 μs では、

$$36 \mu s \div 0.5 \mu s = 72 = 48H$$

を TREG0 に設定します。

		MSB					LSB		
		7	6	5	4	3	2	1	0
TRUN	←	-	-	X	-	-	-	-	0
TMOD	←	1	1	1	0	-	-	0	1
TREG0	←	0	1	0	0	1	0	0	0
TFFCR	←	X	X	X	X	1	0	1	X
P7CR	←	X	X	X	X	-	-	1	-
P7FC	←	X	X	X	X	-	-	1	X
TRUN	←	1	X	-	-	-	-	-	1

タイマ0を停止し、ゼロクリアします。

8ビットPWMモード (周期=2ⁿ-1) にし、入力クロックを φT1 にします。

48Hを書き込みます。

TFF1をクリアし、反転イネーブルにします。

P71をTO1端子に設定します。

タイマ0のカウントを開始します。

(注) X: don't care - : no change

表3.7 (3) PWM周期と2ⁿ-1カウンタの設定

	PWM周期 (@ fc = 16 MHz)			PWM周期 (@ fc = 20 MHz)		
	φT1	φT4	φT16	φT1	φT4	φT16
26-1	31.5 μs (31.7 kHz)	126 μs (7.9 kHz)	504 μs (1.9 kHz)	25.2 μs (39.0 kHz)	100 μs (10.0 kHz)	403 μs (2.4 kHz)
27-1	63.5 μs (15.7 kHz)	254 μs (3.9 kHz)	1.01 ms (0.98 kHz)	50.8 μs (19.7 kHz)	203 μs (4.9 kHz)	812 μs (1.2 kHz)
28-1	127 μs (7.8 kHz)	510 μs (1.9 kHz)	2.04 ms (0.49 kHz)	102 μs (9.80 kHz)	408 μs (2.4 kHz)	1.63 ms (0.61 kHz)

(5) 8ビットタイマの各モードをまとめると表3.7(4)のような設定になります。

表3.7(4) 各タイマモードの設定レジスタ

レジスタ名 レジスタ中の機能名	TMOD				TFFCR
	T10M	PWMM	T1CLK	TOCLK	TFF1IS
機能	タイマモード	PWM周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマF/F反転 信号セレクト
16ビットタイマモード	01	-	-	外部, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	-
8ビットタイマ×2ch	00	-	下位タイマ一致 $\phi T1, 16, 256$ (00, 01, 10, 11)	外部, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	0:下位タイマ出力 1:上位タイマ出力
8ビットPPG×1ch	10	-	-	外部, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	-
8ビットPWM×1ch	11	26-1, 27-1, 28-1 (01, 10, 11)	-	外部, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	-
8ビットタイマ×1ch	11	-	$\phi T1, \phi T16, \phi T256$ (01, 10, 11)	-	出力不能

(注) -: Don't care

3.8 8ビットPWMタイマ

TMP96C141Bは、8ビットのPWMタイマを2本(タイマ2,3)内蔵しています。
このPWMタイマは次の2種類の動作モードをもっています。

- 8ビットPWM(パルス幅変調:固定周期で可変デューティ)出力モード
- 8ビットインタバルタイマモード

図3.8(1)に8ビットPWMタイマ(タイマ2,3)のブロック図を示します。

各PWMタイマには、8ビットのアップカウンタ、8ビットのコンパレータ、および8ビットのタイマレジスタで構成され、タイマ2,3の各々にタイマフリップフロップ(TFF2,3)が用意されています。

PWMタイマへの入力クロックの $\phi P1$, $\phi P4$, $\phi P16$ は、内蔵のプリスケラより得られます。

PWMタイマの動作モードやタイマフリップフロップは、4つのコントロールレジスタ(P0MOD, P1MOD, PFFCR, TRUN)で制御されます。

Not Recommended for New Design

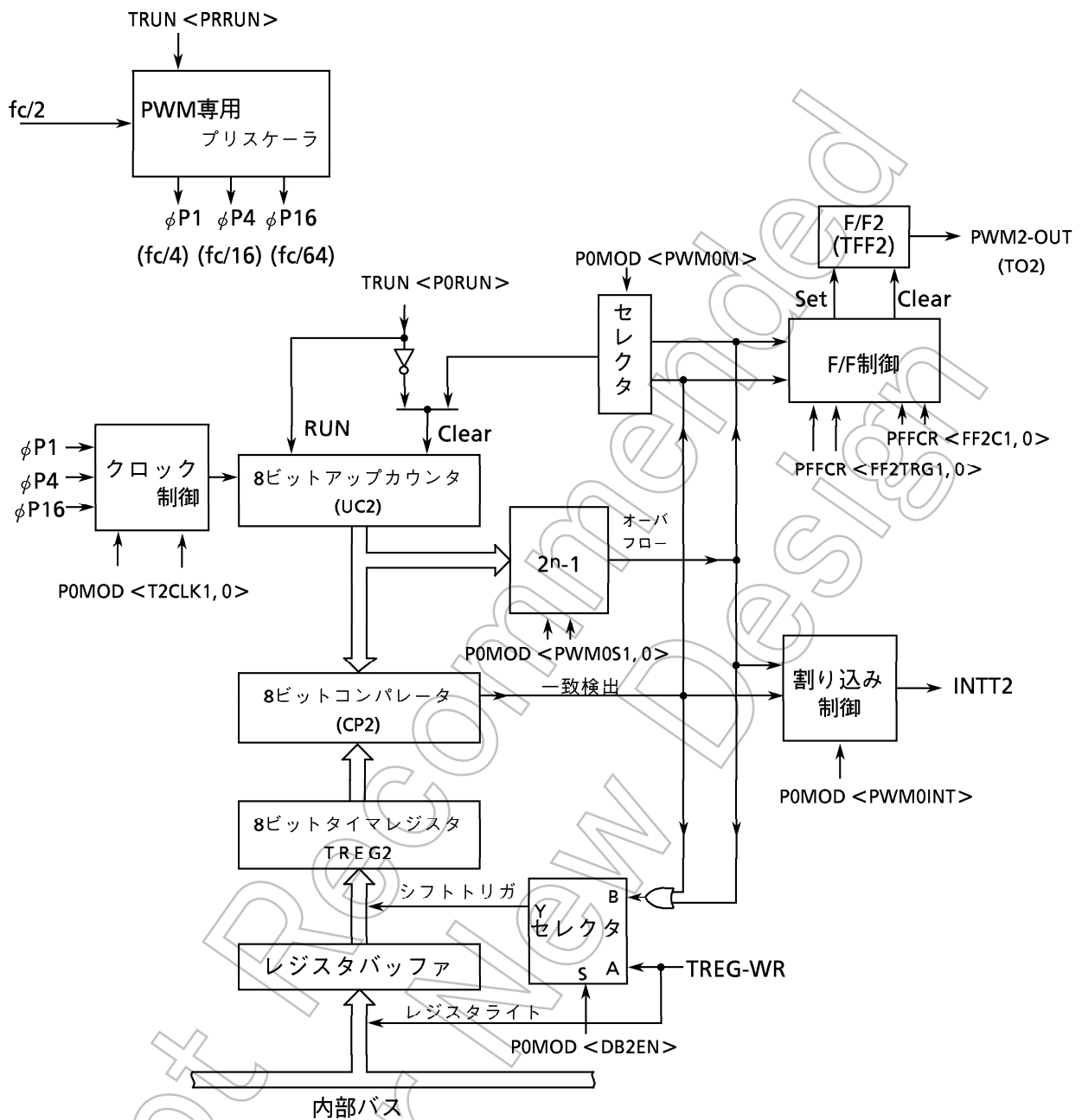


図3.8(1) 8ビットPWMタイマ0(タイマ2)のブロック図

注) 8ビットPWMタイマ1(タイマ3)のブロック図も本図と同じです。

① プリスケーラ

原振クロック (f_c) を2分周したクロック ($f_c/2$) をさらに分周するプリスケーラで、PWMタイマ専用の入力クロックを生成しています。ただし、このプリスケーラを制御するレジスタは他のタイマ用のものと同じであるため、本プリスケーラを単体で動作させることはできません。

PWMタイマには、 $\phi P1$, $\phi P4$, $\phi P16$ の3種類が用いられます。

このプリスケーラは、8ビットタイマの項で説明した9ビットプリスケーラと同じく、タイマ動作コントロールレジスタTRUNの7ビット目<PRRUN>によってカウント/停止させることができます。<PRRUN> = “1” にするとカウントを開始し、<PRRUN> = “0” にするとゼロクリアされて停止します。リセット時は、<PRRUN> = “0” にクリアされますのでプリスケーラはクリアされ停止します。

専用プリスケーラ周期

	16 MHz時	20 MHz時
$\phi P1$ ($4/f_c$)	250 ns	200 ns
$\phi P4$ ($16/f_c$)	1 μs	800 ns
$\phi P16$ ($64/f_c$)	4 μs	3.2 μs

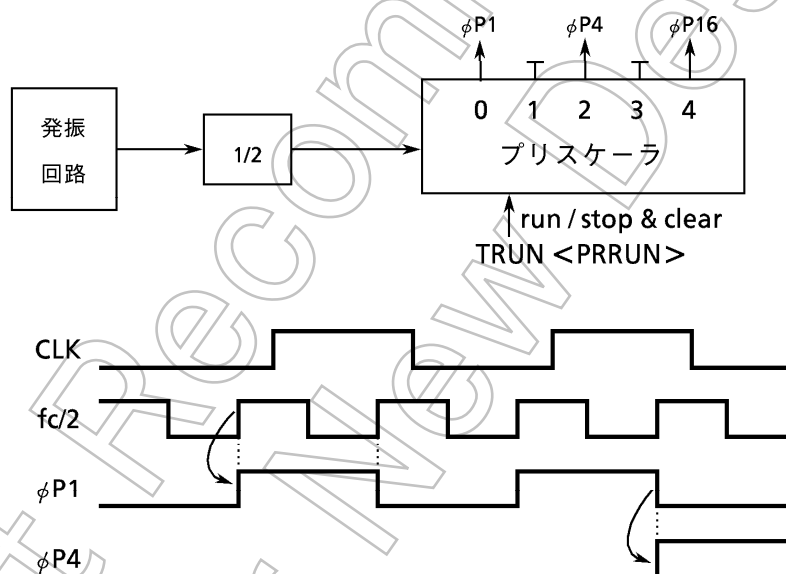


図3.8(2) プリスケーラ

② アップカウンタ

PWM0モードレジスタP0MOD、および、PWM1モードレジスタP1MODで指定された入力クロックによって、カウントアップする8ビットのバイナリカウンタです。

PWM0/PWM1の入力クロックは、内部クロック ϕ P1, ϕ P4, ϕ P16 (PWM専用プリスケアラ出力) から、P0MODレジスタおよびP1MODレジスタの設定値に応じて選択されます。

動作モードもP0MODレジスタとP1MODレジスタで設定します。リセット時はP0MOD \langle PWM0M $\rangle = "0"$, P1MOD \langle PWM1M $\rangle = "0"$ に初期化されますので、PWMモードとなっています。PWMモード時には、 2^{n-1} オーバフロー発生時にアップカウンタがクリアされ、タイマモード時には、コンペア一致時にアップカウンタがクリアされます。

アップカウンタは、タイマ動作コントロールレジスタTRUNによって、カウント/停止&クリアを、各PWMタイマごとに、制御することができます。リセット時すべてのアップカウンタはクリアされて、タイマは停止しています。

③ タイマレジスタ

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタ(TREG2, 3)への設定値とアップカウンタの値とが一致すると、コンパレータの一致検出信号がアクティブになります。

このタイマレジスタTREG2/TREG3はダブルバッファ構成になっており、それぞれレジスタバッファとペアになっています。

TREG2/TREG3は、P0MODの \langle DB2EN \rangle およびP1MODの \langle DB3EN \rangle によって、ダブルバッファのイネーブル/ディセーブルを制御します。 \langle DB2EN \rangle / \langle DB3EN $\rangle = "0"$ のときディセーブル、 \langle DB2EN \rangle / \langle DB3EN $\rangle = "1"$ のときイネーブルとなります。

ダブルバッファイネーブル時の、レジスタバッファからタイマレジスタへのデータ転送は、PWMモードの 2^{n-1} オーバフロー、または、8ビットタイマモードのコンペア一致時に行われます。従って、タイマ0, 1におけるPWMモード/タイマモードと違い、PWMタイマではダブルバッファイネーブルの状態でタイマモードを動作させることができます。

リセット時は、 \langle DB2EN \rangle / \langle DB3EN $\rangle = "0"$ に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み、 \langle DB2EN \rangle / \langle DB3EN $\rangle = "1"$ に設定した後、レジスタバッファに次のデータを書き込んでください。

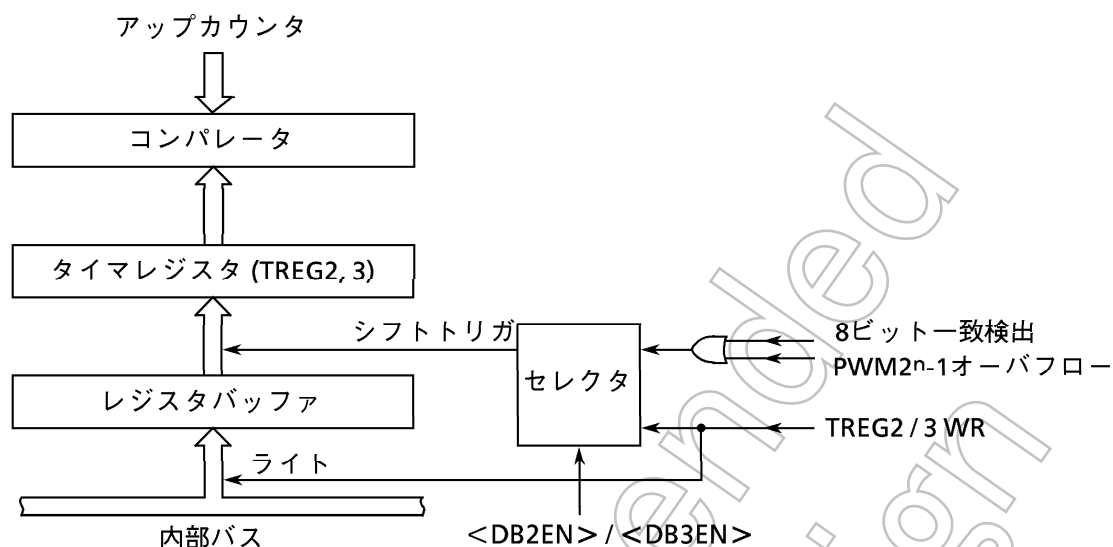


図3.8 (3) タイマレジスタ2,3の構成

- (注) タイマレジスタとレジスタバッファは同じメモリ番地に割り付けられています。<DB2EN> / <DB3EN> = “0” のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<DB2EN> / <DB3EN> = “1” のときはレジスタバッファにのみ書き込まれます。

タイマレジスタのメモリ番地は次のとおりです。

TREG2 : 000026H
TREG3 : 000027H

各レジスタとも、ライトオンリーのレジスタで直接リードできませんが、本番地を読み出すとレジスタバッファの値が読み出されます。

④ コンパレータ

アップカウンタの値とタイマレジスタ (TREG2/TREG3) の値とを比較し、一致すると一致検出信号を出します。タイマ割り込み (INTT2, INTT3) はモードレジスタ (P0MOD, P1MOD) の割り込み選択ビット <PWM0INT> / <PWM1INT> が “1” であれば、コンペア一致時に発生します。また、タイマモードのときにはこのコンペア一致時にアップカウンタを “0” にクリアします。さらに、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

⑤ タイマフリップフロップ

各インタバルタイマの一致検出信号 (コンパレータ出力)、または、 $2n-1$ オーバフローにより反転するフリップフロップで、タイマ出力端子 TO2 / TO3 (P72 / P73 と兼用) へその値を出力することができます。

	7	6	5	4	3	2	1	0
bit Symbol	FF2RD	DB2EN	PWM0INT	PWM0M	T2CLK1	T2CLK0	PWM0S1	PWM0S0
Read/Write	R				W			
リセット後	-	0	0	0	0	0	0	0
機能	フリップフロップ (F/F2) の出力データ	1: Double Buffer2 Enable	0: 2 ⁿ -1 オーバフロー割り込み 1: コンペア一致割り込み	0: PWMモード 1: タイマモード	00: φP1 (fc/4) 01: φP4 (fc/16) 10: φP16 (fc/64) 11: Don't care		00: 26-1 01: 27-1 10: 28-1 11: Don't care	

リードモディファイ
ライトできません。

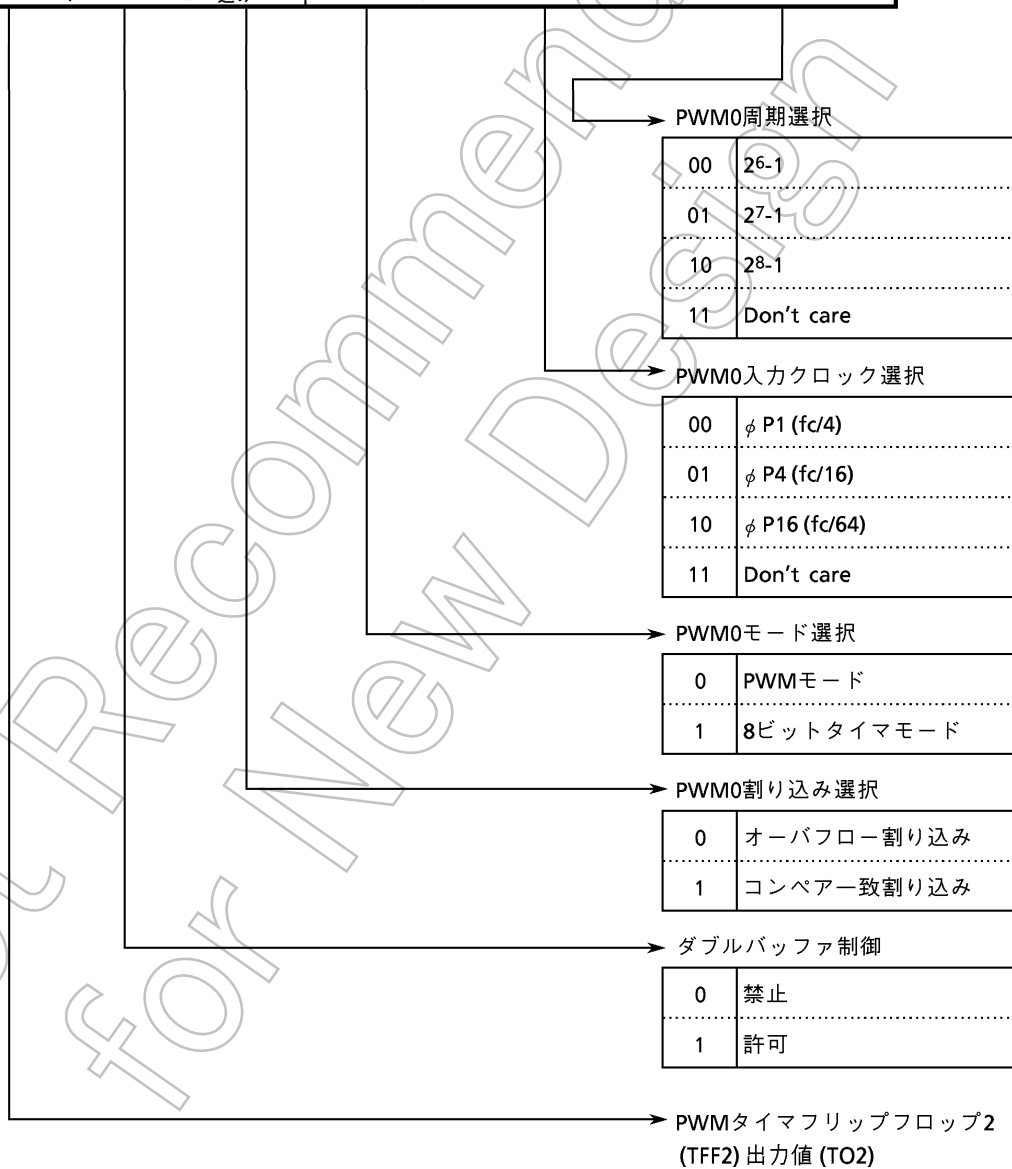


図3.8 (4) 8ビットPWM0モードコントロールレジスタ

	7	6	5	4	3	2	1	0		
P1MOD (0029H)	bit Symbol	FF3RD	DB3EN	PWM1INT	PWM1M	T3CLK1	T3CLK0	PWM1S1	PWM1S0	
	Read/Write	R	W							
	リセット後	-	0	0	0	0	0	0	0	
	機能	フリップフロップ (F/F3) の出力データ	1: Double Buffer3 Enable	0: 2 ⁿ -1 オーバフロー割り込み 1: コンペア一致割り込み	0: PWMモード 1: タイマモード	00: φP1 (fc/4) 01: φP4 (fc/16) 10: φP16 (fc/64) 11: Don't care		00: 2 ⁶ -1 01: 2 ⁷ -1 10: 2 ⁸ -1 11: Don't care		

リードモディファイ
ライトできません。

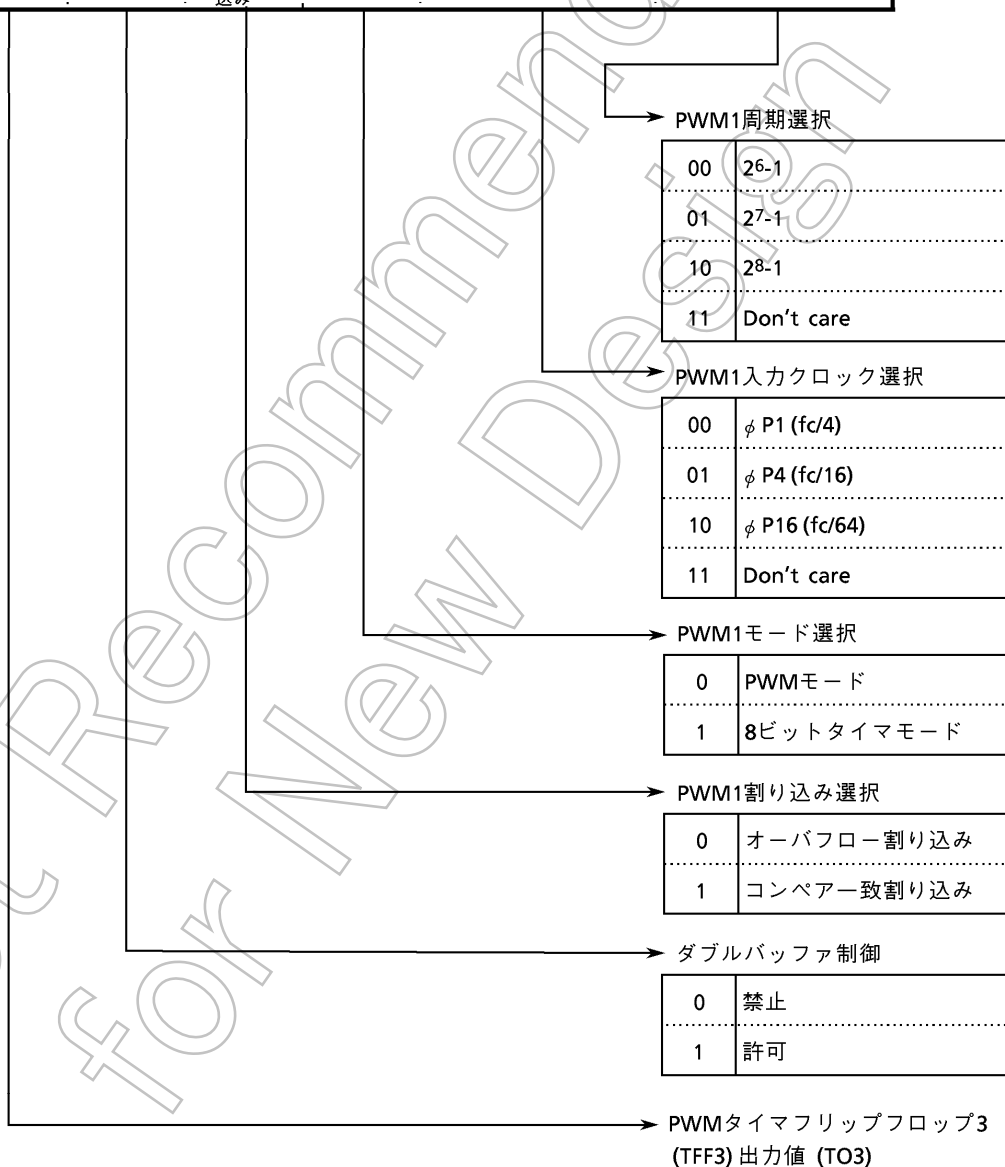


図3.8 (5) 8ビットPWM1モードコントロールレジスタ

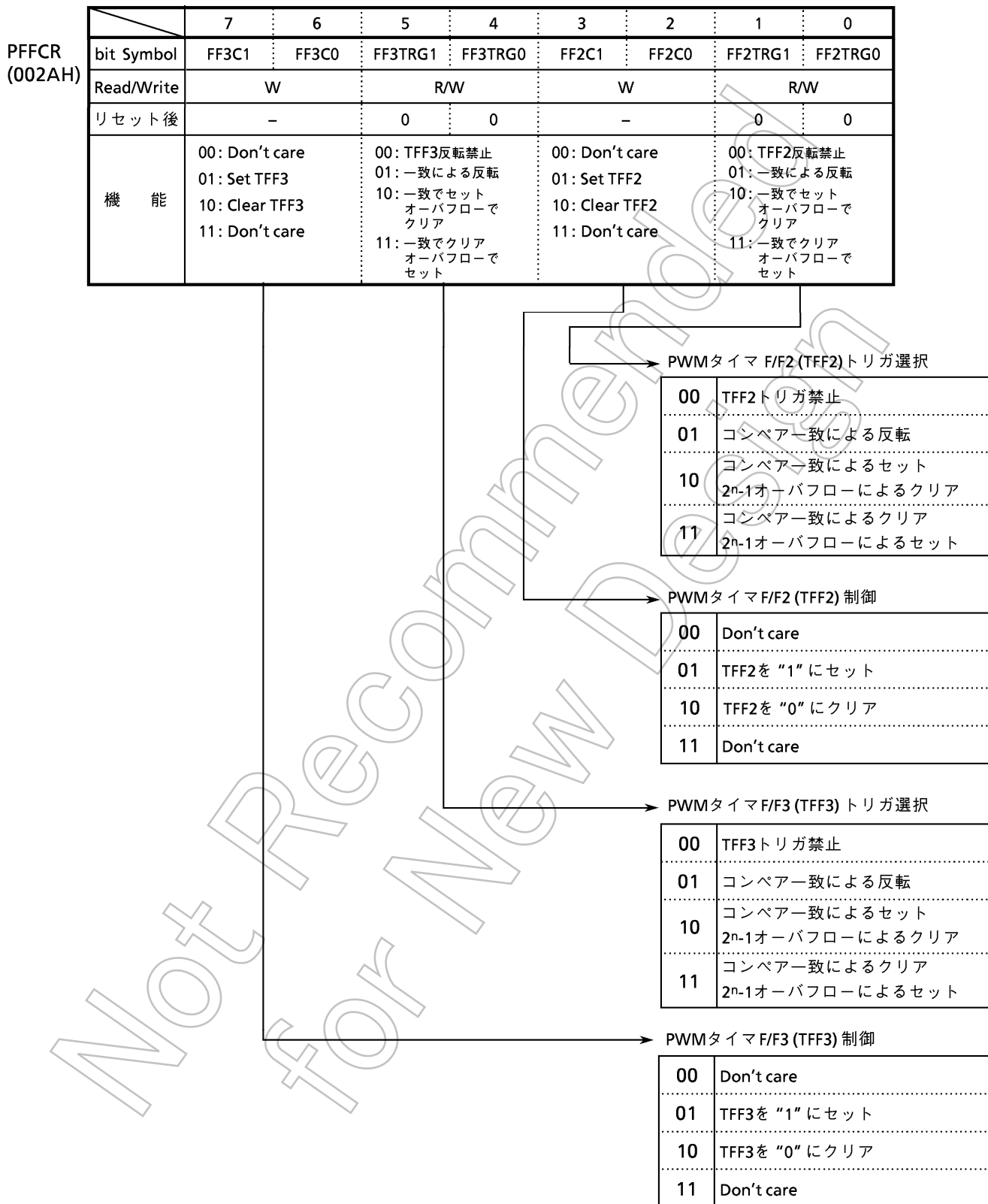


図3.8 (6) 8ビットPWM F/Fコントロールレジスタ

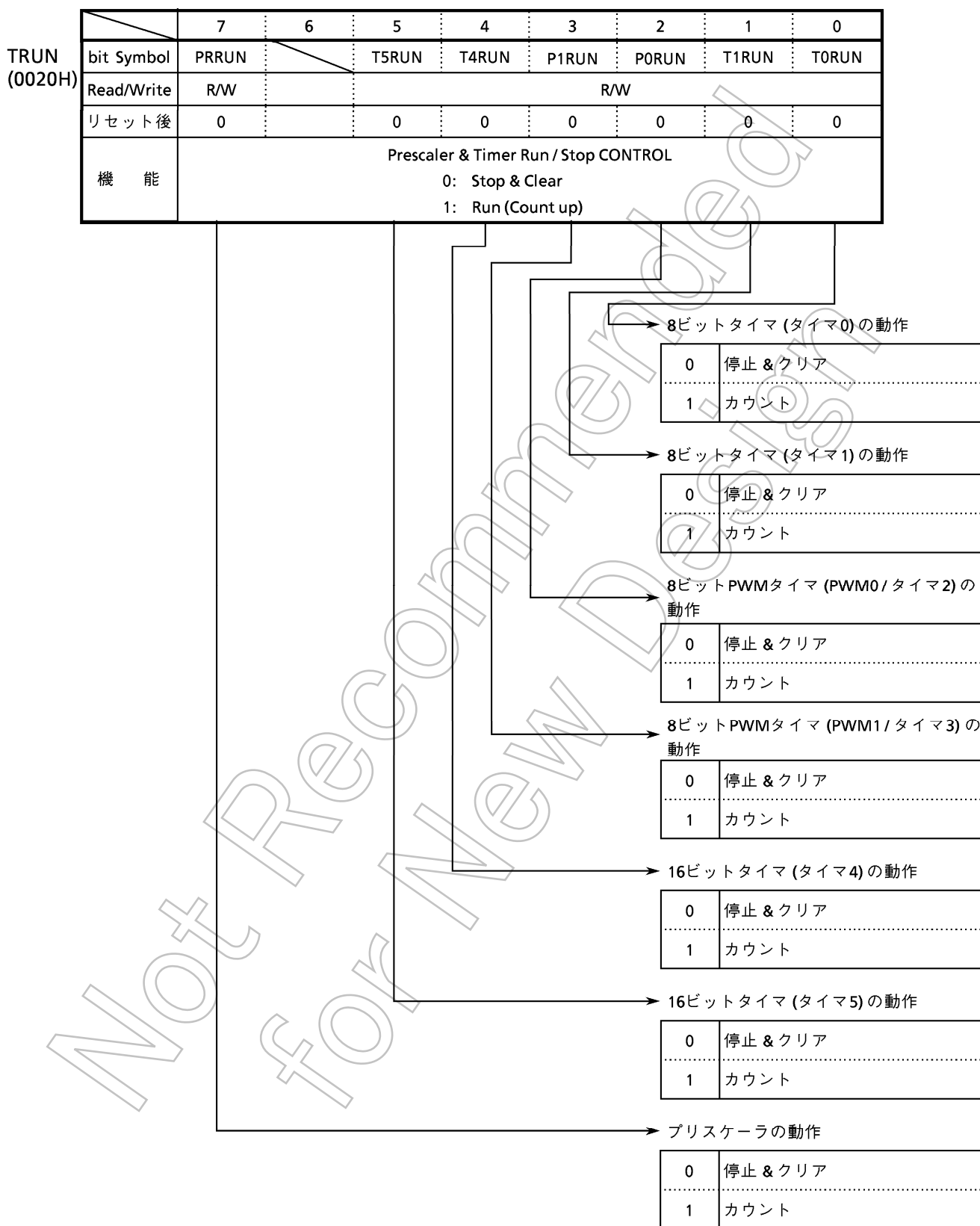


図3.8 (7) タイマ動作コントロールレジスタ (TRUN)

次にPWMタイマの動作説明をします。

(1) PWMタイマモード

2本のPWMタイマはそれぞれ独立に分解能8ビットのPWMを出力することができます。いずれのタイマも同一の動作をしますので、ここではPWM0の場合について説明します。

PWM出力は以下の2通りの条件で変化します。

- アップカウンタ (UC2) の値と TREG2 の設定値とが一致した場合、TFF2 を “0” にクリア
 - 2^{n-1} カウンタオーバーフロー ($n=6, 7, 8$ のいずれかに設定) によって、TFF2 を “1” にセット
 - アップカウンタ (UC2) の値と TREG2 の設定値とが一致した場合、TFF2 を “1” にセット
 - 2^{n-1} カウンタオーバーフロー ($n=6, 7, 8$ のいずれかに設定) によって、TFF2 を “0” にクリア
- アップカウンタ (UC2) は、 2^{n-1} カウンタオーバーフローによって、クリアされます。

このPWMタイマは、 2^{n-1} カウンタオーバーフロー優先により変化するため、PWM出力0%~100%を実現しています。すなわち、0% (常に “L” レベル) 出力のときには、オーバーフローでTFF2を “0” クリアするモード (PFFCR<FF2TRG1, 0>=1, 0) に設定して、TREG2に 2^{n-1} の値を設定することで得られ、100% (常に “H” レベル) 時には、モードを変更 (PFFCR<FF2TRG1, 0>=1, 1) し、同様の操作を行います。

PWMタイミング

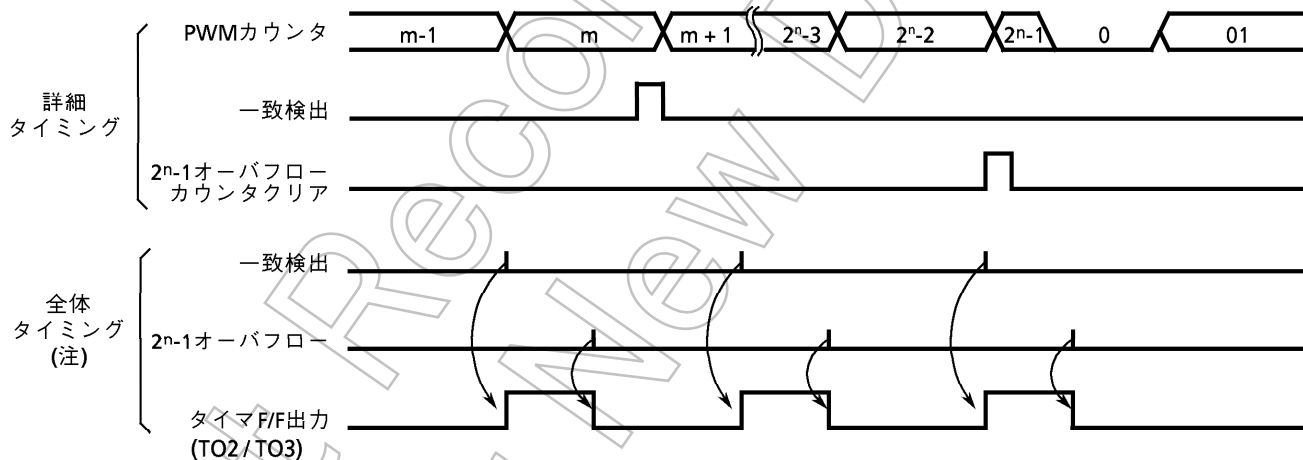


図3.8(8) PWMタイマモードの出力波形

注) 本例は、タイマレジスタ (TREG) との一致でF/Fがセット、オーバーフローでリセットされるモードに設定されているときの波形例です。

このモードをブロック図で示すと図3.8 (9) のようになります。

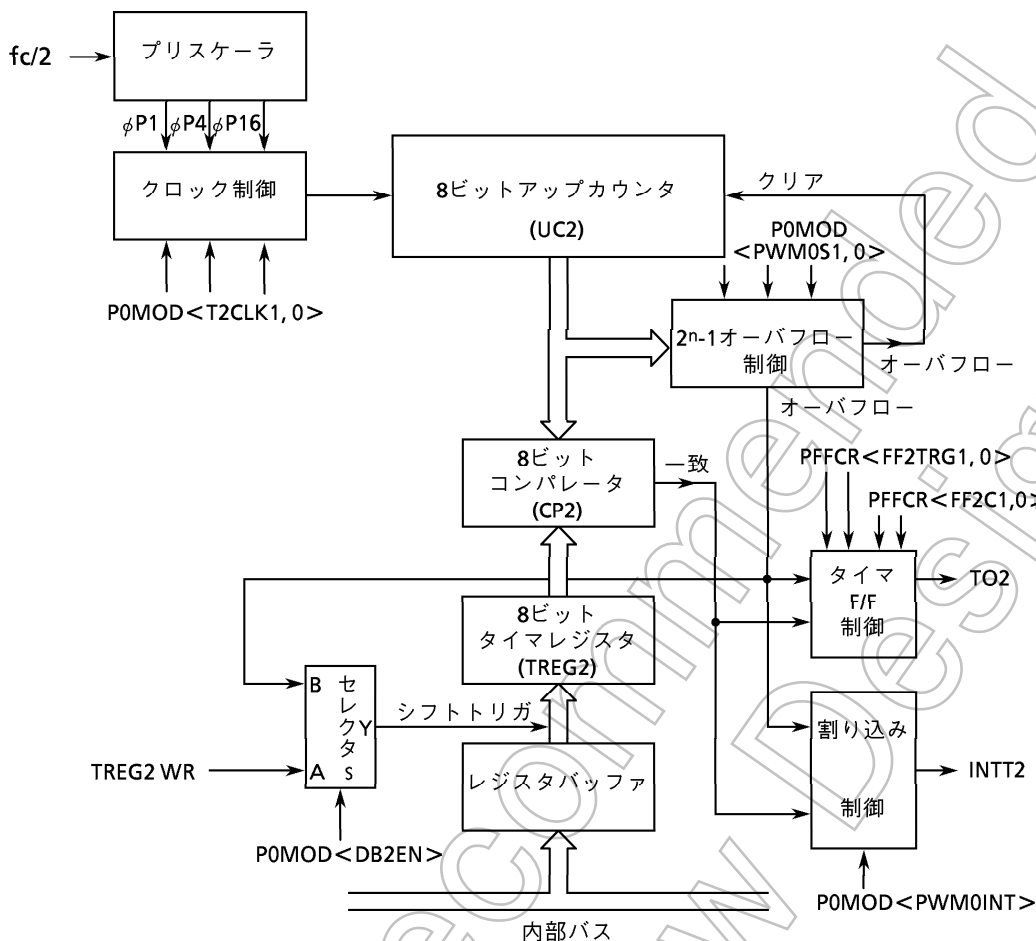


図 3.8 (9) PWMタイマモードのブロック図 (PWM0)

このモードでは、**TREG2**をダブルバッファイネーブルにすることにより、 2^n-1 オーバーフロー検出で、レジスタバッファの値が**TREG2**へシフトインされます。
 ダブルバッファを使用することにより小さいデューティへの対応が容易に行えます。

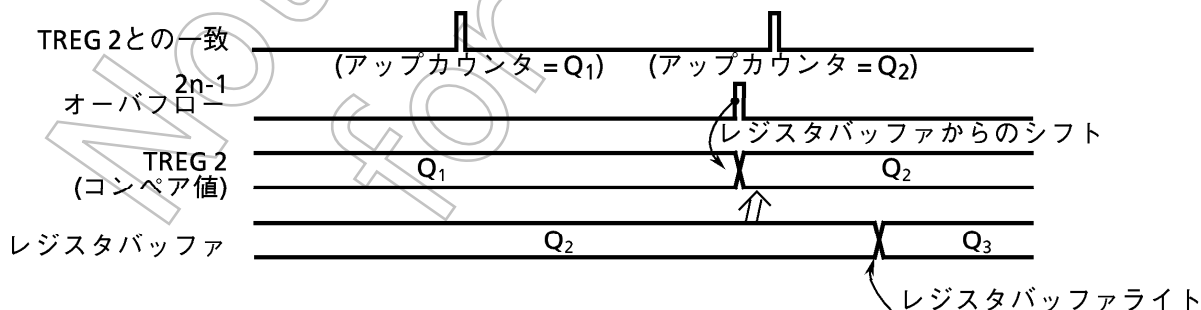
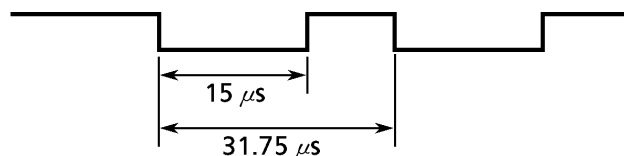


図3.8 (10) レジスタバッファの動作

例: $f_c=16\text{ MHz}$ 時、PWM0を使って下記のPWM波形をTO2端子へ出力する場合



PWM周期 $31.75\ \mu\text{s}$ を $\phi P1=0.25\ \mu\text{s}$ ($@ f_c=16\text{ MHz}$) で実現する場合

$$31.75\ \mu\text{s} \div 0.25\ \mu\text{s} = 127 = 2^7 - 1.$$

従って、 $n=7$ に設定します。

“L”レベルの期間は $15\ \mu\text{s}$ なので $\phi P1=0.25\ \mu\text{s}$ では、

$$15\ \mu\text{s} \div 0.25 = 60 = 3\text{CH}$$

をTREG2に設定します。

```

      7 6 5 4 3 2 1 0
TRUN ← - X - - - 0 - -
POMOD ← - 0 0 0 0 0 0 1

TREG2 ← 0 0 1 1 1 1 0 0
POMOD ← - 1 0 0 0 0 0 1
PFFCR ← - - - - 0 1 1 1

P7CR ← X X X X - 1 - -
P7FC ← X X X X - 1 - X
TRUN ← 1 X - - - 1 - -
    
```

PWM0を停止し、ゼロクリアします。

PWM(27-1)モードにし、入力クロック $\phi P1$,オーバフロー割り込み、ダブルバッファディセーブルにします。

3CHを書き込みます。

ダブルバッファをイネーブルにします。

TFF2をセットし、コンペアー致でセット/オーバフローでクリアのモードにします。

P72をTO2端子に設定します。

PWM0のカウントを開始します。

(注) X; don't care -; no change

表3.8 (1) PWM周期と2n-1カウンタの設定

	計算式	16 MHz時			20 MHz時		
		$\phi P1$	$\phi P4$	$\phi P16$	$\phi P1$	$\phi P4$	$\phi P16$
26-1	$26-1 \times \phi Pn$	$15.8\ \mu\text{s}$ (63 kHz)	$63.0\ \mu\text{s}$ (16 kHz)	$252\ \mu\text{s}$ (3.9 kHz)	$12.6\ \mu\text{s}$ (79 kHz)	$50.4\ \mu\text{s}$ (20 kHz)	$201\ \mu\text{s}$ (4.9 kHz)
27-1	$27-1 \times \phi Pn$	$31.8\ \mu\text{s}$ (31 kHz)	$127.0\ \mu\text{s}$ (7.9 kHz)	$508\ \mu\text{s}$ (1.9 kHz)	$25.4\ \mu\text{s}$ (39 kHz)	$101.6\ \mu\text{s}$ (9.8 kHz)	$406\ \mu\text{s}$ (2.5 kHz)
28-1	$28-1 \times \phi Pn$	$63.8\ \mu\text{s}$ (16 kHz)	$255.0\ \mu\text{s}$ (3.9 kHz)	$1020\ \mu\text{s}$ (0.98 kHz)	$51.0\ \mu\text{s}$ (20 kHz)	$204.0\ \mu\text{s}$ (4.9 kHz)	$816\ \mu\text{s}$ (1.2 kHz)

(2) 8ビットタイマモード

2本のPWMタイマはそれぞれ独立に8ビットインタバルタイマとしても使用できます。いずれのタイマも同一の動作をしますので、ここではPWM0(タイマ2)の場合について説明します。

① 一定周期の割り込みを発生させる場合

PWM0を用いて一定周期ごとにタイマ2割り込み(INTT2)を発生させる場合、まず、PWM0を停止させてから動作モード入力クロック、周期をそれぞれP0MODレジスタTREG2レジスタに設定します。次にINTT2をイネーブルにしてからPWM0をカウントさせます。

例: $f_c=16\text{ MHz}$ で $40\ \mu\text{s}$ ごとにタイマ1割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	7 6 5 4 3 2 1 0	
TRUN	← - X - - - 0 - -	PWM0を停止しゼロクリアします。
P0MOD	← X 0 1 1 0 0 X X	8ビットタイマモードにし、入力クロックを ϕP1 ($0.25\ \mu\text{s}$)コンペア割り込みにします。
TREG2	← 1 0 1 0 0 0 0 0	タイマレジスタに $40\ \mu\text{s} \div 0.25\ \mu\text{s} = \text{A0H}$ をセット。
INTEPW10	← - - - - 1 1 0 0	INTT2をイネーブル、割り込みレベル4にします。
TRUN	← 1 X - - - 1 - -	PWM0をカウントさせます。

(注) X; don't care -; no change

入力クロックの選択は下表を参考にしてください。

表3.8(2) ビットタイマモードによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_c = 16\text{ MHz}$)	分解能	割り込み周期 (@ $f_c = 20\text{ MHz}$)	分解能
ϕP1 ($4/f_c$)	$0.25\ \mu\text{s} \sim 64\ \mu\text{s}$	$0.25\ \mu\text{s}$	$0.2\ \mu\text{s} \sim 51.2\ \mu\text{s}$	$0.2\ \mu\text{s}$
ϕP4 ($16/f_c$)	$1\ \mu\text{s} \sim 256\ \mu\text{s}$	$1\ \mu\text{s}$	$0.8\ \mu\text{s} \sim 204.8\ \mu\text{s}$	$0.8\ \mu\text{s}$
ϕP16 ($64/f_c$)	$4\ \mu\text{s} \sim 1024\ \mu\text{s}$	$4\ \mu\text{s}$	$3.2\ \mu\text{s} \sim 819.2\ \mu\text{s}$	$3.2\ \mu\text{s}$

(注) 8ビットタイマモードで割り込みを使用する場合は、P0MOD/P1MODのビット5の割り込みコントロールビット<PWM0INT>/<PWM1INT>をかならず“1”へセットしてください。

② デューティ50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップを反転させ、このタイマフリップフロップの値をタイマ出力端子 (TO2) へ出力します。

例: $f_c = 16 \text{ MHz}$ で周期 $3.0 \mu\text{s}$ の矩形波をTO2端子から出力させたい場合、次の順序で各レジスタを設定します。

7 6 5 4 3 2 1 0	
TRUN ← - X - - - 0 - -	PWM0を停止し、ゼロクリアします。
P0MOD ← X 0 1 1 0 0 X X	8ビットタイマモード、入力クロック $\phi P1(0.25 \mu\text{s})$ 。
TREG2 ← 0 0 0 0 0 1 1 0	タイマレジスタに $3.0 \mu\text{s} \div 0.25 \mu\text{s} \div 2 = 6$ をセットします。
PFFCR ← - - - - 1 0 0 1	TFF2を"0"にクリアし、コンパレータ出力による反転。
P7CR ← X X X X - 1 - -	} P72をTO2端子に設定します。
P7FC ← X X X X - 1 - X	
TRUN ← 1 X - - - 1 - -	PWM0のカウントを開始します。

(注) X; don't care -; no change

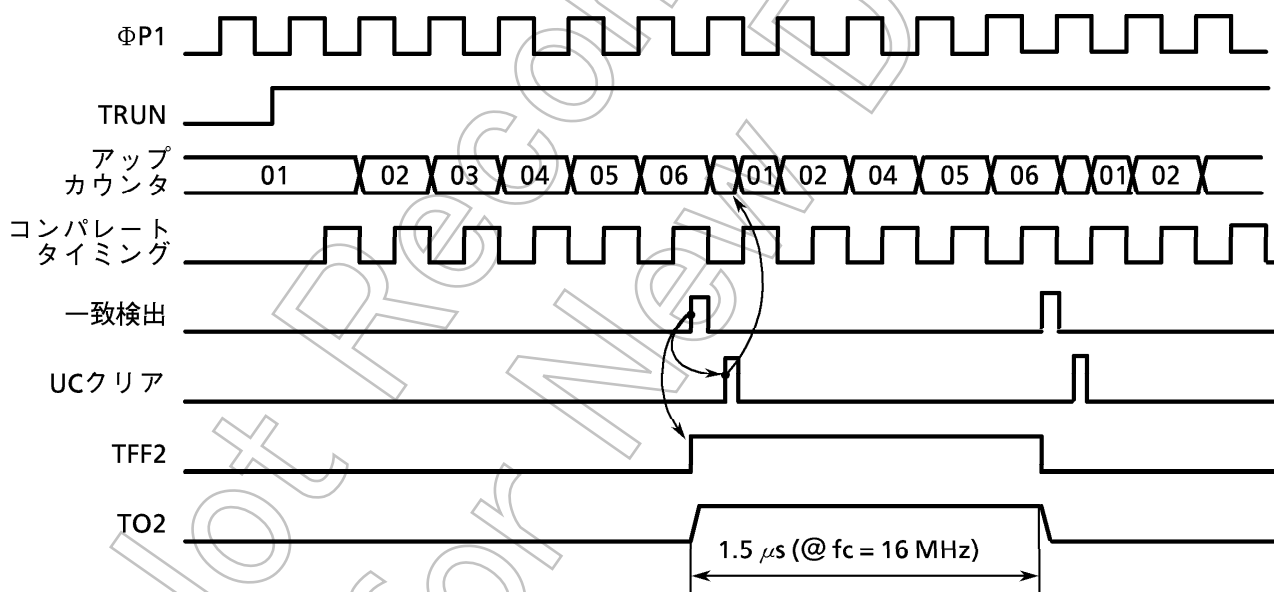


図3.8 (11) 矩形波 (デューティ50%) 出力のタイミングチャート

このモードをブロック図で示すと図3.8(12)のようになります。

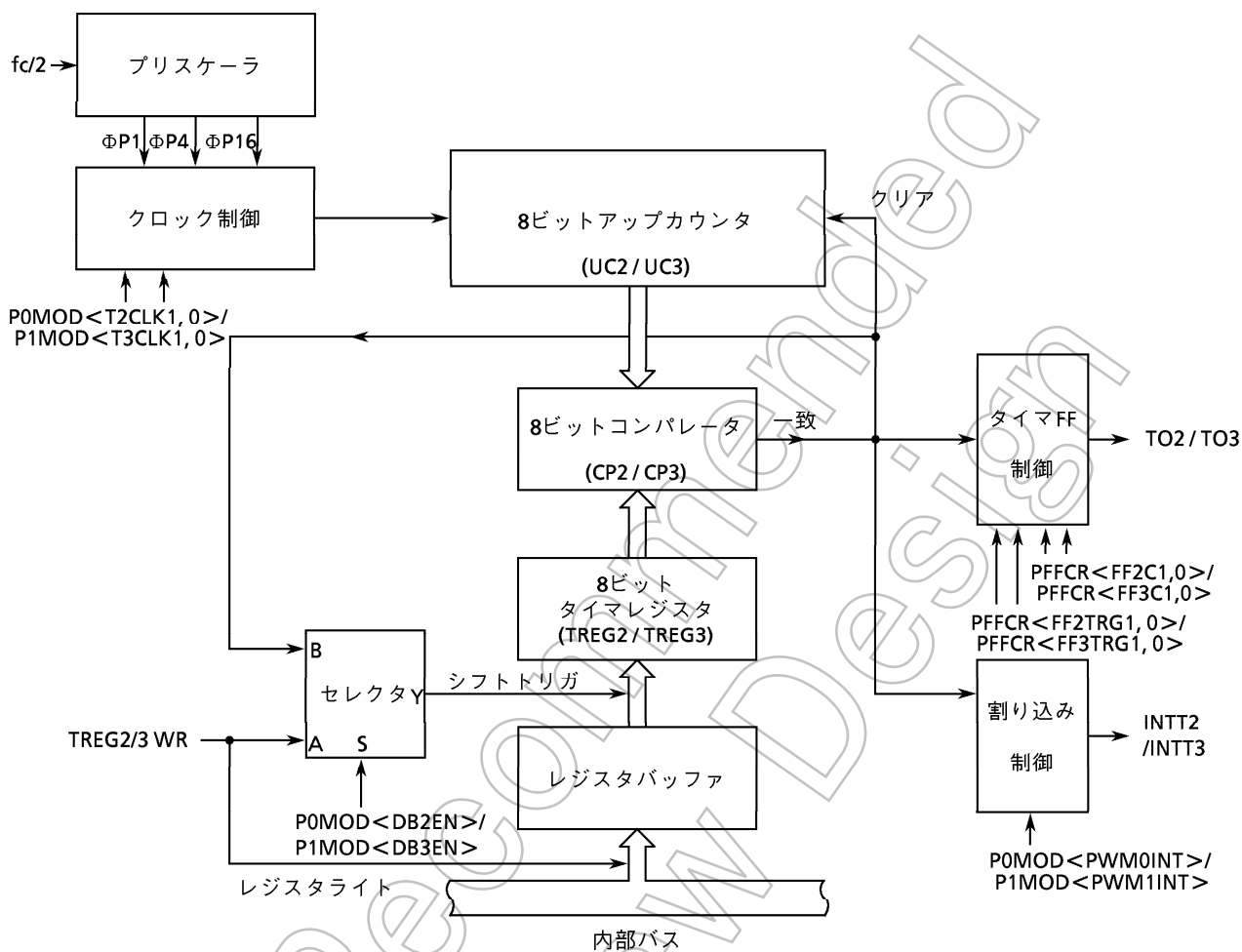


図3.8(12) 8ビットタイマモードのブロック図

3.9 16ビットタイマ

TMP96C141Bは、多機能16ビットタイマ/イベントカウンタを2本(タイマ4,5)内蔵しています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG) モード
- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

タイマ/イベントカウンタは、それぞれ16ビットアップカウンタ、16ビットタイマレジスタ2本(うち1本はダブルバッファ構造)、16ビットのキャプチャレジスタ2本、コンパレータ2個およびキャプチャ入力制御、タイマF/Fとその制御回路で構成されています。

タイマ/イベントカウンタは、それぞれ4つのコントロールレジスタ(T4MOD/T5MOD, T4FFCR/T5FFCR, TRUN, T45CR)によって制御されています。

図3.9(1),(2)に16ビットタイマ/イベントカウンタのブロック図(タイマ4,5)を示します。

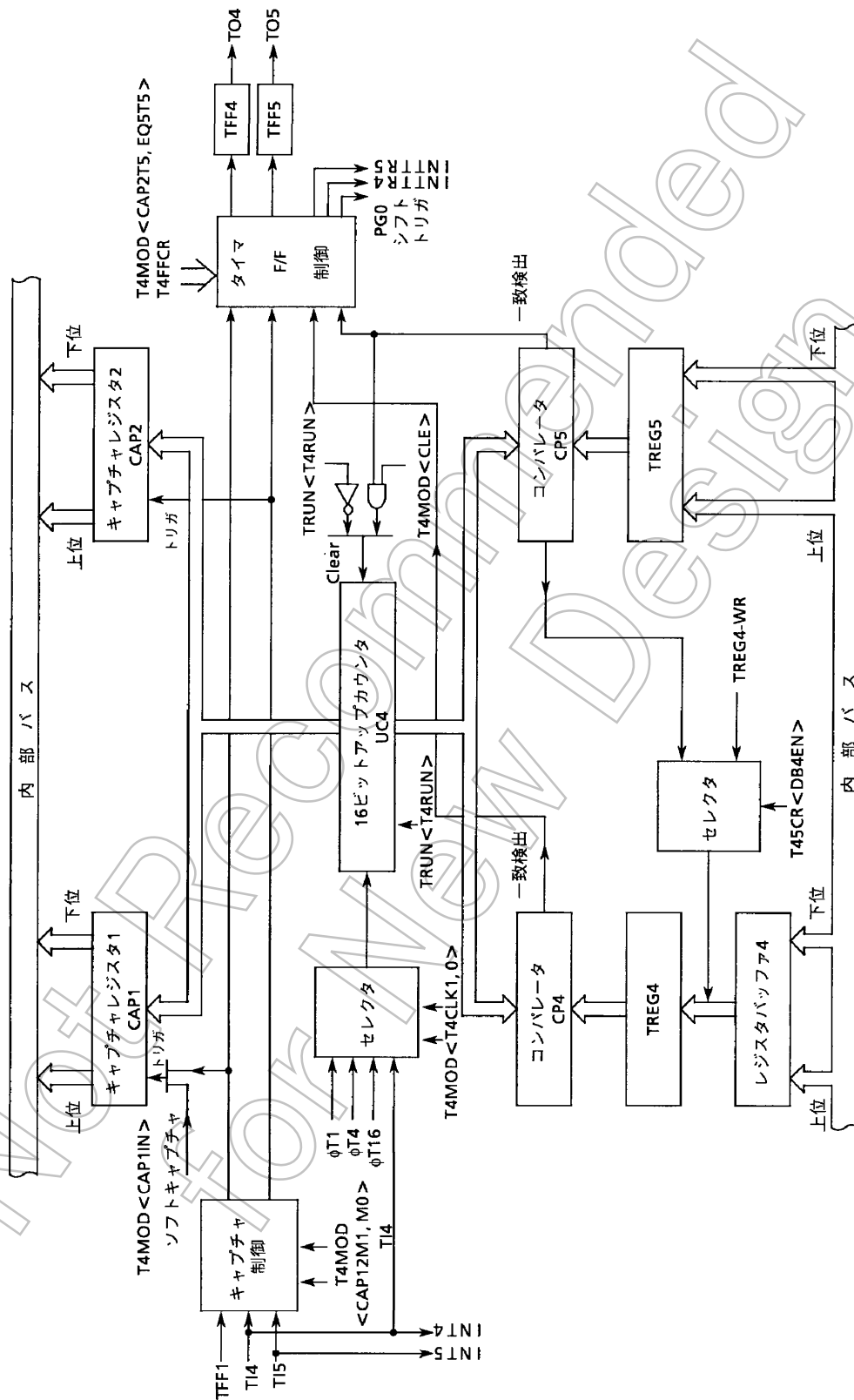


図3.9(1) 16ビットタイマブロック図(タイマ4)

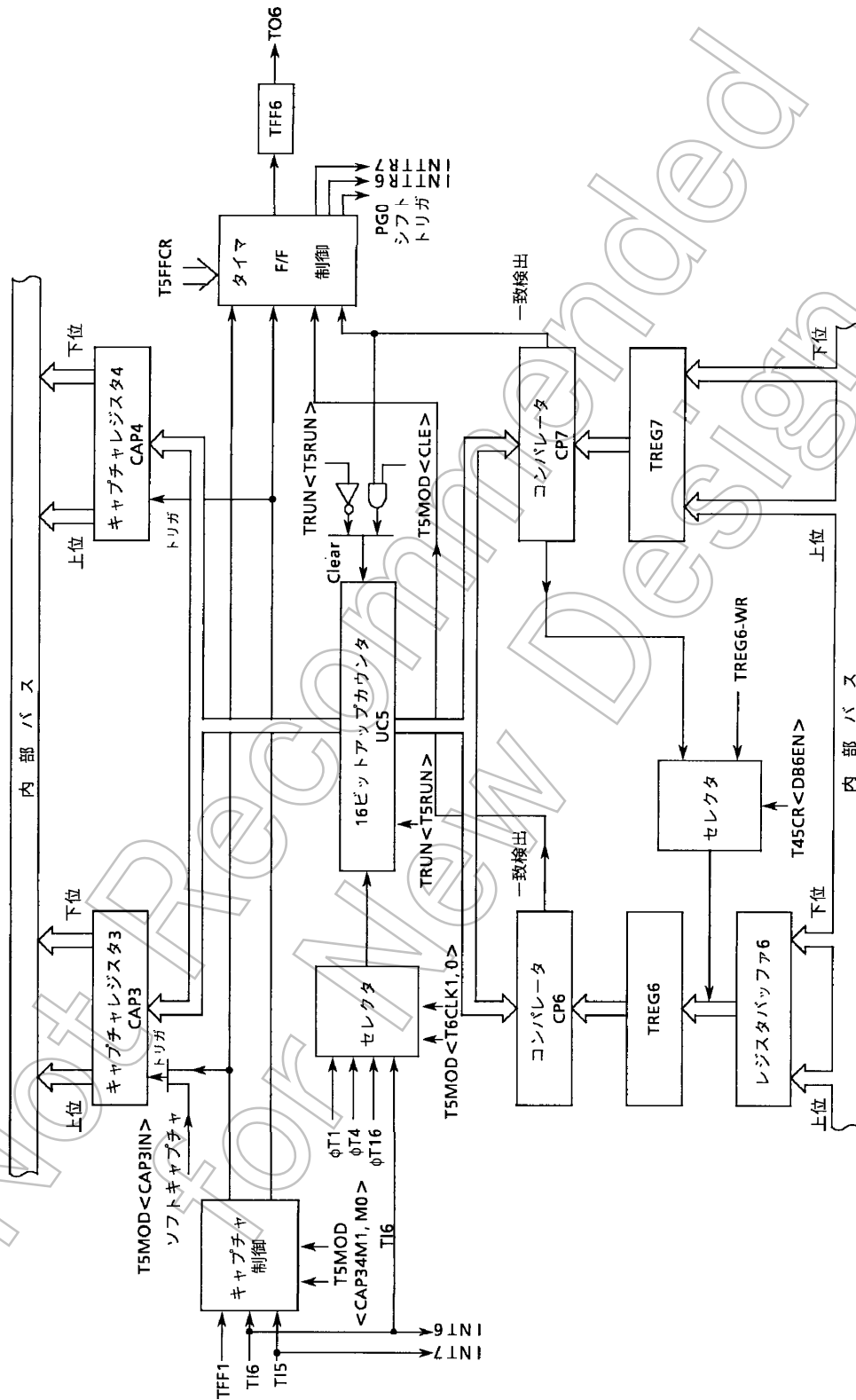


図3.9(2) 16ビットタイマブロック図(タイマ5)

	7	6	5	4	3	2	1	0	
T4MOD (0038H)	bit Symbol	CAP2T5	EQ5T5	CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
	Read/Write	R/W		W	R/W		R/W	R/W	
	リセット後	0	0	1	0	0	0	0	0
	機能	TFF5反転トリガ 0: Disable trigger 1: Enable trigger	アップカウンタとTREG5との一致時	0: Soft-Capture 1: don't care	キャプチャタイミング 00: Disable INT4は立ち上がりエッジ 01: T14↑ T15↑ INT4は立ち上がりエッジ 10: T14↑ T14↓ INT4は立ち下がりエッジ 11: TFF1↑ TFF1↓ INT4は立ち上がりエッジ		1: UC4 Clear Enable	タイマ4ソースクロック 00: T14 01: φT1 10: φT4 11: φT16	

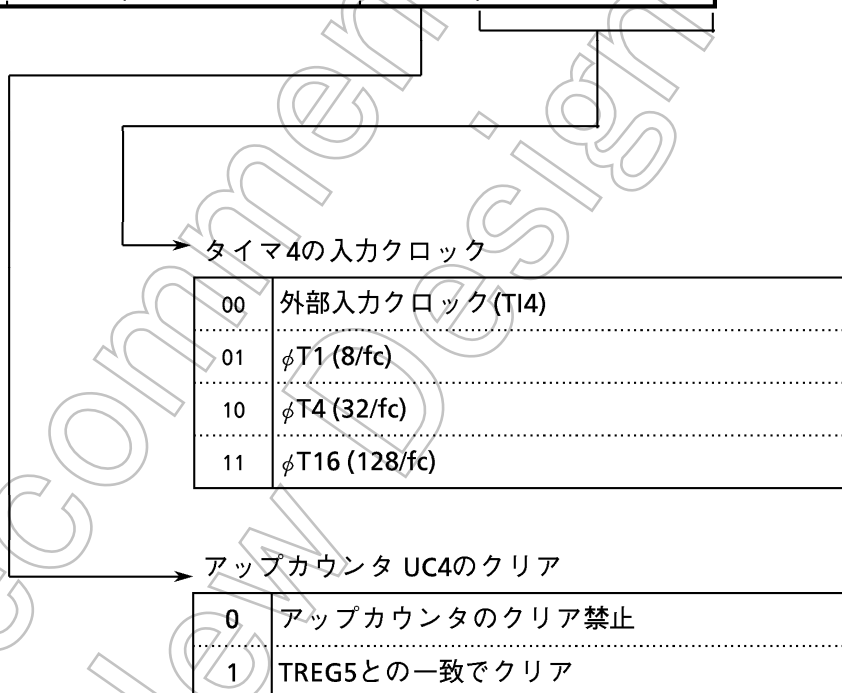
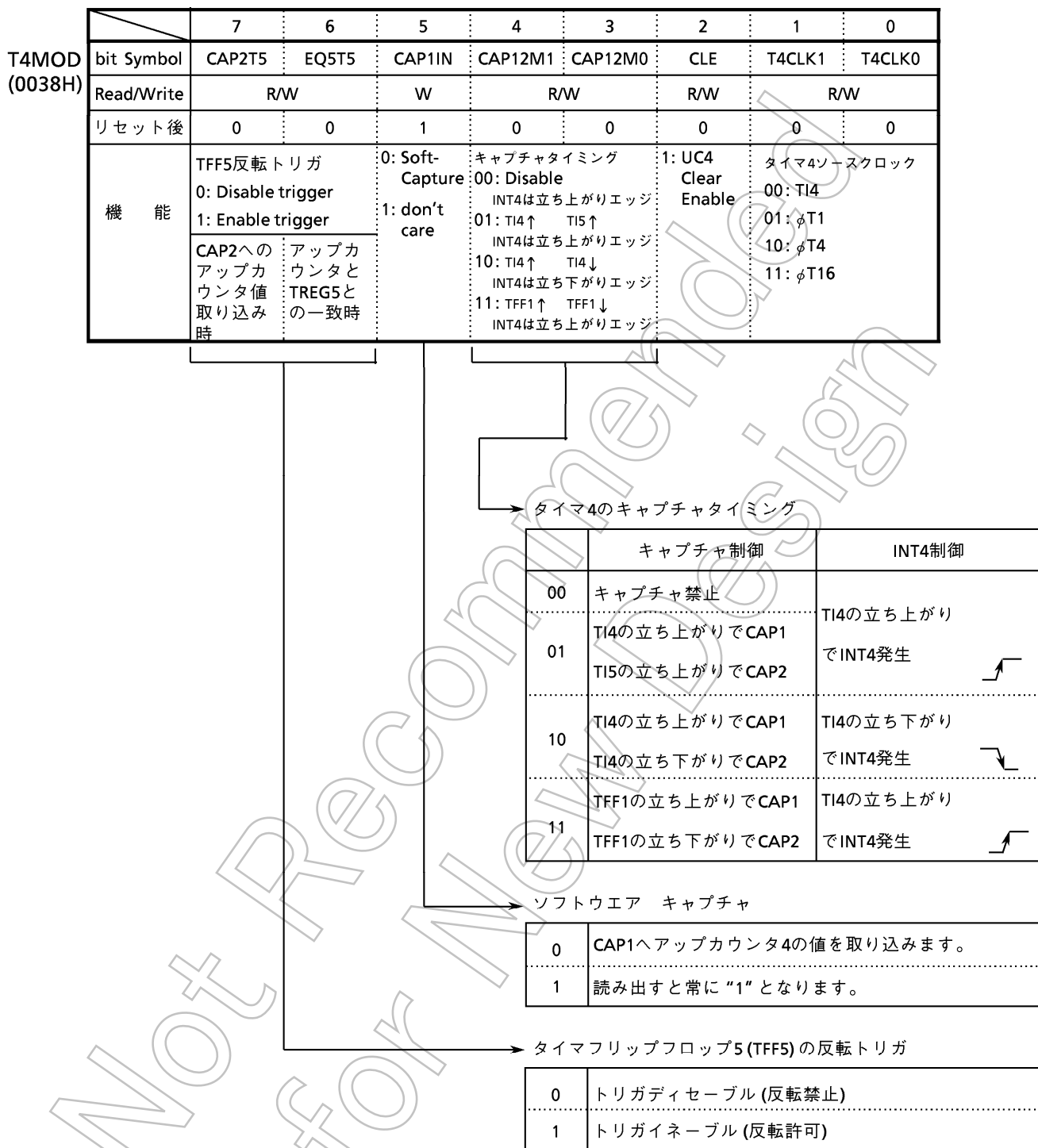


図3.9 (3) 16ビットタイマモードコントロールレジスタ(T4MOD) (1/2)



CAP2T5 : CAP2へのアップカウンタ値取り込み時
EQ5T5 : アップカウンタとTREG5と的一致時

図3.9 (4) 16ビットタイマコントロールレジスタ (T4MOD) (2/2)

	7	6	5	4	3	2	1	0	
T4FFCR (0039H)	bit Symbol	TFF5C1	TFF5C0	CAP2T4	CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0
	Read/Write	W		R/W	R/W	R/W	R/W	W	
	リセット後	-		0	0	0	0	-	
	機能	00: Invert TFF5 01: Set TFF5 10: Clear TFF5 11: don't care ※読み出すと常に "11"になります。		TFF4反転トリガ 0: Disable trigger 1: Enable trigger CAP2への アップカ ウンタ値 取り込み 時		CAP1への アップカ ウンタ値 取り込み 時	アップカ ウンタと TREG5と の一致時	アップカ ウンタと TREG4と の一致時	00: Invert TFF4 01: Set TFF4 10: Clear TFF4 11: don't care ※読み出すと常に "11"になります。

→ タイマフリップフロップ4 (TFF4) の制御

00	TFF4の値を反転します。(ソフト反転)
01	TFF4を"1"にセットします。
10	TFF4を"0"にクリアします。
11	don't care (読み出した場合常に"11"になります)

→ タイマフリップフロップ4 (TFF4) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP2T4 : CAP2へのアップカウンタ値取り込み時
 CAP1T4 : CAP1へのアップカウンタ値取り込み時
 EQ5T4 : アップカウンタとTREG5との一致時
 EQ4T4 : アップカウンタとTREG4との一致時

→ タイマフリップフロップ5 (TFF5) の制御

00	TFF5の値を反転します。(ソフト反転)
01	TFF5を"1"にセットします。
10	TFF5を"0"にクリアします。
11	don't care (読み出した場合常に"11"になります)

図3.9 (5) 16ビットタイマ4 F/Fコントロール (T4FFCR)

		7	6	5	4	3	2	1	0
T5MOD (0048H)	bit Symbol			CAP3IN	CAP34M1	CAP34M0	CLE	T5CLK1	T5CLK0
	Read/Write			W	R/W		R/W	R/W	
	リセット後			1	0	0	0	0	0
	機能			0: Soft-Capture 1: don't care	キャプチャタイミング 00: Disable INT6は立ち上がりエッジ 01: T16↑ T17↑ INT6は立ち上がりエッジ 10: T16↑ T16↓ INT6は立ち下がりエッジ 11: TFF1↑ TFF1↓ INT6は立ち上がりエッジ		1: UC5 Clear Enable	タイマ5ソースクロック 00: T16 01: φT1 10: φT4 11: φT16	

→ タイマ5の入カクロック	
00	外部入カクロック(T16)
01	φT1 (8/fc)
10	φT4 (32/fc)
11	φT16 (128/fc)

→ アップカウンタ UC5のクリア	
0	アップカウンタのクリア禁止
1	TREG7と的一致でクリア

図3.9 (6) 16ビットタイマモードコントロールレジスタ(T5MOD) (1/2)

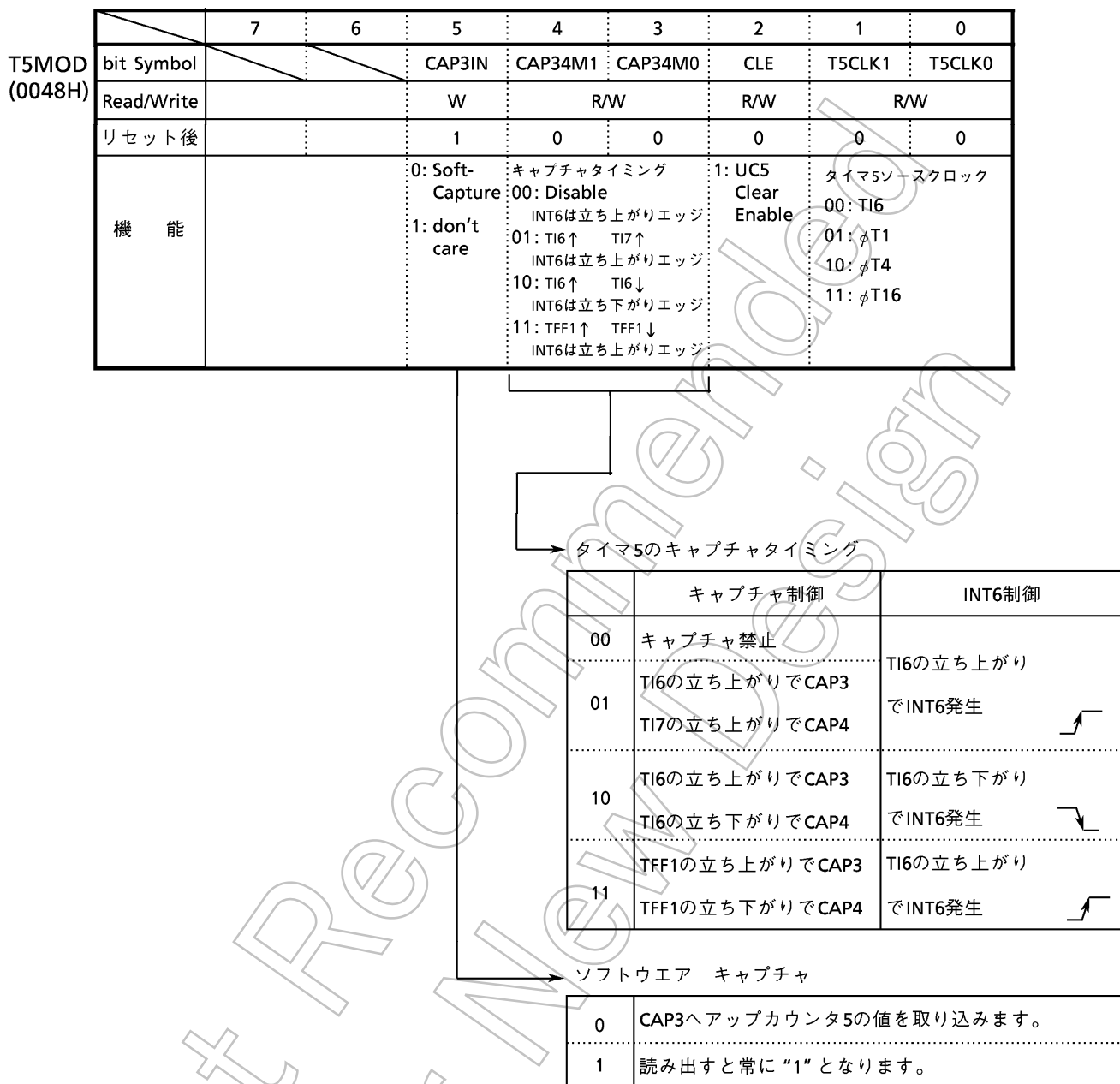


図3.9 (7) 16ビットタイマコントロールレジスタ (T5MOD) (2/2)

	7	6	5	4	3	2	1	0
T5FFCR (0049H)	bit Symbol		CAP4T6	CAP3T6	EQ7T6	EQ6T6	TFF6C1	TFF6C0
	Read/Write		R/W	R/W	R/W	R/W	W	
	リセット後		0	0	0	0	-	
機能			TFF6反転トリガ 0: Disable trigger 1: Enable trigger				00: Invert TFF6 01: Set TFF6 10: Clear TFF6 11: don't care	
			CAP4へのアップカウンタ値取り込み時	CAP3へのアップカウンタ値取り込み時	アップカウンタとTREG7との一致時	アップカウンタとTREG6との一致時	※読み出すと常に"11"になります。	

→ タイマフリップフロップ6 (TFF6) の制御

00	TFF6の値を反転します。(ソフト反転)
01	TFF6を"1"にセットします。
10	TFF6を"0"にクリアします。
11	don't care (読み出した場合常に"11"になります)

→ タイマフリップフロップ6 (TFF6) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

- CAP4T6 : CAP4へのアップカウンタ値取り込み時
- CAP3T6 : CAP3へのアップカウンタ値取り込み時
- EQ7T6 : アップカウンタとTREG7との一致時
- EQ6T6 : アップカウンタとTREG6との一致時

図3.9 (8) 16ビットタイマ5 F/Fコントロール (T5FFCR)

	7	6	5	4	3	2	1	0	
T45CR (003AH)	bit Symbol	/			PG1T	PG0T	DB6EN	DB4EN	
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	
	機能	"0" 固定			PG1シフト トリガ 0: 8ビットタ イマトリガ (タイマ0,1) 1: 16ビット タイマ トリガ (タイマ5)	PG0シフト トリガ 0: 8ビットタ イマトリガ (タイマ0,1) 1: 16ビット タイマ トリガ (タイマ4)	ダブルバッファ 0: Disable 1: Enable TREG6の ダブル バッファ		TREG4の ダブル バッファ

→ ダブルバッファ制御

0	ディセーブル
1	イネーブル

DB6EN : TREG6のダブルバッファ
DB4EN : TREG4のダブルバッファ

図3.9 (9) 16ビットタイマ (タイマ4, 5) コントロールレジスタ (T45CR)

	7	6	5	4	3	2	1	0
TRUN (0020H)	bit Symbol	PRRUN	T5RUN	T4RUN	P1RUN	P0RUN	T1RUN	T0RUN
	Read/Write	R/W			R/W			
	リセット後	0	0	0	0	0	0	0
	機能	Prescaler & Timer Run/Stop CONTROL 0: Stop & Clear 1: Run (Count up)						

→ 16ビットタイマ (タイマ4) の動作

0	停止 & クリア
1	カウント

→ 16ビットタイマ (タイマ5) の動作

0	停止 & クリア
1	カウント

→ プリスケーラの動作

0	停止 & クリア
1	カウント

図3.9 (10) タイマ動作コントロールレジスタ (TRUN)

① アップカウンタ

T4MOD <T4CLK1, 0> および T5MOD <T5CLK1, 0> で指定された入力クロックによって、カウントアップする16ビットのバイナリカウンタです。

入力クロックとして、9ビットのプリスケアラ (8ビットタイマと共用) からの内部クロック ϕ T1, ϕ T4, ϕ T16 または TI4 (P80/INT4と兼用) および TI6 (P84/INT6と兼用) 端子からの外部クロックのいずれかを選択できます。リセット時 <T4CLK1, 0>/<T5CLK1, 0> = 00 に初期化されますので、TI4/TI6の外部入力を選択されています。

カウンタのカウント/停止 & クリアは、タイマ動作コントロールレジスタ TRUN <T4RUN, T5RUN> で制御することができます。

アップカウンタ UC4/UC5 は、タイマレジスタ TREG5/TREG7 と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、T4MOD <CLE> および T5MOD <CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

② タイマレジスタ

カウンタ値を設定する16ビットレジスタで、各タイマに2本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC4/UC5 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TREG4, TREG5/TREG6, TREG7 へのデータ設定は、2バイトデータロード命令を用いるか、1バイトデータロード命令を2回用いて下位8ビット、上位8ビットの順に行います。

TREG 4		TREG 5	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000031H	000030H	000033H	000032H
TREG 6		TREG 7	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000041H	000040H	000043H	000042H

このタイマレジスタは、TREG4とTREG6がダブルバッファ構成になっており、レジスタバッファとペアになっています。TREG4/TREG6はタイマコントロールレジスタ T45CR <DB4EN, DB6EN> によってダブルバッファのイネーブル/ディセーブルを制御します。<DB4EN, DB6EN> = 0 のときディセーブル、<DB4EN, DB6EN> = 1 のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタ UC4/UC5 とタイマレジスタ TREG5/TREG7 との一致時に行われます。

リセット時は、T45CR <DB4EN, DB6EN> = 0 に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <DB4EN, DB6EN> = 1 に設定した後、レジスタバッファへ次のデータを書き込んでください。

TREG4/TREG6 とレジスタバッファは、同じメモリ番地 000030H, 000031H/000040H, 000041H, に割り付けられています。<DB4EN, DB6EN> = 0 のときは、TREG4/TREG6 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<DB4EN, DB6EN> = 1 のときは、それぞれのレジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておきます。

③ キャプチャレジスタ

アップカウンタの値をラッチする16ビットのレジスタです。

キャプチャレジスタを読み出す場合は、2バイトデータロード命令を用いるか1バイトデータロード命令を2回用いて下位8バイト,上位8バイトの順に読み出してください。

CAP 1		CAP 2	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000035H	000034H	000037H	000036H

CAP 3		CAP 4	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000045H	000044H	000047H	000046H

④ キャプチャ入力制御

アップカウンタUC4/UC5の値を、キャプチャレジスタCAP1, CAP2/CAP3, CAP4にラッチするタイミングを制御する回路です。

キャプチャレジスタのラッチタイミングは、 $T4MOD \langle CAP12M1, 0 \rangle / T5MOD \langle CAP34M1, 0 \rangle$ レジスタで設定します。

- $T4MOD \langle CAP12M1, 0 \rangle / T5MOD \langle CAP34M1, 0 \rangle = 00$ の場合

キャプチャ機能は、ディセーブルされます。リセット時は、このディセーブル状態となっています。

- $T4MOD \langle CAP12M1, 0 \rangle / T5MOD \langle CAP34M1, 0 \rangle = 01$ の場合

TI4 (P80/INT4と兼用)/TI6 (P84/INT6と兼用) 入力の立ち上がりエッジでCAP1/CAP3へ、TI5 (P81/INT5と兼用)/TI7 (P85/INT7と兼用) 入力の立ち上がりエッジでCAP2/CAP4へ取り込みます。(時間差測定)

- $T4MOD \langle CAP12M1, 0 \rangle / T5MOD \langle CAP34M1, 0 \rangle = 10$ の場合。

TI4/TI6入力の立ち上がりエッジでCAP1/CAP3へ、立ち下がりエッジでCAP2/CAP4へ取り込みます。この設定の場合に限りINT4/INT6割り込みは立ち下がりエッジで発生します。(パルス幅測定)

- $T4MOD \langle CAP12M1, 0 \rangle / T5MOD \langle CAP34M1, 0 \rangle = 11$ の場合

タイマフリップフロップTFF1の立ち上がりエッジでCAP1/CAP3へ、立ち下がりエッジでCAP2/CAP4へ取り込みます。

また、ソフトウェアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、 $T4MOD \langle CAP1IN \rangle / T5MOD \langle CAP3IN \rangle$ に“0”を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタCAP1/CAP3へ取り込みます。なお、プリスケーラは、RUN状態にしておく (TRUN<PRRUN>を“1”) 必要があります。

⑤ コンパレータ

アップカウンタUC4/UC5と、タイマレジスタTREG4, TREG5/TREG6, TREG7への設定値とを比較し、一致を検出する16ビットコンパレータです。

一致すると、それぞれ割り込みINTTR4, INTTR5/INTTR6, INTTR7を発生します。

また、TREG5/TREG7との一致でのみアップカウンタUC4/UC5をクリアします。(T4MOD<CLE>/T5MOD<CLE> = 0でアップカウンタUC4/UC5のクリアをディセーブルすることもできます。)

⑥ タイマフリップフロップ (TFF4/TFF6)

コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとにT4FFCR<CAP2T4, CAP1T4, EQ5T4, EQ4T4>/T6FFCR<CAP4T6, CAP3T6, EQ7T6, EQ6T6>によって設定できます。

TFF4/TFF6はT4FFCR<TFF4C1, 0>/T6FFCR<TFF6C1, 0>に“00”を書き込むことで反転、“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることも可能です。

TFF4/TFF6の値は、タイマ出力端子TO4 (P82と兼用)/TO6 (P86と兼用)へ出力することができます。

⑦ タイマフリップフロップ (TFF5)

アップカウンタUC4とタイマレジスタTREG5との一致検出信号、キャプチャレジスタCAP2へのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとにT4MOD <CAP2T5, EQ5T5>によって設定できます。

TFF5はT4FFCR<TFF5C1, 0>に“00”を書き込むことで反転、“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることも可能です。

TFF5の値はタイマ出力端子TO5 (P83と兼用)へ出力することができます。

(注) このフリップフロップ (TFF5) は16ビットタイマ4にのみ内蔵されています。

(1) 16ビットタイマモード

タイマ4とタイマ5はそれぞれ独立に動作します。

いずれのタイマも同一の動作をしますので、ここではタイマ4の場合について説明します。

一定周期の割り込みを発生させる場合

タイマレジスタTREG5にインタバル時間を設定しINTT5割り込みを用います。

```

          7 6 5 4 3 2 1 0
TRUN    ← - X - 0 - - - -
INTT54 ← 1 1 0 0 1 0 0 0

T4FFCR ← 1 1 0 0 0 0 1 1
T4MOD  ← 0 0 1 0 0 1 * *
          (** = 01, 10, 11)
TREG5   ← * * * * * * * *
          * * * * * * * *
TRUN    ← 1 X - 1 - - - -

```

(注) X; don't care -; no change

タイマ4を停止します。

INTTR5をイネーブル、レベル4に設定しINTTR4を禁止します。

トリガをディセーブルします。

入力クロックを内部クロックにし、キャプチャ機能をディセーブルにします。

インタバル時間を設定します。

(16ビット)

タイマ4を起動します。

(2) 16ビットイベントカウンタモード

16ビットタイマモードにおいて、入力クロックを外部クロックTI4/TI6にすることでイベントカウンタにすることができます。カウンタ値を読むときは“ソフトウエアキャプチャ”を行い、キャプチャ値をリードすることにより行えます。

カウンタはTI4/TI6入力の立ち上がりエッジでカウントアップします。

またTI4/TI6端子は、P80, INT4と兼用/P84, INT6と兼用しています。

タイマ4とタイマ5は同一の動作をしますので、ここではタイマ4について説明します。

```

          7 6 5 4 3 2 1 0
TRUN    ← - X - 0 - - - -
P8CR    ← - - - - - - - 0
INTT54 ← 1 1 0 0 1 0 0 0

T4FFCR ← 1 1 0 0 0 0 1 1
T4MOD  ← 0 0 1 0 0 1 0 0
TREG5   ← * * * * * * * *
TRUN    ← 1 X - 1 - - - -

```

タイマ4を停止します。

P80を入力モードに設定します。

INTTR5をイネーブル(レベル4)に、INTTR4をディセーブルにします。

トリガディセーブルにします。

入力クロックをTI4にします。

カウント数を設定します(16ビット)

タイマ4を起動します。

(注) イベントカウンタとして使用する場合も、プリスケアラは“RUN”にしてください。

(3) 16ビットプログラマブル矩形波 (PPG) 出力モード

タイマ4とタイマ5は同一の動作をしますので、ここではタイマ4について説明します。

アップカウンタUC4とタイマレジスタTREG4, TREG5への設定値との一致によってタイマフリップフロップTFF4を反転させ、このTFF4の値をTO4端子 (P82と兼用) へ出力するように設定することで、プログラマブル矩形波出力モードとなります。ただし、次の条件を満たす必要があります。

(TREG4への設定値) < (TREG5への設定値)

		7	6	5	4	3	2	1	0
TRUN	←	-	X	-	0	-	-	-	-
TREG4	←	*	*	*	*	*	*	*	*
TREG5	←	*	*	*	*	*	*	*	*
T45CR	←	0	X	X	X	-	-	-	1
T4FFCR	←	1	1	0	0	1	1	0	0
T4MOD	←	0	0	1	0	0	1	*	*
								(** = 01, 10, 11)	
P8CR	←	-	-	-	-	-	1	-	-
P8FC	←	X	-	X	X	-	1	X	X
TRUN	←	1	X	-	1	-	-	-	-

(注) X; don't care -; no change

タイマ4を停止します。
 デューティを設定します。(16ビット)
 周期を設定します。(16ビット)
 TREG4のダブルバッファイネーブル (INTTR5割り込みでデューティ/周期の変更)
 TFF4をTREG4, TREG5との一致検出で反転するように設定します。またTFF4の初期値を“0”にします。
 入力クロックを内部クロックにし、キャプチャ機能ディセーブルにします。
 P82をTO4に割り付けます。
 タイマ4を起動します。

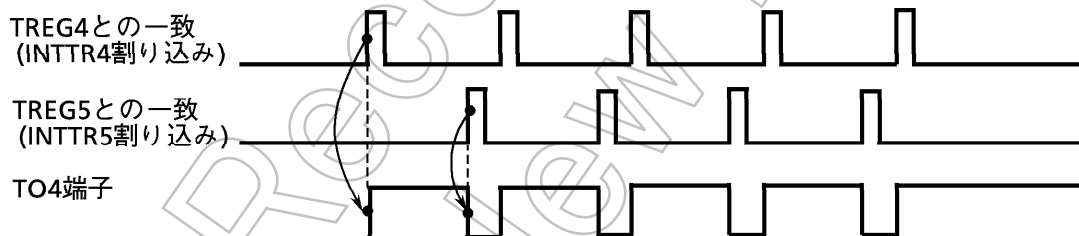


図 3.9 (11) プログラマブル矩形波 (PPG) 出力波形

このモードでは、TREG4のダブルバッファをイネーブルにすることにより、TREG5との一致で、レジスタバッファ4の値がTREG4へシフトインされます。これにより、小さいデューティへの対応が、容易に行えます。

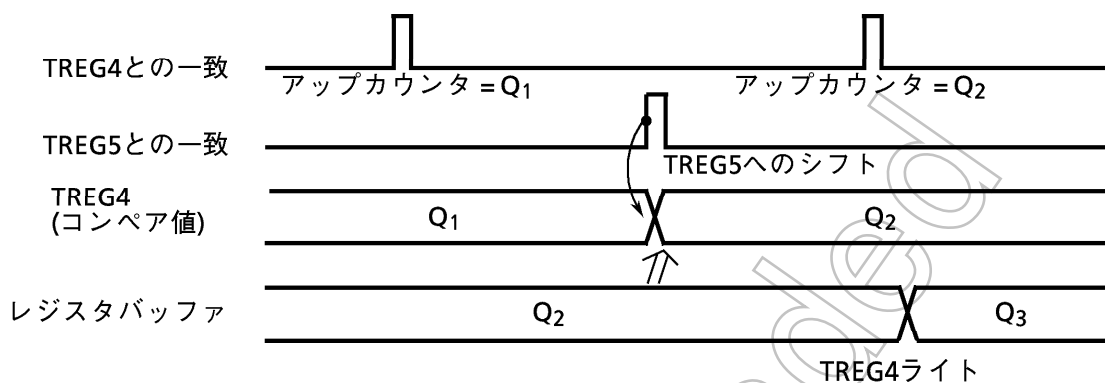


図 3.9 (12) レジスタバッファの動作

このモードのブロック図を示します。

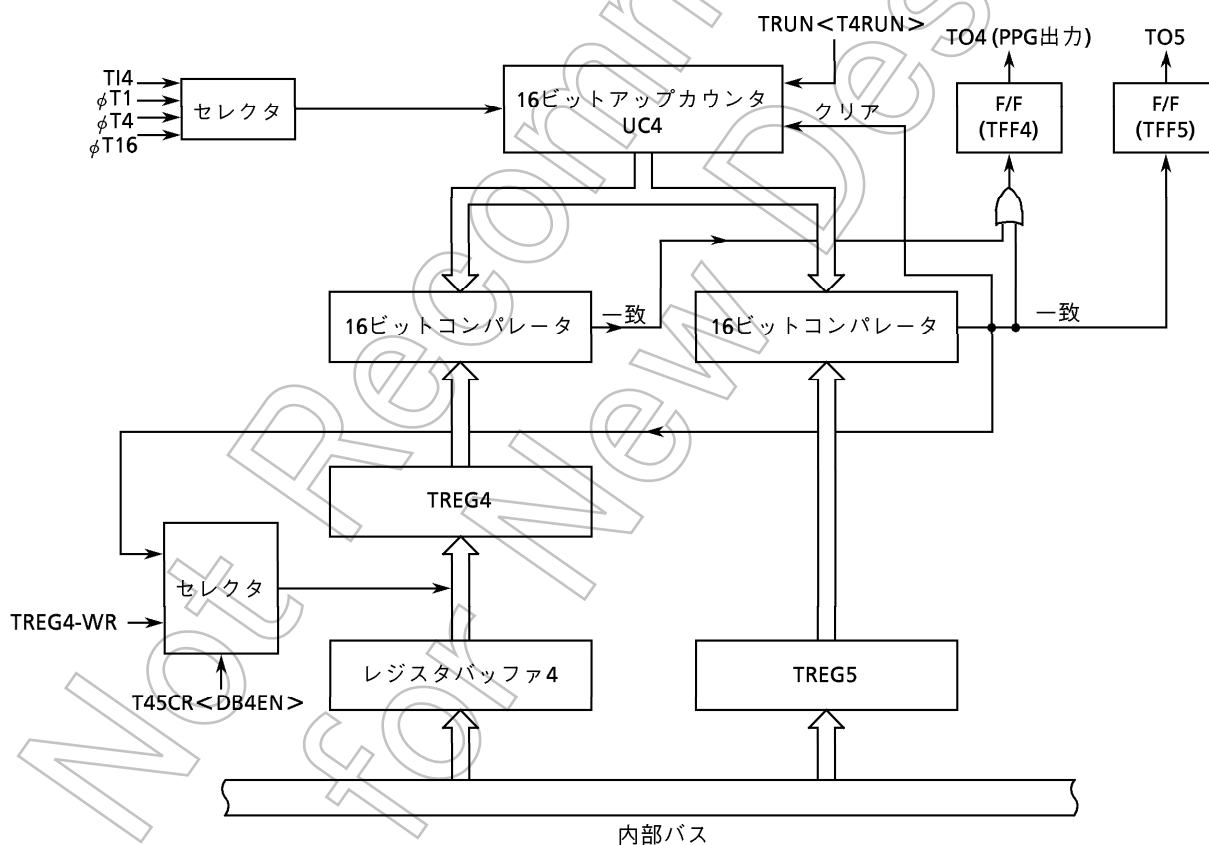


図3.9 (13) 16ビットPPGモードのブロック図

(4) キャプチャ機能を利用した応用例

タイマ4とタイマ5は同一の動作をしますので、ここではタイマ4について説明します。

キャプチャレジスタ (CAP1, CAP2) へのアップカウンタ (UC4) の値の取り込み、コンパレータ (CP4, CP5) からの一致検出によるタイマフリップフロップTFF4の反転およびTFF4のTO4端子への出力はそれぞれイネーブル/ディセーブルすることができ、割り込み機能と組み合わせることにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

① 外部トリガパルスからのワンショットパルス出力

アップカウンタ (UC4) を内部クロック入力でフリーランニングにして、外部トリガパルスをTI4端子より入力し、このTI4入力の立ち上がりでキャプチャレジスタCAP1へ、アップカウンタの値を取り込みます。(T4MOD < CAP12M1, 0 > = 01 に設定します。)

TI4入力の立ち上がり時、割り込みINT4でレジスタCAP1の値(C)にデレイタイム(d)を加算した値(c+d)をTREG4に設定し、このTREG4の値にワンショットパルスのパルス幅(P)を加算した値(c+d+p)をTREG5に設定します。なお、割り込みINT4でT4FFCR < EQ5T4, EQ4T4 > レジスタを「タイマフリップフロップTFF4の反転はTREG4, 5との一致時のみイネーブル」にしておきます。また、割り込みINTTR5でこれをディセーブルに戻します。

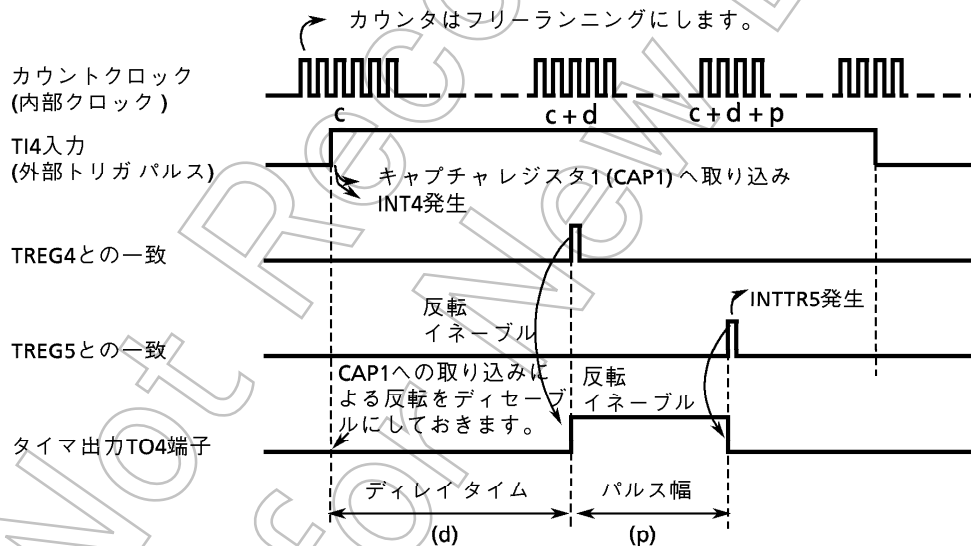
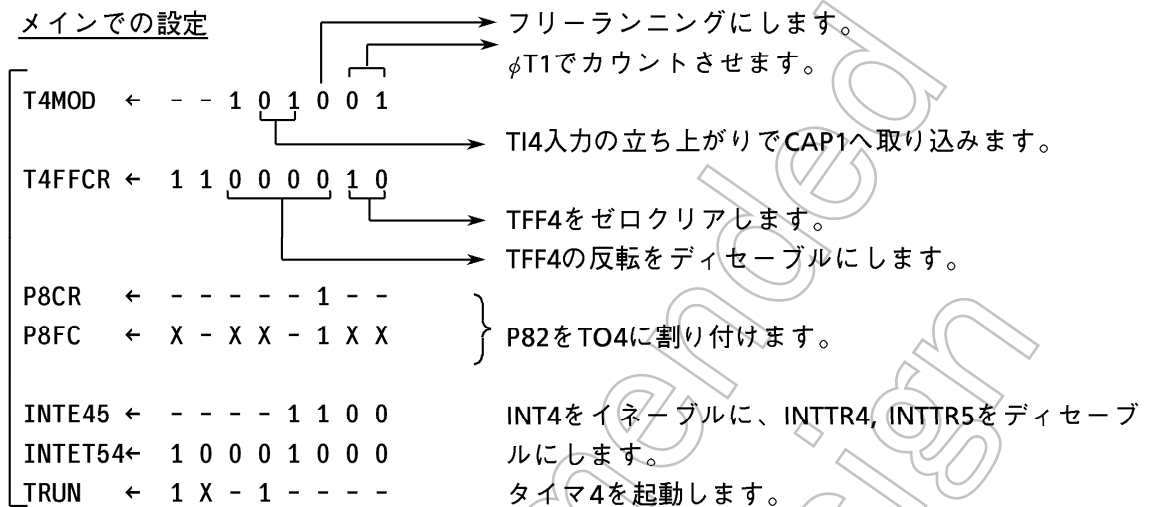


図3.9 (14) ワンショットパルス出力(デレイあり)

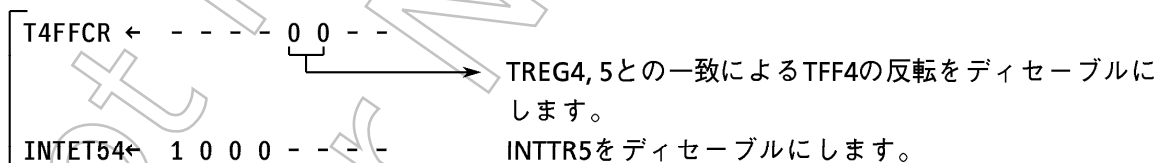
設定例： TI4端子への外部トリガパルスに対して3msディレイで2msのワンショットパルスを出力する場合



INT4での設定



INTTR5での設定



(注) X; don't care -; no change

ディレイタイムが不要な場合、キャプチャレジスタ1 (CAP1) への取り込みによってタイマフリップフロップTFF4を反転させ、割り込みINT4でCAP1の値(C)にワンショットパルスの幅(P)を加算した値(C+P)をタイマレジスタTREG5に設定します。TFF4は、TREG5とアップカウンタ(UC4)の一致によって反転するように、イネーブルにします。また、INTTR5割り込みでこれをディセーブルに戻します。

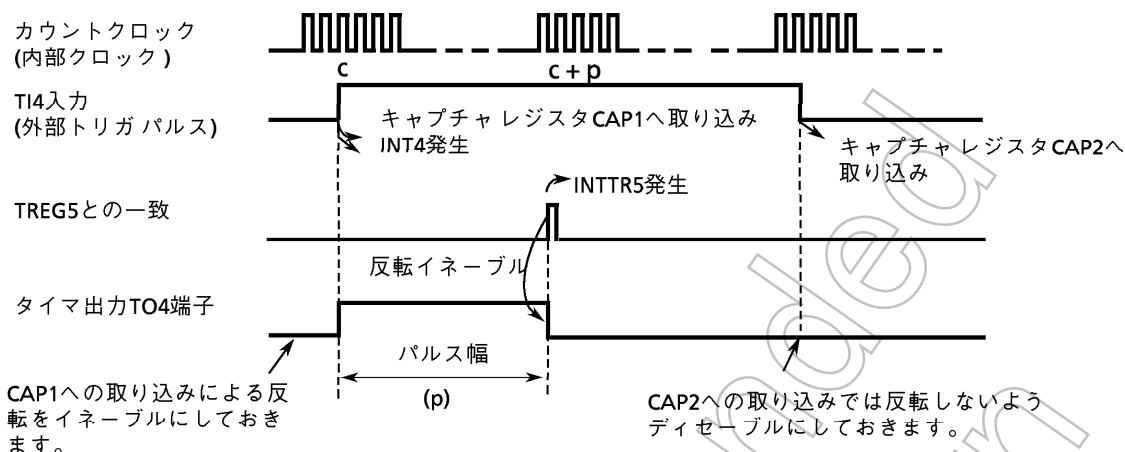


図3.9 (15) ワンショットパルス出力(ディレイなし)

② 周波数測定

外部クロックの周波数を測定するモードです。外部クロックをTI4端子より入力し、これを8ビットタイマ(タイマ0,1)と16ビットタイマ/イベントカウンタ(タイマ4)を用いて測定します。

タイマ4の入力クロックはTI4入力にし、8ビットタイマ(タイマ0,1)のタイマフリップフロップTFF1の立ち上がりでキャプチャレジスタCAP1へ、立ち下がりではCAP2へアップカウンタ(UC4)の値を取り込みます。

周波数は8ビットタイマの割り込み(INTT0またはINTT1)でキャプチャレジスタCAP1, CAP2の差より求めます。

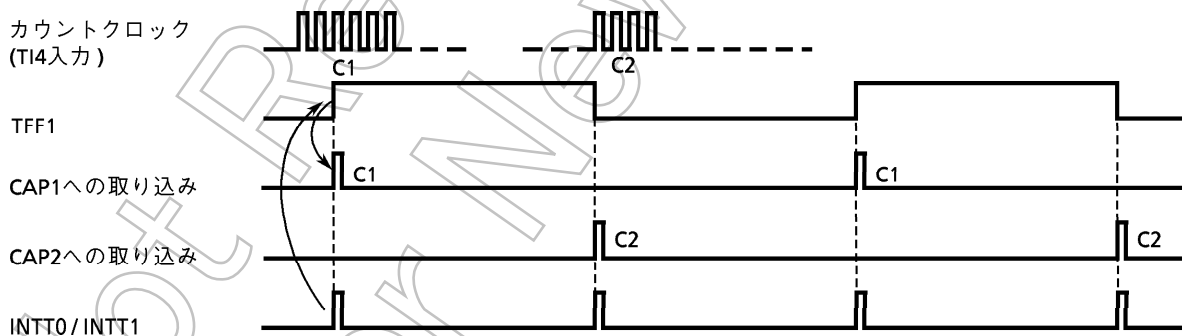


図3.9 (16) 周波数測定

例えば、8ビットタイマによるTFF1の“1”レベル幅の設定値が0.5sで、CAP1とCAP2の差が100であれば、周波数は $100 \div 0.5 [s] = 200 [Hz]$ となります。

③ パルス幅測定

外部パルスの“H”レベルの幅を測定するモードで、**TI4**端子に外部パルスを入力し、**16**ビットタイマ/イベントカウンタを内部クロックでフリーランニングでカウントアップさせておき、キャプチャ機能で、外部パルスの立ち上がり/立ち下がりそれぞれのエッジでトリガをかけて、キャプチャレジスタ**CAP1**、**CAP2**にアップカウンタ (**UC4**)の値を取り込みます。**TI4**端子の立ち下がりにより、**INT4**が発生します。

CAP1、**CAP2**の差と内部クロックの周期によりパルス幅を求めることができます。

例えば、**CAP1**と**CAP2**の差が**100**で、内部クロックが**0.8 μs**であれば、パルス幅は、 $100 \times 0.8 \mu\text{s} = 80 \mu\text{s}$ となります。

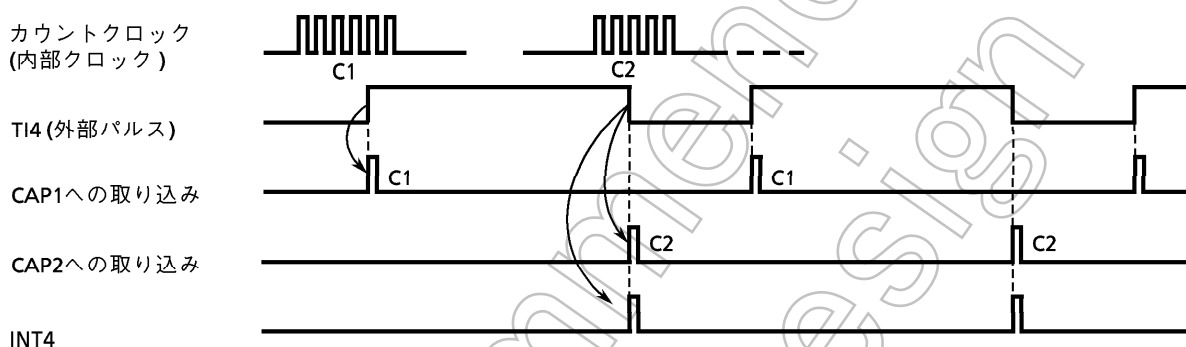


図3.9 (17) パルス幅測定

(注) このパルス幅測定モード**T4MOD <CAP12M1, 0> = 10**のときのみ、外部割り込み**INT4**は、**TI4**入力の立ち下がりエッジで発生します。他のモードでは立ち上がりエッジで発生します。

“L”レベルの幅を測定する場合は、**2**回目の**INT4**割り込みで**1**回目の**C2**と**2**回目の**C1**の差より求めることができます。

④ 時間差測定

TI4、**TI5**の各端子への、外部パルス入力の立ち上がりエッジ間の、時間差を測定するモードです。

16ビットタイマ/イベントカウンタ(タイマ**4**)を、内部クロックでフリーランニングでカウントアップさせておき、**TI4**への入力パルスの立ち上がりエッジ検出で、アップカウンタ**UC4**の値が、キャプチャレジスタ**CAP1**へ取り込まれ、**INT4**割り込みが発生します。

TI5への入力パルスの立ち上がりエッジ検出で、同様にアップカウンタ**UC4**の値が**CAP2**へ取り込まれ、**INT5**割り込みが発生します。

CAP1、**CAP2**ともに取り込みが終わった時点で両者の差から時間差を得ることができます。

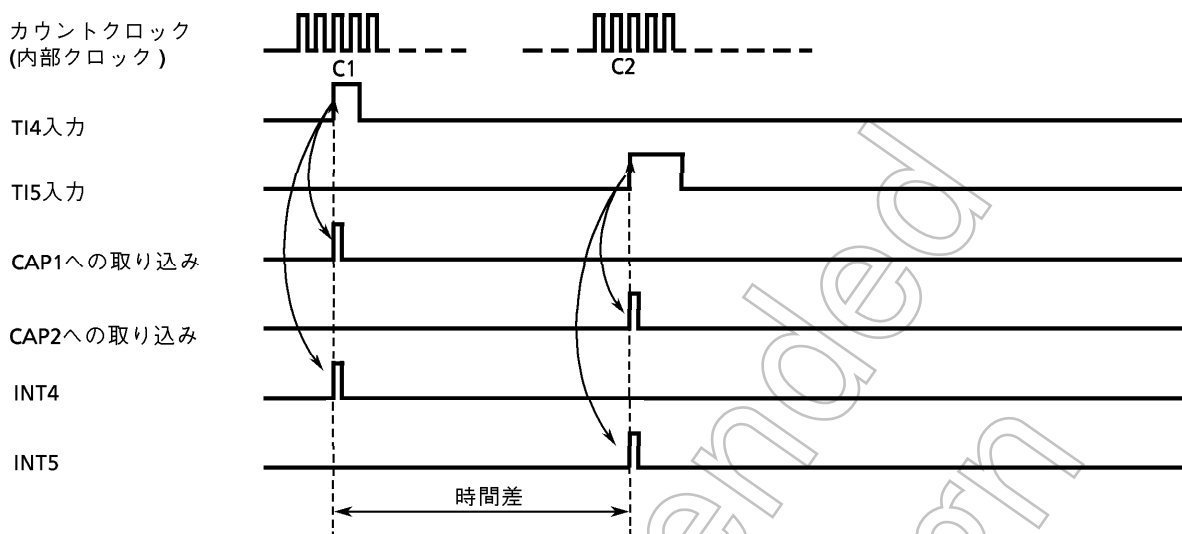


図3.9 (18) 時間差測定

(5) 位相出力モード

アップカウンタUC4をフリーランニングさせ、任意の位相差をもつ信号を出力します。
 アップカウンタUC4とTREG4, TREG5との一致により、それぞれTFF4, TFF5を反転させ、その値をTO4, TO5に出力します。
 このモードは16ビットタイマ4でのみ使用できます。

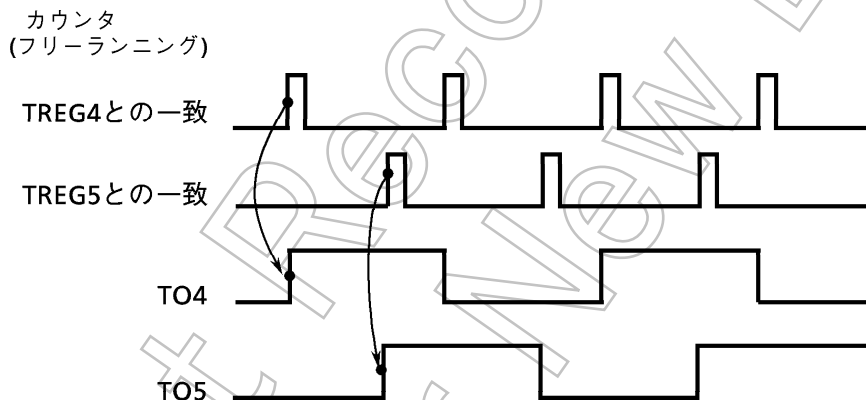


図3.9 (19) 位相出力

上記出力波形の周期(カウンタのオーバーフロー時間)は、下記のようになります。

	16 MHz	20 MHz
ϕ T1	32.768 ms	26.214 ms
ϕ T4	131.072 ms	104.856 ms
ϕ T16	524.288 ms	419.424 ms

3.10 パターンジェネレータ/ステッピングモータコントロール

TMP96C141Bは、タイマ (8ビット/16ビット) と連動するパターンジェネレータ/ステッピングモータコントロールポート (以下PGと略します) を4ビット2チャンネル (PG0, PG1) 内蔵しています。このPGは、8ビットの入出力ポートP6と兼用です。

2つのチャンネルのうちチャンネル0 (PG0) は、8ビットタイマ0, 1または16ビットタイマ4と連動し、チャンネル1 (PG1) は8ビットタイマ0, 1または16ビットタイマ5と連動して出力を変更します。

PGは、コントロールレジスタ (PG01CR) によって制御され、パターンジェネレーションモード、ステッピングモータコントロールモードを選択することができます。

また、PG出力はポート6と兼用しており、ポート6の任意のビットをPG出力とすることができます。

チャンネル0 (PG0) とチャンネル1 (PG1) はそれぞれ独立に動作します。

下記の点を除いて、いずれのチャンネルも同一の動作をしますのでチャンネル0 (PG0) の場合についてのみ説明します。

PG0, 1相違点

	PG0	PG1
タイマのトリガ信号	16ビットタイマ4より	16ビットタイマ5より

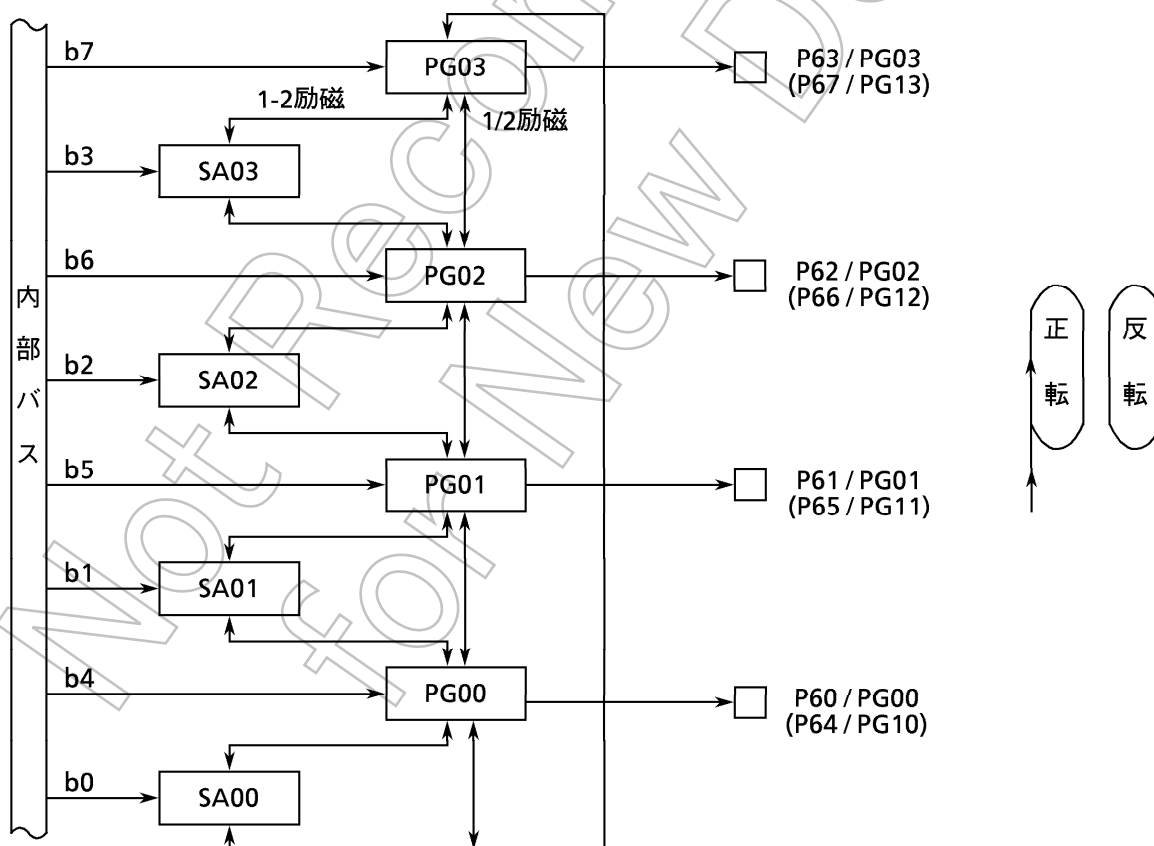


図3.10 (1) パターンジェネレータ/ステッピングモータコントロールブロック図

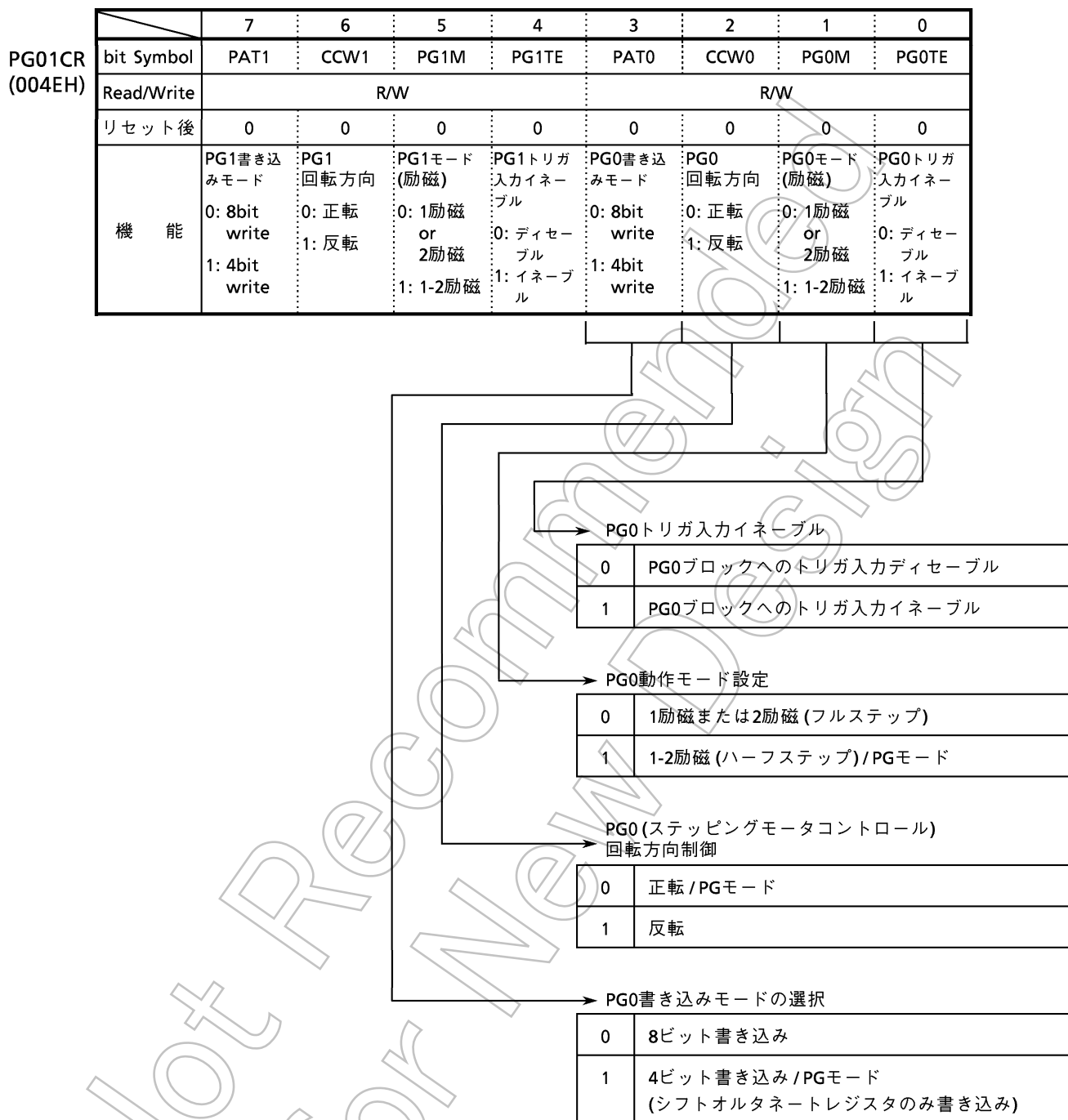


図3.10 (2 a) パターンジェネレータコントロールレジスタ (PG01CR)

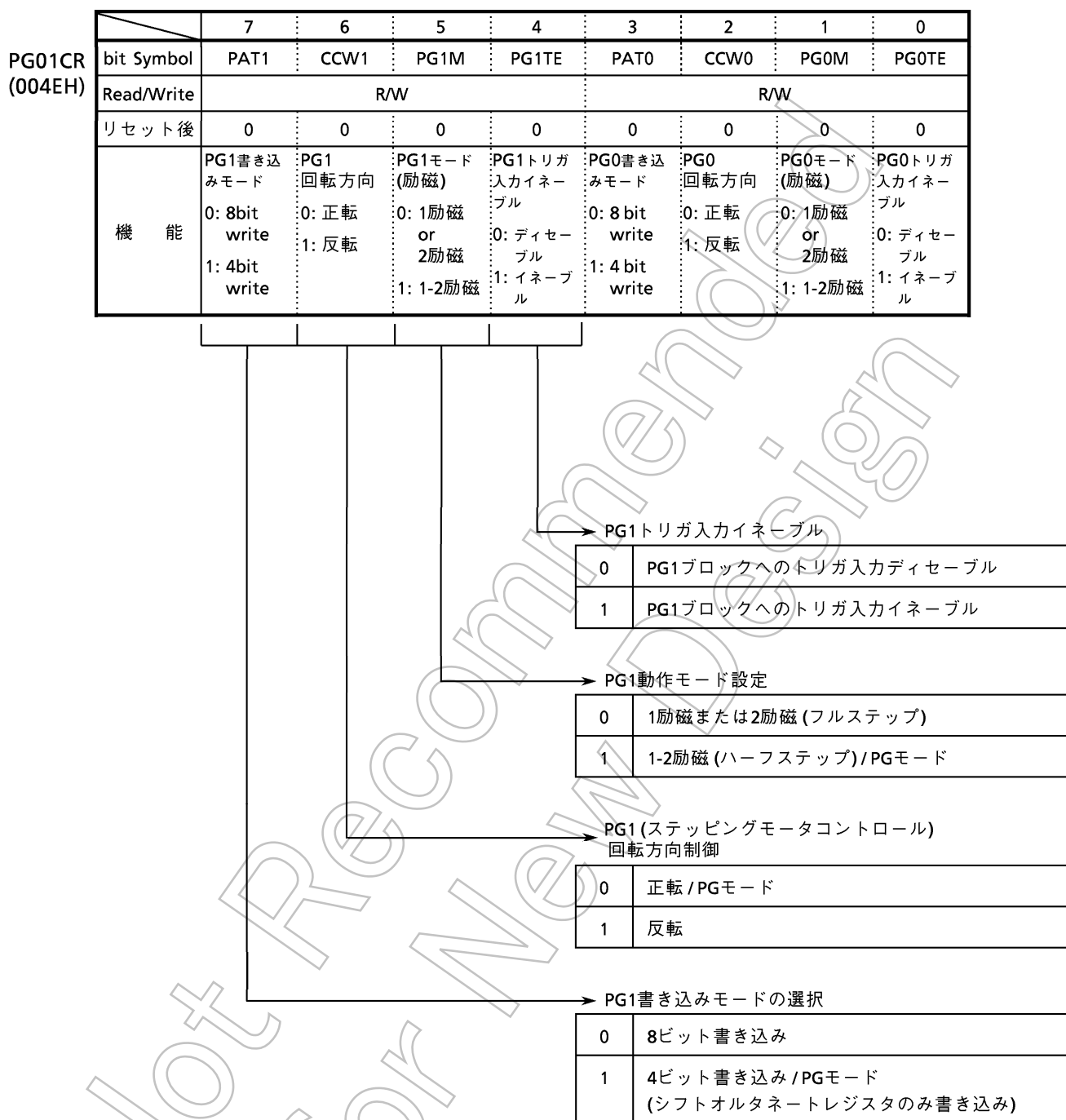


図3.10 (2b) パターンジェネレータコントロールレジスタ (PG01CR)

		7	6	5	4	3	2	1	0
PG0REG (004CH)	bit Symbol	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
	Read/Write	W				R/W			
	リセット後	0	0	0	0	不 定			
	機 能	パターンジェネレータ0 (PG0) 出力ラッチレジスタ (PG出力に設定されたポート (P6) を読むことにより、リード可能)				シフトオルタネートレジスタ0 PGモード (4 bitライト) 対応レジスタ			

リードモディファイ
ライトできません。

図3.10 (3) パターンジェネレータ0レジスタ (PG0REG)

		7	6	5	4	3	2	1	0
PG1REG (004DH)	bit Symbol	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
	Read/Write	W				R/W			
	リセット後	0	0	0	0	不 定			
	機 能	パターンジェネレータ1 (PG1) 出力ラッチレジスタ (PG出力に設定されたポート (P6) を読むことにより、リード可能)				シフトオルタネートレジスタ1 PGモード (4 bitライト) 対応レジスタ			

リードモディファイ
ライトできません。

図3.10 (4) パターンジェネレータ1レジスタ (PG1REG)

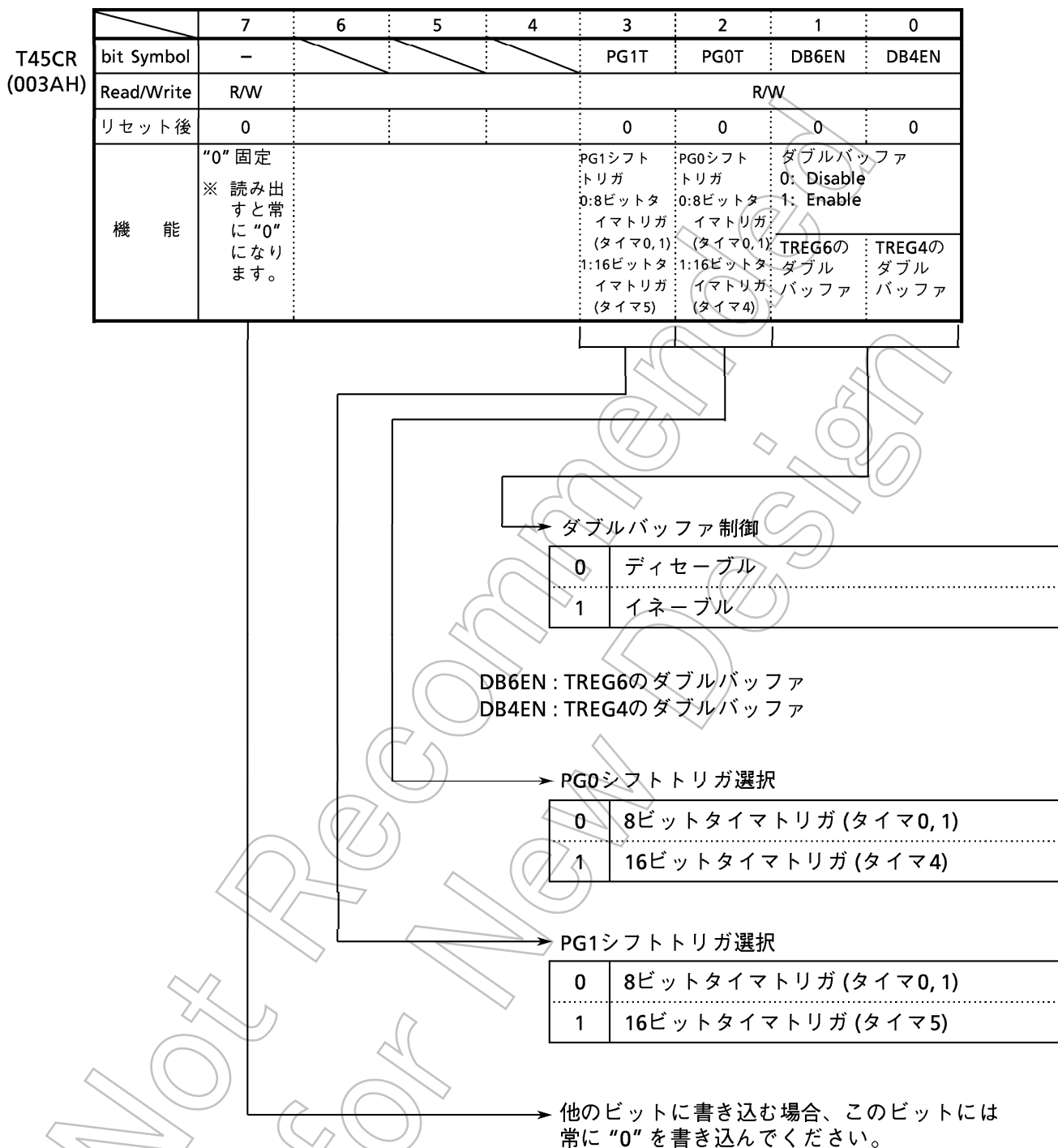


図3.10 (5) 16ビットタイマトリガコントロールレジスタ (T45CR)

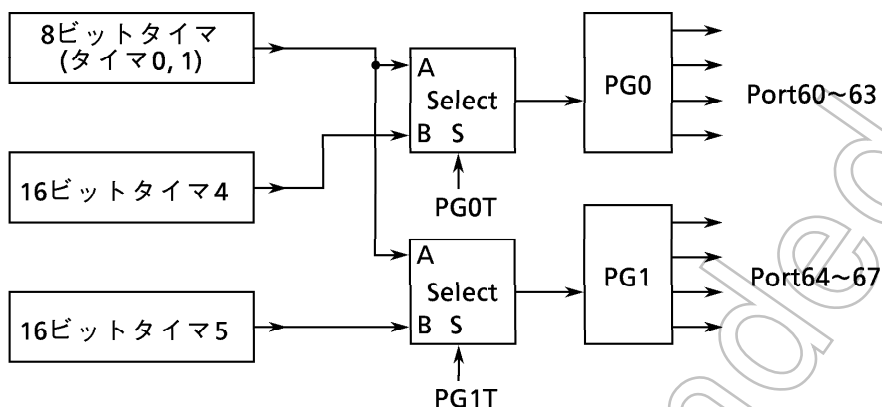


図3.10 (6) タイマとパターンジェネレータの接続関係

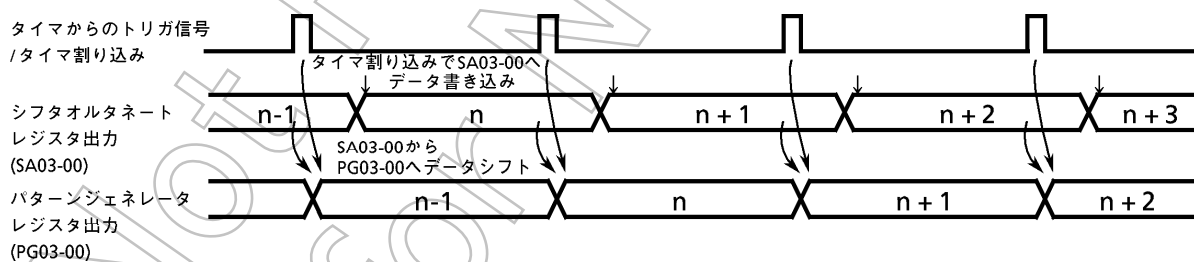
(1) パターンジェネレーションモード

PGは、PG01CRの <PAT0>, <PAT1> の設定により、パターンジェネレータとして機能します。このモードでは、CPUからの書き込みがシフトオルタネートレジスタのみにしか行われなため、シフトトリガ用タイマの割り込み処理の中でPGへの書き込みを行い、タイマと連動しリアルタイムでパターンを出力することができます。

なお、このモードではPG01CR <PG0M>, <PG1M> は“1”に設定し、PG01CR <CCW0>, <CCW1> は“0”に設定してください。

また、このPGの出力はポート6へ出力されますが、ポートファンクションコントロール (P6FC) によるビット単位のポート/ファンクション切り替えが可能のため、任意のポート端子をPG出力に割り付けることができます。

図3.10 (7) にこのモードのブロック図を示します。



パターンジェネレーションモードタイミング例

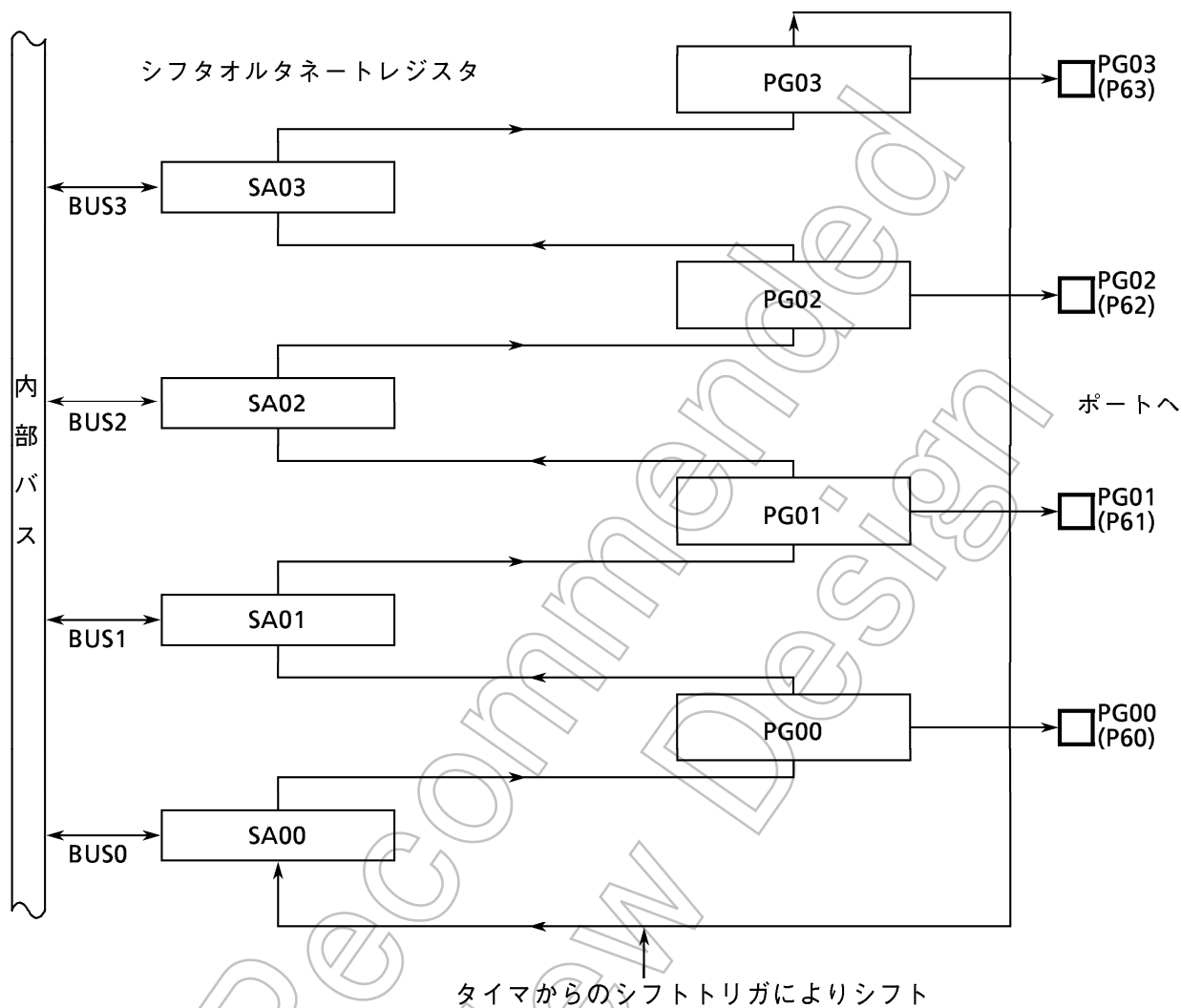


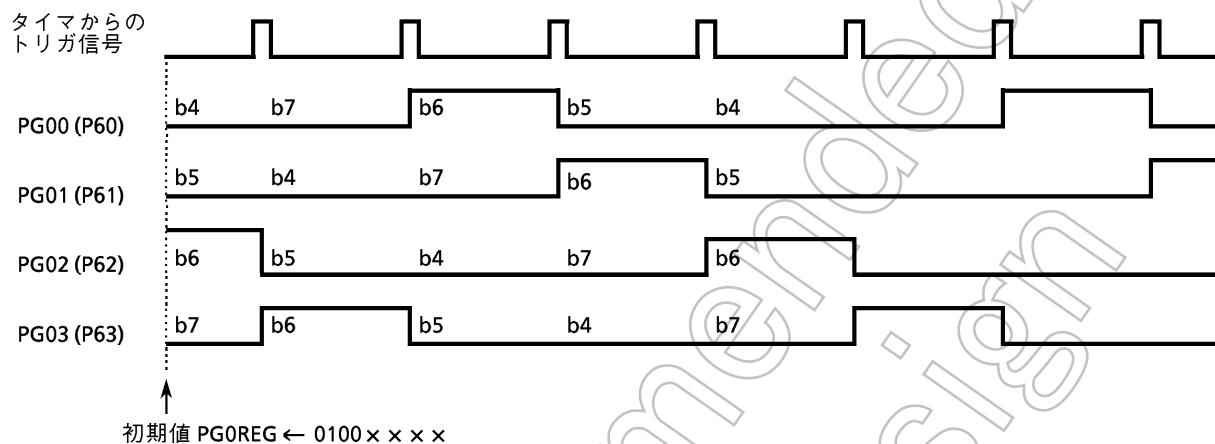
図3.10 (7) パターンジェネレーションモードのブロック図 (PG0)

このパターンジェネレーションモードでは、ハード的に出力ラッチへの書き込みを禁止しているだけで、その他はステッピングモータコントロールモードの1-2励磁と同じ動作を行います。従って、タイマからのトリガ信号でシフトした後のデータ書き込みは、かならず次のトリガ信号が発生するまでに行う必要があります。

(2) ステッピングモータコントロールモード

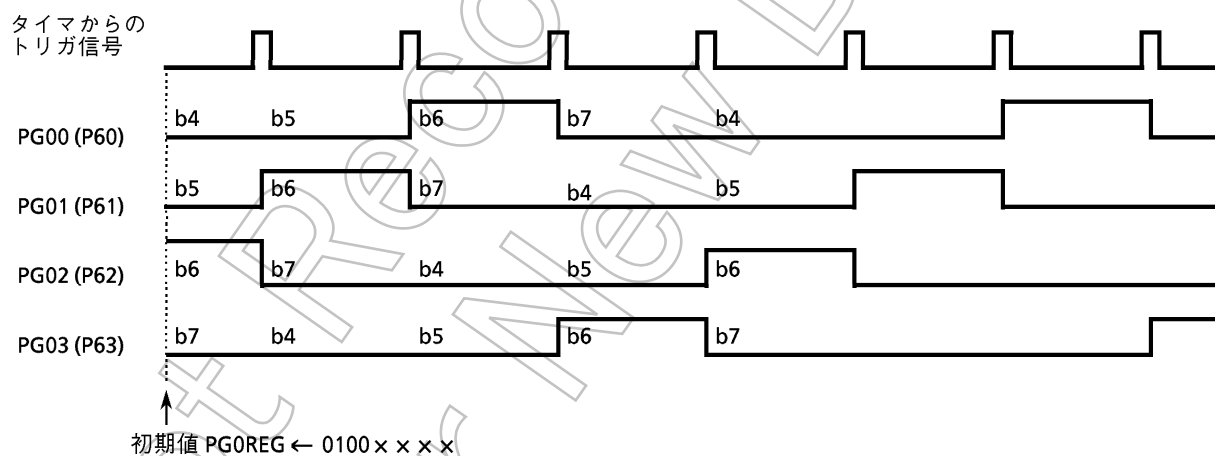
① 4相1励磁 / 2励磁

図3.10 (8), (9)にチャンネル0 (PG0) の場合の4相1励磁, 4相2励磁の出力波形を示します。



(注) bnは初期値 PG0REG ← b7 b6 b5 b4xxxxを表します。

① 正転



② 反転

図3.10 (8) 4相1励磁の出力波形 (正転 / 反転)

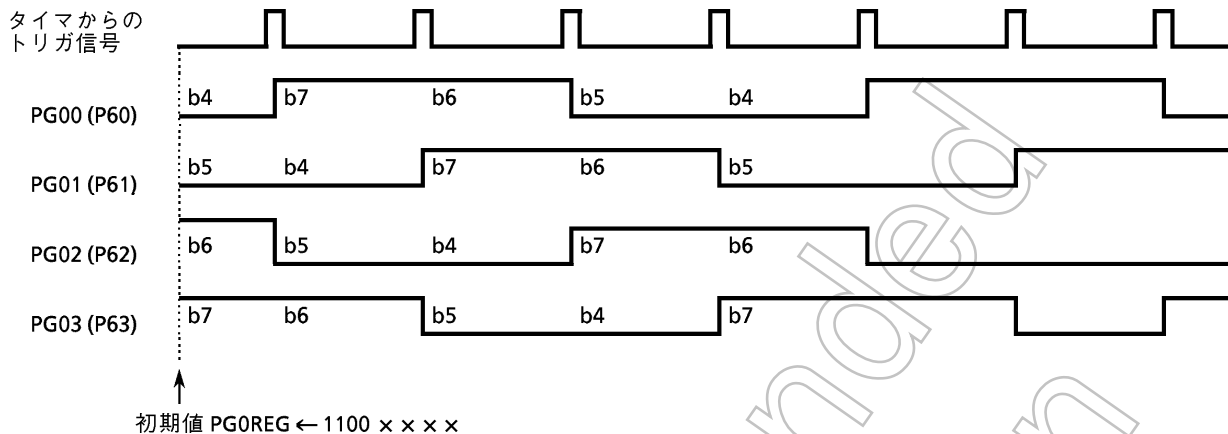


図3.10 (9) 4相2励磁の出力波形 (正転)

チャンネル0の場合について説明します。

PG0 (P6と兼用) の出力ラッチが、タイマからのトリガ信号の立ち上がりで、シフトしポートに出力されます。

シフトの方向は、PG01CR<CCW0> で設定します。CCW0を“0”にすると正転 (PG00 → PG01 → PG02 → PG03) となり、“1”にすると反転 (PG00 ← PG01 ← PG02 ← PG03) となります。PGへの初期設定の際1ビットだけ“1”を設定すると4相1励磁となり、また連続する2ビットに“1”を設定すると4相2励磁となります。4相1励磁/2励磁の波形出力のときにはシフトオルタネートレジスタは無視されます。

図3.10 (10) にブロック図を示します。

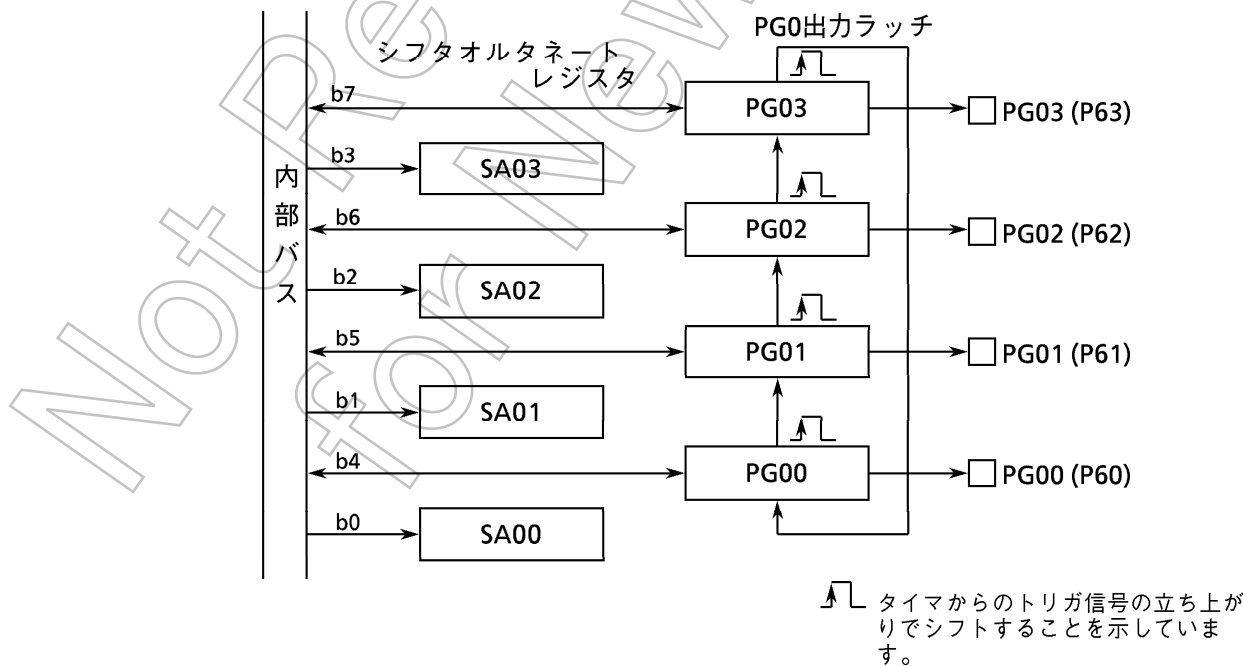
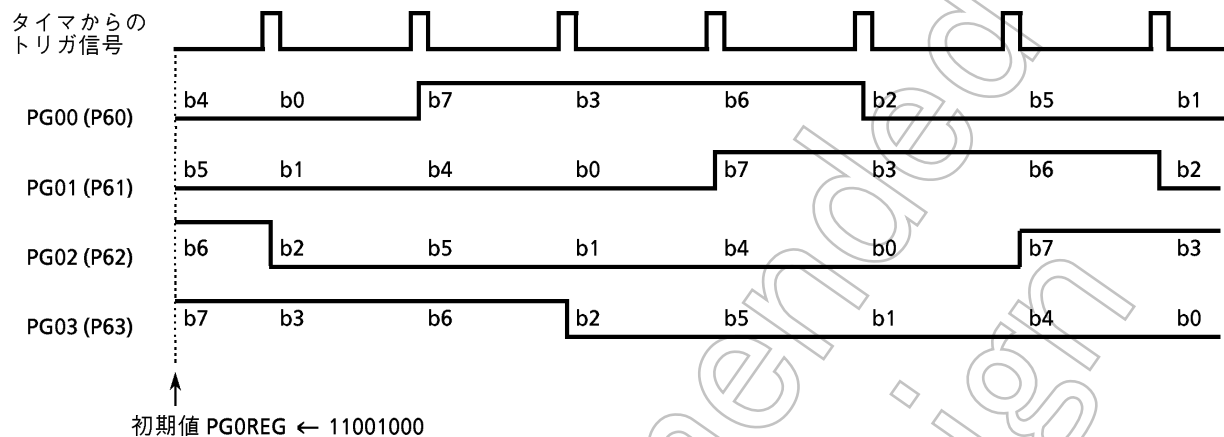


図3.10 (10) 4相1励磁 / 2励磁 (正転) のブロック図

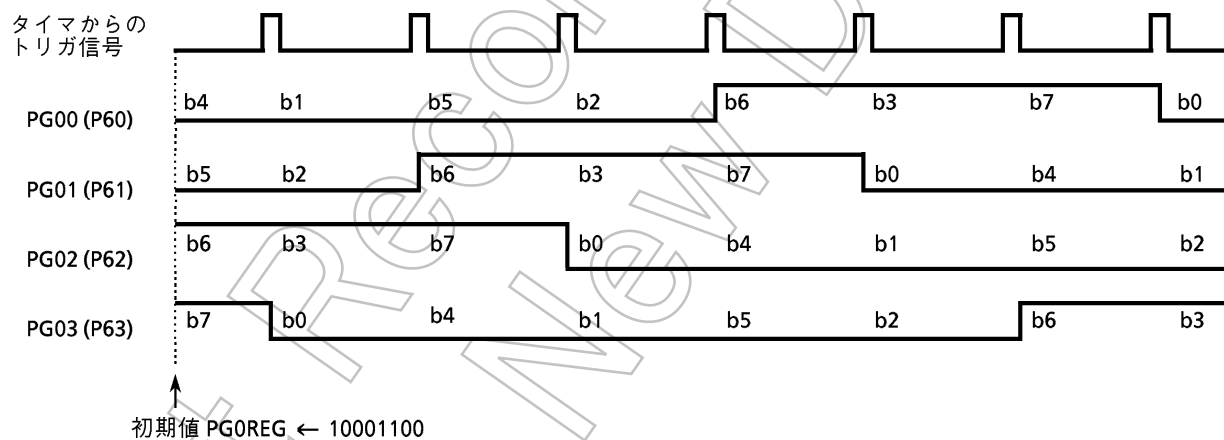
② 4相1-2励磁

図3.10 (11) にチャンネル0の場合の4相1-2励磁の出力波形を示します。



(注) bnは初期値PG0REG ← b7 b6 b5 b4 b3 b2 b1 b0を表します。

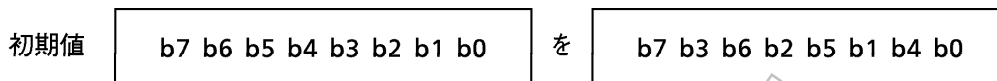
① 正 転



② 反 転

図3.10 (11) 4相1-2励磁の出力波形 (正転 / 反転)

4相1-2励磁の初期値の設定は次のとおりです。



と並べたとき連続する3ビットを“1”にし他のビットを“0”にします(正論理)。例えばb7, b3, b6を“1”にすると初期値は11001000となり図3.10(11)のような出力波形が得られます。

負論理の出力波形を得たい場合は、初期値の“1”, “0”を反転した値を設定します。例えば図3.10(11)の出力波形を負論理にする場合は、初期値を00110111にします。

チャンネル0の場合について動作説明をします。

PG0(P6と兼用)の出力ラッチとパターンジェネレータ用のシフトオルタネートレジスタ(SA0)が、タイマからのトリガ信号の立ち上がりで、シフトし、ポートへ出力されます。シフトの方向は、PG01CR<CCW0>で設定します。

図3.10(12)にブロック図を示します。

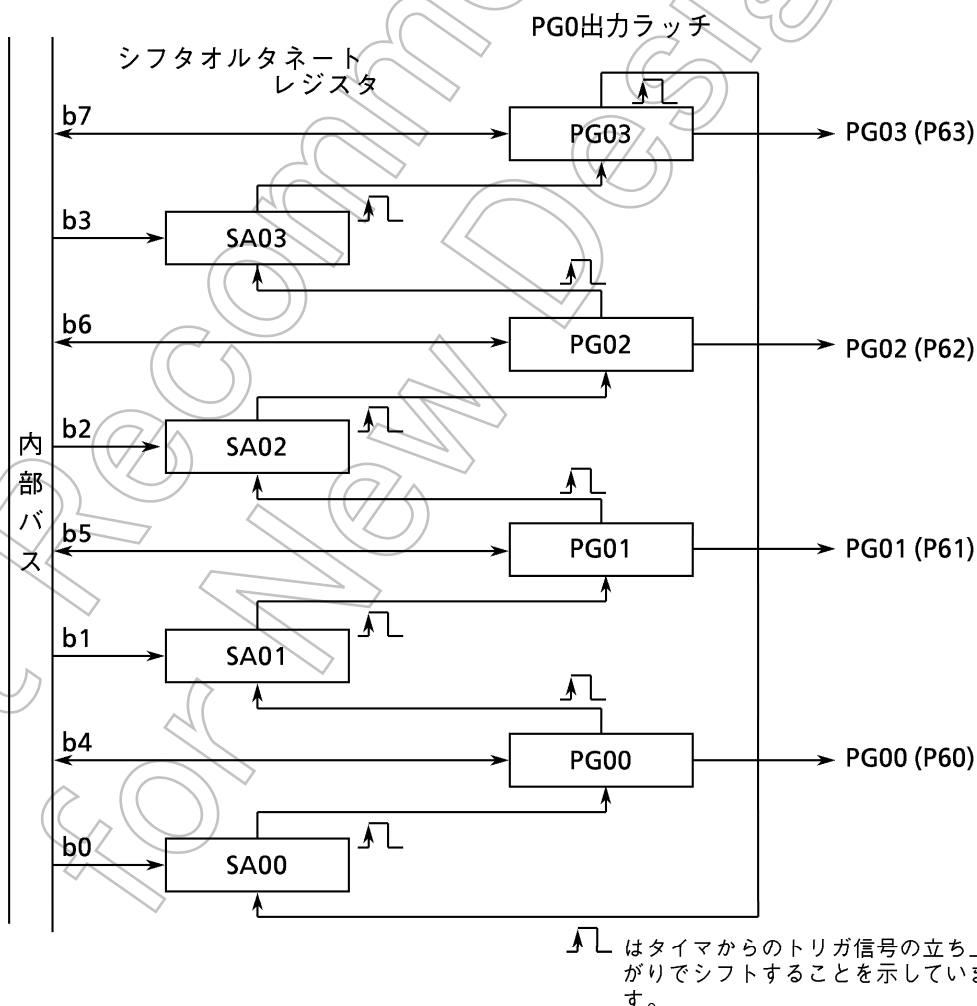


図3.10(12) 4相1-2励磁(正転)のブロック図

例： チャンネル0 (PG0) をタイマ0で4相1-2励磁(正転) 駆動する場合、次のように各レジスタを設定します。

	7 6 5 4 3 2 1 0	
TRUN	← - X - - - - 0	タイマ0を停止し、ゼロクリアします。
TMOD	← 0 0 X X - - 0 1	8ビットタイマモード、入力クロックφT1にします。
TFFCR	← X X X 0 1 0 1 0	TFF1をクリアし、タイマ0による反転トリガをイネーブル。
TREG0	← * * * * * * * *	タイマレジスタに周期を設定します。
P6CR	← - - - - 1 1 1 1	P60~63を出力モードに設定します。
P6FC	← - - - - 1 1 1 1	P60~63の出力をPG出力に設定します。
PG01CR	← - - - - 0 0 1 1	PG0を4相1-2励磁、正転に設定します。
PGOREG	← 1 1 0 0 1 0 0 0	初期値を設定します。
TRUN	← 1 X - - - - 1	タイマ0を起動します。

(注) X; don't care -; no change

(3) タイマからのトリガ信号

PGで使用するタイマからのトリガ信号は、タイマフリップフロップ(TFF1, 4, 5, 6)の反転トリガ信号とは一部異なります。表3.10(1)に8ビットタイマの各動作モードによる、トリガ信号発生タイミングの違いを示します。

表3.10(1) トリガ信号の選択

	TFF1の反転	PGのシフト
8ビット タイマモード	アップカウンタと TREG0またはTREG1の 一致時TFFCR<TFF1IS> で選択	左記と同じタイミング
16ビット タイマモード	アップカウンタと TREG0, TREG1両方の 一致時 (アップカウンタ値 = TREG1*28 + TREG0)	左記と同じタイミング
PPG出力モード	アップカウンタと TREG0, TREG1それぞれ の一致時	アップカウンタと TREG1の一致時 (PPG周期)
PWM出力モード	アップカウンタと TREG0の一致時と、 PWM周期	PGシフト用のトリガ 信号は発生しません。

(注) PGをシフトさせる場合もTFFCR<TFF1IE>="1"にしてTFF1は反転イネーブルにしておく必要があります。

PGは、16ビットタイマT4/T5と連動することができますが、この場合16ビットタイマからのPGシフトトリガ信号は、アップカウンタUC4/UC5とTREG5/TREG7の一致時のみ発生します。T4からのトリガ信号を用いる場合は、T4FFCR<EQ5T4>, T4MOD<EQ5T5>のどちらかを“1”にし、TREG5との一致でトリガを発生させます。T6からのトリガ信号を用いる場合は、T5FFCR<EQ7T6>を“1”に設定し、TREG7との一致でトリガを発生させてください。

(4) PGとタイマ出力の応用

「タイマからのトリガ信号」の項で述べましたが、PGのシフトとTFFの反転するタイミングは、タイマのモードで異なります。ここでは8ビットタイマをPPG出力モードで動作させながらPGを動作させる場合の応用例を説明します。

ステッピングモータを駆動する場合、各相の値(PGの出力)とあわせて、励磁のきりかわるタイミングで同期信号を必要とすることがよくあります。本応用ではこの点に着目し、ポート6をステッピングモータコントロールポートとして使用し、TO1(P71と兼用)へ同期クロックを出力します。

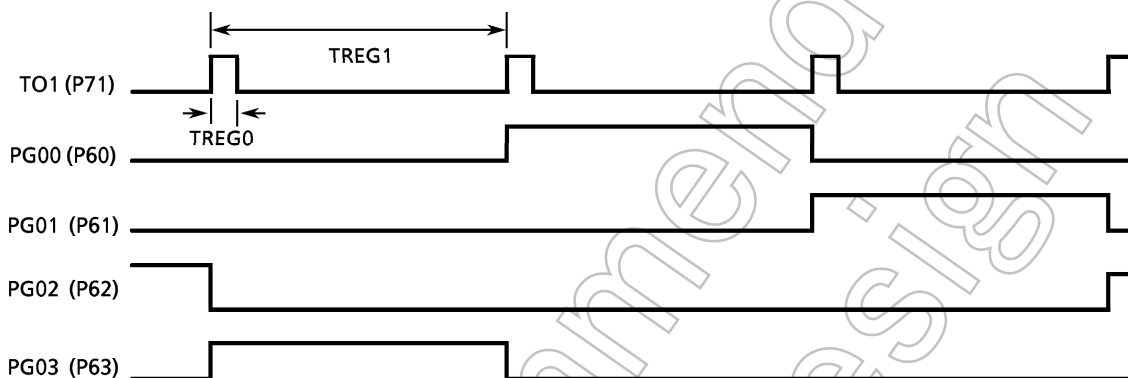


図3.10 (13) 4相1励磁の出力波形

設定例:

	7	6	5	4	3	2	1	0			
TRUN	←	-	X	-	-	-	0	0	タイマ0,1を停止しゼロクリア。		
TMOD	←	1	0	X	X	X	X	0	1	タイマ0,1をPPGモード、入力クロックをφT1。	
TFFCR	←	X	X	X	0	0	1	1	X	TFF1を反転イネーブル“1”にセット。	
TREG0	←	*	*	*	*	*	*	*	*	TO1のデューティをセットします。	
TREG1	←	*	*	*	*	*	*	*	*	TO1の周期をセットします。	
P7CR	←	X	X	X	X	-	-	1	-	} P71をTO1端子に設定します。	
P7FC	←	X	X	X	X	-	-	1	X		
P6CR	←	-	-	-	-	1	1	1	1	} P60~P63をPG0端子に設定します。	
P6FC	←	-	-	-	-	1	1	1	1		
PG01CR	←	-	-	-	-	0	0	0	1		PG0を4相1励磁に設定します。
PGOREG	←	*	*	*	*	*	*	*	*		初期値を設定します。
TRUN	←	1	X	-	-	-	-	1	1	タイマ0,1を起動します。	

(注) X: don't care - : no change

3.11 シリアルチャネル

TMP96C141Bは、シリアル入出力を2チャネル内蔵しています。全二重非同期通信 (UART) 用および I/O拡張用のシリアル入出力 (I/Oインタフェースモード)を内蔵しています。ただし、チャネル1は、UARTモードのCTSコントロールがありません。

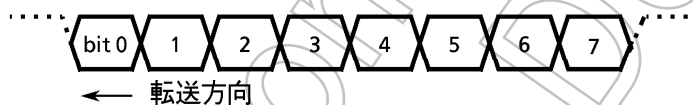
シリアルチャネルの動作モードは下記のとおりです。

- I/Oインタフェースモード (チャネル0, 1) ———— モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモードです。
- 非同期通信 (UART) モード (チャネル0, 1)
 - モード1: 送受信データ長 7ビット
 - モード2: 送受信データ長 8ビット
 - モード3: 送受信データ長 9ビット

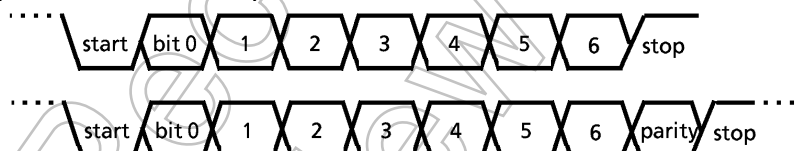
このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

各モードにおけるデータフォーマット(1フレーム分)を図3.11 (1)に示します。

- モード0 (I/Oインタフェースモード)



- モード1 (7ビットUARTモード)



- モード2 (8ビットUARTモード)



- モード3 (9ビットUARTモード)

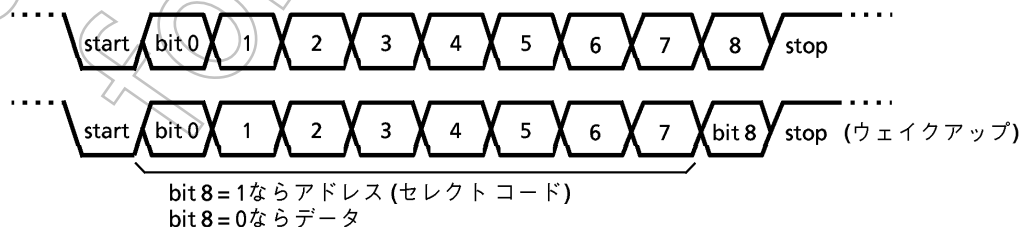


図3.11 (1) データフォーマット

シリアルチャネルは、それぞれ、送信用、受信用にデータを一時的に格納するためのバッファレジスタを備えているため、送信、受信が独立に行えます。(全二重)

ただし、I/Oインタフェースモードでは、**SCLK**(シリアルクロック)が送受信共用のため半二重になります。

受信用のバッファレジスタは、オーバランエラーの発生を防げるようにダブルバッファ構造となっており、**CPU**が受信データを読み取るまで1フレーム分の余裕を持っています。すなわち、受信バッファはすでに受信したデータを格納し、バッファレジスタで次のフレームのデータを受信します。

また、**CTS**と**RTS**(**RTS**端子はありません。任意のポート、1端子をソフトウェアでコントロールする必要があります。)を用いることにより、1フレーム受信ごとに、**CPU**が受信データを読み取るまで、送信を停止させることもできます。(ハンドシェイク機能)

UARTモードでは、ノイズなどに起因する誤ったスタートビットによって、受信動作が開始されないように、チェック機能が付加されています。これは、3回スタートビットをサンプリングして、2回以上正常なスタートビットとして検出された場合のみ、受信開始する機能です。

送信バッファが空になり、次に送信すべきデータを**CPU**へ要求するとき、または受信バッファにデータが格納され、**CPU**へ読み取りを要求するとき、それぞれ**INTTX**、**INTRX**割り込みを発生します。

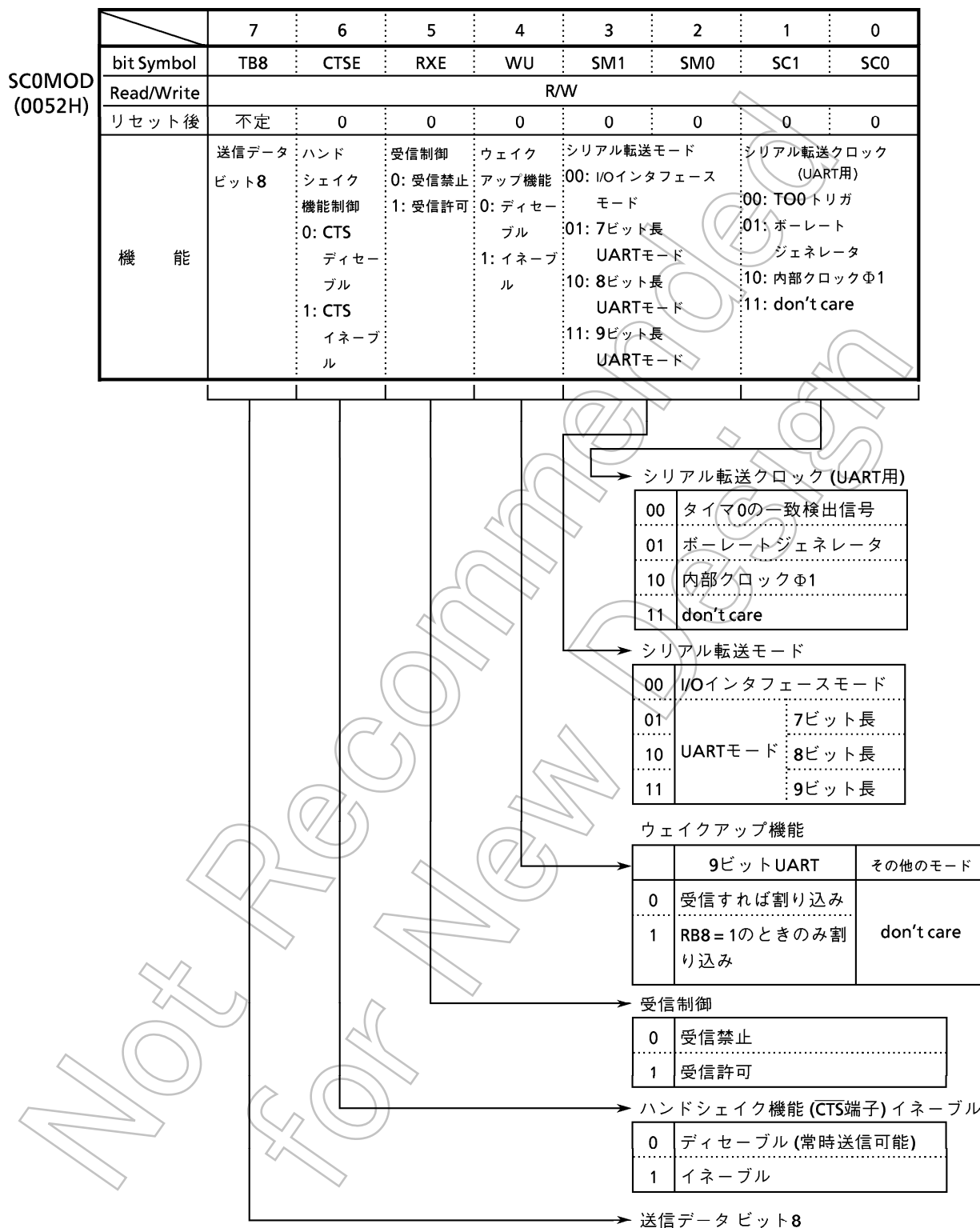
また、受信動作において、オーバランエラー、パリティエラー、フレーミングエラーの発生により、それぞれのフラグ**SC0CR/SC1CR**の**<OERR, PERR, FERR>**がセットされます。

シリアルチャネル**0/1**は、専用のボーレートジェネレータを有し、9ビットプリスケアラ(8/16ビットタイマと共用)からの内部入力クロック($\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$)を2~16分周することにより、任意のボーレートを設定することができます。

また、I/Oインタフェースモードでは、同期信号(**SCLK**)の入力動作も可能で、外部クロックによるデータの送受信が行えます。

3.11.1 コントロールレジスタ

各シリアルチャネルは、3つのコントロールレジスタ(チャネル**0**では**SC0CR**, **SC0MOD**, **BR0CR**)によって制御されています。また送受信データは、同チャネルの**SC0BUF**レジスタに格納されます。

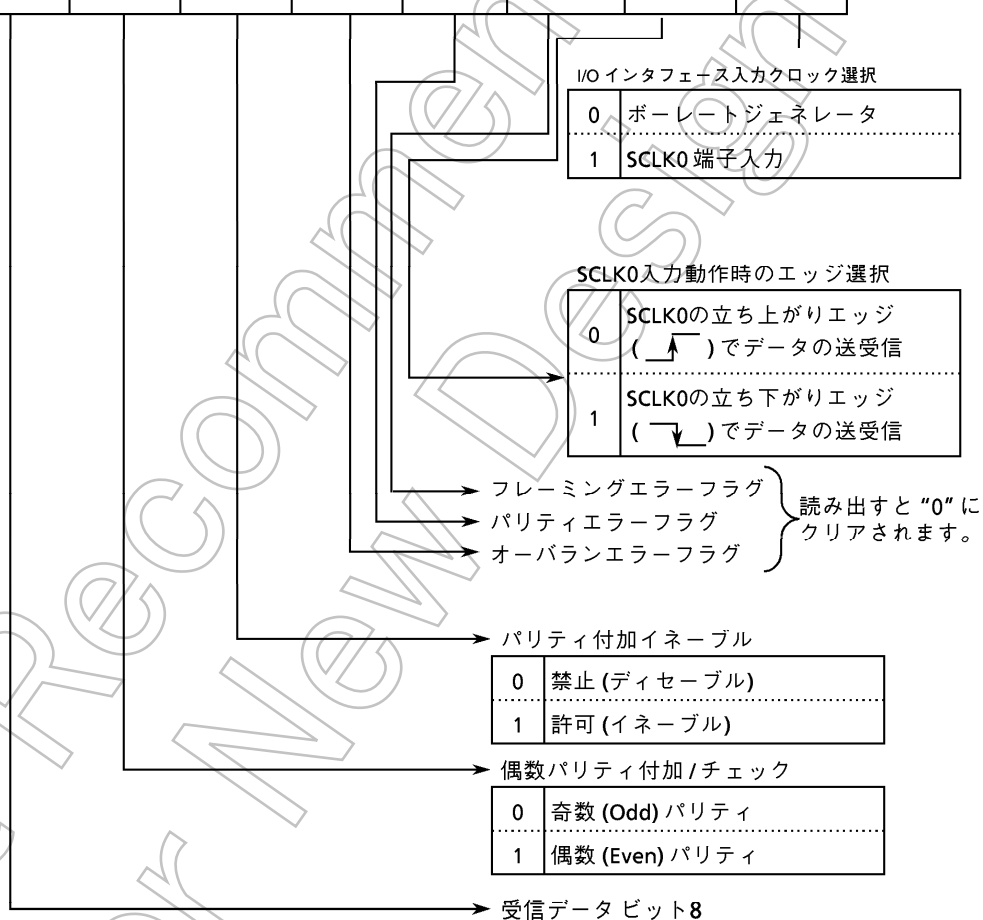


(注) チャンネル1用は、SC1MOD (56H) にあります。

図3.11 (2) シリアルモードコントロールレジスタ(チャンネル0用、SC0MOD)

SC0CR
(0051H)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後		0	0	0	0	0	0	0
機能	受信データ ビット8	パリティ 0: Odd 1: Even	パリティ 付加 0: 禁止 1: 許可	1: エラー オーバーラン パリティ フレーミング			0: SCLK0 1: SCLK0 (↑) (↓)	0: ポーレートジェネレータ 1: SCLK0 端子入力

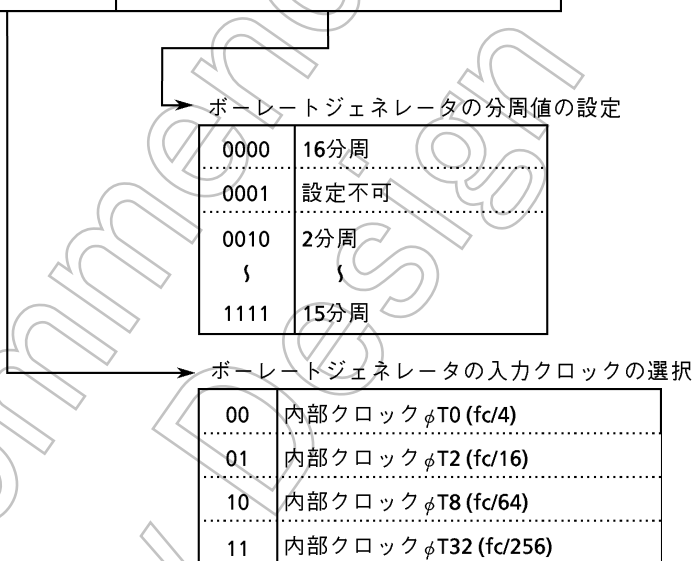


(注) チャンネル1用は、SC1CR (55H) にあります。

(注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.11 (3) シリアルコントロールレジスタ(チャンネル0用、SC0CR)

	7	6	5	4	3	2	1	0
bit Symbol	-		BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0
Read/Write	R/W							
リセット後	0		0	0	0	0	0	0
機能	"0"に固定してください		00: ϕ T0 (fc/4) 01: ϕ T2 (fc/16) 10: ϕ T8 (fc/64) 11: ϕ T32 (fc/256)		分周値の設定			



- (注) チャンネル1用は、BR1CR (57H) にあります。
- (注) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = "1" に設定してプリスケラをRUN状態にしてください。
- (注) シリアル転送中は、BROCRレジスタへアクセスしないでください。

図3.11 (4) ボーレートジェネレータコントロール (チャンネル0用、BROCR)

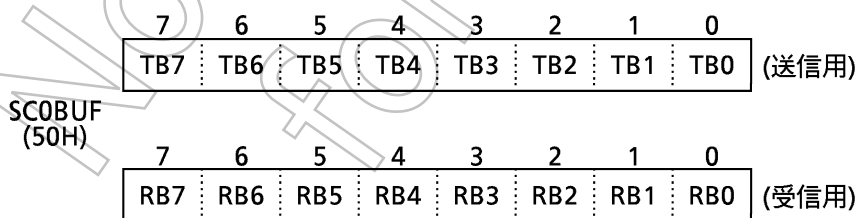


図3.11 (5) シリアル送受信バッファレジスタ (チャンネル0用、SC0BUF)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	-	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機能	送信データビット8 "0"に固定してください	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード	シリアル転送クロック (UART用) 00: TO0トリガ 01: ボーレートジェネレータ 10: 内部クロックΦ1 11: don't care			

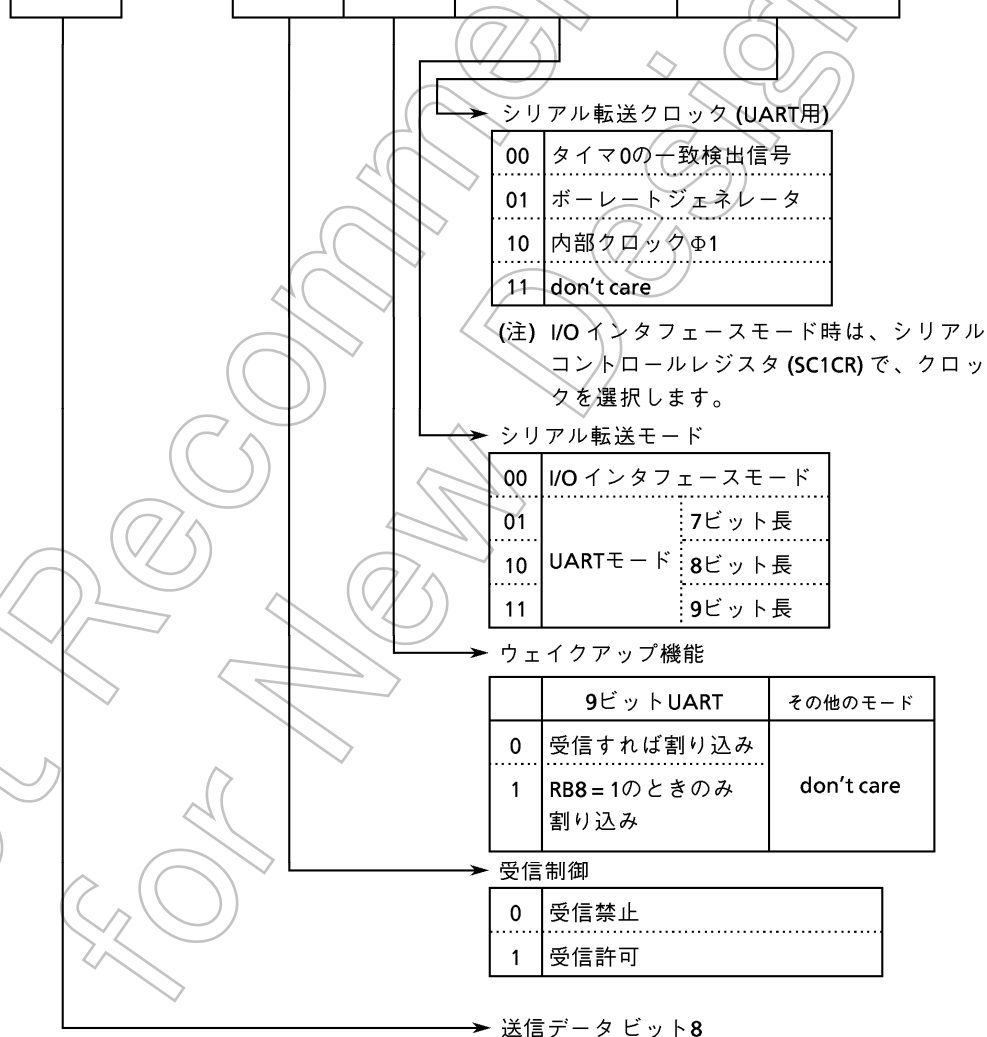
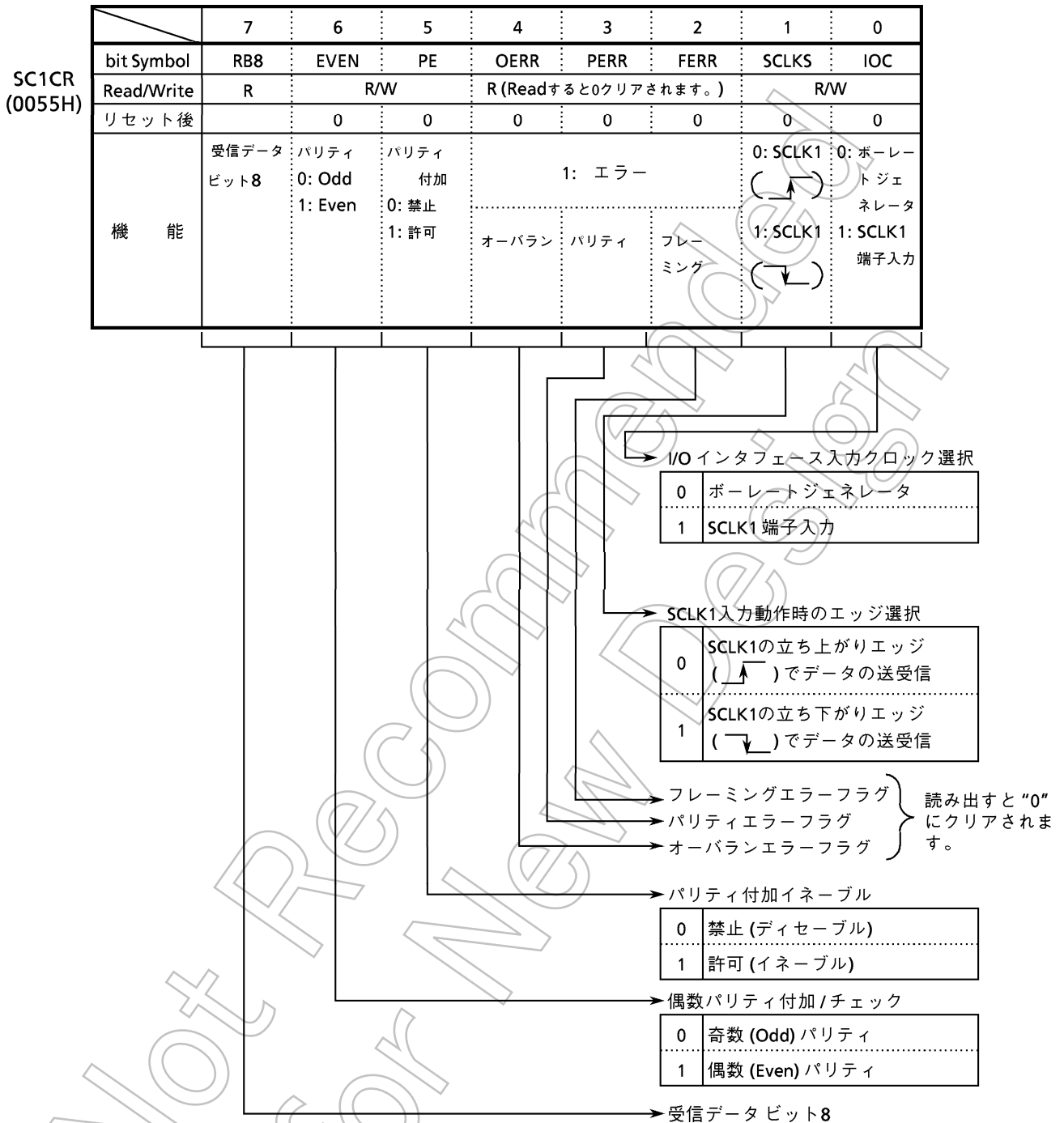
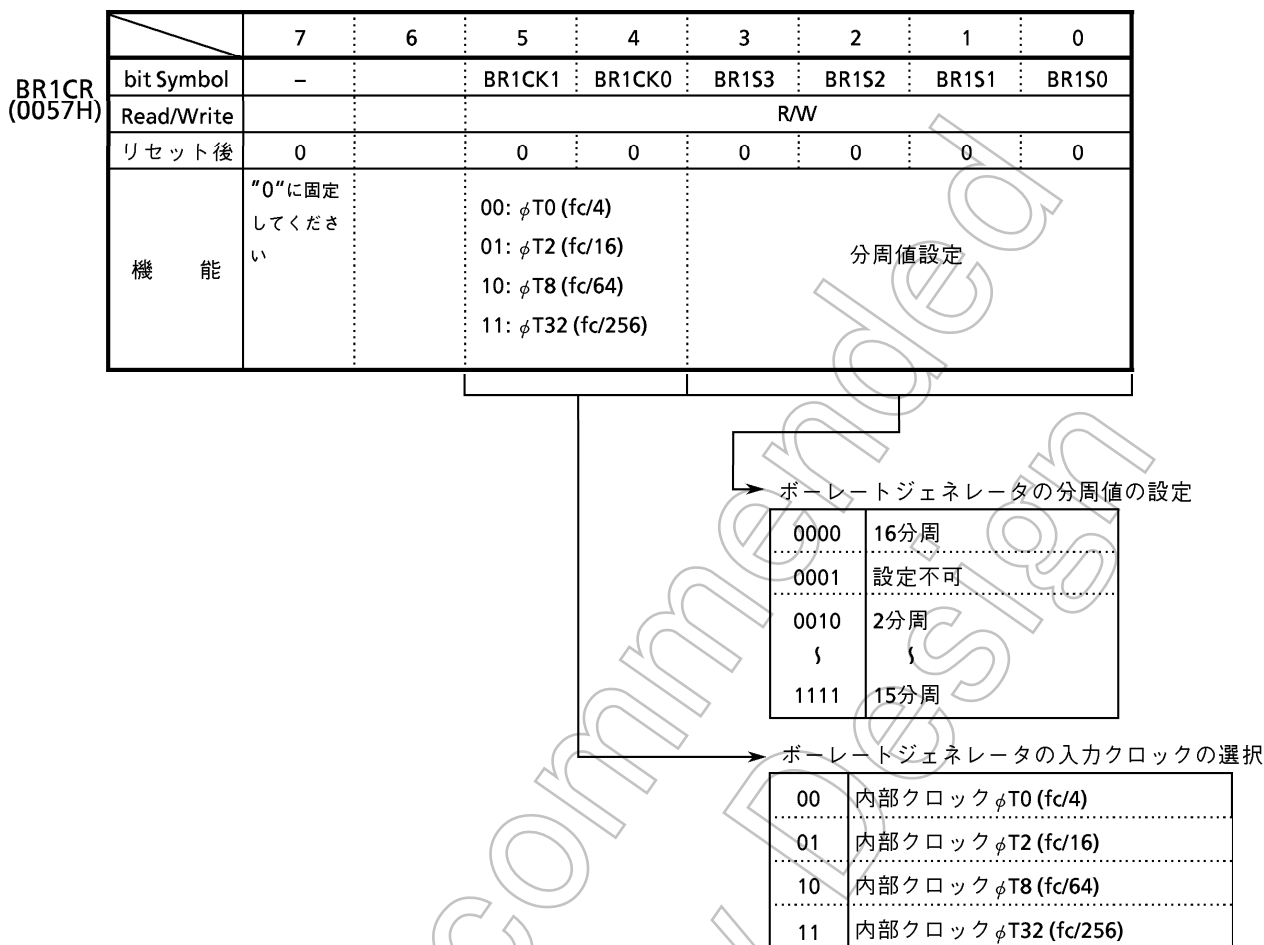


図3.11 (6) シリアルモードコントロールレジスタ(チャンネル1用、SC1MOD)



(注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.11 (7) シリアルコントロールレジスタ(チャンネル1用、SC1CR)



- (注) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = "1" に設定してプリスケアラをRUN状態にしてください。
- (注) シリアル転送中は、BR1CRレジスタへアクセスしないでください。

図3.11 (8) ボーレートジェネレータコントロールレジスタ (チャンネル1用、BR1CR)

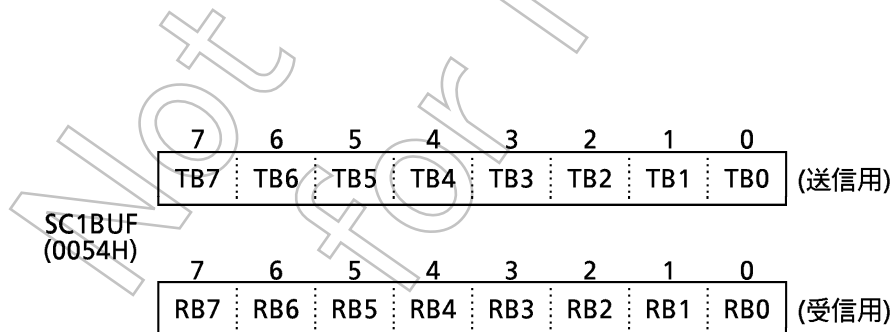


図3.11 (9) シリアル送受信バッファレジスタ (チャンネル1用, SC1BUF)

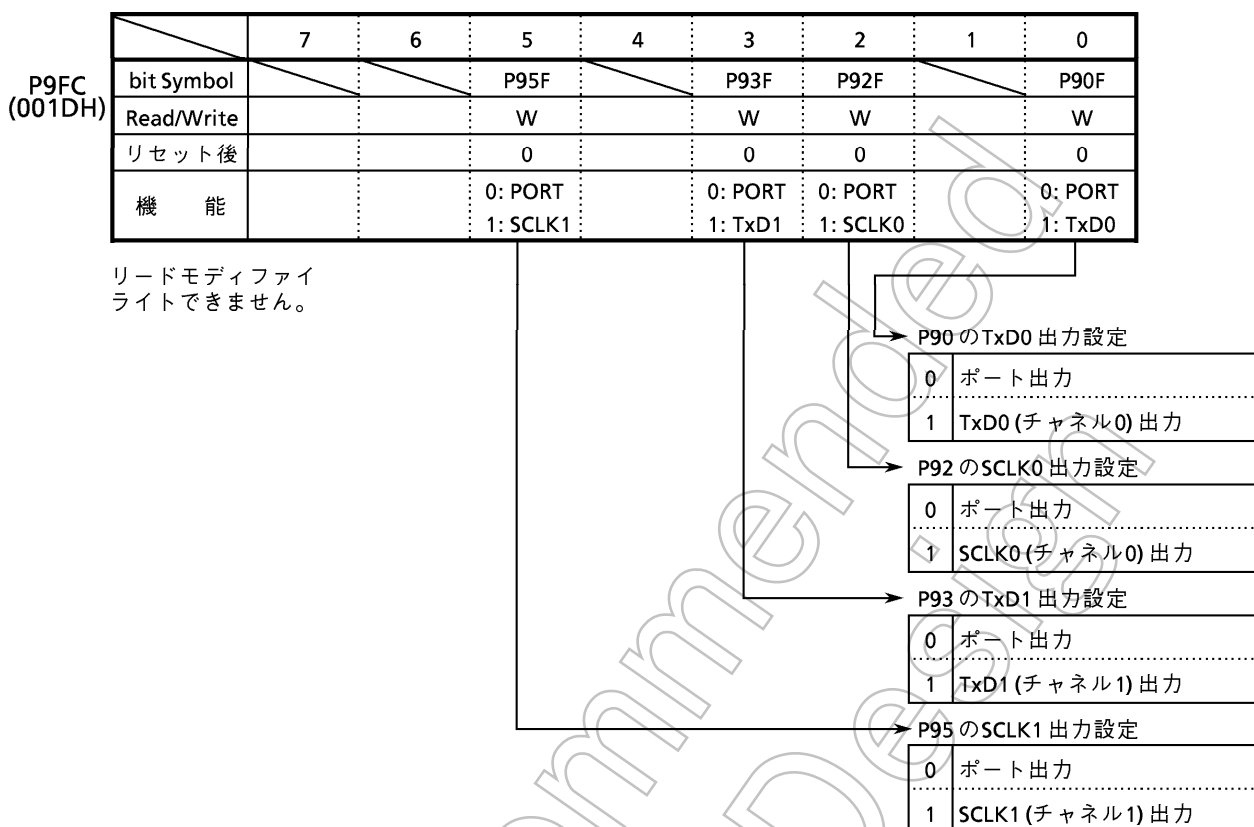


図3.11 (10) ポート9ファンクションレジスタ (P9FC)

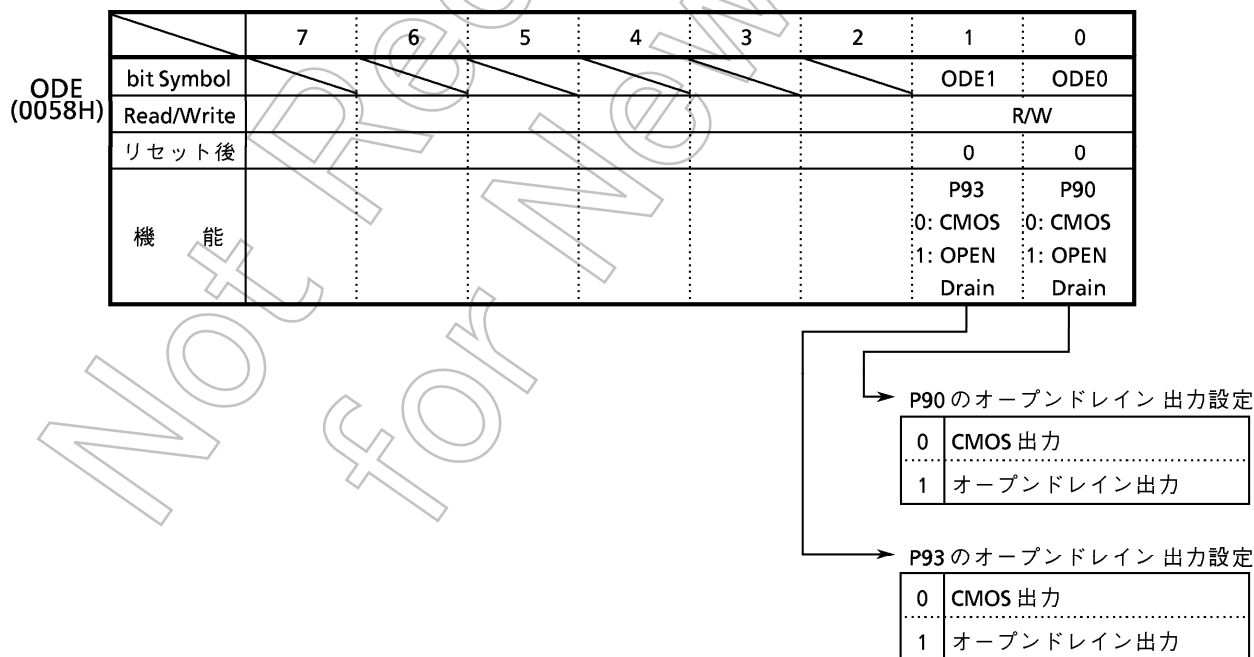


図3.11 (11) ポート9オープンドレインイネーブルレジスタ (ODE)

3.11.2 構成

図3.11 (12) にシリアルチャンネル0のブロック図を示します。

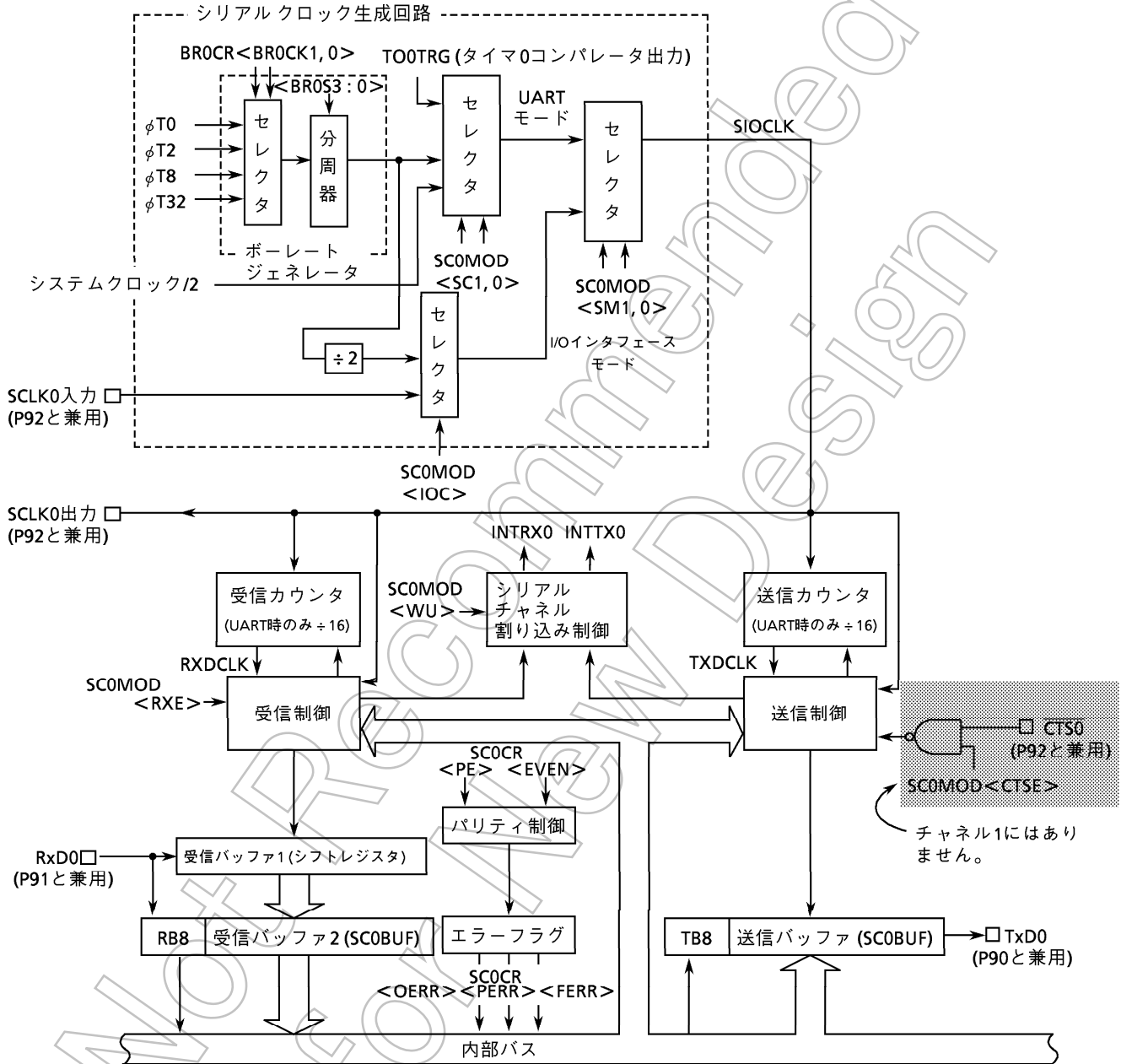


図3.11 (12) シリアルチャンネル0のブロック図

図3.11 (13) にシリアルチャンネル1のブロック図を示します。

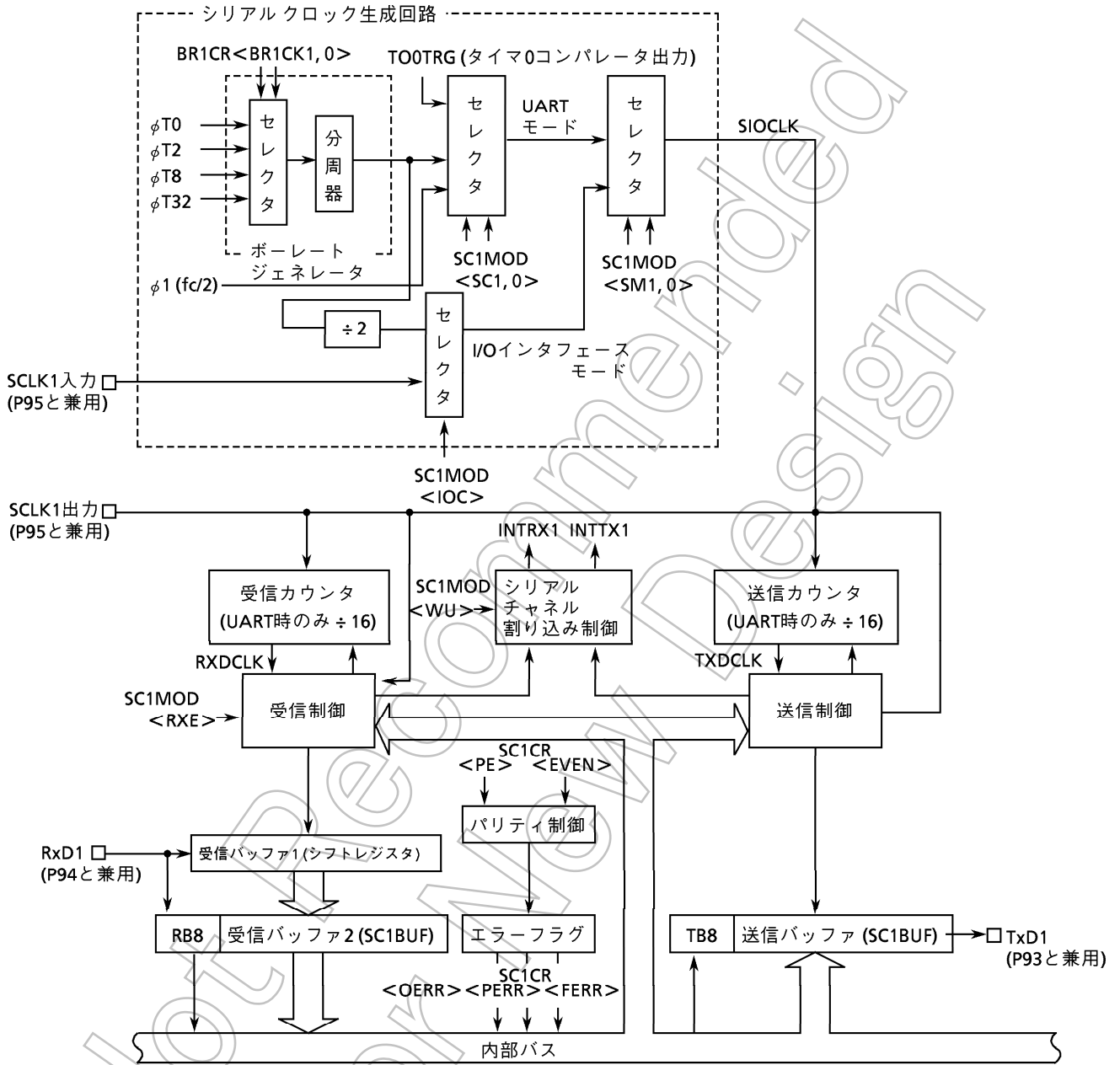


図3.11 (13) シリアルチャンネル1のブロック図

① ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックはタイマと共用の9ビットプリスケアラより、 $\phi T0$ ($fc/4$)、 $\phi T2$ ($fc/16$)、 $\phi T8$ ($fc/64$)、 $\phi T32$ ($fc/256$)を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタBR0CR/BR1CRのビット5,4<BR0CK1,0>/<BR1CK1,0>で設定します。

ボーレートジェネレータは、4ビットの分周器を内蔵しており、この分周器にて、2~16分周を行い転送速度を決定します。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

• UARTモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

• I/Oインタフェースモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

入力クロックと原振 (fc) との関係は、

$$\phi T0 = fc/4$$

$$\phi T2 = fc/16$$

$$\phi T8 = fc/64$$

$$\phi T32 = fc/256 \text{ となります。}$$

従って原振 $fc=12.288 \text{ MHz}$ で入力クロック $\phi T2$ ($fc/16$)、分周値=5の場合のUARTモードのボーレートは、

$$\begin{aligned} \text{Baud Rate} &= \frac{fc/16}{5} \div 16 \\ &= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

表3.11 (1) にUARTモードのボーレートの例を示します。

シリアルチャネルのUARTモードでは、8ビットタイマ0を使ってボーレートを得ることもできます。タイマ0を使用したボーレートの例を表3.11 (2) に示します。

表3.11 (1) UARTボーレートの選択 (1) (ボーレートジェネレータ使用) 単位 (kbps)

fc [MHz]	入力クロック		$\phi T0$ (fc/4)	$\phi T2$ (fc/16)	$\phi T8$ (fc/64)	$\phi T32$ (fc/256)
	分周値					
9.830400	2		76.800	19.200	4.800	1.200
↑	4		38.400	9.600	2.400	0.600
↑	8		19.200	4.800	1.200	0.300
↑	0		9.600	2.400	0.600	0.150
12.288000	5		38.400	9.600	2.400	0.600
↑	A		19.200	4.800	1.200	0.300
14.745600	3		76.800	19.200	4.800	1.200
↑	6		38.400	9.600	2.400	0.600
↑	C		19.200	4.800	1.200	0.300

注) I/O インタフェースモード時の転送レートは本表の値の8倍になります。

表3.11 (2) UARTボーレートの選択 (2) (タイマ0入力クロック $\phi T1$ を使用)

単位 (kbps)

TREG0 \ fc	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	96		76.8	62.5	48
2H	48		38.4	31.25	24
3H	32	31.25			16
4H	24		19.2		12
5H	19.2				9.6
8H	12		9.6		6
AH	9.6				4.8
10H	6		4.8		3
14H	4.8				2.4

ボーレートの算出方法 (タイマ0を使用した場合)

$$\text{転送レート} = \frac{fc}{\text{TREG0} \times 8 \times 16}$$

(タイマ0の入力クロックが $\phi T1$ の場合)

タイマ0の入力クロック

$$\phi T1 = fc/8$$

$$\phi T4 = fc/32$$

$$\phi T16 = fc/128$$

注) I/O インタフェースモードでは、タイマ0の一致信号を転送クロックとして使用できません。

② シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/Oインタフェースモードの場合
SC0CR/SC1CR<IOC> = “0” のSCLK出力モードのときは、前記ボーレートジェネレータの出力を2分周し、基本クロックをつくります。
SC0CR/SC1CR<IOC> = “1” のSCLK入力モードのときは、SC0CR/SC1CR<SCLKS>レジスタの設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。
- 非同期通信 (UART) モードの場合
SC0CR/SC1CR<SC1, 0>の設定により、前記ボーレートジェネレータからのクロックか、内部クロック $\Phi 1$ (500 kbps @ fc = 16 MHz) か、タイマ0からの一致検出信号かのいずれかを選択し、基本クロック SIOCLKをつくります。

③ 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLKでカウントアップされます。データ1ビットの受信にSIOCLK16発が用いられ7, 8, 9発目でデータをサンプリングします。

3度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9発目のクロックで、データが1, 0, 1であれば、受信データは“1”と判断され、また、0, 0, 1であれば“0”と判断されます。

④ 受信制御部

- I/Oインタフェースモードの場合
SC0CR/SC1CR<IOC> = “0” のSCLK出力モードのときは、SCLK0/1端子へ出力されるシフトクロックの立ち上がりでRxD0/1端子をサンプリングします。
SC0CR/SC1CR<IOC> = “1” のSCLK入力モードのときは、SC0CR/SC1CR<SCLKS>レジスタの設定に従ってSCLK入力の立ち上がり/立ち下がりエッジでRxD0/1端子をサンプリングします。
- 非同期通信 (UART) モードの場合
受信制御部は、多数決論理によるスタートビット検出回路を持ち、3度のサンプリング中2度以上“0”であれば正常なスタートビットと判断し、受信動作を開始します。
データ受信中でも、多数決論理により受信データを判断しています。

⑤ 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1(シフトレジスタ型)に受信データが1ビットずつ格納され、7ビットまたは8ビットのデータがそろそろもう一方の受信バッファ2(SC0BUF/SC1BUF)へ移されるとともに割り込みINTRX0/INTRX1が発生します。

CPUは受信バッファ2(SC0BUF/SC1BUF)の方を読み出します。CPUが受信バッファ2(SC0BUF/SC1BUF)を読み出す前でも、受信データは受信バッファ1へ格納することができます。

ただし、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2(SC0BUF/SC1BUF)を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ2およびSC0CR<RB8>/SC1CR<RB8>の内容は保存されていますが、受信バッファ1の内容は失われます。

8ビットUARTのパリティ付加の場合のパリティビット、9ビットUARTモードの場合の最上位ビットはSC0CR<RB8>/SC1CR<RB8>に格納されます。

9ビットUARTの場合、SC0MOD<WU>/SC1MOD<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>/SC1CR<RB8>=“1”のときのみ、割り込みINTRX0/INTRX1が発生します。

⑥ 送信カウンタ

送信カウンタは非同期通信(UART)モードで用いられる4ビットのバイナリカウンタで受信カウンタ同様SIOCLKでカウントされ、16発ごとに送信クロックTxDCLKを生成します。

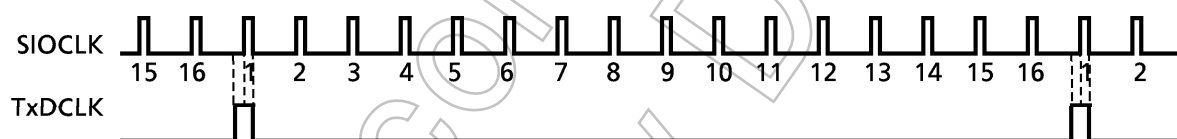


図3.11 (14) 送信クロックの生成

⑦ 送信制御部

- I/Oインタフェースモードの場合

SC0CR/SC1CR<IOC>=“0”のSCLK出力モードのときは、SCLK0/1端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを1ビットずつTxD0/1端子へ出力します。

SC0CR/SC1CR<IOC>=“1”のSCLK入力モードのときは、SC0CR/SC1CR<SCLKS>レジスタの設定に従ってSCLK入力の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつTxD0/1端子へ出力します。

- 非同期通信(UART)モード

送信バッファにCPUから送信データが書き込まれると次のTxDCLKの立ち上がりエッジから送信を開始し、送信シフトクロックTxDSFTをつくります。

ハンドシェイク機能

シリアルチャネル0は $\overline{\text{CTS0}}$ 端子を持っており、この端子を使用することにより、1フレーム単位の送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は $\text{SC0MOD}<\text{CTSE}>$ によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が“H”レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が“L”レベルに戻るまで送信を停止します。ただし、 INTTX0 割り込みは発生し、次の送信データをCPUに要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき(受信割り込みルーチン内)に $\overline{\text{RTS}}$ 機能に割当てた任意の1ポートを“H”レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

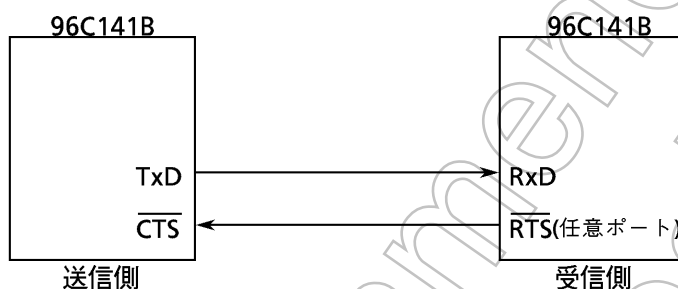
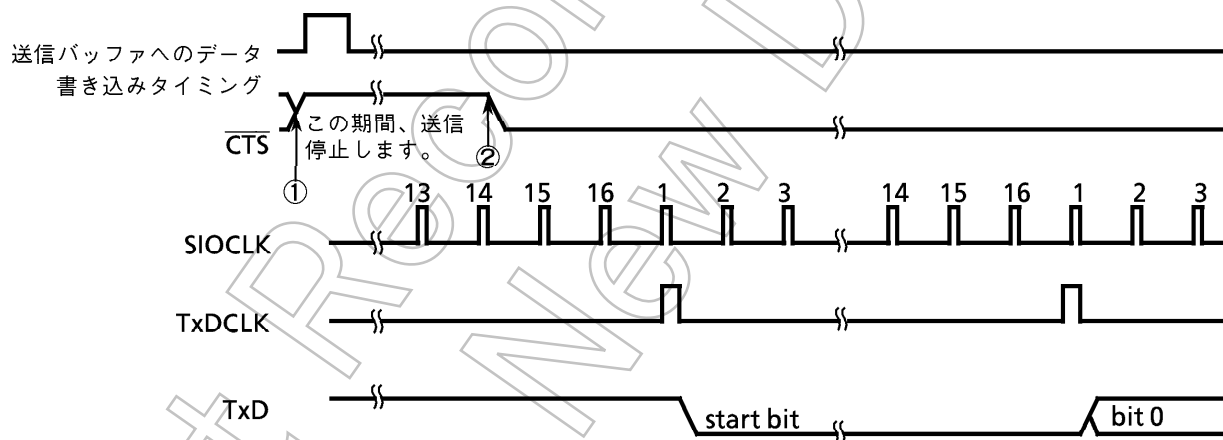


図3.11 (15) ハンドシェイク機能



- (注) ① 送信中に $\overline{\text{CTS}}$ 信号を立ち下げた場合は、送信終了後、次のデータの送信を停止します。
 ② $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TxDCLK クロックの立ち下がりから送信を開始します。

図3.11 (16) $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

⑧ 送信バッファ

送信バッファ (SC0BUF/SC1BUF) はCPUより書き込まれた送信データを送信制御部で生成される送信シフトクロックTxDSFTにより最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティでINTTX0/INTTX1割り込みが発生します。

⑨ パリティ制御回路

シリアルチャネルコントロールレジスタSC0CR<PE>/SC1CR<PE>を“1”にするとパリティ付の送信を行います。ただし、7ビットUARTまたは8ビットUARTモードのみパリティ付加が可能です。SC0CR<EVEN>/SC1CR<EVEN>レジスタによって偶数(奇数)パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SC0BUF/SC1BUF) に書き込まれたデータにより自動的にパリティを発生し、7ビットUARTモードのときはSC0BUF<TB7>/SC1BUF<TB7>に、8ビットUARTモードのときはSC0MOD<TB8>/SC1MOD<TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ1にシフトインされ、受信バッファ2 (SC0BUF/SC1BUF) に移されたデータにより、パリティを自動発生し、7ビットUARTモードのときは、SC0BUF<RB7>/SC1BUF<RB7>と、8ビットUARTモードのときは、SC0MOD<RB8>/SC1MOD<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>/SC1CR<PERR>フラグがセットされます。

⑩ エラーフラグ

受信データの信頼性をあげるために3つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ2 (SCBUF0/1) に有効データが格納されている状態で受信バッファ1に次のデータが全ビット受信されるとオーバランエラーが発生します。

2. パリティエラー<PERR>

受信バッファ2 (SCBUF0/1) に移されたデータから発生したパリティと、RxD端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で3回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

① 各信号発生タイミング

1) UARTモードの場合

受信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生 タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	———	最終ビット (パリティ ビット) の中央付近	←
オーバランエラー 発生タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

送信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生 タイミング	ストップビット 送直前の直前	←	←

2) I/O インタフェースモードの場合

送信割り込み 発生タイミング	SCLK 出力モード	最終 SCLK の立ち上がり直後 (図3.11 (19) 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下 がりモードでは立ち下がり直後 (図3.11 (20) 参照)
受信割り込み 発生タイミング	SCLK 出力モード	受信バッファ2 (SC0BUF/SC1BUF) へ受信データを移すタ イミング (最終SCLKの直後) (図3.11 (21) 参照)
	SCLK 入力モード	受信バッファ2 (SC0BUF/SC1BUF) へ受信データを移すタ イミング (最終SCLKの直後) (図3.11 (22) 参照)

3.11.3 動作説明

(1) モード0 (I/Oインタフェースモード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック (SCLK) を出力する SCLK 出力モードと、外部より同期クロック (SCLK) を入力する SCLK 入力モードがあります。

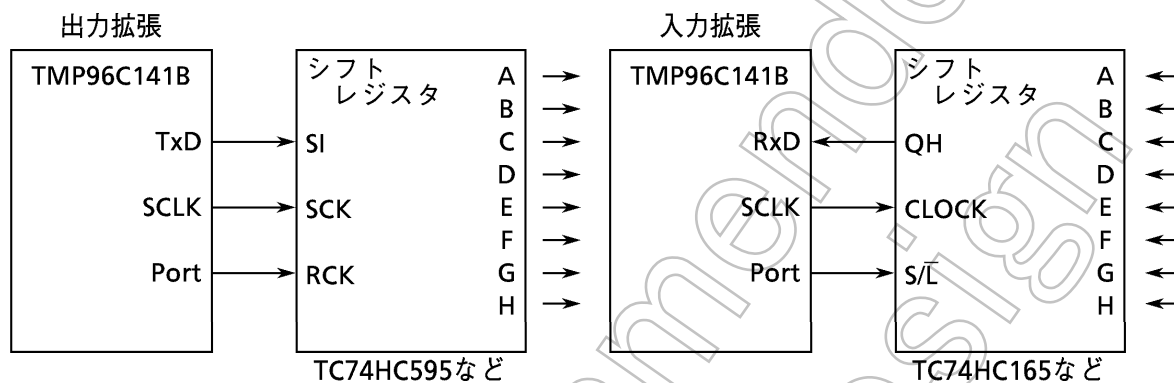


図3.11 (17) SCLK出力モード接続例

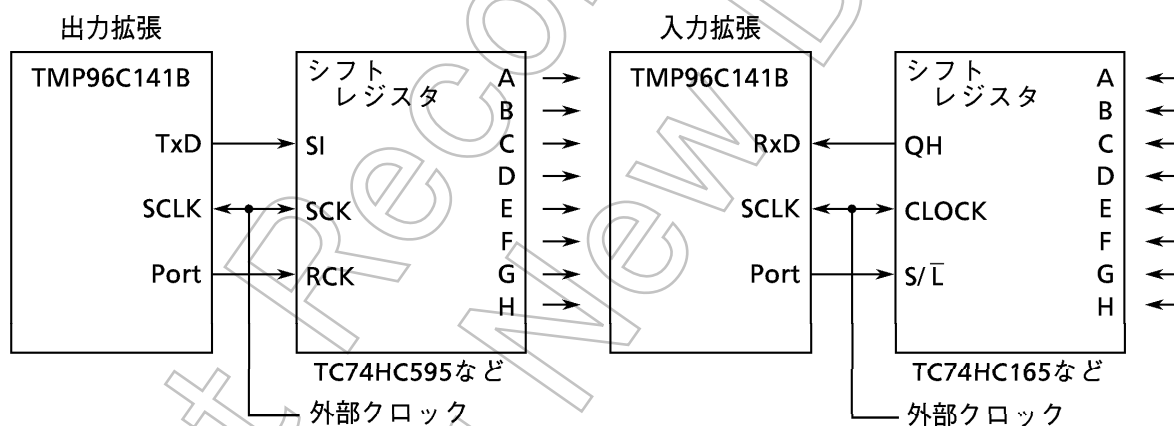


図3.11 (18) SCLK入力モード接続例

① 送信

SCLK出力モードでは、CPUが送信バッファにデータを書き込むたびに、8ビットのデータがTxD端子、同期クロックがSCLK端子より出力されます。データがすべて出力されると、INTES0<ITX0C>/INTES1<ITX1C>がセットされ、割り込みINTTX0/1が発生します。

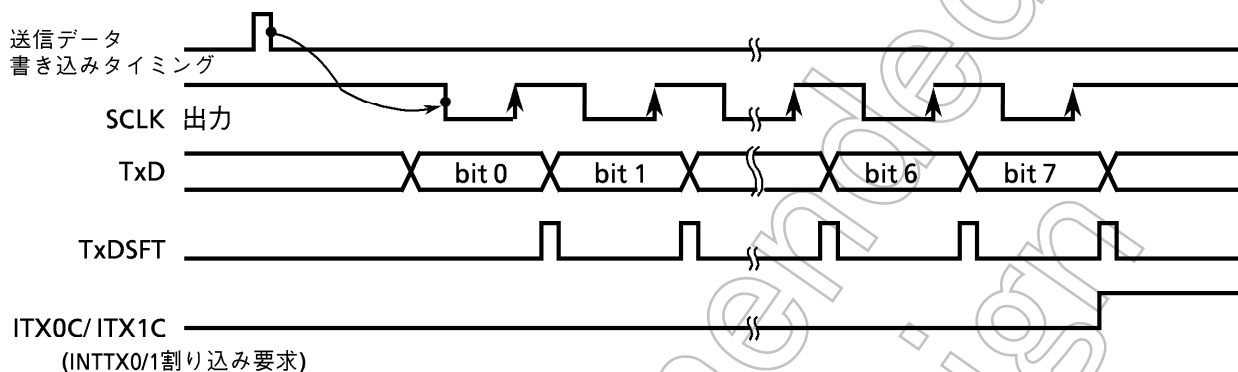


図3.11 (19) I/Oインタフェースモード送信動作(SCLK出力モード)

SCLK入力モードでは、CPUにより送信バッファにデータが書き込まれている状態でSCLK入力がアクティブになると、8ビットのデータがTxD端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>/INTES1<ITX1C>がセットされ割り込みINTTX0/1が発生します。

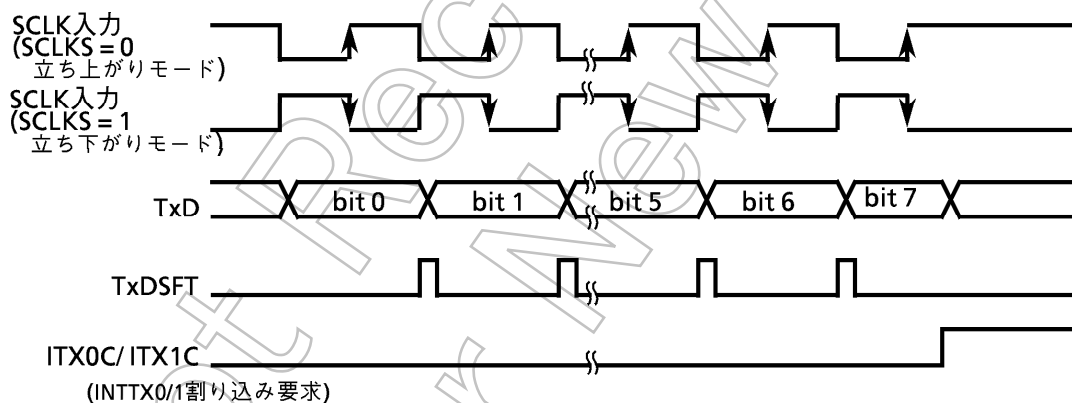


図3.11 (20) I/Oインタフェースモード送信動作(SCLK入力モード)

② 受信

SCLK出力モードでは受信データがCPUに読み取られ、受信割り込みフラグINTES0<IRX0C>/INTES1<IRX1C>がクリアされるたびに、SCLK端子より同期クロックが出力され次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2(SC0BUF/SC1BUF)に移され、再びINTES0<IRX0C>/INTES1<IRX1C>がセットされて割り込みINTRX0/1が発生します。

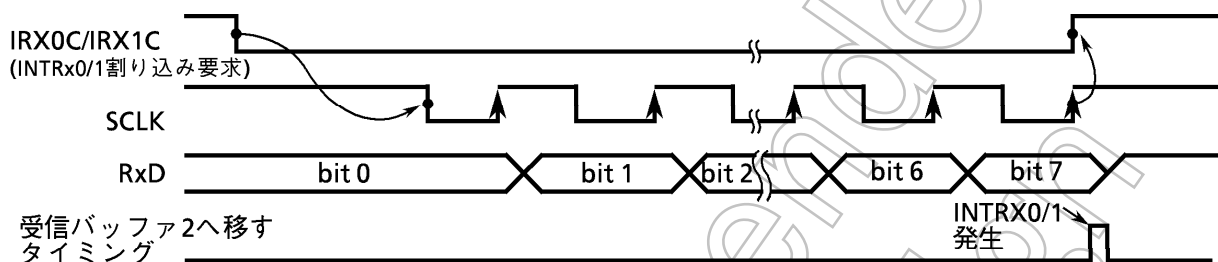


図3.11 (21) I/Oインタフェースモード受信動作(SCLK出力モード)

SCLK入力モードでは受信データがCPUに読み取られ、受信割り込みフラグINTES0<IRX0C>/INTES1<IRX1C>がクリアされている状態で、SCLK入力がアクティブになると、次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2(SC0BUF/SC1BUF)に移され、再びINTES0<IRX0C>/INTES1<IRX1C>がセットされて割り込みINTRX0/1が発生します。

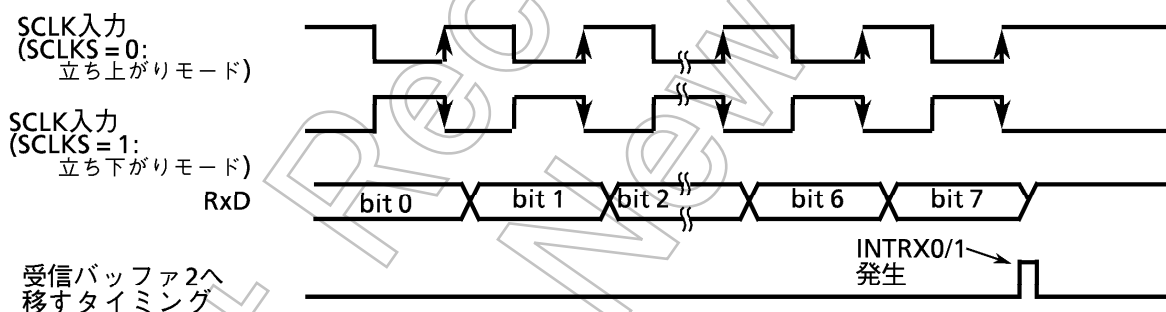


図3.11 (22) I/Oインタフェースモード受信動作(SCLK入力モード)

(注意) 受信動作を行う場合にはSCLK入/出力のどちらのモードでも、受信イネーブル状態(SC0MOD/SC1MOD<RXE>=1)にしておく必要があります。

(2) モード1(7ビットUARTモード)

シリアルチャネルモードレジスタ $SC0MOD<SM1,0>/SC1MOD<SM1,0>$ を01にセットすると7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ $SC0CR<PE>/SC1CR<PE>$ でパリティビット付加のイネーブル/ディセーブルを制御しています。 $<PE>=1$ (イネーブル)のときは、 $SC0CR<EVEN>/SC1CR<EVEN>$ で偶数パリティ/奇数パリティを選択できます。

例： 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。ここではチャンネル0を例にとり説明します。



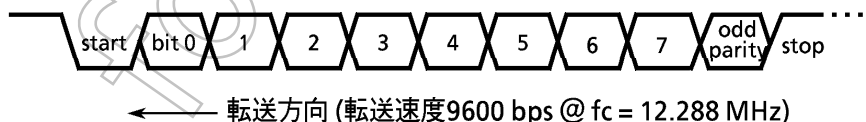
	7	6	5	4	3	2	1	0		
P9CR	←	X	X	-	-	-	-	1	} P90をTxD0端子とします。	
P9FC	←	X	X	-	X	-	X	1		
SC0MOD	←	X	0	-	X	0	1	0	1	7ビットUARTモードに設定します。
SC0CR	←	X	1	1	X	X	X	0	0	偶数パリティを付加します。
BROCR	←	0	X	1	0	0	1	0	1	2400 bpsに設定します。
TRUN	←	1	X	-	-	-	-	-	-	ボーレートジェネレータ用にプリスケアラを起動します。
INTES0	←	1	1	0	0	-	-	-	-	INTTX0割り込みをイネーブル、レベル4にします。
SC0BUF	←	*	*	*	*	*	*	*	*	送信データをセットします。

(注) X: don't care -: no change

(3) モード2(8ビットUARTモード)

$SC0MOD<SM1,0>/SC1MOD<SM1,0>$ を10にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能で $SC0CR<PE>/SC1CR<PE>$ でパリティビット付加のイネーブル/ディセーブルを制御できます。 $<PE>=1$ (イネーブル)のとき、 $SC0CR<EVEN>/SC1CR<EVEN>$ で偶数パリティ/奇数パリティの選択も可能です。

例： 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。ここではチャンネル0を例にとって説明します。



メインルーチンでの設定

	7 6 5 4 3 2 1 0	
P9CR	← X X - - - 0 -	P91 (RxD0) を入力ピンにします。
SC0MOD	← - 0 1 X 1 0 0 1	8ビットUARTモード、受信イネーブルにします。
SC0CR	← X 0 1 X X X 0 0	偶数パリティ付加に設定します。
BROCR	← 0 X 0 1 0 1 0 1	9600 bpsに設定します。
TRUN	← 1 X - - - - -	ボーレートジェネレータ用にプリスケアラを起動します。
INTES0	← - - - - 1 1 0 0	INTTX0をイネーブル、レベル4に設定します。

割り込みルーチンでの処理例

```

Acc ← SC0CR AND 00011100 } エラーチェックを行います。
if Acc ≠ 0 then ERROR
Acc ← SC0BUF                } 受信データを読み取ります。

```

(注) X: don't care -: no change

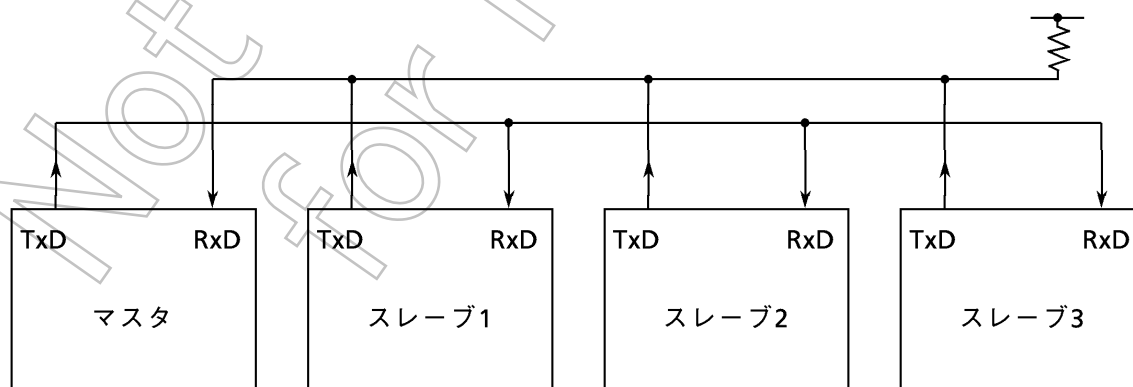
(4) モード3 (9ビットUART)

SC0MOD<SM1, 0>/SC1MOD<SM1, 0>を11にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SC0BUF/SC1BUFの方を後にします。

ウェイクアップ機能

9ビットUARTモードでは、SC0MOD<WU>/SC1MOD<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=1のときのみ割り込みINTRX1/INTRX0が発生します。



(注) スレーブコントローラのTxD端子は、かならずODEレジスタを設定してオープンドレイン出力モードにしてください。

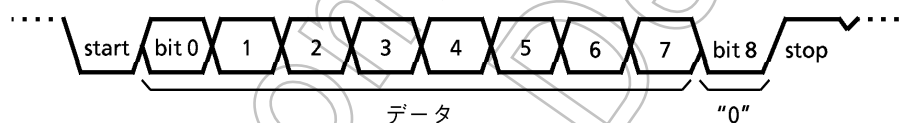
図3.11 (23) ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSC0MOD<WU>/SC1MOD<WU>を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

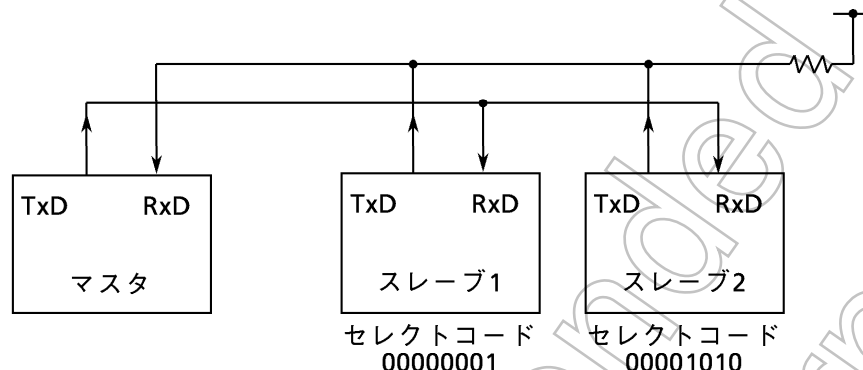


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(SC0MOD<WU>/SC1MOD<WU>=0にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



- ⑥ WU=1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX1/INTRX0が発生せず、受信データを無視します。
また、<WU>=0になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例： 内部クロック $\phi 1$ を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



このモードでのシリアルチャンネル0,1は同一の動作をしますので、ここではチャンネル0について説明します。

• マスタコントローラの設定

メインルーチン

```

P9CR  ← X X - - - - 0 1
P9FC  ← X X - X - X X 1
INTES0 ← 1 1 0 0 1 1 0 1
    } P90をTxD、P91をRxD端子にします。
INTTX0をイネーブ、割り込みレベルを4に設定します。
INTRX0をイネーブ、割り込みレベルを5に設定します。
SCOMOD ← 1 0 1 0 1 1 1 0
SC0BUF ← 0 0 0 0 0 0 0 1
    } 9ビットUARTモード、転送クロックを $\phi 1$ に設定します。
    } スレーブ1のセレクトコードをセットします。
    
```

割り込みルーチン (INTTX0)

```

SCOMOD ← 0 - - - - -
SC0BUF ← * * * * *
    } TB8を"0"にします。
    } 送信データをセットします。
    
```

• スレーブ2の設定

メインルーチン

```

P9CR  ← X X - - - - 0 1
P9FC  ← X X - X - X X 1
ODE   ← X X X X X X - 1
INTES0 ← 1 1 0 1 1 1 1 0
SCOMOD ← 0 0 1 1 1 1 1 0
    } P90をTxD(オープンドレイン出力)P91をRxDにします。
INTTX0, INTRX0をイネーブにします。
    } 9ビットUARTモード転送クロック $\phi 1$ (fc/2)で、<WU> =
    } "1"に設定します。
    
```

割り込みルーチン (INTRX0)

```

Acc ← SC0BUF
if Acc = セレクトコード
Then SCOMOD4 ← - - - 0 - - - - <WU> = "0"にクリアします。
    
```

3.12 アナログ/デジタルコンバータ

TMP96C141Bは、4チャンネルアナログ入力を持つ高速高精度の10ビット逐次比較方式アナログ/デジタルコンバータ(A/Dコンバータ)を内蔵しています。

図3.12(1)にA/Dコンバータのブロック図を示します。4チャンネルのアナログ入力端子(AN3~AN0)は、入力専用ポート5と兼用で、入力ポートとしても使用できます。

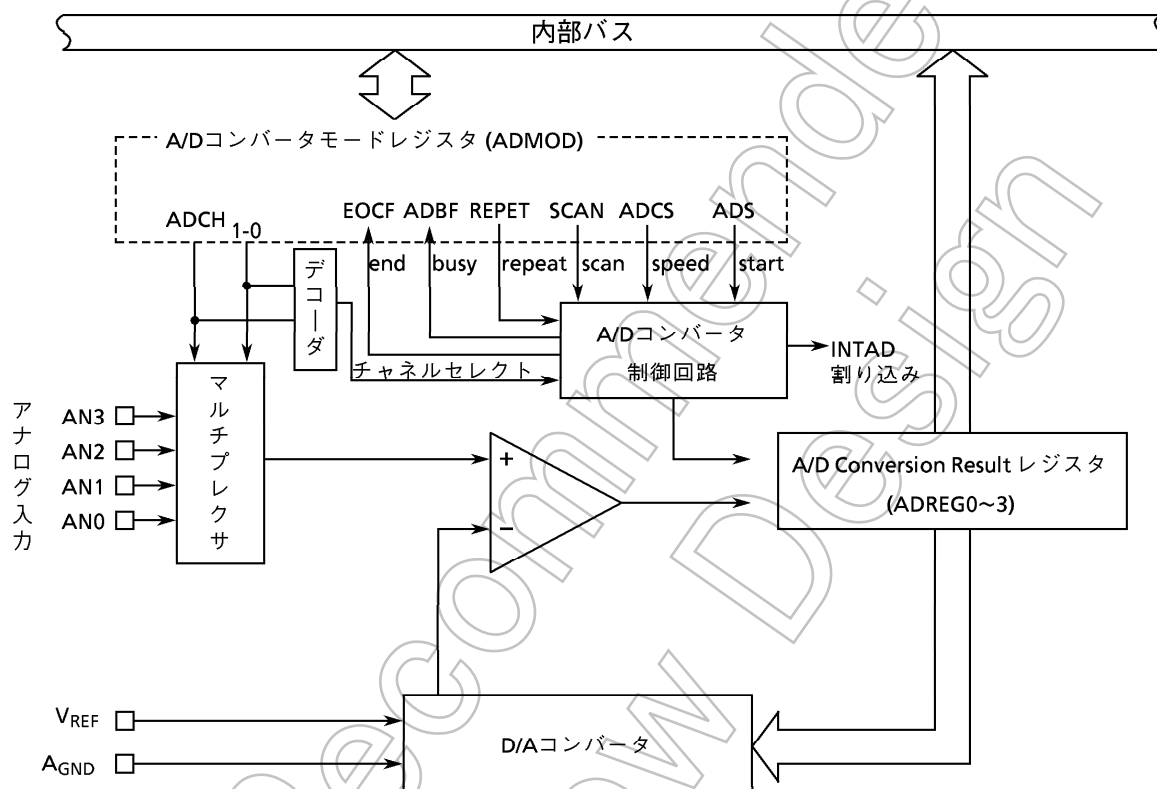


図3.12(1) A/Dコンバータのブロック図

(注1) このA/Dコンバータは、サンプルホールド回路を内蔵していません。従って、高い周波数の信号をA/D変換するときには、外部にサンプルホールド回路を付けてください。

(注2) IDLE, STOPモードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので“HALT”命令を実行する前にA/Dコンバータ動作を止めてください。

なお、VREF-AGND間のラダー抵抗は内部で切ることにはできませんのでモードにかかわらずIREFは流れます。

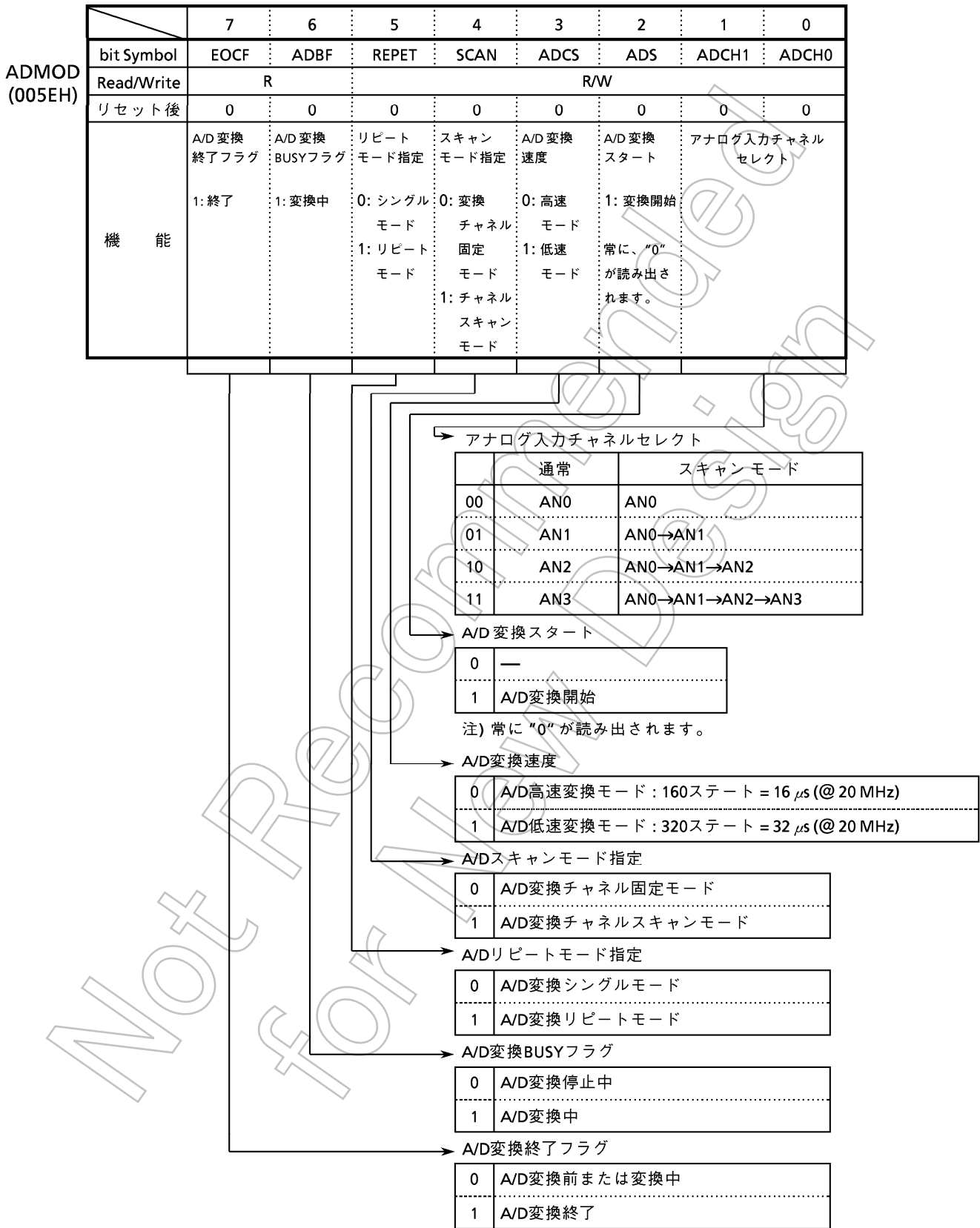


図3.12 (2) A/Dコントロールレジスタ

	7	6	5	4	3	2	1	0
ADREG0L (0060H)	ADR01	ADR00						
bit Symbol	ADR01	ADR00						
Read/Write	R							
リセット後	不定		1	1	1	1	1	1
機能	AN0変換結果の下位2ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG0H (0061H)	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	不定							
機能	AN0変換結果の上位8ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG1L (0062H)	ADR11	ADR10						
bit Symbol	ADR11	ADR10						
Read/Write	R							
リセット後	不定		1	1	1	1	1	1
機能	AN1変換結果の下位2ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG1H (0063H)	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	不定							
機能	AN1変換結果の上位8ビットが格納されています。							

図3.12 (3-1) A/D変換結果レジスタ (ADREG0, 1)

	7	6	5	4	3	2	1	0
ADREG2L (0064H)	ADR21	ADR20						
bit Symbol	ADR21	ADR20						
Read/Write	R							
リセット後	不定		1	1	1	1	1	1
機能	AN2変換結果の下位2ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG2H (0065H)	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機能	AN2変換結果の上位8ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG3L (0066H)	ADR31	ADR30						
bit Symbol	ADR31	ADR30						
Read/Write	R							
リセット後	不定		1	1	1	1	1	1
機能	AN3変換結果の下位2ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG3H (0067H)	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機能	AN3変換結果の上位8ビットが格納されています。							

図3.12 (3-2) A/D変換結果レジスタ (ADREG2, 3)

3.12.1 動作説明

(1) アナログ基準電圧

アナログ基準電圧の**High**側を**VREF**端子に、**Low**側を**AGND**端子に印加します。

VREF-AGND間の基準電圧をラダー抵抗により1024分割し、アナログ入力電圧と比較判定を行うことにより、**A/D**変換されます。

(2) アナログ入力チャンネル

アナログ入力チャンネルの選択は、**A/D**コンバータの動作モードによって異なります。

アナログ入力チャンネル固定モードでは**ADMOD**<**ADCH1, 0**>により、**AN0**~**AN3**の4端子のうち1チャンネルを選択します。

アナログ入力チャンネルスキャンモードでは、**ADMOD**<**ADCH1, 0**>により、**AN0**端子のみ、**AN0**→**AN1**, **AN0**→**AN1**→**AN2**, **AN0**→**AN1**→**AN2**→**AN3**とスキャンするチャンネル数を選択します。

リセット動作により、**A/D**変換チャンネルレジスタ**ADMOD**<**ADCH1, 0**>=**00**に初期化されますので、**AN0**端子が選択されます。

なお、アナログ入力チャンネルとして使用しない端子は、通常の入力ポート**P5**として使用できます。

(3) A/D変換開始

A/D変換は、**A/D**変換スタートレジスタ**ADMOD**<**ADS**>に“1”を書き込むことにより開始されます。**A/D**変換が開始されると、**A/D**変換中を示す**A/D**変換**BUSY**フラグ**ADMOD**<**ADBF**>が“1”にセットされます。

(4) A/D変換モード

A/D変換チャンネル固定/スキャンモードともシングル/リピート変換の2つのモードがあります。

チャンネル固定リピートモードでは、指定された1チャンネルの変換を、繰り返し行います。

スキャンリピートモードでは、**AN0**, …→**AN3**のスキャンを繰り返し行います。

A/D変換モードの選択は**ADMOD**<**REPET, SCAN**>で行います。

IDLE、**STOP**モードのホールド状態へ移行すると、**A/D**変換中でも**A/D**コンバータは、ただちに動作を停止します。ホールド解除後、変換動作を再開しません(停止したままです)。

(5) A/D変換スピード選択

A/D変換スピードには、高速モードと低速モードがあり、**ADMOD**<**ADCS**>レジスタで選択します。

リセット時**ADMOD**<**ADCS**>=**0**に初期化されますので、高速変換モードとなっています。

(6) A/D変換終了と割り込み

- **A/D**シングルモードに設定している場合

変換チャンネル固定の場合はその指定されたチャンネルの**A/D**変換が終了したときに、チャンネルスキャンの場合は最後のチャンネルの**A/D**変換を終了したときに、**A/D**変換終了を示す**ADMOD**<**EOCF**>フラグが“1”にセット、**ADMOD**<**ADBF**>フラグは“0”にクリアされ割り込み**INTAD**が発生します。

- A/Dリポートモードに設定している場合

変換チャンネル固定/スキャンともリポートモードに設定している場合、A/D変換終了割り込みINTADは使用できません。INTE0ADレジスタの割り込み要求レベルは常に“000”にして割り込み要求を禁止してください。

また、リポートモードの動作を終了させたい場合はADMOD<REPET>レジスタに“0”を書き込んでください。そのとき実行中の変換を終了した時点でリポートモードを終了します。

(7) A/D変換値の格納

A/D変換の結果は、各チャンネルごとにADREG0~3レジスタへ格納されます。リポートモード時は変換終了ごとに更新されます。

ADREG0~3は読み出しのみ可能です。

(8) A/D変換値の読み出し

A/D変換の結果は、ADREG0~3に格納されています。ADREG0~3のうち1つでもレジスタの内容を読み出すと、ADMOD<EOCF>は“0”にクリアされます。

設定例：① AN3端子のアナログ入力電圧を高速変換モードでA/D変換し、A/D割り込みINTADルーチンで変換値をFF10Hのメモリへ読み込む場合。

メインルーチンでの設定

INTE0AD	← 1 1 0 0 - - - -	INTADをイネーブル、レベル4にします。
ADMOD	← X X 0 0 0 1 1 1	アナログ入力チャンネルをAN3に指定し高速モードで変換スタートします。

割り込みルーチンでの処理例

WA	← ADREG3	WA (16ビット)へADREG3L, ADREG3Hの値を読み出します。
WA	>> 6	WAを右へ6回シフトし上位ビットに0を入れます。
(00FF10H)←	WA	FF10HのメモリへWAの内容を書き込みます。

AN0~AN2の3端子のアナログ入力電圧を高速変換モード、チャンネルスキャンリポートモードでA/D変換しつづける場合

INTE0AD	← 1 0 0 0 - - - -	INTADを禁止します。
ADMOD	← X X 1 1 0 1 1 0	アナログ入力チャンネルAN0~AN2を高速スキャンリポートモードでA/D変換スタートします。

(注) X: don't care - : no change

3.13 ウォッチドッグタイマ (暴走検出用タイマ)

TMP96C141Bは、暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因によりCPUが誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクابل割り込みを発生しCPUに知らせ、外部へはウォッチドッグタイマアウト端子WDTOUTより“0”を出力し周辺装置へ暴走の検出を知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

3.13.1 構成

図3.13 (1) にウォッチドッグタイマ (WDT) のブロック図を示します。

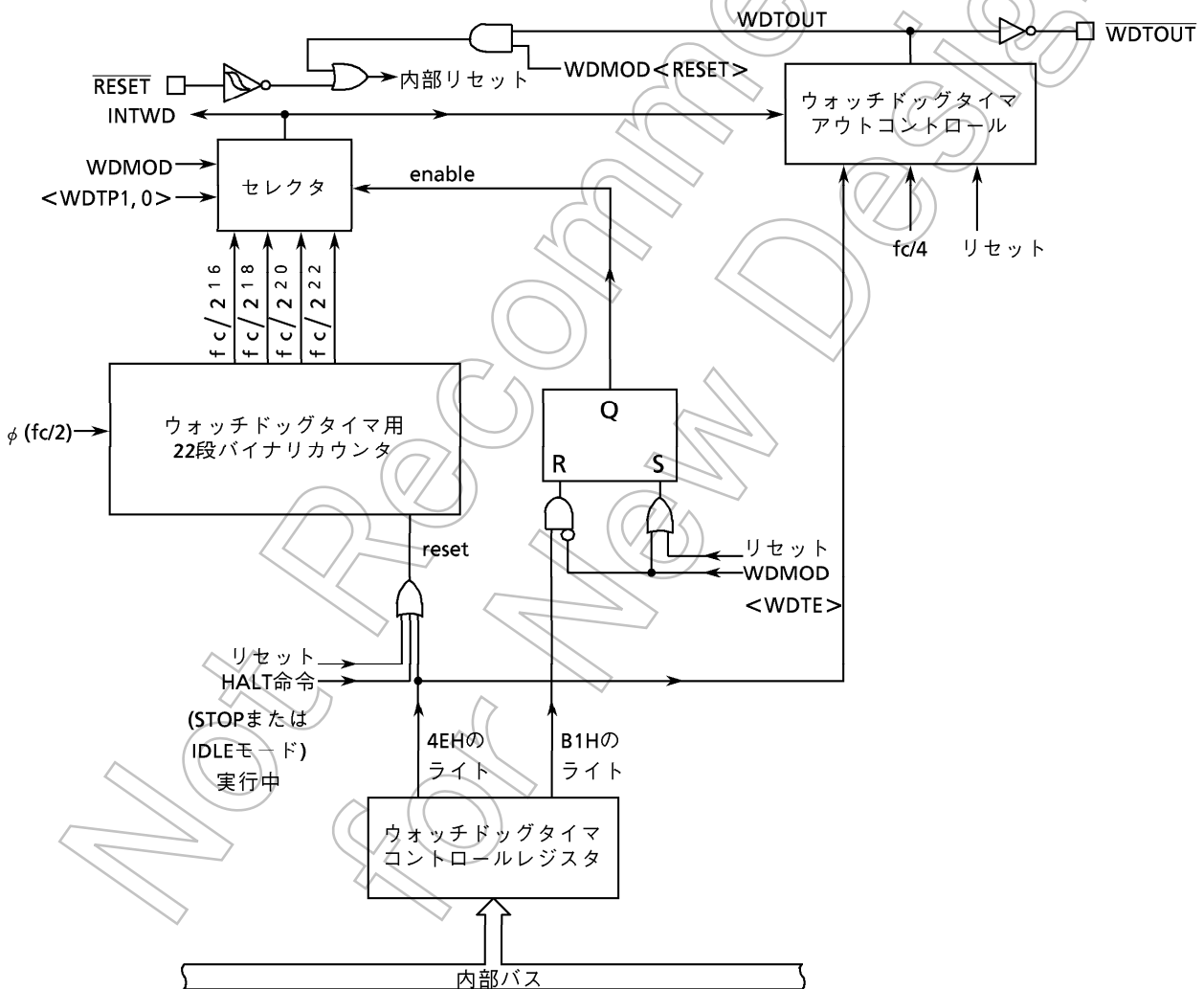


図3.13 (1) ウォッチドッグタイマのブロック図

ウォッチドッグタイマは、 Φ ($f_c/2$) を入力クロックとする、22段バイナリカウンタです。バイナリカウンタの出力には $2^{16}/f_c$, $2^{18}/f_c$, $2^{20}/f_c$, $2^{22}/f_c$ があり、このうちの1出力を WDMODレジスタで選択することにより、そのオーバーフロー時に、ウォッチドッグタイマ割り込みを発生し、また、ウォッチドッグタイマアウトを出力します。

ウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) は、ウォッチドッグタイマのオーバーフローにより“0”を出力するため、周辺装置のリセットを行うことも可能です。この“0”出力は、ウォッチドッグタイマのクリア (WDCRレジスタにクリアコード (4EH) をライト) により、“1”にセットされます。すなわち、通常モードの場合、クリアコードがWDCRレジスタに書かれるまで、 $\overline{\text{WDTOUT}}$ 端子は“0”を出力し続けます。

また、このウォッチドッグタイマアウトを内部でリセット端子へ接続することも可能です。この場合、ウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) は、8~20ステート (800 ns~2 μ s @ 20 MHz時) “0”を出力し、同時に、自分自身のリセットを行います。

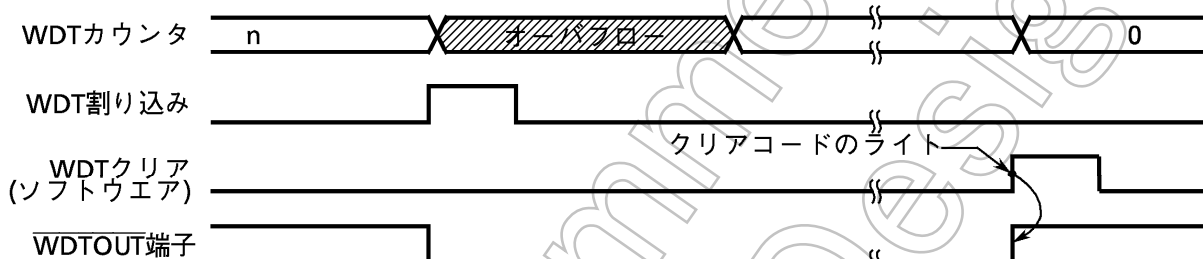


図 3.13 (2) 通常モード

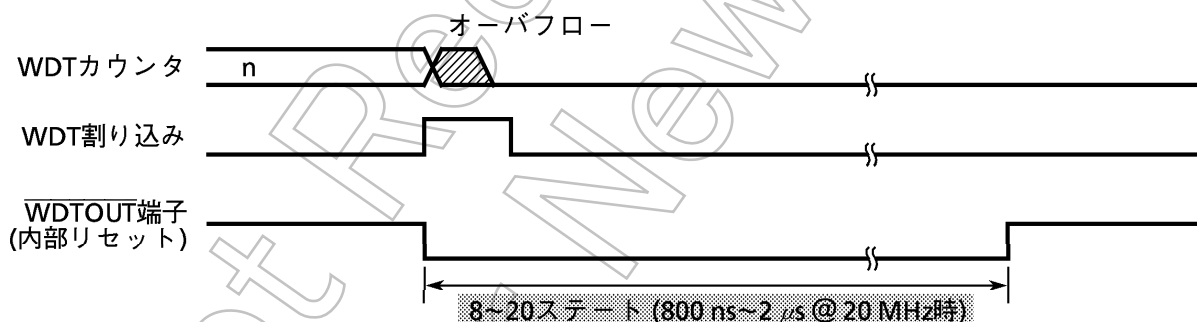


図 3.13 (3) リセットモード

3.13.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグ タイマ モードレジスタ WDMOD

① ウォッチドッグ タイマ検出時間の設定 <WDTP>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する2ビットのレジスタです。リセット時WDMOD<WDTP1, 0>=00にイニシャライズされますので、検出時間は $2^{16}/f_c$ [s] となります。(ステート数では約32,768 [state] となります。)

② ウォッチドッグ タイマのイネーブル/ディセーブル制御 <WDTE>

リセット時WDMOD<WDTE>=1にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを“0”にクリアするとともにWDCRレジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを“1”にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時WDMOD<RESCR>=0に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグ タイマ コントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD<WDTE>を“0”にクリアしたあと、このWDCRレジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

WDMOD ← 0 - - - - X X	WDTEを“0”クリアします。
WDCR ← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

• イネーブル制御

WDMOD7<WDTE>を“1”にする。

• ウォッチドッグタイマのクリア制御

WDCRレジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード (4EH) を書き込みます。

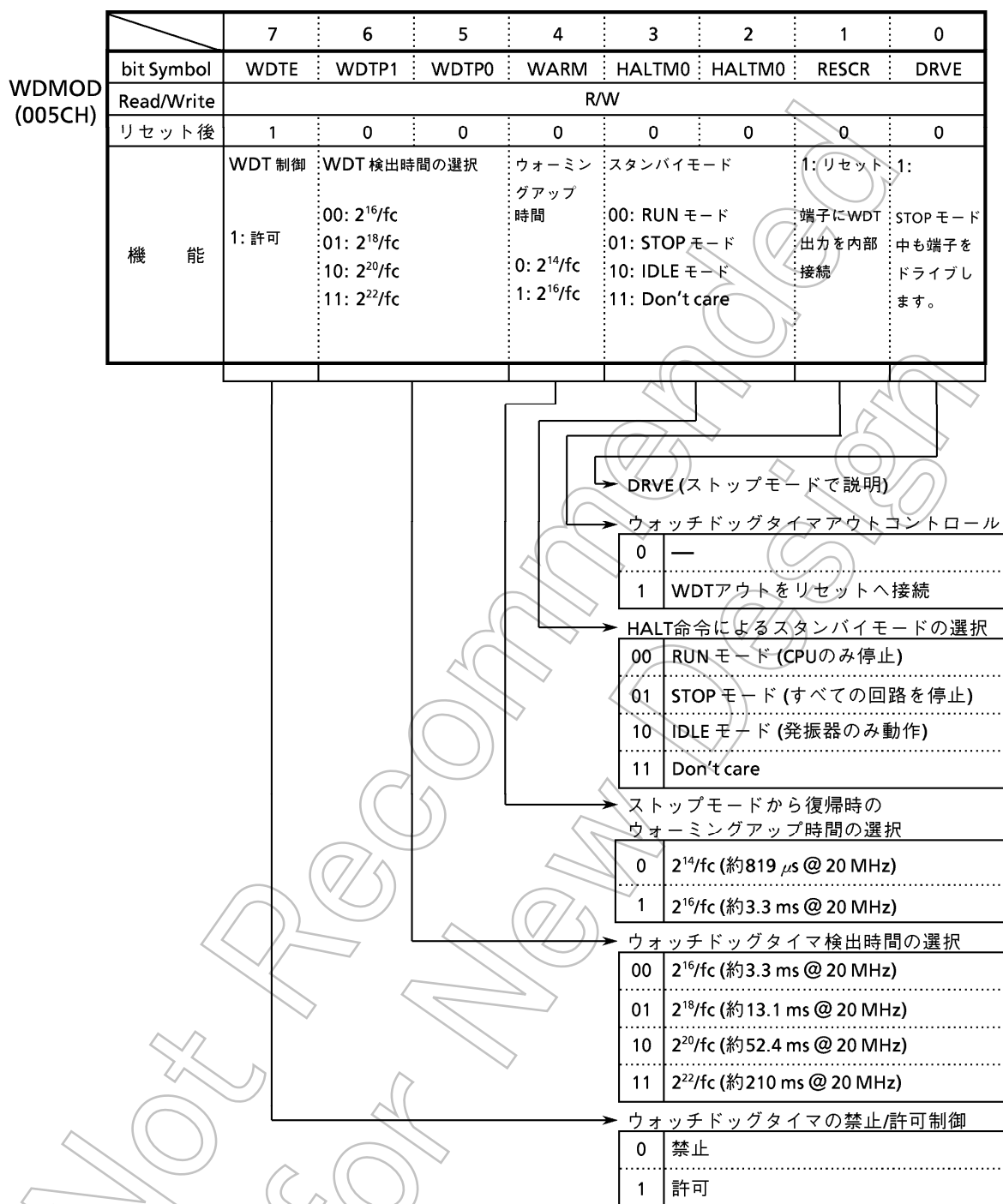


図3.13 (4) ウォッチドッグタイマモードレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	-							
Read/Write	W							
リセット後	-							
機能	B1H : WDT ディセーブルコード 4EH : WDT クリアコード							

→ WDTのディセーブル & クリア	
B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図3.13 (5) ウォッチドッグタイマコントロールレジスタ

Not Recommended for New Design

3.13.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1,0>レジスタで設定された検出時間後に割り込みINTWTDを発生させ、ウォッチドッグタイマアウト端子(WDTOUT)より“L”レベルを出力させるタイマです。ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタをINTWTD割り込みが発生する前にゼロクリアする必要があります。もし、CPUがノイズなどの原因で誤動作(暴走)しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWTD割り込みが発生します。CPUはINTWTD割り込みにより誤動作(暴走)が発生したことを知り、誤動作(暴走)対策プログラムにより正常な状態に戻すことができます。またウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPUの誤動作(暴走)に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

なお、IDLEモードおよびSTOPモード中のウォッチドッグタイマはリセットされ停止しています。また、バス解放中(BUSAK="L")はカウントを続けます。

RUNモード中のウォッチドッグタイマは動作しています。RUNモードに入るとき、ウォッチドッグタイマをディセーブルにすることもできます。

例：① バイナリカウンタをクリアします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード(4EH)の書き込み

② ウォッチドッグタイマ検出時間を $2^{18}/f_c$ に設定します。

WDMOD ← 1 0 1 - - - X X

③ ウォッチドッグタイマをディセーブルします。

WDMOD ← 0 - - - - - X X WDTEを“0”クリア

WDCR ← 1 0 1 1 0 0 0 1 ディセーブルコード(B1H)の書き込み

④ IDLEモードにします。

WDMOD ← 0 - - - 1 0 X X WDTをディセーブルにしてIDLEモードに

WDCR ← 1 0 1 1 0 0 0 1 設定します。

HALT命令を実行します。 スタンバイモードにします。

⑤ STOPモードにします。(ウォーミングアップ時間 $2^{16}/f_c$)

WDMOD ← - - - 1 0 1 X X STOPモードに設定します。

HALT命令を実行します。 スタンバイモードにします。

4. 電気的特性

4.1 最大定格 (TMP96C141BF)

項目	記号	定格	単位
電源電圧	V _{CC}	-0.5~6.5	V
入力電圧	V _{IN}	-0.5~V _{CC} +0.5	V
出力電流 (合計)	Σ I _{OL}	100	mA
出力電流 (合計)	Σ I _{OH}	-100	mA
消費電力 (Ta = 85℃)	P _D	500	mW
はんだ付け温度 (10 s)	T _{SOLDER}	260	℃
保存温度	T _{STG}	-65~150	℃
動作温度	T _{OPR}	-40~85	℃

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性 (TMP96C141BF)

V_{CC} = 5 V ± 10%, Ta = -40~85℃ (4~16 MHz) Ta = -20~70℃ (4~20 MHz)

(Typ値はTa = 25℃, V_{CC} = 5 Vの値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (AD0 - 15)	V _{IL}		-0.3	0.8	V
P2, P3, P4, P5, P6, P7, P8, P9	V _{IL1}		-0.3	0.3 V _{CC}	V
RESET, NMI, INT0 (P87)	V _{IL2}		-0.3	0.25 V _{CC}	V
EA	V _{IL3}		-0.3	0.3	V
X1	V _{IL4}		-0.3	0.2 V _{CC}	V
Input High Voltage (AD0 - 15)	V _{IH}		2.2	V _{CC} + 0.3	V
P2, P3, P4, P5, P6, P7, P8, P9	V _{IH1}		0.7 V _{CC}	V _{CC} + 0.3	V
RESET, NMI, INT0 (P87)	V _{IH2}		0.75 V _{CC}	V _{CC} + 0.3	V
EA	V _{IH3}		V _{CC} - 0.3	V _{CC} + 0.3	V
X1	V _{IH4}		0.8 V _{CC}	V _{CC} + 0.3	V
Output Low Voltage	V _{OL}	I _{OL} = 1.6 mA		0.45	V
Output High Voltage	V _{OH}	I _{OH} = -400 μA	2.4		V
	V _{OH1}	I _{OH} = -100 μA	0.75 V _{CC}		V
	V _{OH2}	I _{OH} = -20 μA	0.9 V _{CC}		V
Darlington Drive Current (8 Output Pins max.)	I _{DAR}	V _{EXT} = 1.5 V R _{EXT} = 1.1 kΩ	-1.0	-3.5	mA
Input Leakage Current	I _{LI}	0.0 ≤ Vin ≤ V _{CC}	0.02 (Typ)	± 5	μA
Output Leakage Current	I _{LO}	0.2 ≤ Vin ≤ V _{CC} - 0.2	0.05 (Typ)	± 10	μA
Operating Current (RUN)	I _{CC}	t _{osc} = 20MHz	21 (Typ)	50	mA
IDLE			1.7 (Typ)	10	mA
STOP (Ta = -40~85℃)		0.2 ≤ Vin ≤ V _{CC} - 0.2	0.2 (Typ)	50	μA
STOP (Ta = 0~50℃)		0.2 ≤ Vin ≤ V _{CC} - 0.2		10	μA
Power Down Voltage (@STOP, RAM Back up)	V _{STOP}	V _{IL2} = 0.2 V _{CC} , V _{IH2} = 0.8 V _{CC}	2.0	6.0	V
RESET Pull Up Resistor	R _{RST}		50	150	kΩ
Pin Capacitance	C _{IO}	t _{osc} = 1 MHz		10	pF
Schmitt Width (RESET, NMI, INT0 (P87))	V _{TH}		0.4	1.0 (Typ)	V
Programable Pull Down Resistor	R _{KL}		10	80	kΩ
Programable Pull Up Resistor	R _{KH}		50	150	kΩ

(注) I-DARは、任意の出力ポートについて、V_{CC}ピンどうしの間でそれぞれ8本まで保証します。

4.3 AC電気的特性 (TMP96C141BF)

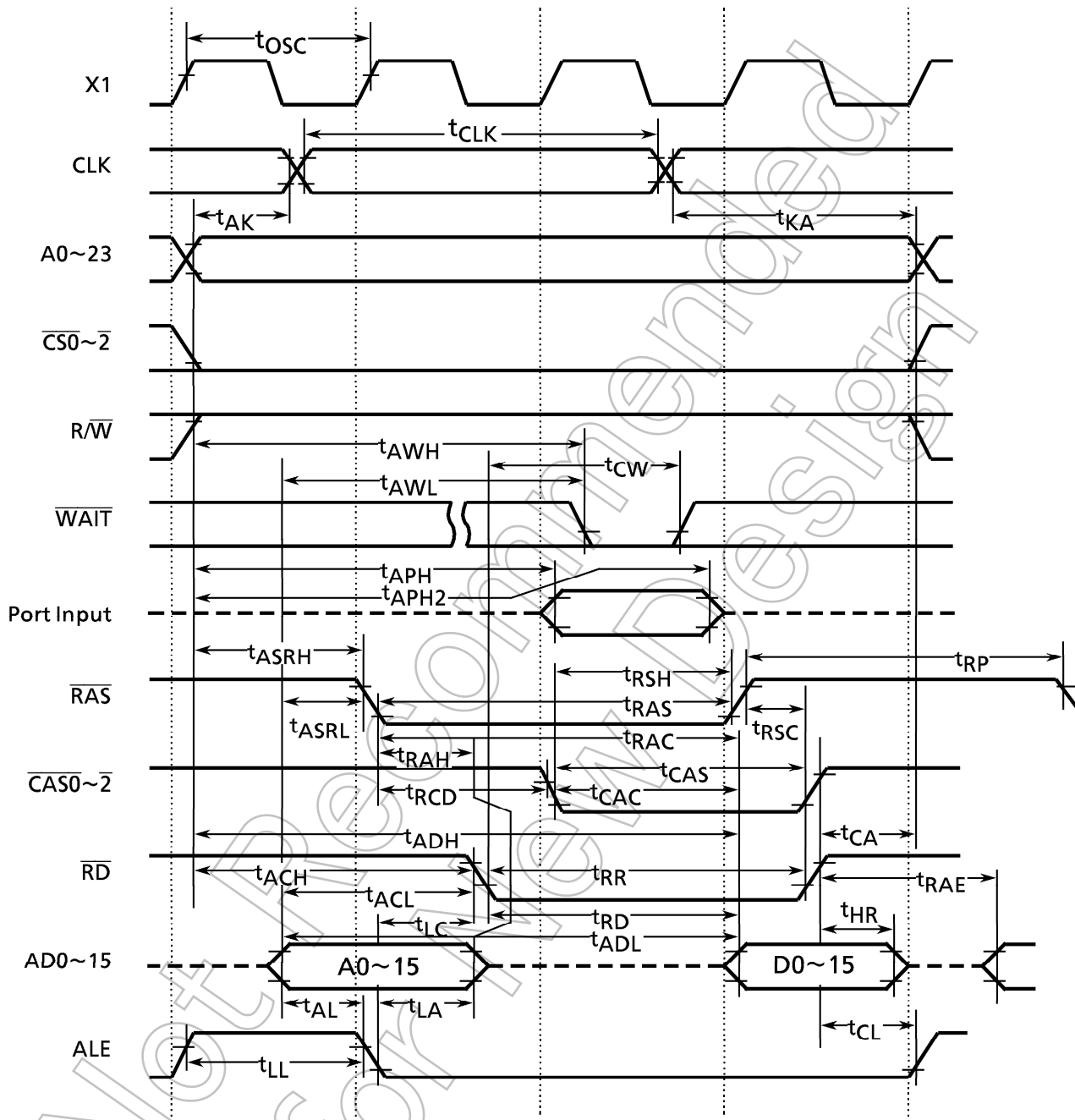
Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

No.	項目	記号	計算式		16 MHz		20 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	tOSC	50	250	62.5		50		ns
2	CLK パルス幅	tCLK	2x - 40		85		60		ns
3	A0-23 有効 → CLK保持	tAK	0.5x - 20		11		5		ns
4	CLK 有効 → A0-23保持	tKA	1.5x - 70		24		5		ns
5	A0-15 有効 → ALE立ち下がり	tAL	0.5x - 15		16		10		ns
6	ALE 立ち下がり → A0-15保持	tLA	0.5x - 15		16		10		ns
7	ALE High パルス幅	tLL	x - 40		23		10		ns
8	ALE 立ち下がり → RD/WR立ち下がり	tLC	0.5x - 30		1		-5		ns
9	RD/WR 立ち上がり → ALE立ち上がり	tCL	0.5x - 20		11		5		ns
10	A0-15 有効 → RD/WR立ち下がり	tACL	x - 25		38		25		ns
11	A0-23 有効 → RD/WR立ち下がり	tACH	1.5x - 50		44		25		ns
12	RD/WR 立ち上がり → A0-23保持	tCA	0.5x - 20		11		5		ns
13	A0-15 有効 → D0-15入力	tADL		3.0x - 45		143		105	ns
14	A0-23 有効 → D0-15入力	tADH		3.5x - 65		154		110	ns
15	RD立ち下がり → D0-15入力	tRD		2.0x - 50		75		50	ns
16	RD Low パルス幅	tRR	2.0x - 40		85		60		ns
17	RD立ち上がり → D0-15保持	tHR	0		0		0		ns
18	RD立ち上がり → A0-15出力	tRAE	x - 15		48		35		ns
19	WR Low パルス幅	tWW	2.0x - 40		85		60		ns
20	D0-15 有効 → WR立ち上がり	tDW	2.0x - 50		75		50		ns
21	WR立ち上がり → D0-15保持	tWD	0.5x - 10		21		15		ns
22	A0-23 有効 → WAIT 入力 <small>($\frac{1}{n}$ WAIT + n 端子)</small>	tAWH		3.5x - 90		129		85	ns
23	A0-15 有効 → WAIT 入力 <small>($\frac{1}{n}$ WAIT + n 端子)</small>	tAWL		3.0x - 80		108		70	ns
24	RD/WR立ち下がり → WAIT保持 <small>($\frac{1}{n}$ WAIT + n 端子)</small>	tcw	2.0x + 0		125		100		ns
25	A0-23 有効 → PORT 入力	tAPH		2.5x - 120		36		5	ns
26	A0-23 有効 → PORT 保持	tAPH2	2.5x + 50		206		175		ns
27	WR立ち上がり → PORT 有効	tcp		200		200		200	ns
28	A0-23 有効 → RAS立ち下がり	tASRH	1.0x - 40		23		10		ns
29	A0-15 有効 → RAS立ち下がり	tASRL	0.5x - 15		16		10		ns
30	RAS 立ち下がり → D0-15入力	tRAC		2.5x - 70		86		55	ns
31	RAS 立ち下がり → A0-15保持	tRAH	0.5x - 15		16		10		ns
32	RAS Low パルス幅	tRAS	2.0x - 40		85		60		ns
33	RAS High パルス幅	tRP	2.0x - 40		85		60		ns
34	CAS 立ち下がり → RAS立ち上がり	tRSH	1.0x - 35		28		15		ns
35	RAS 立ち上がり → CAS立ち上がり	tRSC	0.5x - 25		6		0		ns
36	RAS 立ち下がり → CAS立ち下がり	tRCD	1.0x - 40		23		10		ns
37	CAS 立ち下がり → D0-15入力	tcAC		1.5x - 65		29		10	ns
38	CAS Low パルス幅	tcAS	1.5x - 30		64		40		ns
39	D0-15有効 → CAS立ち下がり	tDS	0.5x - 15		16		10		ns

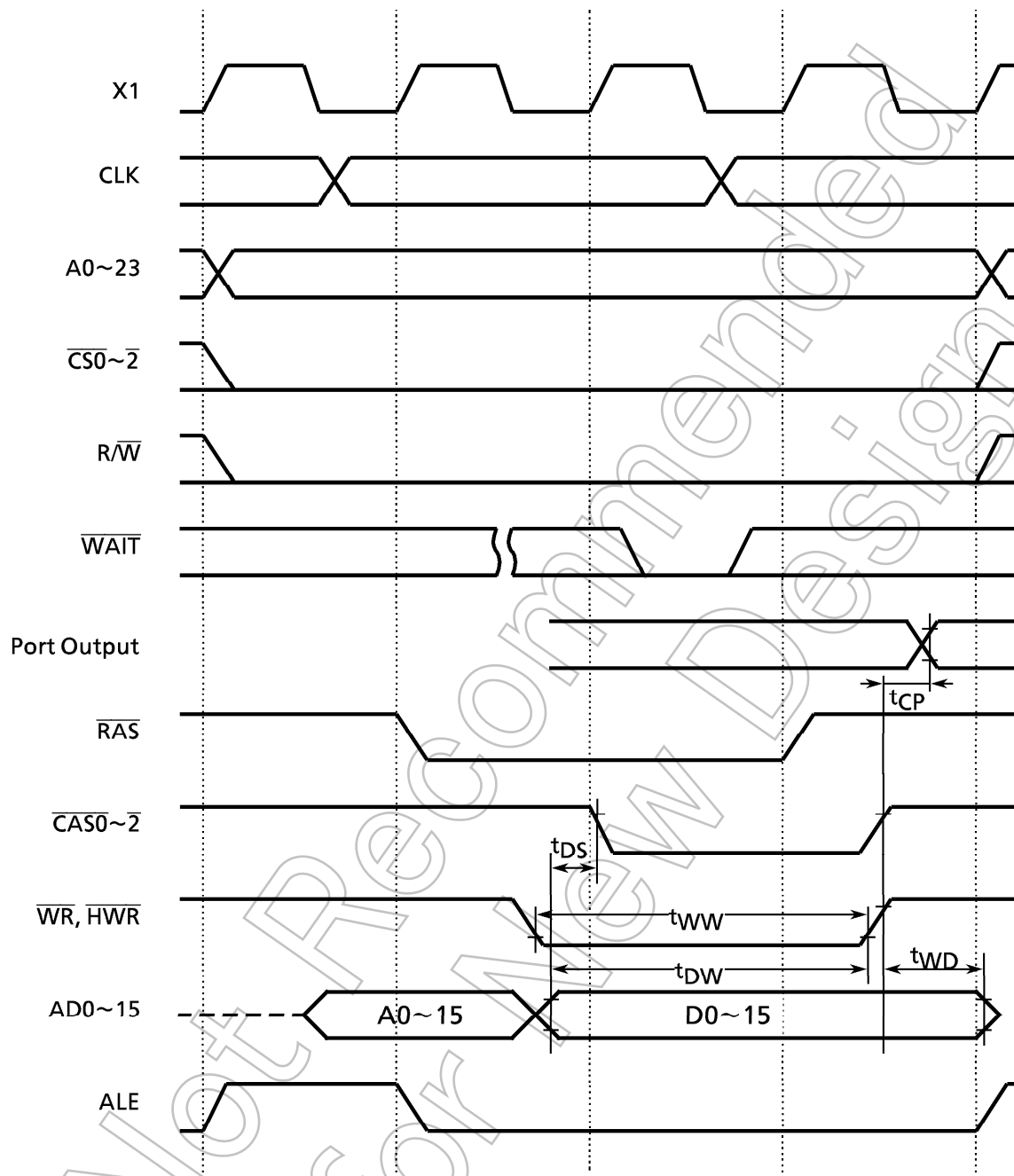
AC測定条件

- 出力レベル : High 2.2 V / Low 0.8 V, CL = 50 pF
(ただし, AD0~AD15, A0~A23, ALE, RD, WR, HWR, R/W, CLK, RAS, CAS0~CAS2は, CL = 100 pF)
- 入力レベル : High 2.4 V / Low 0.45 V (AD0~AD15)
High 0.8 Vcc / Low 0.2 Vcc (AD0~AD15を除く)

(1) リードサイクル



(2) ライトサイクル



4.4 A/D 変換特性 (TMP96C141BF)

Vcc = 5V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項目	記号	Min	Typ	Max	単位	
アナログ基準電圧	V _{REF}	Vcc - 1.5		Vcc	V	
アナログ基準電圧	A _{GND}	Vss		Vss		
アナログ入力電圧範囲	V _{AIN}	Vss		Vcc		
アナログ基準電圧電源電流	I _{REF}		0.5	1.5	mA	
4 ≤ fc ≤ 16 MHz	低速変換モード	総合誤差(量子化誤差 ± 0.5LSB 含まず)		± 1.5	± 4.0	LSB
	高速変換モード			± 3.0	± 6.0	
16 < fc ≤ 20 MHz	低速変換モード			± 1.5	± 4.0	
	高速変換モード			± 4.0	± 8.0	

4.5 シリアルチャネルタイミング - I/O インタフェースモード

(1) SCLK 入力モード

Vcc = 5V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項目	記号	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t _{SCY}	16X		1		0.8		μs
Output Data → SCLK 立ち上がり	t _{OSS}	t _{SCY} /2 - 5X - 50		137		100		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	5X - 100		212		150		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		0		ns
SCLK 立ち上がり → 有効 Data 入力	t _{SRD}		t _{SCY} - 5X - 100	587		450		ns

(2) SCLK 出力モード

Vcc = 5V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項目	記号	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	16X	8192X	1	512	0.8	409.6	μs
Output Data → SCLK 立ち上がり	t _{OSS}	t _{SCY} - 2X - 150		725		550		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	2X - 80		45		20		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		0		ns
SCLK 立ち上がり → 有効 Data 入力	t _{SRD}		t _{SCY} - 2X - 150	725		550		ns

4.6 イベントカウンタ (TI0, TI4, TI5, TI6, TI7)

Vcc = 5V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

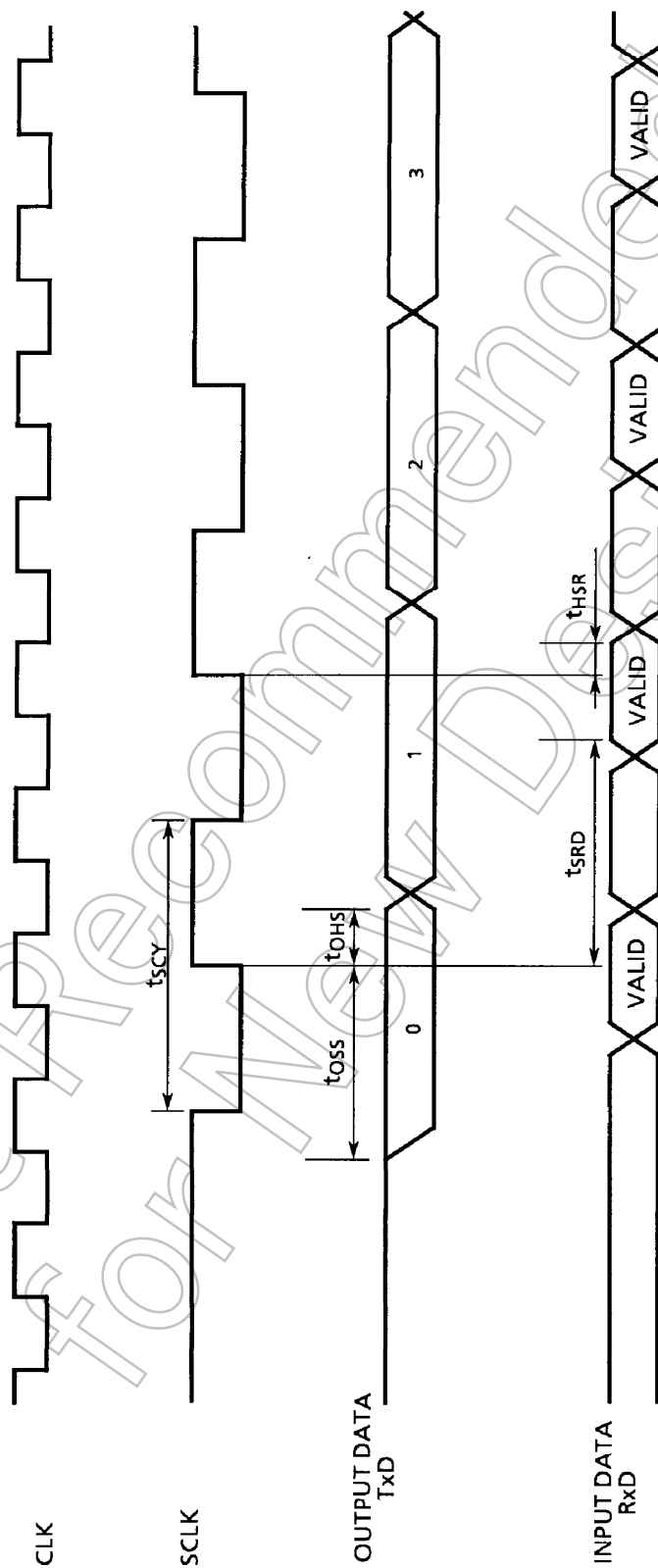
項目	記号	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	t _{VCK}	8X + 100		600		500		ns
クロック低レベルパルス幅	t _{VCKL}	4X + 40		290		240		ns
クロック高レベルパルス幅	t _{VCKH}	4X + 40		290		240		ns

4.7 割り込みオペレーション

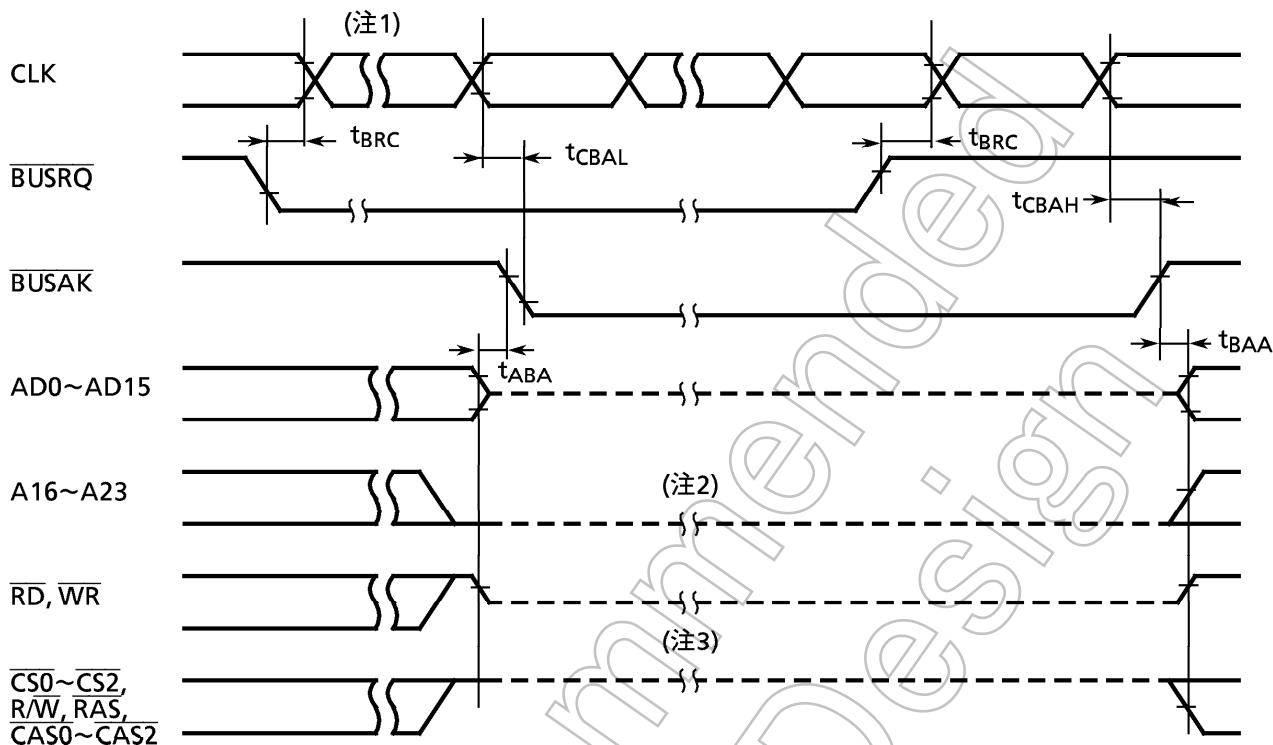
Vcc = 5V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項目	記号	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
NMI, INT0 低レベルパルス幅	t _{INTAL}	4X		250		200		ns
NMI, INT0 高レベルパルス幅	t _{INTAH}	4X		250		200		ns
INT4~INT7 低レベルパルス幅	t _{INTBL}	8X + 100		600		500		ns
INT4~INT7 高レベルパルス幅	t _{INTBH}	8X + 100		600		500		ns

4.8 I/Oインタフェースモードタイミング図



4.9 バスリクエスト/バスアクノリッジタイミング



項目	記号	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
CLKに対するBSURQセットアップ時間	t_{BRC}	120		120		120		ns
CLK→BUSAK立ち下がり	t_{CBAL}		$2.0x + 120$		245		220	ns
CLK→BUSAK立ち上がり	t_{CBAH}		$0.5x + 40$		71		65	ns
出力バッファOFFからBUSAK立ち下がりまでの時間	t_{ABA}	0	80	0	80	0	80	ns
BUSAK立ち上がりから出力バッファONまでの時間	t_{BAA}	0	80	0	80	0	80	ns

(注1) \overline{BSURQ} を”0”にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

(注2) かならず内蔵のプログラマブルプルダウン抵抗が付加されています。

(注3) かならず内蔵のプログラマブルプルアップ抵抗が付加されています。ただし、 $\overline{CS2}/\overline{CAS2}$ 端子にはプログラマブルプルアップ抵抗はありませんが、バス解放によりかならずプルアップ抵抗が付加されます。

4.10 標準電氣的特性

特に規定のない限り、電源電圧5 V、周囲温度25°Cにおける標準的な特性です。

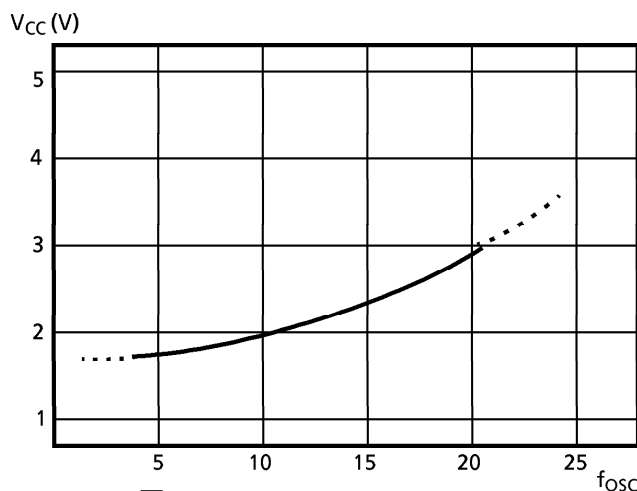


図5.1 V_{CC} - f_{osc} TYPICAL CURVE

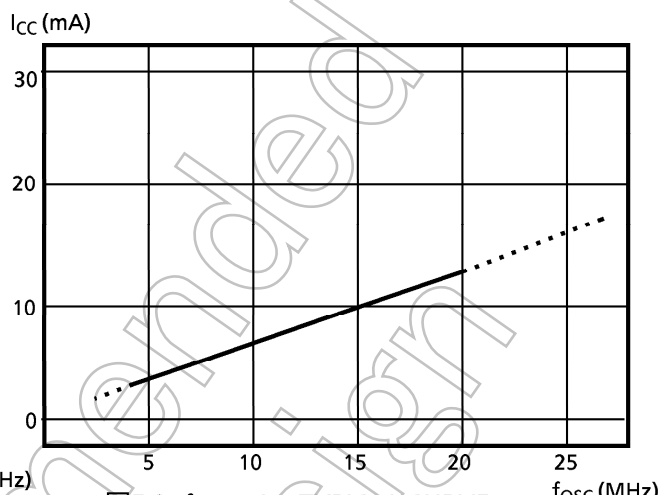


図5.2 f_{osc} - I_{CC} TYPICAL CURVE

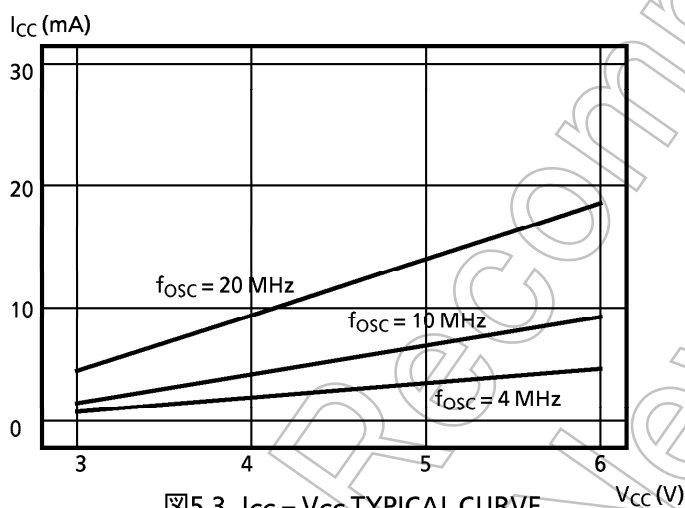


図5.3 I_{CC} - V_{CC} TYPICAL CURVE

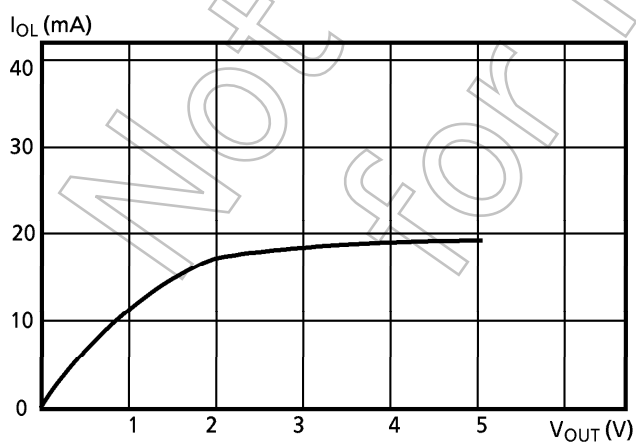


図5.4 V_{OUT} - I_{OL} TYPICAL CURVE

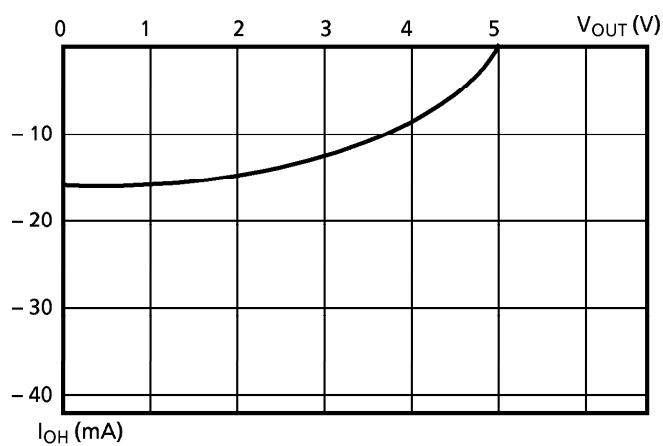


図5.5 V_{OUT} - I_{OH} TYPICAL CURVE

5. 特殊機能レジスタ一覧表

(SFR ; Special Function Register)

特殊レジスタ (SFR) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~00007FHの128バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 入出力ポート制御
- (3) タイマ制御
- (4) パターンジェネレータ
- (5) ウォッチドッグタイマ制御
- (6) シリアルチャネル制御
- (7) A/Dコンバータ制御
- (8) 割り込み制御
- (9) チップセレクト/ウェイトコントローラ

表の構成

記号	名称	アドレス	7	6	5	4	3	2	1	0	
											→ bit Symbol
											→ Read / Write
											→ リセット時の初期値
											→ 備考

表5 I/Oレジスタアドレスマップ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
000000H	P0	20H	TRUN	40H	TREG6L	60H	ADREG0L
1H	P1	21H		41H	TREG6H	61H	ADREG0H
2H	P0CR	22H	TREG0	42H	TREG7L	62H	ADREG1L
3H		23H	TREG1	43H	TREG7H	63H	ADREG1H
4H	P1CR	24H	TMOD	44H	CAP3L	64H	ADREG2L
5H	P1FC	25H	TFFCR	45H	CAP3H	65H	ADREG2H
6H	P2	26H	TREG2	46H	CAP4L	66H	ADREG3L
7H	P3	27H	TREG3	47H	CAP4H	67H	ADREG3H
8H	P2CR	28H	P0MOD	48H	T5MOD	68H	B0CS
9H	P2FC	29H	P1MOD	49H	T5FFCR	69H	B1CS
AH	P3CR	2AH	PFFCR	4AH		6AH	B2CS
BH	P3FC	2BH		4BH		6BH	
CH	P4	2CH		4CH	PG0REG	6CH	
DH	P5	2DH		4DH	PG1REG	6DH	
EH	P4CR	2EH		4EH	PG01CR	6EH	
FH		2FH		4FH		6FH	
10H	P4FC	30H	TREG4L	50H	SC0BUF	70H	INTE0AD
11H		31H	TREG4H	51H	SC0CR	71H	INTE45
12H	P6	32H	TREG5L	52H	SC0MOD	72H	INTE67
13H	P7	33H	TREG5H	53H	BR0CR	73H	INTE10
14H	P6CR	34H	CAP1L	54H	SC1BUF	74H	INTEPW10
15H	P7CR	35H	CAP1H	55H	SC1CR	75H	INTE154
16H	P6FC	36H	CAP2L	56H	SC1MOD	76H	INTE176
17H	P7FC	37H	CAP2H	57H	BR1CR	77H	INTES0
18H	P8	38H	T4MOD	58H	ODE	78H	INTES1
19H	P9	39H	T4FFCR	59H		79H	
1AH	P8CR	3AH	T45CR	5AH		7AH	
1BH	P9CR	3BH		5BH		7BH	IIMC
1CH	P8FC	3CH		5CH	WDMOD	7CH	DMA0V
1DH	P9FC	3DH		5DH	WDCR	7DH	DMA1V
1EH		3EH		5EH	ADMOD	7EH	DMA2V
1FH		3FH		5FH		7FH	DMA3V

(注) TMP96C141B/041Bでは、P0, P1, P0CR, P1CR, P1FCはありません。

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P0	PORT0	00H	P07	P06	P05	P04	P03	P02	P01	P00	
			R/W								
			入力モード 不定								
P1	PORT1	01H	P17	P16	P15	P14	P13	P12	P11	P10	
			R/W								
			入力モード								
P2	PORT2	06H	0	0	0	0	0	0	0	0	
			P27	P26	P25	P24	P23	P22	P21	P20	
			* R/W								
P3	PORT3	07H	0	0	0	0	0	0	0	0	
			P37	P36	P35	P34	P33	P32	P31	P30	
			* R/W								
P4	PORT4	0CH	入力モード					出力モード			
			1	1	1	1	1	1	1	1	
			* R/W								
P5	PORT5	0DH	R					P42	P41	P40	
			入力モード								
			0 1 1								
P6	PORT6	12H	P53	P52	P51	P50					
			R								
			入力モード								
P7	PORT7	13H	P67	P66	P65	P64	P63	P62	P61	P60	
			* R/W								
			入力モード								
P8	PORT8	18H	1	1	1	1	1	1	1	1	
			P73	P72	P71	P70					
			* R/W								
P9	PORT9	19H	R					1	1	1	
			入力モード								
			1 1 1 1 1								

(注) P30端子が、RD信号出力モードとして定義されているとき (P30F="1"のとき)、出力ラッチレジスタ“P30”を0にクリアすると、P30端子のRDストロブは内部アドレスのアクセス時でも出力され(PSRAM用)、1にセットされたままだと、外部アドレスをアクセスしたときのみRDストロブは出力されます。

Read/Write

- R/W ; Read / Write可能
- R ; Readのみ可能
- W ; Writeのみ可能

RMW禁 ; Read Modify Writeができません。(EX, ADD, ADC, SUB, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TEST, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD命令などの使用不可)

* R/W ; 該当ポートのプルアップ/プルダウン制御の際には、Read Modify Write 命令は使用できません。

(2) 入出力ポート制御(その1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0CR	PORT0 Control	02H (RMW禁)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0	0	0	0	0	0	0	0
P1CR	PORT1 Control	04H (RMW禁)	0: IN 1: OUT (外部アクセス時、AD7~0になり、このレジスタは0にクリアされます)							
			P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
P1FC	PORT1 Function	05H (RMW禁)	<<P1FCの欄を参照>>							
			P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
			W							
P2CR	PORT2 Control	08H (RMW禁)	P1FC/P1CR=00: IN, 01: OUT, 10: AD15-8, 11: A15-8							
			P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
P2FC	PORT2 Function	09H (RMW禁)	<<P2FCの欄を参照>>							
			P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
P3CR	PORT3 Control	0AH (RMW禁)	P2FC/P2CR=00: IN, 01: OUT, 10: A7-0, 11: A23-16							
			P37C	P36C	P35C	P34C	P33C	P32C		
			W							
P3FC	PORT3 Function	0BH (RMW禁)	0: IN 1: OUT							
			P37F	P36F	P35F	P34F		P32F	P31F	P30F
			W							
P4CR	PORT4 Control	0EH (RMW禁)	0: PORT	0: PORT	0: PORT	0: PORT		0: PORT	0: PORT	0: PORT
			1: RAS	1: RW	1: BUSAK	1: BUSRQ		1: HWR	1: WR	1: RD
			W							
P4FC	PORT4 Function	10H (RMW禁)	P42C P41C P40C							
			0: IN 1: OUT							
			W							
								P42F	P41F	P40F
								0	0	0
								0: PORT	1: CS/CAS	

(注) ROM外付けタイプのTMP96C141B/TMP96C041Bは、P0CR・P1CR・P1FC・P30F・P31Fの設定値に関係なく、PORT0とPORT1とP30とP31端子は、AD0~AD15とRDとWR信号として機能します。

入出力ポート制御 (その2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P6CR	PORT6 Control	14H (RMW禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C		
			W									
			0	0	0	0	0	0	0	0	0	
P7CR	PORT7 Control	15H (RMW禁)					P73C	P72C	P71C	P70C		
										W		
							0	0	0	0		
P6FC	PORT6 Function	16H (RMW禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F		
			W									
			0	0	0	0	0	0	0	0		
P7FC	PORT7 Function	17H (RMW禁)	0 : PORT				1 : PG1-OUT		0 : PORT		1 : PG0-OUT	
							P73F	P72F	P71F			
										W		
P8CR	PORT8 Control	1AH (RMW禁)	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C		
			W									
			0	0	0	0	0	0	0	0		
P9CR	PORT9 Control	1BH (RMW禁)			P95C	P94C	P93C	P92C	P91C	P90C		
										W		
					0	0	0	0	0	0		
P8FC	PORT8 Function	1CH (RMW禁)		P86F			P83F	P82F				
				W			W		W			
			0			0	0					
P9FC	PORT9 Function	1DH (RMW禁)	0 : PORT				1 : TO6		0 : PORT		1 : TO5	
					P95F	P94F	P93F	P92F		P90F		
					W			W		W		
		0		0	0	0	0	0				
		0 : PORT				1 : SCLK1		0 : PORT		1 : TxD0		
						0	0	0	0			
						0 : PORT	0 : PORT	0 : PORT	0 : PORT	0 : PORT		
						1 : TxD1	1 : SCLK0		1 : TxD0			

(3) タイマ制御 (その1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
TRUN	Timer Control	20H	PRRUN		T5RUN	T4RUN	P1RUN	P0RUN	T1RUN	T0RUN
			R/W				R/W			
			0		0	0	0	0	0	0
			Prescaler & Timer Run/Stop CONTROL 0: Stop & Clear 1: Run (Count up)							
TREG0	8 bit Timer Register 0	22H (RMW禁)	-							
			W 不定							
TREG1	8 bit Timer Register 1	23H (RMW禁)	-							
			W 不定							
TMOD	8 bit Timer Source CLK & MODE	24H (RMW禁)	T10M1	T10M0	PWMM1	PWMM0	T1CLK1	T1CLK0	T0CLK1	T0CLK0
			W							
			0	0	0	0	0	0	0	0
			00: 8 bit Timer		00: -		00: T00TRG		00: T10入力	
		01: 16 bit Timer		01: 2 ⁶ -1 PWM		01: φT1		10: φT4		
		10: 8 bit PPG		10: 2 ⁷ -1		10: φT16		11: φT16		
		11: 8 bit PWM		11: 2 ⁸ -1		11: φT256				
TFFCR	8 bit Timer Flip-Flop Control	25H			DBEN	TFF1C1	TFF1C0	TFF1IE	TFF1IS	
					R/W	W		R/W		
					0	-	0	0		
					1: Double Buffer Enable	00: Invert TFF1 01: Set TFF1 10: Clear TFF1 11: Don't care	1: TFF1 Invert Enable	0: Timer0 による反転		
TREG2	PWM Timer Register 2	26H	-							
			(R)/W (レジスタバッファを読み出し可能) 不定							
TREG3	PWM Timer Register 3	27H	-							
			(R)/W (レジスタバッファを読み出し可能) 不定							
P0MOD	PWM0 Mode	28H (RMW禁)	FF2RD	DB2EN	PWM0INT	PWM0M	T2CLK1	T2CLK0	PWM0S1	PWM0S0
			R				W			
			-	0	0	0	0	0	0	0
			TFF2 出力値	1: Double Buffer Enable	0: オーバフロー 1: コンペア一致 割り込み	0: PWM Mode 1: Timer Mode	00: φP1 (fc/4) 01: φP4 (fc/16) 10: φP16 (fc/64) 11: Don't care	00: 2 ⁶ -1 01: 2 ⁷ -1 10: 2 ⁸ -1 11: Don't care		
P1MOD	PWM1 Mode	29H (RMW禁)	FF3RD	DB3EN	PWM1INT	PWM1M	T3CLK1	T3CLK0	PWM1S1	PWM1S0
			R				W			
			-	0	0	0	0	0	0	0
			TFF3 出力値	1: Double Buffer Enable	0: オーバフロー 1: コンペア一致 割り込み	0: PWM Mode 1: Timer Mode	00: φP1 (fc/4) 01: φP4 (fc/16) 10: φP16 (fc/64) 11: Don't care	00: 2 ⁶ -1 01: 2 ⁷ -1 10: 2 ⁸ -1 11: Don't care		

タイマ制御 (その2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
			FF3C1	FF3C0	FF3TRG1	FF3TRG0	FF2C1	FF2C0	FF2TRG1	FF2TRG0
PFFCR	PWM Flip-Flop Control	2AH	W		R/W		W		R/W	
			-		0	0	-		0	0
			00: Don't care 01: Set TFF3 10: Clear TFF3 11: Don't care		00: TFF3 反転禁止 01: 一致による反転 10: 一致でセット オーバーフローで クリア 11: 一致でクリア オーバーフローで セット		00: Don't care 01: Set TFF2 10: Clear TFF2 11: Don't care		00: TFF2 反転禁止 01: 一致による反転 10: 一致でセット オーバーフローで クリア 11: 一致でクリア オーバーフローで セット	
TREG4L	16 bit Timer Register4L	30H (RMW禁)				W				不定
TREG4H	16 bit Timer Register4H	31H (RMW禁)				W				不定
TREG5L	16 bit Timer Register5L	32H (RMW禁)				W				不定
TREG5H	16 bit Timer Register5H	33H (RMW禁)				W				不定
CAP1L	Capture Register1L	34H				R				不定
CAP1H	Capture Register1H	35H				R				不定
CAP2L	Capture Register2L	36H				R				不定
CAP2H	Capture Register2H	37H				R				不定
T4MOD	16 bit Timer 4 Source CLK & MODE	38H	CAP2T5	EQ5T5	CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
			R/W		W			R/W		
			0	0	0	0	0	0	0	0
			TFF5 INV TRG 0: TRG Disable 1: TRG Enable		0: Soft- Capture 1: Don't care		Capture Timing 00: Disable 01: TI4 ↑ TI5 ↑ 10: TI4 ↑ TI4 ↓ 11: TFF1 ↑ TFF1 ↓		1: UC4 Clear Enable	
T4FFCR	16 bit Timer 4 Flip-Flop Control	39H	TFF5C1	TFF5C0	CAP2T4	CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0
			W			R/W			W	
			-		0	0	0	0		-
			00: Invert TFF5 01: Set TFF5 10: Clear TFF5 11: Don't care				TFF4 Invert Trigger 0: Trigger Disable 1: Trigger Enable			00: Invert TFF4 01: Set TFF4 10: Clear TFF4 11: Don't care

タイマ制御 (その3)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
T45CR	T4, T5 Control	3AH	-				PG1T	PG0T	DB6EN	DB4EN	
			R/W						R/W		
			0				0	0	0	0	
			"0" 固定				PG1 シフト トリガ 0: タイマ0, 1: タイマ5	PG0 シフト トリガ 0: タイマ0, 1: タイマ4	1: Double Buffer Enable		
TREG6L	16 bit Timer Register6L	40H (RMW禁)				- W 不定					
TREG6H	16 bit Timer Register6H	41H (RMW禁)				- W 不定					
TREG7L	16 bit Timer Register7L	42H (RMW禁)				- W 不定					
TREG7H	16 bit Timer Register7H	43H (RMW禁)				- W 不定					
CAP3L	Capture Register3L	44H				- R 不定					
CAP3H	Capture Register3H	45H				- R 不定					
CAP4L	Capture Register4L	46H				- R 不定					
CAP4H	Capture Register4H	47H				- R 不定					
T5MOD	16 bit Timer 5 Source CLK & MODE	48H		CAP3IN	CAP34M1	CAP34M0	CLE	T5CLK1	T5CLK0		
				W			R/W				
				0	0	0	0	0	0		
				0: Soft-Capture 1: Don't care	Capture Timming 00: Disable 01: TI6 ↑ TI7 ↑ 10: TI6 ↑ TI6 ↓ 11: TFF1 ↑ TFF1 ↓	1: UC5 Clear Enable	Source Clock 00: TI6 01: φT1 10: φT4 11: φT16				
T5FFCR	16 bit Timer 5 Flip-Flop Control	49H		CAP4T6	CAP3T6	EQ7T6	EQ6T6	TFF6C1	TFF6C0		
				0	0	0	0	-			
					TFF6 Invert Trigger 0: Trigger Disable 1: Trigger Enable	00: Invert TFF6 01: Set TFF6 10: Clear TFF6 11: Don't care					

(4) パターンジェネレータ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PG0REG	PG0 Register	4CH (RMW禁)	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00		
			W						R/W			
			0	0	0	0	不定					
PG1REG	PG1 Register	4DH (RMW禁)	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10		
			W						R/W			
			0	0	0	0	不定					
PG01CR	PG0, 1 Control	4EH	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE		
			R/W									
			0	0	0	0	0	0	0	0	0	
			0: 8 bit write 1: 4 bit write	0: 正転 1: 反転	0: 4 bit Step 1: 8 bit Step	PG1トリガ 入力イネーブル 1: イネーブル	0: 8 bit write 1: 4 bit write	0: 正転 1: 反転	0: 4 bit Step 1: 8 bit Step	PG0トリガ 入力イネーブル 1: イネーブル		

(5) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
WD-MOD	Watch Dog Timer Mode	5CH	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE		
			R/W									
			1	0	0	0	0	0	0	0		
			1: WDT Enable	00: 2 ¹⁶ /fc 01: 2 ¹⁸ /fc 10: 2 ²⁰ /fc 11: 2 ²² /fc	Warming up Time 0: 2 ¹⁴ /fc 1: 2 ¹⁶ /fc	Standby Mode 00: RUN Mode 01: STOP Mode 10: IDLE Mode 11: Don't care	1: Reset 端子にWDT出力を内部接続	1: STOPモード中も、端子をドライブ。				
WDCR	Watch Dog Timer Control Register	5DH	-							W		
			-							-		
			B1H: WDT Disable Code				4EH: WDT Clear Code					

(6) シリアルチャネル

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial Channel 0 Buffer	50H	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 RB1	RB0 TB0		
			R (Receiving) /W (Transmission)								不定	
SC0CR	Serial Channel 0 Control	51H	RB8 R	EVEN R/W	PE 0	OERR 0	PERR 0	FERR 0	SCLK 0	IOC 0		
			受信データビット8	Parity 0: Odd 1: Even	1: Parity Enable	Overrun	1: Error Parity	Framing	0: SCLK0 1: SCLK0	1: SCLK0 端子入力		
			R/W								不定	
			不定								0	
SC0-MOD	Serial Channel 0 Mode	52H	TB8 送信データビット8	CTSE 1: CTS Enable	RXE 1: Receive Enable	WU 1: Wake up Enable	SM1 00: 使用不可 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit	SM0 00: TO0 Trigger 01: ポーレートジェネレータ 10: 内部クロックφ1 11: Don't care	SC1	SC0		
			R/W								不定	
			0								0	
			"0" 固定								分周値設定 0~F ("1" 使用禁止)	
BR0CR	Baud Rate Control	53H	-		BROCK1	BROCK0	BRO53	BRO52	BRO51	BRO50		
			R/W								不定	
			0								0	
			"0" 固定								分周値設定 0~F ("1" 使用禁止)	
SC1BUF	Serial Channel 1 Buffer	54H	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 RB1	RB0 TB0		
			R (Receiving) /W (Transmission)								不定	
SC1CR	Serial Channel 1 Control	55H	RB8 R	EVEN R/W	PE 0	OERR 0	PERR 0	FERR 0	SCLKS 0	IOC 0		
			受信データビット8	Parity 0: Odd 1: Even	1: Parity Enable	Overrun	1: Error Parity	Framing	0: SCLK1 1: SCLK1	1: SCLK1 端子入力		
			R/W								不定	
			不定								0	
SC1-MOD	Serial Channel 1 Mode	56H	TB8 送信データビット8	"0" 固定	1: Receive Enable	1: Wake up Enable	00: I/O Interface 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit	00: TO0 Trigger 01: ポーレートジェネレータ 10: 内部クロックφ1 11: Don't care	SC1	SC0		
			R/W								不定	
			0								0	
			"0" 固定								分周値設定 0~F ("1" 使用禁止)	
BR1CR	Baud Rate Control	57H	-		BR1CK1	BR1CK0	BR153	BR152	BR151	BR150		
			R/W								不定	
			0								0	
			"0" 固定								分周値設定 0~F ("1" 使用禁止)	
ODE	Serial Open Drain Enable	58H									ODE1	ODE0
											R/W	
											0	0
											1: P93 オープン ドレイン	1: P90 オープン ドレイン

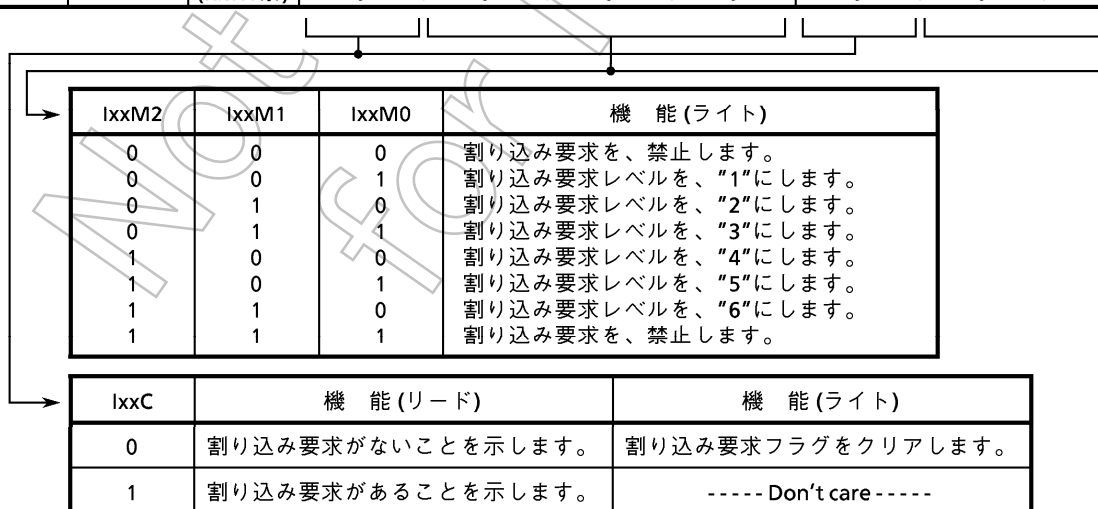
(7) A/Dコンバータ制御

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ADMOD	A/D Converter Mode reg	5EH	EOCF	ADBF	REPET	SCAN	ADCS	ADS	ADCH1	ADCH0	
			R			R/W					
			0	0	0	0	0	0	0	0	0
			1: End	1: Busy	1: Repeat mode	1: Scan mode	1: Slow mode	1: START	Analog Input Channel Select		
*1) AD REG0L	AD Result Reg 0 low	60H	ADR01	ADR00							
			不定			1	1	1	1	1	
AD REG0H	AD Result Reg 0 high	61H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02	
						R					
						不定					
*1) AD REG1L	AD Result Reg 1 low	62H	ADR11	ADR10							
			不定			1	1	1	1	1	
AD REG1H	AD Result Reg 1 high	63H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12	
						R					
						不定					
*1) AD REG2L	AD Result Reg 2 low	64H	ADR21	ADR20							
			不定			1	1	1	1	1	
AD REG2H	AD Result Reg 2 high	65H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22	
						R					
						不定					
*1) AD REG3L	AD Result Reg 3 low	66H	ADR31	ADR30							
			不定			1	1	1	1	1	
AD REG3H	AD Result Reg 3 high	67H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32	
						R					
						不定					

*1) A/D Result Reg Lowへ格納されるデータは、変換結果の下位2ビットです。
このレジスタの下位6ビットを読み出すと、常に“1”となります。

(8) 割り込み制御 (その1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE-0AD	INTerrupt Enable 0 & A/D	70H (RMW禁)	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	IOC	IOM2	IOM1	IOM0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE45	INTerrupt Enable 4/5	71H (RMW禁)	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE67	INTerrupt Enable 6/7	72H (RMW禁)	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET10	INTerrupt Enable Timer 1/0	73H (RMW禁)	INTT1 (タイマ1)				INTT0 (タイマ0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE-PW10	INTerrupt Enable PWm 1/0	74H (RMW禁)	INTT3 (タイマ3/PWM1)				INTT2 (タイマ2/PWM0)			
			IPW1C	IPW1M2	IPW1M1	IPW1M0	IPW0C	IPW0M2	IPW0M1	IPW0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET54	INTerrupt Enable Treg 5/4	75H (RMW禁)	INTTR5 (TREG5)				INTTR4 (TREG4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET76	INTerrupt Enable Treg 7/6	76H (RMW禁)	INTTR7 (TREG7)				INTTR6 (TREG6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE50	INTerrupt Enable Serial 0	77H (RMW禁)	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE51	INTerrupt Enable Serial 1	78H (RMW禁)	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0



割り込み制御 (その2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 request Vector (RMW禁)	7CH	μDMA0起動ベクタ							
			DMA0V8	DMA0V7	DMA0V6	DMA0V5	DMA0V4			
			0	0	0	0	0			
DMA1V	DMA 1 request Vector (RMW禁)	7DH	μDMA1起動ベクタ							
			DMA1V8	DMA1V7	DMA1V6	DMA1V5	DMA1V4			
			0	0	0	0	0			
DMA2V	DMA 2 request Vector (RMW禁)	7EH	μDMA2起動ベクタ							
			DMA2V8	DMA2V7	DMA2V6	DMA2V5	DMA2V4			
			0	0	0	0	0			
DMA3V	DMA 3 request Vector (RMW禁)	7FH	μDMA3起動ベクタ							
			DMA3V8	DMA3V7	DMA3V6	DMA3V5	DMA3V4			
			0	0	0	0	0			
IIMC	Interrupt Input Mode Control (RMW禁)	7BH								
								IOIE	IOLE	NMIREE
								W	W	W
								0	0	0
								1: INT0 入カ イ ネ ー ブ ル	0: INT0 エ ジ ジ ー ド 1: INT0 レ ベ ル モ ー ド	1: NMI 立 ち 上 が り エ ジ ジ ー ド も も 動 作

Not Recommended for New Design

(9) チップセレクト/ウェイトコントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT control register	68H (RMW禁)	B0E	B0SYS	B0CAS	B0BUS	B0W1	B0W0	B0C1	B0C0
			W	W	W	W	W	W	W	W
			0	0	0	0	0	0	0	0
			1: CS Enable	1: SYSTEM only	0: $\overline{CS0}$ 1: $\overline{CAS0}$	0: 16 bit Bus 1: 8 bit Bus	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	00: 7F00H~7FFFH 01: 400000H~ 10: 800000H~ 11: C00000H~		
B1CS	Block 1 CS/WAIT control register	69H (RMW禁)	B1E	B1SYS	B1CAS	B1BUS	B1W1	B1W0	B1C1	B1C0
			W	W	W	W	W	W	W	W
			0	0	0	0	0	0	0	0
			1: CS Enable	1: SYSTEM only	0: $\overline{CS1}$ 1: $\overline{CAS1}$	0: 16 bit Bus 1: 8 bit Bus	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	00: 480H~7FFFH (*) 01: 400000H~ 10: 800000H~ 11: C00000H~		
B2CS	Block 2 CS/WAIT control register	6AH (RMW禁)	B2E	B2SYS	B2CAS	B2BUS	B2W1	B2W0	B2C1	B2C0
			W	W	W	W	W	W	W	W
			1	0	0	0	0	0	0	0
			1: CS Enable	1: SYSTEM only	0: $\overline{CS2}$ 1: $\overline{CAS2}$	0: 16 bit Bus 1: 8 bit Bus	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	00: 8000H~ 01: 400000H~ 10: 800000H~ 11: C00000H~		

- (注) “Block 2”のみ、リセット後、イネーブルになっています。
→リセット後、16ビットデータバス、2ステートウェイトでスタートします。
- (注) これらのレジスタはシステムモードのみでアクセス可能です。
- (*) 内蔵RAMなしタイプのTMP96C041Bでは80H~7FFFHとなります。

6. ポート部等価回路図

● 回路図の見方

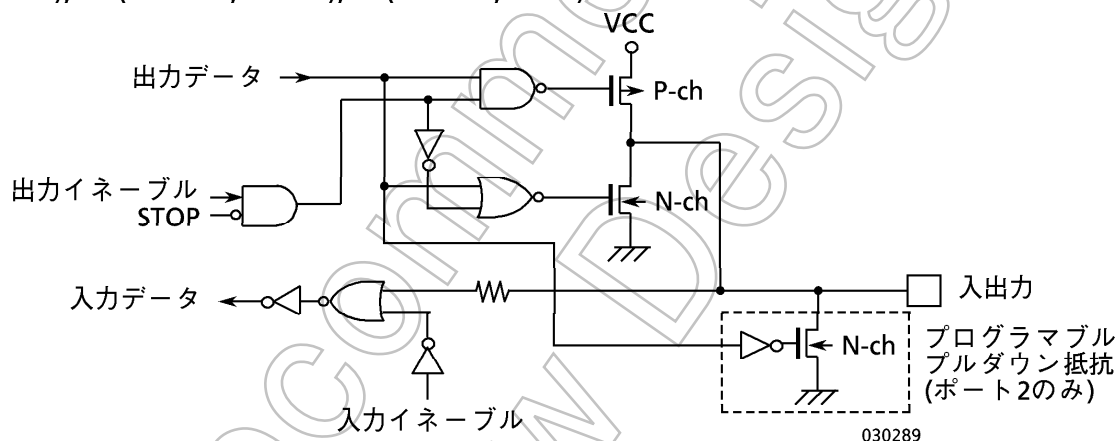
基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについては、下記に示します。

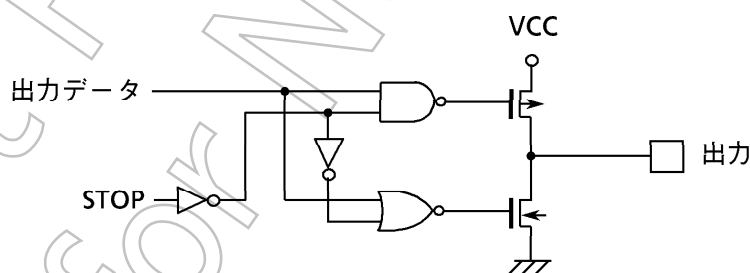
STOP: この信号は、ホールドモード設定レジスタを「STOP」モード (WDMOD<HALTM1, 0>=0, 1)にして、CPUが「HALT」命令を実行したときアクティブ“1”になります。ただし、ドライバインネブルビットWDMOD<DRIVE>が“1”にセットされているときは、STOPは“0”のままです。

- 入力保護抵抗は、数十Ω～数百Ω程度です。

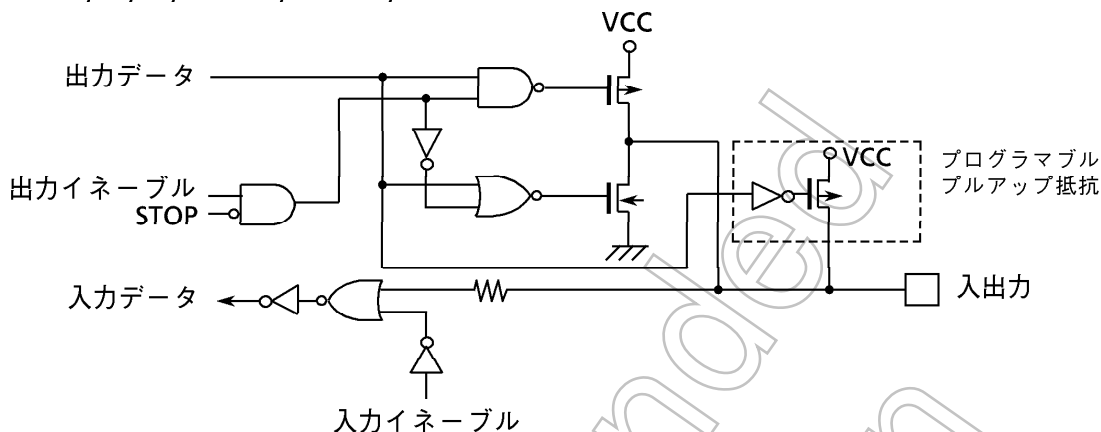
■ P0 (AD0～AD7), P1 (AD8～15, A8～15), P2 (A16～23, A0～7)



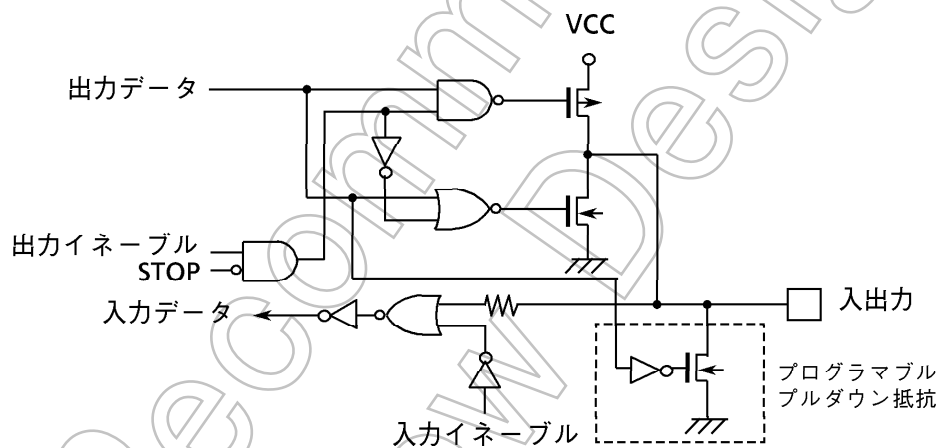
■ P30(RD), P31(WR)



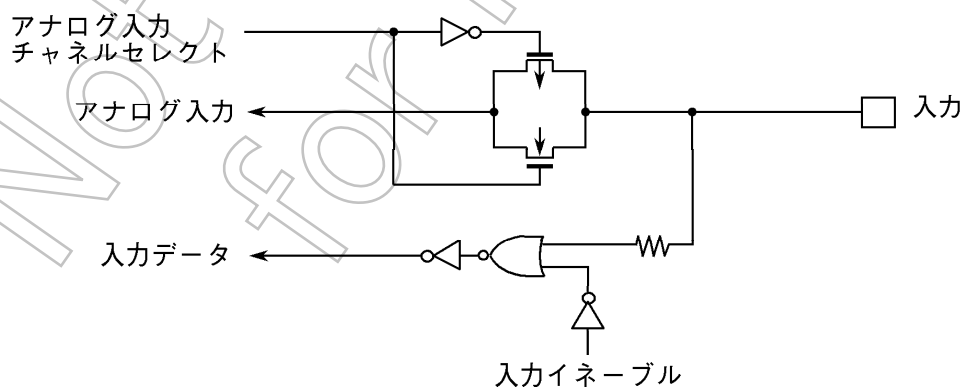
■ P32~37, P40~41, P6, P7, P80~86, P91~92, P94~95



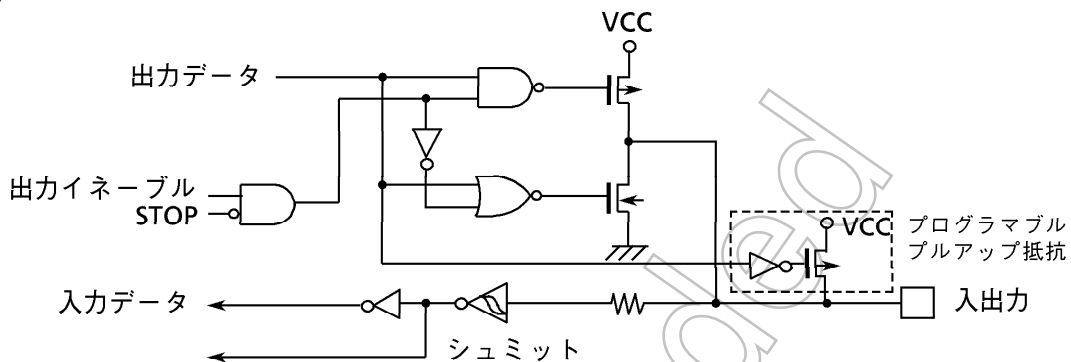
■ P42 ($\overline{CS2}$, $\overline{CAS2}$)



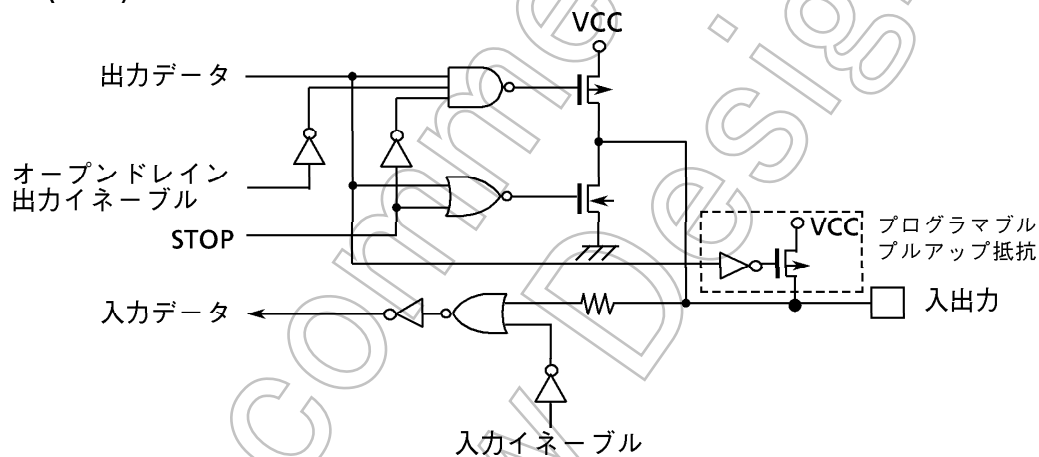
■ P5 (AN0~3)



■ P87 (INT0)

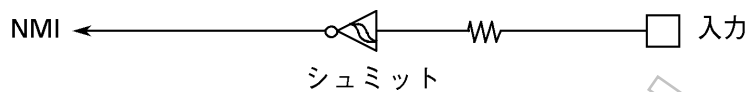


■ P90 (TXD0), P93 (TXD1)

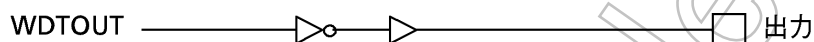


Not Recommended for New Design

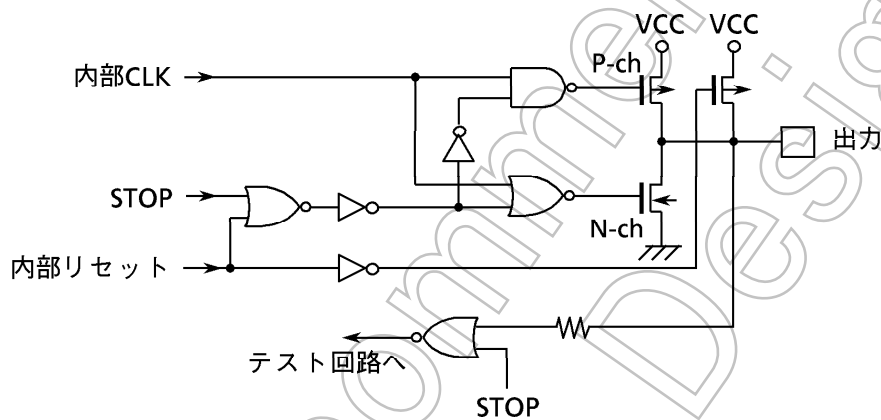
■ $\overline{\text{NMI}}$



■ $\overline{\text{WDTOUT}}$



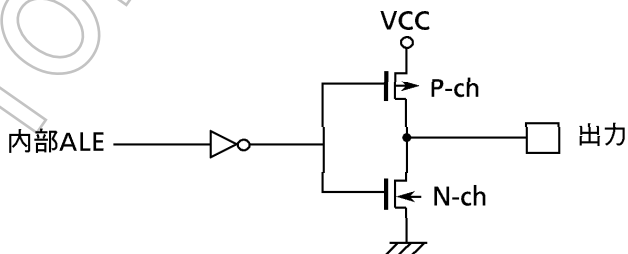
■ CLK



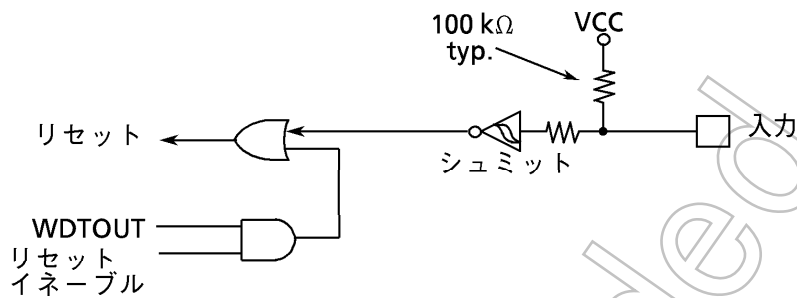
■ $\overline{\text{EA}}$



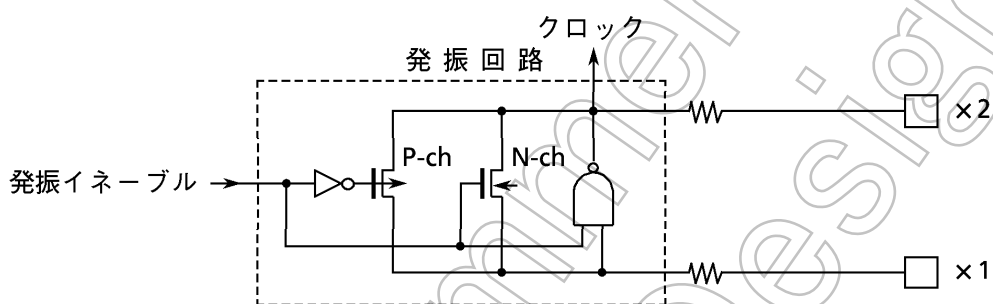
■ ALE



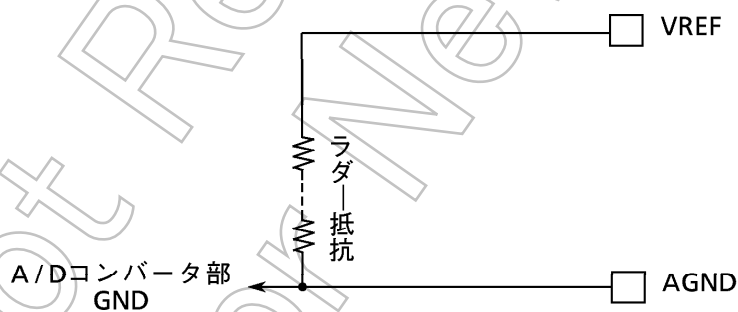
■ $\overline{\text{RESET}}$



■ X1, X2



■ VREF, AGND



7. 使用上の注意, 制限事項

(1) 特別な表記, 言葉の説明

- ① 内蔵I/Oレジスタの説明: レジスタシンボル<ビットシンボル>
例) TRUN<TORUN> … レジスタTRUNのビットTORUN
- ② リードモディファイライト命令
CPUが、あるメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。
例1) SET 3,(TRUN) … TRUNレジスタのビット3をセットする。
例2) INC 1,(100H) … 100H番地のデータを+1する。
 - TLCS-900における代表的なリードモディファイライト命令
SET imm,mem , RES imm,mem
CHG imm,mem , TSET imm,mem
INC imm,mem , DEC imm,mem
RLD A,mem , ADD imm,reg
- ③ 1ステート
発振周波数を2分周した1周期を1ステートと呼びます。
例) 発振周波数20 MHzの場合
 $2/20 \text{ MHz} = 100 \text{ ns} = 1 \text{ ステート}$ となります。

(2) 使用上の注意, 制限事項

- ① $\overline{\text{EA}}$ 端子
本端子は、VccまたはGND端子に接続し動作中にレベル変更のないようにしてください。
- ② ウォーミングアップカウンタ
外部発振器を用いるシステムでSTOPモードの解除を割り込みなどで行う際には、ウォーミングアップカウンタが動作するためシステムクロックが出力されるまでウォーミングアップ時間を要します。
- ③ 高速マイクロDMA (DRAMリフレッシュモード)
高速マイクロDMAは、割り込みにより起動されるため、割り込みの受け付けが待たされるバス解放時などはリフレッシュが行われませんので注意が必要です。
- ④ プログラマブルプルアップ/ダウン抵抗
このプルアップ/ダウン抵抗は、ポートを入力ポートとして使用する時のみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用する時は、プログラマブルを選択することはできません。
付加/付加なしの選択は該当ポートのデータレジスタ (例:P6レジスタ) で制御しますが、その際にはリードモディファイライト命令は使用できません。転送命令を使用してください。
- ⑤ バス解放機能
バス解放時の端子状態などについて、“3.5 ポート機能”の中で注意事項として掲載してありますので参照してください。

⑥ ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

⑦ ウォッチドッグタイマ

バス解放機能を使用した場合、バス開放中もウォッチドッグタイマなどのI/Oブロックは動作していますので注意が必要です。

⑧ CPU (高速マイクロDMA)

CPU内にある転送元レジスタ (DMASn) などのコントロールレジスタへのデータ書き込み、読み出しは、“LDC cr, r”, “LDC r, cr” のみで行えません。

⑨ 割り込み要求によるホールド状態からの解除

通常は、割り込みによってホールド状態を解除することができますが、ホールドモードがIDLE、STOPモードに設定されている状態で、CPUがホールドモードに移行しようとしている期間 (X1約3クロックの間) に、ホールドモードを解除可能な割り込み (NMI, INT0) が入力されても、ホールドが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールドモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールドモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended
for New Design