

**TOSHIBA**

東芝 オリジナル CMOS 8ビット マイクロコントローラ

**TLCS-870 シリーズ**

TMP87CH48UG

TMP87CH48DFG

TMP87CM48UG

TMP87CM48DFG

株式会社 **東芝** セミコンダクター社

## 改訂履歴

日付	版	改訂理由
2004/10/1	1	First Release
2008/2/8	2	内容改訂
2008/3/6	3	内容改訂
2008/9/30	4	内容改訂

Not Recommended  
for New Design

## UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz]  $\div$  TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	-
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

Not Recommended for New Designs

お客様各位

### 重要なお知らせ

平素より東芝マイクロコントローラをご使用頂き、誠にありがとうございます。

東芝マイクロコントローラご使用上の重要なお知らせをお伝えしています。製品をご使用の際には、必ず確認頂きますようお願い致します。

Not Recommended  
for New Design

## 東芝マイクロコントローラ

## 870 ファミリー

(TMP87CH48U) (TMP87CH48DF) (TMP87CM48U) (TMP87CM48DF) (TMP87CH48I)

(TMP87PH48U) (TMP87PH48DF) (TMP87PM48U) (TMP87PM48DF)

お客様各位

I<sup>2</sup>Cバス使用時における注意文言追記のご連絡

本データシートのI<sup>2</sup>Cバス機能の説明には誤植が含まれていますので以下のとおり訂正の案内をさせていただきます。  
本文中の説明を以下のように読み替えて頂けるようお願いいたします。

□ 「I<sup>2</sup>C バスモード時の制御」 ページの修正

1. SCL クロック周波数例が 100kHz を超える設定例の削除
2. 「標準モードのみ対応～」注意文言の追記

SCK	シリアルクロック周波数の選択	000 : Reserved (注)	} @fc = 8MHz(SCL 端子への出力)	Write only
		001 : Reserved (注)		
		010 : 58.8 kHz		
		011 : 30.3 kHz		
		100 : 15.4 kHz		
		101 : 7.75 kHz		
		110 : 3.89 kHz		
		111 : Reserved		

注) 本 I<sup>2</sup>C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが I<sup>2</sup>C 規格の規格外となります。

## □ 「(3) シリアルクロック」 ページの修正

1. 通信ボーレートの説明追記

## クロックソース

SCK (SBICR1 のビット 2~0) で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて t<sub>LOW</sub> の最小幅など、I<sup>2</sup>C バス規定を満たす通信ボーレートを選択してください。

またマスタモード/スレーブモードとも外部から入力されるクロックの“H”レベル、“L”レベルは 4 マシンサイクル以上のパルス幅が必要です。

$$t_{LOW} = 2^n / f_c$$

$$t_{HIGH} = 2^n / f_c + 8 / f_c$$

$$f_{scl} = 1 / (t_{LOW} + t_{HIGH})$$

以上

## お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

### 修正項目 1. 製品名称

例) TMPxxxxxxF      TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、  
表紙及び付加ページ(ローマ数字の本文前のページを示す)  
内記述の名称が正式な名称となります。

### 修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C      LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、  
付加ページの名称と寸法図が正式な名称及び寸法図となります。

### 修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

### 修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、  
付加ページ内で最新の内容に更新しております。

### 修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が  
本データシートの発行日付となります。

## 修正対象項目 1. 製品名称

## 修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87CH48U	P-LQFP64-1010-0.50	TMP87CH48UG	LQFP64-P-1010-0.50E	TMP87PH48UG
TMP87CH48DF	P-QFP64-1414-0.80A	TMP87CH48DFG	QFP64-P-1414-0.80C	TMP87PH48DUG
TMP87CM48U	P-LQFP64-1010-0.50	TMP87CM48UG	LQFP64-P-1010-0.50E	TMP87PM48UG
TMP87CM48DF	P-QFP64-1414-0.80A	TMP87CM48DFG	QFP64-P-1414-0.80C	TMP87PM48DFG

\*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

## 修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

## 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

## 修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

## 当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願ひします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

## 修正項目 5. データシートの発行日付

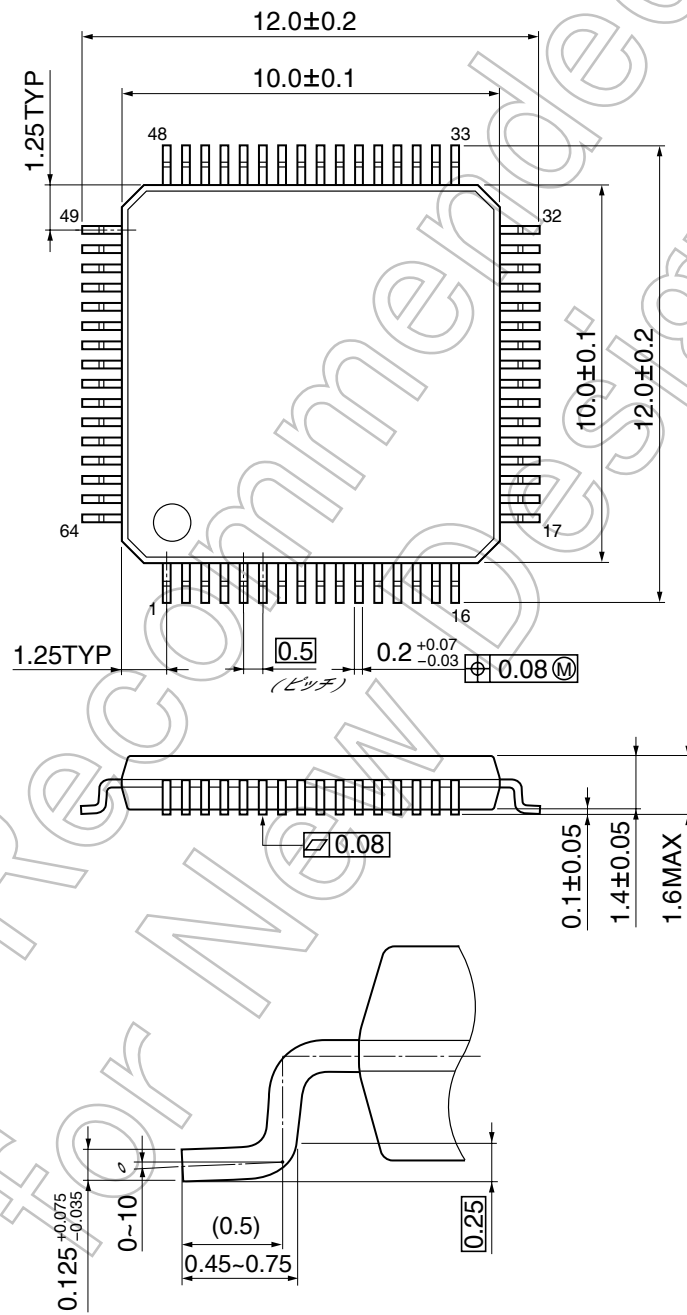
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

LQFP64-P-1010-0.50E

単位: mm

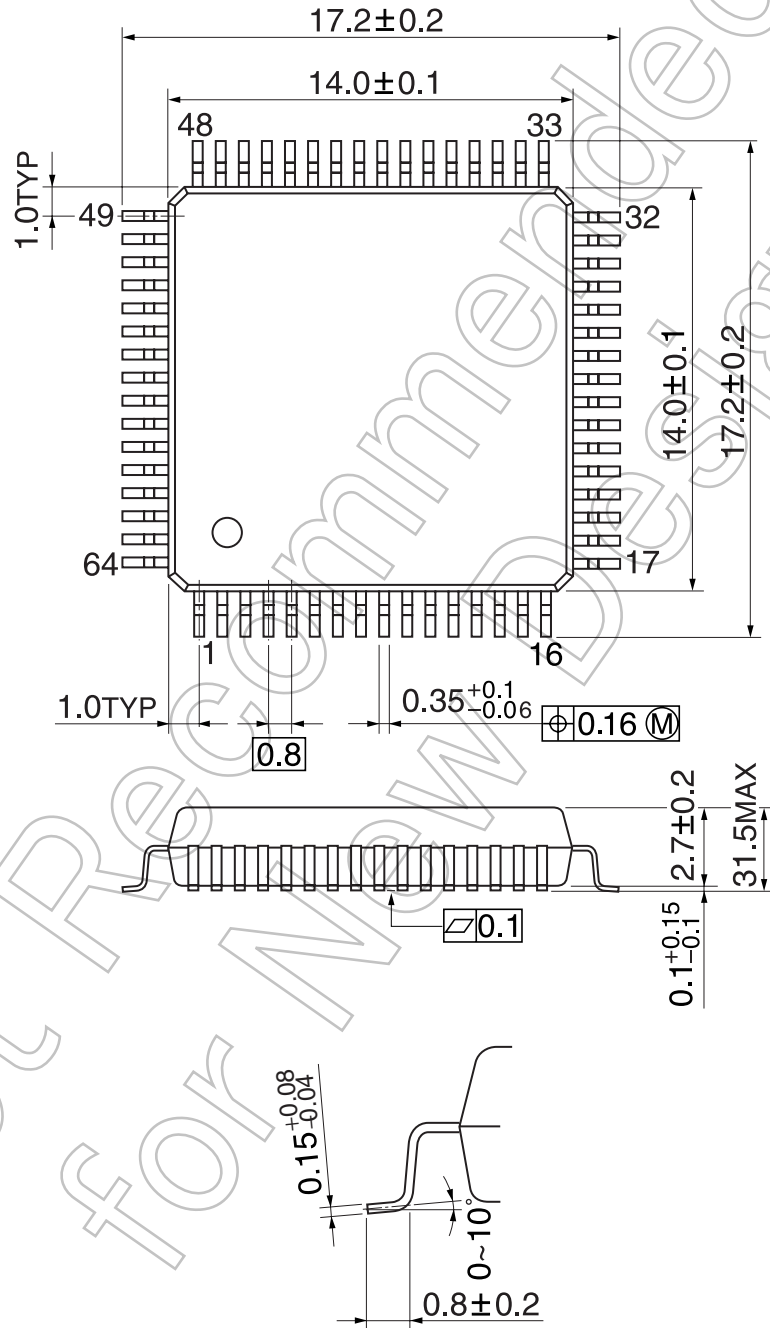


注: パラジウムめっき仕様



QFP64-P-1414-0.80C

単位: mm



## CMOS 8ビット マイクロコントローラ

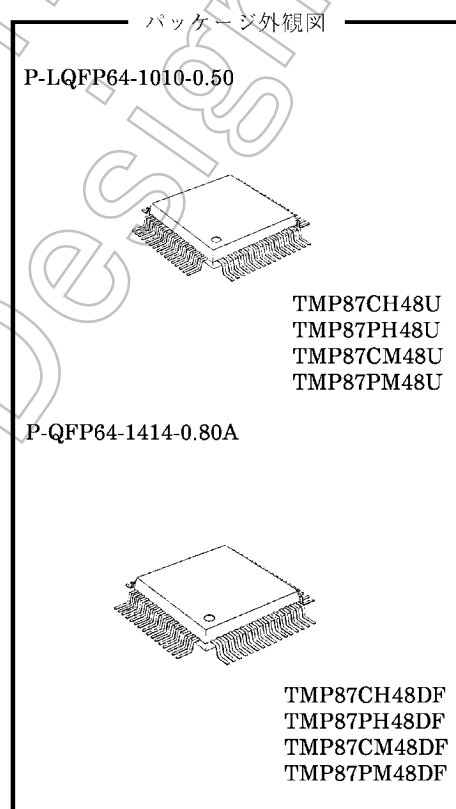
## TMP87CH48U/DF, TMP87CM48U/DF

大容量ROM, RAM, 人出力ポート, 多機能タイマカウンタ, シリアルインタフェース (UART, I<sup>2</sup>CバスおよびSIO), 12ビットPWM出力, 10ビットADコンバータおよび2系統の発振回路などを内蔵した高速, 高性能, 低消費電力8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87CH48U	16 K バイト	512 バイト	P-LQFP64-1010-0.50	TMP87PH48U
TMP87CH48DF			P-QFP64-1414-0.80A	TMP87PH48DF
TMP87CM48U	32 K バイト	1 K バイト	P-LQFP64-1010-0.50	TMP87PM48U
TMP87CM48DF			P-QFP64-1414-0.80A	TMP87PM48DF

## 特長

- ◆ 8ビット シングルチップ マイクロコンピュータ  
TLCS-870シリーズ
- ◆ 最小命令実行時間: 0.5  $\mu$ s (8 MHz動作時),  
122  $\mu$ s (32.768 kHz動作時)
- ◆ 基本機械命令: 129種類 412命令
- ◆ 割り込み15要因 (外部: 6, 内部: 9)
  - 全要因独立ラッチ付き, 多重割り込み制御
  - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
  - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 人出力ポート (56端子)
  - 大電流出力: 8端子 (Typ. 20 mA), LED直接駆動可能
- ◆ 16ビットタイマカウンタ: 2チャンネル
  - タイマ, イベントカウンタ, PPG (Programmable Pulse Generator) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- ◆ 8ビットタイマカウンタ: 2チャンネル
  - タイマ, イベントカウンタ, キャプチャ (パルス幅/デュリティ測定), PWM (パルス幅変調) 出力, PDO (Programmable Divider Output) モード
- ◆ タイムベースタイマ (割り込み周波数: 1~16384 Hz)



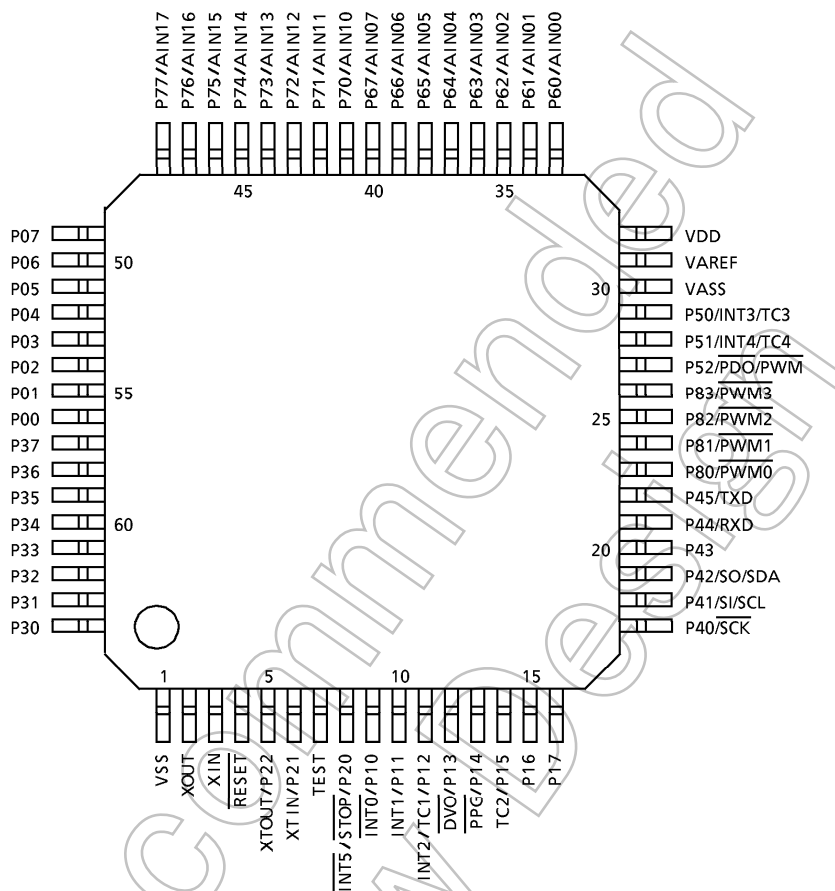
030519TBP2

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下「特定用途」という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- ◆ デバイダ出力機能 (周波数: 1~8 kHz)
- ◆ ウォッチドッグタイマ
  - 割り込み/リセット出力の選択 (プログラマブル)
- ◆ DA変換 (パルス幅変調) 出力
- ◆ デバイダ出力機能 (周波数: 1~8 kHz)
  - 12ビット分解能: 4チャンネル
- ◆ UART: 1チャンネル (パリティエラー, フレーミングエラー, オーバランエラー検出)
- ◆ シリアルバスインタフェース (SBI-ver. B): 1チャンネル (I<sup>2</sup>Cバスまたはクロック同期式SIO)
- ◆ 10ビット逐次比較方式ADコンバータ
  - アナログ入力: 16チャンネル
  - 変換時間: 24.5  $\mu$ s or 98  $\mu$ s (8 MHz動作時)
- ◆ クロック発振回路: 2回路
  - シングル/デュアルクロックモードの選択 (イニシャル状態はシングルクロックモードに固定されています)。
- ◆ 低消費電力動作 (5モード)
  - STOPモード: 発振停止 (バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
  - SLOWモード: 低周波クロックによる低消費電力動作。
  - IDLE1モード: CPU停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)。
  - IDLE2モード: CPU停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
  - SLEEPモード: CPU停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- ◆ 動作電圧: 2.7~5.5 V @4.2 MHz/32.768 kHz, 4.5~5.5 V @8 MHz/32.768 kHz
- ◆ エミュレーションポッド: BM87CH48/CM48U0A

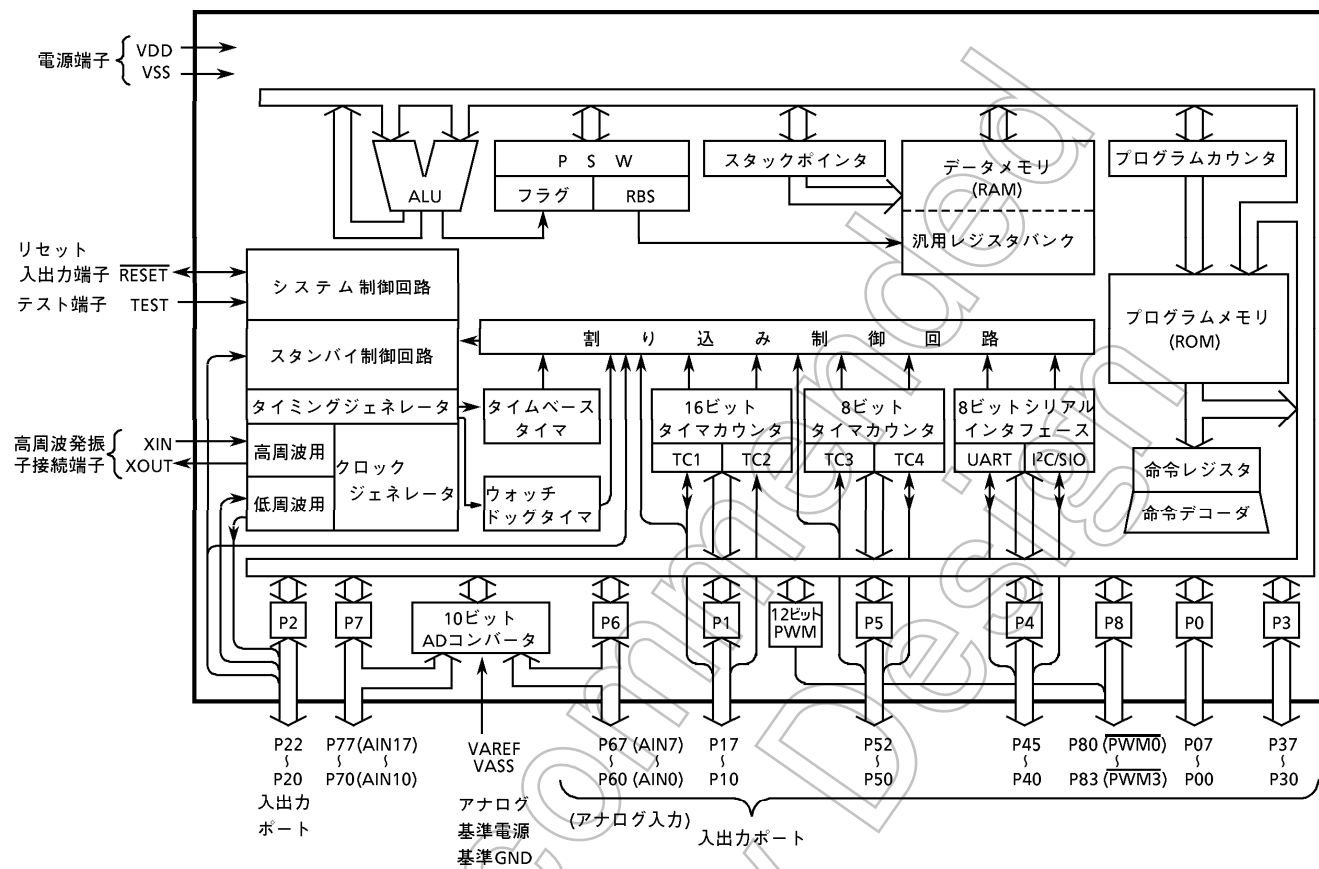
ピン配置図(上面図)

P-LQFP64-1010-0.50  
 P-QFP64-1414-0.80A



Not Recommended for New Design

ブロック図



## 端子機能

端子名	入出力	機能		
P07~P00	入出力	8ビットのプログラマブル入出力ポート (トライステート)	タイマカウンタ2の入力	
P17, P16	入出力		1ビット単位で入力/出力の指定ができます。外部割り込み入力、タイマカウンタ入力として用いる場合は、入力モードにします。PPG出力、デバイダ出力として用いる場合は、出力ラッチを“1”にセットして、出力モードにします。	プログラマブルパルスジェネレータ出力
P15 (TC2)	入出力(入力)			デバイダ出力
P14 (PPG)	入出力(出力)			外部割り込み2入力/ タイマカウンタ1の入力
P13 (DVO)	入出力(出力)			外部割り込み1入力
P12 (INT2/TC1)	入出力(入力)			外部割り込み0入力
P11 (INT1)				
P10 (INT0)				
P22 (XTOUT)	入出力(出力)	3ビット入出力ポート 入力ポート、発振子接続端子、外部割り込み入力、P20をSTOPモード解除入力として使用する場合は、出力ラッチを“1”にセットします。	低周波発振子接続端子 (32.768 kHz)。外部クロック入力の場合、XTINへ入力し、XTOUTは開放します。	
P21 (XTIN)	入出力(入力)		外部割り込み5入力/STOPモード解除入力	
P20 (INT5/STOP)				
P37~P30	入出力	8ビット入出力ポート(大電流出力)。入力ポートとして使用する場合は、出力ラッチを“1”にセット		
P45 (TxD)	入出力(出力)	8ビット入出力ポート	UARTシリアルデータ出力(送信時)	
P44 (RxD)	入出力(入力)		UARTシリアルデータ入力(受信時)	
P43	入出力			
P42 (SO/SDA)	入出力(出力/入出力)		SIOシリアルデータ出力/I <sup>2</sup> Cバスのデータ入出力	
P41 (SI/SCL)	入出力(入力/入出力)		SIOシリアルデータ入力/I <sup>2</sup> Cバスのクロック入出力	
P40 (SCK)	入出力(入出力)		SIOシリアルクロックの入出力	
	入出力			
P52 (PWM/PDO)	入出力(出力)	3ビット入出力ポート 入力ポート、PWM出力、高速PWM出力、プログラマブルデバイダ出力、外部割り込み入力またはタイマカウンタ入力として使用する場合は、出力ラッチを“1”にセット	8ビットPWM(パルス幅変調)出力/ 8ビットプログラマブルデバイダ出力	
P51 (INT4/TC4)	入出力(入力)		外部割り込み4入力/ タイマカウンタ4の入力	
P50 (INT3/TC3)			外部割り込み3入力/ タイマカウンタ3の入力	
P67 (AIN7)~P60 (AIN0)	入出力	8ビットのプログラマブル入出力ポート (トライステート)	ADコンバータアナログ入力	
P77 (AIN17)~P70 (AIN10)				
P83 (PWM3)~P80 (PWM0)	入出力(出力)	4ビットのプログラマブル入出力ポート (トライステート)	DA変換(パルス幅変調)出力 (PWM3~PWM0)	
		1ビット単位で入力/出力の指定ができます。入力/出力は、P8CRの設定で決まります。		
XIN, XOUT	入力, 出力	高周波発振子接続端子 外部クロック入力の場合XINへ入力し、XOUTは開放		
RESET	入出力	リセット信号入力、ウォッチドッグタイマ出力/アドレスストラップリセット出力/システムクロックリセット出力		
TEST	入力	出荷試験用端子。外部で“L”レベルに固定		
VDD, VSS	電源	+5 V, 0 V (GND)		
VAREF, VASS		AD変換用アナログ基準電圧, 基準GND		

動作説明

1. CPUコア機能

CPUコアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア、プログラムメモリ、データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM、RAM、SFR(スペシャルファンクションレジスタ)、DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64 Kバイトアドレス空間上にマッピングされています。図1-1にTMP87CH48/CM48のメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

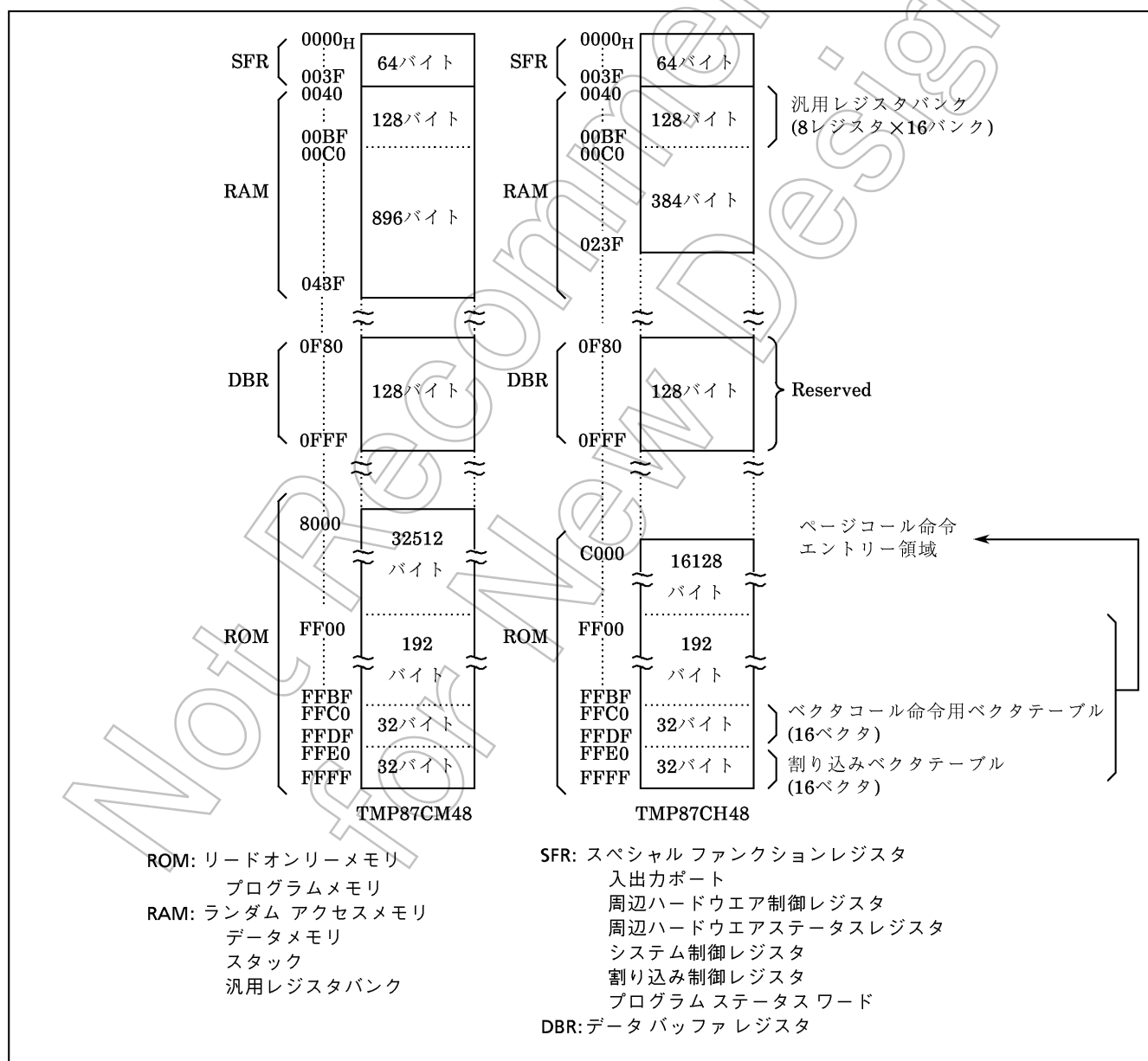


図1-1. メモリアドレスマップ

1.2 プログラムメモリ (ROM)

TMP87CH48は16 Kバイト(アドレスC000~FFFF<sub>H</sub>番地)、TMP87CM48は32 Kバイト(アドレス8000~FFFF<sub>H</sub>番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF<sub>H</sub>番地は、特定の用途にも使用されます。

(1) 割り込みベクタテーブル (FFE0~FFFF<sub>H</sub>番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス、割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル (FFC0~FFDF<sub>H</sub>番地)

ベクタコール命令[CALLV a]用のベクタ(サブルーチンエントリーアドレス, 2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア (FF00~FFFF<sub>H</sub>番地)

ページコール命令[CALLP a]用のサブルーチンエントリーアドレスエリアです。FFC0~FFFF<sub>H</sub>番地はベクタテーブルにもなっていますので、通常FF00~FFBF<sub>H</sub>番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ、バンクといった境界概念はありません。

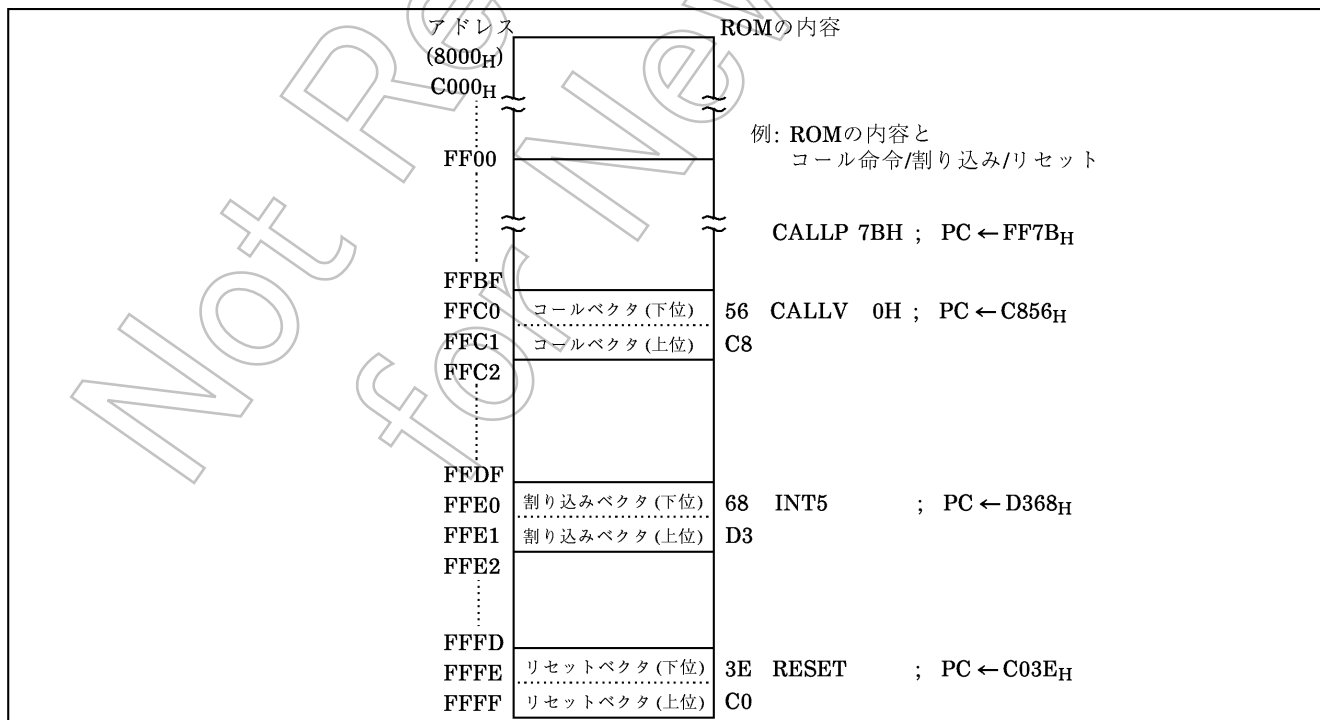


図1-2. プログラムメモリマップ



例: ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令[JRS cc, \$+2+d]

E8C4H: JRS T, \$+2+08Hの場合

JF=1のとき、プログラムカウンタの内容に08Hを加算したE8CEHにジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス+2になっています。従って、この場合プログラムカウンタの値はE8C4H+2=E8C6Hとなります)。

② 8ビット相対ジャンプ命令[JR cc, \$+2+d]

E8C4H: JR Z, \$+2+80Hの場合

ZF=1のとき、プログラムカウンタの内容にFF80H(-128)を加算したE846Hにジャンプします。

③ 16ビット絶対ジャンプ命令[JP a]

E8C4H: JP 0C235Hの場合

無条件にC235H番地にジャンプします。絶対ジャンプ命令は64 Kバイトの全空間内の任意のアドレスにジャンプできます。

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しにデータメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード(PC+A)の命令も使用でき、コード変換、テーブルルックアップ、多方向分岐処理などが容易にプログラミングできます。

例1: HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理(TMP87CH48の場合HL≥C000H, TMP87CM48の場合HL≥8000H)。

```
LD A, (HL) ; A←ROM(HL)
```

例2: BCD→7セグメントコード(アノードコモン)変換出力処理

(A=05Hのとき下記プログラムの実行で、P3ポートに92Hが出力されます)。

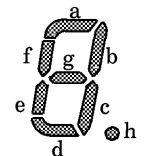
```
ADD A, TABLE-$-4 ; P3←ROM(TABLE+A)
```

```
LD (P3), (PC+A)
```

```
JRS T, SNEXT ; Jump to SNEXT
```

TABLE: DB 0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H

SNEXT:



注) \$はADD命令の先頭アドレス。DBはバイトデータの定義命令。

例3: アキュムレータの内容(0≤A≤3)による多方向分岐処理

```
SHLC A ; if A=00H then PC←C234H
```

```
JP (PC+A) if A=01H then PC←C378H
```

```
if A=02H then PC←DA37H
```

```
if A=03H then PC←E1B0H
```

```
DW 0C234H, 0C378H, 0DA37H, 0E1B0H
```

注) DWはワードデータの定義命令。ワード=2バイト。

SHLC A
- JP (PC+A) -
34
C2
78
C3
37
DA
B0
E1

### 1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル (FFFF, FFFE<sub>H</sub>番地) に格納されているリセットベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、FFFF, FFFE<sub>H</sub>番地にそれぞれC0, 3E<sub>H</sub>が格納されている場合、リセット解除後 C03E<sub>H</sub>番地から実行開始します。

TLCS-870シリーズは、パイプライン処理(命令先行フェッチ)を行っていますので、プログラムカウンタは常に2アドレス先を指します。例えば、C123<sub>H</sub>番地に格納されている1バイト命令の実行中、プログラムカウンタの内容はC125<sub>H</sub>です。

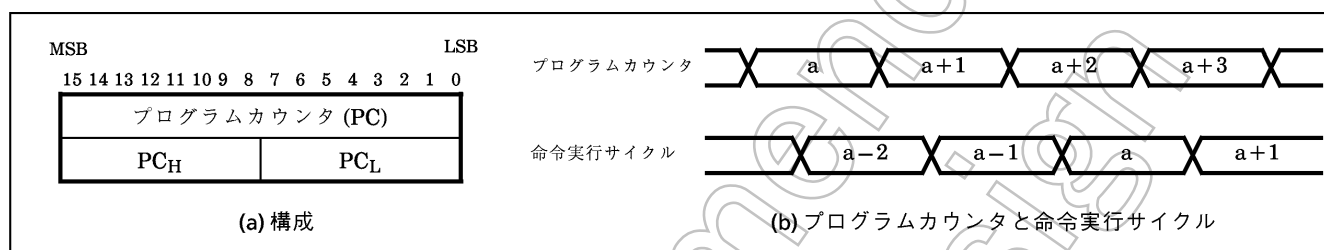


図1-3. プログラムカウンタ

### 1.4 データメモリ (RAM)

TMP87CH48は512バイト(アドレス0040~023F<sub>H</sub>番地)、TMP87CM48は1Kバイト(アドレス0040~043F<sub>H</sub>番地)のデータメモリ(スタティックRAM)を内蔵しています。図1-4にデータメモリマップを示します。

0000~00FF<sub>H</sub>番地はダイレクトアドレッシング領域になっており、このアドレッシングモードを用いる命令が強化されていますので、0040~00FF<sub>H</sub>番地のデータメモリはユーザーフラグやユーザーカウンタとしても使用できます。

例1: データメモリの00C0<sub>H</sub>番地のビット2が“1”なら00E3<sub>H</sub>番地に00<sub>H</sub>を書き込み、“0”ならFF<sub>H</sub>を書き込む処理。

```

TEST   (00C0H).2      ; if (00C0H)2=0 then jump
JRS    T,SZERO
CLR    (00E3H)         ; (00E3H)←00H
JRS    T,SNEXT
SZERO: LD   (00E3H),0FFH ; (00E3H)←FFH
SNEXT:

```

例2: データメモリの00F5<sub>H</sub>番地の内容をインクリメントし、10<sub>H</sub>以上になると00<sub>H</sub>にクリアする処理。

```

INC    (00F5H)
AND    (00F5H),0FH

```

0040~00BF<sub>H</sub>番地の128バイトには、汎用レジスタバンク(8レジスタ×16バンク)が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、0040<sub>H</sub>番地を読み出すとバンク0のアキュムレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック、スタックポインタ』を参照してください。

なお、TLCS-870シリーズは、データメモリ上に置かれたプログラムを実行することはできません。プログラムカウンタがデータメモリの特定のアドレス(TMP87CH48では0040~023F<sub>H</sub>番地、TMP87CM48では0040~043F<sub>H</sub>番地)を指した場合、バスエラーによりアドレストラップリセットがかかります(RESET端子出力が“L”レベルになります)。

データメモリの内容は電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例1: TMP87CH48のRAMクリア(バンク0以外のRAMをすべてゼロクリア)

	LD	HL, 0048H	; スタートアドレス(HL)の設定。
	LD	A, H	; 初期化データ(A)の設定。
	LD	BC, 01F7H	; バイト数-1(BC)の設定。
SRAMCLR:	LD	(HL+), A	
	DEC	BC	
	JRS	F, SRAMCLR	

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、上記の例でバンク0を除いてRAMクリアしています。

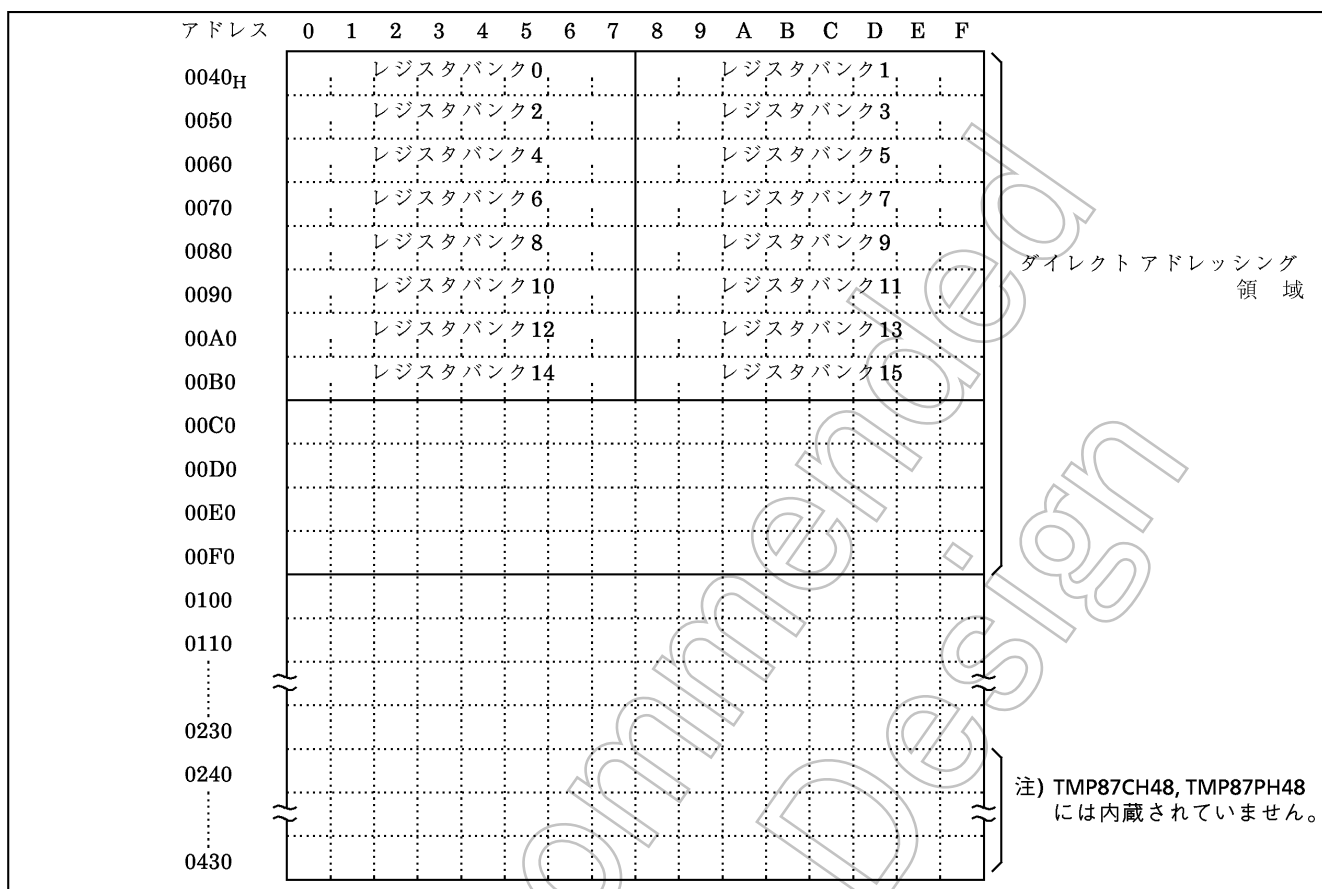


図1-4. データメモリマップ

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF<sub>H</sub>番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ8本を1バンクとして16バンク内蔵しています。図1-5に汎用レジスタバンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

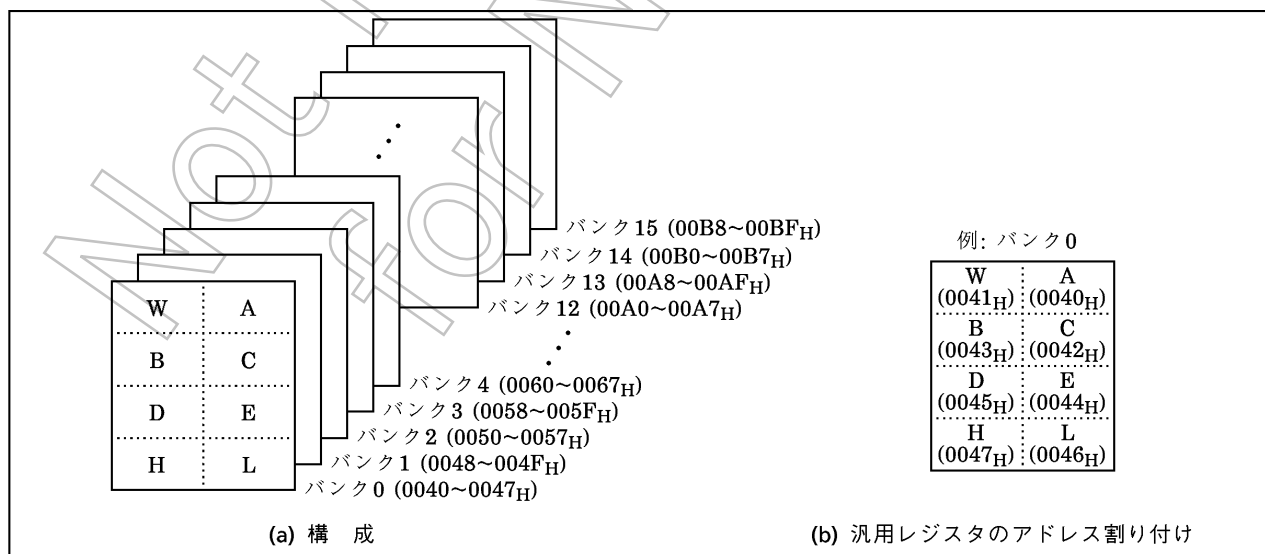


図1-5. 汎用レジスタバンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

## (1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ(Wが上位、Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

- 例: ① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。  
 ② SUB WA, 1234H ; WAの内容から即値1234Hを引き、結果をWAに入れます。  
 ③ SUB E, A ; Eの内容からAの内容を引き、結果をEに入れます。

## (2) HL, DE

HLはデータポインタ/インデックスレジスタ/ベースレジスタとして、DEはデータポインタとしての機能を持ち、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウェアLIFO(ラストインファーストアウト)処理が容易にできます。

- 例1: ① LD A, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。  
 ② LD A, (HL+52H) ; HLに即値52Hを符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。  
 ③ LD A, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。  
 ④ LD A, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。  
 ⑤ LD A, (-HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2: ブロック転送

```
LD B, m ; m=n-1, n: 転送バイト数
LD HL, DSTA ; 転送先アドレス
LD DE, SRCA ; 転送元アドレス
SLOOP: LD (HL), (DE) ; (HL) ← (DE)
INC HL ; HL ← HL + 1
INC DE ; DE ← DE + 1
DEC B ; B ← B - 1
JRS F, SLOOP ; if B ≥ 0 then loop
```

## (3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ、カウンタなどに使用できます。Cは、レジスタインデックスアドレッシング(HL+C)におけるオフセットレジスタとして(P12の例1③)、また除算命令における除数レジスタとしての機能を有しています。

例1: リピート処理

```
SREPEAT: LD B, n ; リピート回数の設定(n+1回処理が行われます)。
          処理
          DEC B
          JRS F, SREPEAT
```

例2: 除算(16ビット÷8ビット)

```
DIV WA, C ; WA÷Cの演算を行い、商をAに、余りをWに入れます。
```

汎用レジスタのバンク選択は、4ビット長のレジスタバンクセレクタ(RBS)により行います。リセット時RBSは“0”に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラムステータスワード(PSW)として、SFR内の003FH番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令[LD RBS, n], [PUSH PSW], [POP PSW]が用意されています。

例1: RBSのインクリメント

```
INC (003FH) ; RBS ← RBS + 1
```

例2: RBSのリード

```
LD A, (003FH) ; A ← RBS(この命令ではフラグも同時に読み出されますので、A ← PSWとなります)。
```

割り込み処理におけるレジスタの退避、サブルーチン処理におけるパラメータの受渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBSは自動的にスタックに退避されます。なお、割り込みリターン命令[RETI], [RETN]の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウェア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例: バンク切り替えによる割り込みタスクにおける汎用レジスタの退避/復帰

```
PINT1: LD RBS, n ; RBS ← n(バンクnに切り替え)
        割り込み処理
        RETI ; マスカブル割り込みリターン
              (バンクは自動的に復帰)。
```

## 1.6 プログラム ステータス ワード (PSW)

プログラム ステータス ワードは、レジスタバンクセレクタ (RBS) とフラグから構成され、SFR内の003FH番地に割り付けられています。

RBSは、メモリアクセス命令で読み出し/書き込みができ、フラグは読み出しのみできます。PSWに対して書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H] 命令を実行すると、RBSには“5”が書き込まれ、JFは“1”にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSWは割り込みリターン命令 [RETI], [RETN] の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ [PUSH PSW]/ポップ [POP PSW] があります。

### 1.6.1 レジスタバンクセレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えばRBS=2のとき、現在バンク2が選択されていることとなります。

リセット時、RBSは“0”に初期化されます。

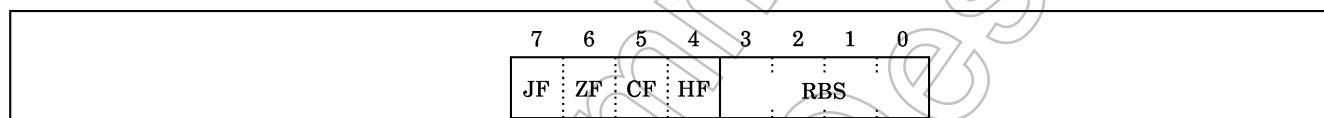


図1-6. PSW (RBS, フラグ) の構成

### 1.6.2 フラグ (FLAG)

ゼロフラグ、キャリーフラグ、ハーフキャリーフラグおよびジャンプステータスフラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ、キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令 [JR cc, \$+2+d], [JRS cc, \$+2+d] のジャンプ条件 cc となります。

リセット解除時、ジャンプステータスフラグは“1”に初期化されます (そのほかのフラグは初期化されません)。

#### (1) ゼロフラグ (ZF)

ゼロフラグは、演算結果または転送データが00H (8ビット演算/転送時) /0000H (16ビット演算時) のとき“1”にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1”にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます (ビットテスト)。乗算命令の場合、積の上位8ビットが00Hのとき、除算命令の場合 剰余が00Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

#### (2) キャリーフラグ (CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00Hのとき (Divided by zero Error)、または、商が100H以上のとき (Quotient Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ (ブーリアンアキュムレータ) として機能します。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例: ビット操作 (07<sub>H</sub>番地のビット5の内容と9A<sub>H</sub>番地のビット0の内容とで排他的論理和をとり、結果を01<sub>H</sub>番地のビット2に書き込みます)。

```
LD    CF, (0007H).5 ; (0001H)2 ← (0007H)5 ∨ (009AH)0
XOR   CF, (009AH).0
LD    (0001H).2, CF
```

### (3) ハーフキャリーフラグ(HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです ([DAA r], [DAS r] 命令による十進補正)。

例: BCD演算 (A=19<sub>H</sub>, B=28<sub>H</sub>のとき、次の命令を実行すると、Aは47<sub>H</sub>になります)。

```
ADD   A, B ; A ← 41H, HF ← 1, CF = 0
DAA   A ; A ← 41H + 06H = 47H (十進補正)
```

### (4) ジャンプステータスフラグ(JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令 [JR T/F, \$+2+d], [JRS T/F, \$+2+d] (T, Fは条件コードです) のジャンプ条件となります。

例: ジャンプステータスフラグと条件付きジャンプ命令

```
INC   A ;
JRS   T, SLABLE1 ; 直前の演算命令で桁上げが発生した場合に
      ; ジャンプします。
      ;
LD    A, (HL)
JRS   T, SLABLE2 ; 直前の命令でJFは“1”にセットされますので、
      ; 無条件ジャンプ命令と見なされます。
      ;
```

例: WAレジスタペア, HLレジスタペア, データメモリの00C5<sub>H</sub>番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ “219A<sub>H</sub>”, “00C5<sub>H</sub>”, “D7<sub>H</sub>”, “1”, “0” のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

命 令	実行後の アキュムレータ	実行後のフラグ				命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF			JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1	INC A	9B	0	0	1	0
SUBB A, (HL)	C2	1	0	1	0	ROL A	35	1	0	1	0
CMP A, (HL)	9A	0	0	1	0	ROR A	CD	0	0	0	0
AND A, (HL)	92	0	0	1	0	ADD WA, 0F508H	16A2	1	0	1	0
LD A, (HL)	D7	1	0	1	0	MUL W, A	13DA	0	0	1	0
ADD A, 66H	00	1	1	1	1	SET A.5	BA	1	1	1	0



1.7 スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時に、その処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n] 実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウェア割り込み命令 [SWI] 実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令 [RET] を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令 [RETI], [RETN] を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)

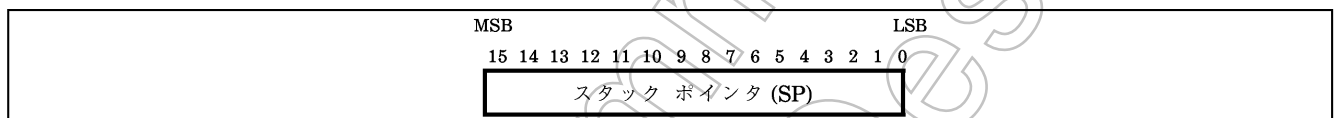


図1-7. スタックポインタ

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール、プッシュ命令実行時および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8に示します。

スタックポインタは、ハードウェア的には初期化されませんので、イニシャライズルーチンで初期化(スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg] および [LD gg, SP] (mnは16ビット即値、ggはレジスタペア)があります。

例1: スタックポインタのイニシャライズ

```
LD SP, 023FH ; SP ← 023FH
```

例2: スタックポインタのリード

```
LD HL, SP ; HL ← SP
```

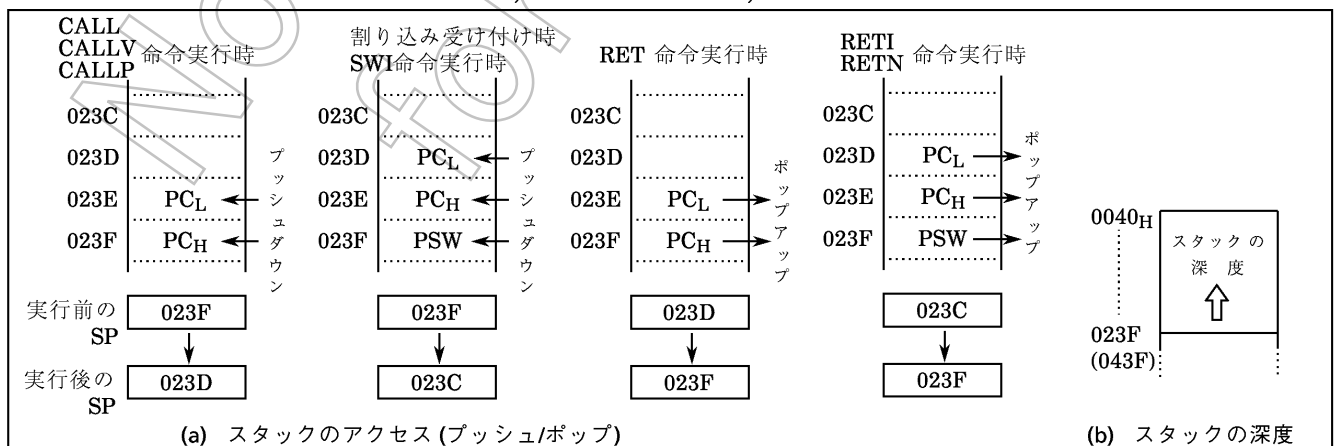


図1-8. スタック

1.8 システムクロック

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

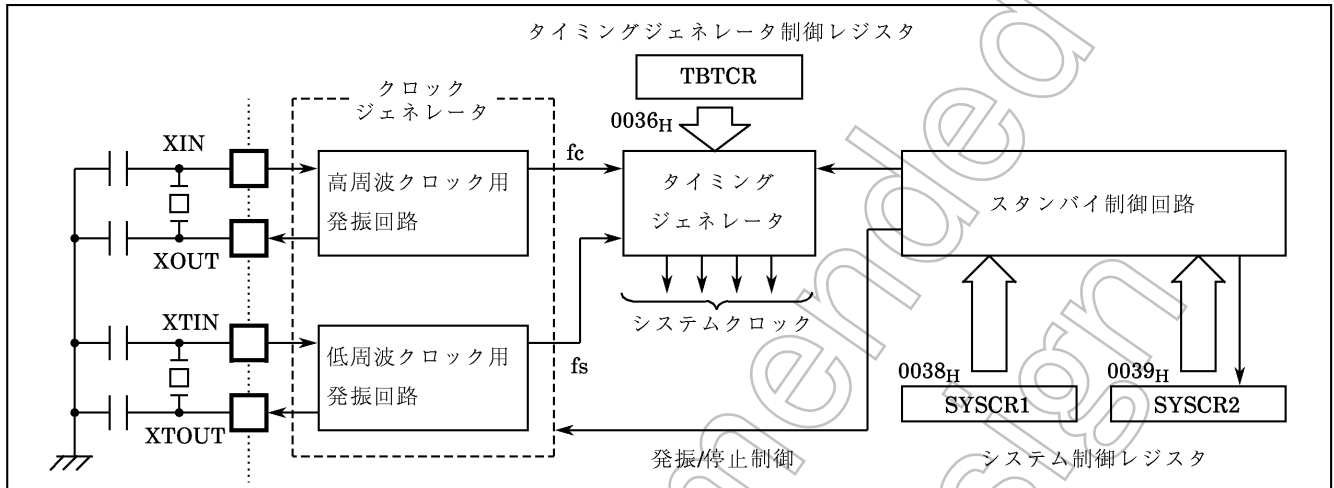


図1-9. システムクロック制御回路

1.8.1 クロックジェネレータ

クロックジェネレータは、CPUコアおよび周辺ハードウェアに供給されるシステムクロックの基本となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数 $f_c$ )、低周波クロック(周波数 $f_s$ )は、それぞれXIN, XOUT端子, XTIN, XTOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

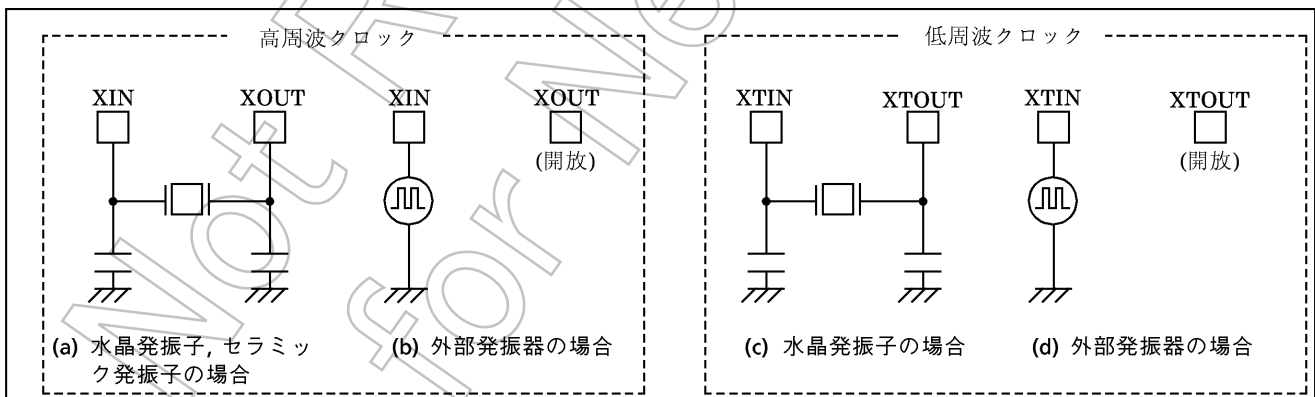


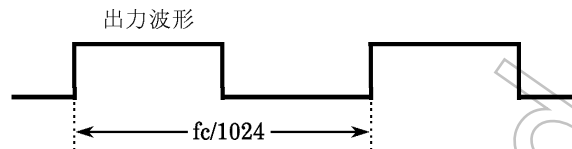
図1-10. 発振子の接続例

注) 発振周波数の調整

基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

例: 基本クロックの周波数調整用パルスをP13 ( $\overline{\text{DVO}}$ ) に出力する

```
SFCCHK: LD (P1CR), 00001000B ; P13を出力モードに設定。  
        SET (P1).3           ; P13 ← 1  
        LD (TBTCR), 11100000B ;  $\overline{\text{DVO}}$ 許可  
        JRS T,$              ; ループ
```



Not Recommended  
for New Design

## 1.8.2 タイミングジェネレータ

タイミングジェネレータは、基本クロックからCPUコアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- ① メインシステムクロック生成
- ② デバイダ出力 ( $\overline{DVO}$ ) パルス生成
- ③ タイマベースタイマのソースクロック生成
- ④ ウォッチドッグタイマのソースクロック生成
- ⑤ タイマカウンタの内部ソースクロック生成
- ⑥ シリアルインタフェースの内部シリアルクロック生成
- ⑦ STOPモード解除時のウォーミングアップクロック生成
- ⑧ リセット出力 解除クロック生成

### (1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケアラ、21段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。デバイダの7段目への入力クロックは動作モードおよびDV7CK(TBTCRのビット4)により、次のようになります。なお、リセット時およびSTOPモード起動/解除時デバイダは“0”にクリアされます(ただし、プリスケアラはクリアされません)。

#### ① シングルクロックモード時

高周波クロック (周波数 $fc$ ) を256分周したクロック ( $fc/28$ )がデバイダの7段目に入力されます。なお、シングルクロックモード時DV7CKを“1”にセットしないでください。

#### ② デュアルクロックモード時

NORMAL2, IDLE2モード時(SYSCK=0)は、DV7CKにより、デバイダの7段目への入力クロックを $fc/28$ か $fs$ かのいずれかの選択ができます。SLOW, SLEEPモード時(SYSCK=1)は、自動的に $fs$ がデバイダの7段目に入力されます(なお、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します)。

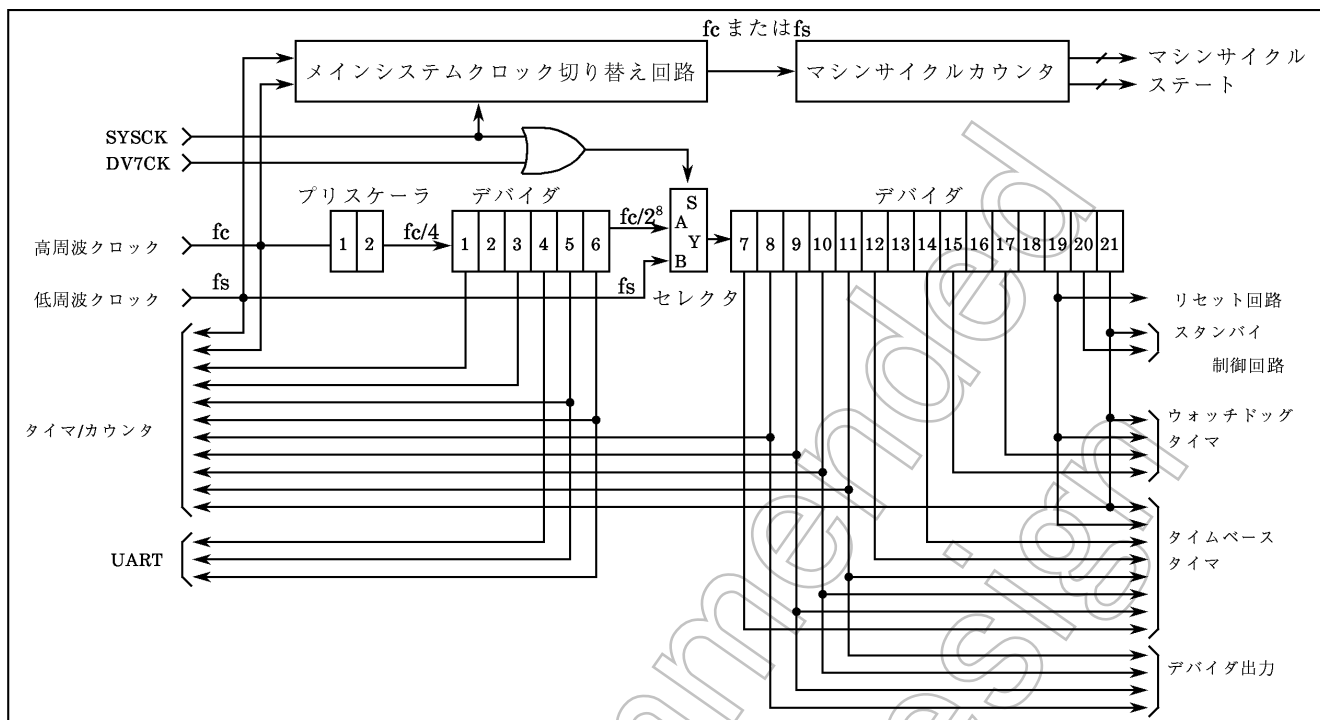


図1-11. タイミングジェネレータの構成

TBTCR (0036 <sub>H</sub> )	7	6	5	4	3	2	1	0	(初期値: 0**0 0***)
	(DVOEN)	(DVOCK)	DV7CK	(TBTEN)	(TBTCCK)				
DV7CK	デバイダの7段目への入力クロックの選択				0: $fc/2^8$ [Hz] 1: $fs$		R/W		

注1)  $fc$ : 高周波クロック [Hz]、 $fs$ : 低周波クロック [Hz]、\*: Don't care  
 注2) シングルクロックモード時は、DV7CKを“1”にセットしないでください。  
 注3) 低周波クロックの発振安定前にDV7CKを“1”にセットしないでください。

図1-12. タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

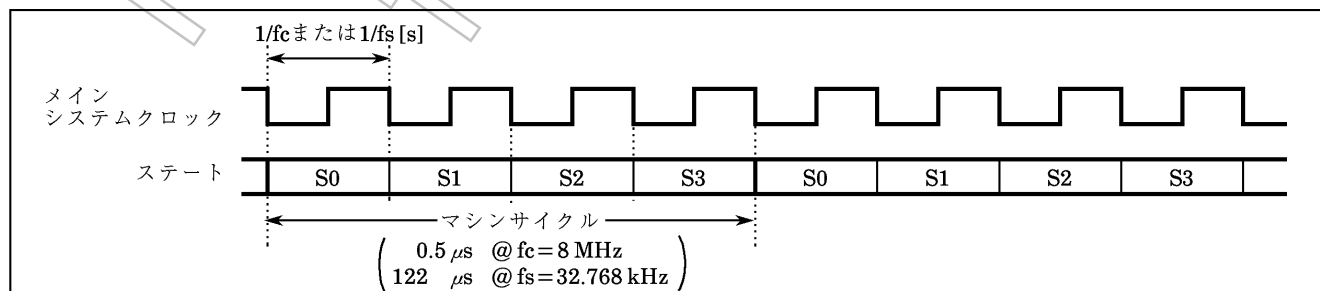


図1-13. マシンサイクル

### 1.8.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-14に動作モード遷移図を、図1-15に制御レジスタを示します。

リセット解除時の動作モードは、シングルクロックモードです。また、TMP87PH48/PM48もシングルクロックモード固定となります。デュアルクロックモードで使用する場合は、プログラム先頭で低周波クロックを発振させてください。

#### (1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは  $4/fc$  [s] ( $0.5 \mu\text{s} @ fc=8 \text{ MHz}$ ) となります。

##### ① NORMAL1モード

CPUコアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後はシングルクロックモードですので、このNORMAL1モードになります。

##### ② IDLE1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) のときは、割り込み処理が行われた後、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

##### ③ STOP1モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOP1モードの起動は、システム制御レジスタ1で行います。解除は、STOP 端子入力 (レベル/エッジの選択可能) で行い、ウォームアップ時間経過後、STOP1モードを起動した命令の次の命令から実行再開します。

## (2) デュアルクロックモード

高周波、低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時、高周波クロックから生成され、SLOW, SLEEPモード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2モード時  $4/f_c$  [s], SLOW, SLEEPモード時  $4/f_s$  [s] ( $122 \mu\text{s} @ f_s = 32.768 \text{ kHz}$ ) となります。

注) TMP87CH48/CM48/PH48/PM48はリセット解除後、シングルクロックモードとなります。デュアルクロックモードを使うときには、[SET (SYSCR2).XTEN] などの命令を実行して低周波数発振を開始させる必要があります。

## ① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。デュアルクロックモードを使用する場合は、リセット解除後に、プログラムの先頭で低周波クロックの発振を開始させることでNORMAL2モードになります。

## ② SLOWモード

高周波クロックの発振を停止させ、CPUコア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2からSLOWへの切り替え、SLOWからNORMAL2への切り替えは、システム制御レジスタ2で行います。

## ③ IDLE2モード

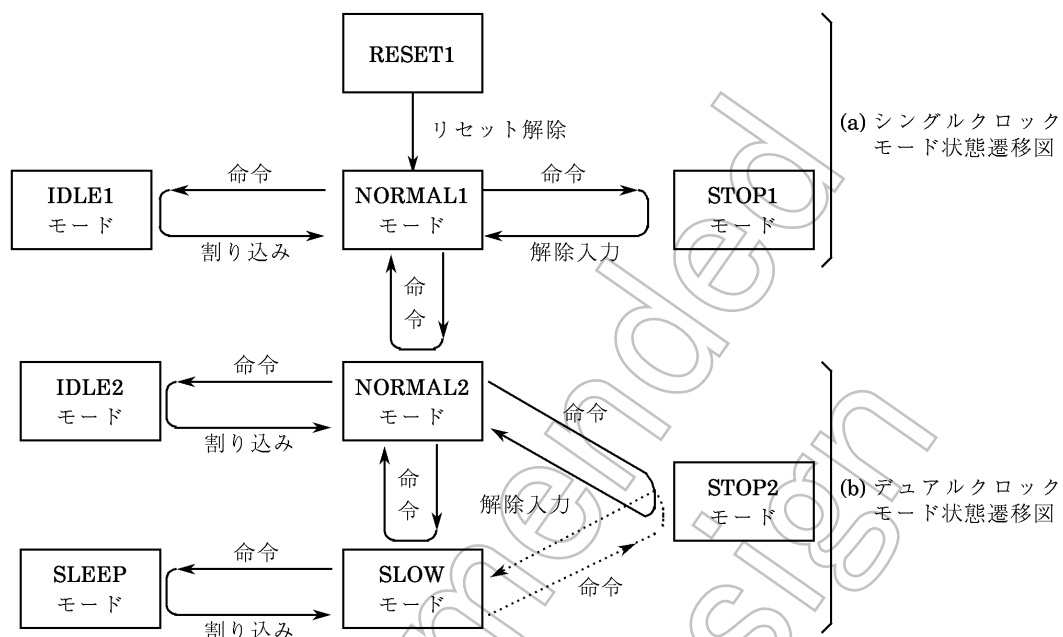
CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2モードの起動/解除は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

## ④ SLEEPモード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEPモードの起動/解除は、IDLE1モードと同じです。解除後、SLOWモードに戻ります。なお、高周波クロックは発振していません。

## ⑤ STOP2モード

シングルクロックモードのSTOP1モードと同様、システムの動作をすべて停止するモードです。



注) NORMAL1, NORMAL2を、STOP1, STOP2を、IDLE1, IDLE2, SLEEPを、それぞれ総称してNORMAL, STOP, IDLEと呼びます。

動作モード		発振回路		CPUコア	周辺回路	マシンサイクルタイム
		高周波	低周波			
シングルクロック	RESET1			リセット	リセット	4/fc [s]
	NORMAL1	発振	停止	動作	動作	
	IDLE1			停止		
	STOP1	停止	停止			
デュアルクロック	NORMAL2	発振	発振	高周波動作	動作	4/fc [s]
	IDLE2			停止		
	SLOW	停止	停止	低周波動作	低周波動作	4/fs [s]
	SLEEP			動作		
	STOP2			停止	停止	停止

図1-14. 動作モード状態遷移図



システム制御レジスタ1

SYSCR1 (0038H)      7    6    5    4    3    2    1    0      (初期値: 0000 00\*\*)

STOP	RELM	RETM	OUTEN	WUT				
------	------	------	-------	-----	--	--	--	--

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動)	R/W
RELM	STOPモードの解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の“H”レベルで解除	
RETM	STOPモード解除後の動作モードの選択	0: NORMALモードへ戻る 1: SLOWモードへ戻る	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持	
WUT	STOPモード解除時のウォームアップ時間	00: $3 \times 2^{19}/f_c$ または $3 \times 2^{13}/f_s$ [s] 01: $2^{19}/f_c$ または $2^{13}/f_s$ [s] 1*: Reserved	

- 注1) RETMは、NORMAL1モードからSTOP1モードに移す場合、およびNORMAL2モードからSTOP2モードに移す場合は、必ず“0”にしてください。SLOWモードからSTOP2モードに移す場合は、必ず“1”にしてください。
- 注2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMALモードに戻ります。
- 注3) SYSCR1のビット1,0は、リードすると不定値が読み出されます。
- 注4)  $f_c$ : 高周波クロック [Hz]、 $f_s$ : 低周波クロック [Hz]、\*: Don't care
- 注5) OUTEN = “0”の指定でSTOP動作に入ると、内部入力は“0”に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。

システム制御レジスタ2

SYSCR2 (0039H)      7    6    5    4    3    2    1    0      (初期値: 1000 \*\*\*\*)

XEN	XTEN	SYSCK	IDLE					
-----	------	-------	------	--	--	--	--	--

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの選択(Write)/モニタ(Read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	IDLEモードの起動	0: CPU, WDT動作 1: CPU, WDT停止 (IDLE1/IDLE2/SLEEPモード起動)	

- 注1) XEN, XTENをとともに“0”にするとリセットがかかります(RESET端子出力が“L”レベルとなります)。
- 注2) SYSCK = 0のときXENを“0”に、またSYSCK = 1のときXTENを“0”にしないでください。
- 注3) WDT: ウォッチドッグタイマ、\*: Don't care
- 注4) SYSCR2のビット3~0は、リードすると“1”が読み出されます。
- 注5) XTENは、初期値のオプション選択ができません。  
TMP87CH48/CM48およびTMP87PH48/PM48の場合、XTENの初期値は“0”です。

XTEN	リセット解除後の動作モード
0	シングルクロックモード (NORMAL1)

図1-15. システム制御レジスタ1, 2

## 1.8.4 動作モードの制御

## (1) STOPモード (STOP1, STOP2)

STOPモードは、システム制御レジスタ1とSTOP端子入力によって制御されます。STOP端子は、P20ポートならびにINT5(外部割り込み入力5)端子と兼用です。STOPモードは、STOP(SYSCR1のビット7)を“1”にセットすることにより起動され、STOPモード中、次の状態を保持しています。

- ① 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
- ② データメモリ、レジスタ(DBRを除く)、プログラムステータスワード、ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN(SYSCR1のビット4)の設定により、出力保持/ハイインピーダンスの選択ができます。
- ③ タイミングジェネレータのデバイダを“0”にクリアします。
- ④ プログラムカウンタは、STOPモードを起動する命令(SET(SYSCR1).7など)の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM(SYSCR1のビット6)で選択します。

注) STOP(STOPモード起動からウォームアップ終了まで)期間中、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOPモード解除後直ちに割り込みを受け付ける場合があります。従って、STOPモードの起動は、割り込みを禁止してから行ってください。またSTOPモード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

## a. レベル解除モード (RELM=“1”のとき)

STOP端子への“H”レベル入力によりSTOP動作を解除するモードで、メイン電源しゃ断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

STOP端子入力が“H”レベルの状態でもSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、直ちに解除シーケンス(ウォームアップ)に移ります。従って、レベル解除モードでSTOP動作で起動する場合、STOP端子入力が“L”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 (INT5端子入力の立ち下がりエッジで割り込みを発生します)

例: INT5割り込みにより、STOPモードを起動

PINT5: TEST (P2).0	;	ノイズ除去のため P20ポート入力が“H”
JRS F, SINT5		レベルならSTOPモードを起動しない。
LD(SYSCR1), 01000000B		;
SET (SYSCR1).7		;
LDW (IL), 1110011101010111B		;
		IL12, IL11, IL7, IL5, IL3←0
		(割り込みラッチのクリア)
SINT5: RETI		

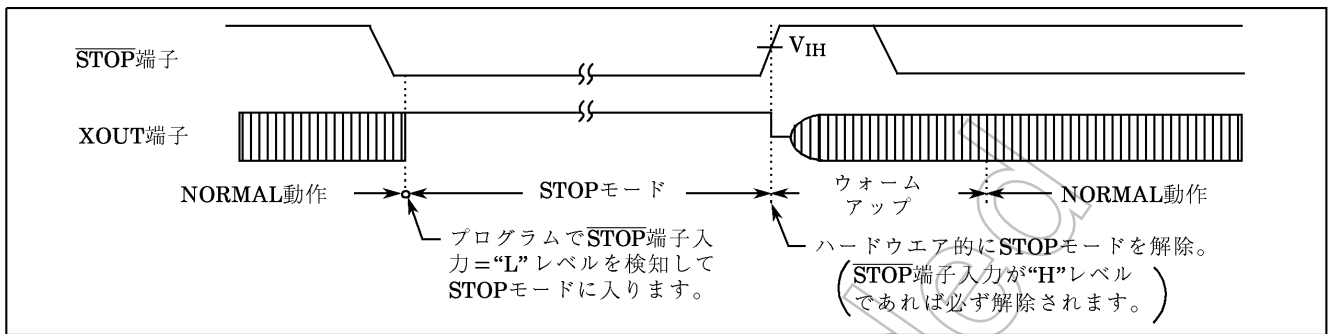


図1-16. レベル解除モード

- 注1) ウォームアップ開始後、再びSTOP端子入力が"L"レベルになってもSTOPモードには戻りません。
- 注2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM="0" のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(低消費電力の発振源からのクロックなど)をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が"H"レベルにあってもSTOP動作に入ります。

例: エッジ解除モードのSTOP動作を起動

```
LD(SYSCR1), 00000000B ; OUTEN←0 (ハイインピーダンス指定)
DI ; IMF←0
SET (SYSCR1). STOP ; STOP←1 (STOPモード起動)
LDW (IL), 1110011101010111B ; IL12, IL11, IL7, IL5, IL3←0
; (割り込みラッチのクリア)
EI ; IMF←1
```

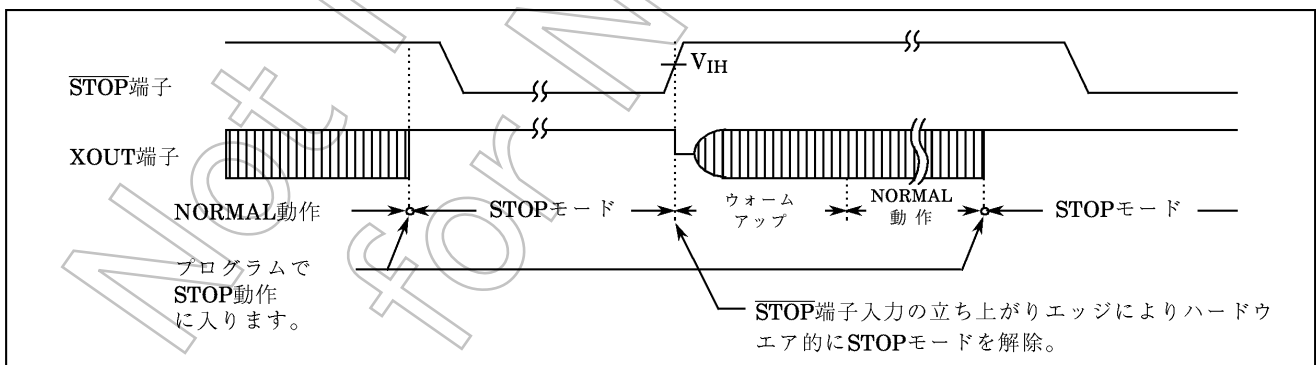


図1-17. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

- ① 発振が開始されます。デュアルクロックモードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
- ② 発振が安定するのに必要な時間の確保のため、ウォームアップを行います。ウォームアップ中、内部動作は停止したままです。ウォームアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2) で2種類選択できます。
- ③ ウォームアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは“0”にクリアされた状態から始まります。

表1-1. ウォームアップ時間 (例)

NORMALモードに戻る場合			SLOWモードに戻る場合	
WUT	fc=4.194304 MHz時	fc=8 MHz時	WUT	fs=32.768 kHz時
$3 \times 2^{19}/fc$ [s]	375 [ms]	196.6 [ms]	$3 \times 2^{13}/fs$ [s]	750 [ms]
$2^{19}/fc$ [s]	125 [ms]	65.5 [ms]	$2^{13}/fs$ [s]	250 [ms]

注) ウォームアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォームアップ時間は誤差を含むこととなります。従って、ウォームアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、RESET端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。この場合、SLOWモードに戻る設定がされていても、NORMAL1モードから始まります。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET端子の入力電圧レベルが、RESET端子入力(ヒステリシス入力)の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

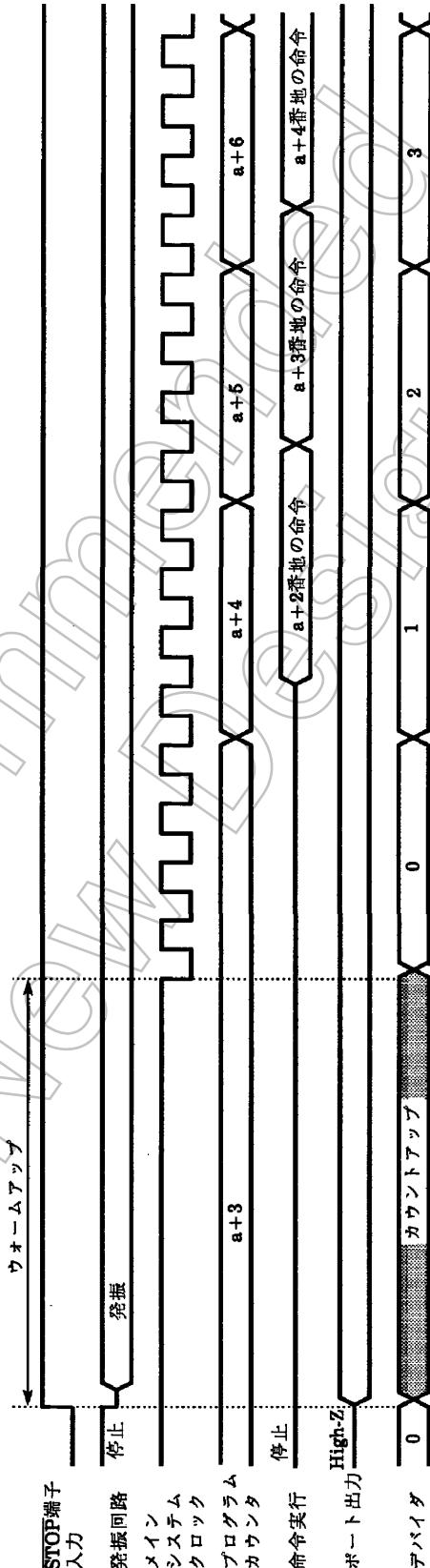
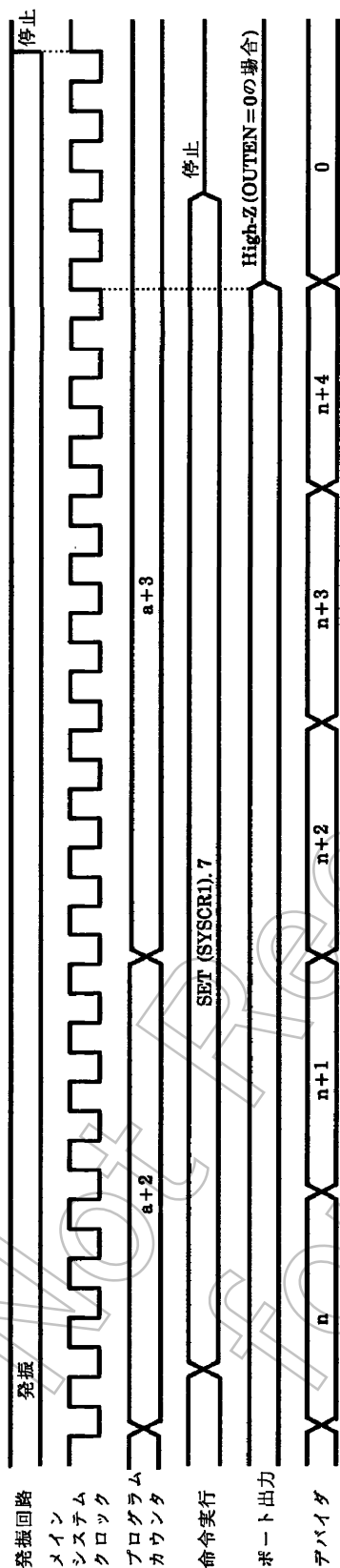


図1-18. STOPモードの起動/解除

## (2) IDLEモード (IDLE1, IDLE2, SLEEP)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

- ① CPUおよびウォッチドッグタイマは動作を停止します。  
周辺ハードウェアは動作を継続します。
- ② データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。
- ③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

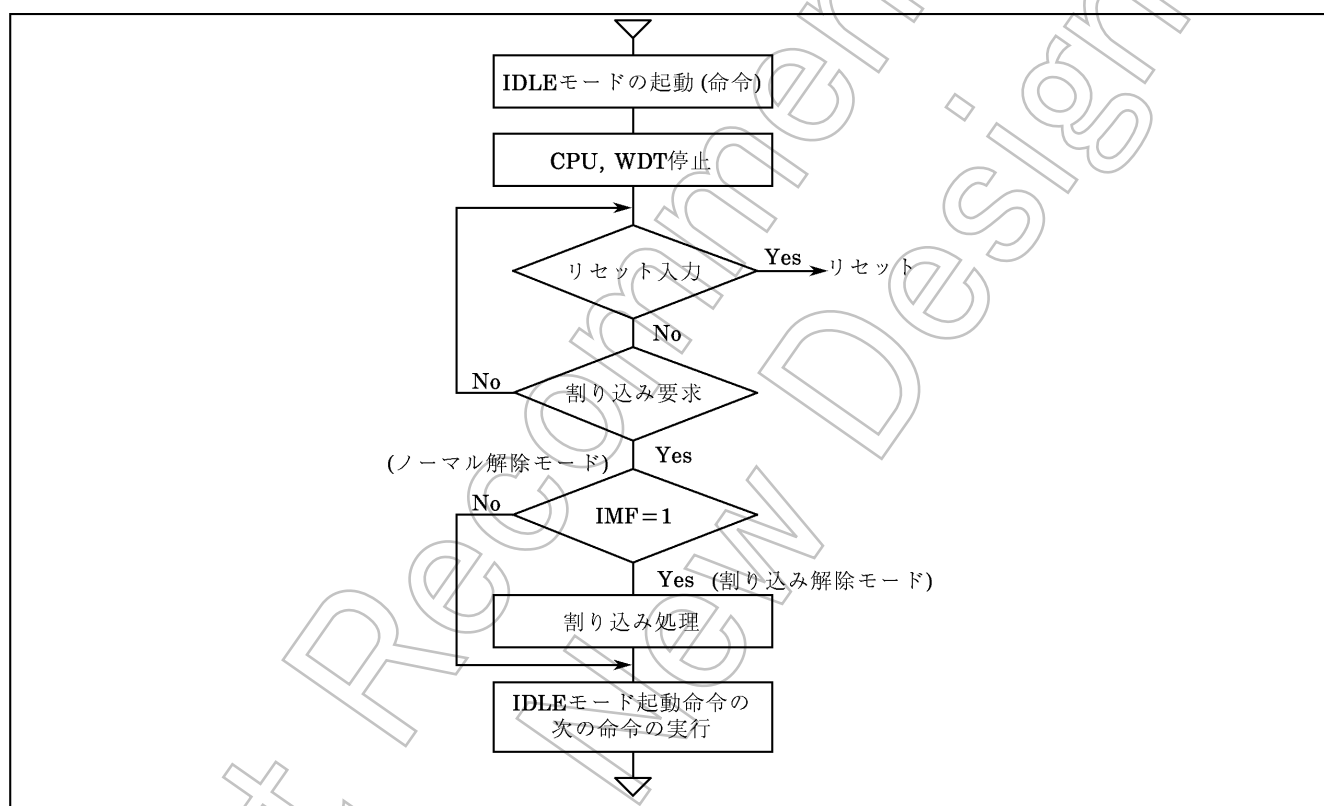


図1-19. IDLEモード

例: IDLEモードの起動

SET (SYSCR2).4

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、IDLE1モードのときはNORMAL1モードに、IDLE2モードのときはNORMAL2モードに、SLEEPモードのときはSLOWモードに戻ります。

a. ノーマル解除モード (IMF="0" のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 (INT0) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

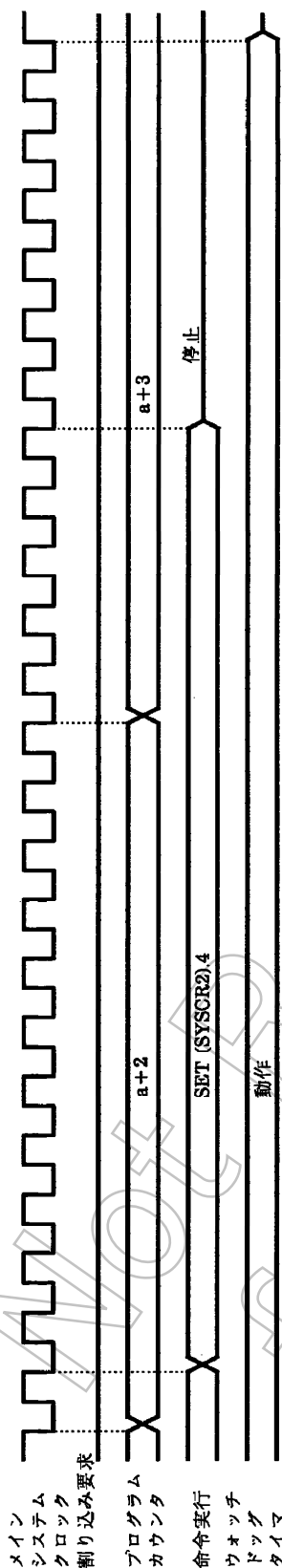
**b. 割り込み解除モード (IMF="1" のとき)**

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ( $\overline{\text{INT0}}$ ) の割り込み要求により IDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードを起動した命令の次の命令に戻ります。

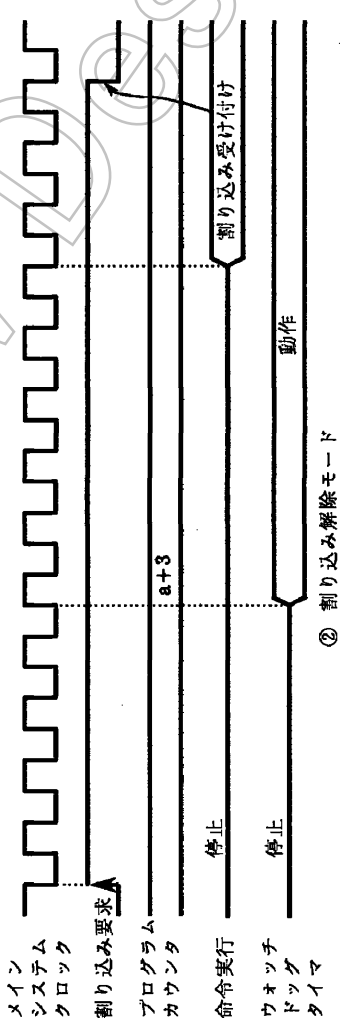
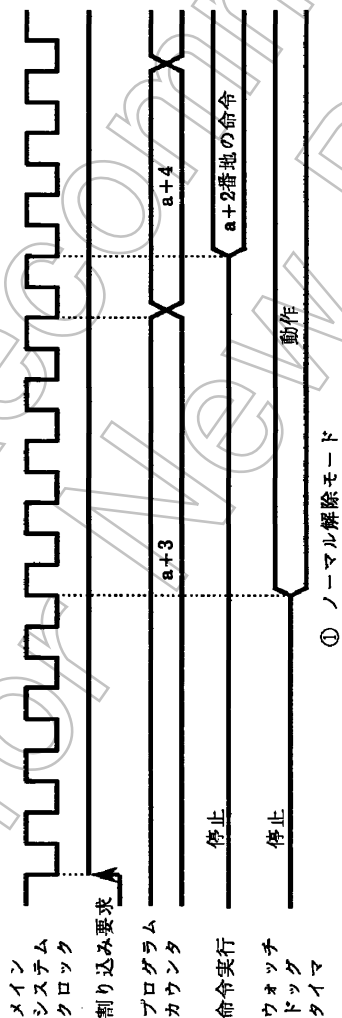
なお、IDLEモードは、 $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。SLEEPモードでリセットをかけた場合は、リセット解除後 NORMAL1モードから始まります。

注) IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended  
for New Design



(a) IDLEモードの起動(例:a番地に置かれたSET命令による起動)



(b) IDLEモードの解除  
図1-20. IDLEモードの起動/解除



## (3) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) およびタイマカウンタ2 (TC2) によって制御されます。

## a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に“1”を書き込み、システムクロックを低周波クロックに切り替えます。

次に、XEN (SYSCR2のビット7) を“0”にクリアして高周波発振器を停止します。

注) NORMAL2モードへ早く戻すために高周波クロックの発振を継続させることも可能です。ただし、SLOWモードからSTOPモードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ2を使用すると便利です。

例1: NORMAL2モードからSLOWモードへの切り替え。

```
SET    (SYSCR2).5 ; SYSCK ← 1 (システムクロックを低周波に
                           切り替え。)
CLR    (SYSCR2).7 ; XEN ← 0 (高周波クロック停止)
```

例2: TC2で低周波クロックの安定発振の確認後、SLOWモードへ切り替え。

```
LD     (TC2CR), 14H ; TC2のモードをセット (タイマモード, ソース
                           クロック: fs)
LDW   (TREG2), 8000H ; ウォームアップ時間をセット。
                           (発振子の特性で時間を決定します。)
SET   (EIRH).EF14 ; INTTC2割り込み許可
LD    (TC2CR), 34H ; TC2スタート
:
PINTTC2: LD (TC2CR), 10H ; TC2ストップ
SET   (SYSCR2).5 ; SYSCK ← 1 (システムクロックを低周波に
                           切り替え。)
CLR   (SYSCR2).7 ; XEN ← 0 (高周波クロック停止。)
RETI
:
VINTTC2: DW PINTTC2 ; INTTC2 ベクタテーブル
```

## b. SLOWモードからNORMAL2モードへの切り替え

まず、XEN (SYSCR2のビット7) を“1”にセットして高周波クロックを発振させます。発振の安定時間(ウォームアップ)をタイマカウンタ2によって確保した後、SYSCK (SYSCR2のビット5) を“0”にクリアします。

注1) SYSCKを“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。  
 注2) SLOWモードは、リセットによってNORMAL1モードへ戻ります。

例: SLOWモードからNORMAL2モードへの切り替え

( $f_c = 8\text{MHz}$ , ウォームアップ時間 = 7.9 ms)。

```

SET      (SYSCR2).7      ; XEN ← 1 (高周波クロック発振開始)
LD       (TC2CR), 10H    ; TC2のモードをセット。
                          ; (タイマモード, ソースクロック:  $f_c$ )
LD       (TREG2+1), 0F8H ; ウォームアップ時間をセット。
                          ; (周波数と発振子の特性で時間を決定しま
                          ; す。)
```

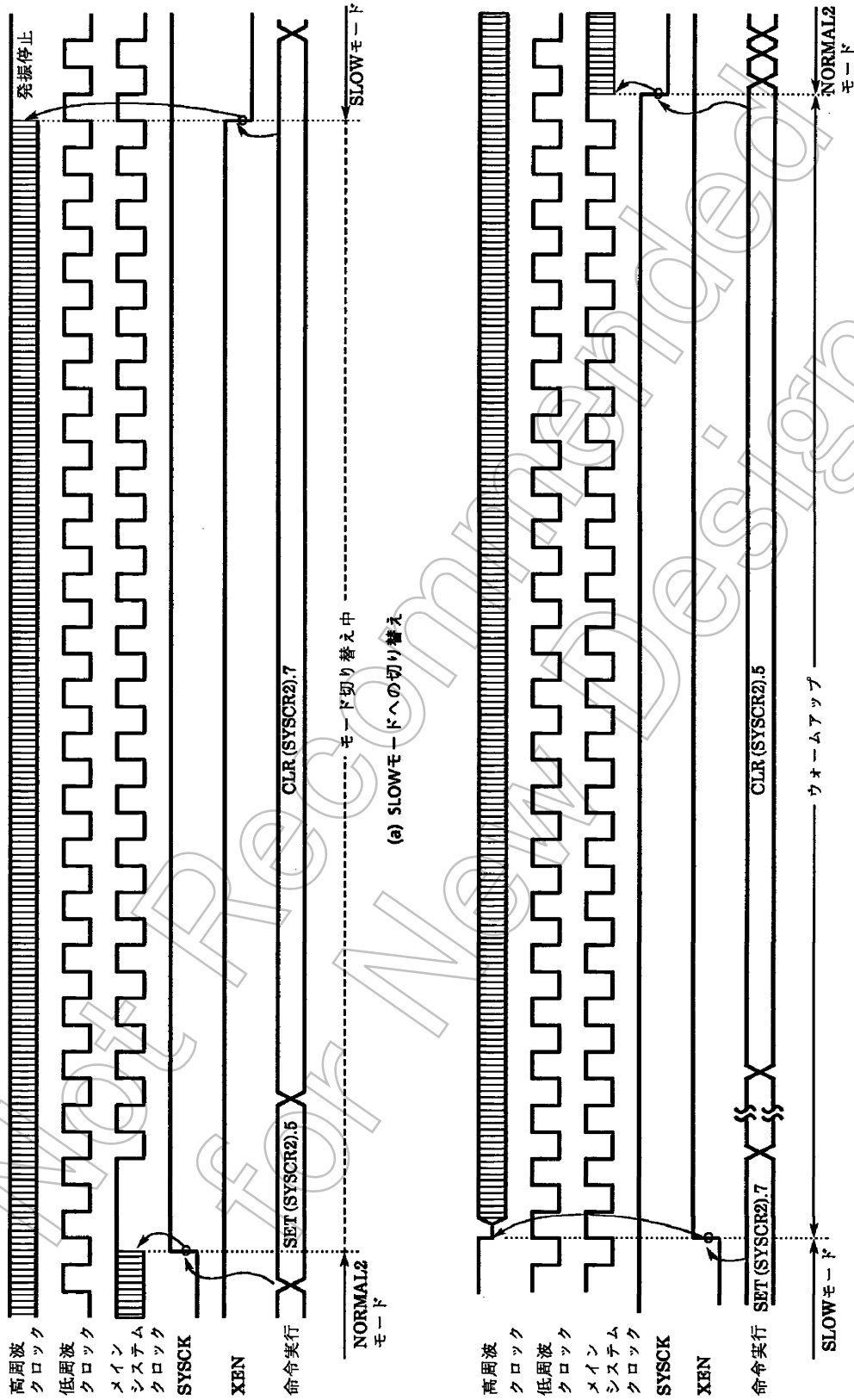
PINTTC2:

```

SET      (EIRH).EF14    ; INTTC2割り込み許可
LD       (TC2CR), 30H   ; TC2スタート
      ∴
LD       (TC2CR), 10H   ; TC2ストップ
CLR      (SYSCR2).5     ; SYSCK ← 0 (システムクロックを高周波
                          ; に切り替え。)
```

VINTTC2: DW PINTTC2 ; INTTC2ベクタテーブル

Not Recommended for New Design



(a) SLOWモードへの切り替え

(b) NORMAL2モードへの切り替え

図1-21. SLOW⇔NORMAL2モード切り替え

## 1.9 割り込み制御回路

TMP87CH48/CM48には、外部6種、内部9種の合計15種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。

図1-22に割り込み制御回路を示します。

表1-2. 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	—	FFFE <sub>H</sub>	高位 0
内部	INTSW (ソフトウェア割り込み)	擬似ノンマスクابل	—	FFFC <sub>H</sub>	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL <sub>2</sub>	FFFA <sub>H</sub>	2
外部	INT0 (外部割り込み0)	IMF=1, INT0EN=1	IL <sub>3</sub>	FFF8 <sub>H</sub>	3
内部	INTTC1 (16ビットタイマカウンタ1割り込み)	IMF・EF <sub>4</sub> =1	IL <sub>4</sub>	FFF6 <sub>H</sub>	4
外部	INT1 (外部割り込み1)	IMF・EF <sub>5</sub> =1	IL <sub>5</sub>	FFF4 <sub>H</sub>	5
内部	INTTBT (タイムベースタイマ割り込み)	IMF・EF <sub>6</sub> =1	IL <sub>6</sub>	FFF2 <sub>H</sub>	6
外部	INT2 (外部割り込み2)	IMF・EF <sub>7</sub> =1	IL <sub>7</sub>	FFF0 <sub>H</sub>	7
内部	INTTC3 (8ビットタイマカウンタ3割り込み)	IMF・EF <sub>8</sub> =1	IL <sub>8</sub>	FFEE <sub>H</sub>	8
内部	INTSBI (シリアルバスインタフェース割り込み)	IMF・EF <sub>9</sub> =1	IL <sub>9</sub>	FFEC <sub>H</sub>	9
外部	INT3 (外部割り込み3)	IMF・EF <sub>10</sub> =1	IL <sub>10</sub>	FFEA <sub>H</sub>	10
外部	INT4 (外部割り込み4)	IMF・EF <sub>11</sub> =1	IL <sub>11</sub>	FFE8 <sub>H</sub>	11
内部	INTRX (UART受信割り込み)	IMF・EF <sub>12</sub> =1, INTS=0	IL <sub>12</sub>	FFE6 <sub>H</sub>	12
	INTTC4 (8ビットタイマカウンタ4割り込み)	IMF・EF <sub>12</sub> =1, INTS=1			
内部	INTTX (UART送信割り込み)	IMF・EF <sub>13</sub> =1	IL <sub>13</sub>	FFE4 <sub>H</sub>	13
内部	INTTC2 (16ビットタイマカウンタ2割り込み)	IMF・EF <sub>14</sub> =1	IL <sub>14</sub>	FFE2 <sub>H</sub>	14
外部	INT5 (外部割り込み5)	IMF・EF <sub>15</sub> =1	IL <sub>15</sub>	FFE0 <sub>H</sub>	低位 15

(1) 割り込みラッチ (IL<sub>15</sub>~IL<sub>2</sub>)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, 003D<sub>H</sub>番地に割り付けられており、命令で個別にクリアすることができます(ただし、ビット操作命令や演算命令などのリード モディファイ/ライト 命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。ただし、IL<sub>2</sub>は命令でクリアしないでください。

なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

例1: 割り込みラッチのクリア

```
LDW    (IL), 1110100000111111B    ;IL12, IL10~IL6←0
```

例2: 割り込みラッチの読み出し

```
LD      WA, (IL)                    ;W←ILH, A←ILL
```

例3: 割り込みラッチのテスト

```
TEST    (IL).7                       ;IL7=1ならジャンプ。  
JR      F, SSET
```

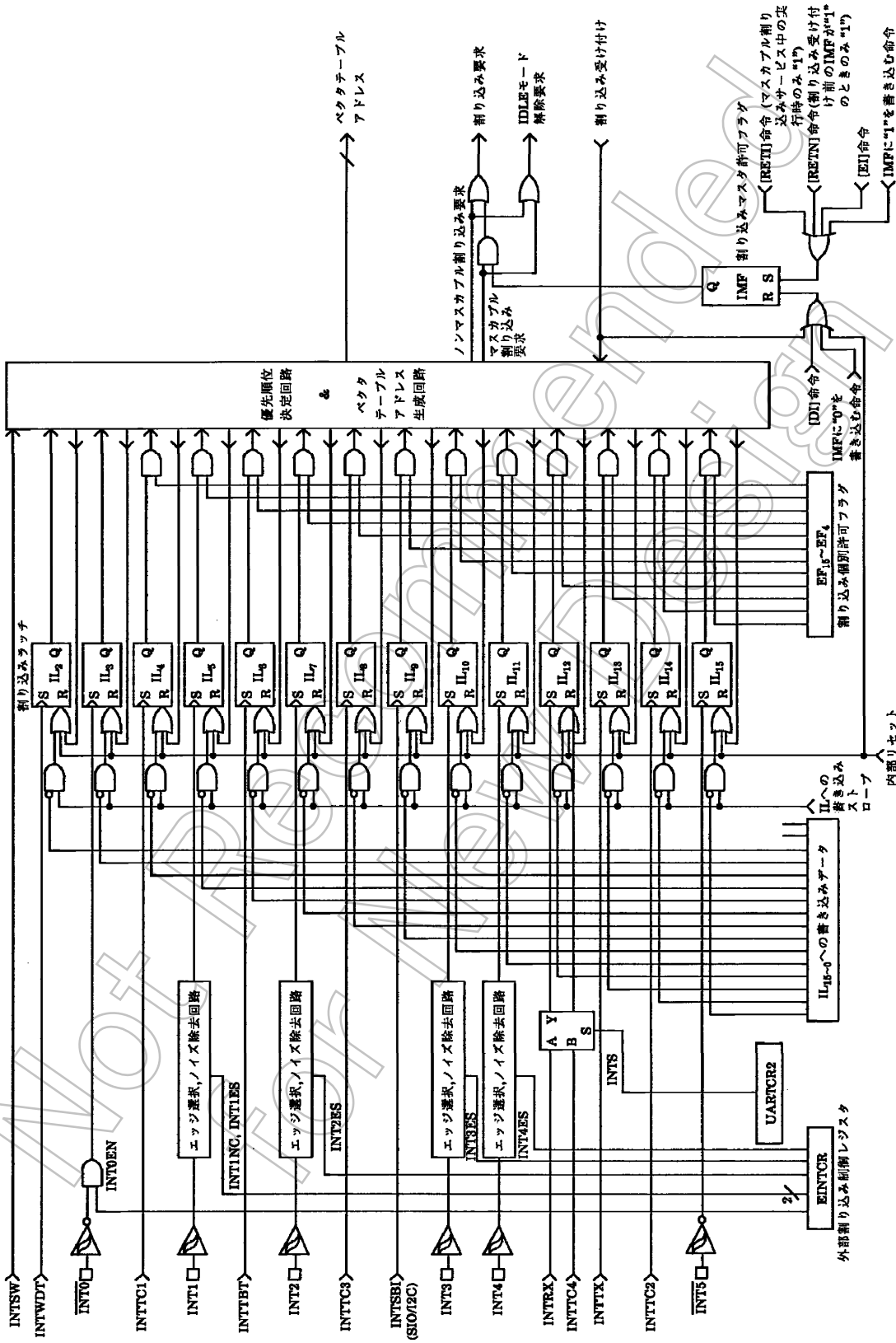


図 1-22. 割り込み制御回路

## (2) 割り込み許可レジスタ (EIR)

擬似ノンマスクابل割り込み(ソフトウェア割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスクابل割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の003A<sub>H</sub>、003B<sub>H</sub>番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

## ① 割り込みマスタ許可フラグ (IMF)

すべてのマスクابل割り込みに対して、受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、その後、マスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令[RETI]により“1”にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI]命令の実行直後から割り込み処理に入ります。

擬似ノンマスクابل割り込みの場合は、ノンマスクابل割り込みリターン命令[RETN]によりリターンします。この場合、割り込み受け付けの許可状態(IMF=1)で擬似ノンマスクابل割り込み処理に入ったときのみ、割り込みマスタ許可フラグは“1”にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR<sub>L</sub>(SFR内の003A<sub>H</sub>番地)のビット0に割り付けられており、命令で読み出し/書き込みができます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

② 割り込み個別許可フラグ (EF<sub>15</sub>~EF<sub>4</sub>)

外部割り込み0を除く各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

例1: 割り込みの個別許可とIMFのセット

LDW (EIR), 1110100010100001B ; EF<sub>15</sub>~EF<sub>13</sub>, EF<sub>11</sub>, EF<sub>7</sub>, EF<sub>5</sub>, IMF←1

例2: 割り込みの個別許可フラグのセット

SET (EIRH).4 ; EF<sub>12</sub>←1

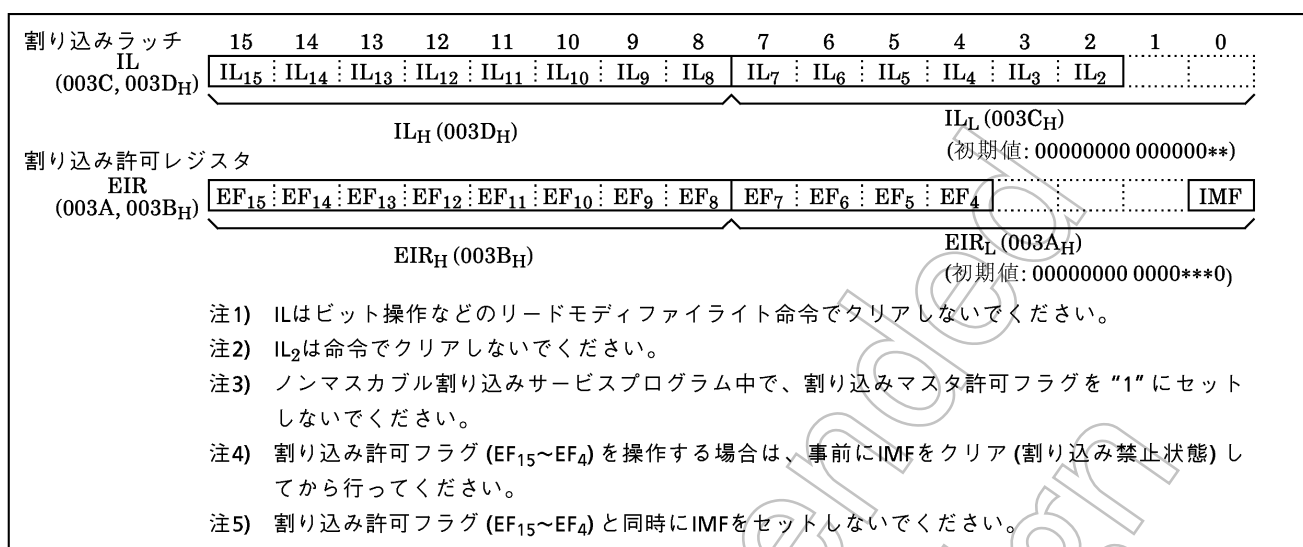


図1-23. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

## 1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了した後、8マシンサイクル (4  $\mu$ s @ 8 MHz) を要して実行されます。割り込みサービススタックは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETNI] (擬似ノンマスカブル割り込みの場合) を実行して終了します。図1-24に割り込み受け付け処理タイミングを示します。

## (1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

- ① 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、その後のマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、その後のノンマスカブル割り込みの受け付けも一時的に禁止します。
- ② 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
- ③ プログラムカウンタ (PC) およびプログラムステータスワード (PSW) の内容をスタックに退避します (PSW, PC<sub>H</sub>, PC<sub>L</sub>の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
- ④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
- ⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。



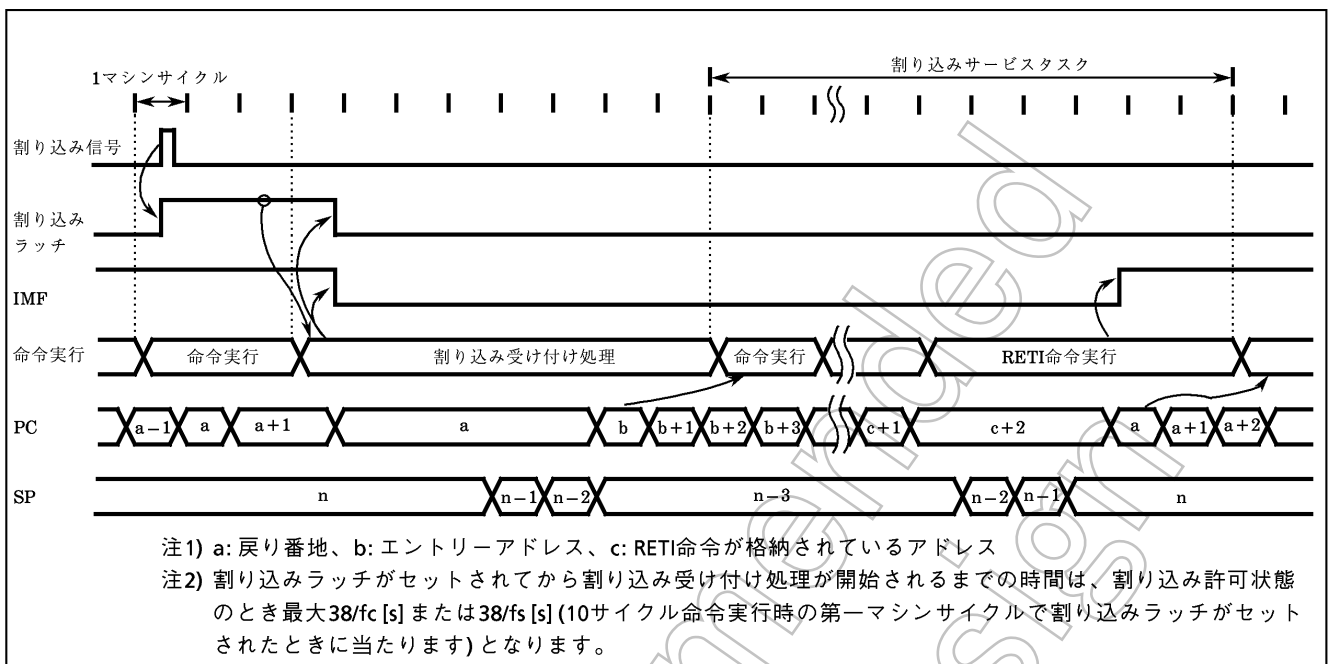
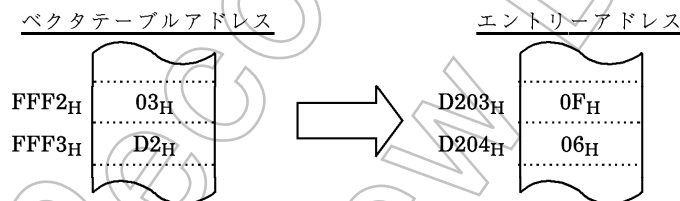


図1-24. 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTB<sub>T</sub>の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスクブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INTOEN) により外部割り込み機能を禁止する (INTOEN=“0”の期間、割り込みラッチIL3はセットされませんので、INT0端子入力立ち下がりエッジは検出できません) か、または、プログラムでソフトウェア的に割り込み処理を禁止します。

例1: 外部割り込み制御レジスタによる外部割り込み0の禁止

```
CLR (EINTCR).INT0EN ; INT0EN←0
```

例2: ソフトウェアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを00F0<sub>H</sub>番地のビット0とします)。

```
PINT0: TEST (00F0H).0 ; (00F0H)0=1なら割り込み処理行わずにリターン。
```

```
JRS T, SINT0
RETI
SINT0: 割り込み処理
RETI
VINT0: DW PINT0
```

## (2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の3つの方法があります。

### ① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令[RETI]/[RETN]の実行で自動的に復帰します。従って、RBSをプログラムで退避する必要はありません。

例: レジスタバンク切り替え

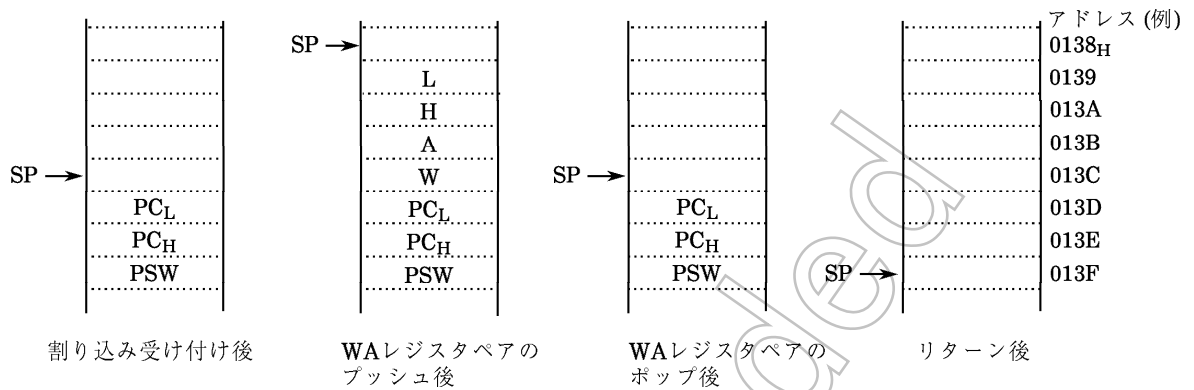
```
PINTxx: LD RBS, n ; バンクnに切り替え (1 μs @ 8 MHz)。
RETI ; バンクの復帰とリターン。
```

### ② プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx: PUSH WA ; WAレジスタペアをスタックに退避。
PUSH HL ; HLレジスタペアをスタックに退避。
RETI
POP HL ; HLレジスタペアをスタックから復帰。
POP WA ; WAレジスタペアをスタックから復帰。
RETI ; リターン
```



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx: LD (GSAVA), A ; Aレジスタの退避。
        割り込み処理
        LD A, (GSAVA) ; Aレジスタの復帰。
        RETI ; リターン
    
```

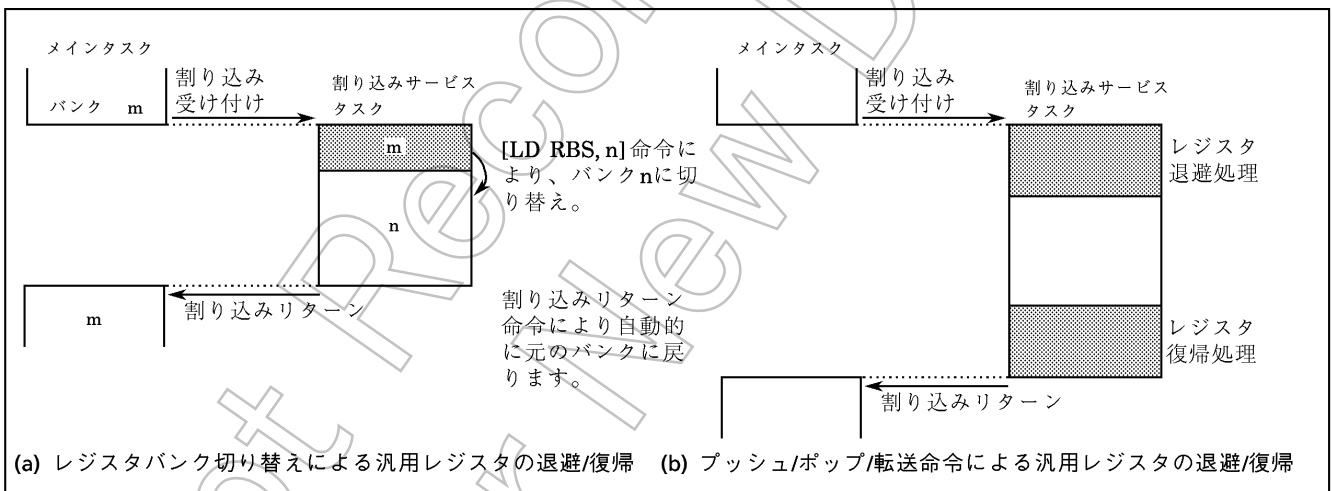


図1-25. 割り込み処理における汎用レジスタの退避/復帰処理

## (3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込みマスタ許可フラグを“1”にセットします。	① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ、割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

## 1.9.2 ソフトウェア割り込み (INTSW)

SWI命令を実行することにより、ソフトウェア割り込みが発生し直ちに割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウェア割り込みは発生せず、NOP命令と同様の動作を行います。

注) 開発ツールでは、SWI命令をソフトウェアブレークに使用できるように、ノンマスカブル割り込み処理中でも必ずソフトウェア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

## ① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、 $FF_H$ が読み込まれます。コード $FF_H$ は、SWI命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて $FF_H$ で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、特定のRAM領域(TMP87CH48は $0040\sim 023F_H$ 番地、TMP87CM48は $0040\sim 043F_H$ 番地)およびSFR領域( $0000\sim 003F_H$ 番地)に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) TMP87CH48およびTMP87PH48の $BF80\sim BFFF_H$ 番地、TMP87CM48およびTMP87PM48の $7F80\sim 7FFF_H$ 番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合は $FF_H$ となりません。

## ② デバッグ

SWI命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

## 1.9.3 外部割り込み

TMP87CH48/CM48には、6本の外部割り込み入力があり、うち4本はデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1~INT4端子は、エッジ選択可能です。なおINT0/P10端子は、外部割り込み入力端子として使用するか、入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および INT0/P10端子の機能選択は、外部割り込み制御レジスタで行います。

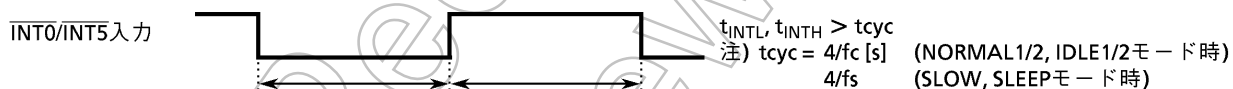
表1-3. 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	INT0	P10	IMF=1, INTOEN=1	立ち下がりエッジ	なし(ヒステリシス入力)
INT1	INT1	P11	IMF·EF <sub>5</sub> =1	立ち下がりエッジ または 立ち上がりエッジ	15/fcまたは63/fc [s]未満のパルスはノイズとして除去されます。 48/fcまたは192/fc [s]以上は確実に信号とみなされます。
INT2	INT2	P12/TC1	IMF·EF <sub>7</sub> =1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s]未満のパルスはノイズとして除去されます。 24/fc [s]以上は確実に信号とみなされます。
INT3	INT3	P50/TC3	IMF·EF <sub>10</sub> =1		
INT4	INT4	P51/TC4	IMF·EF <sub>11</sub> =1		
INT5	INT5	P20/STOP	IMF·EF <sub>15</sub> =1	立ち下がりエッジ	なし(ヒステリシス入力)

注1) SLOW/SLEEPモード時、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。

注2) ノイズ除去回路は、タイマカウンタ入力(TC1, TC3, TC4端子)のエッジ検出に対しても働きます。

注3) INT0およびINT5端子への入力パルス幅は、“H”、“L”レベルとも1マシンサイクル以上必要です。



注4) NORMAL 1/2またはIDLE 1/2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

- ① INT1端子 49/fc [s] (INT1NC = "1"のとき), 193/fc [s] (INT1NC = 0のとき)
- ② INT2~4端子 25/fc [s]

注5) INTOEN = 0のとき、INT0端子入力の立ち下がりエッジが検出されても割り込みラッチIL<sub>3</sub>はセットされません。

注6) STOPモードでポート出力をハイインピーダンスに指定(OUTEN = 0)したとき、ポート入力は内部で強制的に“L”レベルに固定されるため、ポートと兼用の外部割り込み入力(P20 (STOP/INT5)を除く)の割り込みラッチがセットされることがあります。STOPモードでポート出力をハイインピーダンス指定にする場合割り込み受け付けを一時禁止(IMF = 0)にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

例: STOPモードの起動

```
LD (SYSCR1), 01000000B ; OUTEN ← 0 (ハイインピーダンス指定)
DI ; IMF ← 0
SET (SYSCR1), STOP ; STOP ← 1 (STOPモード起動)
LDW (IL), 1110011101010111B ; IL12, IL11, IL7, IL5, IL3 ← 0 (割り込みラッチのクリア)
EI ; IMF ← 1
```

EINTCR (0037H)		7	6	5	4	3	2	1	0	
INT1NC	INT0EN				INT4ES	INT3ES	INT2ES	INT1ES		(初期値: 00*0 000*)
INT1NC	INT1のノイズ除去時間の選択								0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc [s] 未満のパルスはノイズとして除去	R/W
INT0EN	P10/ $\overline{\text{INT0}}$ の機能選択								0: P10 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P10ポートは入力モードにしてください)	
INT4ES INT3ES INT2ES INT1ES	INT4~INT1のエッジ選択								0: 立ち上がりエッジで割り込み発生 1: 立ち下がりエッジで割り込み発生	

注1) fc: 高周波クロック [Hz]、\*: Don't care

注2) エッジ選択を変更しているとき、エッジの検出は正しく行われません。

注3) 外部割り込み制御レジスタ (EINTCR) の設定/書き替えは、まず割り込みを禁止状態 (IMF = "0") にしてから外部割り込み制御レジスタを設定/書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。

例: INT2のエッジ選択を立ち下がりエッジに切り替え

```
DI ; IMF ← "0"
LD (EINTCR), 10000110B ; INT2ES ← "1"
LD (ILL), 01111111B ; IL7 ← "0"
EI ; IMF ← "1"
```

注4) NORMAL1/2モード時、INT2ES, INT3ESおよびINT4ESを、外部割り込み入力信号のエッジを切り替える目的で書き替えた場合には、書き替えてから8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3, INT4) をクリアしてください。なお、SLOWモード時には、3命令サイクル必要です。

注5) NORMAL1/2モード時、INT2ES, INT3ESおよびINT4ESを、タイマカウンタの外部クロック/パルス信号などのエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態)、書き替え後8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3, INT4) をクリアしてから割り込み許可状態にし、各タイマカウンタを再スタートさせてください。なお、SLOWモード時には、3命令サイクル必要です。

例: TC1で外部トリガモードでのカウントスタートのエッジを、立ち下がりエッジに切り替える場合

```
LD (TC1CR), 01001000B ; TC1S ← "00" (Stop TC1)
DI ; IMF ← "0" (Disables interrupt service)
LD (EINTCR), 00000100B ; INT2ES ← "1" (Change edge selection)
NOP
8-machine cycles
NOP
LD (ILL), 01111111B ; IL7 ← "0" (Clears interrupt latch)
EI ; IMF ← "1" (Enables interrupt service)
LD (TC1CR), 01111000B ; TC1S ← "11" (Starts TC1)
```

注6) NORMAL1/2モード時にINT1ESを書き替えたときは、切り替えてから14命令サイクル (INT1NC = "1" のとき) または50命令サイクル (INT1NC = "1" のとき) おいてから、INT1の割り込みラッチをクリアしてください。なお、SLOWモード時には、3命令サイクル必要です。

図1-26. 外部割り込み制御レジスタ

## 1.10 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、リセット出力または擬似ノンマスクブル割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット出力に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

### 1.10.1 ウォッチドッグタイマの構成

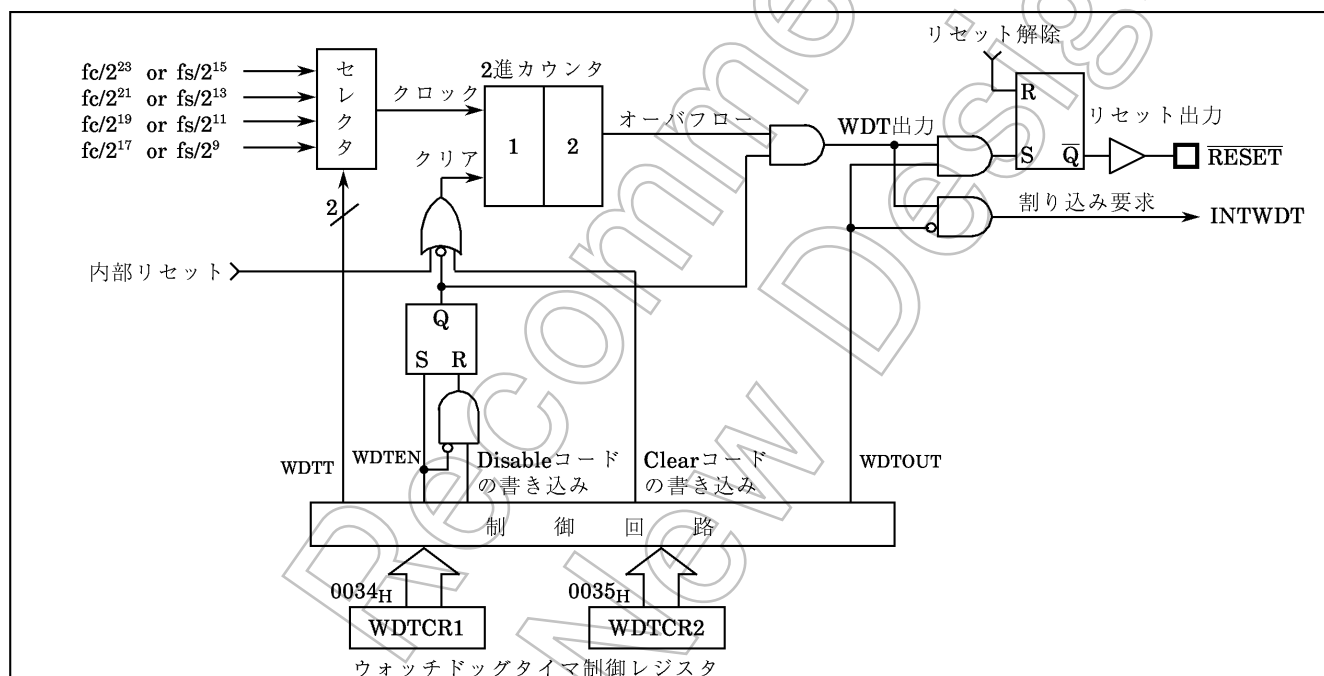


図1-27. ウォッチドッグタイマの構成

### 1.10.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図1-28に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

#### (1) ウォッチドッグタイマによる暴走検出の方法

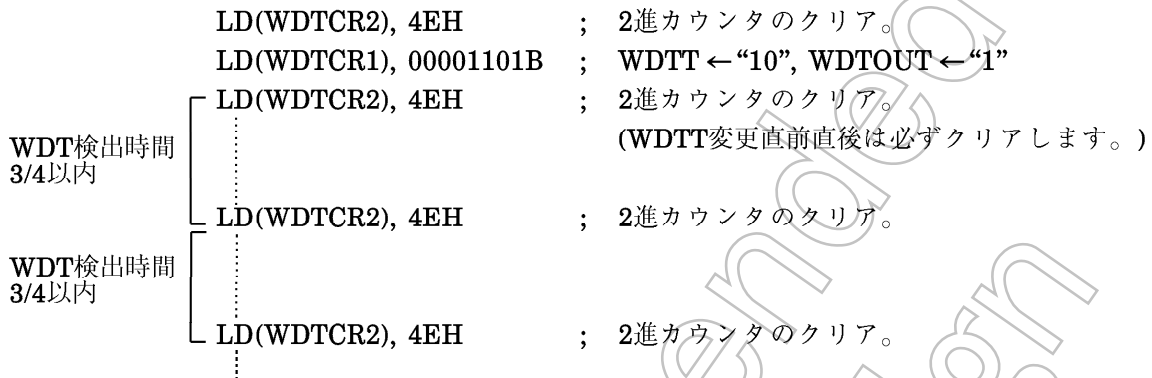
CPUの暴走検出を行うには、次のようにします。

- ① 検出時間の設定, 出力の選択および2進カウンタのクリア
- ② 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバーフローでウォッチドッグタイマ出力がアクティブになります。このときWDTOUT = "1"ならRESET端子からリセット出力するとともに内蔵ハードウェアをリセットします。また、WDTOUT = "0"なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード(ウォームアップ中を含む)またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLEモード解除後、自動的に再起動(カウントアップ継続)します。

例: ウォッチドッグタイマ検出時間を $2^{21}/fc$  [s] に設定し、暴走検出リセットを行う。



ウォッチドッグ タイマ制御レジスタ1																		
WDTCR1 (0034 <sub>H</sub> )	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="3"></td> <td>WDT EN</td> <td>WDTT</td> <td colspan="3">WDT OUT</td> <td>(初期値: **** 1001)</td> </tr> </table>	7	6	5	4	3	2	1	0				WDT EN	WDTT	WDT OUT			(初期値: **** 1001)
7	6	5	4	3	2	1	0											
			WDT EN	WDTT	WDT OUT			(初期値: **** 1001)										
WDTCR1	<table border="1"> <tr> <td>WDTCR1</td> <td>ウォッチドッグタイマの許可/禁止</td> <td>0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許可</td> <td rowspan="3">Write only</td> </tr> <tr> <td>WDTCR1</td> <td>ウォッチドッグタイマ検出時間の設定</td> <td>00: <math>2^{25}/fc</math> または <math>2^7/fs</math> [s] 01: <math>2^{23}/fc</math> または <math>2^{15}/fs</math> [s] 10: <math>2^{21}/fc</math> または <math>2^{13}/fs</math> [s] 11: <math>2^{19}/fc</math> または <math>2^{11}/fs</math> [s]</td> </tr> <tr> <td>WDTCR1</td> <td>ウォッチドッグタイマ出力の選択</td> <td>0: 割り込み要求 1: リセット出力</td> </tr> </table>	WDTCR1	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許可	Write only	WDTCR1	ウォッチドッグタイマ検出時間の設定	00: $2^{25}/fc$ または $2^7/fs$ [s] 01: $2^{23}/fc$ または $2^{15}/fs$ [s] 10: $2^{21}/fc$ または $2^{13}/fs$ [s] 11: $2^{19}/fc$ または $2^{11}/fs$ [s]	WDTCR1	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット出力							
WDTCR1	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許可	Write only															
WDTCR1	ウォッチドッグタイマ検出時間の設定	00: $2^{25}/fc$ または $2^7/fs$ [s] 01: $2^{23}/fc$ または $2^{15}/fs$ [s] 10: $2^{21}/fc$ または $2^{13}/fs$ [s] 11: $2^{19}/fc$ または $2^{11}/fs$ [s]																
WDTCR1	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット出力																
<p>注1) WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。</p> <p>注2) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care</p> <p>注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。</p> <p>注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。</p> <p>また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。</p>																		
ウォッチドッグ タイマ制御レジスタ2																		
WDTCR2 (0035 <sub>H</sub> )	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="8"></td> <td>(初期値: **** ***)</td> </tr> </table>	7	6	5	4	3	2	1	0									(初期値: **** ***)
7	6	5	4	3	2	1	0											
								(初期値: **** ***)										
WDTCR2	<table border="1"> <tr> <td>WDTCR2</td> <td>ウォッチドッグタイマの制御コード書き込み</td> <td>4E<sub>H</sub>: ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1<sub>H</sub>: ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効</td> <td>Write only</td> </tr> </table>	WDTCR2	ウォッチドッグタイマの制御コード書き込み	4E <sub>H</sub> : ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1 <sub>H</sub> : ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効	Write only													
WDTCR2	ウォッチドッグタイマの制御コード書き込み	4E <sub>H</sub> : ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1 <sub>H</sub> : ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効	Write only															
<p>注1) ディセーブルコードは、WDTCR2 = “0” のとき以外は書き込み無効です。</p> <p>注2) *: Don't care</p> <p>注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。</p> <p>注4) 2進カウンタのクリアはソースクロックに対して非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。</p>																		

図1-28. ウォッチドッグ タイマ制御レジスタ



## (2) ウォッチドッグタイマのイネーブル

WDTEN (WDTCR1のビット3)を“1”にセットするとイネーブルになります。リセット時、WDTENは“1”に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

## (3) ウォッチドッグタイマのディセーブル

WDTEN (WDTCR1のビット3)を“0”にクリア後、WDTCR2にディセーブルコード (B1H)を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを“0”にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

例:ウォッチドッグタイマのディセーブル

LDW (WDTCR1), 0B101H ; WDTEN←0, WDTCR2←Disable code

表1-4. ウォッチドッグタイマ検出時間

動作モード [s]			検出時間	
NORMAL1	NORMAL2	SLOW	fc=8 MHz	fs=32.768 kHz時
$2^{25}/fc$	$2^{25}/fc, 2^{17}/fs$	$2^{17}/fs$	4.194 [s]	4 [s]
$2^{23}/fc$	$2^{23}/fc, 2^{15}/fs$	$2^{15}/fs$	1.048 [s]	1 [s]
$2^{21}/fc$	$2^{21}/fc, 2^{13}/fs$	—	262.1 [ms]	250 [ms]
$2^{19}/fc$	$2^{19}/fc, 2^{11}/fs$	—	65.5 [ms]	62.5 [ms]

## 1.10.3 ウォッチドッグタイマ割り込み (INTWDT)

擬似ノンマスクブル割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了)するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例:ウォッチドッグタイマ割り込みの設定例

LD SP, 013FH ; SPの設定。  
LD (WDTCR1), 00001000B ; WDTOUT←0

## 1.10.4 ウォッチドッグタイマリセット

RESET端子より“L”レベルを出力するとともに内蔵ハードウェアをリセットします。リセット時間は、 $12/fc \sim 16/fc$  [s] ( $1.5 \mu s \sim 2.0 \mu s/fc = 8 \text{ MHz}$ 時)です (なお、開発ツールの場合のリセット時間は、 $2^{20}/fc$  [s] ( $131 \text{ ms @ } fc = 8 \text{ MHz}$ )です)。RESET端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOWモードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間は $12/fc \sim 16/fc$ となります (開発ツールの場合のリセット時間は $2^{20}/fc$ となります)。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むこととなりますので、概略値としてとらえてください。

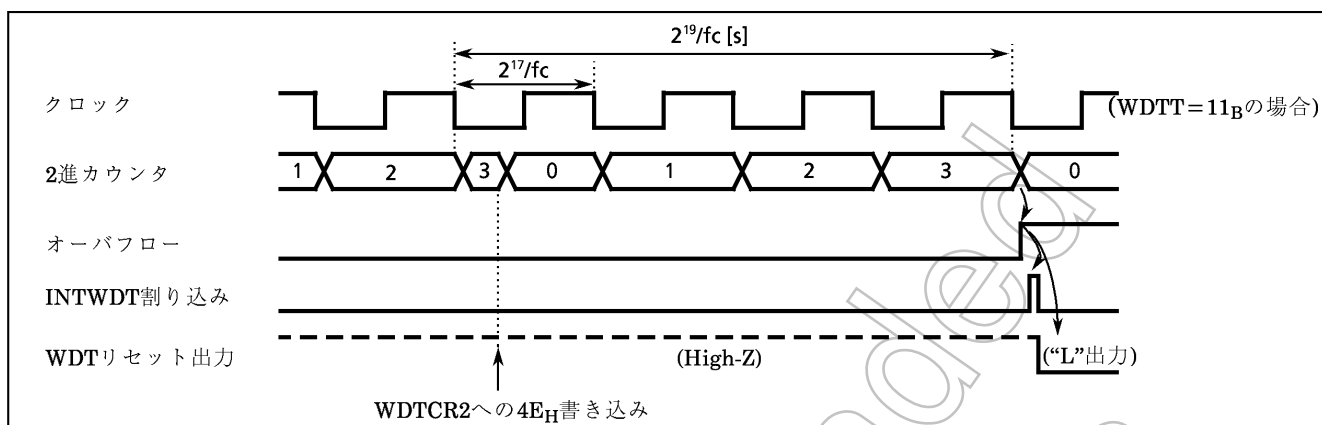


図1-29. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

TMP87CH48/CM48には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。表1-5にリセット動作による内蔵ハードウェアの初期化を示します。

電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット)は初期化されません。従って、電源投入時にRESET端子出力が $16/f_c$  [s] ( $3\ \mu\text{s}$  at 8 MHz)の期間“L”レベルになることがあります(なお開発ツールの場合は、電源投入時にRESET端子出力が $220/f_c$  [s] ( $131\ \text{ms}$  @ 8 MHz) “L”レベルになることがあります)。

表1-5. リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFF <sub>H</sub> )・(FFFE <sub>H</sub> )	タイミングジェネレータのデバイダ	0
レジスタバンクセクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

1.11.1 外部リセット入力

電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシンサイクル ( $12/f_c$  [s]) 以上の間RESET端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET端子入力が“H”レベルに立ち上がるとリセット動作は解除され、FFFE, FFFF<sub>H</sub>番地に格納されたベクタアドレスからプログラムの実行を開始します。

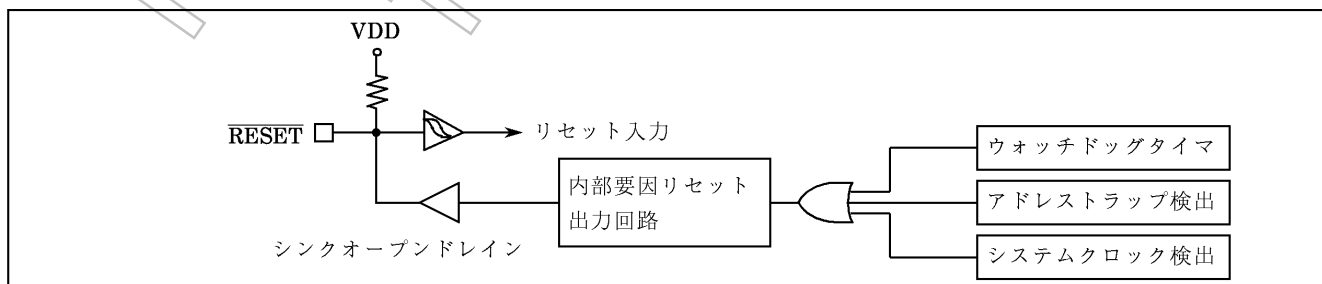


図1-30. リセット回路

## 1.11.2 アドレストラップリセット

CPUが何らかの原因(ノイズなど)により暴走していることを検出し、正常な状態に戻すことを目的としたフェイルセーフ機能の1つに、アドレストラップリセットがあります。アドレストラップリセットとは、SFRおよび特定のRAM領域(TMP87CH48なら0000~023F<sub>H</sub>番地、TMP87CM48なら0000~043F<sub>H</sub>番地)のメモリから命令をフェッチしようとする内部リセットを発生し、RESET端子よりリセット信号("L"レベル)が出力される機能です。リセット出力時間は、 $12/fc \sim 16/fc$  [s] (1.5~2.0  $\mu$ s/8 MHz時)です(なお、開発ツールの場合は、 $2^{20}/fc$  [s] (131 ms @ 8 MHz)です)。

注) アドレストラップ領域の1つ前のアドレスにあるSWI命令、または未定義命令を実行した場合、SWI/未定義命令の割り込み受け付け終了後、直ちにアドレストラップ割り込み受け付け処理を行います。

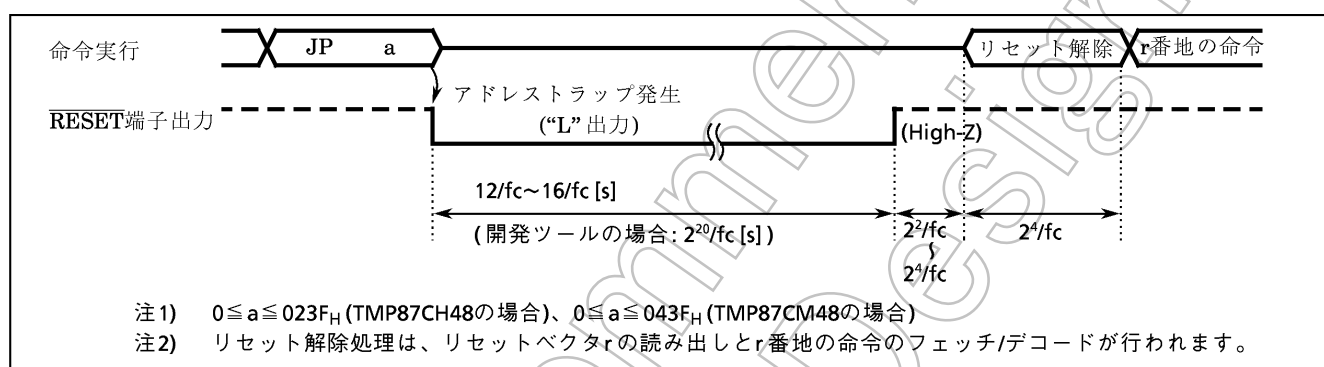


図1-31. アドレストラップリセット

## 1.11.3 ウォッチドッグタイマリセット

『1.10ウォッチドッグタイマ』を参照してください。

## 1.11.4 システムクロックリセット

XEN, XTEN (SYSCR2のビット7, 6)をとともに"0"にクリアすると高周波、低周波発振が停止し、MCUがデッドロック状態に陥ります。これを防ぐため、XEN=XTEN="0"を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、RESET端子より出力されます。リセット時間は、 $12/fc \sim 16/fc$  [s] (1.5~2.0  $\mu$ s/8 MHz時)です(なお開発ツールの場合は、 $2^{20}/fc$  [s] (131 ms @ 8 MHz)です)。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR) とデータバッファレジスタ (DBR)

TLCS-870シリーズは、メモリマップI/O方式で、周辺ハードウェアの制御/データ転送はすべてスペシャルファンクションレジスタ (SFR)、またはデータバッファレジスタ (DBR) を通して行われます。

SFRは0000~003F<sub>H</sub>番地に、DBRは0F80~0FFF<sub>H</sub>番地にマッピングされています。

図2-1にTMP87CH48/CM48のSFR, DBRの一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000 <sub>H</sub>		P0ポート	0020 <sub>H</sub>	—	SBICR1 (SBI制御)
01		P1ポート	21		SBIDBR (SBIデータバッファ)
02		P2ポート	22		IPCAR (IPCバスアドレス)
03		P3ポート	23		SBISR (SBIステータス)
04		P4ポート	24		SBICR2 (SBI制御)
05		P5ポート	25		ADCDR2L (AD変換値下位8ビット)
06		P6ポート	26		ADCDR2H (AD変換値上位8ビット)
07		P7ポート	27		PWMSR (PWMステータスレジスタ)
08		P8ポート	28		PWMCR (PWM制御レジスタ)
09		P8CR (P8ポート入出力制御)	29		PWMDBR (PWMデータバッファレジスタ)
0A		POCR (P0ポート入出力制御)	2E		Reserved
0B		P1CR (P1ポート入出力制御)	2A		RDBUF (UART受信データバッファ)
0C		P6CR (P6ポート入出力制御)	2B		TDBUF (UART送信データバッファ)
0D		P7CR (P7ポート入出力制御)	2C		UARTSR (UARTステータスレジスタ)
0E		ADCCR (ADコンバータ制御)	2D		UARTCR1 (UARTコントロールレジスタ1)
0F		ADCDR1 (AD変換値上位8ビット)	2E		UARTCR2 (UARTコントロールレジスタ2)
10		TREG1 <sub>L</sub> (タイマレジスタ1A)	2F		Reserved
11		TREG1 <sub>H</sub>	30		Reserved
12		TREG1 <sub>L</sub> (タイマレジスタ1B)	31		Reserved
13		TREG1 <sub>H</sub>	32		Reserved
14		TC1CR (タイマカウンタ1制御)	33		Reserved
15		TC2CR (タイマカウンタ2制御)	34		WDTCR1 (ウォッチドッグ タイマ制御)
16		TREG2 <sub>L</sub> (タイマレジスタ2)	35		WDTCR2
17		TREG2 <sub>H</sub>	36		TBTCR (TB/TG/DVO 制御)
18		TREG3A (タイマレジスタ3A)	37		EINTCR (外部割り込み制御)
19		TREG3B (タイマレジスタ3B)	38		SYSCR1 (システム制御)
1A		TC3CR (タイマカウンタ3制御)	39		SYSCR2 (システム制御)
1B		TREG4 (タイマレジスタ4)	3A		EIR <sub>L</sub> (割り込み許可レジスタ)
1C		TC4CR (タイマカウンタ4制御)	3B		EIR <sub>H</sub>
1D		Reserved	3C		IL <sub>L</sub> (割り込みラッチ)
1E		Reserved	3D		IL <sub>H</sub>
1F		Reserved	3E		Reserved
			3F		PSW (プログラムステータスワード)   RBS (レジスタバンクセクタ)

(a) スペシャルファンクションレジスタ

図2-1. SFR & DBR (1/2)

アドレス	リード	ライト
0F80H	Reserved	Reserved
Reserved	Reserved	Reserved
0FEF	Reserved	Reserved
0FF0	Reserved	Reserved
F1	Reserved	Reserved
F2	Reserved	Reserved
F3	Reserved	Reserved
F4	Reserved	Reserved
F5	Reserved	Reserved
F6	Reserved	Reserved
F7	Reserved	Reserved
0FF8	Reserved	Reserved
F9	Reserved	Reserved
FA	Reserved	Reserved
FB	Reserved	Reserved
FC	Reserved	Reserved
FD	Reserved	Reserved
FE	Reserved	Reserved
FF	Reserved	Reserved

(b) データバッファレジスタ

注1) Reservedの番地はプログラムでアクセスしないでください。

注2) -: アクセスできません。

注3) 003FH番地をシンボルで定義する場合、GPSW/GRBSとしてください。

注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

注5) PSW: プログラムステータスワード

図2-1. SFR & DBR (2/2)

## 2.2 入出力ポート

TMP87CH48/CM48は、9ポート56端子の入出力ポートを内蔵しています。

- ① P0ポート: 8ビット入出力ポート
- ② P1ポート: 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
- ③ P2ポート: 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
- ④ P3ポート: 8ビット入出力ポート
- ⑤ P4ポート: 6ビット入出力ポート (シリアルインタフェース入出力と兼用)
- ⑥ P5ポート: 3ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力と兼用)
- ⑦ P6ポート: 8ビット入出力ポート (アナログ入力と兼用)
- ⑧ P7ポート: 8ビット入出力ポート (アナログ入力と兼用)
- ⑨ P8ポート: 4ビット入出力ポート (12ビットPWM出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。

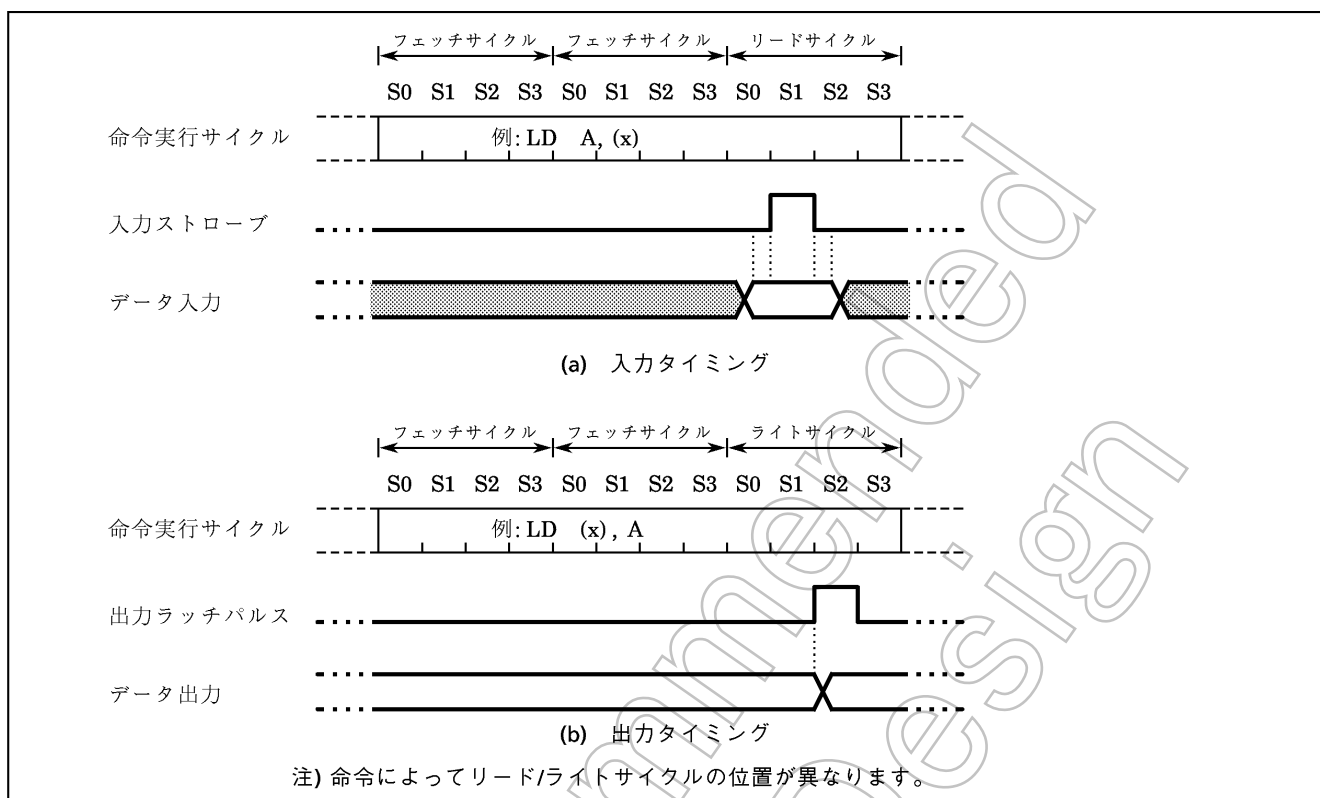


図2-2. 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

## (1) 出力ラッチの内容を読み込む命令

- ① XCH r, (src)
- ② SET/CLR/CPL (src).b
- ③ SET/CLR/CPL (pp).g
- ④ LD (src).b, CF
- ⑤ LD (pp).b, CF
- ⑥ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n
- ⑦ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src) 側

## (2) 端子入力値を読み込む命令

上記以外の命令および ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (HL) 側

2.2.1 P0 (P07~P00) ポート

P0ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P0ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CRは“0”に初期化され、P0ポートは入力モードとなります。また、P0ポート出力ラッチは“0”に初期化されます。

- 注1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注2) P0CRは書き込み専用レジスタですので、ビット操作命令などのリードモディファイライト命令ではアクセスできません。

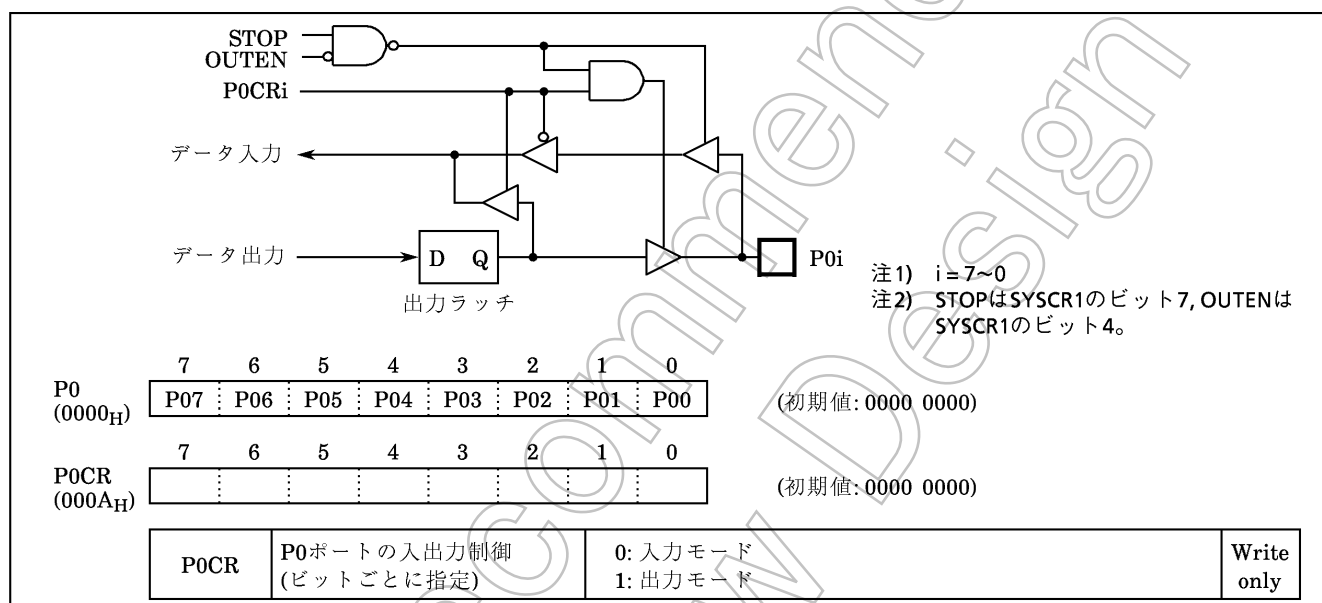


図2-3. P0ポートとP0ポート入出力制御レジスタ

例: P0ポートの上位4ビットを入力ポートに、下位4ビットを出力ポートに設定します。なお、インシヤルは1010Bを出力します。

```
LD (P0), 00001010B ; P0ポート出力ラッチの初期値設定。
LD (P0CR), 00001111B ; P0ポートの入出力モード設定。
```

2.2.2 P1 (P17~P10) ポート

P1ポートは1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時は、P1CRは“0”に初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは“0”に初期化されます。

P1ポートは外部割り込み入力、タイマカウンタ入出力、デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11, P12端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用することを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

例: P17, P16を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17ピンは“1”に、P16ピンは“0”を出力します。

```
LD (EINTCR), 01000000B ; INT0EN←1
LD (P1), 10111111B ; P17←1, P14←1, P16←0
LD (P1CR), 11010000B
```

- 注1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。  
 注2) P1CRは書き込み専用レジスタですので、ビット操作命令などのリードモディファイライト命令ではアクセスできません。

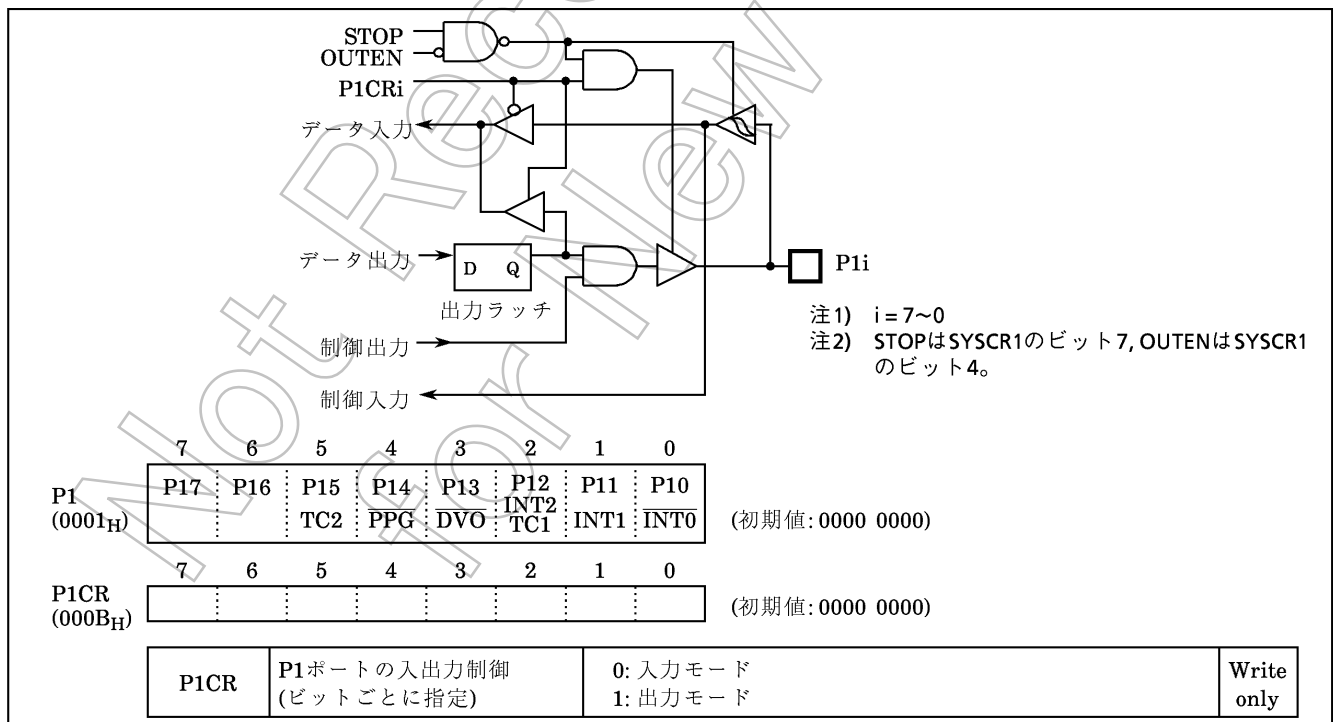


図2-4. P1ポートとP1ポート入出力制御レジスタ



### 2.2.3 P2 (P22~P20) ポート

P2ポートは3ビットの入出力ポートで、外部割り込み入力、STOPモード解除信号入力、低周波発振子接続端子と兼用になっています。機能端子または入力ポートとして使用する場合は、出力ラッチを“1”にセットします。なお、リセット時、出力ラッチは“1”に初期化されます。

デュアルクロックモードで動作させる場合、P21 (XTIN)、P22 (XTOUT) 端子には、低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22端子は、通常の入出力ポートとして使用できます。

P2ポートに対してリード命令を実行した場合、ビット7~3は不定値が読み込まれます。

注) P20端子を出力ポートとして使用する場合、以下の注意が必要です。従って、P20端子は外部割り込み入力、STOP解除信号入力、入力ポートとして使用してください。

- 1) P20端子の出力が“H”から“L”に切り替わる立ち下がりエッジでINT5の割り込みラッチがセットされます。
- 2) STOPモードを使用した場合、P20端子は、STOPモード中はSYSCR1 (#0038H) のbit 4 (OUTEN) の値によらず“High-Z”になります。

例: STOPモードを使用し、かつ外部RESETによってSTOP解除する場合において、P20端子を出力端子として使用すると次のような誤動作が起きますので注意が必要です (図2-5 (2))。

STOPモードに入る前に、P20に“L”を出力したままSTOPモードに入ると、P20端子の出力は“L”から“High-Z” (外部Pull-Upにより電圧レベルは“H”) に切り替わります。また、STOPモードに入った直後にTMP87CH48/CM48はSTOP解除動作を行います。従って外部RESETによるSTOP解除よりも前に、誤ってSTOP解除動作を行ってしまいます。この場合はSTOPモードに入る前に、必ずP20出力を“H”にし、かつSYSCR1 (#0038H) のビット6 (RELM) を“0” (エッジ解除) に設定した後にSTOPモードに入れる必要があります。

- 3) STOPモードを使用しない場合は、上記1) に注意してください。

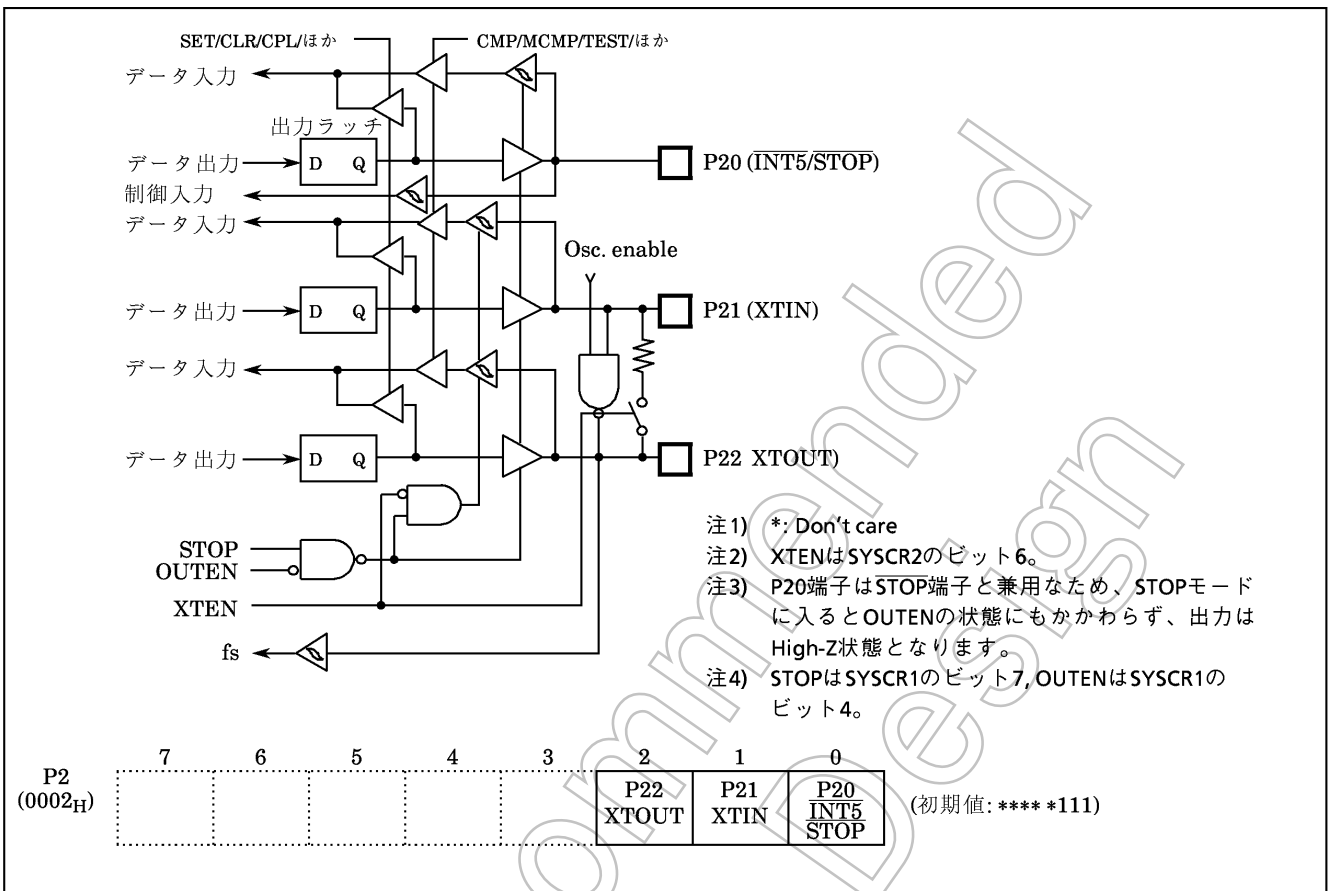


図2-5 (1). P2ポート

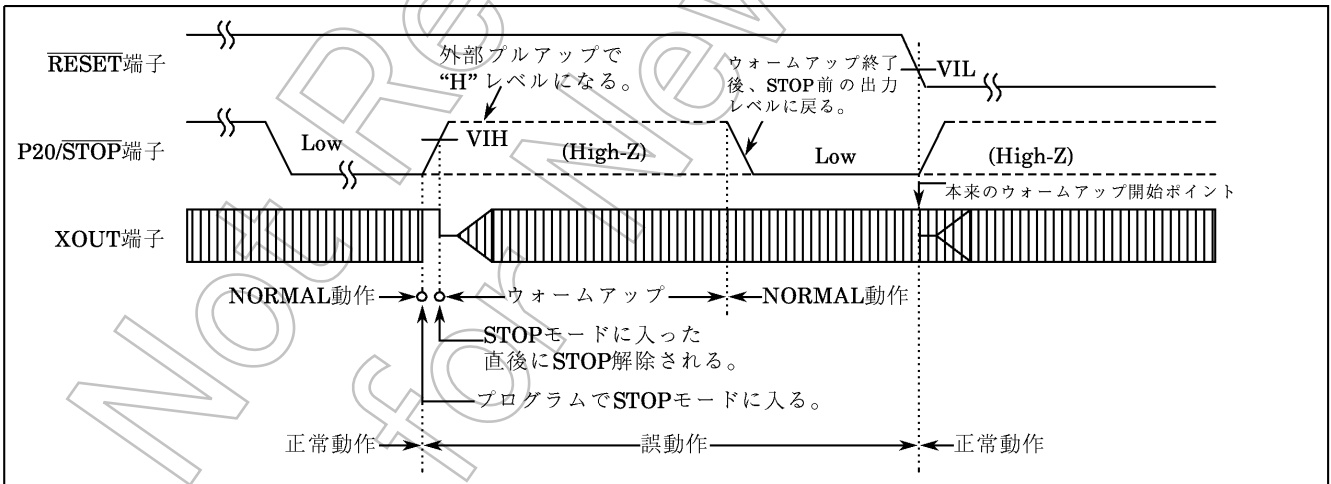


図2-5 (2). P20端子を出力として使用した場合の誤動作例

## 2.2.4 P3 (P37~P30) ポート

P3ポートは8ビットの汎用入出力ポートです。大電流出力可能でLEDを直接駆動することができます。入力ポートとして使用する場合は、出力ラッチを“1”にセットします。なおリセット時、出力ラッチは“1”に初期化されます。

例1: P3ポートに即値“5AH”を出力。

```
LD (P3), 5AH ; P3←5AH
```

例2: P3ポートの上位4ビット (P37~P34) の出力を反転する。

```
XOR (P3), 11110000B ; P37~P34← $\overline{P37\sim P34}$ 
```

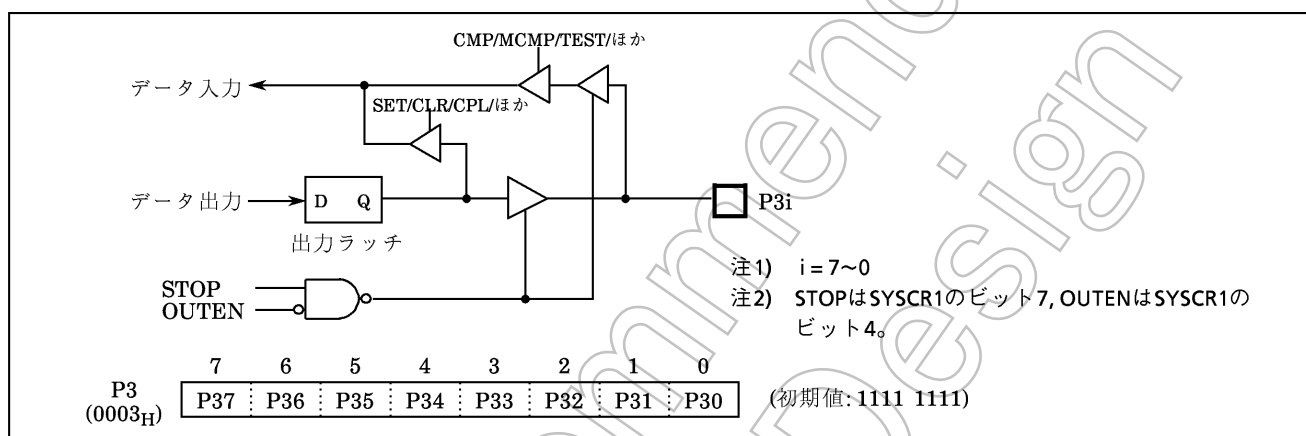


図2-6. P3ポート

## 2.2.5 P4 (P45~P40) ポート

P4ポートは6ビットの入出力ポートでSIO/SBI, UARTのシリアルインタフェース入出力と兼用です。入力ポートまたはシリアルインタフェース入出力として使用する場合は、出力ラッチを“1”にセットします。なお、出力ラッチはリセット時“1”に初期化されます。P4ポートに対してリード命令を実行した場合、ビット7~6は“1”が読み込まれます。

2.2.6 P5 (P52~P50) ポート

P5ポートは3ビットの入出力ポートで外部割り込み入力、タイマカウンタ入出力と兼用です。入力ポートまたは機能ピンとして使用する場合は、出力ラッチを“1”にセットします。なお、出力ラッチはリセット時“1”に初期化されます。

P5ポートに対してリード命令を実行した場合、ビット7~3は“1”が読み込まれます。

例: P53端子のクリア(“L”出力)

```
CLR (P5).3 ; P53←0
```

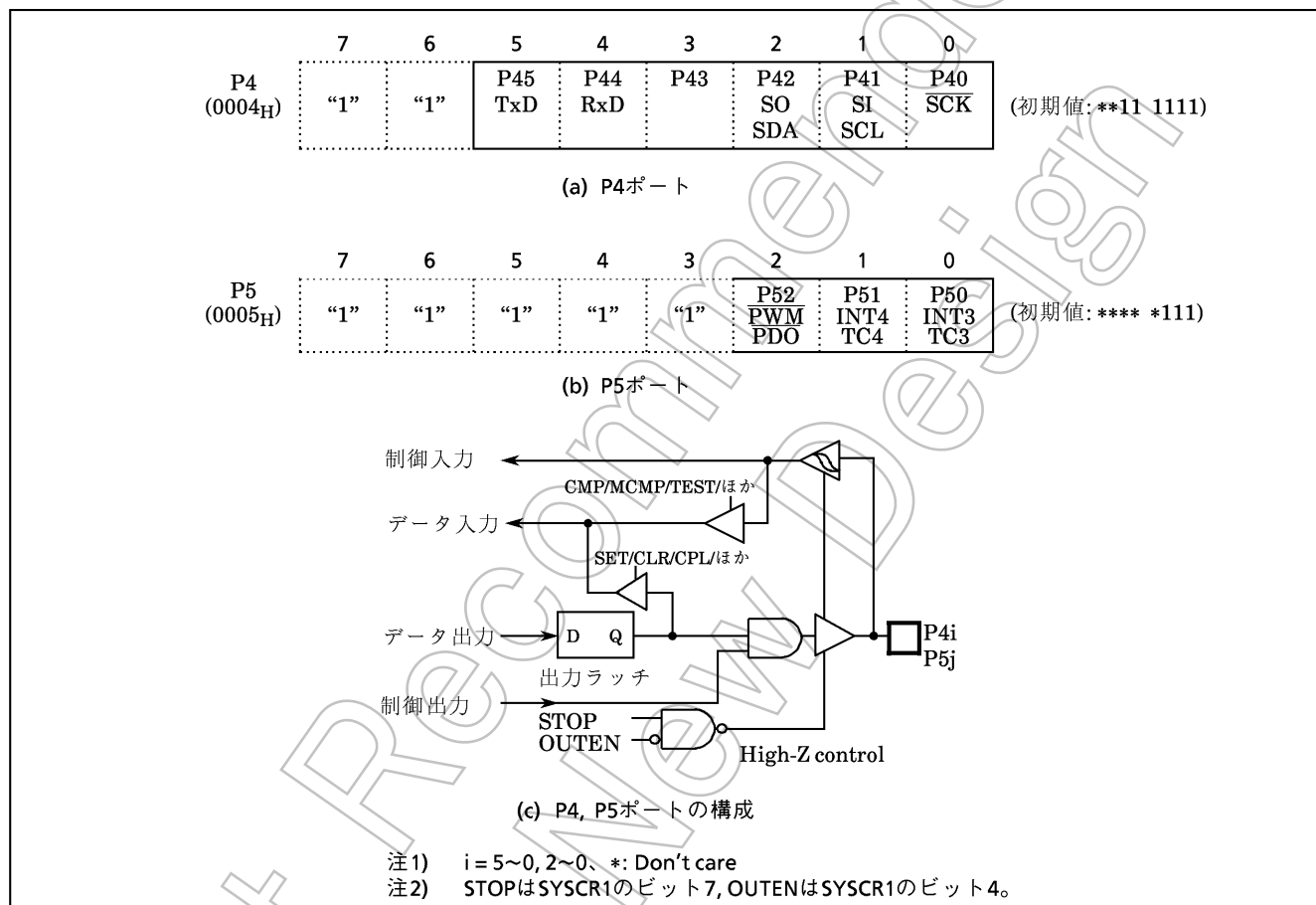


図2-7. P4, P5ポート

2.2.7 P6 (P67~P60) ポート

P6ポートは1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、アナログ入力(AIN7~AIN0)と兼用です。入出力の指定は、P6ポート入出力制御レジスタ(P6CR)とAINDS(ADCCRのビット4)によって行います。リセット時P6CRは“0”に初期化され、AINDSおよびSAIN(ADCCRのビット3~0)は“0”にクリアされますので、P6ポートのP60端子はアナログ入力となります。また、P6ポートの出力ラッチはリセット時、“0”に初期化されます。なお、P6CRは書き込み専用レジスタです。アナログ入力として使用しないビットは、入出力ポートとして使用できますが、AD変換中は、精度を保つ意味で出力命令は行わないようにしてください。ADコンバータを使用しているときに、P6ポートに対して入力命令を実行すると、アナログ入力を選択している端子(ビット)は“1”が読み込まれます。アナログ入力を選択していない端子でP6CRi=0(入力)のビットは端子の入力レベルにより、“1”または“0”が読み込まれます。P6CRi=1(出力)のビットは、出力ラッチの値が読み込まれます。

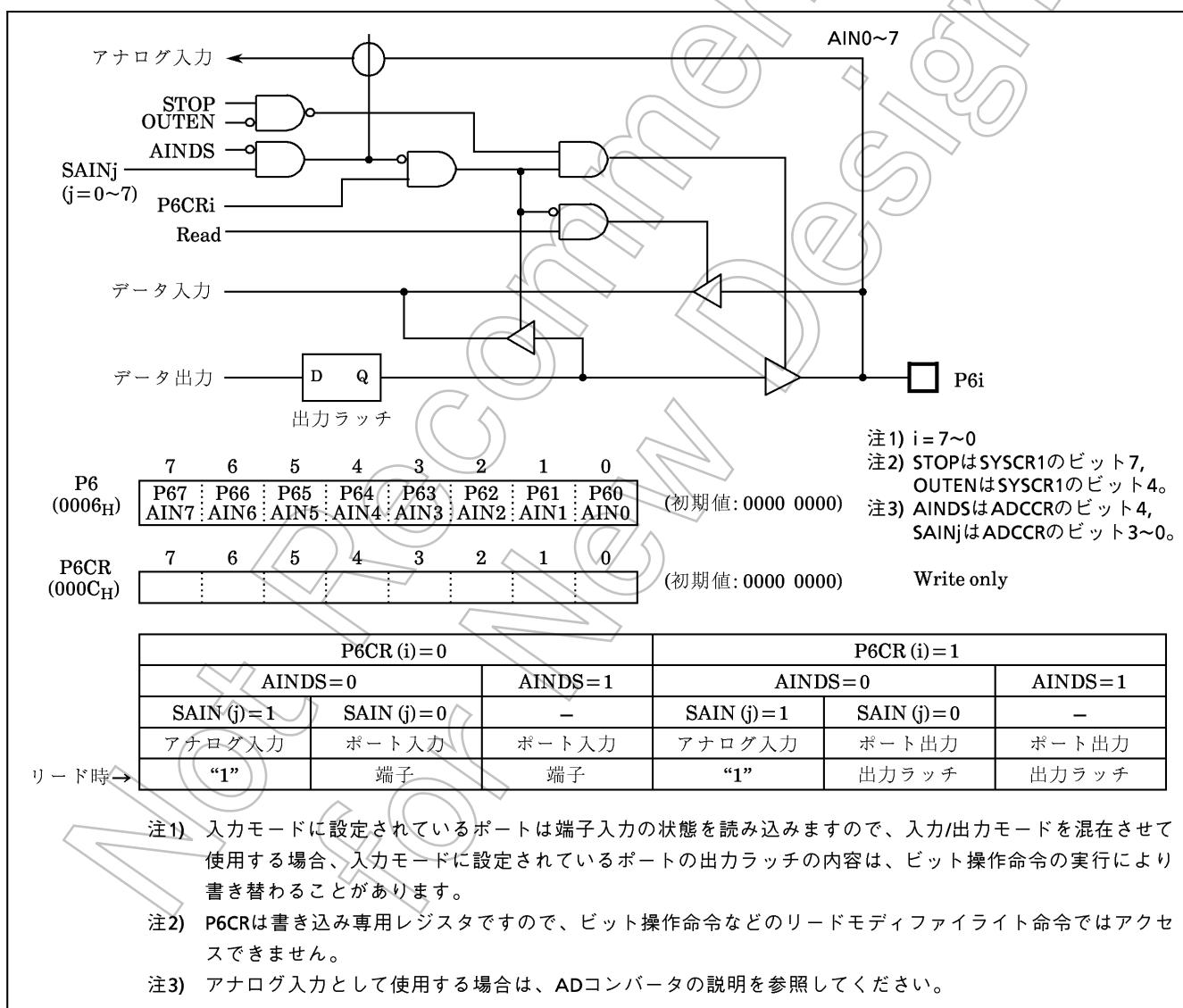


図2-8. P6ポートとP6ポート入出力制御レジスタ

2.2.8 P7 (P77~P70) ポート

P7ポートは1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、アナログ入力(AIN17~AIN10)と兼用です。入出力の指定は、P7ポート入出力制御レジスタ(P7CR)とAINDS(ADCCRのビット4)によって行います。リセット時P7CRは“0”に初期化され、AINDSおよびSAIN(ADCCRのビット3~0)は“0”にクリアされますので、リセット後にSAIN(ADCCRのビット3~0)を1000~1111のいずれかの値に設定することで、P7ポートはアナログ入力となります。またP7ポートの出力ラッチはリセット時、“0”に初期化されます。なおP7CRは書き込み専用レジスタです。アナログ入力として使用しないビットは、入出力ポートとして使用できませんが、AD変換中は、精度を保つ意味で出力命令は行わないようにしてください。ADコンバータを使用しているときに、P7ポートに対して入力命令を実行すると、アナログ入力を選択している端子(ビット)は“1”が読み込まれます。アナログ入力を選択していない端子で、P7CRi=0(入力)のビットは端子のレベルにより、“1”または“0”が読み込まれます。P7CRi=1(出力)のビットは、出力ラッチの値が読み込まれます。

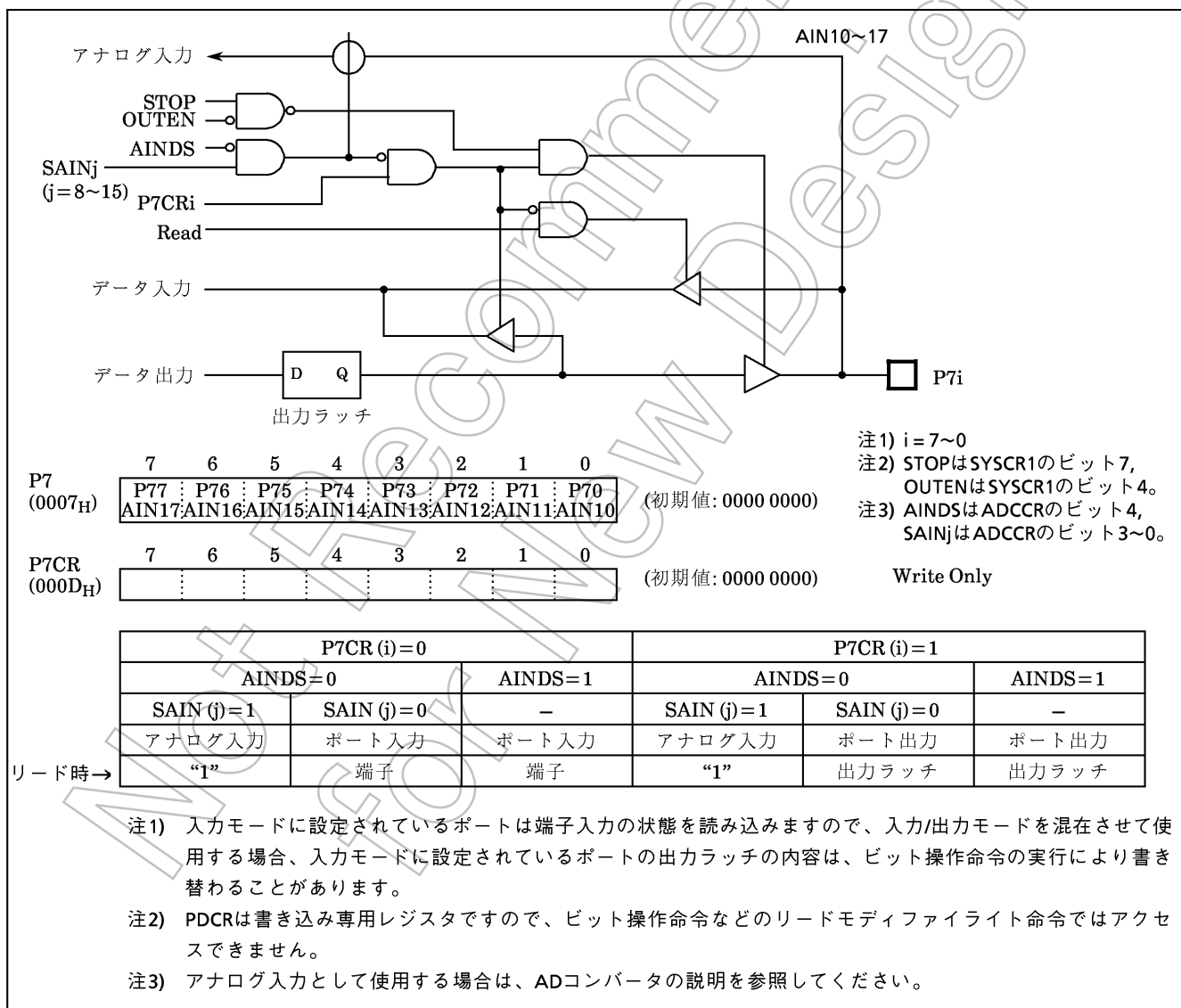


図2-9 (a). P7ポートとP7ポート入出力制御レジスタ

2.2.9 P8 (P83~P80) ポート

P8ポートは1ビット単位で入出力の指定ができる4ビットの汎用入出力ポートで、入出力の指定は、P8ポート入出力制御レジスタ (P8CR) によって行います。リセット時、P8CRは“0”に初期化され、P8ポートは入力モードとなります。また、P8ポート出力ラッチは“0”に初期化されます。なお、P8CRは書き込み専用レジスタです。

P8ポートに対してリード命令を実行した場合、ビット7~4は“1”が読み込まれます。

P8ポートは12ビットPWM出力と兼用になっています。12ビットPWM出力端子として使用する場合は、あらかじめ出力ラッチを“1”にセットし、P8CRを出力モードに設定します。

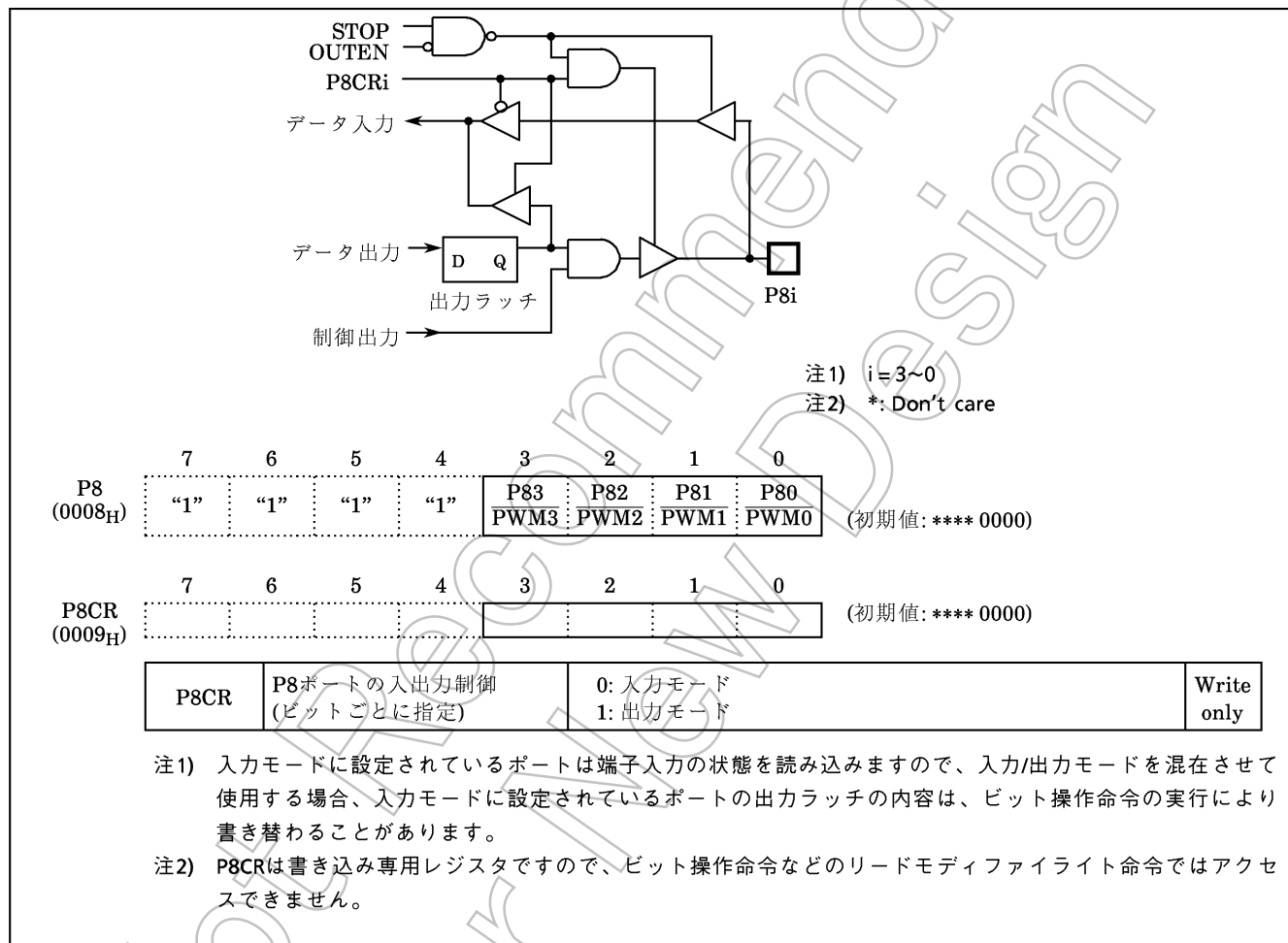


図2-9 (b). P8ポートとP8ポート入出力制御レジスタ

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を **TBTCK** で選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り、設定した割り込み周期よりも早く割り込みが発生することがあります (図2-10 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることができます。

例: タイムベースタイマ割り込み周波数を  $fc/2^{16}$  [Hz] にセットし、割り込みを許可します。

```
LD (TBTCCR), 00001010B
SET (EIRL), 6
```

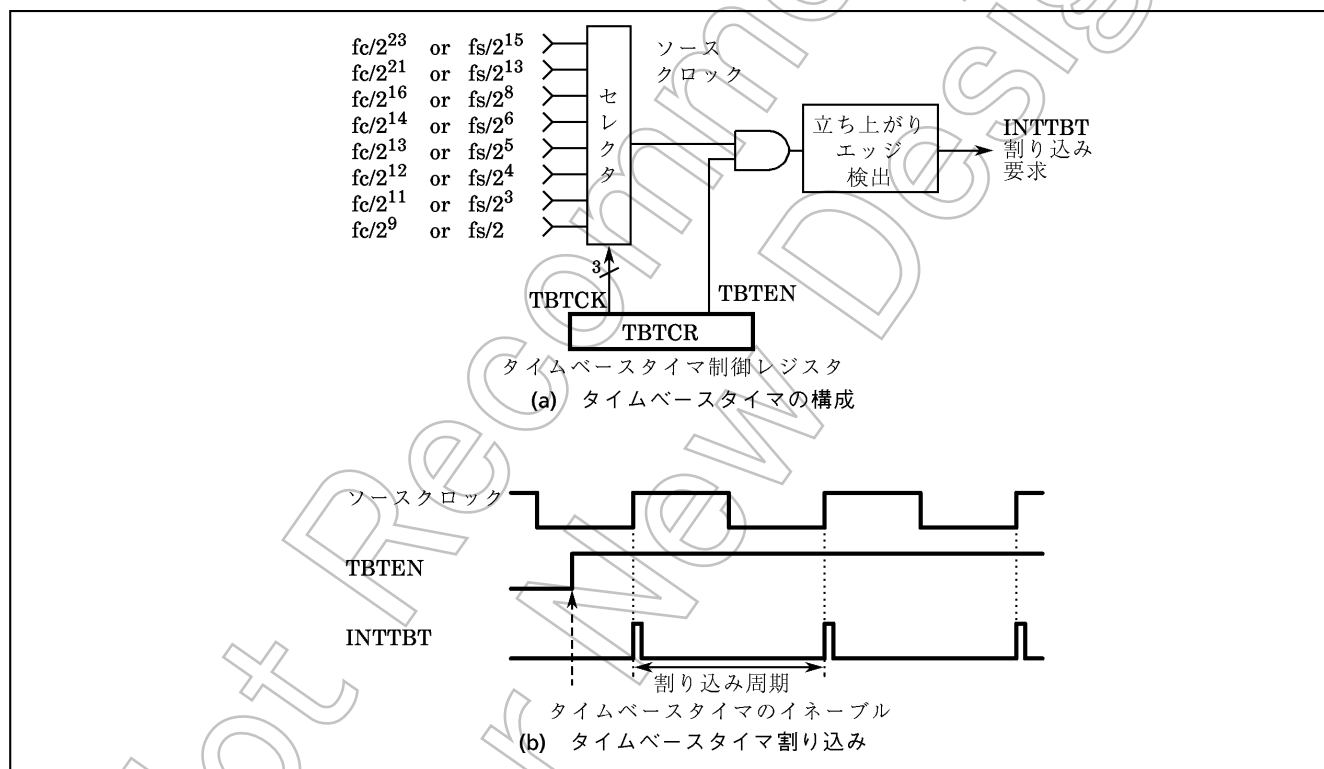


図2-10. タイムベースタイマ



TBTCR (0036 <sub>H</sub> )	7	6	5	4	3	2	1	0	(初期値: 0**0 0**)
	(DVOEN)	(DVQCK)	(DV7CK)	TBTEN	TBTCCK				
TBTEN	タイムベースタイマの許可/禁止				0: デイセーブル 1: イネーブル				R/W
TBTCCK	タイムベースタイマ割り込み周波数の選択				000: $fc/2^{23}$ または $fs/2^{15}$ [Hz] 001: $fc/2^{21}$ または $fs/2^{13}$ [Hz] 010: $fc/2^{16}$ または $fs/2^8$ [Hz] 011: $fc/2^{14}$ または $fs/2^6$ [Hz] 100: $fc/2^{13}$ または $fs/2^5$ [Hz] 101: $fc/2^{12}$ または $fs/2^4$ [Hz] 110: $fc/2^{11}$ または $fs/2^3$ [Hz] 111: $fc/2^9$ または $fs/2$ [Hz]				

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、\*: Don't care

図2-11. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数

TBTCCK	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	割り込み周波数[Hz]	
	DV7CK=0	DV7CK=1		fc=8 MHz時	fs=32.768 kHz時
000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	0.95	1
001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	3.81	4
010	$fc/2^{16}$	$fs/2^8$	-	122.07	128
011	$fc/2^{14}$	$fs/2^6$	-	488.28	512
100	$fc/2^{13}$	$fs/2^5$	-	976.56	1024
101	$fc/2^{12}$	$fs/2^4$	-	1953.12	2048
110	$fc/2^{11}$	$fs/2^3$	-	3906.25	4096
111	$fc/2^9$	$fs/2$	-	15625	16384

2.4 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ50%のパルスを出力することができ、プーザーなどの駆動に利用できます。デバイダ出力は、P13 (DVO) 端子から出力されます。なお、P13ポートは出力ラッチを“1”にセットした後、出力モードに設定します。

注) デバイダ出力周波数の選択は、デバイダ出力が禁止の状態で行ってください (許可状態から禁止状態にする際もデバイダ出力周波数の設定を変更しないでください)。

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)		(TBTCK)			(初期値: 0**0 0**)
	DVOEN	デバイダ出力の許可/禁止					0: デイセーブ 1: イネーブ		R/W
	DVOCK	デバイダ出力 (DVO端子) の周波数選択					00: $fc/2^{13}$ または $fs/2^5$ [Hz] 01: $fc/2^{12}$ または $fs/2^4$ [Hz] 10: $fc/2^{11}$ または $fs/2^3$ [Hz] 11: $fc/2^{10}$ または $fs/2^2$ [Hz]		

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、\*: Don't care

図2-12. デバイダ出力制御レジスタ

例: 1 kHzのパルスを出力 ( $fc=8$  MHz時)。

SET (P1).3 ; P13出力ラッチ ← 1  
 LD (P1CR), 00001000B ; P13を出力モードに設定。  
 LD (TBTCR), 10000000B ; DVOEN ← 1, DVOCK ← 00

表2-2. デバイダ出力の周波数

DVOCK	デバイダ出力の周波数	$fc=4.194304$ MHz時	$fc=8$ MHz時	$fs=32.768$ kHz時
00	$fc/2^{13}$ または $fs/2^5$	0.512 [kHz]	0.976 [kHz]	1.024 [kHz]
01	$fc/2^{12}$ または $fs/2^4$	1.024 [kHz]	1.953 [kHz]	2.048 [kHz]
10	$fc/2^{11}$ または $fs/2^3$	2.048 [kHz]	3.906 [kHz]	4.096 [kHz]
11	$fc/2^{10}$ または $fs/2^2$	4.096 [kHz]	7.812 [kHz]	8.192 [kHz]

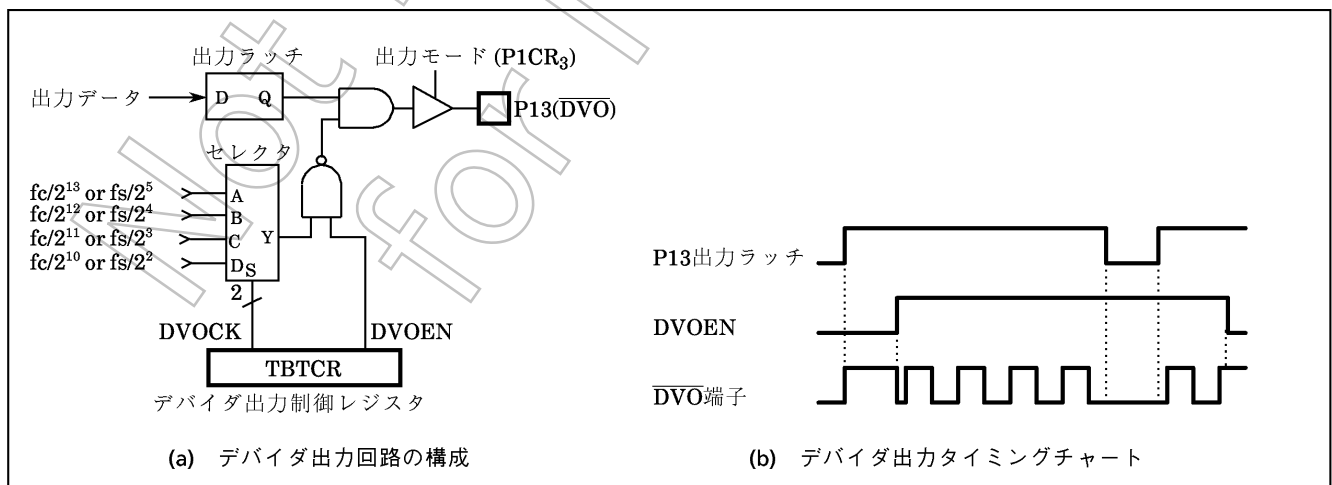


図2-13. デバイダ出力

2.5 16ビットタイマカウンタ1(TC1)

2.5.1 構成

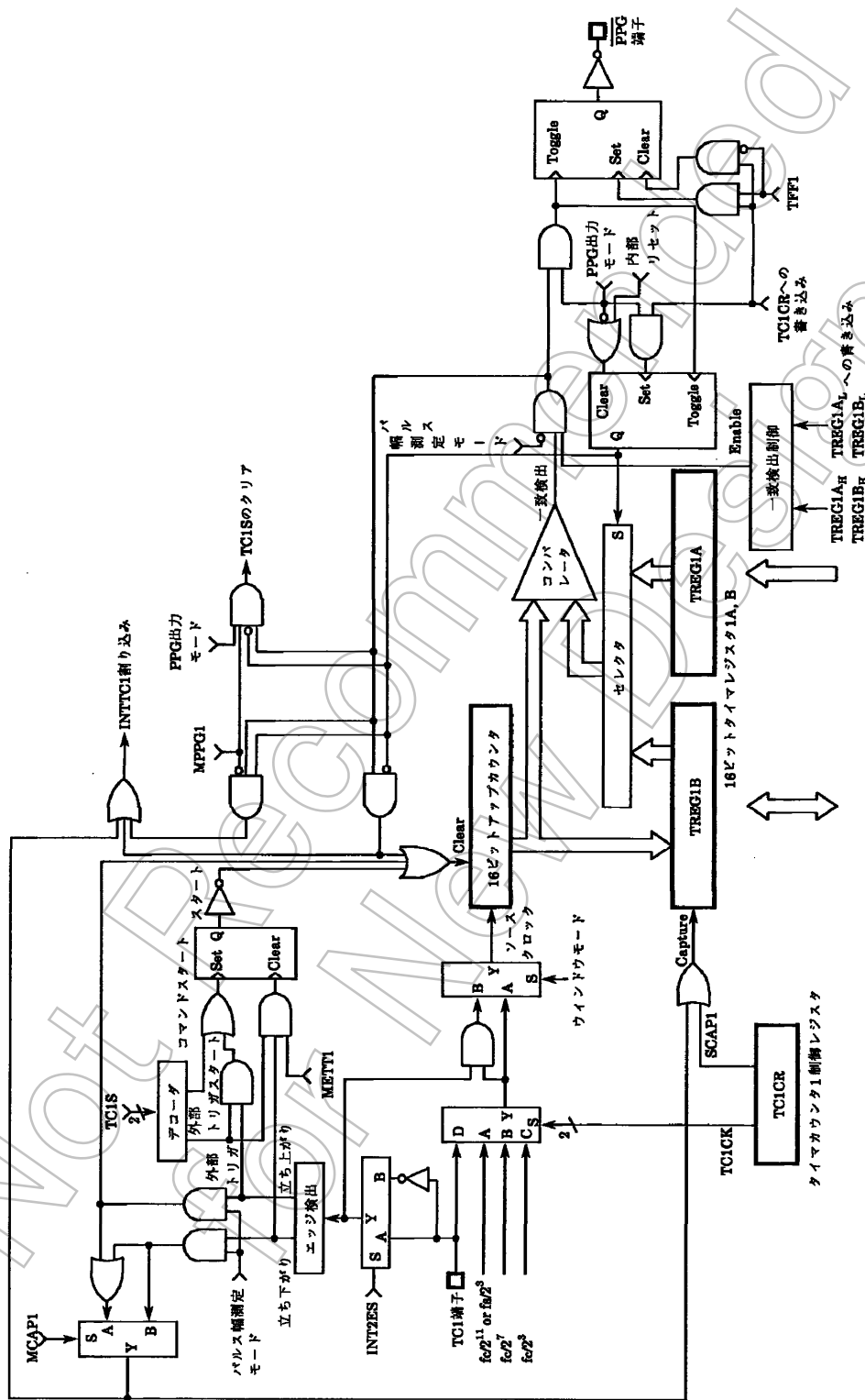


図2-14. タイマカウンタ1(TC1)

2.5.2 制御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TREG1A/TREG1B) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1A (0010, 0011 <sub>H</sub> )	TREG1A <sub>H</sub> (0011 <sub>H</sub> )								TREG1A <sub>L</sub> (0010 <sub>H</sub> )							
Write only																
TREG1B (0012, 0013 <sub>H</sub> )	TREG1B <sub>H</sub> (0013 <sub>H</sub> )								TREG1B <sub>L</sub> (0012 <sub>H</sub> )							
Read/Write (PPG出力モード時のみWrite可)																

タイマカウンタ1制御レジスタ

	7	6	5	4	3	2	1	0		
TC1CR (0014 <sub>H</sub> )	TFF1	SCAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M					(初期値: 0000 0000)
TC1M	タイマカウンタ1の動作モードの選択				00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG(プログラマブルパルスジェネレート)出力モード				Write only	
TC1CK	タイマカウンタ1のソースクロックの選択				00: 内部クロック $fc/2^{11}$ または $fs/2^3$ [Hz] 01: 内部クロック $fc/2^7$ [Hz] 10: 内部クロック $fc/2^8$ [Hz] 11: 外部クロック (TC1端子入力)					
TC1S	タイマカウンタ1のスタート制御				00: ストップ&カウンタクリア 01: コマンドスタート 10: Reserved 11: 外部トリガスタート					
SCAP1	ソフトキャプチャ制御				0: -		1: ソフトキャプチャトリガ			
MCAP1	パルス幅測定モード制御				0: 両エッジキャプチャ		1: 片エッジキャプチャ			
METT1	外部トリガタイマモード制御				0: トリガスタート		1: トリガスタート&ストップ			
MPPG1	PPG出力制御				0: 連続		1: 単発			
TFF1	タイマF/F1制御				0: クリア		1: セット			

注1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]  
 注2) タイマレジスタの下位側 (TREG1A<sub>L</sub>, TREG1B<sub>L</sub>) に書き込むと、上位側 (TREG1A<sub>H</sub>, TREG1B<sub>H</sub>) への書き込みが終わるまで一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後1サイクル以内 (命令実行中) の一致検出も無視されます。  
 注3) モード、ソースクロック、エッジ (INT2ESを含む)、PPG出力制御、タイマF/F1制御は、停止 (TC1S = "00") 状態で設定してください。  
 注4) ソフトキャプチャは、タイマ、イベントカウンタモードでのみ使用可能です。SCAP1はソフトキャプチャ後、自動的に"0"にクリアされます。  
 注5) タイマレジスタへの設定値は、次の条件を満たす必要があります。  
     TREG1A > TREG1B > 0 (PPG出力モード), TREG1A > 0 (PPG出力モード以外)  
 注6) PPG出力モード以外は、TFF1 = "0"としてください。  
 注7) TREG1Bは、PPG出力モードに設定後でなければ書き込みできません。  
 注8) TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-15. タイマカウンタ1のタイマレジスタと制御レジスタ

## 2.5.3 機能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

## (1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを続けます。なお、SCAP1 (TC1CRのビット6) を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TREG1B) に取り込むことができます(ソフトキャプチャ機能)。SCAP1は、キャプチャ後、自動的に“0”にクリアされます。

表2-3. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック [Hz]		SLOW, SLEEP モード	分解能 [ $\mu$ s]		最大設定時間	
NORMAL1/2, IDLE1/2モード DV7CK=0	DV7CK=1		fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
fc/2 <sup>11</sup>	fs/2 <sup>3</sup>	fs/2 <sup>3</sup>	256	244.14	16.8 [s]	16.0 [s]
fc/2 <sup>7</sup>	fc/2 <sup>7</sup>	—	16	—	1.0 [s]	—
fc/2 <sup>3</sup>	fc/2 <sup>3</sup>	—	1	—	65.5 [ms]	—

例1: ソースクロック fs/2<sup>3</sup> [Hz] でタイマモードにセットし、1s後に割り込みを発生させる (fs=32.768 kHz時)。

LDW (TREG1A), 1000H ; タイマレジスタの設定 (1 s ÷ 2<sup>3</sup>/fs = 1000H)。  
 SET (EIRL). EF4 ; INTTC1割り込みを許可。  
 EI  
 LD (TC1CR), 00010000B ; TC1スタート。

注) TC1CRは書き込み専用レジスタですので、[SET (TC1CR). 4] 命令によるスタートはできません。

例2: ソフトキャプチャ

LD (TC1CR), 01010000B ; SCAP1←1  
 LD WA, (TREG1B) ; キャプチャ値の読み出し。

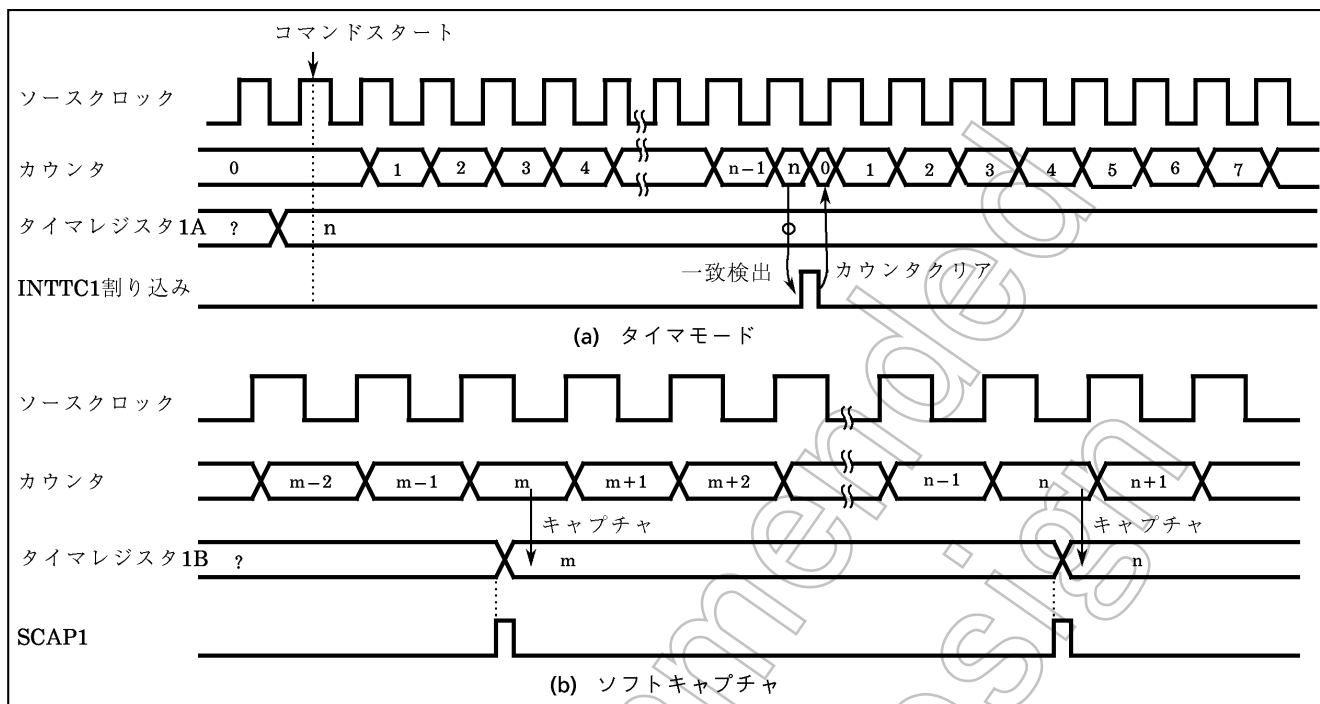


図2-16. タイマモードタイミングチャート

(2) 外部トリガタイマモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT2端子のエッジ選択と共通)をトリガにしてカウントをスタートするタイマモード(ソースクロックは内部クロック)です。カウンタ値とTREG1A設定値の一致でINTTC1割り込み発生し、カウンタはクリアされて停止します。TC1端子入力のエッジによりカウントアップは再開します。

METT1 (TC1CRのビット6)が“1”の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1が“0”の場合は、逆方向の入力エッジは無視されます。また、一致検出前のTC1端子入力のエッジも無視されます。

TC1端子入力にはINT2端子と同じノイズ除去回路が付いていますので、NORMAL1, NORMAL2またはIDLE1, IDLE2モード時 $7/f_c$  [s]以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには $24/f_c$  [s]以上のパルス幅が必要です。SLOWまたはSLEEPモード時はノイズ除去回路はオフしますが1マシンサイクル以上のパルス幅が必要です。

例1: TC1端子入力の立ち上がりエッジから $100 \mu s$ 後に割り込みを発生させる ( $f_c = 8 \text{ MHz}$ 時)。

```

LD      (EINTCR), 00000000B      ; INT2ES ← 0 (立ち上がりエッジ)
LDW    (TREG1A), 0064H          ;  $100 \mu s \div 2^3/f_c = 64H$ 
SET    (EIRL).EF4              ; INTTC1割り込み許可
EI
LD      (TC1CR), 00111000B      ; TC1外部トリガスタート, METT=0
    
```

例2: TC1端子に“L”レベル幅4ms以上のパルスが入力されたら割り込みを発生させる  
( $f_c = 8\text{ MHz}$ 時)。

```
LD    (EINTCR), 00000100B    ; INT2ES←1 (“L”レベル)
LDW   (TREG1A), 00FAH       ;  $4\text{ ms} \div 2^7/f_c = FA_H$ 
SET   (EIRL).EF4           ; INTTC1割り込み許可。
EI
LD    (TC1CR), 01110100B    ; TC1外部トリガスタート, METT=1
```

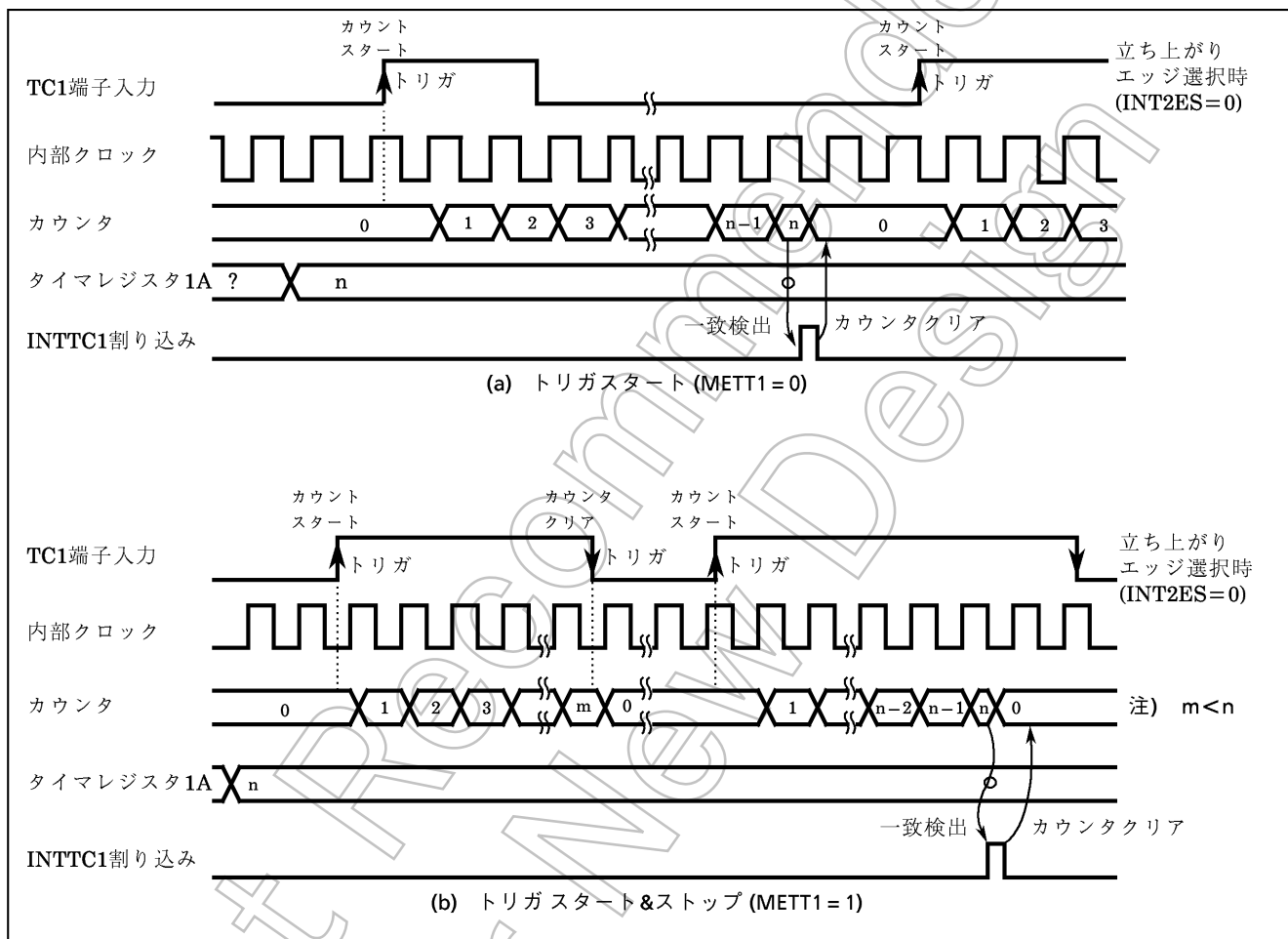


図2-17. 外部トリガタイマモードタイミングチャート

(3) イベントカウンタモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、INT2端子のエッジ選択と共通)でカウントアップするモードです。カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$  [Hz] (NORMAL1, NORMAL2またはIDLE1, IDLE2モード時)、 $f_s/2^4$  [Hz] (SLOW, SLEEPモード時)です。

SCAP1を“1”にセットすることにより、そのときのアップカウンタの内容をTREG1Bに取り込むことができます(ソフトキャプチャ機能)。

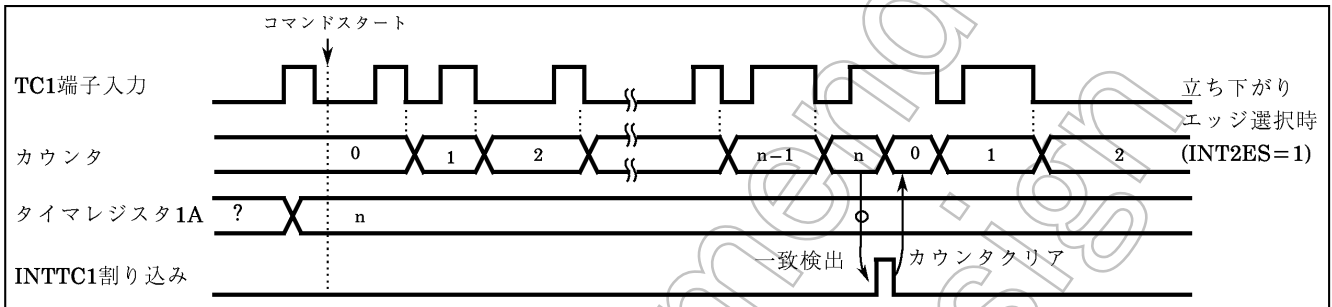


図2-18. イベントカウンタモードタイミングチャート

(4) ウィンドウモード

TC1端子入力(ウィンドウパルス)と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、その結果カウンタがクリアされます。TC1端子入力は、正論理/負論理の選択ができます(INT2端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウンタ値を分析できる程度の周波数(設定した内部クロックより十分に遅い周波数)である必要があります。

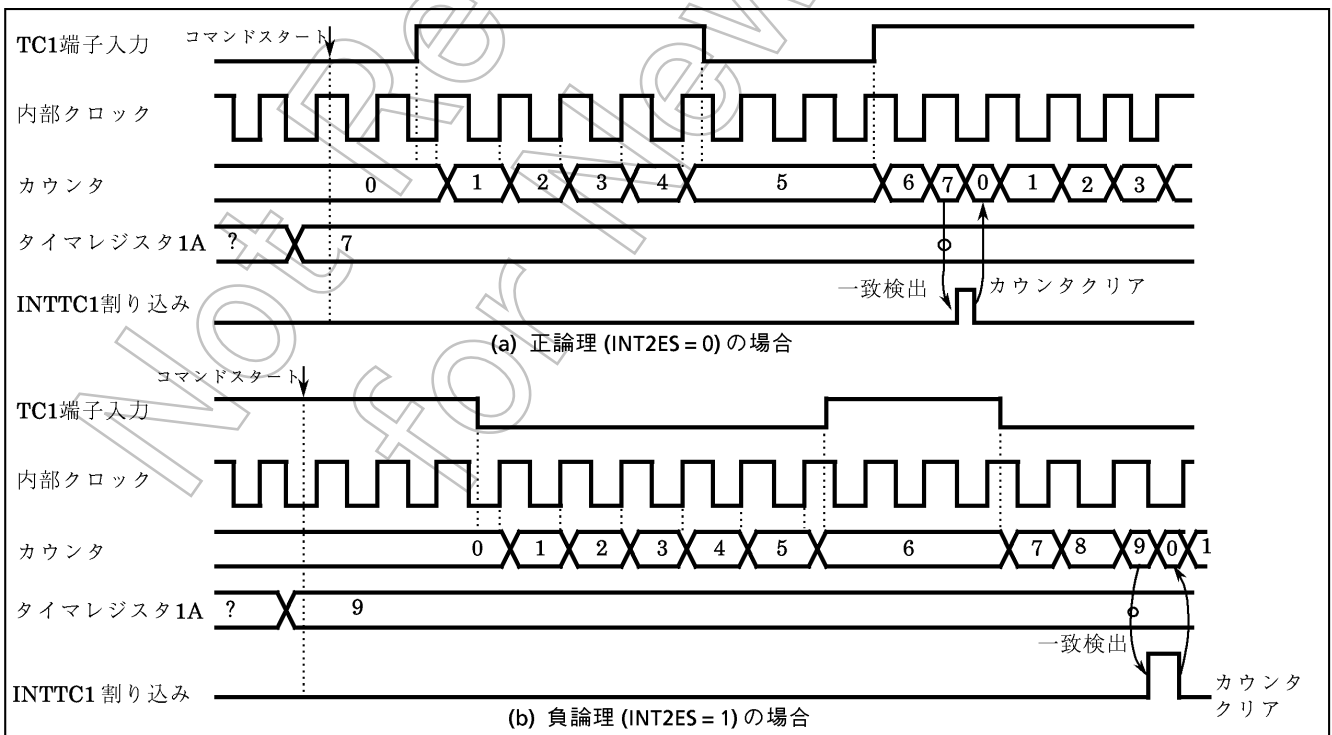


図2-19. ウィンドウモードタイミングチャート



## (5) パルス幅測定モード

TC1端子入力の立ち上がり/立ち下がりエッジをトリガにしてカウントをスタートします (TC1CRで外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり/立ち上がりエッジでカウンタの内容をTREG1Bに取り込み、割り込みを発生します。片エッジキャプチャに設定した場合は、カウンタはクリアされます。両エッジキャプチャに設定した場合はカウンタは継続し、次の立ち上がり/立ち下がりエッジで再びカウンタの内容をTREG1Bに取り込みます。なお、立ち下がり/立ち上がりエッジでのキャプチャ値が必要な場合は、立ち上がり/立ち下がりエッジが検出されるまでにTREG1Bの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択はINT2ESで行い、片エッジ/両エッジキャプチャの選択はMCAP1 (TC1CRのビット6)で行います。

例: デューティの測定 (分解能 $f_c/2^7$  [Hz])

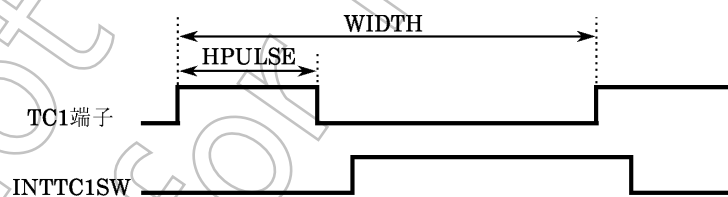
```

CLR   (INTTC1SW).0           ; INTTC1のサービススイッチの初期設定。
LD    (EINTCR), 00000000B    ; INT2ESを立ち上がりエッジに設定。
LD    (TC1CR), 00000110B     ; TC1のモード, ソースクロックを設定。
SET   (EIRL).EF4            ; INTTC1割り込みを許可。
EI
LD    (TC1CR), 00110110B     ; MCAP1=0でTC1を外部トリガスタート。
:
PINTTC1: CPL (INTTC1SW).0    ; INTTC1のサービススイッチの反転/テスト。

JRS   F, SINTTC1
LD    (HPULSE), (TREG1BL)    ; TREG1Bの読み出し ("H"レベルパルス幅)。

LD    (HPULSE+1), (TREG1BH)
RETI
SINTTC1: LD (WIDTH), (TREG1BL) ; TREG1Bの読み出し (周期)。
LD    (WIDTH+1), (TREG1BH)
:
RETI
:
VINTTC1: DW PINTTC1

```



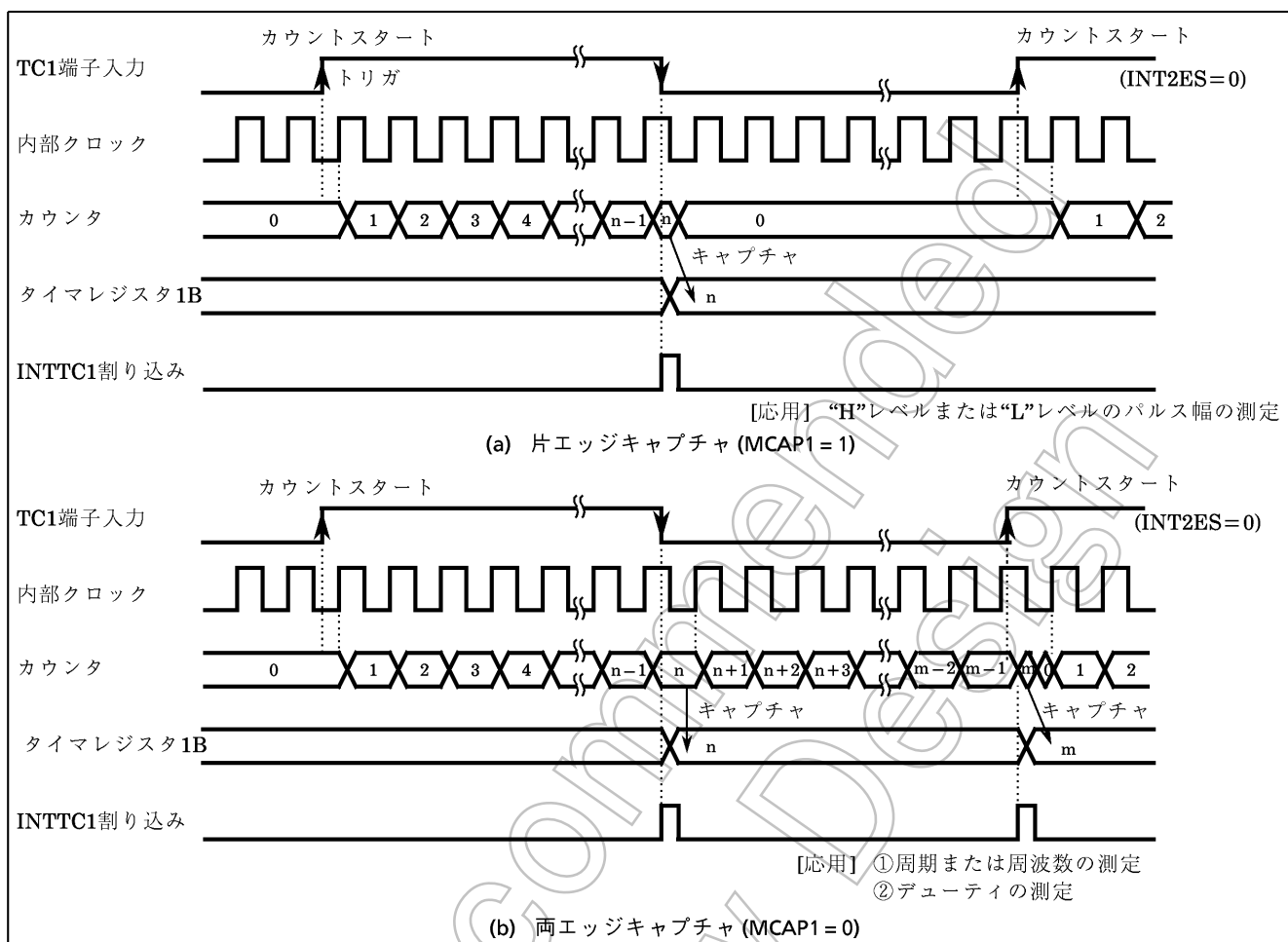


図2-20. パルス幅測定モード

### (6) プログラマブルパルスジェネレート (PPG) 出力モード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT2端子のエッジ選択と共通)またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1Bとの一致でタイマF/F1を反転します。連続出力の場合(MPPG1=0)は、INTTC1割り込みが発生します。次にTREG1Aとの一致でタイマF/F1を再び反転し、カウンタをクリアします。このとき、INTTC1割り込みも発生します。タイマF/F1出力は、反転されてP14(PPG)端子に接続されています。PPG出力を行う場合、P14出力ラッチを“1”にセットし、出力モードに設定します。タイマF/F1は、リセット時“0”にクリアされます。また、TFF1(TC1CRのビット7)でタイマF/F1の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1BはPPG出力モードに設定されていないと書き込みできません。

例: “H”レベル800  $\mu$ s, “L”レベル200  $\mu$ sのパルスを出力( $f_c=8$  MHz時)。

```
SET (P1).4 ; P14出力ラッチ ← 1
LD (P1CR), 00010000B ; P14を出力モードに設定。
LD (TC1CR), 10001011B ; PPG出力モードに設定。
LDW (TREG1A), 03E8H ; 周期の設定(1 ms ÷ 1  $\mu$ s = 03E8H)。
LDW (TREG1B), 00C8H ; “L”レベルパルス幅の設定(200  $\mu$ s ÷ 1  $\mu$ s = 00C8H)。
LD (TC1CR), 10011011B ; スタート
```

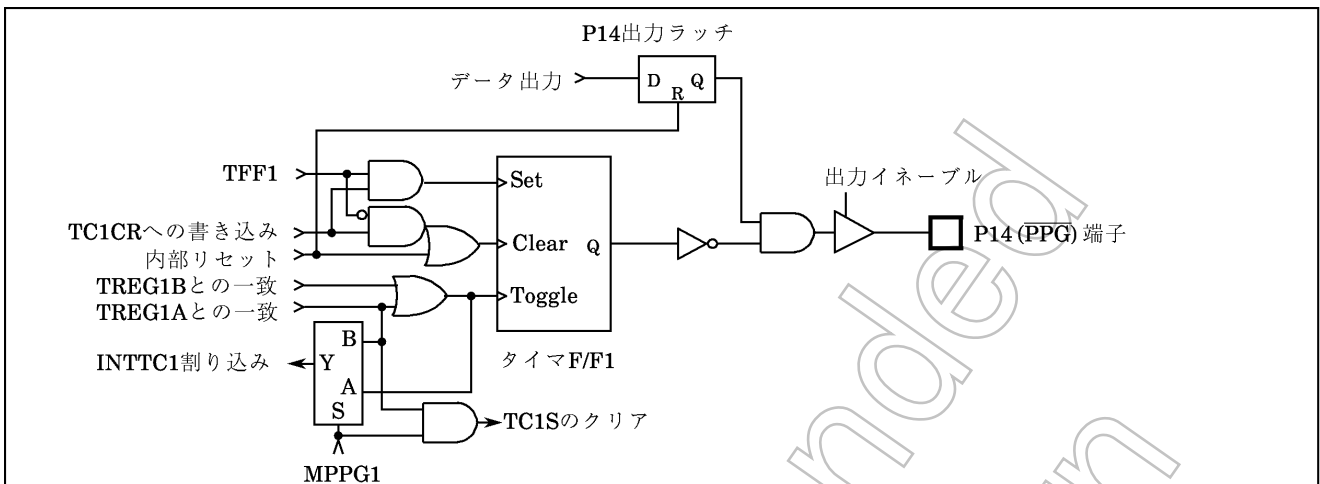


図2-21. PPG出力

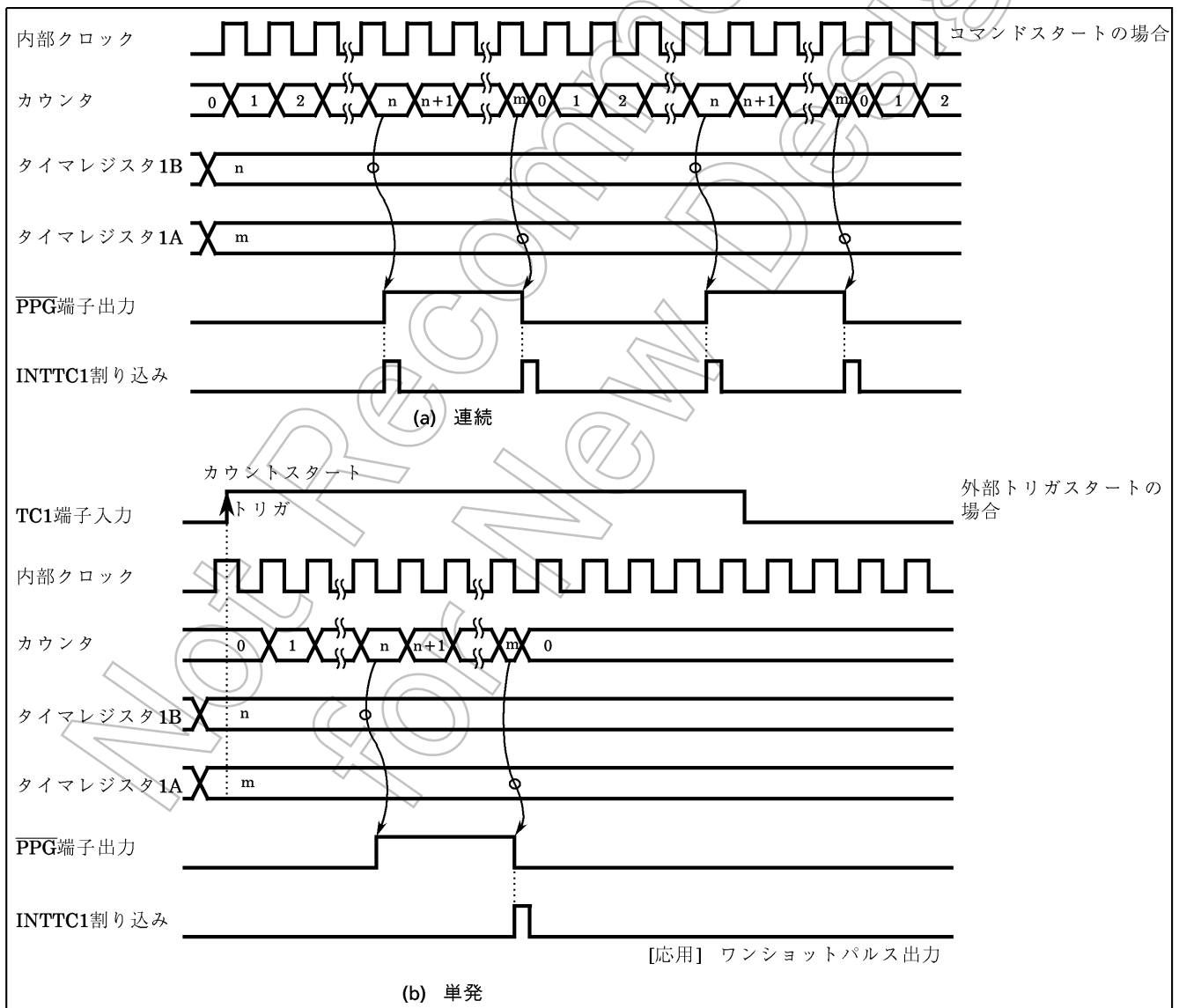


図2-22. PPG出力モードタイミングチャート

2.6 16ビットタイマカウンタ2 (TC2)

2.6.1 構成

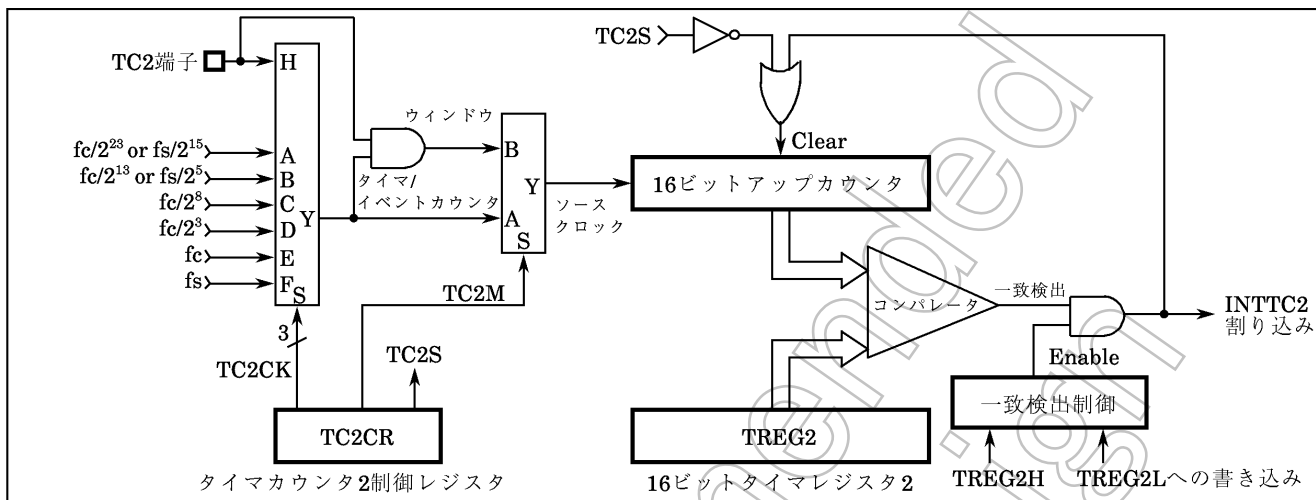


図2-23. タイマカウンタ2 (TC2)

2.6.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。

TREG2 (0016, 0017H)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TREG2 <sub>H</sub> (0017H)										TREG2 <sub>L</sub> (0016H)					
	Write only															
TC2CR (0015H)	7	6	5	4	3	2	1	0								
	TC2S		TC2CCK			TC2M			(初期値: **00 00*0)							
TC2M	タイマカウンタ2の動作モードの選択							0: タイマ/イベントカウンタモード 1: ウィンドウモード								
TC2CCK	タイマカウンタ2のソースクロックの選択							000: 内部クロック $fc/2^{23}$ または $fs/2^{15}$ [Hz] 001: 内部クロック $fc/2^{13}$ または $fs/2^5$ [Hz] 010: 内部クロック $fc/2^8$ [Hz] 011: 内部クロック $fc/2^3$ [Hz] 100: 内部クロック $fc$ (注5) [Hz] 101: 内部クロック $fs$ [Hz] 110: Reserved [Hz] 111: 外部クロック (TC2端子入力) [Hz]								
TC2S	タイマカウンタ2のスタート制御							0: ストップ&カウンタクリア 1: スタート								
	Write only															

注1)  $fc$ : 高周波クロック [Hz],  $fs$ : 低周波クロック [Hz], \*: Don't care  
 注2) タイマレジスタの下位側 (TREG2<sub>L</sub>) に書き込みすると上位側 (TREG2<sub>H</sub>) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (命令実行中) の一致検出は無視されます。  
 注3) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。  
 注4) タイマレジスタへの設定値は、次の条件を満たす必要があります。  
 TREG2 > 0 (ウォーミングアップのときは TREG2<sub>15-11</sub> > 0)  
 注5) ソースクロックに  $fc$  を選択できるのは、SLOWモード時のタイマモードだけです。  
 注6) TC2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-24. タイマカウンタ2のタイマレジスタと制御レジスタ

## 2.6.3 機能

タイマカウンタ2には、タイマ、イベントカウンタとウィンドウの3つの動作モードがあります。また、SLOWモードからNORMAL2モードへの切り替え時のウォーミングアップの際、通常タイマカウンタ2をタイマモードで使用します。

## (1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOWモードでソースクロックに $f_c$ を選択した場合は、TREG2の下位11ビットは無視され、上位5ビットの一致で割り込みを発生します。従って、この場合TREG2<sub>H</sub>の設定だけで済みます。

表2-4. タイマカウンタ2のソースクロック (内部クロック)

ソースクロック [Hz]				分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOWモード	SLEEPモード	$f_c=8\text{ MHz}$ 時	$f_s=32.768\text{ kHz}$ 時	$f_c=8\text{ MHz}$ 時	$f_s=32.768\text{ kHz}$ 時
DV7CK=0	DV7CK=1						
$f_c/2^{28}$	$f_s/2^{15}$	$f_s/2^{15}$	$f_s/2^{15}$	1.05 [s]	1 [s]	19.1 [h]	18.2 [h]
$f_c/2^{18}$	$f_s/2^5$	$f_s/2^5$	$f_s/2^5$	1.02 [ms]	1 [ms]	1.1 [min]	1 [min]
$f_c/2^8$	$f_c/2^8$	—	—	32 [ $\mu$ s]	—	2.1 [s]	—
$f_c/2^3$	$f_c/2^3$	—	—	1 [ $\mu$ s]	—	65.5 [ms]	—
—	—	$f_c$ (注)	—	125 [ns]	—	7.9 [ms]	—
$f_s$	$f_s$	—	—	—	30.5 [ $\mu$ s]	—	2 [s]

注)  $f_c$ はタイマモードでのみ使用可能。これは、SLOWモードからNORMAL2モードに切り替える場合のウォーミングアップ用です。

例: ソースクロック  $f_c/2^3$  [Hz] で、タイマモードにセットし、25 msごとに割り込み発生させる ( $f_c=8\text{ MHz}$ 時)。

LDW (TREG2), 61A8H ; TREG2の設定 ( $25\text{ ms} \div 2^3/f_c = 61A8\text{H}$ )。  
 SET (EIRH).EF14 ; INTTC2割り込みを許可。  
 EI  
 LD (TC2CR), 00101100B ; TC2スタート

## (2) イベントカウンタモード

TC2端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、 $f_c/2^4$  [Hz] (NORMAL1/2またはIDLE1/2モード時)、 $f_s/2^4$  [Hz] (SLOW, SLEEPモード時)です。“H”、“L”レベルとも2マシサイクル以上のパルス幅が必要です。

例: イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

LDW (TREG2), 640 ; TREG2の設定。  
 SET (EIRH).EF14 ; INTTC2割り込みを許可。  
 EI  
 LD (TC2CR), 00111100B ; TC2スタート

## (3) ウィンドウモード

TC2外部端子入力(ウィンドウパルス)が“H”レベルの間、内部クロックでカウントアップするモードです。カウンタ値とTREG2設定値との一致で、INTTC2割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例: 120 ms以上の“H”レベルパルスが入力されると割り込みを発生させる( $f_c=8\text{ MHz}$ 時)。

LDW (TREG2), 0078H ; TREG2の設定 ( $120\text{ ms} \div 2^{13}/f_c = 0078\text{H}$ )。

SET (EIRH).EF14 ; INTTC2割り込みを許可。

EI

LD (TC2CR), 00100101B ; TC2スタート

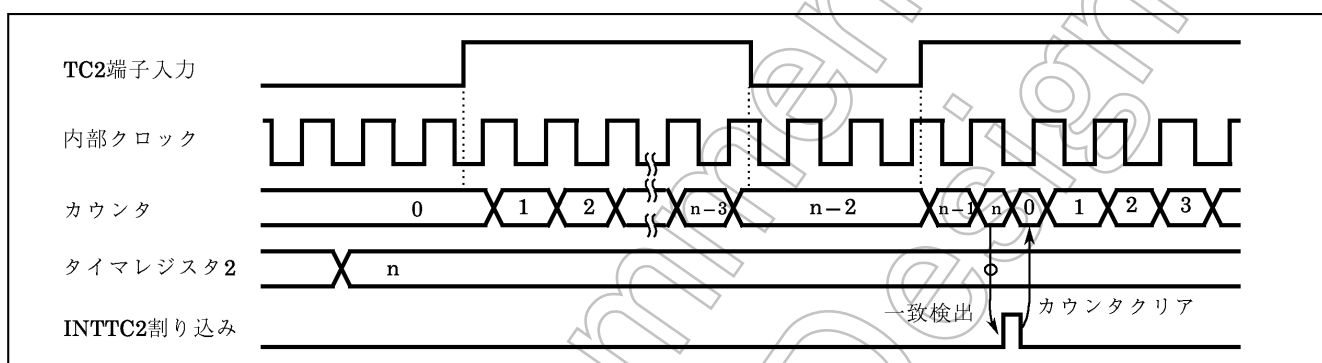


図2-25. ウィンドウモードタイミングチャート

2.7 8ビットタイマカウンタ3 (TC3)

2.7.1 構成

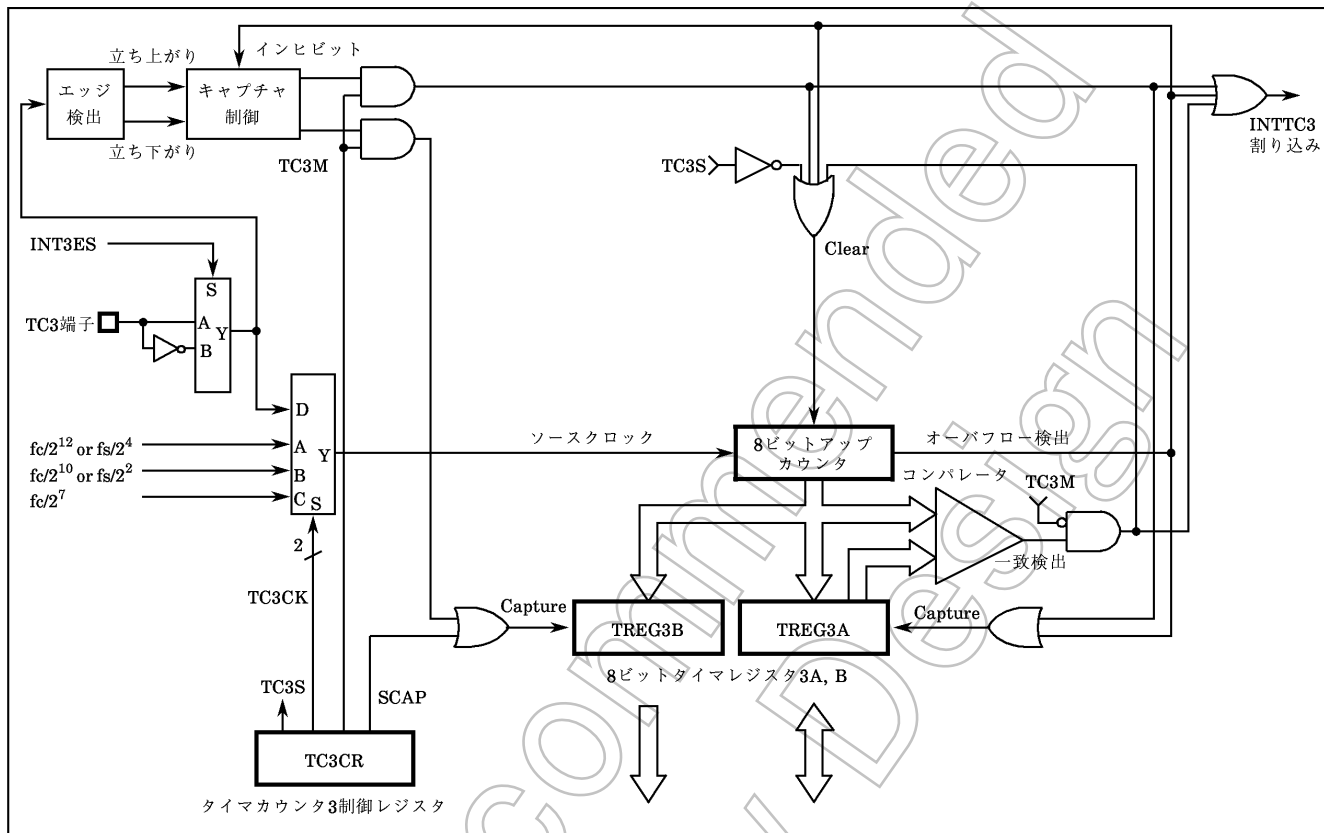


図2-26. タイマカウンタ3 (TC3)

2.7.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

TREG3A (0018 <sub>H</sub> )	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> </tr> </table>	7	6	5	4	3	2	1	0									Read/Write
7	6	5	4	3	2	1	0											
TREG3B (0019 <sub>H</sub> )	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; height: 15px;"></td> </tr> </table>	7	6	5	4	3	2	1	0									Read only
7	6	5	4	3	2	1	0											
TC3CR (001A <sub>H</sub> )	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; text-align: center;">SCAP</td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; text-align: center;">TC3S</td> <td style="border: 1px solid black; text-align: center;">TC3CK</td> <td style="border: 1px solid black; height: 15px;"></td> <td style="border: 1px solid black; text-align: center;">TC3M</td> <td style="border: 1px solid black; height: 15px;"></td> </tr> </table>	7	6	5	4	3	2	1	0		SCAP		TC3S	TC3CK		TC3M		(初期値: *0*0 00*0)
7	6	5	4	3	2	1	0											
	SCAP		TC3S	TC3CK		TC3M												

TC3M	タイマカウンタ3の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード	Write only
TC3CK	タイマカウンタ3のソースクロックの選択	00: 内部クロック $fc/2^{12}$ or $fs/2^4$ [Hz] 01: 内部クロック $fc/2^{10}$ or $fs/2^2$ [Hz] 10: 内部クロック $fc/2^7$ [Hz] 11: 外部クロック (TC3端子入力)	
TC3S	タイマカウンタ3のスタート制御	0: ストップ&カウンタクリア 1: スタート	
SCAP	ソフトキャプチャ制御	0: - 1: ソフトキャプチャ	

注1)  $fc$ : 高周波クロック [Hz]、 $fs$ : 低周波クロック [Hz]、\*: Don't care  
 注2) モード, ソースクロック, エッジ (INT3ES) は、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。  
 注3) タイマレジスタ3Aへの設定値は、次の条件を満たす必要があります。  
           TREG3A > 0 (タイマ/イベントカウンタモード時)  
 注4) ソフトキャプチャはタイマ/イベントカウンタモード時のみ使用可能です。  
 注5) TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-27. タイマカウンタ3のタイマレジスタと制御レジスタ

2.7.3 機能

タイマカウンタ3には、タイマ、イベントカウンタ、キャプチャの3つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。SCAP (TC3CRのビット6) を“1”にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAP は、キャプチャ後自動的に“0”にクリアされます。

表2-5. タイマカウンタ3のソースクロック (内部クロック)

ソースクロック [Hz]		SLOW, SLEEP モード	分解能 [μs]		最大設定時間 [ms]	
NORMAL1/2, IDLE1/2モード	DV7CK=1		fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
DV7CK=0	DV7CK=1					
$fc/2^{12}$	$fs/2^4$	$fs/2^4$	512	488.28	131.1	124.5
$fc/2^{10}$	$fs/2^2$	-	128	122.07	32.6	31.1
$fc/2^7$	-	-	16	-	4.1	-



## (2) イベントカウンタモード

TC3端子入力(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通)パルスでカウントアップするモードです。カウンタ値とTREG3A設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、 $f_c/2^4$  [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、 $f_s/2^4$  [Hz] (SLOW, SLEEPモード時)です。“H”、“L”レベルとも2マシサイクル以上のパルス幅が必要です。

SCAP (TC3CRのビット6)を“1”にセットすることにより、そのときのアップカウンタの内容をTREG3Bに取り込むことができます(ソフトキャプチャ機能)。SCAPはキャプチャ後自動的に“0”にクリアされます。

例: TC3端子に50Hzのパルスを入力し、0.5sごとに割り込みを発生させる。

LD (TREG3A), 19H ;  $0.5\text{s} \div 1/50 = 25 = 19\text{H}$

LD (TC3CR), 00011100B ; TC3スタート

## (3) キャプチャモード

TC3端子入力のパルス幅、周期、デューティなどを測定するモードで、リモコン信号のデコードやAC50/60Hz識別などに利用できます。カウンタを内部クロックでフリーランニングし、TC3端子入力(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通)の立ち上がり/立ち下がりエッジでカウンタ値をTREG3Aに取り込みカウンタをクリアするとともにINTTC3割り込みが発生します。また、TC3端子入力の立ち下がり/立ち上がりエッジではカウンタ値をTREG3Bに取り込みます。この場合はカウント継続し、次の立ち上がり/立ち下がりエッジでカウンタ値をTREG3Aに取り込み、カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバーフロー(FF<sub>H</sub>)するとTREG3AにFF<sub>H</sub>をセットしてカウンタをクリアするとともにINTTC3割り込みが発生します。割り込み処理でTREG3Aを読み出してFF<sub>H</sub>であるか否かでオーバーフロー発生の有無を判断することができます。なお、割り込み(TREG3Aへのキャプチャまたはオーバーフロー検出)の発生後、TREG3Aを読み出すまではキャプチャおよびオーバーフロー検出は停止します。ただし、カウントは継続します。TREG3Aを読み出すとキャプチャ/オーバーフロー検出が再開されますので、常TREG3Bから先に読み出します。

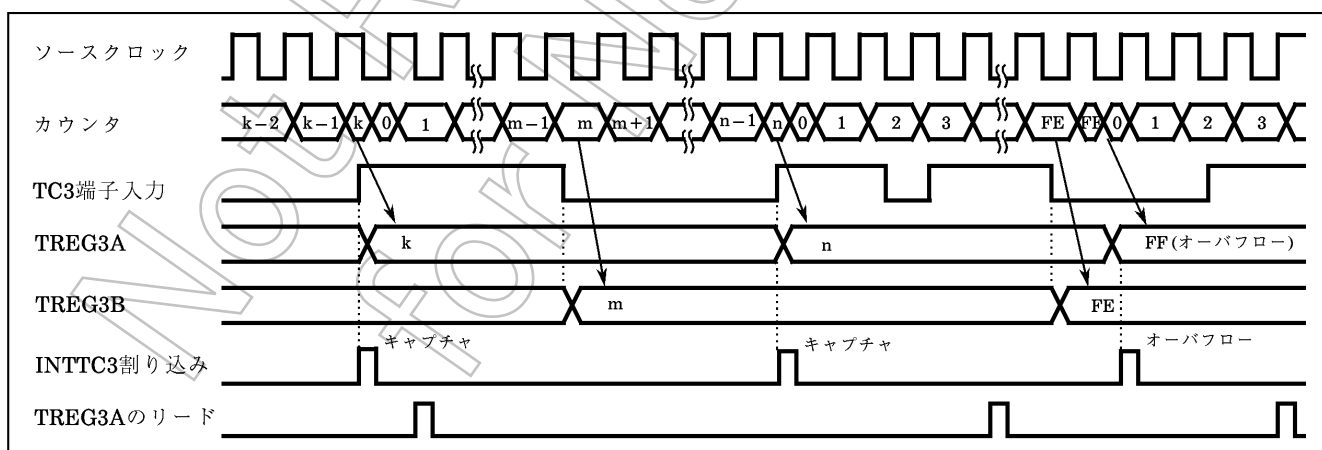


図2-28. キャプチャモードタイミングチャート (INT3ES = 0の場合)

2.8 8ビットタイマカウンタ (TC4)

2.8.1 構成

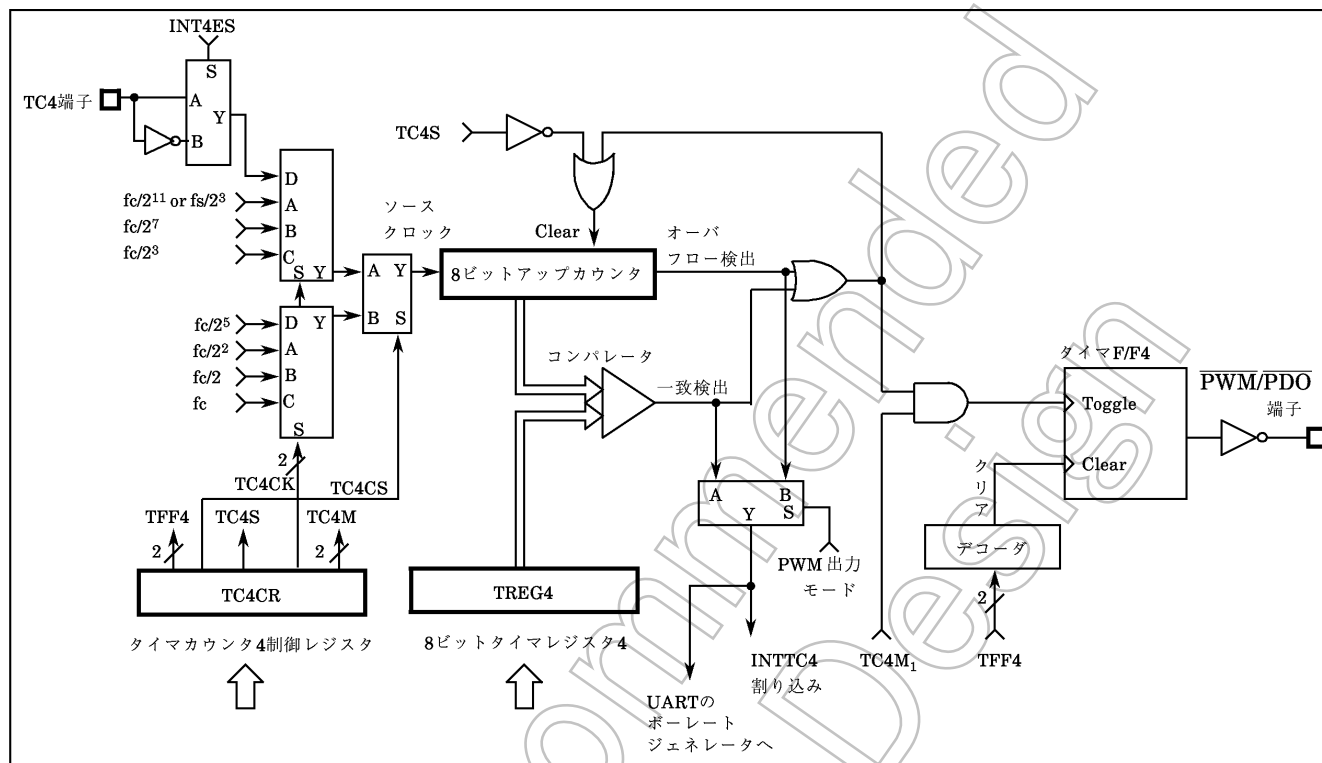


図2-29. タイマカウンタ4 (TC4)

2.8.2 制御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) とタイマレジスタ4 (TREG4) で制御されます。

TREG4 (001BH)	7	6	5	4	3	2	1	0	Write only				
TC4CR (001CH)	<table border="1"> <tr> <td>TFF4</td><td>TC4CS</td><td>TC4S</td><td>TC4CK</td><td>TC4M</td> </tr> </table> (初期値: 0000 0000)									TFF4	TC4CS	TC4S	TC4CK
TFF4	TC4CS	TC4S	TC4CK	TC4M									
TC4M	タイマカウンタ4の動作モードの選択		00: タイマ/イベントカウンタモード 01: Reserved 10: プログラマブル デバイタ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード						Write only				
TC4CK	タイマカウンタ4のソースクロックの選択		Aモード (TC4CS=0)			Bモード (TC4CS=1)							
			00: $fc/2^{11}$ または $fs/2^3$ 01: $fc/2^7$ 10: $fc/2^3$ 11: 外部クロック (TC4端子入力)			00: $fc/2^5$ 01: $fc/2^2$ 10: $fc/2$ 11: $fc$							
TC4S	タイマカウンタ4のスタート制御		0: ストップ&カウンタクリア (注7) 1: スタート										
TC4CS	タイマカウンタ4のソースクロックのモード選択		0: Aモード 1: Bモード										
TFF4	タイマF/F4の制御		00: クリア 11: - (注3)										

注1)  $fc$ : 高周波クロック [Hz]、 $fs$ : 低周波クロック [Hz]、\*: Don't care  
 注2) 動作モード, ソースクロック, エッジ (INT4ES) の選択およびタイマF/F4の制御を行うときは、TC4S = "0" にしてください。  
 注3) TFF4はタイマ/イベントカウンタモード時およびBモード使用時は "11" にしてください。  
 注4) タイマレジスタへの設定値は次の条件を満たす必要があります。  
 (a) PWM出力モードの場合  $5 < TREG4 < 251$   
 (b) PWM出力モード以外の場合  $0 < TREG4$   
 注5) ソースクロック  $fc/2^2$ ,  $fc/2$ ,  $fc$ は、PWM出力モード以外では使用できません。  
 注6) TC4CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。  
 注7) TC4Sを "1" から "0" に書き替えるときは、必ずTFF4を "00" (クリア) に設定してください。  
 なお、TC4Sを "1" から "0" に書き替えた後に、端子は "H" レベルになります。

図2-30. タイマカウンタ4のタイマレジスタと制御レジスタ

## 2.8.3 機能

タイマカウンタ4には、タイマ、イベントカウンタ、プログラマブル デバイダ出力、パルス幅変調出力の4つの動作モードがあります。

## (1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致でINTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2-6. タイマカウンタ4のソースクロック (内部クロック)

モード	ソースクロック [Hz]		SLOW, SLEEP モード	分解能 [ $\mu$ s]		最大設定時間	
	NORMAL1/2, IDLE1/2モード			fc=8 MHz時	fc=32.768 kHz時	fc=8 MHz時	fc=32.768 kHz時
	DV7CK=0	DV7CK=1					
A	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	256	244	65.3 [ms]	62.2 [ms]
	$fc/2^7$	$fc/2^7$	—	16	—	4.1 [ms]	—
	$fc/2^3$	$fc/2^3$	—	1	—	255 [ $\mu$ s]	—
B	$fc/2^5$	—	—	4	—	1024 [ $\mu$ s]	—

## (2) イベントカウンタモード

TC4端子入力(外部クロック)パルスでカウントアップ(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT4端子のエッジ選択と共通)するモードです。

カウンタ値とTREG4設定値との一致で、INTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。最大印加周波数は、 $fc/2^4$  [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、 $fs/2^4$  [Hz] (SLOW, SLEEPモード時)で、“H”、“L”レベルともに2マシンサイクル以上のパルス幅が必要です。

## (3) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4との一致ごとにタイマF/F4出力を反転し、カウンタをクリアします。タイマF/F4出力は、反転されてP52 (PDO) 端子に出力されます。プログラマブル デバイダ出力を行う場合は、P52出力ラッチを“1”にセットします。このモードはデューティ50%のパルス出力に利用できます。なお、タイマF/F4はプログラムで初期設定することができます。リセット時タイマF/F4は“0”に初期化されます。PDO出力反転ごとにINTTC4割り込みが発生します。

例: 1024 Hzのパルス出力 (fc=4.194304 MHz時)。

```
SET (P5).2 ; P52出力ラッチ←1
LD (TREG4), 10H ; (1/1024 ÷ 27/fc) ÷ 2 = 10H
LD (TC4CR), 00010010B ; TC4スタート
```

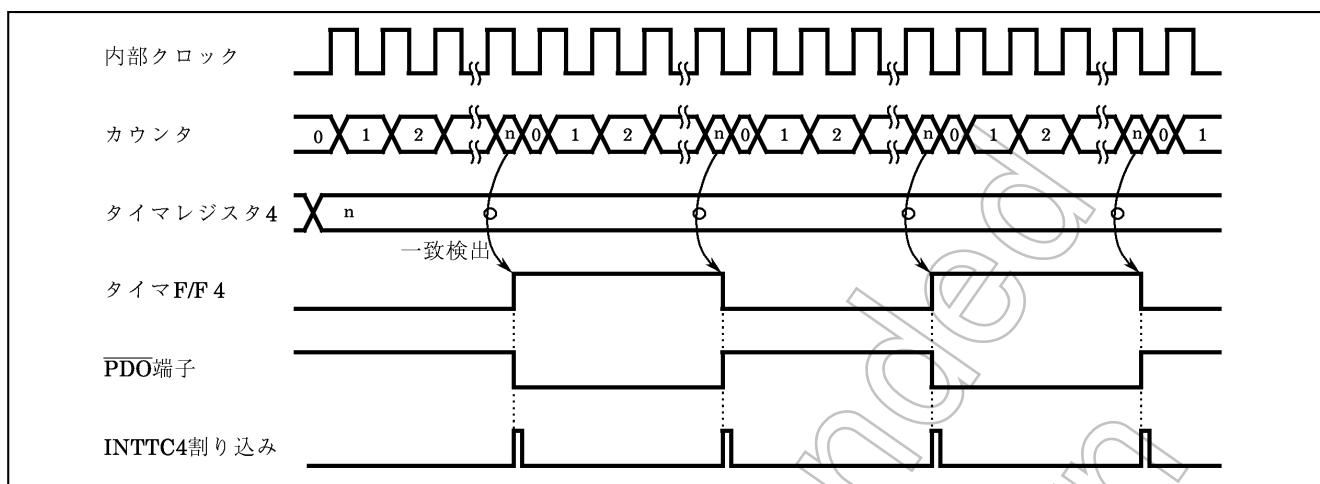


図2-31. PDOモード タイミングチャート

(4) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG4設定値との一致でタイマF/F4出力を反転します。カウンタはさらにカウントアップし、オーバーフローでタイマF/F4出力を再び反転し、カウンタをクリアします。タイマF/F4出力は反転されて、P52 (PWM) 端子に出力されます。PWM出力を行う場合は、P52出力ラッチを“1”にセットします。なお、オーバーフロー時INTTC4割り込みが発生します。

TREG4は、シフトレジスタ (2段) 構成で、PWM出力中にTREG4を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回はTREG4にデータ設定後、TC4CRによりスタートした時点でシフトされます。

- 注1) INTTC4割り込み発生サイクル時のみ TREG4 を書き替えないでください。通常は、INTTC4割り込みサービスルーチンで TREG4 を書き替えます。
- 注2) PWM出力モードはNORMALモード1,2とIDLEモード1,2のみ使うことができます。

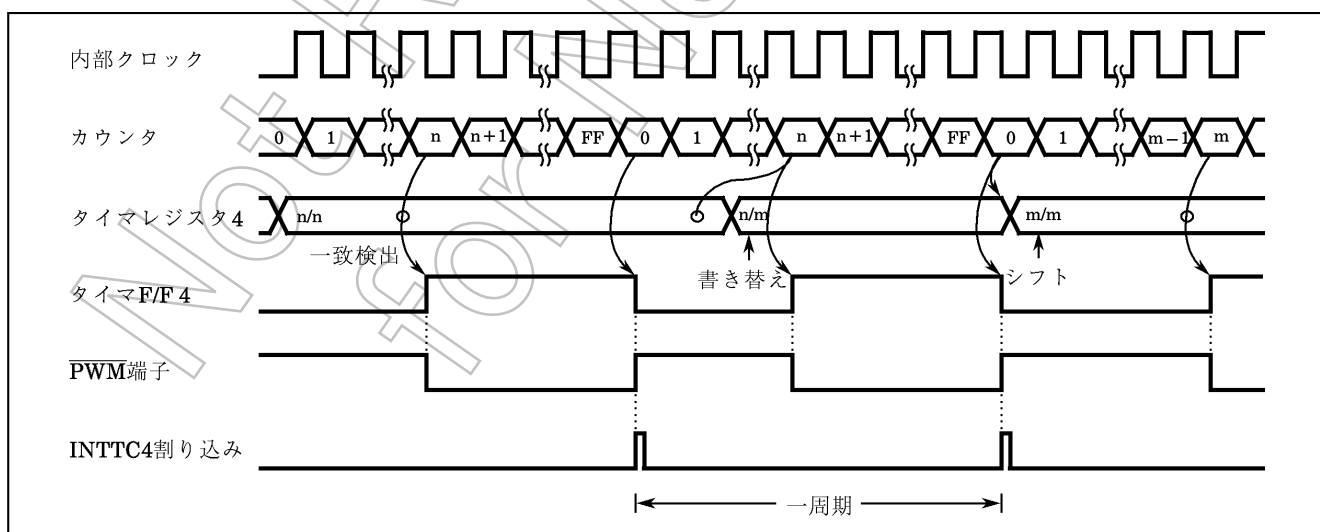


図2-32 (a). PWM出力モード タイミングチャート

表2-7. PWM出力モード

ソースクロック [Hz]			分解能		繰り返し周期	
モード	NORMAL1/2, IDLE1/2モード		fc = 8 MHz 時	fc = 32.768 kHz時	fc = 8 MHz 時	fc = 32.768 kHz時
	DV7CK=0	DV7CK=1				
A	$fc/2^{11}$	$fs/2^8$	256 [ $\mu$ s]	244.14 [ $\mu$ s]	65.5 [ms]	62.5 [ms]
	$fc/2^7$	—	16 [ $\mu$ s]	—	4.1 [ms]	—
	$fc/2^3$	—	1 [ $\mu$ s]	—	256 [ $\mu$ s]	—
B	$fc/2^5$	—	4 [ $\mu$ s]	—	1024 [ $\mu$ s]	—
	$fc/2^2$	—	500 [ns]	—	128 [ $\mu$ s]	—
	$fc/2$	—	250 [ns]	—	64 [ $\mu$ s]	—
	fc	—	125 [ns]	—	32 [ $\mu$ s]	—

Not Recommended for New Design

2.9 シリアルバスインタフェース (SBI-ver. B)

TMP87CH48/CM48は、I<sup>2</sup>Cバス (Philips社の提唱するバス方式)/クロック同期式8ビットSIOの2つの動作モードを持つシリアルバスインタフェースを1チャンネル内蔵しています。

シリアルバスインタフェースはI<sup>2</sup>Cバスモードのとき、P42 (SDA), P41 (SCL) を通して、クロック同期式8ビットSIOモードのとき、P40 (SCK), P42 (SO), P41 (SI) を通して外部デバイスと接続されます。

シリアルバスインタフェース端子は、P4ポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応するP4ポートの出力ラッチを“1”にセットします。シリアルバスインタフェース端子として使用しない端子は、通常の入出力として使用できます。

2.9.1 構成

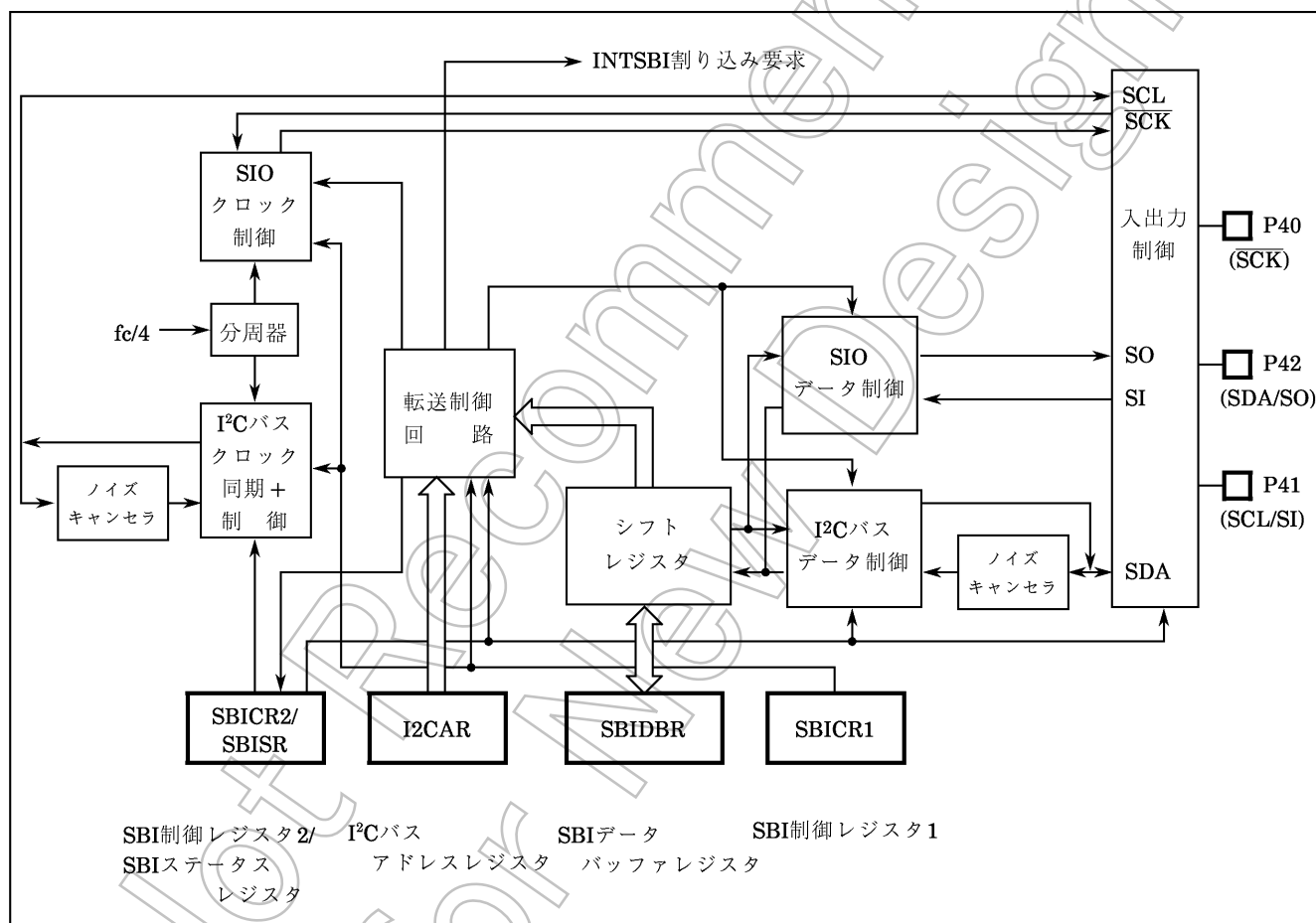


図2-32 (b). シリアルバスインタフェース (SBI-ver. B)

2.9.2 制 御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ1 (SBICR1)
- シリアルバスインタフェース制御レジスタ2 (SBICR2)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I<sup>2</sup>Cバスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)

上記レジスタは使用するモードによって、機能が異なります。詳細は『2.9.4 I<sup>2</sup>Cバスモード時の制御』および『2.9.6 クロック同期式8ビットSIOモード時の制御』を参照してください。

2.9.3 I<sup>2</sup>Cバスモード時のデータフォーマット

I<sup>2</sup>Cバスモード時のデータフォーマットを図2-33に示します。

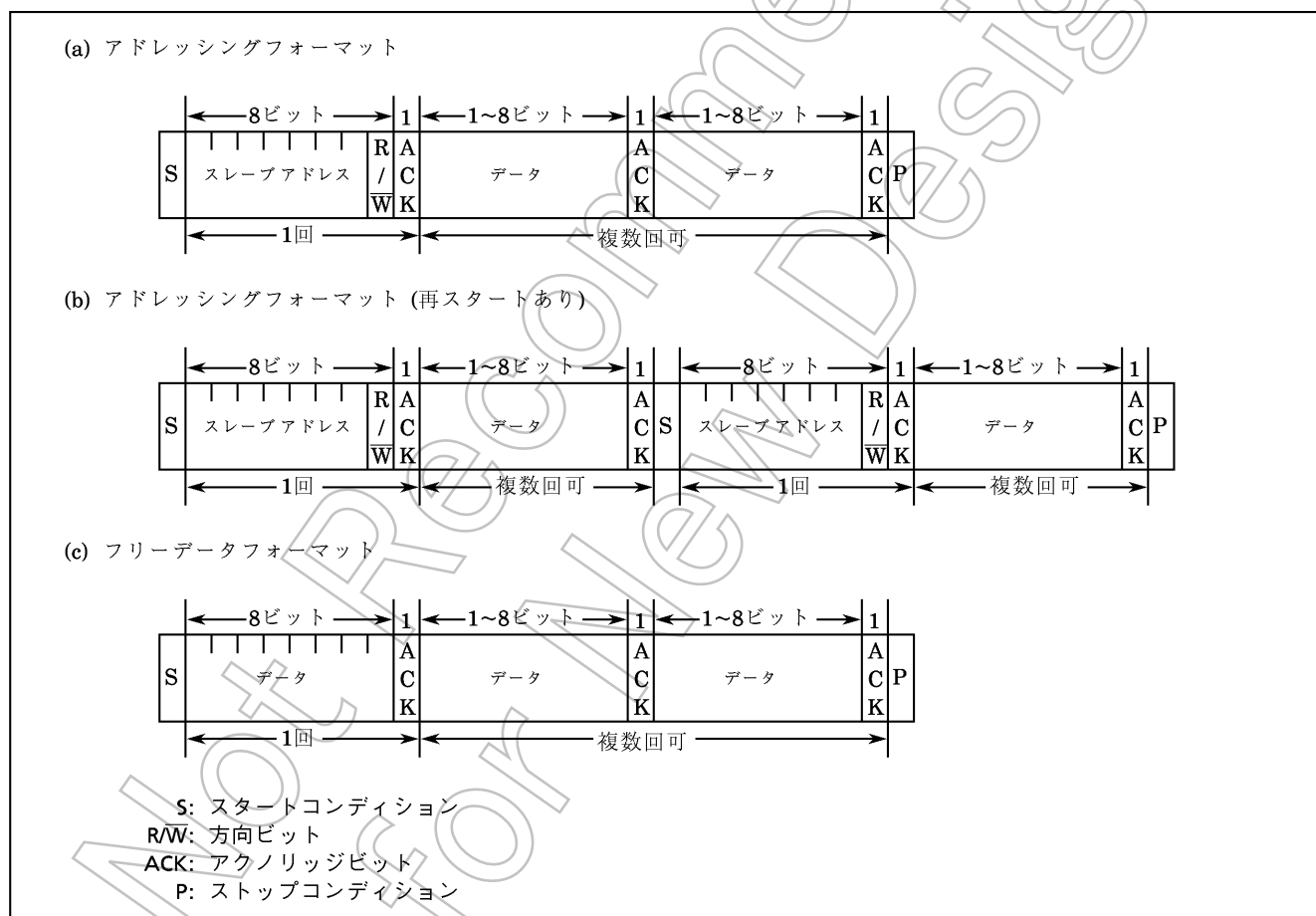


図2-33. I<sup>2</sup>Cバスモード時のデータフォーマット



2.9.4 I<sup>2</sup>Cバスモード時の制御

シリアルバスインタフェース (SBI-ver. B) をI<sup>2</sup>Cバスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ1

SBICR1 (0020<sub>H</sub>)

		7	6	5	4	3	2	1	0	
		BC		ACK		"0"		SCK		(初期値: 0000 *000)
BC	転送ビット数の選択	BC	ACK=0の時		ACK=1の時		Write only			
			クロック数	データ長	クロック数	データ長				
		000	8	8	9	8				
		001	1	1	2	1				
		010	2	2	3	2				
		011	3	3	4	3				
		100	4	4	5	4				
		101	5	5	6	5				
		110	6	6	7	6				
		111	7	7	8	7				
ACK	アクノリッジメントのためのクロック発生を選択	0: アクノリッジのためのクロックを発生しない 1: アクノリッジのためのクロックを発生する						R/W		
SCK	シリアルクロック周波数の選択	000: Reserved (注5) 001: Reserved (注5) 010: 58.8 [kHz] 011: 30.3 [kHz] 100: 15.4 [kHz] 101: 7.75 [kHz] 110: 3.89 [kHz] 111: Reserved						Write only		

@ fc = 8 MHz (SCL端子への出力)

注1) fc: 高周波クロック [Hz]  
 注2) クロック同期式8ビットSIOモードに切り替える前にBCを"000"にクリアしてください。  
 注3) SBICR1は書き込み専用レジスタを含むので、ビット操作などのリードモディファイライト命令ではアクセスできません。  
 注4) \*: Don't care  
 注5) 本I<sup>2</sup>Cバス回路は、高速モードに対応していません。標準モードのみの対応となります。100 kbpsを超える設定が可能な場合がありますがI<sup>2</sup>C規格の規格外となります。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0021<sub>H</sub>)

		7	6	5	4	3	2	1	0		
										(初期値: 0000 0000)	R/W

注1) 送信データを書き込むときには、データをMSB(ビット7)側につめて書き込んでください。  
 注2) SBIDBRは書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。  
 注3) SBIDBRに書き込んだ値は、INTSBI割り込み要求信号により"0"にクリアされます。

I<sup>2</sup>Cバスアドレスレジスタ

I2CAR (0022<sub>H</sub>)

		7	6	5	4	3	2	1	0	
		スレープアドレス							ALS	(初期値: 0000 0000)
		SA6	SA5	SA4	SA3	SA2	SA1	SA0		
SA	スレープアドレスの設定									
ALS	アドレス認識モードの指定	0: スレープアドレスを認識する(アドレッシングフォーマット) 1: スレープアドレスを認識しない(フリーデータフォーマット)							Write only	

注) I2CARは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-34. I<sup>2</sup>Cバスモード時の制御レジスタ1, データバッファレジスタとI<sup>2</sup>Cバスアドレスレジスタ

## シリアルバスインタフェース制御レジスタ2

SBICR2  
(0023<sub>H</sub>)

	7	6	5	4	3	2	1	0	
	MST	TRX	BB	PIN	SBIM		"0"	"0"	(初期値: 0001 00**)

MST	マスタ/スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	トランスミッタ/レシーバの選択	0: レシーバ 1: トランスミッタ	
BB	スタートコンディション/ストップコンディションの発生	0: ストップコンディション発生 1: スタートコンディション発生	
PIN	割り込みサービス要求の解除	0: - ("0" にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: クロック同期式8ビットSIOモード 10: I <sup>2</sup> Cバスモード 11: Reserved	

注1) \*: Don't care

注2) ポートモードへの切り替えはバスフリーを確認してから行ってください。

注3) ポートモードからI<sup>2</sup>Cバスモード、クロック同期式SIOモードへの切り替えは、ポートの状態が "H" になっていることを確認後、行ってください。

注4) SBICR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注5) SBICR2のビット1,0は "0" にクリアしてください。

## シリアルバスインタフェースステータスレジスタ

SBISR  
(0023<sub>H</sub>)

	7	6	5	4	3	2	1	0	
	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	(初期値: 0001 0000)

MST	マスタ/スレーブ選択状態モニタ	0: スレーブ 1: マスタ	Read only
TRX	トランスミッタ/レシーバ選択状態モニタ	0: レシーバ 1: トランスミッタ	
BB	バス状態モニタ	0: バスフリー 1: バスビジー	
PIN	割り込みサービス要求状態モニタ	0: 割り込みサービス要求中 1: 割り込みサービス要求解除中	
AL	アビトレーションロスト検出モニタ	0: アビトレーションロスト未検出 1: アビトレーションロスト検出	
AAS	スレーブアドレス一致検出モニタ	0: スレーブアドレス不一致 またはゼネラルコール未検出 1: スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0: ゼネラルコール未検出 1: ゼネラルコール検出	
LRB	最終受信ビットモニタ	0: 最終受信ビット "0" 1: 最終受信ビット "1"	

図2-35. I<sup>2</sup>Cバスモード時の制御レジスタ2/ステータスレジスタ

## (1) アクノリッジメントモードの指定

ACK (SBICR1のビット4)を“1”にセットしておくこととアクノリッジメントモードとして動作します。

シリアルバスインタフェース回路がマスタモードのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA端子を“L”レベルに引きアクノリッジ信号を発生します。

ACKを“0”にクリアしておくことと非アクノリッジメントモードとして動作し、シリアルバスインタフェース回路がマスタモードのときにアクノリッジ信号のためのクロックを発生しません。

同様にアクノリッジメントモードでは、シリアルバスインタフェース回路がスレーブモードの時には、アクノリッジ信号のためのクロックをカウントします。アクノリッジのためのクロックの期間中、受信したスレーブアドレスとI2CARに設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときには、SDA端子を“L”レベルに引きアクノリッジ信号を発生します。また、スレーブアドレス一致、ゼネラルコール受信後のデータ転送でのアクノリッジのためのクロックの期間中、トランスミッタモードのときには、SDA端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA端子を“L”レベルに引きアクノリッジ信号を発生します。

非アクノリッジメントモードでは、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

## (2) 転送ビット数の選択

BC (SBICR1のビット7~5)により、次に送受信するデータのビット数を選択します。

BCはスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず8ビットで行われます。それ以外のとき、BCは一度設定された値を保持します。

## (3) シリアルクロック

## a. クロックソース

SCK (SBICR1のビット2~0)で、マスタモード時にSCL端子から出力するシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて $t_{LOW}$ の最小幅など、I<sup>2</sup>Cバス規定を満たす通信ボーレートを選択してください。

またマスタモード/スレーブモードとも外部から入力されるクロックの“H”レベル、“L”レベルは4マシサイクル以上のパルス幅が必要です。

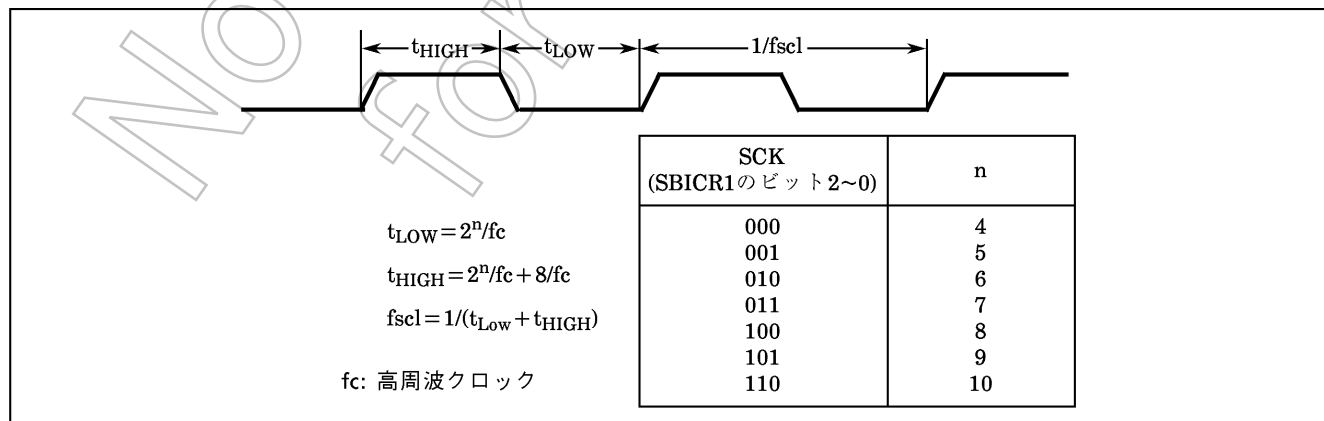


図2-36. クロックソース

## b. クロック同期化

I<sup>2</sup>Cバスでは端子の構造上、バスをワイヤードアンドで駆動させるためクロックラインを最初に“L”レベルに引いたマスタが“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

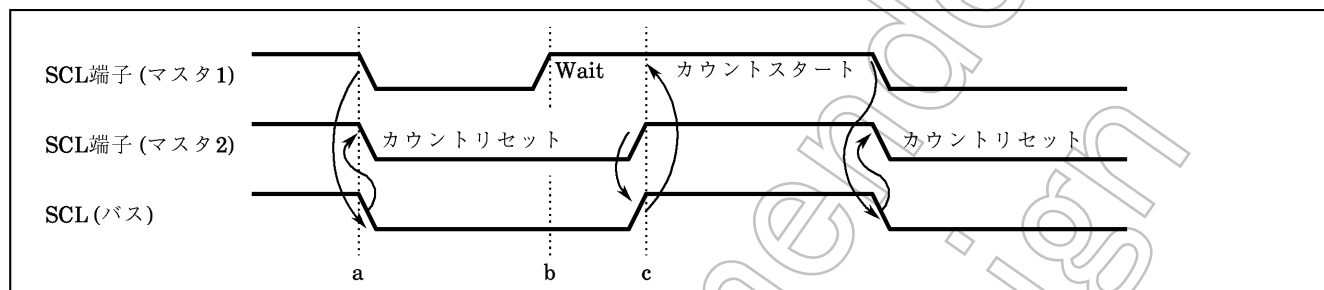


図2-37. クロック同期化の例

a点でマスタ1がSCL端子を“L”レベルに引くことで、バスのSCLラインは“L”レベルになります。マスタ2はこれを検出し、マスタ2の“H”レベル期間のカウントリセットし、SCL端子を“L”レベルに引きます。

b点でマスタ1は“L”レベル期間のカウンタを終わり、SCL端子を“H”レベルにします。しかしマスタ2がバスのSCLラインを“L”レベルに保持し続けているのでマスタ1は“H”レベル期間のカウンタを止めます。マスタ1は、c点でマスタ2がSCL端子を“H”レベルにし、バスのSCLラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと、最も長い“L”レベル期間を持つマスタによって決定されます。

### (4) スレーブアドレスとスレーブアドレス認識モードの設定

シリアルバスインタフェース回路をスレーブアドレスを認識するアドレッシングフォーマットで使用する際には、ALS (I<sup>2</sup>CARのビット0)を“0”にクリアし、SA (I<sup>2</sup>CARのビット7~1)にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用する際には、ALSを“1”にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで利用した場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

### (5) マスタ/スレーブの選択

MST (SBICR2のビット7)を“1”にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

MSTを“0”にクリアすると、スレーブデバイスとして動作します。MSTはバス上のストップコンディションを検出したとき、または、アービトレーションロストが検出されると、ハードウェアにより“0”にクリアされます。

(6) トランスマッタ/レシーバの選択

TRX (SBICR2のビット6)を“1”にセットすると、シリアルバスインタフェース回路はトランスマッタとして動作し、TRXを“0”にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/W)が“1”の場合、TRXは“1”にセットされ、“0”の場合は“0”にクリアされます。マスタモード時、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより送信した方向ビットが“1”の場合、TRXは“0”にクリアされ、“0”の場合は“1”に変化します。アクリッジが返ってこない場合は、以前の状態を保ちます。

TRXは、バス上のストップコンディションまたは、アービトレーションロストが検出されると、ハードウェアにより“0”にクリアされます。

下記に各モードでのTRXの変化条件と変化後のTRXの値を示します。

モード	方向ビット	変化条件	変化後のTRX
スレーブモード	“0”	受信したスレーブアドレスがI2CARに設定された値と同じとき	“0”
	“1”		“1”
マスタモード	“0”	ACK信号が返ってきたとき	“1”
	“1”		“0”

シリアルバスインタフェース回路をフリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRXはハードウェアによって変化することはありません。

(7) スタートコンディション/ストップコンディションの発生

BB (SBICR2のビット5)が“0”のときにMST, TRX, BB, PINに“1”を書き込むと、バス上にスタートコンディションと8ビットのデータが出力されます。あらかじめデータバッファレジスタ (SBIDBR)に送信データ (ACKに“1”)をセットしておいてください。

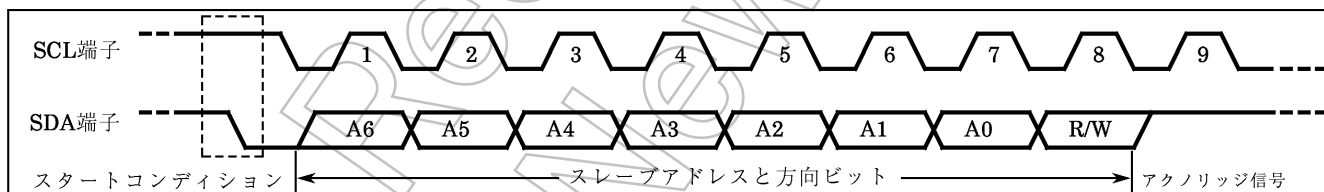


図2-38. スタートコンディションの発生とスレーブアドレスの発生

BB = “1”のときにMST, TRX, PINに“1”、BBに“0”を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB, PINの内容を書き替えないでください。

またストップコンディション発生時にバスのSCLラインがほかのデバイスにより“L”レベルに引かれていた場合、ストップコンディションが正常に発生されないことがあります。ほかのデバイスがバスのSCLラインを解放した後に、MST, TRX, PINに“1”、BBに“0”を書き込み、ストップコンディションを発生させてください。

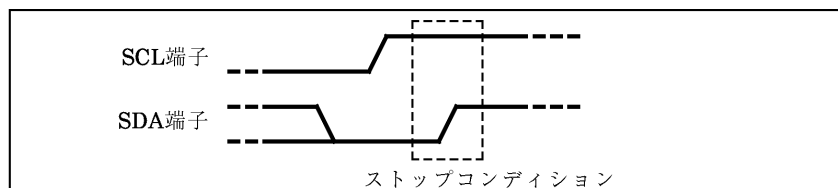


図2-39. ストップコンディションの発生

注) ストップコンディション発生時のSCLライン立ち上がり時間が、 $tr = 2^n / fc - 3.5 \times 4 / fc$  (s) (nはSCKによって決まる値)を超えないようにしてください。SCLラインの立ち上がり時間がこの値を超えると、ストップコンディションが正常に発生されないことがあります。

SCK	n	tr (Max fc = 8 MHz)	tr (Max fc = 4 MHz)
000	4	0.25 [ $\mu$ s]	0.50 [ $\mu$ s]
001	5	2.25 [ $\mu$ s]	4.50 [ $\mu$ s]
010	6	6.25 [ $\mu$ s]	12.5 [ $\mu$ s]
011	7	14.2 [ $\mu$ s]	28.5 [ $\mu$ s]
100	8	30.2 [ $\mu$ s]	60.5 [ $\mu$ s]
101	9	62.5 [ $\mu$ s]	124.5 [ $\mu$ s]
110	10	126.25 [ $\mu$ s]	252.5 [ $\mu$ s]

fc: 高周波クロック [Hz]

また、**BB** (SBISRのビット5)を読み出すことで、バスの状態を知ることができます。**BB**は、バス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます(バスフリー状態)。

#### (8) 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、**BC**と**ACK**によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(**INTSBI**)が発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスが**I2CAR**に設定されたスレーブアドレスと一致したとき、ゼネラルコールを受信したときのアクノリッジ信号出力後、または、前記スレーブアドレスの一致、ゼネラルコール受信をした後のデータ転送の終了時に、**INTSBI**割り込み要求が発生します。

シリアルバスインタフェース割り込み要求が発生すると、**PIN** (SBISRのビット4)が“0”にクリアされます。**PIN**が“0”の間、**SCL**端子が“L”レベルに引かれます。

**SBIDBR**にデータを書き込むか、**SBIDBR**からデータを読み出すと“1”にセットされます。

**PIN**が“1”にセットされてから、**SCL**端子が開放されるまで、 $t_{LOW}$ の時間がかかります。

プログラムで**PIN** (SBICR2のビット4)に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

#### (9) シリアルバスインタフェースの動作モード

**SBIM** (SBICR2のビット3~2)でシリアルバスインタフェースの動作モードを設定します。

I<sup>2</sup>Cバスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、**SBIM**を“10”にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

## (10) アービトレーションロスト検出モニタ

I<sup>2</sup>Cバスではマルチマスタ(1つのバス上で同時に2つ以上のマスタが存在する)が可能のため、転送されるデータの内容を保証するためにバスのアービトレーション手段が必要となります。

I<sup>2</sup>CバスではバスのアービトレーションにSDAラインのデータを使用します。

アービトレーションの手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。a点のビットまでマスタ1、マスタ2とも同じデータを出力し、a点でマスタ1がデータ“1”を出力、マスタ2がデータ“0”を出力すると、バスのSDAラインはワイヤードアンドで駆動されるために、SDAラインはマスタ2によって“L”レベルに引かれます。b点でバスのSCLラインが立ち上がると、スレーブデバイスはSDAラインデータ(マスタ2)を取り込みます。このとき、マスタ1の出力したデータは無効になります。マスタ1のこの状態を“アービトレーションロスト”と呼び、アービトレーションを失ったマスタは、SDA端子、SCL端子を解放し、アービトレーションを失っていないほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが1ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は2ワード目以降も継続されます。

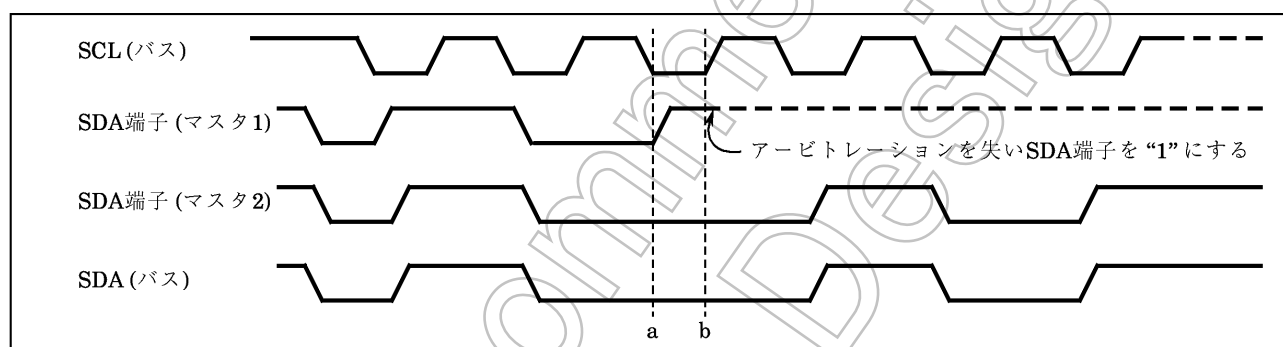


図2-40. アービトレーションロスト

シリアルバスインタフェース回路では、バスのSDAラインのレベルとシリアルバスインタフェース回路のSDA端子のレベルの比較をSCLラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL(SBISRのビット3)が“1”にセットされます。

ALが“1”にセットされるとMST, TRXは“0”にリセットされ、スレーブレシーバモードになります。

ALは、SBIDBRにデータを書き込むか、SBIDBRからデータを読み込む、またはSBICR2にデータを書き込むと“0”にリセットされます。

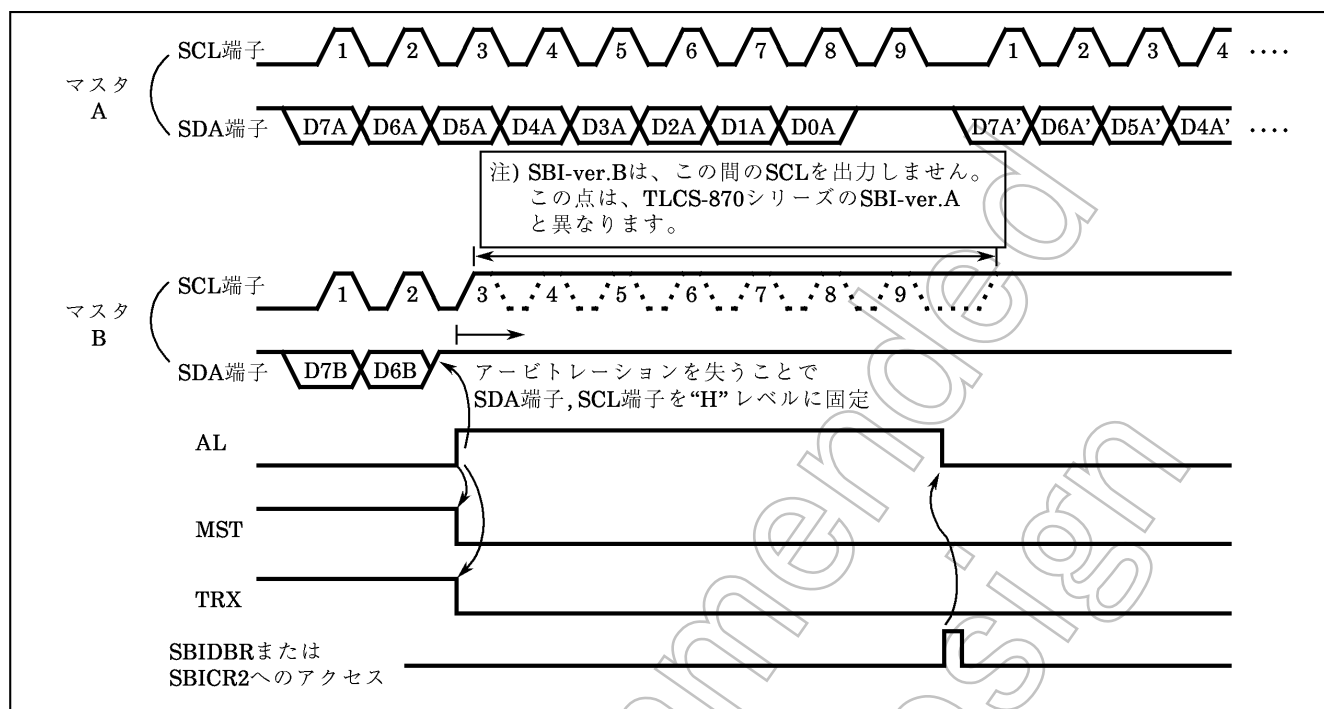


図2-41. シリアルバスインタフェース回路がマスタBの場合アービトレーションロストの例

(11) スレーブアドレス一致検出モニタ

AAS (SBISRのビット2)は、スレーブモードで、かつアドレスリングフォーマット (ALS=“0”) のとき、ゼネラルコールまたはI2CARにセットした値と同じスレーブアドレスを受信すると“1”にセットされます。フリーデータフォーマット (ALS=“1”) のときは、最初の1ワードが受信されると“1”にセットされます。AASはSBIDBRにデータを書き込むか、SBIDBRからデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

AD0 (SBISRのビット1)は、スレーブモード時、ゼネラルコール (スタートコンディション直後に受信した8ビットのデータがすべて“0”) のとき、“1”にセットされます。AD0はバス上のスタートコンディションまたはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

LRB (SBISRのビット0)には、バス上のSCLラインの立ち上がりで取り込まれたバス上のSDAラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI割り込み要求発生直後にLRBを読み出すと、アクノリッジ信号が読み出されます。



2.9.5 I<sup>2</sup>Cバスモード時のデータ転送手順

## (1) デバイスの初期化

最初にSBICR1のACKに“1”を、BCに“000”を設定し、アクノリッジのためのクロックをカウントするように、またデータ長を8ビットにします。また、SCKに転送周波数を設定します。

次にI2CARのSAにスレーブアドレスを設定します。また、ALSを“0”にクリアしてアドレッシングフォーマットに設定します。

その後、シリアルバスインタフェース端子の状態が“H”レベルになっていることを確認し、SBICR2のMST, TRX, BBに“0”、PINに“1”、SBIMに“10”、ビット1~0に“0”を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

## (2) スタートコンディション、スレーブアドレスの発生

バスフリー (BB=“0”)状態を確認します。

ACKを“1”にセットし、SBIDBRに送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PINに“1”を書き込むと、バス上にスタートコンディションとSBIDBRに設定したスレーブアドレスと方向ビットが出力されます。この後、SCLの9クロック目の立ち下がりINTSBI割り込み要求が発生し、PINが“0”にクリアされます。PINが“0”の間、SCL端子を“L”レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみ、ハードウェアによりINTSBI割り込み要求タイミングでTRXが方向ビットに合わせて変化します。

注1) SBIDBRへの、出力するスレーブアドレスの書き込みは、ソフトウェアによりバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注2) 出力するスレーブアドレスの書き込みから98.0  $\mu$ s (I<sup>2</sup>Cバス規格による最短の転送時間) 以内に再度ソフトウェアによるバスフリーの確認を行い、バスフリーが確認できたときのみ、SBICR2のMST, TRX, BB, PINに“1”を書き込みスタートコンディションを発生させてください。この制約が守られない場合、SBIDBRへ出力するスレーブアドレスを書き込んでからSBICR2のMST, TRX, BB, PINに“1”を書き込みスタートコンディションを発生させるまでの間に、ほかのマスターによる転送が行われ、SBIDBRに書き込んだスレーブアドレスが破壊されることがあります。

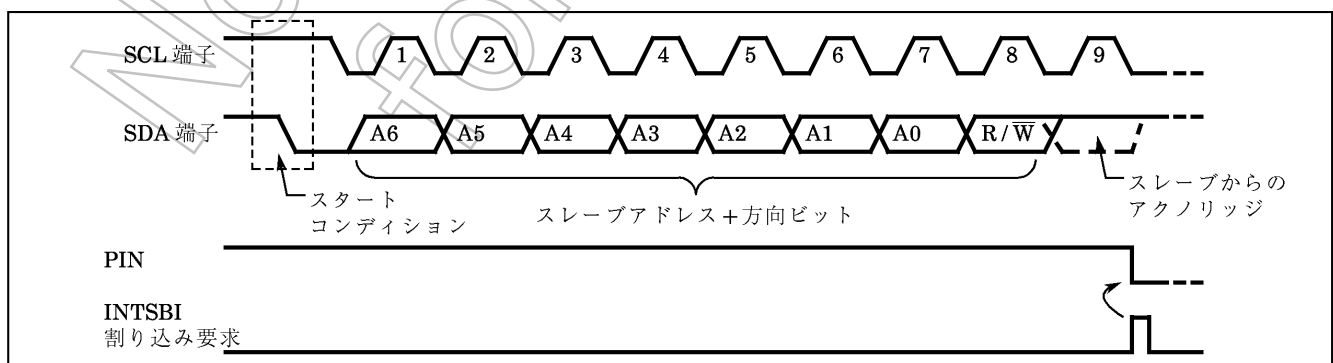


図2-42. スタートコンディションとスレーブアドレスの発生

(3) 1ワードのデータ転送

1ワード転送終了のINTSBI割り込みの処理でMSTをテストし、マスタモード/スレーブモードの判断をします。

a. MSTが“1”のとき(マスターモード)

TRXをテストし、トランスミッタ/レシーバの判断をします。

① TRXが“1”のとき(トランスミッタモード)

LRBをテストします。LRBが“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(2.9.5(4)参照)を行ってデータ転送を終了します。

LRBが“0”のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が8ビット以外のときはBCを再設定し、ACKを“1”にセットした後、送信データをSBIDBRに書き込みます。データを書き込むとPINが“1”になりSCL端子から次の1ワードのデータ転送用のシリアルクロックが発生され、1ワードのデータが送信されます。送信終了後、INTSBI割り込み要求が発生し、PINが“0”になりSCL端子を“L”レベルに引きます。複数ワードの転送が必要な場合は上記LRBのテストから繰り返します。

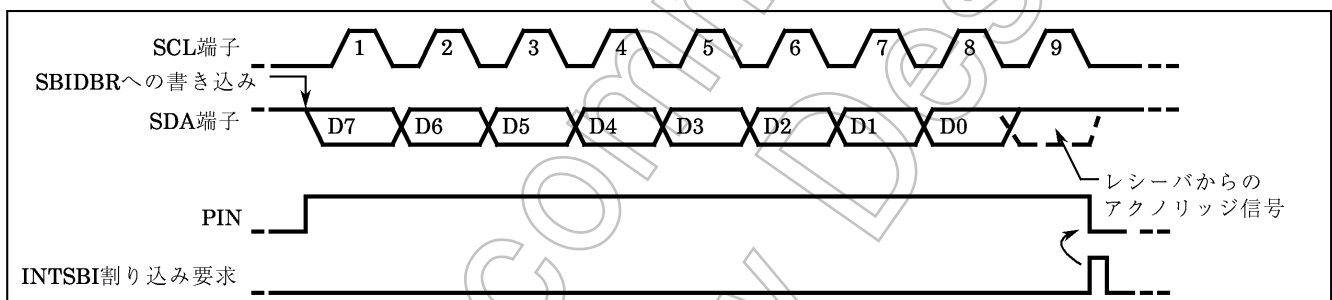


図2-43. BC = “000”, ACK = “1” のときの例

② TRXが“0”のとき(レシーバモード)

次に転送するデータのビット数が8ビット以外のときはBCを再設定し、ACKに“1”をセットした後、SBIDBRから受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すとPINは“1”になり、次の1ワードのデータ転送用のシリアルクロックをSCLに出力し、アックノリッジのタイミングで“0”をSDA端子に出力します。

その後、INTSBI割り込み要求が発生し、PINが“0”になります。SBIDBRから受信データを読み出すたびに1ワードの転送クロックとアックノリッジを出力します。

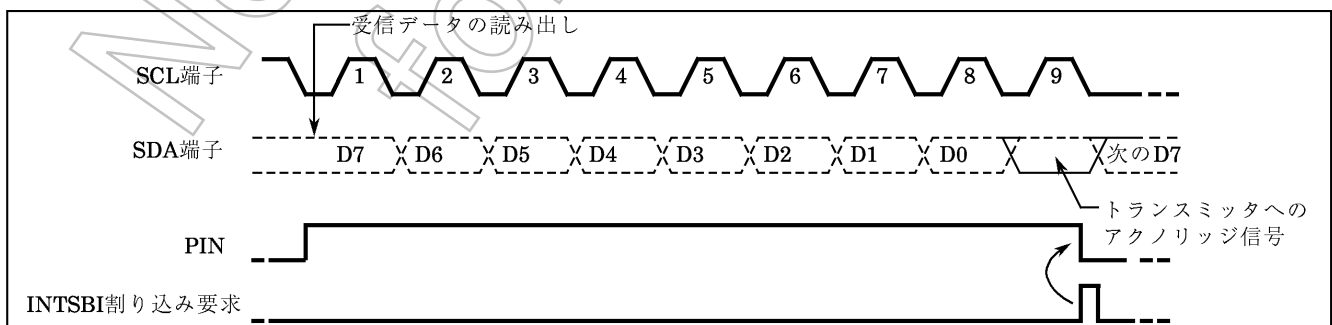


図2-44. BC = “000”, ACK = “0” のときの例

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に、ACKを“0”にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC=“001”に設定し、データを読み出すとPINが“1”にセットされ、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスのSDAラインは“H”レベルを保ちます。トランスミッタはアクノリッジ信号としてこの“H”レベルを受信するので、レシーバはトランスミッタ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

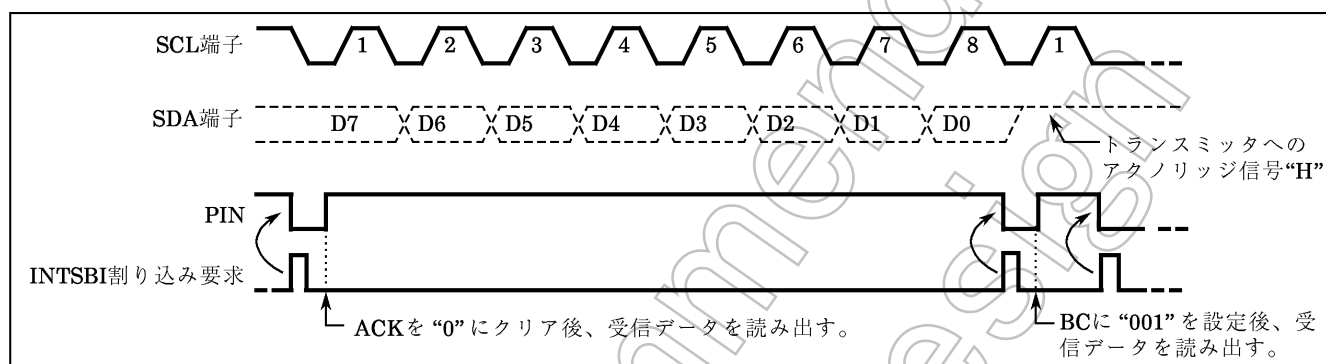


図2-45. マスタレシーバモード時、データの送信を終了させるときの処理

#### b. MSTが“0”のとき (スレーブモード)

スレーブモード時は、通常のスレーブモードとしての処理または、シリアルバスインタフェース回路がアービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモード時には、マスタが送ったシリアルバスインタフェース回路のスレーブアドレスを受信したとき、またはゼネラルコールを受信したとき、もしくは受信したスレーブアドレスが一致した後にゼネラルコールの受信とデータ転送を終了したときに、INTSBI割り込み要求が発生します。また、シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時にINTSBI割り込み要求が発生します。INTSBI割り込み要求が発生するとPIN (SBICR2のビット4) が“0”にリセットされ、SCL端子を“L”レベルに引き下げます。SBIDBRにデータを書き込む、SBIDBRからデータを読み出す、またはPINを“1”にセットするとSCL端子が $t_{LOW}$ 後に開放されます。

AL (SBISRのビット3)、TRX (SBISRのビット6)、AAS (SBISRのビット2)、AD0 (SBISRのビット1) をテストし、場合分けを行います。表2-8にスレーブモード時の状態と必要な処理を示します。

表2-8. スレーブモード時の処理

TRX	AL	AAS	ADO	状 態	処 理
1	1	1	0	シリアルバスインタフェース回路がスレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。
				スレーブレシーバモード時、マスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	
	0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRBをテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないのでPINに“1”をセット、TRXを“0”にリセットしバスを解放します。LRBが“0”にリセットされていた場合、レシーバが次のデータを要求しているため1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。	
0	1	1	1/0	シリアルバスインタフェース回路がスレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PINを“1”にセットするためにSBIDBRを読み出します。(ダミー読み出し) またはPINに“1”を書き込みます。
				0	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数をBCにセットし、受信データをSBIDBRから読み出します。
				0	

## (4) ストップコンディションの発生

BB=“1”のときに、MST, TRX, PINに“1”、BBに“0”を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB, PINの内容を書き替えないでください。

また、ストップコンディション発生時にバスのSCLラインがほかのデバイスにより“L”レベルに引かれていた場合、ストップコンディションが正常に発生されないことがあります。ほかのデバイスがバスのSCLラインを解放した後に、MST, TRX, PINに“1”、BBに“0”を書き込み、ストップコンディションを発生させてください。

注) ストップコンディション発生時のSCLラインの立ち上がり時間が、 $tr = 2^n / fc - 3.5 \times 4 / fc$  (s) (nはSCKによって決まる値) を超えないようにしてください。SCLラインの立ち上がり時間がこの値を超えると、ストップコンディションが正常に発生されないことがあります。

SCK	n	tr (Max fc=8 MHz)	tr (Max fc=4 MHz)
000	4	0.25 [ $\mu$ s]	0.50 [ $\mu$ s]
001	5	2.25 [ $\mu$ s]	4.50 [ $\mu$ s]
010	6	6.25 [ $\mu$ s]	12.5 [ $\mu$ s]
011	7	14.2 [ $\mu$ s]	28.5 [ $\mu$ s]
100	8	30.2 [ $\mu$ s]	60.5 [ $\mu$ s]
101	9	62.5 [ $\mu$ s]	124.5 [ $\mu$ s]
110	10	126.25 [ $\mu$ s]	252.5 [ $\mu$ s]

fc: 高周波クロック [Hz]

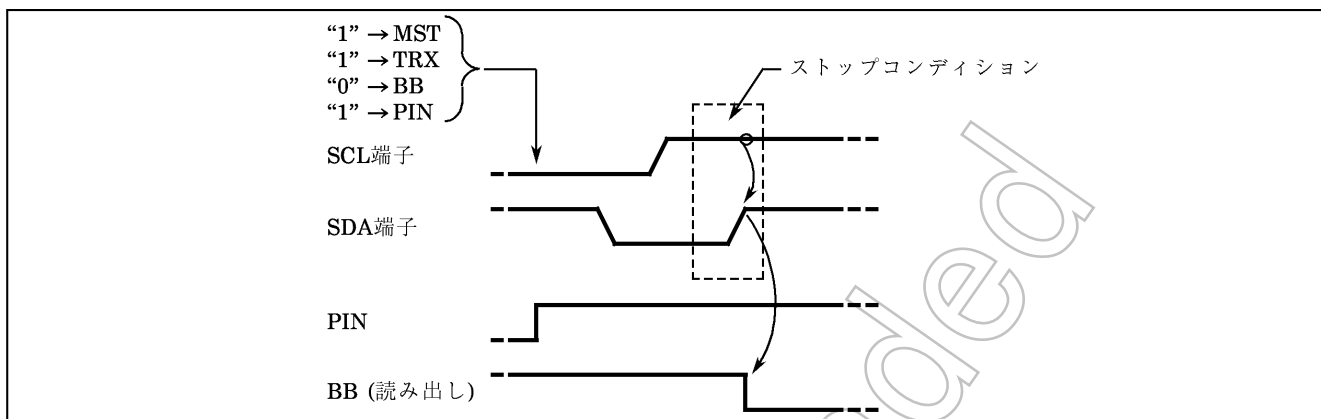


図2-46. ストップコンディションの発生

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。再スタートが発生する場合の手順を以下に示します。

まず、MST, TRX, BBに“0”、PINに“1”を書き込むと、SDA端子は“H”レベルを保ち、SCL端子が解放されます。このときバス上にストップコンディションは発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、BBをテストして“0”になるまで待ち、シリアルバスインタフェース回路のSCL端子が解放されたことを確認します。次にLRBをテストして“1”になるまで待ち、ほかのデバイスがバスのSCLラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記(2)の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低4.7 μsのソフトウェアによる待ち時間が必要です。

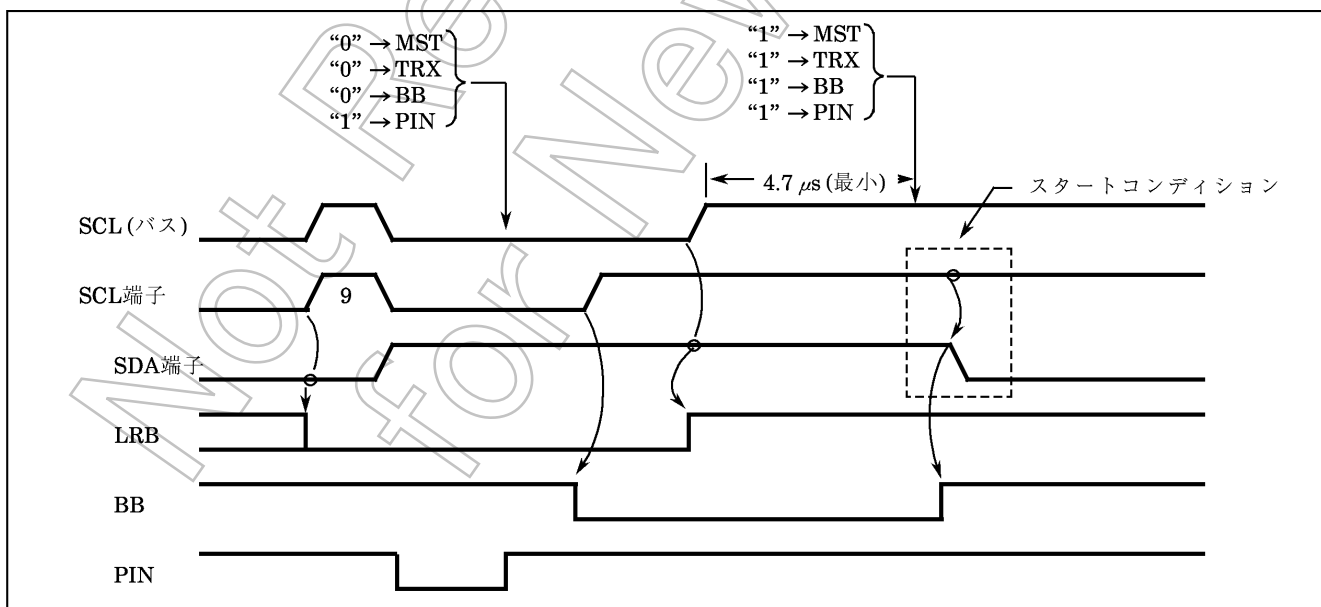


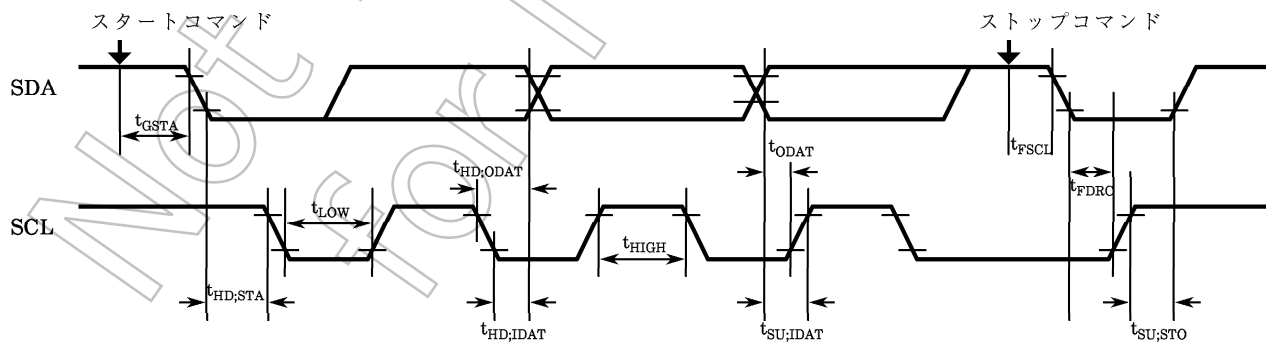
図2-47. 再スタートが発生する場合のタイミングチャート

SBI-Ver. B (I<sup>2</sup>C-BUS) のSDAとSCLのACタイミング

項目	記号	Min	Typ.	Max	単位
スタート状態のホールド時間 (この期間の後、第一クロックパルスが発生する)	$t_{HD;STA}$	$2^n/fc$	-	-	s
SCLクロック“H”レベルパルス幅	$t_{HIGH}$	$2^n/fc + 8/fc$	-	-	s
SCLクロック“L”レベルパルス幅	$t_{LOW}$	$2^n/fc$	-	-	s
データホールド時間 (入力)	$t_{HD;IDAT}$	0	-	-	ns
データセットアップ時間 (入力)	$t_{SU;IDAT}$	250	-	-	ns
データホールド時間 (出力)	$t_{HD;ODAT}$	$3/fc$	-	$7/fc$	s
SCLクロック立ち上がり前データ出力時間	$t_{ODAT}$	-	$2^n/fc - t_{HD;ODAT}$	-	s
ストップ状態セットアップ時間	$t_{SU;STO}$	$2^n/fc + 4/fc$	-	-	s
スタートコマンド書き込み中のスタート状態生成期間	$t_{GSTA}$	$3/fc$	-	-	s
ストップコマンド書き込み中のSCLクロック立ち下がり期間	$t_{FSCL}$	$3/fc$	-	-	s
ストップ状態生成中のSDA立ち下がりエッジからSCL立ち上がりエッジまでの期間	$t_{FDRC}$	$2^n/fc$	-	-	s

注) n

SCK (Bit 2 to 0 in the SBICR1)	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10



2.9.6 クロック同期式8ビットSIOモード時の制御

シリアルバスインタフェース回路をクロック同期式8ビットSIOモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ1				
SBICR1 (0020H)	7	6	5 4 3 2 1 0	
	SIOS	SIOINH	SIOM "0" SCK (初期値: 0000 *000)	
	SIOS	転送の開始/終了	0: 終了 1: 開始	
	SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)	
	SIOM	転送モードの選択	00: 8ビット送信モード 01: Reserved 10: 8ビット送受信モード 11: 8ビット受信モード	
	SCK	シリアルクロック周波数の選択	000: $fc/2^5$ (250 [kHz]) 001: $fc/2^6$ (125 [kHz]) 010: $fc/2^7$ (62.5 [kHz]) 011: $fc/2^8$ (31.25 [kHz]) 100: $fc/2^9$ (15.62 [kHz]) 101: $fc/2^{10}$ (7.81 [kHz]) 110: $fc/2^{11}$ (3.90 [kHz]) 111: 外部クロック (SCK端子から入力)	
			fc=8MHzのとき (SCK端子への出力)	
			Write only	
注1) *: Don't care、fc: 高周波クロック [Hz] 注2) 転送モード、シリアルクロックの設定時は、SIOS=0, SIOINH="1" にしてください。 注3) SBICR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。				
シリアルバスインタフェースデータバッファレジスタ				
SBIDBR (0021H)	7	6	5 4 3 2 1 0	
				(初期値: 0000 0000) R/W
	注) SBIDBRは書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。			
シリアルバスインタフェース制御レジスタ2				
SBICR2 (0023H)	7	6	5 4 3 2 1 0	
	"0"	"0"	"0" "1" SBIM "0" "0" (初期値: **** 00**)	
	SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: クロック同期式8ビットSIOモード 10: I <sup>2</sup> Cバスモード 11: Reserved	
			Write only	
注1) *: Don't care 注2) ポートモードへの切り替えは、転送終了を確認してから行ってください。 注3) ポートモードからI <sup>2</sup> Cバスモード、クロック同期式8ビットSIOモードへの切り替えは、ポートの状態が"H"レベルになっていることを確認後、行ってください。 注4) SBICR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。 注5) SBICR2のビット7~5, 1~0は"0"にクリア、ビット4は"1"にセットしてください。				
シリアルバスインタフェースステータスレジスタ				
SBISR (0023H)	7	6	5 4 3 2 1 0	
	"1"	"1"	"1" "1" SIOF SEF "1" "1" (初期値: 1111 0011)	
	SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	
	SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト転送中	
			Read only	

図2-48. SIOモード時の制御レジスタ/データバッファレジスタ/ステータスレジスタ

## (1) シリアルクロック

## a. クロックソース

SCK (SBICR1 のビット 2~0) により、次の選択ができます。

## ① 内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお転送開始時、SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

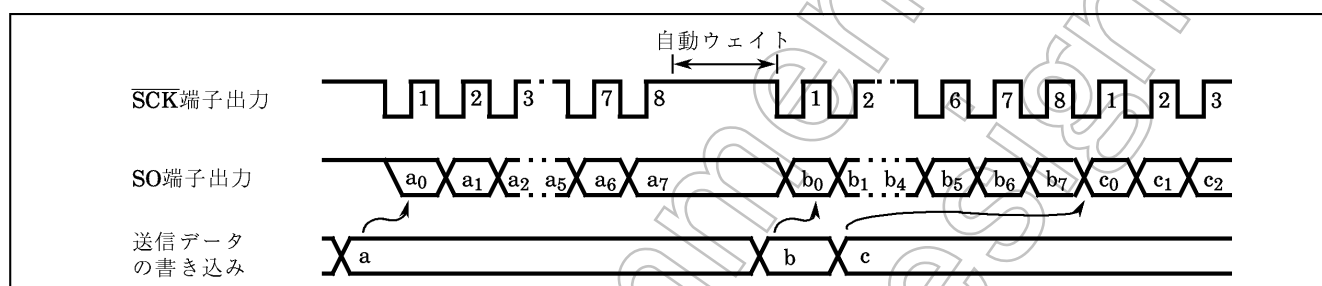


図2-49. 自動ウェイト機能

## ② 外部クロック (SCK="111")

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベルとともに4マシサイクル以上のパルス幅が必要です。従って、最大転送周波数は250 kHz ( $f_c = 8 \text{ MHz}$ 時)です。

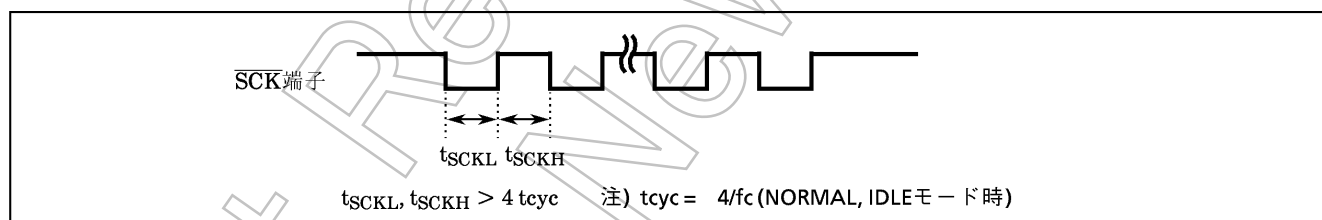


図2-50. 外部クロック入力時の最大転送周波数

## b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

## ① 前縁シフト

シリアルクロックの前縁(SCK端子入出力の立ち下がりエッジ)でデータをシフトします。

## ② 後縁シフト

シリアルクロックの後縁(SCK端子入出力の立ち上がりエッジ)でデータをシフトします。



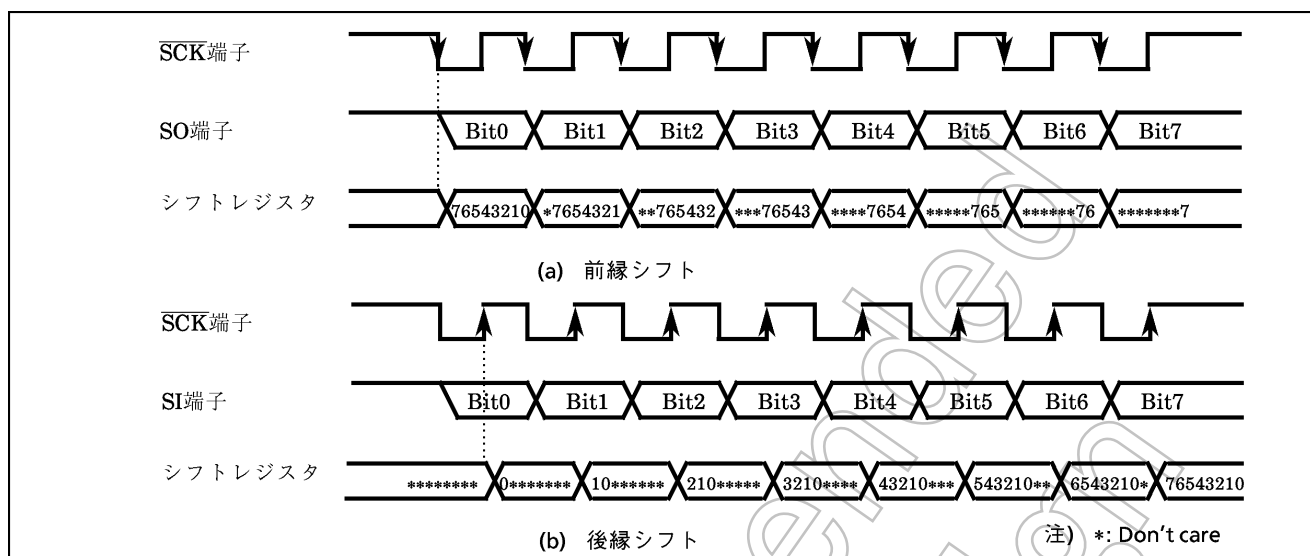


図2-51. シフトエッジ

## (2) 転送モード

SIOM (SBICR1のビット5, 4) で、送信/受信/送受信モードを選択します。

## a. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データをSBIDBRに書き込みます。

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、SBIDBRからシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側からSO端子に出力されます。送信データがシフトレジスタに移されると、SBIDBRが空になりますので、次の送信データを要求するINTSBI (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信した後、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと、自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBRにデータが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、SBIDBRにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となってからSCKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファEMPTY割り込みサービスプログラムでSIOSを“0”にクリアするか、SIOINHを“1”にセットします。SIOSがクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了を確認するには、SIOF (SBISRのビット3) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は直ちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”にクリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。

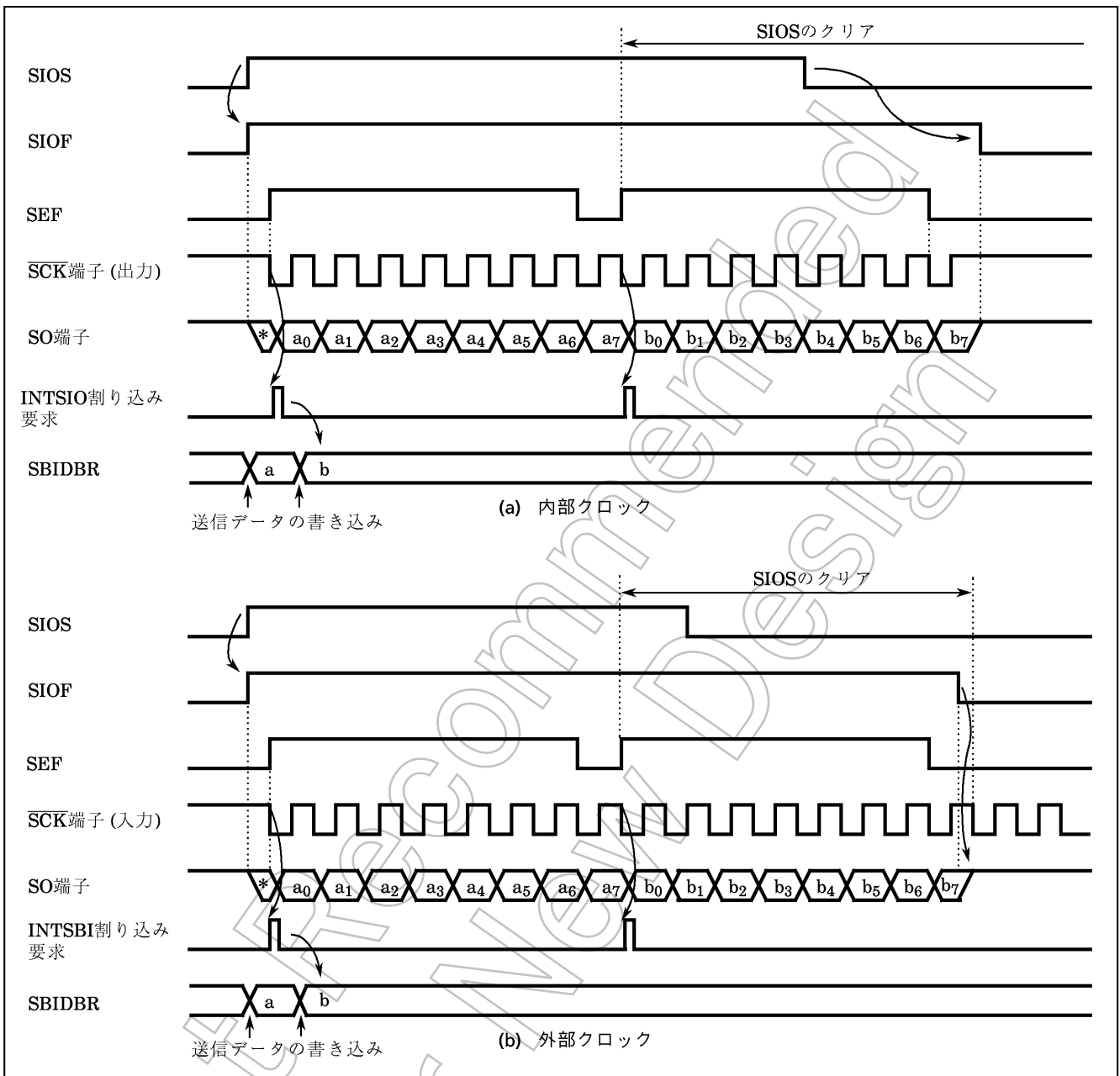


図2-52. 送信モード

例: SIOの送信終了指示 (外部クロックの場合)。

```

STEST1:  TEST    (SBISR) . SEF          ; If SEF=1 then loop
          JRS     F, STEST1
STEST2:  TEST    (P4) . 0              ; If SCK=0 then loop
          JRS     T, STEST2
          LD     (SBICR1), 00000111B   ; SIOS ← 0
    
```

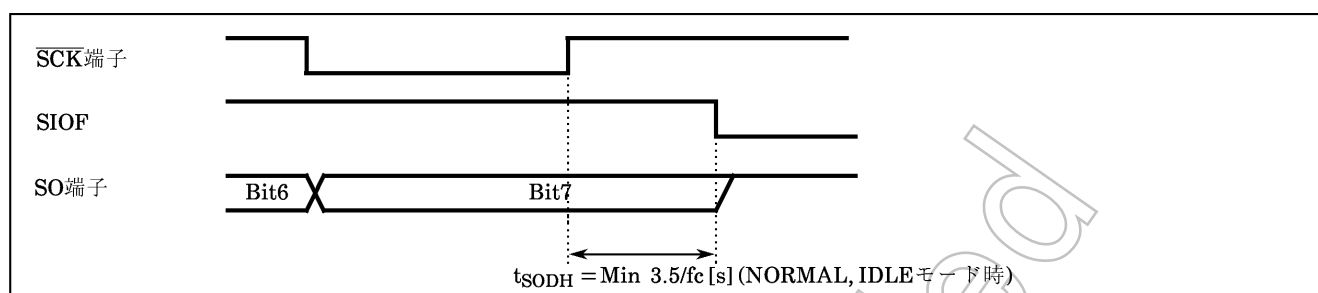


図2-53. 送信終了時の送信データ保持時間

### b. 8ビット受信モード

制御レジスタに受信モードをセットした後、**SIOS**を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、**SI**端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれると、シフトレジスタから**SBIDBR**に受信データが書き込まれ、受信データの読み出し要求する**INTSBI**(バッファフル)割り込み要求が発生します。受信データは、割り込みサービスプログラムにて**SBIDBR**から読み出します。

内部クロック動作の場合、受信データが**SBIDBR**から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには、バッファフル割り込みサービスプログラムで**SIOS**を“0”にクリアするか**SIOINH**を“1”にセットします。**SIOS**がクリアされると、受信データが全ビット揃い、**SBIDBR**への書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、**SIOF**(**SBIDBR**のビット3)をセンスします。**SIOF**は受信の終了で“0”になります。受信終了の確認の後、最終受信データを読み出します。**SIOINH**をセットした場合は、直ちに受信を打ち切り、**SIOF**は“0”になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えますと、**SBIDBR**の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(**SIOS**を“0”にクリア)を行い、最終受信データを読み出した後で切り替えてください。

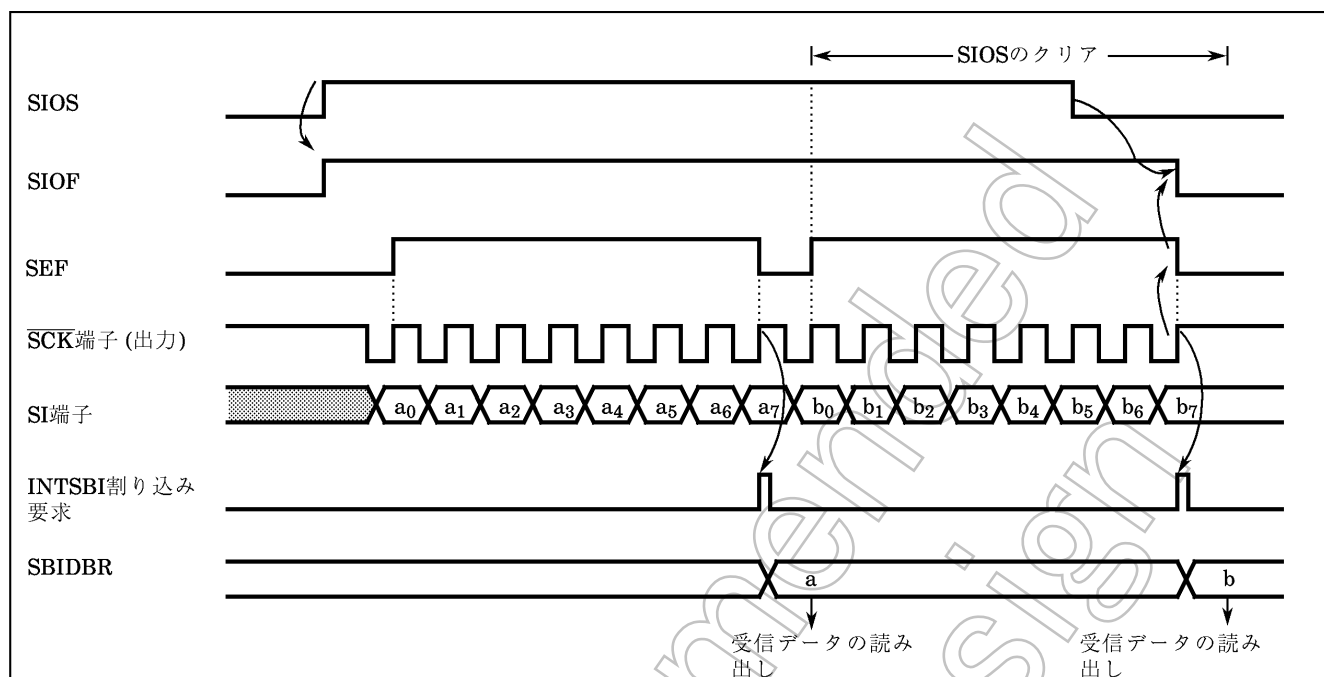


図2-54. 受信モード (例: 内部クロック)

## c. 8ビット送受信モード

制御レジスタに送受信モードをセットし、送信データをSBIDBRに書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの前縁で送信データがSO端子から出力され、後縁で受信データがSI端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからSBIDBRへ受信データが転送され、INTSBI割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、送信データを書き込みます。SBIDBRは、送信、受信にて兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となつてから、SCKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、受信データが揃い、SBIDBRへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SBIDBRのビット3)をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、直ちに送受信を打ち切り、SIOFは“0”になります。

注) 転送モードを切り替えますと、SBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (SIOSを“0”にクリア)を行い、最終受信データを読み出した後で切り替えてください。

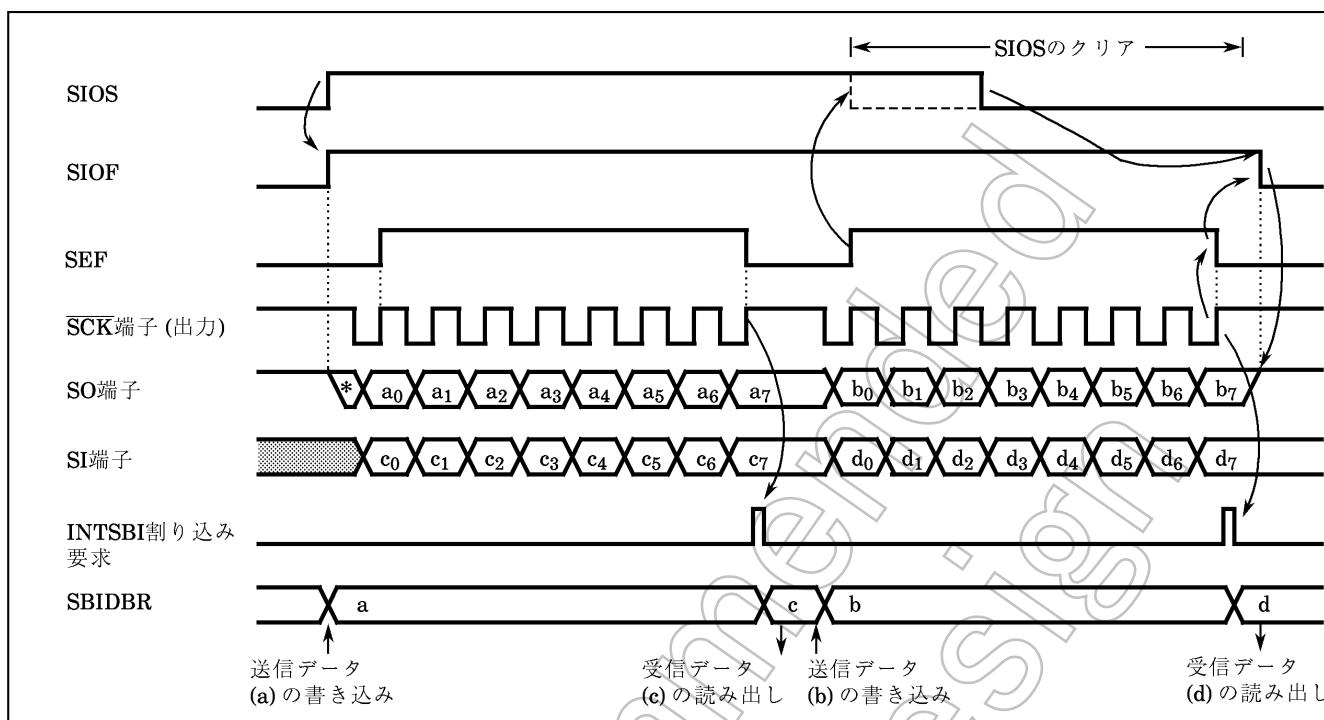


図2-55. 送受信モード (例: 内部クロック)

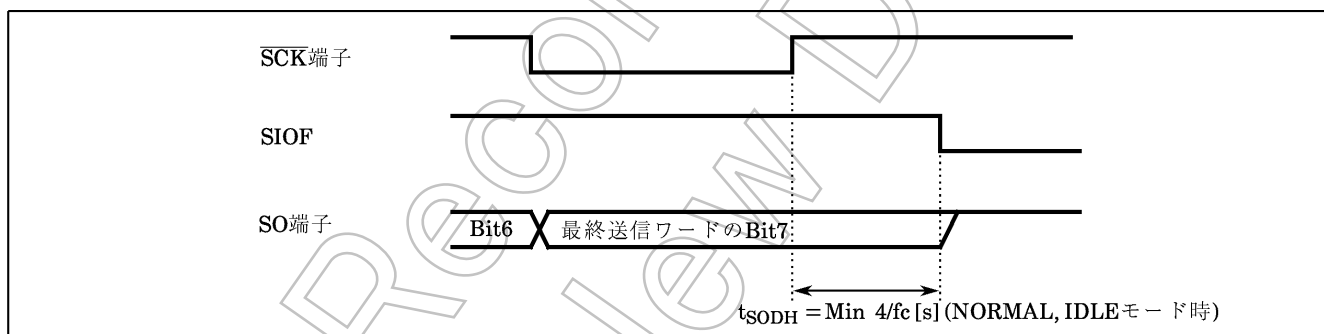


図2-56. 送受信終了時の送信データ保持時間 (送受信モード時)

2.10 UART (非同期型シリアルインターフェース)

TMP87CH48/CM48は、UART (非同期型シリアルインタフェース) を1チャンネル内蔵しています。RxD, TxDを通して外部デバイスと接続されます。RxDはP44、TxDはP45と兼用でRxD, TxD端子として使用する場合、P4の各ポートの出力ラッチを“1”にセットします。

2.10.1 構成

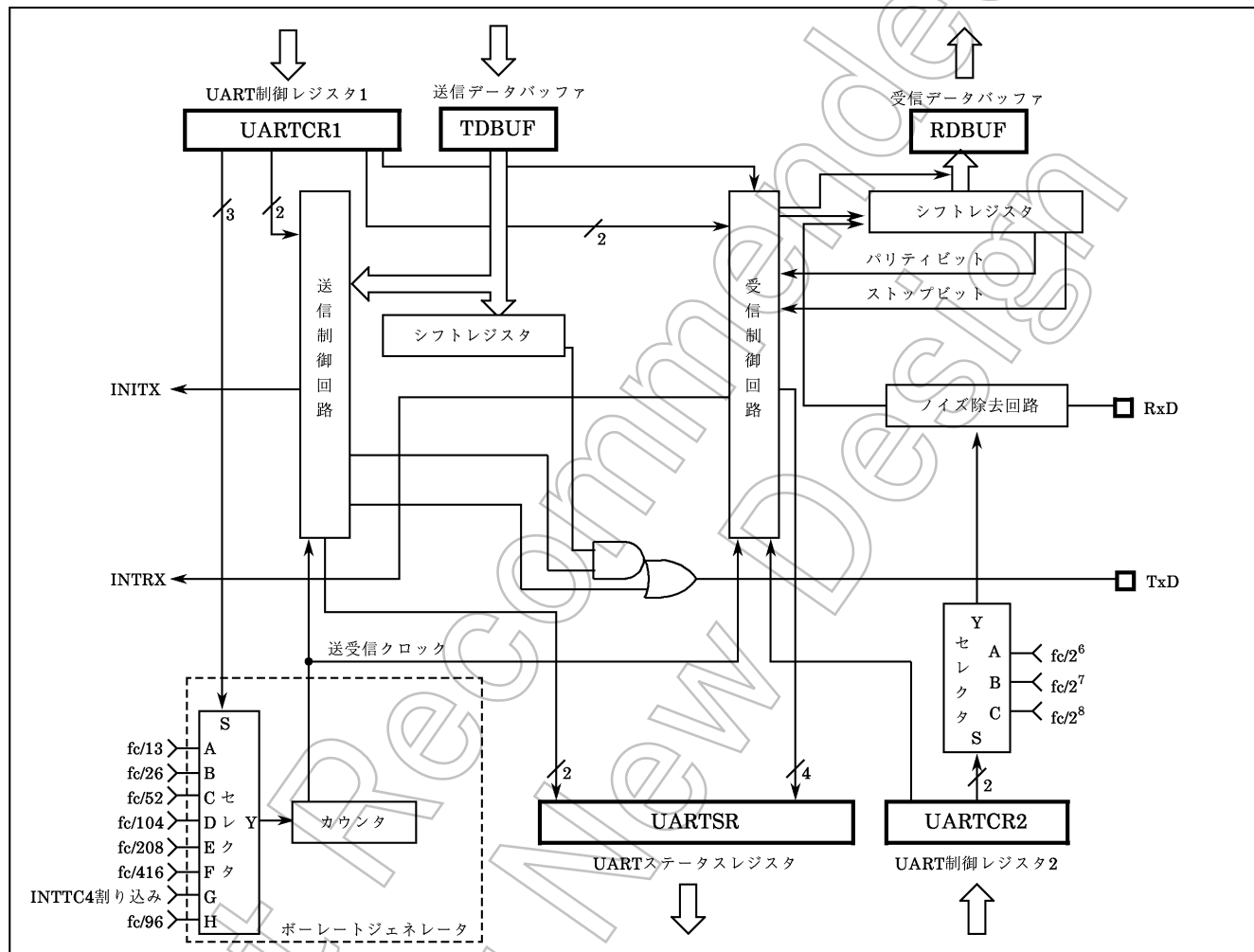


図2-57. UART (非同期型シリアルインターフェース)

2.10.2 制御

UARTは、UART制御レジスタ1,2 (UARTCR1, UARTCR2) で制御されます。また、UARTステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART制御レジスタ

UARTCR1 (002A <sub>H</sub> )		7	6	5	4	3	2	1	0	
		TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)
BRG	転送のクロック選択							000: fc/13 [Hz] 001: fc/26 [Hz] 010: fc/52 [Hz] 011: fc/104 [Hz] 100: fc/208 [Hz] 101: fc/416 [Hz] 110: TC4使用 [Hz] 111: fc/96 [Hz]		
PE	パリティ付加							0: パリティなし 1: パリティ付加	Write only	
EVEN	偶数パリティ							0: 奇数パリティ 1: 偶数パリティ		
STBT	送信ストップビット長							0: 1ビット 1: 2ビット		
RXE	受信動作							0: ディセーブル 1: イネーブル		
TXE	送信動作							0: ディセーブル 1: イネーブル		
<p>注1) TXE, RXEビットを“0”に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、その後、送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。</p> <p>注2) 転送クロックとパリティは送受信共通です。</p> <p>注3) 転送動作中は、転送クロック (BRG) を切り替えないでください。</p>										
UARTCR2 (002B <sub>H</sub> )		7	6	5	4	3	2	1	0	
		INTS					RXDNC	STOPBR		(初期値: 0*** *000)
STOPBR	受信ストップビット長							0: 1ビット 1: 2ビット	Write only	
RXDNC	RXD入力のノイズ除去時間の選択							00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc [s] 未満のパルスはノイズとして除去 10: 63/fc [s] 未満のパルスはノイズとして除去 11: 127/fc [s] 未満のパルスはノイズとして除去		
INTS	IL12の要因選択							0: INTRX (UART受信割り込み) 1: INTTC4 (TC4割り込み)		
<p>注4) RXDNCが“01”の場合96/fc, “10”の場合192/fc, “11”の場合384/fc [s] 以上は確実に信号と見なされません。</p>										

図2-58. UART制御レジスタ

UARTステータスレジスタ

UARTSR (002AH)	7	6	5	4	3	2	1	0	(初期値: 0000 11**)
	PERR	FERR	OERR	RBFL	TEND	TBEP			

TBEP	送信バッファエンプティ フラグ	0: - 1: 送信バッファエンプティ	Read only
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
RBFL	受信バッファフルフラグ	0: - 1: 受信バッファフル	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	

UART受信データバッファ

RDBUF (0029H)	7	6	5	4	3	2	1	0	Read only (初期値: 0000 0000)

UART送信データバッファ

TDBUF (0029H)	7	6	5	4	3	2	1	0	Write only (初期値: 0000 0000)

図2-59. UARTステータスレジスタ/データバッファレジスタ

2.10.3 転送データフォーマット

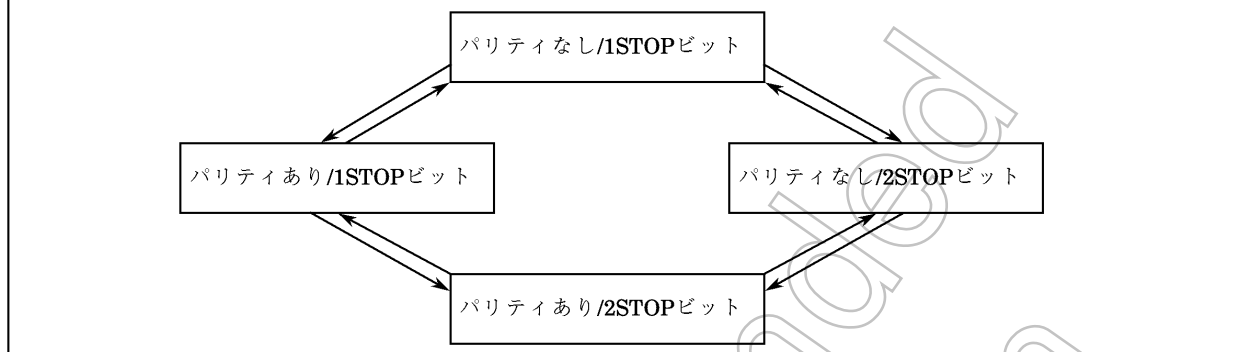
UARTでは転送されるデータには、スタートビット1ビット (“L” レベル)とストップビット (“H” レベル、STBTでビット長の選択可)、パリティ (PEでパリティ有無の選択可、EVENで偶数/奇数パリティ選択可)が付加されます。以下に転送データフォーマットを示します。

表2-9. 転送データフォーマット

PE	STBT	フレーム長									
		1	2	3	-----	8	9	10	11	12	
0	0	Start	Bit0	Bit1	-----	Bit6	Bit7	Stop1			
0	1	Start	Bit0	Bit1	-----	Bit6	Bit7	Stop1	Stop2		
1	0	Start	Bit0	Bit1	-----	Bit6	Bit7	パリティ	Stop1		
1	1	Start	Bit0	Bit1	-----	Bit6	Bit7	パリティ	Stop1	Stop2	



注) 送信データフォーマットの切り替えは、初期設定時以外は送信がデッドロックする場合がありますので、以下の状態遷移にて送信動作を実施し、切り替えを行ってください。



#### 2.10.4 転送レート

UARTの転送レート(ボーレート)は、BRG(UARTCR1のビット0,1,2)により設定されます。以下に転送レートの例を示します。

表2-10. 転送レート(例)

BRG	ソースクロック	
	8 MHz	4 MHz
000	38400 [baud]	19200 [baud]
001	19200	9600
010	9600	4800
011	4800	2400
100	2400	1200
101	1200	600

UARTの転送レートとしてTC4使用を選択したとき(つまりBRG=110に設定したとき)転送クロックおよび転送レートは

$$\text{転送クロック} = \frac{\text{TC4ソースクロック}}{\text{TREG4設定値}}$$

$$\text{転送レート} = \frac{\text{転送クロック}}{16}$$

となります。

### 2.10.5 データのサンプリング方法

UARTのレシーバは、RxD端子入力にスタートビットが見つかるまでBRG (UARTCR1のビット0, 1, 2) で選択したクロックで入力のサンプリングを行います。RTクロックの開始は、RxD端子の“L”レベルを検出し、開始します。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように1レシーバクロック (RT1クロック) の間隔 (RT0はビットが始まると予想される位置) でRT7, RT8, RT9の位置で3回サンプリングし、多数決判定 (3回のサンプリングのうち2回または3回) で決定し、ビットのデータとします。

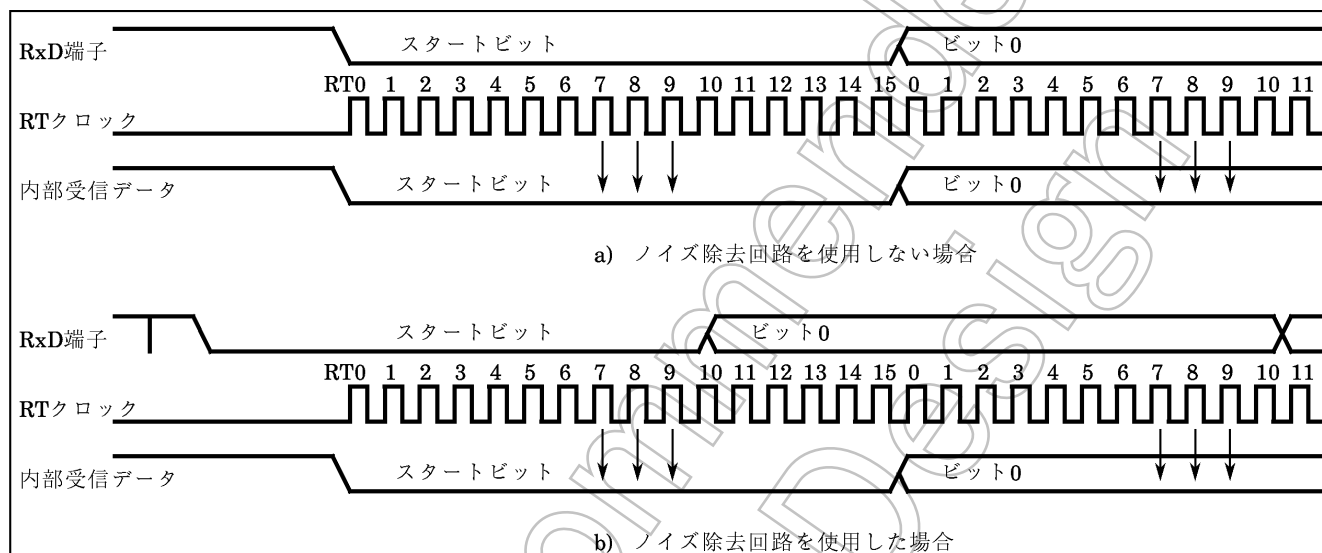


図2-60. データのサンプリング方法

### 2.10.6 STOPビット長

STBT (UARTCR1のビット5) で、送信ストップビット長 (1ビット/2ビット) の選択ができます。

### 2.10.7 パリティ

PE (UARTCR1のビット3) でパリティ付加の有無を、EVEN (UARTCR1のビット4) でパリティの種類 (奇数/偶数) を設定します。

### 2.10.8 送受信動作

#### (1) データ送信動作

TXE (UARTCR1のビット7) を“1”にセットします。UARTSRを読み出してTBEP=1を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うとTBEPは“0”にクリアされデータが送信シフトレジスタに転送された後、TxD端子より順次出力されます。このとき出力されるデータには、スタートビット1ビットとSTBT (UARTCR1のビット5) で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは、BRG (UARTCR1のビット0, 1, 2) で選択します。データの送信が始まると送信バッファエンプティフラグTBEPは“1”にセットされ、INTTX割り込みが発生します。

TXEが“0”の間およびTXEが“1”で送信動作中でない場合 (送信データがない場合)、TxD端子は“H”レベル固定となります。

送信を行う場合、UARTSRを読み出してからTDBUFにデータを書き込んでください。読み出さないと、TBEPが0にクリアされず送信が開始されません。

## (2) データ受信動作

RXE (UARTCR1のビット6)を“1”にセットします。その後、RxD端子からデータを受信すると、RDBUF (受信データバッファ)に受信データが転送されます。このとき送られてくるデータには、スタートビットとストップビットおよびパリティビット (パリティありの場合)が付加されています。ストップビットが受信されるとデータだけが取り出され、RDBUF (受信データバッファ)に転送された後、受信バッファフルフラグRBFLがセットされ、INTRX割り込みが発生します。データ転送レートはBRG (UARTCR1のビット0, 1, 2)で選択します。

データが受信されたときにオーバランエラーが発生すると、RDBUF (受信データバッファ)へのデータ転送は行われず破棄されます。ただし、RDBUF内のデータは影響を受けません。

注) RXEビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は必ず再受信を実施してください。

## 2.10.9 ステータスフラグ

## (1) パリティエラー

受信データのデータビットから計算したパリティが受信されたパリティビットと異なっているとき、パリティエラーフラグPERRがセットされます。UARTSRを読み出した後、RDBUFを読み出すとクリアされます。

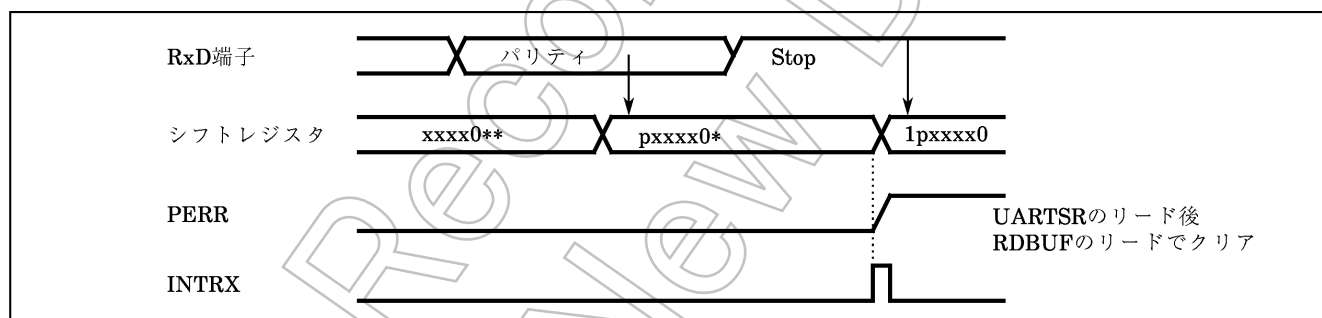


図2-61. パリティエラーの発生

## (2) フレーミングエラー

受信データのSTOPビットとして“0”がサンプリングされたとき、フレーミングエラーフラグFERRがセットされます。UARTSRを読み出した後、RDBUFを読み出すとクリアされます。

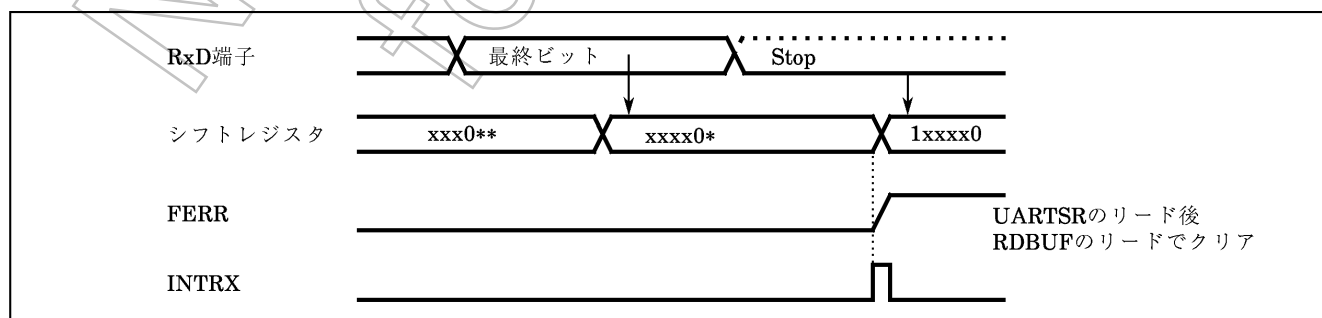


図2-62. フレーミングエラーの発生

(3) オーバランエラー

RDBUFに読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグOERRがセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSRを読み出した後、RDBUFを読み出すとクリアされます。

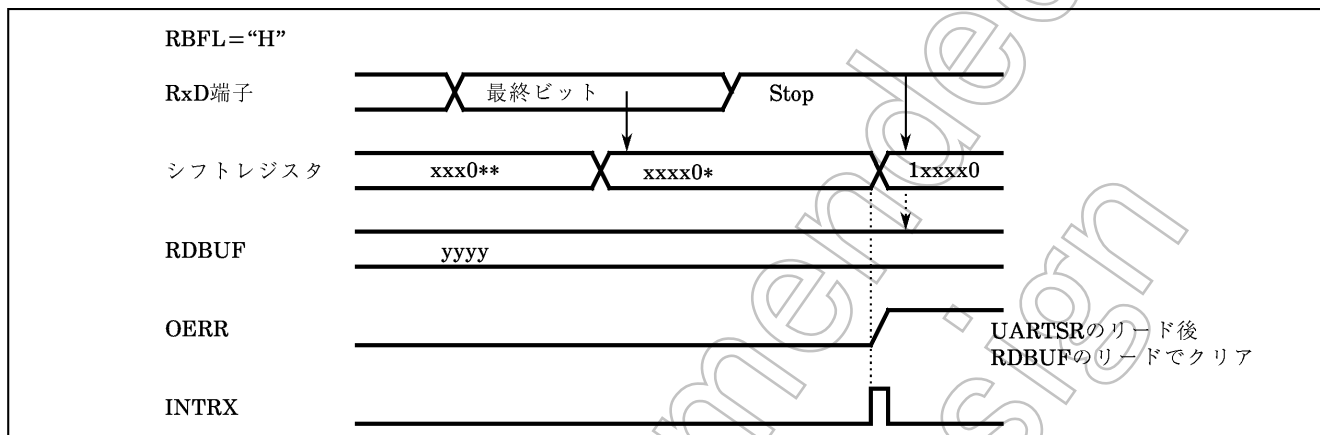


図2-63. オーバランエラーの発生

(4) 受信バッファフル

受信データをRDBUFに取り込むとRBFLがセットされます。UARTSRを読み出したRDBUFからデータを読み出すとクリアされます。

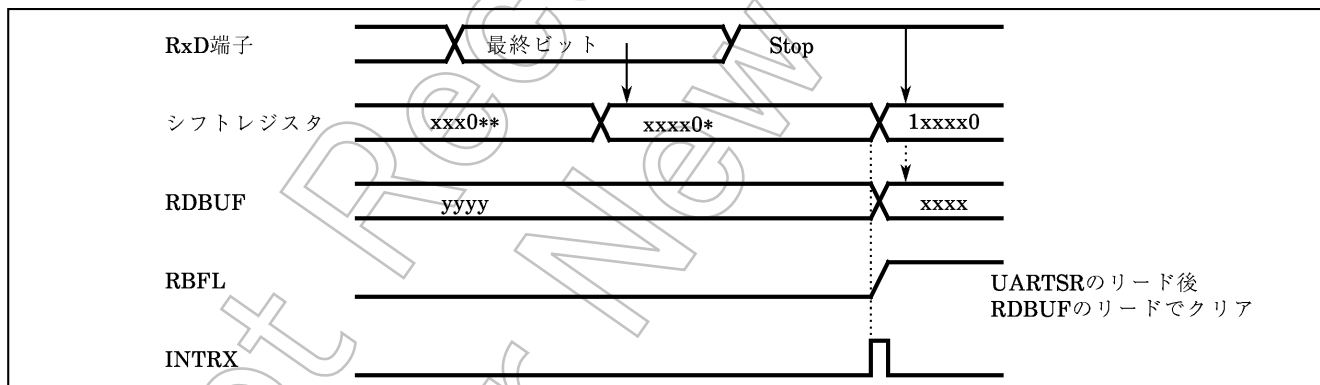


図2-64. 受信バッファフルの発生

(5) 送信バッファエンプティ

TDBUFにデータが存在しないとき、つまりTDBUFのデータが送信シフトレジスタに転送され送信が開始されるときTBEPがセットされます。UARTSRを読み出した後、TDBUFにデータを書き込むとクリアされます。

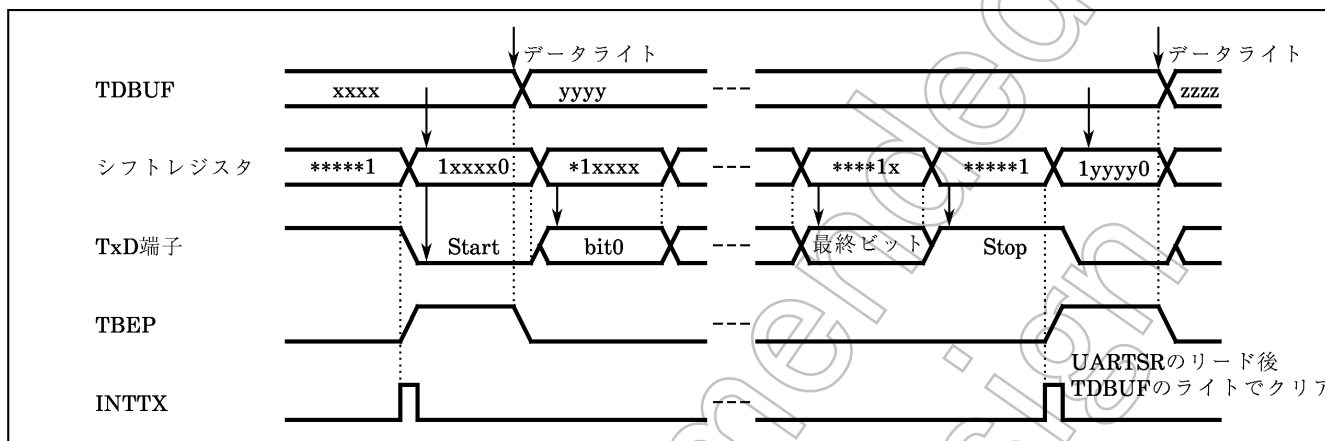


図2-65. 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF内に待機中のデータがないとき (TBEP=1のとき)、TENDがセットされます。TDBUFにデータを書き込んだ後、送信が開始されるとクリアされます。

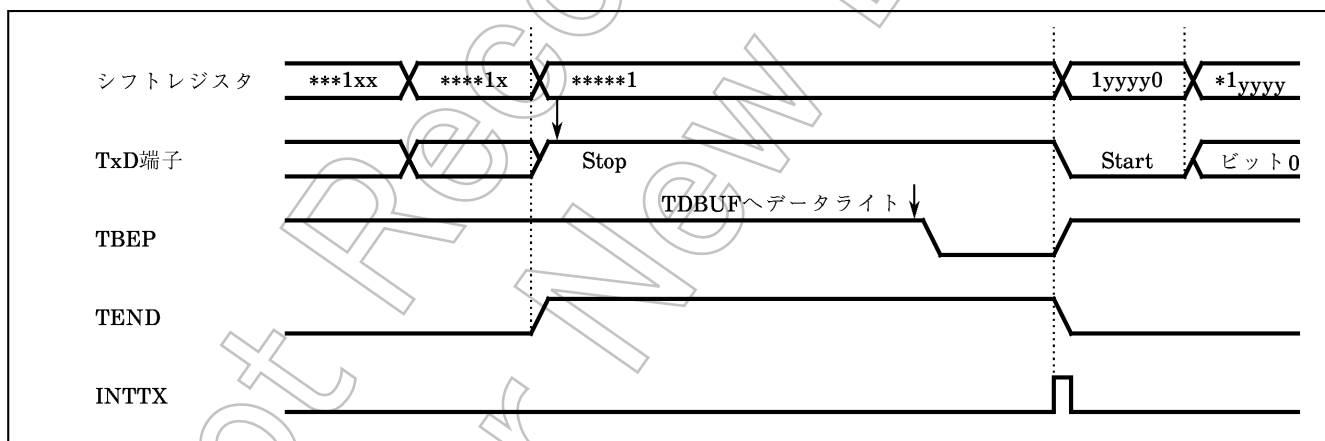


図2-66. 送信バッファエンプティの発生

2.11 12ビット PWM (パルス幅変調) 出力回路

TMP87CH48/CM48は、12ビット分解能のPWM (パルス幅変調) 出力を4チャンネル内蔵しており、ローパスフィルタを外付けすることにより、容易にDA変換出力を得ることができます。

PWM出力は、P80 (PWM0) からP83 (PWM3) 端子に負論理 (“L” レベルアクティブ) で出力されます。

P80~P83端子をPWM出力として用いる場合は、P8 (#0008<sub>H</sub>) の出力ラッチを“1”にセットした後、P8CR (#0009<sub>H</sub>) を出力モードに設定します。

P80~P83端子は、リセット中およびリセット直後にHigh-Zになりますので、P80~P83端子をPWM出力として使用する場合は、外部で必ずPull-Up抵抗を付けてください。

なお、PWM出力はNORMAL1 (またはIDLE1) およびNORMAL2 (またはIDLE2) モード時のみ“L”レベルパルスの出力が可能です。P80~P83をPWM出力として使用している途中で動作モードをNORMAL1モードからSTOP1モードに移行した場合、およびNORMAL2モードからSTOP2モード (またはSLOWモード、SLEEPモード) に移行した場合に、端子の出力は“H”レベル固定となり、“L”レベルパルスを出力することができません。

また、STOP1モードからNORMAL1モードへ移行した場合、およびSTOP2 (あるいはSLOW、SLEEPモード) からNORMAL2モードへ移行した場合に再度PWM波形を出力させる場合は、リセット後同様にPWM出力の制御に必要なレジスタ (PWMCRA、PWMDBR) の初期設定が必要になります。

2.11.1 構成

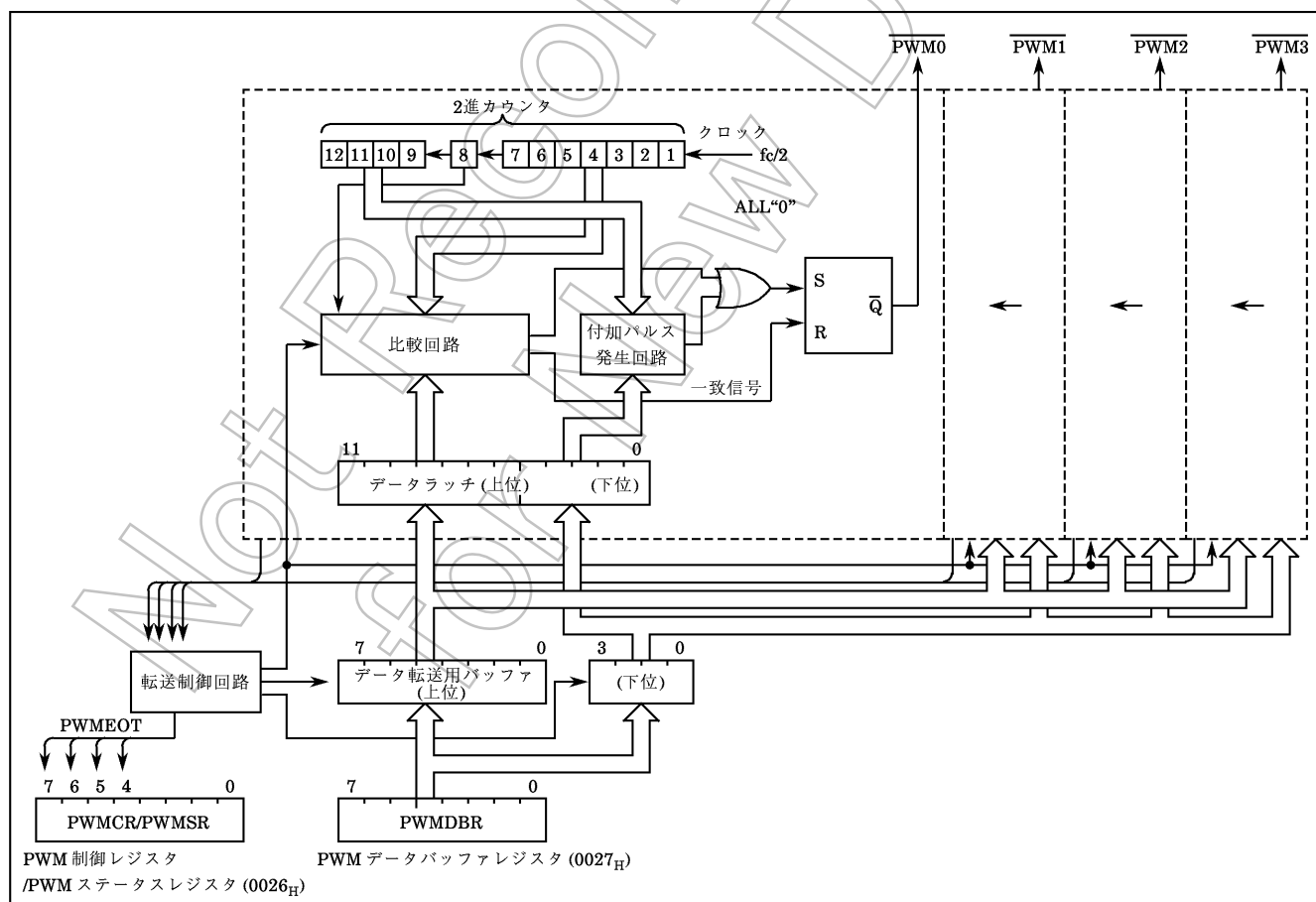


図2-67. パルス幅変調 (PWM) 出力回路

2.11.2 制御

PWM出力の制御は、PWM制御レジスタ (PWMCR) およびPWMデータバッファレジスタ (PWMDBR)で行います。また、PWMステータスレジスタ (PWMSR) のEOTフラグを読むことで、PWMデータバッファレジスタに書き込み可能な状態を知ることができます。

1) 制御レジスタ

**PWM制御レジスタ**

PWMCR (0026H)    7   6   5   4   3   2   1   0  
 -   -   -   -   P W M D L C    (初期値: \*\*\*\* 0000)

PWMDLC	PWMDBRの各チャンネルのポインタ選択	0000: チャンネル0用 (PWMDBR) の下位4ビット 0001: チャンネル0用 (PWMDBR) の上位8ビット 0010: チャンネル1用 (PWMDBR) の下位4ビット 0011: チャンネル1用 (PWMDBR) の上位8ビット 0100: チャンネル2用 (PWMDBR) の下位4ビット 0101: チャンネル2用 (PWMDBR) の上位8ビット 0110: チャンネル3用 (PWMDBR) の下位4ビット 0111: チャンネル3用 (PWMDBR) の上位8ビット	Write only
	各チャンネルのデータ転送要求コマンド	1000: チャンネル0へのデータ転送要求コマンド 1001: チャンネル1へのデータ転送要求コマンド 1010: チャンネル2へのデータ転送要求コマンド 1011: チャンネル3へのデータ転送要求コマンド	

**PWMステータスレジスタ**

PWMSR (0026H)    7   6   5   4   3   2   1   0  
 EOT3 EOT2 EOT1 EOT0 "1" "1" "1" "1"    (初期値: 0000 \*\*\*\*)

EOT3 EOT2 EOT1 EOT0	エンドオブトランスファ	0: PWMDBRへの書き込み許可 1: PWMDBRへの書き込み禁止	Read only
------------------------------	-------------	--	-----------

**PWMデータバッファレジスタ**

PWMDBR (0027H)    7   6   5   4   3   2   1   0    Write only  
 (初期値: 0000 0000)

注1) PWMCRのビット(7~4)は、“1”または“0”のいずれの値を書き込んでもPWMの制御には関係しません。  
 注2) PWMSRのビット(3~0)は、読み出し時“1”です。  
 注3) 各レジスタの初期値は、リセット後、およびSLOW, SLEEP, STOPからの解除後の値を示します。

図2-68 (1). 12ビットPWMの制御レジスタ

2) 制御手順

各チャンネルのプログラム制御フロー図2-68 (2) に示します。

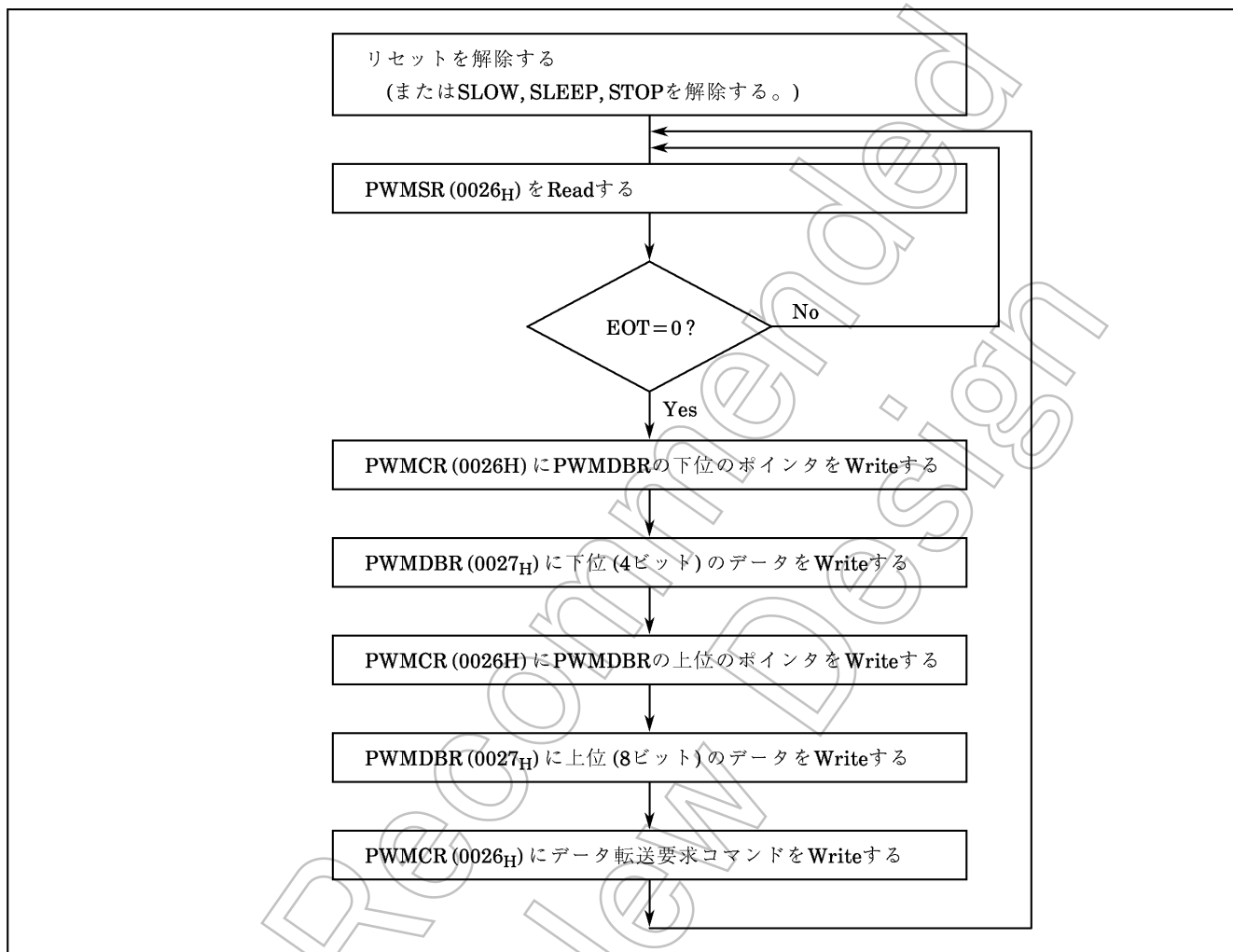


図2-68 (2). 各チャンネルのプログラム制御手順

具体例: PWM0端子に、付加パルスなしの32 μs (fc=8 MHz時) を出力する。

```

    ;
    ;
    WAIT0: TEST    (PWMSR), 4      ; EOT0=0?
              JRS    F, WAIT0
              LD     (PWMCR), 00H  ; チャンネル0用PWMDBRの下位を選択
              LD     (PWMDBR), 00H ; チャンネル0用PWMDBRの下位4ビットに
                                   ; (付加パルスなし=00H)をWrite
              LD     (PWMCR), 01H  ; チャンネル0用PWMDBRの上位を選択
              LD     (PWMDBR), 80H ; チャンネル0用PWMDBRの上位8ビットに
                                   ; (32 μs ÷ 2/fc =) 80HをWrite
              LD     (PWMCR), 08H  ; チャンネル0へのデータ転送要求コマンドをWrite
  
```



## 2.11.3 機能

## 1) PWMSR (EOTフラグ)の動作

EOTフラグは、PWMデータバッファ (PWMDBR) から、PWMデータラッチへ上位8ビットおよび下位4ビットのデータが転送中の期間 (最大 $2^{13}/f_c$ の時間) “1”を示し、PWMDBRからPWMデータラッチへのデータ転送が終了すると“0”になります。

PWMDBR (0027H) へのデータの書き込みは、EOTフラグが“0”のときに行ってください。EOTフラグが“1”のときにPWMDBRのデータを書き替えると、PWM出力波形が正しく切り替わらない場合があります。

## 2) PWM出力が始まるまでの時間

リセット解除後、またはSTOP (あるいはSLOW, SLEEPモード) からの解除後に (NORMALモード)で動作する場合、図2-68 (2) に示す手順でPWMDBRの下位および上位への書き込みが終了した後、PWMCRにデータ転送要求コマンドを書き込んでからPWM端子に波形が出力するまでに、最大 $2^{13}/f_c$ の時間がかかります。また、出力中のパルス波形を途中で変更する場合も同様に、データ転送要求コマンドを書き込んでから出力波形が切り替わるまでに、最大 $2^{13}/f_c$ の時間がかかります。

## 3) PWM出力の“L”レベルパルス幅

12ビット分解能のPWM出力で、一周期は $T_M = 2^{13}/f_c [S]$ になります。PWMDBRの上位8ビットは、 $T_s (T_s = T_M/16)$ を周期とする“L”レベルパルス幅を制御します。PWMデータラッチの上位8ビットのデータが $n (n = 0 \sim 255)$ の時、 $T_s$ を周期とする“L”レベルパルス幅は、 $n \times t_o (t_o = 2/f_c)$ になります。

PWMDBRの下位4ビットは $T_s$ 周期の16の区間の内、 $T_s (i) (i = 1 \sim 15)$ の区間において、 $t_o$ の幅の付加パルス出力する位置を制御します。

PWMDBRの下位4ビットのデータが $m (m = 0 \sim 15)$ のとき、 $T_s (1) \sim T_s (15)$ の区間中の $m$ 箇所付加パルスが出力されます (なお、 $T_s (0)$ で付加パルスは出力しません)。

PWMDBRの下位4ビットの内、いずれかのビットを“1”にセットすることで、付加パルスの出力位置を制御します。付加パルス位置の設定例については、表2-11を参照してください。

また、図2-68 (3) に出力波形例を示しますので参照してください。

表2-11 付加パルスの出力位置の設定例

	PWMデータラッチの下位4ビットの設定				$T_M$ 周期内の $T_s (i) (i = 1 \sim 15)$ の区間において付加パルスが出力される相対位置
	Bit3	Bit2	Bit1	Bit0	
a)	0	0	0	0	付加パルスなし
b)	0	0	0	1	8
c)	0	0	1	0	4, 12
d)	0	1	0	0	2, 6, 10, 14
e)	1	0	0	0	1, 3, 5, 7, 9, 11, 13, 15

注) a)~e)を組み合わせた設定も可能です。付加パルス発生位置は全16通りの設定が可能です。

#### 4) リセットによる端子動作

リセットによりPWMCR, PWMSR, PWMDBRは初期化され、内部12ビットカウンタ, データ転送用バッファ, PWMデータラッチも初期化されます。リセット中およびリセット解除直後、P80~P83端子は“High-Z”になりますので、PWM出力として使用する端子には外部でプルアップ抵抗を付加し、リセット中およびリセット解除後の端子状態を“H”レベルに保つようによしてください。

リセット後、P80~P83端子をPWM出力として用いる場合は、P8 (#0008<sub>H</sub>)の出力ラッチを“1”にセットしてからP8CR (#0009<sub>H</sub>)を出力モードに設定します。

#### 5) STOP, SLOW, SLEEPモード時のPWM出力

PWM出力はNORMAL1(またはIDLE1)およびNORMAL2(またはIDLE2)モード時にのみ“L”レベルパルスの出力が可能です。P80~P83をPWM出力として使用している途中で、動作モードをNORMAL1モードからSTOPモードに移行した場合、およびNORMAL2モードからSTOP2モード(またはSLOWモード, SLEEPモード)に移行した場合、PWM出力は“H”レベル固定となり、“L”レベルパルスを出力することができません(STOP, SLOW, SLEEPモード中は、PWMCR, PWMSR, PWMDBRは初期化され、内部12ビットカウンタ, データ転送用バッファ, PWMデータラッチも初期化されます)。

また、STOP1モードからNORMAL1モードへ移行した場合、およびSTOP2(あるいはSLOW, SLEEPモード)からNORMAL2モードへ移行した場合に再度PWM波形を出力させる場合は、リセット後同様にPWM制御レジスタの初期設定が必要になります。PWM制御レジスタの初期設定は、図2-68(2)に示す手順で行ってください。

#### 6) PWM出力波形の停止

出力中のPWM波形の $T_M$ 周期( $T_s(0) \sim T_s(15)$ )が終了した後に出力を“H”レベルに固定するには、図2-68(2)の手順に基づいて、PWMDBRの下位および上位に“00<sub>H</sub>”を書き込み、その後データ転送要求コマンドを書き込んでください。ただし、PWM波形出力が“H”固定になるまで最大 $2^{13}/f_c$ の時間がかかりますので注意してください。

#### 7) PWM出力波形の強制停止(強制“H”固定)

PWM波形を出力途中で、強制的にPWM出力を停止(“H”固定)する場合は、P8CR入力モードに設定することで、PWM端子は外部のPull-Up抵抗により“H”レベル固定になります。

外部にプルアップ抵抗を付加せずにP8CRを入力モードに設定した場合には、端子が“High-Z”になりますので注意が必要です。

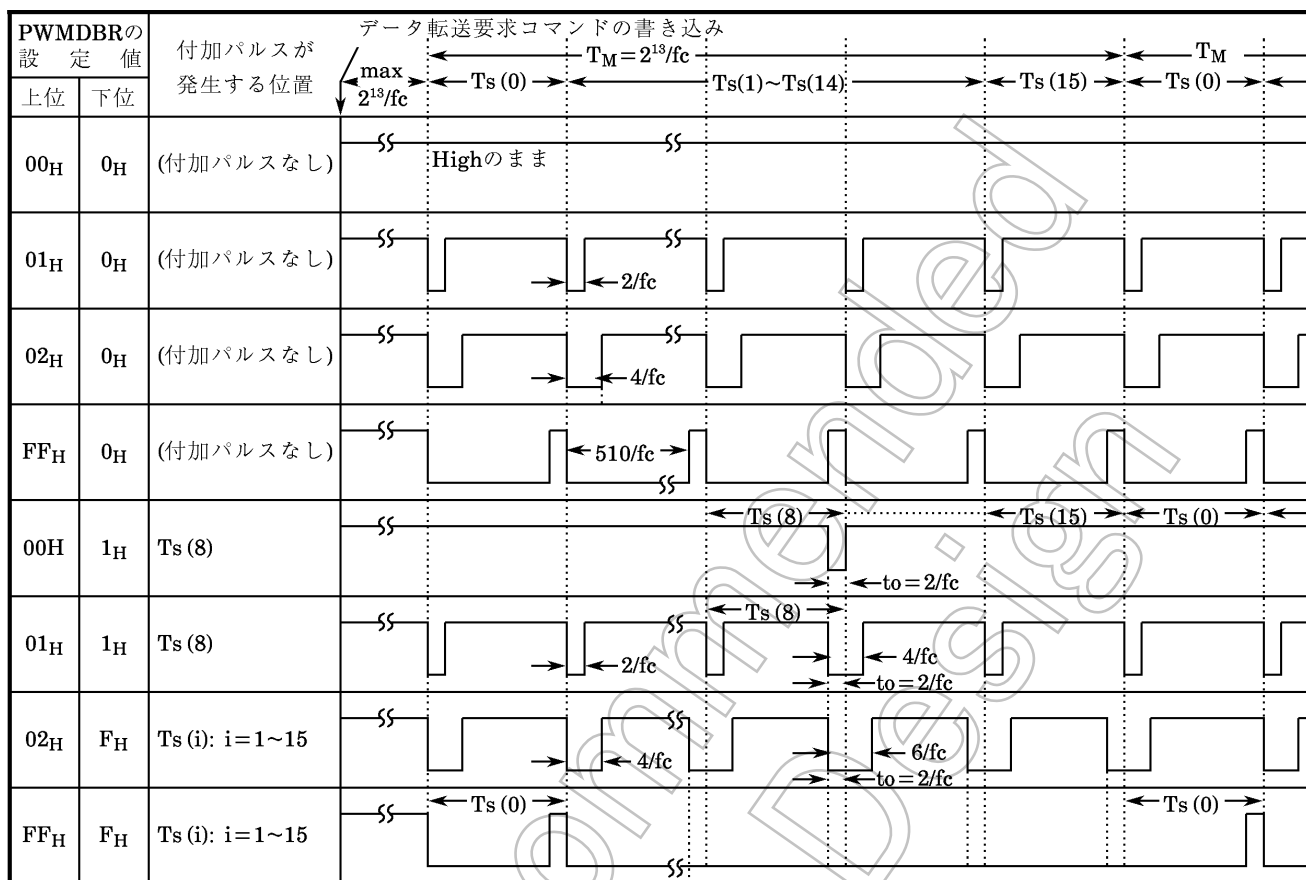


図2-68 (3). PWM出力波形例

2.12 10ビットADコンバータ (ADC)

TMP87CH48/CM48は、10ビット分解能の逐次比較方式ADコンバータを内蔵しています。

2.12.1 構成

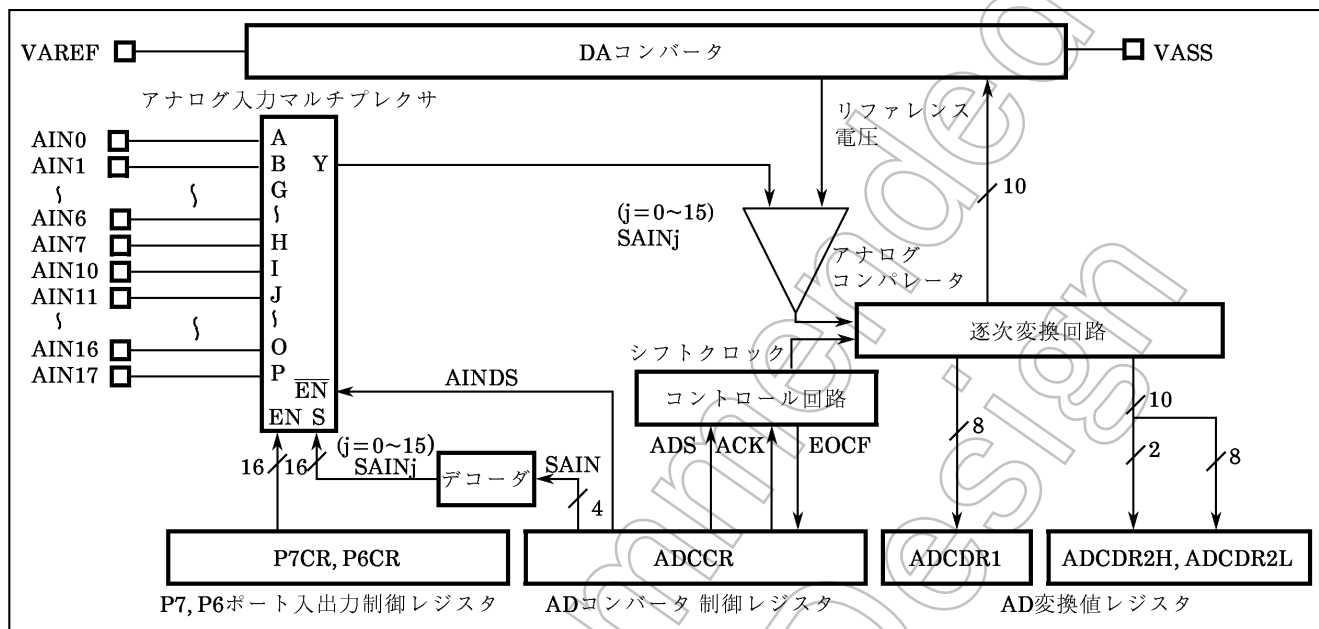


図2-69. ADコンバータ (ADC)

2.12.2 制御

ADコンバータの制御は、ADコンバータ制御レジスタ (ADCCR) およびP6ポート入出力制御レジスタ (P6CR), P7ポート入出力制御レジスタ (P7CR)で行います。また、(ADCCR)のEOCFを読むことでADコンバータの動作状態を、AD変換値レジスタ (ADCDR1)または (ADCDR2H), (ADCDR2L)を読むことでAD変換値を知ることができます。

ADコンバータ制御レジスタ											
		7	6	5	4	3	2	1	0		
ADCCR (000E <sub>H</sub> )		EOCF	ADS	ACK	AINDS	SAIN				(初期値: 0000 0000)	
SAIN	アナログ入力チャンネル選択	0000: AIN0を選択 0001: AIN1を選択 0010: AIN2を選択 0011: AIN3を選択 0100: AIN4を選択 0101: AIN5を選択 0110: AIN6を選択 0111: AIN7を選択		1000: AIN10を選択 1001: AIN11を選択 1010: AIN12を選択 1011: AIN13を選択 1100: AIN14を選択 1101: AIN15を選択 1110: AIN16を選択 1111: AIN17を選択						R/W	
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル								R/W	
ACK	変換時間選択	0: 196/fc: (8MHz時 24.5μs). (4.2MHz時 46.7μs) 1: 784/fc: (8MHz時 98μs). (4.2MHz時187μs)								R/W	
ADS	AD変換開始	0: - 1: AD変換開始								R/W	
EOCF	AD変換終了フラグ	0: AD変換中またはAD変換前 1: AD変換終了								Read only	

注1) アナログ入力チャンネルの選択は、AD変換停止状態で設定してください。  
 注2) ADSは、AD変換開始後自動的に“0”にクリアされます。  
 注3) EOCFは、AD変換値レジスタ (ADCDR1)または (ADCDR2H), (ADCDR2L)をリードすると“0”にクリアされます。  
 注4) EOCFは、リード専用で書き込んだデータは無視されます。

図2-70. ADコンバータの制御レジスタ

AD変換値レジスタ

ADCDR1 (000FH)	7 6 5 4 3 2 1 0	DATA9:DATA8:DATA7:DATA6:DATA5:DATA4:DATA3:DATA2	Read only
ADCDR2H (0025H)	7 6 5 4 3 2 1 0	1 1 1 1 1 1 DATA9:DATA8	Read only (Bit 7~2はRead時“1”です。)
ADCDR2L (0024H)	7 6 5 4 3 2 1 0	DATA7:DATA6:DATA5:DATA4:DATA3:DATA2:DATA1:DATA0	Read only

P6ポート入出力制御レジスタ

P6CR (000CH)	7 6 5 4 3 2 1 0	(初期値: 0000 0000) Write only
P6CR (i) = 0		P6CR (i) = 1
AINDS = 0		AINDS = 1
SAIN (j) = 1	SAIN (j) = 0	—
アナログ入力	ポート入力	ポート入力

P7ポート入出力制御レジスタ

P7CR (000DH)	7 6 5 4 3 2 1 0	(初期値: 0000 0000) Write only
P7CR (i) = 0		P7CR (i) = 1
AINDS = 0		AINDS = 1
SAIN (j) = 1	SAIN (j) = 0	—
アナログ入力	ポート入力	ポート入力

図2-71. AD変換値レジスタ、P7, P6ポート入出力制御レジスタ

### 2.12.3 ADコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧を、ラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、AD変換が実行されます。

注) VAREFの電圧は、必ず以下の条件を満たしてください。

$$VAREF \leq VDD$$

#### (1) AD変換の起動

AD変換に先立ち、SAIN (ADCCRのビット3~0)によりアナログ入力チャネル (AIN17~AIN10, AIN7~AIN0)のうちの1端子を選択し、AINDS (ADCCRのビット4)を“0”にクリアします。アナログ入力として使用しない端子は、通常の入力ポートとして使用できますが、変換中はいずれの端子に対してもAD精度を保つ意味で出力命令は行わないでください。

AD変換時間は、ACK (ADCCRのビット5)により設定します。

AD変換動作は、ADS (ADCCRのビット6)を“1”にセットすることにより開始されます。

AD変換時間は、AD変換開始後、(ADCDR1)または(ADCDR2H),(ADCDR2L)に変換結果がセットされるまで、 $ACK=0$ のとき $196/f_c$  [s] (49マシンサイクル) が必要です。例えば $f_c=8$  MHzの場合 $24.5\mu s$ かかります。AD変換が終了すると変換終了を示すEOCF (ADCCRのビット7) が、“1”にセットされます。

AD変換中にADSを“1”にセットすると初期化されて、初めから変換をやり直します。

## (2) AD変換値の読み出し

AD変換値レジスタ (ADCDR1) または (ADCDR2H), (ADCDR2L) にストアされた変換値は、変換終了 (EOCF=1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に“0”にクリアされます。なお、AD変換中に読み出しを行うと、不定値が読み出されます。

## (3) AD変換中のSTOPモード

AD変換中にSTOPモードに入るとAD変換は中止され、AD変換値は不定となります。従って、STOPモードより復帰後、EOCFは“0”にクリアされたままとなります。ただし、AD変換終了後 (EOCFが“1”にセットされた後) STOPモードに入ると、AD変換値、EOCFの状態は保持されます。

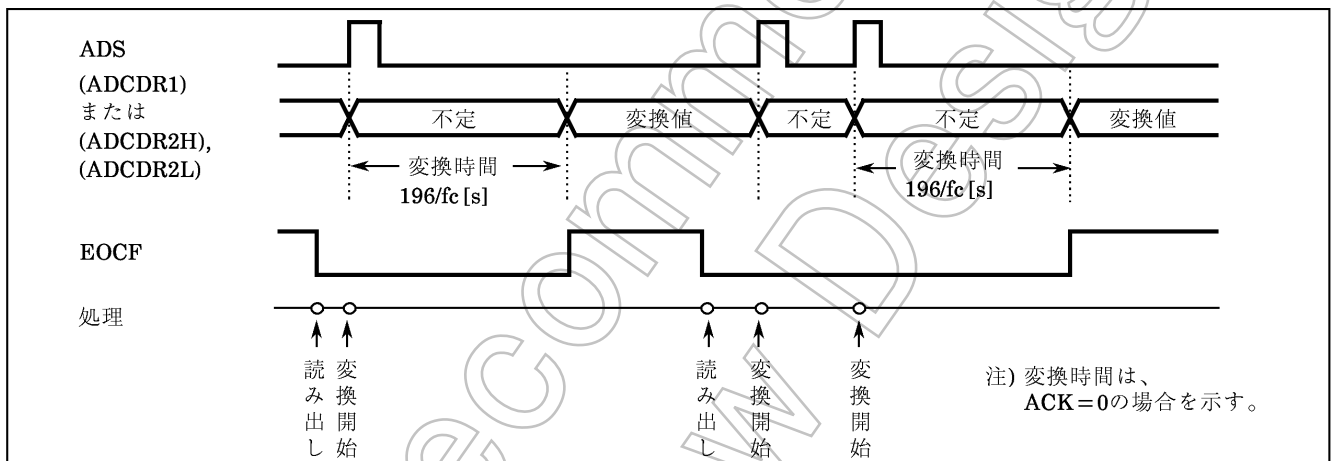


図2-72. AD変換動作

例: 変換時間およびアナログ入力チャンネルとしてAIN4端子を選択後、AD変換を行います。EOCFを確認して変換値を読み出し、RAMの009EH番地に上位2ビット、009F番地に下位8ビットのデータを格納します。

```

; AIN SELECT
LD      (ADCCR), 00100100B      ; 変換時間およびAIN4を選択
; AD CONVERT START
LD      (ADCCR). 01100100B     ; ADS=1
SLOOP: TEST (ADCCR). 7         ; EOCF=1?
JRS     T, SLOOP
; RESULT DATA READ
LD      (9EH), (ADCDR2H)
LD      (9DH), (ADCDR2L)

```

## (4) ADコンバータを使用した場合のSTOP時の消費電流についての注意事項

- 注1) DC電气的特性欄に記載するSTOP時の消費電流値 ( $I_{DD}$ ) は、 $V_{AREF} - V_{ASS}$ 間に流れる電流 ( $I_{REF}$ ) を除く値です。  
TMP87CH48/CM48およびTMP87PH48/PM48は、STOPモード時に $V_{AREF} - V_{ASS}$ 間に流れる電流 ( $I_{REF}$ ) をカットする機能を内蔵していません。  
従って、STOP時に $I_{REF}$ をカットするには、外部回路によって $V_{AREF}$ をオープン状態にするか、あるいは $V_{ASS}$ と同電位にする必要があります。
- 注2) AD変換中 (ADCCRのEOCF=0のとき) にSTOPモードに入れた場合、AD変換動作は中止されますが、アナログコンパレータ部分で消費される電流がカットされない場合があります。  
従って、ADコンバータを使用する応用システムにおいてSTOPモードを使用する場合は、AD変換終了フラグ (EOCF) が“1”であることを確認したのちに、STOPモードに入れてください。  
なお、AD変換終了フラグ (EOCF) は、AD変換時間が経過したのちに確認し、EOCF=1 (変換終了) の後、AD変換値 (ADCDR1, ADCDR2H, ADCDR2L) を読み出してSTOPモードに入れてください。また、EOCF=1 (変換終了) の後、AD変換値を読み出さずにSTOPモードに入った場合は、AD変換値 (ADCDR1, ADCDR2H, ADCDR2L) とEOCFの値はSTOPモード中保持されますので、AD変換値は、STOPモード解除後に読み出してください。  
参考フローを図2-73 a) に示します。



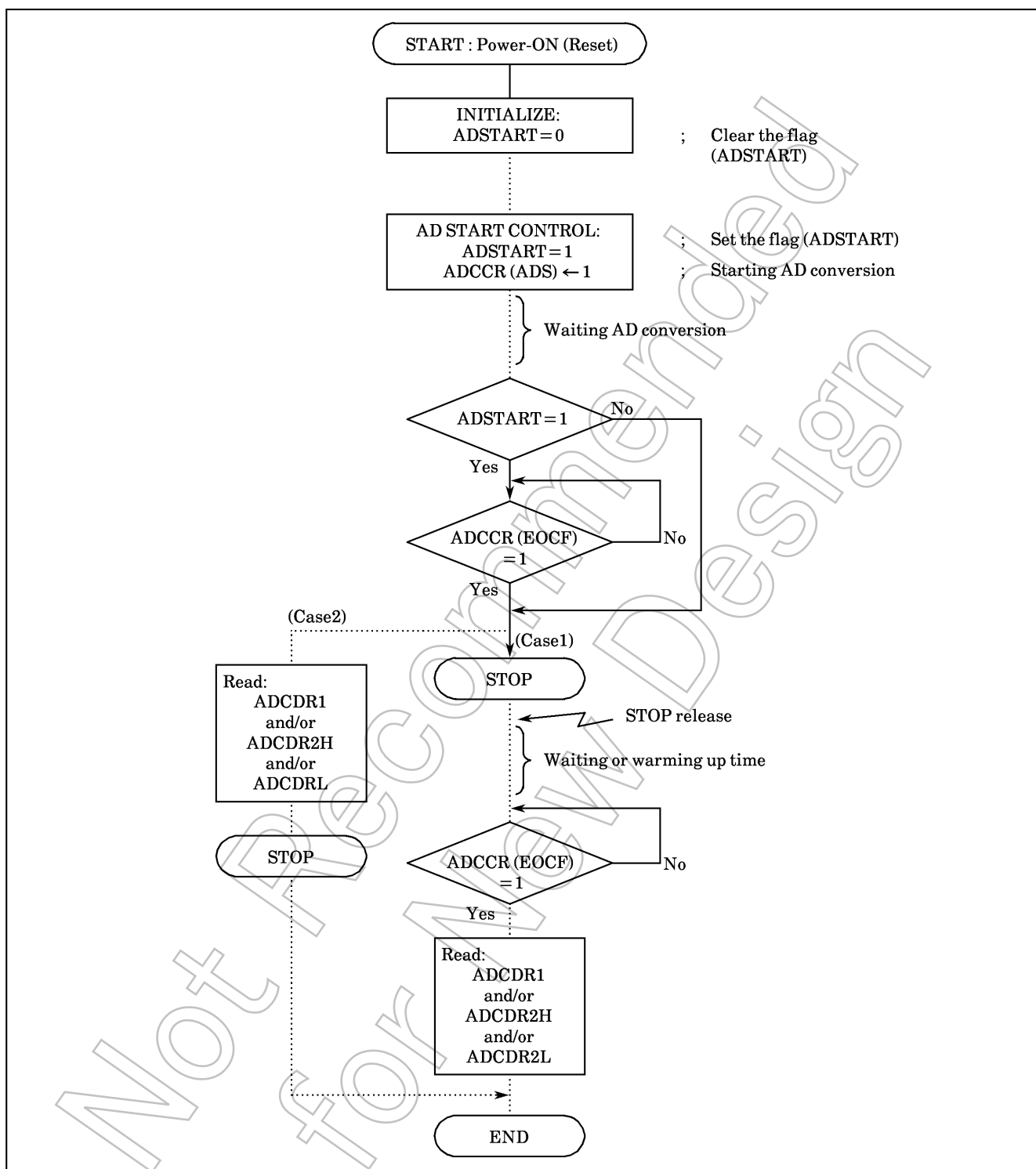


図2-73. ADコンバータを使用するシステムにおけるSTOPモード制御例

(5) アナログ入力電圧とAD変換値との関係

アナログ入力電圧とAD変換された10ビットデジタル値とは図2-73 a)のように対応します。

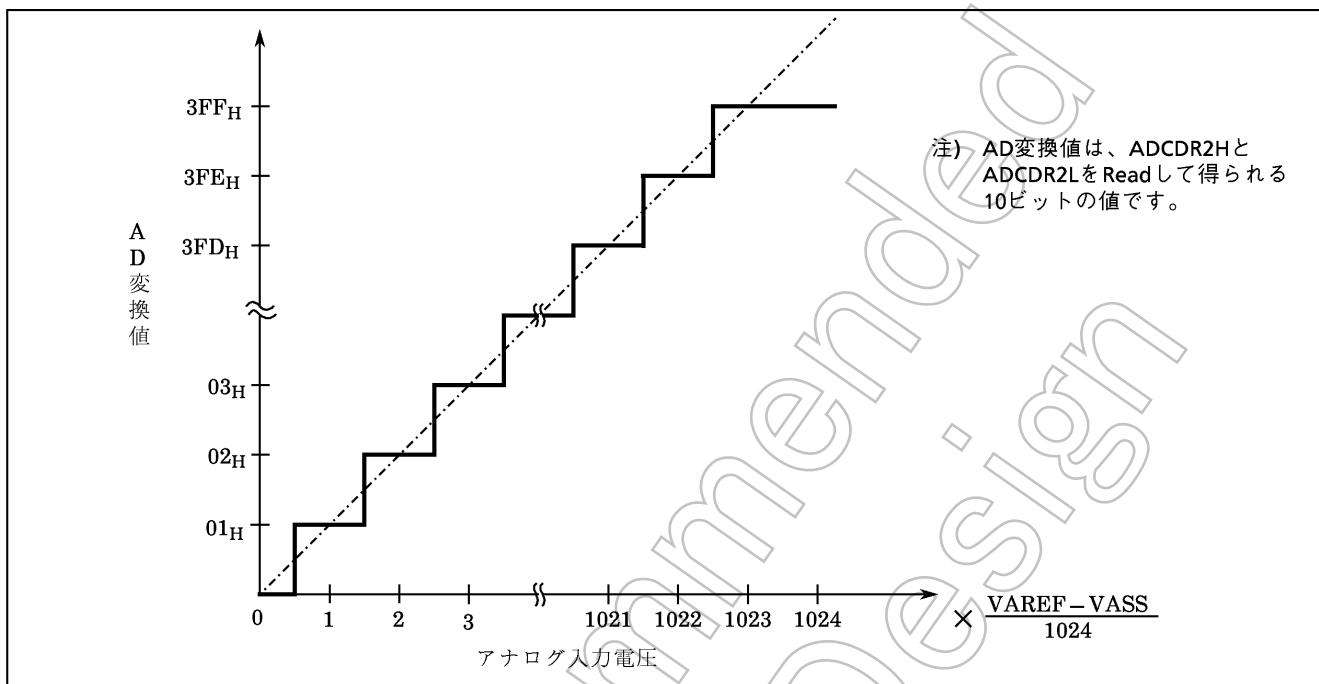


図2-73 a). アナログ入力電圧とAD変換値 (typ.) の関係

また、アナログ入力電圧とAD変換された8ビットデジタル値とは図2-73 b)のように対応します。

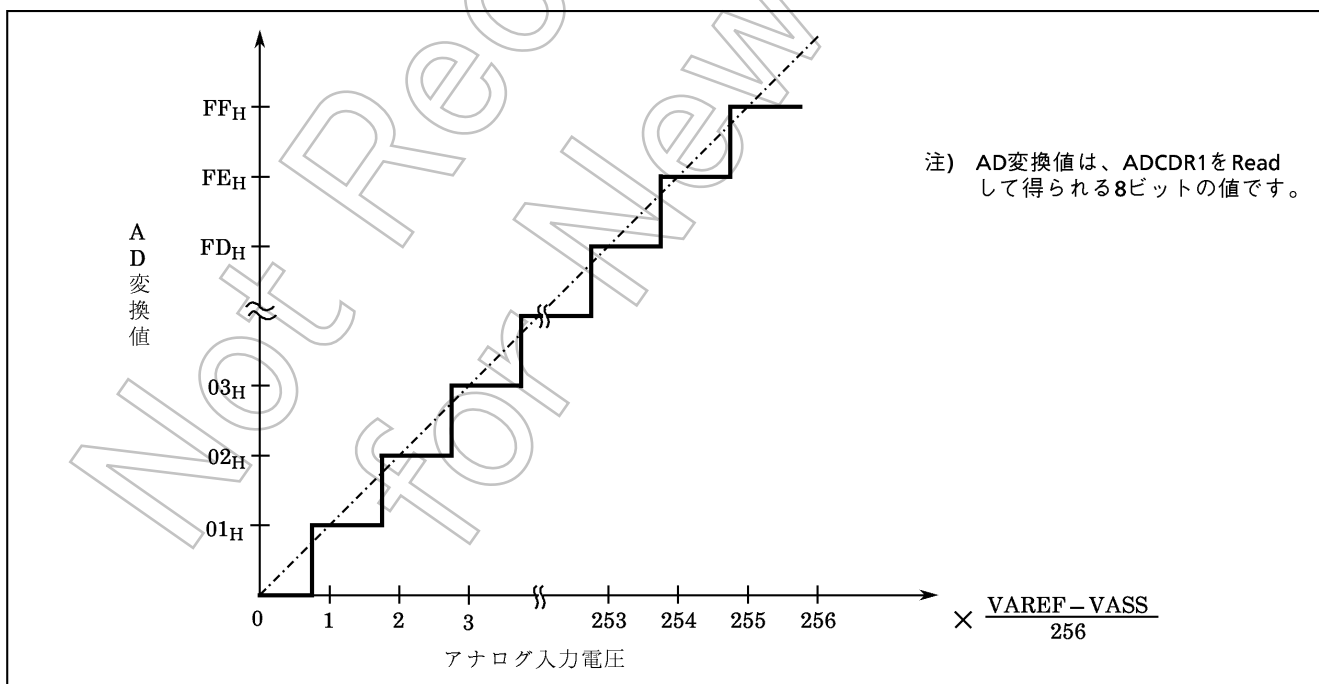


図2-73 b). アナログ入力電圧とAD変換値 (typ.) の関係

## ES発注の際のマスクオプションの指定について

## 1) マスクオプション (NM1/NM2) について

TMP87CH48/CM48およびTMP87PH48/PM48は“NM1”タイプのみです。従って、XTEN (SYSCR2のbit6) のリセット後の初期値をマスクオプションで選択することができません。

TMP87CH48/CM48およびTMP87PH48/PM48は、リセット後シングルクロックモード (NM1タイプ) になっています。

デュアルクロックモードとして使用するためには、リセット後に [SET (SYSCR2). XTEN] 命令を実行し、低周波発振を開始してください。

なお、ES発注の際は、“NM1”タイプを指定してください。

マスクオプションコード	XTEN (bit 6 of SYSCR2)	リセット後の動作モード
NM1	0	シングルクロックモード (NORMAL1)

## 2) ほかのマスクオプション (I/Oコード) について

TMP87CH48/CM48およびTMP87PH48/PM48には、I/Oポートのオプションコード (I/Oコード) は“A”のみあり、その他のI/Oコードはありません。

なお、マスクROM製品 (TMP87CH48/CM48U) のES発注の際は、I/Oコード“A”タイプを指定してください。

端子の入出力回路

TMP87CH48/CM48の制御端子および入出力ポートの入出力回路を示します。

端子名	入出力	入出力回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 1.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力		<u>XTIN, XTOUT</u> 低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.)  XTEN (イニシャル: 0) SW (XTEN = 0: OFF) (XTEN = 1: ON)
P21 P22	入出力 入出力		<u>P21, P22</u> シンクオープンドレイン出力 ヒステリシス入力 $R = 1 \text{ k}\Omega$ (typ.)
<u>RESET</u>	入出力		シンクオープンドレイン出力 ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
<u>STOP/INT5</u> (P20)	入出力		ヒステリシス入力 $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

注1) TMP87PH48/PM48のTEST端子には、プルダウン抵抗 ( $R_{IN}$ ) およびダイオード (D1) は内蔵されていません。必ず低レベルに固定してください。

注2) TMP87PH48/PM48およびTMP87CH48/CM48は、リセット解除時シングルクロックモード (NM1) となっています。

ポート名	入出力	入出力回路 (I/Oコード: "A")	備考
P0 P6 P7 P8	入出力	<p>出力</p> <p>Disable</p> <p>入力</p> <p>Initial "High-Z"</p> <p>R</p>	<p>トライステート入出力</p> <p>P6: アナログ入力あり</p> <p>R=1 kΩ (typ.)</p>
P1	入出力	<p>出力</p> <p>Disable</p> <p>入力</p> <p>Initial "High-Z"</p> <p>R</p>	<p>トライステート入出力</p> <p>ヒステリシス入力</p> <p>R=1 kΩ (typ.)</p>
P3	入出力	<p>出力</p> <p>入力</p> <p>Initial "High-Z"</p> <p>R</p>	<p>シンクオープンドレイン出力</p> <p>大電流出力 (P3ポートのみ)</p> <p>R=1 kΩ (typ.)</p>
P4 P5	入出力	<p>出力</p> <p>入力</p> <p>Initial "High-Z"</p> <p>R</p>	<p>シンクオープンドレイン出力</p> <p>ヒステリシス入力</p> <p>R=1 kΩ (typ.)</p>

## 電気的特性

## (1) TMP87CH48

絶対最大定格

(V<sub>SS</sub>=0 V)

項目	記号	条件	規格	単位
電源電圧	V <sub>DD</sub>		-0.3~6.5	V
入力電圧	V <sub>IN</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>OUT</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電流 (1端子当たり)	I <sub>OUT1</sub>	P0, P1, P2, P4, P5, P6, P7, P8 ポート	3.2	mA
	I <sub>OUT2</sub>	P3 ポート	30	
出力電流 (全端子総計)	Σ I <sub>OUT1</sub>	P0, P1, P2, P4, P5, P6, P7, P8 ポート	120	mA
	Σ I <sub>OUT2</sub>	P3 ポート	120	
消費電力	PD		350	mW
はんだ付け温度 (時間)	T <sub>sld</sub>		260 (10 s)	°C
保存温度	T <sub>stg</sub>		-55~125	°C
動作温度	T <sub>opr</sub>		-40~85	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V<sub>SS</sub>=0 V, T<sub>opr</sub>=-40~85°C)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V <sub>DD</sub>		fc=8 MHz	4.5	5.5	V	
							NORMAL1, 2モード IDLE1, 2モード
			fc=4.2 MHz	2.7			NORMAL1, 2モード IDLE1, 2モード
			fs=32.768 kHz	2.0			SLOWモード SLEEPモード
	STOPモード						
高レベル入力電圧	V <sub>IH1</sub>	ヒステリシス入力を除く	V <sub>DD</sub> ≥ 4.5 V	V <sub>DD</sub> × 0.70	V <sub>DD</sub>	V	
	V <sub>IH2</sub>	ヒステリシス入力		V <sub>DD</sub> × 0.75			
	V <sub>IH3</sub>			V <sub>DD</sub> < 4.5 V			V <sub>DD</sub> × 0.90
低レベル入力電圧	V <sub>IL1</sub>	ヒステリシス入力を除く	V <sub>DD</sub> ≥ 4.5 V	0	V <sub>DD</sub> × 0.30	V	
	V <sub>IL2</sub>	ヒステリシス入力			V <sub>DD</sub> × 0.25		
	V <sub>IL3</sub>				V <sub>DD</sub> < 4.5 V		V <sub>DD</sub> × 0.10
クロック周波数	fc	XIN, XOUT	V <sub>DD</sub> = 4.5~5.5 V	0.4	8.0	MHz	
			V <sub>DD</sub> = 2.7~5.5 V		4.2		
	fs	XTIN, XTOUT		30.0	34.0	kHz	

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従って、ご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc: 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示します。

## D.C. 特性

(V<sub>SS</sub>=0 V, T<sub>opr</sub> = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V <sub>HS</sub>	ヒステリシス入力	V <sub>DD</sub> =5.0 V	-	0.9	-	
入力電流	I <sub>IN1</sub>	TEST	V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.5 V/0 V	-	-	±2	μA
	I <sub>IN2</sub>	オープンドレインポート, トライステートポート					
	I <sub>IN3</sub>	RESET, STOP					
入力抵抗	R <sub>IN2</sub>	RESET	V <sub>DD</sub> =5.0 V	100	220	450	kΩ
出力リーク電流	I <sub>LO</sub>	オープンドレインポート	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5 V	-	-	2	μA
		トライステートポート	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5/0 V	-	-	±2	
高レベル出力電圧	V <sub>OH2</sub>	トライステートポート	V <sub>DD</sub> =4.5 V, I <sub>OH</sub> =-0.7 mA	4.1	-	-	V
低レベル出力電圧	V <sub>OL</sub>	XOUT, P3ポートを除く	V <sub>DD</sub> =4.5 V, I <sub>OL</sub> =1.6 mA	-	-	0.4	V
低レベル出力電流	I <sub>OL3</sub>	P3ポート	V <sub>DD</sub> =4.5 V, V <sub>OL</sub> =1.0 V	-	20	-	mA
NORMAL1, 2 モード時電源電流	I <sub>DD</sub>		V <sub>DD</sub> =5.5 V, V <sub>IN</sub> =5.3 V/0.2 V f <sub>c</sub> =8 MHz f <sub>s</sub> =32.768 kHz	-	4.5	5.5	mA
IDLE1, 2 モード時電源電流				-	2.5	4.0	
NORMAL1, 2 モード時電源電流			V <sub>DD</sub> =3.0 V, V <sub>IN</sub> =2.8 V/0.2 V f <sub>c</sub> =4.19 MHz f <sub>s</sub> =32.768 kHz	-	1.75	3.0	mA
IDLE1, 2 モード時電源電流				-	1.25	2.0	
SLOW モード時電源電流			V <sub>DD</sub> =3.0 V f <sub>s</sub> =32.768 kHz V <sub>IN</sub> =2.8 V/0.2 V	-	20	30	μA
SLEEP モード時電源電流				-	10	20	
STOP モード時電源電流			V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.3 V/0.2 V	-	0.5	10	μA

注1) Typ.値は条件に指定がない場合、T<sub>opr</sub> = 25°C時の値を示しません。注2) 入力電流 I<sub>IN1</sub>, I<sub>IN3</sub>:プルアップまたはプルダウン抵抗による電流を除きます。注3) I<sub>DD</sub>は、I<sub>REF</sub>を含みません。

AD 変換 特性

( $V_{SS}=0\text{ V}$ ,  $V_{DD}=2.7\sim 5.5\text{ V}$ ,  $T_{opr}=-40\sim 85^{\circ}\text{C}$ )

項目	記号	条件	Min	Typ.	Max			単位
					ADCDR1	ADCDR2		
					ACK=0 or 1	ACK=0	ACK=1	
アナログ基準電源電圧	$V_{AREF}$	$V_{AREF}-V_{ASS}\geq 2.5\text{ V}$	2.7	—	$V_{DD}$			V
	$V_{ASS}$		$V_{SS}$	—	1.5			
アナログ入力電圧範囲	$V_{AIN}$		$V_{ASS}$	—	$V_{AREF}$			V
アナログ基準電源電流	$I_{REF}$	$V_{AREF}=5.5\text{ V}$ , $V_{ASS}=0.0\text{ V}$	—	0.5	1.2			mA
非直線性誤差		$V_{DD}=5.0\text{ V}$ , $V_{SS}=0.0\text{ V}$ $V_{AREF}=5.000\text{ V}$	—	—	$\pm 1$	$\pm 3$	$\pm 2$	LSB
ゼロ誤差		$V_{ASS}=0.000\text{ V}$ または $V_{DD}=2.7\text{ V}$ , $V_{SS}=0.0\text{ V}$ $V_{AREF}=2.700\text{ V}$	—	—	$\pm 1$	$\pm 3$	$\pm 2$	
フルスケール誤差		$V_{ASS}=0.000\text{ V}$	—	—	$\pm 1$	$\pm 3$	$\pm 2$	
総合誤差			—	—	$\pm 2$	$\pm 6$	$\pm 4$	

注1) ADCDR1: 8ビットAD変換値 (1LSB =  $\Delta V_{AREF}/256$ ) ;  $\Delta V_{AREF}=V_{AREF}-V_{ASS}$

ADCDR2: 10ビットAD変換値 (1LSB =  $\Delta V_{AREF}/1024$ ) ;  $\Delta V_{AREF}=V_{AREF}-V_{ASS}$

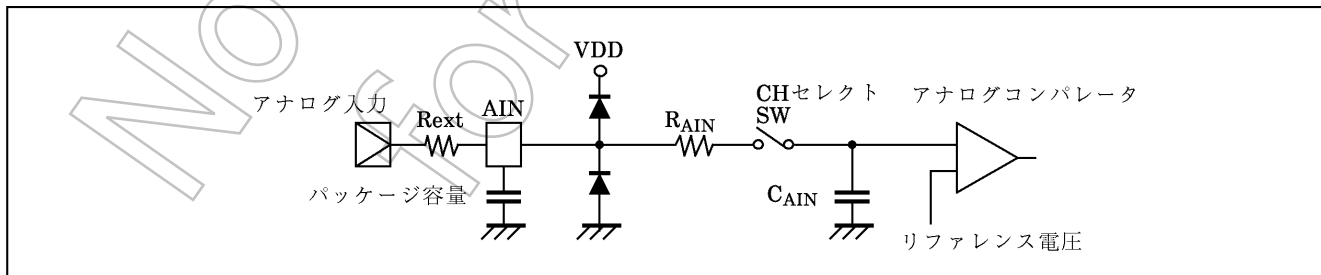
注2) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

AD 入力 特性

( $T_{opr}=-40\sim 85^{\circ}\text{C}$ )

項目	記号	条件	Min	Typ.	Max	単位
入力インピーダンス (抵抗分)	$R_{AIN}$	$V_{DD}=5.0\text{ V}$ , 変換時間 $23\mu\text{s}$ ( $f_c=8\text{ MHz}$ )	—	5	—	k $\Omega$
		$V_{DD}=2.7\text{ V}$ , 変換時間 $43.8\mu\text{s}$ ( $f_c=4.2\text{ MHz}$ )	—	20	—	
入力インピーダンス (容量分)	$C_{AIN}$	$V_{DD}=5.0\text{ V}$ , 変換時間 $23\mu\text{s}$ ( $f_c=8\text{ MHz}$ )	—	7	—	pF
		$V_{DD}=2.7\text{ V}$ , 変換時間 $43.8\mu\text{s}$ ( $f_c=4.2\text{ MHz}$ )	—	7	—	
許容信号源インピーダンス	$R_{ext}$	$V_{DD}=5.0\text{ V}$ , 変換時間 $23\mu\text{s}$ ( $f_c=8\text{ MHz}$ )	—	—	5	k $\Omega$
		$V_{DD}=2.7\text{ V}$ , 変換時間 $43.8\mu\text{s}$ ( $f_c=4.2\text{ MHz}$ )	—	—	5	

注) 入力電流 (出力リーク電流) Max  $\pm 2\mu\text{A}$ , ADの総合誤差 Max  $\pm 4\text{LSB}$  を考慮に入れています。



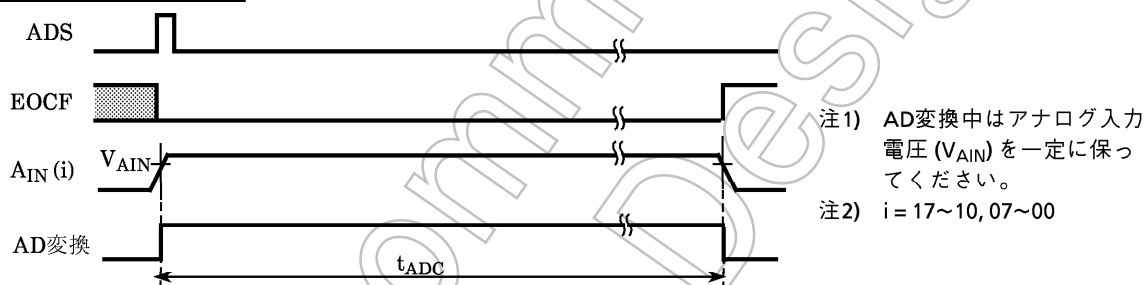
アナログ入力等価回路



A.C. 特性 (V<sub>SS</sub>=0 V, T<sub>opr</sub> = -40~85°C)

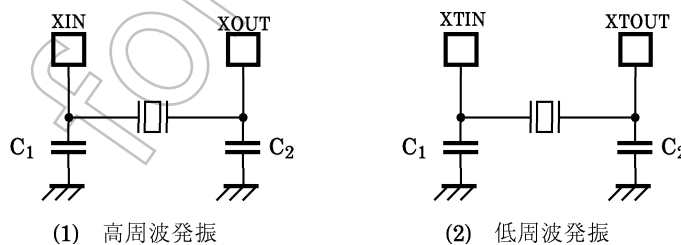
項目	記号	条件	V <sub>DD</sub>	Min	Typ.	Max	単位
マシンサイクルタイム	t <sub>cy</sub>	NORMAL1, 2モード時	4.5~5.5 V	0.5	-	10	μs
		IDLE1, 2モード時					
		SLOWモード時	2.7~5.5 V	117.6	-	133.3	
		SLEEPモード時					
高レベルクロックパルス幅	t <sub>WCH</sub>	外部クロック動作 (XIN入力) f <sub>c</sub> =8 MHz時	4.5~5.5 V	62.5	-	-	ns
低レベルクロックパルス幅	t <sub>WCL</sub>						
高レベルクロックパルス幅	t <sub>WSH</sub>	外部クロック動作 (XTIN入力) f <sub>s</sub> =32.768 kHz時	2.7~5.5 V	14.7	-	-	μs
低レベルクロックパルス幅	t <sub>WSL</sub>						
AD変換時間	t <sub>ADC</sub>	ADCCR bit 4; ACK = 0	-	-	49 t <sub>cy</sub>	-	ns
		ADCCR bit 4; ACK = 1	-	-	196 t <sub>cy</sub>	-	

AD変換タイミング



推奨発振条件 (V<sub>SS</sub>=0 V, T<sub>opr</sub> = -40~85°C)

項目	発振子	発振周波数	V <sub>DD</sub>	推奨発振子	推奨定数	
					C <sub>1</sub>	C <sub>2</sub>
高周波発振	セラミック発振子	8 MHz	4.5~5.5 V	京セラ KBR8.0M	30 pF	30 pF
		4 MHz	2.7~5.5 V	京セラ KBR4.0MS 村田製作所 CSA4.00MG		
	水晶発振子	8 MHz	4.5~5.5 V	TOYOCOM 210B 8.0000	20 pF	20 pF
		4 MHz	2.7~5.5 V	TOYOCOM 204B 4.0000		
低周波発振	水晶発振子	32.768 kHz	2.7~5.5 V	日本電波工業 MX-38T	15 pF	15 pF



注1) ブラウン管など高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドしてください。  
注2) 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの同社ホームページを参照してください。  
[http://www.murata.co.jp/search/index\\_j.html](http://www.murata.co.jp/search/index_j.html)

## (2) TMP87CM48

## 絶対最大定格

(V<sub>SS</sub>=0 V)

項目	記号	条件	規格	単位
電源電圧	V <sub>DD</sub>		-0.3~6.5	V
入力電圧	V <sub>IN</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>OUT</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電流 (1端子当たり)	I <sub>OUT1</sub>	P0, P1, P2, P4, P5, P6, P7, P8 ポート	3.2	mA
	I <sub>OUT2</sub>	P3 ポート	30	
出力電流 (全端子総計)	Σ I <sub>OUT1</sub>	P0, P1, P2, P4, P5, P6, P7, P8 ポート	120	mA
	Σ I <sub>OUT2</sub>	P3 ポート	120	
消費電力	PD		350	mW
はんだ付け温度 (時間)	T <sub>slid</sub>		260 (10 s)	°C
保存温度	T <sub>stg</sub>		-55~125	°C
動作温度	T <sub>opr</sub>		-40~85	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

## 推奨動作条件

(V<sub>SS</sub>=0 V, T<sub>opr</sub>=-40~85°C)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V <sub>DD</sub>		fc=8 MHz	NORMAL1, 2モード	4.5	5.5	V
				IDLE1, 2モード			
			fc=4.2 MHz	NORMAL1, 2モード	2.7		
				IDLE1, 2モード			
			fs=32.768 kHz	SLOWモード	2.0		
SLEEPモード							
		STOPモード					
高レベル入力電圧	V <sub>IH1</sub>	ヒステリシス入力を除く	V <sub>DD</sub> ≥ 4.5 V	V <sub>DD</sub> × 0.70	V <sub>DD</sub>	V	
	V <sub>IH2</sub>	ヒステリシス入力		V <sub>DD</sub> × 0.75			
	V <sub>IH3</sub>			V <sub>DD</sub> < 4.5 V			V <sub>DD</sub> × 0.90
低レベル入力電圧	V <sub>IL1</sub>	ヒステリシス入力を除く	V <sub>DD</sub> ≥ 4.5 V	0	V <sub>DD</sub> × 0.30	V	
	V <sub>IL2</sub>	ヒステリシス入力			V <sub>DD</sub> × 0.25		
	V <sub>IL3</sub>				V <sub>DD</sub> < 4.5 V		V <sub>DD</sub> × 0.10
クロック周波数	fc	XIN, XOUT	V <sub>DD</sub> = 4.5~5.5 V	0.4	8.0	MHz	
			V <sub>DD</sub> = 2.7~5.5 V		4.2		
	fs	XTIN, XTOUT		30.0	34.0	kHz	

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件(電源電圧、動作温度範囲、AC/DC規定値)から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従って、ご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc: 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示します。

## D.C. 特性

(V<sub>SS</sub>=0 V, T<sub>opr</sub> = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V <sub>HS</sub>	ヒステリシス入力	V <sub>DD</sub> =5.0 V	-	0.9	-	
入力電流	I <sub>IN1</sub>	TEST	V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.5 V/0 V	-	-	±2	μA
	I <sub>IN2</sub>	オープンドレインポート, トライステートポート					
	I <sub>IN3</sub>	RESET, STOP					
入力抵抗	R <sub>IN2</sub>	RESET	V <sub>DD</sub> =5.0 V	100	220	450	kΩ
出力リーク電流	I <sub>LO</sub>	オープンドレインポート	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5 V	-	-	2	μA
		トライステートポート	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5/0 V	-	-	±2	
高レベル出力電圧	V <sub>OH2</sub>	トライステートポート	V <sub>DD</sub> =4.5 V, I <sub>OH</sub> =-0.7 mA	4.1	-	-	V
低レベル出力電圧	V <sub>OL</sub>	XOUT, P3ポートを除く	V <sub>DD</sub> =4.5 V, I <sub>OL</sub> =1.6 mA	-	-	0.4	V
低レベル出力電流	I <sub>OL3</sub>	P3ポート	V <sub>DD</sub> =4.5 V, V <sub>OL</sub> =1.0 V	-	20	-	mA
NORMAL1, 2 モード時電源電流	I <sub>DD</sub>		V <sub>DD</sub> =5.5 V, V <sub>IN</sub> =5.3 V/0.2 V f <sub>c</sub> =8 MHz f <sub>s</sub> =32.768 kHz	-	4.75	6.4	mA
IDLE1, 2 モード時電源電流				-	3.25	4.65	
NORMAL1, 2 モード時電源電流			V <sub>DD</sub> =3.0 V, V <sub>IN</sub> =2.8 V/0.2 V f <sub>c</sub> =4.19 MHz f <sub>s</sub> =32.768 kHz	-	1.85	3.2	mA
IDLE1, 2 モード時電源電流				-	1.35	2.2	
SLOW モード時電源電流			V <sub>DD</sub> =3.0 V f <sub>s</sub> =32.768 kHz V <sub>IN</sub> =2.8 V/0.2 V	-	20	30	μA
SLEEP モード時電源電流				-	10	20	
STOP モード時電源電流				V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.3 V/0.2 V	-	0.5	

注1) Typ.値は条件に指定がない場合、T<sub>opr</sub> = 25°C時の値を示しません。注2) 入力電流 I<sub>IN1</sub>, I<sub>IN3</sub>: プルアップまたはプルダウン抵抗による電流を除きます。注3) I<sub>DD</sub>は、I<sub>REF</sub>を含みません。

AD 変換特性

( $V_{SS}=0\text{ V}$ ,  $V_{DD}=2.7\sim 5.5\text{ V}$ ,  $T_{opr}=-40\sim 85^{\circ}\text{C}$ )

項目	記号	条件	Min	Typ.	Max			単位
					ADCDR1	ADCDR2		
					ACK=0 or 1	ACK=0	ACK=1	
アナログ基準電源電圧	$V_{AREF}$	$V_{AREF}-V_{ASS}\geq 2.5\text{ V}$	2.7	—	$V_{DD}$			V
	$V_{ASS}$		$V_{SS}$	—	1.5			
アナログ入力電圧範囲	$V_{AIN}$		$V_{ASS}$	—	$V_{AREF}$			V
アナログ基準電源電流	$I_{REF}$	$V_{AREF}=5.5\text{ V}$ , $V_{ASS}=0.0\text{ V}$	—	0.5	1.2			mA
非直線性誤差		$V_{DD}=5.0\text{ V}$ , $V_{SS}=0.0\text{ V}$ $V_{AREF}=5.000\text{ V}$	—	—	$\pm 1$	$\pm 3$	$\pm 2$	LSB
ゼロ誤差		$V_{ASS}=0.000\text{ V}$ または $V_{DD}=2.7\text{ V}$ , $V_{SS}=0.0\text{ V}$ $V_{AREF}=2.700\text{ V}$	—	—	$\pm 1$	$\pm 3$	$\pm 2$	
フルスケール誤差		$V_{ASS}=0.000\text{ V}$	—	—	$\pm 1$	$\pm 3$	$\pm 2$	
総合誤差			—	—	$\pm 2$	$\pm 6$	$\pm 4$	

注1) ADCDR1: 8ビットAD変換値 (1LSB =  $\Delta V_{AREF}/256$ ) ;  $\Delta V_{AREF}=V_{AREF}-V_{ASS}$

ADCDR2: 10ビットAD変換値 (1LSB =  $\Delta V_{AREF}/1024$ ) ;  $\Delta V_{AREF}=V_{AREF}-V_{ASS}$

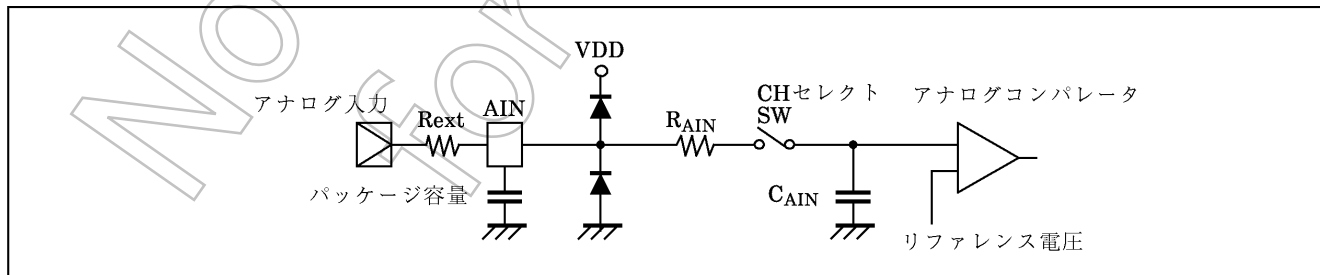
注2) 総合誤差には量子化誤差を含みません。

AD 入力特性

( $T_{opr}=-40\sim 85^{\circ}\text{C}$ )

項目	記号	条件	Min	Typ.	Max	単位
入力インピーダンス (抵抗分)	$R_{AIN}$	$V_{DD}=5.0\text{ V}$ , 変換時間 $23\mu\text{s}$ ( $f_c=8\text{ MHz}$ )	—	5	—	k $\Omega$
		$V_{DD}=2.7\text{ V}$ , 変換時間 $43.8\mu\text{s}$ ( $f_c=4.2\text{ MHz}$ )	—	20	—	
入力インピーダンス (容量分)	$C_{AIN}$	$V_{DD}=5.0\text{ V}$ , 変換時間 $23\mu\text{s}$ ( $f_c=8\text{ MHz}$ )	—	7	—	pF
		$V_{DD}=2.7\text{ V}$ , 変換時間 $43.8\mu\text{s}$ ( $f_c=4.2\text{ MHz}$ )	—	7	—	
許容信号源インピーダンス	$R_{ext}$	$V_{DD}=5.0\text{ V}$ , 変換時間 $23\mu\text{s}$ ( $f_c=8\text{ MHz}$ )	—	—	5	k $\Omega$
		$V_{DD}=2.7\text{ V}$ , 変換時間 $43.8\mu\text{s}$ ( $f_c=4.2\text{ MHz}$ )	—	—	5	

注) 入力電流 (出力リーク電流) Max  $\pm 2\mu\text{A}$ , ADの総合誤差 Max  $\pm 4\text{LSB}$  を考慮に入れています。



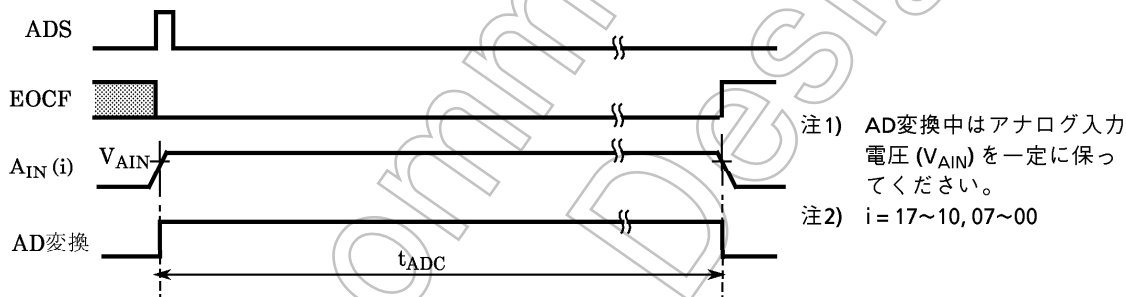
アナログ入力等価回路

AC特性

(V<sub>SS</sub>=0 V, Topr = -40~85°C)

項目	記号	条件	V <sub>DD</sub>	Min	Typ.	Max	単位
マシンサイクルタイム	t <sub>cy</sub>	NORMAL1, 2モード時	4.5~5.5 V	0.5	-	10	μs
		IDLE1, 2モード時					
		SLOWモード時	2.7~5.5 V	117.6	-	133.3	
		SLEEPモード時					
高レベルクロックパルス幅	t <sub>wCH</sub>	外部クロック動作 (XIN入力)	4.5~5.5 V	62.5	-	-	ns
低レベルクロックパルス幅	t <sub>wCL</sub>	f <sub>c</sub> =8 MHz時					
高レベルクロックパルス幅	t <sub>wSH</sub>	外部クロック動作 (XTIN入力)	2.7~5.5 V	14.7	-	-	μs
低レベルクロックパルス幅	t <sub>wSL</sub>	f <sub>s</sub> =32.768 kHz時					
AD変換時間	t <sub>ADC</sub>	ADCCR bit 4; ACK = 0	-	-	49 t <sub>cy</sub>	-	ns
		ADCCR bit 4; ACK = 1	-	-	196 t <sub>cy</sub>	-	

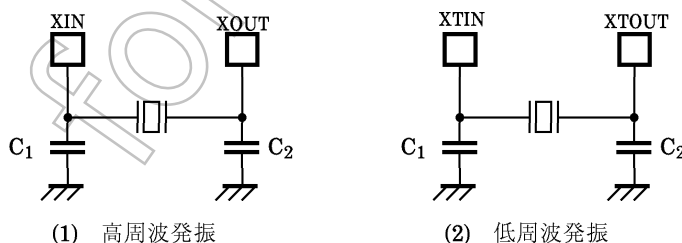
AD変換タイミング



推奨発振条件

(V<sub>SS</sub>=0 V, Topr = -40~85°C)

項目	発振子	発振周波数	V <sub>DD</sub>	推奨発振子	推奨定数	
					C <sub>1</sub>	C <sub>2</sub>
高周波発振	セラミック発振子	8 MHz	4.5~5.5 V	京セラ KBR8.0M	30 pF	30 pF
		4 MHz	2.7~5.5 V	京セラ KBR4.0MS		
				村田製作所 CSA4.00MG		
	水晶発振子	8 MHz	4.5~5.5 V	TOYOCOM 210B 8.0000	20 pF	20 pF
		4 MHz	2.7~5.5 V	TOYOCOM 204B 4.0000		
低周波発振	水晶発振子	32.768 kHz	2.7~5.5 V	日本電波工業 MX-38T	15 pF	15 pF



注1) ブラウン管など高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドしてください。  
 注2) 村田製発振子は、型番・仕様の切り替えが随時行われております。  
 詳細につきましては、下記アドレスの同社ホームページを参照してください。  
[http://www.murata.co.jp/search/index\\_j.html](http://www.murata.co.jp/search/index_j.html)

パッケージ外形寸法図

P-LQFP64-1010-0.50

単位 : mm

