

TOSHIBA

東芝 オリジナル CMOS 16ビット マイクロコントローラ

TLCS-900/L1 シリーズ

TMP91PW18AFG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 16 ビットマイクロコントローラ TLCS-900/L1 シリーズ、TMP91PW18A をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されませうことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができませんが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0~INT4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

低電圧/低消費電力

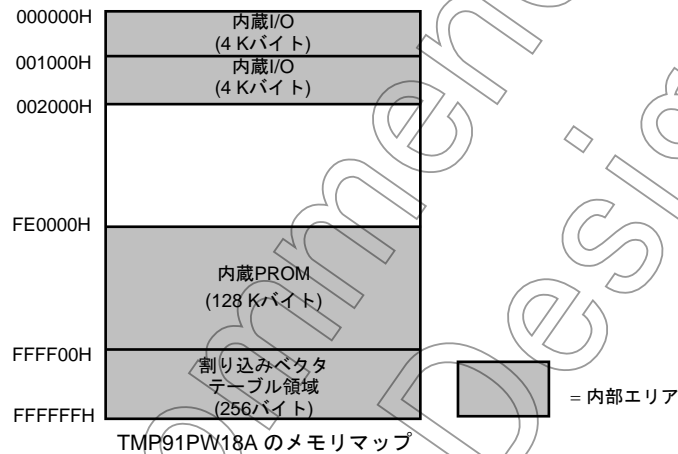
CMOS 16ビットマイクロコントローラ TMP91PW18AFG

1. 概要と特長

TMP91PW18Aは、128 Kバイトワンタイム PROM を内蔵した TMP91CW18A のシステム評価用 LSI で、アダプタソケットを用いることにより、汎用 EPROM ライタで書き込み/バリファイを行うことができます。

TMP91PW18Aは、マスク ROM 製品の TMP91CW18A とピンコンパチブルです。内蔵の PROM にプログラムを書き込むことにより、TMP91CW18A と同一の動作を行います。

下記に TMP91PW18A のメモリマップを示します。

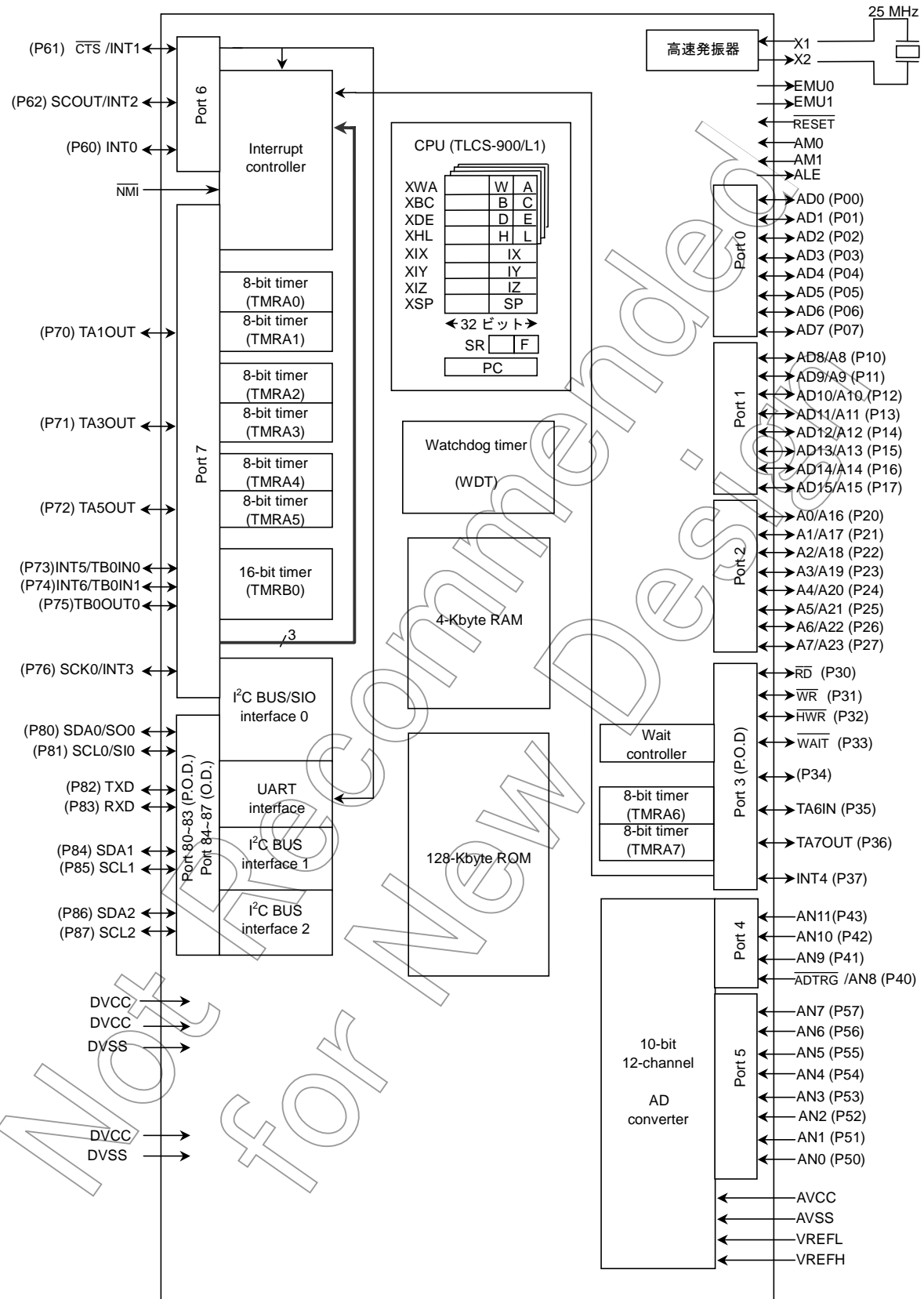


製品形名	ROM	RAM	パッケージ	アダプタソケット名
TMP91PW18AFG	OTP 128 Kバイト	4 Kバイト	QFP80-P-1420-0.80B	BM11179

当社半導体製品取り扱い上のお願い

20070701-JA GENERAL

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。



() : リセット後の初期機能

図 1.1 TMP91PW18A ブロック図

2. ピン配置とピン機能

TMP91PW18A のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP91PW18A ピン配置図は、図 2.1.1のとおりです。

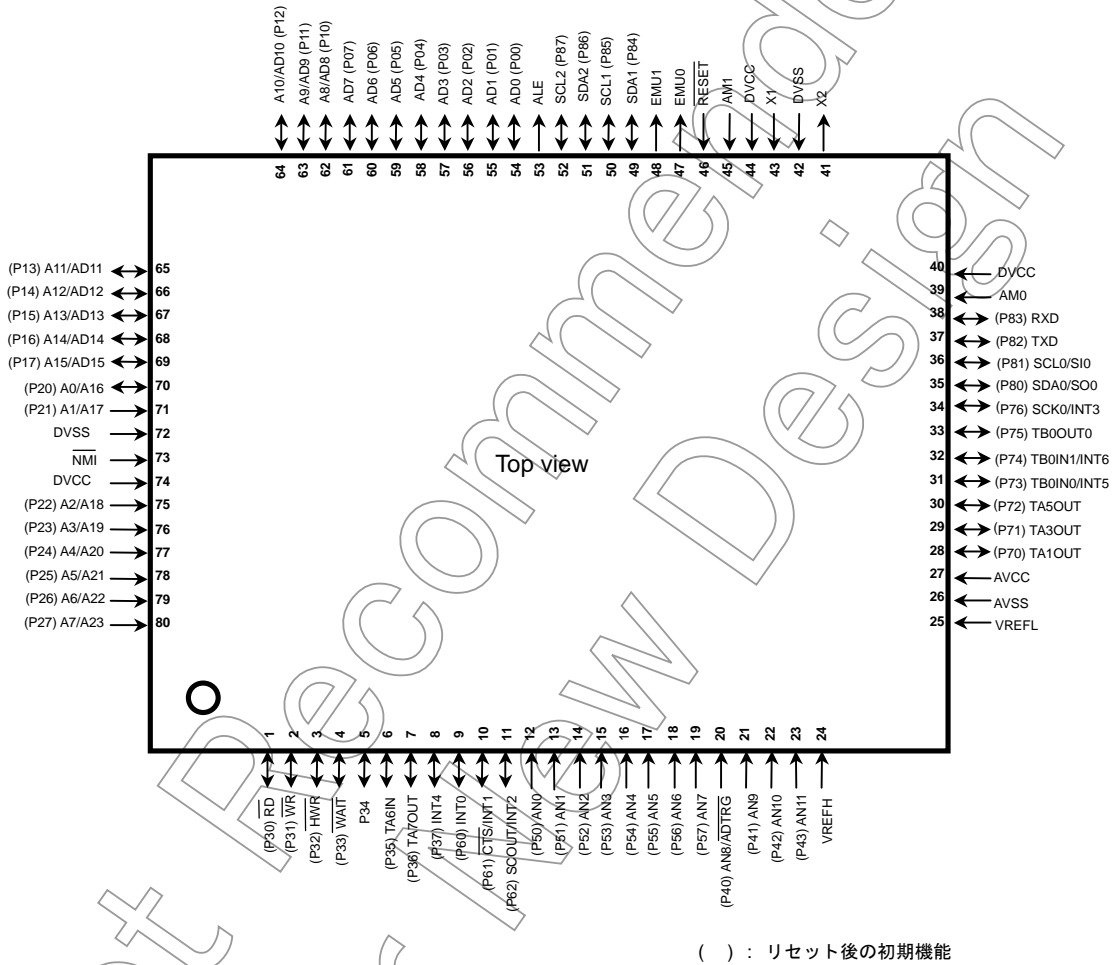


図 2.1.1 ピン配置図 (80ピン QFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1~表 2.2.3のとおりです。

表 2.2.1 ピン名称と機能 (1/3)

ピン名称	ピン数	入出力	機能
P00~P07 AD0~AD7	8	入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (下位): アドレス/データバス 0~7 です。
P10~P17 AD8~AD15 A8~A15	8	入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポートです。 アドレス/データ (上位): アドレス/データバス 8~15 です。 アドレス: アドレスバス 8~15 です。
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポートです。 アドレス: アドレスバス 0~7 です。 アドレス: アドレスバス 16~23 です。
P30 RD	1	入出力 出力	ポート 30: 入出力ポートです。 リード: 外部メモリをリードするためのストローブ信号です。 (P3 <P30> = 0, P3FC <P30F> = 1) にすることによって、内部エリアをリードした時も RD が出ます。 プログラムによりオープンドレイン出力端子となります。
P31 WR	1	入出力 出力	ポート 31: 入出力ポートです。 ライト: AD0~AD7 端子のデータをライトするためのストローブ信号です。 プログラムによりオープンドレイン出力端子となります。
P32 HWR	1	入出力 出力	ポート 32: 入出力ポートです。(プルアップ付き) 上位ライト: AD8~AD15 端子のデータをライトするためのストローブ信号です。 プログラムによりオープンドレイン出力端子となります。
P33 WAIT	1	入出力 入力	ポート 33: 入出力ポートです。(プルアップ付き) ウェイト: CPU へのバスウェイト要求端子です。 ((1+N) ウェイトモード) プログラムによりオープンドレイン出力端子となります。
P34	1	入出力	ポート 34: 入出力ポートです。 プログラムによりオープンドレイン出力端子となります。
P35 TA6IN	1	入出力 入力	ポート 35: 入出力ポートです。 8 ビットタイマ 6 入力: タイマ 6 入力です。 プログラムによりオープンドレイン出力端子となります。
P36 TA7OUT	1	入出力 出力	ポート 36: 入出力ポートです。 8 ビットタイマ 7 出力: タイマ 6 またはタイマ 7 の出力です。 プログラムによりオープンドレイン出力端子となります。
P37 INT4	1	入出力 入力	ポート 37: 入出力ポートです。 割り込み要求端子 4: 立ち上がり、または立ち下がりエッジでの割り込み要求端子です。 プログラムによりオープンドレイン出力端子となります。
P40~P43 AN8~AN11 ADTRG	4	入力 入力 入力	ポート 4: 入力専用ポートです。 アナログ入力: AD コンバータの入力です。 AD トリガ: AD コンバータの外部スタート要求端子です。 (P40 と兼用です)
P50~P57 AN0~AN7	8	入力 入力	ポート 5: 入力専用ポートです。 アナログ入力: AD コンバータの入力です。

表 2.2.2 ピン名称と機能 (2/3)

ピン名称	ピン数	入出力	機能
P60 INT0	1	入出力 入力	ポート 60: 入出力ポートです。 割り込み要求端子 0: プログラマブル (レベル/立ち上がり/立ち下がりエッジ) 割り込み要求端子です。
P61 INT1 CTS	1	入出力 入力 入力	ポート 61: 入出力ポートです。 割り込み要求端子 1: 立ち上がり、または立ち下がりエッジでの割り込み要求端子です。 シリアルデータ送信可能 (Clear to send)
P62 INT2 SCOUT	1	入出力 入力 出力	ポート 62: 入出力ポートです。 割り込み要求端子 2: 立ち上がり、または立ち下がりエッジでの割り込み要求端子です。 システムクロック出力: f _{PPH} を出力します。
P70 TA1OUT	1	入出力 出力	ポート 70: 入出力ポートです。 8 ビットタイマ 1 出力: タイマ 0 または タイマ 1 の出力です。
P71 TA3OUT	1	入出力 出力	ポート 71: 入出力ポートです。 8 ビットタイマ 3 出力: タイマ 2 または タイマ 3 の出力です。
P72 TA5OUT	1	入出力 出力	ポート 72: 入出力ポートです。 8 ビットタイマ 5 出力: タイマ 4 または タイマ 5 の出力です。
P73 TB0IN0 INT5	1	入出力 入力 入力	ポート 73: 入出力ポートです。 16 ビットタイマ 0 入力 0: 16 ビットタイマ 0 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 5: プログラマブル (立ち上がり/立ち下がりエッジ) 割り込み要求端子です。
P74 TB0IN1 INT6	1	入出力 入力 入力	ポート 74: 入出力ポートです。 16 ビットタイマ 0 入力 1: 16 ビットタイマ 0 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 6: 立ち上がりエッジでの割り込み要求端子です。
P75 TB0OUT0	1	入出力 出力	ポート 75: 入出力ポートです。 16 ビットタイマ 0 出力 0: 16 ビットタイマ 0 の出力端子です。
P76 INT3 SCK0	1	入出力 入力 入出力	ポート 75: 入出力ポートです。 割り込み要求端子 2: 立ち上がり、または立ち下がりエッジでの割り込み要求端子です。 シリアルバスインタフェースの SIO モード時のクロック入出力端子です。

表 2.2.3 ピン名称と機能 (3/3)

ピン名称	ピン数	入出力	機能
P80 SO0 SDA0	1	入出力 出力 入出力	ポート 80: 入出力ポートです。 シリアルバスインタフェースの SIO モード 0 時のデータ送信端子です。 シリアルバスインタフェースの I ² C バスモード 0 時のデータ送受信端子です。 プログラムによりオープンドレイン出力端子となります。
P81 SI0 SCL0	1	入出力 入力 入出力	ポート 81: 入出力ポートです。 シリアルバスインタフェースの SIO モード 0 時のデータ受信端子です。 シリアルバスインタフェースの I ² C バスモード 0 時のクロック入出力端子です。 プログラムによりオープンドレイン出力端子となります。
P82 TXD	1	入出力 出力	ポート 82: 入出力ポートです。 非同期シリアル送信データ プログラムによりオープンドレイン出力端子となります。
P83 RXD	1	入出力 入力	ポート 83: 入出力ポートです。 非同期シリアル受信データ プログラムによりオープンドレイン出力端子となります。
P84 SDA1	1	入出力 入出力	ポート 84: 入出力ポートです。 シリアルバスインタフェースの I ² C バスモード 1 時のデータ送受信端子です。 出力は N-ch FET のオープンドレイン出力端子となります。
P85 SCL1	1	入出力 入出力	ポート 85: 入出力ポートです。 シリアルバスインタフェースの I ² C バスモード 1 時のクロック入出力端子です。 出力は N-ch FET のオープンドレイン出力端子となります。
P86 SDA2	1	入出力 入出力	ポート 86: 入出力ポートです。 シリアルバスインタフェースの I ² C バスモード 2 時のデータ送受信端子です。 出力は N-ch FET のオープンドレイン出力端子となります。
P87 SCL2	1	入出力 入出力	ポート 87: 入出力ポートです。 シリアルバスインタフェースの I ² C バスモード 2 時のクロック入出力端子です。 出力は N-ch FET のオープンドレイン出力端子となります。
ALE	1	出力	アドレスラッチイネーブル (ノイズ削減のため出力禁止に設定できます)
NMI	1	入力	ノンマスクブル割り込み要求端子: 立ち下がリエッジでの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります。
AM0~AM1	2	入力	動作モード: AM1 = "1", AM0 = "1" に固定してください。
EMU0	1	出力	"開放" してください。
EMU1	1	出力	"開放" してください。
RESET	1	入力	リセット: LSI を初期化します。(プルアップ付き)
VREFH	1	入力	AD コンバータ用基準電源入力端子です。(H)
VREFL	1	入力	AD コンバータ用基準電源入力端子です。(L)
AVCC	1		AD コンバータ電源端子
AVSS	1		AD コンバータ GND 端子 (0 V)
X1/X2	2	入出力	発振子接続端子
DVCC	3		電源端子 (全 DVCC 端子を電源に接続してください)
DVSS	2		GND 端子 (全 DVSS 端子を GND (0 V) に接続してください)

2.3 PROM モードのピン機能と端子の処理

表 2.3.1 PROM モード名称と機能、端子の処理

ピン名称	ピン数	入出力	機能	端子名 (MCU モード時)
A7~A0	8	入力	プログラムメモリアドレス入力	P27~P20
A15~A8	8	入力		P17~P10
A16	1	入力		P33
D7~D0	8	入出力	プログラムメモリデータ入力/出力	P07~P00
\overline{CE}	1	入力	チップイネーブル入力	P32
\overline{OE}	1	入力	出力コントロール入力	P30
PGM	1	入力	プログラムコントロール入力	P31
VPP	1	電源	12.75 V/5 V (プログラム電源)	AM1
VCC	4	電源	6.25 V/5 V	DVCC, AVCC
VSS	4	電源	0 V	DVSS, AVSS
ピン名称	ピン数	入出力	端子の処理	
P34	1	入力	"L" レベルに固定 (セキュリティ端子)	
RESET	1	入力	"L" レベルに固定 (PROM モードに設定)	
AM0	1	入力		
ALE	1	出力	開放	
X1	1	入力	発振子を取り付け、自己発振させてください。	
X2	1	出力		
P43~P41, P37~P35, P75~P70	12	入力	"H" レベルに固定	
P40 P57~P50 P62~P60 P87~P80 VREFH VREFL \overline{NMI} , EMU1~EMU0	26	入出力	開放	

3. 動作説明

TMP91PW18A についてハードウェアの構成およびその動作を説明します。

TMP91PW18A は、TMP91CW18A の内蔵マスク ROM を PROM としたものです。その他の構成および機能は TMP91CW18A と同一です。従ってここに記載されていない機能については、TMP91CW18A を参照してください。動作モードには、MCU モードと PROM モードがあります。

3.1 MCU モード

(1) モード設定および機能

AM1~AM0 端子を“H”レベルにすることにより MCU モードとなります。

MCU モードでの動作は、TMP91CW18A と同一です。

3.2 メモリマップ

TMP91PW18A のメモリマップを示します。

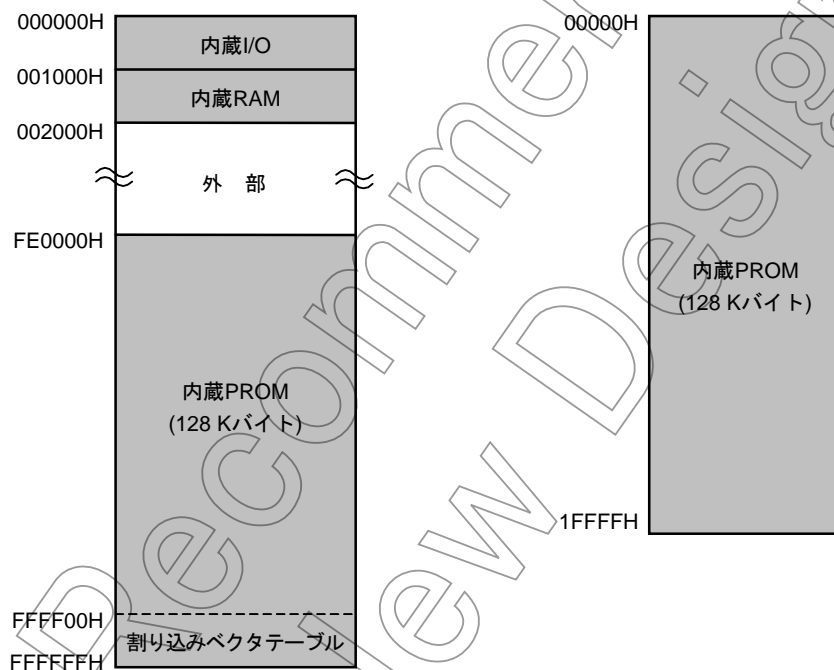


図 3.2.1 MCU モード時
メモリマップ

図 3.2.2 PROM モード時
メモリマップ

3.3 PROM モード

(1) モード設定、書き込み方法

$\overline{\text{RESET}}$, AM0 端子を“L”レベル、AM1 端子を“VPP”レベルとすることにより PROM モードになります。

PROM モードでは、汎用 PROM ライタを用いてプログラムの書き込み/バリファイを行うことができます。

- OTP アダプタの準備
BM11179: TMP91PW18AFG 用
 - OTP アダプタの設定
スイッチ (SW1) を N 側に設定してください。
 - PROM ライタの設定
- i) PROM タイプを TC571000D 相当に設定してください。

サイズ: 1 M ビット (128 K × 8 ビット)

VPP: 12.75 V

tpw: 100 μ s

ただし、本製品はエレクトリックシグネチャーモード (以下シグネチャー) はサポートしていません。従って PROM ライタでシグネチャーを使用すると、アドレスの 9 番ピン (A9) に 12.75 V の電圧が印加されるため、デバイスにダメージを与えます。シグネチャーを使わないでください。

ii) データ転送 (またはコピー)

TMP91PW18A の PROM は、PROM モード時アドレス 00000H~1FFFFH エリアに存在し、MCU モード時アドレス FE0000H~FFFFFFH エリアに存在します。従ってブロック転送モード (PROM ライタの説明書を参照してください)、もしくはオブジェクトデータ作成時にオブジェクトコンバータ (tuconv) などを使用し、PROM モード時のアドレス 00000H~1FFFFH にデータを転送してください。

iii) 書き込みアドレスの設定

開始アドレス: 00000H

終了アドレス: 1FFFFH

- 書き込み
PROM ライタの操作手順に従って書き込み/バリファイを行ってください。

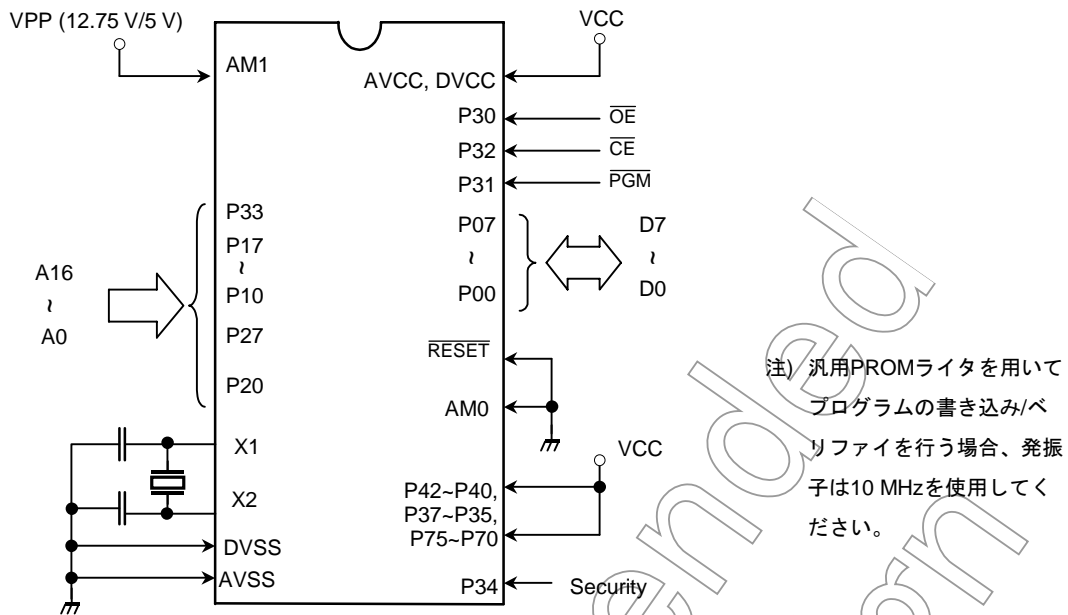


図 3.3.1 PROM モードの端子設定

(2) 書き込みフローチャート

VCC = 6.25 V かつ $\overline{\text{RESET}}$, AM0 端子“L”レベル入力の状態で、AM1 端子 = 12.75 V のプログラム電圧を印加することによりプログラムモードとなります。

アドレスおよび入力データを確定し CE を“L”レベル入力の状態にした後、 $\overline{\text{PGM}}$ 入力に 0.1 ms プログラム (単一) パルスを加えることにより、データが書き込まれます。1 アドレスごとにデータが書き込まれているかベリファイを行い、正しく書き込まれていない場合は再び 0.1 ms のプログラムパルスを印加し正しく書き込まれるまで (最大 25 回) この操作を繰り返します。以降、アドレス、入力データを変え同様に書き込みを行います。すべての書き込みが終了したら、VCC = AM1 = 5 V に設定し全アドレスのベリファイを行います。

図 3.3.2 にフローチャートを示します。

高速プログラム方式

フローチャート

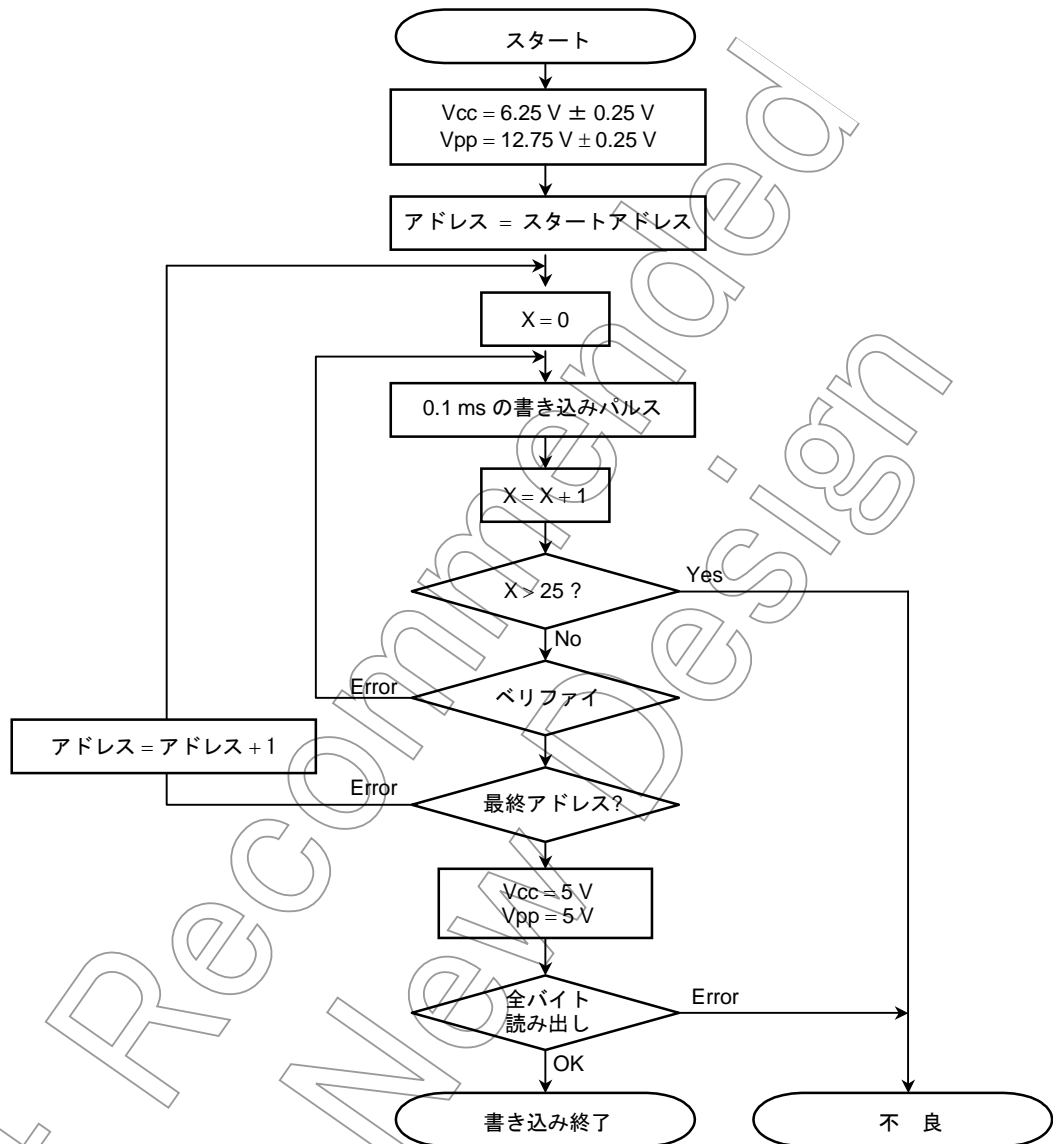


図 3.3.2 フローチャート

(3) セキュリティビット

TMP91PW18A は PROM セルの中にセキュリティビット (1 ビット) を内蔵しています。このセキュリティビットに “0” を書き込むことにより、内蔵 PROM のデータを PROM モードで読めなくすることができます。

(セキュリティビットのプログラム方法)

3.3 (1) で述べた書き込み方法と異なる点を下記に示します。

- OTP アダプタの設定

スイッチ (SW1) を S 側に設定してください。

- PROM ライタの設定

- i) データ転送

- ii) 書き込みアドレスの設定

セキュリティビットは、アドレス 00000H のビット 0 に存在します。

従って、開始アドレスを 00000H、終了アドレスを 00000H、アドレス 00000H のデータを FEH に設定してください。

Not Recommended
for New Design

4. 電気的特性

4.1 絶対最大定格

項目	記号	定格	単位
電源電圧	Vcc	-0.5~6.5	V
入力電圧	VIN	-0.5~Vcc + 0.5	
出力電流 (1端子当たり)	IOL	2	mA
出力電流 (1端子当たり)	IOH	-2	
出力電流 (合計)	Σ IOL	80	
出力電流 (合計)	Σ IOH	-80	
消費電力 (Ta = 70°C)	PD	600	mW
はんだ付け温度 (10 s)	TSOLDER	240	°C
保存温度	TSTG	-65~150	
動作温度	TOPR	-30~70	

- 注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。
- 注 2) ブラウン管など高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

4.2 DC 電気的特性 (1/2)

項目	記号	条件	Min	Typ. 注)	Max	単位
電源電圧 ($V_{Vcc} = DV_{Vcc}$ ($V_{Vss} = DV_{Vss} = 0V$))	VCC	$f_c = 8\sim 25\text{ MHz}$	4.5		5.5	V
低レベル入力電圧	P00~P17 (AD0~AD15)	$V_{cc} = 4.5\sim 5.5\text{ V}$	-0.3		0.8	V
	P20~P87				$0.3 V_{cc}$	
	$\overline{\text{RESET}}, \overline{\text{NMI}}$				$0.25 V_{cc}$	
	AM0~AM1				0.3	
	X1				$0.2 V_{cc}$	
高レベル入力電圧	P00~P17 (AD0~AD15)	$V_{cc} = 4.5\sim 5.5\text{ V}$			$0.7 V_{cc}$	V
	P20~P87				$0.7 V_{cc}$	
	$\overline{\text{RESET}}, \overline{\text{NMI}}$				$0.75 V_{cc}$	
	AM0~AM1				$V_{cc} - 0.3$	
	X1				$0.8 V_{cc}$	
低レベル出力電圧	VOL	$I_{OL} = 1.6\text{ mA}$ ($V_{cc} = 4.5\sim 5.5\text{ V}$)			0.45	V
高レベル出力電圧	VOH	$I_{OH} = -400\text{ }\mu\text{A}$ ($V_{cc} = 5.0\text{ V} \pm 10\%$)	4.2			

注) Typ.値は特に指定のない限り、 $T_a = 25^\circ\text{C}$, $V_{cc} = 5.0\text{ V}$ です。

4.2 DC 電気的特性 (2/2)

項目	記号	条件	Min	Typ. 注 1)	Max	単位
入力リーク電流	ILI	$0.0 \leq V_{IN} \leq V_{CC}$		0.02	± 5	μA
出力リーク電流	ILO	$0.2 \leq V_{IN} \leq V_{CC} - 0.2$		0.05	± 10	
パワーダウン電圧 (@STOP, RAMバックアップ)	VSTOP	$V_{IL2} = 0.2 V_{CC}$, $V_{IH2} = 0.8 V_{CC}$	2.0		5.5	V
RESET プルアップ抵抗	RRST	$V_{CC} = 5 V \pm 10\%$	40		200	$\text{k}\Omega$
端子容量	CIO	$f_c = 1 \text{ MHz}$			10	PF
シュミット幅 RESET, NMI	VTH		0.4	1.0		V
プログラマブル プルアップ抵抗	RKH	$V_{CC} = 5 V \pm 10\%$	40		200	$\text{k}\Omega$
NORMAL 注 2)	I _{CC}	$V_{CC} = 5 V \pm 10\%$ $f_c = 25 \text{ MHz}$ (Typ.値は $V_{CC} = 5.0 \text{ V}$)		23.5	35.0	mA
IDLE2				9.5	15.0	
IDLE1				4.4	9.0	
STOP			$T_a \leq 70^\circ\text{C}$	$V_{CC} = 4.5\text{--}5.5\text{V}$		0.2

注 1) Typ.値は特に指定のない限り、 $T_a = 25^\circ\text{C}$ 、 $V_{CC} = 5.0 \text{ V}$ です。

注 2) ICC NORMAL の測定条件：すべて動作、出力端子は開放、入力端子はレベル固定。

Not Recommended for New Design

4.3 AC 電氣的特性

$$V_{CC} = 5.0 \text{ V} \pm 10\%$$

No.	項目	記号	計算式		f _{FPH} = 25 MHz		単位
			Min	Max	Min	Max	
1	f _{FPH} 周期 (= x)	t _{FPH}	40	31250	40		ns
2	A0~A15 有効 → ALE 立ち下がり	t _{AL}	0.5x - 15		5		ns
3	ALE 立ち下がり → A0~A15 保持	t _{LA}	0.5x - 15		5		ns
4	ALE High パルス幅	t _{LL}	x - 20		20		ns
5	ALE 立ち下がり → $\overline{\text{RD}}/\overline{\text{WR}}$ 立ち下がり	t _{LC}	0.5x - 20		0		ns
6	$\overline{\text{RD}}$ 立ち上がり → ALE 立ち上がり	T _{CLR}	0.5x - 15		5		ns
7	$\overline{\text{WR}}$ 立ち上がり → ALE 立ち上がり	T _{CLW}	x - 15		25		ns
8	A0~A15 有効 → $\overline{\text{RD}}/\overline{\text{WR}}$ 立ち下がり	t _{ACL}	x - 25		15		ns
9	A0~A23 有効 → $\overline{\text{RD}}/\overline{\text{WR}}$ 立ち下がり	t _{ACH}	1.5x - 50		10		ns
10	$\overline{\text{RD}}$ 立ち上がり → A0~A23 保持	T _{CAR}	0.5x - 20		0		ns
11	$\overline{\text{WR}}$ 立ち上がり → A0~A23 保持	T _{CAW}	x - 20		20		ns
12	A0~A15 有効 → D0~D15 入力	t _{ADL}		3.0x - 45		75	ns
13	A0~A23 有効 → D0~D15 入力	t _{ADH}		3.5x - 35		105	ns
14	$\overline{\text{RD}}$ 立ち下がり → D0~D15 入力	t _{RD}		2.0x - 40		40	ns
15	$\overline{\text{RD}}$ Low パルス幅	t _{RR}	2.0x - 20		60		ns
16	$\overline{\text{RD}}$ 立ち上がり → D0~D15 保持	t _{HR}	0		0		ns
17	$\overline{\text{RD}}$ 立ち上がり → A0~A15 出力	T _{RAE}	x - 15		25		ns
18	$\overline{\text{WR}}$ Low パルス幅	T _{WW}	1.5x - 20		40		ns
19	D0~D15 有効 → $\overline{\text{WR}}$ 立ち上がり	t _{DW}	1.5x - 50		10		ns
20	$\overline{\text{WR}}$ 立ち上がり → D0~D15 保持	T _{WD}	x - 15		25		ns
21	A0~A23 有効 → WAIT 入力 <small>[(1+N)WAIT モード]</small>	t _{AWH}		3.5x - 90		50	ns
22	A0~A15 有効 → WAIT 入力 <small>[(1+N)WAIT モード]</small>	t _{AWL}		3.0x - 80		40	ns
23	$\overline{\text{RD}}/\overline{\text{WR}}$ 立ち下がり → WAIT 保持 <small>[(1+N)WAIT モード]</small>	t _{CW}	2.0x + 0		80		ns
24	A0~A23 有効 → ポート入力	t _{APH}		3.5x - 120		20	ns
25	A0~A23 有効 → ポート保持	t _{APH2}	3.5x		140		ns
26	A0~A23 有効 → ポート有効	t _{AP}		3.5x + 100		319	ns

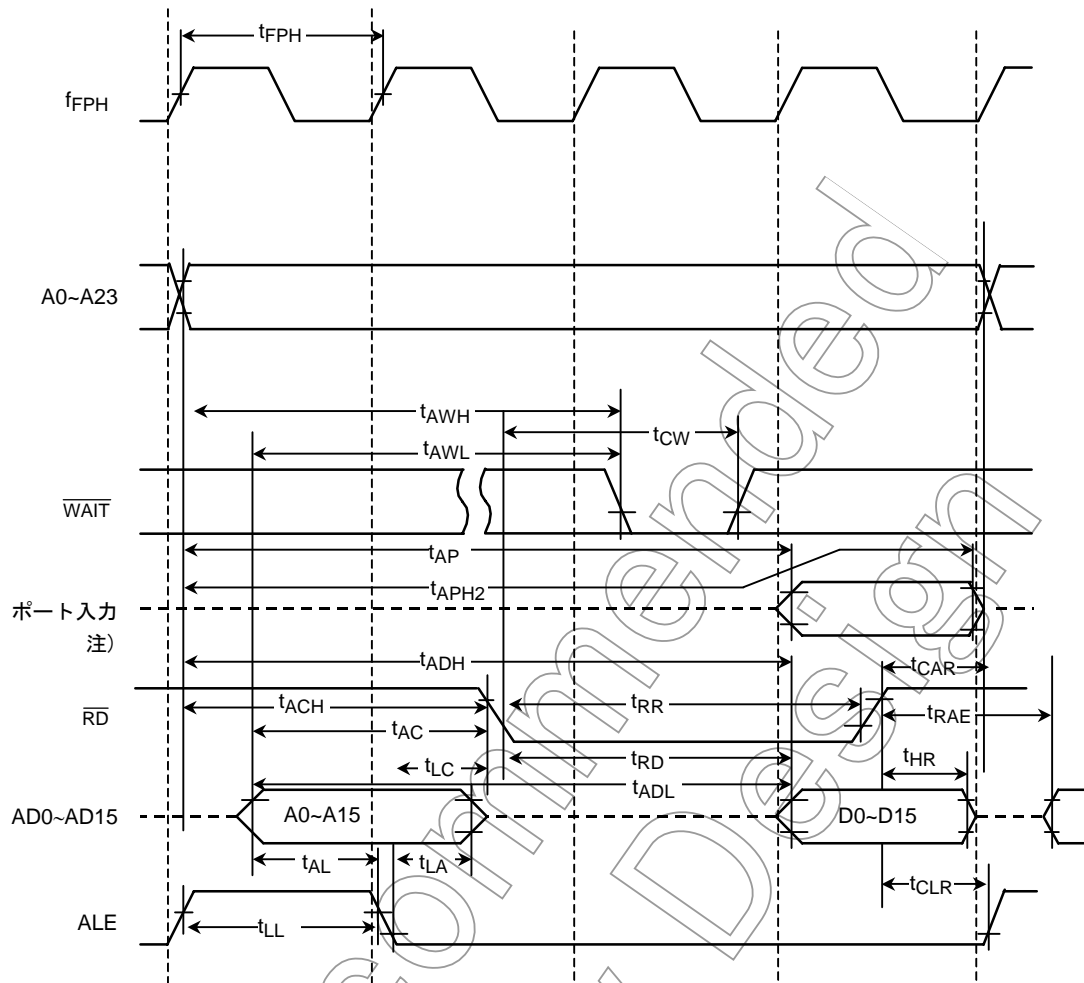
AC 測定条件

- ・ 出力レベル: High 2.2 V_{CC}/Low 0.8 V_{CC}, CL = 50 pF
- ・ 入力レベル: High 2.4 V_{CC}/Low 0.45 V_{CC} (AD0~AD15)
High 0.8V_{CC}/Low 0.2 V_{CC} (AD0~AD15 を除く)

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。

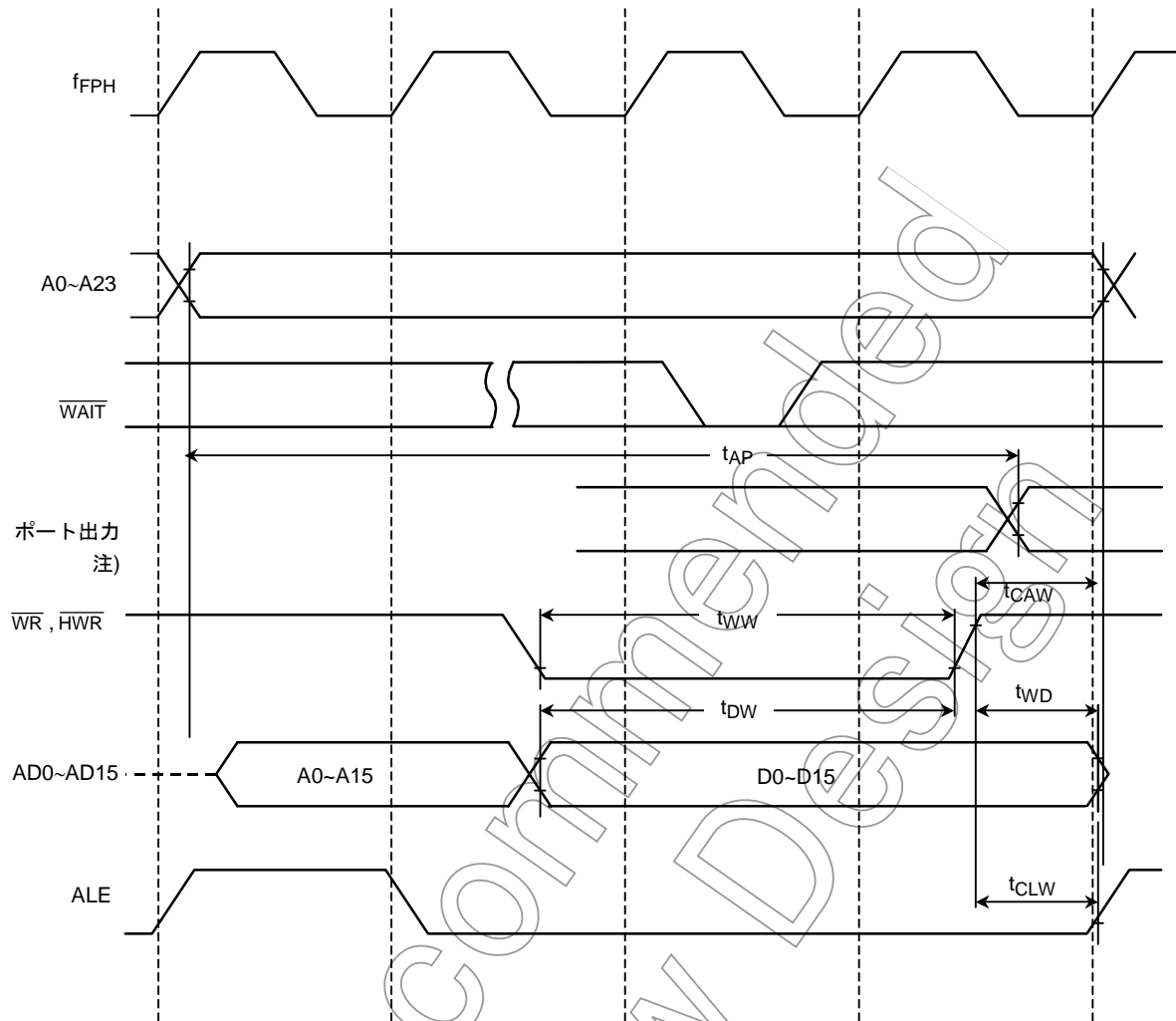
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します

(1) リードサイクル



注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号 \overline{RD} などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
 また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

(2) ライトサイクル



注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 $\overline{\text{WR}}$ などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
 また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

4.4 AD 変換特性

AVCC = VCC , AVSS = VSS

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧 (+)	VREFH	VCC = 5 V ± 10%	VCC - 1.5 V	VCC	VCC	V
アナログ基準電圧 (-)	VREFL	VCC = 5 V ± 10%	VSS	VSS	VSS + 0.2 V	
アナログ入力電圧	VAIN		VREFL		VREFH	
アナログ基準電圧電源電流 <VREFON> = 1	IREF (VREFL = 0V)	VCC = 5 V ± 10%		1.44	2.00	mA
<VREFON> = 0		VCC = 5 V ± 10%		0.02	5.0	μA
総合誤差 (量子誤差を含まず)	-	VCC = 5 V ± 10%		±1.0	±4.0	LSB

注 1) 1LSB = (VREFH - VREFL)/1024 [V]

注 2) 最低動作周波数について

AD コンバータの動作は、fc (高速発振器) 使用時のみ保証します。ただし、fc 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

注 3) AVCC 端子より流れる電源電流は、VCC 端子の電源電流 (ICC) に含まれます。

4.5 イベントカウンタ (TA0IN, TA4IN, TB0IN0, TB0IN1, TB1IN0, TB1IN1)

項目	記号	計算式		25 MHz		単位
		Min	Max	Min	Max	
クロック周期	tVCK	8X + 100		420		ns
クロック低レベルパルス幅	tVCKL	4X + 40		200		ns
クロック高レベルパルス幅	tVCKH	4X + 40		200		ns

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や高速発振器/低速発振器の切り替えなどに依存します。

4.6 割り込み、キャプチャ

注) 表中の「X」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。

クロック f_{FPH} の周期は、クロックギアの設定や高速発振器/低速発振器の切り替えなどに依存します。

(1) $\overline{\text{NMI}}$, INT0~INT4 割り込み

項目	記号	計算式		25 MHz		単位
		Min	Max	Min	Max	
$\overline{\text{NMI}}$, INT0~INT4 低レベルパルス幅	t_{INTAL}	$4X + 40$		200		ns
$\overline{\text{NMI}}$, INT0~INT4 高レベルパルス幅	t_{INTAH}	$4X + 40$		200		ns

(2) INT5~INT6 割り込み、キャプチャ

INT5~INT6 入力パルス幅はシステムクロック選択、およびプリスケラ用クロック選択により異なります。下記に動作クロック別パルス幅を示します。

システム クロック選択 <SYSCK>	プリスケラ用 クロック選択 <PRCK1:0>	t_{INTBL} (INT5~INT6 低レベルパルス幅)		t_{INTBH} (INT5~INT6 高レベルパルス幅)		単位
		計算式	$f_{\text{FPH}} = 25 \text{ MHz}$	計算式	$f_{\text{FPH}} = 25 \text{ MHz}$	
		Min	Max	Min	Max	
0 (fc)	00 (f_{FPH})	$8X + 100$	420	$8X + 100$	420	ns
	10 ($f_{\text{c}}/16$)	$128X_{\text{c}} + 0.1$	5.22	$128X_{\text{c}} + 0.1$	5.22	μs

注) X_{c} は高速発振器測のクロック f_{c} の周期を示します。

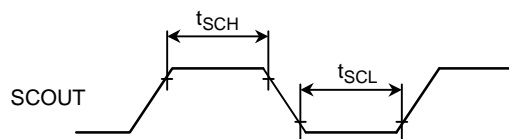
4.7 SCOUT 端子 AC 特性

項目	記号	計算式		25 MHz		条件	単位
		Min	Max	Min	Max		
高レベルパルス幅	t_{SCH}	$0.5T - 15$		5		$V_{\text{CC}} = 5 \text{ V} \pm 10\%$	ns
低レベルパルス幅	t_{SCL}	$0.5T - 15$		5		$V_{\text{CC}} = 5 \text{ V} \pm 10\%$	ns

注) 表中の「T」は、SCOUT 出力波形の周期を示します。

測定条件

- 出力レベル: High 0.7 V_{CC} /Low 0.3 V_{CC} , $C_{\text{L}} = 10 \text{ pF}$



4.8 PROM モード時リードオペレーション

DC 特性, AC 特性

 $T_a = 25 \pm 5^\circ\text{C}$ $V_{CC} = 5V \pm 10\%$

項目	記号	条件	Min	Max	単位
プログラム電源電圧	V_{PP}	—	4.5	5.5	V
高レベル入力電圧 (A0~A16, \overline{CE} , \overline{OE} , PGM)	V_{IH1}	—	2.2	$V_{CC} + 0.3$	
低レベル入力電圧 (A0~A16, \overline{CE} , \overline{OE} , PGM)	V_{IL1}	—	-0.3	0.8	
出力遅延アドレス	t_{ACC}	CL = 50 pF	—	$2.25T_{CYC} + \alpha$	ns

 $T_{CYC} = 400$ ns (10 MHz Clock) $\alpha = 200$ ns

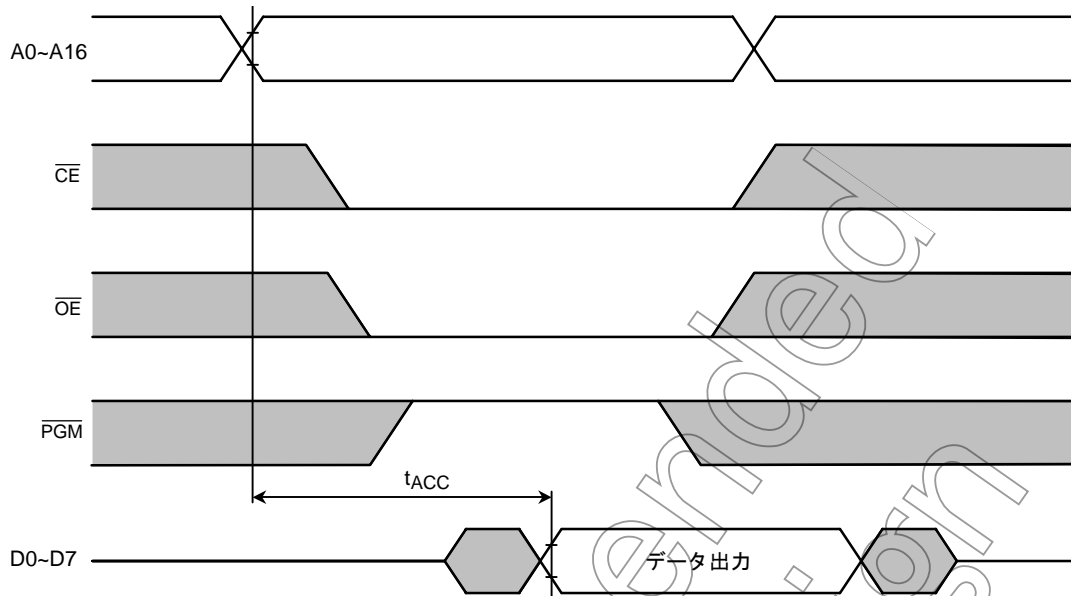
4.9 PROM モード時プログラム オペレーション

DC 特性, AC 特性

 $T_a = 25 \pm 5^\circ\text{C}$ $V_{CC} = 6.25V \pm 0.25V$

項目	記号	条件	Min	Typ.	Max	単位
プログラム電源電圧	V_{PP}		12.50	12.75	13.00	V
高レベル入力電圧 (D0~D7, A0~A16, \overline{CE} , \overline{OE} , PGM)	V_{IH}	—	2.6		$V_{CC} + 0.3$	
低レベル入力電圧 (D0~D7, A0~A16, \overline{CE} , \overline{OE} , PGM)	V_{IL}	—	-0.3		0.8	
V_{CC} 供給電流	I_{CC}	$f_c = 10$ MHz	—		50	mA
V_{PP} 供給電流	I_{PP}	$V_{PP} = 13.00$ V	—		50	mA
PGM プログラムパルス幅	t_{PW}	CL = 50 pF	0.095	0.1	0.105	ms

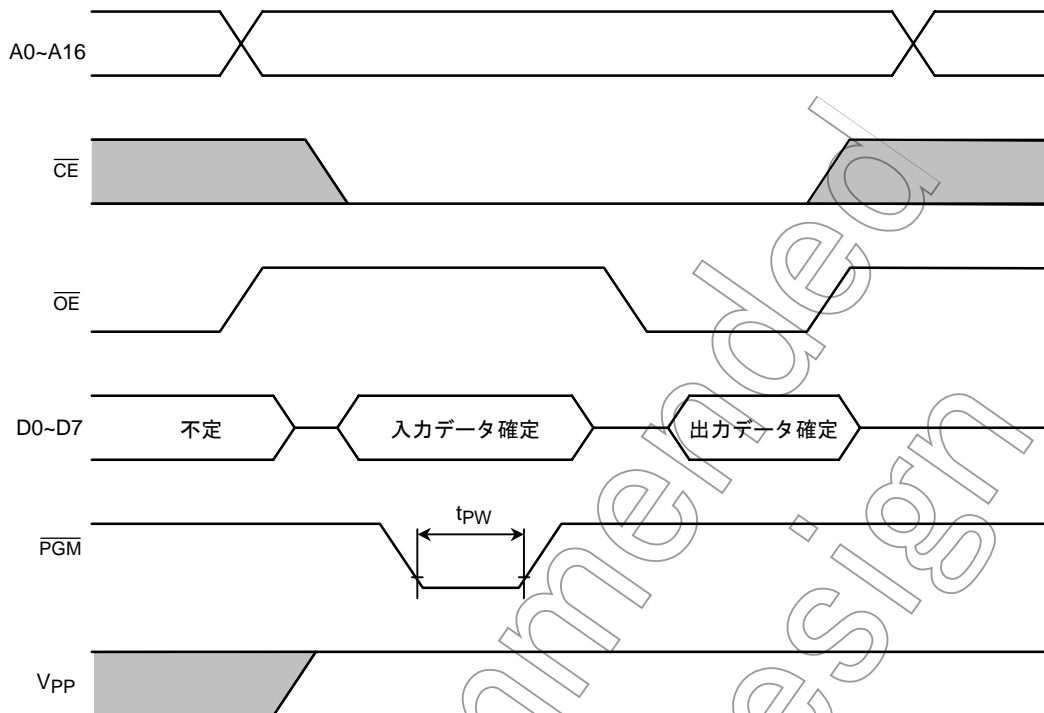
4.10 PROM モード時リードオペレーションタイミング図



Not Recommended for New Design

4.11 PROM モード時プログラムオペレーションタイミング図

高速プログラム方式

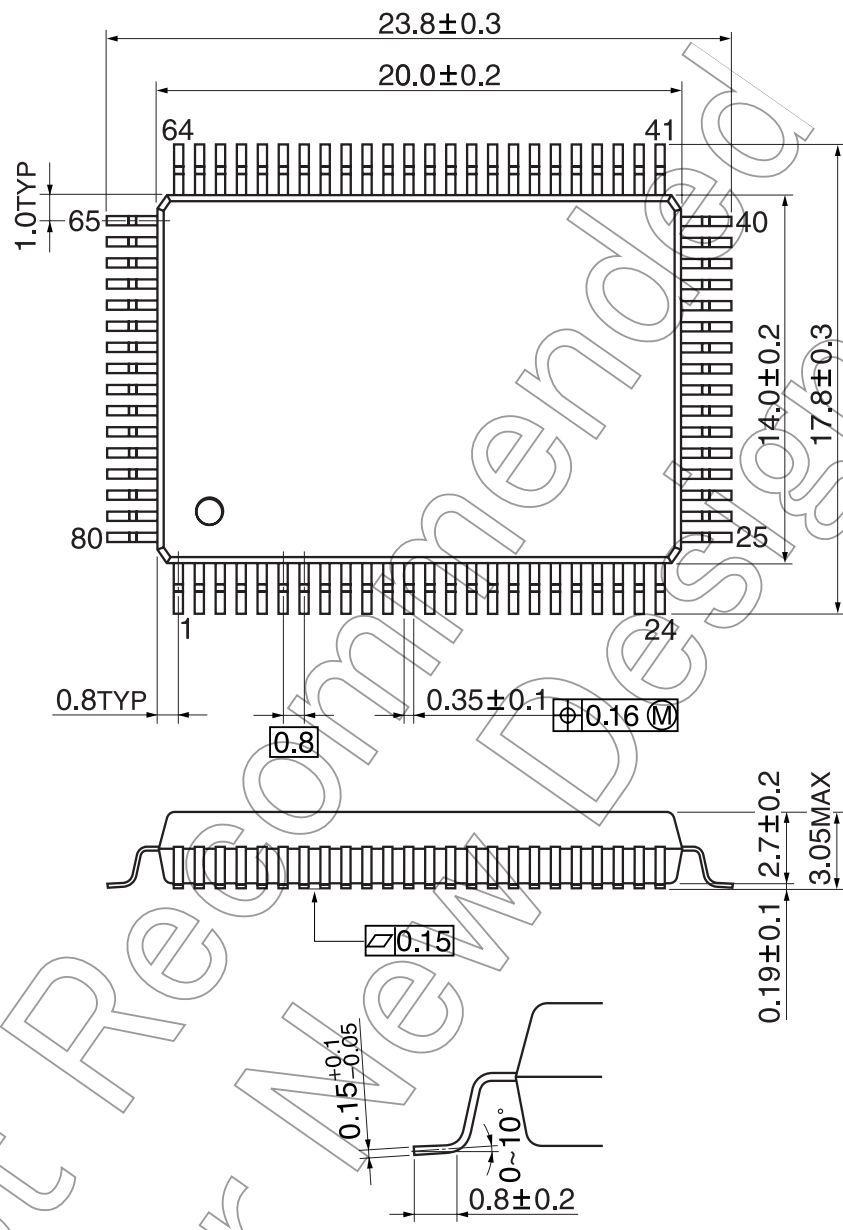


- 注 1) V_{PP} (12.75 V) 電源は V_{CC} 電源と同時か、もしくは遅く投入し、しや断時は同時か、もしくは早くしや断してください。
- 注 2) $V_{PP} = 12.75$ V の状態でのデバイスの抜き差しはデバイスにダメージを与える可能性がありますので、プログラム時の抜き差しにご注意ください。
- 注 3) V_{PP} 端子の絶対最大定格は 14 V ですので、プログラム時はオーバシュートも含め 14 V 以上の電圧が印加されないようにしてください。

5. パッケージ外形寸法図

QFP80-P-1420-0.80B

Unit: mm



Not Recommended for New Design