

TOSHIBA

**32 ビット TX System RISC
TX19 ファミリー
TMP19A61F10XBG**

Not Recommended
for New Design

Rev1.0

2008-11-05

TMP19A61F10XBG

1. 概要と特長

TMP19A61 に搭載されているTX19A プロセッサコアは、米国MIPS グループの高性能な 32 ビットの命令セットであるMIPS32ISA と高コード効率の命令セットであるMIPS16eISA に当社で命令を追加した拡張命令セットのMIPS16e-TX™ASE (Application Specific Extension) を追加して、当社で独自開発した高性能な 32 ビットRISC プロセッサファミリーです。

TMP19A61 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A61 の特長は次のとおりです。

(1) TX19A プロセッサコア

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビットISAモードの命令は、コード効率の優れたMIPS16™ASEとオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- ほとんどの命令を 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算を 1 クロックで実行

当社半導体製品取り扱い上のごお願い

20070701-JA GENERAL

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

(2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP19A61CDXBG	512Kbyte	40Kbyte
TMP19A61C10XBG	1Mbyte	48Kbyte
TMP19A61F10XBG	1Mbyte(Flash)	48Kbyte

- ROM コレクション機能 : 8word×12 block

(3) 外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス :
 - セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
 - CS リカバリ (RD (WR) ↑ -CS ↑ 間ウェイト挿入) 機能追加 (1Clock 分)
 - 外部ウェイト X+2N 対応 (X=2~15)
 - ALE 幅変更 (1 ~ 4 Clock 分)

(4) DMA コントローラ : 8 チャンネル

- 割り込みもしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ : 36 チャンネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インพุットキャプチャ機能
- 二相パルス入力カウンタ機能 (専用 2 チャンネル)

(6) 32 ビットタイマ

- 32 ビットインพุットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 4 チャンネル
- 32 ビットタイムベースタイマ : 2 チャンネル

(7) 汎用シリアル・インタフェース : 9 チャンネル

- UART/同期式モード選択可能

(8) シリアルバスインタフェース : 2 チャンネル

- I²Cバスモード/クロック同期式モード選択可能

(9) 高速シリアル・インタフェース : 2 チャンネル

- UART/高速同期式モード (Max : 10Mbps f_{sys}=40MHz 時) 選択可能

(10) 10 ビット A/D コンバータ (S/H 有) : 32 チャンネル

- 内部タイマトリガ起動
- チャンネル固定/スキャンモード
- シングル/リピートモード
- 最優先変換モード
- タイマ監視機能

1. 7usec@27MHz (54MHz 時)。1. 15usec@40MHz (40MHz 時)
 (2 ユニット構成 。同時変換可。Unit 間誤差定義なし)

(11) ウォッチドックタイマ : 1 チャンネル

(12) チップセレクト/ウェイトコントローラ : 6 チャンネル

(13) 割り込み機能

- CPU 2本 ……ソフトウェア割り込み命令
- 内部 83本 ……7レベルの優先順位設定可能
(ウォッチドッグタイマ割り込みを除く)
この内、独立した割り込み要因は39本
- 外部 16本 ……7レベルの優先順位設定可能 (NMI 割り込みを除く)
またこの内、4本はKWUPであり割り込み要因としては1本

(14) 入出力ポート …… 212 端子

(15) スタンバイ機能

- 2種類のスタンバイモード (IDLE、STOP)

(16) クロックジェネレータ

- PLL 内蔵 (4 通倍)
- クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8 に分周

(17) エンディアン …… バイエンディアン

ビッグエンディアンの場合

上位アドレス	31	24	23	16	15	8	7	0	ワードアドレス
↑	8		9		10		11		8
	4		5		6		7		4
	0		1		2		3		0
下位アドレス									

- バイト0が最上位バイト (ビット31-24) です。
- ワードのアドレスは、最上位バイト (バイト0) のアドレスで指定します。

リトルエンディアンの場合

上位アドレス	31	24	23	16	15	8	7	0	ワードアドレス
↑	11		10		9		8		8
	7		6		5		4		4
	3		2		1		0		0
下位アドレス									

- バイト0が最下位バイト (ビット7-0) です。
- ワードのアドレスは、最下位バイト (バイト0) のアドレスで指定します。

(18) 動作周波数

- 54MHz (DVCC15 = 1.35V~1.65V)

(19) 動作電圧範囲

- コア : 1.35 ~ 1.65V
- I/O : 1.65 ~ 3.3 V
- ADC : 2.7 ~ 3.3 V

(20) 温度範囲

- -20°C~85°C
- 0°C~70°C (Flash W/E時)

(21) パッケージ

- P-TFPGA289 (11mm×11mm, 0.5mm ピッチ)

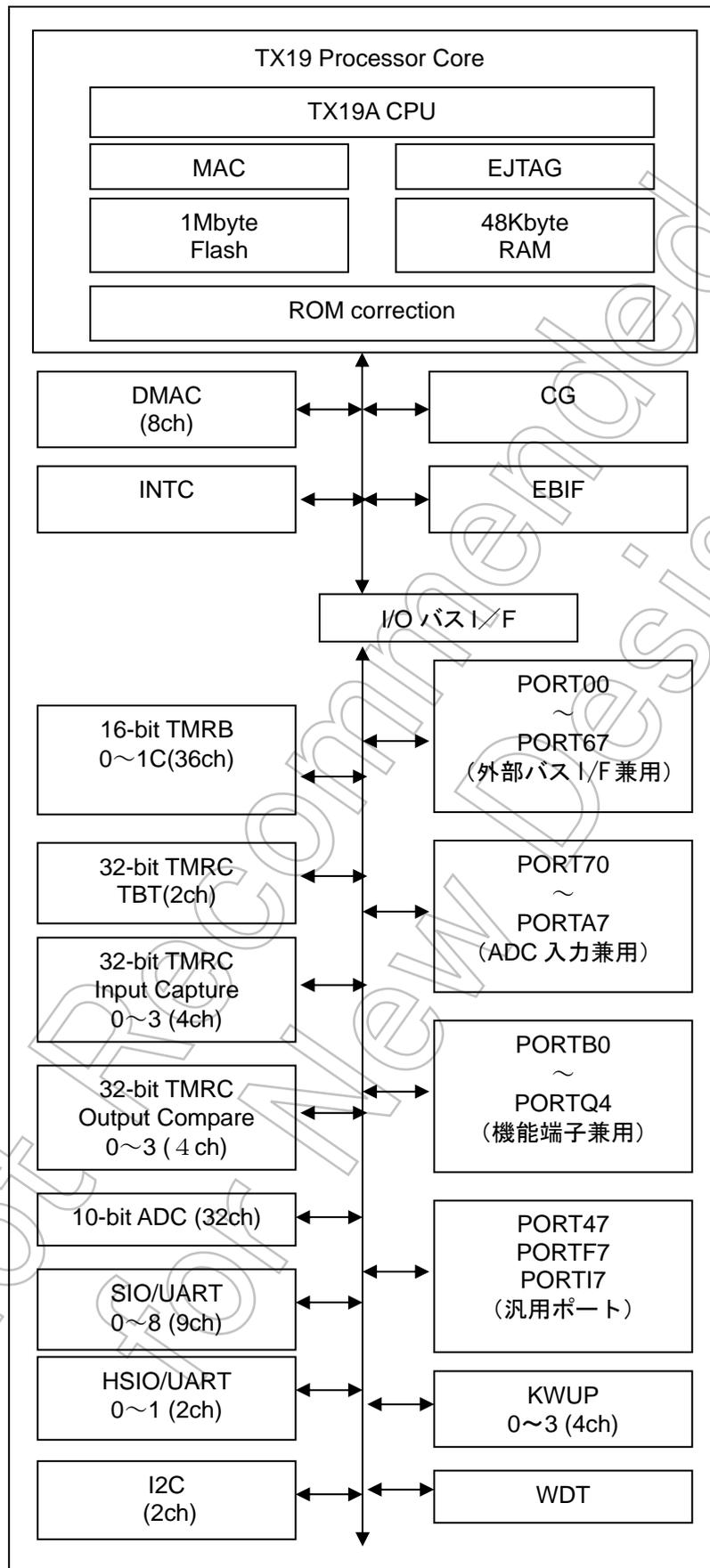


図 1.1 TMP19A61F10XBG ブロック図

2 ピン配置とピン機能

TMP19A61 のピン配置および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図 (Top view)

TMP19A61 のピン配置は、図 2.1.1 の通りです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17	A18	A19	A20
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17	B18	B19	B20
C1	C2																	C19	C20
D1	D2	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17			D19	D20
E1	E2	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17			E19	E20
F1	F2	F4	F5											F16	F17			F19	F20
G1	G2	G4	G5			G7	G8	G9	G10	G11	G12	G13	G14	G16	G17			G19	G20
H1	H2	H4	H5			H7	H8	H9	H10	H11	H12	H13	H14	H16	H17			H19	H20
J1	J2	J4	J5			J7	J8	J9				J13	J14	J16	J17			J19	J20
K1	K2	K4	K5			K7	K8					K13	K14	K16	K17			K19	K20
L1	L2	L4	L5			L7	L8					L13	L14	L16	L17			L19	L20
M1	M2	M4	M5			M7	M8					M13	M14	M16	M17			M19	M20
N1	N2	N4	N5			N7	N8	N9	N10	N11	N12	N13	N14	N16	N17			N19	N20
P1	P2	P4	P5			P7	P8	P9	P10	P11	P12	P13	P14	P16	P17			P19	P20
R1	R2	R4	R5											R16	R17			R19	R20
T1	T2	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17			T19	T20
U1	U2	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17			U19	U20
V1	V2																	V19	V20
W1	W2	W3	W4	W5	W6	W7	W8	W9	W10	W11	W12	W13	W14	W15	W16	W17	W18	W19	W20
Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15	Y16	Y17	Y18	Y19	Y20

図 2.1.1 ピン配置図 (P-FBGA289)

2.2 ピン番号とピン名称との関係

TMP19A61F10のピン番号とピン名称との関係は、表2-2の通りです。

PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称
A1	N. C (GND)	B1	N. C (GND)	C1	PL0/TC4IN	D1	PL2
A2	N. C (GND)	B2	N. C (GND)	C2	PL1/TC5IN	D2	PL3/TCOUTB0
A3	RESET	B3	PCST0				
A4	PCST1	B4	PCST2			D4	DVSS
A5	PCST3	B5	PCST4			D5	PQ0/DREQ2
A6	DCLK	B6	TOVR			D6	TCK
A7	TD0	B7	TD1			D7	DINT
A8	PP6/TPC6/TPD6	B8	PP7/TPC7/TPD7			D8	P06/*HSCLK1/HCTS1
A9	PP4/TPC4/TPD4	B9	PP5/TPC5/TPD5			D9	P04/HTXD1
A10	PP2/TPC2/TPD2	B10	PP3/TPC3/TPD3			D10	P02/KEY2
A11	PP0/TPC0/TPD0	B11	PP1/TPC1/TPD1			D11	P00/KEY0
A12	PJ4/	B12	PJ5/			D12	PJ6/
A13	PJ2/	B13	PJ3/			D13	PM6/TCOUTA0
A14	PJ0/	B14	PJ1/			D14	PM4/INT4
A15	PF6/SCLK1/CTS1	B15	PF7			D15	PM2/INT2
A16	PF4/TXD1	B16	PF5/RXD1			D16	PM0/INT0
A17	PF2/SCLK0/CTS0	B17	PF3			D17	PG5/
A18	PFO/TXD0	B18	PF1/RXD0				
A19	N. C (GND)	B19	N. C (GND)	C19	PG7/TBTIN2	D19	PG4/
A20	N. C (GND)	B20	N. C (GND)	C20	PG6/	D20	PG3/TBTIN1

表 2-2 ピン番号とピン名称 (1/3)

PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称
E1	PL4/HTXD0	F1	PL6/HSCLK0/HCTS0	G1	P00/D0/AD0	H1	P02/D2/AD2
E2	PL5/HRXD0	F2	PL7/TCOUTB1	G2	P01/D1/AD1	H2	P03/D3/AD3
E4	PQ1/DACK2	F4	PQ2/DREQ3	G4	PK0/TXD8	H4	PK2/*SCLK8/CTS8
E5	DVSS	F5	PQ3/DACK3	G5	PK1/RXD8	H5	PK3/TC01N
E6	TRST						
E7	TMS			G7	DVSSC	H7	PK4/TC11N
E8	P07/			G8	EJE	H8	DVSSD
E9	P05/HRXD1			G9	DVCC33	H9	FVCC30
E10	P03/KEY3			G10	DVCC34	H10	FVCC31
E11	P01/KEY1			G11	DVCC34	H11	FVCC15
E12	PJ7/			G12	DVCC34	H12	DVCC15
E13	PM7/TCOUTA1			G13	DVCC32	H13	AVSS1
E14	PM5/INT5			G14	AVSS0	H14	P85/ANA13
E15	PM3/INT3						
E16	PM1/INT1	F16	P77/ANA7	G16	P87/ANA15	H16	P84/ANA12
E17	PG2/SCLK2/CTS2	F17	P76/ANA6	G17	P86/ANA14	H17	P83/ANA11
E19	PG1/RXD2	F19	P75/ANA5	G19	P73/ANA3	H19	P71/ANA1
E20	PG0/TXD2	F20	P74/ANA4	G20	P72/ANA2	H20	P70/ANA0
J1	P04/D4/AD4	K1	P06/D6/AD6	L1	P10/D8/AD8/A8	M1	P12/D10/AD10/A10
J2	P05/D5/AD5	K2	P07/D7/AD7	L2	P11/D9/AD9/A9	M2	P13/D11/AD11/A11
J4	P50/A0	K4	P52/A2	L4	P54/A4	M4	P56/A6
J5	P51/A1	K5	P53/A3	L5	P55/A5	M5	P57/A7
J7	PK5/S01/SDA1	K7	PK6/S11/SCL1	L7	PK7/SCK1	M7	BW0
J8	DVCC30	K8	DVCC30	L8	DVCC30	M8	DVCC15
J9	DVSS						
J13	AVCC30	K13	AVREFH0	L13	AVREFH1	M13	AVCC31
J14	P82/ANA10	K14	PA7/ANB15	L14	PA4/ANB12	M14	DVCC15
J16	P81/ANA9	K16	PA6/ANB14	L16	PA3/ANB11	M16	PA1/ANB9
J17	P80/ANA8	K17	PA5/ANB13	L17	PA2/ANB10	M17	PA0/ANB8
J19	P97/ANB7	K19	P95/ANB5	L19	P93/ANB3	M19	P91/ANB1
J20	P96/ANB6	K20	P94/ANB4	L20	P92/ANB2	M20	P90/ANB0
N1	P14/D12/AD12/A12	P1	P16/D14/AD14/A14	R1	P40/*CS0	T1	P42/*CS2
N2	P15/D13/AD13/A13	P2	P17/D15/AD15/A15	R2	P41/*CS1	T2	P43/*CS3
N4	P30/*RD	P4	P32/*HWR	R4	P34/*BUSRQ	T4	P36/R/*W
N5	P31/*WR	P5	P33/*WAIT/*RDY	R5	P35/*BUSAK	T5	P61/A9
						T6	P63/A11
N7	BW1	P7	TEST2			T7	P65/A13
N8	TEST1	P8	TEST3			T8	PN1/INT7
N9	BUSMD	P9	END1AN			T9	PN3/ADTRG-A
N10	FVCC15	P10	*NMI			T10	PN5/
N11	DVCC15	P11	DVCC31			T11	PN7/ADTRG-B
N12	PLLSEL	P12	DVCC31			T12	PH1/RXD4
N13	DVSSF	P13	CVSS			T13	PH3/INT9
N14	CVCC15	P14	DVSS			T14	PH5/RXD5
						T15	PH7/INTA
N16	PC7/TBFIN0	P16	PC5/RXD3	R16	PC3/TBEIN0	T16	DVSSG
N17	PC6/SCLK3/CTS3	P17	PC4/TXD3	R17	PC2/TBDIN0	T17	PC1/TBCIN1
N19	PB7/TBBIN1	P19	PB5/TBAIN1	R19	PB3/TB9IN1	T19	PB1/TB8IN1
N20	PB6/TBBIN0	P20	PB4/TBAIN0	R20	PB2/TB9IN0	T20	PB0/TB8IN0

表 2-2 ピン番号とピン名称 (2/3)

PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称	PIN 番号	PIN 名称
U1	P44/*CS4	V1	P46/SCOUT	W1	N. C (GND)	Y1	N. C (GND)
U2	P45/*CS5	V2	P47	W2	N. C (GND)	Y2	N. C (GND)
				W3	P21/A17/A1/A17	Y3	P20/A16/A0/A16
U4	P37/ALE			W4	P23/A19/A3/A19	Y4	P22/A18/A2/A18
U5	P60/A8			W5	P25/A21/A5/A21	Y5	P24/A20/A4/A20
U6	P62/A10			W6	P27/A23/A7/A23	Y6	P26/A22/A6/A22
U7	P64/A12			W7	P67/A15	Y7	P66/A14
U8	PN0/INT6			W8	P11/RXD6	Y8	P10/TXD6
U9	PN2/INT8			W9	P13/INTB	Y9	P12/SCLK6/CLS6
U10	PN4/			W10	P15/RXD7	Y10	P14/TXD7
U11	PN6/			W11	P17	Y11	P16/SCLK7/CTS7
U12	PH0/TXD4			W12	PE1/TB17OUT	Y12	PE0/TB16OUT
U13	PH2/SCLK4/CTS4			W13	PE3/TB19OUT	Y13	PE2/TB18OUT
U14	PH4/TXD5			W14	PE5/S00/SDA0	Y14	PE4/TB1AOUT
U15	PH6/SCLK5/CTS5			W15	PE7/SCK0	Y15	PE6/S10/SCL0
U16	PD2/TB11IN0			W16	PD1/TB10IN1	Y16	PDO/TB10IN0
U17	DVSSH			W17	PD4/TB12IN0	Y17	PD3/TB11IN1
				W18	PD6/TB14OUT	Y18	PD5/TB12IN1
U19	PC0/TBCIN0	V19	PD7/TB15OUT	W19	N. C (GND)	Y19	N. C (GND)
U20	X2	V20	X1	W20	N. C (GND)	Y20	N. C (GND)

表 2-2 ピン番号とピン名称 (3/3)

2.3 ピン名称と機能

TMP19A61F10 の入出力ピン名称と機能は、表 2-3 の通りです。

表 2-3 ピン名称と機能 (1/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
P00~P07 D0~D7 AD0~D7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート データ (下位): データバス 0~7 (セパレートバスモード) アドレスデータ (下位): アドレス・データバス 0~7 (マルチプレクスバスモード)				DVCC30
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート データ (上位): データバス 8~15: (セパレートバスモード) アドレスデータ (上位): アドレス・データバス 8~15 (マルチプレクスバスモード) アドレス: アドレスバス 8~15 (マルチプレクスバスモード)				DVCC30
P20~P27 A16~A23 A0~A7 A16~A23	8	入出力 出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 16~23 (セパレートバスモード) アドレス: アドレスバス 0~7 (マルチプレクスバスモード) アドレス: アドレスバス 16~23 (マルチプレクスバスモード)				DVCC30
P30 * RD	1	入出力 出力	ポート 30: 入出力ポート リード: 外部メモリをリードするためのストロブ信号	PU			DVCC30
P31 * WR	1	入出力 出力	ポート 31: 入出力ポートライト: D0~7 端子のデータをライトするためのストロブ信号	PU			
P32 * HWR	1	入出力 出力	ポート 32: 入出力ポート 上位ライト: D8~15 端子のデータをライトするためのストロブ信号	PU			
P33 * WAIT * RDY	1	入出力 入力 入力	ポート 33: 入出力ポート ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子	PU			
P34 * BUSRQ	1	入出力 入力	ポート 34: 入出力ポート バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号	PU			
P35 * BUSAK	1	入出力 出力	ポート 35: 入出力ポート バスアクノリッジ: *BUSREQ を受け CPU がバス制御権を解放しているのを通知する信号	PU			
P36 R/*W	1	入出力 出力	ポート 36: 入出力ポート (プルアップ付) リード/ライト: "1" でリードサイクルまたはタミーサイクルを "0" でライトサイクルを示します。	PU			
P37 ALE	1	入出力 出力	ポート 37: 入出力ポート アドレスラッチイネーブル (外部メモリアクセス (マルチプレクスバスモード) 時のみイネーブル)				
P40 * CS0	1	入出力 出力	ポート 40: 入出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力	PU			DVCC30
P41 * CS1	1	入出力 出力	ポート 41: 入出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力	PU			
P42 * CS2	1	入出力 出力	ポート 42: 入出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力	PU			
P43 * CS3	1	入出力 出力	ポート 43: 入出力ポート チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力	PU			
P44 * CS4	1	入出力 出力	ポート 44: 入出力ポート チップセレクト 4: アドレスが指定したアドレス領域内なら "0" を出力	PU			
P45 * CS5	1	入出力 出力	ポート 45: 入出力ポート チップセレクト 5: アドレスが指定したアドレス領域内なら "0" を出力	PU			
P46 SCOUT	1	入出力 出力	ポート 46: 入出力ポート システムクロック出力: CPU と同じ高速クロック、低速クロック出力など選択可能				
P47	1	入出力	ポート 47: 入出力ポート				

PU: プログラマブルプルアップ

表 2-3 ピン名称と機能 (2/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
P50~P57 A0~A7	8	入出力 出力	ポート 5: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 0~7 (セパレートバスモード)				DVCC30
P60~P67 A8~A15	8	入出力 出力	ポート 6: 入出力ポート アドレス: アドレスバス 8~15 (セパレートバスモード)				DVCC30
P70~P77 ANA0~ ANA7	8	入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力				AVCC30
P80~P87 ANA8~ ANA15	8	入力	ポート 8: 入力専用ポート アナログ入力: A/D コンバータの入力				AVCC30
P90~P97 ANB0~ ANB7	8	入力	ポート 9: 入力専用ポート アナログ入力: A/D コンバータの入力				AVCC31
PA0~PA7 ANB8~ ANB15	8	入力	ポート A: 入力専用ポート アナログ入力: A/D コンバータの入力				AVCC31
PB0 TB81N0	1	入出力 入力	ポート B0: 入出力ポート 16bit タイマ 8 入力 0: 16bit タイマ 8 キャプチャトリガ入力				DVCC31
PB1 TB81N1	1	入出力 入力	ポート B1: 入出力ポート 16bit タイマ 8 入力 1: 16bit タイマ 8 キャプチャトリガ入力				
PB2 TB91N0	1	入出力 入力	ポート B2: 入出力ポート 16bit タイマ 9 入力 0: 16bit タイマ 9 キャプチャトリガ入力				
PB3 TB91N1	1	入出力 入力	ポート B3: 入出力ポート 16bit タイマ 9 入力 1: 16bit タイマ 9 キャプチャトリガ入力				
PB4 TBA1N0	1	入出力 入力	ポート B4: 入出力ポート 16bit タイマ A 入力 0: 16bit タイマ A キャプチャトリガ入力				
PB5 TBA1N1	1	入出力 入力	ポート B5: 入出力ポート 16bit タイマ A 入力 1: 16bit タイマ A キャプチャトリガ入力				
PB6 TBB1N0	1	入出力 入力	ポート B6: 入出力ポート 16bit タイマ B 入力 0: 16bit タイマ B キャプチャトリガ入力				
PB7 TBB1N1	1	入出力 入力	ポート B7: 入出力ポート 16bit タイマ B 入力 1: 16bit タイマ B キャプチャトリガ入力				DVCC31
PC0 TBC1N0	1	入出力 入力	ポート C0: 入出力ポート 16bit タイマ C 入力 0: 16bit タイマ C キャプチャトリガ入力/2 相カウンタ 入力端子				
PC1 TBC1N1	1	入出力 入力	ポート C1: 入出力ポート 16bit タイマ C 入力 1: 16bit タイマ C キャプチャトリガ入力/2 相カウンタ 入力端子				
PC2 TBD1N0	1	入出力 入力	ポート C2: 入出力ポート 16bit タイマ D 入力 0: 16bit タイマ D キャプチャトリガ入力				
PC3 TBE1N0	1	入出力 入力	ポート C3: 入出力ポート 16bit タイマ E 入力 0: 16bit タイマ E キャプチャトリガ入力				

表 2-3 ピン名称と機能 (3/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
PC4 TXD3	1	入出力 出力	ポート C4: 入出力ポート シリアル送信データ 3: オープンドレイン出力端子			○	DVCC31
PC5 RXD3	1	入出力 入力	ポート C5: 入出力ポート シリアル受信データ 3				
PC6 * SCLK3 CTS3	1	入出力 入出力 入力	ポート C6: 入出力ポート シリアルクロック入出力 3: オープンドレイン出力端子 ハンドシェイク用端子入力			○	
PC7 TBF1N0	1	入出力 入力	ポート C7: 入出力ポート 16bit タイマ F 入力 0: 16bit タイマ F キャプチャトリガ入力				DVCC31
PD0 TB10IN0	1	入出力 入力	ポート D0: 入出力ポート 16bit タイマ 10 入力 0: 16bit タイマ 10 キャプチャトリガ入力				
PD1 TB10IN1	1	入出力 入力	ポート D1: 入出力ポート 16bit タイマ 10 入力 1: 16bit タイマ 10 キャプチャトリガ入力				
PD2 TB11IN0	1	入出力 入力	ポート D2: 入出力ポート 16bit タイマ 11 入力 0: 16bit タイマ 11 キャプチャトリガ入力				
PD3 TB11IN1	1	入出力 入力	ポート D3: 入出力ポート 16bit タイマ 11 入力 1: 16bit タイマ 11 キャプチャトリガ入力				
PD4 TB12IN0	1	入出力 入力	ポート D4: 入出力ポート 16bit タイマ 12 入力 0: 16bit タイマ 12 キャプチャトリガ入力/2 相カウンタ入力端子				
PD5 TB12IN1	1	入出力 入力	ポート D5: 入出力ポート 16bit タイマ 12 入力 1: 16bit タイマ 12 キャプチャトリガ入力/2 相カウンタ入力端子				
PD6 TB14OUT	1	入出力 出力	ポート D6: 入出力ポート 16bit タイマ 14 出力 : 16bit タイマ 14 可変 PPG 出力				DVCC31
PD7 TB15OUT	1	入出力 出力	ポート D7: 入出力ポート 16bit タイマ 15 出力 : 16bit タイマ 15 可変 PPG 出力				
PE0 TB16OUT	1	入出力 出力	ポート E0: 入出力ポート 16bit タイマ 16 出力 : 16bit タイマ 16 可変 PPG 出力				
PE1 TB17OUT	1	入出力 出力	ポート E1: 入出力ポート 16bit タイマ 17 出力 : 16bit タイマ 17 可変 PPG 出力				
PE2 TB18OUT	1	入出力 出力	ポート E2: 入出力ポート 16bit タイマ 18 出力 : 16bit タイマ 18 可変 PPG 出力				
PE3 TB19OUT	1	入出力 出力	ポート E3: 入出力ポート 16bit タイマ 19 出力 : 16bit タイマ 19 可変 PPG 出力				
PE4 TB1AOUT	1	入出力 出力	ポート E4: 入出力ポート 16bit タイマ 1A 出力 : 16bit タイマ 1A 可変 PPG 出力				
PE5 S00 SDA0	1	入出力 出力 入出力	ポート E5: 入出力ポート シリアルバスインタフェース 0 の S10 モード時のデータ送信端子 シリアルバスインタフェース 0 の I2C モード時のデータ送受信端子。オープンドレイン出力端子			○ ○	
PE6 S10 SCL0	1	入出力 出力 入出力	ポート E6: 入出力ポート シリアルバスインタフェース 0 の S10 モード時のデータ受信端子 シリアルバスインタフェース 0 の I2C モード時のクロック入出力端子。オープンドレイン出力端子			○ ○	
PE7 SCK0	1	入出力 入出力	ポート E7: 入出力ポート シリアルバスインタフェース 0 の S10 モード時のクロック入出力端子				

OpenDrain: プログラマブルオープンドレイン

表 2-3 ピン名称と機能 (4/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
PF0 TXD0	1	入出力 出力	ポート F0 : 入出力ポート シリアル送信データ 0 : オープンドレイン出力端子			○	DVCC32
PF1 RXD0	1	入出力 入力	ポート F1 : 入出力ポート シリアル受信データ 0				
PF2 * SCLK0 CTS0	1	入出力 入出力 入力	ポート F2 : 入出力ポート シリアルクロック入出力 0 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PF3	1	入出力	ポート F3 : 入出力ポート				
PF4 TXD1	1	入出力 出力	ポート F4 : 入出力ポート シリアル送信データ 1 : オープンドレイン出力端子			○	
PF5 RXD1	1	入出力 入力	ポート F5 : 入出力ポート シリアル受信データ 1				
PF6 * SCLK1 CTS1	1	入出力 入出力 入力	ポート F6 : 入出力ポート シリアルクロック入出力 1 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PF7	1	入出力	ポート F7 : 入出力ポート				DVCC32
PG0 TXD2	1	入出力 出力	ポート G0 : 入出力ポート シリアル送信データ 2 : オープンドレイン出力端子			○	
PG1 RXD2	1	入出力 入力	ポート G1 : 入出力ポート シリアル受信データ 2				
PG2 * SCLK2 CTS2	1	入出力 入出力 入力	ポート G2 : 入出力ポート シリアルクロック入出力 2 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PG3 TBTIN1	1	入出力 入力	ポート G3 : 入出力ポート 32bit タイムベースタイマ入力 1 : 32bit タイムベースタイマのカウンタ入力				
PG4	1	入出力	ポート G4 : 入出力ポート				
PG5	1	入出力	ポート G5 : 入出力ポート				
PG6	1	入出力	ポート G6 : 入出力ポート				DVCC31
PG7 TBTIN2	1	入出力 入力	ポート G7 : 入出力ポート 32bit タイムベースタイマ入力 2 : 32bit タイムベースタイマのカウンタ入力				
PH0 TXD4	1	入出力 出力	ポート H0 : 入出力ポート シリアル送信データ 4 : オープンドレイン出力端子			○	
PH1 RXD4	1	入出力 入力	ポート H1 : 入出力ポート シリアル受信データ 4				
PH2 * SCLK4 CTS4	1	入出力 入出力 入力	ポート H2 : 入出力ポート シリアルクロック入出力 4 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PH3 INT9	1	入出力 入力	ポート H3 : 入出力ポート 割込み要求端子 9 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)			○	

OpenDrain : プログラムブルオープンドレイン

表 2-3 ピン名称と機能 (5/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
PH4 TXD5	1	入出力 出力	ポート H4 : 入出力ポート シリアル送信データ 5 : オープンドレイン出力端子			○	DVCC31
PH5 RXD5	1	入出力 入力	ポート H5 入出力ポート シリアル受信データ 5				
PH6 *SCLK5 CTS5	1	入出力 入出力 入力	ポート H6 : 入出力ポート シリアルクロック入出力 5 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PH7 INTA	1	入出力 入力	ポート H7 入出力ポート 割込み要求端子 A : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		
PI0 TXD6	1	入出力 出力	ポート I0 : 入出力ポート シリアル送信データ 6 : オープンドレイン出力端子			○	DVCC31
PI1 RXD6	1	入出力 入力	ポート I1 入出力ポート シリアル受信データ 6				
PI2 *SCLK6 CTS6	1	入出力 入出力 入力	ポート I2 : 入出力ポート シリアルクロック入出力 6 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PI3 INTB	1	入出力 入力	ポート I3 入出力ポート 割込み要求端子 B : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (シュミット付き入力、ノイズフィルタ内蔵)		○		
PI4 TXD7	1	入出力 出力	ポート I4 : 入出力ポート シリアル送信データ 7 : オープンドレイン出力端子			○	
PI5 RXD7	1	入出力 入力	ポート I5 入出力ポート シリアル受信データ 7				
PI6 *SCLK7 CTS7	1	入出力 入出力 入力	ポート I6 : 入出力ポート シリアルクロック入出力 7 : オープンドレイン出力端子 ハンドシェーク用端子入力			○	
PI7	1	入出力	ポート I7 : 入出力ポート				DVCC32
PJ0	1	入出力	ポート J0 : 入出力ポート				
PJ1	1	入出力	ポート J1 : 入出力ポート				
PJ2	1	入出力	ポート J2 : 入出力ポート				
PJ3	1	入出力	ポート J3 : 入出力ポート				
PJ4	1	入出力	ポート J4 : 入出力ポート				
PJ5	1	入出力	ポート J5 : 入出力ポート				
PJ6	1	入出力	ポート J6 : 入出力ポート				
PJ7	1	入出力	ポート J7 : 入出力ポート				

OpenDrain : プログラマブルオープンドレイン

表 2-3 ピン名称と機能 (6/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
PK0 TXD8	1	入出力 出力	ポート K0 : 入出力ポート シリアル送信データ 8 : オープンドレイン出力端子			○	DVCC33
PK1 RXD8	1	入出力 入力	ポート K1 : 入出力ポート シリアル受信データ 8				
PK2 * SCLK8 CTS8	1	入出力 入出力 入力	ポート K2 : 入出力ポート シリアルクロック入出力 8 : オープンドレイン出力端子 ハンドシェイク用端子入力			○	
PK3 TC0IN	1	入出力 入力	ポート K3 : 入出力ポート 32bit タイマキャプチャトリガ入力				
PK4 TC1IN	1	入出力 入力	ポート K4 : 入出力ポート 32bit タイマキャプチャトリガ入力				
PK5 S01 SDA1	1	入出力 出力 入出力	ポート K5 : 入出力ポート シリアルバスインタフェースの S10 モード時のデータ送信端子 シリアルバスインタフェース I2C モード時のデータ送受信端子, オープンドレイン出力端子		○	○	
PK6 S11 SCL1	1	入出力 入力 入出力	ポート K6 : 入出力ポート シリアルバスインタフェースの S10 モード時のデータ受信端子 シリアルバスインタフェース I2C モード時のクロック入出力端子, オープンドレイン出力端子		○	○	
PK7 SCK1	1	入出力 入出力	ポート K7 : 入出力ポート シリアルバスインタフェース 1 の S10 モード時のクロック入出力端子				DVCC33
PL0 TC4IN	1	入出力 入力	ポート L0 : 入出力ポート 32bit タイマキャプチャトリガ入力				
PL1 TC5IN	1	入出力 入力	ポート L1 : 入出力ポート 32bit タイマキャプチャトリガ入力				
PL2	1	入出力	ポート L2 : 入出力ポート				
PL3 TCOUTB0	1	入出力 出力	ポート L3 : 入出力ポート 32bit タイマコンペア一致出力				
PL4 HTXD0	1	入出力 出力	ポート L4 : 入出力ポート 高速シリアル送信データ 0 : オープンドレイン出力端子			○	
PL5 HRXD0	1	入出力 入力	ポート L5 : 入出力ポート 高速シリアル受信データ 0				
PL6 * HSCLK0 HCTS0	1	入出力 入出力 入力	ポート L6 : 入出力ポート 高速シリアルクロック入出力 0 : オープンドレイン出力端子 ハンドシェイク用端子入力			○	
PL7 TCOUTB1	1	入出力 出力	ポート L7 : 入出力ポート 32bit タイマコンペア一致出力				DVCC32
PM0 INT0	1	入出力 入力	ポート M0 : 入出力ポート 割込み要求端子 0 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		
PM1 INT1	1	入出力 入力	ポート M1 : 入出力ポート 割込み要求端子 1 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		
PM2 INT2	1	入出力 入力	ポート M2 : 入出力ポート 割込み要求端子 2 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		
PM3 INT3	1	入出力 入力	ポート M3 : 入出力ポート 割込み要求端子 3 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		

OpenDrain : プログラマブルオープンドレイン

表 2-3 ピン名称と機能 (7/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
PM4 INT4	1	入出力 入力	ポート M4 : 入出力ポート 割込み要求端子 4 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		DVCC32
PM5 INT5	1	入出力 入力	ポート M5 : 入出力ポート 割込み要求端子 5 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		
PM6 TCOUTA0	1	入出力 入力	ポート M6 : 入出力ポート 32bit タイマコンペアー一致出力				
PM7 TCOUTA1	1	入出力 入力	ポート M7 : 入出力ポート 32bit タイマコンペアー一致出力				
PN0 INT6	1	入出力 入力	ポート N0 : 入出力ポート 割込み要求端子 6 : "H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 (ノイズフィルタ内蔵)		○		DVCC31
PN1 INT7	1	入出力 入力	ポート N1 : 入出力ポート 割込み要求端子 7 : "H" レベル/ "L" レベル/立ち上がり/下がり/両エッジ選択可能 (ノイズフィルタ内蔵)		○		
PN2 INT8	1	入出力 入力	ポート N2 : 入出力ポート 割込み要求端子 8 : "H" レベル/ "L" レベル/立ち上がり/下がり/両エッジ選択可能 (ノイズフィルタ内蔵)		○		
PN3 ADTRG-A	1	入出力 入力	ポート N3 : 入出力ポート A/D トリガ、A/D コンバータの外部スタート要求端子				
PN4	1	入出力	ポート N4 : 入出力ポート				
PN5	1	入出力	ポート N5 : 入出力ポート				
PN6	1	入出力	ポート N6 : 入出力ポート				
PN7 ADTRG-B	1	入出力 入力	ポート N7 : 入出力ポート A/D トリガ、A/D コンバータの外部スタート要求端子				
P00 KEY0	1	入出力 入力	ポート 00 : 入出力ポート Key On Wake UP 入力 0 : (ノイズフィルタ内蔵)	PU	○		DVCC34
P01 KEY1	1	入出力 入力	ポート 01 : 入出力ポート Key On Wake UP 入力 1 : (ノイズフィルタ内蔵)	PU	○		
P02 KEY2	1	入出力 入力	ポート 02 : 入出力ポート Key On Wake UP 入力 2 : (ノイズフィルタ内蔵)	PU	○		
P03 KEY3	1	入出力 入力	ポート 03 : 入出力ポート Key On Wake UP 入力 3 : (ノイズフィルタ内蔵)	PU	○		
P04 HTXD1	1	入出力 出力	ポート 04 : 入出力ポート 高速シリアル送信データ 1 : オープンドレイン出力端子			○	
P05 HRXD1	1	入出力 入力	ポート 05 : 入出力ポート 高速シリアル受信データ 1				
P06 * HSCLK1 HCTS1	1	入出力 入出力 入力	ポート 06 : 入出力ポート 高速シリアルクロック入出力 1 : オープンドレイン出力端子 ハンドシェイク用端子入力			○	
P07	1	入出力	ポート 07 : 入出力ポート				

OpenDrain : プログラマブルオープンドレイン

PU : プログラマブルプルアップ

表 2-3 ピン名称と機能 (8/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
PP0 TPC0 TPD0	1	入出力 出力 出力	ポート P0: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				DVCC34
PP1 TPC1 TPD1	1	入出力 出力 出力	ポート P1: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				
PP2 TPC2 TPD2	1	入出力 出力 出力	ポート P2: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				
PP3 TPC3 TPD3	1	入出力 出力 出力	ポート P3: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				
PP4 TPC4 TPD4	1	入出力 出力 出力	ポート P4: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				
PP5 TPC5 TPD5	1	入出力 出力 出力	ポート P5: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				
PP6 TPC6 TPD6	1	入出力 出力 出力	ポート P6: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				
PP7 TPC7 TPD7	1	入出力 出力 出力	ポート P7: 入出力ポート プログラムカウンタのトレースデータ出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号				DVCC34
PQ0 DREQ2	1	入出力 入力	Q0: 入出力ポート DMA リクエスト信号 2: 外部 I/O デバイスから DMA2 への DMA 転送要求入力				
PQ1 DACK2	1	入出力 出力	ポート Q1: 入出力ポート DMA アクノリッジ信号 2: DREQ2 による DMA 転送要求に対するアクノリッジ信号				
PQ2 DREQ3	1	入出力 入力	ポート Q2: 入出力ポート DMA リクエスト信号 3: 外部 I/O デバイスから DMA3 への DMA 転送要求入力				
PQ3 DACK3	1	入出力 出力	ポート Q3: 入出力ポート DMA アクノリッジ信号 3: DREQ3 による DMA 転送要求に対するアクノリッジ信号				DVCC34
DCLK	1	出力	デバッグクロック: DSU-ICE 用信号				
*EJE	1	入力	EJTAG イネーブル: DSU-ICE 用信号 (ノイズフィルタ内蔵)	PU*1	○		
*DINT	1	入力	デバッグインタラプト: DSU-ICE 用信号 (ノイズフィルタ内蔵)	PU*1	○		
PCST0	1	出力	PC トレースステータス: DSU-ICE 用信号				
PCST1	1	出力	PC トレースステータス: DSU-ICE 用信号				
PCST2	1	出力	PC トレースステータス: DSU-ICE 用信号				
PCST3	1	出力	PC トレースステータス: DSU-ICE 用信号				
PCST4	1	出力	PC トレースステータス: DSU-ICE 用信号				

PU*1: プルアップ固定

表 2-3 ピン名称と機能 (9/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
TOVR	1	出力	PD データのオーバーフローのステータス出力 : DSU-ICE 用信号				DVCC34
TCK	1	入力	テストクロック入力 : DSU-ICE 用信号 (ノイズフィルタ内蔵)	PU*1	○		
TMS	1	入力	テストモードセレクト入力 : DSU-ICE 用信号	PU*1	○		
TDI	1	入力	テストデータ入力 : DSU-ICE 用信号	PU*1	○		
TDO	1	出力	テストデータ出力 : DSU-ICE 用信号				
* TRST	1	入力	テストリセット入力 : DSU-ICE 用信号 (ノイズフィルタ内蔵)	PD*1	○		
* RESET	1	入力	リセット : LSI を初期化 (ノイズフィルタ内蔵)	PU*1	○		DVCC34
X1/X2	2	入出力	高速発振子接続端子 (X1 : シュミット付き入力)		○*2		DVCC15
* NMI	1	入力	ノンマスクابل割込み要求端子		○		DVCC15
BUSMD	1	入力	外部バスモード設定端子 : リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてマルチプレクスバス として、リセット信号の立ち上がりで "L" をサンプリングして セパレートバスとして動作します。		○		
ENDIAN	1	入力	エンディアン設定端子 : リセット信号の立ち上がりで "H (DVCC15) レベル" を サンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がり で "L" をサンプリングしてリトルエンディアンの動作をします。		○		
PLLSEL	1	入力	MASK 品での動作 PLL 設定端子。 High (DVCC15) : 11~13.5MHz (=X1) 、Low : 8~11MHz (=X1) 使用する発振 子によってリセット時にプルアップまたはプルダウンしてください。		○		DVCC34
BWO	1	入力	TEST 用端子 : DVCC34 に固定してください		○		
BW1	1	入力	TEST 用端子 : DVCC15 に固定してください		○		DVCC15
TEST1	1	入力	TEST 用端子 : OPEN にしてください				AVCC3
TEST2	1	入力	TEST 用端子 : OPEN にしてください				
TEST3	1	入力	TEST 用端子 : OPEN にしてください				
AVREFH0	1	-	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC3x に接続してください				AVCC3
AVREFH1	1	-	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC3x に接続してください				

PU*1 : プルアップ固定 。 PD*1 : プルダウン固定

*2 : X1 端子のみ

表 2-3 ピン名称と機能 (10/10)

ピン名称	ピン数	入出力	機能	PU/PD	Schmitt	Open Drain	電源
AVCC30	1	—	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。				電源
AVCC31	1	—	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。				
AVSS0	1	—	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。				
AVSS1	1	—	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。				
CVCC15	1	—	高周波発振器用電源端 : 1.5V 系電源				
CVSS	1	—	高周波発振器用 GND 端子 (0V)				
DVCC15	4	—	電源端子 : 1.5V 系電源				
DVCC30	3	—	電源端子 : 3V 系電源				
DVCC31	2	—	電源端子 : 3V 系電源				
DVCC32	1	—	電源端子 : 3V 系電源				
DVCC33	1	—	電源端子 : 3V 系電源				
DVCC34	3	—	電源端子 : 3V 系電源				
DVSS	9	—	電源端子 : GND 端子 (0V)				
FVCC3	2	—	電源端子 : 3V 系電源 (FLASH 用)				
FVCC15	2	—	電源端子 : 1.5V 系電源 (FLASH 用)				

Not Recommended for New Design

2.4 ピン名称と電源供給端子

表 2-4 ピン名称と電源

ピン名称	電源	ピン名称	電源
P0	DVCC30	PM	DVCC32
P1	DVCC30	PN	DVCC31
P2	DVCC30	P0	DVCC34
P3	DVCC30	PP	DVCC34
P4	DVCC30	PQ	DVCC34
P5	DVCC30	* NMI	DVCC15
P6	DVCC30	PCST4~0	DVCC34
P7	AVCC30	DCLK	DVCC34
P8	AVCC30	* EJE	DVCC34
P9	AVCC31	* TRST	DVCC34
PA	AVCC31	TDI	DVCC34
PB	DVCC31	TDO	DVCC34
PC	DVCC31	TMS	DVCC34
PD	DVCC31	TGK	DVCC34
PE	DVCC31	* DINT	DVCC34
PF	DVCC32	* RESET	DVCC34
PG	DVCC32	PLLSEL	DVCC15
PH	DVCC31	X1、X2	CVCC15
PI	DVCC31	BUSMD	DVCC15
PJ	DVCC32	BWO	DVCC34
PK	DVCC33	BW1	DVCC15
PL	DVCC33		

2.5 ピン番号と電源供給端子

表 2-5 ピン番号と電源

電源	ピン番号	電圧範囲
DVCC15	M8, M14, N11, H12	1.35V~1.65V
DVCC30 DVCC31 DVCC32 DVCC33	G9, G13, J8, K8, L8, P11, P12	1.65V~3.3V
DVCC34	G10, G11, G12	2.7V~3.3V
AVCC	J13, M13	2.7V~3.3V
CVCC15	N14	1.35V~1.65V
FVCC15	H11, N10	1.35V~1.65V
FVCC3	H9, H10	2.7V~3.3V

3. プロセッサコア

TMP19A61 には、高性能 32 ビットプロセッサコア (TX19A プロセッサコア) が内蔵されています。プロセッサコアの動作については、“TX19A ファミリーアーキテクチャ” を参照してください。

ここでは、“TX19A ファミリーアーキテクチャ” にて説明されていない TMP19A61 独自の機能について説明します。

3.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET 入力を少なくとも 12 システムクロック間 (1.78 μ s @外部 13.5MHz 動作時) “0” にしてください。

なお、リセット期間中に PLL 通倍クロックは 4 通倍され、クロックギアは 1/8 モードに初期化されます。

リセットが受け付けられると、

- TX19A プロセッサコアのシステム制御コプロセッサ (CP0) レジスタが初期化されます。詳細はアーキテクチャの章を参照してください。
- リセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス (例外ハンドラ開始アドレス) を例外ベクタアドレスと呼び、リセット例外 (ノンマスカブル割り込みなど) の例外ベクタアドレスは 0xBF00_0000H 番地 (仮想アドレス) です。
- 内蔵 I/O のレジスタを初期化します。
- ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット

(注 1) パワーオン時には RESET 端子を” 0” にした状態でパワーオンし、電源電圧が動作範囲で十分安定した状態でリセット解除させてください。

(注 2) リセット動作により、内蔵 RAM の状態については変化する可能性があります。

(注 3) 発振が安定した状態から 500 μ s 以上経過してからリセット解除させてください。

(注 4) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。

4. メモリマップ

TMP19A61 のメモリマップを図 4.1 と図 4.2 に示します。

1) 1024KB ROM/ 48KB RAM 版 TMP19A61F10XBG TMP19A61C10XBG

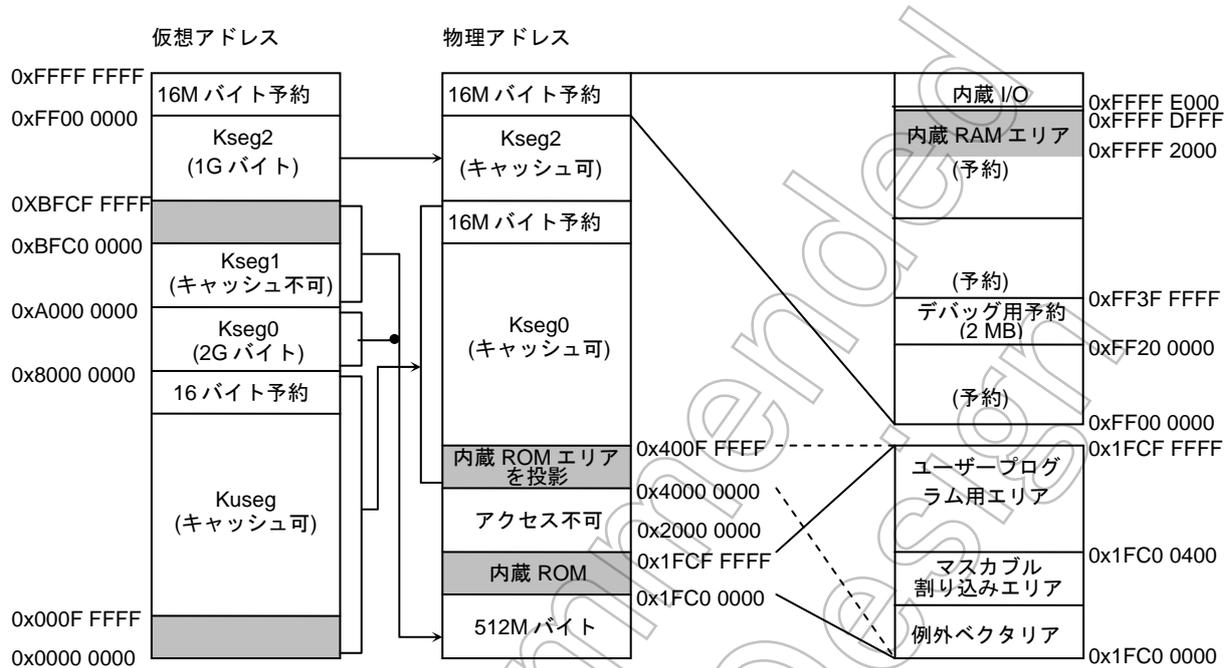


図 4.1 メモリマップ

2) 512KB ROM/ 40KB RAM 版 TMP19A61CDXBG

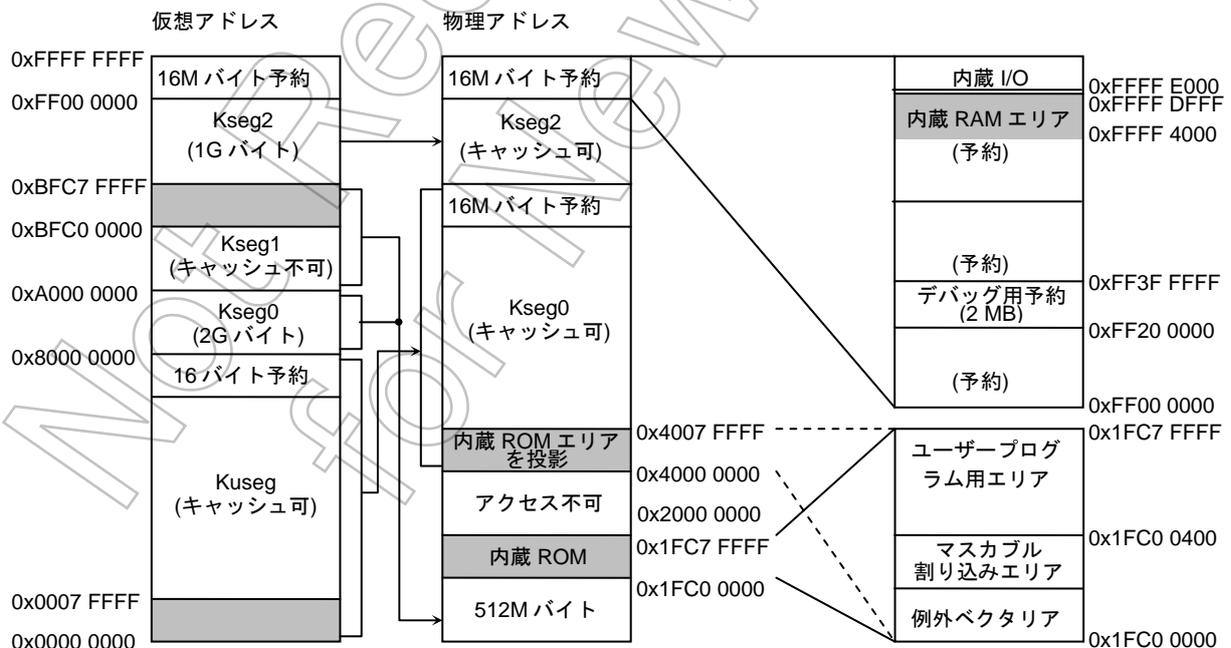


図 4.2 メモリマップ

(TX19A 製品では、キャッシュを内蔵していませんので、キャッシュ可/不可に区別はありません。)

(注1) 内蔵 ROM は、
0x1FC0_0000~0x1FCF_FFFF (1024KB)
0x1FC0_0000~0x1FC7_FFFF (512KB)

内蔵 RAM は、
0xFFFF_2000~0xFFFF_DFFF (48KB)
0xFFFF_4000~0xFFFF_DFFF (40KB)

にマッピングされます。

(注2) TMP19A61 では外部アドレス空間として 16M バイトの物理空間しかアクセスできません。CPU の物理アドレス空間 3.5G バイト内で任意のチップセレクト領域に 16M バイトの物理アドレス空間を配置することができます。

ただし、内蔵メモリ、内蔵 I/O 空間および予約エリアの外部メモリ設定はできません。

(注3) 物理領域の最後の 4 ワードには命令を置かないでください。

内蔵 ROM の場合 : 0x1FCF_FFF0 ~ 0x1FCF_FFFF (1024KB)

内蔵 ROM の場合 : 0x1FC7_FFF0 ~ 0x1FC7_FFFF (512KB)

外部に ROM 拡張する場合はメモリの実装されている最後の 4 ワードが対象になります
(ユーザーのシステムによります)。

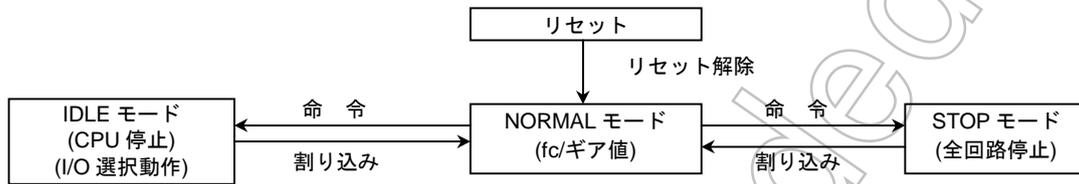
Not Recommended for New Design

5. クロック/スタンバイ制御

5.1 動作モード

システムの動作モードにはプロセッサコアの動作を停止して低消費電力動作を行うスタンバイモードがあります。

図 5.1 に動作モード別状態遷移図を示します。



バックアップモジュールに電源供給なしの場合のクロックモード状態遷移図

図 5.1 動作モード別状態遷移図

5.2 システムクロックの初期状態

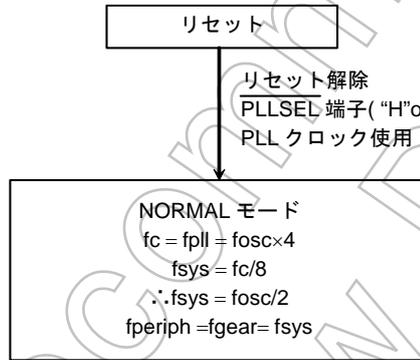


図 5.2 システムクロックのデフォルトの状態

fosc : X1, X2 端子より入力されるクロック周波数

fpll : PLLにより逡倍 (4 逡倍) されたクロック周波数

fc : PLLにより逡倍 (4 逡倍) されたクロック周波数

fgear : クロックジェネレータ部のシステムコントロールレジスタ SYSCR1<GEAR2:0>で選択されたクロック周波数

fsys : システムクロック周波数
CPU、ROM、RAM、DMAC、INTCの動作クロックです。内蔵周辺 I/O の動作クロックは fsys/2 になります。

fperiph : SYSCR1<FPSEL>で選択されたクロック周波数 (周辺 I/O のプリスケラへの入力クロック)

PLLSEL 端子 : X1, X2 端子に接続するクロックの周波数により、PLL の適応周波数を選択する

	X1	PLL 出力	Fc
PLLSEL 1:	11-13.5MHz =>	44-54MHz	=====> 44-54MHz
PLLSEL 0:	8-11 MHz =>	64-88MHz	=1/2=> 32-44MHz

5.3 クロック系統ブロック図

5.3.1 メイン・システム・クロック

- 発振子接続または外部クロック入力可能
- PLLON (4 通倍) をリセット時に設定
- PLLSEL 端子で X1 の入力周波数に対応した PLL の設定を選択
- クロックギア (1, 1/2, 1/4, 1/8) (デフォルトは 1/8 分周)
- 入力周波数

	入力周波数範囲	最大動作周波数	最低動作周波数
PLLSEL = "H" or "L" (発振子、外部入力ともに)	8~13.5 (MHz)	54 MHz	4 MHz

Not Recommended for New Design

5.3.2 クロックギア

- 高速クロックを 1/1, 1/2, 1/4, 1/8 に分周
- 内蔵 I/O 用プリスケラクロック $\Phi T0$: $f_{periph}/2$, $f_{periph}/4$, $f_{periph}/8$, $f_{periph}/16$

図 5.3 にシステムクロック遷移図を示します。

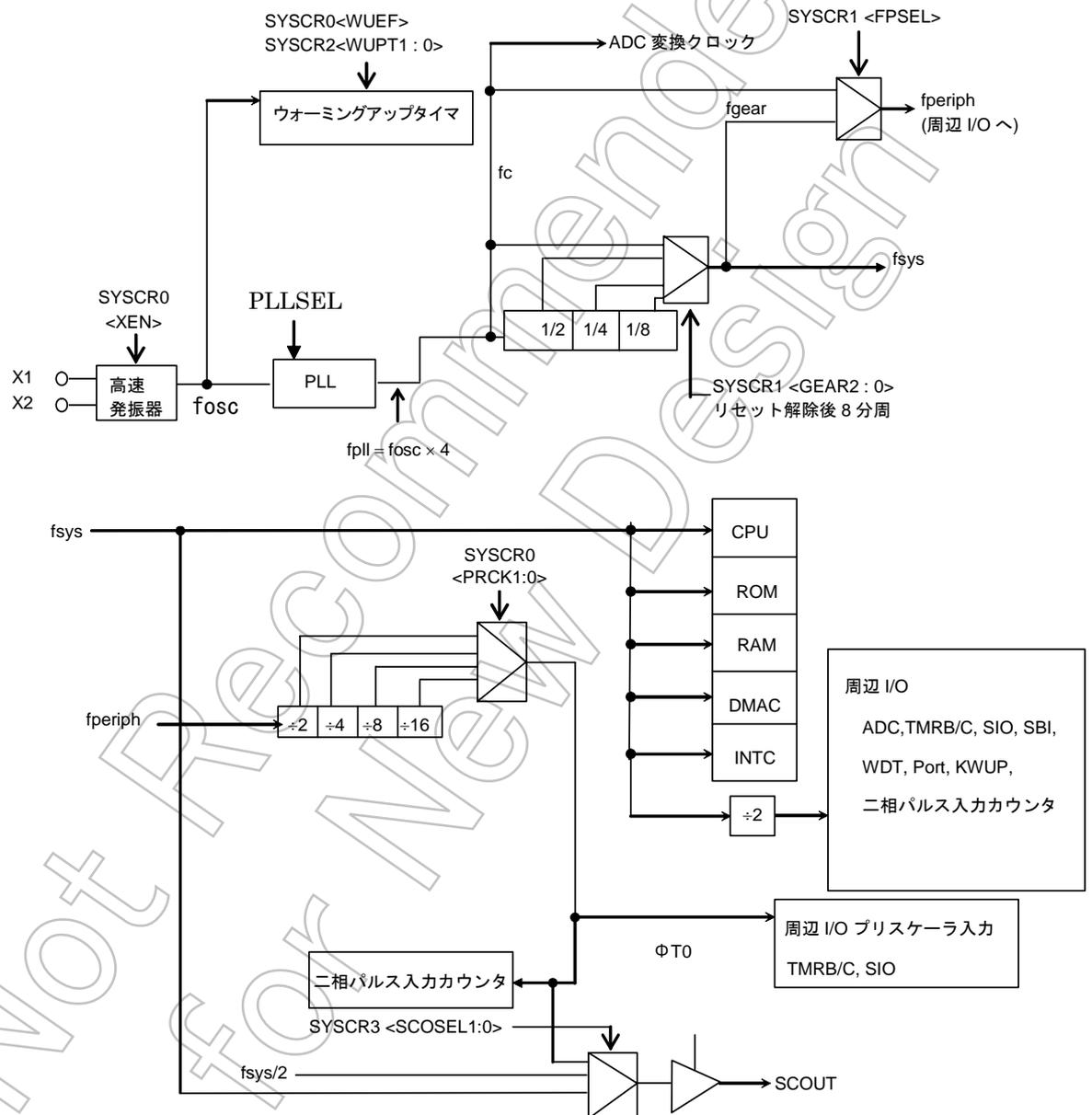


図 5.3 システムクロック遷移図

5.4 CG 関連レジスタ

5.4.1 システムコントロールレジスタ

SYSCR0 (0xFFFF_EE00)	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	XEN		RXEN			WUEF	PRCK1	PRCK0
	リセット後	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
	機能	1	0	1	0	0	0	0	0
	機能	高速発振器 0:停止 1:発振	“0”をラ イトしてく ださい	“1”をラ イトしてく ださい	“0”をラ イトしてく ださい	リードする と”0”が 読めます	“0”をラ イトしてく ださい	プリスケールクロック選択 00:fperiph/16 01:fperiph/8 10:fperiph/4 11:fperiph/2	
SYSCR1 (0xFFFF_EE01)	Bitsymbol	15	14	13	12	11	10	9	8
	Read/Write		SYSCFLG	SYSCK	FPSEL	SGEAR	GEAR2	GEAR1	GEAR0
	リセット後	R	R	R/W	R/W	R/W	R/W	R/W	R/W
	機能	0	0	0	0	0	1	1	1
	機能	リードする と”0”が 読めます	リードする と”0”が読 めます	0を書き込 んでくださ い	fperiph 選択 0:fgear 1:fc	0を書き込 んでくださ い	高速クロック(fc)のギア選択 000:fc 100:fc1/2 001:reserved 101:reserved 010:reserved 110:fc1/4 011:reserved 111:fc1/8		
SYSCR2 (0xFFFF_EE02)	Bitsymbol	23	22	21	20	19	18	17	16
	Read/Write	DRVOSCH		WUPT1	WUPT0	STBY1	STBY0		DRVE
	リセット後	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	機能	0	0	1	0	1	1	0	0
	機能	高速発振器 電流制御 0:能力大 1:能力小	0を書き込 んでくださ い	発振器用オー ミング アップ時間選 択 00:WUP無し 01:2 ⁸ / 発振周波数 10:2 ¹⁴ / 発振周波数 11:2 ¹⁶ / 発振周波数		スタンバイモ ード選択 00:reserved 01:STOP 10:reserved 11:IDLE		リードする と”0”が読 めます	1:STOP モ ード中も端 子をドライ ブします
SYSCR3 (0xFFFF_EE03)	Bitsymbol	31	30	29	28	27	26	25	24
	Read/Write		SCOSEL1	SCOSEL0					
	リセット後	R	R/W	R/W	R/W			R	
	機能	0	0	1	1	0	0	0	0
	機能	リードする と”0”が 読めます	SCOUT 出力選 択 00:reserved 01:fperiph 10:fsys 11:φT0		1を書き込 んでくださ い	リードすると”0”が読めます			

- ・ SYSCK と GEAR<2:0>を同時に切り替えないで下さい。
- ・ SYSCR2<DRVOSCH> 1:能力小状態で STOP に移行した場合、STOP 解除後は 0:能力大設定になります。必要な場合は、再設定してください。
- ・ SYSCK の切り替えは、XEN=” 1” の時有効です。

(注) クロックギア使用制限

クロックギアを使用して周辺 I/O を動作させる場合、SYSCR1<GEAR2:0>の設定は fc, fc1/2, fc1/4, fc1/8 の分周比を使用して下さい。他の分周比を選択した場合、周辺 I/O は正常動作しません。

5.5 システムクロック制御部

リセットによりシングルクロックモードになり、 $\langle XEN \rangle = "1"$ 、 $\langle GEAR2:0 \rangle = "111"$ に初期化されるのでシステムクロック f_{sys} は $f_c/8$ となります (PLL にて原発振は 4 通倍されるので $f_c = f_{osc}$ (原発振周波数) $\times 4$)。例えば、X1, X2 端子に 13.5MHz の発振子を接続していると、リセットにより f_{sys} は $(13.5 \times 4 \times 1/8) = 6.25\text{MHz}$ となります。

発振子を接続しないで外部発振器などからクロックを入力する場合も同様に、 f_{sys} は入力周波数 $\times 4 \times 1/8$ の周波数になります。

(注) システムクロック周波数は初期設定で 4MHz 以上になるように設定してください。

5.5.1 発振安定時間 (NORMAL ← STOP モードの切り替え)

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認するためにウォーミングアップタイムがあります。ウォーミングアップ時間は発振子の特性に合わせて $\text{SYSCR2}\langle \text{WUPT1}:0 \rangle$ により選択できます。

表 5.5.1 に切り替え時のウォーミングアップ時間を示します。

(注1) クロックに発振器などを使用しており発振が安定している場合にも、内蔵 PLL を使用しますので、ウォーミングアップ時間が必要です。

(注2) ウォーミングアップタイムは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 5.5.1 ウォーミングアップ時間

ウォーミングアップタイム選択 $\text{SYSCR2}\langle \text{WUPT1}:0 \rangle$	高速クロック (f_{osc})
01 (2^9 /発振周波数)	18.963 (μs)
10 (2^{14} /発振周波数)	1.214 (ms)
11 (2^{16} /発振周波数)	4.855 (ms)

計算値は $f_{osc} = 13.5\text{MHz}$ の場合です

<例 1> STOPモードからNORMALモードへの移行

SYSCR2<WUPT1:0>="xx" : ウォーミングアップ時間選択

SYSCR0<XEN>="1" : 高速発振 (fosc) イネーブル

SYSCR1<SYSCK>="0" : システムクロックを高速 (fgear) に切り替え

SYSCR1<SYSCKFLG>リード : "0" (現在のシステムクロックがfgear) であることを確認

5.5.2 システムクロックの端子出力機能

システムクロック fsys または fsys/2 または fs を P46/SCOUT 端子から出力できます。ポート 4 関係のレジスタ P4CR<P46C>="1", P4FC<P46F>="1" に設定することにより、P46/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR3<SCOSEL1:0> によって設定します。

表 5.5.2 に P46/SCOUT 端子を SCOUT 出力に設定した場合のスタンバイモード別端子状態を示します。

表 5.5.2 スタンバイモード別 SCOUT 出力状態

SCOUT 選択 モード	NORMAL		スタンバイモード	
			IDLE	STOP
<SCOSEL1:0> = "00"	Reserved 設定しないで下さい			
<SCOSEL1:0> = "01"	fperiph クロックを出力します		"0" または "1" に固定されます	
<SCOSEL1:0> = "10"	fsys クロックを出力します			
<SCOSEL1:0> = "11"	ΦT0 クロックを出力します	"0" に固定されます	ΦT0 クロックを出力します	"0" に固定されます

(注) SCOUT から出力されるシステムクロックは内部クロックとの位相差 (AC タイミング) は保証できません。

5.5.3 発振器のドライブ能力低減

発振器接続用端子に発振器を接続する場合に発振器から出力される発振ノイズの抑制、発振器の低消費電力化を目的とします。

SYSR2<DRVOSCH>を“1”にセットすることにより高速発振器のドライブ能力は低減（能力小）します。

リセットにより“0”に初期化されるので、電源投入時は通常（能力大）のドライブ能力で発振開始します。モード移行時の発振器の発振開始時はからず、ドライブ能力大（<DRVOSCH> = “0”）の状態に自動設定されます。

● 高速発振器のドライブ能力低減

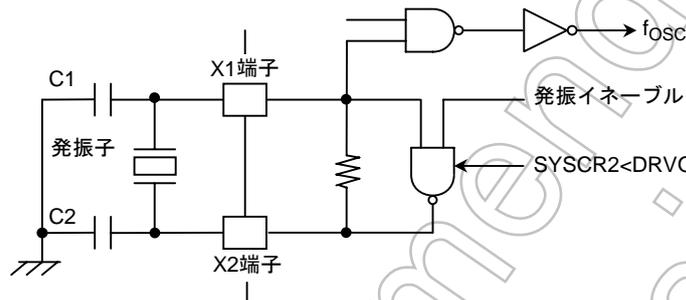


図 5.4 発振器のドライブ能力

5.6 プリスケラクロック制御部

内蔵 I/O (TMRB0~23, TMRCA~B, S100~A, SB10~1) には、それぞれにクロックを分周するプリスケラがあります。これらのプリスケラへ入力するクロック $\phi T0$ は、SYSCR1<FPSEL>から選択されたクロック f_{periph} を更に SYSCRO<PRCK1:0>にて分周されたクロックとなります。リセット後の $\phi T0$ は $f_{periph}/16$ が選択されます。詳細は図 5.3 システムクロック遷移図を参照下さい。

5.7 クロック逡倍回路 (PLL)

高速発振器の出力クロック f_{osc} を 4 逡倍した f_{pll} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

Not Recommended
for New Design

5.8 スタンバイ制御部

TX19A コアには、いくつかの低消費モードがあります。STOP、IDLE (Halt モード、Doze) モードへは、CPO の Status レジスタの RP ビットを設定し、その後 WAIT 命令を実行することで移行できます。

移行するに当たり、事前にスタンバイモードをシステムコントロールレジスタ (SYSCR2) にて選択しておく必要があります。

IDLE、STOP モードの特長は次の通りです。

IDLE: CPU のみ停止するモードです。

内蔵 I/O は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された内蔵 I/O は、IDLE モードへ遷移した時の状態で停止します。

表 5.8 に IDLE 設定レジスタの一覧を示します。

表 5.8 IDLE モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	IDLE モード設定レジスタ
TMRB0~23	TBxRUN<I2TBx>
TBTA~B	TBTxRUN<I2TBT>
S100~9	SCxMOD1<I2Sx>
SBI	SB1xBRO<I2SBI>
HS100~1	HSCxMOD1<I2Sx>
A/DC A~B	ADxMOD1<I2AD>
WDT	WDMOD<I2WDT>

(注 1) Halt モード (Status レジスタの中の RP ビット “0” をセットして WAIT コマンド実行にてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注 2) Doze モード (Status レジスタの中の RP ビット “1” をセットしてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。プロセッサコア外部からのバス制御権要求に対して応答することができます。

STOP: すべての内部回路が停止します。

5.8.1 各モードでのCGの動作

表 5.8.1 各動作モードにおけるCGの状態

クロックソース	モード	発振回路	PLL	周辺 I/O へのクロック供給	CPU へのクロック供給
発振子	Normal	○	○	○	○
	Idle (Halt)	○	○	Selectable	×
	Idle (Doze)	○	○	Selectable	×
	Stop	×	×	×	×

○：動作または、クロックを供給 ×：停止またはクロックを非供給

5.8.2 各モードにおけるブロックの動作

表 5.8.2 各動作モードにおけるブロックの動作状態

ブロック	NORMAL	IDLE (Doze)	IDLE (Halt)	STOP
TX19A プロセッサコア	○	×	×	×
DMAC	○	○	×	×
INTC	○	○	○	×
外部バス I/F	○	○	×	×
I/O ポート	○	○	×	×
ADC	○	モジュールごとに動作/停止 選択可能		×
SIO	○		×	
I2C	○		×	
HSIO	○		×	
TMRB	○		×	
TMRC	○		×	
WDT	○		×	
二相カウンタ	○		×	
KWUP	○	○	○	○
CG	○	○	○	×
高速発振器 (fc)	○	○	○	×

○：動作 ×：停止

5.8.3 スタンバイ状態からの解除

スタンバイ状態からの解除は、割り込み要求の場合は、割り込みレベルが割り込みマスクレベルより高い場合、またはリセットによって行うことができます。使用できるスタンバイ解除ソースは、TX19A プロセッサコアのシステム制御コプロセッサ (GPO) にあるステータスレジスタ (Status レジスタ) に割り付けられている割り込みマスクレジスタ <IM15:8> の状態と、スタンバイモードの組み合わせにより決まります。詳細を表 5.8.3 スタンバイ解除ソースとスタンバイ解除の動作に示します。

- 割り込み要求による解除

割り込み要求によるスタンバイ状態からの解除動作は、割り込み許可状態により異なります。スタンバイモード移行前に設定されている割り込みレベルが割り込みマスクレジスタの値以上であればスタンバイ解除後、その要因による割り込み処理を行い、スタンバイへ移行した命令 (WAIT 命令) の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、割り込み処理は行わず、スタンバイ移行命令 (WAIT 命令) の次の命令から処理をスタートします (割り込み要求フラグは “1” を保持します)。

ノンマスクブル割り込みでは、マスクレジスタの値に関係なくスタンバイ解除後、割り込み処理を行います。

- リセットによる解除

リセットにより、すべてのスタンバイ状態からの解除を行うことができます。ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間が必要です。(発振安定時間 + 500 μ s 以上)。

リセットによる解除で設定は初期化されます (割り込みによる解除ではスタンバイ状態に入る直前の状態を保持します)。

STOP / IDLE 解除割り込み、通常の割り込みの詳細に関しては「6. 割り込み」の項をご参照ください。

表 5.8.3 スタンバイ解除ソースとスタンバイ解除の動作
(割り込みレベル) > (割り込みマスク)

割り込み受け付け状態		割り込み許可 EI= "1"		割り込み禁止 EI= "0"		
		IDLE (プログラマブル)	STOP	IDLE (プログラマブル)	STOP	
スタンバイ解除ソース	割り込み	INTNMI	◎	◎	◎	◎
		INTWDT	◎	×	◎	—
		INT0~B	◎	◎	◎	◎
		KWUPO0~3	◎	◎	◎	◎
		INTTBO~23	◎	×	◎	×
		INTTBT/CAPG/CMPG	◎	×	◎	×
		INTRX0~8, INTTX0~8	◎	×	◎	×
		HINTRX0/1, HINTTX0/1	◎	×	◎	×
		INTADA/INTADHPA/ INTADM	◎	×	◎	×
		INTADB/INTADHPB	◎	×	◎	×
		INTDMAx	◎	×	◎	×
RESET		◎	◎	◎	◎	

◎: スタンバイ解除後、割り込み処理を開始します (RESET は LSI を初期化します)。

○: スタンバイ解除後、スタンバイ命令の次の番地から処理を開始します (割り込み処理は行いません)。

×: スタンバイ解除に使用できません。

—: ノンマスカブル割り込みは割り込みマスクでマスクできません。

5.8.4 STOP モード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<DRVE>の設定により異なります。STOP モード時の端子状態を表 5.8.5 に示します。STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後にシステムクロックの出力を開始します。STOP モードが解除されると、STOP モードへ移行する前の動作モードへ復帰 (NORMAL) し、動作を開始します。

これら設定は STOP モードに移行する命令を実行する前に行う必要があります。ウォーミングアップ時間の設定は、SYSCR2<WUPT1:0>で行います

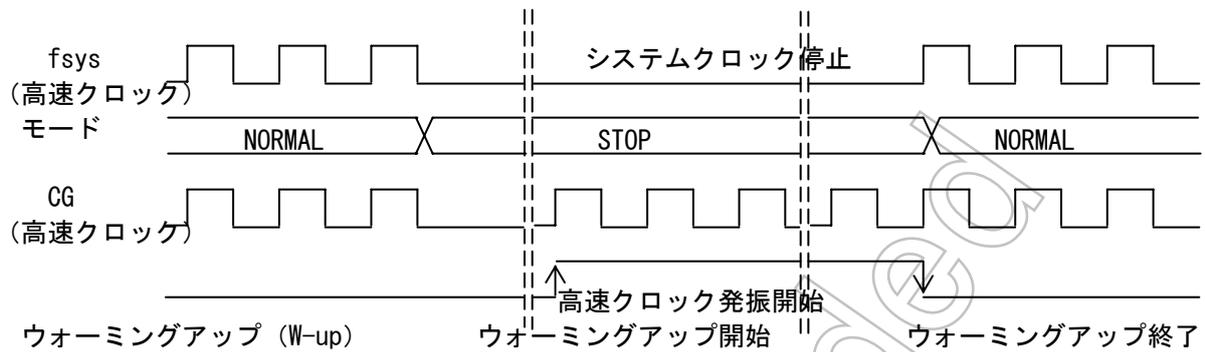
(注) TMP19A61 では NORMAL モードから STOP モードに移行する場合、ウォーミングアップ時間に SYSCR2<WUPT1:0>="00" または "01" を設定しないでください。STOP モードからの復帰時に内部システムの復帰時間が満たされません。

表 5.8.4 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL→IDLE	不要
NORMAL→STOP	不要
IDLE→NORMAL	不要
STOP→NORMAL	必要

5.8.5 STOPモードからの復帰

1. NORMAL→STOP→NORMAL 動作モード遷移



@fosc=13.5MHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc)
01 ($2^8/fosc$)	設定禁止
10 ($2^{14}/fosc$)	1.214ms
11 ($2^{16}/fosc$)	4.855ms

(注) @fosc=13.5MHz の場合、内部システムの復帰時間が満たされません。<WUPT1:0>="01"は設定しないでください。

表 5.8.5 SYSCR2<DRVE>別の STOP モード時の端子状態 (1/3)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
P00~P07	入力モード 出力モード AD0~AD7, D0~D7	— — —	— 出力 —
P10~P17	入力モード 出力モード, A8~A15 AD8~AD15, D8~D15	— — —	— 出力 —
P20~P27	入力モード 出力モード, A0~A7/A16~A23	— —	入力 出力
P30 (*RD), P31 (*WR)	出力ピン	—	出力
P32, P35, P36	入力モード 出力モード, *HWR, *BUSAK, R/W_	PU* PU*	入力 出力
P33	入力モード, *WAIT, *RDY 出力モード	PU* PU*	入力 出力
P34	入力モード 出力モード *BUSRQ	PU* PU* PU*	入力 出力 入力
P37 (ALE)	入力モード 出力モード ALE (出力モード)	— — —	入力 出力 —
P40~P45	入力モード 出力モード, CS0~CS5	PU* PU*	入力 出力
P46 (SCOUT)	入力モード 出力モード	—	入力 出力
P47	入力モード 出力モード	—	入力 出力
P50~P57	入力モード 出力モード, A0~A7	— —	入力 出力
P60~P67	入力モード 出力モード, A8~A15	— —	入力 出力
P7, P8, P9, PA	入力ピン, ANx0~ANx15	入力	入力
PB0~PB7	入力モード 出力モード TB81N0~TBBIN1 (入力モード)	— — —	入力 出力 入力
PC0~PC7	入力モード, SCLK3, RXD3, *CTS3 出力モード, SCLK3, TXD3 TBCIN0~TBFIN0 (入力モード)	— — —	入力 出力 入力
PD0, PD1, PD2, PD3, PD4, PD5	入力モード 出力モード TB10IN0~TB12IN1 (入力モード)	— — —	入力 出力 入力
PD6, PD7	入力モード 出力モード, TB14OUT, TB15OUT	— —	入力 出力
PE0, PE1, PE2, PE3, PE4	入力モード 出力モード, TB16OUT, TB17OUT, TB18OUT, TB19OUT, TB1AOUT	— —	入力 出力
PE5, PE6, PE7	入力モード, S10/SCL0/SCK0 出力モード, S00/SCA0/SCK0	— —	入力 出力
PF0~PF2 PF4~PF6	入力モード, SCLK0, RXD0, *CTS0 SCLK1, RXD1, *CTS1 出力モード, SCLK0, TXD0 SCLK1, TXD1	— —	入力 出力
PF3, PF7	入力モード 出力モード	— —	入力 出力
PG0~PG2	入力モード, SCLK2, RXD2, *CTS2 出力モード, SCLK2, TXD2	— —	入力 出力

表 5.8.5 SYSCR2<DRVE>別の STOP モード時の端子状態 (2/3)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
PG3, PG7	入力モード, TBTIN1, TBTIN2 出力モード	— —	入力 出力
PG4, PG5, PG6	入力モード 出力モード	— —	入力 出力
PH0~PH2 PH4~PG6	入力モード, SCLK4, RXD4, *CTS4 SCLK5, RXD5, *CTS5 出力モード, SCLK4, TXD4, SCLK5, TXD5	— —	入力 出力
PH3, PH7, P13	入力モード 出力モード INT9, INTA, INTB (入力モード)	— — 入力	入力 出力 入力
P10~P12 P14~P16	入力モード, SCLK6, RXD6, *CTS6 SCLK7, RXD7, *CTS7 出力モード, SCLK6, TXD6, SCLK7, TXD7	— —	入力 出力
P17, PJ0~PJ7	入力モード 出力モード	— —	入力 出力
PK0~PK2	入力モード, SCLK8, RXD8, *CTS8 出力モード, SCLK8, TXD8	— —	入力 出力
PK3, PK4	入力モード 出力モード TC0IN, TC1IN (入力モード)	— — —	入力 出力 入力
PK5, PK6, PK7	入力モード, S11/SCL1/SCK1 出力モード, S01/SCA1/SCK1	— —	入力 出力
PL0, PL1	入力モード 出力モード TC4IN, TC5IN (入力モード)	— — —	入力 出力 入力
PL2	入力モード 出力モード	— —	入力 出力
PL3, PL7	入力モード 出力モード, TCOUTB0, TCOUTB1	— —	入力 出力
PL4~PL6	入力モード, HSCLK0, HRXD0, *HCTS0 出力モード, HSCLK0, HTXD0	— —	入力 出力
PM0~PM5	入力モード 出力モード INT0~INT5 (入力モード)	— — 入力	入力 出力 入力
PM6, PM7	入力モード 出力モード, TCOUTA0, TCOUTA1	— —	入力 出力
PN0~PN2	入力モード 出力モード INT6~INT8 (入力モード)	— — 入力	入力 出力 入力
PN3, PN7	入力モード 出力モード ADTRG-1, ADTRG-2 (入力モード)	— — —	入力 出力 入力
PN4~PN6, P07	入力モード 出力モード	— —	入力 出力
P00~P03	入力モード, KEY0~KEY3 出力モード	— —	入力 出力
P04~P06	入力モード, HSCLK1, HRXD1, *HCTS1 出力モード, HSCLK1, HTXD1	— —	入力 出力
PP0~PP7	入力モード 出力モード, TPC0~TPC7, TPD0~TPD7	— —	入力 出力
PQ0~PQ3	入力モード, DREQ2, DREQ3 出力モード, DACK2, DACK3	— —	入力 出力
*EJE,	入力ピン	入力	入力
*DINT, TMS, TCK	入力ピン	入力	入力
*TRST	入力ピン	入力	入力

表 5.8.5 SYSCR2<DRVE>別の STOP モード時の端子状態 (3/3)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
*NMI	入力ピン	入力	入力
PLLSEL	入力ピン	入力	入力
*RESET	入力ピン	入力	入力
BUSMD	入力ピン	入力	入力
ENDIAN	入力ピン	入力	入力
BW0~1	入力ピン	入力	入力
TEST1~3	入力ピン	入力	入力
X1	入力ピン		—
X2	出力ピン	“H” レベル出力	“H” レベル出力

— : 入力モード/入力ピンは、入力がディセーブルになり、出力モード/出力ピンは、ハイインピーダンスになることを示します。但し、INTx, KWUPx を STOP 解除に使用するときにはポートファンクションレジスタ (PxFC) = “1” かつ、ポートコントロールレジスタ (PxCR) = “0” に設定することにより STOP モード中 (DRVE=0) にも入カインーブルになります。

入力 : 入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、“L” レベルまたは、“H” レベルに固定してください。

出力 : 出力状態になっています。

PU* : プログラマブルPull-upピンです。常に入力ゲートがディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

Not Recommended for New Design

6. 例外／割り込み

6.1 概要

TMP19A61 は下記の 103 要因のマスクブル割り込みと NMI を含む 14 種類の例外で構成されています。この章では一般例外／デバッグ例外を「例外」、割り込みを「割り込み」として説明しています。

・ 一般例外

- リセット例外
- ノンマスクブル割り込み (NMI)
- アドレスエラー例外 (命令フェッチ)
- アドレスエラー例外 (ロード／ストア)
- バスエラー例外 (命令フェッチ)
- バスエラー例外 (データアクセス)
- コプロセッサ使用不可例外
- 予約命令例外
- 整数オーバフロー例外
- トラップ例外
- システムコール例外
- ブレークポイント例外

・ デバッグ例外

- シングルステップ例外
- デバッグブレークポイント例外

・ 割り込み

- マスクブルソフトウェア割り込み (2 要因)
- マスクブルハードウェア割り込み (内部 : 85 要因、外部 (INT0~B, KWUP0~3) : 16 要因)

TMP19A61 では、内蔵している周辺ハードウェア及び外部からの割り込み要求を処理するだけでなく、通常の命令シーケンスに生じた異常状態の通知手段として強制的に例外処理に移されます。

TX19A プロセッサコアで新たに実装された、Shadow Register Set と呼ばれるレジスタバンクを使用することで割り込み応答時の汎用レジスタ (GPR) の退避が不要になり、高速な割り込み応答が可能です。

プログラマブルな 7 段階の割り込みレベル (優先順位) に従った多重割り込み処理をすることができます。また、マスクレベル以下の割り込み要求をマスクすることが可能です。

6.2 例外ベクタ

例外ベクタアドレスは、例外ハンドラの開始アドレスです。リセット例外、ノンマスカブル割り込みの例外ベクタアドレスは 0xBFC0_0000 です。デバッグ例外での例外ベクタアドレスは、内部信号<ProbeEn>の値によって 0xBFC0_0480 (EJTAG ProbEn=0) または 0xFF20_0200 (EJTAG ProbEn=1) になります。その他の例外はシステム制御コプロセッサ (CP0) レジスタの Status<BEV>、Cause<IV>の状態により異なります。

表 6.2.1 例外ベクタテーブル (仮想アドレス)

Exception	BEV=0	BEV=1
Reset, NMI	0xBFC0_0000	0xBFC0_0000
デバッグ例外 (En=0)	0xBFC0_0480	0xBFC0_0480
デバッグ例外 (En=1)	0xFF20_0200	0xFF20_0200
割り込み (IV=0)	0x8000_0180	0xBFC0_0380
割り込み (IV=1)	0x8000_0200	0xBFC0_0400
その他の一般例外	0x8000_0180	0xBFC0_0380

(注1) 例外ベクタアドレスを内蔵 ROM に置く場合にはシステム制御コプロセッサ (CP0) レジスタの Status<BEV>を“1”にしてください。

6.3 リセット例外

外部リセット端子を”L”にするか、WDTのリセット設定値までカウントを続けるとリセット例外が発生します。リセット例外が発生すると、周辺ハードウェアレジスタ、CP0 レジスタが初期化され、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。リセット例外が発生した PC の値は CP0 レジスタの ErrorEPC に格納されます。

リセット例外によって CP0 レジスタの Status<ERL>が”1”にセットされ、割り込み禁止状態となるため、割り込みを使用する場合は、スタートアップルーチン(リセット例外ハンドラ)等で Status<ERL>を”0”にクリアする必要があります。

リセット例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 リセット例外」の章を参照してください。

6.4 ノンマスカブル割り込み (NMI)

WDT の NMI 設定値までカウントを続けるか、DMA 転送を含むストアアクセスによってバスエラー領域をアクセスすると NMI が発生します。NMI が発生すると、CPO レジスタの Status<ERL>と<NMI>が”1”にセットされ、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。

NMI が発生した PC の値は CPO レジスタの ErrorEPC に格納されます。ただしストア命令によるバスエラーによって発生した NMI は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。NMI では Shadow Register Set を有効にした場合、NMI 発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、NMI からの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

発生した原因は CG の NMIFLG<WDT>、<WBER>で判別することが可能です。「NMI フラグレジスタ参照」NMI 発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 ノンマスカブル割り込み」の章を参照してください。

6.5 一般例外 (リセット例外/NMI 以外)

SYSCALL 命令等の特定の命令を実行した場合や不正な命令フェッチなどの異常状態を検出した場合に一般例外が発生します。CPO レジスタの Status<BEV>=1 の場合、一般例外が発生すると例外ベクタ 0xBFC0_380 番地へジャンプします。一般例外の要因は CPO レジスタの Cause<ExCode>で判別することが可能です。

一般例外が発生した PC の値は CPO レジスタの EPC に格納されます。ただしバスエラー例外（データアクセス）は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。一般例外では Shadow Register Set を有効にした場合、例外発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、例外からの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

アドレスエラー例外（命令フェッチ、ロード/ストア）、バスエラー（命令フェッチ、データアクセス）の発生原因となった不正なアドレスは CPO レジスタの BadVAddr に格納されます。

一般例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理」の各例外に該当する章を参照してください。

(注1) アドレスエラー例外（ロード/ストア）は DMA 転送では発生しません。DMA 転送の場合は、コンフィグレーションエラー（DMAC の CSRx<Conf>）で検出することができます。

(注2) バスエラー（データアクセス）はロード命令もしくは DMA 転送によるロードアクセスで発生します。

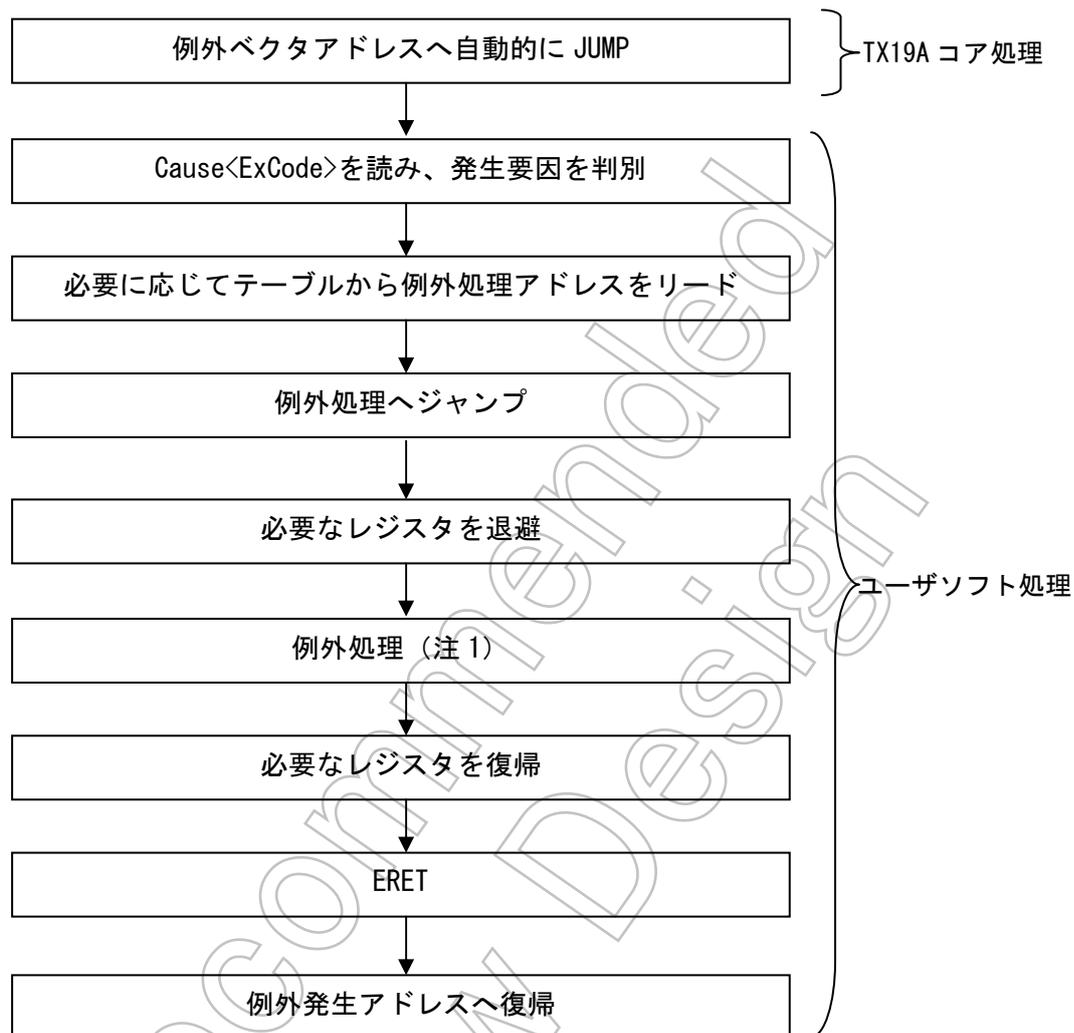


図 6.1 一般例外（リセット例外／NMI 以外）動作例

(注1) トラップ例外、システムコール例外、ブレークポイント例外を除く一般例外（リセット例外／NMI 以外）は、異常状態を意味しているためリセットをかけるような処理をするのが一般的です。

(注2) バスエラー例外（命令フェッチ、データアクセス）以外の一般例外（リセット例外／NMI 以外）は、EPC に例外発生原因となった PC が格納されますので、そのまま ERET で復帰した場合、再度例外が発生する可能性があります。

6.6 デバッグ例外

デバッグ例外には、シングルステップ例外とデバッグブレークポイント例外があります。通常、ユーザプログラムでこの例外を使用することはありません。

またデバッグ例外では Shadow Register Set を有効にしても切り替わりません。

デバッグ例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 デバッグ例外」の章を参照してください。

6.7 マスカブルソフトウェア割り込み

マスカブルソフトウェア割り込み（以下、ソフトウェア割り込み）は CPO レジスタの Cause<IP[1:0]>を個別に”1”をセットすることで2要因のソフトウェア割り込みを発生させることができます。

ソフトウェア割り込みは CPO レジスタの Cause<IP[1:0]>に値をセットしてから最短3クロック後に割り込みが受け付けられます。

ソフトウェア割り込み要求を受け付けるためには、CPO レジスタの Status<IM[1:0]>に”1”がセットされている状態で、CPO レジスタの Status<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。また CPO レジスタの Status<IM[1:0]>に”0”をセットすることでソフトウェア割り込みを個別にマスクすることが可能です。ソフトウェア割り込みとハードウェア割り込みが同時に発生した場合、ハードウェア割り込みが優先されます。

ソフトウェア割り込みではShadow Register Setを有効にした場合、ソフトウェア割り込み発生後、SSCR<PSS>にSSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、ソフトウェア割り込みからの復帰時にERET命令を実行することによって、SSCR<PSS>にSSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。ソフトウェア割り込みは図 6.2のようなフローで割り込み処理を行います。

(注1) ソフトウェア割り込みは後述のハードウェア割り込み要因のうちの「ソフトウェアセット」とは異なります。IMR00<EIM00>に”01”をセットすることで、ハードウェア割り込みが発生することを「ソフトウェアセット」と呼びます。

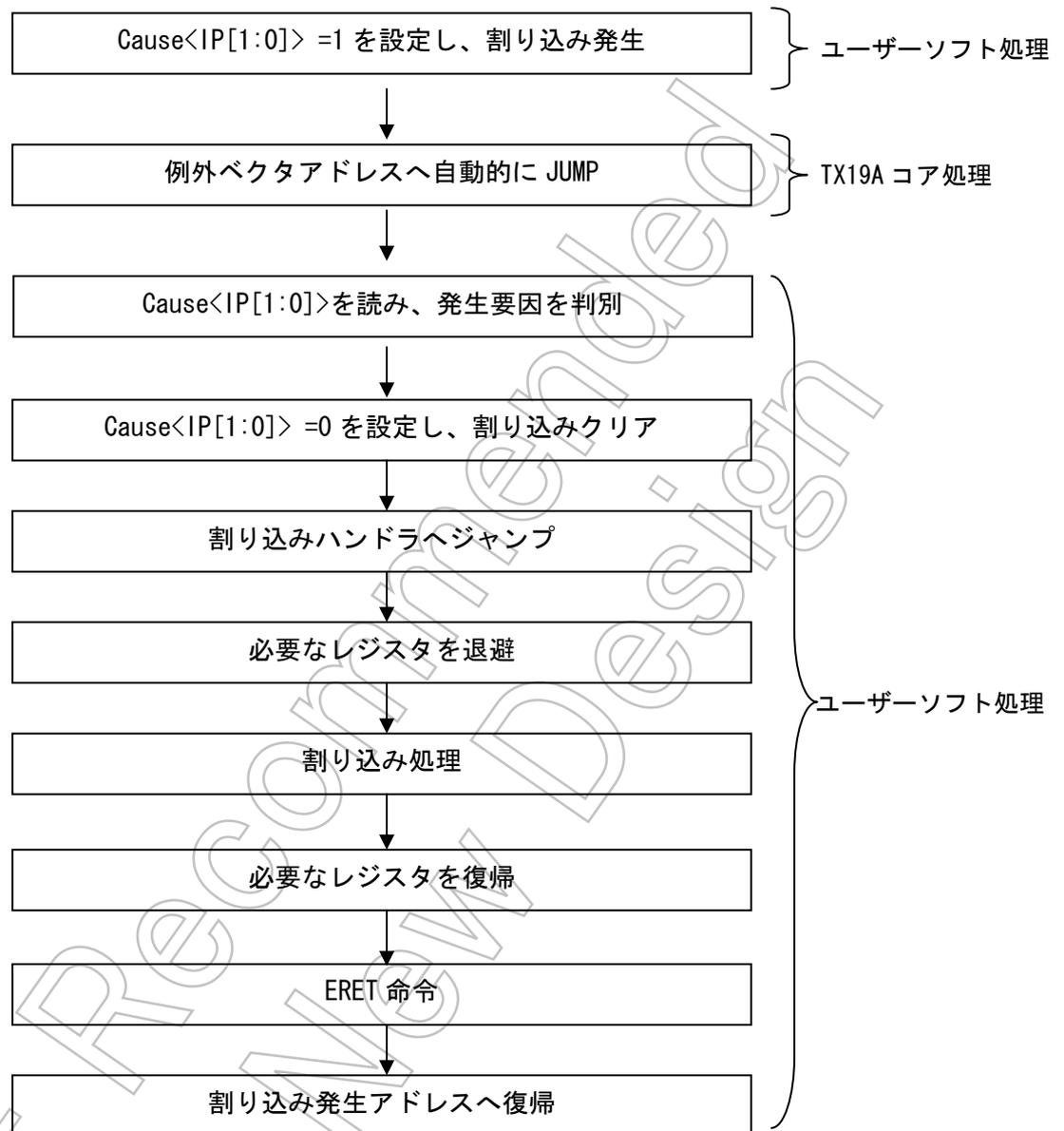


図 6.2 ソフトウェア割り込み動作例

(注1) ソフトウェア割り込みは割り込みを有効にした命令から最短3クロック後に受け付けられ、その時点の PC が EPC に格納されます。

6.8 マスカブルハードウェア割り込み

6.8.1 特徴

マスカブルハードウェア割り込み（以下、ハードウェア割り込み）は割り込みコントローラ（INTC）により個別に7段階の割り込みレベル（優先順位）を設定できる63要因の割り込み要求です。

ハードウェア割り込み要求を受け付けるためには、CPOレジスタのStatus<IM[4:2]>に”1”がセットされている状態で、CPOレジスタのStatus<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。

同時に複数の割り込みが発生した場合は、これらの割り込みレベルの優先順位に従って割り込み要求を受け付けられます。また同じ割り込みレベルの割り込みが同時に発生した場合は、表6.8.2の割り込み番号の小さい割り込み要求から受け付けられます。

割り込み要求を受け付けられると、CPOレジスタのStatus<EXL>が”1”にセットされ、割り込みが禁止状態となり、自動的にINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されます。なおCPOレジスタのStatus<IE>は割り込み応答では”1”にセットされたまま変化しません。

ハードウェア割り込みではShadow Register Setと呼ばれるレジスタバンクが割り込みレベルごとに用意されています。（CPOレジスタのSSCR<SSD>=”0”で使用可能となります）

割り込み要求を受け付けられると自動的に割り込みレベルと同じ番号のレジスタバンクに切り替わります。そのため割り込み応答時のユーザプログラムによる汎用レジスタ（GPR）の退避が不要になり、高速な割り込み応答が可能になっています。

多重割り込みを行う場合は、CPOレジスタのStatus<EXL>を”0”にクリアし、割り込みを許可状態にします。このときINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されていますので、受け付け中の割り込みレベルよりも高い割り込み要求のみ受け付けます。多重割り込みの詳細については「6.9.3 多重割り込みの設定例」を参照してください。

またINTCのILEV<CMASK>レジスタを設定することで、プログラマブルにマスクレベル以下の割り込み要求をマスクすることが可能です。

すべての割り込み要求をDMA転送のスタートトリガに使用することができます。

ハードウェア割り込みの詳細な動作を以下に示しますが、別冊「TX19A コア アーキテクチャ」の「例外処理 マスカブル割り込み（Interrupts）」の章も合わせて参照してください。

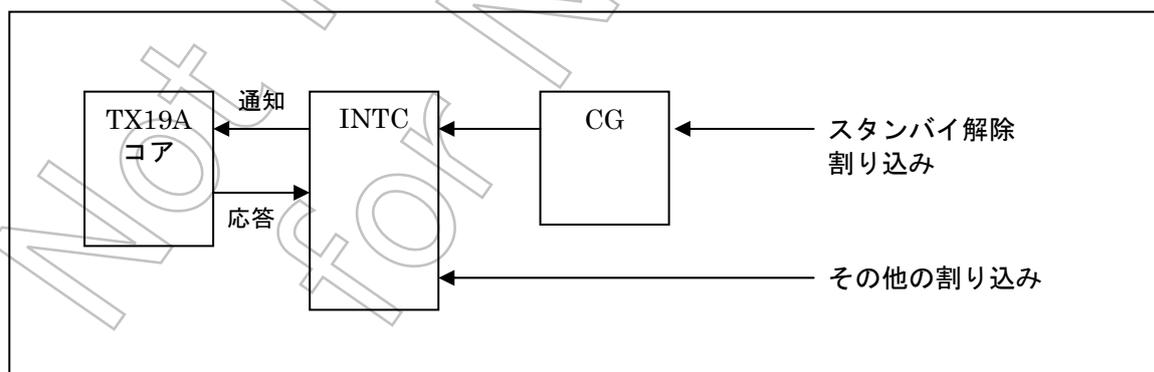


図 6.3 割り込み通知図

表 6.8.1 ハードウェア割り込み要因一覧

割り込み番号	IVR[7:0]	割り込み要因	割り込み制御レジスタ	アドレス
0	0x000	ソフトウェアセット	IMC0	0xFFFF_E000
1	0x004	INT0		
2	0x008	INT1		
3	0x00C	INT2		
4	0x010	INT3	IMC1	0xFFFF_E004
5	0x014	INT4		
6	0x018	INT5		
7	0x01C	INT6		
8	0x020	INT7	IMC2	0xFFFF_E008
9	0x024	INT8		
10	0x028	INT9		
11	0x02C	INTA		
12	0x030	INTB	IMC3	0xFFFF_E00C
13	0x034	KWUP		
14	0x038	INTRX0 :		
15	0x03C	INTTX0 :		
16	0x040	INTRX1 :	IMC4	0xFFFF_E010
17	0x044	INTTX1 :		
18	0x048	INTRX2 :		
19	0x04C	INTTX2 :		
20	0x050	INTSBIA :	IMC5	0xFFFF_E014
21	0x054	INTADHPA :		
22	0x058	INTADHPB :		
23	0x05C	INTADM :		
24	0x060	INTTB00 :	IMC6	0xFFFF_E018
25	0x064	INTTB08 :		
26	0x068	INTTB12 :		
27	0x06C	INTTB14 :		
28	0x070	INTTB01-07 :	IMC7	0xFFFF_E01C
29	0x074	INTTB09-0F :		
30	0x078	INTTB10-17 :		
31	0x07C	INTTB18-1F :		
32	0x080	INTTB20-23 :	IMC8	0xFFFF_E020
33	0x084	INTCAPG :		
34	0x088	INTCMPGR :		
35	0x08C	INTTBT :		
36	0x090	INTCAPA0	IMC9	0xFFFF_E024
37	0x094	INTRX3 :		
38	0x098	INTTX3 :		
39	0x09C	INTRX4 :		
40	0x0A0	INTTX4 :	IMCA	0xFFFF_E028
41	0x0A4	INTRX5 :		
42	0x0A8	INTTX5 :		
43	0x0AC	INTRX6 :		
44	0x0B0	INTTX6 :	IMCB	0xFFFF_E02C
45	0x0B4	INTRX7 :		
46	0x0B8	INTRX7 :		
47	0x0BC	INTRX8 :		
48	0x0C0	INTTX8 :	IMCC	0xFFFF_E030
49	0x0C4	HINTRX0 :		
50	0x0C8	HINTTX0 :		
51	0x0CC	INTSBIB :		
52	0x0D0	HINTRX1 :	IMCD	0xFFFF_E034
53	0x0D4	HINTTX1 :		
54	0x0D8	INTDMA0 :		
55	0x0DC	INTDMA1 :		
56	0x0E0	INTDMA2 :	IMCE	0xFFFF_E038
57	0x0E4	INTDMA3 :		
58	0x0E8	INTDMA4 :		
59	0x0EC	INTDMA5 :		
60	0x0F0	INTDMA6 :	IMCF	0xFFFF_E03C
61	0x0F4	INTDMA7 :		
62	0x0F8	INTADA :		
63	0x0FC	INTADB :		

(注1) IMCxx は 32 ビットのレジスタですが、8 ビット/16 ビットでのアクセスが可能です。

(注2) IDLE モード解除は全ての要因で可能

表 6.8.2 STOP モード解除割り込み要因

番号	割り込み要因	補足
0	INT0	外部割り込み 0
1	INT1	外部割り込み 1
2	INT2	外部割り込み 2
3	INT3	外部割り込み 3
4	INT4	外部割り込み 4
5	INT5	外部割り込み 5
6	INT6	外部割り込み 6
7	INT7	外部割り込み 7
8	INT8	外部割り込み 8
9	INT9	外部割り込み 9
10	INTA	外部割り込み A
11	INTB	外部割り込み B
12	KWUP	Key-On Wake up 割り込み
13	Reserved	
14	Reserved	
15	Reserved	

※ 番号 0~12 は STOP/IDLE 解除可能な割り込み要因

6.8.2 割込みグループピンレジスタ

ADCINT
(0xFFFF_E700)

	7	6	5	4	3	2	1	0
bit Symbol							INTADMB	INTADMA
Read/Write	R							
リセット後							0	0
機能							:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

* AD 監視機能割込み用 *

	15	14	13	12	11	10	9	8
bit Symbol							IMINTADMB	IMINTADMA
Read/Write	R/W							
リセット後							0	0
機能							:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り

TMRBINTA
(0xFFFF_E704)

	7	6	5	4	3	2	1	0
bit Symbol	INTTB07	INTTB06	INTTB05	INTTB04	INTTB03	TINTB02	INTTB01	
Read/Write	R							
リセット後	0	0	0	0	0	0	0	
機能	:割り込み 0::無し 1:有り							

	15	14	13	12	11	10	9	8
bit Symbol	IMINTTB07	IMINTTB06	IMINTTB05	IMINTTB04	IMINTTB03	TIMINTB02	IMINTTB01	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	
機能	:Mask 有 0::無し 1:有り							

TMRBINTB
(0xFFFF_E708)

	7	6	5	4	3	2	1	0
bit Symbol	INTTBOF	INTTBOE	INTTBOD	INTTBOC	INTTBOB	TINTBOA	INTTB09	
Read/Write	R							
リセット後	0	0	0	0	0	0	0	
機能	:割り込み 0::無し 1:有り							

	15	14	13	12	11	10	9	8
bit Symbol	IMINTTBOF	IMINTTBOE	IMINTTBOD	IMINTTBOC	IMINTTBOB	TIMINTBOA	IMINTTB09	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	
機能	:Mask 有 0::無し 1:有り							

TMRBINTC
(0xFFFF_E70C)

	7	6	5	4	3	2	1	0
bit Symbol	INTTB17	INTTB16	INTTB15		INTTB13		INTTB11	INTTB10
Read/Write	R							
リセット後	0	0	0		0		0	0
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り		:割り込み 0::無し 1:有り		:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

	15	14	13	12	11	10	9	8
bit Symbol	IMINTTB17	IMINTTB16	IMINTTB15		IMINTTB13		IMINTTB11	IMINTTB10
Read/Write	R/W							
リセット後	0	0	0		0		0	0
機能	:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り		:Mask 有 0::無し 1:有り		:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り

TMRBINTD
(0xFFFF_E710)

	7	6	5	4	3	2	1	0
bit Symbol	INTTB1F	INTTB1E	INTTB1D	INTTB1C	INTTB1B	TINTB1A	INTTB19	INTTB18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	:割り込み 0::無し 1:有り							

	15	14	13	12	11	10	9	8
bit Symbol	IMINTTB1F	IMINTTB1E	IMINTTB1D	IMINTTB1C	IMINTTB1B	TIMINTB1A	IMINTTB19	IMINTTB18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	:Mask 有 0::無し 1:有り							

TMRBINTE
(0xFFFF_E714)

	7	6	5	4	3	2	1	0
bit Symbol	INTCPT 0B	INTCPT 0A	INTCPT 09	INTCPT 08	INTTB23	TINTB22	INTTB21	INTTB20
Read/Write	R							
リセット後					0	0	0	0
機能	:割り込み 0::無し 1:有り							

	15	14	13	12	11	10	9	8
bit Symbol	IMINT CPT0B	IMINT CPT0A	IMINT CPT09	IMINT CPT08	IMINTTB23	TIMINTB22	IMINTTB21	IMINTTB20
Read/Write	R/W							
リセット後					0	0	0	0
機能	:Mask 有 0::無し 1:有り							

CAPINT
(0xFFFF_E718)

	7	6	5	4	3	2	1	0
bit Symbol			INTCAP B1	INTCAP B0			INTCAP A1	
Read/Write	R							
リセット後			0	0			0	
機能			:割り込 0::無し 1:有り	:割り込 0::無し 1:有り			:割り込 0::無し 1:有り	

	15	14	13	12	11	10	9	8
bit Symbol			IMINTCA PB1	IMINTCA PB0			IMINTCA PA1	I
Read/Write	R/W							
リセット後			0	0			0	
機能			:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り			:Mask 有 0::無し 1:有り	

CMPINT
(0xFFFF_E71C)

	7	6	5	4	3	2	1	0
bit Symbol	INTCMP B1	INTCMP B0			INTCMP A1	INTCMP A0		
Read/Write	R							
リセット後	0	0			0	0		
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り			:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り		

	15	14	13	12	11	10	9	8
bit Symbol	IMINTCM PB1	IMINTCM PB0			IMINTCM PA1	IMINTCM PA0		
Read/Write	R/W							
リセット後	0	0			0	0		
機能	:Mask 有 0::無し 1:有り	:Mask 有無 0::無し 1:有り			:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り		

TBTINT
 (0xFFFF_E720)

	7	6	5	4	3	2	1	0
bit Symbol	INTCPT 11	INTCPT 10	INTCPT 0F	INTCPT 0E	INTCPT 0D		INTTBTB	INTTBTA
Read/Write	R							
リセット後							0	0
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り		:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

	15	14	13	12	11	10	9	8
bit Symbol	IMINT CPT11	IMINT CPT10	IMINT CPT0F	IMINT CPT0E	IMINT CPT0D		IMINT TBTB	IMINT TBTA
Read/Write	R/W							
リセット後							0	0
機能	:Mask 有 0::無し 1:有り		:Mask 有 0::無し 1:有り	:Mask 有 0::無し 1:有り				

KWUPST
 (0xFFFF_F910)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	KEYINT3	KEYINT2	KEYINT1	KEYINT0
Read/Write	R							
リセット後	—	—	—	—	0	0	0	0
機能	—	—	—	—	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

(注1) 割り込みグルーピングレジスタに割当てられている割り込みの要因クリアは、割り込みフラグをリードすることによってクリアされます。INTCLR 命令ではクリアされません

6.8.3 割り込み要求の検出

割り込み要求の検出は表6.8.3に示すように要因ごとに異なります。すべての割り込み要求は検出後、INTCに通知され優先度調停され、TX19Aプロセッサコアに通知されます。各割り込み要因で使用できる検知レベルは表6.8.1を参照してください。

表 6.8.3 割り込み要求の検出場所

割り込み	検出場所	割り込み通知経路
(1) 外部端子割り込み INTO~INTB	CG	PORT→CG(検出)→INTC(調停)→TX19A コア
	INTC	PORT →INTC(検出/調停)→TX19A コア
(2) その他の割り込み	INTC	周辺回路 →INTC(検出/調停)→TX19A コア

6.8.4 割り込みの優先度調停

1. 7段階の割り込みレベル

INTCは割り込み要因個別に7段階の割り込みレベル（優先度）を設定できます。

割り込みレベルはINTCのIMCxx<ILxxx>で設定し、設定された割り込みレベルが大きいほど優先度が高くなります。値が”000”のとき（割り込みレベル0）はその要因による割り込みは発生しません。また割り込みレベル0の割り込み要因は保留されません。

2. 割り込みレベル通知

割り込み要求が発生すると、INTCはその割り込みレベルとマスクのレベルを比較します。ILEV<CMASK>で設定したマスクレベルよりその割り込みのレベルが高いときに割り込み要求をTX19Aプロセッサコアへ通知します。

同時に複数の割り込みが発生した場合は、割り込みレベルの優先順位に従って割り込み要求を通知します。また同じ割り込みレベルの割り込みが同時に発生した場合は、表6.8.1の割り込み番号の小さい割り込み要求から通知します。

前の割り込み要求がクリアされる前に同じ割り込み要因の再要求があった場合、1回目の割り込みしか受け付けられません。

3. INTCレジスタ更新

割り込み要求がTX19Aコアに受け付けられると、その時点で最も高いレベルの割り込みレベルがILEV<CMASK>に入り、IVRには対応したベクタ値がセットされます。一度セットされたCMASK/IVRはより高いレベルの割り込み要求が発生しても、IVRを読み出すまで更新されず、またコアへも通知されません。

(注1) ILEVの値を変更する前に必ずIVRの値を読み出してください。IVRの値を読み出す前にILEVの値を変更すると意図しない割り込みが発生する可能性があります。

6.8.5 ハードウェア割り込みの動作

ハードウェア割り込みが発生すると、TX19A コアは下記の処理を行い、CP0 レジスタの Status<BEV> と Cause<IV>の設定に応じた表 6.2.1 の例外ベクタアドレスへジャンプします。

- (1) CP0 レジスタの Status<EXL>を”1” にセットします。
- (2) CP0 レジスタの EPC に割り込み発生時の PC の値をセットします。
- (3) Shadow Register Set を有効にしている場合 (CP0 レジスタの SSCR<SSD> =0) 、CP0 レジスタの SSCR<CSS/PSS>が更新され、割り込みレベルと同じ番号のレジスタバンクに切り替わります。
- (4) INTC の ILEV<CMASK/PMASKx>が更新され、割り込みマスクレベルが受け付けられた割り込みレベルにセットされます。
- (5) INTC の IVR[7:0]を表 6.8.1 の値にセットします。

Not Recommended
for New Design

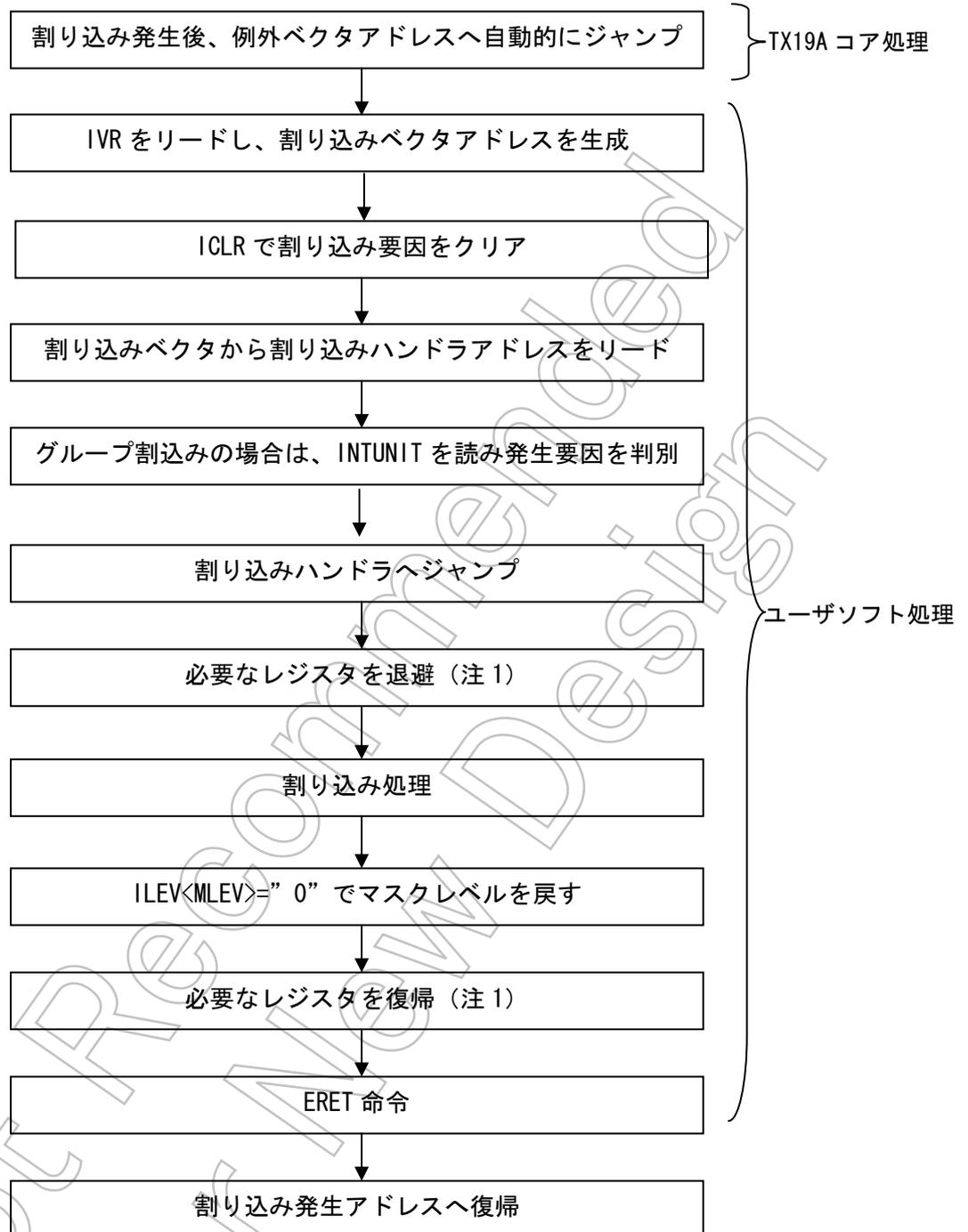


図 6.4 ハードウェア割り込みの基本動作例

(注1) TX19A コアは Shadow Register Set を使用すること (CP0 レジスタ SSCR<SSD>=0) によって汎用レジスタの大部分を自動的に退避することが可能です。

6.9.1 割り込みの初期設定

割り込みを使用する前に必要な設定として、要因に関わらず割り込みを使用する場合に必要な設定を「6.9.1.1 共通の初期設定」で、要因や用途によって必要な設定を「6.9.1.2 割り込み要因別の初期設定」で説明します。

6.9.1.1 共通の初期設定

割り込みを使用するためには以下の設定が必要です。

- (1) CPO レジスタの Status<IM[4:2]>に” 111” をセットします。
- (2) INTC の IVR[31:8]に割り込みベクタテーブルのベースアドレスをセットします。
- (3) 「割り込みベクタテーブルのベースアドレス+割り込み要因ごとの IVR[7:0]」のアドレスに割り込み要因ごとの割り込みハンドラアドレスをセットします。

(1) の記述例：割り込みの例外ベクタアドレス 0xBFC00400 番地を使用する場合

```
lui    r2, 0x1040          ; CU0=1 , BEV =1 (r2 =0x1040_xxxx)
addiu  r2, r2, 0x1C00     ; IM4, IM3, IM2 =1 (r2 =0x1040_1C00)
mtc0   r2, r12
```

(2) の記述例：VectorTable を割り込みベクタテーブルのラベルにしている場合

```
lui    r3, hi(VectorTable)
addiu  r3, r3, lo(VectorTable) ; r3 =VectorTable のアドレス
lui    r2, hi(IVR)         ; r2 =0xFFFF_xxxx (IVR のアドレスの上位 16bit)
sw     r3, lo(IVR)(r2)     ; IVR[31:8]に VectorTable のアドレスを設定
```

(3) の記述例：0xBFC20000 番地を割り込みベクタのベースアドレスにした場合

```
_VectorTable section code isa32 abs=0xBFC20000
VectorTable:
dw     _SWINT              ; 0 --- software interrupt
dw     _INT0               ; 1 --- INT0
dw     _INT1               ; 2 --- INT1
dw     _INT2               ; 3 --- INT2
dw     _INT3               ; 4 --- INT3
dw     _INT4               ; 5 --- INT4
dw     _INT5               ; 6 --- INT5
dw     _INT6               ; 7 --- INT6
dw     _INT7               ; 8 --- INT7
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

6.9.1.2 割り込み要因別の初期設定

割り込みを使用するために設定するレジスタは下記の要因ごとに異なります。

表 6.9.1 割り込み検知と設定レジスタ

割り込み	検知場所	設定場所	使用できる割り込み検知レベル(アクティブ状態の設定)
(1) 外部端子割り込み INT0~INTB	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTC で “H/L” レベル、立ち下がり、立ち上がりが設定ができます。
	CG	PxFC (PORT) PxCr (PORT) IMCGx (CG) IMCxx (INTC)	スタンバイモードからの復帰に使用する場合、CG で “H/L” レベル、立ち下がり、立ち上がりの設定を行い、INTC では必ず”H” レベルに設定してください。
(5) 2 相カウンタ割り込み	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTC では必ず”立上がりエッジに設定してください。
(6) その他の割り込み	INTC	IMCxx (INTC)	INTC で “H/L” レベル、立ち下がり、立ち上がりが設定できます。

(注 1) レベル検出は内部クロックによって毎回値を確認し、エッジ検出は内部クロックによって前回の入力との値を比較し、エッジを検出します。CG/KWUP(スタティック設定時)のエッジ検出は内部クロックを使用せず、入力信号のエッジを検出します。

(注 2) 割り込みの初期設定をする場合は、表6.8.3 に示している、割り込み検出経路の順に設定してから、CP0 レジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みが発生する場合がありますので、必ず割り込み要因をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。

(1) 外部端子割り込み INTO~INTB

- ・ PORT の PxCR、PxIE でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の PxFC で端子機能を INTO~INTB に設定します。(7. ポート機能参照)
- ・ PORT の PxPUP で必要に応じてプルアップ設定をします。(7. ポート機能参照)
- ・ INTC の IMCx<EIMxx>でアクティブ状態を設定します。(5.3.3 割り込み関連レジスタ参照)
- ・ CG の IMCGx<EMCGxx>でスタンバイ解除の許可/禁止を設定します。(INTCG レジスタ (STOP /IDLE 解除割り込み) 参照)
- ・ INTCのIMCx<EIMxx>でCGから通知される内部割り込み信号のアクティブ状態を設定します。INTCのIMCx<EIMxx>で立ち上がり/下がりエッジに設定している場合は立ち下がりエッジに設定 (IMCx<EIMxx>を “10” にセット) し、H/Lレベルに設定している場合はLレベルに設定 (IMCx<EIMxx>を “00” にセット) してください。(6.9.4 レジスタ参照)

・ 外部端子割り込み INT3 を STOP 解除入力 (立ち下がりエッジ) として使用する場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
PMCR<PM3C> = " 0"           ; ポートを入力に設定
PMFC<PM3F> = " 0"           ; ポートを INT3 に設定
IMCGA<EMCG32:30> = " 010"   ; INT3 を立ち下がりエッジ
IMCGA<INT3EN> = " 1"        ; INT3 をスタンバイ解除に設定
EICRCG<ICRCG3:0> = " 0011"  ; INT3 のスタンバイ解除要求をクリア
IMC1<EIM41:40> = " 01"     ; INT3 をレベルに設定
INTCLR<EICLR7:0> = " 010"   ; INT3 の割り込み要求をクリア
IMC1<IL42:40> = " 101"     ; INT3 の割り込みレベルを " 5" に設定
ILEV<MLEV>/<CMASK> = " 1" / " xxx" ; マスクレベルを " xxx" に設定
                                   (ILEV<MLEV>と同時にセット)
SYNC 命令                     ; 割り込み設定が有効になるまでストール
Status<IE> = " 1"           ; 割り込み許可
```

・ 外部端子割り込み INT3 を使用禁止にする場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
IMC1<IL42:40> = " 000"     ; INT3 の割り込みを禁止
INTCLR<EICLR7:0> = " 010"  ; INT3 の割り込み要求をクリア
```

(2) その他のハードウェア割り込み

- ・ 使用する周辺ハードウェアの設定をします。
- ・ INTCのIMCxx<EIMxx>を設定します。(6.9.4 レジスタ参照)

(注1) 割り込みの初期設定をする場合は、INTC の設定してから、CPO レジスタで割り込みを許可にして下さい。また割り込みを禁止する場合は、CPO レジスタで割り込みを禁止にしてから INTC を設定してください。

6.9.1.3 割り込み許可

割り込み要求を受け付けるためには「6.9.11 割り込みの初期設定」以外に下記の3条件が設定さ

れている必要があります。

- ・ CP0 レジスタの Status<ERL>が” 0” にセットされている。
- ・ CP0 レジスタの Status<EXL>が” 0” にセットされている。
- ・ CP0 レジスタの Status<IE>が” 1” にセットされている。

これらの設定は命令実行から 2 クロック後に割り込みが許可状態になり、レジスタがセットされま
す。また CP0 レジスタの Status<IE>を” 1” にセットするには、下記の 4 通りの設定方法があります。

1. 32 ビット ISA の MTC0 命令で CP0 レジスタの Status<IE>を” 1” にセットする。
2. 32 ビット ISA の MTC0 命令で CP0 レジスタの IER を” 0” 以外にセットする。(注 1)
3. 16 ビット ISA の MTC0 命令で CP0 レジスタの Status<IE>を” 1” にセットする。
4. 16 ビット ISA の EI 命令を実行する。(注 2)

(注1) コード増加を抑制するため、32 ビット ISA ではこの方法で割り込み許可すること
を推奨します。東芝製 C コンパイラでも 32 ビット ISA の「_EI () 組み込み
関数」はこの命令が実行されます。

(注2) コード増加を抑制するため、16 ビット ISA ではこの方法で割り込み許可すること
を推奨します。東芝製 C コンパイラでも 16 ビット ISA の「_EI () 組み込み
関数」はこの命令が実行されます。

(注3) コード増加を抑制し、高速に処理できるため、2. と 4. の方法を推奨します。

6.9.1.4 割り込み禁止

下記の3条件のうち1つでも成立していると割り込み禁止状態になります。下記設定によって割り込み禁止状態にすると、「6.9.1 割り込みの初期設定」で設定されている割り込み要求は保留されません。また割り込みレベル0に設定した割り込み要因は保留しません。

- ・ CPOレジスタのStatus<ERL>が”1”にセットされている。
- ・ CPOレジスタのStatus<EXL>が”1”にセットされている。
- ・ CPOレジスタのStatus<IE>が”0”にセットされている。

これらの設定は命令実行直後に割り込みが禁止状態になり、2クロック後にレジスタがセットされます。CPOレジスタのStatus<ERL>と<EXL>は割り込み及び例外で自動的にセットされ、ERET命令で自動的にクリアされるビットですので、通常の割り込み禁止設定を行なう場合はCPOレジスタのStatus<IE>を”0”にセットする方法を推奨します。多重割り込みを使用する場合の割り込み禁止は「6.9.3多重割り込みの設定例」を参照してください。CPOレジスタのStatus<IE>を”0”にセットするには、下記の4通りの設定方法があります。

1. 32ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
2. 32ビットISAのMTC0命令でCPOレジスタのIERを”0”にセットする。(注1)
3. 16ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
4. 16ビットISAのDI命令を実行する。(注2)

(注1) コード増加を抑制するため、32ビットISAではこの方法で割り込み禁止することを推奨します。東芝製Cコンパイラでも32ビットISAの「_DI()組み込み関数」はこの命令が実行されます。

(注2) コード増加を抑制するため、16ビットISAではこの方法で割り込み禁止することを推奨します。東芝製Cコンパイラでも16ビットISAの「_DI()組み込み関数」はこの命令が実行されます。

(注3) コード増加を抑制し、高速に処理できるため、2.と4.の方法を推奨します。

一度、INTCのIMCx<ILxxx>で割り込みレベルを設定し、割り込み許可になった要因を個別に再度禁止(IMCx<ILxxx>=”000”)にする場合は、下記の例のようにCPOレジスタのStatus<ERL/EXL/IE>をセットし、割り込みを禁止状態にしてから割り込み要因を禁止にしてください。

割り込み要因を個別に禁止する場合の記述例

mtc0	r0, IER	; 割り込み禁止 (Status<IE> =”0”)
sb	r0, IMCxx	; 割り込み要因の禁止
sync		; 書き込みが有効になるまでストール
mtc0	r29, IER	; 割り込み許可 (Status<IE> =”1”)

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

6.9.2 割り込み処理

ここでは図 6.5 の基本フローを前提にした詳細な動作を説明します。

6.9.2.1 割り込み応答と復帰

①ハードウェアによる割り込み受け付け

INTC は割り込み要求を調停すると INTC の IVR に受け付けた割り込み要求の割り込みベクタと ILEV<CMASK>に受け付けた割り込みレベルをセットし、TX19A プロセッサコアに割り込みレベルを通知します。割り込みレベルの通知を受けた TX19A プロセッサコアは CP0 レジスタの Status<EXL>を”1”にセットし、割り込みを禁止状態にし、割り込みが発生した PC の値を EPC に退避します。また Shadow Register Set が有効 (CP0 レジスタ SSCR<SSD>=0) な場合は CP0 レジスタの SSCR<CSS>に割り込みレベルをセットし、レジスタバンクを切り替えます。

割り込みが受け付けられると実行中の命令は中止され、例外ベクタアドレス (割り込み) へ自動的にジャンプします。割り込みの受け付けフローを 図 6.5 に示します。

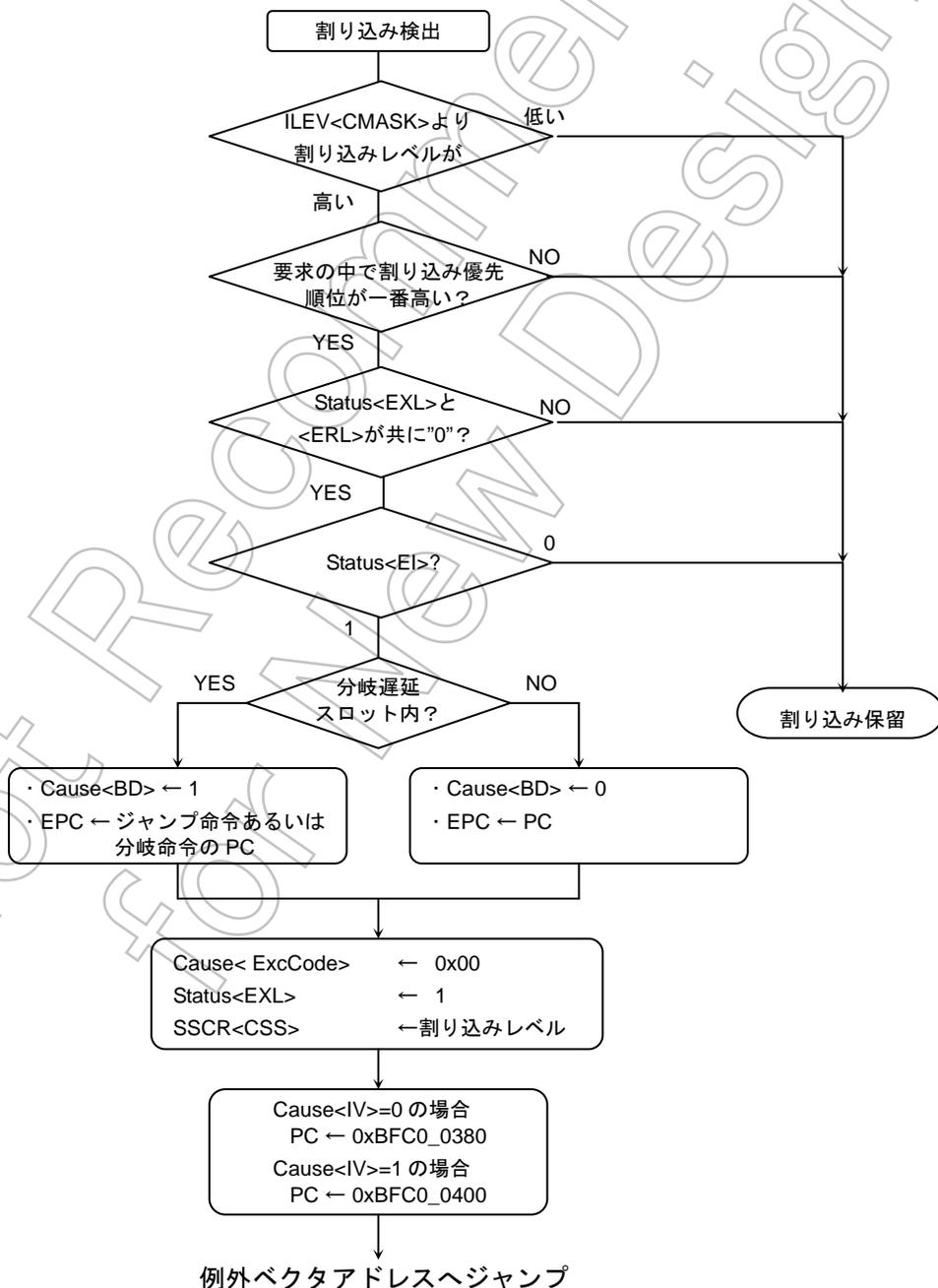


図 6.5 ハードウェアによる割り込み受け付けフロー

②例外ハンドラでの必要な処理

割り込み要求が受け付けられた後、自動的にジャンプする例外ハンドラでは、INTCのIVRから割り込みベクタアドレスを読み出し、ユーザプログラムで割り込みハンドラのアドレスを生成します。通常「6.9.1 割り込みの初期設定」での記述例のように、IVR[31:8]には割り込みベクタのベースアドレスを設定するため、IVRの値が割り込みベクタアドレスになります。

INTC の IVR を読み出した後に割り込み要因をクリアします。IVR を読む前に割り込み要因をクリアすると IVR の値がクリアされ、正しい値が読み出せなくなります。

例外ハンドラの記述例：例外ベクタアドレス（割り込み）が 0xBFC0_0400 番地の場合

VECTOR_INT section code isa32 abs=0xBFC00400

__InterruptVector:

```
lui    r26, hi (IVR)
lw     r26, lo(IVR) (r26)      ; IVR から割り込みベクタアドレスの読み出し
lui    r27, hi (INTCLR)
sh     r26, lo(INTCLR) (r27)  ; 割り込み要求のクリア
lw     r26, 0 (r26)           ; 割り込みベクタから割り込みハンドラアドレスの読み出し
jr     r26                    ; 割り込みハンドラへジャンプ
nop
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

③割り込みハンドラでの必要な処理

通常、割り込みハンドラでは必要なレジスタの退避と割り込み処理を行います。Shadow Register Set を有効 (CPO レジスタ SSCR<SSD>=0) にしている場合は、汎用レジスタの r26, r27, r28, r29 (Shadow Register Set 番号 1~7) 以外は自動的に退避されるため、ユーザプログラムで退避する必要はありません。退避される汎用レジスタの詳細については別冊の「TX19A コア アーキテクチャ」を参照してください。

一般的に汎用レジスタ以外はユーザプログラムに依存しますが、必要に応じて、CPO レジスタの Status, EPC, SSCR, HI, LO, Cause, Config 等も退避します。

退避処理後に CPO レジスタの Status<EXL>を” 0” にクリアし、割り込みを許可にすることで多重割り込みを使用することが可能です。

(注1) 割り込み禁止の状態でも一般例外は受け付けられます。そのため多重割り込みを使用しない場合でも一般例外によって書き換わる可能性のある、汎用レジスタ及び CPO レジスタを退避することを推奨します。

割り込みハンドラでの必要な設定例

SSCR→スタックへ退避	; SSCR の値の退避 (必要に応じて)
NOP 命令	; SSCR が切り替わるまでストール
NOP 命令	; SSCR が切り替わるまでストール
EPC →スタックへ退避	; EPC の値の退避 (必要に応じて)
Status →スタックへ退避	; Status の値の退避 (必要に応じて)
NOP 命令	; ERET 命令実行前にストール
NOP 命令	; ERET 命令実行前にストール
Status<EXL> = " 0"	; 割り込み許可 (多重割り込み時のみ)

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待ってからレジスタアクセスをして下さい。

④割り込みハンドラからの復帰

割り込みハンドラからメイン処理に復帰するには割り込みハンドラの手前で退避したレジスタを戻し、INTC の ILEV<MLEV>に " 0" をセットして割り込みのマスクレベルを戻します。すべての復帰作業が終了後、ERET 命令を実行することによって、CPO レジスタの Status<EXL>を " 0" にクリアされ、EPC のアドレスが PC に戻りメイン処理に復帰します。また Shadow Register Set を有効 (CPO レジスタ SSCR<SSD>=0) にしている場合は、ERET 命令によって SSCR<CSS>が更新され、ひとつ前の Shadow Register Set 番号に自動的に戻るため、レジスタバンクで退避した汎用レジスタは自動的に復帰します。

多重割り込みを使用している場合は、復帰処理の前に CPO レジスタの Status<EXL>を " 1" にセットし、割り込みを禁止にしておく必要があります。

割り込みハンドラからの復帰の設定例

Status<EXL> = " 1"	; 割り込み禁止 (多重割り込み時のみ)
ILEV<MLEV> = " 0"	; マスクレベルを 1 段階戻す
SYNC 命令	; マスクレベルが戻るまでストール
SSCR ←退避した SSCR	; SSCR の値を復帰 (必要に応じて)
NOP 命令	; SSCR が切り替わるまでストール
NOP 命令	; SSCR が切り替わるまでストール
EPC ←退避した EPC	; EPC の値を復帰 (必要に応じて)
Status ←退避した Status	; Status の値を復帰 (必要に応じて)
NOP 命令	; ERET 命令実行前にストール
NOP 命令	; ERET 命令実行前にストール
ERET 命令	; Status<EXL> = " 0" , PC ←EPC, SSCR<CSS> ←SSCR<PSS>

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待ってからレジスタアクセスをして下さい。

(注2) ERET 命令を実行する 2 命令前に CPO レジスタをアクセスしないで下さい。

6.9.3 多重割り込みの設定例

多重割り込みとは割り込み処理中にさらに優先度の高い割り込み要求を処理することです。TMP19A61 は INTC が割り込み優先度の調停を行うことで、多重割り込みを行うことができます。割り込み要求が受け付けられると自動的に INTC の ILEV<CMASK>が受け付けられた割り込みレベルに更新されますので、ユーザプログラムで初期設定された優先度で調停を行うことができます。

①多重割り込みで必要な追加処理

割り込みが受け付けられると CPO レジスタの Status<EXL>が” 1” にセットされ割り込みが禁止状態になります。多重割り込みを行うためには、多重割り込みを許可する前に、2 回目以降の割り込みで上書きされてしまう可能性のあるレジスタを事前に退避しておく必要があります。そのため通常の例外ハンドラ及び割り込みハンドラの処理以外に下記レジスタを退避してから、CPO レジスタの Status<EXL>を” 0” にセットして、割り込みを許可して下さい。

退避させておかなければいけない CPO レジスタ

- ・ EPC
- ・ SSCR
- ・ Status
- ・

必要に応じて HI, LO, Cause, Config レジスタも退避させてください。

(注1) 東芝製 C コンパイラの割り込み関数を使用すると自動的に退避／復帰されるレジスタもあります。詳細は、東芝製 C コンパイラに付属の「TX19A C コンパイラリファレンス」を参照してください。

②多重割り込みで必要な追加の復帰処理

割り込みからの復帰処理でのレジスタ復帰の前に「6.9.1.4 割り込み禁止」に示してある手段で割り込みを禁止にする必要があります。これは復帰したレジスタを多重割り込みで壊されないために必要です。また ERET 命令では自動的に CPO レジスタの Status<EXL>を” 0” にクリアするため、復帰処理での割り込み禁止は CPO レジスタの Status<EXL>を” 1” にセットすると、自動的に割り込み許可状態で割り込みから復帰することが可能です。

③Status<EXL>と Status<IE>の使い分け

Status<EXL>と Status<IE>は基本的に大きな違いはありませんが、Status<EXL>は割り込み発生で自動的に” 1” にセットされ ERET 命令で自動的に” 0” にクリアされます。割り込み先頭のレジスタ退避及び割り込み最後のレジスタ復帰は割り込みに禁止する必要があるため、通常はハードウェアで制御される Status<EXL>を使用します。また、その他の一般的な割り込み許可／禁止制御は Status<IE>を使用して制御します。

多重割り込みでの割り込み許可／禁止制御フローは「6.9.3.1 多重割り込みでの割り込み制御」で説明します。

6.9.3.1 多重割り込みでの割り込み制御

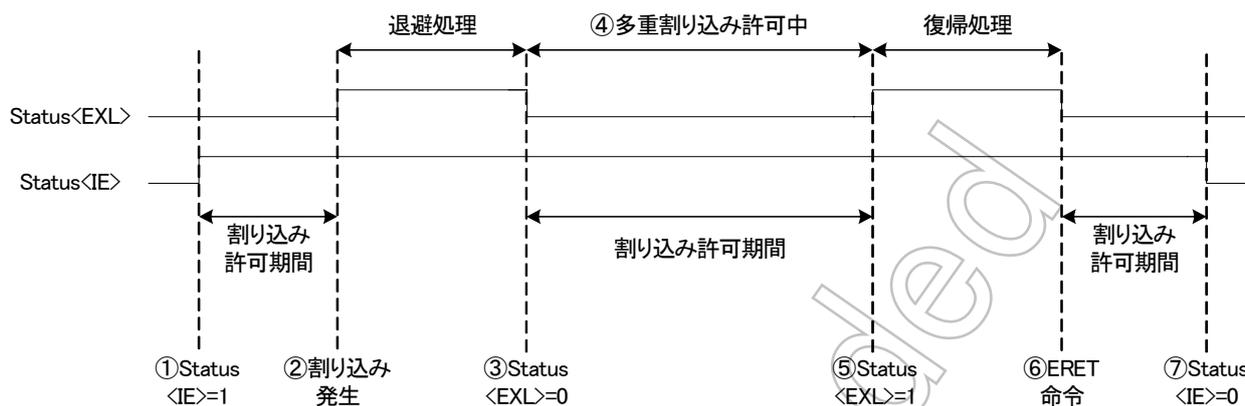


図 6.6 多重割り込み制御の割り込み許可/禁止

① Status<IE>=1

CP0 レジスタの Status<EXL>が” 0” の状態で、CP0 レジスタの Status<IE>を” 1” にセットすることで、割り込みを許可にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

②割り込み発生

割り込みが発生すると自動的に CP0 レジスタの Status<EXL>が” 1” にセットされ、割り込み禁止状態になります。この処理はハードウェアで自動的に設定されます。

③ Status<EXL>=0

多重割り込みを許可にする場合、必要なレジスタを退避後に CP0 レジスタの Status<EXL>を” 0” にセットし、割り込みを許可にする必要があります。レジスタ退避前に割り込みを許可にしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

④多重割り込み許可中

多重割り込みが許可されている期間です。現在の割り込みレベル (ILEV<CMASK>) よりも大きいレベルの割り込みが受け付けられます。この期間で割り込みを禁止したい場合は CP0 レジスタの Status<IE>を” 0” にセットします。

⑤ Status<EXL>=1

多重割り込みを許可にした場合、必要なレジスタを復帰させる前に CP0 レジスタの Status<EXL>を” 1” にセットし、割り込みを禁止にする必要があります。割り込み禁止前にレジスタ退避をしてしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

⑥ ERET 命令

割り込み発生前に戻るための命令です。CP0 レジスタの Status<EXL>が” 1” にセットされている状態で実行すると、自動的に CP0 レジスタの Status<EXL>が” 0” にセットされ、割り込み許可状態になります (ただし、CP0 レジスタの Status<IE>を” 1” の場合)。

⑦ Status<IE>=0

CP0 レジスタの Status<IE>を” 0” にセットすることで、割り込みを禁止にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

6.9.4 レジスタ

6.9.4.1 レジスタマップ

表 6.9.2 INTC レジスタマップ

アドレス	レジスタ記号	レジスタ	対応割り込み番号
0xFFFF_E000	IMC0	割り込みモードコントロールレジスタ 00	0 ~ 3
0xFFFF_E004	IMC1	割り込みモードコントロールレジスタ 04	4 ~ 7
0xFFFF_E008	IMC2	割り込みモードコントロールレジスタ 08	8 ~ 11
0xFFFF_E00C	IMC3	割り込みモードコントロールレジスタ 12	12 ~ 15
0xFFFF_E010	IMC4	割り込みモードコントロールレジスタ 16	16 ~ 19
0xFFFF_E014	IMC5	割り込みモードコントロールレジスタ 20	20 ~ 23
0xFFFF_E018	IMC6	割り込みモードコントロールレジスタ 24	24 ~ 27
0xFFFF_E01C	IMC7	割り込みモードコントロールレジスタ 28	28 ~ 31
0xFFFF_E020	IMC8	割り込みモードコントロールレジスタ 32	32 ~ 35
0xFFFF_E024	IMC9	割り込みモードコントロールレジスタ 36	36 ~ 39
0xFFFF_E028	IMCA	割り込みモードコントロールレジスタ 40	40 ~ 43
0xFFFF_E02C	IMCB	割り込みモードコントロールレジスタ 44	44 ~ 47
0xFFFF_E030	IMCC	割り込みモードコントロールレジスタ 48	48 ~ 51
0xFFFF_E034	IMCD	割り込みモードコントロールレジスタ 52	52 ~ 55
0xFFFF_E038	IMCE	割り込みモードコントロールレジスタ 56	56 ~ 59
0xFFFF_E03C	IMCF	割り込みモードコントロールレジスタ 60	60 ~ 63
0xFFFF_E040	IVR	割り込みベクタレジスタ	
0xFFFF_E060	INTCLR	割り込み要求クリアレジスタ	
0xFFFF_E10C	ILEV	割り込みマスクレベルレジスタ	

(注1) 割り込みモードコントロールレジスタ (IMCxx) は 32 ビットのレジスタですが、16 ビット及び 8 ビットでもアクセスが可能です。

6.9.4.2 割り込みベクタレジスタ (IVR)

IVR は発生した割り込み要因の割り込みベクタアドレスを示すレジスタです。割り込み要求が受け付けられると IVR[7:0]に表 6.8.1 に対応する値がセットされます。IVR[31:8]は RD/WR 可能なビットで割り込みベクタのベースアドレスをセットすることによって、IVR を読み出すだけで割り込みベクタアドレスを生成することが可能です。

表 6.9.3 割り込みベクタレジスタ

	7	6	5	4	3	2	1	0	
IVR (0xFFFF_E040)	bit Symbol	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	
	機能	発生している割り込み要因のベクタがセットされます					常に"0"が読めます		
		15	14	13	12	11	10	9	8
	bit Symbol	IVR15	IVR14	IVR13	IVR12	IVR11	IVR10	IVR9	IVR8
	Read/Write	R/W							R
	リセット後	0	0	0	0	0	0	0	0
	機能								常に"0"が読めます
		23	22	21	20	19	18	17	16
	bit Symbol	IVR23	IVR22	IVR21	IVR20	IVR19	IVR18	IVR17	IVR16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		31	30	29	28	27	26	25	24
	bit Symbol	IVR31	IVR30	IVR29	IVR28	IVR27	IVR26	IVR25	IVR24
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能								

6.9.4.3 割り込みレベルレジスタ (ILEV)

ILEVはINTCからTX19Aプロセッサコアへ割り込み要求を通知するレベルを制御するレジスタです。

ILEV<CMASK>以下の割り込みレベルは割り込みが保留されます。割り込み優先順位は”7”が一番高く、”1”が一番低いです。ただし、割り込みレベル0に設定されている割り込みは保留されません。

割り込みが発生するとその割り込みレベルが<CMASK>に格納され、それ以前に格納されていた値は「CMASK→PMASK0, PMASK0→PMASK1…」のようにひとつずつマスクレベルが退避されます。<CMASK>の値を書き換える場合は、<MLEV>に”1”をセットすると同時に<CMASK>の値を書き換えます。<PMASKx>の値は書き換えることができません。

<MLEV>に”0”をセットすると割り込みマスクレベルが「PMASK0→CMASK, PMASK1→PMASK0…」のようにひとつ前の状態に戻り、<PMASK6>には”000”が格納されます。割り込みからの復帰処理で使用する場合は ERET 命令を実行前に<MLEV>を”0”にセットして下さい。<MLEV>は常に”0”が読み出せます。

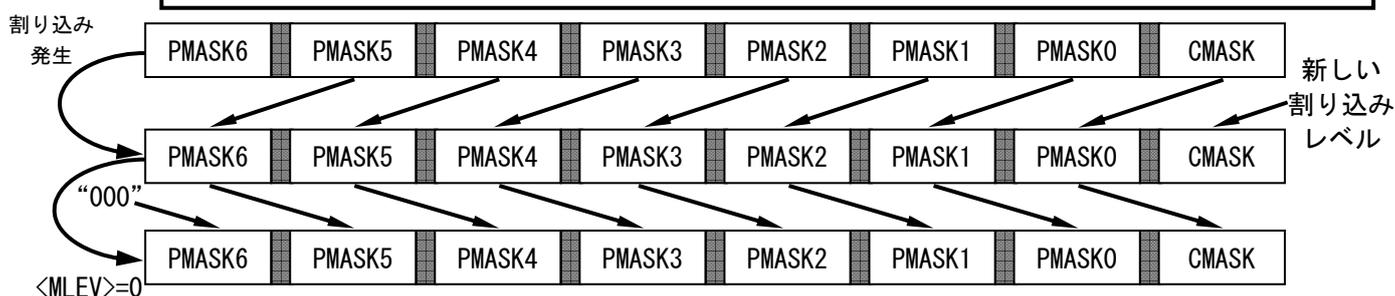
表 6.9.4 割り込みレベルレジスタ

ILEV (0xFFFF_E10C)	7	6	5	4	3	2	1	0	
	bit Symbol	—	PMASK0			—	CMASK		
	Read/Write	R						R/W	
	リセット後	0	000			0	000		
機能	割り込みマスクレベル(前)0						割り込みマスクレベル(現)		
	15	14	13	12	11	10	9	8	
bit Symbol	—	PMASK2			—	PMASK1			
Read/Write	R						R		
リセット後	0	000			0	000			
機能	割り込みマスクレベル(前)2						割り込みマスクレベル(前)1		
	23	22	21	20	19	18	17	16	
bit Symbol	—	PMASK4			—	PMASK3			
Read/Write	R						R		
リセット後	0	000			0	000			
機能	割り込みマスクレベル(前)4						割り込みマスクレベル(前)3		
	31	30	29	28	27	26	25	24	
bit Symbol	MLEV	PMASK6			—	PMASK5			
Read/Write	W	R						R	
リセット後	0	000			0	000			
機能	0: マスクレベル復帰 1: CMASKの変更	割り込みマスクレベル(前)6				割り込みマスクレベル(前)5			

(注1) このレジスタは32ビットでアクセスしてください。

(注2) ILEVの値を変更する前に必ずIVRの値を読み出してください。IVRの値を読み出す前にILEVの値を変更すると意図しない割り込みが発生する可能性があります。

(注3) 本レジスタはビット操作命令でアクセスできません。



6.9.4.4 割り込みモードコントロールレジスタ (IMCxx)

IMCxxは割り込み要因ごとの割り込みレベルを決定する<ILxx>とDMA転送の起動要因に設定する<DMxx>、および割り込み要求のアクティブ状態を決定する<EIMxx>で構成されています。

IMCO
(0xFFFF_E000)

	7	6	5	4	3	2	1	0
bit Symbol		EIM01	EIM00	DM0		IL02	IL01	IL00
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: 禁止 10: 禁止 11: 禁止 かならず"00"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号0を起動要因にする	リードすると"0"が読めます	DM0 = 0のとき 割り込み番号0 (ソフトウェアセット) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM0 = 1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM11	EIM10	DM1		IL12	IL11	IL10
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号1を起動要因にする	リードすると"0"が読めます	DM1 = 0のとき 割り込み番号1 (INT0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1 = 1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM21	EIM20	DM2		IL22	IL21	IL20
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号2を起動要因にする	リードすると"0"が読めます	DM2 = 0のとき 割り込み番号2 (INT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2 = 1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM31	EIM30	DM3		IL32	IL31	IL30
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG使用時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号3を起動要因にする	リードすると"0"が読めます	DM3 = 0のとき 割り込み番号3 (INT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3 = 1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		

IMC1
(0xFFFF_E004)

	7	6	5	4	3	2	1	0
bit Symbol		EIM41	EIM40	DM4		IL42	IL41	IL40
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 4 を起動要因にする	リードすると"0"が読めます	DM4 = 0 のとき 割り込み番号 4 (INT3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM51	EIM50	DM5		IL52	IL51	IL50
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 5 を起動要因にする	リードすると"0"が読めます	DM5 = 0 のとき 割り込み番号 5 (INT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM61	EIM60	DM6		IL62	IL61	IL60
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 6 を起動要因にする	リードすると"0"が読めます	DM6 = 0 のとき 割り込み番号 6 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM6 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM71	EIM70	DM7		IL72	IL71	IL70
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 7 を起動要因にする	リードすると"0"が読めます	DM7 = 0 のとき 割り込み番号 7 (INT6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM7 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC2
(0xFFFF_E008)

	7	6	5	4	3	2	1	0
bit Symbol		EIM81	EIM80	DM8		IL82	IL81	IL80
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 8 を起動要因にする	リードすると"0"が読めます	DM8 = 0 のとき 割り込み番号 8 (INT7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM8 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM91	EIM90	DM9		IL92	IL91	IL90
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 9 を起動要因にする	リードすると"0"が読めます	DM9 = 0 のとき 割り込み番号 9 (INT8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM9 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIMA1	EIMA0	DMA		ILA2	ILA1	ILA0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 10 を起動要因にする	リードすると"0"が読めます	DMA = 0 のとき 割り込み番号 10 (INT9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMA = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMB1	EIMB0	DMB		ILB2	ILB1	ILB0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 11 を起動要因にする	リードすると"0"が読めます	DMB = 0 のとき 割り込み番号 11 (INTA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMB = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC3
(0xFFFF_E00C)

	7	6	5	4	3	2	1	0
bit Symbol		EIMC1	EIMC0	DMC		ILC2	ILC1	ILC0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は "01" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 12 を起動要因にする	リードすると"0"が読めます	DMC = 0 のとき 割り込み番号 12 (INTB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIMD1	EIMD0	DMD		ILD2	ILD1	ILD0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 13 を起動要因にする	リードすると"0"が読めます	DMD = 0 のとき 割り込み番号 13 (KWUP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMD = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIME1	EIME0	DME		ILE2	ILE1	ILE0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 14 を起動要因にする	リードすると"0"が読めます	DME = 0 のとき 割り込み番号 14 (INTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DME = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMF1	EIMF0	DMF		ILF2	ILF1	ILF0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 15 を起動要因にする	リードすると"0"が読めます	DMF = 0 のとき 割り込み番号 15 (INTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMF = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC4
(0xFFFF_E010)

	7	6	5	4	3	2	1	0
bit Symbol		EIM101	EIM100	DM10		IL102	IL101	IL100
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号16を起動要因にする	リードすると"0"が読めます	DM10 = 0のとき 割り込み番号16 (INTRX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								
	15	14	13	12	11	10	9	8
bit Symbol		EIM111	EIM110	DM11		IL112	IL111	IL110
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号17を起動要因にする	リードすると"0"が読めます	DM11 = 0のとき 割り込み番号17 (INTTX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM11 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM121	EIM120	DM12		IL122	IL121	IL120
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号18を起動要因にする	リードすると"0"が読めます	DM12 = 0のとき 割り込み番号18 (INTRX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM12 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM131	EIM130	DM13		IL132	IL131	IL130
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号19を起動要因にする	リードすると"0"が読めます	DM13 = 0のとき 割り込み番号19 (INTTX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM13 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC5
(0xFFFF_E014)

	7	6	5	4	3	2	1	0
bit Symbol		EIM141	EIM140	DM14		IL142	IL141	IL140
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると”0”が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず”11”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号20を起動要因にする	リードすると”0”が読めます	DM14 = 0 のとき 割り込み番号20 (INTSB10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM14 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM151	EIM150	DM15		IL152	IL151	IL150
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると”0”が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず”11”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号21を起動要因にする	リードすると”0”が読めます	DM15 = 0 のとき 割り込み番号21 (INTADHPA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM15 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM161	EIM160	DM16		IL162	IL161	IL160
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると”0”が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず”11”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号22を起動要因にする	リードすると”0”が読めます	DM16 = 0 のとき 割り込み番号22 (INTADHPB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM16 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM171	EIM170	DM17		IL172	IL171	IL170
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると”0”が読めます	割り込み要求のアクティブ状態を設定01: “H”レベル		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号23を起動要因にする	リードすると”0”が読めます	DM17 = 0 のとき 割り込み番号23 (INTADM) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM17 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC6
(0xFFFF_E018)

	7	6	5	4	3	2	1	0
bit Symbol		EIM181	EIM180	DM18		IL182	IL181	IL180
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号24を 起動要因にする	リードすると"0"が読めます	DM18 = 0 のとき 割り込み番号 24 (INTTB0) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM18 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM191	EIM190	DM19		IL192	IL191	IL190
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号25を 起動要因にする	リードすると"0"が読めます	DM19 = 0 のとき 割り込み番号 25 (INTTB8) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM19 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1A1	EIM1A0	DM1A		IL1A2	IL1A1	IL1A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号26を 起動要因にする	リードすると"0"が読めます	DM1A = 0 のとき 割り込み番号 26 (INTTB12) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1A = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1B1	EIM1B0	DM1B		IL1B2	IL1B1	IL1B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号27を 起動要因にする	リードすると"0"が読めます	DM1B = 0 のとき 割り込み番号 27 (INTTB14) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1B = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC7
(0xFFFF_E01C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM1C1	EIM1C0	DM1C		IL1C2	IL1C1	IL1C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 28 を起動要因にする。	リードすると"0"が読めます	DM1C = 0 のとき 割り込み番号 28 (INTTBT01-07) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1C = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM1D1	EIM1D0	DM1D		IL1D2	IL1D1	IL1D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 29 を起動要因にする。	リードすると"0"が読めます	DM1D = 0 のとき 割り込み番号 29 (INTTBT09-0F) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1E1	EIM1E0	DM1E		IL1E2	IL1E1	IL1E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 30 を起動要因にする。	リードすると"0"が読めます	DM1E = 0 のとき 割り込み番号 30 (INTTBT10-17) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1F1	EIM1F0	DM1F		IL1F2	IL1F1	IL1F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 31 を起動要因にする。	リードすると"0"が読めます	DM1F = 0 のとき 割り込み番号 31 (INTTBT18-1F) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC8
(0xFFFF_E020)

	7	6	5	4	3	2	1	0
bit Symbol		EIM201	EIM200	DM20		IL202	IL201	IL200
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 32 を起動要因にする	リードすると"0"が読めます	DM20 = 0 のとき 割り込み番号 32 (INTTB20-23) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM20 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM211	EIM210	DM21		IL212	IL211	IL210
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 33 を起動要因にする	リードすると"0"が読めます	DM21 = 0 のとき 割り込み番号 33 (INTCAPG) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM21 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM221	EIM220	DM26		IL222	IL221	IL220
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 34 を起動要因にする	リードすると"0"が読めます	DM22 = 0 のとき 割り込み番号 34 (INTCMPGR) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM22 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM231	EIM230	DM23		IL232	IL231	IL230
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 35 を起動要因にする。	リードすると"0"が読めます	DM23 = 0 のとき 割り込み番号 35 (INTTBT) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM23 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC9
(0xFFFF_E024)

	7	6	5	4	3	2	1	0
bit Symbol		EIM241	EIM240	DM24		IL242	IL241	IL240
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めま	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 36 を起動要因にする	リードすると"0"が読めま	DM24 = 0 のとき 割り込み番号 36 (INTCAPA0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM24 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM251	EIM250	DM25		IL252	IL251	IL250
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めま	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 37 を起動要因にする	リードすると"0"が読めま	DM25 = 0 のとき 割り込み番号 37 (INTRX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM25 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM261	EIM260	DM26		IL262	IL261	IL260
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めま	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 38 を起動要因にする	リードすると"0"が読めま	DM26 = 0 のとき 割り込み番号 38 (INTTX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM26 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM271	EIM270	DM27		IL272	IL271	IL270
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めま	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 39 を起動要因にする。	リードすると"0"が読めま	DM27 = 0 のとき 割り込み番号 39 (INTRX4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM27 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCA
(0xFFFF_E028)

	7	6	5	4	3	2	1	0
bit Symbol		EIM281	EIM280	DM28		IL282	IL281	IL280
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号40を起動要因にする	リードすると"0"が読めます	DM28 = 0 のとき 割り込み番号 40 (INTTX4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM28 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM291	EIM290	DM29		IL292	IL291	IL290
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号41を起動要因にする	リードすると"0"が読めます	DM29 = 0 のとき 割り込み番号 41 (INTRX5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM29 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2A1	EIM2A0	DM2A		IL2A2	IL2A1	IL2A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号42を起動要因にする	リードすると"0"が読めます	DM2A = 0 のとき 割り込み番号 42 (INTTX5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2A = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2B1	EIM2B0	DM2B		IL2B2	IL2B1	IL2B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号43を起動要因にする	リードすると"0"が読めます	DM2B = 0 のとき 割り込み番号 43 (INTTX6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2B = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCB
(0xFFFF_E02C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM2C1	EIM2C0	DM2C		IL2C2	IL2C1	IL2C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号44を起動要因にする	リードすると"0"が読めます	DM2C = 0 のとき 割り込み番号44 (INTTX6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2C = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM2D1	EIM2D0	DM2D		IL2D2	IL2D1	IL2D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号45を起動要因にする	リードすると"0"が読めます	DM2D = 0 のとき 割り込み番号45 (INTRX7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2E1	EIM2E0	DM2E		IL2E2	IL2E1	IL2E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号46を起動要因にする	リードすると"0"が読めます	DM2E = 0 のとき 割り込み番号46 (INTTX7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2F1	EIM2F0	DM2F		IL2F2	IL2F1	IL2F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号47を起動要因にする	リードすると"0"が読めます	DM2F = 0 のとき 割り込み番号47 (INTRX8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCC
(0xFFFF_E030)

	7	6	5	4	3	2	1	0
bit Symbol		EIM301	EIM300	DM30		IL302	IL301	IL300
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 48 を起動要因にする	リードすると"0"が読めます	DM30 = 0 のとき 割り込み番号 48 (INTTX8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM30 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM311	EIM310	DM31		IL312	IL311	IL310
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 49 を起動要因にする	リードすると"0"が読めます	DM31 = 0 のとき 割り込み番号 49 (HINTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM31 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 50 を起動要因にする	リードすると"0"が読めます	DM32 = 0 のとき 割り込み番号 50 (HINTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM32 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM331	EIM330	DM33		IL332	IL331	IL330
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 51 を起動要因にする	リードすると"0"が読めます	DM33 = 0 のとき 割り込み番号 51 (INTSB11) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM33 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 1: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。
注 2: DMAC による DMAC レジスタへのアクセスは禁止です。

IMCD
(0xFFFF_E034)

	7	6	5	4	3	2	1	0
bit Symbol		EIM341	EIM340	DM34		IL342	IL341	IL340
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0		
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 52 を起動要因にする	リードすると"0"が読めます	DM34 = 0 のとき 割り込み番号 52 (HINTRX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM34 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM351	EIM350	DM35		IL352	IL351	IL350
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 53 を起動要因にする	リードすると"0"が読めます	DM35 = 0 のとき 割り込み番号 53 (HINTTX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM35 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM361	EIM360	DM36		IL362	IL361	IL360
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 54 を起動要因にする	リードすると"0"が読めます	DM36 = 0 のとき 割り込み番号 54 (INTDMA0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM36 = 1 のとき DMAC のチャンネル選択 000: 設定禁止 001~111: 1~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM371	EIM370	DM37		IL372	IL371	IL370
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 55 を起動要因にする	リードすると"0"が読めます	DM37 = 0 のとき 割り込み番号 55 (INTDMA1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM37 = 1 のとき DMAC のチャンネル選択 000, 010~111: 0, 2~7 001: 設定禁止		

注 1 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。
注 2 : DMAC による DMAC レジスタへのアクセスは禁止です。

IMCE
(0xFFFF_E038)

	7	6	5	4	3	2	1	0
bit Symbol		EIM381	EIM380	DM38		IL382	IL381	IL380
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0		
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がリエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 56 を起動要因にする	リードすると"0"が読めます	DM38 = 0 のとき 割り込み番号 56 (INTDMA2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM38 = 1 のとき DMAC のチャンネル選択 000~001, 011~111: 0~1, 3~7 010: 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM391	EIM390	DM39		IL392	IL391	IL390
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がリエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 57 を起動要因にする	リードすると"0"が読めます	DM39 = 0 のとき 割り込み番号 57 (INTDMA3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM39 = 1 のとき DMAC のチャンネル選択 000~010, 100~111: 0~2, 4~7 011: 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3A1	EIM3A0	DM3A		IL3A2	IL3A1	IL3A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がリエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 58 を起動要因にする	リードすると"0"が読めます	DM3A = 0 のとき 割り込み番号 58 (INTDMA4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3A = 1 のとき DMAC のチャンネル選択 000~011, 101~111: 0~3, 5~7 100: 設定禁止		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3B1	EIM3B0	DM3B		IL3B2	IL3B1	IL3B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がリエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 59 を起動要因にする	リードすると"0"が読めます	DM3B = 0 のとき 割り込み番号 59 (INTDMA5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3B = 1 のとき DMAC のチャンネル選択 000~100, 110, 111: 0~4, 6, 7 101: 設定禁止		

注 1: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。
注 2: DMAC による DMAC レジスタへのアクセスは禁止です。

IMCF
(0xFFFF_E03C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM3C1	EIM3C0	DM3C		IL3C2	IL3C1	IL3C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0		
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 60 を起動要因にする	リードすると"0"が読めます	DM3C = 0 のとき 割り込み番号 60 (INTDMA6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3A = 1 のとき DMAC のチャンネル選択 000~101, 111: 0~5, 7 110: 設定禁止		
	15	14	13	12	11	10	9	8
bit Symbol		EIM3D1	EIM3D0	DM3D		IL3D2	IL3D1	IL3D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ かならず"10"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 61 を起動要因にする	リードすると"0"が読めます	DM3D = 0 のとき 割り込み番号 61 (INTDMA7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3D = 1 のとき DMAC のチャンネル選択 000~110: 0~6 111: 設定禁止		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3E1	EIM3E0	DM3E		IL3E2	IL3E1	IL3E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 62 を起動要因にする	リードすると"0"が読めます	DM3E = 0 のとき 割り込み番号 62 (INTADA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3F1	EIM3F0	DM3F		IL3F2	IL3F1	IL3F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 63 を起動要因にする	リードすると"0"が読めます	DM3F = 0 のとき 割り込み番号 63 (INTADB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 1: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。
注 2: DMAC による DMAC レジスタへのアクセスは禁止です。

- (注1) 割り込み要求を許可する前に、かならずアクティブ状態を設定してください。
- (注2) 割り込み要求を DMAC の起動要因にする場合はかならず INTC を設定後に DMAC を待機状態にしてください。
- (注3) アクティブ条件を変更する場合(特にレベル検出に変更する場合)は、該当するデバイスの割り込み出力をデアサート状態にしてから変更して下さい。
- (1) IL="0 以外"の場合は、IL="0"を設定
 - (2) 検出条件(EIM)の変更
 - (3) INTCLR で、該当割り込みをクリア
 - (4) IL を"0 以外"に設定

6.9.4.5 割り込み要求クリアレジスタ (INTCLR)

要求をクリアしたい割り込み要因の IVR[7:0]を INTCLR にセットすることで、保留されている割り込み要求をクリアすることができます。割り込み要求をクリアすると IVR の値もクリアされるため、割り込み要因の判別ができなくなります。IVR の値を読む前に割り込み要求のクリアは行わないで下さい。

要求をクリアしたい IVR<IVR7:0>の値をセット

INTCLR (0xFFFF_E060)		7	6	5	4	3	2	1	0
	bit Symbol	EICLR7	EICLR6	EICLR5	EICLR4	EICLR3	EICLR2	EICLR1	EICLR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	要求をクリアしたい割り込みに相当する IVR<7 : 0>の値をセット							
		15	14	13	12	11	10	9	8
	bit Symbol	/							
	Read/Write	R							
	リセット後	0							
	機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16	
bit Symbol	/								
Read/Write	R								
リセット後	0								
機能	リードすると"0"が読めます								
	31	30	29	28	27	26	25	24	
bit Symbol	/								
Read/Write	R								
リセット後	0								
機能	リードすると"0"が読めます								

- (注1) INTC の IMCx<EIMxx>のアクティブ状態の設定が "H" , "L" レベル、立ち上がり/立ち下がりエッジのどの場合でも割り込み要因を保持するため、割り込み要求をクリアしてください。
- (注2) 本レジスタはビット操作命令でアクセスできません。
- (注3) DMAC の割り込み要因による転送要求はクリアされません。一度受け付けた外部転送要求は DMA 転送を実行するまで解除されません。そのため不要な外部転送要求は DMA 転送を実行しクリアするか、不要な外部転送要求を受け付ける前に IMCx<ILxxx>で割り込み禁止もしくは IMCx<DMxx>で DMAC の起動要因を解除する必要があります。
- (注4) IMCx レジスタを設定したあとは、必ず INTCLR にて、該当する割り込み番号のクリアを実施してください。
- (注5) 割り込みグルーピングレジスタに割当てられている割り込みの要因クリアは、割り込みフラグをリードすることによってクリアされます。INTCLR 命令ではクリアされません

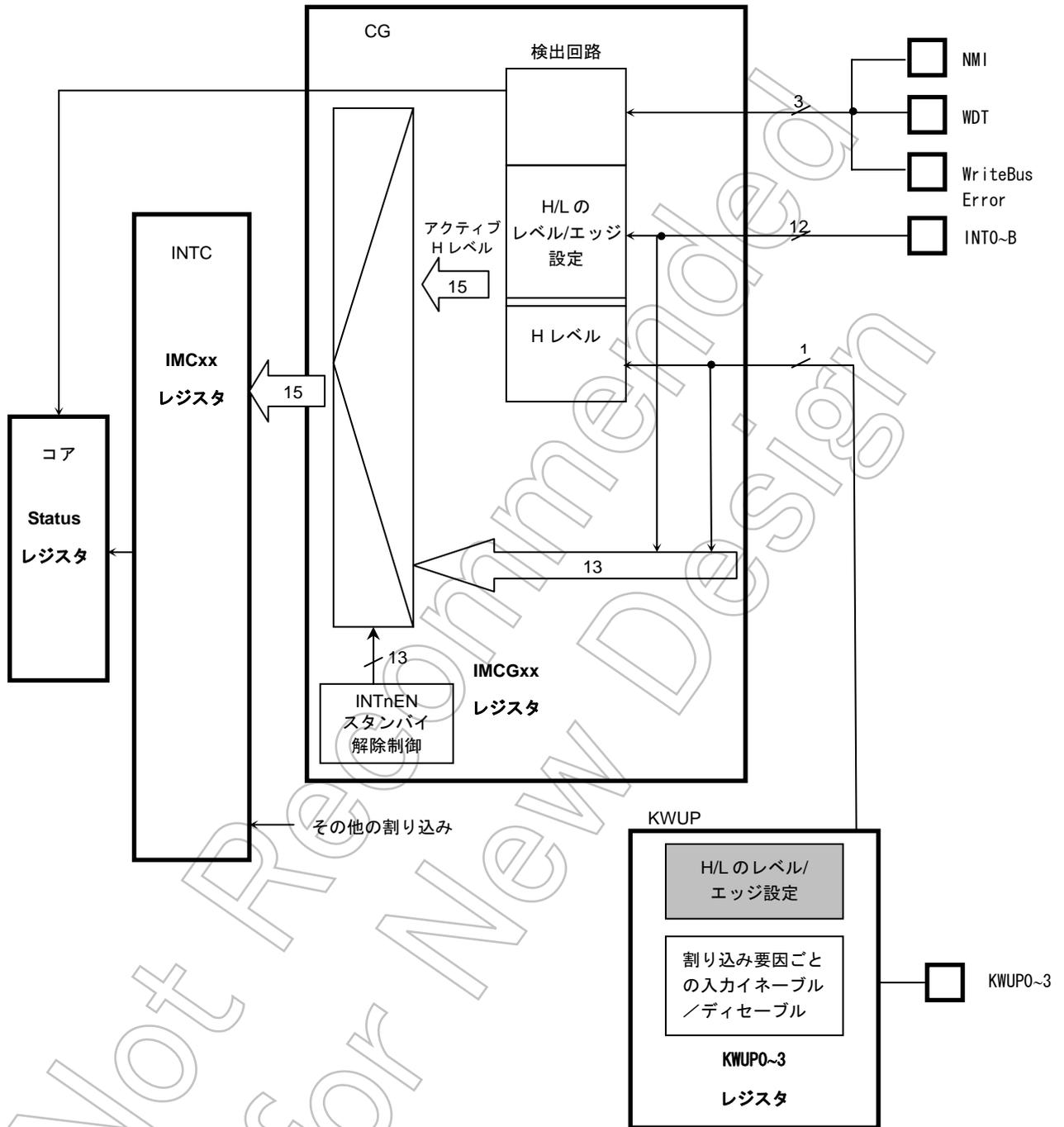


図 6.7 割り込み関係接続図

6.10 INTCG レジスタ (STOP/ IDLE 解除割り込み)

INT0~INTB、KWUP (KWUP0~3) : STOP /IDLE モード解除割り込み

IMCGA (0xFFFF_EE10)			7	6	5	4	3	2	1	0	
	bit Symbol				EMCG01	EMCG00					INT0EN
	Read/Write		R		R/W		R				R/W
	リセット後		0	0	1	0	0	0	0	0	0
	機能		リードすると"0"が読めます	リードすると"0"が読めます	INT0スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT0解除入力 0: ディセーブル 1: イネーブル
		15	14	13	12	11	10	9	8		
bit Symbol				EMCG11	EMCG10					INT1EN	
Read/Write		R		R/W		R				R/W	
リセット後		0	0	1	0	0	0	0	0	0	
機能		リードすると"0"が読めます	リードすると"0"が読めます	INT1スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT1解除入力 0: ディセーブル 1: イネーブル	
		23	22	21	20	19	18	17	16		
bit Symbol				EMCG21	EMCG20					INT2EN	
Read/Write		R		R/W		R				R/W	
リセット後		0	0	1	0	0	0	0	0	0	
機能		リードすると"0"が読めます	リードすると"0"が読めます	INT2スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT2解除入力 0: ディセーブル 1: イネーブル	
		31	30	29	28	27	26	25	24		
bit Symbol				EMCG31	EMCG30					INT3EN	
Read/Write		R		R/W		R				R/W	
リセット後		0	0	1	0	0	0	0	0	0	
機能		リードすると"0"が読めます	リードすると"0"が読めます	INT3スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT3解除入力 0: ディセーブル 1: イネーブル	

IMCGB
(0xFFFF_EE14)

	7	6	5	4	3	2	1	0
bit Symbol			EMCG41	EMCG40				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT4スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT4解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG51	EMCG50				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT5スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT5解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCG61	EMCG60				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT6スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT6解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol			EMCG71	EMCG70				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT7スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT7解除入力 0: ディセーブル 1: イネーブル

IMCGC
(0xFFFF_EE18)

	7	6	5	4	3	2	1	0
bit Symbol			EMCG81	EMCG80				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT8スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT8解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG91	EMCG90				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT9スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT9解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGA1	EMCGA0				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INTAスタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INTA解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol			EMCGB1	EMCGB0				
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INTBスタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INTB解除入力 0: ディセーブル 1: イネーブル

IMCGD
(0xFFFF_EE1C)

	7	6	5	4	3	2	1	0
bit Symbol			EMCGC1	EMCGC0				KWUPEN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます		KWUPスタンバイ解除要求のアクティブ状態を設定 01: "H"レベル かならず"01"に設定してください。		リードすると"0"が読めます			KWUP解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます		リードすると"1"が読めます	リードすると"0"が読めます				
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0			0
機能	リードすると"0"が読めます		リードすると"1"が読めます	リードすると"0"が読めます				
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0			0
機能	リードすると"0"が読めます		リードすると"1"が読めます	リードすると"0"が読めます				

注：IMCGDでは、スタンバイ解除要求の初期値が動作時の設定と違います。スタンバイ解除に使用される場合は必ず設定を行ってください。

STOP/IDLE 解除用に割り込みを許可する場合は、かならず解除要求のアクティブ状態を設定してください。

(注1) 割り込みを使用する場合はかならず以下の順に設定してください。

- ① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
- ② 初期化時にアクティブ状態等の設定
- ③ 割り込み要求のクリア
- ④ 割り込みのイネーブル

(注2) 各設定はかならず割り込みディセーブルの状態で行ってください。

(注3) TMP19A61はSTOP解除割り込みとしてINT0~INTB, KWUP(KWUP0~3)の13要因の設定が可能です。INT0~INTBはSTOP/IDLE解除割り込みとして使用するかどうか、およびアクティブ状態のエッジ/レベルはCGにて設定します。

(注4) STOP/IDLE解除要求割り込みに割り当てられる上記13要因のうち、INT0~INTBは通常割り込みとして使用する場合はCGでの設定は不用でINTCでレベル/エッジを指定してください。KWUP0~3は通常割り込みとして使用する場合はKWUPStnでアクティブレベルを設定してINTCではHIGHレベルに設定してください。CGでの設定は不用です。

STOP /IDLE 解除要求として割り当てられている以外の割り込み要因は、すべてINTCブロックにて設定します。

EICRCG
(0xFFFF_EE20)

	7	6	5	4	3	2	1	0		
bit Symbol							ICRCG3	ICRCG2	ICRCG1	ICRCG0
Read/Write	R				R/W					
リセット後	0				0					
機能	リードすると"0"が読めます				リードすると"0"が読めます。 割り込み要求をクリア 0000: INT0 0101: INT5 1010: INTA 0001: INT1 0110: INT6 1011: INTB 0010: INT2 0111: INT7 1100: KWUP 0011: INT3 1000: INT8 1101: 0100: INT4 1001: INT9 1110: 1111:					
	15	14	13	12	11	10	9	8		
bit Symbol										
Read/Write	R									
リセット後	0									
機能	リードすると"0"が読めます。									
	23	22	21	20	19	18	17	16		
bit Symbol										
Read/Write										
リセット後										
機能	リードすると"0"が読めます。									
	31	30	29	28	27	26	25	24		
bit Symbol										
Read/Write	R									
リセット後	0									
機能	リードすると"0"が読めます。									

(注) STOP/IDLE 解除要求に割り当てられている上記 13 要因の割り込み要求のクリアは、

- ① KWUP の場合は KWUPST で行い、
- ② INTO~INTB、の場合は上記 CG ブロックの EICRCG レジスタで行い、次に INTC ブロックの INTCLR レジスタの 2 ヶ所で行いません。

6.11 NMI フラグレジスタ

NMIFLG
(0xFFFF_EE24)

	7	6	5	4	3	2	1	0
bit Symbol						NMI	WDT	WBER
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます					NMI 要因 1: NMI 端子入力により NMI 発生	NMI 要因 1: WDT 割り込みにより NMI 発生	NMI 要因 1: ライトバスエラーにより NMI 発生
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

(注) WDT, WBER は読み出すと"0"にクリアされます。

6.12 割り込み使用上の注意事項

割り込みを使用する上で、注意しなければいけない内容を下記に示します。ユーザプログラムは下記内容を満たすようにプログラムを記述する必要があります。

6.12.1 TX19A プロセッサコア関連

- ・ 例外を禁止することはできません。ただし、命令によっては例外発生有/無の違いのみで2種類の命令を持っているものがありますので、用途に応じて使い分けてください。
- ・ ソフトウェア割り込みとハードウェア割り込み要因の「ソフトウェアセット」は異なる割り込み要因です。
- ・ CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまで2クロックかかるため、直後に NOP 命令を2つ置いてください。
- ・ ILEV<CMASK>を変更して、同じ割り込みレベルの割り込み要求が多重に受け付けられた場合、レジスタバンクは切り替わらないため、ユーザプログラムで退避する必要があります。
- ・ CPO レジスタの IER は32ビット ISA のみでアクセス可能です。
- ・ スタックポインタ (r29) は Shadow Register Set 番号0と Shadow Register Set 番号1~7 で区別されていますので、2回設定をする必要があります。共通のスタックポインタを使用したい場合は、メイン処理で SSCR<CSS>を”1”にセットし、Shadow Register Set 番号1を使用する方法があります。この場合、割り込みレベル1の割り込みが受け付けられてもレジスタバンクは切り替わりませんので、ユーザプログラムで退避する必要があります。
- ・ CPO レジスタの Status<ERL>=”1” の割り込み禁止状態で ERET 命令を実行すると、CPO レジスタの ErrorEPC を戻り番地としてメイン処理に復帰します。TX19A プロセッサコアは割り込みの戻り番地を EPC に退避するため、Status<ERL>で割り込み禁止をする場合は注意が必要です。
- ・ CPO レジスタの Status、ErrorEPC、EPC、SSCR をアクセス後、2クロック以内に ERET 命令を実行しないでください。
- ・ CPO レジスタの Status<ERL/EXL/IE>をセットすることで、割り込み禁止にする場合は、命令実行時点 (E ステージ) で割り込みが禁止になりますが、レジスタにセットされた値が反映されるのは2クロック後になります。
- ・ CPO レジスタの Status<ERL/EXL/IE>をセットすることで、割り込み許可にする場合は、命令実行時点 (E ステージ) から2クロック後に有効になり、レジスタにセットされた値が反映されるのも命令実行時点 (E ステージ) から2クロック後になります。

6.12.2 INTC 関連

- ・ 同じ割り込みレベルの複数の割り込み要求があった場合、割り込み番号が小さい要因から優先的に受け付けられます。
- ・ 割り込みレベル 0 の割り込み要因は保留されません。
- ・ 割り込み要因を個別に禁止（割り込みレベル 0）にする場合は、割り込み禁止状態で割り込み要因を禁止にしてください。
- ・ INTC の IMCx<EIMxx>の初期値と使用する場合の設定値が異なるものがあります。
- ・ INTC の ILEV は必ず 32 ビットでアクセスしてください。
- ・ INTC の INTCLR は必ず 32 ビットでアクセスしてください。
- ・ 割り込みの許可をする場合は、検出経路の順（外側→内側）で、禁止する場合は検出経路の逆（内側→外側）に設定をする必要があります。
- ・ INTC の ILEV<CMASK>の値を書き換える場合は、<MLEV>に” 1” を同時にセットしてください。
- ・ レベル入力検出時、IVR をリードするまで レベル入力を取り下げないでください。

Not Recommended for New Design

7. 入出力ポート

7.1 ポートレジスタ

Px : **ポートレジスタ**

ポートのデータ読み込み、データ書込みを行います

PxCR : **出力コントロールレジスタ**

入力設定にした場合でも、PxIE レジスタにより入力をイネーブルにする必要が有ります。

PxFCn : **ファンクションレジスタ**

機能設定を行ないます。”1”をセットすることにより割り当てられている機能を使用できるようになります。

PxOD : **オープンドレイン制御レジスタ**

プログラマブル オープンドレイン設定可能なレジスタに対して、入力を切り替えます

PxPUP : **プルアップ制御レジスタ**

プログラマブルプルアップを制御します

PxSEL : **シリアル設定レジスタ**

シリアル機能を使用する時に設定してください。

PxIE : **入力制御イネーブルレジスタ**

入力の制御を行ないます。貫通電流対策の為初期値は”0” 入力禁止になっております。P2 以降全てのポートで設定が必要です IE=”0” のとき、内部へは “1” が入力されます

7.2 ポート 0(P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の設定はコントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは “0” にクリアされ、ポート 0 は出力ディゼーブル状態になります。

汎用入出力ポート機能以外にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) 機能があります。外部メモリをアクセスするときは、P0FC1 を “1” に設定する必要があります。

BUSMD 端子を ”L” レベルにすることでセパレートバスモード (D0~D7) に、”H” レベルにすることでマルチプレクスモード (AD0~AD7) になります。

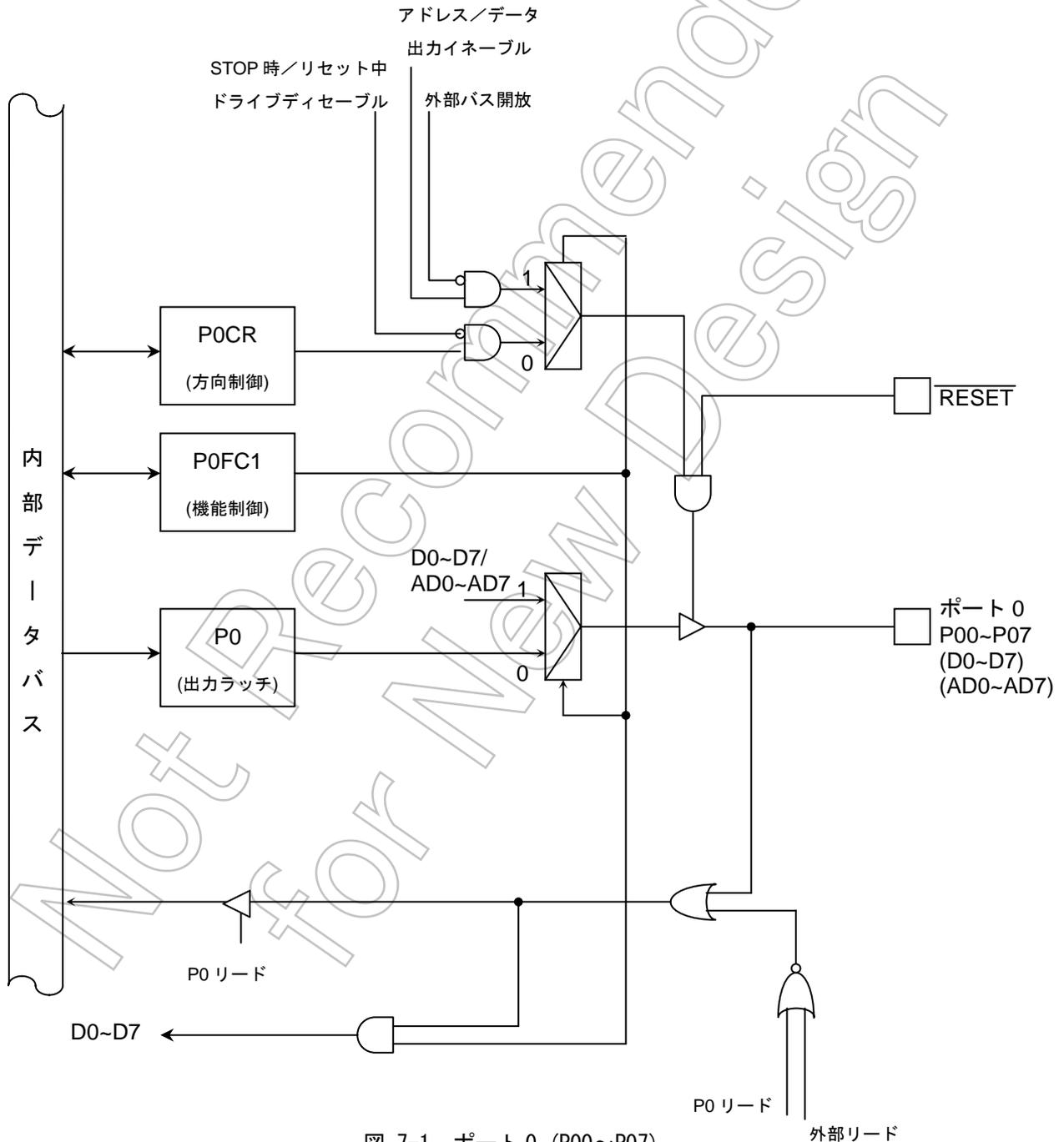


図 7-1 ポート 0 (P00~P07)

ポート 0 レジスタ

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00
(0xFFFF_F000)	Read/Write R/W							
リセット後	出力ラッチレジスタは“0”にクリア							

ポート 0 コントロールレジスタ

	7	6	5	4	3	2	1	0
POCR	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
(0xFFFF_F001)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート 0 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
P0FC1	P07FC1	P06FC1	P05FC1	P04FC1	P03FC1	P02FC1	P01FC1	P00FC1
(0xFFFF_F002)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: 外部バス設定							

7.3 ポート 1(P10~P17)

ポート 1 はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。出力の設定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC1, P1FC2 によって行います。リセット動作により、出力ラッチ P1 の全ビットと P1CR と P1FC1, P1FC2 の全ビットは “0” にクリアされ、ポート 1 は出力ディゼーブルになります。

汎用入出力ポート機能以外に、データバス (D8~15) またはアドレスデータバス (AD8~15) 機能とアドレスバス (A8~15) 機能があります。外部メモリをアクセスするときは、P1CR, P1FC1, P1FC2 によりアドレスバスまたはアドレスデータバスに設定する必要があります。

リセット時に BUSMD 端子を “L” レベルにすることでセパレートバスモード (D8~D15) に、“H” レベルにすることでマルチプレクスモード (AD8~AD15/A8~A15) になります。

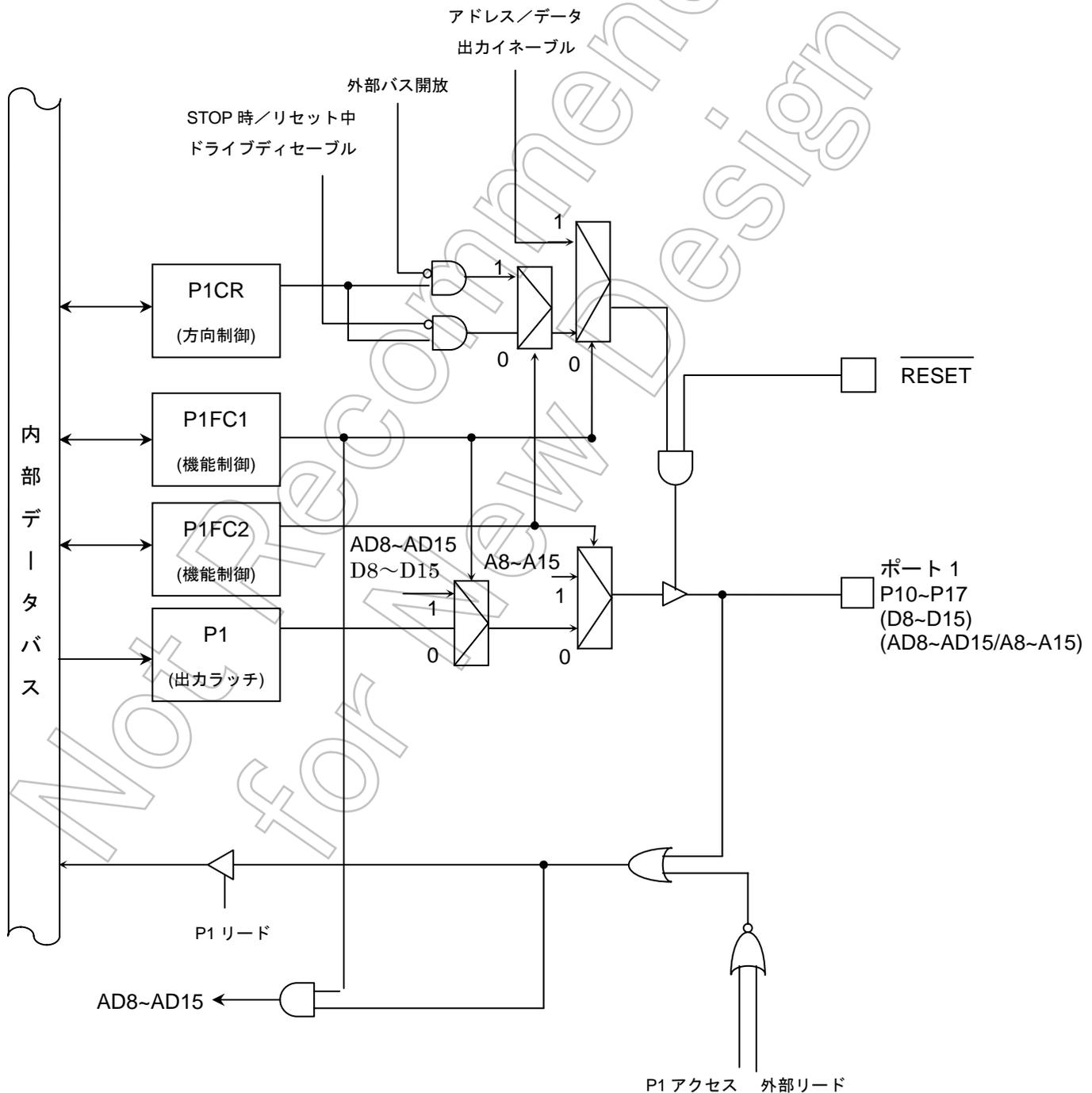


図 7-2 ポート 1 (P10~P17)

ポート 1 レジスタ

		7	6	5	4	3	2	1	0
P1 (0xFFFF_F001)	Bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは "0" にクリア)							

ポート 1 コントロールレジスタ

		7	6	5	4	3	2	1	0
P1CR (0xFFFF_F011)	Bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出カイネーブル							

ポート 1 ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
P1FC1 (0xFFFF_F012)	Bit Symbol	P17F1	P16F1	P15F1	P14F1	P13F1	P12F1	P11F1	P10F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定 (AD/D8~AD/D15)							

ポート 1 ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
P1FC2 (0xFFFF_F013)	Bit Symbol	P17F2	P16F2	P15F2	P14F2	P13F2	P12F2	P11F2	P10F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定 (A8 ~A15)							

注意) P1FC1と P1FC2を同時に "1" に設定することはできません。

7.4 ポート 2(P20~P27)

ポート 2 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC1, P2FC2 によって行います。リセット動作により出力ラッチ P2 の全ビットは “1” にセットされ、また、P2CR と P2FC1, P2FC2 の全ビットは “0” にクリアされ、ポート 2 は出力ディゼーブルになります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能とアドレスバス (A16~A23) 機能があります。外部メモリをアクセスする時は、P2CR, P2FC1, P2FC2 によりアドレスバスに設定する必要があります。

リセット時に BUSMD 端子を ” L ” レベルにすることでセパレートバスモード (A16~A23) に、 ” H ” レベルにすることでマルチプレクスモード (A0~A7/A16~A23) になります。

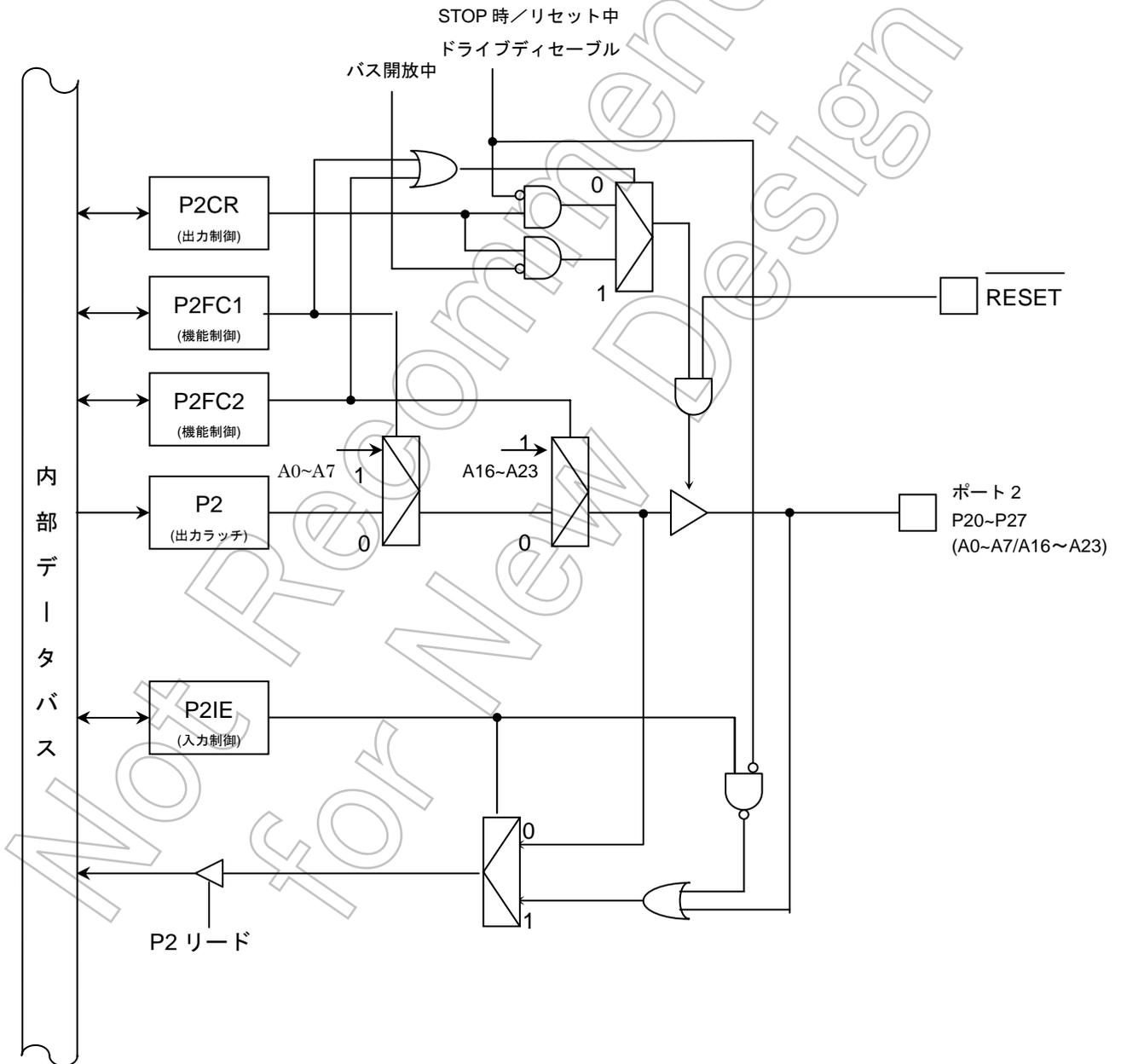


図 7-3 ポート 2 (P20~P27)

ポート 2 レジスタ

	7	6	5	4	3	2	1	0	
P2 (0xFFFF_F020)	Bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "1" に Set)							

ポート 2 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P2CR (0xFFFF_F021)	Bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出カインーブル							

ポート 2 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P2FC1 (0xFFFF_F022)	Bit Symbol	P27F1	P26F1	P25F1	P24F1	P23F1	P22F1	P21F1	P20F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定(A0~A7)							

ポート 2 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P2FC2 (0xFFFF_F023)	Bit Symbol	P27F2	P26F2	P25F2	P24F2	P23F2	P22F2	P21F2	P20F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定(A16~A23)							

ポート 2 入カインーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P2IE (0xFFFF_F02E)	Bit Symbol	P27IE	P26IE	P25IE	P24IE	P23IE	P22IE	P21IE	P20IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

7.5 ポート 3(P30~P37)

ポート 3 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

出力の指定はコントロールレジスタ P3CR とファンクションレジスタ P3FC1 によって行います。

リセット動作により出力ラッチ P3 の全ビットは “1” にセットされ、また、P3CR と P3FC1 の全ビットは “0” にクリアされ、ポート 3 は出力ディゼーブルになります。

汎用入出力ポート機能以外に CPU のコントロール/ステータス信号の入出力機能があります。P30 端子が \overline{RD} 信号出力モードとして定義されているとき (<P30F>= “1” のとき)、外部アドレスエリアをアクセスしたときのみ \overline{RD} ストローブは出力されます。P31 端子が \overline{WR} 信号出力モードとして定義されているとき (<P31F>= “1” のとき) も同様に、外部アドレスエリアをアクセスしたときのみ \overline{WR} ストローブは出力されます。WAIT/BUSREQ 入力機能を使用するときは、IE を入力にセットして下さい。

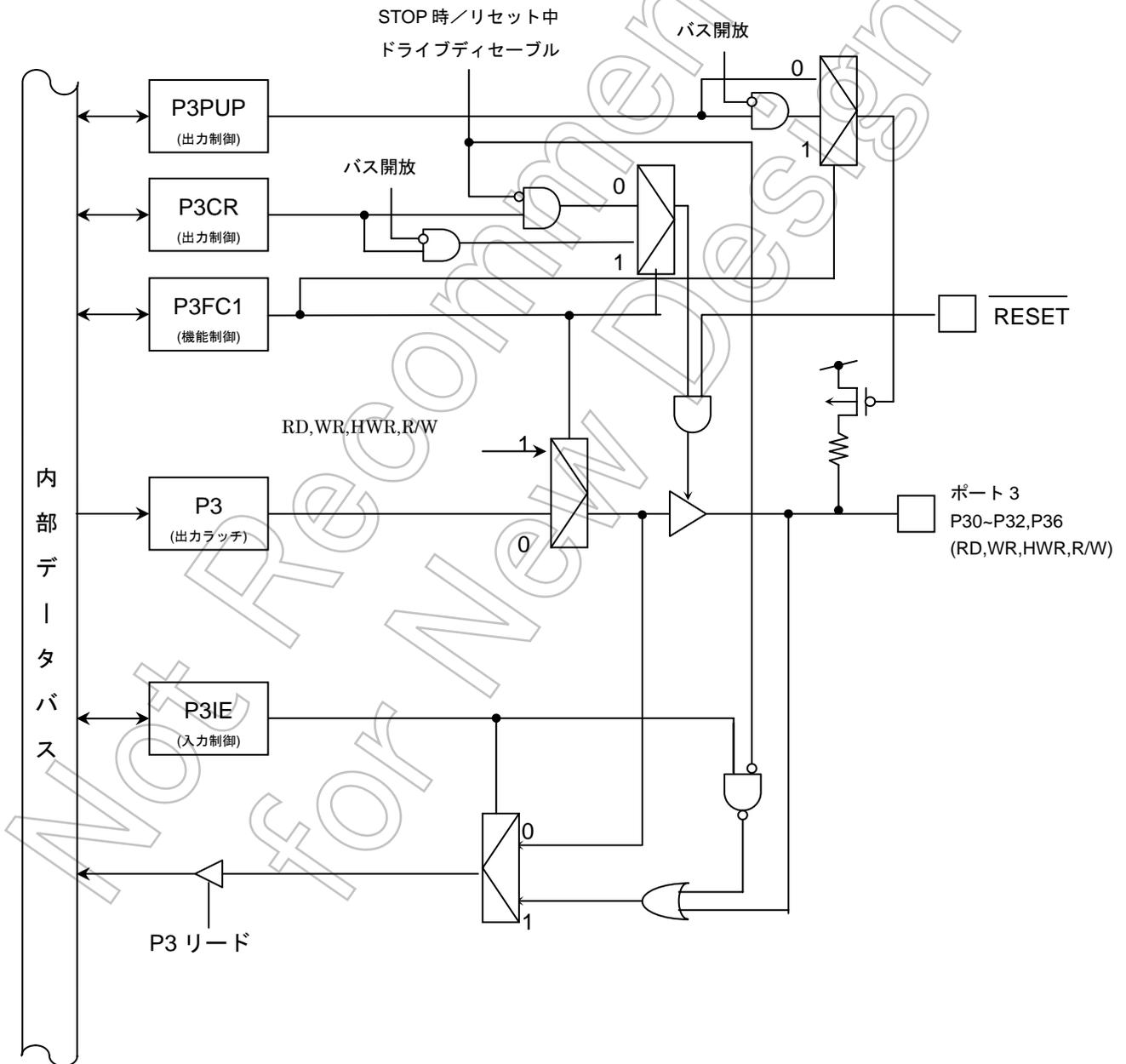


図 7-4 ポート 3 (P30~P32, P36)

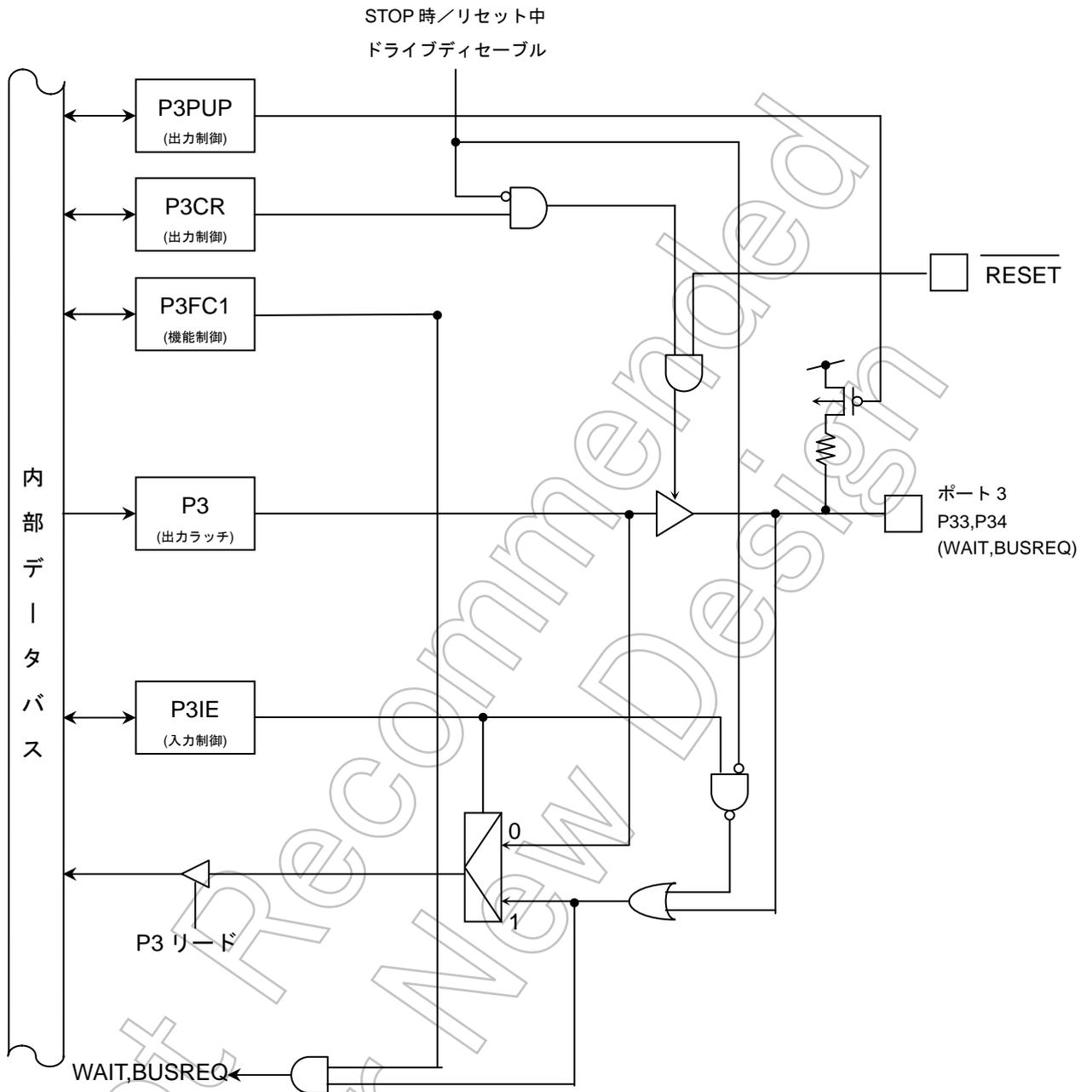


図 7-5 ポート 3 (P33, P34)

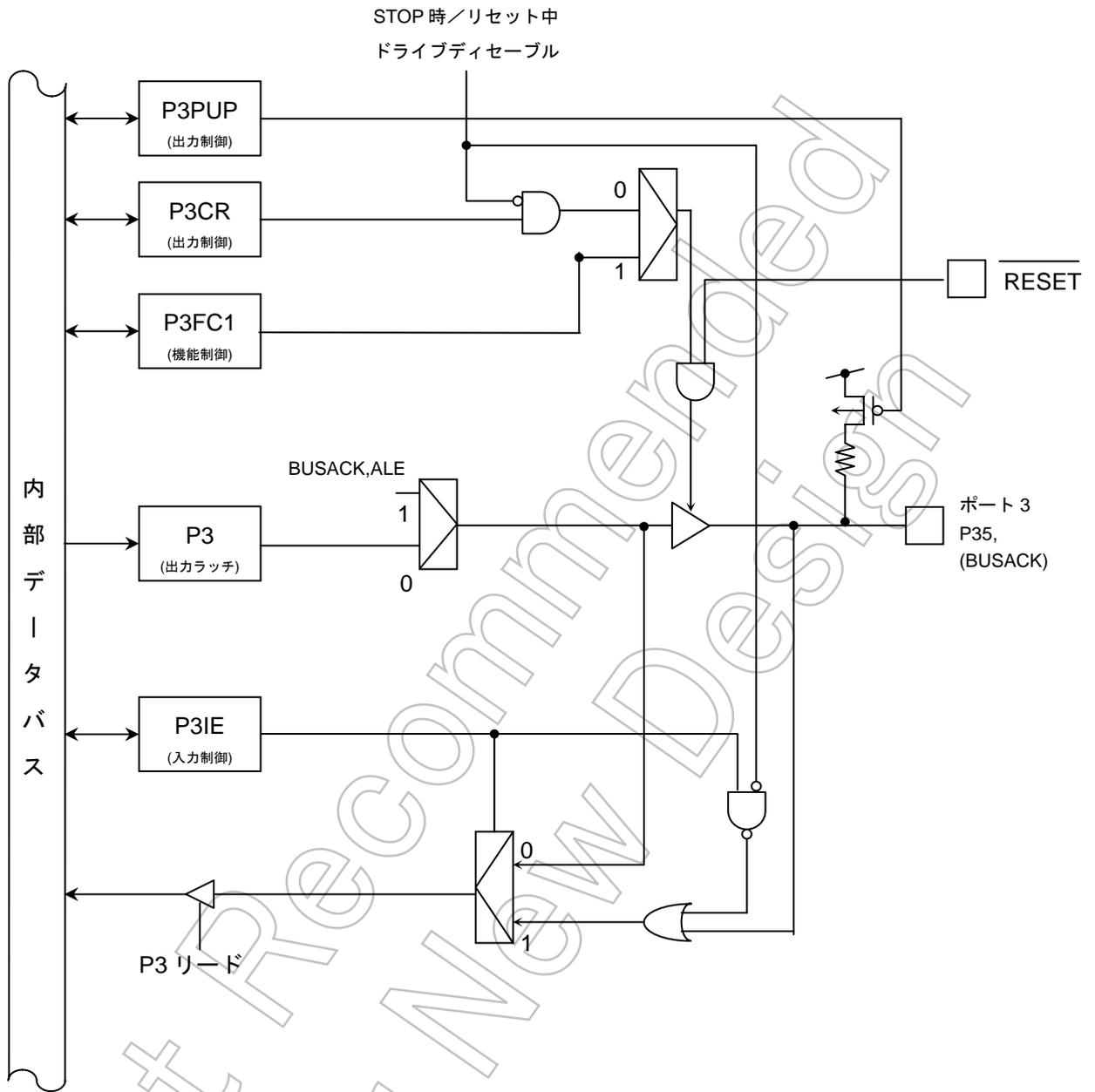


図 7-6 ポート 3 (P35)

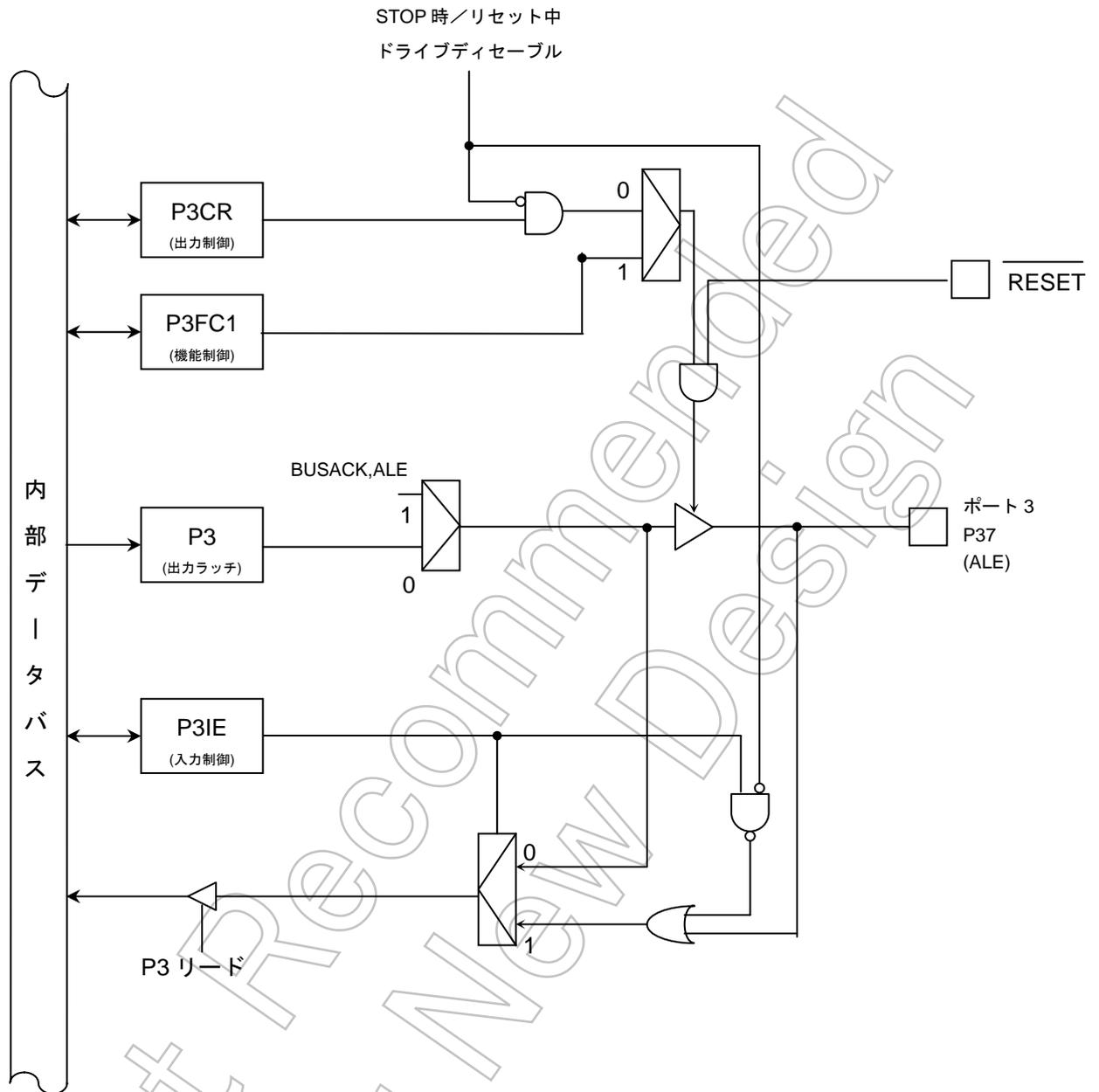


図 7-7 ポート 3 (P37)

ポート3レジスタ

	7	6	5	4	3	2	1	0	
P3 (0xFFFF_F030)	Bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30
	Read/Write	R/W							
	リセット後	0	入力モード (出カラッチレジスタは“1”に Set)						

ポート3コントロールレジスタ

	7	6	5	4	3	2	1	0	
P3CR (0xFFFF_F031)	Bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出カディゼーブル 1: 出カイネーブル							

ポート3ファンクションレジスタ1

	7	6	5	4	3	2	1	0	
P3FC1 (0xFFFF_F032)	Bit Symbol	P37F1	P36F1	P35F1	P34F1	P33F1	P32F1	P31F1	P30F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:ALE	0:PORT 1:R/W	0:PORT 1:BUSACK	0:PORT 1:BUSREQ	0:PORT /WAIT 1:RDY	0:PORT 1:HWR	0:PORT 1:WR	0:PORT 1:RD

ポート3 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P3PUP (0xFFFF_F03B)	Bit Symbol	P37UP	P36UP	P35UP	P34UP	P33UP	P32UP	P31UP	P30UP
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能		プルアップ 0:オフ 1:Pull-Up						

ポート3 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P3IE (0xFFFF_F03E)	Bit Symbol	P37IE	P36IE	P35IE	P34IE	P33IE	P32IE	P31IE	P30IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.6 ポート 4(P40~P47)

ポート 4 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定はコントロールレジスタ P4CR とファンクションレジスタ P4FC1 によって行います。

リセット動作により出力ラッチ P4 の全ビットは “1” にセットされ、また、P4CR と P4FC1 の全ビットは “0” にクリアされ、ポート 4 は出力ディゼーブルになります。

汎用入出力ポート機能以外に、P40~P45 はチップセレクト信号出力機能 (CS0~CS5)、P46 は内部クロックを出力する SCOUT 出力端子があります。

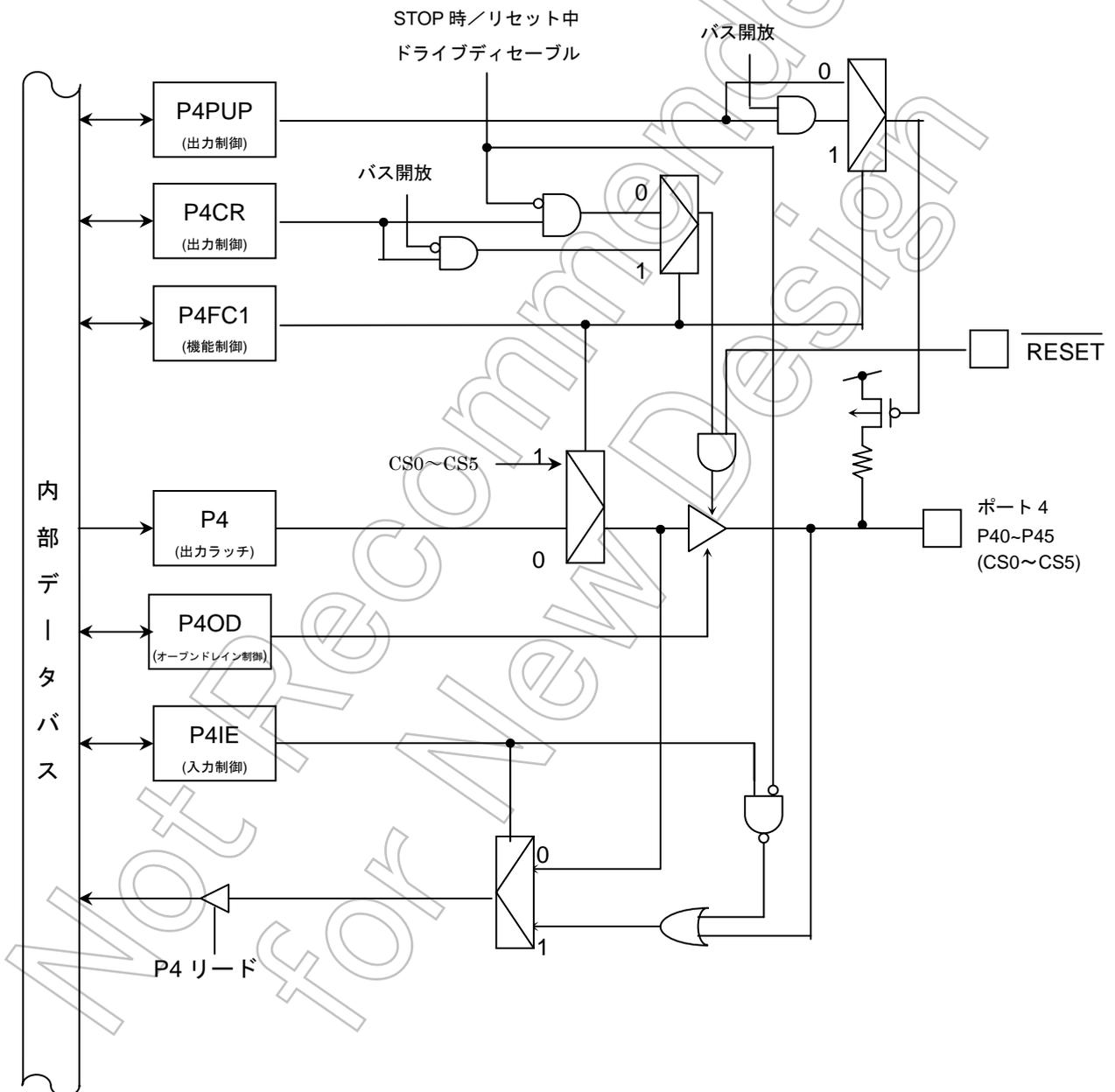


図 7-8 ポート 4 (P40~P45)

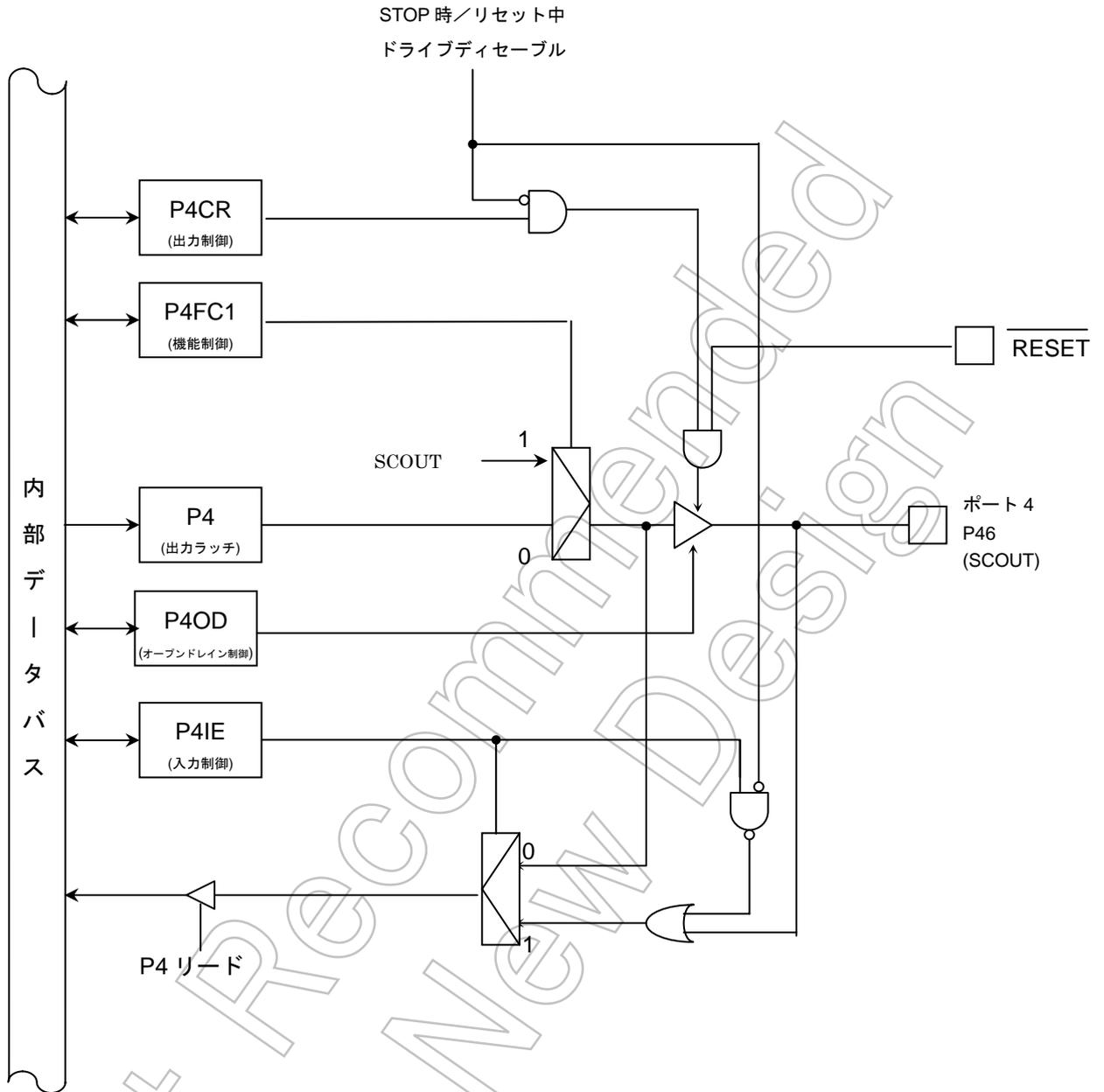


図 7-9 ポート 4 (P46)

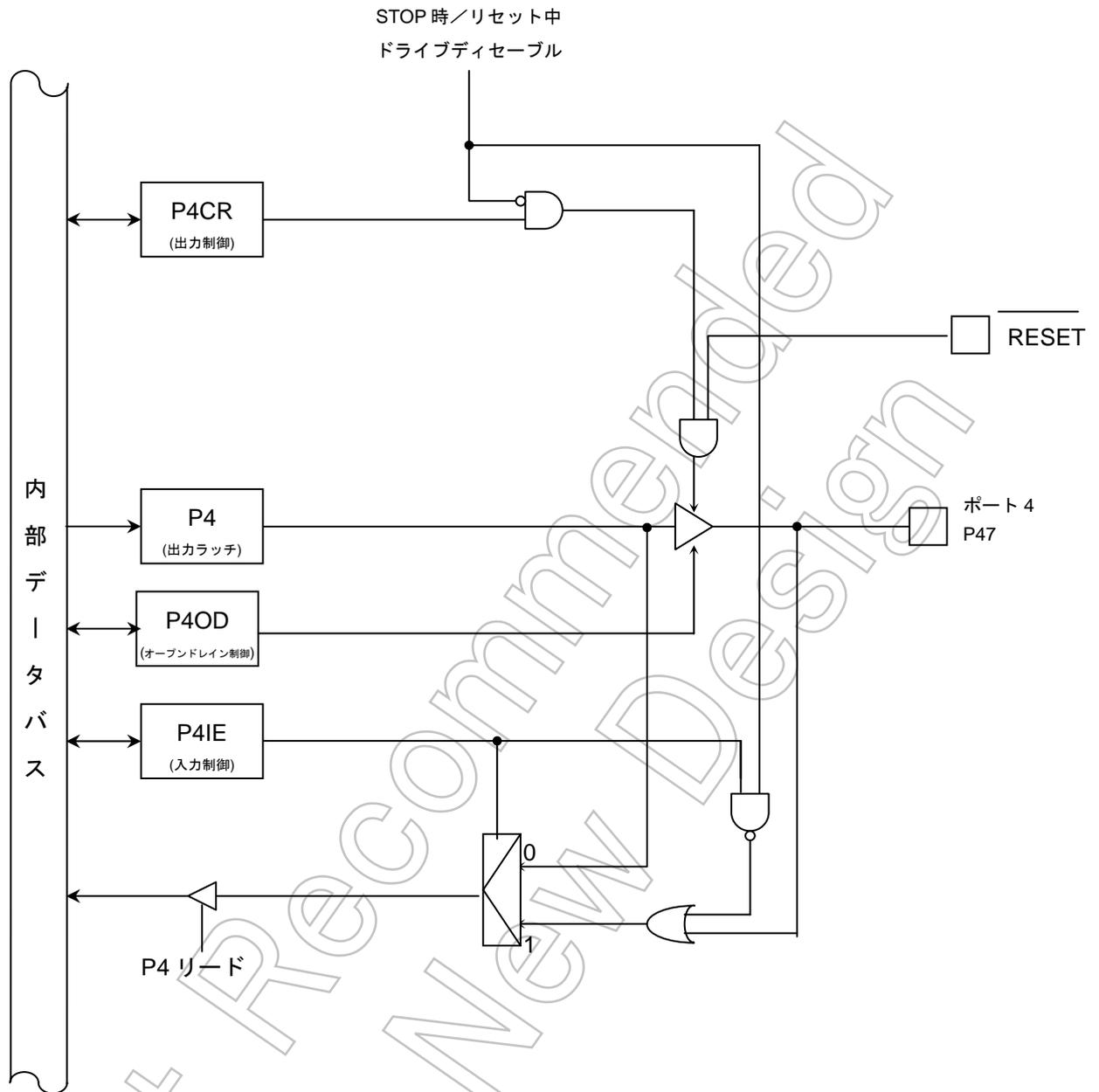


図 7-10 ポート 4 (P47)

ポート4レジスタ

	7	6	5	4	3	2	1	0	
P4 (0xFFFF_F040)	Bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート4コントロールレジスタ

	7	6	5	4	3	2	1	0	
P4CR (0xFFFF_F041)	Bit Symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		0: 出力ディゼーブル 1: 出力イネーブル							

ポート4ファンクションレジスタ1

	7	6	5	4	3	2	1	0
P4FC1 (0xFFFF_F042)	Bit Symbol	P47F1	P46F1		P43F1	P42F1	P41F1	P40F1
	Read/Write	R/W		R/W		R/W		
	リセット後	0	0	0	0	0	0	0
	機能	0: PORT 1: SCOUT	0: PORT 1: CS5	0: PORT 1: CS4	0: PORT 1: CS3	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0

ポート4 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P4PUP (0xFFFF_F04B)	Bit Symbol	P47UP	P46UP	P45UP	P44UP	P43UP	P42UP	P41UP	P40UP
	Read/Write	R/W							
	リセット後		0	0	0	0	0	0	
	機能		プルアップ 0: オフ 1: Pull-Up						

ポート4 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P4IE (0xFFFF_F04E)	Bit Symbol	P47IE	P46IE	P45IE	P44IE	P43IE	P42IE	P41IE	P40IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	入力 0: 禁止 1: 許可							

7.7 ポート 5(P50~P57)

ポート 5 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC1 によって行います。リセット動作により出力ラッチ P5 の全ビットは “1” にセットされ、また、P5CR と P5FC1 の全ビットは “0” にクリアされ、ポート 5 は出力ディゼーブルになります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能があります。外部メモリをアクセスする時は、P5CR、P5FC1 によりアドレスバスに設定する必要があります。

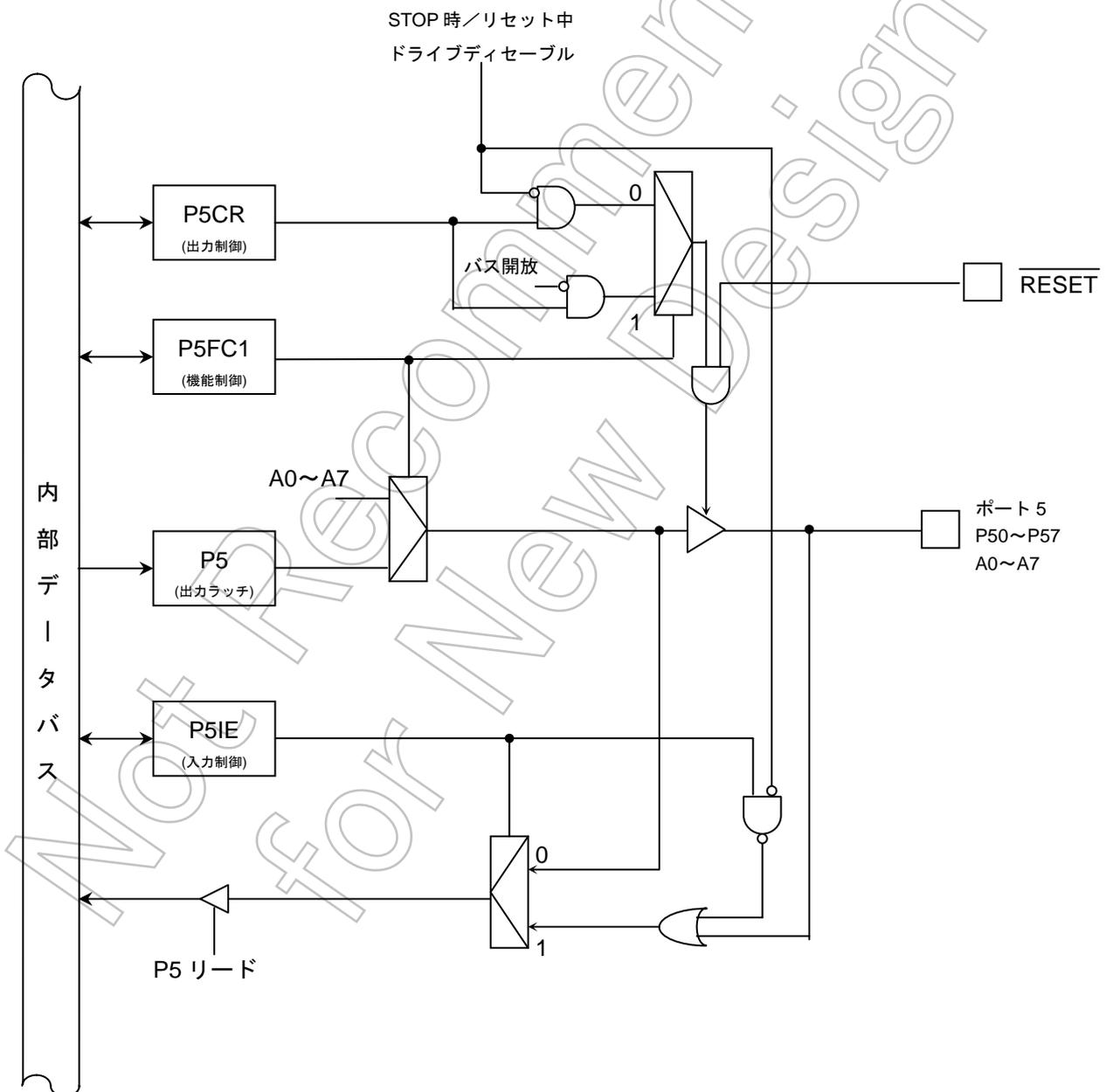


図 7-11 ポート 5 (P50~P57)

ポート 5 レジスタ

	7	6	5	4	3	2	1	0	
P5 (0xFFFF_F050)	Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

ポート 5 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P5CR (0xFFFF_F051)	Bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート 5 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P5FC1 (0xFFFF_F052)	Bit Symbol	P57F1	P56F1	P55F1	P54F1	P53F1	P52F1	P51F1	P50F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定(A0~A7)							

ポート 5 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P5IE (0xFFFF_F05E)	Bit Symbol	P57IE	P56IE	P55IE	P54IE	P53IE	P52IE	P51IE	P50IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

7.8 ポート 6(P60~P67)

ポート 6 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC1 によって行います。リセット動作により出力ラッチ P6 の全ビットは “1” にセットされ、また、P6CR と P6FC1 の全ビットは “0” にクリアされ、ポート 6 は出力ディゼーブルになります。

汎用入出力ポート機能以外にアドレスバス (A8~A15) 機能があります。外部メモリをアクセスする時は、P6CR、P6FC1 によりアドレスバスに設定する必要があります。

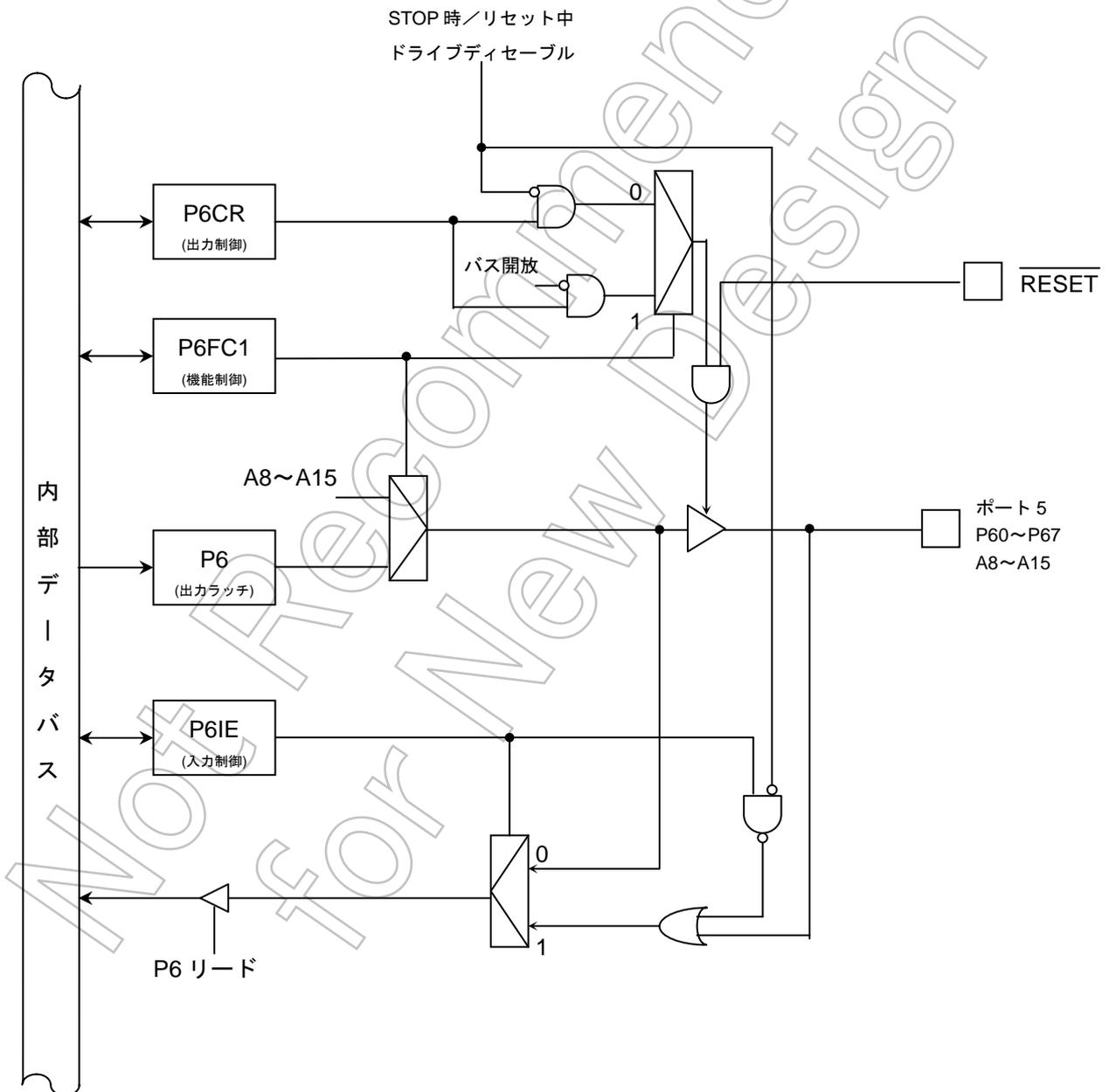


図 7-12 ポート 6 (P60~P67)

ポート 6 レジスタ

	7	6	5	4	3	2	1	0	
P6 (0xFFFF_F060)	Bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P6CR (0xFFFF_F061)	Bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート 6 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P6FC1 (0xFFFF_F062)	Bit Symbol	P67F1	P66F1	P65F1	P64F1	P63F1	P62F1	P61F1	P60F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定 (A8 ~ A15)							

ポート 6 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P6IE (0xFFFF_F06E)	Bit Symbol	P67IE	P66IE	P65IE	P64IE	P63IE	P62IE	P61IE	P60IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

7.9 ポート 7(P70~P77)

ポート 7 は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。

リセット時、入力ポートとなりますが、入力は禁止状態になっています。

入力ポートとして使用する場合は、該当する入力イネーブル制御レジスタを設定して下さい。

AD 機能ポートとして使用する場合は、入力ディゼーブルに設定してください。

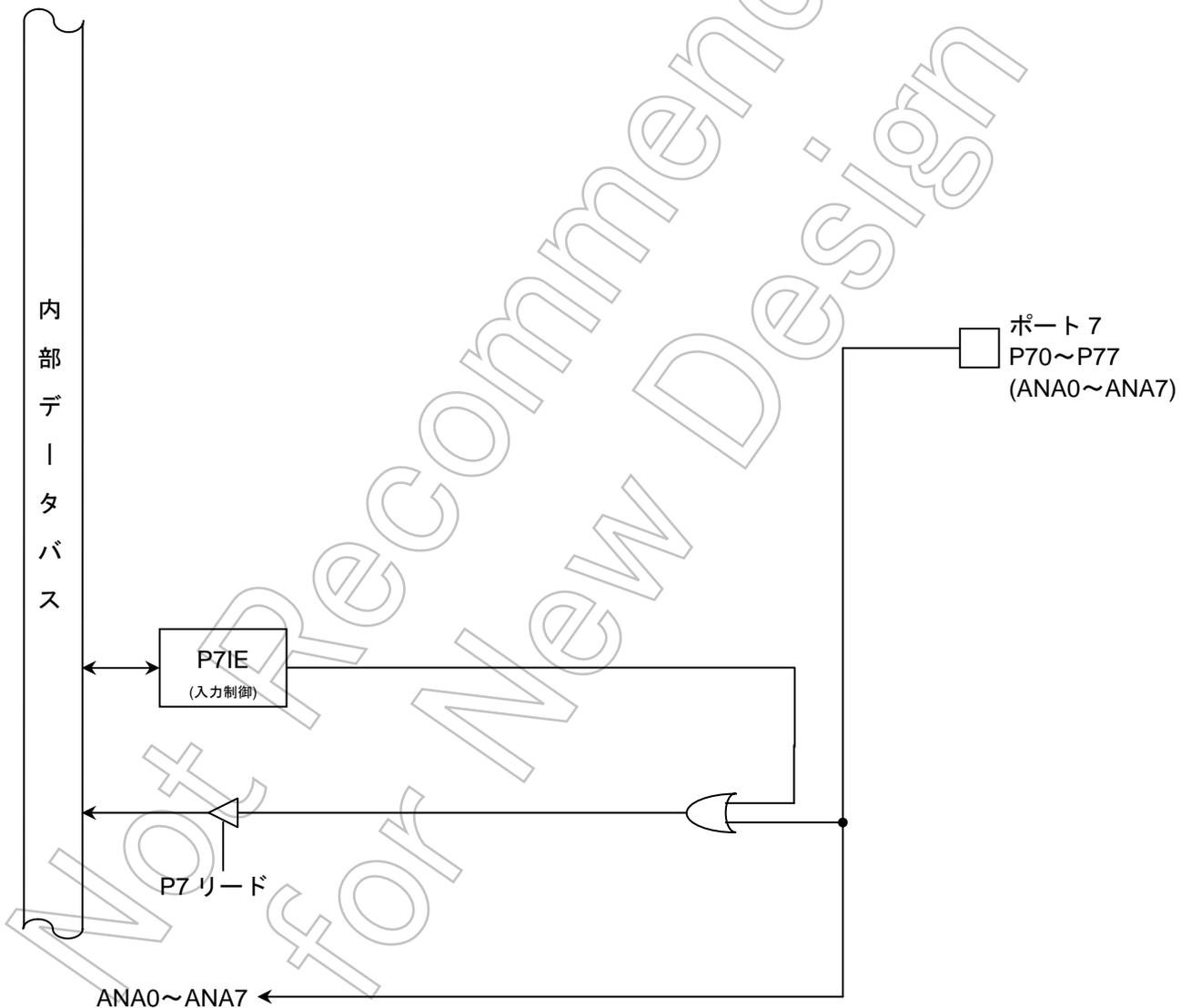


図 7-13 ポート 7(P70~P77)

ポート7レジスタ

	7	6	5	4	3	2	1	0	
P7 (0xFFFF_F070)	Bit Symbol	P77	P76	P75	P74	P73	P72	P71	P70
	Read/Write	R							
	リセット後	端子状態が読めます							

ポート7 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P7IE (0xFFFF_F07E)	Bit Symbol	P77IE	P76IE	P75IE	P74IE	P73IE	P72IE	P71IE	P70IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

Not Recommended for New Designs

7.10 ポート 8(P80~P87)

ポート 8 は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。

リセット時、入力ポートとなりますが、入力は禁止状態になっています。

入力ポートとして使用する場合は、該当する入力イネーブル制御レジスタを設定して下さい。

AD 機能ポートとして使用する場合は、入力ディゼーブルに設定してください。

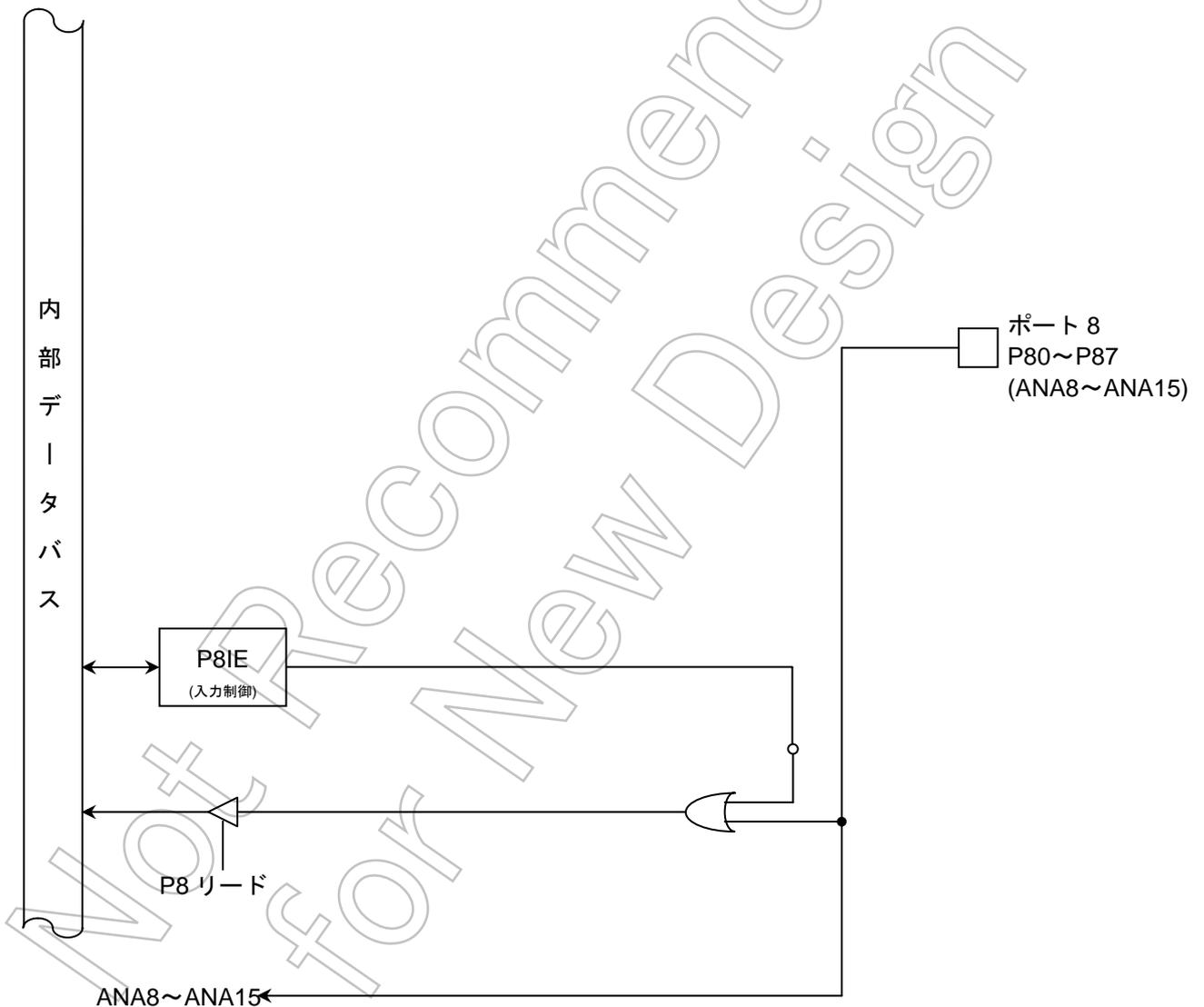


図 7-14 ポート 8(P80~P87)

ポート 8 レジスタ

	7	6	5	4	3	2	1	0
P8 (0xFFFF_F080)	P87	P86	P85	P84	P83	P82	P81	P80
Read/Write	R							
リセット後	端子状態が読めます							

ポート 8 入力ネーブル制御レジスタ

	7	6	5	4	3	2	1	0
P8IE (0xFFFF_F08E)	P87IE	P86IE	P85IE	P84IE	P83IE	P82IE82	P81IE	P80IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Designs

7.11 ポート 9(P90~P97)

ポート 9 は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。

リセット時、入力ポートとなりますが、入力は禁止状態になっています。

入力ポートとして使用する場合は、該当する入力イネーブル制御レジスタを設定して下さい。

AD 機能ポートとして使用する場合は、入力ディゼーブルに設定してください。

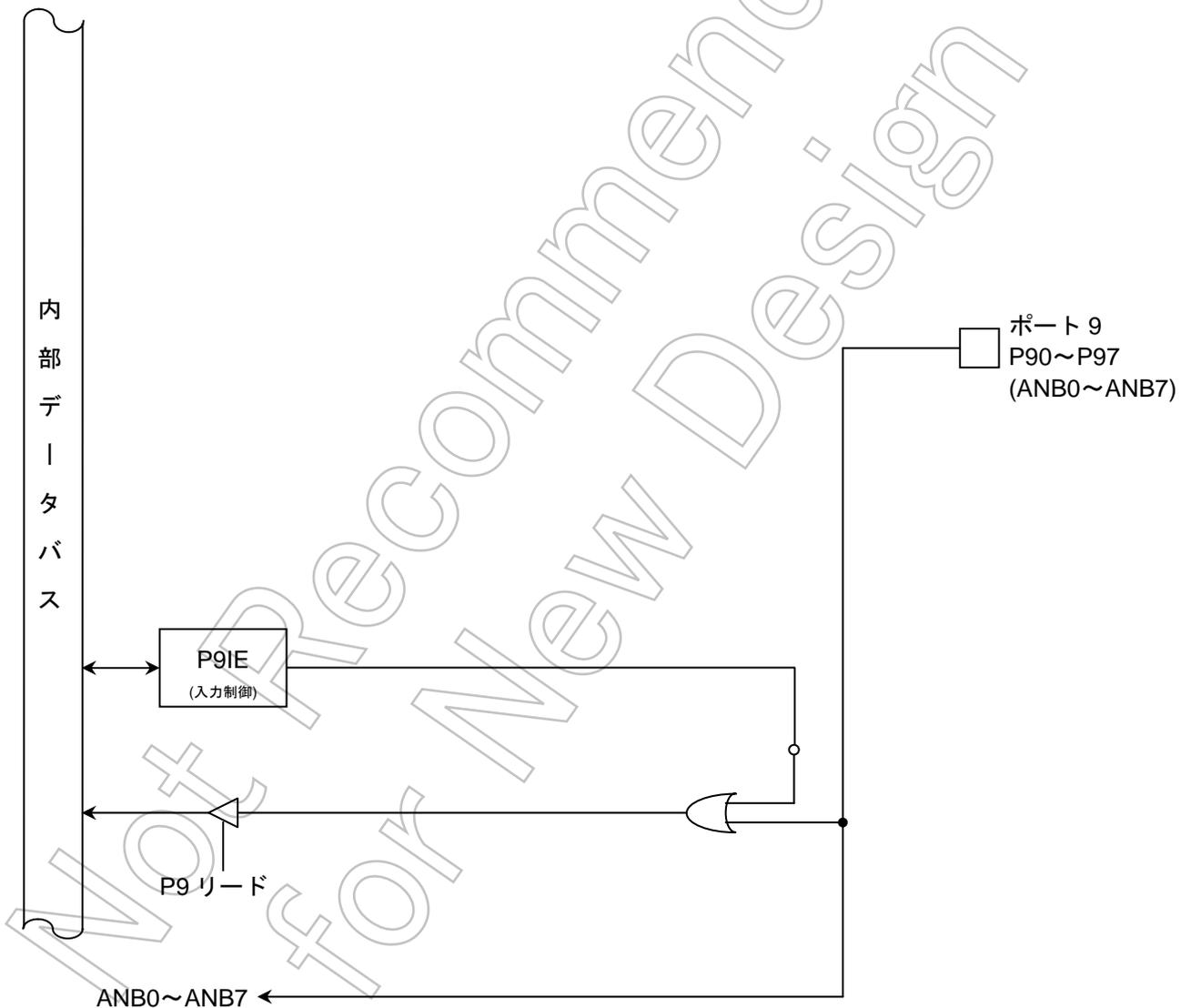


図 7-15 ポート 9(P90~P97)

ポート 9 レジスタ

	7	6	5	4	3	2	1	0	
P9 (0xFFFF_F090)	Bit Symbol	P97	P96	P95	P94	P93	P92	P91	P90
	Read/Write	R							
	リセット後	端子状態が読めます							

ポート 9 入力ネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P9IE (0xFFFF_F09E)	Bit Symbol	P97IE	P96IE	P95IE	P94IE	P93IE	P92IE	P91IE	P90IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

Not Recommended for New Designs

7.12 ポート A(PA0~PA7)

ポート A は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。

リセット時、入力ポートとなりますが、入力は禁止状態になっています。

入力ポートとして使用する場合は、該当する入力イネーブル制御レジスタを設定して下さい。

AD 機能ポートとして使用する場合は、入力ディゼーブルに設定してください。

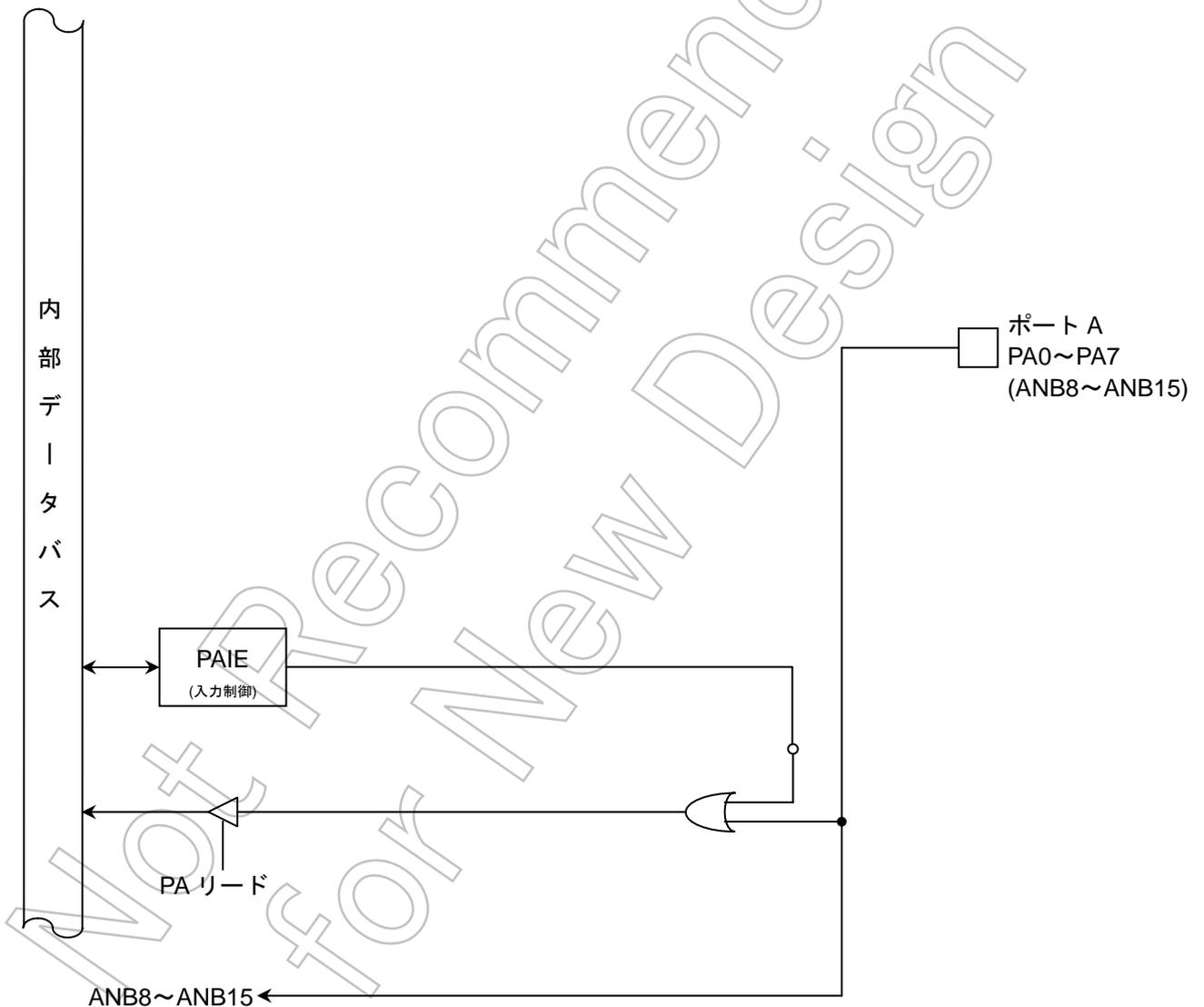


図 7-16 ポート A(PA8~PA15)

ポート A レジスタ

	7	6	5	4	3	2	1	0
PA (0xFFFF_F0A0)	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Read/Write	R							
リセット後	端子状態が読めます							

ポート A 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0
PAIE (0xFFFF_F0AE)	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Designs

7.13 ポート B(PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PBCR とファンクションレジスタ PBFC1 によって行います。リセット動作により出力ラッチ PB の全ビットは“0”にセットされ、また、PBCR と PBFC1 の全ビットは“0”にクリアされ、ポート B は出力ディゼーブルになります。

入出力ポート機能以外に PB0~PB7 には 16 ビットタイマ入力機能があります。

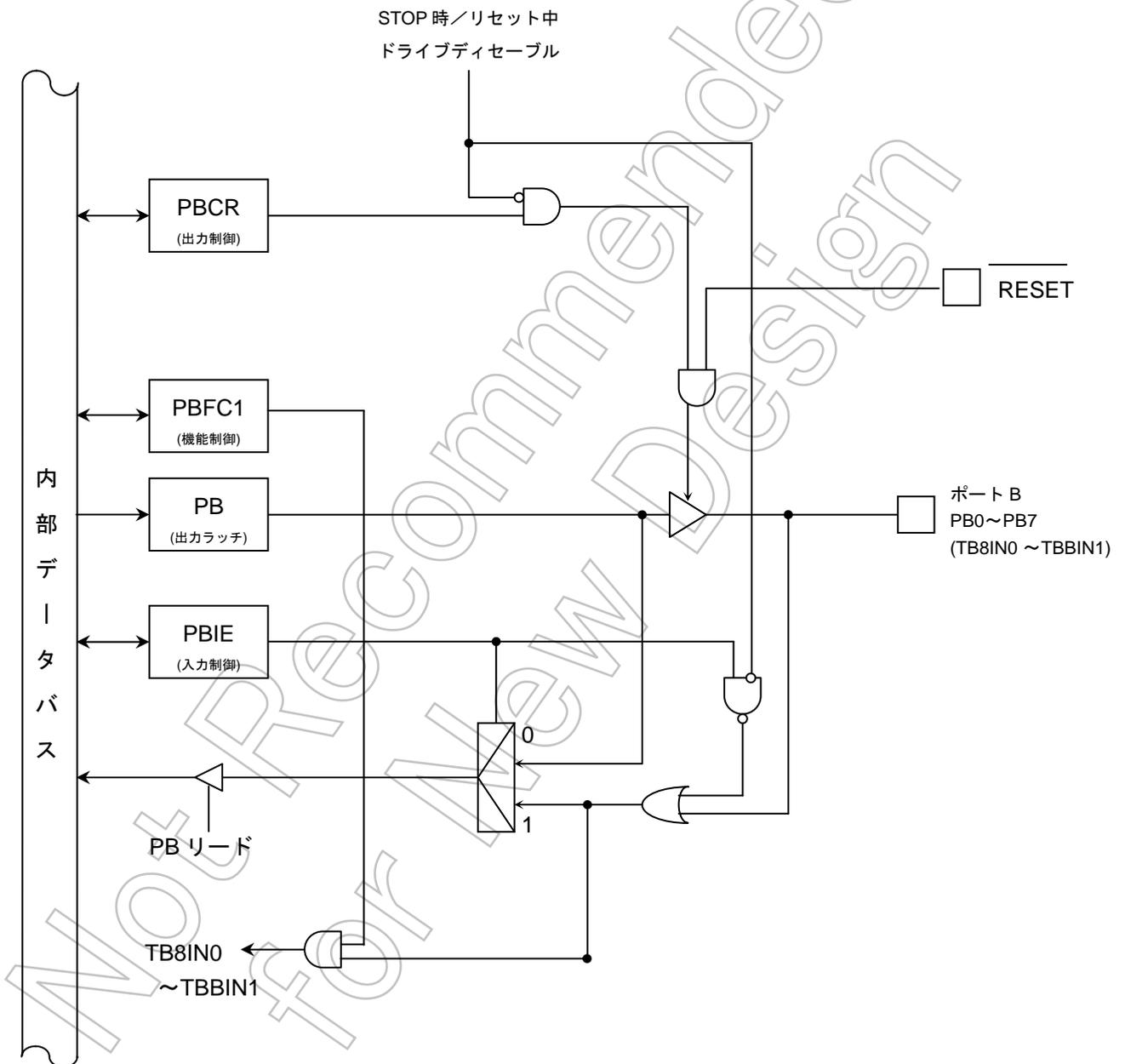


図 7-17 ポート B (PB0~PB7)

ポート B レジスタ

	7	6	5	4	3	2	1	0	
PB (0xFFFF_F0B0)	Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "0" に Set)							

ポート B コントロールレジスタ

	7	6	5	4	3	2	1	0	
PBCR (0xFFFF_F0B1)	Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート B ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PBFC1 (0xFFFF_F0B2)	Bit Symbol	PB7F1	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TBBIN1	0:PORT 1:TBBIN0	0:PORT 1:TBAIN1	0:PORT 1:TBAIN0	0:PORT 1:TB9IN1	0:PORT 1:TB9IN0	0:PORT 1:TB8IN1	0:PORT 1:TB8IN0

ポート B 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PBIE (0xFFFF_F0BE)	Bit Symbol	PB7IE	PB6IE	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.14 ポート C(PC0~PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PCCR とファンクションレジスタ PCFC によって行います。リセット動作により出力ラッチ PC の全ビットは“0”にセットされ、また、PCCR と PCFC1 の全ビットは“0”にクリアされ、ポート C は出力ディゼーブルになります。

入出力ポート機能以外に PC0~PC3、PC7 には 16 ビットタイマ入力機能、PC4~PC6 にはシリアル通信 (SIO/UART ch3) 機能があります。

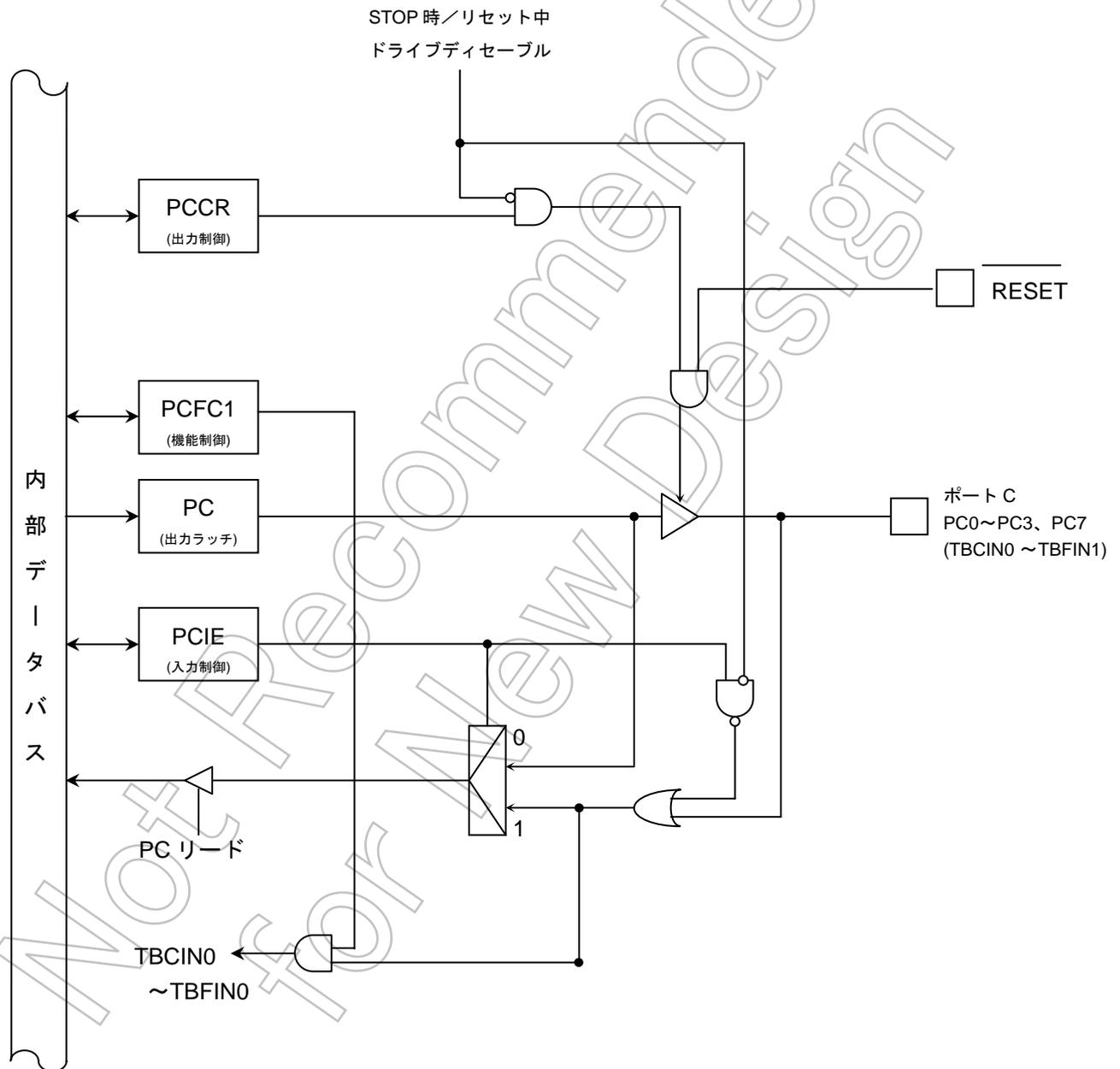


図 7-18 ポート C (PC0~PC3, PC7)

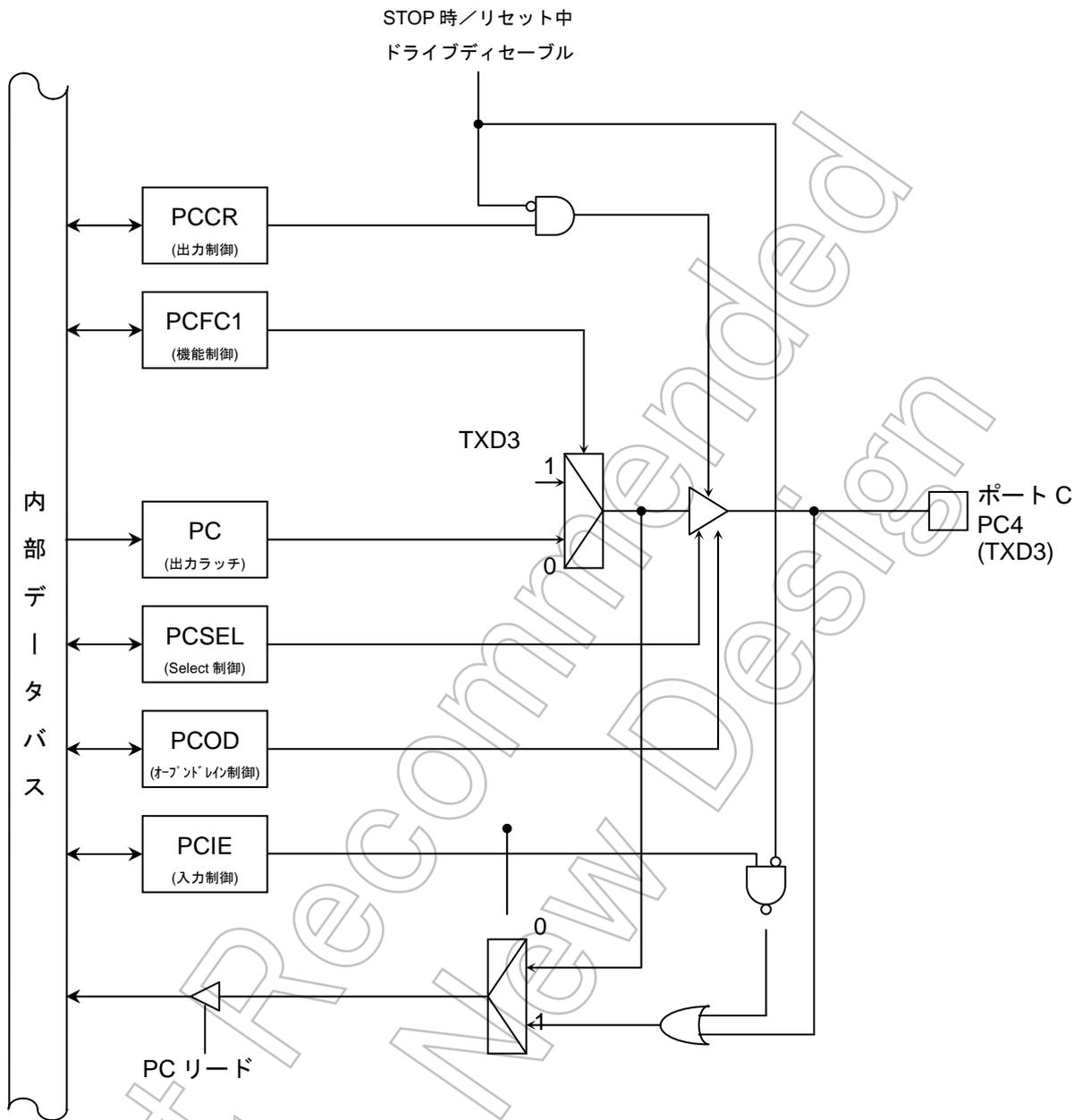


図 7-19 ポート C (PC4)

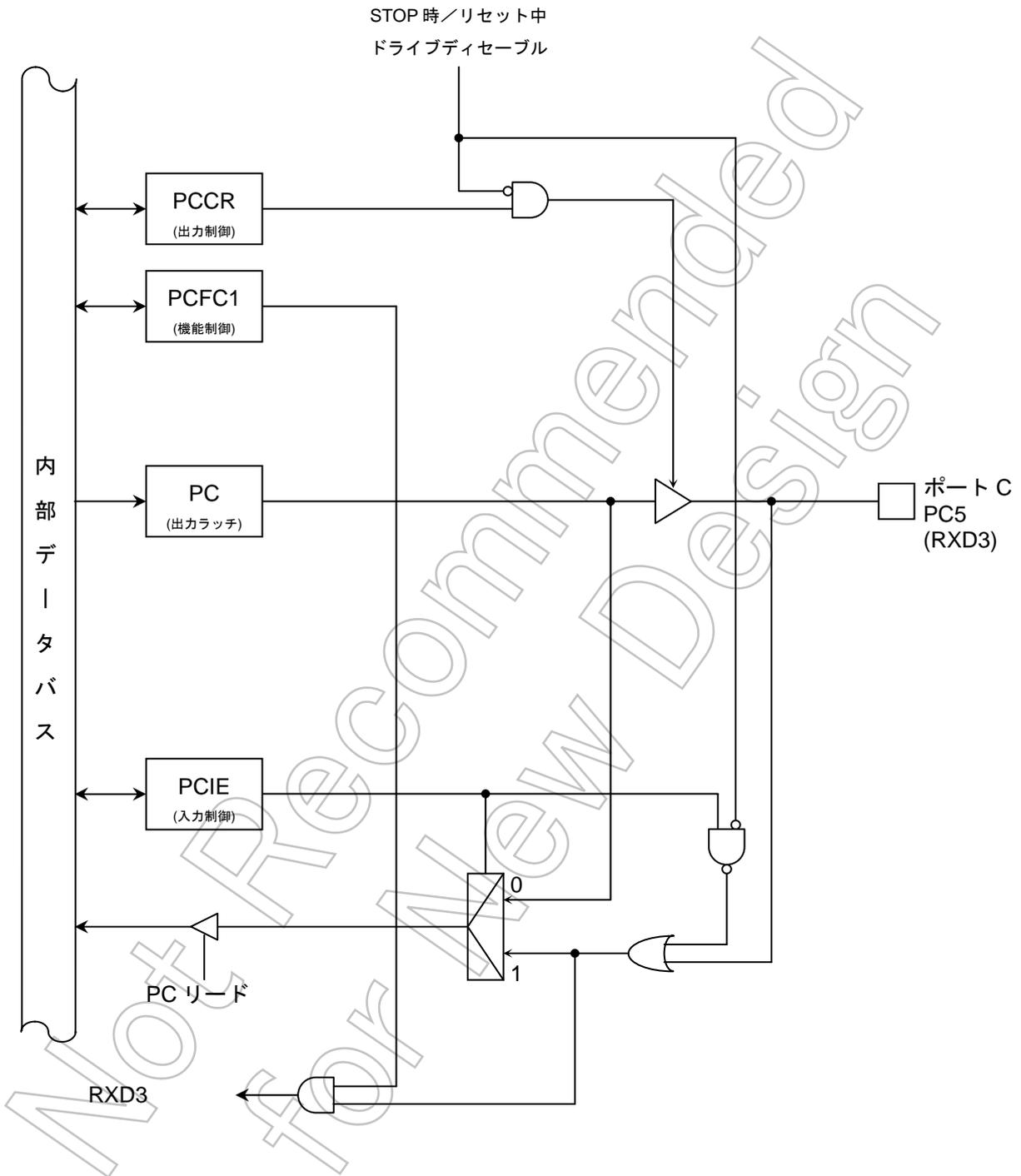


図 7-20 ポート C(PC5)

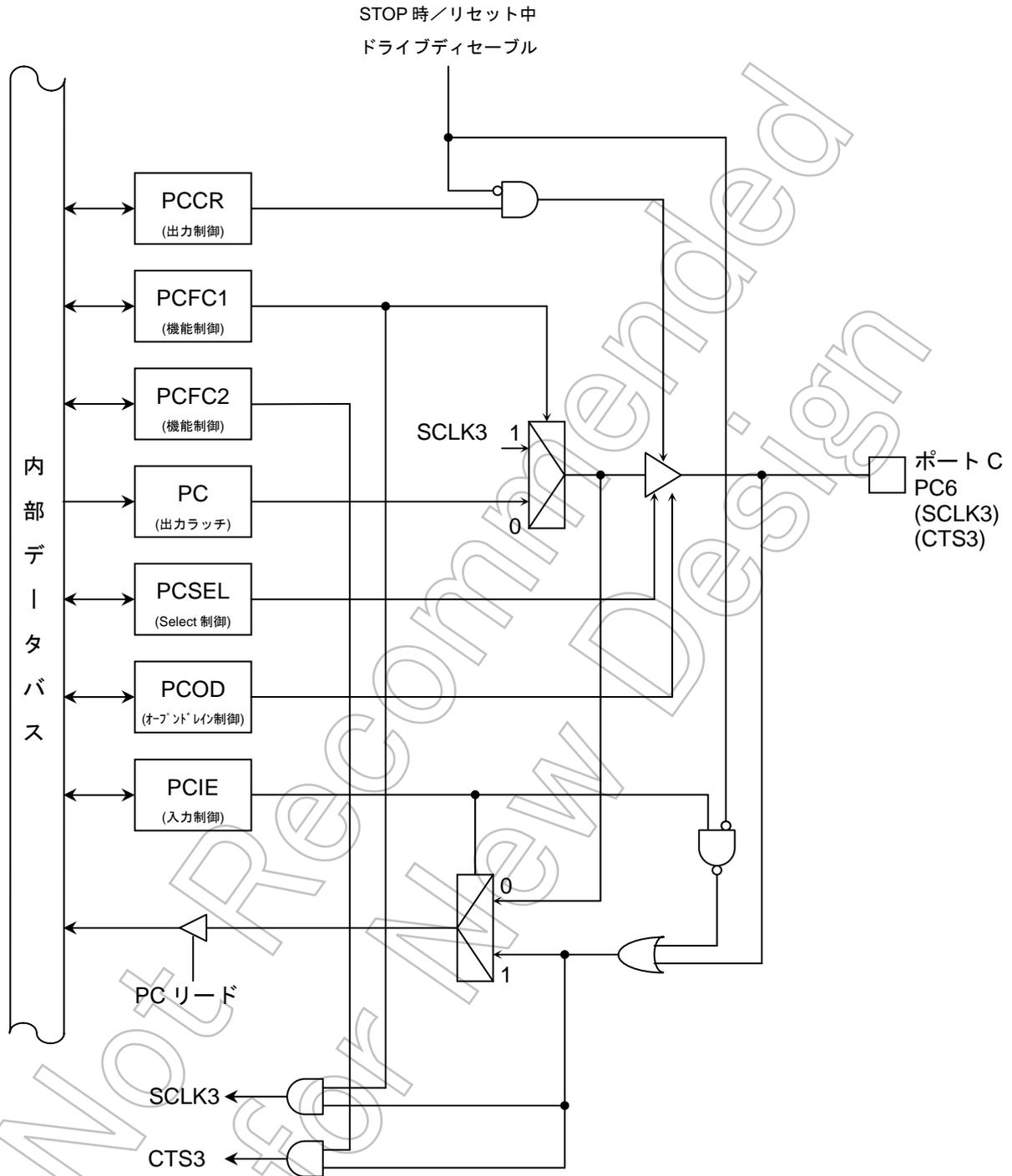


図 7-21 ポート C(PC6)

ポート C レジスタ

	7	6	5	4	3	2	1	0	
PC (0xFFFF_F0C0)	Bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "0" に Set)							

ポート C コントロールレジスタ

	7	6	5	4	3	2	1	0	
PCCR (0xFFFF_F0C1)	Bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート C ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PCFC1 (0xFFFF_F0C2)	Bit Symbol	PC7F1	PC6F1	PC5F1	PC4F1	PC3F1	PC2F1	PC1F1	PC0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TBFIN0	0:PORT 1:SCLK3	0:PORT 1:RXD3	0:PORT 1:TXD3	0:PORT 1:TBEIN0	0:PORT 1:TBDIN0	0:PORT 1:TBCIN1	0:PORT 1:TBCIN0

ポート C ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PCFC2 (0xFFFF_F0C3)	Bit Symbol		PC6F2					
	Read/Write	R/W						
	リセット後		0					
	機能		0: Port 1:CTS 3					

ポート C オープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
PCOD (0xFFFF_F00A)	Bit Symbol		PC6OD		PC4OD			
	Read/Write	R/W						
	リセット後		0		0			
	機能		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン			

ポート C シリアル設定レジスタ

	7	6	5	4	3	2	1	0
PCSEL (0xFFFF_F00D)	Bit Symbol		PC6SEL		PC4SEL			
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能		SCLK3 0:オフ 1:SCLK		TXD3 0:オフ 1:TXD			

ポート C 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0
PCIE	PC7IE	PC6IE	PC5IE	PC4IE	PC3IE	PC2IE	PC1IE	PC0IE
(0xFFFF_F0CE)	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

R/W : Read or Write

R : Read Only

R 0 : Read "0" Only

W : Write Only

Not Recommended
for New Design

7.15 ポート D(PD0~PD7)

ポート D はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PDCR とファンクションレジスタ PDFC1 によって行います。リセット動作により出力ラッチ PD の全ビットは “0” にセットされ、また、PDCR と PDFC1 の全ビットは “0” にクリアされ、ポート D は出力ディゼーブルになります。

入出力ポート機能以外に PD0~PD5 には 16 ビットタイマ入力機能、PD6, PD7 には 16 ビットタイマ出力機能があります。

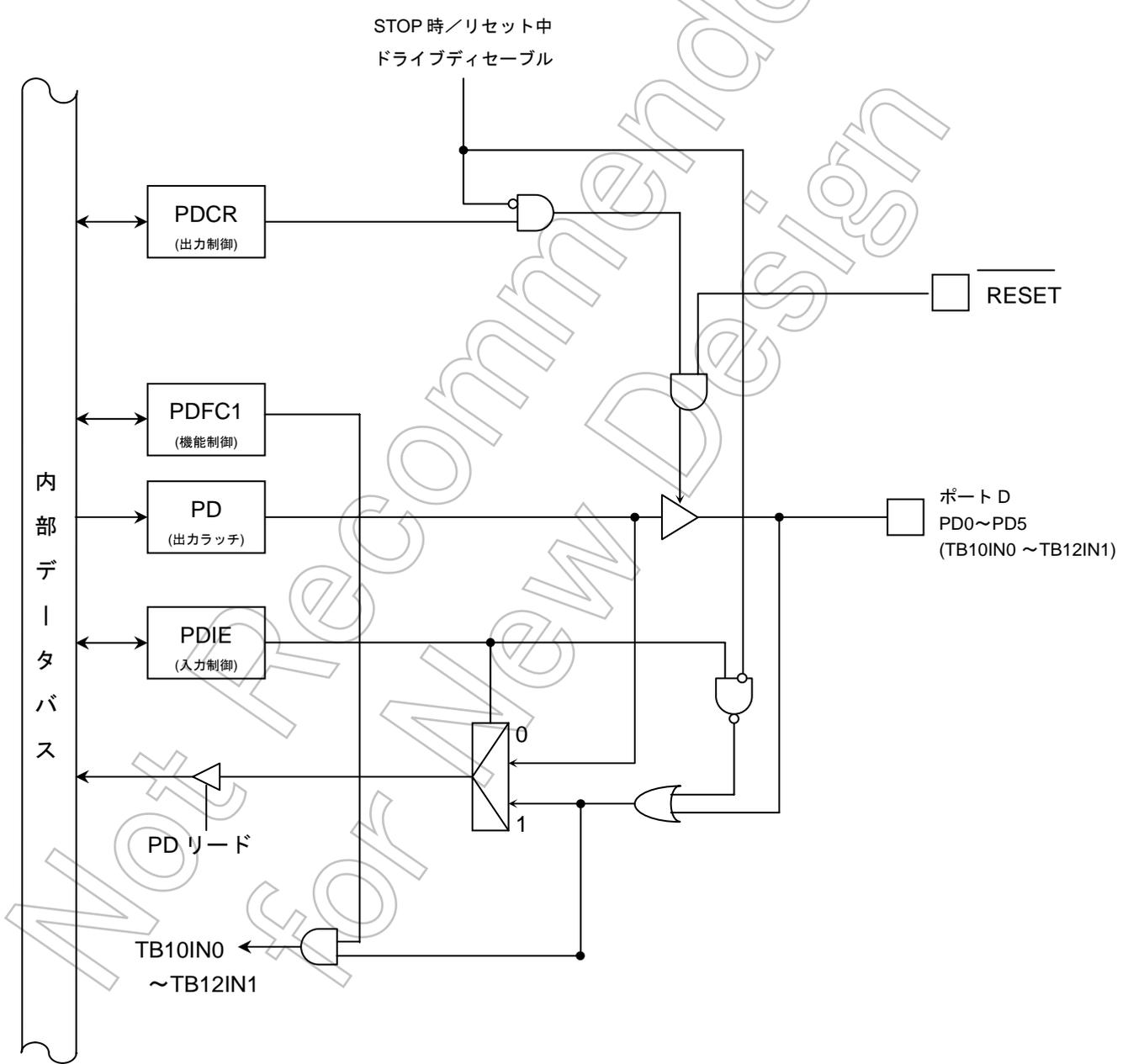


図 7-22 ポート D (PD0~PD5)

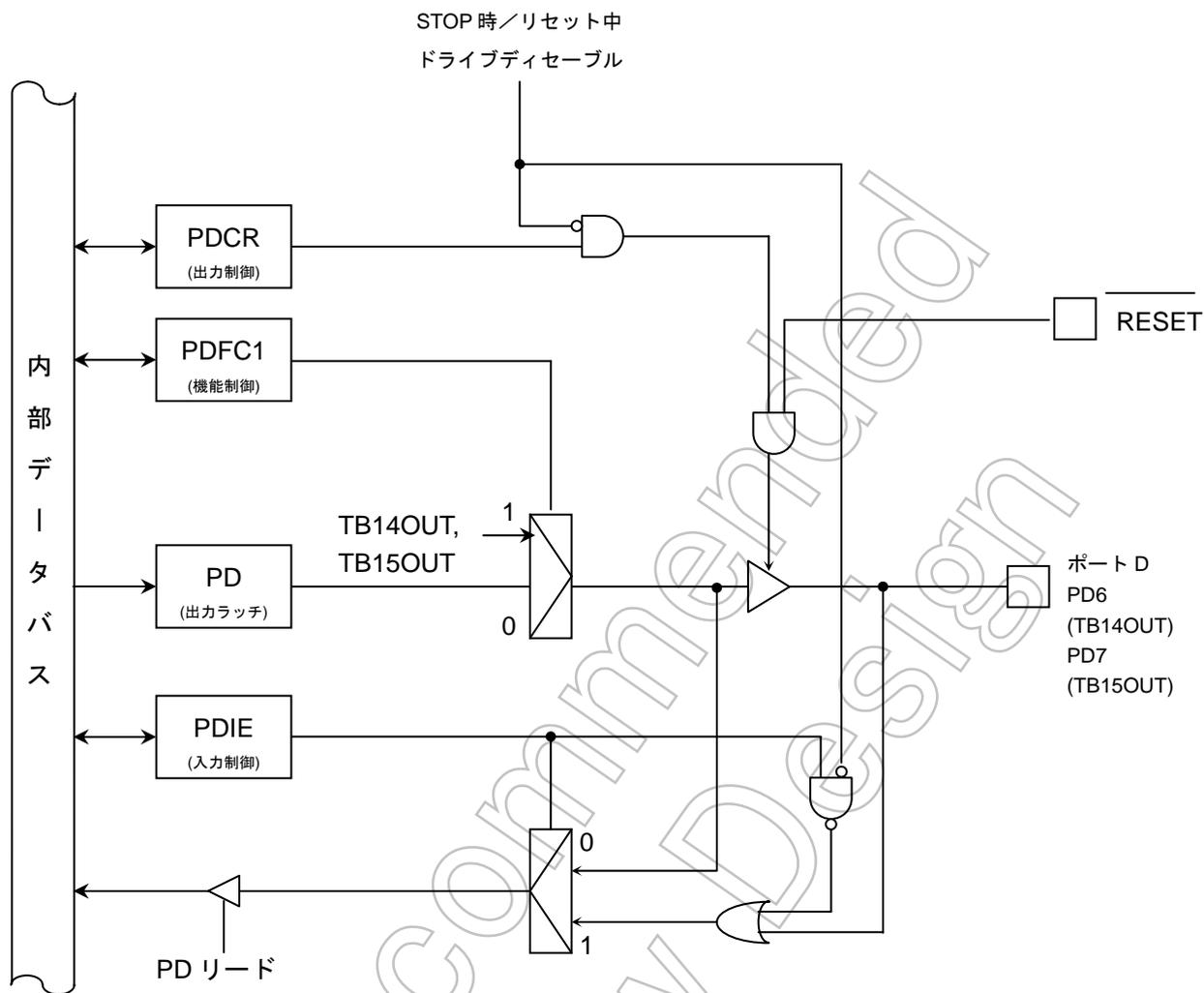


図 7-23 ポート D (PD6, PD7)

ポート D レジスタ

	7	6	5	4	3	2	1	0	
PD (0xFFFF_F0D0)	Bit Symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“0”に Set)							

ポート D コントロールレジスタ

	7	6	5	4	3	2	1	0	
PDCR (0xFFFF_F0D1)	Bit Symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート D ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PDFC1 (0xFFFF_F0D2)	Bit Symbol	PD7F1	PD6F1	PD5F1	PD4F1	PD3F1	PD2F1	PD1F1	PD0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB15OUT	0:PORT 1:TB14OUT	0:PORT 1:TB12IN1	0:PORT 1:TB12IN0	0:PORT 1:TB11IN1	0:PORT 1:TB11IN0	0:PORT 1:TB10IN1	0:PORT 1:TB10IN0

ポート D 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PDIE (0xFFFF_F0DE)	Bit Symbol	PD7IE	PD6IE	PD5IE	PD4IE	PD3IE	PD2IE	PD1IE	PD0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.16 ポート E (PE0~PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。出力の指定は、コントロールレジスタ PE CR とファンクションレジスタ PE FC1 によって行います。リセット動作により出力ラッチ PE の全ビットは “0” にセットされ、また、PE CR と PE FC1 の全ビットは “0” にクリアされ、ポート E は出力ディゼーブルになります。

入出力ポート機能以外に PE0~PE4 には 16 ビットタイマ出力機能、PE5, PE6 には I2C 機能、PE5~PE7 には SIO 機能があります。

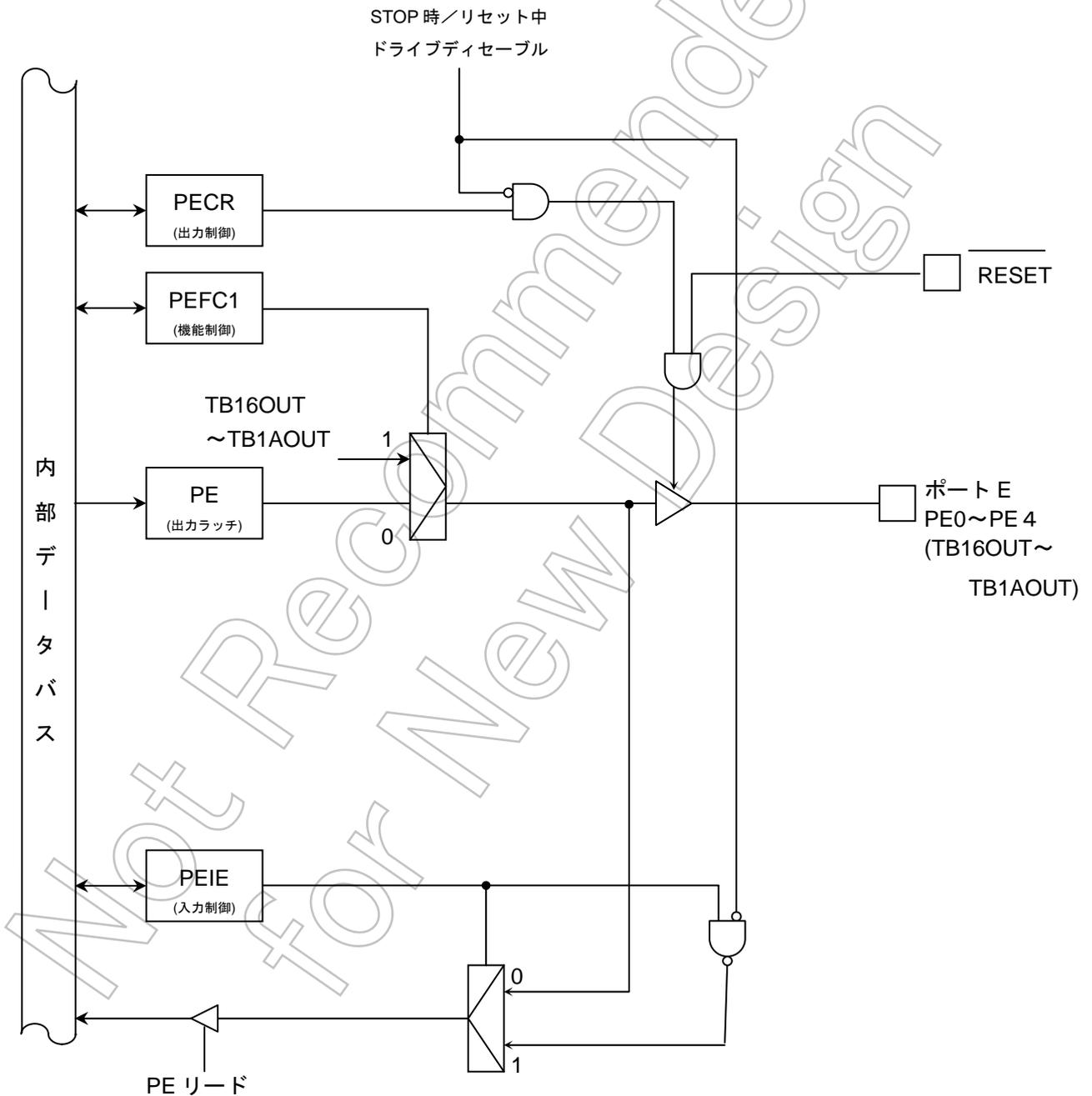


図 7-24 ポート E (PE0~PE4)

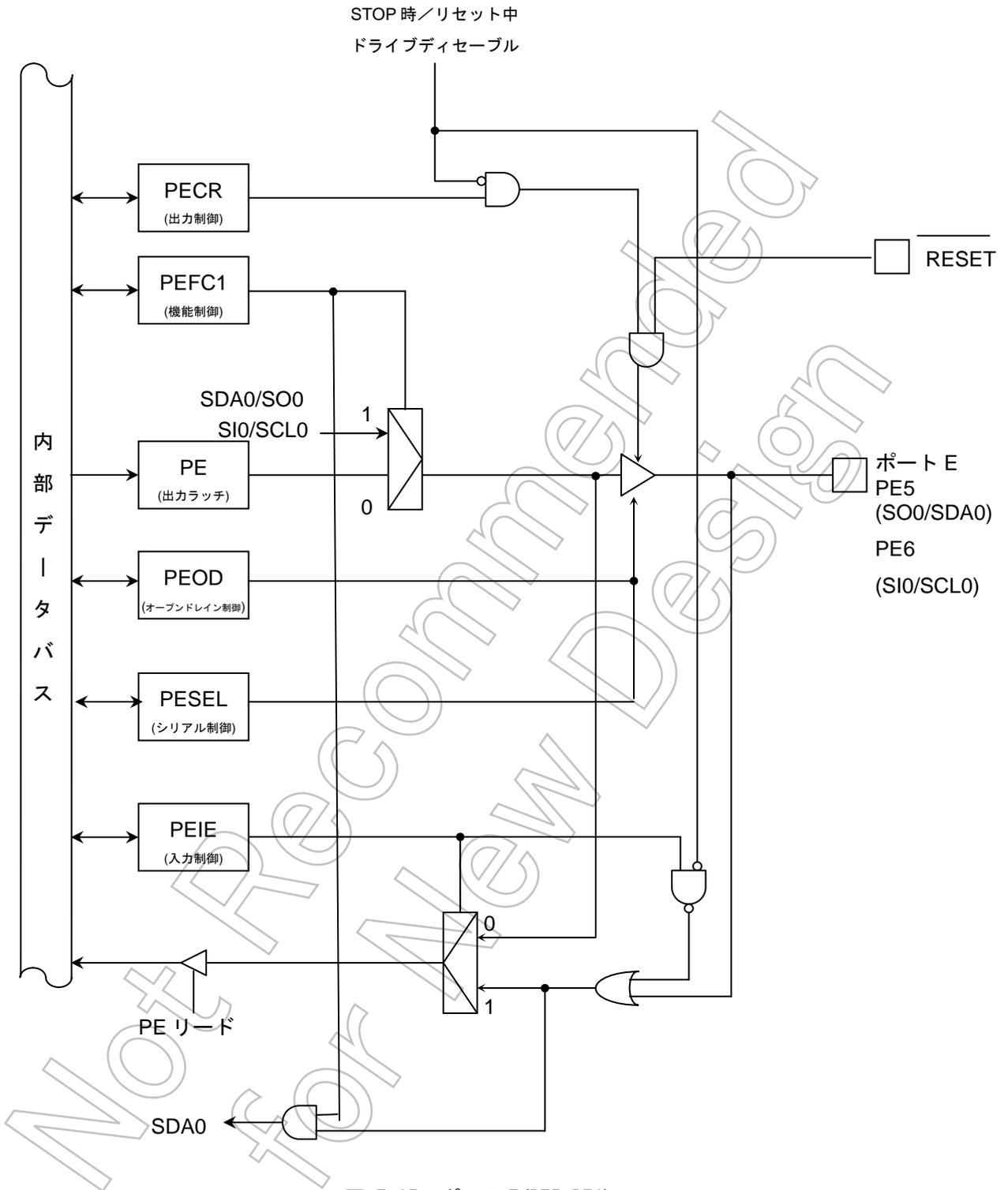


図 7-25 ポート E (PE5, PE6)

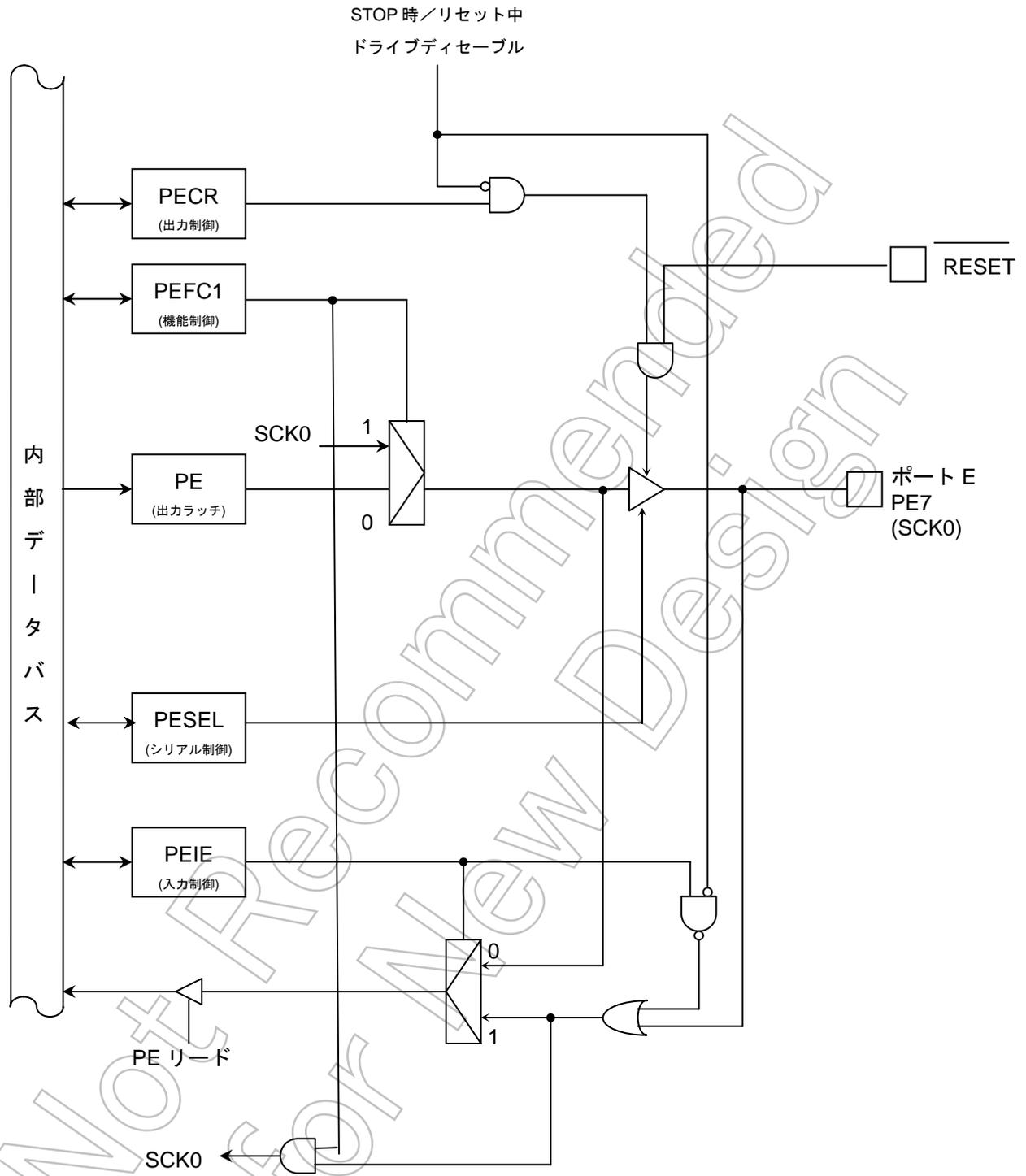


図 7-26 ポート E (PE7)

ポート E レジスタ

	7	6	5	4	3	2	1	0	
PE (0xFFFF_F0E0)	Bit Symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは“0”に Set)							

ポート E コントロールレジスタ

	7	6	5	4	3	2	1	0	
PECR (0xFFFF_F0E1)	Bit Symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:入力 1:出力							

ポート E ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PEFC1 (0xFFFF_F0E2)	Bit Symbol	PE7F1	PE6F1	PE5F1	PE4F1	PE3F1	PE2F1	PE1F1	PE0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:Port 1:SCK0	0:Port 1:SCLO	0:Port 1:SDA0	0:Port 1:TB1AOUT	0:Port 1:TB19OUT	0:Port 1:TB18OUT	0:Port 1:TB17OUT	0:Port 1:TB16OUT

ポート E オープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
PEOD (0xFFFF_F0EA)	Bit Symbol		PE6OD	PE5OD				
	Read/Write	R/W						
	リセット後		0	0				
	機能		0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン				

ポート E シリアル設定レジスタ

	7	6	5	4	3	2	1	0
PESEL (0xFFFF_F0ED)	Bit Symbol	PE7SEL	PE6SEL	PE5SEL				
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	SIO0 0:オフ 1:SCK0	SIO0 0:オフ 1:SI0	SIO0 0:オフ 1:SO0				

ポート E インプット制御レジスタ

	7	6	5	4	3	2	1	0	
PEIE (0xFFFF_F0EE)	Bit Symbol	PE7IE	PE6IE	PE5IE	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	入力 0:禁止 1:許可							

7.17 ポート F(PF0~PF7)

ポート F はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PFGR とファンクションレジスタ PFFCx によって行います。リセット動作により PF の全ビットは“0”にセットされ、また、PFGR と PFFC1 と PFFC2 の全ビットは“0”にクリアされ、ポート F 出力ディゼーブルになります。

入出力機能以外に PF0~PF2、PF4~PF6 には、シリアル通信（SIO/UART ch0 と ch1）機能があります。

UART/SIO 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジスタも設定して下さい。またファンクションレジスタ 1 と 2 は同時にポート以外の機能設定をしないで下さい

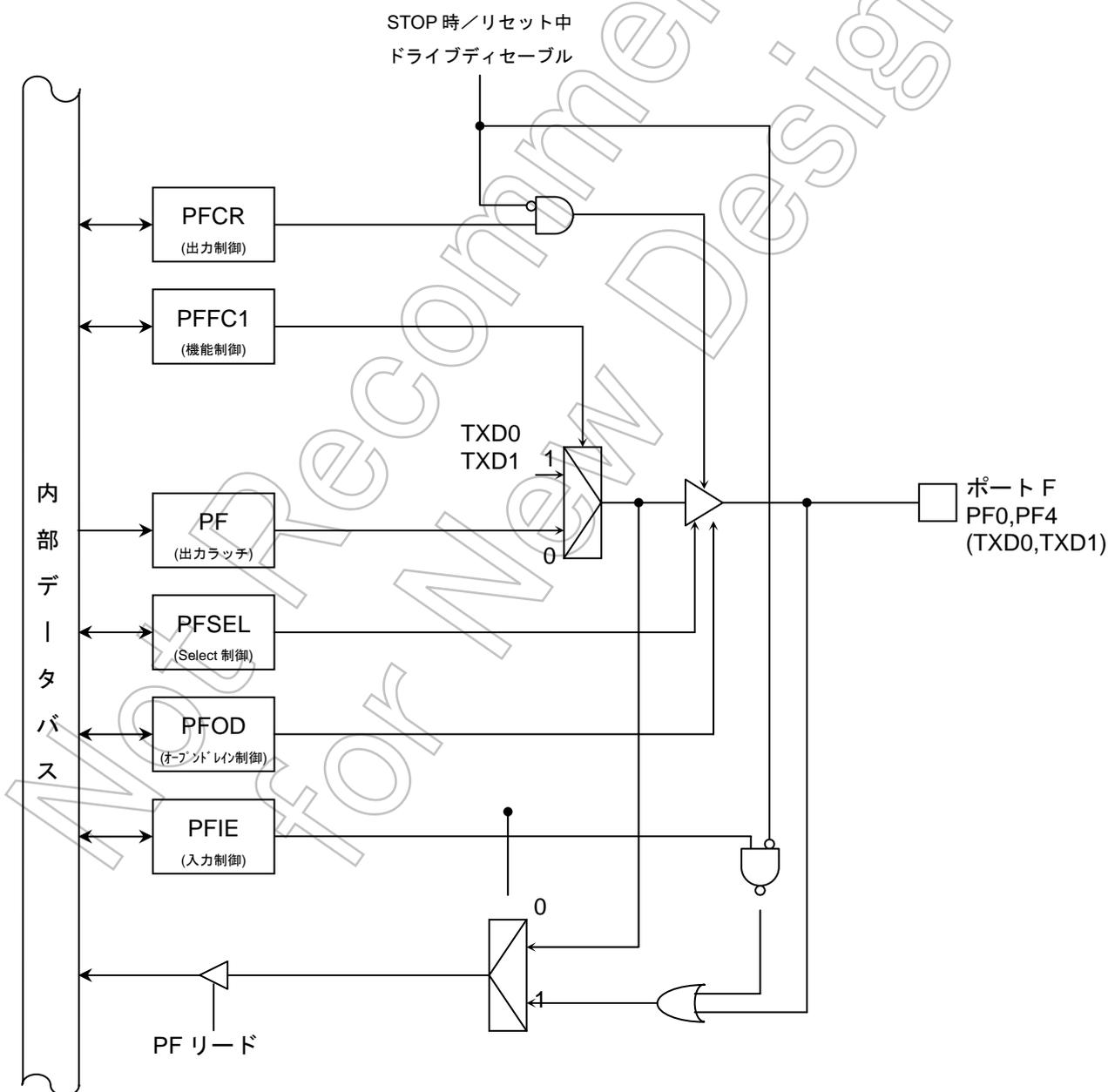


図 7-27 ポート F(PF0,PF4)

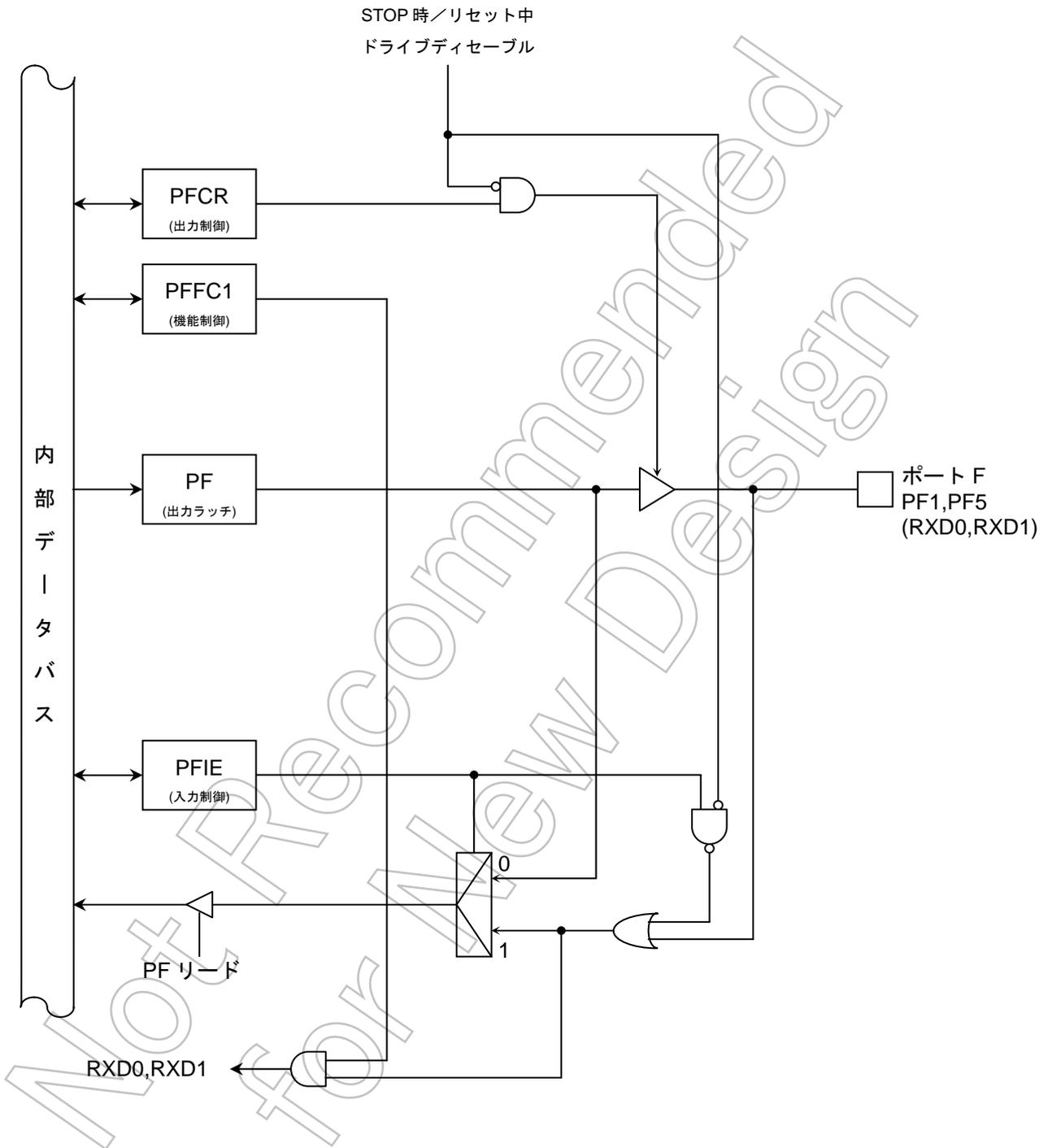


図 7-28 ポート F(PF1,PF5)

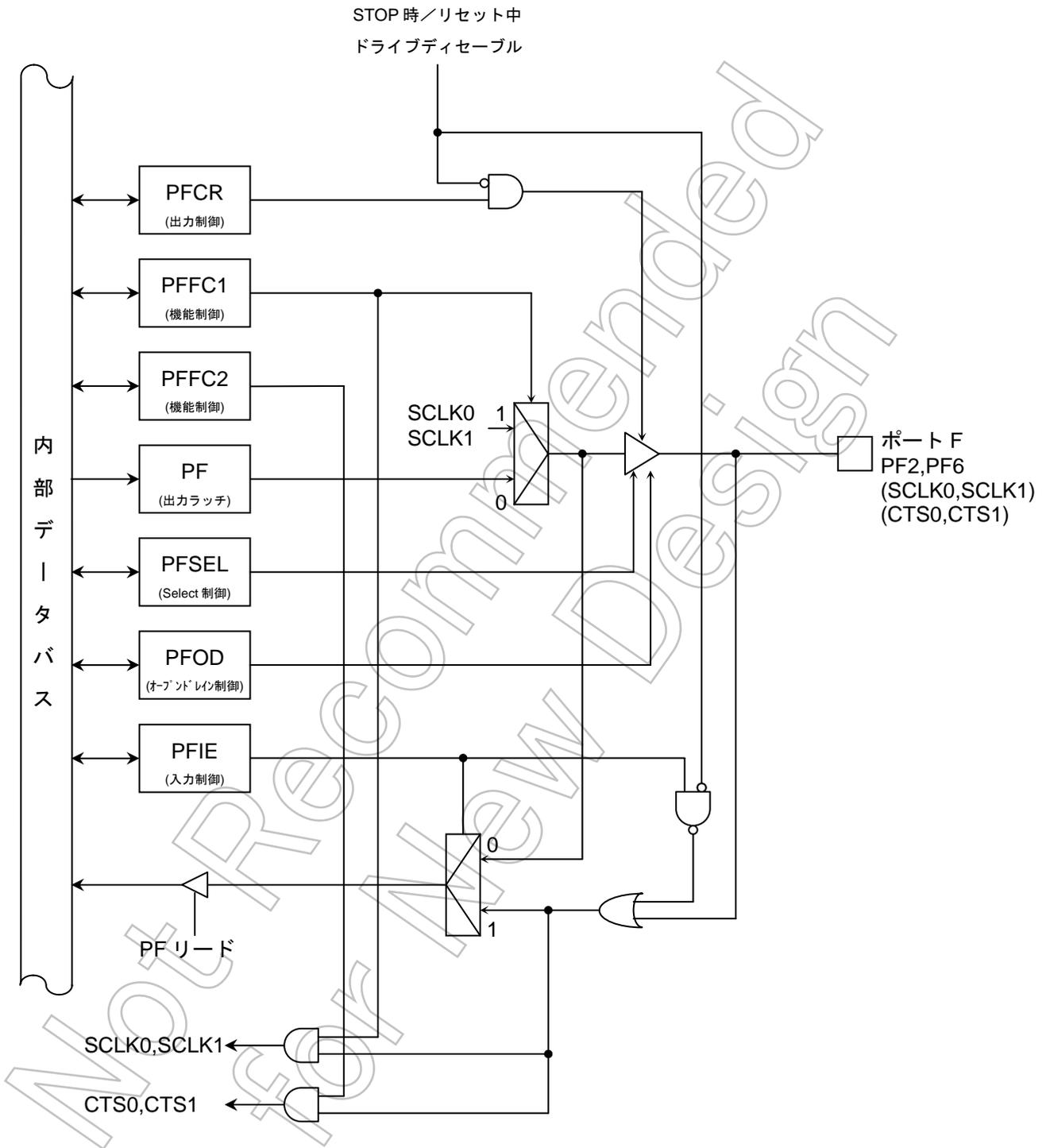


図 7-29 ポート F(PF2,PF6)

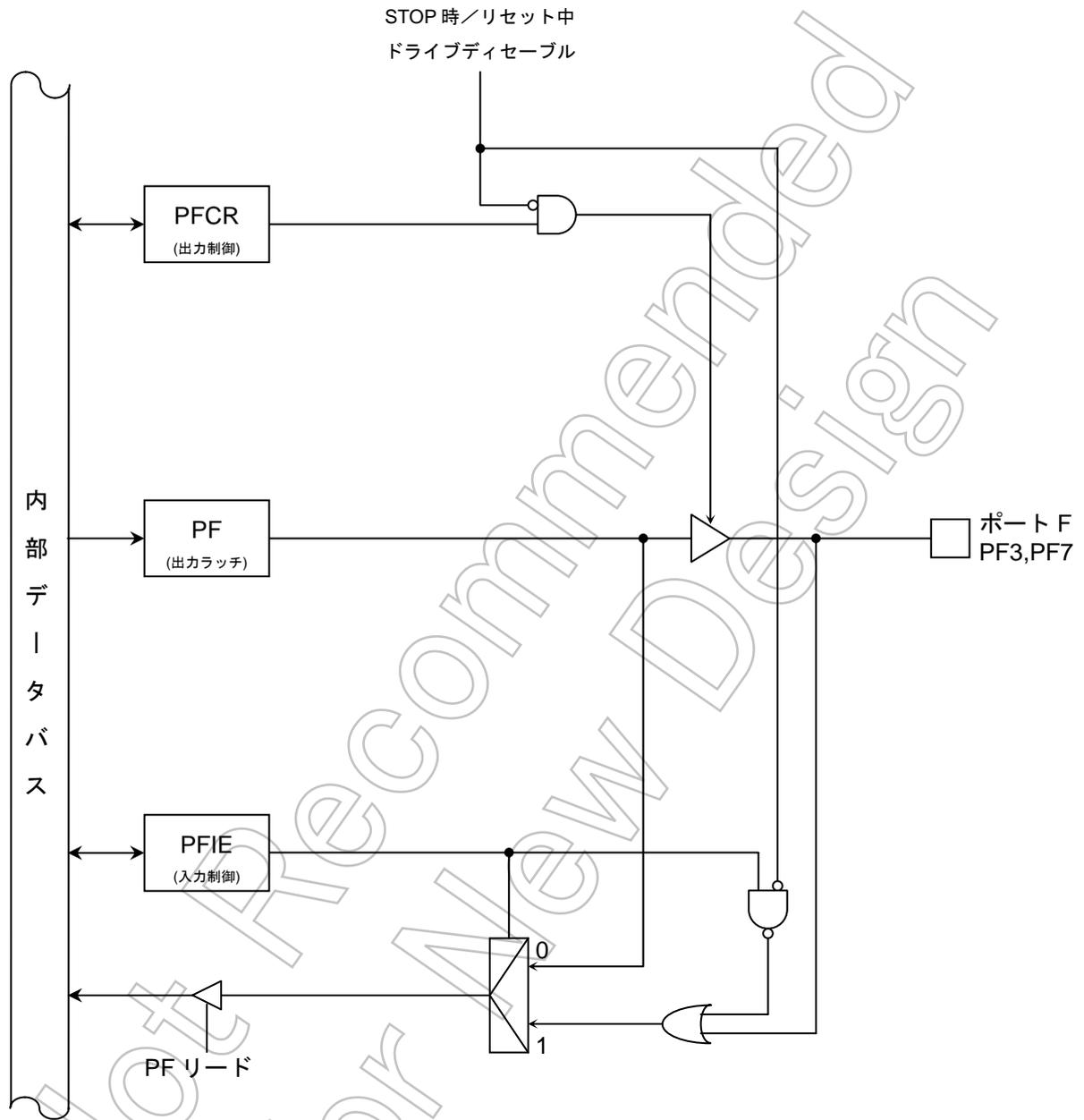


図 7-30 ポート F(PF3,PF7)

ポートFレジスタ

	7	6	5	4	3	2	1	0	
PF (0xFFFF_F0F0)	Bit Symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートFコントロールレジスタ

	7	6	5	4	3	2	1	0	
PFCR (0xFFFF_F0F1)	Bit Symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:入力 1:出力							

ポートFファンクションレジスタ1

	7	6	5	4	3	2	1	0	
PFFC1 (0xFFFF_F0F2)	Bit Symbol		PF6F1	PF5F1	PF4F1		PF2F1	PF1F1	PF0F1
	Read/Write	R/W							
	リセット後		0	0	0		0	0	0
	機能		0:Port 1:SCLK1	0:Port 1:RXD1	0:Port 1:TXD1		0:Port 1:SCLK0	0:Port 1:RXD0	0:Port 1:TXD0

ポートFファンクションレジスタ2

	7	6	5	4	3	2	1	0
PFFC2 (0xFFFF_F0F3)	Bit Symbol		PF6F2				PF2F2	
	Read/Write	R/W						
	リセット後		0				0	
	機能		0:Port 1:CTS 1				0:Port 1:CTS0	

ポートFオープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0	
PFOD (0xFFFF_F0FA)	Bit Symbol		PF6OD		PF4OD		PF2OD		PF0OD
	Read/Write	R/W							
	リセット後		0		0		0		0
	機能		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン

ポートFシリアル設定レジスタ

	7	6	5	4	3	2	1	0	
PFSEL (0xFFFF_F0FD)	Bit Symbol		PF6SEL		PF4SEL		PF2SEL		PF0SEL
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能		SCLK1 0:オフ 1:SCLK		TXD1 0:オフ 1:TXD		SCLK0 0:オフ 1:SCLK		TXD0 0:オフ 1:TXD

ポート F インพุット制御レジスタ

	7	6	5	4	3	2	1	0
PFIE (0xFFFF_F0FE)	PF7IE	PF6IE	PF5IE	PF4IE	PF3IE	PF2IE	PF1IE	PF0IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.18 ポート G(PG0~PG7)

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PGCR とファンクションレジスタ PGFCx によって行います。リセット動作により PG の全ビットは “0” にセットされ、また、PGCR と PGFC1 と PGFC2 の全ビットは “0” にクリアされ、ポート G 出力ディゼーブルになります。

入出力機能以外に PG0~PG2 には、シリアル通信 (SIO/UART ch2) 機能があります。UART/SIO 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジスタも設定して下さい。またファンクションレジスタ 1 と 2 は同時にポート以外の機能設定をしないで下さい

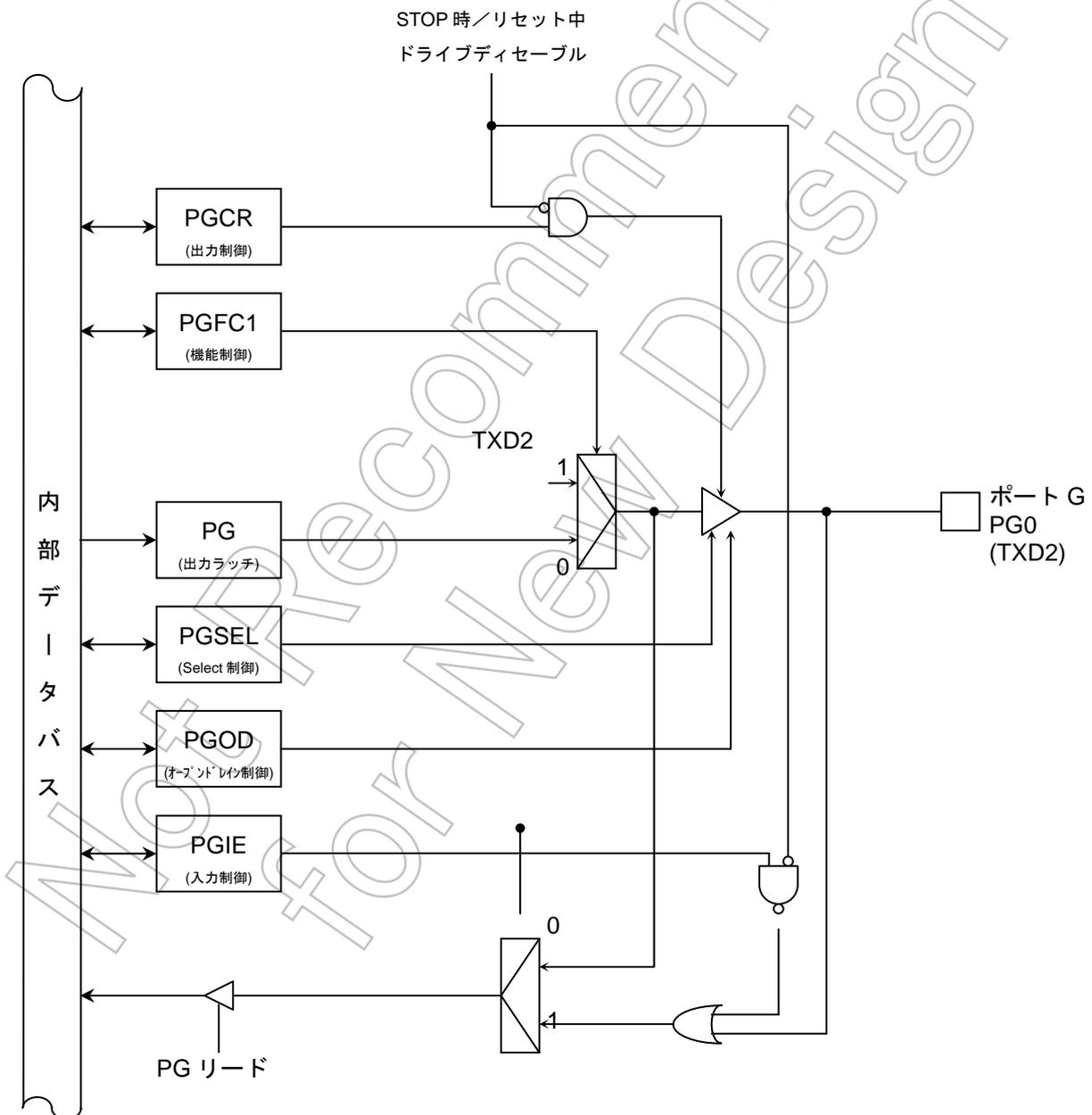


図 7-31 ポート G(PG0)

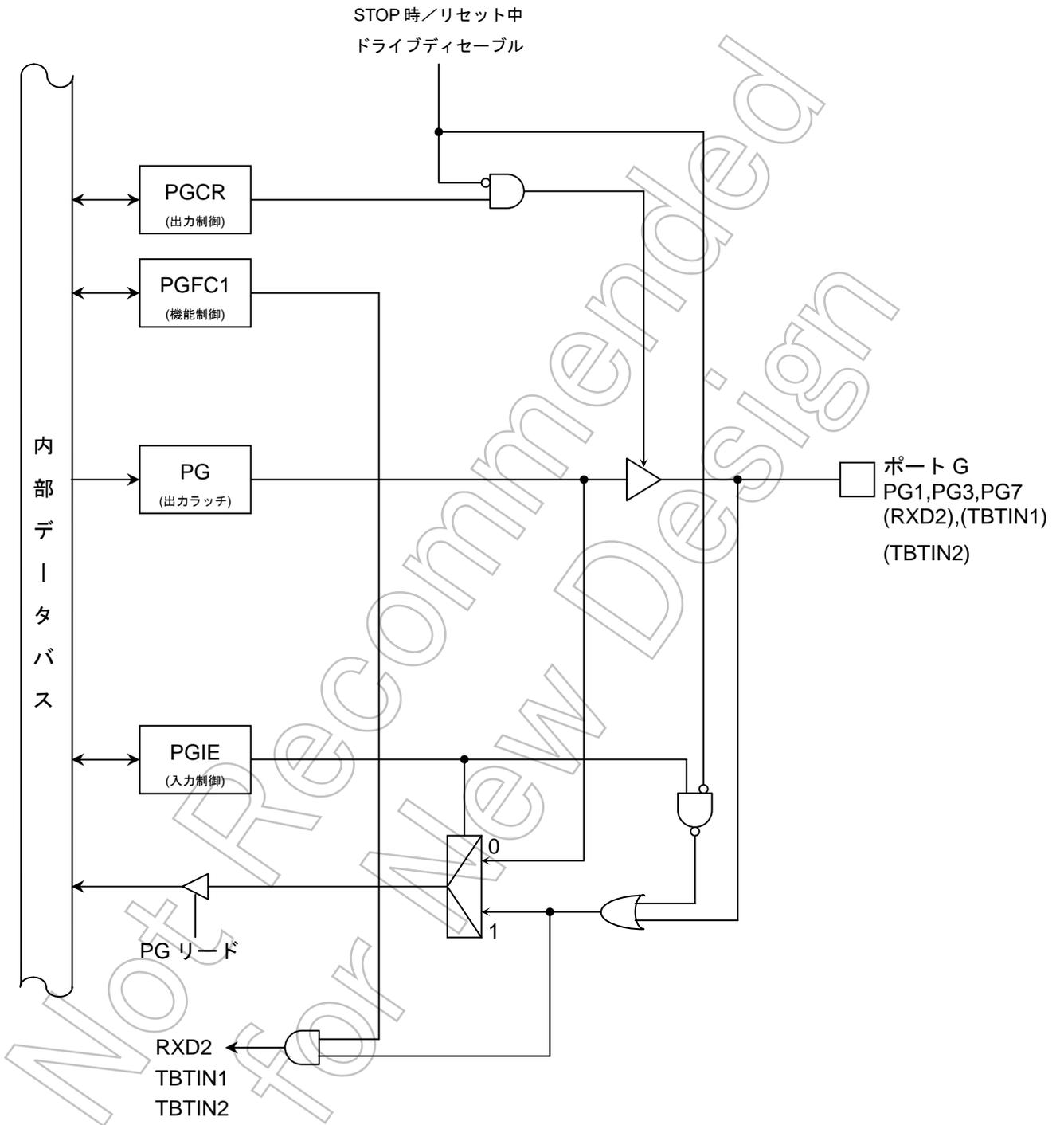


図 7-32 ポート G(PG1,PG3,PG7)

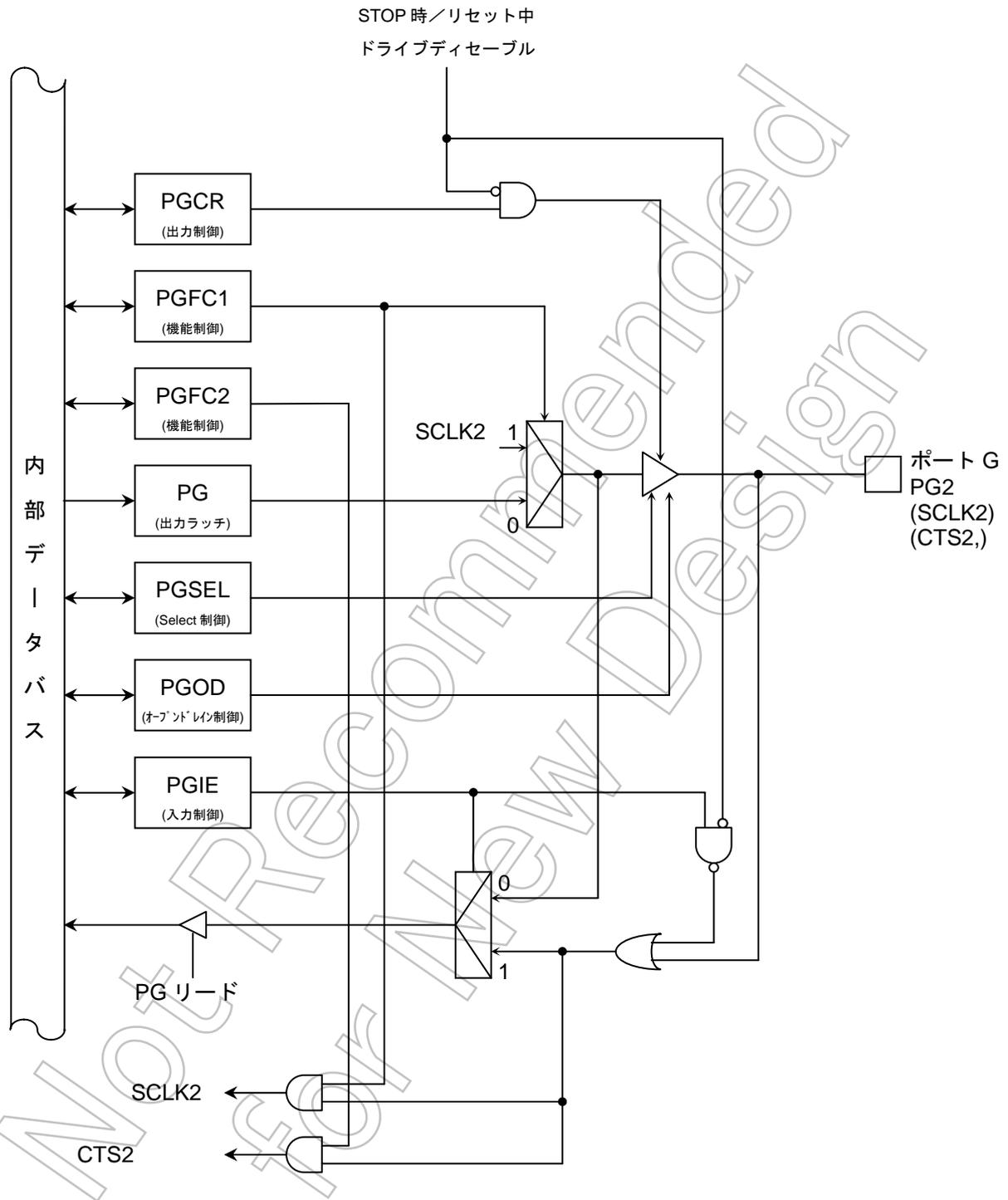


図 7-33 ポート G(PG2)

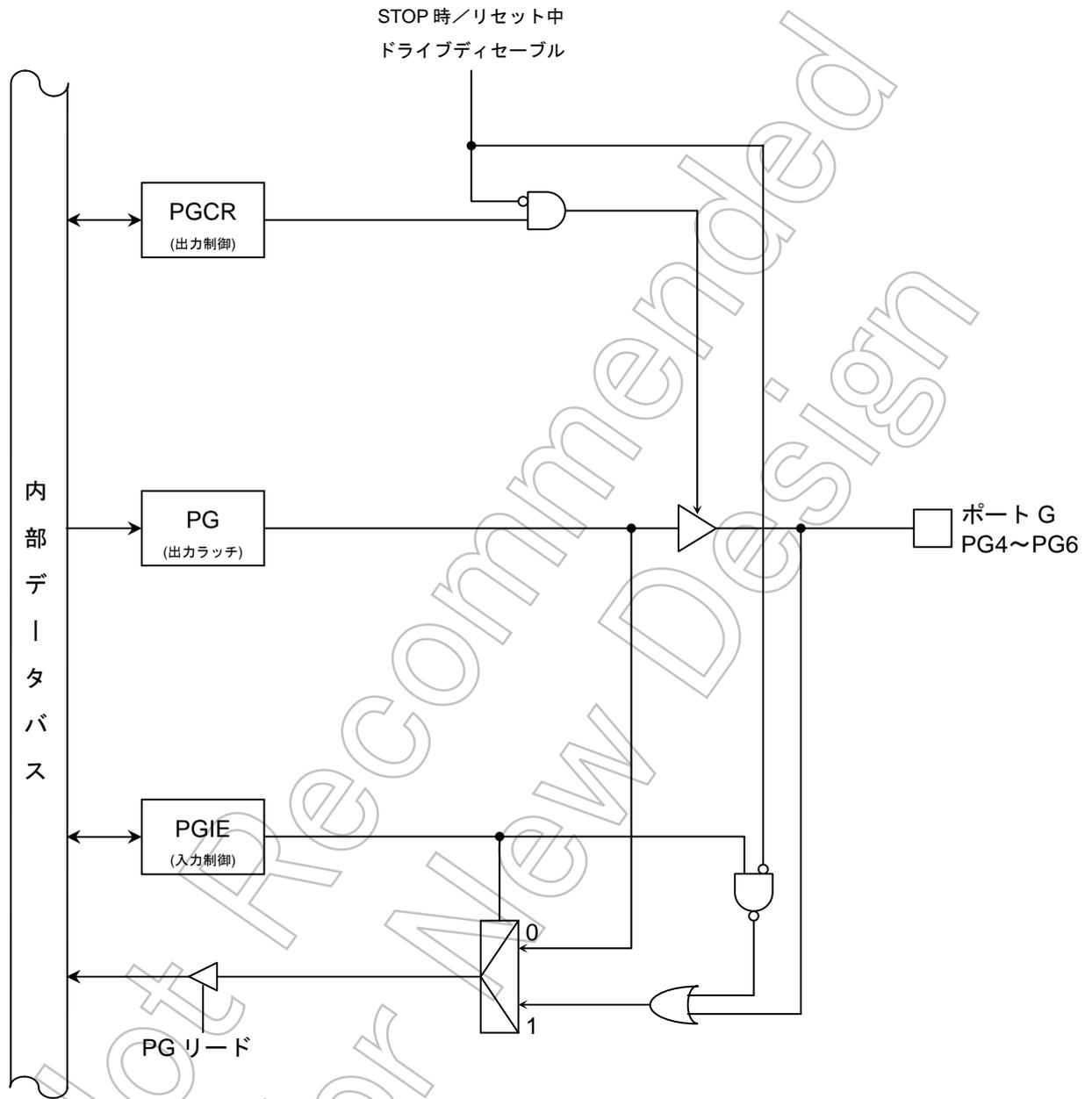


図 7-34 ポート G(PG4~PG6)

ポート G レジスタ

		7	6	5	4	3	2	1	0	
PG (0xFFFF_F100)	Bit Symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0	
	Read/Write	R/W								
	リセット後	入力モード(出力ラッチレジスタは“0”に Set)								

ポート G コントロールレジスタ

		7	6	5	4	3	2	1	0	
PGCR (0xFFFF_F101)	Bit Symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	0:入力 1:出力								

ポート G ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PGFC1 (0xFFFF_F102)	Bit Symbol	PG7F1	PG6F1	PG5F1	PG4F1	PG3F1	PG2F1	PG1F1	PG0F1
	Read/Write	R/W	0 R			R/W			
	リセット後	0	0	0	0	0	0	0	0
	機能	0:Port 1:TBTIN2	0:Port	0:Port	0:Port	0:Port 1:TBTIN1	0:Port 1:SCLK2	0:Port 1:RXD2	0:Port 1:TXD2

ポート G ファンクションレジスタ 2

		7	6	5	4	3	2	1	0	
PGFC2 (0xFFFF_F103)	Bit Symbol						PG2F2			
	Read/Write	R/W								
	リセット後						0			
	機能						0:Port 1:CTS2			

ポート G オープンドレイン (OD) 制御レジスタ

		7	6	5	4	3	2	1	0	
PGOD (0xFFFF_F10A)	Bit Symbol						PG2OD		PGF0OD	
	Read/Write	R/W								
	リセット後						0		0	
	機能						0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン	

ポート G シリアル設定レジスタ

		7	6	5	4	3	2	1	0	
PGSEL (0xFFFF_F10D)	Bit Symbol						PG2SEL		PG0SEL	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0		0	
	機能						SCLK2 0:オフ 1:SCLK		TXD2 0:オフ 1:TXD	

ポート G インプット制御レジスタ

		7	6	5	4	3	2	1	0
PGIE (0xFFFF_F10E)	Bit Symbol	PG7IE	PG7IE	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.19 ポート H(PH0~PH7)

ポート H はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PHCR とファンクションレジスタ PHFCx によって行います。リセット動作により PH の全ビットは “1” にセットされ、また、PHCR と PHFC1 と PHFC2 の全ビットは “0” にクリアされ、ポート H 出力ディゼーブルになります。

入出力機能以外に PH0~PH2、PH4~PH6 には、シリアル通信 (SIO/UART ch4 と ch5) 機能、PH3、PH7 には、外部割込み入力機能 (INT9、INTA) があります。

UART/SIO 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジスタも設定して下さい。またファンクションレジスタ 1 と 2 は同時にポート以外の機能設定をしないで下さい。

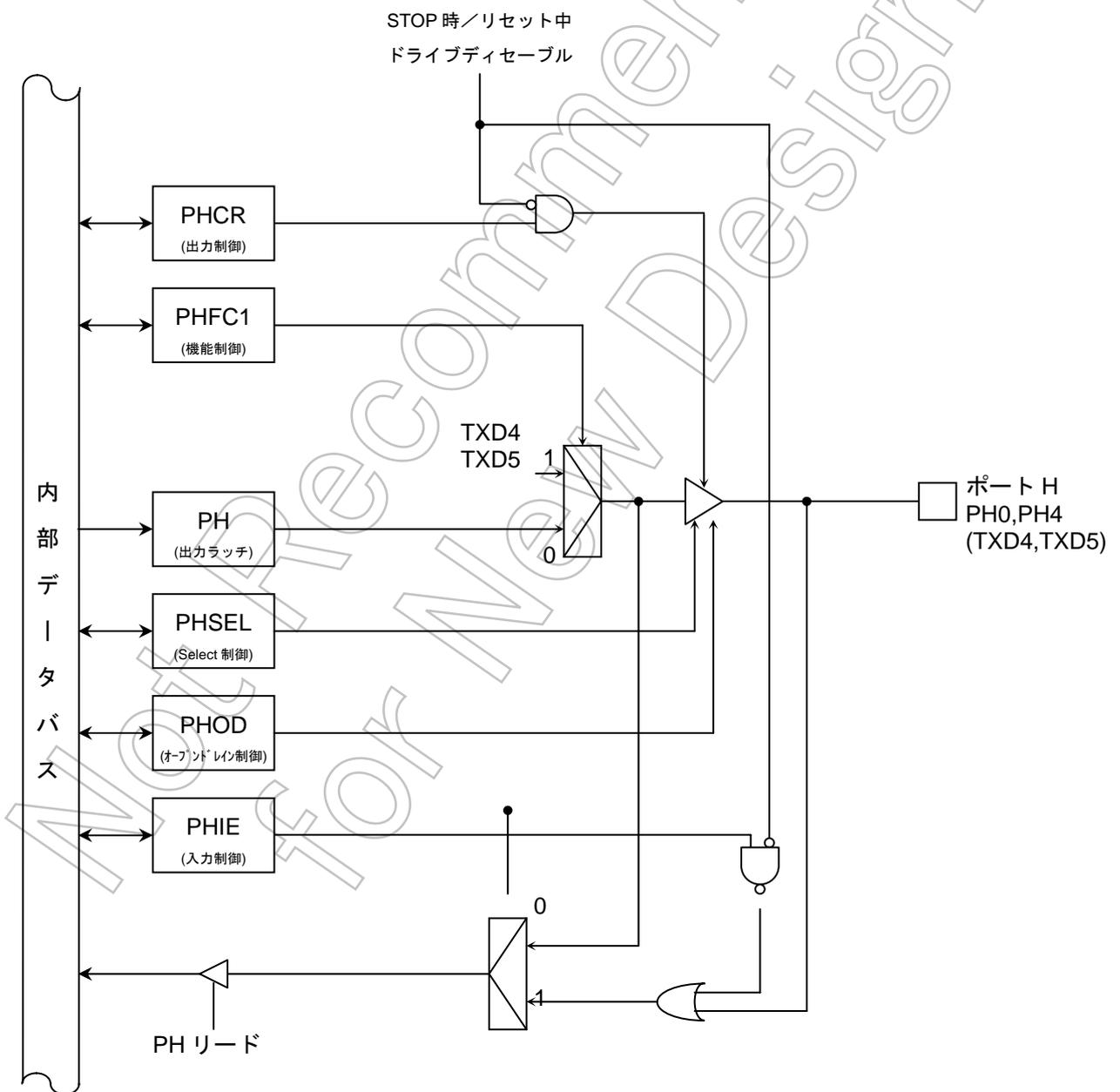


図 7-35 ポート H(PH0,PH4)

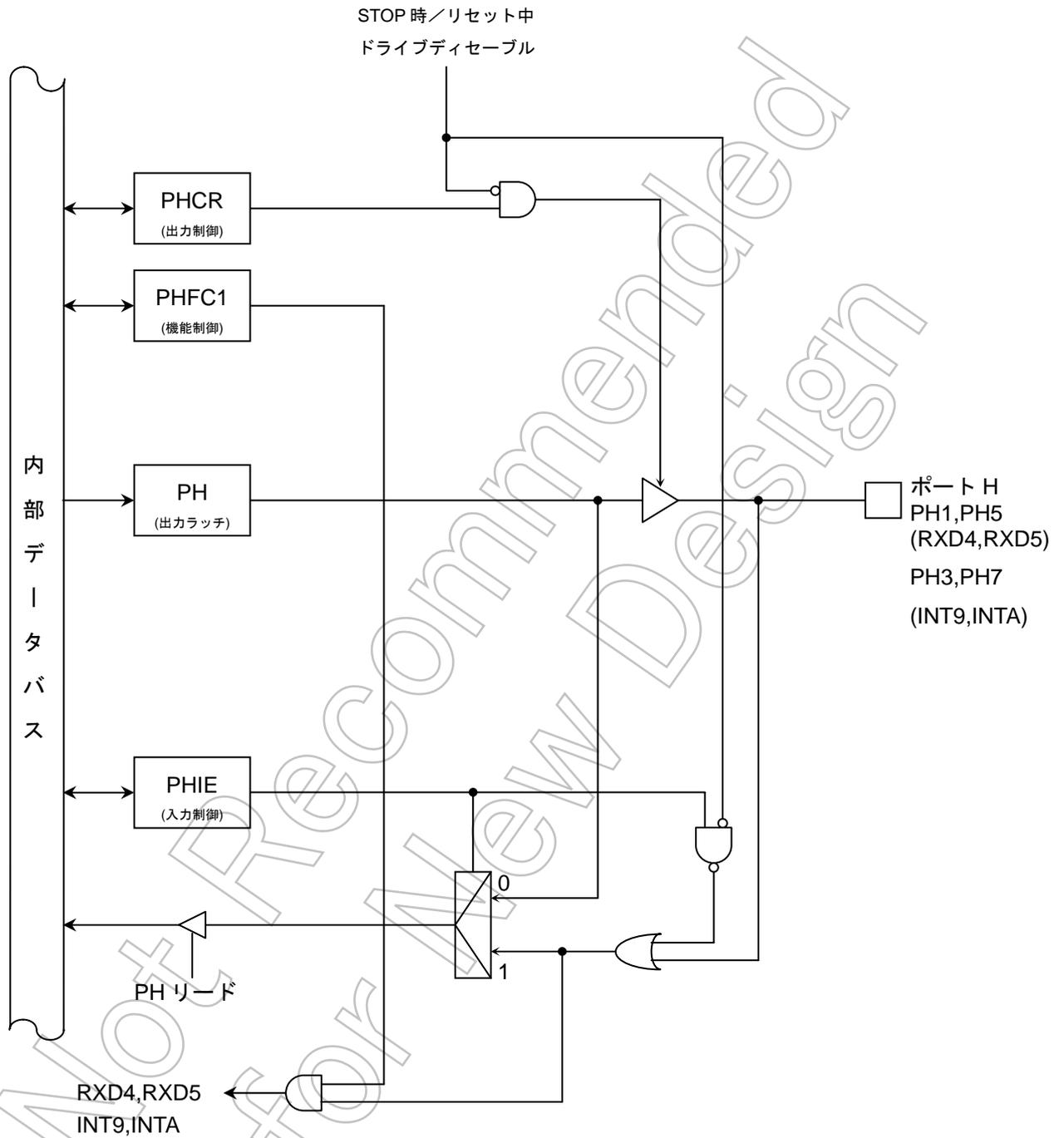


図 7-36 ポート H (PH1, PH5, PH3, PH7)

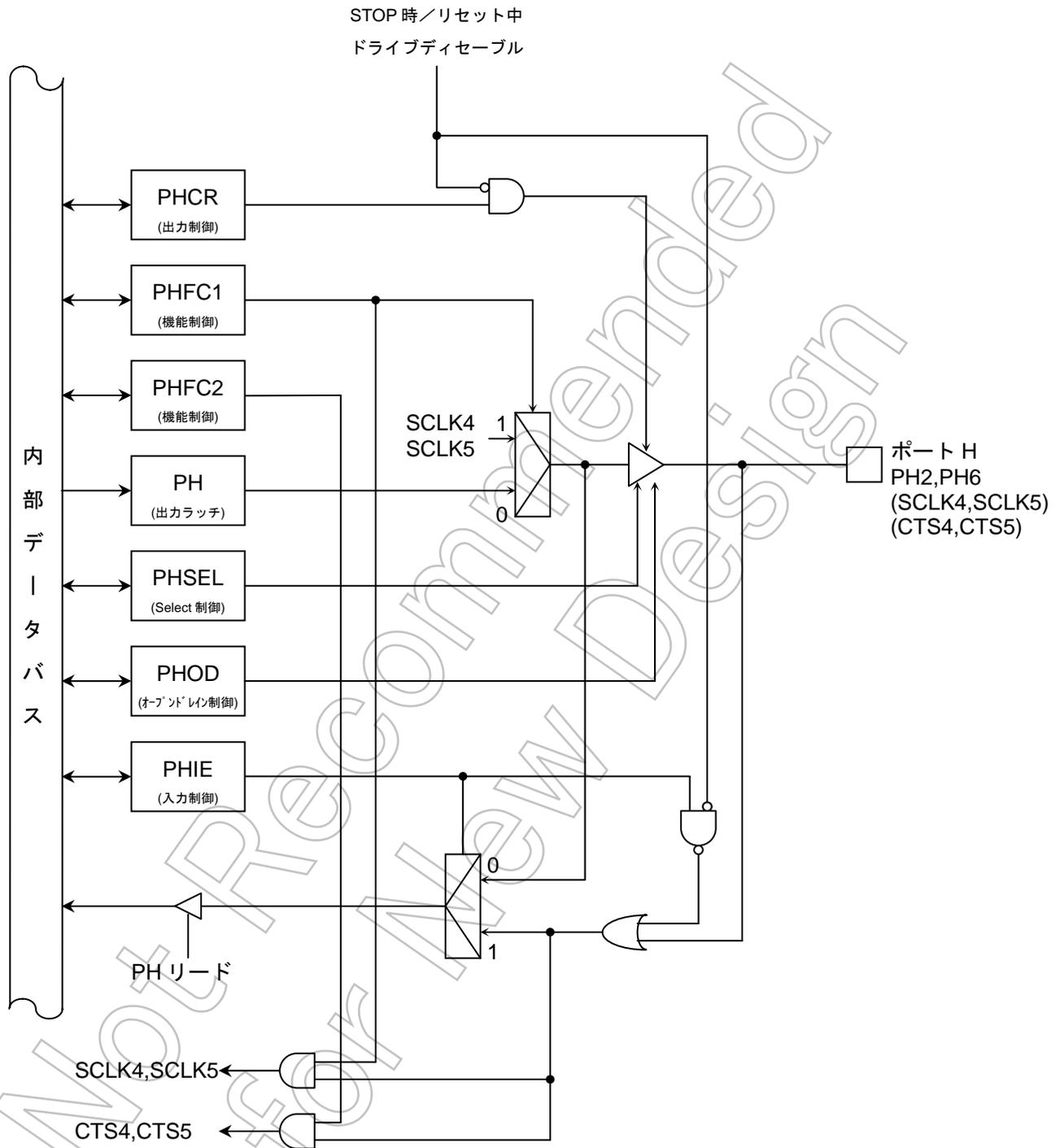


図 7-37 ポート H(PH2,PH6)

ポートHレジスタ

	7	6	5	4	3	2	1	0
PH (0xFFFF_F110)	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
Bit Symbol								
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートHコントロールレジスタ

	7	6	5	4	3	2	1	0
PHCR (0xFFFF_F111)	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:入力 1:出力							

ポートHファンクションレジスタ1

	7	6	5	4	3	2	1	0
PHFC1 (0xFFFF_F112)	PH7F1	PH6F1	PH5F1	PH4F1	PH3F1	PH2F1	PH1F1	PH0F1
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:Port 1:INTA	0:Port 1:SCLK5	0:Port 1:RXD5	0:Port 1:TXD5	0:Port 1:INT9	0:Port 1:SCLK4	0:Port 1:RXD4	0:Port 1:TXD4

ポートHファンクションレジスタ2

	7	6	5	4	3	2	1	0
PHFC2 (0xFFFF_F113)		PH6F2				PH2F2		
Bit Symbol								
Read/Write	R/W							
リセット後		0				0		
機能		0:Port 1:CTS5				0:Port 1:CTS4		

ポートHオープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
PHOD (0xFFFF_F11A)		PH6OD		PH4OD		PH2OD		PH0OD
Bit Symbol								
Read/Write	R/W							
リセット後		0		0		0		0
機能		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン

ポートHシリアル設定レジスタ

	7	6	5	4	3	2	1	0
PHSEL (0xFFFF_F11D)		PH6SEL		PH4SEL		PH2SEL		PH0SEL0
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0		0
機能		SCLK5 0:オフ 1:SCLK		TXD5 0:オフ 1:TXD		SCLK4 0:オフ 1:SCLK		TXD4 0:オフ 1:TXD

ポートH インพุット制御レジスタ

	7	6	5	4	3	2	1	0
PHIE (0xFFFF_F11E)	PH7IE	PH6IE	PG5IE	PH4IE	PH3IE	PH2IE	PH1IE	PH0IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.20 ポート I (PI0~PI7)

ポート I はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PICR とファンクションレジスタ PIFC_x によって行います。リセット動作により PI の全ビットは “1” にセットされ、また、PICR と PIFC₁ と PIFC₂ の全ビットは “0” にクリアされ、ポート I 出力ディゼーブルになります。

入出力機能以外に PI0~PI2、PI4~PI6 には、シリアル通信 (SIO/UART ch6 と ch7) 機能、PI3 には、外部割込み入力機能 (INTB) があります。

UART/SIO 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジスタも設定して下さい。またファンクションレジスタ 1 と 2 は同時にポート以外の機能設定をしないで下さい。

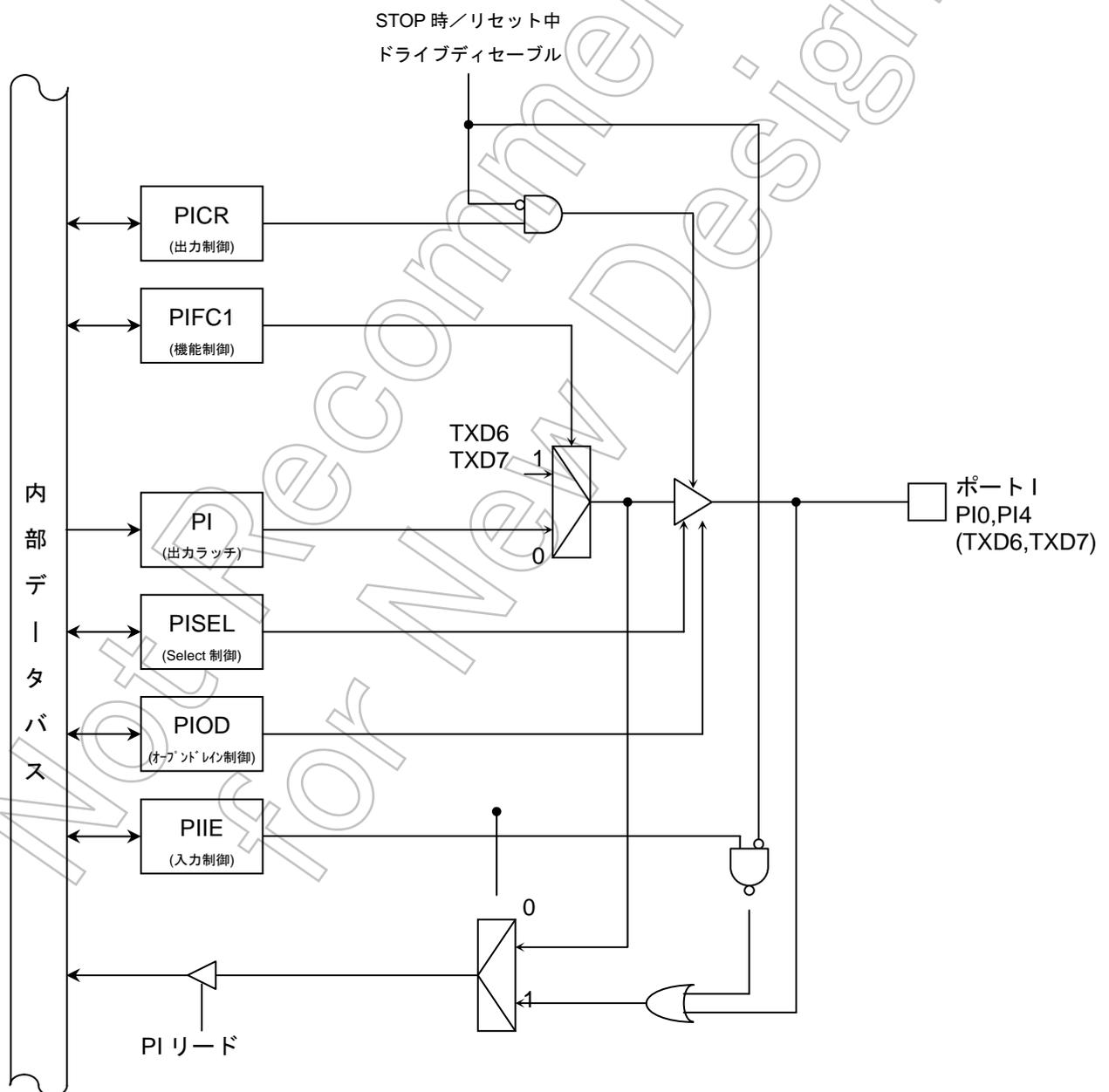


図 7-38 ポート I (PI0, PI4)

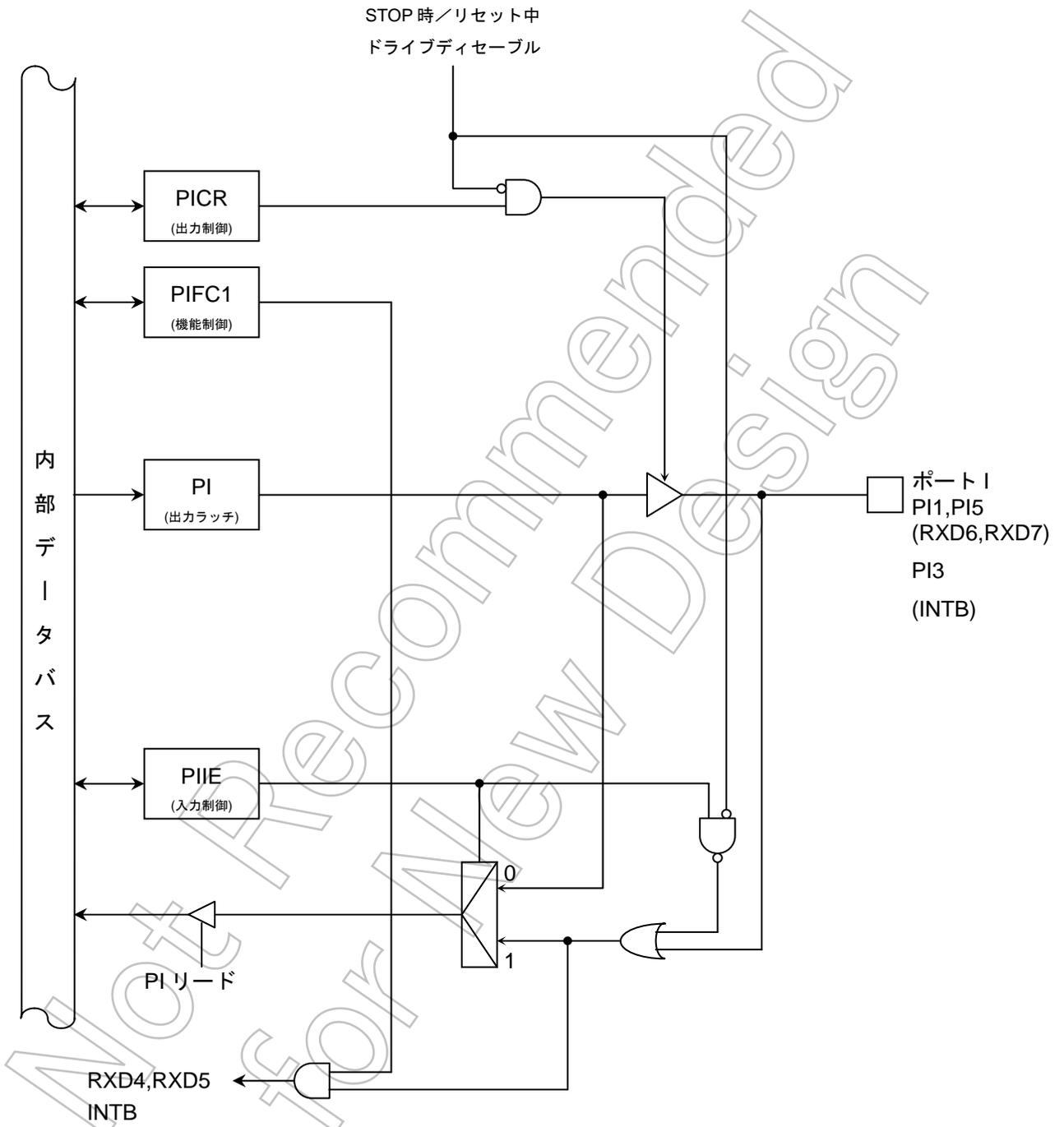


図 7-39 ポート I(PI1,PI5,PI3)

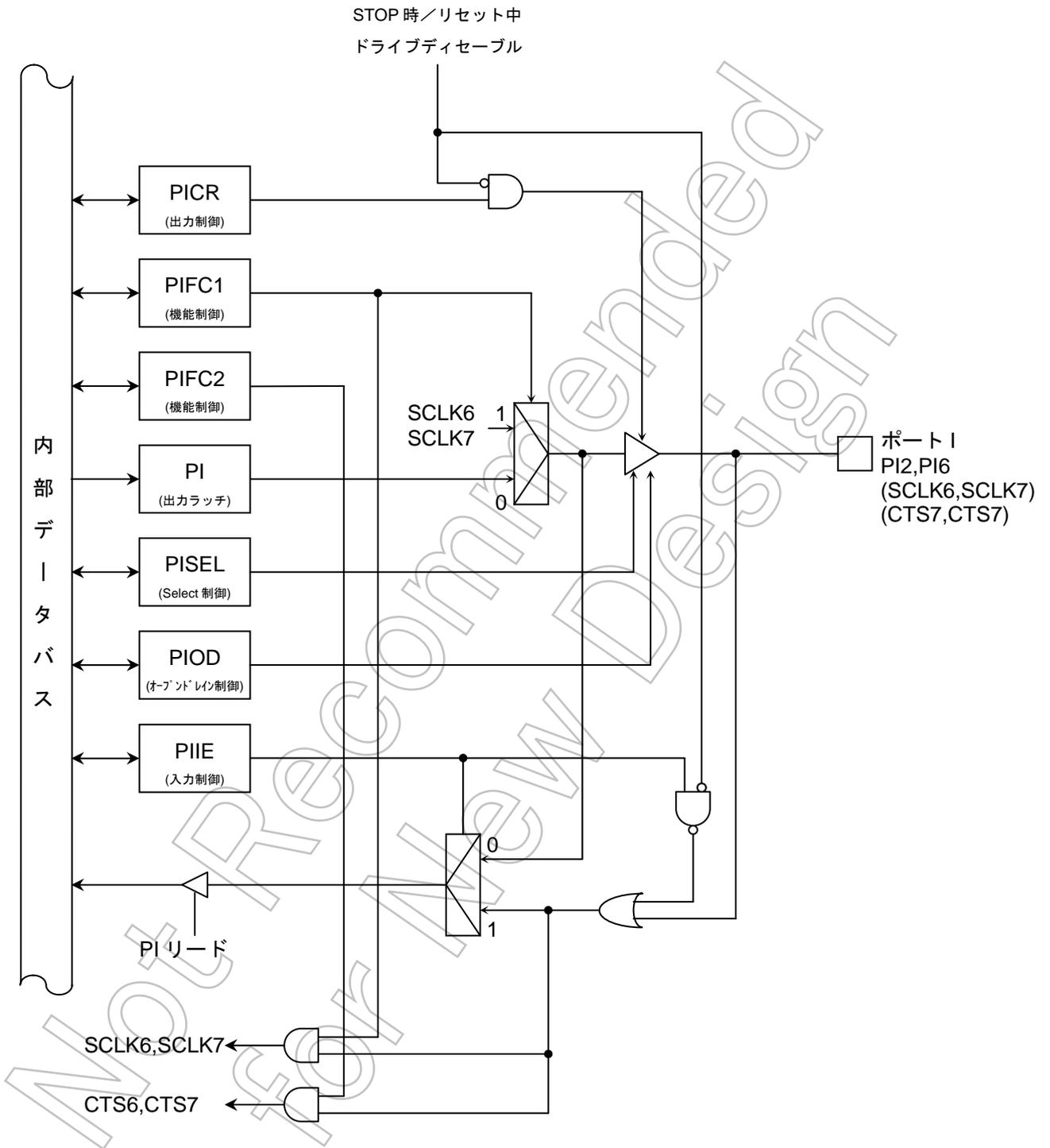


図 7-40 ポート I (PI2, PI6)

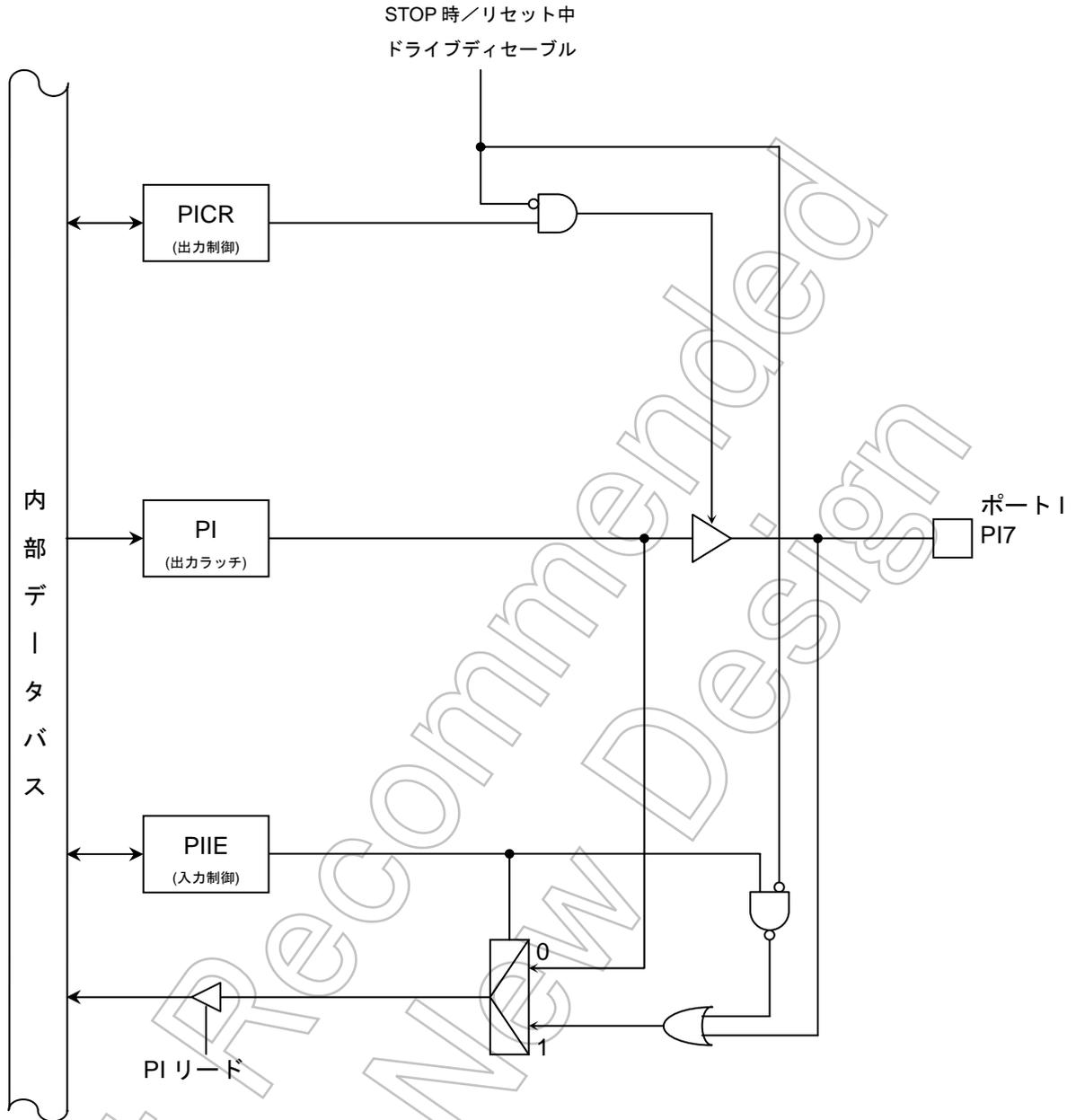


図 7-41 ポート I(PI7)

ポートIレジスタ

	7	6	5	4	3	2	1	0
PI (0xFFFF_F120)	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートIコントロールレジスタ

	7	6	5	4	3	2	1	0
PICR (0xFFFF_F121)	PI7C	PI6C	PI5C	PI4C	PI3C	PI2C	PI1C	PI0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:入力 1:出力							

ポートIファンクションレジスタ1

	7	6	5	4	3	2	1	0
PIFC1 (0xFFFF_F122)	PI7F1	PI6F1	PI5F1	PI4F1	PI3F1	PI2F1	PI1F1	PI0F1
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能		0:Port 1:SCLK7	0:Port 1:RXD7	0:Port 1:TXD7	0:Port 1:INTB	0:Port 1:SCLK6	0:Port 1:RXD6	0:Port 1:TXD6

ポートIファンクションレジスタ2

	7	6	5	4	3	2	1	0
PIFC2 (0xFFFF_F123)		PI6F2				PI2F2		
Read/Write	R/W							
リセット後		0				0		
機能		0:Port 1:CTS7				0:Port 1:CTS6		

ポートIオープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
PIOD (0xFFFF_F12A)		PI6OD		PI4OD		PI2OD		PI0OD
Read/Write	R/W							
リセット後		0		0		0		0
機能		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン

ポートIシリアル設定レジスタ

	7	6	5	4	3	2	1	0
PISEL (0xFFFF_F12D)		PI6SEL		PI4SEL		PI2SEL		PI0SEL
Read/Write	R/W							
リセット後	0	0	0	0	0	0		0
機能		SCLK7 0:オフ 1:SCLK		TXD7 0:オフ 1:TXD		SCLK6 0:オフ 1:SCLK		TXD6 0:オフ 1:TXD

ポートI インพุット制御レジスタ

	7	6	5	4	3	2	1	0
PIIE (0xFFFF_F12E)	PI7IE	PI6IE	PI5IE	PI4IE	PI3IE	PI2IE	PI1IE	PI0IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.21 ポート J(PJ0~PJ7)

ポート J はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PJCR によって行います。

リセット動作により PJ の全ビットは “0” にセットされ、また、PJCR の全ビットは “0” にクリアされ、ポート J 出力ディゼーブルになります。

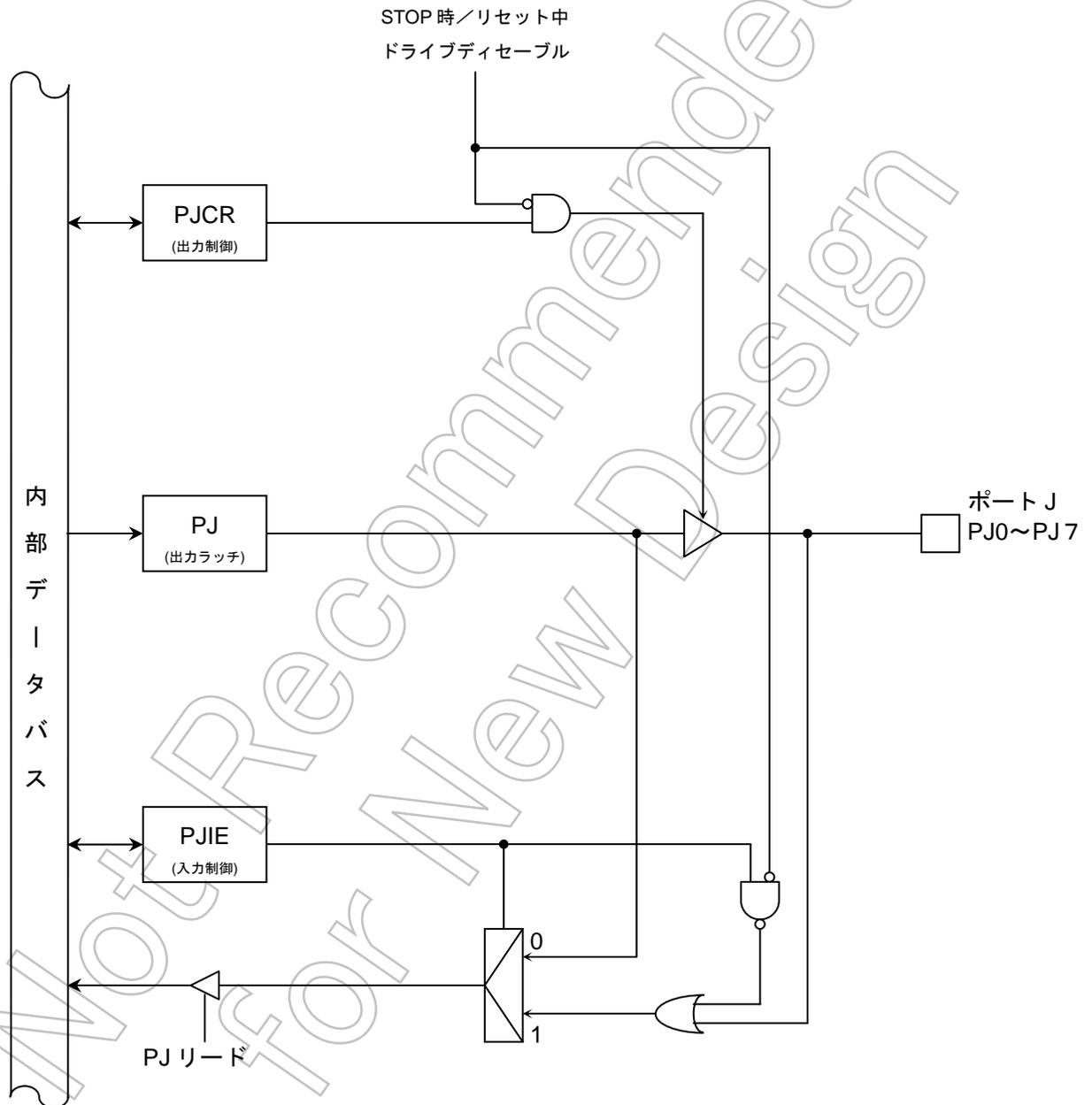


図 7-42 ポート J(PJ0~PJ7)

ポート J レジスタ

	7	6	5	4	3	2	1	0	
PJ (0xFFFF_F130)	Bit Symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは“1”に Set)							

ポート J コントロールレジスタ

	7	6	5	4	3	2	1	0	
PJCR (0xFFFF_F131)	Bit Symbol	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート J インพุット制御レジスタ

	7	6	5	4	3	2	1	0	
PJIE (0xFFFF_F13E)	Bit Symbol	PJ7EI	PJ6EI	PJ5EI	PJ4EI	PJ3EI	PJ2EI	PJ1EI	PJ0EI
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.22 ポート K(PK0~PK7)

ポート K はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。出力の設定は、コントロールレジスタ PKCR とファンクションレジスタ PKFC1 によって行います。リセット動作により、出力ラッチ PK の全ビットと PKCR と PKFC1 の全ビットは “0” にクリアされ、ポート K は出力ディゼーブルになります。入出力機能以外に PK0~PK2 には、シリアル通信 (SIO/UART ch8) 機能、PK5~PK7 にはシリアルバス I/F (SBI2) 機能、PK3, PK4 には、32 ビットタイマキャプチャトリガ入力機能 (TC0IN、TC1IN) があります。UART/SIO 機能、シリアルバス I/F 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジストも設定して下さい。またファンクションレジスタ 1 と 2 は同時にポート以外の機能設定をしないで下さい。

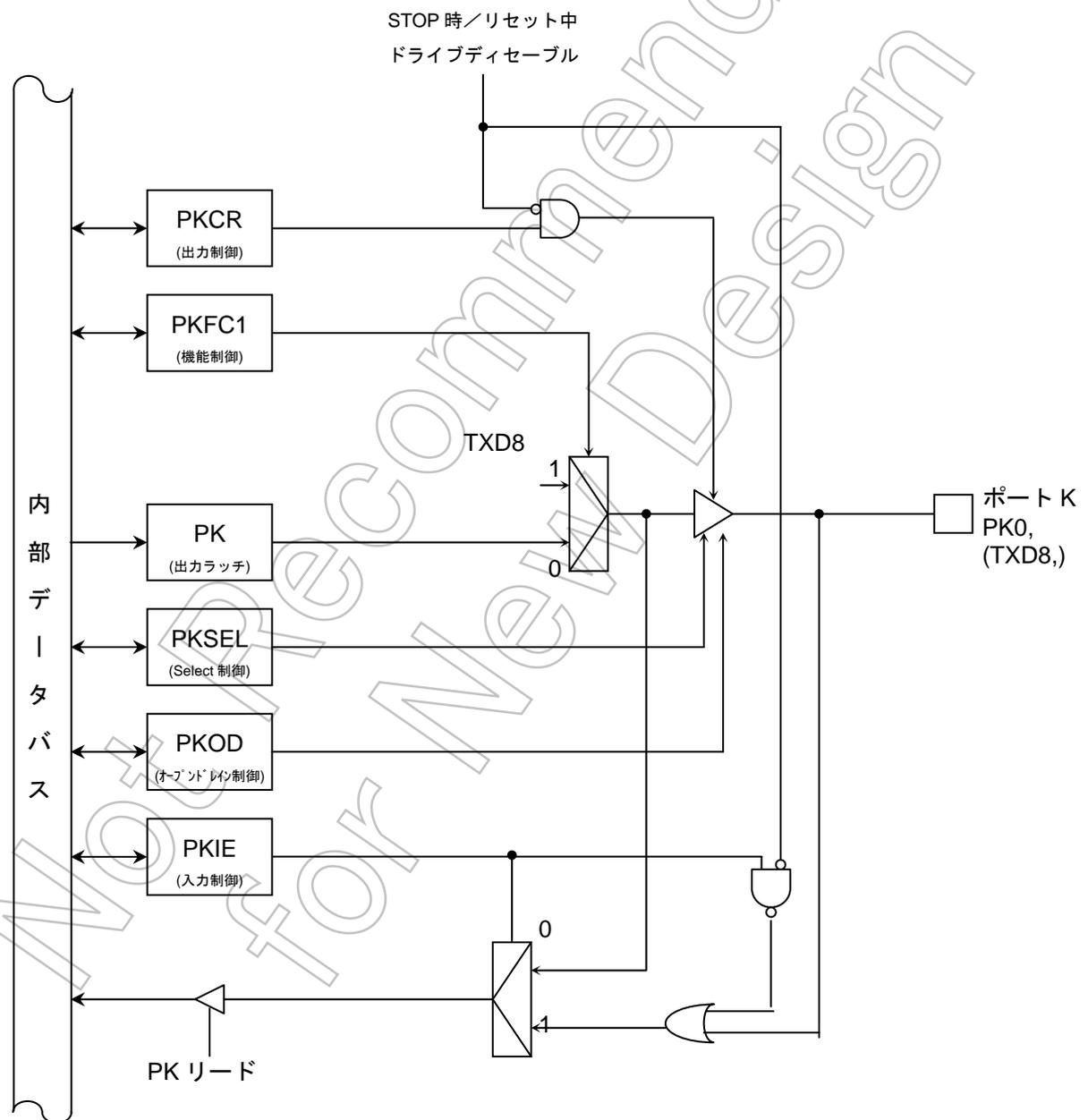


図 7-43 ポート K(PK0)

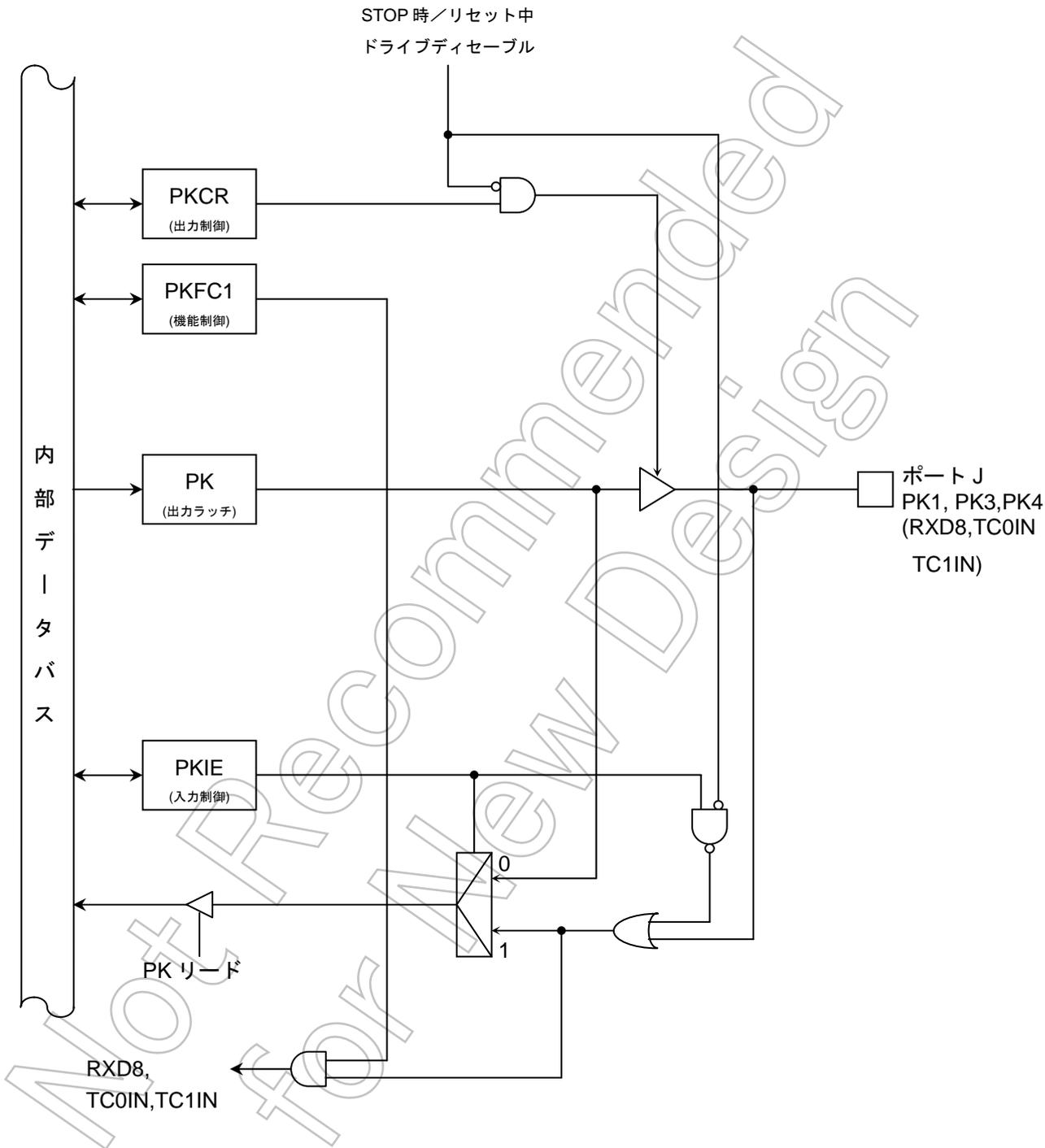


図 7-44 ポート K(PK1,PK3,PK4)

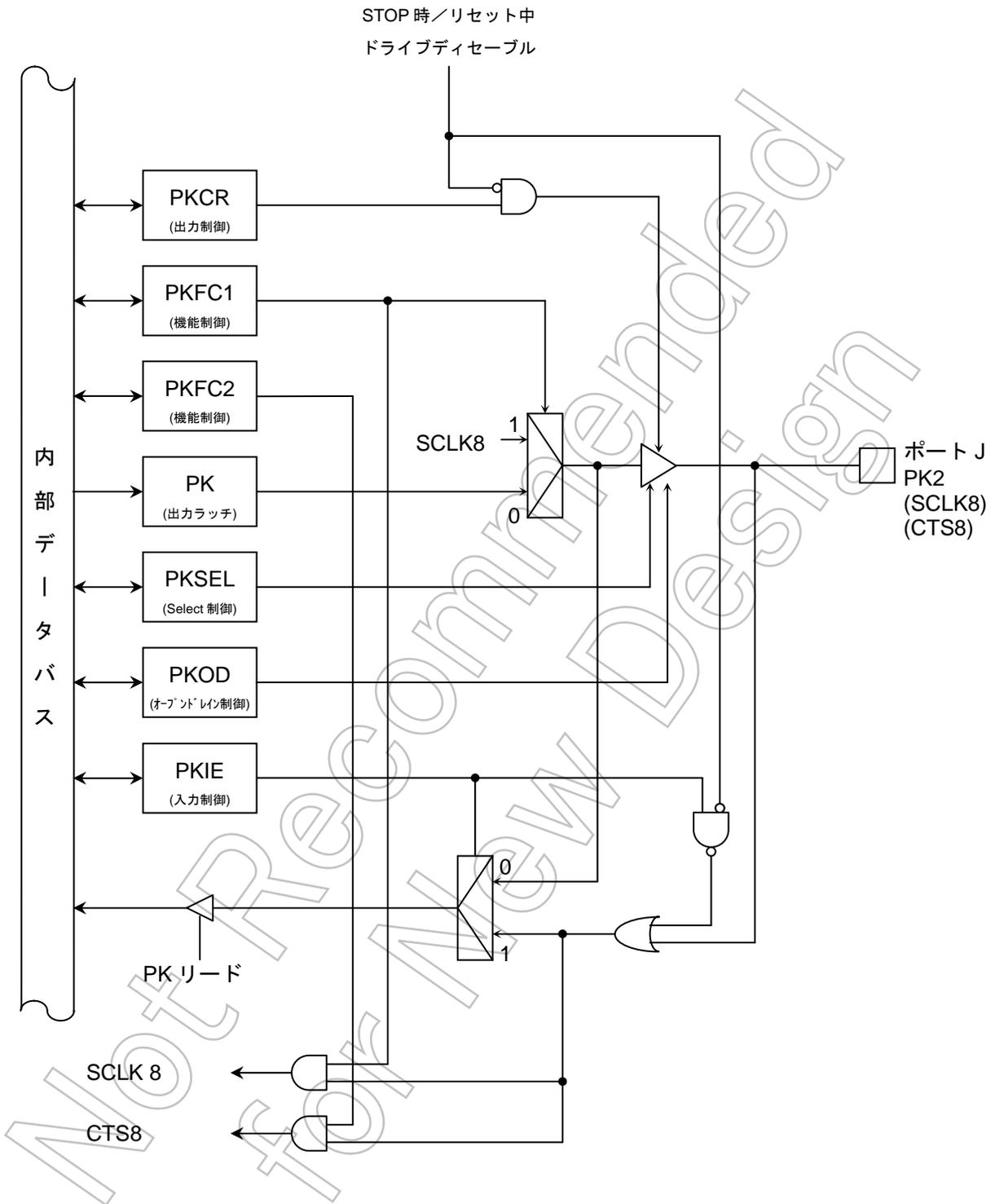


図 7-45 ポート K(PK2)

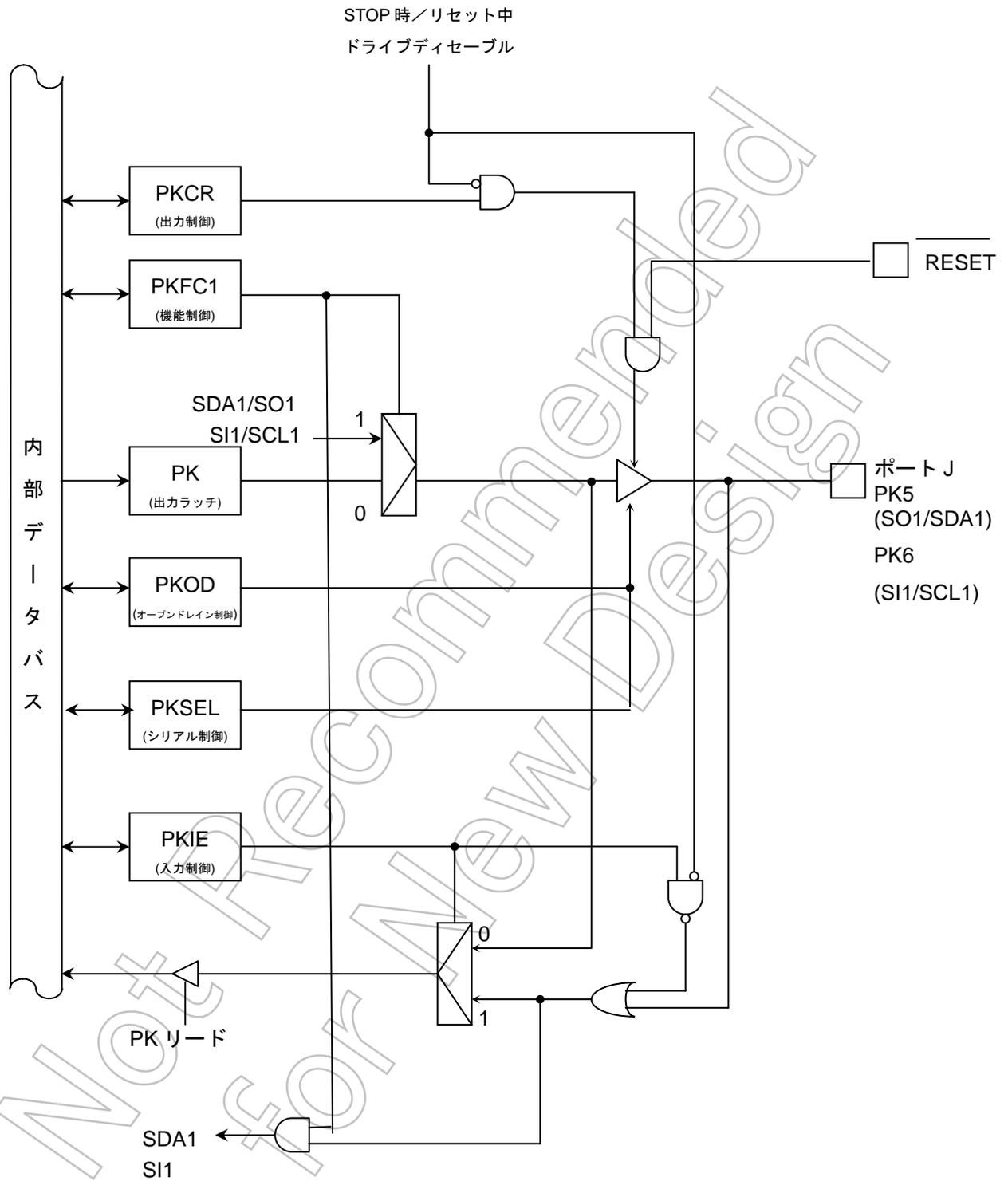


図 7-46 ポート K (PK5, PK6)

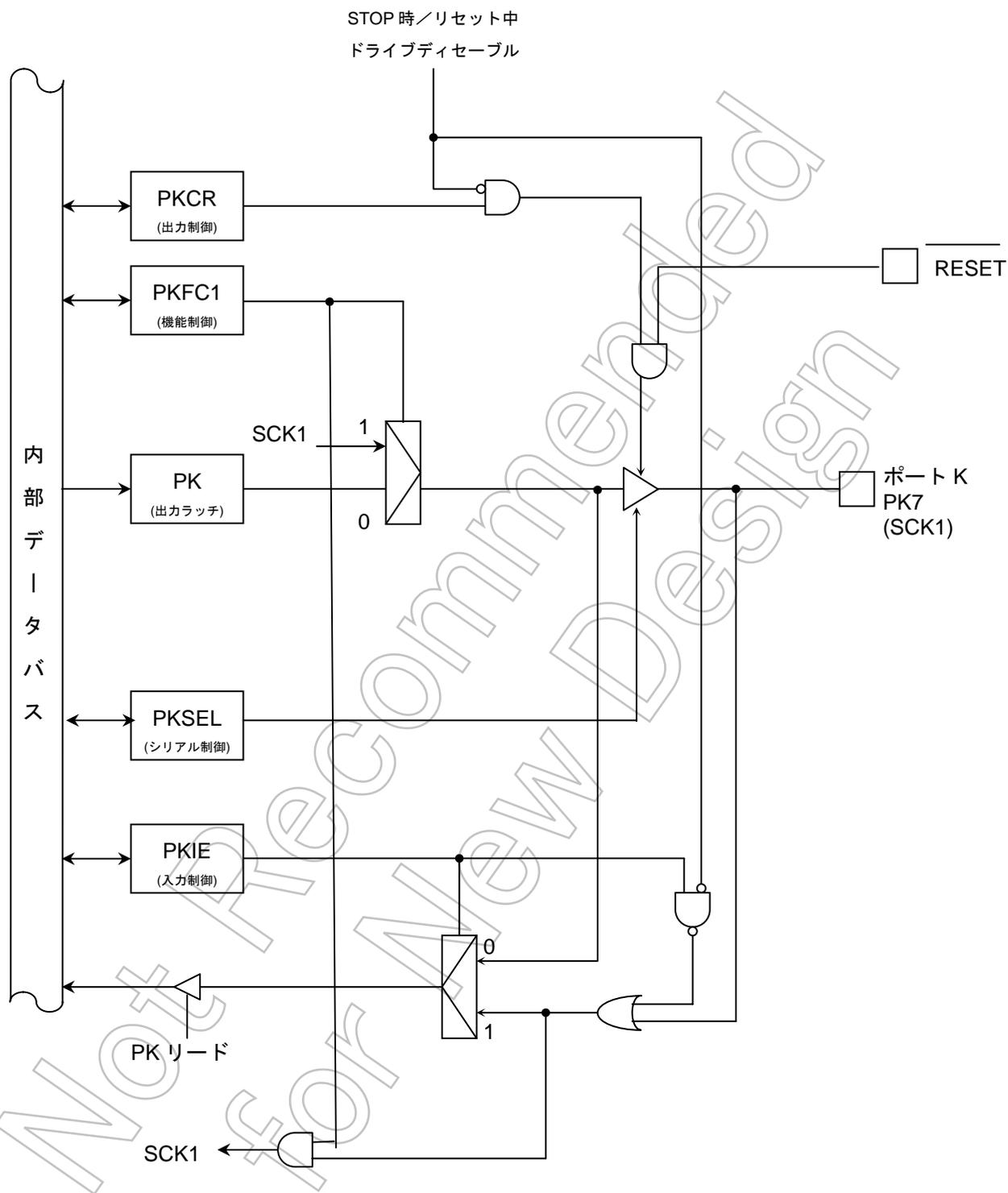


図 7-47 ポート K (PK7)

ポート K レジスタ

	7	6	5	4	3	2	1	0
PK	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
(0xFFFF_F140)	Read/Write R/W							
リセット後	入力モード (出力ラッチレジスタは“0”にクリア)							

ポート K コントロールレジスタ

	7	6	5	4	3	2	1	0
PKCR	PK7C	PK6C	PK5C	PK4C	PK3C	PK2C	PK1C	PK0C
(0xFFFF_F141)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 出力ディゼーブル 1: 出力イネーブル							

ポート K ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
PKFC1	PK7F1	PK6F1	PK5F1	PK4F1	PK3F1	PK2F1	PK1F1	PK0F1
(0xFFFF_F142)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:Port 1:SCK1	0:Port 1:SI1	0:Port 1:SO1	0:Port 1:TC1IN	0:Port 1:TC0IN	0:Port 1:SCLK8	0:Port 1:RXD8	0:Port 1:TXD8

ポート K ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PKFC2						PK2F2		
(0xFFFF_F143)	Read/Write R/W							
リセット後						0		
機能						0:Port 1:CTS8		

ポート K オープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
PKOD		PK6OD	PK5OD			PK2OD		PK0OD
(0xFFFF_F14A)	Read/Write R/W							
リセット後		0	0			0		0
機能		0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン			0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン

ポート K シリアル設定レジスタ

	7	6	5	4	3	2	1	0
PKSEL	PK7SEL	PK6SEL	PK5SEL	PK4SEL		PK2SEL		PK0SEL
(0xFFFF_F14D)	Read/Write R/W							
リセット後	0	0	0	0	0	0		0
機能	SI01 0:オフ 1:SCK1	SI01 0:オフ 1:SI1	SI01 0:オフ 1:SO1			SCLK8 0:オフ 1:SCLK		TXD8 0:オフ 1:TXD

ポートK インพุット制御レジスタ

	7	6	5	4	3	2	1	0
PKIE (0xFFFF_F14E)	PK7EI	PK6EI	PK5EI	PK4EI	PK3EI	PK2EI	PK1EI	PK0EI
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.22 ポート L(PL0~PL7)

ポートLはビット単位で入出力の指定ができる8ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PLCR とファンクションレジスタ PLFCx によって行います。リセット動作により PL の全ビットは“0”にセットされ、また、PLCR と PLFC1 と PLFC2 の全ビットは“0”にクリアされ、ポートL出力ディゼーブルになります。

入出力機能以外に PL0, PL1 には、32Bit タイマキャプチャトリガ入力機能, PL3, PL7 には 32Bit タイマコンペアー一致出力機能、PL4~PL6 には、HUART/HSIO 機能があります。

HUART/HSIO 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジスタも設定して下さい。またファンクションレジスタ 1 と 2 は同時にポート以外の機能設定をしないで下さい。

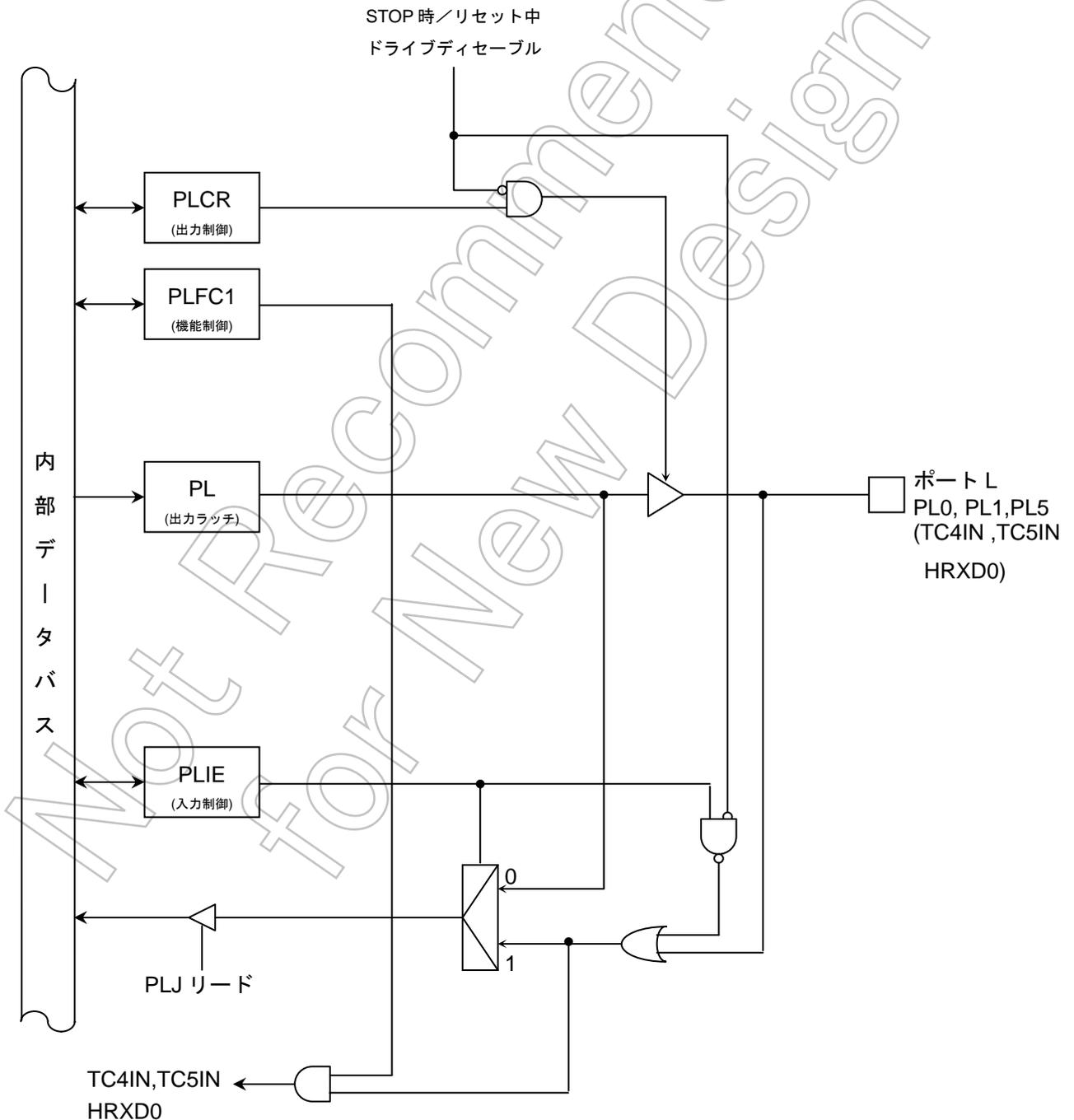


図 7-48 ポート L(PL0,PL1,PL5)

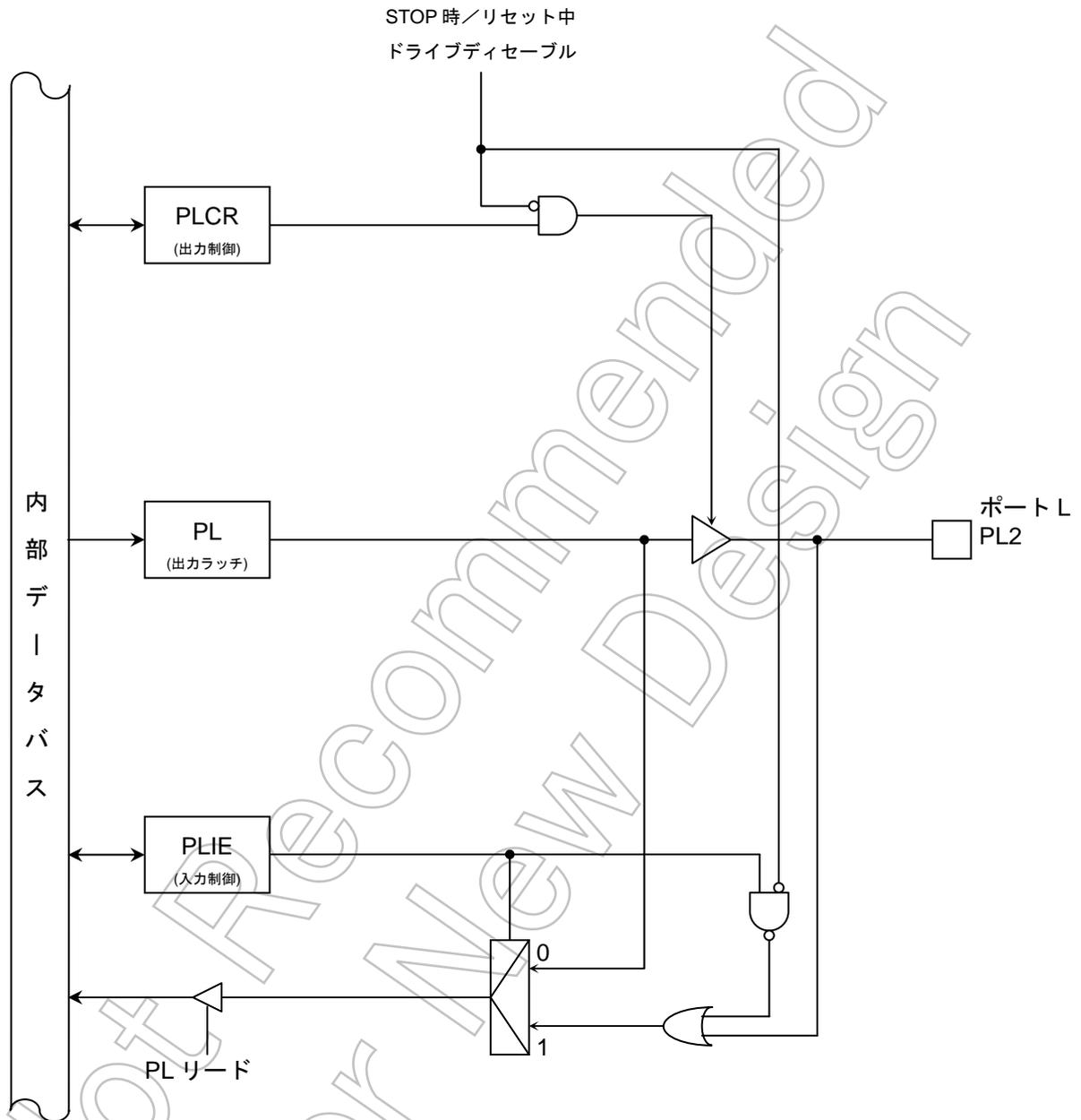


図 7-49 ポート L(PL2)

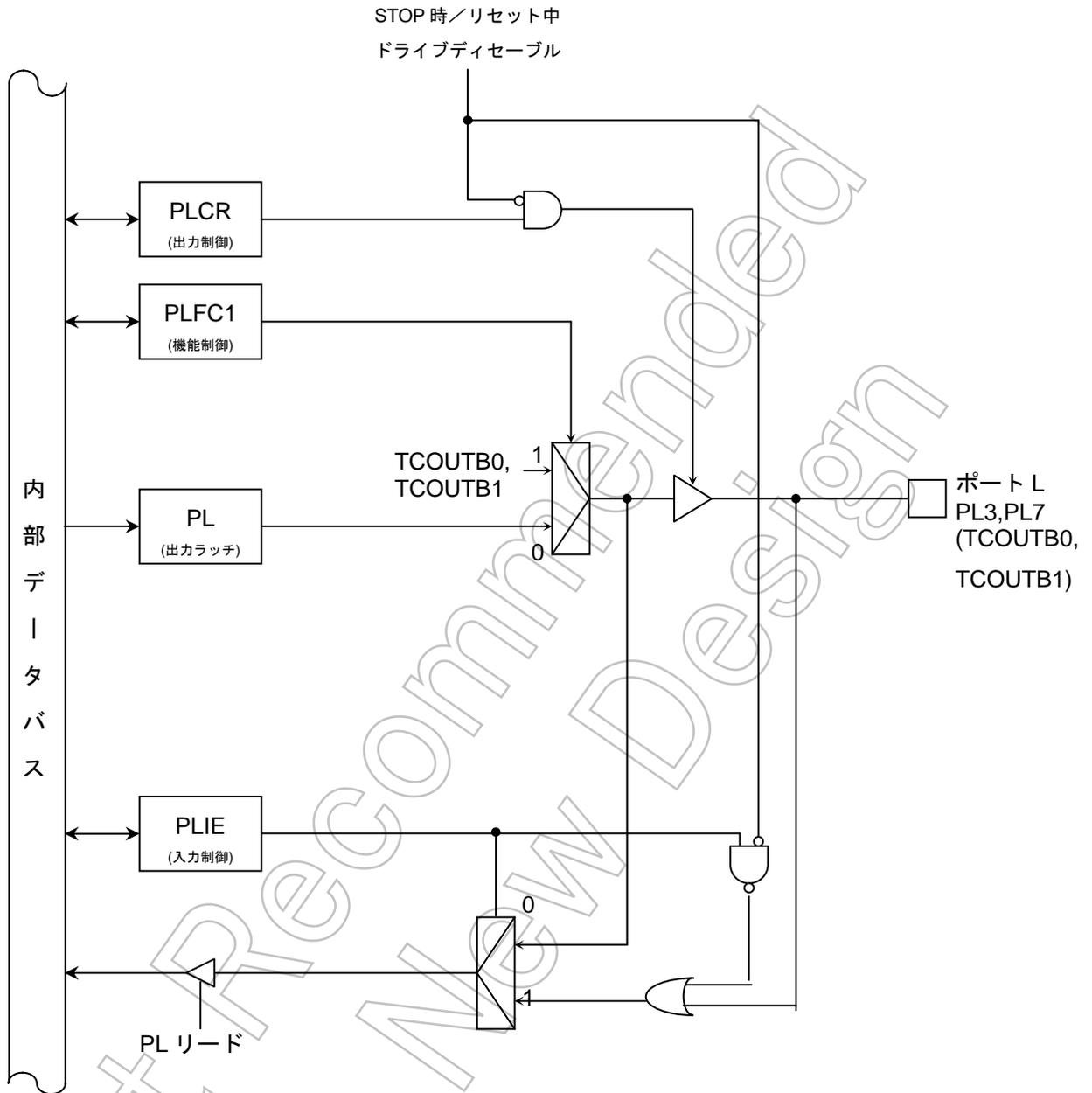


図 7-50 ポート L(PL3,PL7)

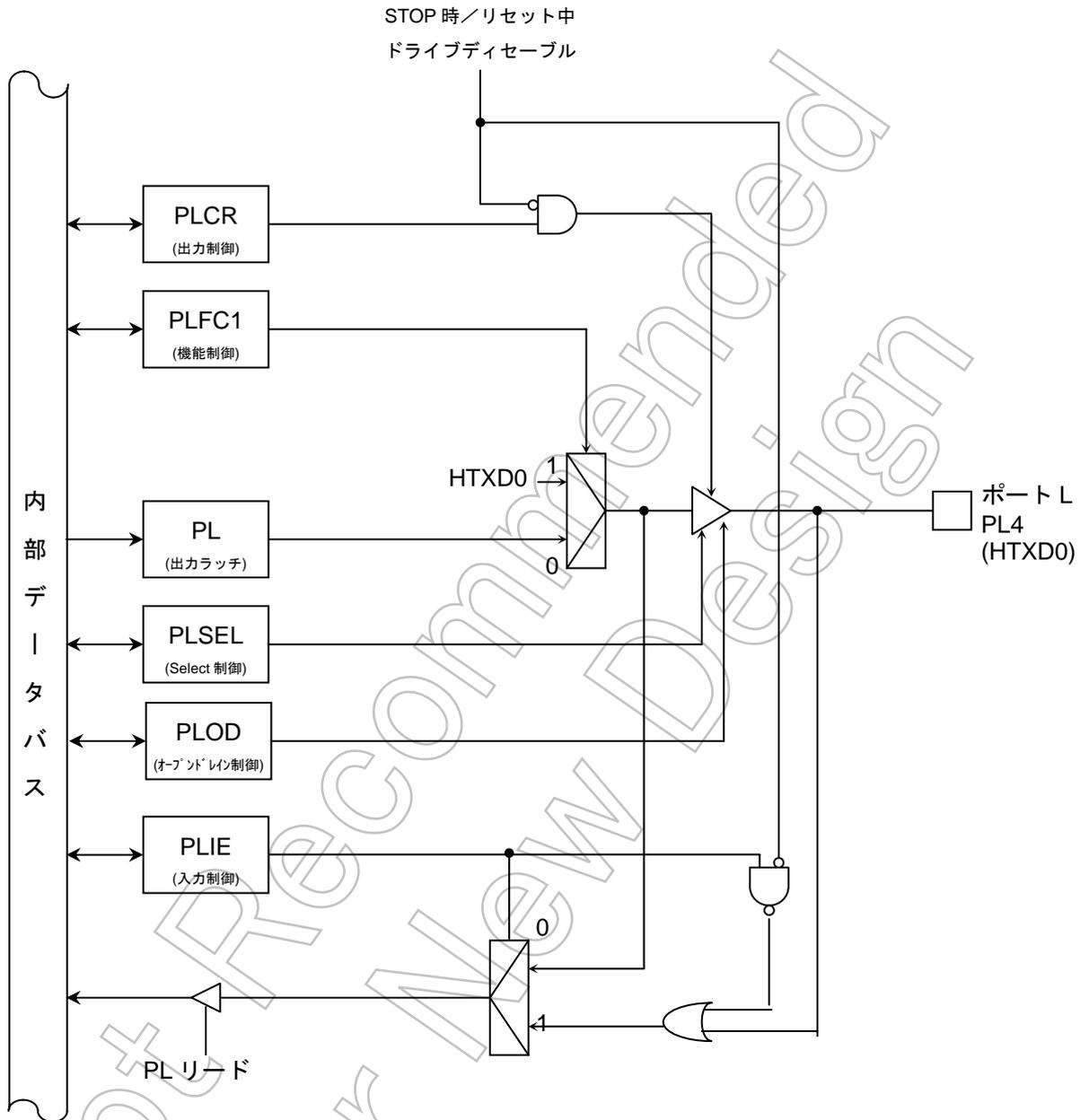


図 7-51 ポート L(PL4)

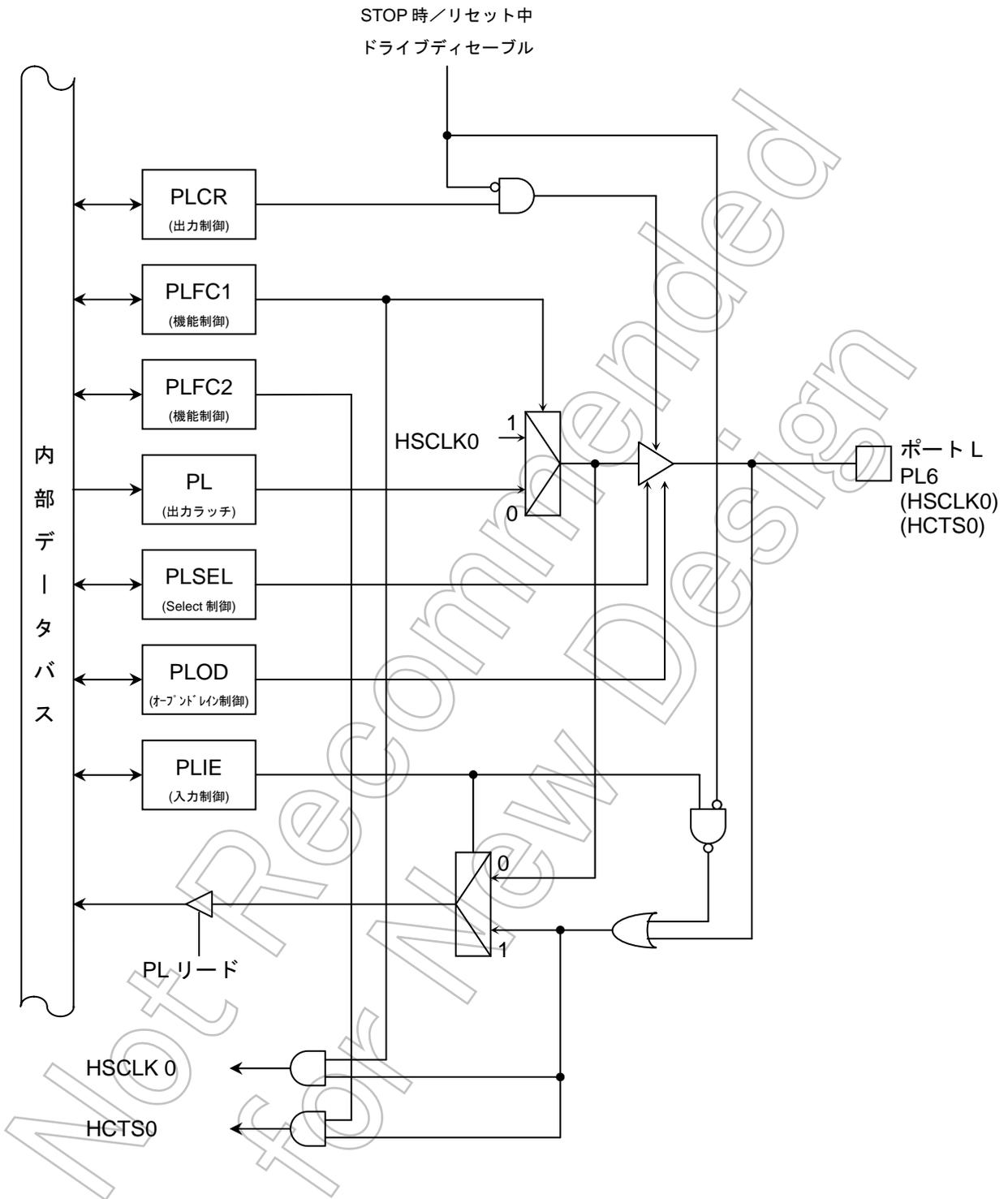


図 7-52 ポート L(PL6)

ポートLレジスタ

	7	6	5	4	3	2	1	0	
PL (0xFFFF_F150)	Bit Symbol	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートLコントロールレジスタ

	7	6	5	4	3	2	1	0	
PLCR (0xFFFF_F151)	Bit Symbol	PL7C	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:入力 1:出力							

ポートLファンクションレジスタ1

	7	6	5	4	3	2	1	0	
PLFC1 (0xFFFF_F152)	Bit Symbol	PL7F1	PL6F1	PL5F1	PL4F1	PL3F1	PL2F1	PL1F1	PL0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:Port 1:TCOUT7	0:Port 1:SCLK9	0:Port 1:RXD9	0:Port 1:TXD9	0:Port 1:TCOUT6	0:Port 1:TC5IN	0:Port 1:TC4IN	

ポートLファンクションレジスタ2

	7	6	5	4	3	2	1	0
PLFC2 (0xFFFF_F153)	Bit Symbol		PL6F2					
	Read/Write	R/W						
	リセット後		0					
	機能		0:Port 1:CTS9					

ポートLオープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
PLOD (0xFFFF_F15A)	Bit Symbol		PL6OD		PL4OD			
	Read/Write	R/W						
	リセット後		0		0			
	機能		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン			

ポートLシリアル設定レジスタ

	7	6	5	4	3	2	1	0
PLSEL (0xFFFF_F15D)	Bit Symbol		PL6SEL		PL4SEL			
	Read/Write	R/W						
	リセット後		0		0			
	機能		SCLK7 0:オフ 1:SCLK		TXD7 0:オフ 1:TXD			

ポートLインプット制御レジスタ

	7	6	5	4	3	2	1	0
PLIE (0xFFFF_F15E)	PL7IE	PL6IE	PL5IE	PL4IE	PL3IE	PL2IE	PL1IE	PLOIE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended
for New Design

7.23 ポート M(PM0~PM7)

ポート M はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。出力の設定は、コントロールレジスタ PMCR とファンクションレジス PMFC1 によって行います。リセット動作により、出力ラッチ PM の全ビットと PMCR と PMFC1 の全ビットは “0” にクリアされ、ポート M は出力ディゼーブルになります。

汎用入出力ポート機能以外に、PM0~PM5 には外部割込み入力機能 (INT0~INT5)、PM6, PM7 には 32Bit タイマコンペア一致出力機能が あります。

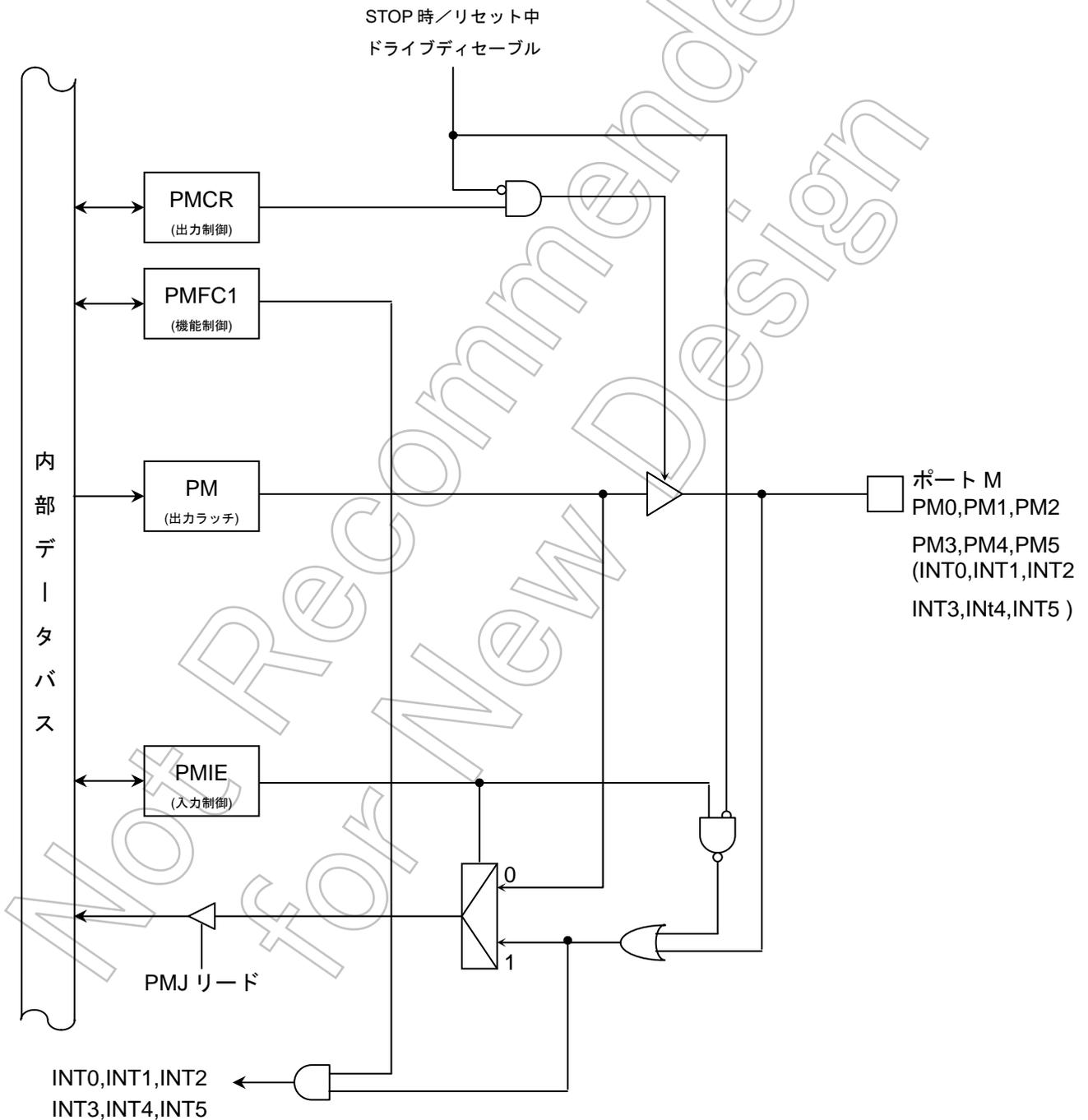


図 7-53 ポート M(PM0,PM1,PM2,PM3,PM4,PM5)

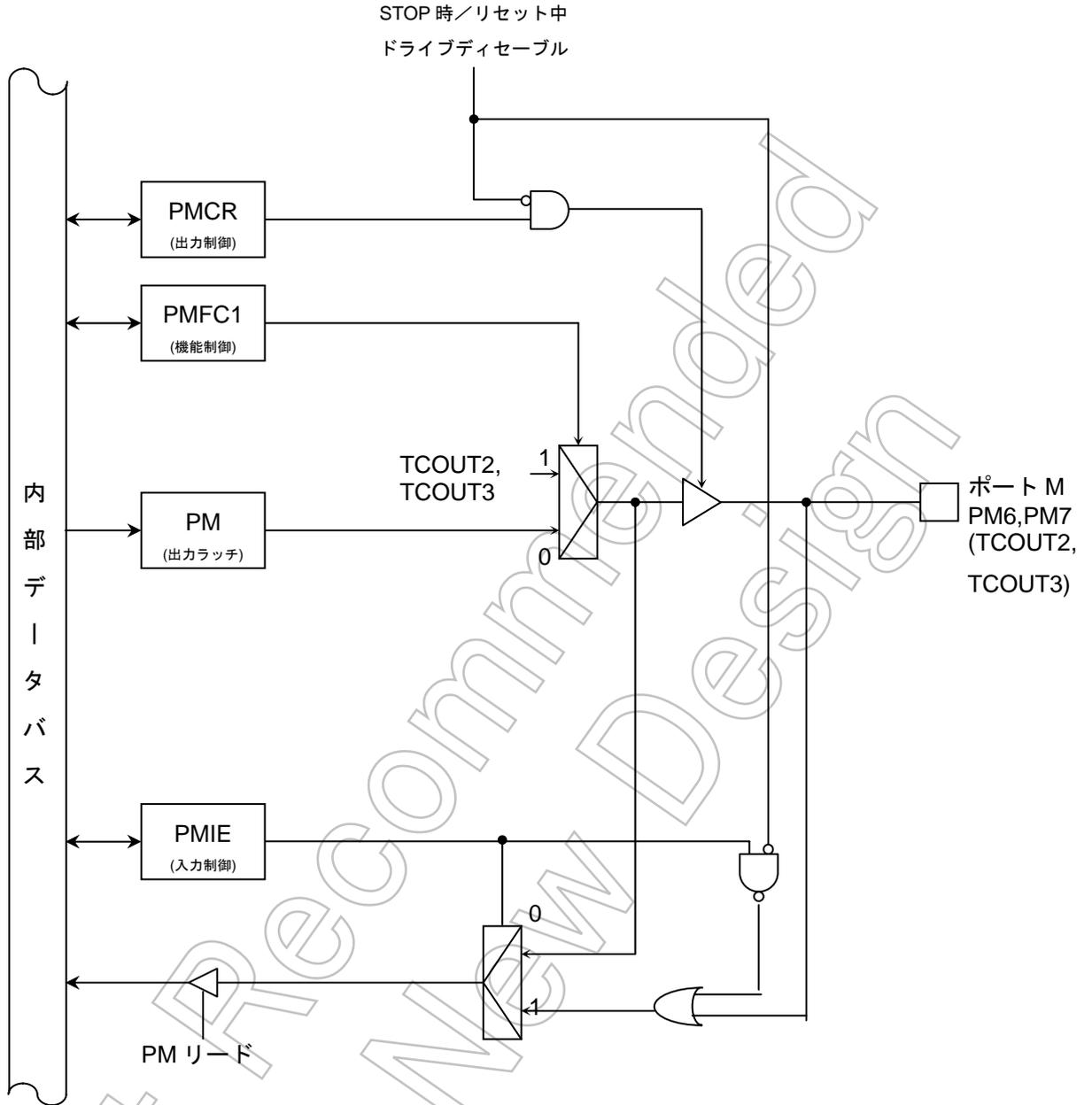


図 7-54 ポート M (PM6, PM7)

ポート M レジスタ

	7	6	5	4	3	2	1	0	
PM (0xFFFF_F160)	Bit Symbol	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは "0" にクリア)							

ポート M コントロールレジスタ

	7	6	5	4	3	2	1	0	
PMCR (0xFFFF_F161)	Bit Symbol	PM7C	PM6C	PM5C	PM4C	PM3C	PM2C	PM1C	PM0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出カディゼーブル 1: 出カイネーブル							

ポート M ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PMFC1 (0xFFFF_F162)	Bit Symbol	PM7F1	PM6F1	PM5F1	PM4F1	PM3F1	PM2F1	PM1F1	PM0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:Port 1:TCOUT3	0:Port 1:TCOUT2	0:Port 1:INT5	0:Port 1:INT4	0:Port 1:INT3	0:Port 1:INT2	0:Port 1:INT1	0:Port 1:INT0

ポート M インプット制御レジスタ

	7	6	5	4	3	2	1	0	
PMIE (0xFFFF_F16E)	Bit Symbol	PEIM7	PEIM6	PEIM5	PEIM4	PEIM3	PEIM2	PEIM1	PEIM0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

7.24 ポート N(PN0~PN7)

ポート N はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PNCR とファンクションレジスタ PNFCx によって行います。リセット動作により PN の全ビットは “0” にセットされ、また、PNCR と PNFC1 と PNFC2 の全ビットは “0” にクリアされ、ポート N 出力ディゼーブルになります。

入出力機能以外に PN0~PN2 には、外部割込み入力機能 (INT6~INT8) が、PN3、PN7 には A/D コンバータ外部スタート要求入力機能があります。

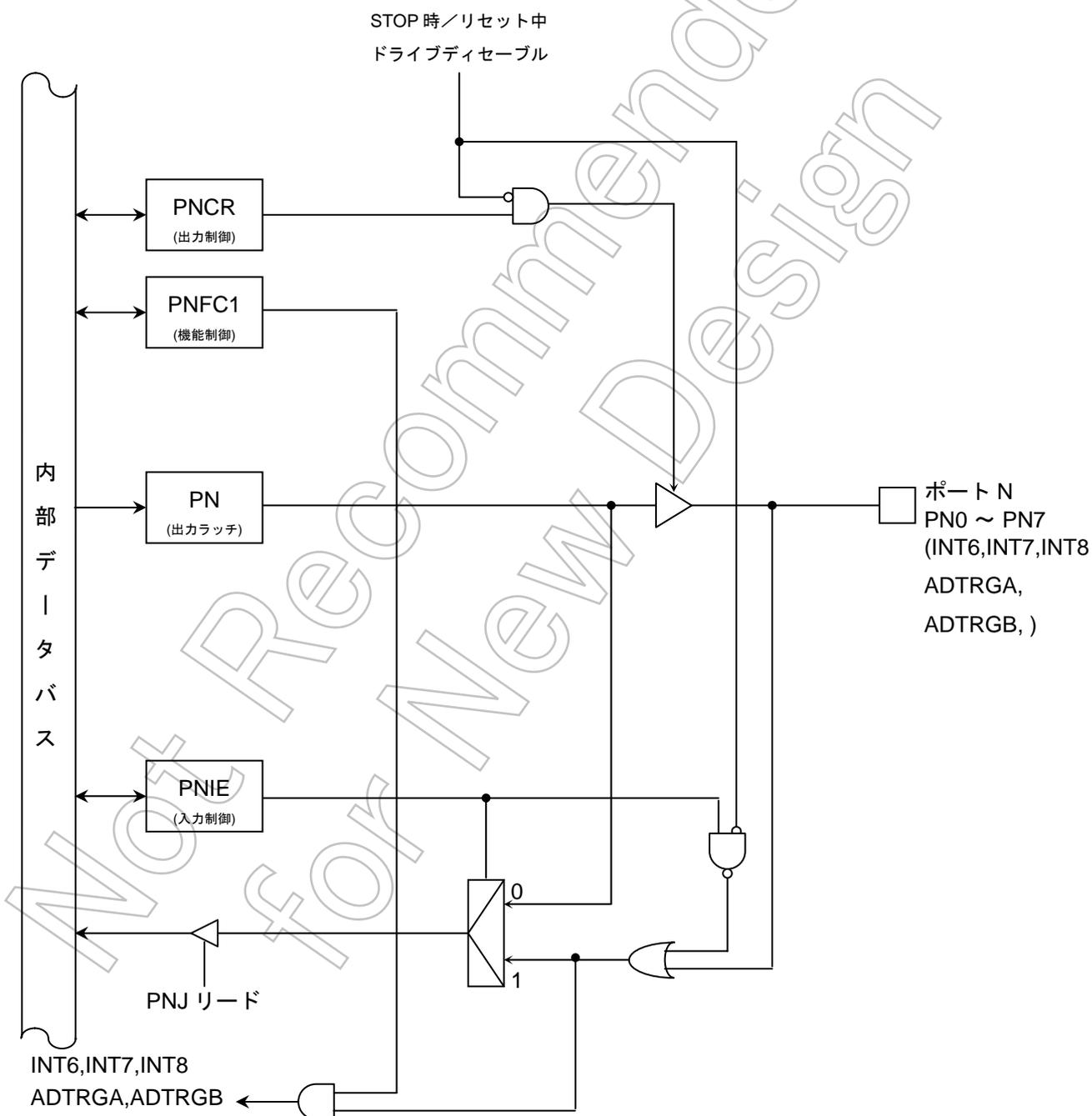


図 7-55 ポート N(PN0,PN1,PN2,PN3,PN5,PN7)

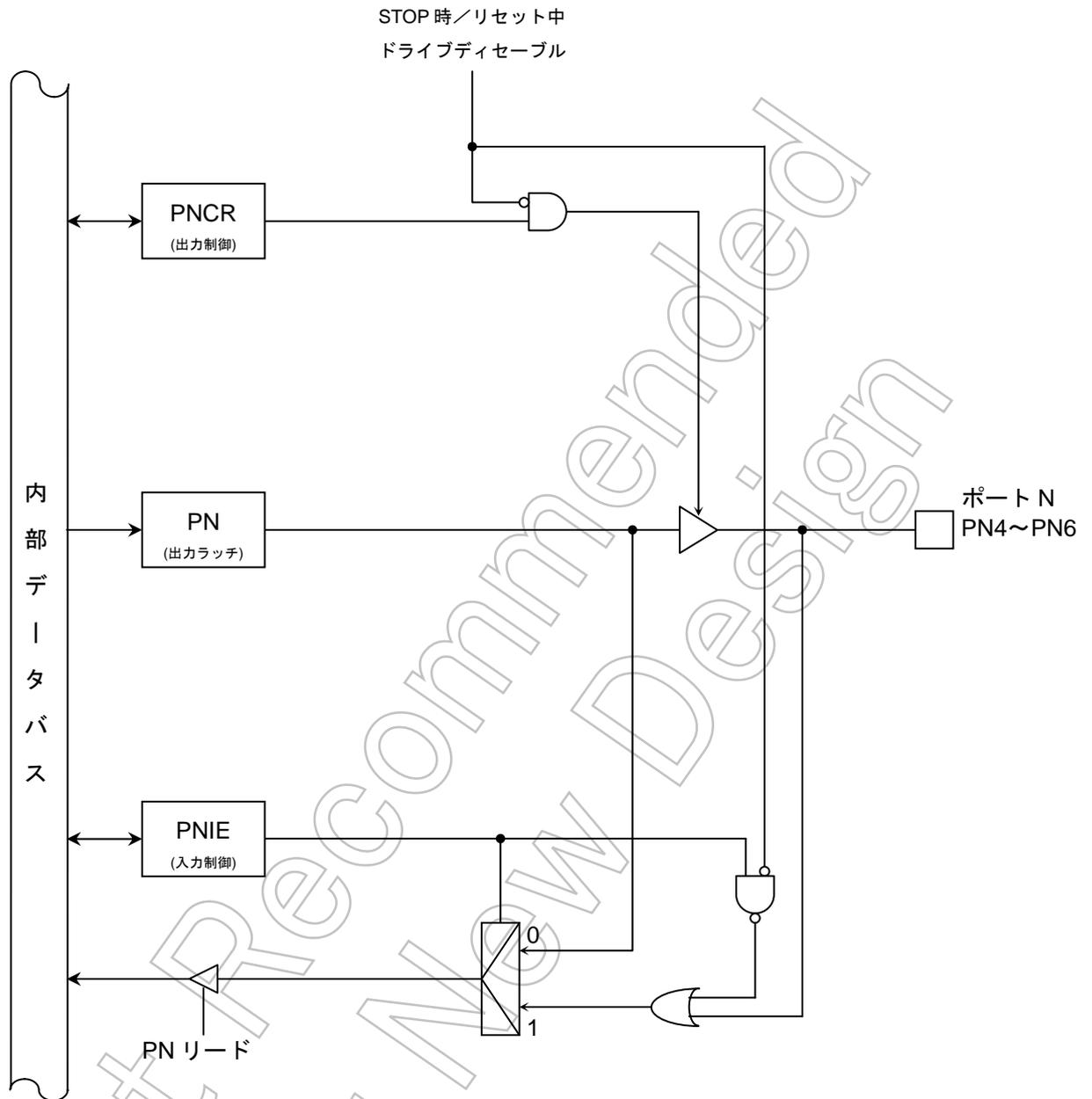


図 7-56 ポート N(PN4~PN6)

ポート N レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは“1”に Set)							

PN
(0xFFFF_F170)

ポート N コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:入力 1:出力							

PNCR
(0xFFFF_F171)

ポート N ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
Bit Symbol	PN7F1	PN6F1	PN5F1	PN4F1	PN3F1	PN2F1	PN1F1	PN0F1
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:Port 1:ADTRGB	0:Port	0:Port	0:Port	0:Port 1:ADTRGA	0:Port 1:INT8	0:Port 1:INT7	0:Port 1:INT6

PNFC1
(0xFFFF_F172)

ポート N インプット制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PN7IE	PN6IE	PN5IE	PN4IE	PN3IE	PN2IE	PN1IE	PN0IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

PNIE
(0xFFFF_F17E)

7.25 ポート O(P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ P0CR によって行います。リセット動作により P0 の全ビットは“0”にセットされ、また、P0CR の全ビットは“0”に、ポート 0 出力ディゼーブルになります。汎用入出力ポート機能以外に、P00~P03 には KeyOnWakeUp 入力機能 (KEY0~KEY3)、P04~P06 には、HUART/HSIO 機能があります。

HUART/HSIO 機能ポートして使用する場合は、使用するポートのファンクションレジスタにて機能を選択し、オープンドレイン制御レジスタとシリアル設定レジスタも設定して下さい。

ファンクションレジスタ 1 と 2 を同時に設定した場合は、レジスタ 1 の設定が有効となります。

Not Recommended
for New Design

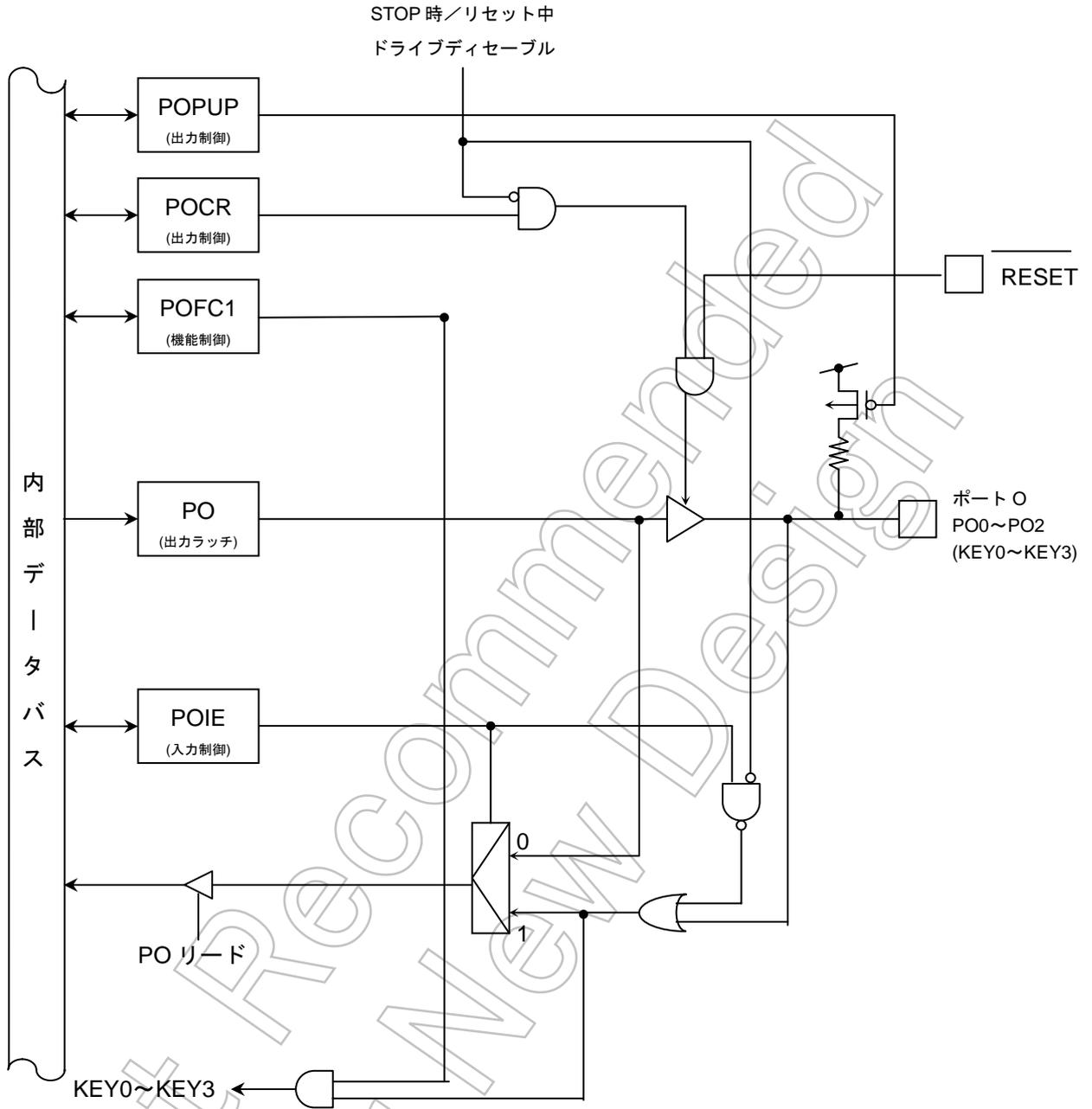


図 7-57 ポート 0 (P00~P03)

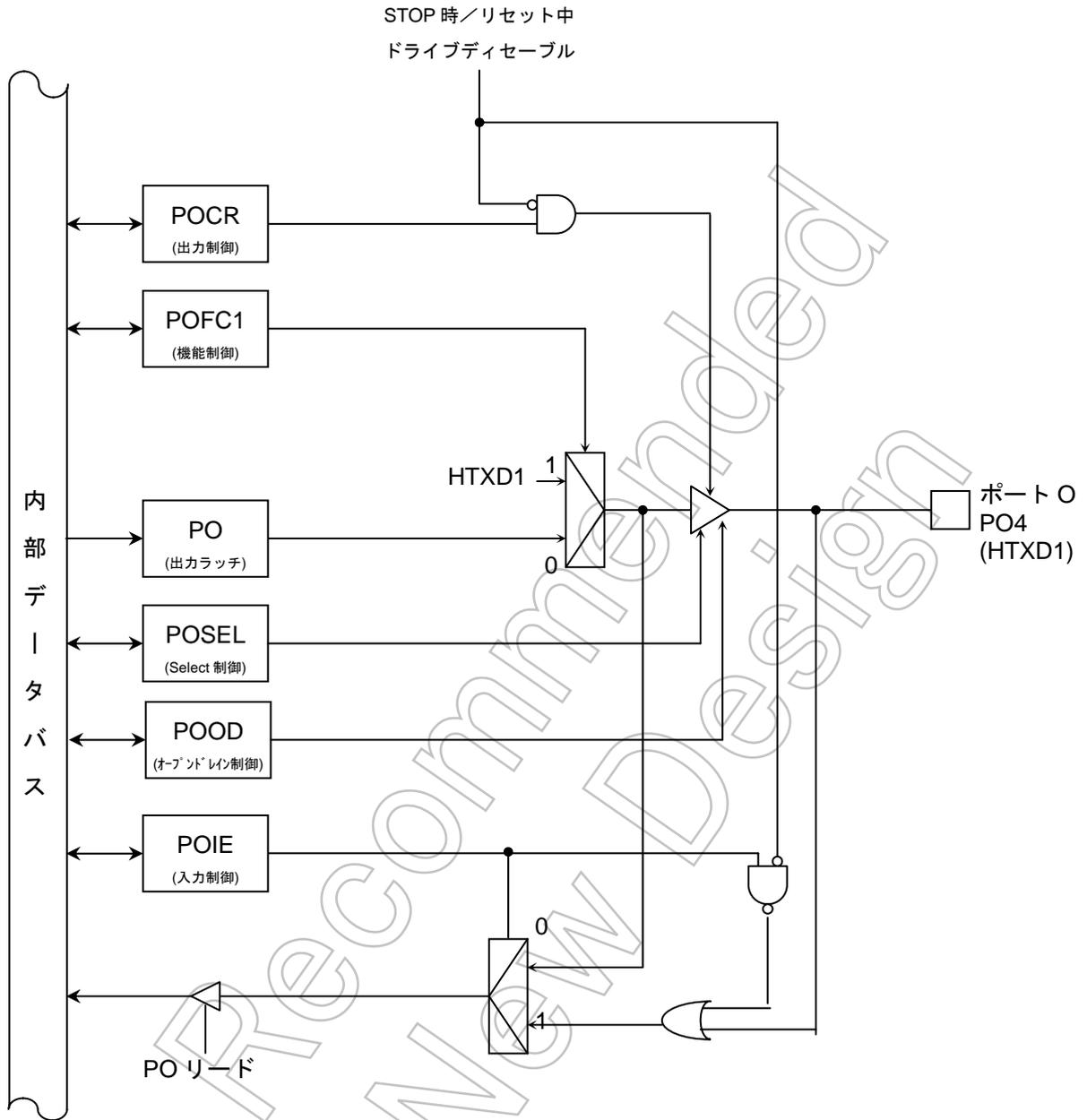


図 7-58 ポート O(PO4)

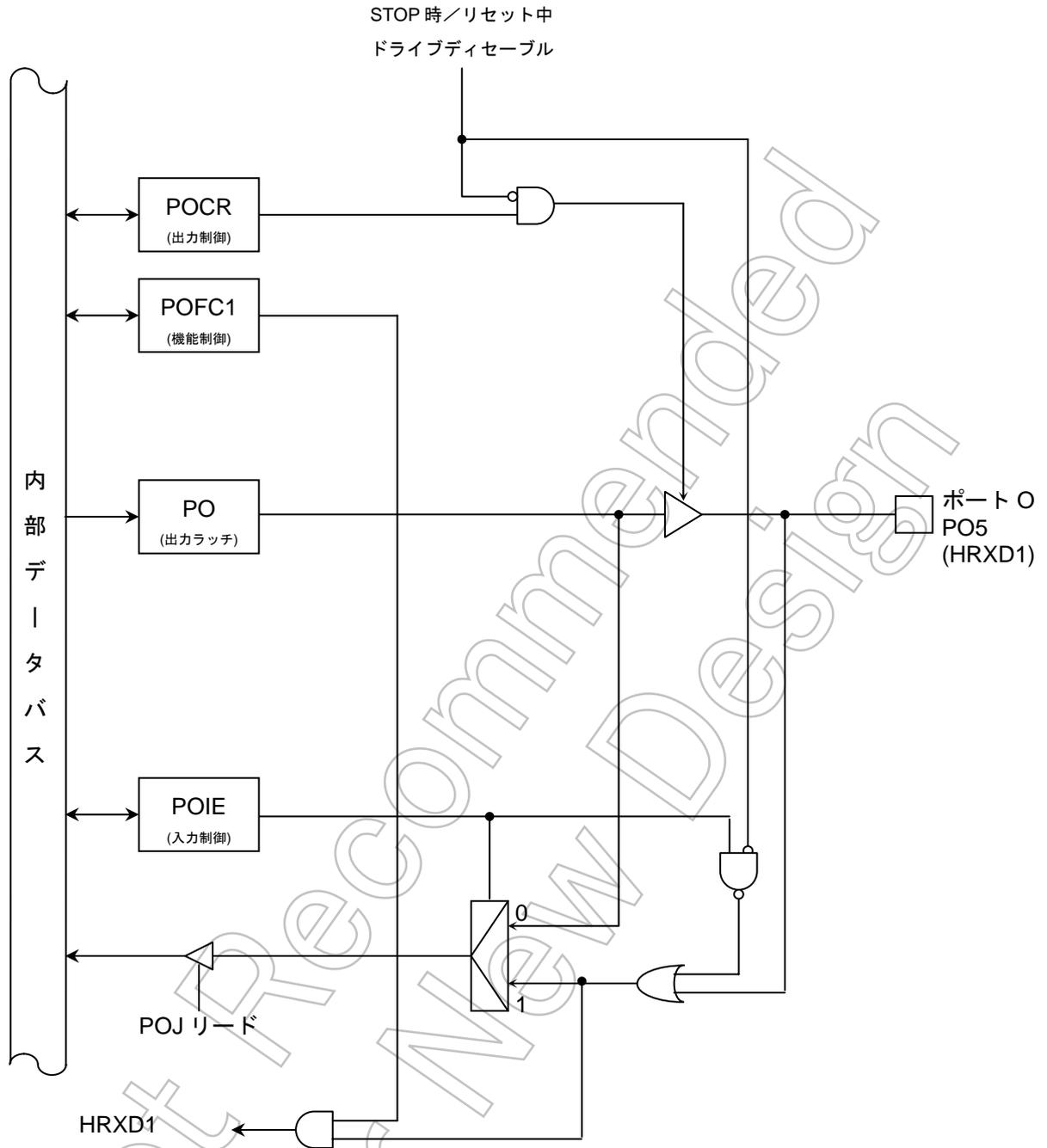


図 7-59 ポート O(PO5)

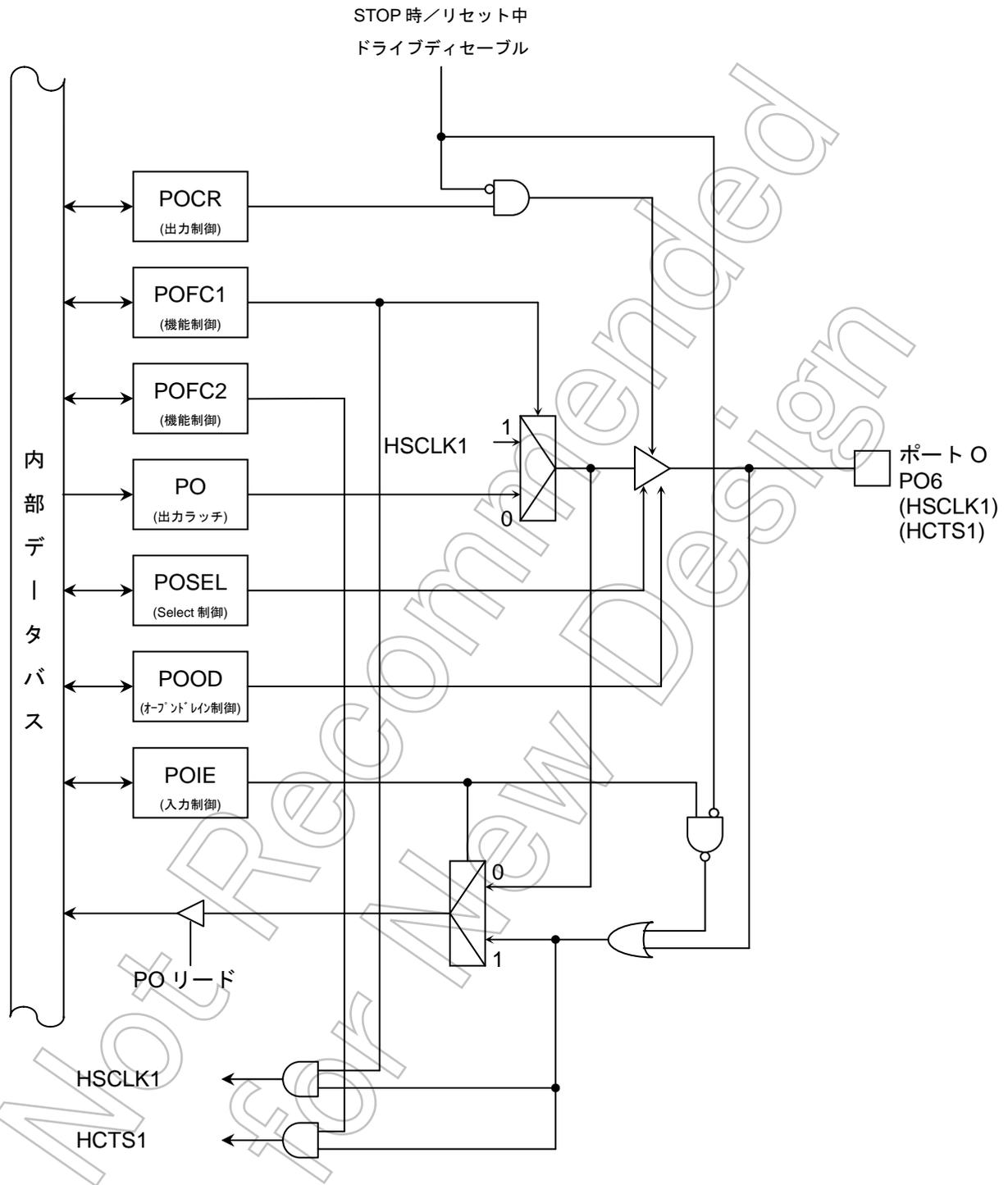


図 7-60 ポート O(PO6)

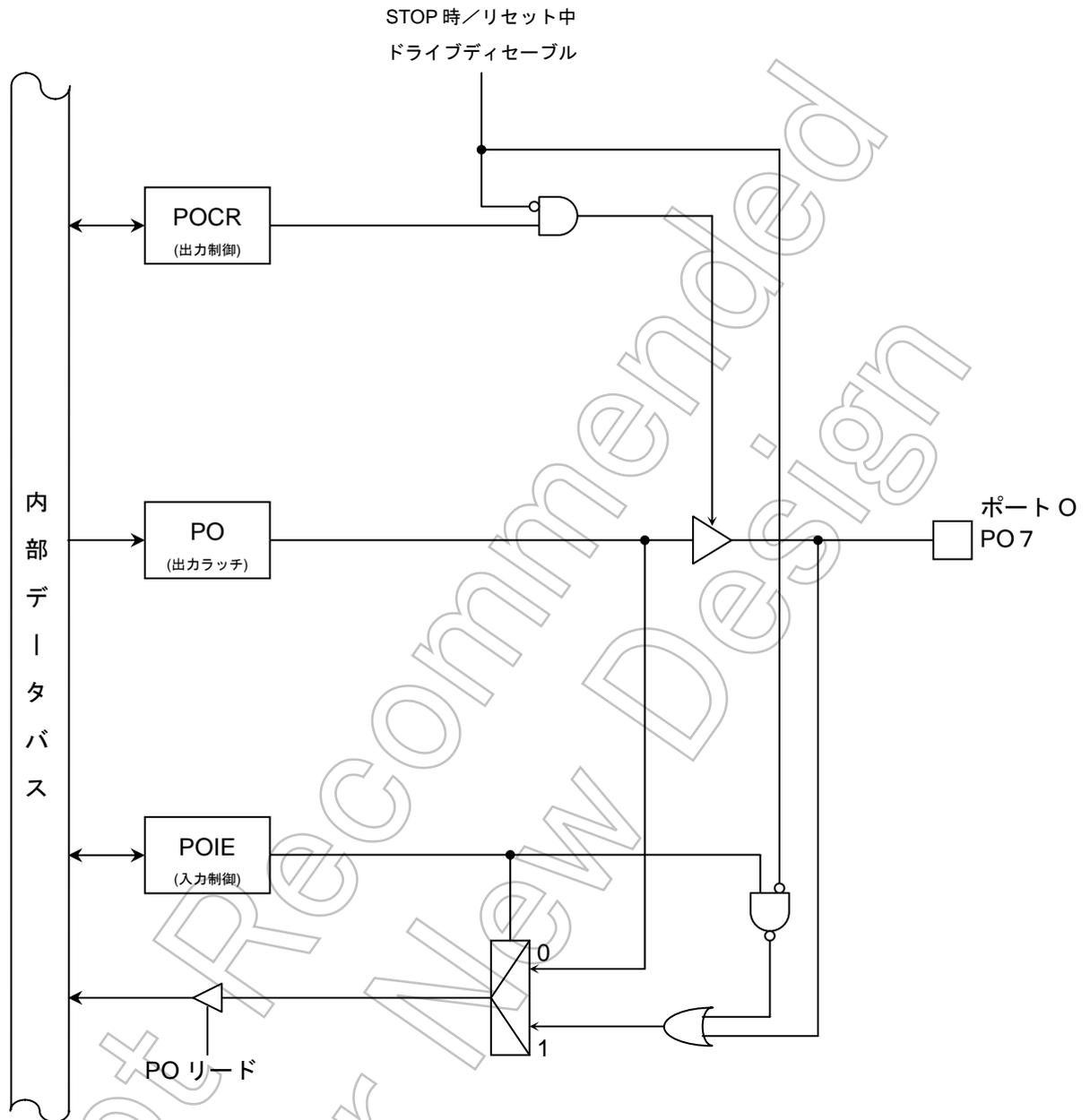


図 7-61 ポート O(PO7)

ポートOレジスタ

	7	6	5	4	3	2	1	0	
PO (0xFFFF_F180)	Bit Symbol	PO7	PO6	PO5	PO4	PO3	PO2	PO1	PO0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートOコントロールレジスタ

	7	6	5	4	3	2	1	0	
POCR (0xFFFF_F181)	Bit Symbol	PO7C	PO6C	PO5C	PO4C	PO3C	PO2C	PO1C	PO0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポートOファンクションレジスタ1

	7	6	5	4	3	2	1	0	
POFC1 (0xFFFF_F182)	Bit Symbol	PO7F1	PO6F1	PO5F1	PO4F1	PO3F1	PO2F1	PO1F1	PO0F1
	Read/Write	R 0	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	0:Port	0:Port 1:HSCLK1	0:Port 1:HRXD1	0:Port 1:HTXD1	0:Port 1:KEY3	0:Port 1:KEY2	0:Port 1:KEY1	0:Port 1:KEY0

ポートOファンクションレジスタ2

	7	6	5	4	3	2	1	0
POFC2 (0xFFFF_F183)	Bit Symbol		PO6F2					
	Read/Write	R/W						
	リセット後		0					
	機能		0:Port 1:HCTS1					

ポートOオープンドレイン (OD) 制御レジスタ

	7	6	5	4	3	2	1	0
POOD (0xFFFF_F18A)	Bit Symbol		PO6OD		PO4OD			
	Read/Write	R/W						
	リセット後		0		0			
	機能		0:CMOS 1:オープン ドレイン		0:CMOS 1:オープン ドレイン			

ポートO プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
POPUP (0xFFFF_F18B)	Bit Symbol					PO3UP	PO2UP	PO1UP	PO0UP
	Read/Write	R/W							
	リセット後					0	0	0	0
	機能					プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートOインプット制御レジスタ

ポートOシリアル設定レジスタ

	7	6	5	4	3	2	1	0
POSEL (0xFFFF_F18D)	Bit Symbol	PO6SEL		PO4SEL				
	Read/Write	R/W						
	リセット後	0		0				
	機能	HCLK1 0:オフ 1:HCLK1		HTXD1 0:オフ 1:HTXD				

	7	6	5	4	3	2	1	0	
POIE (0xFFFF_F18E)	Bit Symbol	PO7IE	PO6IE	PO5IE	PO4IE	PO3IE	PO2IE	PO1IE	PO0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.26 ポート P (PP0~PP7)

ポート P はビット単位で入出力の指定ができる 8 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PPCR によって行います。リセット動作により PP の全ビットは“0”にセットされ、また、PPCR の全ビットは“0”に、ポート 0 出力ディゼーブルになります。

入出力機能以外に PP0~PP7 には、DSU-ICE 用信号機能 (TPD0~TPD7/ TPC0~TPC7) があります。よって、ポート P を入出力ポートとして使用されないことを推奨します。

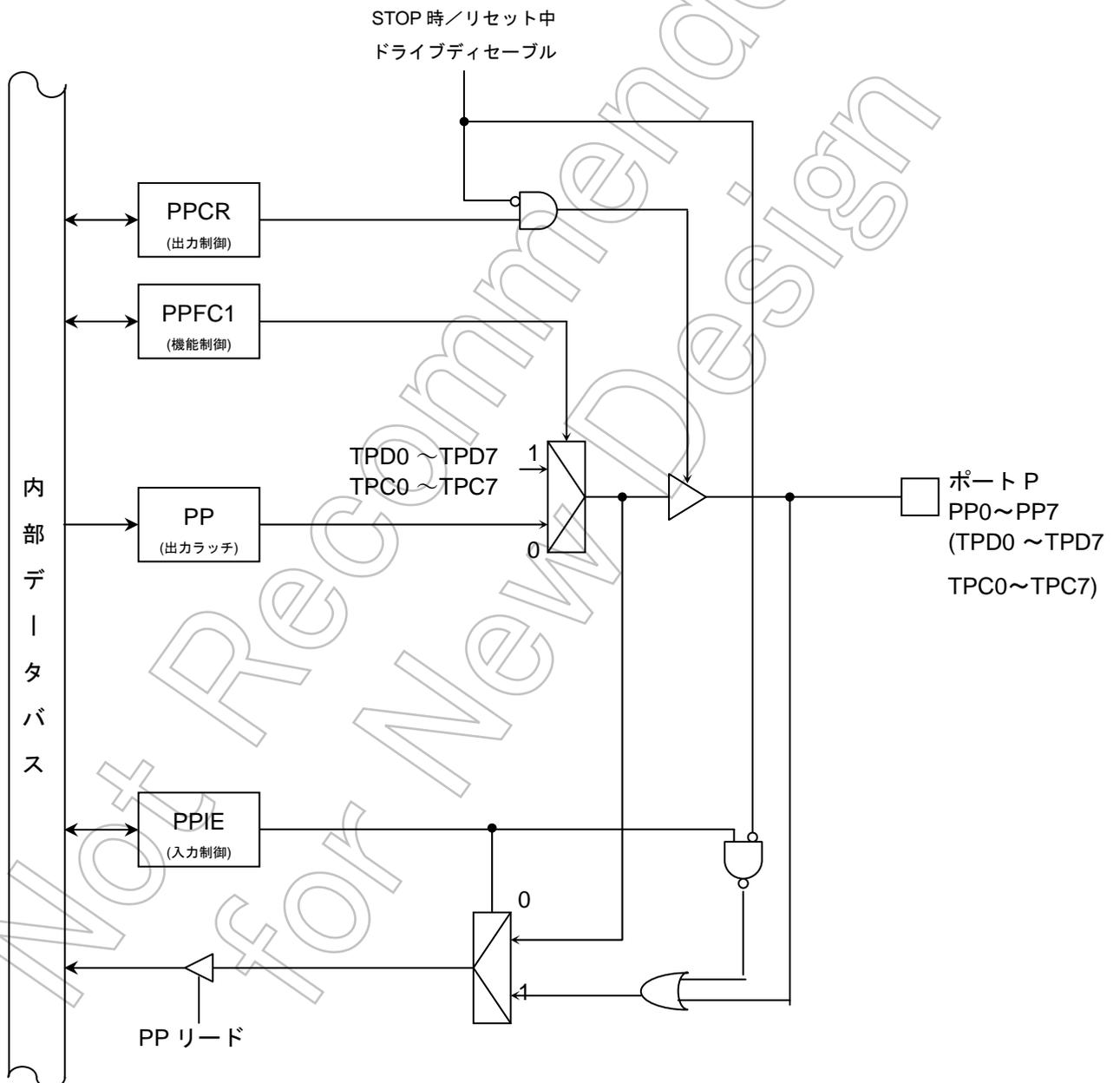


図 7-62 ポート P

ポートPレジスタ

	7	6	5	4	3	2	1	0
PP (0xFFFF_F190)	PP7	PP6	PP5	PP4	PP3	PP2	PP1	PP0
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートPコントロールレジスタ

	7	6	5	4	3	2	1	0
PPCR (0xFFFF_F191)	PP7C	PP6C	PP5C	PP4C	PP3C	PP2C	PP1C	PP0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:入力 1:出力							

ポートPインプット制御レジスタ

	7	6	5	4	3	2	1	0
PPIE (0xFFFF_F18E)	PP7IE	PP6IE	PP5IE	PP4IE	PP3IE	PP2IE	PP1IE	PP0IE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

7.27 ポート Q(PQ0~PQ3)

ポート Q はビット単位で入出力の指定ができる 4 ビットの汎用入出力兼用ポートです。出力の指定は、コントロールレジスタ PQCR とファンクションレジスタ PQFC1 によって行います。リセット動作により PQ の全ビットは“0” にセットされ、また、PQCR と PQFC1 の全ビットは“0” にクリアされ、ポート Q 出力ディゼーブルになります。

入出力機能以外に PQ0, PQ2 には DREQ2, DREQ3、PQ1, PQ3 には DACK2, DACK3 機能あります。

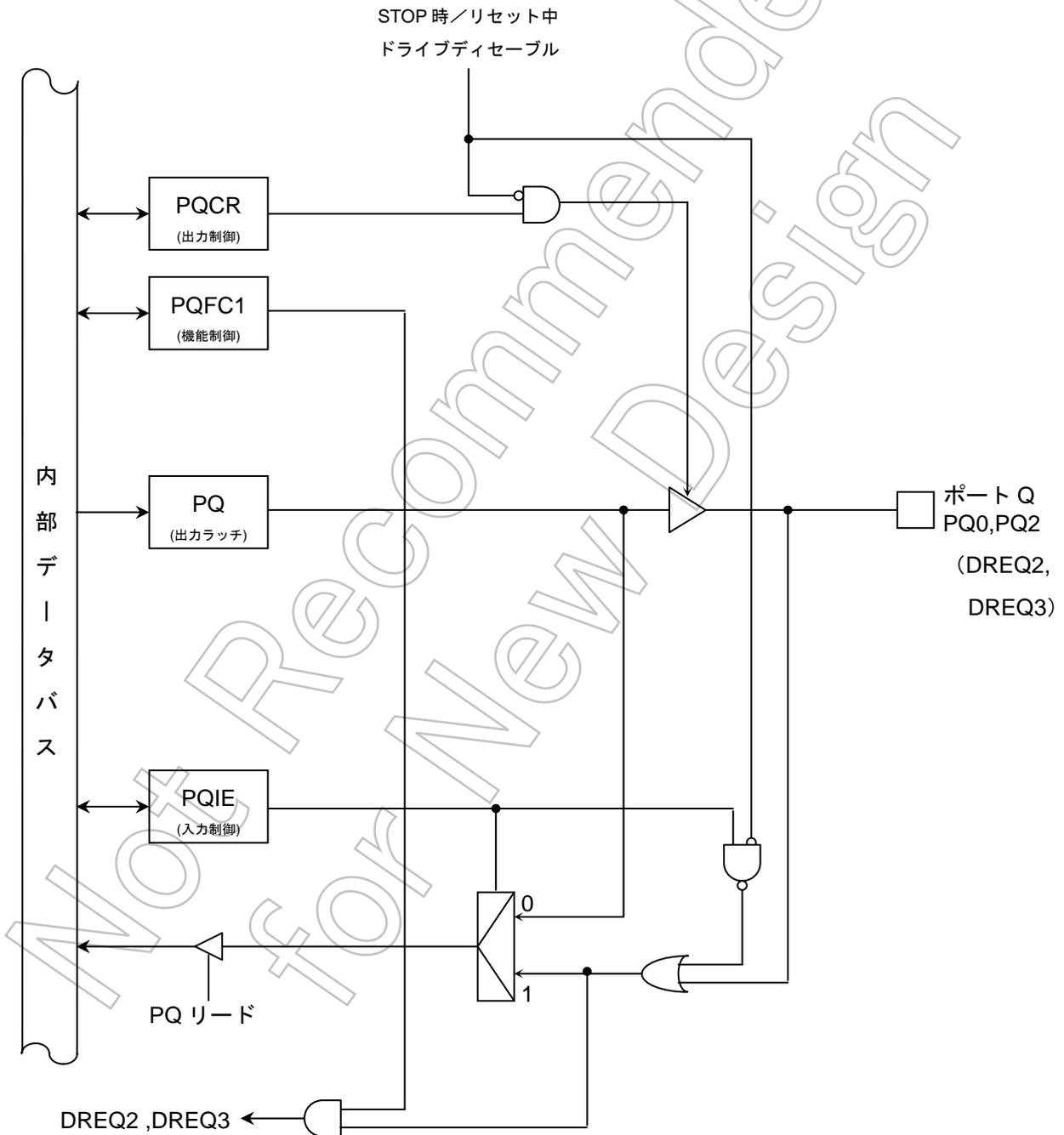


図 7-63 ポート Q(PQ0,PQ2)

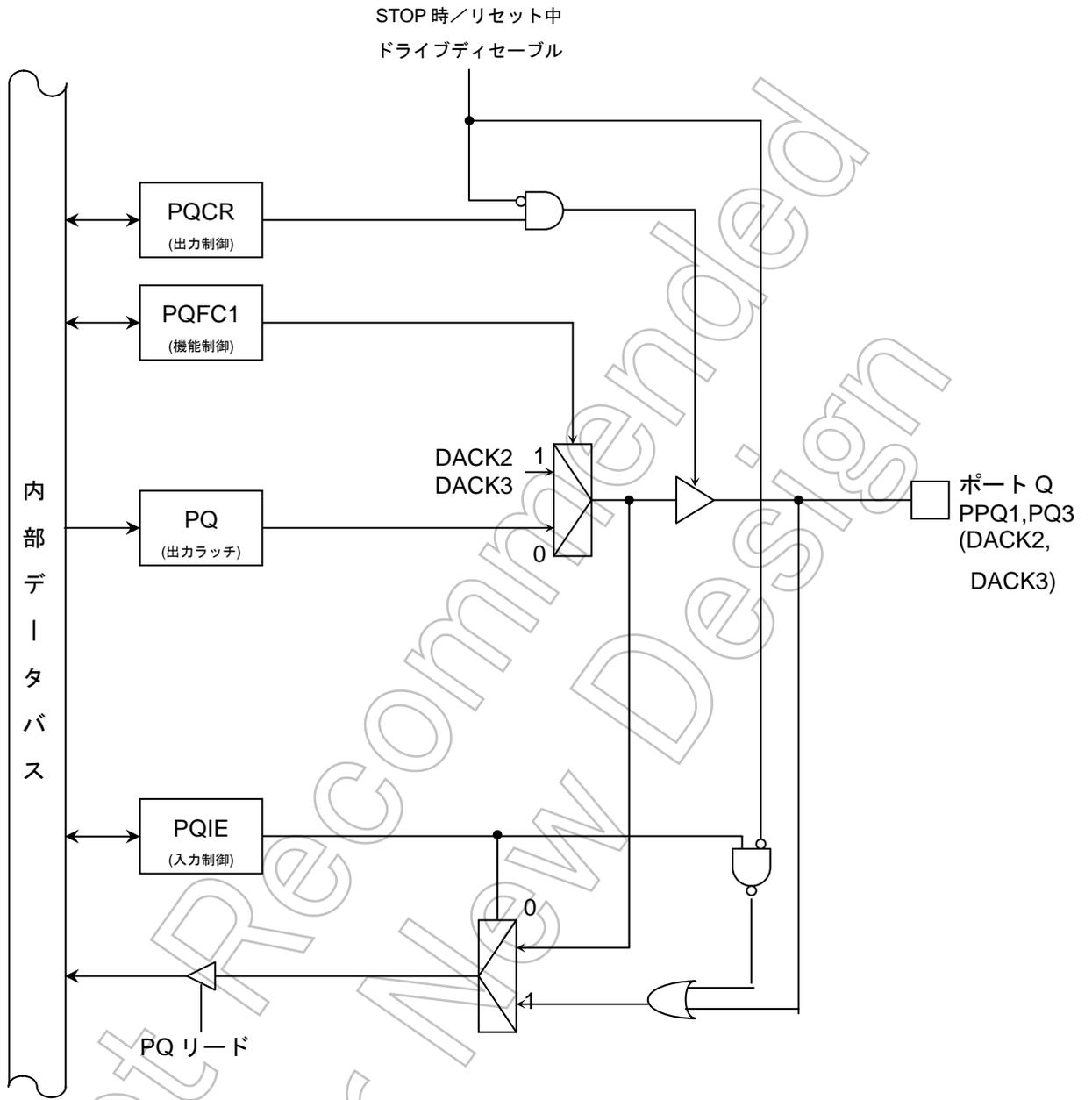


図 7-64 ポート Q(PQ1,PQ3)

ポートQレジスタ

		7	6	5	4	3	2	1	0
PQ (0xFFFF_F1A0)	Bit Symbol					PQ3	PQ2	PQ1	PQ0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは“0”にSet)							

ポートQコントロールレジスタ

		7	6	5	4	3	2	1	0
PQCR (0xFFFF_F1A1)	Bit Symbol					PQ3C	PQ2C	PQ1C	PQ0C
	Read/Write	R/W							
	リセット後					0	0	0	0
	機能	0:入力 1:出力							

ポートQファンクションレジスタ1

		7	6	5	4	3	2	1	0
PQFC1 (0xFFFF_F1A2)	Bit Symbol					PQ3F1	PQ2F1	PQ1F1	PQ0F1
	Read/Write	R/W							
	リセット後					0	0	0	0
	機能					0:Port 1:DACK3	0:Port 1:DREQ3	0:Port 1:DACK2	0:Port 1:DREQ2

ポートQ入力制御レジスタ

		7	6	5	4	3	2	1	0
PQIE (0xFFFF_F1AE)	Bit Symbol					PQ3IE	PQ2IE	PQ1IE	PQ0IE
	Read/Write	R/W							
	リセット後					0	0	0	0
	機能					入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8. 外部バスインタフェース

TMP19A61 は、外部にメモリや I/Oなどを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF) と CS (チップセレクト)/ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 6 ブロックアドレス空間のマッピングアドレスの指定と、この 6 ブロックアドレス空間およびそれ以外の外部アドレス空間に対して、ウェイトおよびデータバス幅 (8 ビット, 16 ビット) を制御します。

外部バスインタフェース回路 (EBIF) は、CS/ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。ダイナミックバスサイジングや外部バスマスタとの間のバス裁停も EBIF が制御します。

●外部バスモード

アドレス、データセパレートバスモードまたはマルチプレクスモードの選択が可能

●ウェイト機能

各ブロックにて設定可能

- 最大 15 クロックまでのウェイトを自動挿入可能
- $\overline{\text{WAIT}}/\overline{\text{RDY}}$ 端子によるウェイト挿入可能

●データバス幅

各ブロックにて 8 ビット、16 ビットを設定可能

●リカバリサイクル (リード時/ライト時)

外部バスサイクルが連続するとき最大 4 クロックのダミーサイクルを挿入可能で、各ブロックにて設定可能

●リカバリサイクル (チップセレクト)

外部バスをセレクトしているときに 1 クロックのダミーサイクルを挿入可能で、各ブロックにて設定可能

●バス裁定機能

8.1 アドレス、データ端子

(1) アドレス、データ端子の設定

TMP19A61 はセパレートバスまたはマルチプレクスバスの設定が可能です。リセット時に BUSMD 端子を” L” レベルにすることでセパレートバスモードに、” H” レベルにすることで、マルチプレクスバスモードになります。バスモードとアドレス、データ端子の関係を表 8.1 に示します。

表 8.1 バスモードとアドレス、データ端子の関係

ポート	セパレート BUSMD = ” L”	マルチプレクス BUSMD = ” H”
ポート 0 (P00~P07)	D0~D7	AD0~AD07
ポート 1 (P10~P15)	D8~D15	AD08~AD15/A8~A15
ポート 2 (P20~P27)	A16~A23	A16~A24
ポート 5 (P50~P57)	A0~A7	—
ポート 6 (P60~P67)	A8~A15	—
ポート 3 (P37)	汎用ポート	ALE

(2) リセット解除後の動作

リセット解除後は、ブロックアドレス空間 2 (CS2) のコントロールレジスタ (B23CS) のみが自動的に有効になり、下記内容の設定が行われます。

B23CS<B2E> = 1 (CS2 有効)
 B23CS<B2W4:0> = 00001 (1WAIT 挿入)
 B23CS<B2BUS1:0> = 01 (16bit バス設定)
 B23CS<B2RCV1:0> = 10 (リードリカバリタイム 2 サイクル挿入)
 B23CS<B2WCV1:0> = 10 (ライトリカバリタイム 2 サイクル挿入)
 B23CS<B2WCV1:0> = 000 (CS リカバリタイム 0 サイクル挿入)

リセット解除後、BMA2 レジスタにてブロックアドレス空間の指定を行ってください。

(3) 内部領域アクセス時のアドレスホールド

内部領域アクセス時は、アドレスバスは以前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

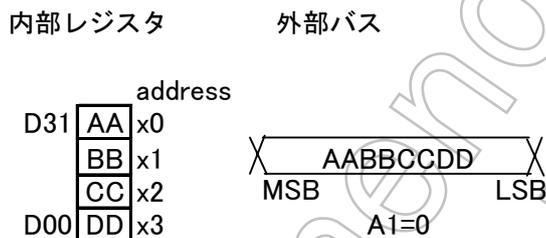
8.2 データ・フォーマット

TMP19A61 の内部レジスタと外部バスインタフェースとの関係を説明します。

(1) ビッグエンディアンモード

① ワードアクセス

- 32 ビットバス幅の時



- 16 ビットバス幅の時



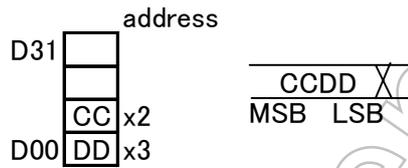
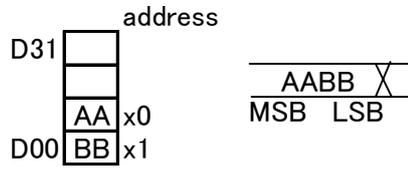
- 8 ビットバス幅の時



② ハーフワードアクセス

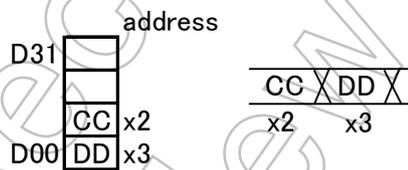
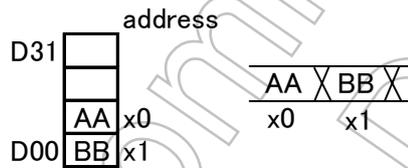
- 16 ビットバス幅の時

内部レジスタ 外部バス



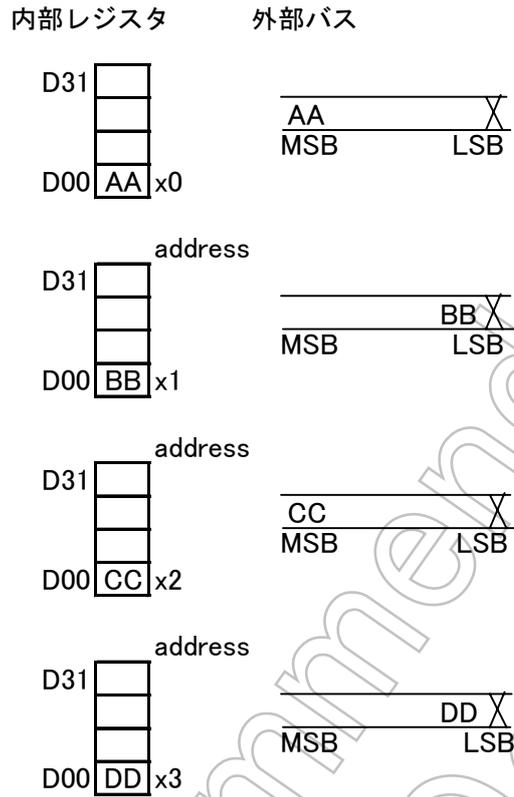
- 8 ビットバス幅の時

内部レジスタ 外部バス

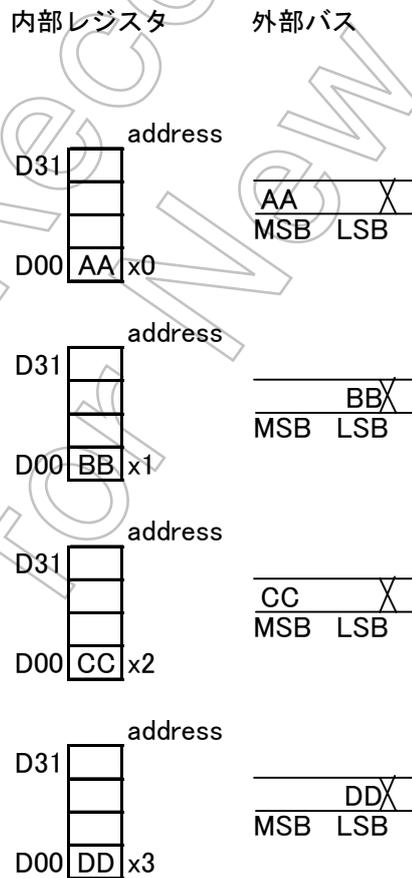


Not Recommended for New Design

③ バイトアクセス



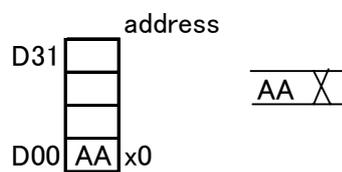
- 16 ビットバス幅の時



- 8ビットバス幅の時

内部レジスタ

外部バス



Not Recommended for New Design

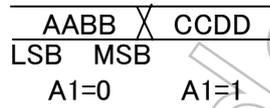
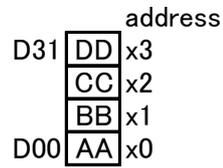
(2) リトルエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

内部レジスタ

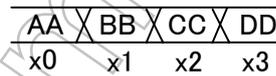
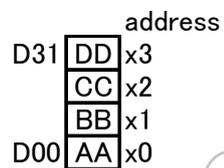
外部バス



- 8 ビットバス幅の時

内部レジスタ

外部バス

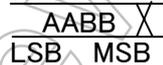
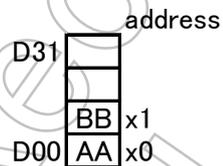


② ハーフワードアクセス

- 16 ビットバス幅の時

内部レジスタ

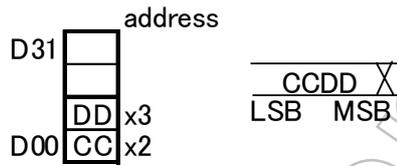
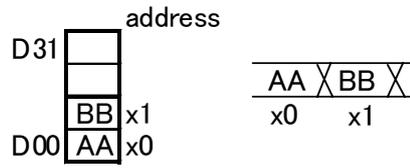
外部バス



- 8 ビットバス幅の時

内部レジスタ

外部バス

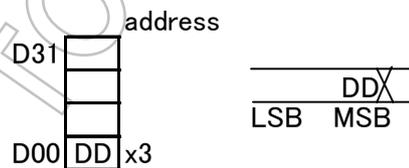
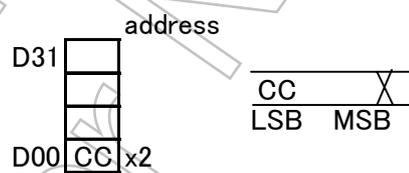
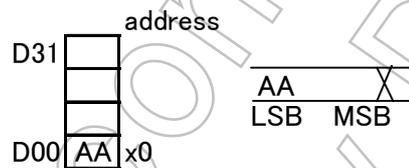


③ バイトアクセス

- 16 ビットバス幅の時

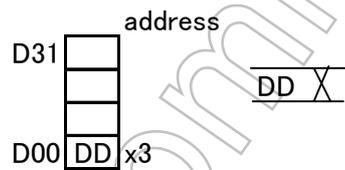
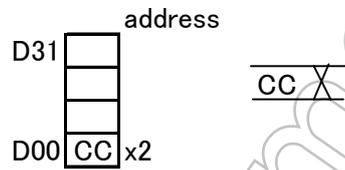
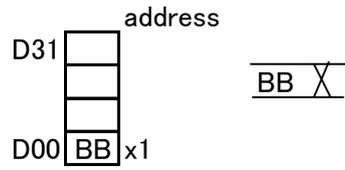
内部レジスタ

外部バス



- 8ビットバス幅の時

内部レジスタ 外部バス



Not Recommended for New Design

8.3 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23~A0, D15~D0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A61 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8.1 にリードバスタイミングを、図 8.2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり、 \overline{RD} 、 \overline{WR} などの制御信号もアクティブになりません。

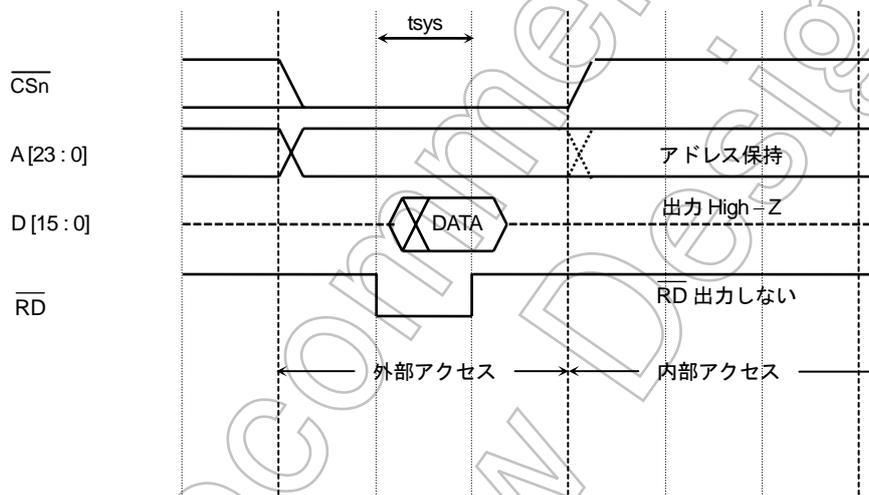


図 8.1 リードオペレーションタイミング図

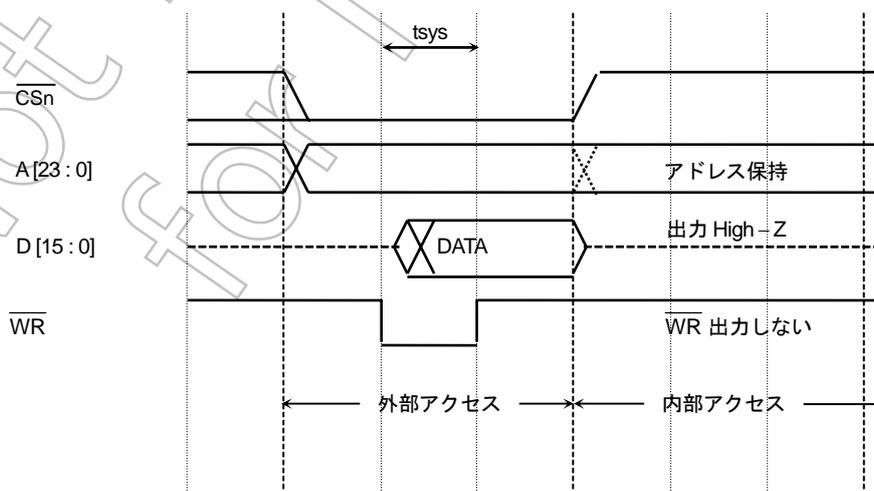


図 8.2 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックにウェイトサイクルを挿入することができます。

挿入できるウェイトには次の3種類があります。

- ① 最大 15 クロックまでの自動ウェイト挿入
- ② $\overline{\text{WAIT}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ …… $13+2N$ 、 $14+2N$ 、 $15+2N$ $2N$: 外部ウェイト挿入数)
- ③ $\overline{\text{RDY}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ …… $13+2N$ 、 $14+2N$ 、 $15+2N$ $2N$: 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ $\text{BmnCS}\langle\text{BnW}\rangle$ で設定します。

図 8.3～図 8.10 にウェイトを挿入したタイミング図を示します。

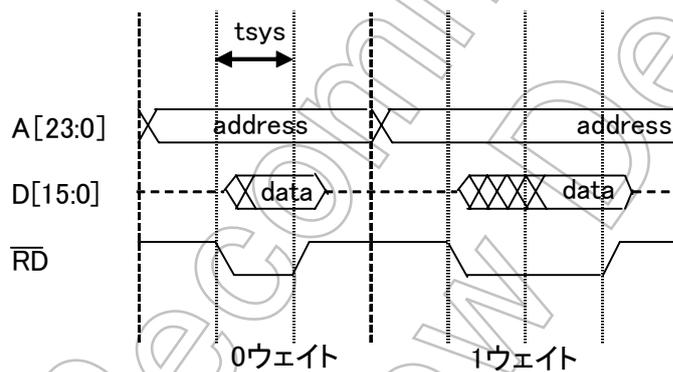


図 8.3 リードオペレーションタイミング図 (0 ウェイトおよび自動 1 ウェイト)

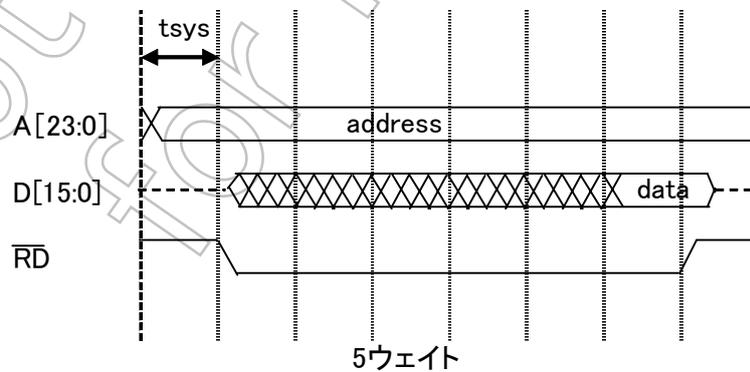


図 8.4 リードオペレーションタイミング図 (自動 5 ウェイト)

図 8.5 にセパレートバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

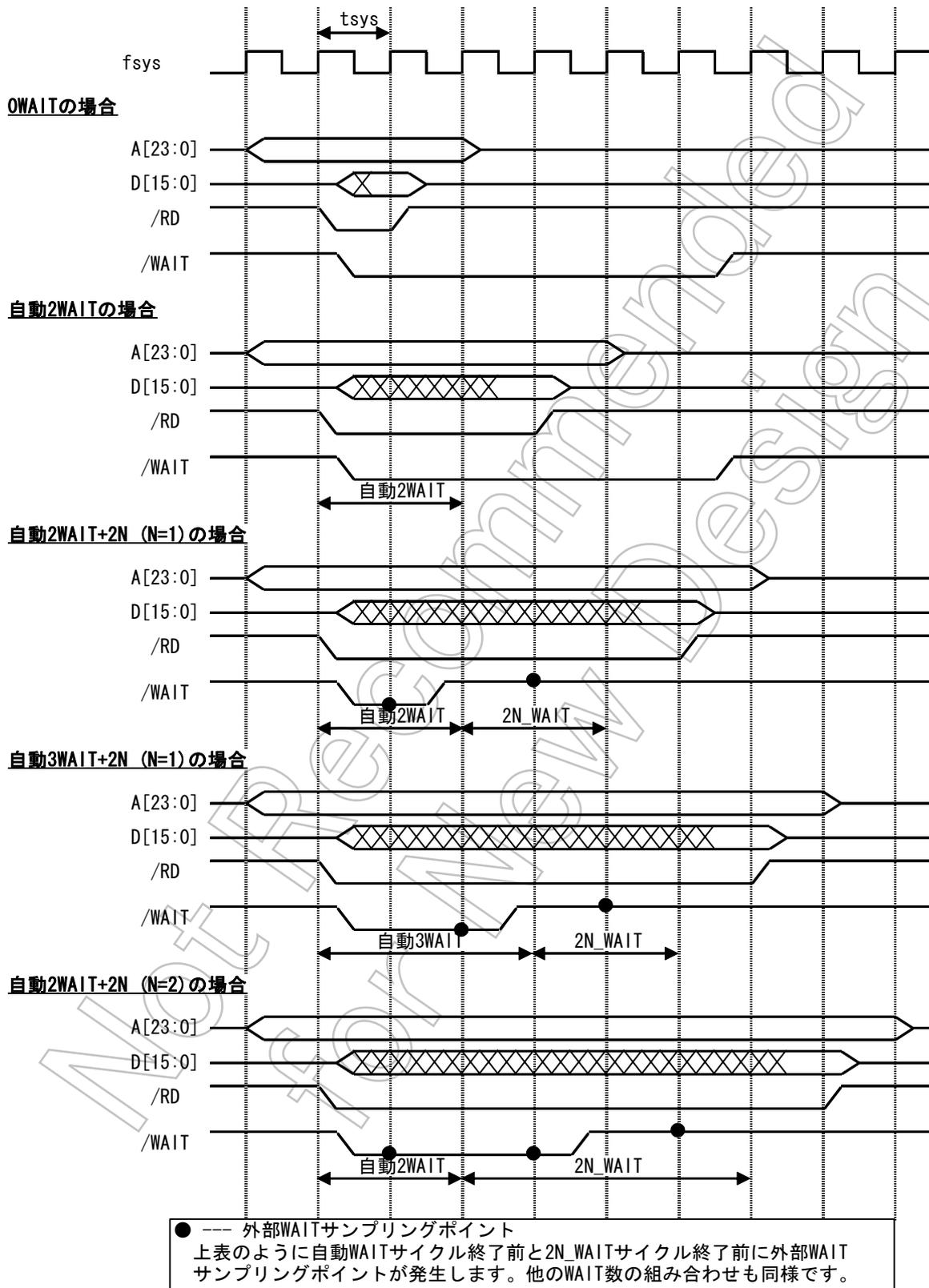


図 8.5 リードオペレーションタイミング図

図 8.6 にセパレートバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

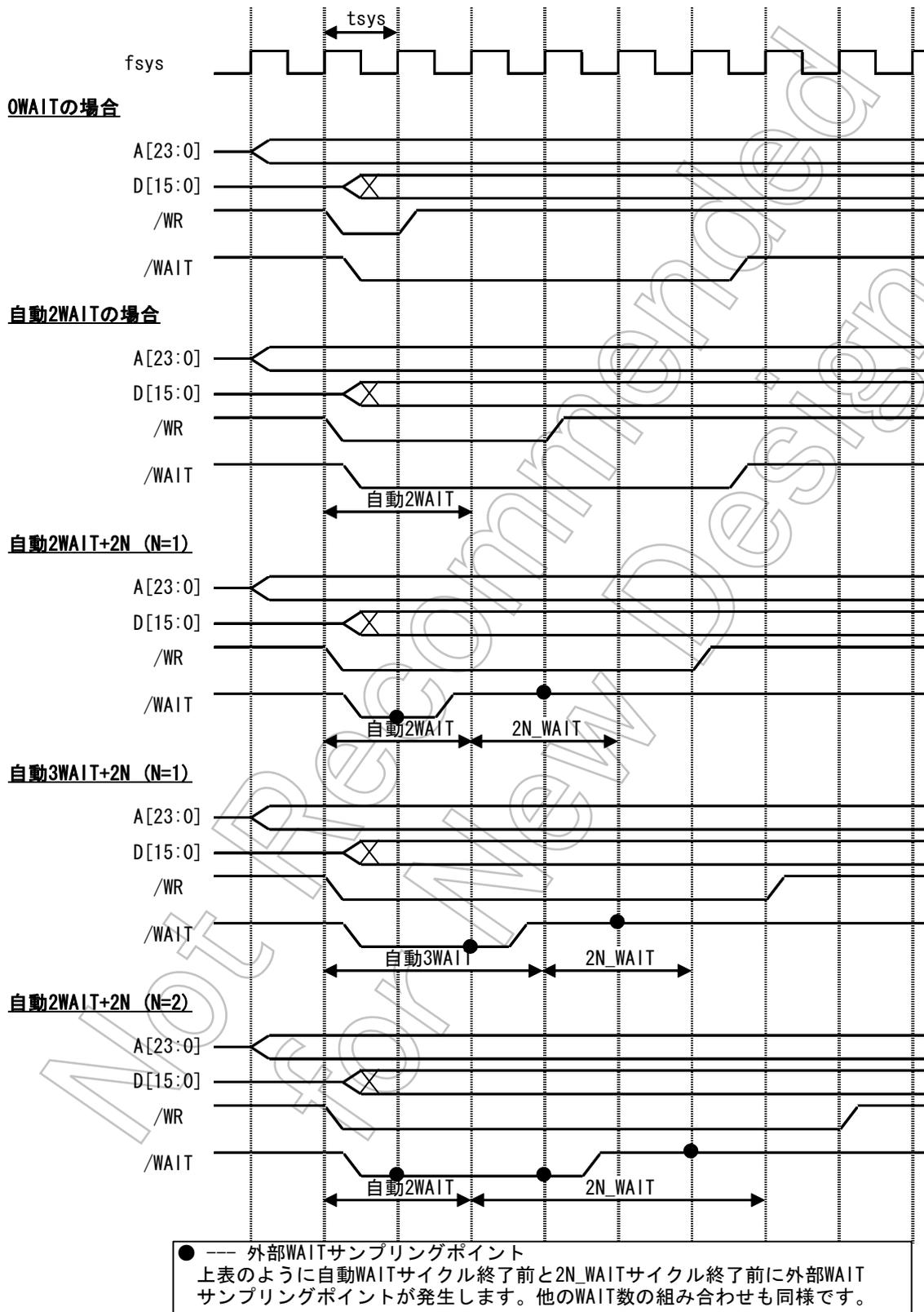


図 8.6 ライトオペレーションタイミング図

ポート3ファンクションレジスタ1 P3FC1のビット3<P33F1>を”1”にセットすることにより、 $\overline{\text{WAIT}}$ 入力端子 (P33) はRDY 入力端子としても機能します。

$\overline{\text{RDY}}$ 入力は $\overline{\text{WAIT}}$ 入力の論理的反転で外部バスインタフェース回路に入力されます。CS/ウェイトコントロールレジスタ BmnCS<BnW>でウェイト数の設定を行います。

図 8.7 に $\overline{\text{RDY}}$ 入力とウェイト数の関係を示します。

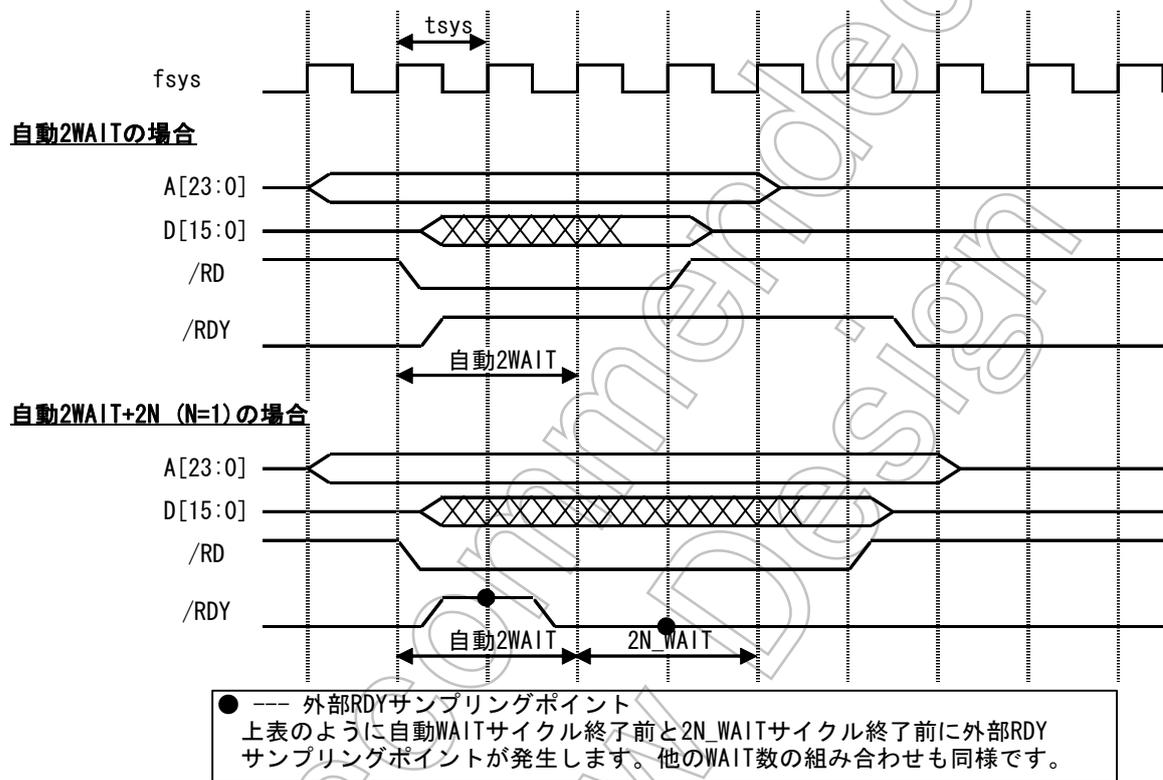


図 8.7 RDY 入力とウェイトオペレーションタイミング図

(3) ALE アサート時間

TMP19A61 の外部バスをマルチプレクスバスとして使用する時に ALE 幅 (アサート時間) を設定できます。CS/WAIT コントローラ部のバスコントロール BUSCR<ALESEL1:0>にて設定します。セパレートバスモードの場合には ALE は出力されませんが、BUSCR<ALESEL1:0>の値によりアドレス成立から \overline{RD} または \overline{WR} 信号のアサートされるまでの時間が変わります。リセット時は<ALESEL1:0> = "01" にセットされ、アドレス成立から 1 システムクロック (内部) 後に \overline{RD} または \overline{WR} 信号がアサートされます。<ALESEL1:0>を "00" にクリアすると、アドレス成立後に前述信号はアサートされます。この設定は外部エリアのブロック毎には設定できず、外部アドレス空間で共通です。

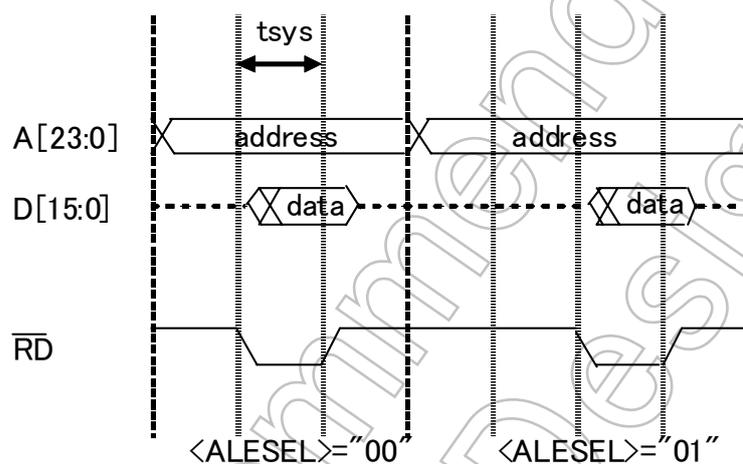


図 8.8 セパレートバスにおける ALE アサートタイミング

(4) リカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS/WAIT コントロールレジスタ BmnCS<BnWCV> (ライト・リカバリサイクル)、<BnRCV> (リード・リカバリサイクル) にて設定します。ダミーサイクル数は各ブロックごとに、ダミーサイクル無し、1、2、4 システムクロック (内部) を指定することができます。図 8.9 にリカバリタイム挿入時のタイミング図を示します。

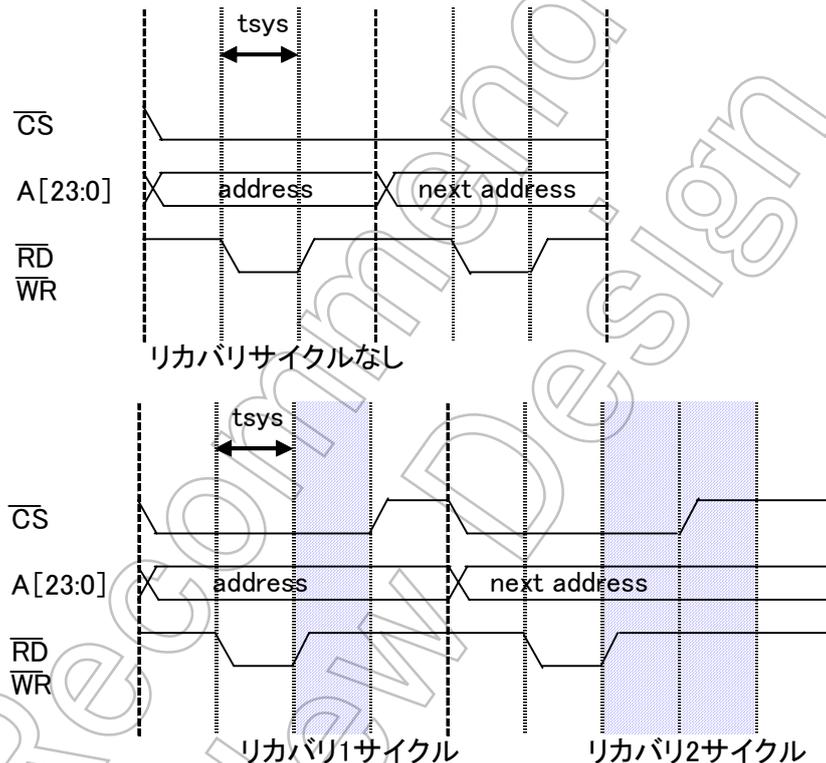


図 8.9 セパレートバスにおけるリカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については CS/WAIT コントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに、ダミーサイクル無し、1 システムクロック（内部）を指定することができます。図 8.10 にリカバリタイム挿入時のタイミング図を示します。

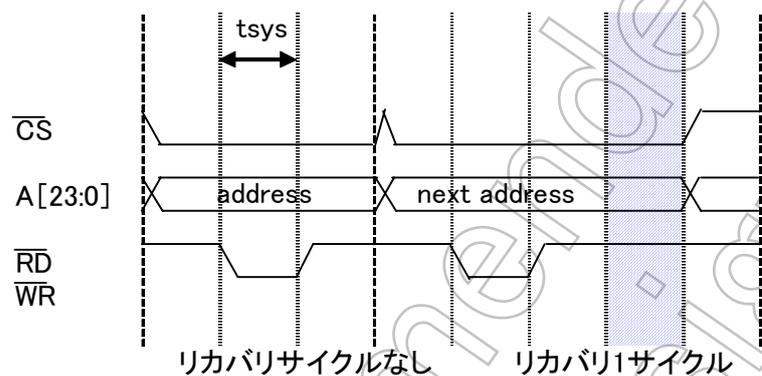


図 8.10 チップセレクトリカバリタイム挿入時のタイミング

8.4 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23~A16, AD15~AD0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A61 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8.11 にリードバスタイミングを、図 8.12 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出力しません。またアドレス/データバスはハイインピーダンスになり、RD、WR などの制御信号もアクティブになりません。

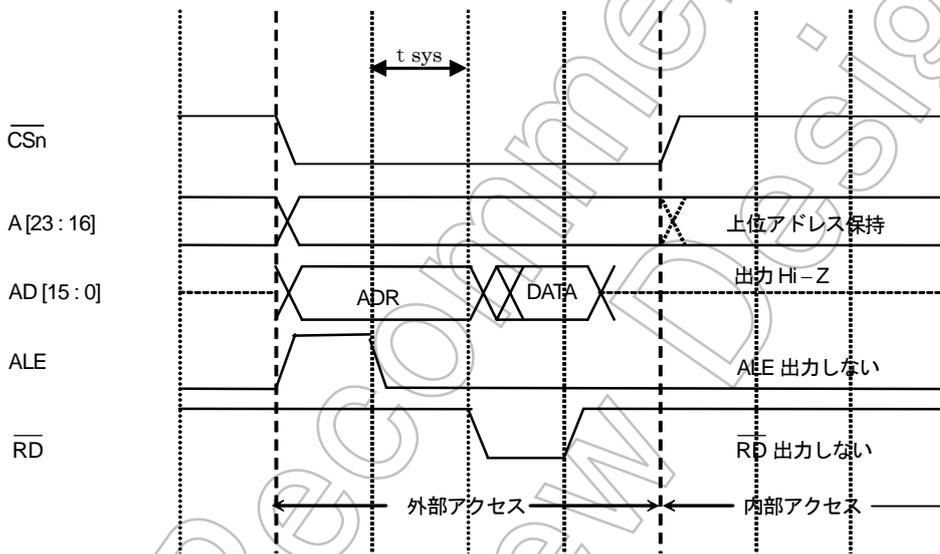


図 8.11 リードオペレーションタイミング図

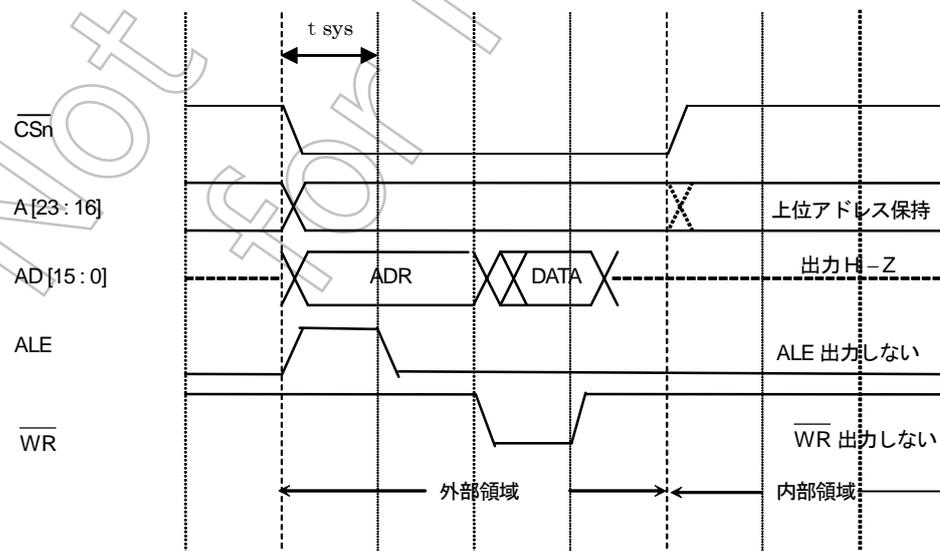


図 8.12 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/WAIT コントローラにより各ブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

- ① 最大 15 クロックまでの自動ウェイト挿入
- ② $\overline{\text{WAIT}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ …… $13+2N$ 、 $14+2N$ 、 $15+2N$ 2N : 外部ウェイト挿入数)
- ④ $\overline{\text{RDY}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ …… $13+2N$ 、 $14+2N$ 、 $15+2N$ 2N : 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定は CS/ウェイトコントロールレジスタ BmnCS<BnW>で設定します。

Not Recommended for New Design

図 8.13 にマルチプレスクバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

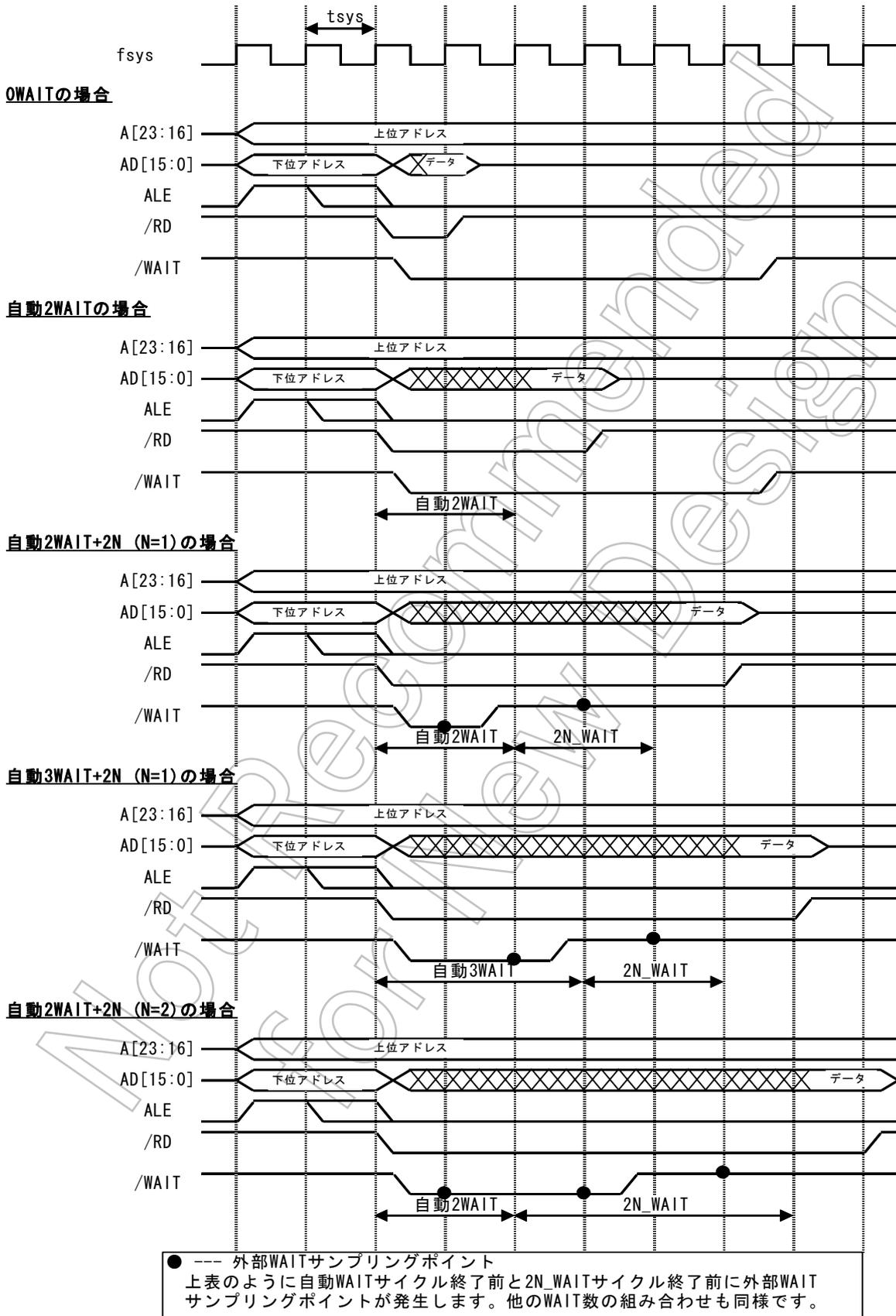


図 8.13 リードオペレーションタイミング図

図 8.14 にマルチプレスクバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

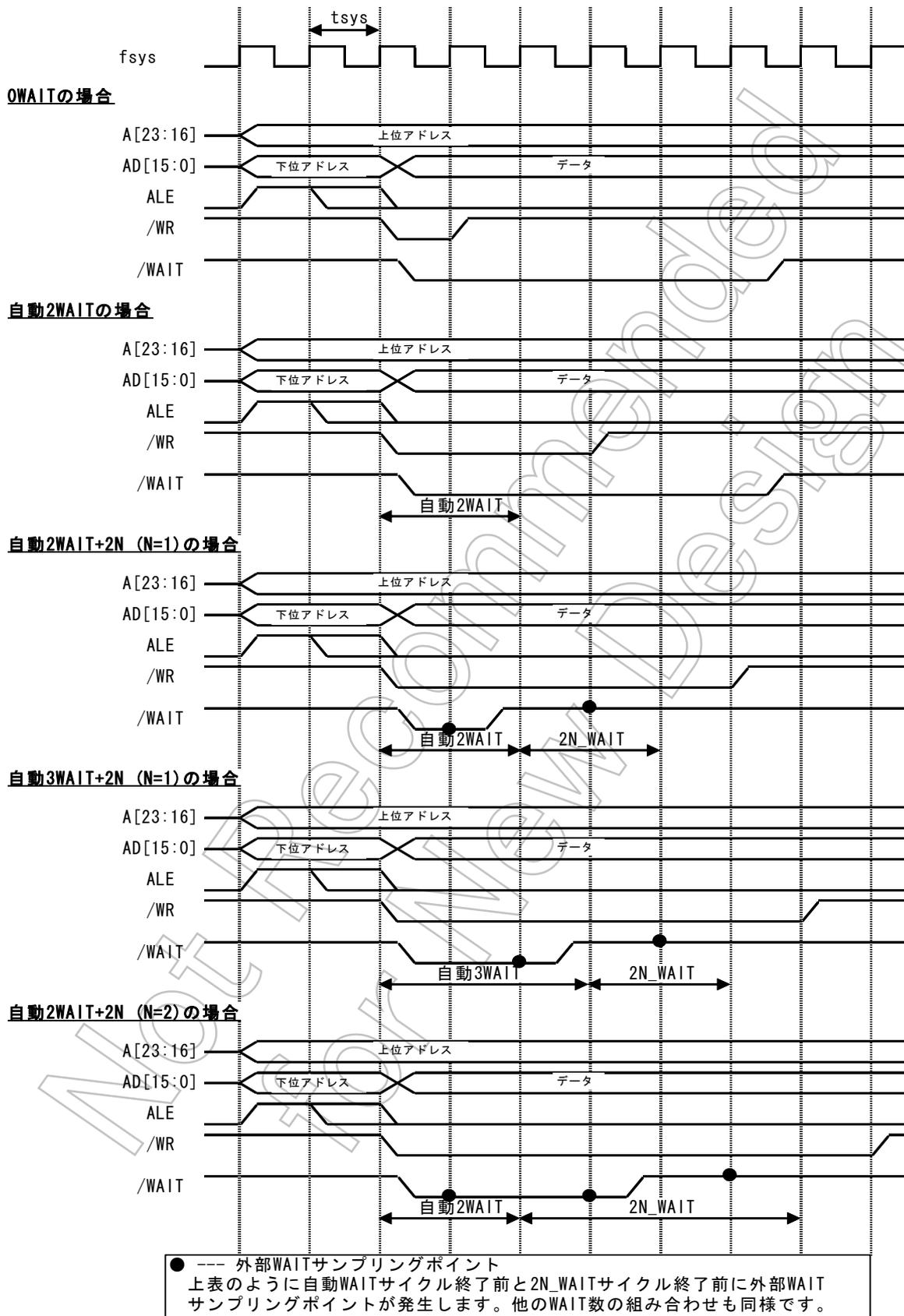


図 8.14 ライトオペレーションタイミング図

(3) ALE アサート時間

ALE アサート時間は、1~4 システムクロックの中から選択できます。設定用のビットはバスコントロールレジスタ (BUSCR) にあります。デフォルトは 2 クロックです。この設定は外部エリアのブロックごとには設定できず、外部アドレス空間で共通です。

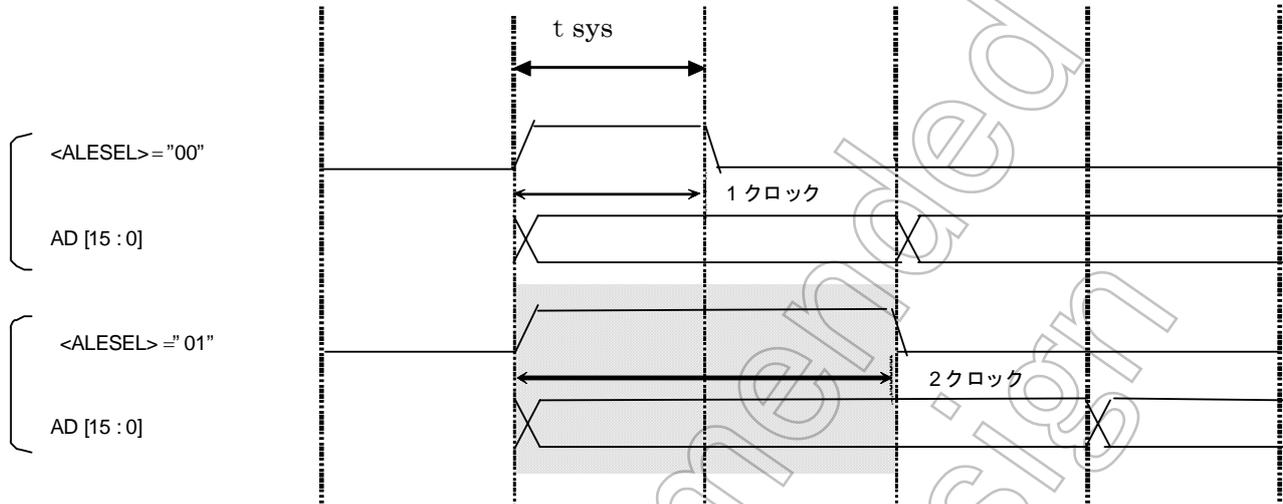


図 8.15 ALE のアサート時間

図 8.16 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

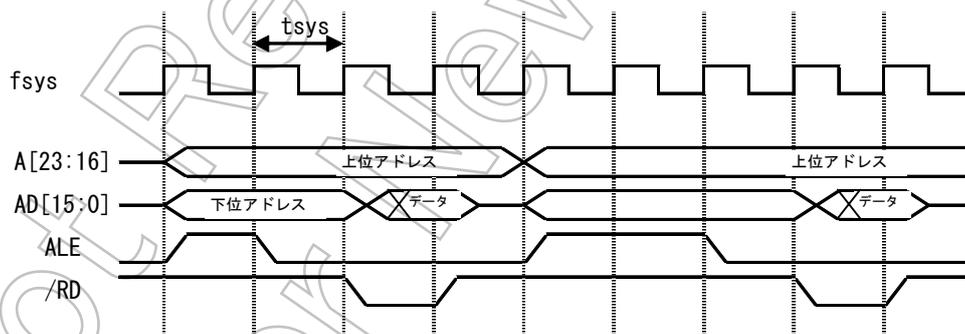
ALE 1クロック、2クロックの場合

図 8.16 リードオペレーションタイミング図 (ALE 1クロックおよび2クロック)

(4) リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入についてはCS/WAIT コントロールレジスタ BmnCS<BnWCV> (ライト・リカバリサイクル)、<BnRCV> (リード・リカバリサイクル) にて設定します。ダミーサイクル数はブロックごとに、ダミーサイクル無し、1、2、4 システムクロック (内部) を指定することができます。図 8.17 にリカバリタイム挿入時のタイミング図を示します。

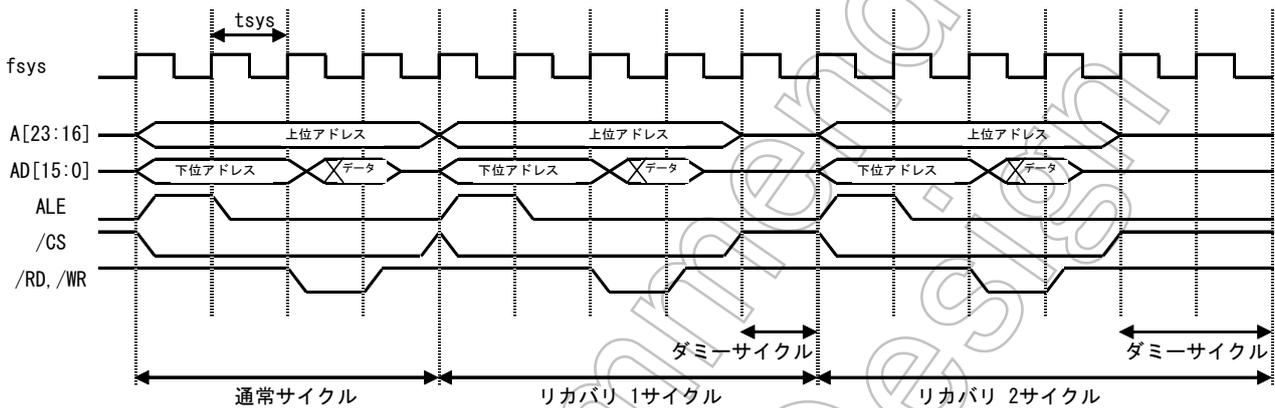
リード/ライトリカバリ挿入時 (ALE幅:1f_{sys}) の場合

図 8.17 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/WAIT コントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに、ダミーサイクル無し、1 システムクロック (内部) を指定することができます。図 8.18 にリカバリタイム挿入時のタイミング図を示します。

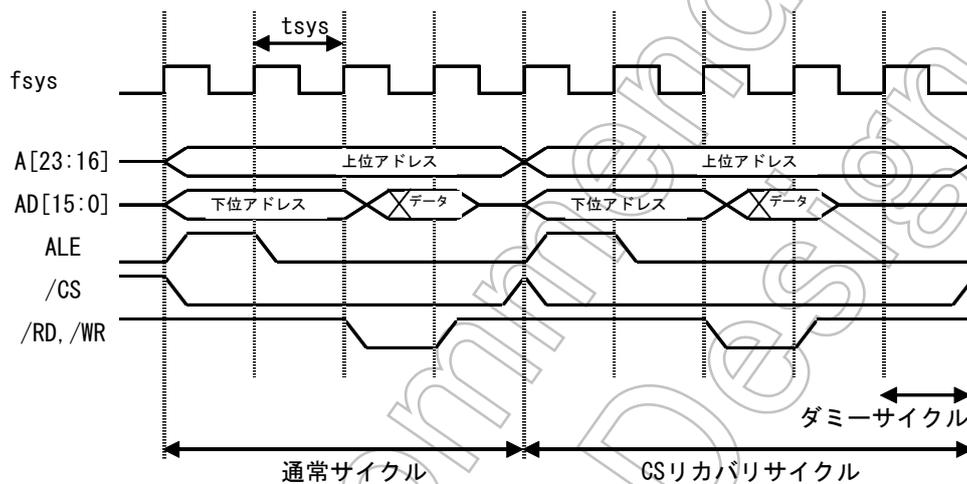
CSリカバリ挿入時 (ALE幅:1fsys)の場合

図 8.18 チップセレクトリカバリタイム挿入時のタイミング

8.5 バスアービトレーション

TMP19A61 は、外部にバスマスタを接続することができます。外部バスマスタとのバス制御権のアービトレーションは、 $\overline{\text{BUSRQ}}$ 、 $\overline{\text{BUSAK}}$ の 2 本の信号で行います。外部バスマスタが制御権を獲得できるバスは TMP19A61 の外部バスだけで、内部のバスは獲得できません。

(1) 外部バスマスタのアクセス範囲

外部バスマスタが制御権を獲得できるバスは TMP19A61 の外部バスだけで、内部のバス (G-BUS) は獲得できません。したがって外部バスマスタは、内蔵メモリおよび内蔵 I/O にアクセスすることはできません。この外部バスのバス権の調停は外部バスインタフェース回路 (EBIF) が行い、CPU や内蔵 DMAC は感知しません。外部バスマスタが外部のバス権を獲得しているときにも、CPU や内蔵 DMAC は内蔵の ROM、RAM やレジスタにはアクセスできません。他方、外部バスマスタが外部のバス権を獲得しているときに、CPU や内蔵 DMAC が外部のメモリにアクセスしようとする、外部バスマスタがバスを解放するまで、CPU や内蔵 DMAC のバスサイクルにウェイトがかかります。このため $\overline{\text{BUSRQ}}$ をアクティブにしたままにすると、TMP19A61 がロックする可能性があります。

(2) バス制御権の獲得

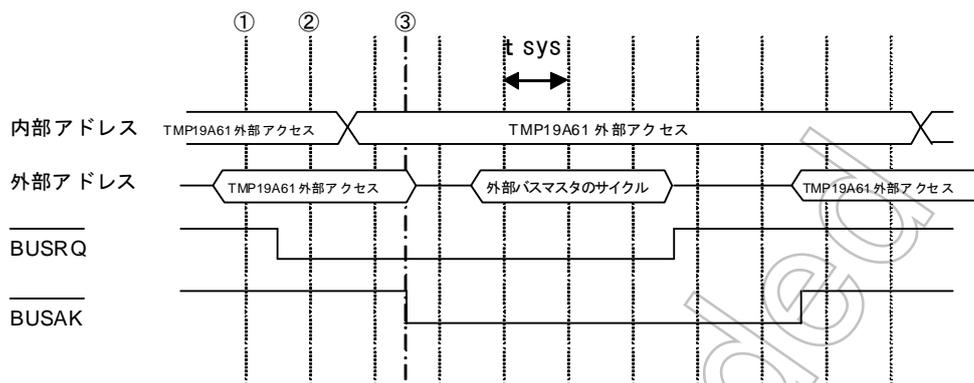
外部バスマスタは、 $\overline{\text{BUSRQ}}$ 信号をアサートすることで、TMP19A61 に対してバス制御権を要求します。TMP19A61 は、内部のバス (G-BUS) 上での外部バスサイクルの切れ目で $\overline{\text{BUSRQ}}$ 信号をサンプリングして、外部バスマスタにバス制御権を与えるかどうか判断します。バス制御権を外部バスマスタに与えるときは $\overline{\text{BUSAK}}$ 信号をアサートします。また同時にアドレスバス、データバスおよびバス制御信号 ($\overline{\text{RD}}$ 、 $\overline{\text{WR}}$) をハイインピーダンス状態にします ($\overline{\text{R}/\overline{\text{W}}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{CSx}}$ は内蔵 Pull-up イネーブルの状態になります)。

ロード、ストアのデータサイズと外部メモリのバス幅の関係で、1 回のデータ転送に対して複数回のバスサイクルが発生することがあります (バスサイジング)。このときは最後のバスサイクルの終了時点が外部バスサイクルの切れ目になります。

TMP19A61 では、外部アクセスが連続した場合にダミーサイクルを挿入することができます。この場合にもバス要求が受け付けられるのは、内部バス (G-BUS) 上での外部バスサイクルの切れ目です。ダミーサイクル中にはすでに次の外部バスサイクルが内部バス上では起動されていますので、ダミーサイクル中に $\overline{\text{BUSRQ}}$ 信号がアサートされてもバスが解放されるのは次の外部バスサイクルが終了したときになります。

$\overline{\text{BUSRQ}}$ 信号は、バス制御権を解放するまでアサートし続けてください。

外部バスマスタによるバス制御権の獲得タイミングを図 8.19 に示します。



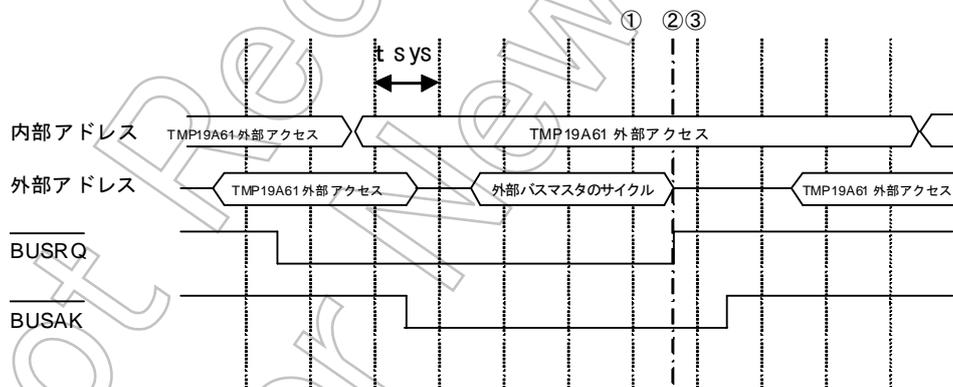
- ① $\overline{\text{BUSRQ}}$ が “H” レベルです。
- ② TMP19A61 は、 $\overline{\text{BUSRQ}}$ が “L” レベルであることを認識してバスサイクル終了時にバスを解放します。
- ③ TMP19A61 はバスの終了にともない $\overline{\text{BUSAK}}$ をアサートします。外部バスマスタは、 $\overline{\text{BUSAK}}$ が “L” レベルであることを認識してバス制御権を獲得し、バスオペレーションを開始します。

図 8.19 バス制御権の獲得タイミング

(3) バス制御権の解放

外部バスマスタがバス制御権を解放するのは、バス制御権が不要になった場合です。外部バスマスタは、獲得していたバス制御権が不要になると、 $\overline{\text{BUSRQ}}$ 信号をデアサートしてバス制御権を TMP19A61 に返します。

バス制御不要による解放のタイミングを図 8.20 に示します。



- ① 外部バスマスタがバス制御権を持っています。
- ② 外部バスマスタはバス制御権が不要になったので、 $\overline{\text{BUSRQ}}$ をデアサートします。
- ③ TMP19A61 は、 $\overline{\text{BUSRQ}}$ が “H” レベルであることを認識して、 $\overline{\text{BUSAK}}$ をデアサートします。

図 8.20 バス制御権の解放タイミング

9. チップセレクト/ウェイトコントローラ

TMP19A61 は、外部デバイス（I/O デバイス、ROM、および、SRAM）に接続することができます。

TMP19A61 は、任意の 6 ブロックのアドレス空間（CS0～5 空間）を設定し、各アドレス空間とそれ以外のアドレス空間に対して、データバス幅、ウェイト数、ダミーサイクル数を指定することができます。

$\overline{CS0} \sim \overline{CS5}$ （P40～P45 と兼用）は、CS0～CS5 空間に対応した出力端子です。この端子は、CPU 動作により CS0～CS5 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号（ROM/SRAM 用）を出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ（P4CR）とポート 4 ファンクションレジスタ（P4FC）による設定が必要です。

CS0～CS5 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA5）にてベースアドレス（BA_n, n=0～5）とマスクアドレス（MA_n, n=0～5）の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数、ダミーサイクル数は、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS、B45CS）で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子（WAIT）があります。

9.1 アドレス空間指定

CS0～CS5 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA5）により行います。

バスサイクルごとに、バス上のアドレスを CS0～CS5 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して CS0～CS5 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS、B45CS）で設定した動作を実行します（「9.2 チップセレクト/ウェイトコントロールレジスタ」を参照してください）。

9.1.1 ベース/マスクアドレス設定レジスタ

図 9.1.1～3 に、ベース/マスクアドレス設定レジスタを示します。ベースアドレス（BA0～BA5）には、CS0～CS5 空間のスタートアドレスを設定します。チップセレクト/ウェイトコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、マスクアドレス（MA0～MA5）でマスクされているアドレスビットはアドレスの比較対象にはなりません。マスクアドレスの設定によって、アドレス空間のサイズが決まります。

(1) ベースアドレス

ベースアドレス BA_n には、スタートアドレスの上位 16 ビット（A31～A16）を設定します。また、スタートアドレスの下位 16 ビット（A15～A0）には、常に“0”が設定されています。したがって、スタートアドレスは、0x0000_0000H から 64K バイトごとの値になります。

図 9.1.4 にスタートアドレスと BA_n の値の関係を示します。

(2) マスクアドレス

マスクアドレス（MA_n）は、アドレスのどのビットの値を比較するか、しないかを設定します。アドレスマスク MA_n に“0”をライトしたビットに対応するバス上のアドレスが、CS0～CS5 空間の領域かどうかの比較対象となり、“1”をライトしたビットは比較の非対象になります。

CS0～CS5 空間は、それぞれ MA0～MA5 によってマスクできるアドレスビットが異なります。

CS0 空間、CS1 空間 : A29 ~ A14

CS2 空間、CS3 空間、CS4 空間、CS5 空間 : A30 ~ A15

(注1) アドレス設定は物理アドレスを設定してください。

(注2) CS を未使用時は、BMA_n への全ての設定 Bit にならず “0” をライトしてください。

CS を未使用の場合にも内部ではデコード動作が行われる場合があります

(注3) CS 空間には、I/O、ROM、RAM をマッピングしないようにしてください。左記の設定を行うと外部空間と内部空間を同時にアクセスします。

Not Recommended
for New Design

ベース/マスクアドレス設定レジスタ BMA0 (0xFFFF_E400H) ~ BMA5 (0xFFFF_E41CH)

BMA0 (0xFFFF_E400H)	Symbol	MA0								
	Read/Write	R/W								
	リセット後	1	1	1	1	1	1	1	1	
	機能	CS0 空間サイズ設定 0:アドレス比較対照								
		15	14	13	12	11	10	9	8	
	Symbol	MA0								
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	1	1	
	機能	かならず“0”をライトしてください						CS0 空間サイズ設定 0:アドレス比較対照		
		23	22	21	20	19	18	17	16	
	Symbol	BA0								
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	スタートアドレス A23~A16 設定								
		31	30	29	28	27	26	25	24	
	Symbol	BA0								
	Read/Write	R/W								
	リセット後	1	1	1	1	1	1	1	1	
	機能	スタートアドレス A31~A24 設定								
BMA1 (0xFFFF_E404H)		7	6	5	4	3	2	1	0	
	Symbol	MA1								
	Read/Write	R/W								
	リセット後	1	1	1	1	1	1	1	1	
	機能	CS1 空間サイズ設定 0:アドレス比較対照								
			15	14	13	12	11	10	9	8
		Symbol	MA1							
		Read/Write	R/W							
		リセット後	0	0	0	0	0	0	1	1
		機能	かならず“0”をライトしてください						CS1 空間サイズ設定 0:アドレス比較対照	
			23	22	21	20	19	18	17	16
		Symbol	BA1							
		Read/Write	R/W							
		リセット後	0	0	0	0	0	0	0	0
		機能	スタートアドレス A23~A16 設定							
		31	30	29	28	27	26	25	24	
	Symbol	BA1								
	Read/Write	R/W								
	リセット後	1	1	1	1	1	1	1	1	
	機能	スタートアドレス A31~A24 設定								

(注) BMA0、BMA1 のビット 10~15 にはかならず “0” をライトしてください。
 CS0、CS1 空間は最小 16KB エリアから、最大 1GB エリアまで設定可能ですが、TMP19A61 では外部アドレス空間は 16MB なので A24~A29 のアドレスをマスクしないためビット 10~15 を “0” に設定します。

図 9.1.1 ベースアドレス/マスクアドレス設定レジスタ (BMA0, BMA1)

BMA2
(0xFFFF_E408H)

	7	6	5	4	3	2	1	0
Symbol	MA2							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS2 空間サイズ設定 0:アドレス比較対照							
	15	14	13	12	11	10	9	8
Symbol	MA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS2 空間サイズ設定
	23	22	21	20	19	18	17	16
Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

BMA3
(0xFFFF_E40CH)

	7	6	5	4	3	2	1	0
Symbol	MA3							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS3 空間サイズ設定 0:アドレス比較対照							
	15	14	13	12	11	10	9	8
Symbol	MA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS3 空間サイズ設定
	23	22	21	20	19	18	17	16
Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

(注) BMA2、BMA3 のビット 9~15 にはかならず“0”をライトしてください。
CS2、CS3 空間は最小 32KB エリアから、最大 2GB エリアまで設定可能ですが、TMP19A61 では外部アドレス空間は 16MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を“0”に設定します。

図 9.1.2 ベースアドレス/マスクアドレス設定レジスタ (BMA2, BMA3)

BMA4
(0xFFFF_E410H)

	7	6	5	4	3	2	1	0
Symbol	MA4							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS4 空間サイズ設定 0:アドレス比較対照							
	15	14	13	12	11	10	9	8
Symbol	MA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS4 空間サイズ設定
	23	22	21	20	19	18	17	16
Symbol	BA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
bit Symbol	BA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

BMA5
(0xFFFF_E41CH)

	7	6	5	4	3	2	1	0
Symbol	MA5							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS5 空間サイズ設定 0:アドレス比較対照							
	15	14	13	12	11	10	9	8
Symbol	MA5							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS5 空間サイズ設定
	23	22	21	20	19	18	17	16
Symbol	BA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
Symbol	BA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

(注) BMA4、BMA5 のビット 9~15 にはかならず“0”をライトしてください。
CS4、CS5 空間は最小 32KB エリアから、最大 2GB エリアまで設定可能ですが、TMP19A61 では外部アドレス空間は 16MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を“0”に設定します。

図 9.1.3 ベースアドレス/マスクアドレス設定レジスタ (BMA4, BMA5)

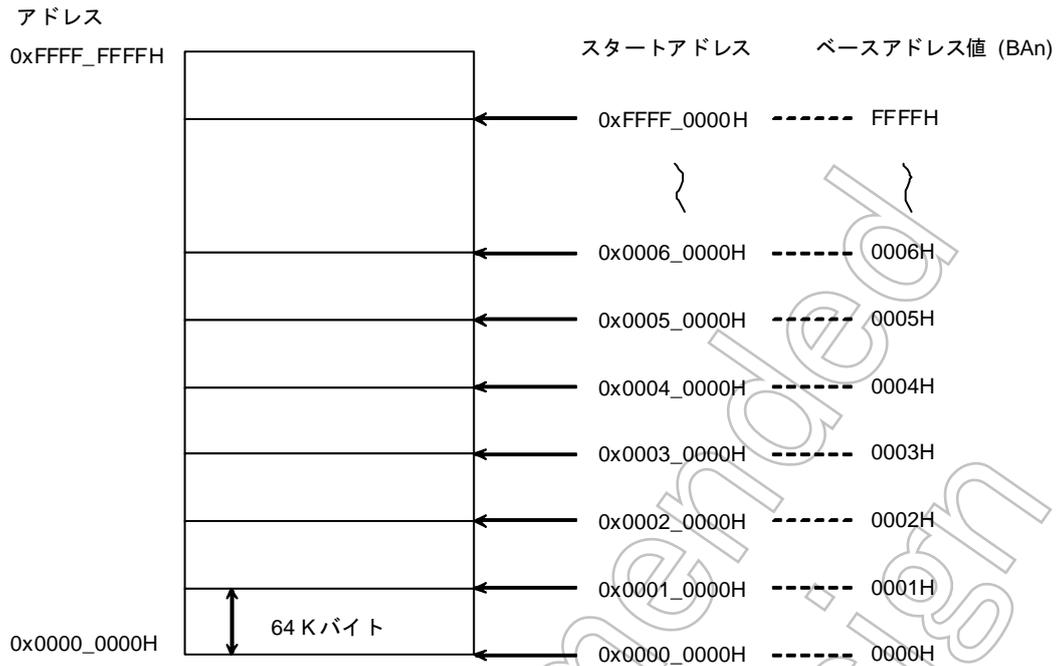
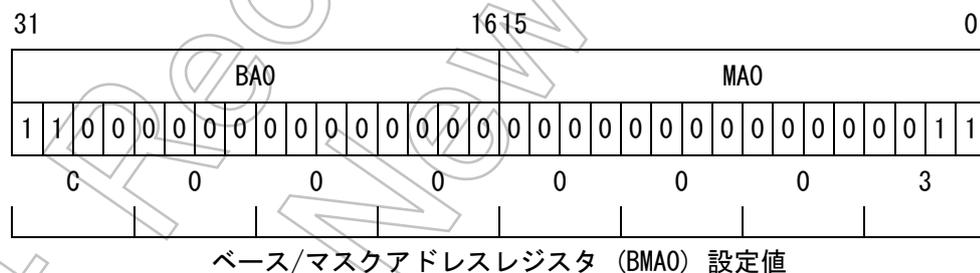


図 9.1.4 スタートアドレスとベースアドレスレジスタ値の関係

9.1.2 スタートアドレス、アドレス空間の設定方法

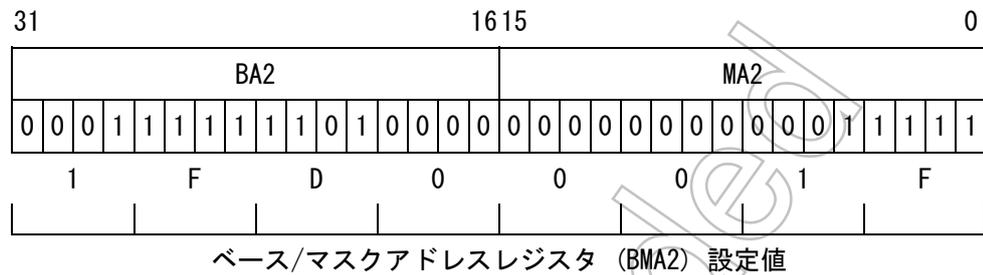
- CS0 空間を用いて、0xC000_0000 から始まる 64K バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA0) に、スタートアドレスの上位 16 ビットに相当する “0xC000” を設定します。マスクアドレス (MA0) は、A29~A14 のアドレス比較を行うか、行わないかを設定します。この場合 A29~A16 についてはかならず比較が行われるようにマスクアドレス (MA0) のビット 15~2 には “0” を設定します。なお A31, A30 のアドレスは常に比較が行われます。

上記のように設定すると、A31~A16 までがスタートアドレスとして設定された値と比較されます。この場合、A15~A0 はマスクされますので、0xC000_0000~0xC000_FFFF の 64K バイトが CS0 空間として設定され、バス上のアドレスと一致すれば CS0 信号がアサートされます。

- CS2 空間を用いて、0x1FD0_0000 から始まる 1M バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA2) に、スタートアドレスの上位 16 ビットに相当する “0x1FD0” を設定します。マスクアドレス (MA2) は、A30～A15 のアドレス比較を行うか、行わないかを設定します。この場合 A30～A20 についてはかならず比較が行われるようにマスクアドレス (MA2) のビット 15～5 には “0” を設定します。なお A31 はかならず比較が行われます。

上記のように設定すると、A31～A20 まではスタートアドレスとして設定された値と比較されます。この場合、A19～A0 はマスクされますので、0x1FD0_0000～0x1FDF_FFFF の 1M バイトが CS2 空間として設定されます。

リセット後、CS0、CS1、CS2～5 空間はディセーブルになります。

Not Recommended for New Design

表 9.1.1 に CS 空間と空間サイズの関係を示します。なお、2 つ以上のアドレス空間を重ねて指定した場合には CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間の開始アドレスを 0xC000_0000、空間サイズを 16K バイト
 CS1 空間の開始アドレスを 0xC000_0000、空間サイズを 64K バイト

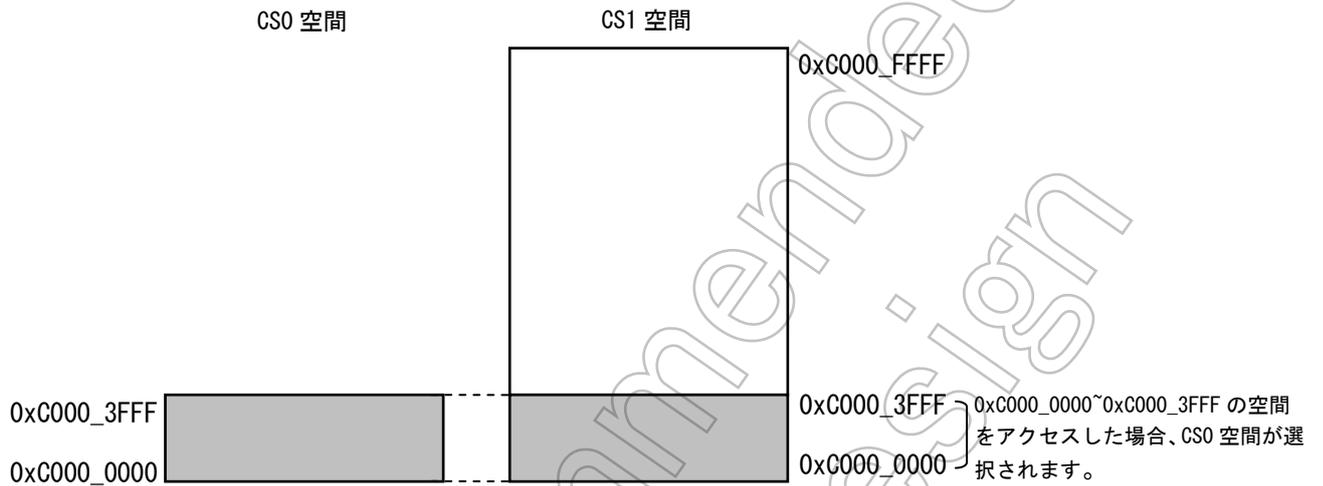


表 9.1.1 CS 空間と空間サイズ

サイズ (バイト)	16 K	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M	16 M
CS 空間											
CS0	○	○	○	○	○	○	○	○	○	○	○
CS1	○	○	○	○	○	○	○	○	○	○	○
CS2		○	○	○	○	○	○	○	○	○	○
CS3		○	○	○	○	○	○	○	○	○	○
CS4		○	○	○	○	○	○	○	○	○	○
CS5		○	○	○	○	○	○	○	○	○	○

9.2 チップセレクト/ウェイトコントローラ

図 9.2.1～図 9.2.3 に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間（CS0～CS5 空間と、それ以外のアドレス空間）は、それぞれのチップセレクト/ウェイトコントロールレジスタ（B01CS～B45CS）により、マスタイネーブル/ディセーブル、データバス幅選択、ウェイト数設定、ダミーサイクルの挿入を行うことができます。

また、2 つ以上のアドレス空間を重ねて設定した場合は、CS 空間番号の小さい方が優先的に選択されます。（優先順位は、CS0>CS1>CS2>CS3>CS4>CS5 となります。）

Not Recommended
for New Design

B01CS
(0xFFFFE480)

	7	6	5	4	3	2	1	0
bit Symbol	BOBUS			BOW				
Read/Write	R	R/W		R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます	データベース幅選択 00: 8bit 01: 16bit 10: 設定禁止 11: 設定禁止		ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) 1_0010: (2+ 2N) WAIT 1_1001: (9+ 2N) WAIT 1_0011: (3+ 2N) WAIT 1_1010: (10+ 2N) WAIT 1_0100: (4+ 2N) WAIT 1_1011: (11+ 2N) WAIT 1_0101: (5+ 2N) WAIT 1_1100: (12+ 2N) WAIT 1_0110: (6+ 2N) WAIT 1_1101: (13+ 2N) WAIT 1_0111: (7+ 2N) WAIT 1_1110: (14+ 2N) WAIT 1_1000: (8+ 2N) WAIT 1_1111: (15+ 2N) WAIT				
	15	14	13	12	11	10	9	8
bit Symbol	BOCSCV		BOWCV		BORCV		BOE	
Read/Write	R		R/W	R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	リードすると“0”が読めます (CS0 カバリタイム) 0: デミ無し 1: 1 サイクル	挿入デミサイクル数設定		挿入デミサイクル数設定 (ライト・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入デミサイクル数設定 (リード・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS0 イネーブル 0: デイセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol	B1BUS			B1W				
Read/Write	R	R/W		R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます	データベース幅選択 00: 8bit 01: 16bit 10: 設定禁止 11: 設定禁止		ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) 1_0010: (2+2N) WAIT 1_1001: (9+2N) WAIT 1_0011: (3+2N) WAIT 1_1010: (10+2N) WAIT 1_0100: (4+2N) WAIT 1_1011: (11+2N) WAIT 1_0101: (5+2N) WAIT 1_1100: (12+2N) WAIT 1_0110: (6+2N) WAIT 1_1101: (13+2N) WAIT 1_0111: (7+2N) WAIT 1_1110: (14+2N) WAIT 1_1000: (8+2N) WAIT 1_1111: (15+2N) WAIT				
	31	30	29	28	27	26	25	24
bit Symbol	B1CSCV		B1WCV		B1RCV		B1E	
Read/Write	R		R/W	R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	リードすると“0”が読めます (CS1 カバリタイム) 0: デミ無し 1: 1 サイクル	挿入デミサイクル数設定		挿入デミサイクル数設定 (ライト・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入デミサイクル数設定 (リード・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS1 イネーブル 0: デイセーブル 1: イネーブル

図 9.2.1 チップセレクト/ウェイトコントロールレジスタ 0,1

B23CS
(0xFFFFE484)

	7	6	5	4	3	2	1	0
bit Symbol	B2BUS			B2W				
Read/Write	R	R/W		R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます	データバス幅選択 00: 8bit 01: 16bit 10: 設定禁止 11: 設定禁止		ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) 1_0010: (2+ 2N) WAIT 1_1001: (9+ 2N) WAIT 1_0011: (3+ 2N) WAIT 1_1010: (10+ 2N) WAIT 1_0100: (4+ 2N) WAIT 1_1011: (11+ 2N) WAIT 1_0101: (5+ 2N) WAIT 1_1100: (12+ 2N) WAIT 1_0110: (6+ 2N) WAIT 1_1101: (13+ 2N) WAIT 1_0111: (7+ 2N) WAIT 1_1110: (14+ 2N) WAIT 1_1000: (8+ 2N) WAIT 1_1111: (15+ 2N) WAIT				
	15	14	13	12	11	10	9	8
bit Symbol	B2CSCV		B2WCV		B2RCV		B2E	
Read/Write	R		R/W	R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	リードすると“0”が読めます		挿入ダミーサイクル数設定	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS2 イネーブル 0: イネーブル 1: イネーブル
	(CS2 がバリタイム) 0: ダミー無し 1: 1 サイクル							
	23	22	21	20	19	18	17	16
bit Symbol	B3BUS			B3W				
Read/Write	R	R/W		R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます	データバス幅選択 00: 8bit 01: 16bit 10: 設定禁止 11: 設定禁止		ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) 1_0010: (2+ 2N) WAIT 1_1001: (9+ 2N) WAIT 1_0011: (3+ 2N) WAIT 1_1010: (10+ 2N) WAIT 1_0100: (4+ 2N) WAIT 1_1011: (11+ 2N) WAIT 1_0101: (5+ 2N) WAIT 1_1100: (12+ 2N) WAIT 1_0110: (6+ 2N) WAIT 1_1101: (13+ 2N) WAIT 1_0111: (7+ 2N) WAIT 1_1110: (14+ 2N) WAIT 1_1000: (8+ 2N) WAIT 1_1111: (15+ 2N) WAIT				
	31	30	29	28	27	26	25	24
bit Symbol	B3CSCV		B3WCV		B3RCV		B3E	
Read/Write	R		R/W	R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	リードすると“0”が読めます		挿入ダミーサイクル数設定	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS3 イネーブル 0: イネーブル 1: イネーブル
	(CS3 がバリタイム) 0: ダミー無し 1: 1 サイクル							

図 9.2.2 チップセレクト/ウェイトコントロールレジスタ 2,3

B45CS
(0xFFFFE488)

	7	6	5	4	3	2	1	0
bit Symbol	B4BUS			B4W				
Read/Write	R	R/W		R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます	データベース幅選択 00: 8bit 01: 16bit 10: 設定禁止 11: 設定禁止		ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) 1_0010: (2+ 2N) WAIT 1_1001: (9+ 2N) WAIT 1_0011: (3+ 2N) WAIT 1_1010: (10+ 2N) WAIT 1_0100: (4+ 2N) WAIT 1_1011: (11+ 2N) WAIT 1_0101: (5+ 2N) WAIT 1_1100: (12+ 2N) WAIT 1_0110: (6+ 2N) WAIT 1_1101: (13+ 2N) WAIT 1_0111: (7+ 2N) WAIT 1_1110: (14+ 2N) WAIT 1_1000: (8+ 2N) WAIT 1_1111: (15+ 2N) WAIT				
	15	14	13	12	11	10	9	8
bit Symbol	B4CSCV		B4WCV		B4RCV		B4E	
Read/Write	R		R/W	R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	リードすると“0”が読めます	挿入ダミーサイクル数設定		挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS4 イネーブル 0: デイジーブル 1: イネーブル
	(CS4 がバリタイム) 0: ダミー無し 1: 1 サイクル							
	23	22	21	20	19	18	17	16
bit Symbol	B5BUS			B5W				
Read/Write	R	R/W		R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます	データベース幅選択 00: 8bit 01: 16bit 10: 設定禁止 11: 設定禁止		ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) 1_0010: (2+ 2N) WAIT 1_1001: (9+ 2N) WAIT 1_0011: (3+ 2N) WAIT 1_1010: (10+ 2N) WAIT 1_0100: (4+ 2N) WAIT 1_1011: (11+ 2N) WAIT 1_0101: (5+ 2N) WAIT 1_1100: (12+ 2N) WAIT 1_0110: (6+ 2N) WAIT 1_1101: (13+ 2N) WAIT 1_0111: (7+ 2N) WAIT 1_1110: (14+ 2N) WAIT 1_1000: (8+ 2N) WAIT 1_1111: (15+ 2N) WAIT				
	31	30	29	28	27	26	25	24
bit Symbol	B5CSCV		B5WCV		B5RCV		B5E	
Read/Write	R		R/W	R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	リードすると“0”が読めます	挿入ダミーサイクル数設定		挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS5 イネーブル 0: デイジーブル 1: イネーブル
	(CS5 がバリタイム) 0: ダミー無し 1: 1 サイクル							

図 9.2.3 チップセレクト/ウェイトコントロールレジスタ 4,5

TMP19A61 ではリセット後、ポート 4 コントロールレジスタ (P4CR) とポート 4 ファンクションレジスタ (P4FC) は “0” にされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC、P4CR の順に必要なビットに “1” をセットしてください。また、CS 設定以外のエリアでの CS リカバリタイムの設定は可能ですが、CS 信号は出力されません。

9.3 バスコントロールレジスタ

図 9.3 にバスコントロールレジスタを示します。
バスコントロールレジスタ BUSCR では、ALE 幅および WAIT サンプルング数を設定することが可能です。

BUSCR (0xFFFFE4C0)		7	6	5	4	3	2	1	0	
	bit Symbol						WAITSMPL	ALESEL		
	Read/Write	R					R/W	R/W		
	リセット後	0	0	0	0	0	0	0	1	
	機能	リードすると “0” が読めます。					WAIT サンプルング数 0: 2N 1: 禁止	マルチプレクスバス 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル セパレートバス 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル		
	15	14	13	12	11	10	9	8		
bit Symbol										
Read/Write	R									
リセット後	0	0	0	0	0	0	0	0		
機能	リードすると “0” が読めます									
	23	22	21	20	19	18	17	16		
bit Symbol										
Read/Write	R									
リセット後	0	0	0	0	0	0	0	0		
機能	リードすると “0” が読めます									
	31	30	29	28	27	26	25	24		
bit Symbol										
Read/Write	R									
リセット後	0	0	0	0	0	0	0	0		
機能	リードすると “0” が読めます									

図 9.3 バスコントロールレジスタ

<ALESEL1:0> : セパレートバスとマルチプレクスバスによって、ALE 幅の設定サイクルが異なります。

<WAITSMPL> : 動作周波数によって、WAIT 入力のサンプリングポイントを伸ばすことが可能です。

ただし、TMP19A61 の設定値としては、

2N : $f_{sys} = 4\text{MHz} \sim 54\text{MHz}$

固定で使用します。

10. DMA コントローラ (DMAC)

TMP19A61 は 8 チャンネルの DMA コントローラを内蔵しています。

10.1 特長

TMP19A61 に内蔵している DMAC には以下に示す特長があります。

- (1) 独立した 8 チャンネルの DMA
(割り込み要因は 8 要因 0 : INTDMA0~INTDMA7)
- (2) 2 種類のバス制御権要求: スヌープ要求有り/無し
- (3) 転送要求 :
内部リクエスト(ソフトスタート)/外部リクエスト
(外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト、 $\overline{\text{DREQ}}$ 端子によるリクエスト)
 $\overline{\text{DREQ}}$ 端子によるリクエスト: レベルモード
- (4) 転送モード: デュアルアドレスモード
- (5) 転送デバイス: メモリ空間転送
- (6) デバイスサイズ: メモリ- 32 ビット (CS/WAIT コントローラで 16/8 ビット指定も可能)
I/O - 8、16、32 ビット
- (7) アドレス変化: 増加/減少/固定/変則増加/変則減少
- (8) チャンネル間優先度: 固定(チャンネル番号の小さい順)
- (9) エンディアン切り換え機能

10.2 構成

10.2.1 TMP19A61 内部接続

TMP19A61 内部でのDMACの接続を図 10.1に示します。

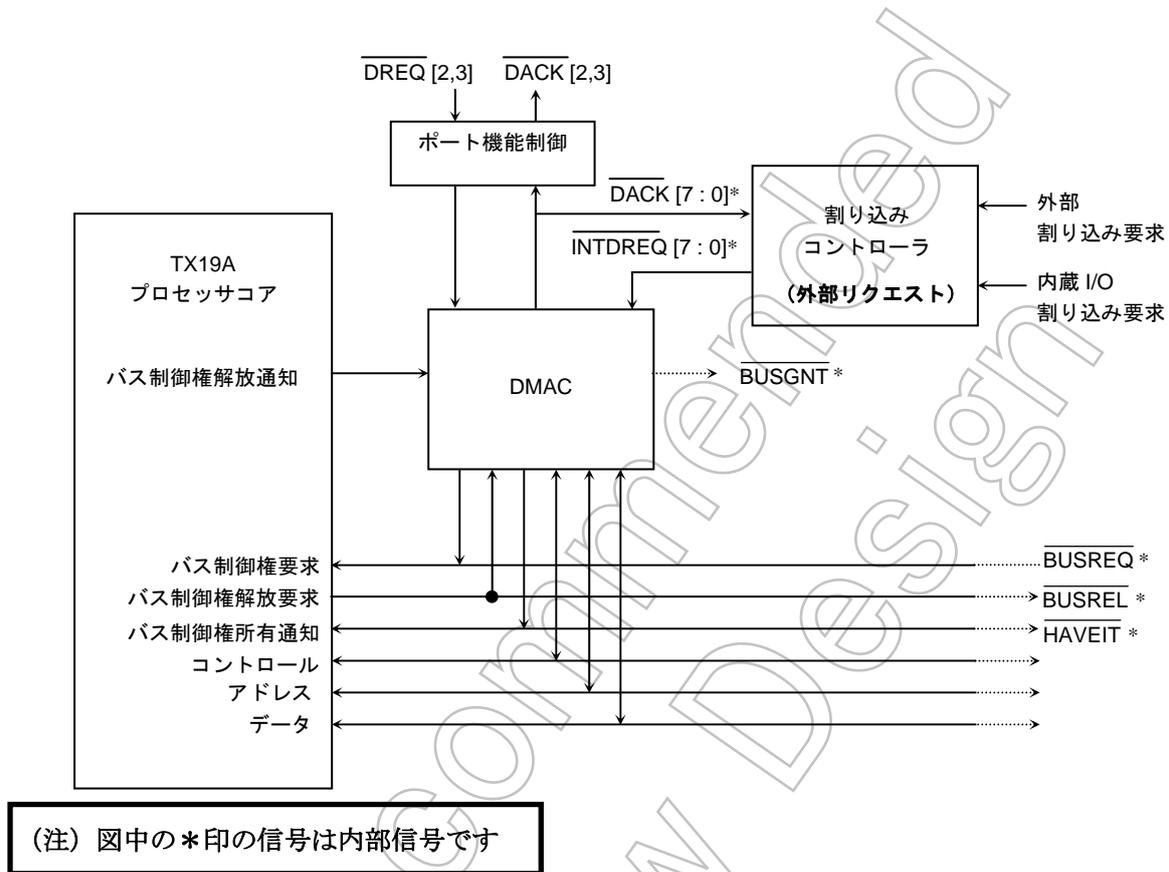


図 10.1 TMP19A61 内部での DMAC の接続

DMAC には 8 つの DMA チャンネルがあります。これら各チャンネルには割り込みコントローラからのデータ転送要求信号 (INTDREQ_n) と、これらに対するアクノリッジ信号 (DACK_n) とがあります。n はチャンネル番号で 0~7 を示します。また、外部端子 (DREQ₂、DREQ₃) については内部にてポート Q 兼用チャンネルとなっており、機能制御レジスタ PQFC にて選択します。

外部端子 (DREQ₂、DREQ₃) からのデータ転送要求とアクノリッジ信号出力端子 (DACK₂、DACK₃) があります。チャンネル 0 の方がチャンネル 1 よりも優先度が高く、チャンネル 1 の方がチャンネル 2 よりも、チャンネル 2 の方がチャンネル 3 よりも優先度が高くなっています。以降のチャンネルについても同様です。

TX19A プロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19A プロセッサコアはコアのデータバスを DMAC に対して開放します。したがって、DMAC はこのとき TX19A プロセッサコアにつながっている内蔵 ROM や内蔵 RAM にアクセスすることができます。DMAC はこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3 スヌープ機能」を参照ください。

DMAC はスヌープ機能の使用/不使用による 2 種類のバス制御権 (SREQ, GREQ) があります。GREQ はスヌープ機能を使用しないバス制御権要求で、SREQ はスヌープ機能を使用するバス制御権要求です。この 2 種類のバス制御権要求では、SREQ の方が GREQ より優先度が高くなっています。

10.2.2 DMAC 内部ブロック

DMACの内部ブロックを図 10.2に示します。

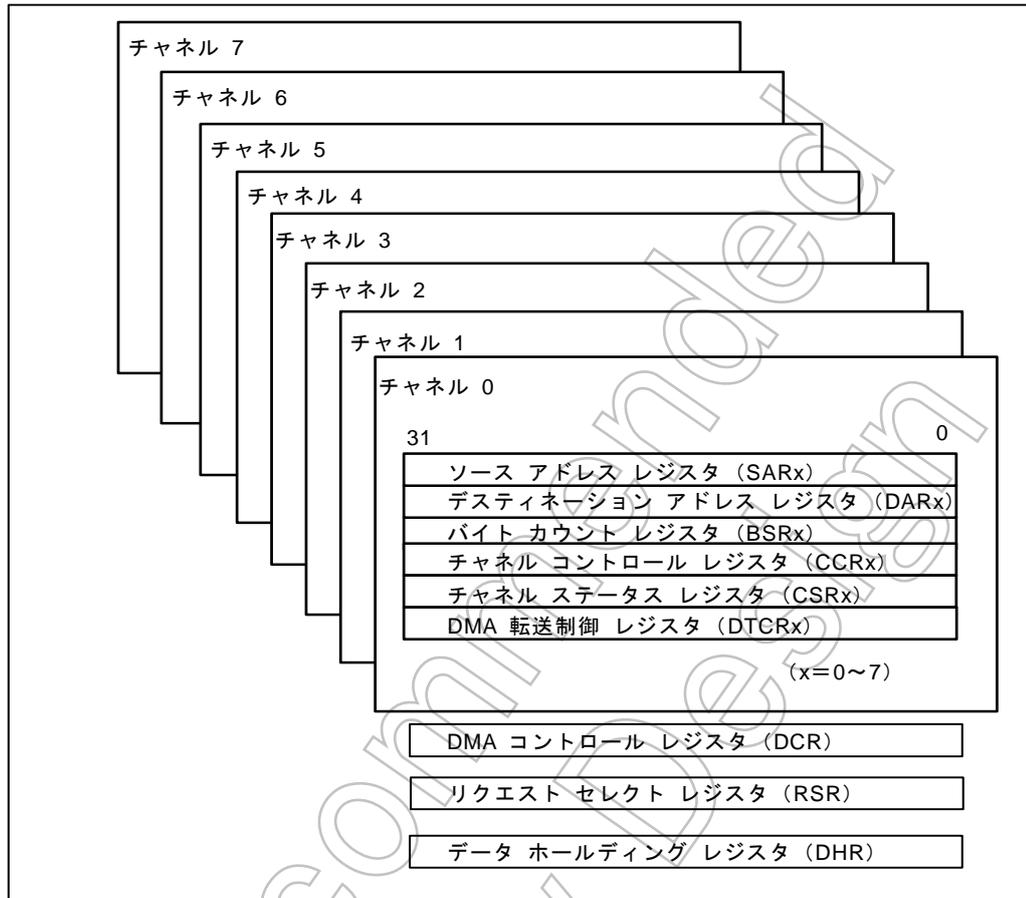


図 10.2 DMAC 内部ブロック

10.2.3 スヌープ機能

TX19A プロセッサコアには、スヌープ機能があります。

TX19A プロセッサコアは、スヌープ機能が働くとコアのデータバスを DMAC に対して開放します。コアは DMAC がバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMAC は内蔵 RAM や内蔵 ROM にアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMAC は内蔵 RAM、内蔵 ROM にアクセスできません。ただし、このときも G-Bus は DMAC へ開放していますので、TX19A プロセッサコアが G-Bus によりメモリもしくは I/O にアクセスしようとした場合には、DMAC がバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

(注) スヌープ機能を使用しないと、TX19A プロセッサコアはデータバスを DMAC に開放しません。この場合、DMAC のソースやデスティネーションに内蔵 RAM や内蔵 ROM を指定してあると、DMAC の転送バスサイクルに対してアクノリッジ信号が返ってこないためバスがロックします。

10.3 レジスタ

DMACは51本の32ビットレジスタを内蔵しています。表 10.1にDMACのレジスタマップを示します。

表 10.1 DMAC レジスタ一覧 1

アドレス	レジスタ記号	レジスタ名称
0xFFFF_E200	CCR0	チャンネル制御レジスタ (ch. 0)
0xFFFF_E204	CSR0	チャンネルステータスレジスタ (ch. 0)
0xFFFF_E208	SAR0	ソースアドレスレジスタ (ch. 0)
0xFFFF_E20C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFFFF_E210	BCR0	バイトカウントレジスタ (ch. 0)
0xFFFF_E218	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFFFF_E220	CCR1	チャンネル制御レジスタ (ch. 1)
0xFFFF_E224	CSR1	チャンネルステータスレジスタ (ch. 1)
0xFFFF_E228	SAR1	ソースアドレスレジスタ (ch. 1)
0xFFFF_E22C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFFFF_E230	BCR1	バイトカウントレジスタ (ch. 1)
0xFFFF_E238	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFFFF_E240	CCR2	チャンネル制御レジスタ (ch. 2)
0xFFFF_E244	CSR2	チャンネルステータスレジスタ (ch. 2)
0xFFFF_E248	SAR2	ソースアドレスレジスタ (ch. 2)
0xFFFF_E24C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFFFF_E250	BCR2	バイトカウントレジスタ (ch. 2)
0xFFFF_E258	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFFFF_E260	CCR3	チャンネル制御レジスタ (ch. 3)
0xFFFF_E264	CSR3	チャンネルステータスレジスタ (ch. 3)
0xFFFF_E268	SAR3	ソースアドレスレジスタ (ch. 3)
0xFFFF_E26C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFFFF_E270	BCR3	バイトカウントレジスタ (ch. 3)
0xFFFF_E278	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFFFF_E280	CCR4	チャンネル制御レジスタ (ch. 4)
0xFFFF_E284	CSR4	チャンネルステータスレジスタ (ch. 4)
0xFFFF_E288	SAR4	ソースアドレスレジスタ (ch. 4)
0xFFFF_E28C	DAR4	デスティネーションアドレスレジスタ (ch. 4)
0xFFFF_E290	BCR4	バイトカウントレジスタ (ch. 4)
0xFFFF_E298	DTCR4	DMA 転送制御レジスタ (ch. 4)
0xFFFF_E2A0	CCR5	チャンネル制御レジスタ (ch. 5)
0xFFFF_E2A4	CSR5	チャンネルステータスレジスタ (ch. 5)
0xFFFF_E2A8	SAR5	ソースアドレスレジスタ (ch. 5)
0xFFFF_E2AC	DAR5	デスティネーションアドレスレジスタ (ch. 5)
0xFFFF_E2B0	BCR5	バイトカウントレジスタ (ch. 5)
0xFFFF_E2B8	DTCR5	DMA 転送制御レジスタ (ch. 5)

表 10.2 DMAC レジスタ一覧 2

アドレス	レジスタ記号	レジスタ名称
0xFFFF_E2C0	CCR6	チャンネル制御レジスタ (ch. 6)
0xFFFF_E2C4	CSR6	チャンネルステータスレジスタ (ch. 6)
0xFFFF_E2C8	SAR6	ソースアドレスレジスタ (ch. 6)
0xFFFF_E2CC	DAR6	デスティネーションアドレスレジスタ (ch. 6)
0xFFFF_E2D0	BCR6	バイトカウントレジスタ (ch. 6)
0xFFFF_E2D8	DTCR6	DMA 転送制御レジスタ (ch. 6)
0xFFFF_E2E0	CCR7	チャンネル制御レジスタ (ch. 7)
0xFFFF_E2E4	CSR7	チャンネルステータスレジスタ (ch. 7)
0xFFFF_E2E8	SAR7	ソースアドレスレジスタ (ch. 7)
0xFFFF_E2EC	DAR7	デスティネーションアドレスレジスタ (ch. 7)
0xFFFF_E2F0	BCR7	バイトカウントレジスタ (ch. 7)
0xFFFF_E2F8	DTCR7	DMA 転送制御レジスタ (ch. 7)
0xFFFF_E300	DCR	DMA 制御レジスタ (DMAC)
0xFFFF_E304	RSR	リクエストセレクトレジスタ (DMAC)
0xFFFF_E30C	DHR	データホールディングレジスタ (DMAC)

Not Recommended for New Design

10.3.1 DMA 制御レジスタ (DCR)

DCR
(0xFFFF_E300H)

	7	6	5	4	3	2	1	0
bit Symbol					Rst3	Rst2	Rst1	Rst0
Read/Write	W							
リセット後	0							
機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	W							
リセット後	0							
機能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	W							
リセット後	0							
機能								
	31	30	29	28	27	26	25	24
bit Symbol	Rstall							
Read/Write	W							
リセット後	0							
機能	詳細説明を参照ください							

Not Recommended for New Design

ビット	ニモニク	フィールド名	説明
31	Rstall	リセットオール	DMAC のソフトウェアリセットを行います。Rstall ビットが 1 にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、すべての転送要求は取り消され、4 つのチャンネルは停止状態になります。 0: Don't care 1: DMAC を初期化
7	Rst7	リセット 7	DMAC チャンネル 7 のソフトウェアリセットを行います。Rst7 ビットが 1 にセットされると、DMAC チャンネル 7 の内部レジスタと、RSR レジスタのチャンネル 7 該当ビットは初期値になります。また、チャンネル 7 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 7 を初期化
6	Rst6	リセット 6	DMAC チャンネル 6 のソフトウェアリセットを行います。Rst6 ビットが 1 にセットされると、DMAC チャンネル 6 の内部レジスタと、RSR レジスタのチャンネル 6 該当ビットは初期値になります。また、チャンネル 7 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 6 を初期化
5	Rst5	リセット 5	DMAC チャンネル 5 のソフトウェアリセットを行います。Rst5 ビットが 1 にセットされると、DMAC チャンネル 5 の内部レジスタと、RSR レジスタのチャンネル 5 該当ビットは初期値になります。また、チャンネル 5 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 5 を初期化
4	Rst4	リセット 4	DMAC チャンネル 4 のソフトウェアリセットを行います。Rst4 ビットが 1 にセットされると、DMAC チャンネル 4 の内部レジスタと、RSR レジスタのチャンネル 4 該当ビットは初期値になります。また、チャンネル 4 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 4 を初期化
3	Rst3	リセット 3	DMAC チャンネル 3 のソフトウェアリセットを行います。Rst3 ビットが 1 にセットされると、DMAC チャンネル 3 の内部レジスタと、RSR レジスタのチャンネル 3 該当ビットは初期値になります。また、チャンネル 3 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 3 を初期化
2	Rst2	リセット 2	DMAC チャンネル 2 のソフトウェアリセットを行います。Rst2 ビットが 1 にセットされると、DMAC チャンネル 2 の内部レジスタと、RSR レジスタのチャンネル 2 該当ビットは初期値になります。また、チャンネル 2 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 2 を初期化
1	Rst1	リセット 1	DMAC チャンネル 1 のソフトウェアリセットを行います。Rst1 ビットが 1 にセットされると、DMAC チャンネル 1 の内部レジスタと、RSR レジスタのチャンネル 1 該当ビットは初期値になります。また、チャンネル 1 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 1 を初期化
0	Rst0	リセット 0	DMAC チャンネル 0 のソフトウェアリセットを行います。Rst0 ビットが 1 にセットされると、DMAC チャンネル 0 の内部レジスタと、RSR レジスタのチャンネル 0 該当ビットは初期値になります。また、チャンネル 0 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 0 を初期化

図10.3 DMA 制御レジスタ (DCR)

(注1) ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャンネルレジスタ等の初期化は行われますが、DMA 転送終了割り込みはキャンセルされません。

(注2) DCR レジスタへの書き込み（ソフトリセット）は DMA 転送を利用して行うような使い方は避けてください。

Not Recommended
for New Design

10.3.2 チャネル制御レジスタ (CCRn)

	7	6	5	4	3	2	1	0	
CCRn	SAC		DIO		DAC		TrSiz		DPS
(0xFFFF_E200H)	R/W		R/W		R/W		R/W		R/W
(0xFFFF_E220H)	リセット後 0								
(0xFFFF_E240H)	機能 詳細説明を参照ください								
(0xFFFF_E260H)	15	14	13	12	11	10	9	8	
(0xFFFF_E280H)	ExR		PosE		Lev		SReq		ReIE
(0xFFFF_E2A0H)	R/W		R/W		R/W		R/W		R/W
(0xFFFF_E2C0H)	リセット後 0								
(0xFFFF_E2E0H)	常に"0"を設定してください		機能 詳細説明を参照ください						
	23	22	21	20	19	18	17	16	
bit Symbol	NIEn		AbIE				Big		
Read/Write	R/W		R/W		R/W		R/W		R/W
リセット後	1			0			1		0
機能	詳細説明を参照ください		常に"0"を設定してください				詳細説明を参照ください		常に"0"を設定してください
	31	30	29	28	27	26	25	24	
bit Symbol	Str								
Read/Write	W								W
リセット後	0								
機能	詳細説明を参照ください						常に"0"を設定してください		

図10.3 チャネル制御レジスタ (CCRn) (1/2)

ビット	ニモニック	フィールド名	説明
31	Str	チャンネルスタート	Start (初期値 1) チャンネル動作を起動します。このビットに 1 をセットすることにより、チャンネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは 1 のみが有効で、0 の書き込みは無視します。また、読み出すと常に 0 です。 1: チャンネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
23	NIEn	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値 1) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AblEn	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値 1) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	このビットは予約ビットです。初期値は "1" ですが、常に "0" を設定してください。
20	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
19	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
18	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
17	Big	ビッグエンディアン	Big Endian (初期値 1) 1: チャンネルはビッグエンディアンで動作 0: チャンネルはリトルエンディアンで動作
16	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
15	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値 0) 転送要求モードを指定します。(2ch,3ch のみ適用) 1: 外部転送要求 (割り込み要求または外部 DREQn 要求) 0: 内部転送要求 (ソフトスタート)
13	PosE	立ち上がりエッジ	Positive Edge (初期値 0) 転送要求信号 INTDREQn または DREQn の有効レベルを指定します。転送要求が外部転送要求のとき (ExR ビットが 1) のみ有効です。内部転送要求のとき (ExR ビットが 0) は PosE の値は無視されます。INTDREQn、DREQn 信号は "L" レベルアクティブの信号なので、この PosE ビットをかならず "0" に設定してください。 1: 設定禁止 0: INTDREQn、DREQn 信号の立ち下がり、または "L" レベルが有効。DACKn 信号のアクティブレベルは "L" レベル
12	Lev	レベルモード	Level Mode (初期値 0) 外部転送要求の要求方法を指定します。転送要求として外部転送要求が設定されているとき (ExR ビットが 1) のみ有効です。内部転送要求が設定されているとき (ExR ビットが 0) は、Lev ビットの値は無視されます。INTDREQn 信号は "L" レベルアクティブの信号なので、この Lev ビットをかならず "1" に設定してください。DREQn のアクティブの状態は Lev ビットの設定によります。 1: レベルモード。DREQn 信号のレベル (PosE ビットが 0 のとき "L" レベル) をデータ転送要求として認識します。 0: エッジモード。DREQn 信号の変化 (PosE ビットが 0 のとき立ち上がりエッジ) をデータ転送要求として認識します。
11	SReq	スヌープ要求	Snoop Request (初期値 0) バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、TX19A プロセッサコアのスヌープ機能が有効になり、DMAC はコアのデータバスを使用できます。使用しない場合、TX19A プロセッサコアのスヌープ機能は働きません。 1: スヌープ機能を使用する (SREQ)。 0: スヌープ機能を使用しない (GREQ)。

ビット	ニモニク	フィールド名	説明
10	RelEn	バス制御権解放要求許可	Release Request Enable (初期値 0) TX19A プロセッサコアからのバス制御権解放要求に対して応答することを指定します。 この機能は GREQ のときのみ有効です。SREQ のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。 1: DMAC がバス権を所有しているときに、バス制御権解放要求に応えます。TX19A プロセッサコアがバス制御権解放要求を発行すると、DMAC はバスオペレーションの切れ目でバス制御権をコアに戻します。 0: バス制御権解放要求に応えません。
9	SIO	転送方法の選択	Source Type: 連続 (初期値 0) 転送方法の選択を指定します。 1: 単発転送 0: 連続転送
8 : 7	SAC	ソースアドレスカウン ト	Source Address Count (初期値 00) ソースのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
6	Reserved	予約 bit	常に “0” を設定
5 : 4	DAC	デスティネーションア ドレスカウン ト	Destination Address Count (初期値 00) デスティネーションのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
3 : 2	TrSiz	転送単位	Transfer Size (初期値 00) 1 回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)
1 : 0	DPS	デバイスポートサイズ	Device Port Size (初期値 00) ソースデバイスもしくはデスティネーションデバイスとして指定した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)

図 10.4 チャネル制御レジスタ (CCRn) (2/2)

- (注 1) CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。
- (注 2) 内蔵 I/O をアクセスする場合、DREQ 端子要求による DMA 転送の場合は、転送単位<TrSiz>とデバイスポートサイズ<DPS>とをかならず同じサイズに設定してください。
- (注 3) メモリ間転送の時には、DPS にセットされた値は無効になります。
- (注 4) モード設定を行ってから、<Str>ビットの設定を行ってください。

10.3.3 リクエスト選択レジスタ (RSR)

RSR
(0xFFFF_E304H)

	7	6	5	4	3	2	1	0
bit Symbol					ReqS3	ReqS2		
Read/Write					R/W	R/W		
リセット後	0							
機能	常に"0"を設定してください				詳細説明を参照ください	詳細説明を参照ください	常に"0"を設定してください	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後	0							
機能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後	0							
機能								
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後	0							
機能								

ビット	ニモニク	フィールド名	説明
3	ReqS3	リクエストセレクト (ch.3)	Request Select (初期値 0) DMA チャンネル 3 に対する外部転送要求の選択を行います。 1: DREQ3 からの要求 0: 割り込みコントローラ (INTC) からの要求
2	ReqS2	リクエストセレクト (ch.2)	Request Select (初期値 0) DMA チャンネル 2 に対する外部転送要求の選択を行います。 1: DREQ2 からの要求 0: 割り込みコントローラ (INTC) からの要求

(注) RSR レジスタのビット 0、1、4~7 はかならず"0"をライトしてください。

図10.5 DMA 制御レジスタ (RSR)

10.3.4 チャネルステータスレジスタ (CSRn)

	7	6	5	4	3	2	1	0
CSRn	bit Symbol							
(0xFFFF_E204H)	Read/Write							R/W
(0xFFFF_E224H)	リセット後 0							
(0xFFFF_E244H)	機能					常に“0”を設定してください		
(0xFFFF_E264H)	15	14	13	12	11	10	9	8
(0xFFFF_E284H)	bit Symbol							
(0xFFFF_E2A4H)	Read/Write							
(0xFFFF_E2C4H)	リセット後 0							
(0xFFFF_E2E4H)	機能							
	23	22	21	20	19	18	17	16
bit Symbol	NC	AbC		BES	BED	Conf		
Read/Write	R/W	R/W	R/W	R	R	R		
リセット後	0							
機能	詳細説明を参照ください		常に“0”を設定してください		詳細説明を参照ください			
	31	30	29	28	27	26	25	24
bit Symbol	Act							
Read/Write	R							
リセット後	0							
機能	詳細説明を参照ください							

図10.6 チャネルステータスレジスタ (CSRn) (1/2)

ビット	ニモニック	フィールド名	説明
31	Act	チャンネルアクティブ	Channel Active (初期値 0) チャンネルが待機状態であることを示します。 1: チャンネルは待機状態である。 0: チャンネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 0) チャンネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが"1"になると、DMAC は割り込みを要求します。 NC ビットに"0"を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが"0"になると、割り込み要求をとりさげます。 NC ビットが"1"のとき、Str ビットを"1"にセットしようとするとエラーになります。次の転送を開始するときには、NC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャンネル動作が正常終了。 0: チャンネル動作が正常終了していない。
22	AbC	異常終了	Abnormal Completion (初期値 0) チャンネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが"1"になると、DMAC は割り込みを要求します。AbC ビットは"0"を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが"0"になると、割り込み要求をとりさげます。また、AbC ビットが"0"にクリアされると、BES、BED および Conf の各ビットを"0"にクリアします。 AbC ビットが"1"のとき、Str ビットを"1"にセットしようとするとエラーになります。次の転送を開始するときには、AbC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャンネル動作が異常終了。 0: チャンネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に"0"を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 0) 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 0) 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 0) 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2:0	—	(予約済み)	このビットは3ビットとも予約ビットです。すべてのビットに対して常に"0"を設定してください。

図10.6 チャンネルステータスレジスタ (CSRn) (2/2)

10.3.5 ソースアドレスレジスタ (SARn)

	7	6	5	4	3	2	1	0	
SARn (0xFFFF_E208H)	bit Symbol	SAddr7	SAddr6	SAddr5	SAddr4	SAddr3	SAddr2	SAddr1	SAddr0
(0xFFFF_E228H)	Read/Write	R/W							
(0xFFFF_E248H)	リセット後	不定							
(0xFFFF_E268H)	機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8	
(0xFFFF_E288H)	bit Symbol	SAddr15	SAddr14	SAddr13	SAddr12	SAddr11	SAddr10	SAddr9	SAddr8
(0xFFFF_E2A8H)	Read/Write	R/W							
(0xFFFF_E2C8H)	リセット後	不定							
(0xFFFF_E2E8H)	機能	詳細説明を参照ください							
	23	22	21	20	19	18	17	16	
	bit Symbol	SAddr23	SAddr22	SAddr21	SAddr20	SAddr19	SAddr18	SAddr17	SAddr16
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
	31	30	29	28	27	26	25	24	
	bit Symbol	SAddr31	SAddr30	SAddr29	SAddr28	SAddr27	SAddr26	SAddr25	SAddr24
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説明
31:0	SAddr	ソースアドレス	Source Address (初期値-) データ転送元となるソースのアドレスを物理アドレスで設定します。CCRnのSAC, TrSizで指定された内容と、DTCRnのSACMで指定された内容に従ってアドレスが変化します。

図10.7 ソースアドレスレジスタ (SARn)

10.3.6 デスティネーションアドレスレジスタ (DARn)

DARn (0xFFFF_E20CH) (0xFFFF_E22CH) (0xFFFF_E24CH) (0xFFFF_E26CH)	bit Symbol	DAddr7	DAddr6	DAddr5	DAddr4	DAddr3	DAddr2	DAddr1	DAddr0
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
(0xFFFF_E28CH) (0xFFFF_E2ACH) (0xFFFF_E2CCH) (0xFFFF_E2ECH)	bit Symbol	DAddr15	DAddr14	DAddr13	DAddr12	DAddr11	DAddr10	DAddr9	DAddr8
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
	bit Symbol	DAddr23	DAddr22	DAddr21	DAddr20	DAddr19	DAddr18	DAddr17	DAddr16
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
	bit Symbol	DAddr31	DAddr30	DAddr29	DAddr28	DAddr27	DAddr26	DAddr25	DAddr24
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							

ビット	ニモニック	フィールド名	説明
31:0	DAddr	デスティネーションアドレス	Destination Address (初期値-) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRnのDAC, TrSizで指定された内容と、DTCRnのDACMで指定された内容に従ってアドレスが変化します。

図10.8 デスティネーションアドレスレジスタ (DARn)

10.3.7 バイトカウントレジスタ (BCRn)

	7	6	5	4	3	2	1	0	
BCRn (0xFFFF_E210H)	bit Symbol	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
(0xFFFF_E230H)	Read/Write	R/W							
(0xFFFF_E250H)	リセット後	0							
(0xFFFF_E270H)	機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8	
(0xFFFF_E290H)	bit Symbol	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8
(0xFFFF_E2B0H)	Read/Write	R/W							
(0xFFFF_E2D0H)	リセット後	0							
(0xFFFF_E2F0H)	機能	詳細説明を参照ください							
	23	22	21	20	19	18	17	16	
	bit Symbol	BC23	BC22	BC21	BC20	BC19	BC18	BC17	BC16
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
	31	30	29	28	27	26	25	24	
	bit Symbol								
	Read/Write								
	リセット後	0							
	機能								

ビット	ニモニック	フィールド名	説明
23:0	BC	バイトカウント	Byte Count (初期値 0) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

図10.9 バイトカウントレジスタ (BCRn)

10.3.8 DMA 転送制御レジスタ (DTCRn)

	7	6	5	4	3	2	1	0
DTCRn	DACM				SACM			
(0xFFFF_E218H)	R/W				R/W			
(0xFFFF_E238H)	リセット後 0							
(0xFFFF_E258H)	機能				詳細説明を参照ください			
(0xFFFF_E278H)	15	14	13	12	11	10	9	8
(0xFFFF_E298H)	bit Symbol							
(0xFFFF_E2B8H)	Read/Write							
(0xFFFF_E2D8H)	リセット後 0							
(0xFFFF_E2F8H)	機能							
	23	22	21	20	19	18	17	16
	bit Symbol							
	Read/Write							
	リセット後 0							
	機能							
	31	30	29	28	27	26	25	24
	bit Symbol							
	Read/Write							
	リセット後 0							
	機能							

ビット	ニモニク	フィールド名	説明
5 : 3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止
2 : 0	SACM	ソースアドレスカウントモード	Source Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止

図10.10 DMA 転送制御レジスタ (DTCRn)

10.3.9 データホールディングレジスタ (DHR)

DHR (0xFFFF_E30CH)		7	6	5	4	3	2	1	0
	bit Symbol	DOT7	DOT6	DOT5	DOT4	DOT3	DOT2	DOT1	DOT0
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol	DOT15	DOT14	DOT13	DOT12	DOT11	DOT10	DOT9	DOT8
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	DOT23	DOT22	DOT21	DOT20	DOT19	DOT18	DOT17	DOT16
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
bit Symbol	DOT31	DOT30	DOT29	DOT28	DOT27	DOT26	DOT25	DOT24	
Read/Write	R/W								
リセット後	0								
機能	詳細説明を参照ください								

ビット	ニモニク	フィールド名	説明
31:0	DOT	転送データ	Data on Transfer (初期値 0) デュアルアドレスモードでの転送で、ソースからリードしたデータです。

図10.11 データホールディングレジスタ (DHR)

10.4 動作

DMAC は TX19A プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

10.4.1 詳細

(1) ソースとデスティネーション

DMAC は、メモリ空間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとして、メモリを指定できます。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ (INTC) が DMAC に対してリクエストを出します (このとき TX19A プロセッサコアに対しては割り込み要求は通知されません。詳しくは「割り込み」の項を参照してください)。この INTC からの要求は DACKn 信号によってクリアされます。転送方法の選択 (SIO BIT) にて単発転送が設定されているときには DMAC への要求は 1 回の転送 (TrSiz で指定した転送サイズ分の転送) ごとに解除されます。これに対して連続転送を設定した場合には転送バイト数 (BCRn レジスタの値) が “0” になったときだけ DACKn がアサートされるので、1 回の転送要求で連続してデータ転送を行います。

例えば、TMP19A61 の内蔵 I/O と内蔵 (外部) メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされますが、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います。

(2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19A プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19A プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャンネルごとに CCRn レジスタのビット 11 (SReq) で設定します。

また、TX19A プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャンネルごとに CCRn レジスタのビット 10 (RelEn) で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード (SREQ) のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。

転送要求がなくなると、DMAC はバス制御権を解放します。

(注 1) DMAC 動作中は Halt 動作に移行しないでください。

(注 2) スヌープ機能を使用時は、IDLE (Doze) モードへ移行する前に DMAC を停止してください

(3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求が発生するモードです。DMAC 内蔵レジスタのスタートビット（チャンネル制御レジスタ CCRn の Str ビット）に “1” をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに “1” をセットした後、INTC が出力する転送要求信号（INTDREQn）の入力または外部デバイスが出力する転送要求信号 DREQn の入力により転送要求が発生するモードです。DMAC は INTDREQn 信号の “L” レベル検出で転送要求が発生するレベルモードと、DREQn 信号の立下りエッジまたは “L” レベル検出で転送要求が発生するモードとがあります。

(4) アドレスモード

TMP19A61 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。デュアルアドレスモードでは、メモリ空間のデータ転送を行います。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は DACKn 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの 2 つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ（DHR）にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

(5) チャンネル動作

DMAC には 8 つのチャンネル（チャンネル 0～チャンネル 7）があります。チャンネルは、チャンネル制御レジスタ（CCRn）のスタート（Str）ビットを “1” にセットすることにより起動され、待機状態になります。

チャンネルが待機状態のときに転送要求が発生すると、DMAC はバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMAC はバス制御権を解放して待機状態になります。転送が終了すると、チャンネルは停止状態になります。転送終了には、正常終了と、エラー発生などによる異常終了とがあります。転送終了時には割り込み信号が発生することができます。

チャンネル動作の状態遷移の概略を図 10.12 に示します。

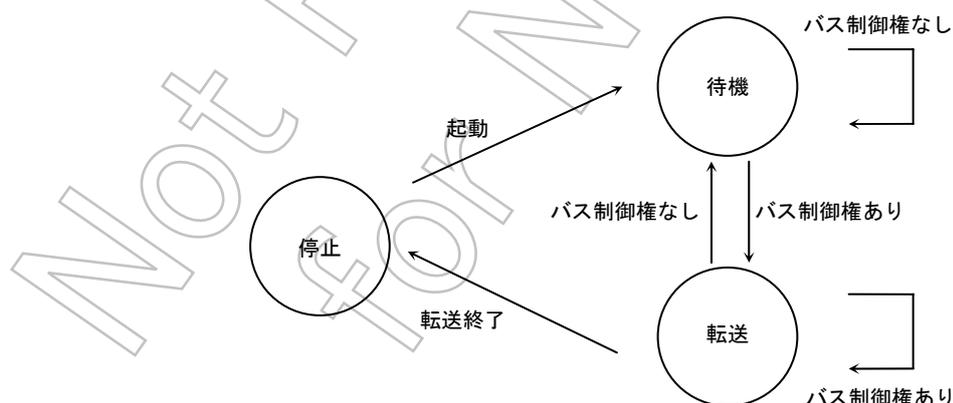


図10.12 チャンネル動作の状態遷移

(6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

転送要求	エッジ/レベル	アドレスモード	転送方法
内部	—	デュアル	連続転送
外部	“L” レベル (INTDREQn)		単発転送
外部	“L” レベル (DREQn)		連続転送
	立ち下がりエッジ (DREQn)		単発転送

(7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の 3 タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。単発転送を選んだ場合、ソースデバイスまたはデスティネーションデバイスの設定は、CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTCRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0, 4, 8, 12, 16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4, 8, 12, 16 を指定することで変則増加、変則減少をさせることができます。

アドレス変化の例を示します。

例 1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加

DAC: アドレス増加

TrSiz: 転送単位 32 ビット

ソースアドレス: 0xA000_1000

デスティネーションアドレス: 0xB000_0000

SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1004	0xB000_0010
3 回目	0xA000_1008	0xB000_0020
4 回目	0xA000_100C	0xB000_0030
...		...

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少
 DAC: アドレス減少
 TrSiz: 転送単位 16 ビット
 ソースアドレス: 初期値 0xA000_1000
 デスティネーションアドレス: 0xB000_0000
 SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。
 DACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA

10.4.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求を発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャンネルごとに設定できます。

どちらの転送要求の場合でも、チャンネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

- 内部転送要求

CCRn の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

内部転送要求では、チャンネル動作が終了するまで転送要求がありますので、優先度の高いチャンネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起こらない限り、連続してデータ転送を行います。

内部転送要求では、連続転送のみ可能です。

- 外部転送要求

CCRn の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャンネルが待機状態になった後、チャンネルに対応する $\overline{\text{INTDREQn}}$ 信号または $\overline{\text{DREQn}}$ 信号により転送要求が INTC または外部デバイスから通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。外部転送要求は、連続、単発の転送に用います。

TMP19A61 のリクエスト信号の認識方法は、 $\overline{\text{INTDREQn}}$ 信号の “L” レベル検出、 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジまたは “L” レベル検出のみです。

1 回の転送要求に対するデータ転送単位は CCRn の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

$\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ による転送要求の詳細を次に説明します。

① 割り込みコントローラ（INTC）からの要求

\overline{DACKn} 信号によってクリアされます。この \overline{DACKn} 信号は単発転送のバスサイクル、もしくは連続転送設定時の転送バイト数（BCRn レジスタの値）が“0”になったときだけアサートされます。したがって、単発転送では、転送要求ごとに $\overline{INTDREQn}$ がクリアされるので、TrSiz で指定した転送サイズ分の転送が1回行われるだけです。一方、連続転送では、転送バイト数（BCRn レジスタの値）が“0”になるまで $\overline{INTDREQn}$ がクリアされないので、1回の転送要求で連続してデータ転送が行えます。

なお、 $\overline{INTDREQn}$ に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などによってクリアした場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に1回実行されることがあります。

② 外部デバイスからの要求

外部端子（ $\overline{DREQ2}$ 、 $\overline{DREQ3}$ ）は、内部にてポート Q 兼用チャネルとなっています。機能制御レジスタ PQFC にて外部端子を選択することができます。

エッジモードでは転送要求ごとに、いったん \overline{DREQn} 信号をデアサートしてからアサートして有効エッジを作る必要がありますが、レベルモードでは、有効レベルを保持することで、連続した転送要求を認識できます。連続転送では“L”レベルモードのみ、単発転送では立下りエッジモードのみ使用可能です。

ーレベルモード

レベルモードでは、内部システムクロックの立ち上がりで \overline{DREQn} 信号を“L”レベル検出します。チャネルが待機状態のときに、 \overline{DREQn} 信号に“L”レベルを検出

すると、DMAC は転送状態に移り、データ転送を開始します。 \overline{DREQn} 信号のアクティブレベルは CCRn レジスタの PosE ビット（bit13）を“0”にして使用します。 \overline{DACKn} 信号のアクティブレベルは \overline{DREQn} 信号と同じ“L”アクティブです。

外部回路が \overline{DREQn} 信号をアサートしたら、 \overline{DACKn} 信号がアサートされるまで \overline{DREQn} 信号を“L”レベルに保持してください。 \overline{DACKn} 信号がアサートされる前に \overline{DREQn} 信号をデアサートした場合には、転送要求が認識されないことがあります。

\overline{DREQn} 信号が“L”レベルでないと、転送要求がないとして、他のチャネルの転送動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz フィールド（<bit3:2>）で指定します。

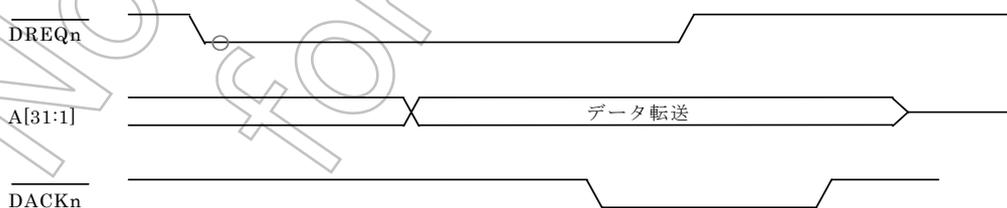


図10.13 転送要求タイミング（レベルモード）

－エッジモード

エッジモードでは、 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを検出します。チャンネルが待機状態にあるときに内部システムクロックの立ち上がりで $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識する（1つ前のシステムクロックの立ち上がりでは”L”レベルではなかったが、現在は”L”レベルである場合）と、DMACは転送要求があると認識して転送状態に移り、転送動作を開始します。 $\overline{\text{DREQn}}$ 信号の立ち下がりには、CCRnレジスタの PosE ビット (bit13) を”0”に、Lev ビット (bit12) を”0”に設定します。DACKn 信号のアクティブレベルは”L”レベルです。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識すると、続けて次のデータが転送されます。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジがない場合には、転送要求がないとして、他のチャンネル動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRnレジスタの TrSiz ビット (<bit3:2>) で指定します。



図10.14 転送要求タイミング（エッジモード）

10.4.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP19A61 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

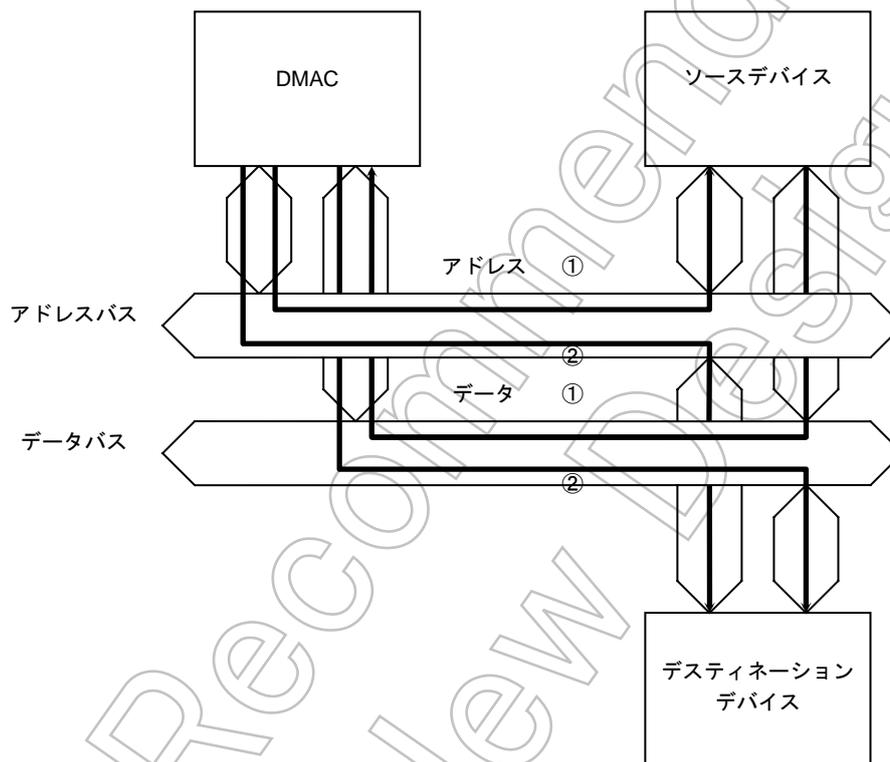


図10.15 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識するごとにこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

メモリへのアクセスは設定したデータ転送単位で発生しますが、外部のメモリへのアクセスの場合、データ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 16 ビットの場合には 2 回の 16 ビットアクセスが発生することになります。同様にデータ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 8 ビットの場合には 4 回の 8 ビットアクセスが発生することになります。

10.4.4 チャネル動作

チャネルは、各チャネルの CCRn の Str ビットが “1” にセットされると起動されます。チャネルが起動されると、起動のチェックが行われ、エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMAC はバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRn に示されます。

チャネル動作の開始

チャネルは CCRn の Str ビットが “1” にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルの CSRn の Act ビットが “1” になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMAC はバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、INTDREQn または DREQn がアサートされると DMAC はバス制御権を得てデータ転送を開始します。

チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRn に示されます。

CSRn レジスタの NC ビットあるいは AbC ビットが “1” のときに CCRn レジスタの Str ビットに “1” をセットしようとするとき、チャネル動作は開始せず、異常終了となります。

正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位 (CCRn の TrSiz フィールドで設定した値) での転送終了後の終了となります。

- BCRn の内容が 0 になりデータ転送が終了した場合

異常終了

DMAC の異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA 転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRn の値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRn の AbC ビットが “1” にセットされると同時に Conf ビットも “1” にセットされます。以下にコンフィグレーションエラーの要因を示します。

- SIO と DIO の両方に “1” をセットした。
- CSRn の NC ビットあるいは AbC ビットの値が “1” であるときに CCRn の Str ビットに “1” をセットした。
- BCRn にデータ転送単位で割り切れない値を設定した。
- SARn、DARn にデータ転送単位で割り切れない値を設定した。
- デバイスポートサイズとデータ転送単位を禁止された組み合わせに設定した。
- BCRn の値が 0 のときに CCRn の Str ビットに “1” をセットした。

- バスエラーによる終了

バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。

- データ転送中にバスエラーが通知された。

(注) バスエラーで終了した場合の **BCR**、**SAR**、**DAR** の値は保証されません。
バスエラーを起こす場合は後述の「21. 機能レジスタ一覧表」を参照してください。

10.4.5 チャンネルの優先順位

DMAC にある 8 つのチャンネルのうち、チャンネル番号の小さい方の優先度が常に高くなっています。このため、チャンネル 0 とチャンネル 1 と同時に転送要求が発生すると、チャンネル 0 の転送要求に対する転送動作をまず行います。チャンネル 0 の転送要求がなくなった時点でチャンネル 1 に依然として転送要求が発生していれば、チャンネル 1 の転送動作を実行しませんが（内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください）。

また、チャンネル 1 のデータ転送中にチャンネル 0 に転送要求が発生すると、チャンネル遷移が起こりません。チャンネル 1 のデータ転送を一時中断し、チャンネル 0 の転送を開始します。チャンネル 0 の転送要求がなくなると、チャンネル 1 の転送動作を再開します。

チャンネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

割り込み

DMAC はチャンネル動作終了時に TX19A プロセッサコアに割り込み（INTDMA_n : DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

INTDMA0 : 0ch, INTDMA1 : 1ch, INTDMA1 : 2ch, INTDMA1 : 3ch

- 正常終了割り込み

チャンネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19A プロセッサコアに割り込みを要求します。

- 異常終了割り込み

チャンネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19A プロセッサコアに割り込みを要求します。

10.5 DREQFLG レジスタ

19A61には、DMACの転送要求をモニタ及びクリアするDREQFLGレジスタが追加されています。

		7	6	5	4	3	2	1	0
DREQFLG (0xFFFF_E064)	bit Symbol	DREQCh7	DREQCh6	DREQCh5	DREQCh4	DREQCh3	DREQCh2	DREQCh1	DREQCh0
	Read/ Write	R/W							
	リセット 後	1	1	1	1	1	1	1	1
機能	DREQ モニタ/クリア制御 リード時 0 : DREQ 入力あり 1 : DREQ 入力なし ライト時 0 : 無効 1 : DREQ クリア								

リード時 : “0” DREQ あり
 “1” DREQ なし(リセット後初期状態)
 リセット後 初期値 は “1” となります。

ライト時 : “1” DREQ クリア、
 “0” 無効データ

DREQFLG レジスタに “1” をライトすると任意の DMAC 転送要求をクリアすることができます。

(注) レベル検出の場合、DREQFLGによりDMAC転送要求がクリアされてもINTCLRと同様に再び次のクロックでDMAC転送要求が発生します。この場合には、DREQクリアをする前に割り込みレベルを非アクティブにするか、IMCレジスタのdmdataビットを0(DMAC起動しない)に設定しておく必要があります。

10.6 タイミング図

DMACの動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

10.6.1 デュアルアドレスモード

- 連続転送

外部メモリ（16ビット幅）から外部メモリ（16ビット幅）へ16ビットデータ転送する場合の1回分のタイミング例を図10.16に示します。実際にはデータはBCRnが“0”になるまで連続して転送されます。

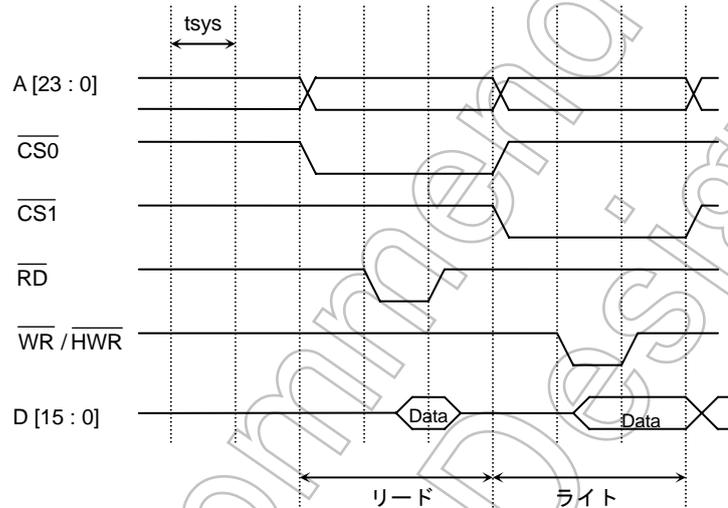


図10.16 デュアルアドレスモード（連続転送）

- 単発転送(1)

データ転送単位16ビット、デバイスポートサイズ16ビットに設定した場合の、転送のタイミング例を図10.17に示します。

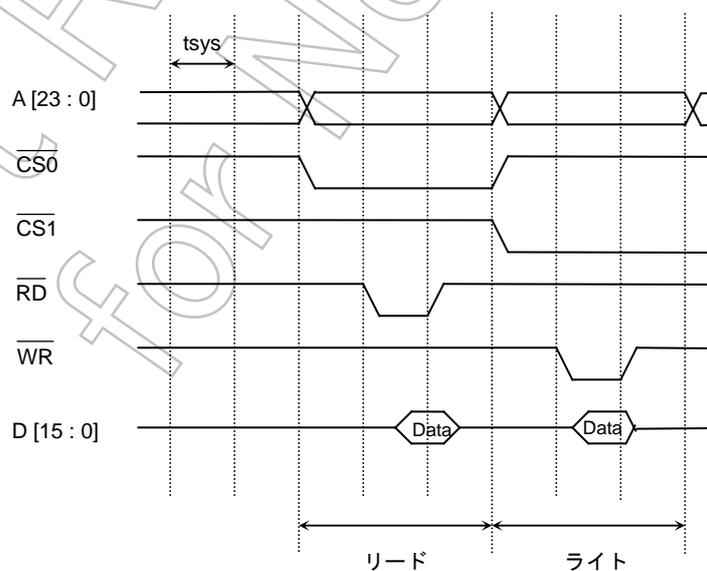


図10.17 デュアルアドレスモード（単発転送）

- 単発転送（2）

データ転送単位 16 ビット、デバイスポートサイズ 16 ビットに設定した場合の、I/Oデバイス→メモリ転送のタイミング例を図 10.18 に示します。

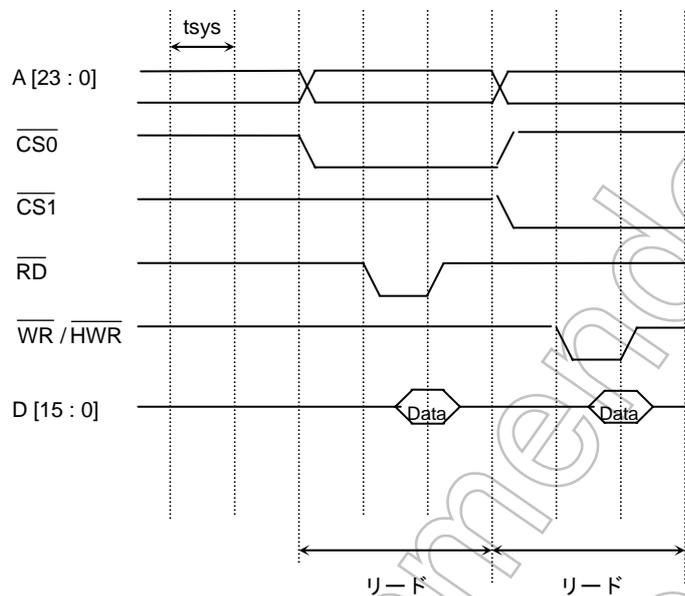


図10.18 デュアルアドレスモード（単発転送）

10.6.2 DREQnによる転送モード

- 内蔵RAM→外部メモリ転送（マルチプレクスバス、5ウェイト挿入、レベルモード）
内蔵RAMから外部メモリ（16ビット幅）へ16ビットデータ転送する場合の2回分のタイミング例を図10.19に示します。

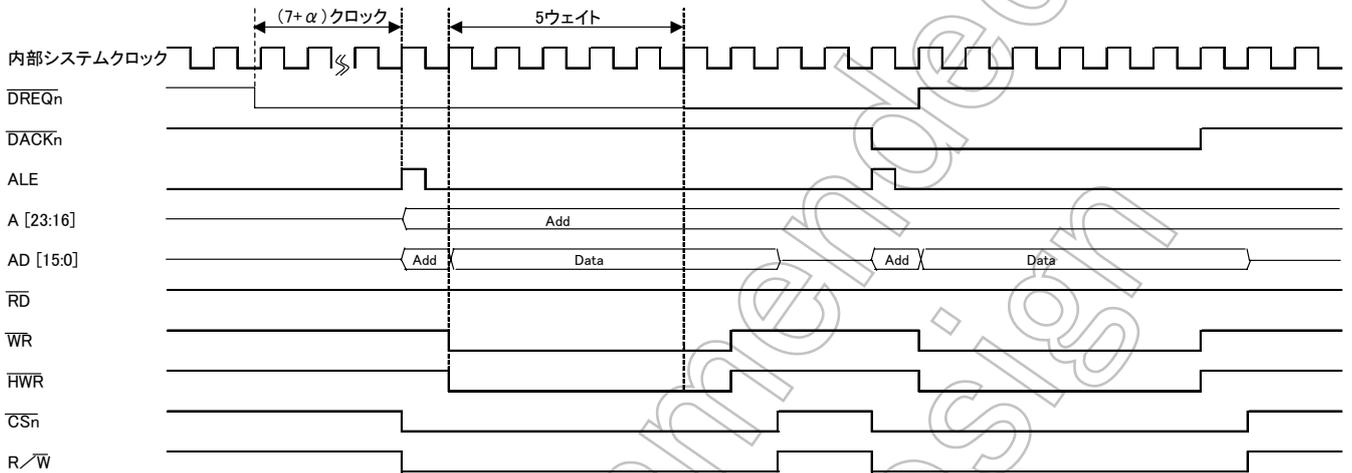


図 10.19 レベルモード（内蔵RAM→外部メモリ）

- 外部メモリ→内蔵RAM転送（マルチプレクスバス、5ウェイト挿入、レベルモード）
外部メモリ（16ビット幅）から内蔵RAMへ16ビットデータ転送する場合の2回分のタイミング例を図10.20に示します。

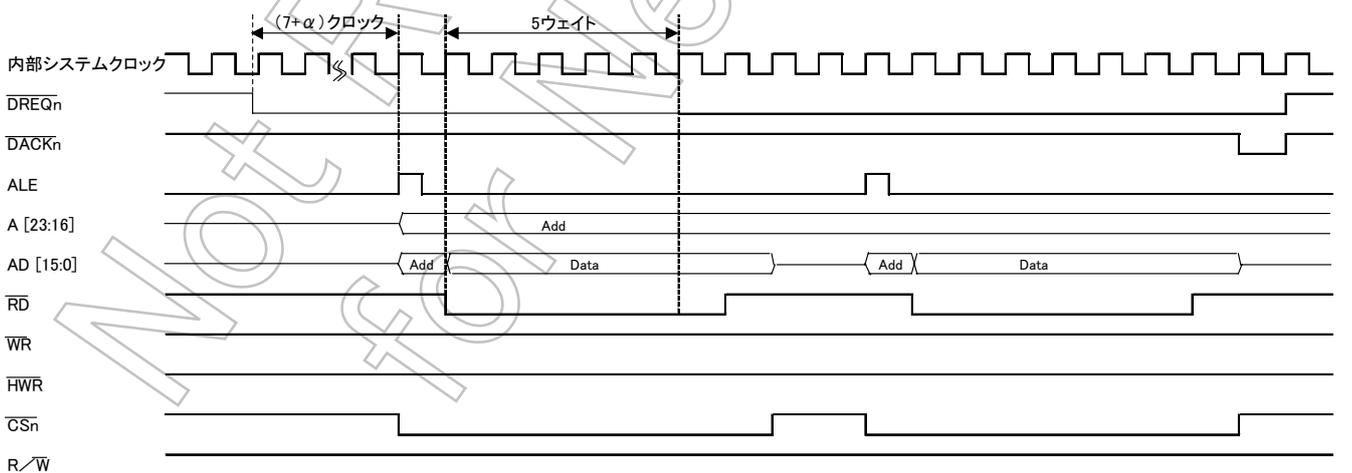


図 10.20 レベルモード（外部メモリ→内蔵RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、レベルモード）
内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.21 に示します。

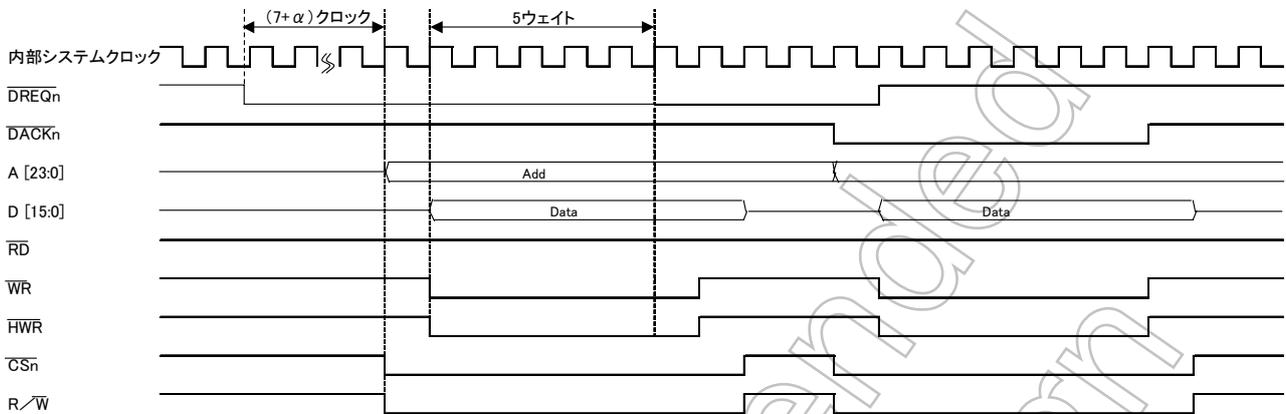


図 10.21 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、レベルモード）
外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.22 に示します。

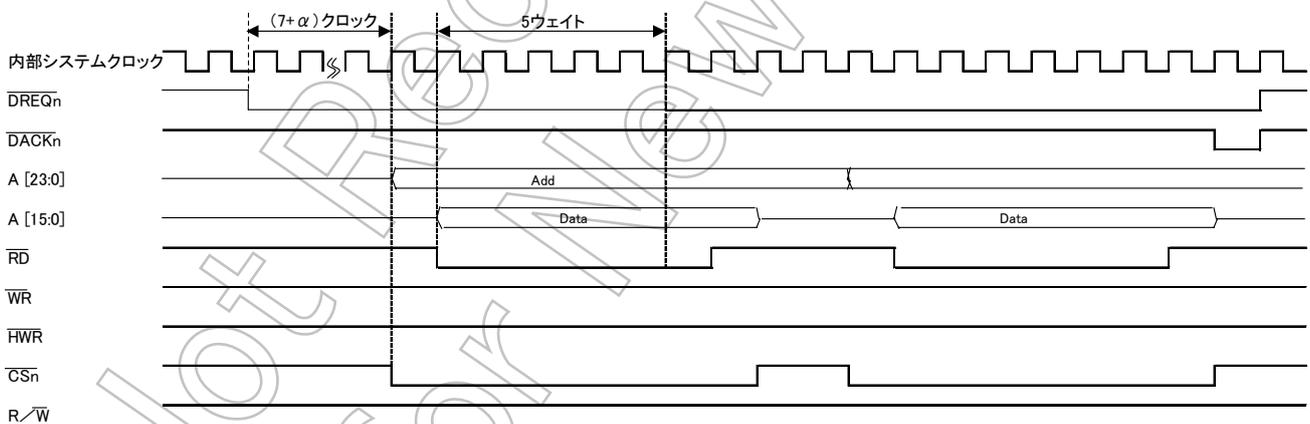


図 10.22 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.23 に示します。

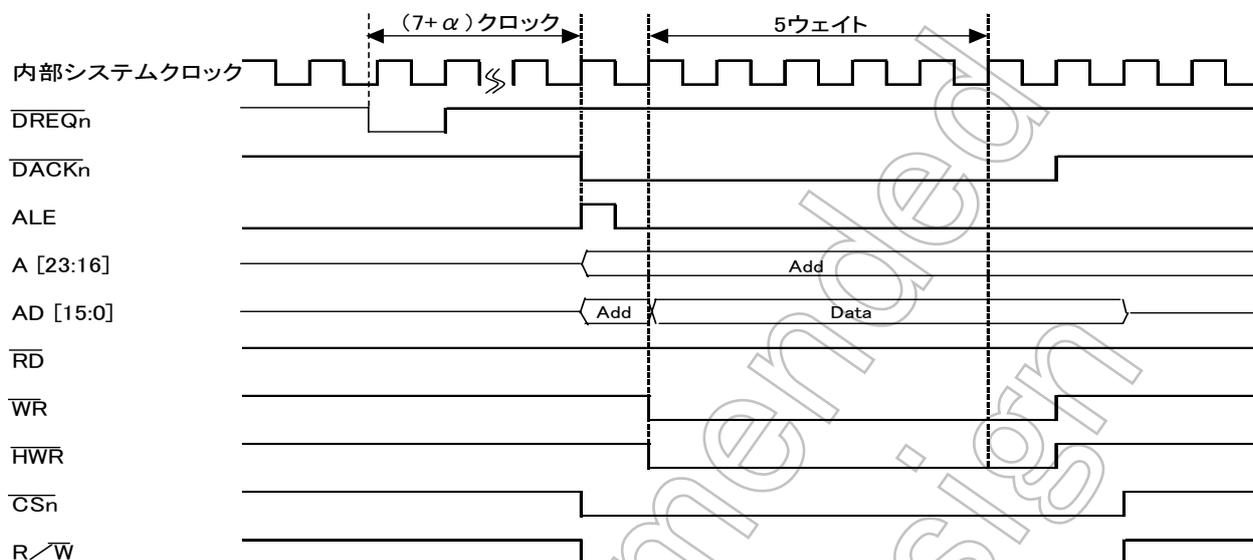


図 10.23 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.24 に示します。

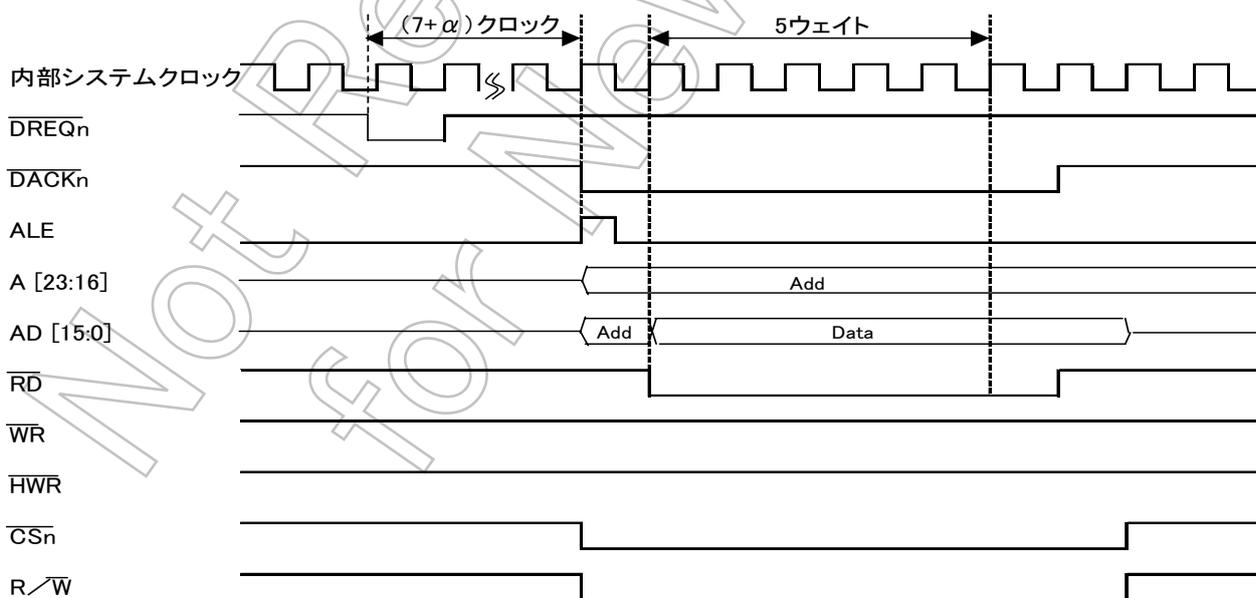


図 10.24 エッジモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、エッジモード）
 内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.25 に示します。

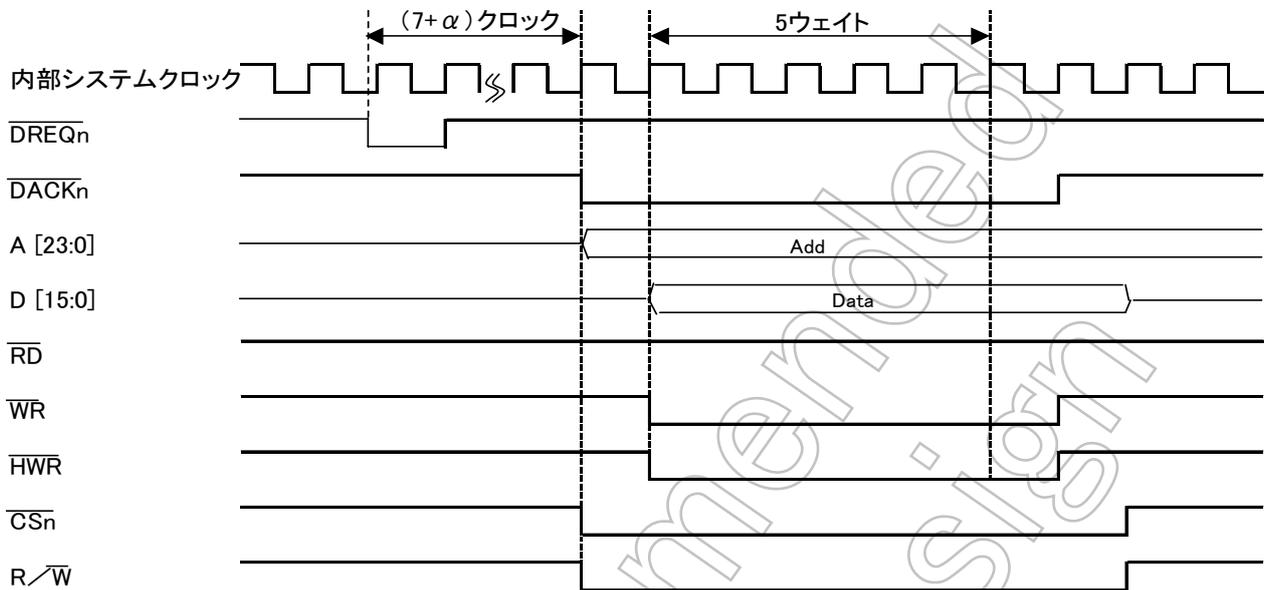


図 10.25 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、エッジモード）
 外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.26 に示します。

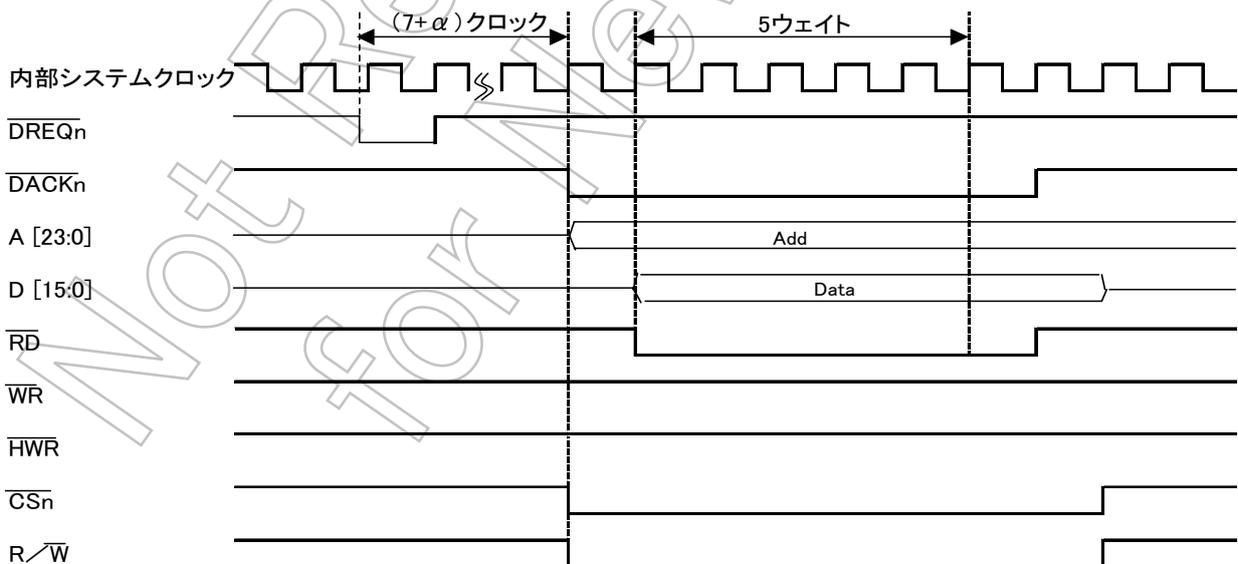


図 10.26 エッジモード（外部メモリ→内蔵 RAM）

10.7 設定例：シリアル受信データ（SCnBUF）を内蔵RAMにDMA転送する例

転送にはDMA(ch.0)を使い、SIO1の受信割り込みでDMA0を起動します。

<DMA設定例>

- 使用チャンネル：0
- ソースアドレス：SC1BUF
- デスティネーション：（物理アドレス）0xFFFF_9800
- 転送バイト数：256バイト

<シリアルチャンネル設定例>

- データ長8ビット：UART
- シリアルチャンネル：ch1
- 転送レート：9600bps

<SIO ch.1設定>

```

IMC5LL ← x111, x100 /* DMC0 起動要因に割り当て */
INTCLR ← 0x050 /* IVR [8:0], INTRX1 割り込み要因 */
SC1MOD0 ← 0x29 /* UART モード, 8ビット長, ボーレートジェネレータ */
SC1CR ← 0x00
BR1CR ← 0x1F /* @fc = 40 MHz */

```

<DMA0設定>

```

DCR ← 0x8000_0000 /* DMA リセット */
IMCFHL ← x000, x000 /* 割り込み禁止 */
INTCLR ← 0x0F8 /* IVR [8:0] の値 */
IMCFHL ← x000, x100 /* レベル = 4 (任意値) */
DTCRO ← 0x0000_0000 /* DACM = 000 */
/* SACM = 000 */
SARO ← 0xFFFF_F208 /* SC1BUF の物理アドレス */
DARO ← 0xFFFF_9800 /* 転送先の物理アドレス */
BCRO ← 0x0000_00FF /* 256 (転送バイト数) */
CGRO ← 0x80C0_5B0F /* DMA ch.0 設定 */

```

(内容)

31	27	23	19
1	0	0	0
0	0	0	0
0	0	0	0
0	0	1	1
0	0	0	0
0	0	0	0
0	0	0	0
15	11	7	3
0	1	0	1
1	1	x	1
1	x	0	0
0	0	0	1
1	1	1	1

11. 16 ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 36 チャンネル (TMRB00~TMRB23) 内蔵しています。TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 2 相パルス入力カウンタモード (4 逓倍、TMRB0C、TMRB12 のみ)

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバツファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

各チャンネル (TMRB00~TMRB23) はそれぞれ独立に動作します。いずれのチャンネルも表 11.1 に示される仕様相違点と 2 相パルスカウント機能を除いて同一の動作をしますので、動作説明は TMRB14 の場合と 2 相パルスカウント機能 (TMRB0C、TMRB12) についてのみ説明します。

表 11.1 TMRB のチャネル別仕様相違点

仕様		チャネル			
		TMRB00	TMRB01	TMRB02	TMRB03
外部端子	外部クロック/ キャプチャトリガ入力端子	—	—	—	—
	タイマフリップフロップ 出力端子	—	—	—	—
内部信号	キャプチャトリガ用タイマ				
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB00RUN (0xFFFF_F200)	TB01RUN (0xFFFF_F210)	TB02RUN (0xFFFF_F220)	TB03RUN (0xFFFF_F230)
	タイマコントロール レジスタ	TB00CR (0xFFFF_F201)	TB01CR (0xFFFF_F211)	TB02CR (0xFFFF_F221)	TB03CR (0xFFFF_F231)
	タイマモードレジスタ	TB00MOD (0xFFFF_F202)	TB01MOD (0xFFFF_F212)	TB02MOD (0xFFFF_F222)	TB03MOD (0xFFFF_F232)
	タイマフリップフロップ コントロールレジスタ	TB00FFCR (0xFFFF_F203)	TB01FFCR (0xFFFF_F213)	TB02FFCR (0xFFFF_F223)	TB03FFCR (0xFFFF_F233)
	タイマステータスレジスタ	TB00ST (0xFFFF_F204)	TB01ST (0xFFFF_F214)	TB02ST (0xFFFF_F224)	TB03ST (0xFFFF_F234)
	タイマアップカウンタ レジスタ	TB00UCL TB00UCH	TB01UCL TB01UCH	TB02UCL TB02UCH	TB03UCL TB03UCH
	タイマレジスタ	TB00RG0L (0xFFFF_F208)	TB01RG0L (0xFFFF_F218)	TB02RG0L (0xFFFF_F228)	TB03RG0L (0xFFFF_F238)
		TB00RG0H (0xFFFF_F209)	TB01RG0H (0xFFFF_F219)	TB02RG0H (0xFFFF_F229)	TB03RG0H (0xFFFF_F239)
		TB00RG1L (0xFFFF_F20A)	TB01RG1L (0xFFFF_F21A)	TB02RG1L (0xFFFF_F22A)	TB03RG1L (0xFFFF_F23A)
		TB00RG1H (0xFFFF_F20B)	TB01RG1H (0xFFFF_F21B)	TB02RG1H (0xFFFF_F22B)	TB03RG1H (0xFFFF_F23B)
	キャプチャレジスタ	TB00CP0L (0xFFFF_F20C)	TB01CP0L (0xFFFF_F21C)	TB02CP0L (0xFFFF_F22C)	TB03CP0L (0xFFFF_F23C)
TB00CP0H (0xFFFF_F20D)		TB01CP0H (0xFFFF_F21D)	TB02CP0H (0xFFFF_F22D)	TB03CP0H (0xFFFF_F23D)	
TB00CP1L (0xFFFF_F20E)		TB01CP1L (0xFFFF_F21E)	TB02CP1L (0xFFFF_F22E)	TB03CP1L (0xFFFF_F23E)	
TB00CP1H (0xFFFF_F20F)		TB01CP1H (0xFFFF_F21F)	TB02CP1H (0xFFFF_F22F)	TB03CP1H (0xFFFF_F23F)	

仕様		チャネル			
		TMRB04	TMRB05	TMRB06	TMRB07
外部端子	外部クロック/ キャプチャトリガ入力端子	—	—	—	—
	タイマフリップフロップ 出力端子	—	—	—	—
内部信号	キャプチャトリガ用タイマ				
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB04RUN (0xFFFF_F240)	TB05RUN (0xFFFF_F250)	TB06RUN (0xFFFF_F260)	TB07RUN (0xFFFF_F270)
	タイマコントロール レジスタ	TB04CR (0xFFFF_F241)	TB05CR (0xFFFF_F251)	TB06CR (0xFFFF_F261)	TB07CR (0xFFFF_F271)
	タイマモードレジスタ	TB04MOD (0xFFFF_F242)	TB05MOD (0xFFFF_F252)	TB06MOD (0xFFFF_F262)	TB07MOD (0xFFFF_F272)
	タイマフリップフロップ コントロールレジスタ	TB04FFCR (0xFFFF_F243)	TB05FFCR (0xFFFF_F253)	TB06FFCR (0xFFFF_F263)	TB07FFCR (0xFFFF_F273)
	タイマステータスレジスタ	TB04ST (0xFFFF_F244)	TB05ST (0xFFFF_F254)	TB06ST (0xFFFF_F264)	TB07ST (0xFFFF_F274)
	タイマアップカウンタ レジスタ	TB04UCL TB04UCH	TB05UCL TB05UCH	TB06UCL TB06UCH	TB07UCL TB07UCH
	タイマレジスタ	TB04RG0L (0xFFFF_F248)	TB05RG0L (0xFFFF_F258)	TB06RG0L (0xFFFF_F268)	TB07RG0L (0xFFFF_F278)
		TB04RG0H (0xFFFF_F249)	TB05RG0H (0xFFFF_F259)	TB06RG0H (0xFFFF_F269)	TB07RG0H (0xFFFF_F279)
		TB04RG1L (0xFFFF_F24A)	TB05RG1L (0xFFFF_F25A)	TB06RG1L (0xFFFF_F26A)	TB07RG1L (0xFFFF_F27A)
		TB04RG1H (0xFFFF_F24B)	TB05RG1H (0xFFFF_F25B)	TB06RG1H (0xFFFF_F26B)	TB07RG1H (0xFFFF_F27A)
	キャプチャレジスタ	TB04CP0L (0xFFFF_F24C)	TB05CP0L (0xFFFF_F25C)	TB06CP0L (0xFFFF_F26C)	TB07CP0L (0xFFFF_F27C)
TB04CP0H (0xFFFF_F24D)		TB05CP0H (0xFFFF_F25D)	TB06CP0H (0xFFFF_F26D)	TB07CP0H (0xFFFF_F27D)	
TB04CP1L (0xFFFF_F24E)		TB05CP1L (0xFFFF_F25E)	TB06CP1L (0xFFFF_F26E)	TB07CP1L (0xFFFF_F27E)	
TB04CP1H (0xFFFF_F24F)		TB05CP1H (0xFFFF_F25F)	TB06CP1H (0xFFFF_F26F)	TB07CP1H (0xFFFF_F27F)	

仕様		チャンネル	TMRB08	TMRB09	TMRB0A	TMRB0B		
外部端子	外部クロック/ キャプチャトリガ入力端子		TB8IN0 (PB0 と兼用) TB8IN1 (PB1 と兼用)	TB9IN0 (PB2 と兼用) TB9IN1 (PB3 と兼用)	TBAIN0 (PB4 と兼用) TBAIN1 (PB5 と兼用)	TBBIN0 (PB6 と兼用) TBBIN1 (PB7 と兼用)		
	タイマフリップフロップ 出力端子		-	-	-	-		
	内部信号	キャプチャトリガ用タイマ	TB1OUT	TB1OUT	TB1OUT	TB1OUT		
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB08RUN (0xFFFF_F280)	TB09RUN (0xFFFF_F290)	TB0ARUN (0xFFFF_F2A0)	TB0BRUN (0xFFFF_F2B0)		
	タイマコントロール レジスタ		TB08CR (0xFFFF_F281)	TB09CR (0xFFFF_F291)	TB0ACR (0xFFFF_F2A1)	TB0BCR (0xFFFF_F2B1)		
	タイマモードレジスタ		TB08MOD (0xFFFF_F282)	TB09MOD (0xFFFF_F292)	TB0AMOD (0xFFFF_F2A2)	TB0BMOD (0xFFFF_F2B2)		
	タイマフリップフロップ コントロールレジスタ		TB08FFCR (0xFFFF_F283)	TB09FFCR (0xFFFF_F293)	TB0AFFCR (0xFFFF_F2A3)	TB0BFFCR (0xFFFF_F2B3)		
	タイマステータスレジスタ		TB08ST (0xFFFF_F284)	TB09ST (0xFFFF_F294)	TB0AST (0xFFFF_F2A4)	TB0BST (0xFFFF_F2B4)		
	タイマアップカウンタ レジスタ		TB08UCL TB08UCH	TB09UCL TB09UCH	TB0AUCL TB0AUCH	TB0BUCL TB0BUCH		
	タイマレジスタ			TB08RG0L (0xFFFF_F288) TB08RG0H (0xFFFF_F289) TB08RG1L (0xFFFF_F28A) TB08RG1H (0xFFFF_F28B)	TB09RG0L (0xFFFF_F298) TB09RG0H (0xFFFF_F299) TB09RG1L (0xFFFF_F29A) TB09RG1H (0xFFFF_F29B)	TB0ARG0L (0xFFFF_F2A8) TB0ARG0H (0xFFFF_F2A9) TB0ARG1L (0xFFFF_F2AA) TB0ARG1H (0xFFFF_F2AB)	TB0BRG0L (0xFFFF_F2B8) TB0BRG0H (0xFFFF_F2B9) TB0BRG1L (0xFFFF_F2BA) TB0BRG1H (0xFFFF_F2BB)	
		キャプチャレジスタ			TB08CP0L (0xFFFF_F28C) TB08CP0H (0xFFFF_F28D) TB08CP1L (0xFFFF_F28E) TB08CP1H (0xFFFF_F28F)	TB09CP0L (0xFFFF_F29C) TB09CP0H (0xFFFF_F29D) TB09CP1L (0xFFFF_F29E) TB09CP1H (0xFFFF_F29F)	TB0ACP0L (0xFFFF_F2AC) TB0ACP0H (0xFFFF_F2AD) TB0ACP1L (0xFFFF_F2AE) TB0ACP1H (0xFFFF_F2AF)	TB0BCP0L (0xFFFF_F2BC) TB0BCP0H (0xFFFF_F2BD) TB0BCP1L (0xFFFF_F2BE) TB0BCP1H (0xFFFF_F2BF)

仕様		チャンネル	TMRB0C	TMRB0D	TMRB0E	TMRB0F		
外部端子	外部クロック/ キャプチャトリガ入力端子		TBCIN0 (PC0 と兼用) TBCIN1 (PC1 と兼用)	TBDIN0 (PC2 と兼用)	TBEIN0 (PC3 と兼用)	TBFIN0 (PC7 と兼用)		
	タイマフリップフロップ 出力端子		-	-	-	-		
	内部信号	キャプチャトリガ用タイマ	TB1OUT	TB1OUT	TB1OUT	TB1OUT		
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB0CRUN (0xFFFF_F2C0)	TB0DRUN (0xFFFF_F2D0)	TB0ERUN (0xFFFF_F2E0)	TB0FRUN (0xFFFF_F2F0)		
	タイマコントロール レジスタ		TB0CCR (0xFFFF_F2C1)	TB0DCR (0xFFFF_F2D1)	TB0ECR (0xFFFF_F2E1)	TB0FCR (0xFFFF_F2F1)		
	タイマモードレジスタ		TB0CMOD (0xFFFF_F2C2)	TB0DMOD (0xFFFF_F2D2)	TB0EMOD (0xFFFF_F2E2)	TB0FMOD (0xFFFF_F2F2)		
	タイマフリップフロップ コントロールレジスタ		TB0CFFCR (0xFFFF_F2C3)	TB0DFFCR (0xFFFF_F2D3)	TB0EFFCR (0xFFFF_F2E3)	TB0FFFCR (0xFFFF_F2F3)		
	タイマステータスレジスタ		TB0CST (0xFFFF_F2C4)	TB0DST (0xFFFF_F2D4)	TB0EST (0xFFFF_F2E4)	TB0FST (0xFFFF_F2F4)		
	タイマアップカウンタ レジスタ		TB0CUCL TB0CUCH	TB0DUCL TB0DUCH	TB0EUCL TB0EUCH	TB0FUCL TB0FUCH		
	タイマレジスタ			TB0CRG0L (0xFFFF_F2C8) TB0CRG0H (0xFFFF_F2C9) TB0CRG1L (0xFFFF_F2CA) TB0CRG1H (0xFFFF_F2CB)	TB0DRG0L (0xFFFF_F2D8) TB0DRG0H (0xFFFF_F2D9) TB0DRG1L (0xFFFF_F2DA) TB0DRG1H (0xFFFF_F2DB)	TB0ERG0L (0xFFFF_F2E8) TB0ERG0H (0xFFFF_F2E9) TB0ERG1L (0xFFFF_F2EA) TB0ERG1H (0xFFFF_F2EB)	TB0FRG0L (0xFFFF_F2F8) TB0FRG0H (0xFFFF_F2F9) TB0FRG1L (0xFFFF_F2FA) TB0FRG1H (0xFFFF_F2FB)	
		キャプチャレジスタ			TB0CCP0L (0xFFFF_F2CC) TB0CCP0H (0xFFFF_F2CD) TB0CCP1L (0xFFFF_F2CE) TB0CCP1H (0xFFFF_F2CF)	TB0DCP0L (0xFFFF_F2DC) TB0DCP0H (0xFFFF_F2DD) TB0DCP1L (0xFFFF_F2DE) TB0DCP1H (0xFFFF_F2DF)	TB0ECP0L (0xFFFF_F2EC) TB0ECP0H (0xFFFF_F2ED) TB0ECP1L (0xFFFF_F2EE) TB0ECP1H (0xFFFF_F2EF)	TB0FCP0L (0xFFFF_F2FC) TB0FCP0H (0xFFFF_F2FD) TB0FCP1L (0xFFFF_F2FE) TB0FCP1H (0xFFFF_F2FF)

仕様		チャンネル	TMRB10	TMRB11	TMRB12	TMRB13		
外部端子	外部クロック/ キャプチャトリガ入力端子		TB10IN0 (PD0 と兼用) TB10IN1 (PD1 と兼用)	TB11IN0 (PD2 と兼用) TB11IN1 (PD3 と兼用)	TB12IN0 (PD4 と兼用) TB12IN1 (PD5 と兼用)	—		
	タイマフリップフロップ 出力端子		—	—	—	—		
内部信号	キャプチャトリガ用タイマ		TB2OUT	TB2OUT	TB2OUT	TB2OUT		
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB10RUN (0xFFFF_F300)	TB11RUN (0xFFFF_F310)	TB12RUN (0xFFFF_F320)	TB13RUN (0xFFFF_F330)		
	タイマコントロール レジスタ		TB10CR (0xFFFF_F301)	TB11CR (0xFFFF_F311)	TB12CR (0xFFFF_F321)	TB13CR (0xFFFF_F331)		
	タイマモードレジスタ		TB10MOD (0xFFFF_F302)	TB11MOD (0xFFFF_F312)	TB12MOD (0xFFFF_F322)	TB13MOD (0xFFFF_F332)		
	タイマフリップフロップ コントロールレジスタ		TB10FFCR (0xFFFF_F303)	TB11FFCR (0xFFFF_F313)	TB12FFCR (0xFFFF_F323)	TB13FFCR (0xFFFF_F333)		
	タイマステータスレジスタ		TB10ST (0xFFFF_F304)	TB11ST (0xFFFF_F314)	TB12ST (0xFFFF_F324)	TB13ST (0xFFFF_F334)		
	タイマアップカウンタ レジスタ		TB10UCL TB10UCH	TB11UCL TB11UCH	TB12UCL TB12UCH	TB13UCL TB13UCH		
	タイマレジスタ			TB10RG0L (0xFFFF_F308) TB10RG0H (0xFFFF_F309) TB10RG1L (0xFFFF_F30A) TB10RG1H (0xFFFF_F30B)	TB11RG0L (0xFFFF_F318) TB11RG0H (0xFFFF_F319) TB11RG1L (0xFFFF_F31A) TB11RG1H (0xFFFF_F31B)	TB12RG0L (0xFFFF_F328) TB12RG0H (0xFFFF_F329) TB12RG1L (0xFFFF_F32A) TB12RG1H (0xFFFF_F32B)	TB13RG0L (0xFFFF_F338) TB13RG0H (0xFFFF_F339) TB13RG1L (0xFFFF_F33A) TB13RG1H (0xFFFF_F33B)	
		キャプチャレジスタ			TB10CP0L (0xFFFF_F30C) TB10CP0H (0xFFFF_F30D) TB10CP1L (0xFFFF_F30E) TB10CP1H (0xFFFF_F30F)	TB11CP0L (0xFFFF_F31C) TB11CP0H (0xFFFF_F31D) TB11CP1L (0xFFFF_F31E) TB11CP1H (0xFFFF_F31F)	TB12CP0L (0xFFFF_F32C) TB12CP0H (0xFFFF_F32D) TB12CP1L (0xFFFF_F32E) TB12CP1H (0xFFFF_F32F)	TB13CP0L (0xFFFF_F33C) TB13CP0H (0xFFFF_F33D) TB13CP1L (0xFFFF_F33E) TB13CP1H (0xFFFF_F33F)

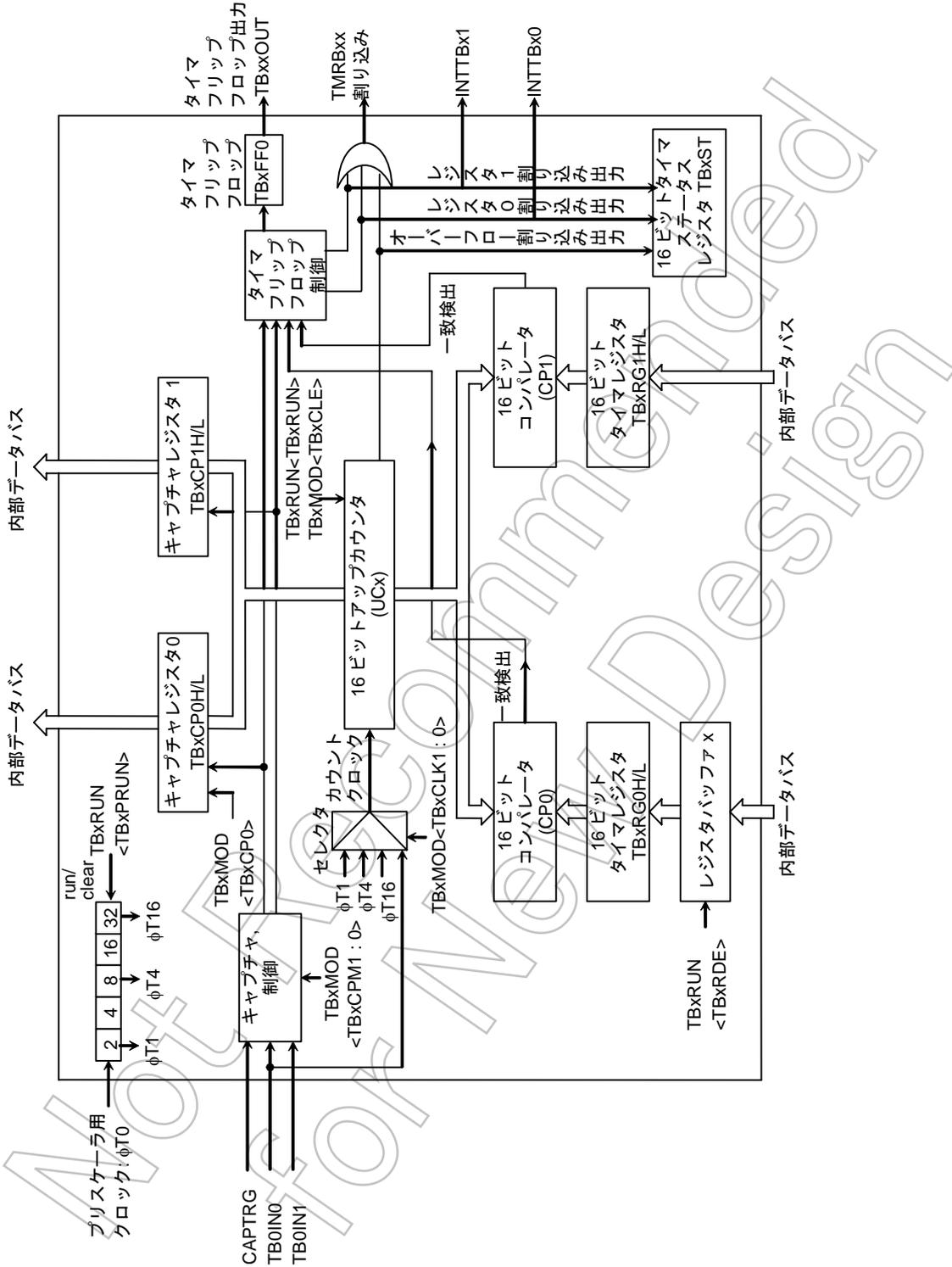
仕様		チャンネル	TMRB14	TMRB15	TMRB16	TMRB17		
外部端子	外部クロック/ キャプチャトリガ入力端子		—	—	—	—		
	タイマフリップフロップ 出力端子		TB14OUT (PD6 と兼用)	TB15OUT (PD7 と兼用)	TB16OUT (PE0 と兼用)	TB17OUT (PE1 と兼用)		
内部信号	キャプチャトリガ用タイマ							
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB14RUN (0xFFFF_F340)	TB15RUN (0xFFFF_F350)	TB16RUN (0xFFFF_F360)	TB17RUN (0xFFFF_F370)		
	タイマコントロール レジスタ		TB14CR (0xFFFF_F341)	TB15CR (0xFFFF_F351)	TB16CR (0xFFFF_F361)	TB17CR (0xFFFF_F371)		
	タイマモードレジスタ		TB14MOD (0xFFFF_F342)	TB15MOD (0xFFFF_F352)	TB16MOD (0xFFFF_F362)	TB17MOD (0xFFFF_F372)		
	タイマフリップフロップ コントロールレジスタ		TB14FFCR (0xFFFF_F343)	TB15FFCR (0xFFFF_F353)	TB16FFCR (0xFFFF_F363)	TB17FFCR (0xFFFF_F373)		
	タイマステータスレジスタ		TB14ST (0xFFFF_F344)	TB15ST (0xFFFF_F354)	TB16ST (0xFFFF_F364)	TB17ST (0xFFFF_F374)		
	タイマアップカウンタ レジスタ		TB14UCL TB14UCH	TB15UCL TB15UCH	TB16UCL TB16UCH	TB17UCL TB17UCH		
	タイマレジスタ			TB14RG0L (0xFFFF_F348) TB14RG0H (0xFFFF_F349) TB14RG1L (0xFFFF_F34A) TB14RG1H (0xFFFF_F34B)	TB15RG0L (0xFFFF_F358) TB15RG0H (0xFFFF_F359) TB15RG1L (0xFFFF_F35A) TB15RG1H (0xFFFF_F35B)	TB16RG0L (0xFFFF_F368) TB16RG0H (0xFFFF_F369) TB16RG1L (0xFFFF_F36A) TB16RG1H (0xFFFF_F36B)	TB17RG0L (0xFFFF_F378) TB17RG0H (0xFFFF_F379) TB17RG1L (0xFFFF_F37A) TB17RG1H (0xFFFF_F37B)	
		キャプチャレジスタ			TB14CP0L (0xFFFF_F34C) TB14CP0H (0xFFFF_F34D) TB14CP1L (0xFFFF_F34E) TB14CP1H (0xFFFF_F34F)	TB15CP0L (0xFFFF_F35C) TB15CP0H (0xFFFF_F35D) TB15CP1L (0xFFFF_F35E) TB15CP1H (0xFFFF_F35F)	TB16CP0L (0xFFFF_F36C) TB16CP0H (0xFFFF_F36D) TB16CP1L (0xFFFF_F36E) TB16CP1H (0xFFFF_F36F)	TB17CP0L (0xFFFF_F37C) TB17CP0H (0xFFFF_F37D) TB17CP1L (0xFFFF_F37E) TB17CP1H (0xFFFF_F37F)

仕様		チャンネル	TMRB18	TMRB19	TMRB1A	TMRB1B
外部端子	外部クロック/ キャプチャトリガ入力端子		-	-	-	-
	タイマフリップフロップ 出力端子		TB18OUT (PE2 と兼用)	TB19OUT (PE3 と兼用)	TB1AOUT (PE4 と兼用)	-
内部信号	キャプチャトリガ用タイマ					
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB18RUN (0xFFFF_F380)	TB19RUN (0xFFFF_F390)	TB1ARUN (0xFFFF_F3A0)	TB1BRUN (0xFFFF_F3B0)
	タイマコントロール レジスタ		TB18CR (0xFFFF_F381)	TB19CR (0xFFFF_F391)	TB1ACR (0xFFFF_F3A1)	TB1BCR (0xFFFF_F3B1)
	タイマモードレジスタ		TB18MOD (0xFFFF_F382)	TB19MOD (0xFFFF_F392)	TB1AMOD (0xFFFF_F3A2)	TB1BMOD (0xFFFF_F3B2)
	タイマフリップフロップ コントロールレジスタ		TB18FFCR (0xFFFF_F383)	TB19FFCR (0xFFFF_F393)	TB1AFFCR (0xFFFF_F3A3)	TB1BFFCR (0xFFFF_F3B3)
	タイマステータスレジスタ		TB18ST (0xFFFF_F384)	TB19ST (0xFFFF_F394)	TB1AST (0xFFFF_F3A4)	TB1BST (0xFFFF_F3B4)
	タイマアップカウンタ レジスタ		TB18UCL TB18UCH	TB19UCL TB19UCH	TB1AUCL TB1AUCH	TB1BUCL TB1BUCH
	タイマレジスタ		TB18RG0L (0xFFFF_F388)	TB19RG0L (0xFFFF_F398)	TB1ARG0L (0xFFFF_F3A8)	TB1BRG0L (0xFFFF_F3B8)
			TB18RG0H (0xFFFF_F389)	TB19RG0H (0xFFFF_F399)	TB1ARG0H (0xFFFF_F3A9)	TB1BRG0H (0xFFFF_F3B9)
			TB18RG1L (0xFFFF_F38A)	TB19RG1L (0xFFFF_F39A)	TB1ARG1L (0xFFFF_F3AA)	TB1BRG1L (0xFFFF_F3BA)
			TB18RG1H (0xFFFF_F38B)	TB19RG1H (0xFFFF_F39B)	TB1ARG1H (0xFFFF_F3AB)	TB1BRG1H (0xFFFF_F3BB)
キャプチャレジスタ		TB18CP0L (0xFFFF_F38C)	TB19CP0L (0xFFFF_F39C)	TB1ACP0L (0xFFFF_F3AC)	TB1BCP0L (0xFFFF_F3BC)	
		TB18CP0H (0xFFFF_F38D)	TB19CP0H (0xFFFF_F39D)	TB1ACP0H (0xFFFF_F3AD)	TB1BCP0H (0xFFFF_F3BD)	
		TB18CP1L (0xFFFF_F38E)	TB19CP1L (0xFFFF_F39E)	TB1ACP1L (0xFFFF_F3AE)	TB1BCP1L (0xFFFF_F3BE)	
		TB18CP1H (0xFFFF_F38F)	TB19CP1H (0xFFFF_F39F)	TB1ACP1H (0xFFFF_F3AF)	TB1BCP1H (0xFFFF_F3BF)	

仕様		チャンネル	TMRB1C	TMRB1D	TMRB1E	TMRB1F
外部端子	外部クロック/ キャプチャトリガ入力端子		-	-	-	-
	タイマフリップフロップ 出力端子		-	-	-	-
内部信号	キャプチャトリガ用タイマ					
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB1CRUN (0xFFFF_F3C0)	TB1DRUN (0xFFFF_F3D0)	TB1ERUN (0xFFFF_F3E0)	TB1FRUN (0xFFFF_F3F0)
	タイマコントロール レジスタ		TB1CCR (0xFFFF_F3C1)	TB1DCR (0xFFFF_F3D1)	TB1ECR (0xFFFF_F3E1)	TB1FCR (0xFFFF_F3F1)
	タイマモードレジスタ		TB1CMOD (0xFFFF_F3C2)	TB1DMOD (0xFFFF_F3D2)	TB1EMOD (0xFFFF_F3E2)	TB1FMOD (0xFFFF_F3F2)
	タイマフリップフロップ コントロールレジスタ		TB1CFFCR (0xFFFF_F3C3)	TB1DFFCR (0xFFFF_F3D3)	TB1EFFCR (0xFFFF_F3E3)	TB1FFCR (0xFFFF_F3F3)
	タイマステータスレジスタ		TB1CST (0xFFFF_F3C4)	TB1DST (0xFFFF_F3D4)	TB1EST (0xFFFF_F3E4)	TB1FST (0xFFFF_F3F4)
	タイマアップカウンタ レジスタ		TB1CUCL TB1CUCH	TB1DUCL TB1DUCH	TB1EUCL TB1EUCH	TB1FUCL TB1FUCH
	タイマレジスタ		TB1CRG0L (0xFFFF_F3C8)	TB1DRG0L (0xFFFF_F3D8)	TB1ERG0L (0xFFFF_F3E8)	TB1FRG0L (0xFFFF_F3F8)
			TB1CRG0H (0xFFFF_F3C9)	TB1DRG0H (0xFFFF_F3D9)	TB1ERG0H (0xFFFF_F3E9)	TB1FRG0H (0xFFFF_F3F9)
			TB1CRG1L (0xFFFF_F3CA)	TB1DRG1L (0xFFFF_F3DA)	TB1ERG1L (0xFFFF_F3EA)	TB1FRG1L (0xFFFF_F3FA)
			TB1CRG1H (0xFFFF_F3CB)	TB1DRG1H (0xFFFF_F3DB)	TB1ERG1H (0xFFFF_F3EB)	TB1FRG1H (0xFFFF_F3FB)
キャプチャレジスタ		TB1CCP0L (0xFFFF_F3CC)	TB1DCP0L (0xFFFF_F3DC)	TB1ECP0L (0xFFFF_F3EC)	TB1FCP0L (0xFFFF_F3FC)	
		TB1CCP0H (0xFFFF_F3CD)	TB1DCP0H (0xFFFF_F3DD)	TB1ECP0H (0xFFFF_F3ED)	TB1FCP0H (0xFFFF_F3FD)	
		TB1CCP1L (0xFFFF_F3CE)	TB1DCP1L (0xFFFF_F3DE)	TB1ECP1L (0xFFFF_F3EE)	TB1FCP1L (0xFFFF_F3FE)	
		TB1CCP1H (0xFFFF_F3CF)	TB1DCP1H (0xFFFF_F3DF)	TB1ECP1H (0xFFFF_F3EF)	TB1FCP1H (0xFFFF_F3FF)	

仕様		チャンネル			
		TMRB20	TMRB21	TMRB22	TMRB23
外部端子	外部クロック/ キャプチャトリガ入力端子	-	-	-	-
	タイムフリップフロップ 出力端子	-	-	-	-
内部信号	キャプチャトリガ用タイマ				
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB20RUN (0xFFFF_F400)	TB21RUN (0xFFFF_F410)	TB22RUN (0xFFFF_F420)	TB23RUN (0xFFFF_F430)
	タイマコントロール レジスタ	TB20CR (0xFFFF_F401)	TB21CR (0xFFFF_F411)	TB22CR (0xFFFF_F421)	TB23CR (0xFFFF_F431)
	タイマモードレジスタ	TB20MOD (0xFFFF_F402)	TB21MOD (0xFFFF_F412)	TB22MOD (0xFFFF_F422)	TB23MOD (0xFFFF_F432)
	タイマフリップフロップ コントロールレジスタ	TB20FFCR (0xFFFF_F403)	TB21FFCR (0xFFFF_F413)	TB22FFCR (0xFFFF_F423)	TB23FFCR (0xFFFF_F433)
	タイマステータスレジスタ	TB20ST (0xFFFF_F404)	TB21ST (0xFFFF_F414)	TB22ST (0xFFFF_F424)	TB23ST (0xFFFF_F434)
	タイマアップカウンタ レジスタ	TB20UCL	TB21UCL	TB22UCL	TB23UCL
		TB20UCH	TB21UCH	TB22UCH	TB23UCH
	タイマレジスタ	TB20RG0L (0xFFFF_F408)	TB21RG0L (0xFFFF_F418)	TB22RG0L (0xFFFF_F428)	TB23RG0L (0xFFFF_F438)
		TB20RG0H (0xFFFF_F409)	TB21RG0H (0xFFFF_F419)	TB22RG0H (0xFFFF_F429)	TB23RG0H (0xFFFF_F439)
		TB20RG1L (0xFFFF_F40A)	TB21RG1L (0xFFFF_F41A)	TB22RG1L (0xFFFF_F42A)	TB23RG1L (0xFFFF_F43A)
		TB20RG1H (0xFFFF_F40B)	TB21RG1H (0xFFFF_F41B)	TB22RG1H (0xFFFF_F42B)	TB23RG1H (0xFFFF_F43B)
	キャプチャレジスタ	TB20CP0L (0xFFFF_F40C)	TB21CP0L (0xFFFF_F41C)	TB22CP0L (0xFFFF_F42C)	TB23CP0L (0xFFFF_F43C)
		TB20CP0H (0xFFFF_F40D)	TB21CP0H (0xFFFF_F41D)	TB22CP0H (0xFFFF_F42D)	TB23CP0H (0xFFFF_F43D)
		TB20CP1L (0xFFFF_F40E)	TB21CP1L (0xFFFF_F41E)	TB22CP1L (0xFFFF_F42E)	TB23CP1L (0xFFFF_F43E)
TB20CP1H (0xFFFF_F40F)		TB21CP1H (0xFFFF_F41F)	TB22CP1H (0xFFFF_F42F)	TB23CP1H (0xFFFF_F43F)	

11.1 チャンネル別のブロック図



(注) TMRB0～TMRB7には外部クロック、キャプチャトリガ入力機能はありません。

図 11.1.1 TMRB0 ブロック図 (チャンネル1～9も同様)

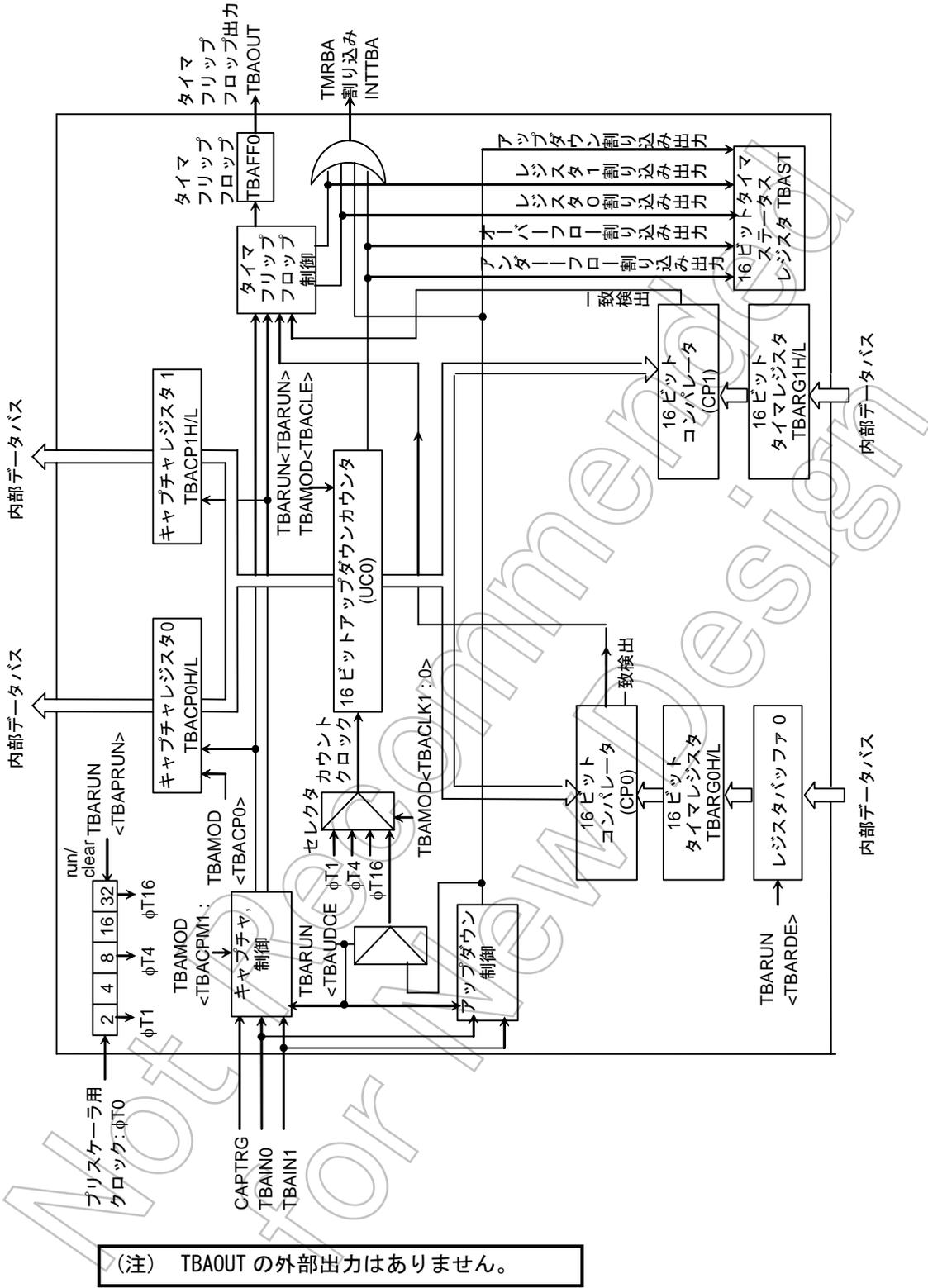


図 11.1.2 TMRBA ブロック図

11.2 回路別の動作説明

11.2.1 プリスケーラ

TMRB14のクロックソースを得るため、5ビットプリスケーラがあります。プリスケーラへの入力クロック $\phi T0$ はCG部のSYSCR0<PRCK1:0>にて選択したfperiph/2、fperiph/4、fperiph/8、fperiph/16のいずれかのクロックです。このペリフェラルクロックfperiphはCG部のSYSCR1<FPSEL>で選択したクロックfgearまたはクロックギア分周前のクロックfcのいずれかのクロックです。

プリスケーラはTB14RUN<TB14PRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し“0”をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表11.2.1に示します。

Not Recommended for New Design

表 11.2.1 プリスケアラ出力クロック分解能

@fc = 54MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラ クロック選択 <PRCK1 : 0>	プリスケアラ出力クロック分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	00 (fper iph/16)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.15 μ s)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.07 μ s)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)	$f_c/2^{10}$ (18.96 μ s)
		01 (fper iph/8)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		10 (fper iph/4)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
		11 (fper iph/2)	$f_c/2^3$ (0.15 μ s)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)	$f_c/2^{11}$ (37.93 μ s)
		01 (fper iph/8)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)	$f_c/2^{10}$ (18.96 μ s)
		10 (fper iph/4)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		11 (fper iph/2)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^8$ (4.74 μ s)	$f_c/2^{10}$ (18.96 μ s)	$f_c/2^{12}$ (75.85 μ s)
		01 (fper iph/8)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)	$f_c/2^{11}$ (37.93 μ s)
		10 (fper iph/4)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)	$f_c/2^{10}$ (18.96 μ s)
		11 (fper iph/2)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
1 (fc)	000 (fc)	00 (fper iph/16)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.15 μ s)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.07 μ s)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.15 μ s)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)
		11 (fper iph/2)	—	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
		10 (fper iph/4)	—	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)
		11 (fper iph/2)	—	$f_c/2^4$ (0.30 μ s)	$f_c/2^6$ (1.19 μ s)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)	$f_c/2^9$ (9.48 μ s)
		01 (fper iph/8)	—	$f_c/2^6$ (1.19 μ s)	$f_c/2^8$ (4.74 μ s)
		10 (fper iph/4)	—	$f_c/2^5$ (0.59 μ s)	$f_c/2^7$ (2.37 μ s)
		11 (fper iph/2)	—	—	$f_c/2^6$ (1.19 μ s)

(注1) プリスケアラ出力クロック ϕTn は、かならず $\phi Tn < f_{sys}/2$ を満足するように(ϕTn が $f_{sys}/2$ よりも遅くなるように)選択してください。

(注2) タイマ動作中にクロックギアの切り換えはしないでください。

(注3) — : 設定禁止

- 11.2.2 アップカウンタ (UC0) , アップカウンタキャプチャレジスタ (TBxxUCL, TBxxUCH)
TBxxMOD<TBOCLK1:0> で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入力クロックは、3 種類のプリスケアラ出力クロック $\Phi T1$ 、 $\Phi T4$ 、 $\Phi T16$ 、または、TBxxINO 端子の外部クロックのいずれかを選択できます。UC0 は、TBxxRUN<TB14RUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TBxxRG1H/L と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TBxxMOD<TBOCLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。TBxxUCL, TBxxUCH レジスタを読み出すことにより、UC0 の現在のカウント値をキャプチャする事が可能です。

(注) 読み出す場合は必ず下位 → 上位の順で読み出してください。

UC0 のオーバーフローが発生した場合、オーバーフロー割り込み INTTBxx が発生します。

TMRBOC には 2 相パルス入力カウント機能があり、TBOCRUN<TBOCUDCE>によって 2 相パルスカウントモードになり、本カウンタはアップダウンカウンタとして機能し、カウンタは 0x7FFF に初期化されます。カウンタがオーバーフローすると、初期値 0x0000、またはアンダーフローすると初期値 0xFFFF がリロードされます。2 相パルスカウントモードではない場合はアップカウントのみとなります。

- 11.2.3 タイマレジスタ (TBxxRG0H/L, TBxxRG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TBxxRG0H/L, TBxxRG1H/L へのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TBxxRG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TBxxRG0 は TBxxRUN<TBORDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TBORDE> = “0” のときディセーブル、<TBORDE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TBxxRG0 へのデータ転送は、UC0 と TBxxRG1 との一致時に行われます。

リセット動作により、TBxxRG0、TBxxRG1 は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TBxxRUN<TBORDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TBORDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TBxxRG0 とレジスタバッファは、同じアドレス 0xFFFF_FxxA/0xFFFF_FxxB に割り付けられています。<TBORDE> = “0” のときは、TBxxRG0 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TBORDE> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

11.2.4 キャプチャレジスタ (TBxxCP0H/L, TBxxCP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、1 バイトデータ転送命令を 2 回用いて必ず下位 → 上位の順に読み出しを行なって下さい。

(注)2 バイト転送命令でのデータリードは行なわないで下さい。

11.2.5 キャプチャ

アップカウンタ UC0 の値をキャプチャレジスタ TBxxCP0、TBxxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxxMOD<TBOCPM1 : 0>で設定します。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TBxxMOD<TBOCP0> に“0”を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TBxxCP0 へキャプチャします。なお、プリスケールは、RUN 状態 (TBxxRUN<TBOPRUN> = “1”) にしておく必要があります。

2 相パルスカウントモード (TMRBOC) ではカウンタの値はソフトウェアキャプチャにより取り込みます。

(注 1)キャプチャレジスタの下位 8 ビットをリードするとキャプチャ動作ができなくなります。続けて上位 8 ビットをリードするとキャプチャ動作ができるようになります。

(注 2)下位 8 ビットのみリードした状態でタイマストップすると、再スタート後もキャプチャできない状態が継続するので下位 8 ビットのみリードした状態でタイマをストップしないでください。

11.2.6 コンパレータ (CP0, CP1)

アップカウンタ UC0 と、タイマレジスタ TBxxRG0、TBxxRG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTBO を発生します。

11.2.7 タイマフリップフロップ (TBxxFF0)

タイマフリップフロップ (TBxxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxxFFCR<TBOC1T1, TBOC0T1, TBOE1T1, TBOE0T1> によって設定できます。

リセット後、TBxxFF0 の値は不定となります。TBOFFCR<TBOFF0C1:0>に“00”を書き込むことで反転、“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることが可能です。

TBxxFF0 の値は、タイマ出力端子 TBxxOUT 端子 (ポートと兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタ PxCR、PxF01 により、設定を行う必要があります。

11.3 レジスタ説明

TMRBn RUN レジスタ (n=00~23, 0C と 12 を除く)

		7	6	5	4	3	2	1	0
TBRnRUN (0xFFFF_F2x0)	bit Symbol	TBRnWBUF				I2TBn	TBRnPRUN		TBRnRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	Double Buffer 0: 禁止 1: 許可	“0” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※1bit目は”0” が読めます		

<TBRnRUN> : TMRBn のカウント動作を制御します。

<TBRnPRUN> : TMRBn のプリスケアラの動作を制御します。

<I2TBn> : IDLE モード時の動作を制御します。

<TBRnWBUF> : ダブルバッファの許可/禁止を制御します。

(注) モード設定を行ってから、<TBRnRUN>、<TBRnPRUN>ビットの設定を行ってください。

TMRBOC RUN レジスタ

		7	6	5	4	3	2	1	0
TBOCRUN (0xFFFF_F2C0)	bit Symbol	TBOCRDE		UDOCCK	TBOCUDCE	I2TBA	TBOCPRUN		TBOCRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	Double Buffer 0: 禁止 1: 許可	“0” をラ イトして ください。	サンプリング クロック 0: $\phi T0/4$ 1: イネーブル	2相カウンタ イネーブル 0: ディセーブル 1: イネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※1bit目は”0” が読めます		

<TBOCRUN> : TMRBOC のカウント動作を制御します。

<TBOCPRUN> : TMRBOC のプリスケアラの動作を制御します。

<I2TBA> : IDLE モード時の動作を制御します。

<TBOCUDCE> : 2相パルス入力カウント動作のイネーブル/ディセーブルを制御します。

イネーブル : カウンタはアップダウンカウントします。

ディセーブル : 通常のタイマーモードとしてカウンタはアップカウントのみになります。

<UDOCCK> : 2相パルス入力のサンプリングクロックを選択します。

<TBOCRDE> : ダブルバッファの許可/禁止を制御します。

(注) モード設定を行ってから、<TBOCRUN>、<TBOCPRUN>ビットの設定を行ってください。

TMRBn コントロールレジスタ (n=00~23)

TMRBnCR (0xFFFF_Fxx1)		7	6	5	4	3	2	1	0
	bit Symbol	TMRBnEN							
	Read/Write	R/W	R/W	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
機能	TMRBn動作 0: 禁止 1: 許可	“0”をライトしてください。	リードすると“0”が読めます						

<TMRBnEN> : TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可（“1”）にしてください。TMRB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TMRBn モードレジスタ (n=00~23, 00 と 12 を除く)

TMRBnMOD (0xFFFF_Fxx2)		7	6	5	4	3	2	1	0
	bit Symbol		TMRBnRSWR	TMRBnCPO	TMRBnCPM1	TMRBnCPM0	TMRBnCLE	TMRBnCLK1	TMRBnCLK0
	Read/Write	R	R/W	W	(R/W)				
	リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます	タイマレジスタ 0,1 への書込み 0: 常時許可 1: 同時許可	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TMRBnINO ↑ TMRBnIN1 ↑ 10: TMRBnINO ↑ TMRBnINO ↓ 11: CAPTRG ↑ CAPTRG ↓		アップカウンタ制御 0: クリアデイスエーブル 1: クリアインエーブル	ソースクロック選択 00: TMRBnINO 端子入力 01: φT1 10: φT4 11: φT16		

- <TMRBnCLK1:0> : TMRBn のタイマカウントクロックを選択します。
- <TMRBnCLE> : TMRBn のアップカウンタのクリア制御をおこないます。
 - “0” : アップカウンタのクリア禁止
 - “1” : タイマレジスタ 1 (TMRBnRG1) との一致でクリア
- <TMRBnCPM1:0> : TMRBn のキャプチャタイミングを設定します。
 - “00” : キャプチャ禁止
 - “01” : TMRBnINO 端子入力の立ち上がりでキャプチャレジスタ 0 (TMRBnCPO) にカウント値を取り込み、TMRBnIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TMRBnCP1) にカウント値を取り込む
 - “10” : TMRBnINO 端子入力の立ち上がりでキャプチャレジスタ 0 (TMRBnCPO) にカウント値を取り込み、TMRBnINO 端子入力の立ち下がりでキャプチャレジスタ 1 (TMRBnCP1) にカウント値を取り込む
 - “11” : キャプチャトリガ用タイマ出力 (CAPTRG) の立ち上がりでキャプチャレジスタ 0 (TMRBnCPO) にカウント値を取り込み、CAPTRG の立ち下がりでキャプチャレジスタ 1 (TMRBnCP1) にカウント値を取り込む (CAPTRG は TMRB08~0F の場合 TB1OUT、TMRB10~13 の場合 TB2OUT です。)
- <TMRBnCPO> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (TMRBnCPO) にカウント値を取り込みます。
- <TMRBnRSWR> : ダブルバッファ使用時のタイマレジスタ 0,1 への書込みタイミングを制御します。
 - “0” : タイマレジスタ 0,1 への書込み準備が片方だけできていなくても、片方ずつ書込み可
 - “1” : タイマレジスタ 0,1 への書込み準備が両方できている場合に書込み可

(注) TMRnMOD のビット 5 は、リードすると"1"が読み出されます

TMRn モードレジスタ

		7	6	5	4	3	2	1	0
TMRnMOD (0xFFFF_Fxx2)	bit Symbol			TMRnCP0	TMRnCPM1	TMRnCPM0	TMRnCLE	TMRnCLK1	TMRnCLK0
	Read/Write	R		W	R/W				
	リセット後	0		1	0	0	0	0	0
	機能	リードすると "00" が 読めず	ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TMRnINO ↑ TMRnIN1 ↑ 10: TMRnINO ↑ TMRnINO ↓ 11: CAPTRG ↑ CAPTRG ↓	アップ カウンタ制御 0: クリアデ ィセーブル 1: クリアイ ネーブル	ソースクロック選択 00: TMRnINO 端子入力 01: φT1 10: φT4 11: φT16			

<TMRnCLK1:0> : TMRn のタイマカウントクロックを選択します。

<TMRnCLE> : TMRn のアップカウンタのクリア制御をおこないます。

"0" : アップカウンタのクリア禁止

"1" : タイマレジスタ 1 (TMRnRG1) との一致でクリア

<TMRnCPM1:0> : TMRn のキャプチャタイミングを設定します。

"00" : キャプチャ禁止

"01" : TMRnINO 端子入力の立ち上がりでキャプチャレジスタ 0 (TMRnCP0) にカウント値を取り込み、
TMRnIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TMRnCP1) にカウント値を取り込む

"10" : TMRnINO 端子入力の立ち上がりでキャプチャレジスタ 0 (TMRnCP0) にカウント値を取り込み、
TMRnINO 端子入力の立ち下がりでキャプチャレジスタ 1 (TMRnCP1) にカウント値を取り込む

"11" : キャプチャトリガ用タイマ出力 (CAPTRG) の立ち上がりでキャプチャレジスタ 0 (TMRnCP0)
にカウント値を取り込み、CAPTRG の立ち下がりでキャプチャレジスタ 1 (TMRnCP1) にカウント
値を取り込む (CAPTRG は TMRB08~0F の場合 TB1OUT、TMRB10~13 の場合 TB2OUT です。)

<TMRnCP0> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (TMRnCP0) にカウント値を取り込みます。

(注 1) <TMRnCP0>のビットは、リードすると "1" が読み出されます。

(注 2) モード設定を行ってから、<TMRnCP0>ビット設定を行って下さい。

TMRn フリップフロップコントロールレジスタ (n=00~23)

		7	6	5	4	3	2	1	0
TBnFFCR (0xFFFF_Fxx3)	bit Symbol			TBnC1T1	TBnC0T1	TBnE1T1	TBnE0T1	TBnFF0C1	TBnFF0C0
	Read/Write	R		R/W				W	
	リセット後	1	1	0	0	0	0	1	1
	機能	読み出すと常に “11” になります。		TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル				TBnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don' t care ※ 読み出すと常に “11” になりま す。	
			TBnCP1 へ のアップ カウンタ値 取り込み時	TBnCP0 へ のアップ カウンタ値 取り込み時	アップ カウンタと TBnRG1 との 一致時	アップ カウンタと TBnRG0 との 一致時			

<TBnFF0C1:0> : タイマフリップフロップを制御します。

“00” : TBnFF0 の値を反転 (ソフト反転) します

“01” : TBnFF0 を “1” にセットします

“10” : TBnFF0 を “0” にクリアします

“11” : Don' t care

(注) 読み出すと常に “11” が読めます。

<TBnE1:0> : アップカウンタとタイマレジスタ 0, 1 (TBnRG0, 1) との一致時にタイマフリップフロップを反転します。

<TBnC1:0> : アップカウンタの値がキャプチャレジスタ 0, 1 (TBnCP0, 1) に取り込まれた時にタイマフリップフロップを反転します。

(注)TBnMOD、TBnFFCR レジスタは、タイマ動作中(TB0RUN=“H”)に設定の変更を行わないで下さい

TMRBn ステータスレジスタ (1)

TMRBn ステータスレジスタ (n=00~23)

TbNst (0xFFFF_Fxx4)	bit Symbol						INTTB0Fn	INTTBn1	INTTBn0	
	Read/Write	R					R			
	リセット後	0					0	0	0	
	機能	リードすると“0”が読めます					0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	

<INTTBn0> : タイマレジスタ 0 (TBnRG0) との一致割り込み

<INTTBn1> : タイマレジスタ 1 (TBnRG1) との一致割り込み

<INTTB0Fn> : アップカウンタのオーバーフロー割り込み

(注) いずれかの割り込みが発生すると、TbNst に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TbNst レジスタをリードすると、フラグはクリアされます。

TMRBOC ステータスレジスタ (2)

① TBOCRUN<TBAUDCE> = 0 のとき: 通常のタイマーモード

TBOCST (0xFFFF_F2C4)	bit Symbol						INTTBOFC	INTTBC1	INTTBC0	
	Read/Write	R					R			
	リセット後	0					0	0	0	
	機能	リードすると“0”が読めます					0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	

<INTTBC0> : タイマレジスタ 0 (TBOCRG0) との一致割り込み発生

<INTTBC1> : タイマレジスタ 1 (TBOCRG1) との一致割り込み発生

<INTTBOFC> : アップカウンタのオーバーフロー割り込み発生

② TBOCRUN<TBAUDCE> = 1 のとき: 2相パルス入力カウントモード

TBOCST (0xFFFF_F2C4)	bit Symbol				INTTBUDC	INTTBUDFC	INTTBOUFC		
	Read/Write	R		R			R		
	リセット後	0		0	0	0	0		
	機能	リードすると“0”が読めます		アップダウン カウント 0: 発生無し 1: 発生	アンダーフ ロー 0: 発生無し 1: 発生	オーパー フロー 0: 発生無し 1: 発生	リードすると“0”が 読めます		

<INTTBOUFC> : アップダウンカウンタのオーバーフロー割り込み発生

<INTTBUDFC> : アップダウンカウンタのアンダーフロー割り込み発生

<INTTBUDC> : アップまたはダウンカウント割り込み発生

(注) いずれかの割り込みが発生すると、TBOCST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBOCST レジスタをリードすると、フラグはクリアされます。

TBnIM マスクレジスタ

TBnIM マスクレジスタ (n=00~23, 0C と 12 を除く)

	7	6	5	4	3	2	1	0
TBnIM (0xFFFF_Fxx5)	/					TBIMOFn	TBIMn1	TBIMn0
Read/Write						R		
リセット後	0					0	0	0
機能	読み出すと常に“0”					1: INTB0Fn をマスク	1: INTBn1 をマスク	1: INTBn0 をマスク

<TBIMOFn> : オーバーフロー割り込みをマスクする

<TBIMn1> : タイマレジスタ 1 とカウンタ値との一致割り込みをマスクする

<TBIMn0> : タイマレジスタ 0 とカウンタ値との一致割り込みをマスクする

TBnRG0H/L、TBnRG1H/L タイマレジスタ

TBnRG0H/L タイマレジスタ (n=00~23)

	7	6	5	4	3	2	1	0
TBnRG0L (0xFFFF_Fxx8)	TBnRG0L7	TBnRG0L6	TBnRG0L5	TBnRG0L4	TBnRG0L3	TBnRG0L2	TBnRG0L1	TBnRG0L0
Read/Write	R/W							
リセット後	不定							
機能	タイマカウント値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
TBnRG0H (0xFFFF_Fxx9)	TBnRG0H7	TBnRG0H6	TBnRG0H5	TBnRG0H4	TBnRG0H3	TBnRG0H2	TBnRG0H1	TBnRG0H0
Read/Write	R/W							
リセット後	不定							
機能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行なって下さい。

TBnRG1H/L タイマレジスタ (n=00~23)

	7	6	5	4	3	2	1	0
TBnRG1L (0xFFFF_F1xA)	TBnRG1L7	TBnRG1L6	TBnRG1L5	TBnRG1L4	TBnRG1L3	TBnRG1L2	TBnRG1L1	TBnRG1L0
Read/Write	R/W							
リセット後	不定							
機能	タイマカウント値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
TBnRG1H (0xFFFF_F1xB)	TBnRG1H7	TBnRG1H6	TBnRG1H5	TBnRG1H4	TBnRG1H3	TBnRG1H2	TBnRG1H1	TBnRG1H0
Read/Write	R/W							
リセット後	不定							
機能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行なって下さい。

TBnCP0H/L、TBnCP1H/L キャプチャレジスタ

TBnCP0H/L キャプチャレジスタ (n=00~23)

	7	6	5	4	3	2	1	0
TBnCP0L (0xFFFF_F1xC)	TBnCP0L7	TBnCP0L6	TBnCP0L5	TBnCP0L4	TBnCP0L3	TBnCP0L2	TBnCP0L1	TBnCP0L0
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
TBnCP0H (0xFFFF_F1xD)	TBnCP0H7	TBnCP0H6	TBnCP0H5	TBnCP0H4	TBnCP0H3	TBnCP0H2	TBnCP0H1	TBnCP0H0
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出しを行なって下さい。
2 バイトデータ転送命令は行なわないで下さい。

TBnCP1H/L キャプチャレジスタ (n=00~23)

	7	6	5	4	3	2	1	0
TBnCP1L (0xFFFF_F1xE)	TBnCP1L7	TBnCP1L6	TBnCP1L5	TBnCP1L4	TBnCP1L3	TBnCP1L2	TBnCP1L1	TBnCP1L0
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
TBnCP1H (0xFFFF_F1xF)	TBnCP1H7	TBnCP1H6	TBnCP1H5	TBnCP1H4	TBnCP1H3	TBnCP1H2	TBnCP1H1	TBnCP1H0
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出しを行なって下さい。
2 バイトデータ転送命令は行なわないで下さい。

11.4 モード別動作説明

11.4.1 16ビットインタバルタイマモード

<< 一定周期の割り込みを発生させる場合 >>

タイマレジスタ TB0ORG1 にインタバル時間を設定し、INTTBO 割り込みを発生します。

	7	6	5	4	3	2	1	0		
TB0OCR	1	0	X	X	X	X	X	X	TMRB0 モジュールを起動します。	
TB0ORUN	←	0	0	0	0	0	X	0	TMRB0 を停止します。	
IMC5	←	X	1	1	0	X	1	0	INTTBO をイネーブル、レベル4に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込み設定も同時に 設定してください)	
		X	-	-	0	X	-	-		
		X	-	-	0	X	-	-		
		X	-	-	0	X	-	-		
TB0OFFCR	←	X	X	0	0	0	0	-	トリガをディセーブルします。	
TB0MOD	←	X	X	1	0	0	1	* * *	入力クロックをプリスケアラ出力クロックにし、 インタバル時間を設定します。	
TB0ORG1L	←	*	*	*	*	*	*	*	(16ビット)	
TB0ORG1H		*	*	*	*	*	*	*		
TB0ORUN	←	0	0	0	0	-	1	X	1	TMRB0 を起動します。

X: Don't care -; no change

11.4.2 16ビットイベントカウンタモード

<< 入力クロックを外部クロック (TBxINO 端子入力) にし、イベントカウンタにする場合 >>

アップカウンタは TBxINO 端子入力の立ち上がりエッジでカウントアップします。その時、ソフトウェアキャプチャでキャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0		
TBxxCR	←	1	0	X	X	X	X	X	TMRBxx モジュールを起動します。	
TBxxRUN	←	0	0	0	0	0	X	0	TMRBxx を停止します。	
PxCR	←	-	-	-	-	-	-	0	} Px0 を入力モードに設定します。	
PxFC1	←	-	-	-	-	-	-	1		
IMC5	←	X	1	1	0	X	1	0	INTTBxx をイネーブル、レベル4に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込み設定も同時に 設定してください)	
		X	-	-	0	X	-	-		
		X	-	-	0	X	-	-		
TBxxFFCR	←	X	X	0	0	0	0	-	トリガディセーブルにします。	
TBxxMOD	←	X	X	1	0	0	1	0	0	入力クロックを TBxINO 端子入力にします。
TBxxRUN	←	0	0	0	0	-	1	X	1	TMRBxx を起動します。
TBxxMOD	←	X	X	0	0	0	1	0	0	ソフトウェアキャプチャを行いません。
TBxxCPOL	←	*	*	*	*	*	*	*	*	下位8ビットのカウント値をリードします。
TBxxCPOH	←	*	*	*	*	*	*	*	*	上位8ビットのカウント値をリードします。

X: Don't care -; no change

イベントカウンタとして使用する場合も、プリスケアラは “RUN” にしてください (TBxxRUN<TBxxPRUN> = “1”)。

11.4.3 16ビット PPG（プログラマブル矩形波）出力モード

任意周波数、任意デューティの矩形波（プログラマブル矩形波）を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ（UC0）とタイマレジスタ（TBxxRG0H/L、TBxxRG1H/L）への設定値との一致によりタイマフリップフロップ（TBxxFF）の反転トリガをかけることで、プログラマブル矩形波を TBxxOUT 端子より出力することができます。ただし、TBxxRG0H/L と TBxxRG1H/L の設定値は次の条件を満たす必要があります。

(TBxxRG0H/L への設定値) < (TBxxRG1H/L への設定値)

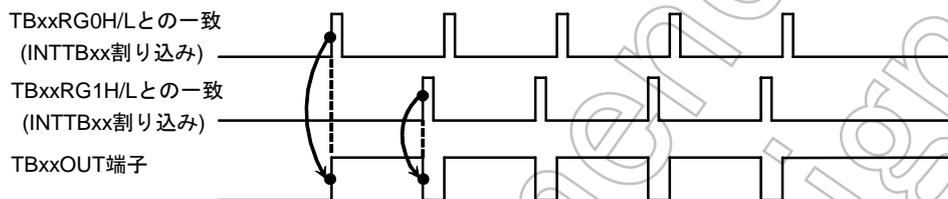


図 11.4.3.1 プログラマブル矩形波（PPG）出力波形例

このモードでは、TBORG0H/L のダブルバッファをイネーブルにすることにより、TBORG1H/L との一致で、レジスタバッファ 0 の値が TBORG0H/L へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

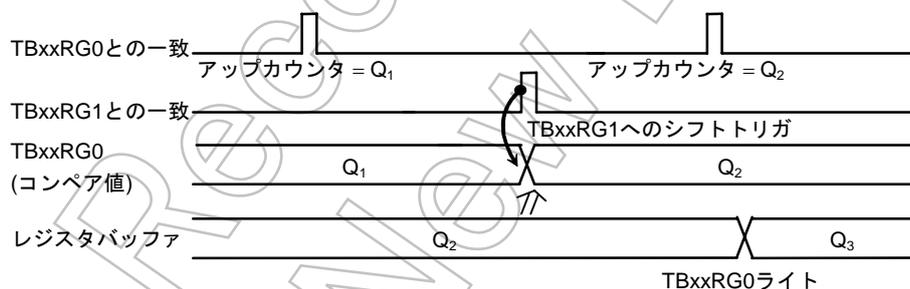


図 11.4.3.2 レジスタバッファの動作

16 ビット PPG (プログラマブル矩形波) 出力モードのブロック図を示します。

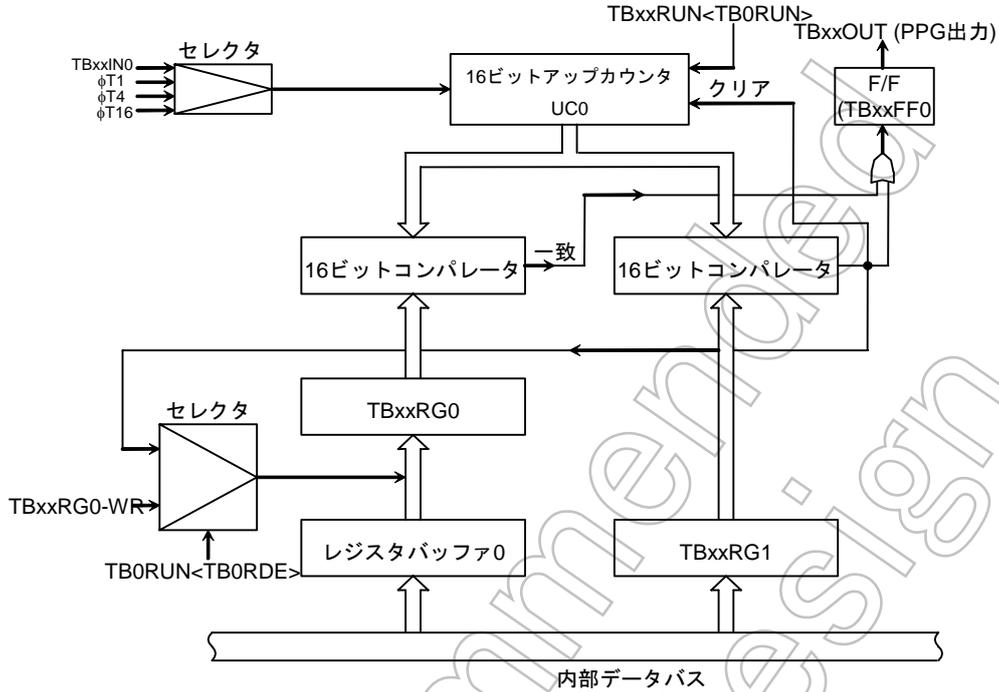


図 11.4.3.3 16 ビット PPG モードのブロック図

<< 16 ビット PPG 出力モード時の各レジスタの設定例 >>

	7	6	5	4	3	2	1	0	
TBxxCR	← 1	0	X	X	X	X	X	X	TMRBxx モジュールを起動します。
TBxxRUN	← 0	0	0	0	-	0	X	0	TBxxRG0 のダブルバッファディセーブルおよび TMRBxx を停止します。
TBxxRGOL	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TBxxRGOH	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TBxxRG1L	← *	*	*	*	*	*	*	*	
TBxxRG1H	← *	*	*	*	*	*	*	*	TBxxRG0 のダブルバッファディセーブル (INTTBxx 割り込みでデューティ/周期の変更) TBxxFF0 を TBxxRG0、TBxxRG1 との一致検出で反転するように設定します。また、TBxxFF0 の初期値を "0" にします。
TBxxRUN	← 1	0	0	0	-	0	X	0	
TBxxFFCR	← X	X	0	0	1	1	1	0	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
TBxxMOD	← X	X	1	0	0	1	*	*	
PxCR	← -	-	-	-	-	1	-	-	Px2 を TBxxOUT に割り付けます。
PxFC1	← -	-	-	-	-	1	-	-	
TBxxRUN	← 1	0	0	0	-	1	X	1	TMRBxx を起動します。

X: Don't care -; no change

11.4.4 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

① 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタUC0をプリスケール出力クロックにてフリーランニングでカウントアップさせておきます。TBxxIN0端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxxCPOH/L)に取り込みます。

外部トリガパルスの立ち上がり時、割り込みINTxが発生するようにINTCで設定します。この割り込みで、タイマレジスタ(TBxxRG0H/L)には、TBxxCPOH/Lの値(c)とディレイタイム(d)を加算した値(c+d)を設定します。タイマレジスタ(TBxxRG1H/L)には、TBxxRG0H/Lの値とワンショットパルスのパルス幅(p)を加算した値(c+d+p)を設定します。

さらに、タイマフリップフロップコントロールレジスタ(TBxxFFCR<TBxxE1T1, TBxxE0T1>)に“11”を設定し、UC0とTBxxRG0H/Lとの一致、および、TBORG1H/Lとの一致により、タイマフリップフロップ(TBxxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBxxの割り込み処理により、これをディセーブルに戻します。

なお、文中の(c)、(d)、(p)は、「図11.4.4.1」のc、d、pと対応しています。

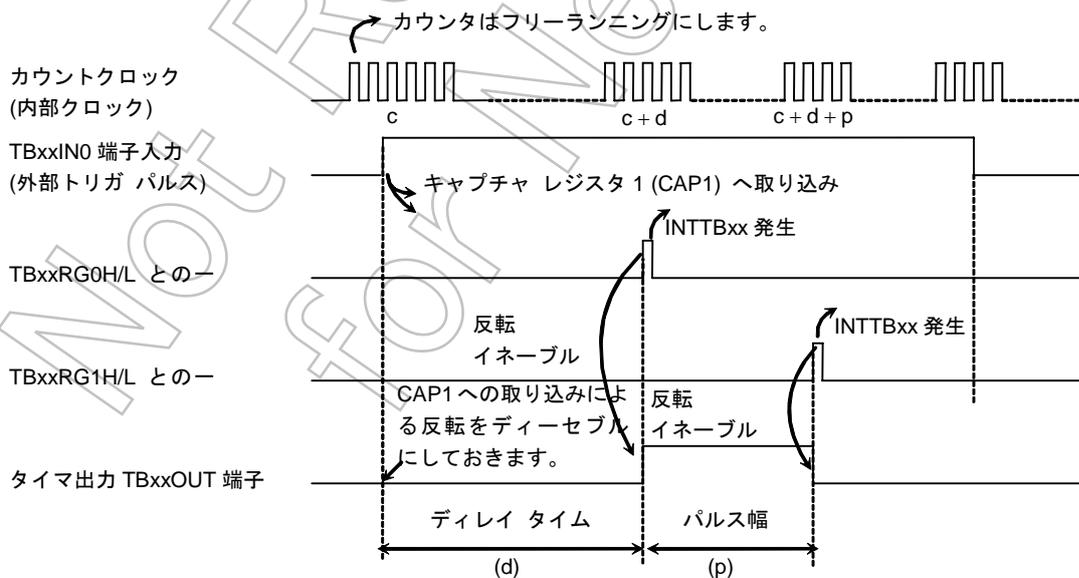


図 11.4.4.1 ワンショットパルス出力 (ディレイあり)

設定例：TBxx IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

※クロック条件

システムクロック : 高速 (fc)
 高速クロックギア : 1 倍 (fc)
 プリスケアラクロック : fperiph/4 (fperiph · fsys)

メインでの設定

	7	6	5	4	3	2	1	0		
TBxxCR	← 1	0	X	X	X	X	X	X	TMRBxx モジュールを起動します。 フリーランニングにし、φT1 でカウントさせます。 TBxx IN0 入力の立ち上がりで TBxxCP0 へ取り込みます。	
TBxxMOD	← X	X	1	0	1	0	0	1		
TBxxFFCR	← X	X	0	0	0	0	1	0	TBxxFF0 をゼロクリアします。 TBxxFF0 の反転をディセーブルにします。	
PxCR	← -	-	-	-	-	1	-	-	Px2 端子を TBxxOUT に割り付けます。	
PxFC1	← -	-	-	-	-	1	-	-		
IMC1	← X	-	-	0	X	-	-	-	INT5 をイネーブルにします。 32 ビットレジスタの為全ての処理を行ってください。	
		X	1	1	0	X	1	0		0
		X	-	-	0	X	-	-		-
IMC5	← X	1	1	0	X	0	0	0	INTTBxx をディセーブルにします。 32 ビットレジスタの為全ての処理を行ってください。	
		X	-	-	0	X	-	-		-
		X	-	-	0	X	-	-		-
TBxxRUN	← -	0	0	0	-	1	X	1	TMRBxx を起動します。	

INT0 での設定

TBxxRGOL	← *	*	*	*	*	*	*	*	TBxxCP0 + 3ms/φT1
TBxxRGOH	← *	*	*	*	*	*	*	*	
TBxxRG1L	← *	*	*	*	*	*	*	*	TBxxRG0 + 2ms/φT1
TBxxRG1H	← *	*	*	*	*	*	*	*	
TBxxFFCR	← X	X	-	-	1	1	-	-	TBxxRG0, 1 との一致による TBxxFF0 の反転をイネーブルにします。
IMC5	← X	1	1	0	X	1	0	0	INTTBxx をイネーブルにします。
		X	-	-	0	X	-	-	
		X	-	-	0	X	-	-	
		X	-	-	0	X	-	-	

INTTBxx での設定

TBxxFFCR	← X	X	-	-	0	0	-	-	TBxxRG0, 1 との一致による TBxxFF0 の反転をディセーブルにします。
IMC5	← X	1	1	0	X	0	0	0	INTTBxx をディセーブルにします。
		X	-	-	0	X	-	-	
		X	-	-	0	X	-	-	
		X	-	-	0	X	-	-	

X: Don't care —;no change

ディレイが必要な場合、TBxxCP0H/L への取り込みによって TBxxFF0 を反転させ、割り込み INT5 で TBxxCP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TBxxRG1L/H に設定します。TBxxFF0 は、TBxxRG1L/H と UC0 の一致によって反転するように、反転イネーブルを選択します。また、INTTBxx 割り込みでこれをディセーブルに戻します。

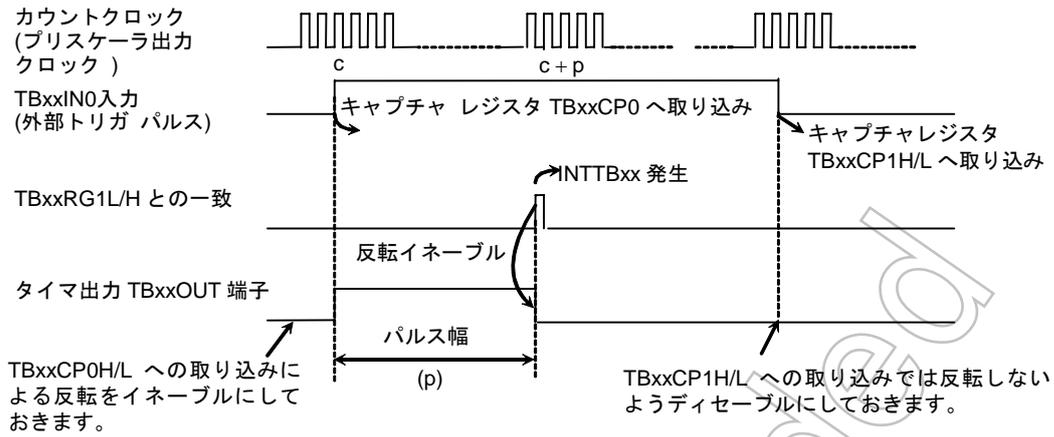


図 11.4.4.2 外部トリガパルスのワンショットパルス出力 (ディレイなし)

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと他の 16 ビットタイマ (ここでは TMRB01) を組み合わせて行います (TMRB01 は、TB01FFCR を反転させることで測定時間の設定に用います)。

TMRBxx のカウントクロックは TBxxIN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TBxxMOD<TBxxCPM1 : 0> には “11” を設定します。この設定により、16 ビットタイマ (TMRB1) のタイマフリップフロップ (TB1FFCR) の立ち上がりで、キャプチャレジスタ (TBxxCP0) に 16 ビットアップカウンタ UC0 のカウンタ値を取り込み、16 ビットタイマ (TMRB1) の TB1FF の立ち下がりで、キャプチャレジスタ (TBxxCP1H/L) に UC0 のカウンタ値の取り込みを行います。

周波数は、16 ビットタイマの割り込み INTTB1 で測定時間を基準にして TBxxCP0H/L、TBxxCP1H/L の差より求めます。

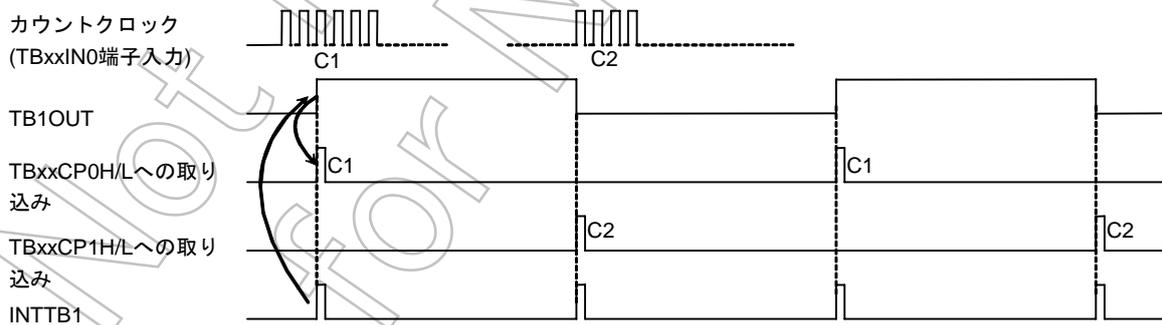


図 11.4.4.3 周波数測定

例えば、16 ビットタイマによる TB1FF の “1” レベル幅の設定値が 0.5 s で、TBxxCP0H/L と TBxxCP1H/L の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

③ パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TBxxIN0 端子より外部パルスを入力し、アップカウンタ (UC0) をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ (TBxxCP0H/L, TBxxCP1H/L) に取り込みます。TBxxIN0 端子の立ち下がりにより、INTCPTxx が発生するように INTC で設定します。

“H”レベルパルス幅は、TBxxCP0H/L と TBxxCP1H/L の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBxxCP0H/L と TBxxCP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.5 \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.5 \mu\text{s} = 50 \mu\text{s}$ となります。

なお、クロックソースにより定まる UC0 の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

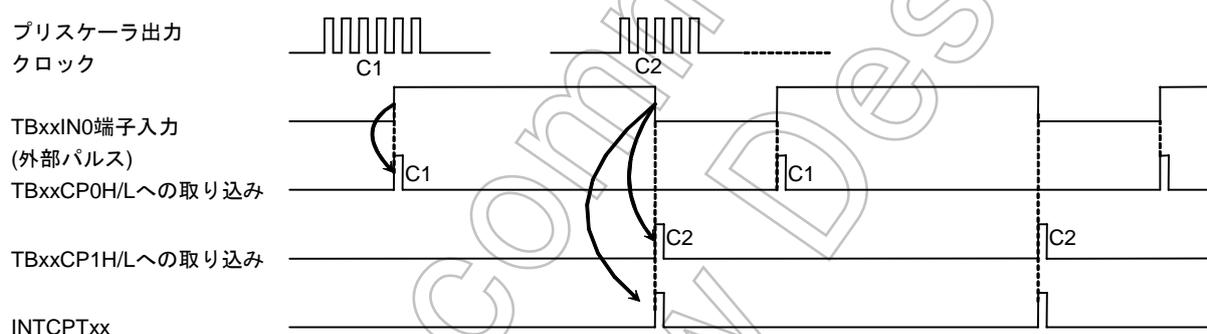


図 11.4.4.4 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。この場合、

「図 11.4.4.5 時間差測定」における、2 回目の INTCPT 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

(注) INTCPTxx 割り込みの発生は、TBxxCP1H/L への取り込み時となります。

④ 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ (UC0) をフリーランニングでカウントアップさせておきます。TBxxIN0 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ (TBxxCPOH/L) に取り込みます。

TBxxIN1 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ TBxxCP1H/L に取り込みます。このとき、割り込み INTCP1xx が発生するように INTCP0xx で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TBxxCP1H/L から TBxxCPOH/L を引いた値に、内部クロックの周期をかけて求めることができます。

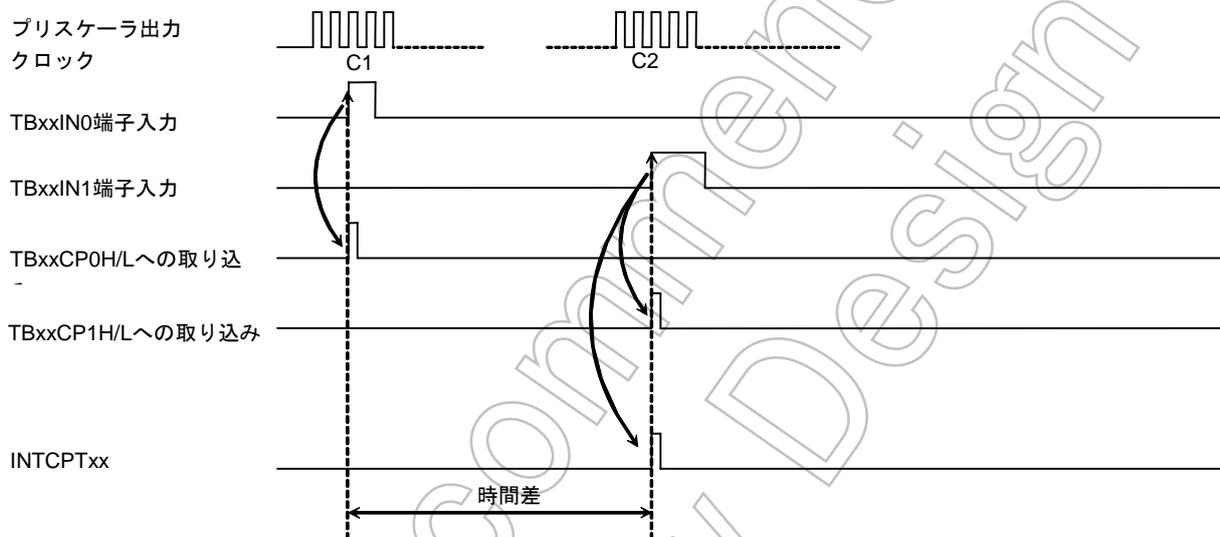


図 11.4.4.5 時間差測定

(注) INTCP1xx 割り込みの発生は、TBxxCP1H/L への取り込み時となります。

11.4.5 2相パルス入力カウントモード (TMRBOC)

TBOCIN0、TBOCIN1 より入力される位相差のある2相クロックの状態遷移によりカウンタ+1、あるいはカウンタ-1 を実行するモードです。アップダウンカウンタモード中にカウンタがオーバーフローあるいはアンダーフローしたとき、およびカウント動作を行うときに割り込みを出力します。

このカウントモードは全てのカウントでUP/DOWNを行なう4通倍モードです。
 なお TMRB12 の2相パルス入力カウンタモードも、TMRBOC と構成は同じですので、ここでは、TMRBOC で説明します。

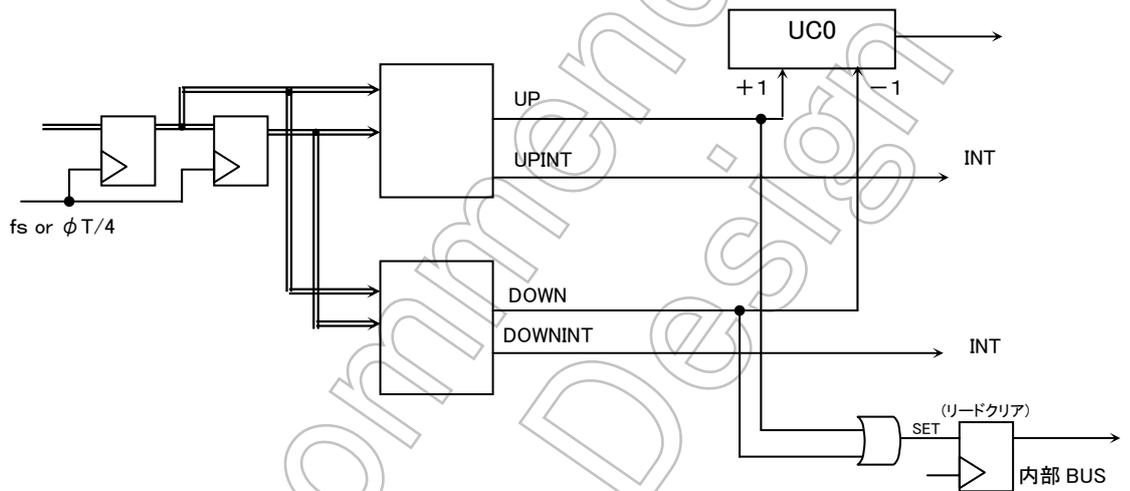
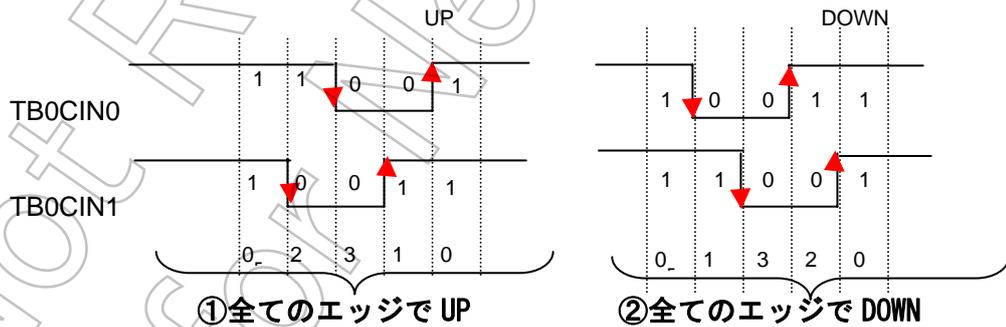


図 11.4.5.1 2相カウンタ カウント回路

11.4.6 4通倍モード



カウント条件	端子状態					
	UP		DOWN			
TBOCIN0, TBOCIN1	0	→	2	0	→	1
	2		3	1		3
	3		1	3		2
	1		0	2		0

TMROBC RUN レジスタ (TBOCRUN)

TBOCRUN
(0xFFFF_F2C0)

	7	6	5	4	3	2	1	0
bit Symbol	TBOCRDE		UDOCCK	TBOCUDCE	I2TBOC	TBOCPRUN		TBOCRUN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット後	0	0	0	0	0	0	0	0
機能	Double Buffer 0: Disable 1: Enable	“0” をライトしてください	サンプリングクロック選択 1: $\phi T0/4$	2 相カウンタイネーブル 0: ディゼーブル 1: イネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: Stop & Clear 1: Run (Count Up)		

図 11.4.6.1 2相パルス入力カウントモード設定レジスタ

サンプリングクロックは TBOCRUN レジスタの第5ビット目<UDOCCK>を“1”に設定します。

② 割り込み

- NORMAL モード時

割り込みコントローラ (INTC) にて INTTBOC 割り込みをイネーブルにします。アップまたはダウンカウントにより割り込み INTTBOC が発生します。割り込み処理の中で、ステータスレジスタ TBOCST をリードすることにより、同時にオーバーフロー、アンダーフローが発生しているかを知ることができます。TBOCST<INTTBOUFC> = “1” であればオーバーフローが発生、また<INTTBUDFOC> = “1” であればアンダーフローが発生している状態です。このレジスタはリードするとクリアされます。またオーバーフローが発生するとカウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウント動作が行なわれます。

TBOCST
(0xFFFF_F1E4)

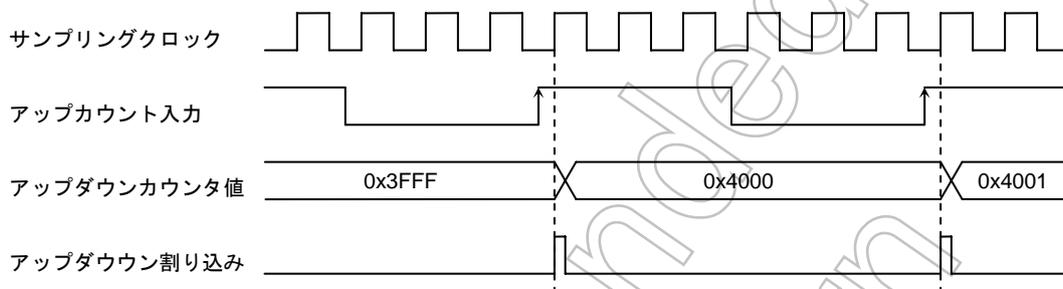
	7	6	5	4	3	2	1	0
bit Symbol				INTTBUDOC	INTTBUDFOC	INTTBOUFC		
Read/Write	R			R			R	
リセット後	0			0	0	0	0	
機能	リードすると“0”が読めます			アップダウンカウント 0: 発生無し 1: 発生	アンダーフロー 0: 発生無し 1: 発生	オーバーフロー 0: 発生無し 1: 発生	リードすると“0”が読めます	

図 11.4.6.2 TMRBOC ステータスレジスタ

(注) ステータスはレジスタを読み出す事でクリアされます。

③ アップダウンカウンタ

二相入力カウントモードに設定 (TBOCRUN<TBOCUDCE> = “1”) するとアップカウンタはアップダウンカウンタになり 0x7FFF に初期化されます。カウンタがオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。したがって、割り込み発生後にカウンタ値とステータスフラグ TBOCST をリードすることにより、状態を判別することができます。



(注1) アップ (ダウン) カウント入力は入力前状態、入力後状態は “H” レベルにしてください。

(注2) カウンタ値の読み出しは INTTBOC の割り込み処理の中で行なってください。

12. 32 ビット入力キャプチャ (TMRC)

19A61 は 32 ビットのタイムベースタイマ (TBT) を 2 チャンネル (TBT A と TBT B) とそれぞれのタイムベースタイマに 32 ビット入力キャプチャレジスタを 2 チャンネル (CAPx0~1)、32 ビットのコンペアレジスタを 2 チャンネル (CMPx0~1) を内蔵しています。

TBT A と TBT B は独立して動作しますが、同一の動作構成になっていますので、ここでは、TBT A の場合について説明します。

図 12.1 に TMRC のブロック図を示します。

12.1 TMRC のブロック図

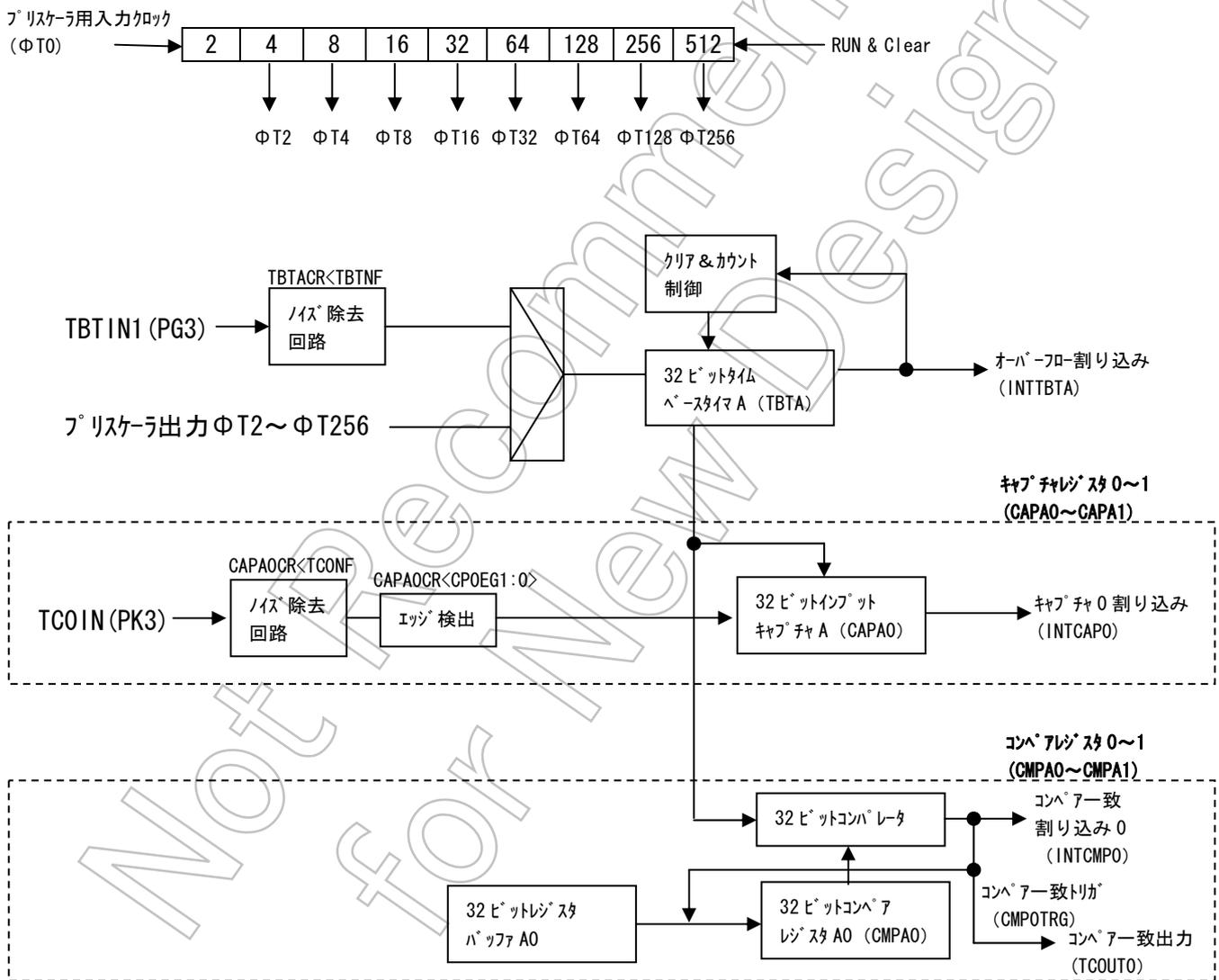


図 12.1 タイマ C のブロック図

12.2 回路別の動作説明

12.2.1 プリスケーラ

TMRC のクロックソースを得るためのプリスケーラがあります。プリスケーラの入カクロック $\phi T0$ は、CG 部の SYSCRO<PRCK1 : 0>にて選択した $f_{periph}/2$, $f_{periph}/4$, $f_{periph}/8$, $f_{periph}/16$ のいずれかのクロックです。TMRC のプリスケーラ入カクロックは、 $\phi T0$ を分周した $\phi T2 \sim \phi T256$ までを TBTACR<TBTCLK3:0>にて選択することが可能です。

f_{periph} は CG 部の SYSCR1<FPSEL>で選択されるクロック f_{gear} またはクロックギアで分周される前のクロック f_c のいずれかです。

プリスケーラは TBTARUN<TBTPRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 12.1 に示します。

Not Recommended for New Design

表 12.1 プリスケーラ出カクロック分解能
 (高速クロックギア選択 1/1、1/2、1/4、1/8 の場合)

@fc = 54MHz

ヘリフェラルクック 選択<FPSEL>	クックギア値 <GEAR2:0>	プリスケーラクック 選択<PRCK1:0>	プリスケーラ出カクロック分解能			
			ΦT2	ΦT4	ΦT8	ΦT16
0 (fgear)	000 (fc)	00 (fper iph/16)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		01 (fper iph/8)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
		10 (fper iph/4)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)
		11 (fper iph/2)	$f_c/2^3$ (0.15 μs)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)	$f_c/2^{10}$ (18.96 μs)
		01 (fper iph/8)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		10 (fper iph/4)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
		11 (fper iph/2)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)	$f_c/2^{10}$ (18.96 μs)	$f_c/2^{11}$ (37.93 μs)
		01 (fper iph/8)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)	$f_c/2^{10}$ (18.96 μs)
		10 (fper iph/4)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		11 (fper iph/2)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^9$ (9.48 μs)	$f_c/2^{10}$ (18.96 μs)	$f_c/2^{11}$ (37.93 μs)	$f_c/2^{12}$ (75.85 μs)
		01 (fper iph/8)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)	$f_c/2^{10}$ (18.96 μs)	$f_c/2^{11}$ (37.93 μs)
		10 (fper iph/4)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)	$f_c/2^{10}$ (18.96 μs)
		11 (fper iph/2)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
1 (fc)	000 (fc)	00 (fper iph/16)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		01 (fper iph/8)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
		10 (fper iph/4)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)
		11 (fper iph/2)	$f_c/2^3$ (0.15 μs)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		01 (fper iph/8)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
		10 (fper iph/4)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)
		11 (fper iph/2)	$f_c/2^3$ (0.15 μs)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		01 (fper iph/8)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
		10 (fper iph/4)	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)
		11 (fper iph/2)	—	$f_c/2^4$ (0.30 μs)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)	$f_c/2^9$ (9.48 μs)
		01 (fper iph/8)	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)	$f_c/2^8$ (4.74 μs)
		10 (fper iph/4)	—	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)	$f_c/2^7$ (2.37 μs)
		11 (fper iph/2)	—	—	$f_c/2^5$ (0.59 μs)	$f_c/2^6$ (1.19 μs)

@fc = 54MHz

ヘリフェラクロック 選択<FPSEL>	クロックギア値 <GEAR2:0>	プリスケラクロック 選択<PRCK1:0>	プリスケラ出カクロック分解能			
			ΦT32	ΦT64	ΦT128	ΦT256
0 (fgear)	000 (fc)	00 (fper iph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fper iph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fper iph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fper iph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	100 (fc/2)	00 (fper iph/16)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)
		01 (fper iph/8)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		10 (fper iph/4)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		11 (fper iph/2)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
	110 (fc/4)	00 (fper iph/16)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)	fc/2 ¹⁵ (606.8 μs)
		01 (fper iph/8)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)
		10 (fper iph/4)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		11 (fper iph/2)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
	111 (fc/8)	00 (fper iph/16)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)	fc/2 ¹⁵ (606.8 μs)	fc/2 ¹⁶ (1213.6 μs)
		01 (fper iph/8)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)	fc/2 ¹⁵ (606.8 μs)
		10 (fper iph/4)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)
		11 (fper iph/2)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
1 (fc)	000 (fc)	00 (fper iph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fper iph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fper iph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fper iph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	100 (fc/2)	00 (fper iph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fper iph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fper iph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fper iph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	110 (fc/4)	00 (fper iph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fper iph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fper iph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fper iph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	111 (fc/8)	00 (fper iph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fper iph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fper iph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fper iph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)

(注1) プリスケラ出カクロックΦTnは、かならずΦTn<fsys/2を満足するように(ΦTnがfsys/2よりも遅くなるように)選択してください。

(注2) タイマ動作中はクロックギアの切り換えは行なわないでください。

(注3) 表中の“-”は設定禁止です。

12.2.2 ノイズ除去回路

タイムベースタイマ (TBTA) の外部クロックソース入力 (TBTIN)、キャプチャトリガ入力 (TCnIN) に対してノイズ成分を除去します。ノイズ除去処理を行わない入力信号を出力することも可能です。

12.2.3 32ビットタイムベースタイマ (TBT)

TBTA コントロールレジスタ TBTACR で指定された入力クロックの立ち上がりによってカウントアップする 32 ビットのバイナリカウンタです。

入力クロックは、TBTIN1 端子からの外部クロックと、8 種類のプリスケアラ出力クロック $\Phi T2$, $\Phi T4$, $\Phi T8$, $\Phi T16$, $\Phi T32$, $\Phi T64$, $\Phi T128$, $\Phi T256$ から、TBTCCR<TBTCLK3:0> の設定値に応じて選択されます。

アップカウンタは、TBTARUN<TBTRUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。カウントスタートするとフリーラン動作し、カウンタオーバーフローになるとオーバーフロー割り込み INTTBT を発生しカウンタ値は 0 にクリアされ再びアップカウント動作します。INTTBTA は 32 ビットキャプチャレジスタの説明にある INTCAPn と同様にグルーピングされた CAPINT、CMPINT で制御されます。

また、本カウンタはリードキャプチャが可能です。リードキャプチャ時は、TBTA リードキャプチャレジスタ (TBTARDCAP) に対して 32bit 単位でリードアクセスをすることでカウンタ値を読み出すことが可能です。

ただし、本レジスタに対して、8bit 単位、16bit 単位でのリードアクセスをした場合にはカウンタ値はキャプチャされません。

Not Recommended for New Design

12.2.4 エッジ検出回路

外部からのキャプチャ入力 (TCnIN) の入力エッジをサンプリング検出します。キャプチャコントロールレジスタ CAPAnCR<CPnEG1:0>により、立ち上がり、立下り、両エッジ、キャプチャしない、の選択が可能です。図 12.2.4.1 にキャプチャ入力とエッジ検出回路の出力 (キャプチャ要因出力) の関係を示します。

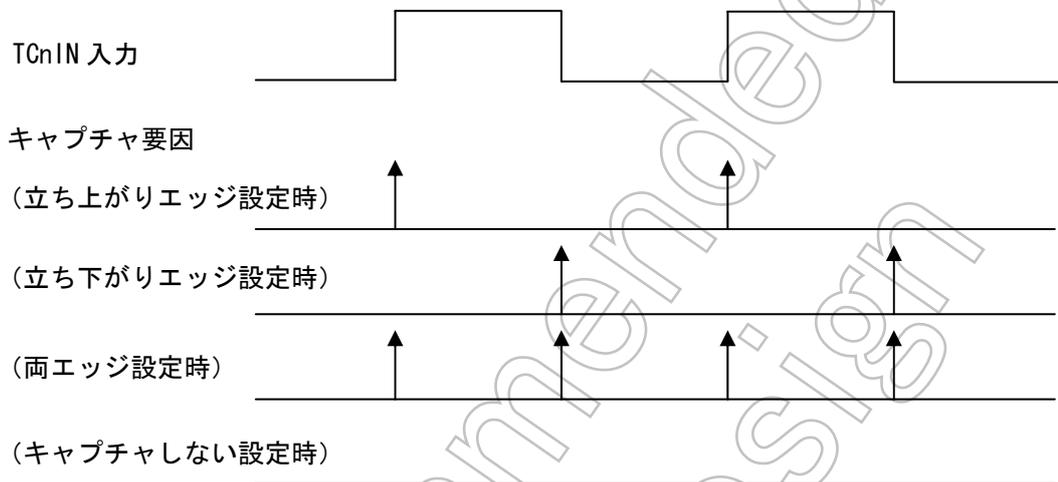


図 12.2.4.1 キャプチャ入力とキャプチャ要因出力 (エッジ検出回路出力)

12.2.5 32 ビットキャプチャレジスタ

キャプチャ要因をトリガにして TBTA のカウント値が取り込まれる 32 ビットのレジスタです。キャプチャ動作が行われるとキャプチャ割り込み INTCAPn が発生します。割り込み要求 INTCAP1 は 1 つにグルーピングされ割り込みコントローラに伝えられます。割り込み処理の中でステータスレジスタ TCGST をリードすることによりいずれの割り込み要求かの判別が可能です。また、割り込みマスクレジスタ TCGIM の該当ビットをセットすることにより必要以外の要求による割り込み発生をマスクすることが可能です。キャプチャレジスタを読み出している時は、トリガがあってもキャプチャはされません。

(n = A1、B0、B1)

※ TMP19A61 の中で、グルーピングされている、キャプチャ割り込みは、下記の 3 本です。

INTCAPA1、INTCAPB0、INTCAPB1

INTCAPA0 は、独立した割り込みとして、割り込み番号 36 へ割当てられています。

12.2.6 32 ビットコンペアレジスタ

コンペア値を設定する 32 ビットレジスタで、TMRC には CMPA0~CMPA1 の 2 本内蔵されています。このコンペアレジスタへの設定値と、タイムベースタイマ TBTA の値とが一致すると、コンパレータの一致検出信号がアクティブになります。コンペア制御レジスタ CMPCTL<CMPEN1:0>でコンペアイネーブル/ディセーブルを制御します。

TCCMPn へのデータ設定は、バイトデータ転送命令を 4 回用いて下位から上位ビットの順に行います。

このコンペアレジスタは、ダブルバッファ構成になっており、CMPAn はレジスタバッファ n とペアになっています。ダブルバッファのイネーブル/ディセーブルはコンペア制御レジスタ CMPACTL <CMPRDEN> によって制御します。<CMPRDEN>= “0” のときディセーブル、<CMPRDEN>= “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ n からコンペアレジスタ CMPAn へのデータ転送は、TBTA と CMPAn との一致時に行われます。

リセット時、CMPAn は不定のためあらかじめデータを書き込む必要があります。リセット動作により、CMPACTL <CMPRDEN>= “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、コンペアレジスタにデータを書き込み <CMPRDEN>= “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

CMPAn とレジスタバッファは、同じアドレスに割り付けられています。<CMPRDEN>= “0” のときは、CMPAn とそれぞれのレジスタバッファに、同じ値が書き込まれ、<CMPRDEN>= “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、コンペアレジスタに初期値を書き込むときには、ダブルバッファをディセーブルにしておく必要があります。

(n = 0, 1)

12.3 レジスタ説明

TMRC コントロールレジスタ

		7	6	5	4	3	2	1	0
TCACR (FFFFF500H)	bit Symbol	TCEN	I2TBT						
	Read/Write	R/W			R				
	リセット後	0	0	0	0	0	0	0	0
	機能	TMRC 動作 0: 禁止 1: 許可	IDLE 0: 停止 1: 動作						

<I2TBT> : IDLE モード時の動作を制御します。

<TCEN> : TMRC の動作を指定します。動作禁止の状態では TMRC モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRC を使用する場合は、TMRC モジュールの各レジスタを設定する前に TMRC 動作許可（“1”）にしてください。TMRC を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注) TCCR のビット 0~5 は、リードすると“0”が読み出されます。

TBTRUN レジスタ

		7	6	5	4	3	2	1	0	
TBTARUN (FFFFF501H)	bit Symbol						TBTCAP	TBTPRUN	TBTRUN	
	Read/Write	R					R/W			
	リセット後	0	0	0	0	0	0	0	0	
	機能					かならず "0"をライ トしてく ださい。	TBT カンタ リキャプ チャ 0: D'ont Care 1: カンタ リキャプ チャ	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

<TBTRUN> : TBT のカウント動作を制御します。

<TBTPRUN> : TBT のプリスケールの動作を制御します。

<TBTCAP> : “1” を設定すると、その時の TBT のカウンタ値をキャプチャレジスタ TBTCAPn に取り込みます。

(注) TBTRUN のビット 4~7 は、リードすると“0”が読み出されます。

図 12.3.1 TMRC 関係のレジスタ

TBT コントロールレジスタ

		7	6	5	4	3	2	1	0
TBTACR (FFFF502H)	bit Symbol	TBTNF				TBTCLK3	TBTCLK2	TBTCLK1	TBTCLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	TBTIN0 入力ノイズ 除去 0:なし 1:あり	かならず"0"をライトしてください。			TBT ソースクロック 0000: φT2 0001: φT4 0010: φT8 0011: φT16 0100: φT32 0101: φT64 0110: φT128 0111: φT256 1111: TBTIN 端子入力			

<TA0CLK3:0> : TBT の入力クロックです。"0000~0111"の時はプリスケラ出力からの選択に、"1111"の時は TBTIN 端子入力になります。

<TBTNF> : TBTIN 端子入力のノイズ除去を制御します。

"0 (除去なし)" の場合は、TBTIN 端子入力に対して "H" レベル、"L" レベルともに $2/f_{sys}$ 以上 (37ns@ $f_{periph}=f_c=54\text{MHz}$) で TBT のソースクロックとなります。

"1 (除去あり)" の場合は、TBTIN 端子入力に対して "H" レベル、"L" レベルともに $6/f_{sys}$ (111ns@ $f_{periph}=f_c=54\text{MHz}$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

TBTA キャプチャレジスタ (TBTACAP)

		7	6	5	4	3	2	1	0
TBATCAPLL (FFFF504H)	bit Symbol	CAP07	CAP06	CAP05	CAP04	CAP03	CAP02	CAP01	CAP00
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ (ビット 7~0)							

		7	6	5	4	3	2	1	0
TBTACAPLH (FFFF505H)	bit Symbol	CAP15	CAP14	CAP13	CAP12	CAP11	CAP10	CAP09	CAP08
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ (ビット 15~8)							

		7	6	5	4	3	2	1	0
TBTACAPHL (FFFF506H)	bit Symbol	CAP23	CAP22	CAP21	CAP20	CAP19	CAP18	CAP17	CAP16
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ (ビット 23~16)							

		7	6	5	4	3	2	1	0
TBTACAPHH (FFFF507H)	bit Symbol	CAP31	CAP30	CAP29	CAP28	CAP27	CAP26	CAP25	CAP24
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ (ビット 31~24)							

図 12.3.2 TMRG 関係のレジスタ

TBT リードキャプチャレジスタ (TBTARDCAP)

TBTARDCAPLL(0xFFFF_F508)

	7	6	5	4	3	2	1	0
bit Symbol	RDCAP07	RDCAP06	RDCAP05	RDCAP04	RDCAP03	RDCAP02	RDCAP01	RDCAP00
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャデータ (ビット 7~0)							

TBTARDCAPLH(0xFFFF_F509)

	7	6	5	4	3	2	1	0
bit Symbol	RDCAP17	RDCAP16	RDCAP15	RDCAP14	RDCAP13	RDCAP12	RDCAP11	RDCAP10
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャデータ (ビット 15~8)							

TBTARDCAPHL(0xFFFF_F50A)

	7	6	5	4	3	2	1	0
bit Symbol	RDCAP27	RDCAP26	RDCAP25	RDCAP24	RDCAP23	RDCAP22	RDCAP21	RDCAP20
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャデータ (ビット 23~16)							

TBTARDCAPHH(0xFFFF_F50B)

	7	6	5	4	3	2	1	0
bit Symbol	RDCAP37	RDCAP36	RDCAP35	RDCAP34	RDCAP33	RDCAP32	RDCAP31	RDCAP30
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャデータ (ビット 31~24)							

図 12.3.3 TMRC 関係のレジスタ

TMRC キャプチャ0 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAPA0CR (FFFFF520H)	bit Symbol	TCONF						CP0EG1	CP0EG0
	Read/Write	R/W							R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TC0IN 入力ノイズ 除去 0:なし 1:あり							TC0IN 入力の有効エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ

<CP0EG1:0> : キャプチャ0 (CAAP0) のトリガ入力端子 TC0IN の有効エッジを選択します。“00”を設定するとキャプチャ動作を行いません。

<TCONF> : TC0IN 端子入力のノイズ除去を制御します。

“0 (除去なし)” の場合は、TC0IN 端子入力に対して“H”レベル、“L”レベルともに $2/f_{sys}$ 以上 ($37ns@f_{periph}=f_c=54MHz$) で TCCAP0 のトリガ入力となります。

“1 (除去あり)” の場合は、TC0IN 端子入力に対して“H”レベル、“L”レベルともに $6/f_{sys}$ ($111ns@f_{periph}=f_c=54MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

(注) CAPA0CR のビット 2~6 は、リードすると“0”が読み出されます。

TMRC キャプチャ0 レジスタ (CAPA0)

		7	6	5	4	3	2	1	0
CAPA0LL (FFFFF524H)	bit Symbol	CAP007	CAP006	CAP005	CAP004	CAP003	CAP002	CAP001	CAP000
	Read/Write					R			
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0 データ (ビット 7~0)							

		7	6	5	4	3	2	1	0
CAPA0LH (FFFFF525H)	bit Symbol	CAP017	CAP016	CAP015	CAP014	CAP013	CAP012	CAP011	CAP010
	Read/Write						R		
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0 データ (ビット 15~8)							

		7	6	5	4	3	2	1	0
CAPA0HL (FFFFF5216H)	bit Symbol	CAP027	CAP026	CAP025	CAP024	CAP023	CAP022	CAP021	CAP020
	Read/Write						R		
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0 データ (ビット 23~16)							

		7	6	5	4	3	2	1	0
CAPA0HH (FFFFF527H)	bit Symbol	CAP037	CAP036	CAP035	CAP034	CAP033	CAP032	CAP031	CAP030
	Read/Write							R	
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0 データ (ビット 31~24)							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12.3.4 TMRC 関係のレジスタ

TMRC キャプチャ1 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAPA1CR (FFFFF528H)	bit Symbol	TC1NF						CP1EG1	CP1EG0
	Read/Write	R/W			R				R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TC1IN 入力ノイズ 除去 0:なし 1:あり							TC1IN 入力の有功エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ

<CP1EG1:0> : キャプチャ1 (TCCAP1) のトリガ入力端子 TC1IN の有功エッジを選択します。“00”を設定するとキャプチャ動作を行ないません。

<TC1NF> : TC1IN 端子入力のノイズ除去を制御します。

“0(除去なし)”の場合は、TC1IN 端子入力に対して“H”レベル、“L”レベルともに $2/f_{sys}$ 以上 ($37ns@f_{periph}=f_c=54MHz$) で TCCAP1 のトリガ入力となります。

“1(除去あり)”の場合は、TC1IN 端子入力に対して“H”レベル、“L”レベルともに $6/f_{sys}$ ($111ns@f_{periph}=f_c=54MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

(注) CAPA1CR のビット 2~6 は、リードすると“0”が読み出されます。

TMRC キャプチャ1 レジスタ (CAPA1)

		7	6	5	4	3	2	1	0
CAPA1LL (FFFFF52CH)	bit Symbol	CAP107	CAP106	CAP105	CAP104	CAP103	CAP102	CAP101	CAP100
	Read/Write				R				
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ1データ (ビット7~0)							

		7	6	5	4	3	2	1	0
CAPA1LH (FFFFF52DH)	bit Symbol	CAP117	CAP116	CAP115	CAP114	CAP113	CAP112	CAP111	CAP110
	Read/Write				R				
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ1データ (ビット15~8)							

		7	6	5	4	3	2	1	0
CAPA1HL (FFFFF52EH)	bit Symbol	CAP127	CAP126	CAP125	CAP124	CAP123	CAP122	CAP121	CAP120
	Read/Write				R				
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ1データ (ビット23~16)							

		7	6	5	4	3	2	1	0
CAPA1HH (FFFFF52FH)	bit Symbol	CAP137	CAP136	CAP135	CAP134	CAP133	CAP132	CAP131	CAP130
	Read/Write				R				
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ1データ (ビット31~24)							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12.3.5 TMRC 関係のレジスタ

TMRC キャプチャ割込み判定、割込みマスクレジスタ

CAPINT
(0xFFFF_E718)

	7	6	5	4	3	2	1	0
bit Symbol			INTCAP B1	INTCAP B0			INTCAP A1	INTCAP A0
Read/Write	R							
リセット後			0	0			0	0
機能			: 割り込 0: 無し 1: 有り	: 割り込み 0: 無し 1: 有り			: 割り込み 0: 無し 1: 有り	: 割り込み 0: 無し 1: 有り

	15	14	13	12	11	10	9	8
bit Symbol			IMINTCA PB1	IMINTCA PB0			IMINTCA PA1	IMINTCA PA0
Read/Write	R/W							
リセット後			0	0			0	0
機能			: Mask 有 0: 無し 1: 有り	: Mask 有 0: 無し 1: 有り			: Mask 有 0: 無し 1: 有り	: Mask 有 0: 無し 1: 有り

TMRC コンペア割込み判定、割込みマスクレジスタ

CMPINT
(0xFFFF_E71C)

	7	6	5	4	3	2	1	0
bit Symbol	INTCMP B1	INTCMP B0			INTCMP A1	INTCMP A0		
Read/Write	R	R			R	R		
リセット後	0	0			0	0		
機能	: 割り込み 0: 無し 1: 有り	: 割り込み 0: 無し 1: 有り			: 割り込み 0: 無し 1: 有り	: 割り込み 0: 無し 1: 有り		

	15	14	13	12	11	10	9	8
bit Symbol	IMINTCM PB1	IMINTCM PB0			IMINTCM PA1	IMINTCM PA0		
Read/Write	R/W	R/W			R/W	R/W		
リセット後	0	0			0	0		
機能	: Mask 有 0: 無し 1: 有り	: Mask 有無 0: 無し 1: 有り			: Mask 有 0: 無し 1: 有り	: Mask 有 0: 無し 1: 有り		

図 12.3.6 TMRC 関係のレジスタ

TMRC コンペア制御レジスタ (CMPACTLn)

		7	6	5	4	3	2	1	0
CMPA0CTL (FFFF510H)	bit Symbol		TCFFEN0	TCFFC01	TCFFC00			CMPRDE0	CMPEN0
	Read/Write	R	R/W				R	R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能		TCFF0 反転 0:禁止 1:許可	TCFF0 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッ ファ0 0:禁止 1:許可	コンペア0 イネーブル 0:禁止 1:許可

		7	6	5	4	3	2	1	0
CMPA1CTL (FFFF518H)	bit Symbol		TCFFEN1	TCFFC11	TCFFC10			CMPRDE1	CMPEN1
	Read/Write	R	R/W				R	R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能		TCFF1 反転 0:禁止 1:許可	TCFF1 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッ ファ1 0:禁止 1:許可	コンペア1 イネーブル 0:禁止 1:許可

- <CMPENn> : コンペア一致検出のイネーブル/ディゼーブルを制御します。
- <CMPRDEn> : コンペアレジスタのダブルバッファイネーブル/ディゼーブルを制御します。
- <TCFFCn1:0> : コンペア一致出力 F/F の制御をします。
- <TCFFENn> : コンペア一致出力 F/F の反転イネーブル/ディゼーブルを制御します。

(注) CMPACTLn のビット 7, 3~2 は、リードすると"0"が読み出されます。

図 12.3.7 TMRC 関係のレジスタ

TMRC コンペアレジスタ 0 (CMPA0)

	7	6	5	4	3	2	1	0	
CMPA0LL (FFFFF514H)	bit Symbol	CMP007	CMP006	CMP005	CMP004	CMP003	CMP002	CMP001	CMP000
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 0 データ (ビット 7~0)							

	7	6	5	4	3	2	1	0	
CMPA0LH (FFFFF515H)	bit Symbol	CMP017	CMP016	CMP015	CMP014	CMP013	CMP012	CMP011	CMP010
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 0 データ (ビット 15~8)							

	7	6	5	4	3	2	1	0	
CMPA0HL (FFFFF516H)	bit Symbol	CMP027	CMP026	CMP025	CMP024	CMP023	CMP022	CMP021	CMP020
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 0 データ (ビット 23~16)							

	7	6	5	4	3	2	1	0	
CMPA0HH (FFFFF517H)	bit Symbol	CMP037	CMP036	CMP035	CMP034	CMP033	CMP032	CMP031	CMP030
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 0 データ (ビット 31~24)							

TMRC コンペアレジスタ 1 (CMPA1)

	7	6	5	4	3	2	1	0	
CMPA1LL (FFFFF51CH)	bit Symbol	CMP107	CMP106	CMP105	CMP104	CMP103	CMP102	CMP101	CMP100
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 1 データ (ビット 7~0)							

	7	6	5	4	3	2	1	0	
CMPA1LH (FFFFF51DH)	bit Symbol	CMP117	CMP116	CMP115	CMP114	CMP113	CMP112	CMP111	CMP110
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 1 データ (ビット 15~8)							

	7	6	5	4	3	2	1	0	
CMPA1HL (FFFFF51EH)	bit Symbol	CMP127	CMP126	CMP125	CMP124	CMP123	CMP122	CMP121	CMP120
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 1 データ (ビット 23~16)							

	7	6	5	4	3	2	1	0	
CMPA1HH (FFFFF51FH)	bit Symbol	CMP137	CMP136	CMP135	CMP134	CMP133	CMP132	CMP131	CMP130
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	コンペアレジスタ 1 データ (ビット 31~24)							

図 12.3.8 TMRC 関係のレジスタ

13 シリアル チャネル (SIO)

13.1 特長

シリアル入出力を9チャンネル内蔵 (S100~S108) しています。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インターフェースモード (同期通信) を選択できます。

I/O インターフェースモード	——	モード0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
非同期通信 (UART) モード	—	モード1: 送受信データ長 7 ビット
		モード2: 送受信データ長 8 ビット
		モード3: 送受信データ長 9 ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアル リンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。図 13.2.1 に、S100 のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

S100~S108 は同一の動作をしますので、S100 の場合についてのみ説明します。

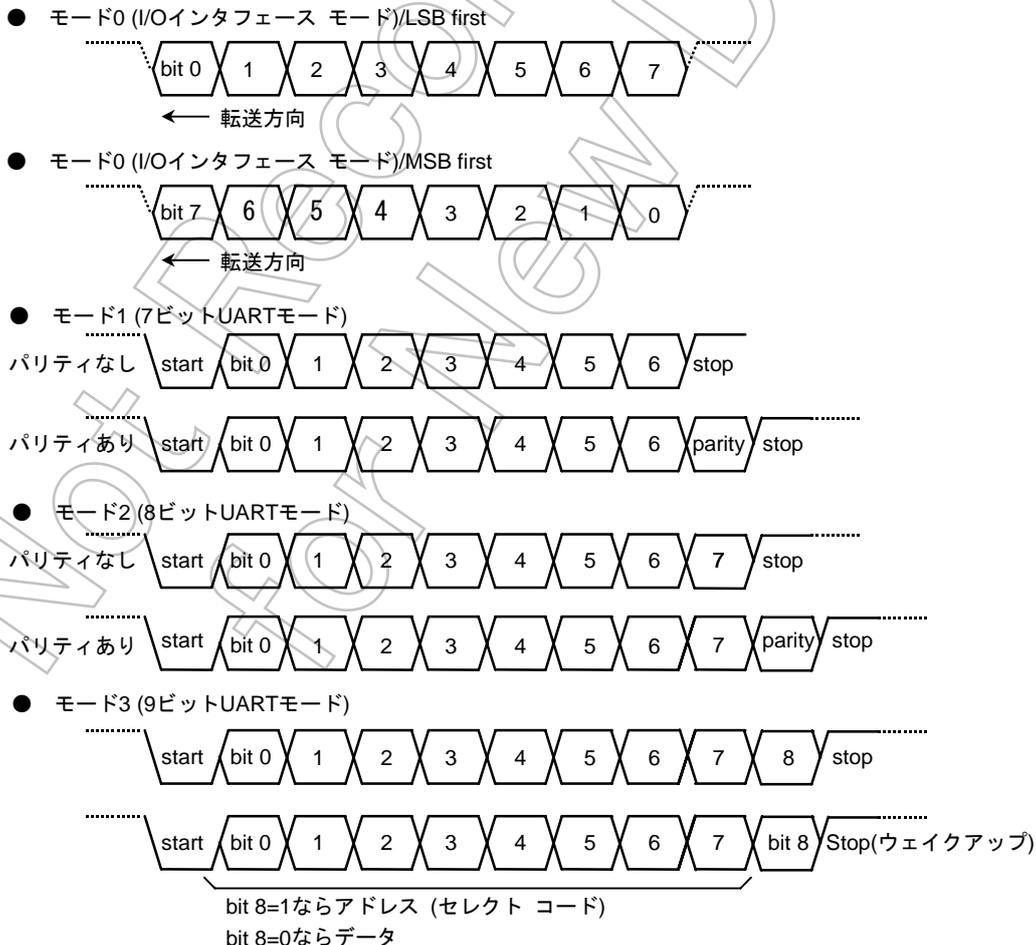


図 13.1 データフォーマット

13.2 ブロック図 (チャンネル0)

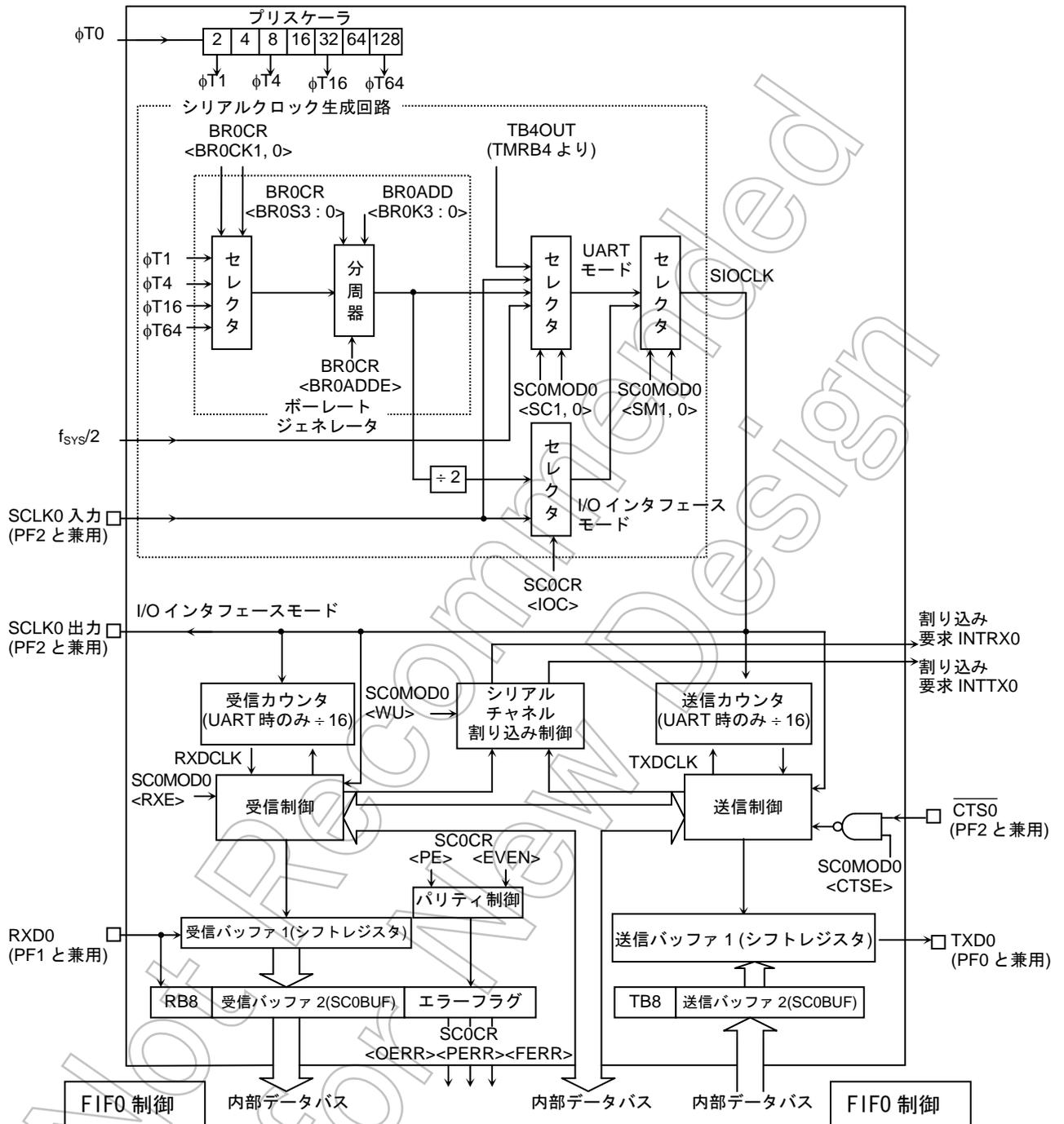


図 13.2.1 SI00 ブロック図

13.3 回路別の動作説明（チャネル0）

13.3.1 プリスケーラ

S100 の動作クロックを生成するために、7 ビットプリスケーラがあります。プリスケーラの入カクロック $\phi T0$ は、CG 部の SYSCR <PRCK1 : 0> にて選択した fperiph/2、fperiph/4、fperiph/8、fperiph/16 のいずれかのクロックです。fperiph は CG 部の SYSCR1 <FPSEL> で選択されるクロック fgear またはクロックギアで分周される前のクロック fc のいずれかです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を表 13.3.1 に示します。

表 13.3.1 ボーレートジェネレータへの入力クロック分解能 @fc = 54MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケーラ クロック選択 <PRCK1 : 0>	プリスケーラ出力クロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	$fc/2^2$ (0.07 μ s)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	100 (fc/2)	00 (fperiph/16)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		01 (fperiph/8)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		10 (fperiph/4)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		11 (fperiph/2)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
	110 (fc/4)	00 (fperiph/16)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)	$fc/2^{13}$ (152 μ s)
		01 (fperiph/8)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		10 (fperiph/4)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		11 (fperiph/2)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
	111 (fc/8)	00 (fperiph/16)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)	$fc/2^{14}$ (303 μ s)
		01 (fperiph/8)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)	$fc/2^{13}$ (152 μ s)
		10 (fperiph/4)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		11 (fperiph/2)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
1 (fc)	000 (fc)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	$fc/2^2$ (0.07 μ s)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	100 (fc/2)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	—	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	110 (fc/4)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	—	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	—	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	111 (fc/8)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	—	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	—	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	—	—	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)

(注1) プリスケーラ出力クロック ϕTn は、かならず $\phi Tn < fsys/2$ を満足するように (ϕTn が $fsys/2$ よりも遅くなるように) 選択してください。

(注2) SIO 動作中はクロックギアの切り替えは行わないでください。

(注3) 表中“—”は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケアラ出力クロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

Not Recommended
for New Design

13.3.2 ポーレート

ポーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ポーレートジェネレータへの入力クロックは7ビットプリスケラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ を用います。この入力クロックの選択はポーレートジェネレータコントロールレジスタ BROCR <BROCK1:0>で設定します。

ポーレートジェネレータは、 $1, N + \frac{m}{16}$ ($N=2\sim 15, m=0\sim 15$)、16分周が可能な分周器を内蔵しており、ポーレートジェネレータコントロールレジスタ BROCR<BROADDE><BROS3:0>、BROADD<BROK3:0>の設定に従い分周を行い転送速度を決定します。

- UARTモードの場合

- 1) BROCR<BROADDE>=0 の場合

BROADD<BROK3:0>の設定は無視され、BROCR<BROS3:0>に設定された値“N”に従いN分周を行います。(N=1、2、3…16)

- 2) BROCR<BROADDE>=1 の場合

$N + (16-K)/16$ 分周機能がイネーブルになり BROCR<BROS3:0>に設定された値“N” (N=2、3…15)、BROADD<BROK3:0>に設定された値“K”に従い $N + (16-K)/16$ 分周を行います。(K=1、2、3…15)

(注) N=1 および 16 のときは $N + (16-K)/16$ 分周機能は禁止となりますのでかならず BROCR<BROADDE>=“0”に設定してください。

- I/Oインターフェースモードの場合

I/O インターフェースモード時は $N + (16-K)/16$ 分周機能は使用できません。かならず BROCR<BROADDE>= “0” に設定してN分周を行ってください。

- ポーレートジェネレータを使用した場合のポーレートの算出方法

- 1) UARTモード

$$\text{ポーレート} = \frac{\text{ポーレートジェネレータの入力クロック}}{\text{ポーレートジェネレータの分周値}} \div 16$$

ポーレートジェネレータで生成される最高のポーレートは、 $\phi T1$ が 13.5MHz のときの 843.75kbps です。

また、シリアルクロックとしてシステムクロックを2分周した $f_{\text{sys}}/2$ を使用することもできます。この場合の最高ポーレートは 1.68Mbps@ $f_{\text{sys}}=54\text{MHz}$ です。

2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 13.5MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="1" の設定が可能なので、6.75Mbps になります (ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="2" のときの、3.375Mbps が最高になります)。

- ボーレートの設定例

1) 整数分周 (N 分周) の場合

fperiph に fc=54MHz を選択し、 $\phi T0$ を fperiph/16 に設定したとき、ボーレートジェネレータへの入力クロックを $\phi T1$ 、分周値 "N" (BROCR<BROS3:0>)=4、BROCR<BROADDE>="0" の場合の UART モードのボーレートは、

※ クロック条件

システムクロック	: 高速 (fc)
高速クロックギア	: 1倍 (fc)
プリスケアラクロック	: fperiph/16 (fperiph = fsys)

$$\begin{aligned} \text{ボーレート} &= \frac{fc/32}{4} \div 16 \\ &= 54 \times 10^6 \div 32 \div 4 \div 16 = 26367 \text{ (bps) となります。} \end{aligned}$$

(注) $N+(16-K)/16$ 分周機能は禁止に設定されるため **BR0ADD<BR0K3:0>** の設定は無視されます。

2) $N + (16-K)/16$ 分周 (UART モードのみ) の場合

fperiph に fc=54MHz を選択し、 $\phi T0$ を fperiph/16 に設定したとき、ボーレートジェネレータへの入力クロックを $\phi T1$ 、分周値 "N" (BROCR<BROS3:0>)=4、K" (BR0ADD<BR0K3:0>)=14、BROCR<BROADDE>=1 の場合のボーレートは、

※ クロック条件

システムクロック	: 高速 (fc)
高速クロックギア	: 1倍 (fc)
プリスケアラクロック	: fperiph/16 (fperiph = fsys)

$$\begin{aligned} \text{ボーレート} &= \frac{fc/32}{4 + \frac{(16-14)}{16}} \div 16 \\ &= 54 \times 10^6 \div 32 \div \left(4 + \frac{2}{16} \right) \div 16 = 25568 \text{ (bps) となります。} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレーートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレーートの算出方法

- 1) UART モード

ボーレート = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) $\geq 4/f_{\text{sys}}$ を満足する必要があります。

$f_{\text{sys}} = 54\text{MHz}$ のときの最高ボーレートは、 $54 \div 4 \div 16 = 844$ (kbps) になります。

- 2) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) $> 12/f_{\text{sys}}$ を満足する必要があります。

従って、 $f_{\text{sys}} = 54\text{MHz}$ のときの最高ボーレートは、 $54 \div 12 = 4.5$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) $> 16/f_{\text{sys}}$ を満足する必要があります。

従って、 $f_{\text{sys}} = 54\text{MHz}$ のときの最高ボーレートは、 $54 \div 16 = 3.375$ (Mbps) 未満にする必要があります。

表 13.3.2.1 および 13.3.2.2 に UART モードのボーレーートの例を示します。

表 13.3.2.1 UART ボーレートの選択

(ボーレートジェネレータ使用、BROCR <BROADDE> = 0 の場合)

単位 (kbps)

fc [MHz]	分周値 N (BROCR<BROS3:0>に設定)	入力クロック			
		$\phi T1$ (fc/4)	$\phi T4$ (fc/16)	$\phi T16$ (fc/64)	$\phi T64$ (fc/256)
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	0	19.200	4.800	1.200	0.300
24.576	5	76.800	19.200	4.800	1.200
↑	A	38.400	9.600	2.400	0.600
29.4912	1	460.800	115.200	28.800	7.200
↑	2	230.400	57.600	14.400	3.600
↑	3	153.600	38.400	9.600	2.400
↑	4	115.200	28.800	7.200	1.800
↑	6	76.800	19.200	4.800	1.200
↑	C	38.400	9.600	2.400	0.600

(注) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケータ用クロックとして fperiph/2 を選択した場合の値です。

表 13.3.2.2 UART ボーレートの選択

(タイマ TMRB7 の出力 (内部 TB7OUT) 使用、タイマ TMRB7 の入力クロックが $\phi T0$ の場合)

単位 (kbps)

TB7RG0H/L	fc	29.4912 MHz	24.576 MHz	24 MHz	19.6608 MHz	16 MHz	12.288 MHz
0001H		230.4	192	187.5	153.6	125	96
0002H		115.2	96	93.75	76.8	62.5	48
0003H		76.8	64	62.5	51.2	41.67	32
0004H		57.6	48	46.88	38.4	31.25	24
0005H		46.08	38.4	37.5	30.72	25	19.2
0006H		38.4	32	31.25	25.6	20.83	16
0008H		28.8	24	23.44	19.2	15.63	12
000AH		23.04	19.2	18.75	15.36	12.5	9.6
0010H		14.4	12	11.72	9.6	7.81	6
0014H		11.52	9.6	9.38	7.68	6.25	4.8

ボーレートの算出方法 (タイマ TMRB7 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCRO<PRCK1:0>で選択されたクロック周波数}}{\text{TB7REG} \times 2 \times 16}$$

↑ (タイマ TMRB7 の入力クロックが $\phi T1$ の場合)

(注1) I/O インタフェースモードでは、タイマ TMRB7 からの出力信号(内部)を転送クロックとして使用できません。

(注2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケータ用クロックとして fperiph/4 を選択した場合の値です。

13.3.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/Oインターフェースモードの場合
シリアルコントロールレジスタ SCOCR<IOC>=“0”の SCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。
SCOCR<IOC>=“1”の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って立ち上がり/立ち下がリエッジを検出し、基本クロックをつくります。
- 非同期通信 (UART) モードの場合
シリアルモードコントロールレジスタ SCOMOD0<SC1:0> の設定により、前記ポーレートジェネレータからのクロックか、システムクロック ($f_{SYS}/2$) か、タイマ (TMRB4) の内部出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK を生成します。

13.3.4 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ1ビットの受信に SIOCLK が16クロック用いられ7、8、9クロック目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

13.3.5 受信制御部

- I/Oインターフェースモードの場合
SCOCR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。
SCOCR<IOC>=“1”の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がリエッジでシリアル受信データ RXD0 端子をサンプリングします。
- 非同期通信 (UART) モードの場合
受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

13.3.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (SCOBUF) へ移されます。また、同時に受信バッファの full Flag (SCOMOD2<RBFL>) が“1”にセットされ、受信バッファ2に有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合は受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 (SCOFENF<CNFG>=0 で且つ SCOMOD1<FDPX1:0>=01) は同時に割り込み INTRX0 が発生します。受信 FIFO が有効にされている場合 (SCOFENF<CNFG>=1 で且つ SCOMOD1<FDPX1:0>=01/11) は SCORFG<RIL2:0>の設定に従い割り込みが発生します。

CPUは受信バッファ2 (SC0BUF)または受信FIFO(アドレスは受信バッファに同じ)を読み出します。受信FIFOが有効にされていない場合は、この読み出しにより受信バッファのfull Flag(SCOMOD2<RBFL)>は“0”にクリアされます。CPUが受信バッファ2 (SC0BUF)または受信FIFOを読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、I/Oインターフェースモードで“SCLK出力”に設定されている場合は、ダブルバッファ制御ビットSCOMOD2<WBUF>の設定により、受信バッファ2 (SC0BUF)を許可または不許可にできます。

受信バッファ2 (ダブルバッファ)を不許可にして、更に受信FIFOを有効にしない事(SCOFCNF<CNFG>=0で且つ<FDPX1:0>=01))により、通信相手とハンドシェイクを取ることが可能となり、1フレーム転送後にSCLK出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、SCLK出力を再開します。

受信バッファ2 (ダブルバッファ)を許可にした場合で、受信FIFOが有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、SCLK出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込みINTRXが発生すると同時にSCLK出力を再開します。従って、I/OインターフェースモードのSCLK出力ではダブルバッファ制御ビットSCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ)を許可にした場合で受信FIFOが有効にされている場合(SCNFCNF<CNFG>=1で且つ<FDPX1:0>=01/11)は受信FIFOがFULL(SCOFCNF<RFST>)の設定に従う)になり、受信バッファ2及び1に有効データが存在した状態になるとSCLK出力を停止します。またこの状態でSCOFCNF<RXTXCNT>=1にしているとSCLK出力停止と同時に受信制御ビット:RXEが自動的にクリアされます。“0”の場合は、自動クリアは行なわれません。

(注) このモードでは、SC0CRの<OEER>Flagは意味を持ちません。動作定義は不定となります。従ってSCLK出力モードから、他のモードへ切り替える時は事前にSC0CRをリードしてこのFlagを初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信FIFOが有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (SC0BUF)を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2およびSC0CR<RB8>の内容は保存されていますが、受信バッファ1の内容は失われます。受信FIFOが有効にされている場合は受信FIFOがFULLになり、受信バッファ2に次のデータが移される前に受信FIFOを読み出さないと、受信FIFOのオーバーランが発生して受信FIFOのオーバーランエラーフラグがセットされます。この場合でも受信FIFOのデータは保存されます。

8ビットUARTのパリティ付加の場合のパリティビット、9ビットUARTモードの場合の最上位ビットはSC0CR<RB8>に格納されます。

9ビットUARTの場合、ウェイクアップ機能SCOMODO<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>=“1”のときのみ、割り込みINTRX0が発生します。

13.3.7 受信 FIFO バッファ

前記ダブルバッファに加えて、受信 FIFO バッファを用いて、データの格納を行う事ができます。SCOFCNF レジスタの<CNFG>及び SCOMOD1 の<FDPX1:0>の設定で4バイトの受信バッファを有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO バッファを使用する場合はダブルバッファをイネーブルに設定してください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

13.3.8 受信 FIFO の動作

① I/O インターフェースモードで SCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

SCORFC<7:6>=01 : 受信 FIFO のクリアと割り込み発生条件の設定

SCORFC<1:0>=00 : 割り込み発生を fill レベル 4 に設定

SCOFCNF<1:0>=10111 : fill レベル到達後の継続受信自動禁止

受信 FIFO の使用バイト数は割り込み発生 fill レベルと同じ。

この状態で転送モードを半二重受信に設定して RXE ビットに 1 を書き込むと 4 バイトのデータ受信を開始します。4 バイト受信後に RXE を自動クリアして受信を終了 (SCLK を停止) します。

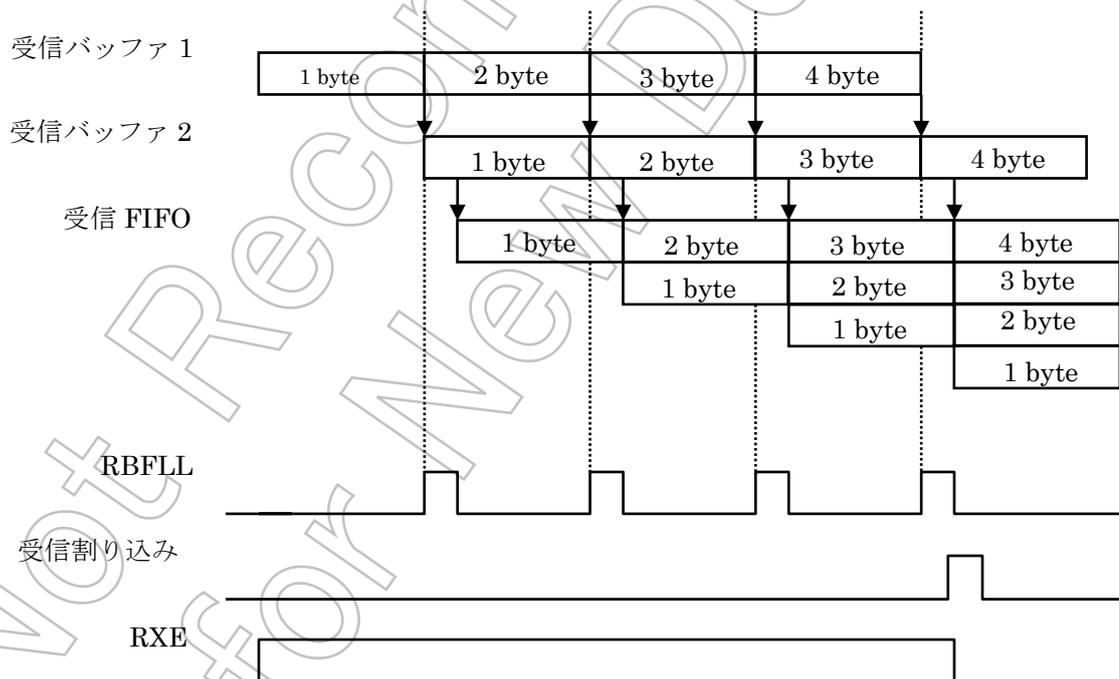


図 13.3.8.1 受信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合

10 バイトのデータを受信する場合を例に説明します。

SCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

SCORFC<1:0>= 00 : 割り込み発生を fill レベル 4 に設定

SCOF CNF<1:0>=10101 : fill レベル到達後の継続受信自動許可

受信 FIFO の使用バイト数は最大構成

この状態で転送モードを半二重受信に設定して RXE ビットに 1 を書き込むと入力クロックに応じて 4 バイトのデータ受信を開始します。4 バイト受信後に受信 FIFO 割り込みを発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトのデータの受信も可能です。

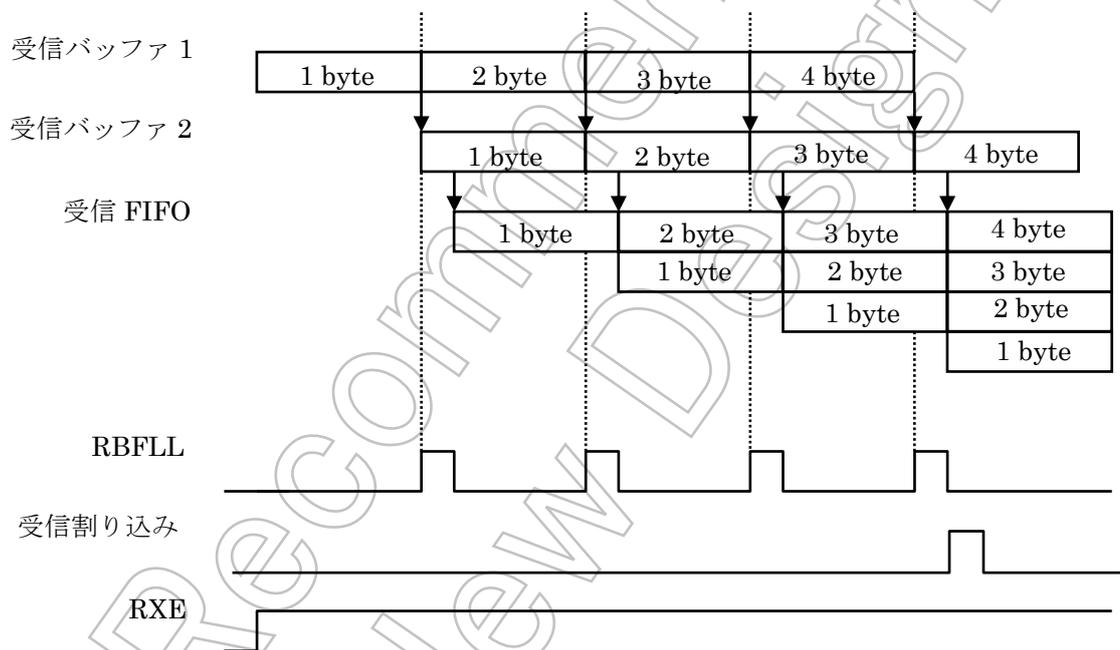


図-13.3.8.2 受信 FIFO の動作

13.3.9 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

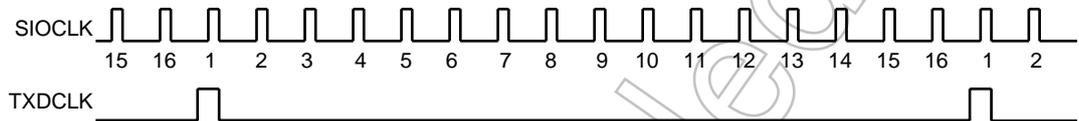


図 13.3.9.1 送信クロックの生成

13.3.10 送信制御部

- I/Oインターフェースモードの場合
SCOCR<IOC>= “0” の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。
SCOCR<IOC>= “1” の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。
- 非同期通信 (UART) モードの場合
送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) を生成します。

• ハンドシェイク機能

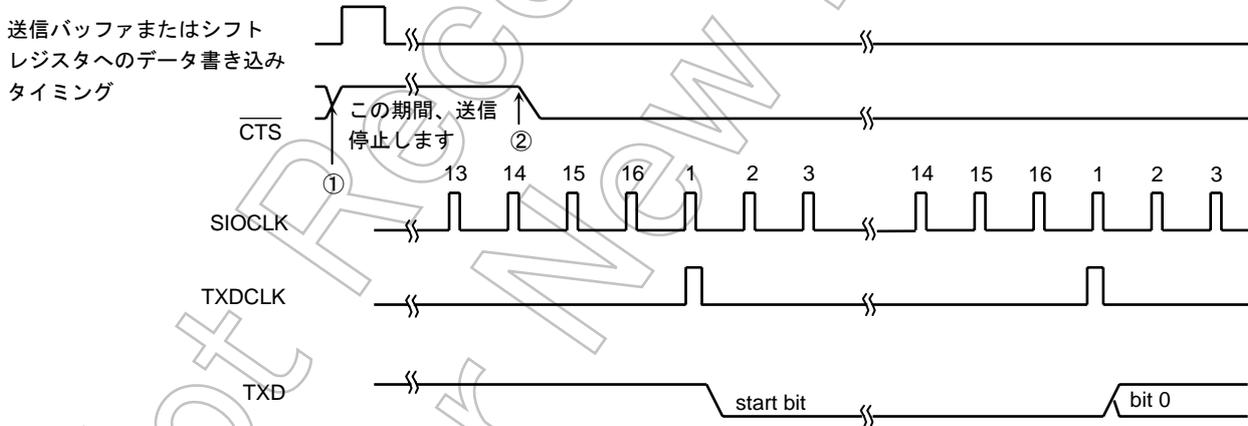
CTS 端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMOD0 <CTSE> によってイネーブル/ディセーブルできます。

送信は CTS 端子が “H” レベルになると、現在送信中のデータを送信完了後、CTS 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、RTS 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に RTS 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図 13.3.10.1 ハンドシェイク機能



(注) ① 送信中に CTS 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 ② CTS 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 13.3.10.2 CTS (Clear to send) 信号のタイミング

13.3.11 送信バッファ

送信バッファ (SCOBUF) は2重構造になっています。シリアルモードコントロールレジスタ 2 (SCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (SCOBUF) ヘッダが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (SCOFCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み INTTX が発生して、SCOMOD2 の送信バッファエンプティフラグ<TBEMP>が “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

送信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに “0” にクリアされます。GPU は送信バッファ 2 または送信 FIFO ヘッダを書き込みます。

また I/O インターフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘッダがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (SCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの SCLK 入力時に送信 FIFO が有効にされている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘッダが移されます。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移され、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされている場合は、送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると SCLK 出力を停止します。

(注) I/O インターフェース SCLK 出力モードでは、SCOCR の<PEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>=” 0” (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO の設定は行なわないでください。

13.3.12 送信 FIFO バッファ

前記ダブルバッファに加えて、送信 FIFO バッファを用いて、データの格納を行う事ができます。SCOFCNF レジスタの CNFG の設定及び SCOMOD1 の〈FDPX1:0〉で 4 バイトの送信バッファを有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4 バイトまでのデータが格納できます。

また UART モードでパリティビットを含むデータを送信する場合、受信側は受信ごとにパリティエラーチェックを行なう必要があります。

13.3.13 送信 FIFO の動作

① I/O インターフェースモードで SCLK 出力の場合（通常モード）

4 バイトのデータを送信する場合を例に説明します。

SCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<1:0>=00 : 割り込み発生時の fill レベルを 0 に設定

SCOFCNF<1:0>=01011 : fill レベル到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4 バイト分の送信データを書き込み、〈TXE〉ビットを”1”に設定する事によりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

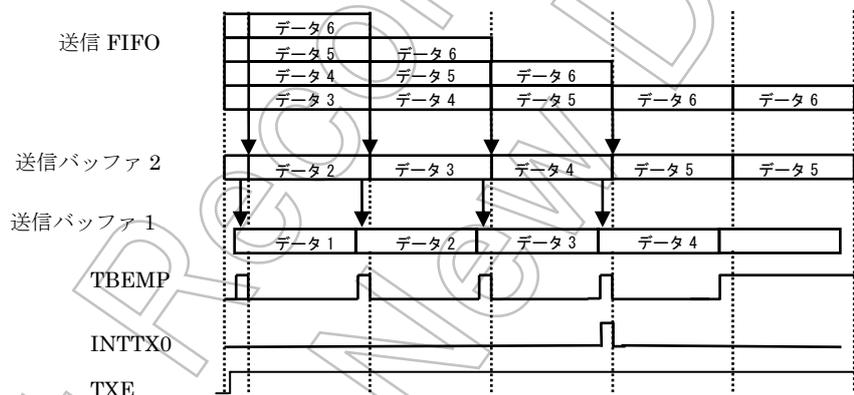


図 13.3.13.1 送信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合（通常モード）

4 バイトのデータを送信する場合を例に説明します。

SCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<7:2>=000000 : 割り込み発生の fill レベルを 0 に設定

SCOFCNF<4:0>=01001 : fill レベル到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4 バイト分の送信データを書き込み、<TXE>ビットを”1”に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生します。

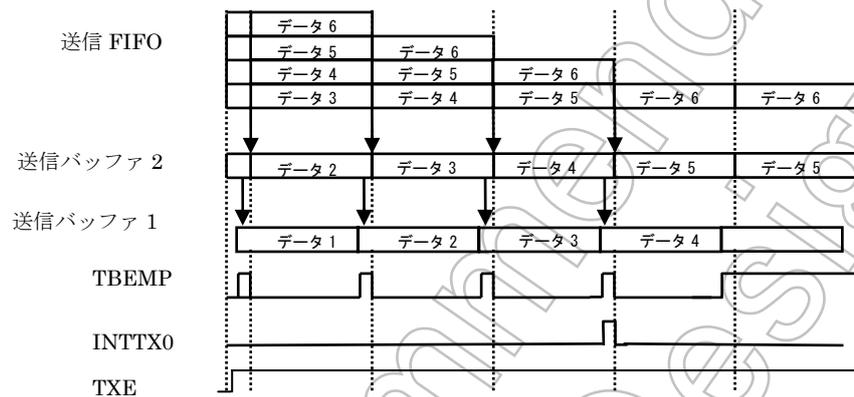


図 13.3.13.2 送信 FIFO の動作

13.3.14 パリティ制御回路

シリアルコントロールレジスタ (SCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビットUARTまたは8ビットUARTモードのみパリティ付加が可能です。SCOCRの<EVEN>ビットによって偶数(奇数)パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ(SCOBUF)に書き込まれたデータにより自動的にパリティを発生し、7ビットUARTモードのときはSCOBUFビット7<TB7>に、8ビットUARTモードのときはシリアルモードコントロールレジスタSCOMODのビット7<TB8>にパリティがデータ送信後に格納されます。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ1にシフトインされ、受信バッファ2(SCOBUF)に移されることによりパリティを自動発生します。7ビットUARTモードのときは、SCOBUF<RB7>と、8ビットUARTモードのときは、SCOCRレジスタのビット7<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SCOCRレジスタの<PERR>フラグがセットされます。

I/Oインターフェースモードの時はSCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

13.3.15 エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバランエラー<OERR> : シリアルコントロールレジスタSCOCRのビット4

UART、I/Oインターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信FIFOを有効にしている場合は、受信FIFOへデータが自動的に移されるので、受信FIFOがFULL(使用バイト数)になるまではオーバーランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/OインターフェースモードのSCLK出力の設定ではオーバーランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR> : SCOCRレジスタのビット3

UARTモード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/Oインターフェースモード時は、アンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ(SCOMOD2)のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘッダがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信FIFOが有効にされている場合は送信FIFOからデータが移されます。送信FIFOのデータが空になり、送信ダブルバッファのデータ空になると、アンダーランエラーが発生します。SCLK出力モード時は、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ2が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー <FERR> : SCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (SCOMOD2) の STOP ビット長設定ビット<SBLLEN>の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
I/O インタフェース (SCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
I/O インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

Not Recommended for New Design

13.3.16 データ転送方向

シリアルモードコントロールレジスタ 2 (SCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インターフェースモード時に転送方向を MSB ファーストまたは LSB ファーストに切り替えることができます。転送動作中の切り替えは行わないでください。

13.3.17 STOP ビットの長さ

SCOMOD2 レジスタのビット 4<SBLN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

13.3.18 ステータスフラグ

SCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態) であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

SCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

13.3.19 送受信バッファの構成

		<WBUF> = 0	<WBUF> = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インターフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インターフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

13.3.20 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (<WBUF> = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (<WBUF> = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信時 (受信許可の状態) に制御レジスタの変更は行なわないでください

注2) 受信動作中に受信動作を停止 (SCOMOD0<RXE>=" 0") しないでください

注3) 送信動作中に送信動作を停止 (SCOMOD1<TXE>=" 0") しないでください

13.4 レジスタ説明（チャンネル0についてのみ説明します）

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UART モード 10: 8ビット長 UART モード 11: 9ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB4OUT 01: ボーレートジェネレータ 10: 内部クロック fsys/2 11: 外部クロック (SCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

→ ウェイクアップ機能

	9ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ割り込み	

→ ハンドシェイク機能(CTS 端子)イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

(注 1) <RXE>="0"の状態各モードレジスタ (SC0MOD0、SC0MOD1、SC0MOD2) を設定してから最後に<RXE>="1"にしてください
 (注 2) モード設定を行ってから、<RXE>ビットの設定を行ってください。

図 13.4.1 シリアルモードコントロールレジスタ 0 (S100 用、SC0MOD0)

	7	6	5	4	3	2	1	0
SC0MOD1 (0xFFFF_F705)	bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重	送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK		0 を書き 込んでく ださい	

図 13.4.2 シリアルモードコントロールレジスタ 1 (S100 用、SC0MOD1)

<SINT2:0> : 1/0 インターフェースモード時で、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードおよび、外部 CLK 入力時は意味を持ちません。

<TXE> : 送信許可ビットです。全転送モードに有効です。送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : 1/0 インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

SC0MOD2
(0xFFFF_F706)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R/W						W	W
リセット後	1	0	0	0	0	0	0	0
機能	送信バッファ emptyフラグ 0: full 1: Empty	受信バッファ fullフラグ 0: Empty 1: full	送信動作中 フラグ 0: 停止 1: 動作	STOP ビット 0: 1ビット 1: 2ビット	転送方向 設定 0: LSB first 1: MSB first	ダブルバッファの許可 0: 不許可 1: 許可	ソフトウェアリセット “10” → “01” のライトでリセット	

<SWRST1:0>: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの SCOMODO<RXE>、SCOMOD1<TXE>、SCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの SCOCR<OERR>、<PERR>、<FERR> 及び内部回路が初期化されます。

<WBUF>: I/O インターフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。その他のモードでは設定に関らず、常にダブルバッファは許可されます。

<DRCHG>: I/O インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定します。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが “1” の場合は送信動作中であることを示し、“0” の場合は、ビット 7<TBEMP>= “1” の時は送信が完全に終了している状態を、<TBEMP>= “0” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

<RBFL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

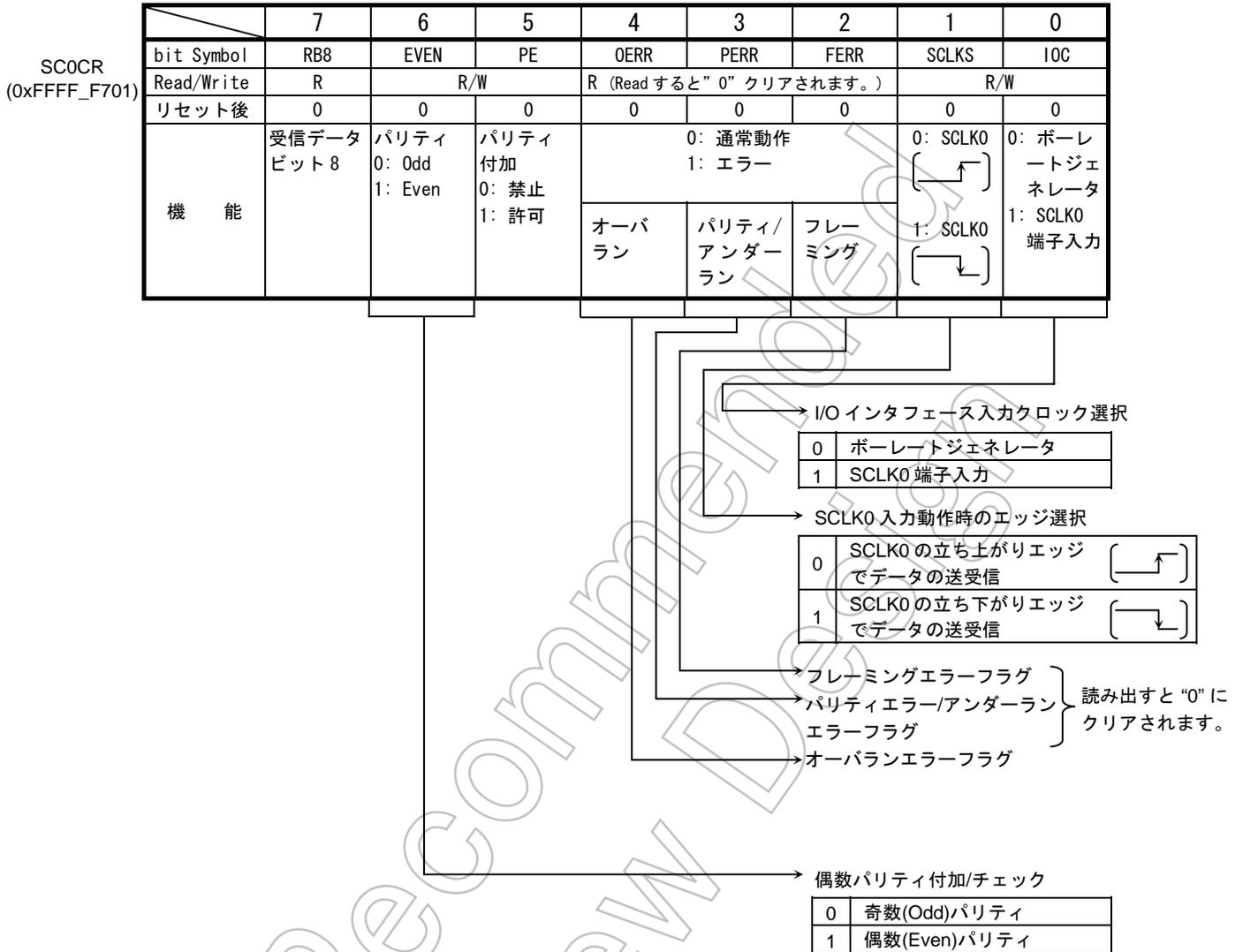
<TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<SBLN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

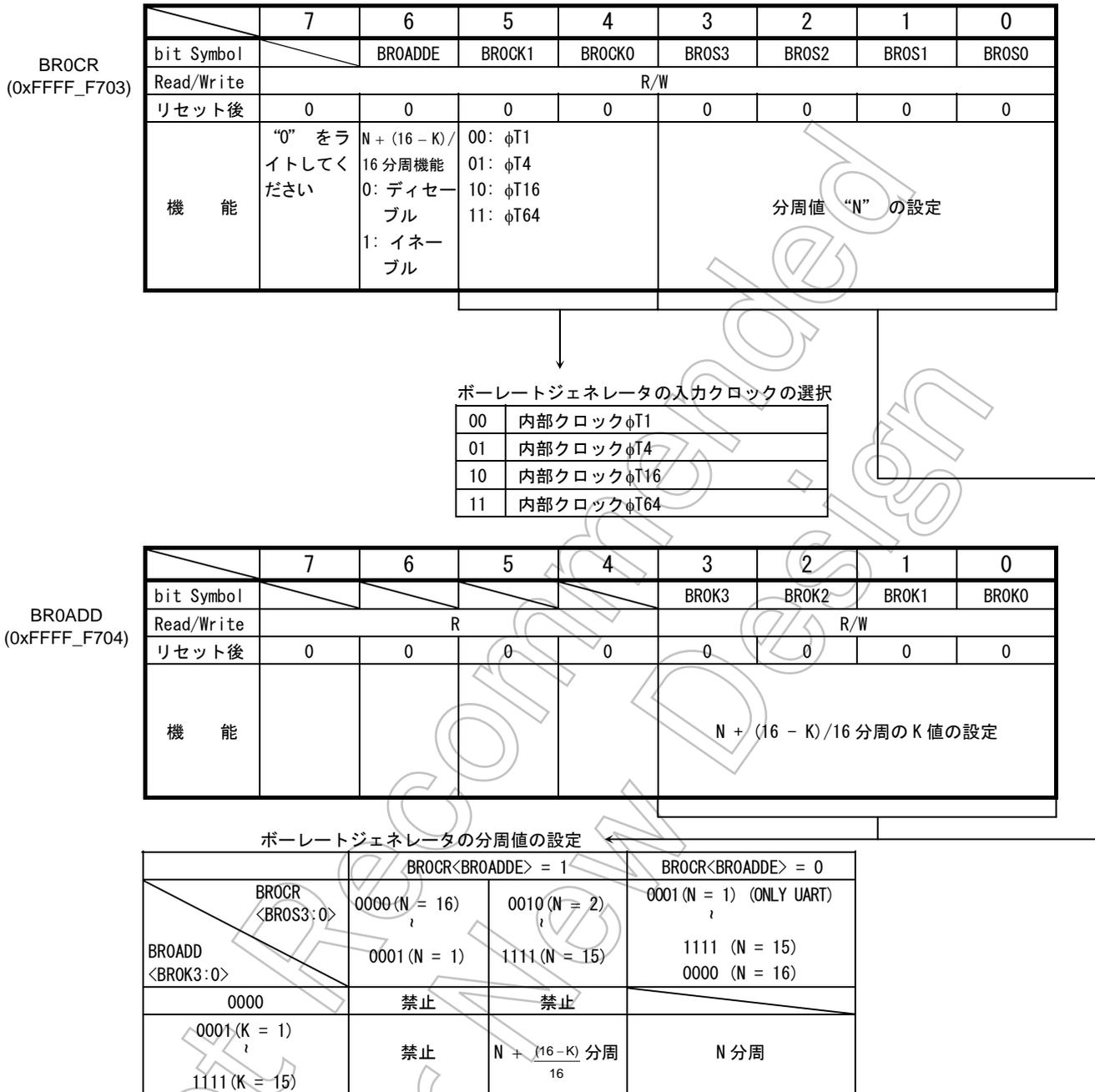
(注) 転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。

図 13.4.3 シリアルモードコントロールレジスタ



(注) エラーフラグは読み出されるとすべてクリアされます。

図 13.4.4 シリアルコントロールレジスタ (S100 用、SCOCR)



- (注 1) UART モードでは、ポーレートジェネレータ分周値の “1” 分周は、 $N + (16 - K) / 16$ 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ポーレートジェネレータ分周値の “1” 分周は、ダブルバッファ使用時のみ設定可能です。
- (注 2) $N + (16 - K) / 16$ 機能を使用する場合、かならず BR0ADD <BROK3:0> に K 値(K = 1~15)を設定後に BR0CR <BROADDE> = “1” を設定してください。ただし、BR0CR <BROS3:0> = “0000” または “0001”(N = 16 または 1) のとき $N + (16 - K) / 16$ 分周機能は使用しないでください。
- (注 3) $N + (16 - K) / 16$ 分周機能は UART モードのみ使用可能です。I/O インターフェースモードのときは BR0CR <BROADDE> = “0” に設定し $N + (16 - K) / 16$ 分周機能を禁止してください。

図 13.4.5 ポーレートジェネレータコントロール (S100 用、BR0CR、BR0ADD)

	7	6	5	4	3	2	1	0
bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	TB7~0 : 送信用バッファ + FIFO RB7~0 : 受信用バッファ + FIFO							

SC0BUF
(0xFFFF_F700)

(注) : SC0BUF は、WR 時は送信バッファ、RD 時は受信バッファとして機能します。

図 13.4.6 SI00 送受信バッファレジスタ

	7	6	5	4	3	2	1	0
bit Symbol				RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” を書き込んでください。			受信 FIFO 使用バイト数 0:最大 1:受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送信割り込み許可 0:禁止 1:許可	受信 FIFO 使用時の受信割り込み許可 0:禁止 1:許可	RXE/TXE の自動禁止 0:無し 1:自動禁止	FIFO の許可 0:禁止 1:許可

SC0FCNF
(0xFFFF_F70C)

<CNFG> : 許可の場合は FIFO の構成は SCOMOD1<FDPX1:0>の設定により
 <FDPX1:0>=01 (半二重受信) -----4 バイト受信 FIFO
 <FDPX1:0>=10 (半二重送信) -----4 バイト送信 FIFO
 <FDPX1:0>=11 (全二重) -----2 バイト受信 FIFO+2 バイト送信 FIFO

に自動的にになります。

<RXTXCNT> : 0 受信許可ビット : RXE、送信許可ビット : TXE の自動禁止機能は無効

: 1 自動禁止の場合は SCOMOD1<FDPX1:0>の設定により

<FDPX1:0>=01 (半二重受信) -----受信 FIFO に指定された有効バイト数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります
 <FDPX1:0>=10 (半二重送信) -----送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります

<FDPX1:0>=11 (全二重) -----前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。

<RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可/不許可を切り替えます。

<TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可/不許可を切り替えます。

<RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。

0 : 構成されている FIFO の最大バイト数。<FDPX1:0>=01 (半二重受信) の時は 4 バイト、
 <FDPX1:0>=11 (全二重) の時は 2 バイト

1 : SCORFC<RIL5:0>で指定される受信割り込み発生の為の FILL レベルに同じ

(注) 送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。
 使用バイト数は送信 FIFO に書き込んだバイト数になります。

図 13.4.7 FIFO コンフィグレジスタ

SC0RFC
(0xFFFF_F708)

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS					RIL1	RIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO クリア 1:クリア リードすると常に“0”が読み出されます	割り込み発生条件選択					受信割り込みが発生する FIFO の fill レベル 00:4byte (全二重の場合は2バイト) 01:1バイト 10:2バイト 11:3バイト 注: FDPX1:0=11 (全二重)の場合は RIL1 は無視されます	

0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時、及び新規データが読み出された時に fill レベルを超えている場合

図 13.4.8 受信 FIFO コントロールレジスタ

SC0TFC
(0xFFFF_F709)

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS					TIL1	TIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0	0	0	0	0	0
機能	送信 FIFO クリア 1:クリア リードすると常に“0”が読み出されます	割り込み発生条件選択					送信割り込みが発生する FIFO の fill レベル 00:Empty 01:1バイト 10:2バイト 11:3バイト 注: FDPX1:0=11 (全二重)の場合は TIL1 は無視されます	

0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時、及び新規データが書き込まれた時に fill レベルより低い場合

図 13.4.9 送信 FIFO コンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	ROR					RLVL2	RLVL1	RLVL0
Read/Write	R	R			R			
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO オーバーラン 1:発生					受信 FIFO の fill レベルのステータス 000:Empty 001:1 バイト 010:2 バイト 011:3 バイト 100:4 バイト		

SC0RST
(0xFFFF_F70A)

(注) : <ROR>ビットは、SC0BUF レジスタの受信データをリードすると”0”にクリアされます。

図 13.4.10 受信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TUR					TLVL2	TLVL1	TLVL0
Read/Write	R	R			R			
リセット後	1	0	0	0	0	0	0	0
機能	送信 FIFO アンダーラン 1:発生					送信 FIFO の fill レベルのステータス 000:Empty 001:1 バイト 010:2 バイト 011:3 バイト 100:4 バイト		

SC0TST
(0xFFFF_F70B)

(注) : <TUR>ビットは、SC0BUF レジスタに送信データをライトすると”0”にクリアされます。

図 13.4.11 送信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol								SIOE
Read/Write	R							R/W
リセット後	0	0	0	0	0	0	0	0
機能								SIO 動作 0:禁止 1:許可

SC0EN
(0xFFFF_F707)

<SIOE>: SIO の動作を指定します。動作禁止の状態では SIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。SIO を使用する場合は、SIO モジュールの各レジスタを設定する前に SIO 動作許可（”1”）にしてください。SIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

図 13.4.12 SIO イネーブルレジスタ

13.5 モード別動作説明

13.5.1 モード 0 (I/O インターフェースモード)

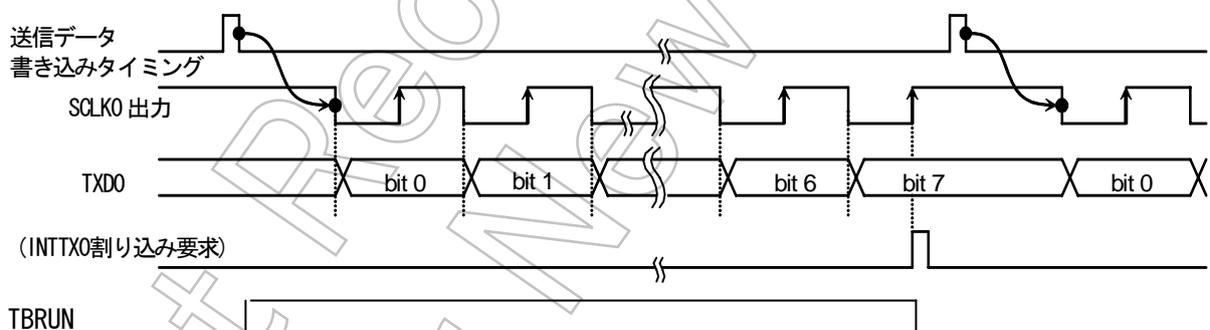
このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の章を参照してください。

① 送信

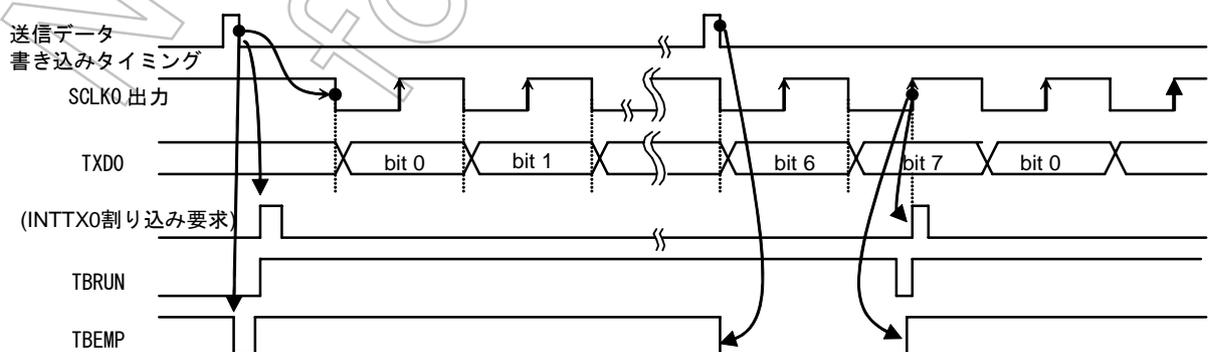
SCLK出力モード

SCLK 出力モードでは $\text{SCOMOD2}\langle\text{WBUF}\rangle = "0"$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生します。

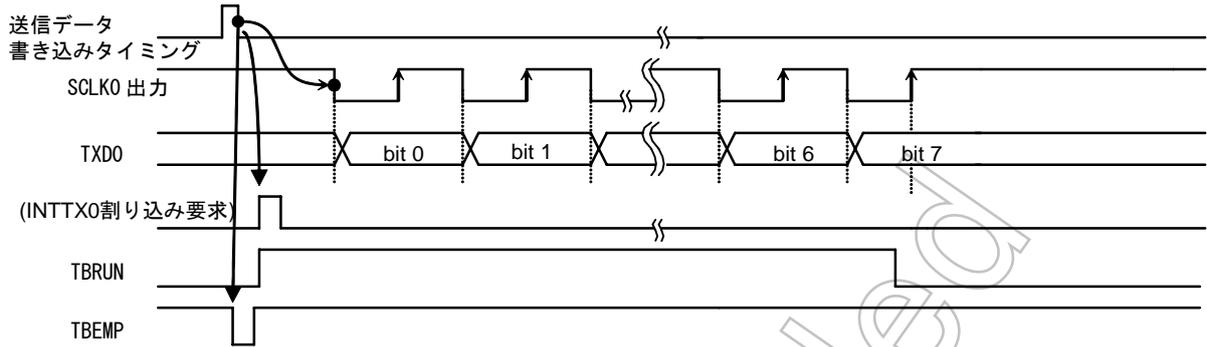
$\text{SCOMOD2}\langle\text{WBUF}\rangle = "1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ $\text{SCOMOD2}\langle\text{TBEMP}\rangle$ が "1" にセットされます。同時に、割り込み (INTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX0) を発生せず、SCLK0 出力も停止します。



$\langle\text{WBUF}\rangle = "0"$ (ダブルバッファ不許可) の場合



$\langle\text{WBUF}\rangle = "1"$ (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



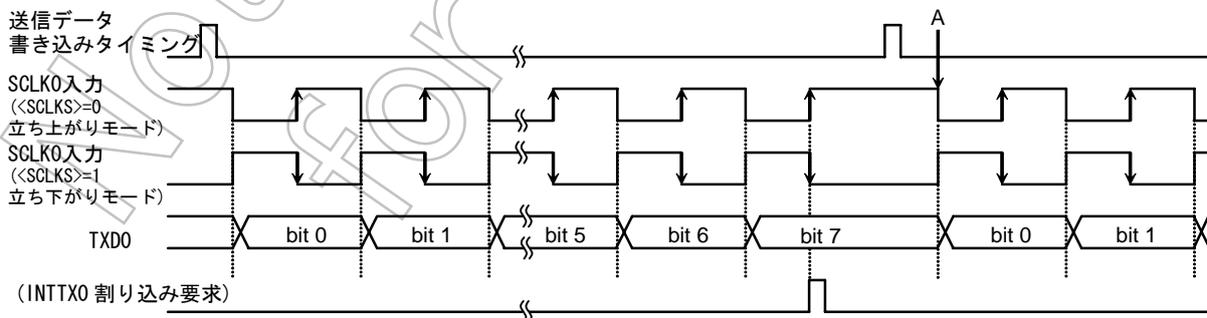
<WBUF>= “1” (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 13.5.1.1 I/O インターフェースモード送信動作 (SCLK0 出力モード)

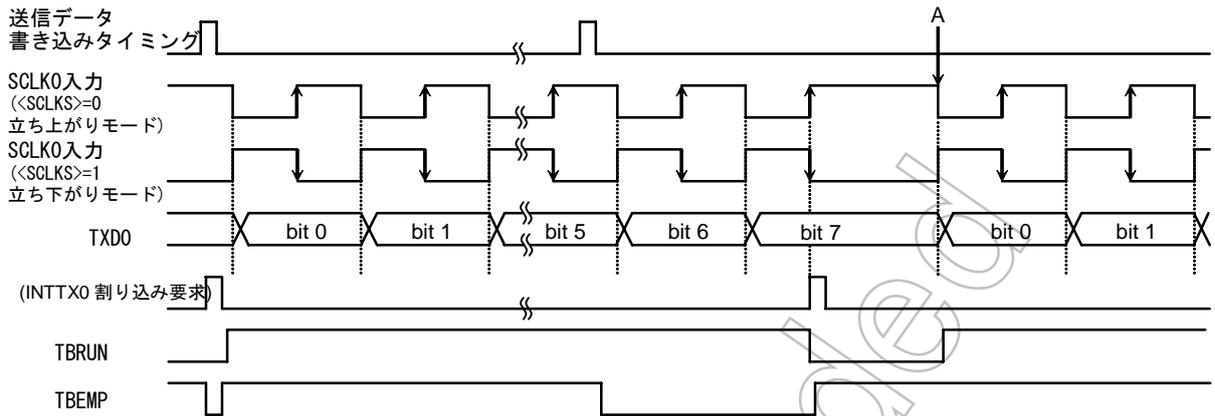
SCLK入力モード

SCLK 入力モードでは、SCOMOD2<WBUF>= “0” で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で SCLK0 入力アクティブになると、8 ビットのデータが TXDO 端子より出力されます。データがすべて出力されると割り込み INTTXO が発生します。次の送信データは図 13.5.1.2 に示す A 点までに書き込んでください

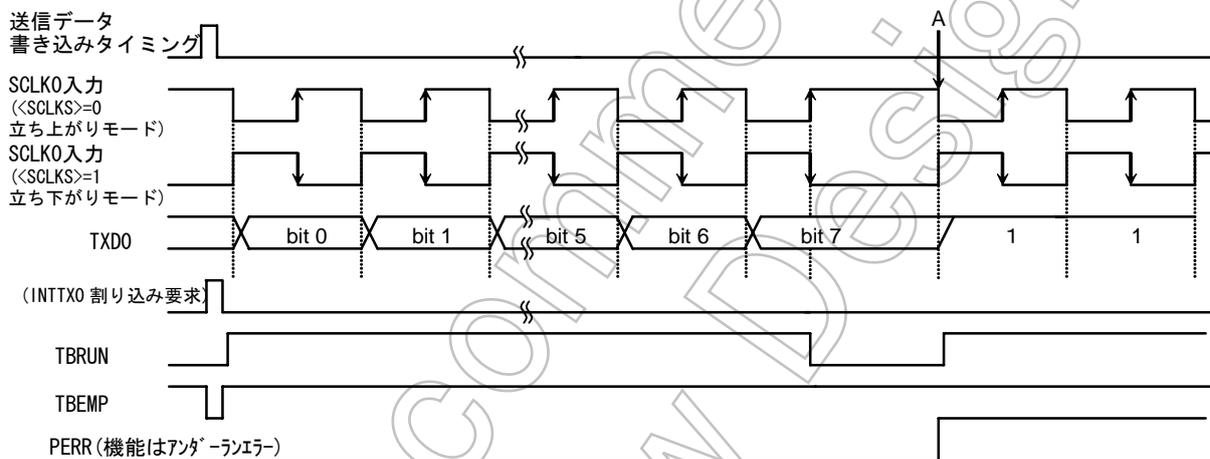
SCOMOD2<WBUF>= “1” で送信ダブルバッファが許可されている場合は、SCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP> が “1” にセットされ、割り込み (INTTXO) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、SCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF>= “0” (ダブルバッファ不許可) の場合



<WBUF>= “1” (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>= “1” (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 13.5.1.2 I/O インターフェースモード送信動作 (SCLK0 入力モード)

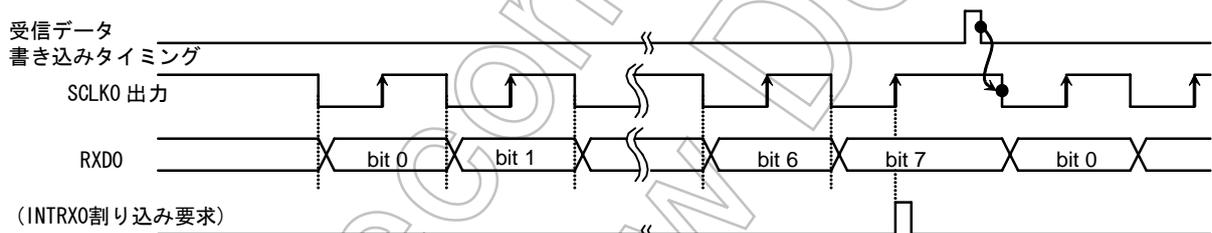
② 受信

SCLK出力モード

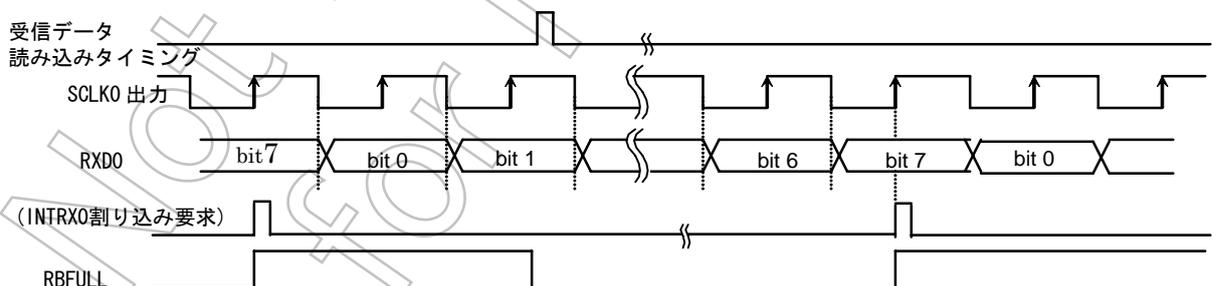
SCLK 出力モードでは SCOMOD2<WBUF>= “0” で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、受信許可ビット SCOMOD0<RXE>を “1” にセットすることで行います。また、SCOMOD2<WBUF>= “1” で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ SCOMOD2<RBFULL>が “1” にセットされ、割り込み INTRX0 が発生します。

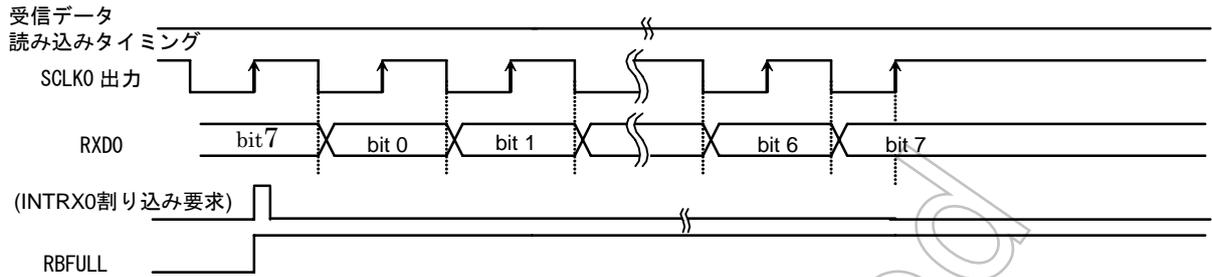
受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み INTRX0 が発生せず、SCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み INTRX0 を発生して受信を再開します。



<WBUF>= “0” (ダブルバッファ不許可) の場合



<WBUF>= “1” (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出した場合)



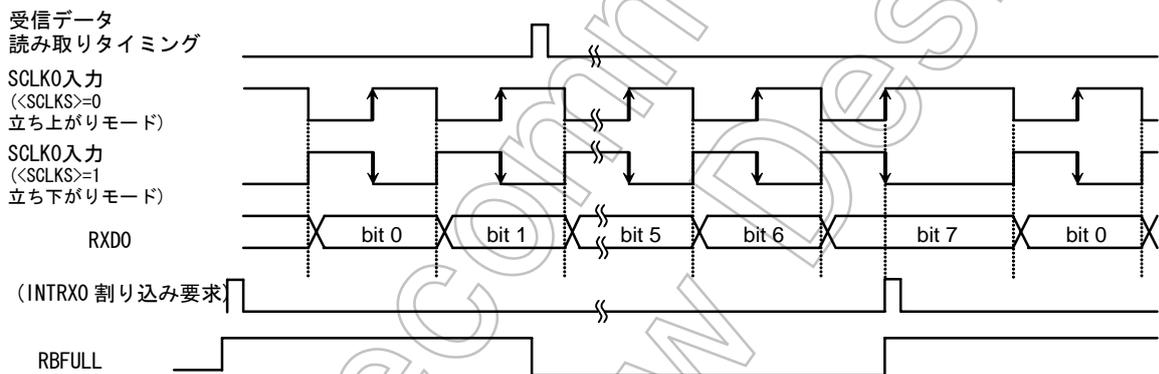
<WBUF>= “1” (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 13.5.1.3 I/O インターフェースモード受信動作 (SCLK0 出力モード)

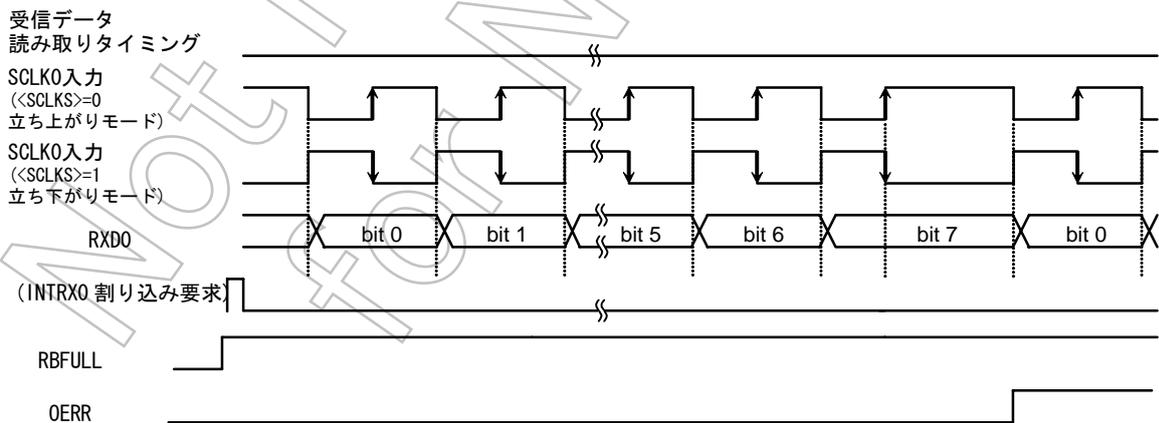
SCLK0 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み INTRX が発生します。



バッファ 2 のデータを読み出した場合



バッファ 2 のデータが読み出されない場合

図 13.5.1.4 I/O インターフェースモード受信動作 (SCLK0 入力モード)

(注) 受信動作を行う場合には **SCLK** 入/出力のどちらのモードでも、受信イネーブル状態 (**SC0MOD <RXE> = “1”**) に設定して下さい。

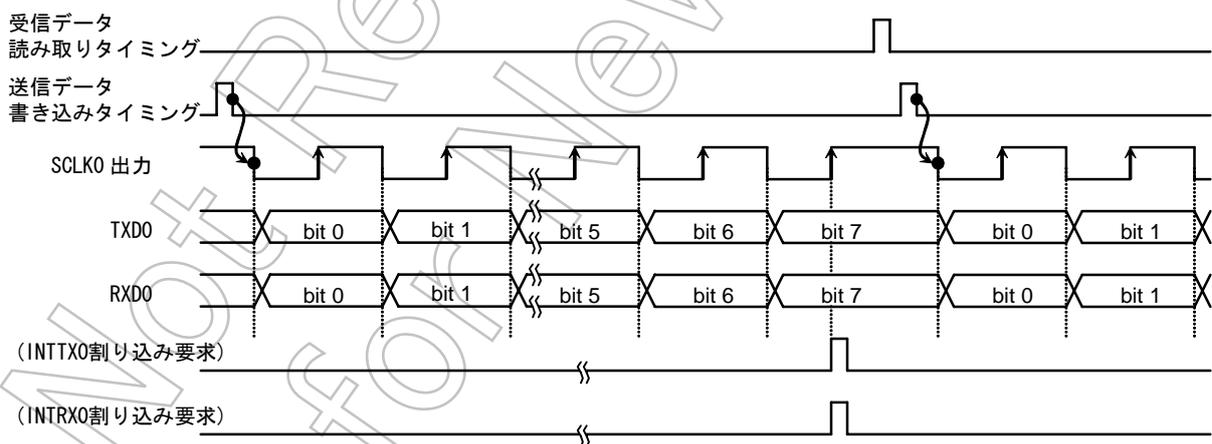
③ 送受信 (全二重)

シリアルモードコントロールレジスタ 1 (SCOMOD1) のビット 6 <FDPX0> に "1" をセットすることにより全二重モードでの通信が可能になります。

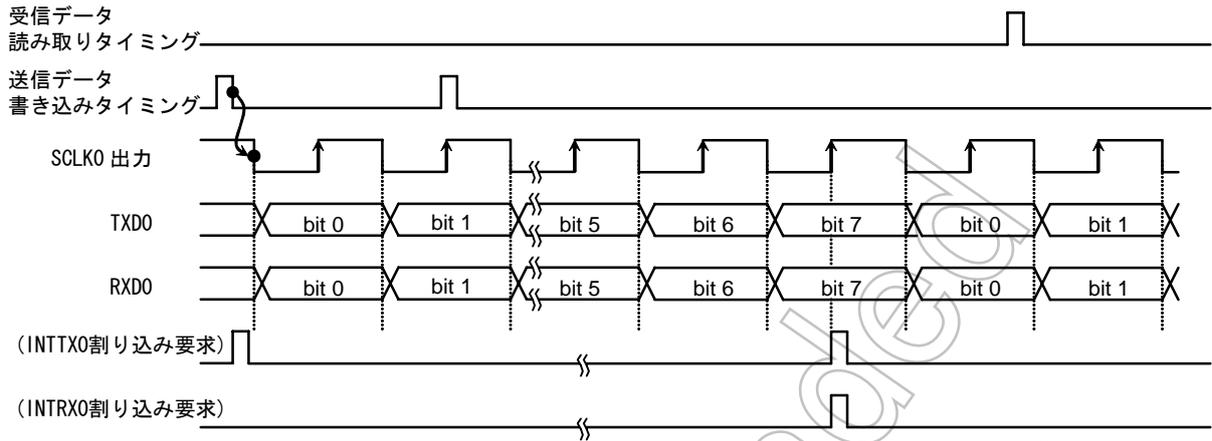
SCLK出力モード

SCLK 出力モードでは SCOMOD2<WBUF> = "0" で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (INTRX0) が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、TXD0 端子より出力され、全てのデータが送信されると送信割り込み (INTTX0) が発生します。この状態で SCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

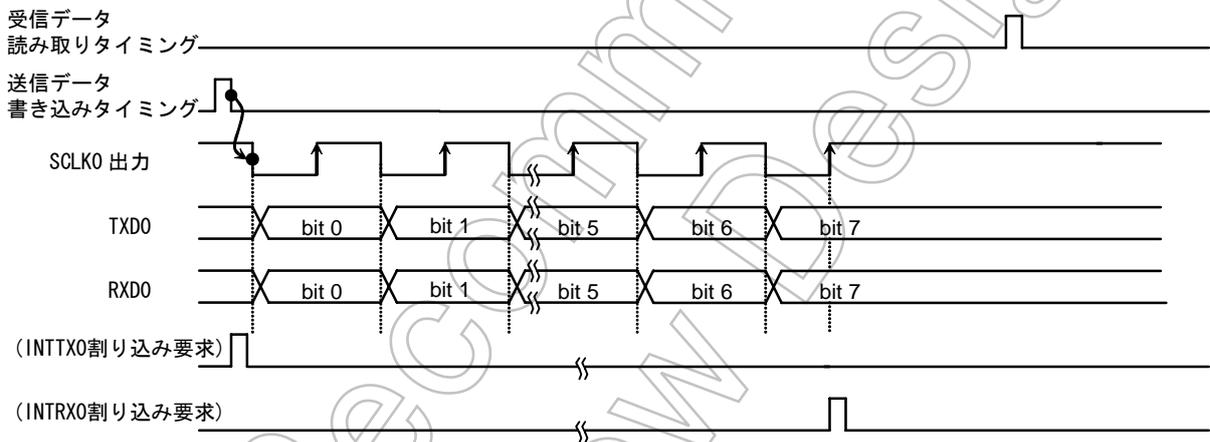
SCOMOD2<WBUF> = "1" で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (INTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが TXD0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (SCOMOD2<TBEMP> = "1") または受信バッファ 2 にデータが存在している (SCOMOD2<RBFULL> = "1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可) の場合



<WBUF> = "1" (ダブルバッファ許可) の場合



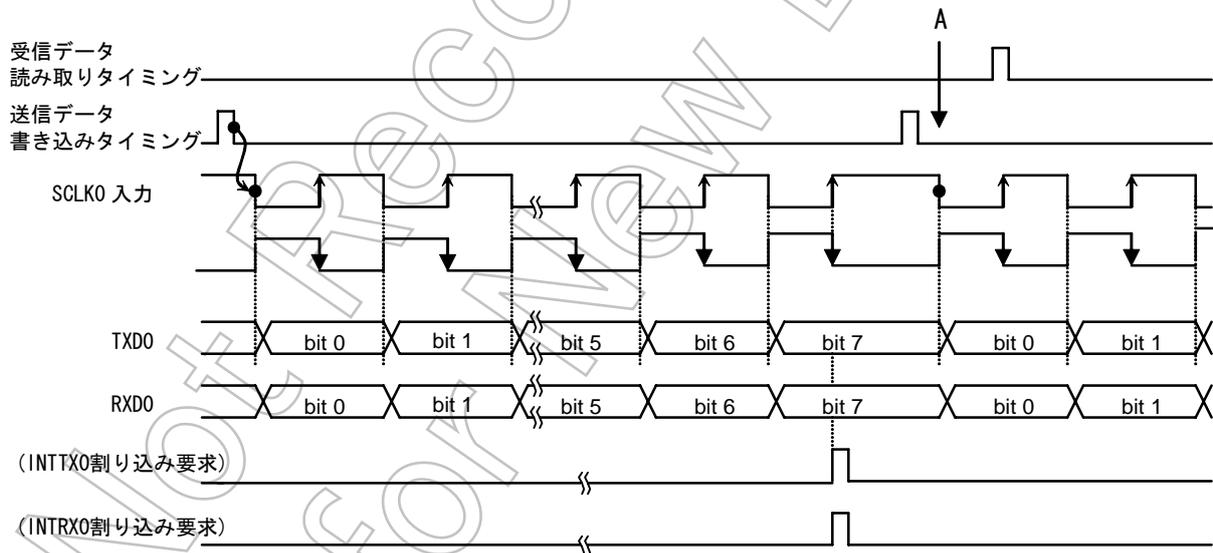
<WBUF> = "1" (ダブルバッファ許可) の場合

図.13.5.1.5 I/O インターフェースモード送受信動作 (SCLK0 出力モード)

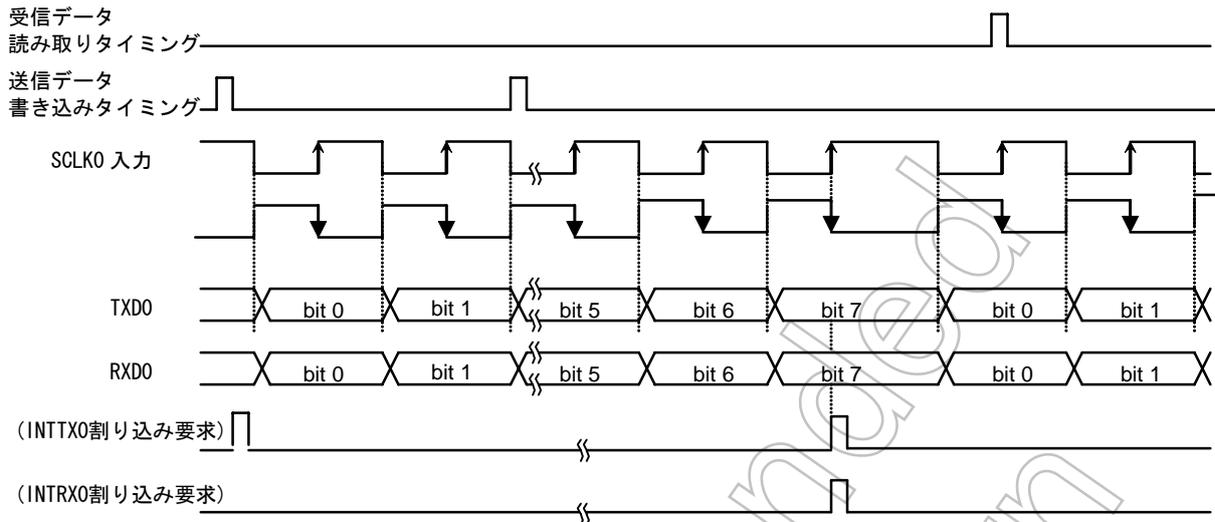
SCLK入力モード

SCLK 入力モードでは SCOMOD2<WBUF>= “0” で送信ダブルバッファが不許可（受信は設定に関わらずダブルバッファ有効）の場合は、送信バッファにデータが書き込まれている状態で SCLK 入力アクティブになると、8 ビットのデータが TXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み（INTTX0）が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み（INTRX0）が発生します。次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込む様にしてください（図 13.5.1.6 に示す A 点までに書き込んでください）。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

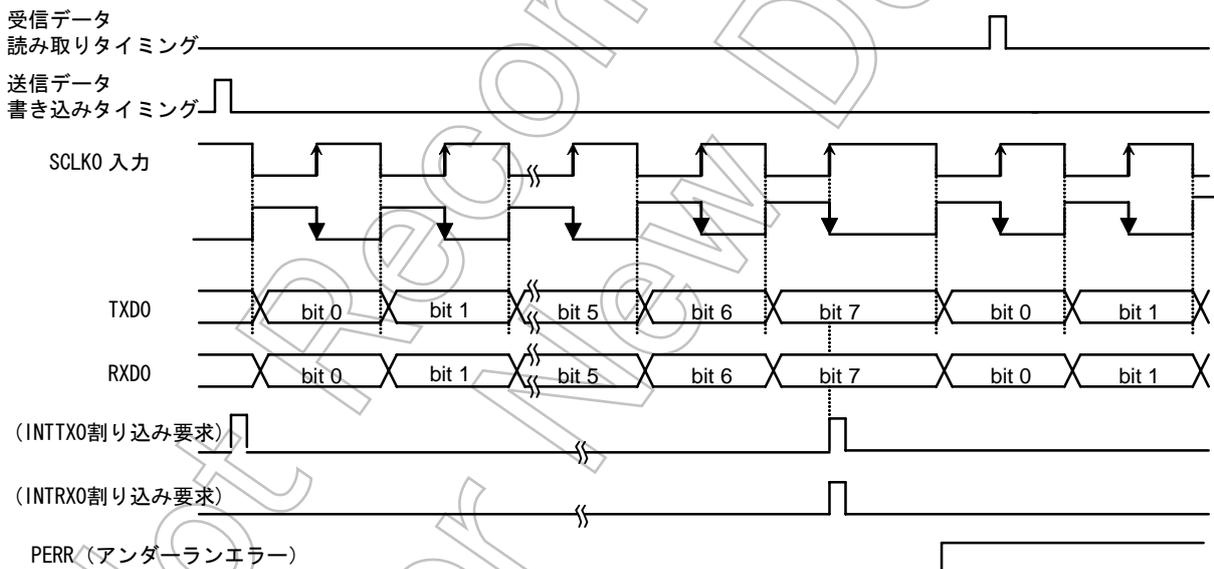
SCOMOD2<WBUF>= “1” で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み（INTRX0）が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み（INTRX0）が発生します。続けて次のフレームの SCLK が入力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



<WBUF>= “0”（ダブルバッファ不許可）の場合



<WBUF> = "1" (ダブルバッファ許可)、の場合 (エラー無し)



<WBUF> = "1" (ダブルバッファ許可)、の場合 (エラー発生)

図 13.5.1.6 I/O インターフェースモード送受信動作 (SCLK0 入力モード)

13.5.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ (SCOMOD <SM1, 0>) を “01” にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、SCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



※ クロック条件

システムクロック	: 高速 (fc)
高速クロックギア	: 1 倍 (fc)
プリスケアラクロック	: fperiph/4 (fperiph=fsys)

	7 6 5 4 3 2 1 0	
PCCR	← - - - - - 1	} PCO を TXD0 端子とします。
PCFC	← - - - - - 1	
SCOMOD	← X 0 - X 0 1 0 1	7 ビット UART モードに設定します。
SCOCR	← X 1 1 X X X 0 0	偶数パリティを付加します。
BROCR	← 0 0 1 0 1 0 1 0	2400 bps に設定します。
IMC3	← - 1 1 - 0 1 0 0	32 ビットレジスタの<31:24>を INITXO 割り込みをイネーブル、レベル 4 にします。
SCOBUF	← * * * * * * * *	送信データをセットします。

(注) X: don't care -: no change

13.5.3 モード 2 (8 ビット UART モード)

SCOMOD0 <SM1:0>を “10” にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCOCR <PE>でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE>= “1” (イネーブル) のとき、SCOCR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



※ クロック条件

システムクロック	: 高速 (fc)
高速クロックギア	: 1 倍 (fc)
プリスケアラクロック	: fperiph/4 (fperiph=fsys)

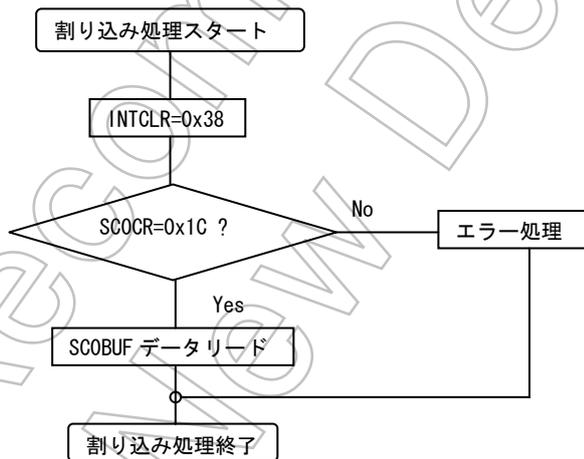
メインルーチンでの設定

	7 6 5 4 3 2 1 0	
PCCR	← - - - - - 0 -	} PC1 を RXD0 端子とします。
PCFC	← - - - - - 1 -	
SCOMOD	← - 0 0 X 1 0 0 1	8 ビット UART モードにします。
SCOCR	← X 0 1 X X X 0 0	奇数パリティ付加に設定します。
BROCR	← 0 0 0 1 0 1 0 1	9600 bps に設定します。
IMC3	← - 1 1 - 0 1 0 0	32 ビットレジスタの<23:16>を INTRX0 割り込みをイネーブル、レベル 4 に設定します。
SCOMOD	← - - - 1 X - - - -	受信イネーブルにします。

割り込みルーチンでの処理例

```

INTCLR  0 0 0 1 1 1 0 0 0    割り込み要求をクリアします (0x0000_0038)。
Reg.    ← SCOCR AND 0x1C    } エラーチェックを行います。
if Reg. ≠ 0 then ERROR 処理
Reg.    ← SCOBUF            受信データを読み取ります。
割り込み処理終了
(注) X: don't care      -: no change
    
```



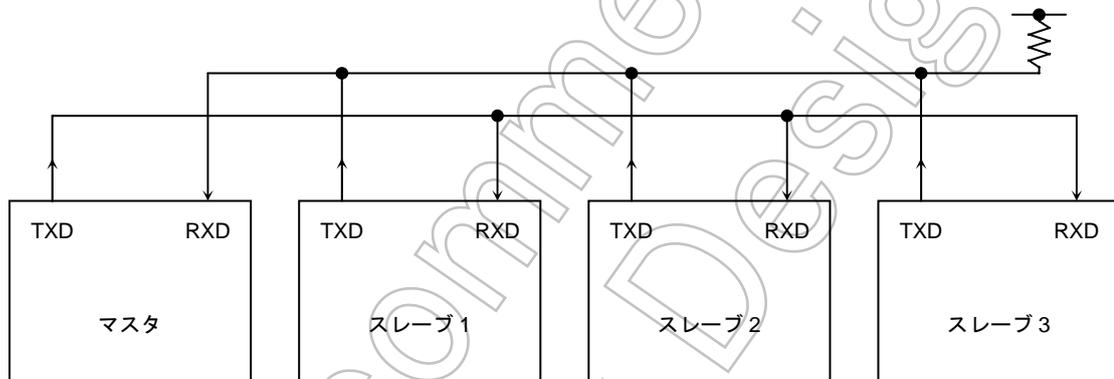
13.5.4 モード3 (9ビットUART)

SCOMODO <SM1:0>を“11”にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止 (SCOCR<PE>= “0”) してください。

最上位ビット (9ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (SCOMODO) のビット7 <TB8> に書き込み、受信の場合シリアルコントロールレジスタ SCOCR のビット7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SCOBUFの方を後にします。STOPビットの長さはSCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビットSCOMODO<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>= “1” のときのみ割り込み (INTRX0) が発生します。



(注) スレーブコントローラのTXD端子は、かならずODEレジスタを設定してオープンドレイン出力モードにしてください。

図 13.5.4.1 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSCOMOD<WU>を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

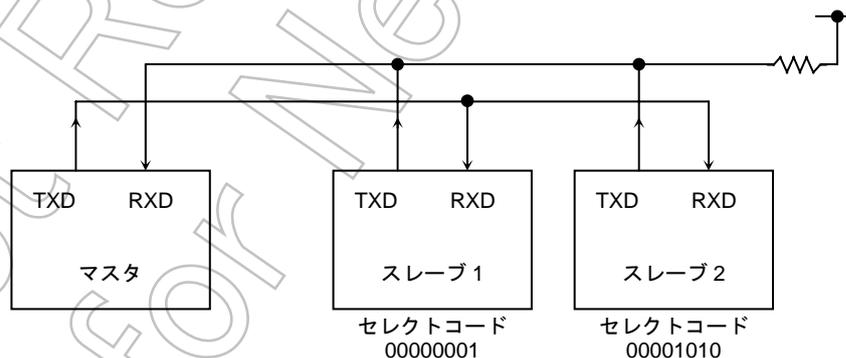


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>ビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(SCOMOD<WU>=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



- ⑥ <WU>=“1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため、割り込み(INTRX0)が発生せず、受信データを無視します。
また、<WU>=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $f_{sys}/2$ を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



① マスタコントローラの設定

メインルーチン

PCCR	← - - - - - 0 1	} PC0 を TXD0、PC1 を RXD0 端子にします。
PCFC	← - - - - - 1 1	
	← - 1 1 - 0 1 0 1	
IMC3	← - 1 1 - 0 1 0 0	32 ビットレジスタの<23:16>を INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
	← - 1 1 - 0 1 0 0	32 ビットレジスタの<31:24>を INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
SCOMODO	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを fsys/2 に設定します。
SCOBUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTTX0)

INTCLR	0 0 0 1 1 1 1 0 0	割り込み要求をクリアします (0x0000_003C)。
SCOMODO	← 0 - - - - -	TB8 を “0” にします。
SCOBUF	← * * * * * * * *	送信データをセットします。

割り込み処理終了

② スレーブの設定

メインルーチン

PCCR	← - - - - - 0 1	} PC0 を TXD (オープンドレイン出力) PC1 を RXD にします。
PCFC	← - - - - - 1 1	
PCODE	← - - - - - 1	
IMC3	← - 1 1 - 0 1 1 0	INTTX0, INTRX0 をイネーブルにします。
	← - 1 1 - 0 1 0 1	
SCOMODO	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック fsys/2 で、<WU> = “1” に設定します。

割り込みルーチン (INTRX0)

INTCLR	0 0 0 1 1 1 0 0 0	割り込み要求をクリアします。
Reg.	← SCOBUF	
if Reg. = セレクトコード		
Then		
SCOMODO	← - - - - 0 - - - -	<WU> = “0” にクリアします。

14 シリアル チャネル (HSIO)

高速シリアル入出力を 2 チャンネル内蔵 (HSI00, HSI01) しています。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インターフェースモード (同期通信) を選択できます。

I/O インターフェースモード	——	モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (HSCLK) の送受信を行うモード
非同期通信 (UART) モード	—	モード 1: 送受信データ長 7 ビット
		モード 2: 送受信データ長 8 ビット
		モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアル リンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。図 14-2 に、HSI00 のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

HSI00, HSI01 は同一の動作をしますので、HSI00 の場合についてのみ説明します。

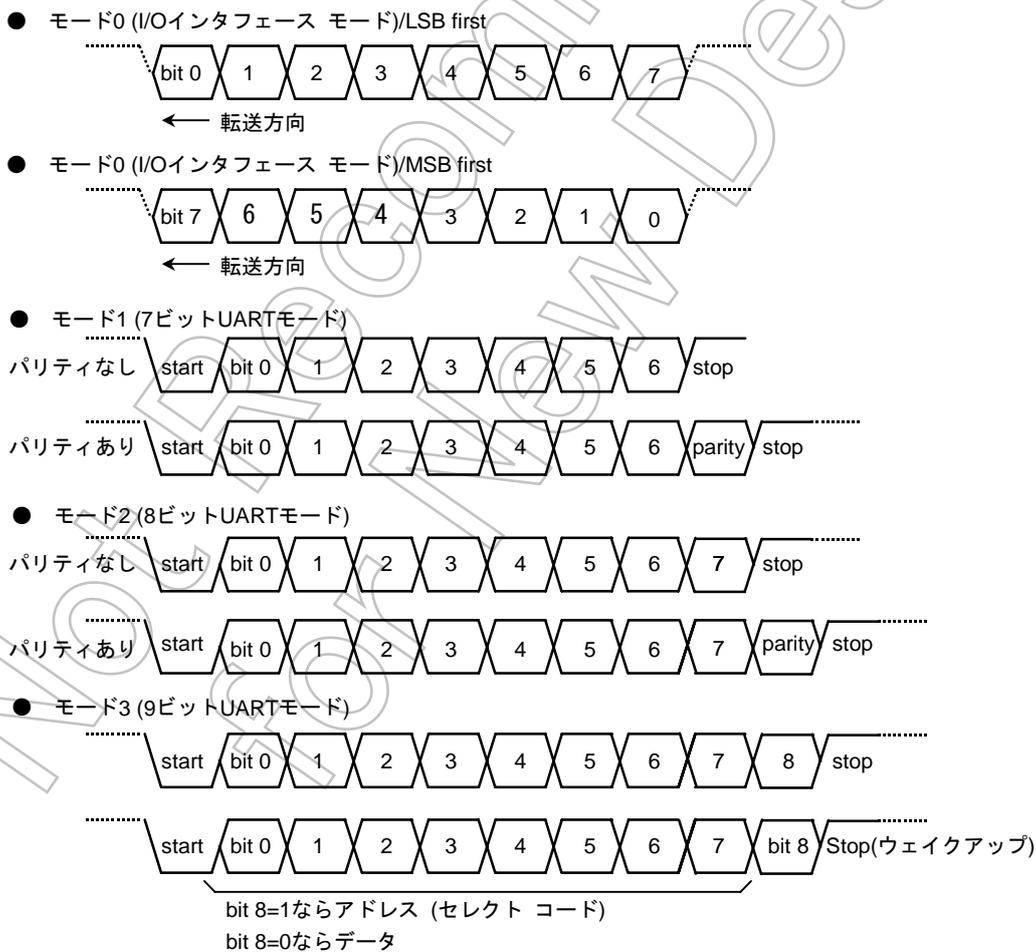


図 14-1 データフォーマット

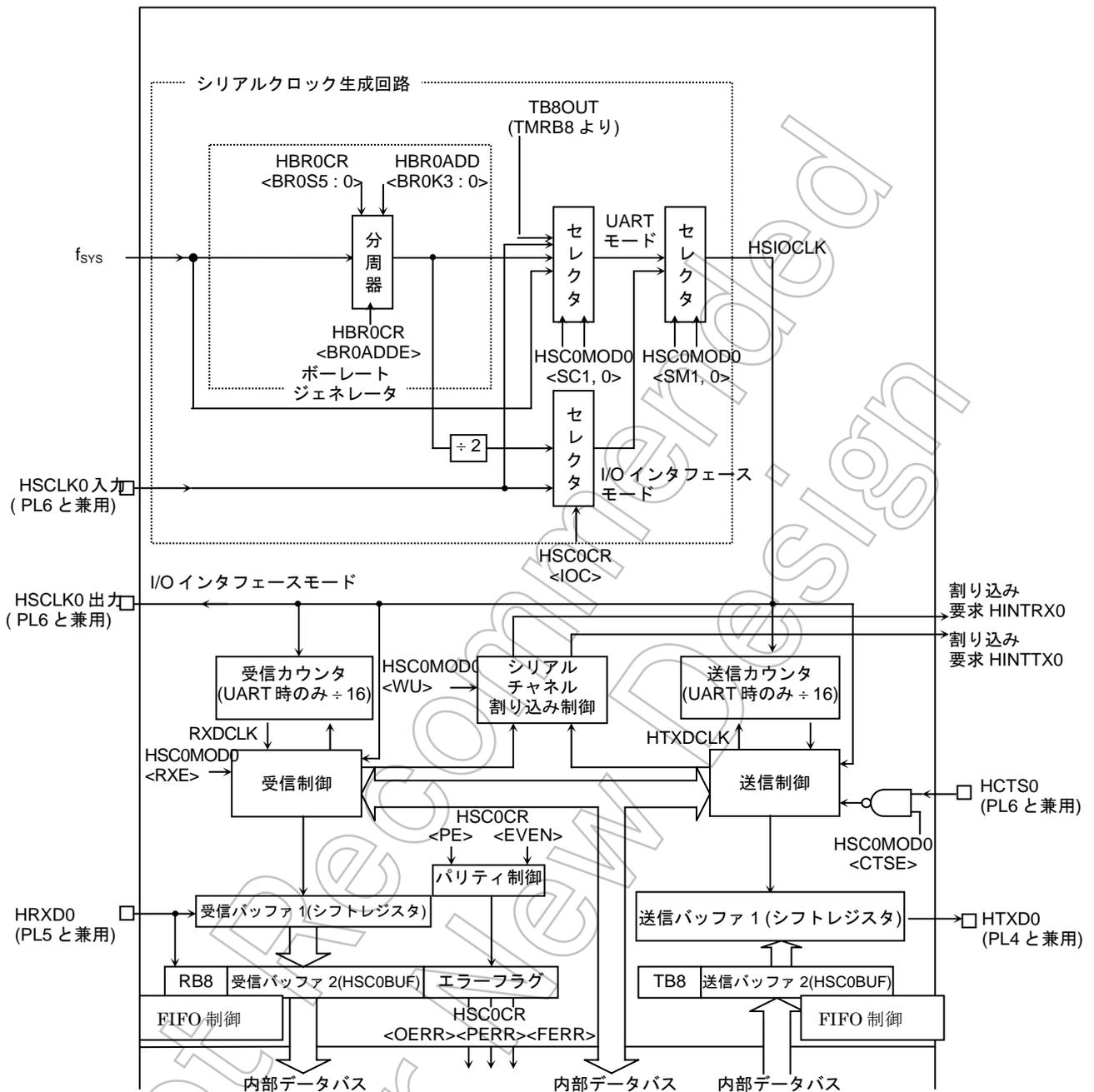


図 14-2 HSI00 ブロック図

注：ボーレートジェネレータ 一分周は設定できません。

14.1 回路別の動作説明 (HSIO チャンネル 0)

14.1.1 ボーレート

ボーレートジェネレータは、シリアルチャンネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは f_{sys} を用います。

ボーレートジェネレータは、 $1 + N + \frac{m}{16}$ ($N=2\sim 63, m=0\sim 15$)、64 分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ HBROCR<BROADDE><BR3S3:0>、HBROADD<BROK3:0>の設定に従い分周を行い、転送速度を決定します。

- UARTモードの場合

- 1) HBROCR<BROADDE>=0 の場合

HBROADD<BROK3:0>の設定は無視され、HBROCR<BROS5:0>に設定された値 “N” に従い N 分周を行います。 ($N=1, 2, 3 \dots 64$)

- 2) HBROCR<BROADDE>=1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり HBROCR<BROS3:0>に設定された値 “N” ($N = 2, 3 \dots 63$)、HBROADD<BROK3:0>に設定された値 “K” に従い $N + (16 - K) / 16$ 分周を行います。 ($K=1, 2, 3 \dots 15$)

(注) $N=1$ および 64 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますのでかならず HBROCR<BROADDE>= “0” に設定してください。

- I/Oインタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。かならず HBROCR<BROADDE>= “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{f_{sys}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 f_{sys} が 54 MHz のときの 3.38Mbps です。

2) I/O インタフェースモード

$$\text{ボーレート} = \frac{f_{\text{sys}}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 f_{sys} が 54 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="2" の設定が可能なので、13.5Mbps になります（ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="4" のときの、6.75Mbps が最高になります）。

- ボーレートの設定例

1) 整数分周 (N 分周) の場合]

ボーレートジェネレータへの入力クロックを f_{sys} 、分周値 "N" (HBROCR<BROS5:0>)=4、HBROCR<BROADDE>="0" の場合の UART モードのボーレートは、

※ クロック条件

{	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1倍 (f_c)

$$\begin{aligned} \text{ボーレート} &= \frac{f_{\text{sys}}}{4} \div 16 \\ &= 54 \times 10^6 \div 4 \div 16 = 843.8\text{k (bps)} \text{ となります。} \end{aligned}$$

(注) $N_{+(16-K)}/16$ 分周機能は禁止に設定されるため HBROADD <BROK3:0> の設定は無視されます。

2) $N_{+(16-K)}/16$ 分周 (UART モードのみ) の場合

ボーレートジェネレータへ f_{sys} を、分周値 "N" (HBROCR<BR3S5:0>)=4、K" (HBROADD<BR3K3:0>)=14、HBROCR<BR3ADDE>=1 の場合のボーレートは、

※ クロック条件

{	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1倍 (f_c)

$$\begin{aligned} \text{ボーレート} &= \frac{F_{\text{sys}}}{4 + \frac{(16-14)}{16}} \div 16 \\ &= 54 \times 10^6 \div \left(4 + \frac{2}{16} \right) \div 16 = 818.2\text{K (bps)} \quad \text{となります。} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

- 1) UART モード

Baud Rate = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) > 2/fsys を満足する必要があります。

fsys=54MHz のときの最高ボーレートは、 $54 \div 4 \div 16 = 843.8$ (kbps) になります。

- 2) I/O インタフェースモード

Baud Rate = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) > 6/fsys を満足する必要があります。

従って、fsys=54MHz のときの最高ボーレートは、 $54 \div 6 = 9$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) > 8/fsys を満足する必要があります。

従って、fsys=54MHz のときの最高ボーレートは、 $54 \div 8 = 6.75$ (Mbps) 未満にする必要があります。

Not Recommended for New Design

14.1.2 高速シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/Oインターフェースモードの場合
シリアルコントロールレジスタ HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。
HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックを生成します。
- 非同期通信 (UART) モードの場合
シリアルモードコントロールレジスタ HSCOMOD0<SC1:0> の設定により、前記ポーレートジェネレータからのクロックか、システムクロック (f_{sys}) か、タイマ (TMRB8) の内部出力信号か、または外部クロック (HSCLK0 端子) のいずれかを選択し、基本クロック HSIOCLK を生成します。

14.1.3 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、HSIOCLK でカウントアップされます。データ1ビットの受信にHSIOCLKが16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

14.1.4 受信制御部

- I/Oインターフェースモードの場合
HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子へ出力されるシフトクロックの立ち上がりで HRXD0 端子をサンプリングします。
HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って、HSCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ HRXD0 端子をサンプリングします。
- 非同期通信 (UART) モードの場合
受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

14.1.5 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (HSC0BUF) へ移されます。また、同時に受信バッファの full Flag (HSCOMOD2<RBFLL>) が “1” にセットされ、受信バッファ2 に有効データが格納されていることを示します。但し受信FIFOが有効にされている場合、受信データは受信FIFOに移されこのFlagは直ぐにクリアされます。

受信FIFOが有効にされていない場合 (HSC0FCNF<CNFG>=0 且つ HSCOMOD1<FDPX1:0>=01) は同時に割り込み HINTRX0 が発生します。受信FIFOが有効にされている場合 (HSC0FCNF<CNFG>=1 且つ HSCOMOD1<FDPX1:0>=01/11) は HSC0RFC<RIL1:0> の設定に従い割り込みが発生します。

CPUは受信バッファ2 (HSCOBUF) または受信 FIFO (ただし受信バッファに同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag (HSCOMOD2<RBFL>) は“0”にクリアされます。CPUが受信バッファ2 (HSCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、IO インターフェースモードで HSCLK 出力に設定されている場合は、ダブルバッファ制御ビット HSCOMOD2<WBUF>の設定により、受信バッファ2 (HSCOBUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (HSCOF CNF<CNFG>=0 で且つ FDPX1:0=01) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に HSCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、HSCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、HSCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み HINTRX が発生すると同時に HSCLK 出力を再開します。従って、IO インターフェースモードの HSCLK 出力ではダブルバッファ制御ビット HSCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (HSCOF CNF<CNFG>=1 で且つ HSCOMOD1<FDPX1:0>=01/11) は受信 FIFO が FULL (HSCOF CNF<RFST>の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると HSCLK 出力を停止します。またこの状態で HSCOF CNF<RXTXCNT>=1にして

いると HSCLK 出力停止と同時に受信制御 BIT: RXE が自動的にクリアされます。“0”の場合、自動クリアは行なわれません。

(注) このモードでは、HSCOCR の <OERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (HSCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および HSCOCR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART パリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは HSCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 HSCOMOD0<WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、HSCOCR<RB8>= “1” のときのみ、割り込み HINTRX0 が発生します。

14.1.6 受信 FIFO バッファ

前記 Double buffer に加えて、受信 FIFO buffer を用いて、データの格納を行う事ができます。HSCOFCNF レジスタの<CNFG>及び HSCOMOD1 の<FDPX1:0>の設定で 4byte の受信 Buffer を有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO BUFFER を使用する場合はダブルバッファをイネーブルに設定しておいてください。

14.1.7 受信 FIFO の動作

① I/O インターフェースモードで HSCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

HSCORFC<7:6>=01 : 受信 FIFO のクリアと割り込み発生条件の設定

HSCORFC<1:0>=00 : 割り込み発生を fill level 4 に設定

HSCOFCNF<1:0>=10111 : fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと 4byte のデータ受信を開始します。4Byte 受信後に RXE を自動クリアして受信を終了 (HSCLK を STOP) します。

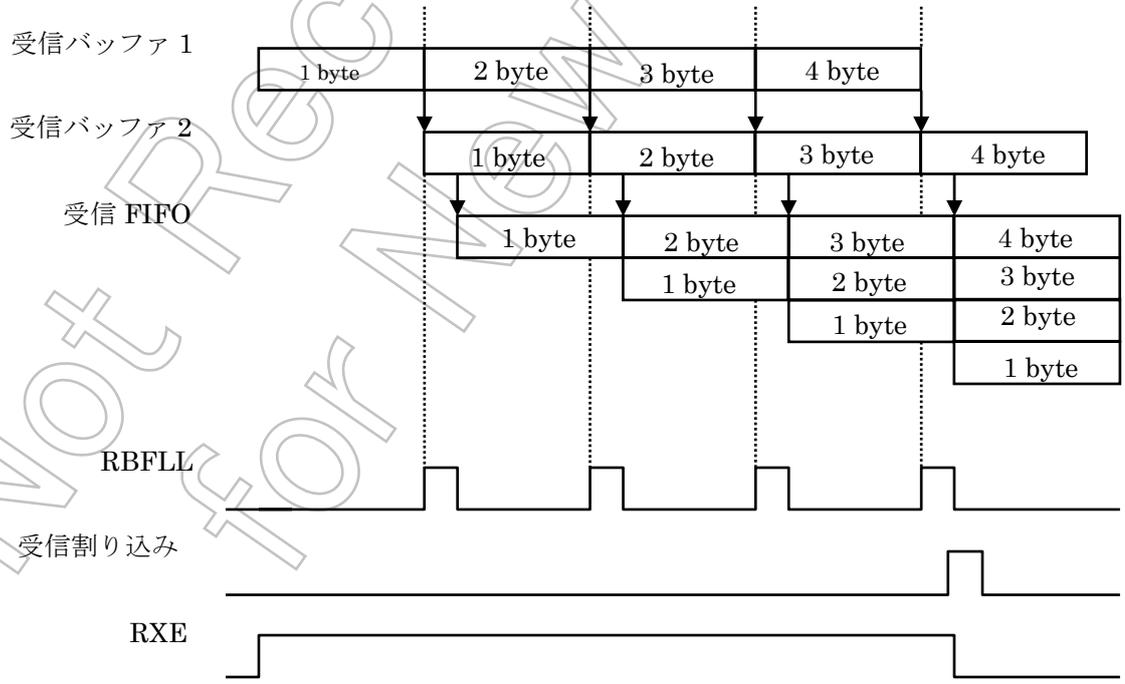


図 14-3 受信 FIFO の動作

② I/O インターフェースモードで HSCLK 入力の場合

4Byte のデータを受信する場合を例に説明します。

HSCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

HSCORFC<1:0>= 00 : 割り込み発生を fill level 4 に設定

HSCOF CNF<1:0>=10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと入力クロックに応じて 4byte のデータ受信を開始します。4 受信後に受信 FIFO 割り込みを発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトのデータも受信可能です。

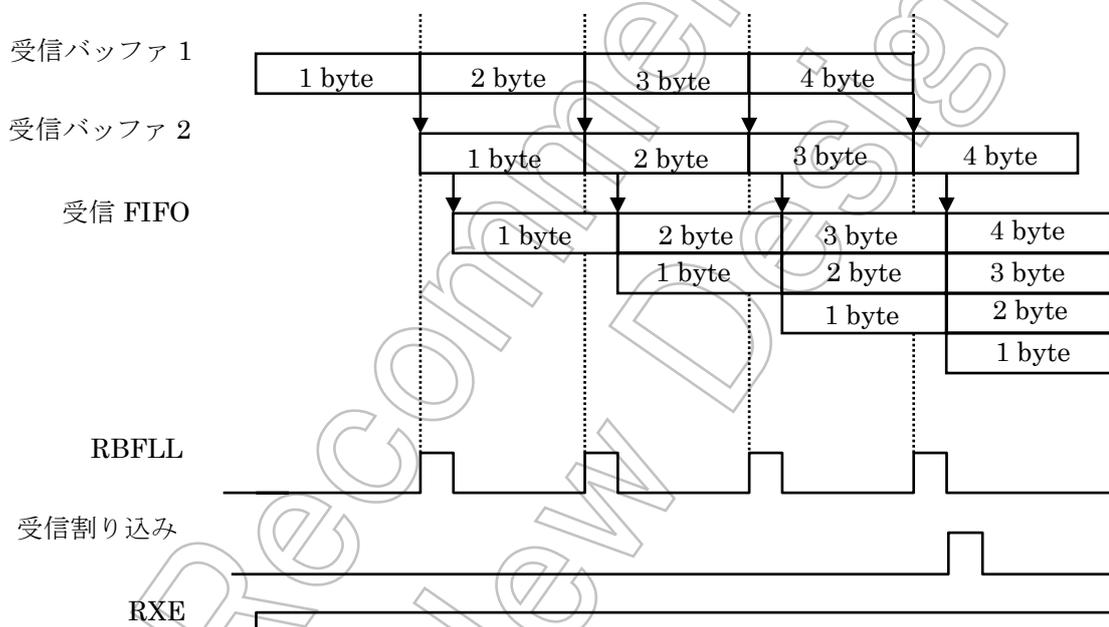


図 14-4 受信 FIFO の動作

14.1.8 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタにより受信カウンタ同様 HSI0CLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

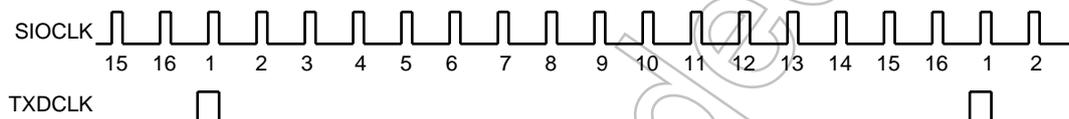


図 14-5 送信クロックの生成

14.1.9 送信制御部

- I/Oインターフェースモードの場合
HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ HTXD0 端子へ出力します。
HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って HSCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ HTXD0 端子へ出力します。
- 非同期通信 (UART) モードの場合
送信バッファに CPU から送信データが書き込まれると、次の HTXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (HTXDSFT) をつくります。

ハンドシェイク機能

$\overline{\text{HCTS}}$ 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は HSCOMODO <CTSE> によってイネーブル/ディセーブルできます。

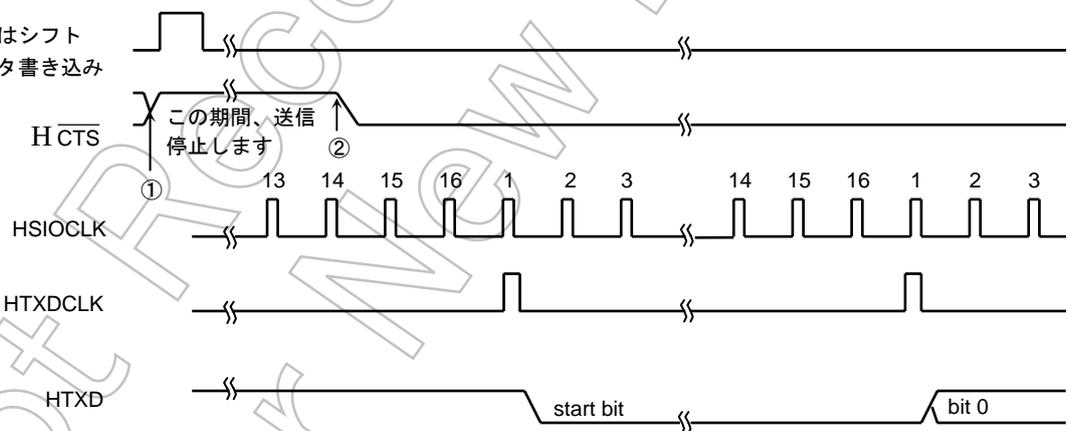
送信は $\overline{\text{HCTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{HCTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、HINTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{HRTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{HRTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図 14-6 ハンドシェイク機能

送信バッファまたはシフトレジスタへのデータ書き込みタイミング



- (注) ① 送信中に $\overline{\text{HCTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 ② $\overline{\text{HCTS}}$ 信号立ち下がり後の最初の HTXDCLK クロックの立ち下がりから送信を開始します。

図 14-7 $\overline{\text{HCTS}}$ (Clear to send) 信号のタイミング

14.1.10 送信バッファ

送信バッファ (HSCOBUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2 (HSCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (HSCOBUF) ヘデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (HSC0FCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み HINTTX0 が発生して、HSCOMOD2 の送信バッファエンティフラグ<TBEMP>フラグが “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込み可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

送信 FIFO が有効にされている場合 (HSCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに “0” にクリアされます。CPU は送信 Buffer 2 または送信 FIFO ヘデータを書き込みます。

また I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (HSCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘデータが移されます。

I/O インターフェースモードの HSCLK 出力で送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると HSCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの HSCLK 出力時で送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると HSCLK 出力を停止します。

注) I/O インタフェース HSCLK 出力モードでは、HSCOCR の<PERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み HINTTX0 が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>= “0” (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO を構成しないに設定してください。

14.1.11 送信 FIFO BUFFER

前記 Double buffer に加えて、送信 FIFO buffer を用いて、データの格納を行う事ができます。HSCOTFCNF レジスタの HCNFG の設定及び HSCOMOD1 の FDPX1:0 で 4byte の送信 Buffer を有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4byte までのデータが格納できます。

14.1.12 送信 FIFO の動作

① I/O インターフェースモードで HSCLK 出力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

HSCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

HSCOTFC<1:0>=00 : 割り込み発生の fill level を 0 に設定

HSCOTFCNF<1:0>=01011 : fill level 到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4byte 分の送信データを書き込み、TXE BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

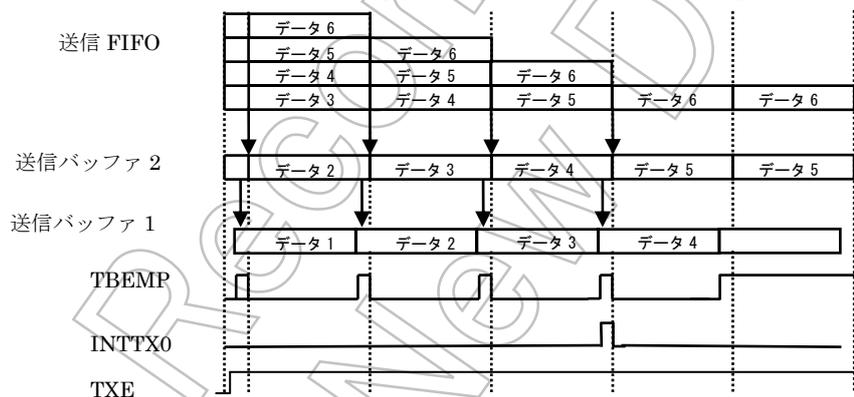


図 14-8 送信 FIFO の動作

② I/O インターフェースモードで HSCLK 入力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

HSCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

HSCOTFC<7:2>=000000 : 割り込み発生の fill level を 0 に設定

HSCOCNF<4:0>=01001 : fill level 到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4BYTE 分の送信データを書き込み、TXE BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生します。

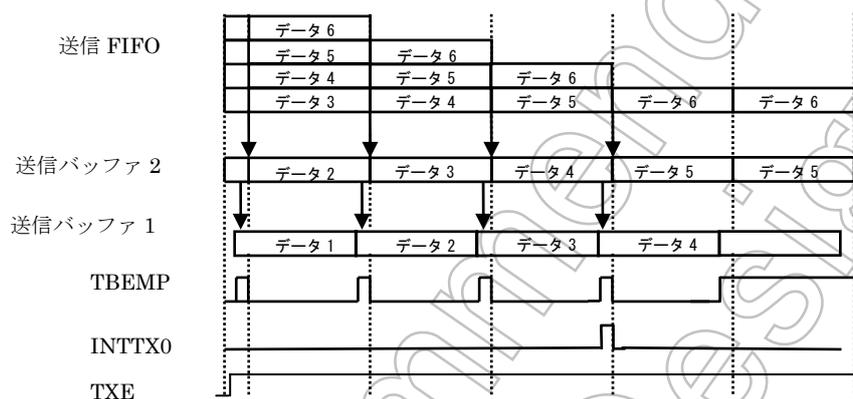


図 14-9 送信 FIFO の動作

14.1.13 パリティ制御回路

シリアルコントロールレジスタ (HSCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。HSCOCR の <EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (HSCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは HSCOBUF ビット 7<TB7> に、8ビット UART モードのときはシリアルモードコントロールレジスタ HSCOMOD のビット 7<TB8> にパリティがデータ送信後に格納されます。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (HSCOBUF) に移されることによりパリティを自動発生します。7ビット UART モードのときは、HSCOBUF <RB7> と、8ビット UART モードのときは、HSCOCR レジスタのビット 7 <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、HSCOCR レジスタの<PERR> フラグがセットされます。

I/O インターフェースモードの時は HSCOCR<PERR> はパリティフラグではなく、アンダーランエラーフラグの働きになります。

14.1.14 エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR> : シリアルコントロールレジスタ HSCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO ヘデータが自動的に移されるので、受信 FIFO が FULL (使用 BYTE 数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードの HSCLK 出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR> : HSCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (HSCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、HSCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータが空になると、アンダーランエラーが発生します。HSCLK 出力モード時は、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ 2 が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー <FERR> : HSCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (HSCOMOD2) の STOP ビット長設定ビット <SBLLEN> の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
10 インタフェース (HSCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
10 インタフェース (HSCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

Not Recommended for New Design

14.1.15 データ転送方向

シリアルモードコントロールレジスタ 2 (HSCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インターフェースモード時に転送方向を MSB ファースト/LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

14.1.16 STOP ビットの長さ

HSCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

14.1.17 ステータスフラグ

HSCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態) であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。HSCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

14.1.18 送受信バッファの構成

		WBUF = 0	WBUF = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

14.1.19 ソフトリセット

HSCOMOD2 レジスタのビット 1, 0<SWRST1:0>を "10" → "01" と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0 <RXE>、HSCOMOD1<TXE>、HSCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの HSCOCR<OERR>、<PERR>、<FERR> 及び内部回路が初期化されます。その他の状態は保持されます。

14.1.20 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (WBUF = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (WBUF = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	HSCLK 入力モード	次回 HSCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (HSCOMOD0<RXE>="0") しないでください

注3) 送信動作中に送信動作を停止 (HSCOMOD1<TXE>="0") しないでください

14.2 レジスタ説明 (チャンネル0 についてのみ説明します)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
HSC0MOD0 (0xFFFF_E80E)	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データ ビット 8	ハンド シェイク 機能制御 0: CTS ディセー ブル 1: CTS イネーブ ル	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセー ブル 1: イネーブ ル	シリアル転送モード 00: I/O インタフェース モード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB0OUT 01: ボーレート ジェネレータ 10: 内部クロック f _{SYS} 11: 外部クロック (HSCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (HSC0CR) でクロックを選択します。

ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ 割り込み	

ハンドシェイク機能 (CTS 端子) イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

注) <RXE>=" 0" の状態で各モードレジスタ (HSC0MOD0、HSC0MOD1、HSC0MOD2) を設定してから最後に<RXE>=" 1" にしてください
・レジスタ設定は、バイトアクセスしてください。

図 14-10 シリアルモードコントロールレジスタ 0 (HSIO0 用、HSC0MOD0)

		7	6	5	4	3	2	1	0
HSC0MOD1 (0xFFFF_E805)	bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	—
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK		0 を書き込んでください	

図 14-11 シリアルモードコントロールレジスタ 1 (HS100 用、HSC0MOD1)

<SINT2:0> : I/O インターフェースモード時で、Double buffer または/及び FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードは意味を持ちません。

<TXE> : 送信許可 BIT です。全転送モードに有効です。送信中にこの BIT が禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : I/O インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

・レジスタ設定は、バイトアクセスしてください。

HSCOMOD2
(0xFFFF_E806)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLEN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R/W						W	W
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full FLAG 0: Empty 1: full	送信動作中 FLAG 0: 停止 1: 動作	STOP ビット 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

<SWRST1:0>: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0<RXE>、HSCOMOD1<TXE>、HSCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの HSCOCR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。

<WBUF>: I/O インターフェースモードの送信 (HSCLK 出力、入力)、受信 (HSCLK 出力)、UART モードの送信時に、送信、受信の Double buffer の許可/不許可を指定します。その他のモードでは設定に関わらず、常に Double buffer は許可されます。

<DRCHG>: I/O インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定です。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが1の場合は送信動作中である事を示し、0の場合は、ビット7<TBEMP>=”1”の時は送信が完全に終了している状態を、<TBEMP>=”0”の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

<RBFL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

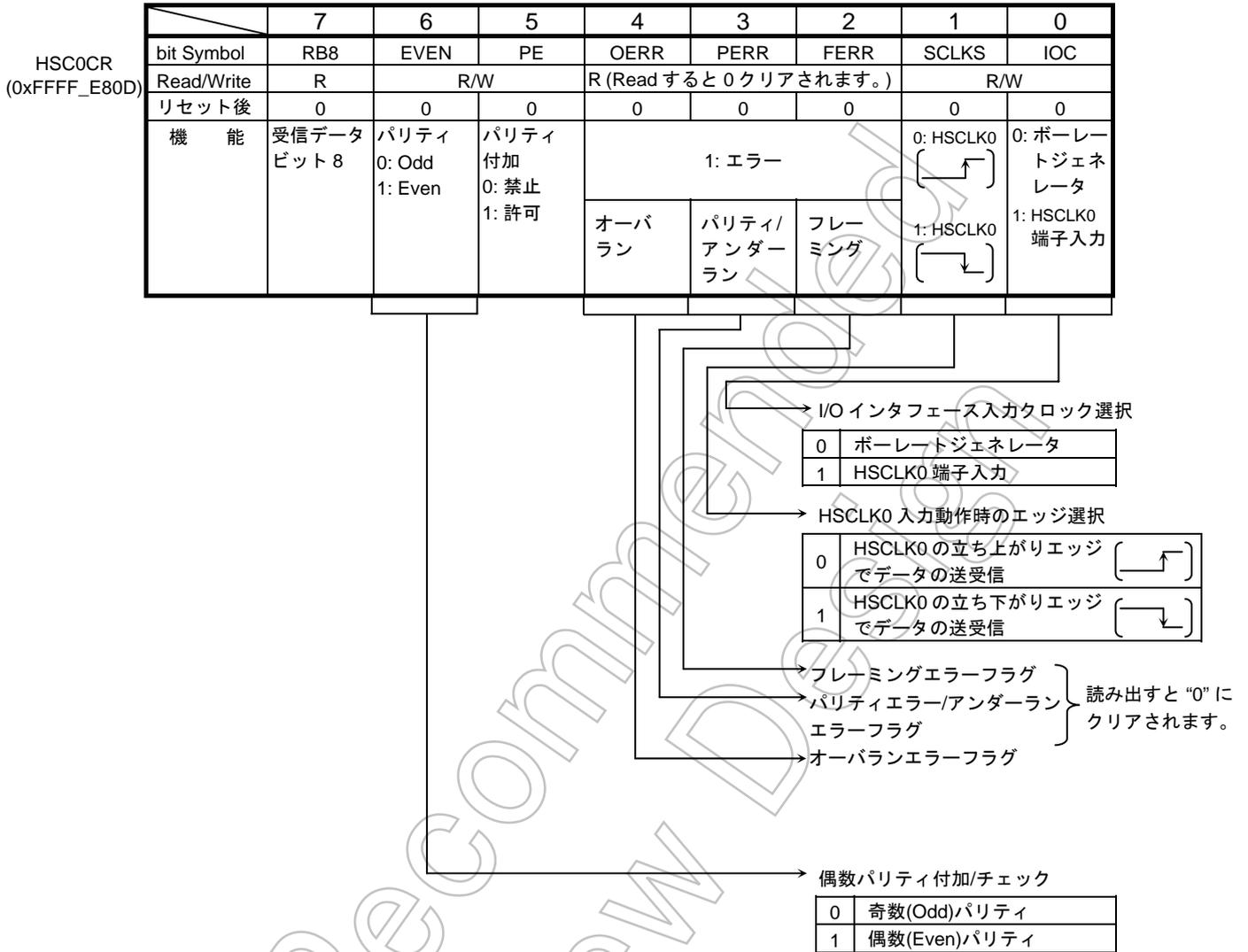
<TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<SBLEN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず1ビットの STOP ビットで認識します。

(注) 転送動作中にソフトリセットを掛ける場合は2回連続して実行してください。
・レジスタ設定は、バイトアクセスしてください。

図 14-12 シリアルモードコントロールレジスタ



(注) エラーフラグは読み出されるとすべてクリアされます。
 ・レジスタ設定は、バイトアクセスしてください。

図 14-13 シリアルコントロールレジスタ (HSIO0 用、HSC0CR)

HBR0CR (0xFFFF_E80F)

	7	6	5	4	3	2	1	0
bit Symbol	—	HBR0ADD E	HBR0S5	HBR0S4	HBR0S3	HBR0S2	HBR0S1	HBR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライト してください	N + (16 - K)/ 16分周機能 0: ディセー ブル 1: イネーブ ル						

・レジスタ設定は、バイトアクセスしてください。

HBR0ADD (0xFFFF_E804)

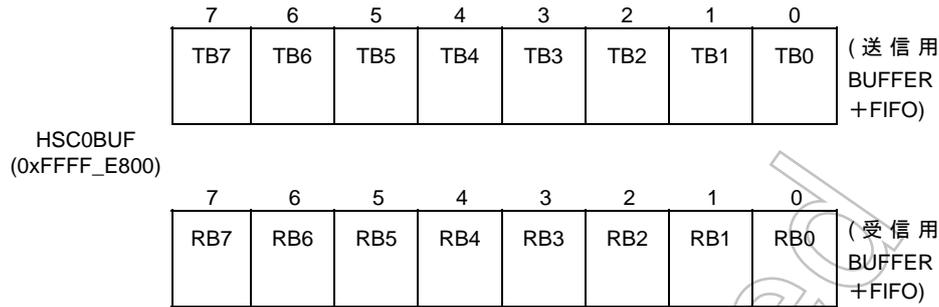
	7	6	5	4	3	2	1	0
bit Symbol					HBR0K3	HBR0K2	HBR0K1	HBR0K0
Read/Write	R				R/W			
リセット後	0				0	0	0	0
機能	リードすると“0”が読めます。				N + (16 - K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	HBR0CR<HR0DDE> = 1		HBR0CR<HR0DDE> = 0
HBR0CR <HBR0S5:0>	000000(N = 64)	000010(N = 2)	000001(N = 1) (ONLY UART)
HBR0DD <HR03:0>	000001(N = 1)	111111(N = 63)	111111 (N = 63) 000000 (N = 64)
0000	禁止	禁止	
0001(K = 1) 1111(K = 15)	禁止	N + (16 - K) 分周 16	N 分周

図 14-14 ボーレートジェネレータコントロール (HSIO0 用、HBR0CR、HBR0ADD)

- (注 1) UART モードでは、ボーレートジェネレータ分周値の“1”分周は、N + (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ボーレートジェネレータ分周値の“1”分周は使用しないで下さい。
- (注 2) N + (16 - K)/16 機能を使用する場合、かならず HBR0ADD <BR3K3 : 0> に K 値 (K = 1~15) を設定後に HBR0CR <BR0ADDE> = “1” を設定してください。ただし、HBR0CR <BR0S5 : 0> = “000000” または “000001” (N = 64 または 1) のとき N + (16 - K)/16 分周機能は使用しないでください。
- (注 3) N + (16 - K)/16 分周機能は UART モードのみ使用可能です。I/O インターフェースモードのときは HBR0CR <BR0ADDE> = “0” に設定し N + (16 - K)/16 分周機能を禁止してください。



注：HSC0BUFは、WR時は送信バッファ、RD時は受信バッファとして機能します。

図 14-15 FIFO コンフィグレジスター

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” を書き込んでください			受信 FIFO 使用 Byte 数 0:最大 1:受信 FIFO の FILL レ ベルに同じ	送信 FIFO 使用時の送 信割り込み 許可 0:禁止 1:許可	受信 FIFO 使用時の受 信割り込み 許可 0:禁止 1:許可	RXE/TXE の自動禁 止 0:無し 1:自動禁 止	FIFO の許 可 0:禁止 1:許可

<CNFG> : 許可の場合は FIFO の構成は HSCOMOD1<FDPX1:0>の設定により
 <FDPX1:0>=01 (半二重受信) ---- 4Byte 受信 FIFO
 <FDPX1:0>=10 (半二重送信) ---- 4Byte 送信 FIFO
 <FDPX1:0>=11 (全二重) ----- 2Byte 受信 FIFO + 2Byte 送信 FIFO

に自動的にになります。

<RXTXCNT> : 0 受信許可 BIT : RXE、送信許可 BIT : TXE の自動禁止機能は無効

: 1 自動禁止の場合は HSCOMOD1<FDPX1:0>の設定により

<FDPX1:0>=01 (半二重受信) ----- 受信 FIFO に指定された有効 BYTE 数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります

<FDPX1:0>=10 (半二重送信) ----- 送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります

<FDPX1:0>=11 (全二重) ----- 前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。

<RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可 / 不許可を切り替えます。

<TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可 / 不許可を切り替えます。

<RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。

0 : 構成されている FIFO の最大 BYTE 数。<FDPX1:0>=01 (半二重受信) の時は 4 BYTE、
 <FDPX1:0>=11 (全二重) の時は 2BYTE

1 : HSCORFC<RIL1:0>で指定される受信割り込み発生の為の FILL レベルに同じ

(注) 送信 FIFO は常に構成されている FIFO の最大 BYTE 数を使用できます。
 使用 BYTE 数は送信 FIFO に書き込んだ BYTE 数になります。
 ・レジスタ設定は、バイトアクセスしてください。

図 14-16 受信 FIFO コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS	—	—	—	—	RIL1	RIL0
Read/Write	w	R						
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO クリア 1:クリア リードは常に“0”	割り込み発生条件 選択	リードすると“0”が読めます。				受信割り込みが発生する FIFOの fill レベル 00:4byte (全二重の場合 は2Byte) 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二 重)の場合 RIL1は無視 されます	

0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時及び、新規データが読み出された時に fill レベルを超えている場合

図 14-17 送信 FIFO コンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS	—	—	—	—	TIL1	TIL0
Read/Write	w	R						
リセット後	0	0	0	0	0	0	0	0
機能	送信 FIFO クリア 1:クリア リードは常に“0”	割り込み発生条件 選択	リードすると“0”が読めます。				送信割り込みが発生する FIFOの fill レベル 00:Empty 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二 重)の場合 TIL1は無視 されます	

0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時及び、新規データが書き込みされた時に fill レベルより低い場合

・レジスタ設定は、バイトアクセスしてください。

図 14-18 受信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	ROR					RLVL2	RLVL1	RLVL0
Read/Write	R				R			
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO Overrun 1:発生 リードでクリア	リードすると“0”が読めます。				受信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

図 14-19 送信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TUR					TLVL2	TLVL1	TLVL0
Read/Write	R				R			
リセット後	1	0	0	0	0	0	0	0
機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア	リードすると“0”が読めます。				送信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

図 14-20 HSIO イネーブルレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	SIOE
Read/Write				R				R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							HSIO 動作 0:禁止 1:許可

<SIOE>: HSIO の動作を指定します。動作禁止の状態では HSIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。HSIO を使用する場合は、HSIO モジュールの各レジスタを設定する前に HSIO 動作許可（“1”）にしてください。HSIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

・レジスタ設定は、バイトアクセスしてください。

14.3 モード別動作説明

14.3.1 モード 0 (I/O インターフェースモード)

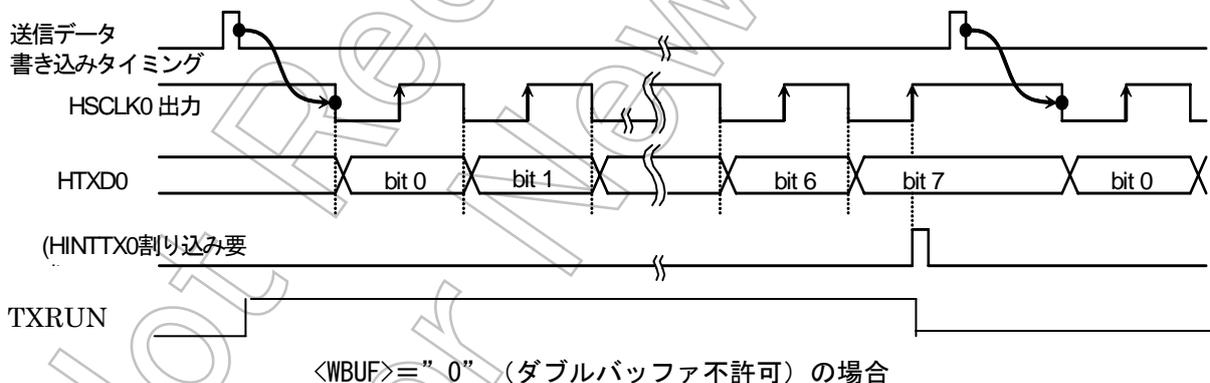
このモードには、同期クロック HSCLK を出力する HSCLK 出力モードと、外部より同期クロック HSCLK を入力する HSCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の章を参照してください。

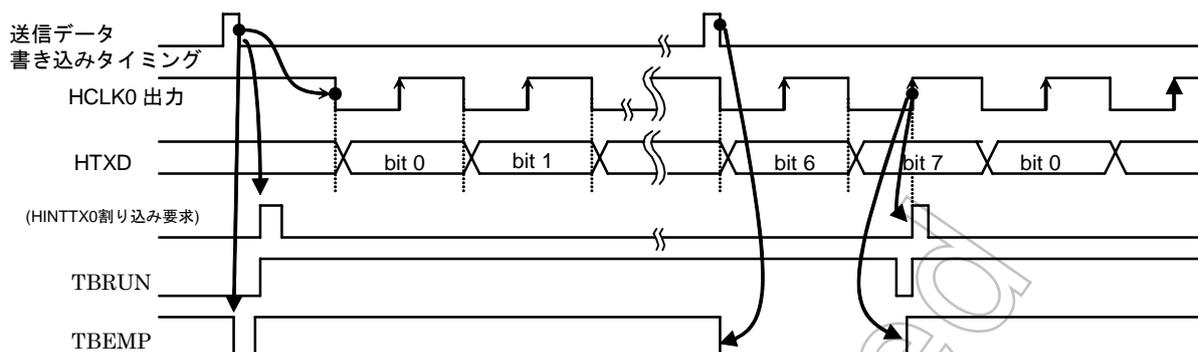
① 送信

HSCLK出力モード

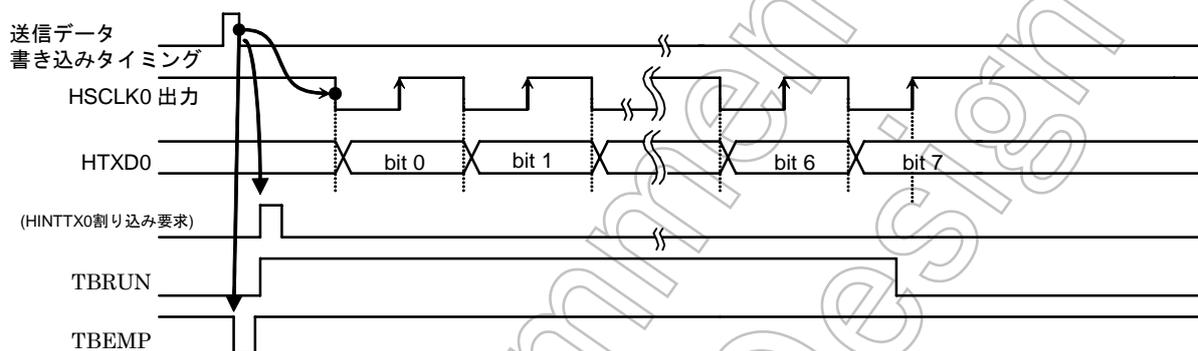
HSCLK 出力モードでは $\text{HSCOMOD2}\langle\text{WBUF}\rangle = "0"$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが HXD0 端子、同期クロックが HSCLK0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生します。

$\text{HSCOMOD2}\langle\text{WBUF}\rangle = "1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ $\text{HSCOMOD2}\langle\text{TBEMP}\rangle$ が "1" にセットされます。同時に、割り込み (HINTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (HINTTX0) を発生せず、HSCLK0 出力も停止します。





<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



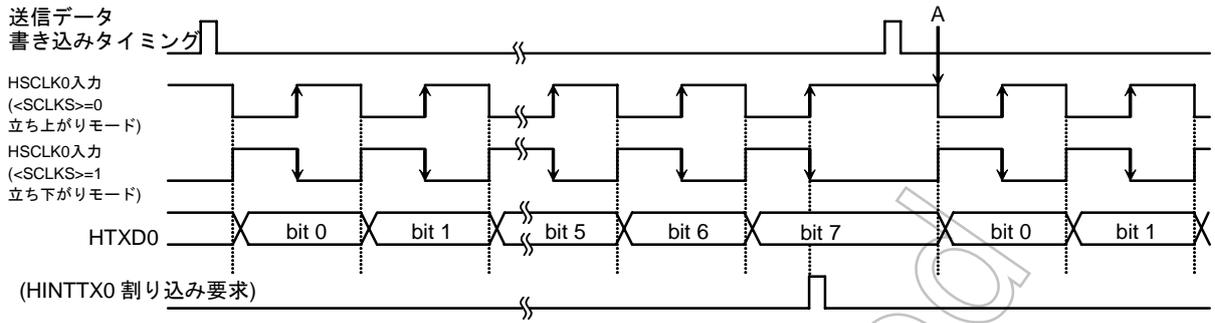
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 14-21 I/O インターフェースモード送信動作 (HSCLK0 出力モード)

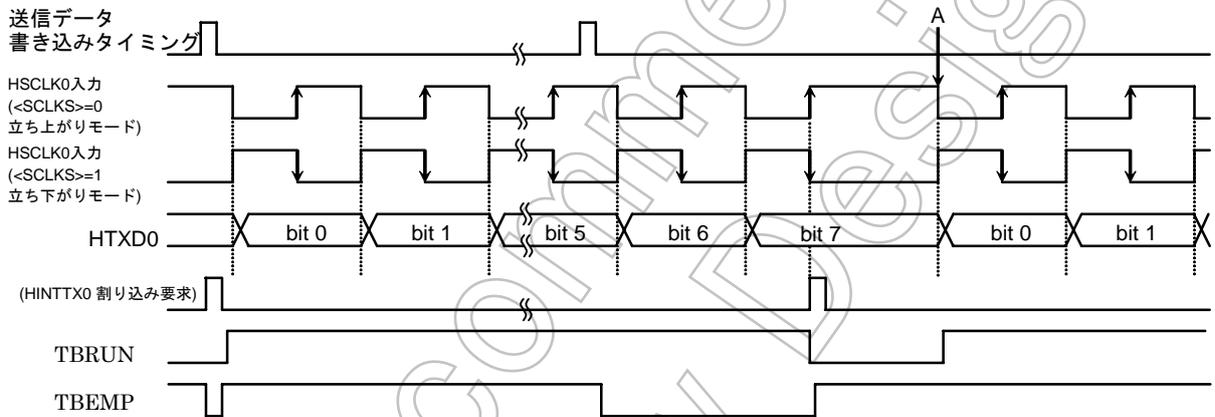
HSCLK入力モード

HSCLK 入力モードでは、HSCOMOD2<WBUF>="0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で HSCLK0 入力が入力されると、8 ビットのデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み HINTTX0 が発生します。次の送信データは A 点までに書き込んでください

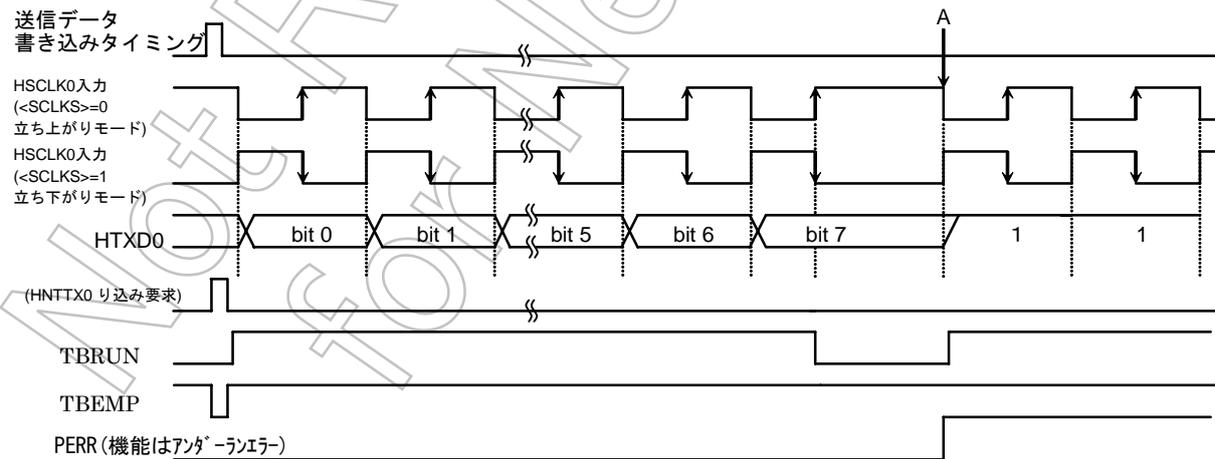
HSCOMOD2<WBUF>="1" で送信ダブルバッファが許可されている場合は、HSCLK0 入力が入力になる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ HSCOMOD2<TBEMP>が "1" にセットされ、割り込み (HINTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、HSCLK0 入力が入力になった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 14-22 I/O インターフェースモード送信動作 (HSCLK0 入力モード)

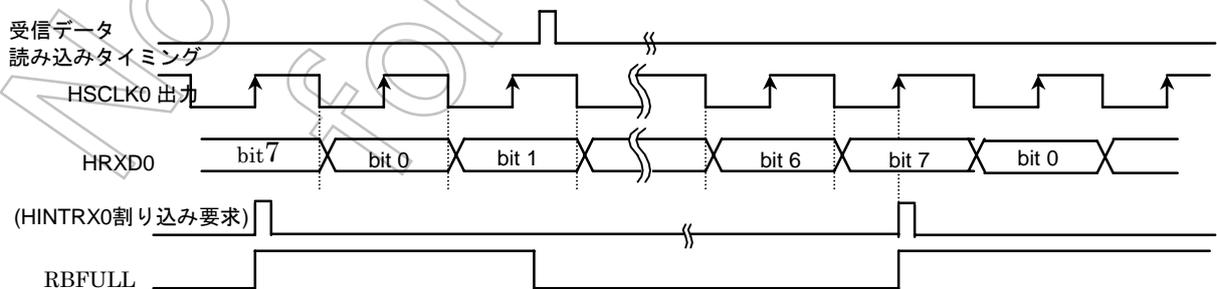
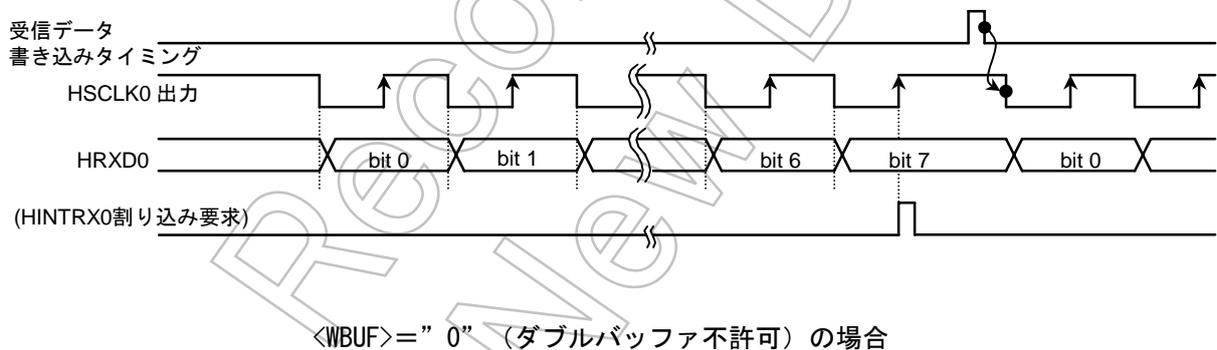
② 受信

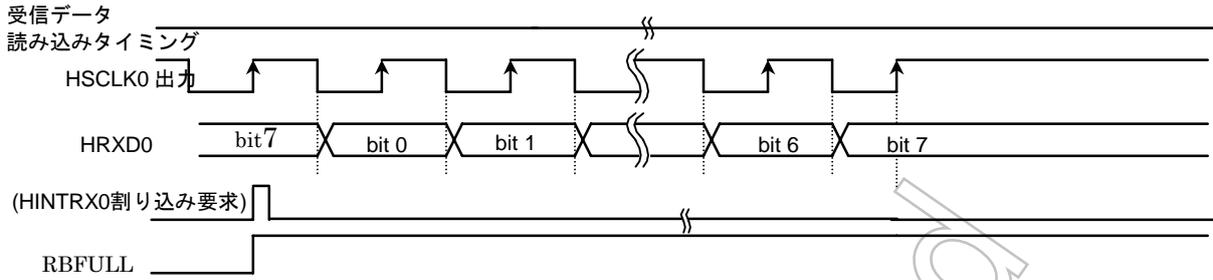
HSCLK出力モード

HSCLK 出力モードでは $\text{HSCOMOD2}\langle\text{WBUF}\rangle = "0"$ で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、HSCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み HINTRX0 が発生します。

最初の HSCLK 出力の開始は、受信許可ビット $\text{HSCOMOD0}\langle\text{RXE}\rangle$ を "1" にセットすることで行います。また、 $\text{HSCOMOD2}\langle\text{WBUF}\rangle = "1"$ で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ $\text{HSCOMOD2}\langle\text{RBFULL}\rangle$ が "1" にセットされ、割り込み HINTRX0 が発生します。

受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータが読み出されない場合は、割り込み HINTRX0 が発生せず、HSCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み HINTRX0 を発生して受信を再開します。





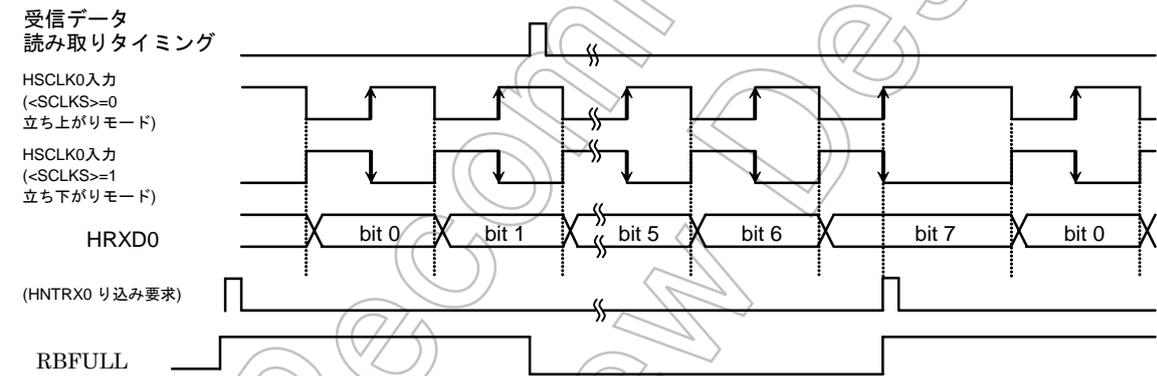
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 14-23 I/O インターフェースモード受信動作 (HSCLK0 出力モード)

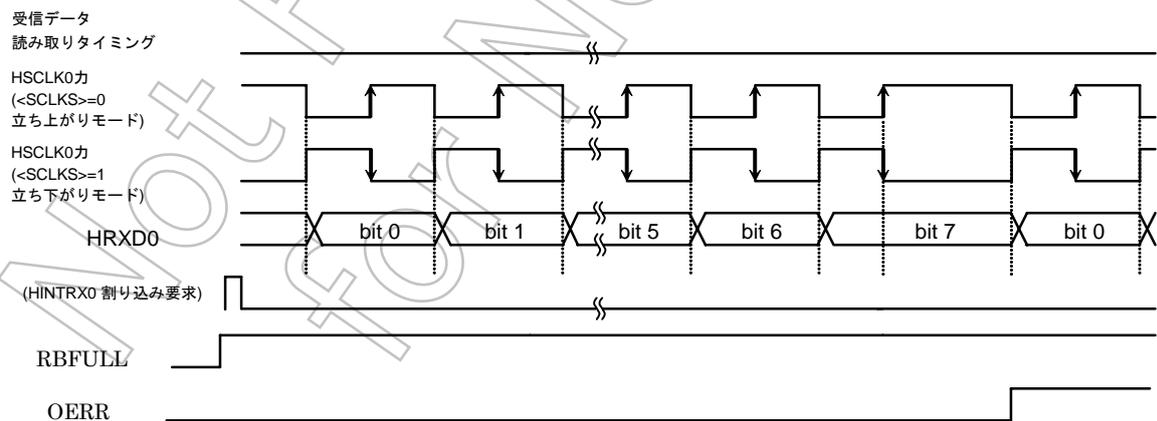
HSCLK入力モード

HSCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み HINTRX0 が発生します。



バッファ 2 のデータを読み出した場合



バッファ 2 のデータが読み出されない場合

図 14-24 I/O インターフェースモード受信動作 (HSCLK0 入力モード)

(注) 受信動作を行う場合には HSCLK 入/出力のどちらのモードでも、受信イネーブル状態 (HSCOMODO <RXE> = 1) にしておく必要があります。

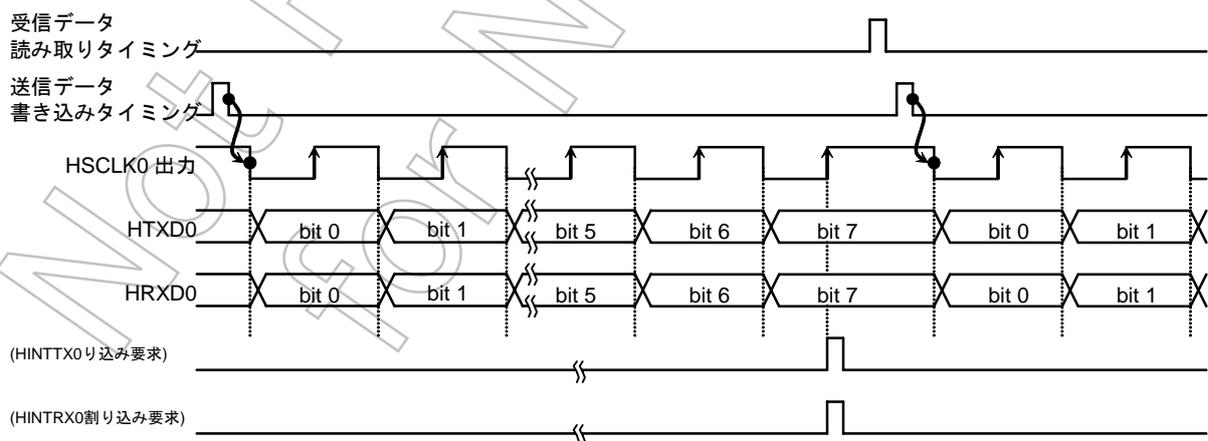
③ 送受信（全二重）

シリアルモードコントロールレジスタ 1 (HSCOMOD1) のビット 6 <FDPX0> に “1” をセットすることにより全二重モードでの通信が可能になります。

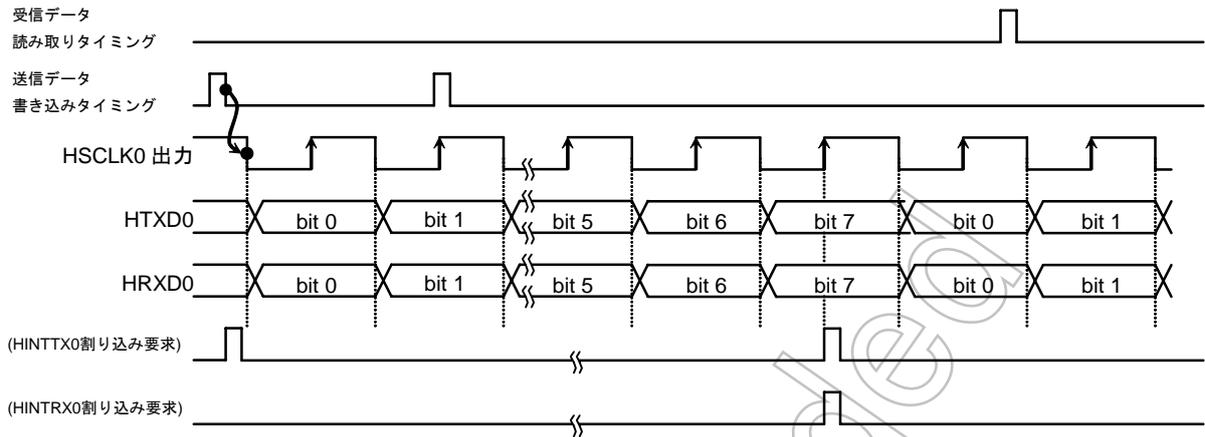
HSCLK出力モード

HSCLK 出力モードでは HSCOMOD2<WBUF> = “0” で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (HINTRX0) が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、HTXD0 端子より出力され、全てのデータが送信されると送信割り込み (HINTTX0) が発生します。この状態で HSCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

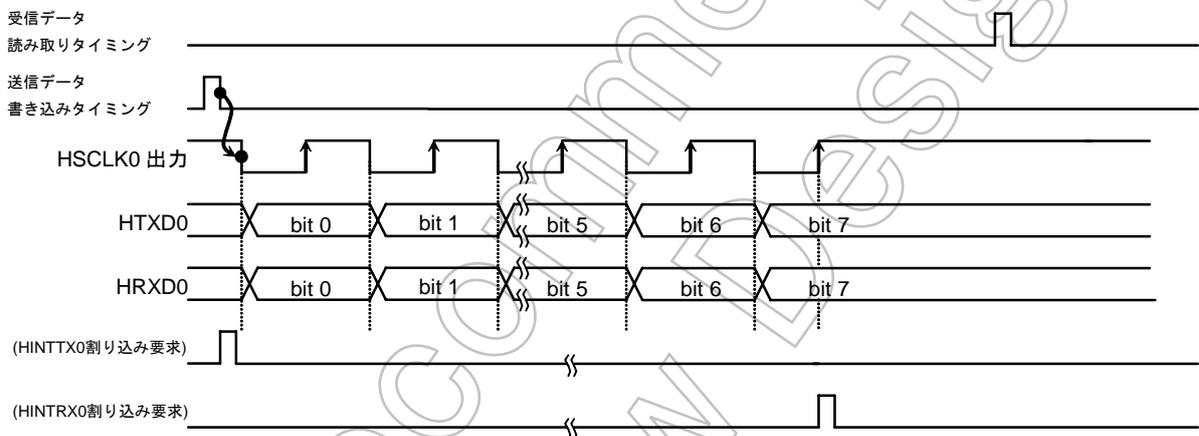
HSCOMOD2<WBUF> = “1” で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (HINTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (HSCOMOD2<TBEMP> = “1”) または受信バッファ 2 にデータが存在している (HSCOMOD2<RBFULL> = “1”) 場合は HSCLK 出力が停止します。その後は受信データの読み出しと、送信データ書き込みの両方の条件が成立すると再度 HSCLK の出力が開始されて次の送受信が始まります。



<WBUF> = “0” (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合

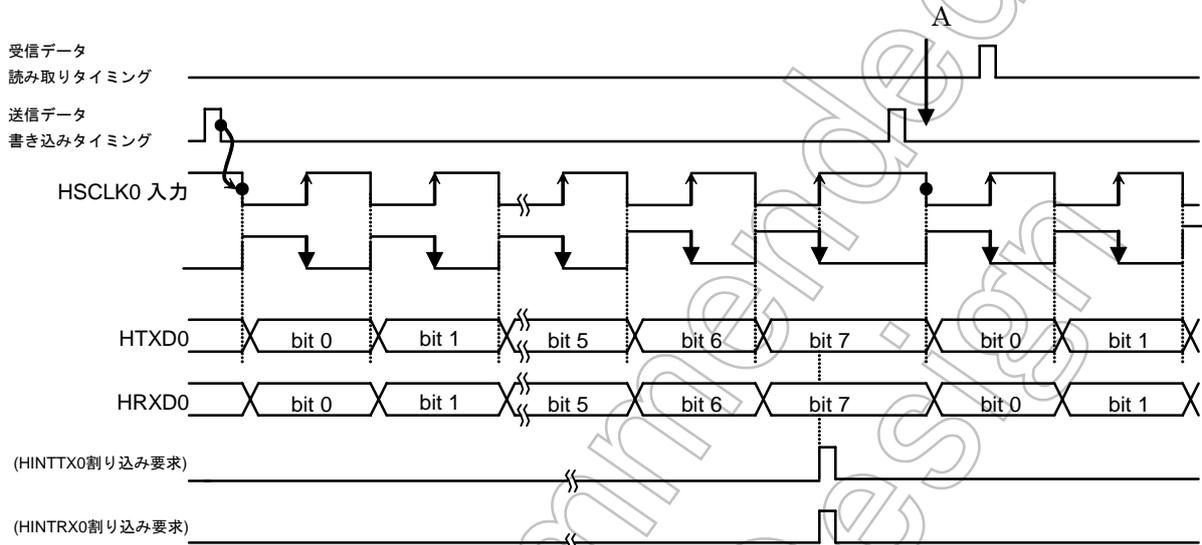
図 14-25 I/O インターフェースモード送受信動作 (HSCLK 出力モード)

HSCLK 入力モード

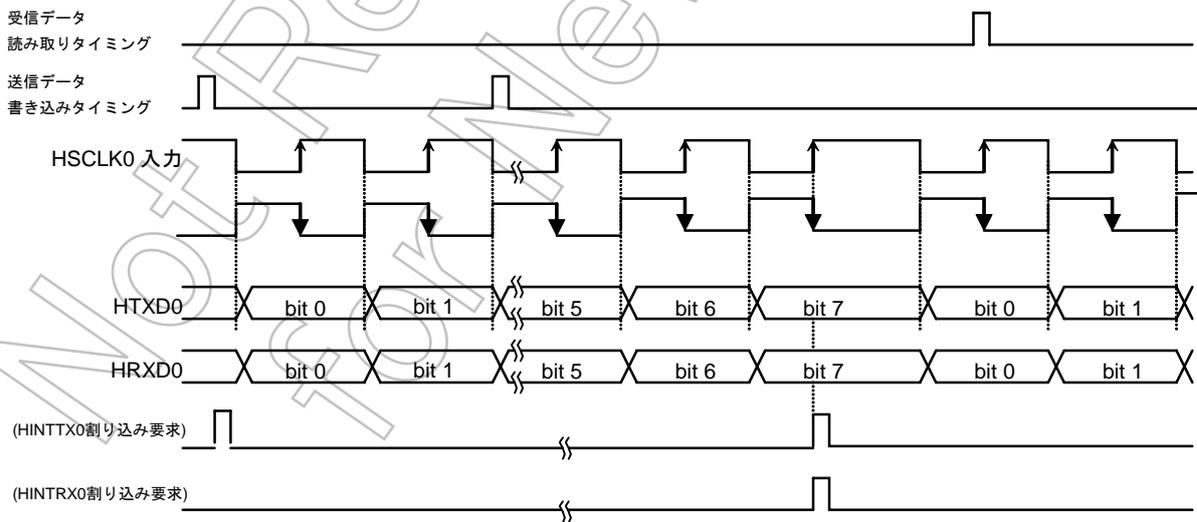
HSCLK 入力モードでは HSCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可 (受信は設定に関わらずダブルバッファ有効) の場合は、送信バッファにデータが書き込まれている状態で HSCLK 入力が入力になると、8 ビットのデータが HTXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み (HINTTX0) が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み (HINTRX0) が発生します。次のフレームの HSCLK が入力される前に送信データを送信バッファへ書き込む様にして下さい (A 点までに書き込んでください)。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

HSCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み (HINTRX0) が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み (HINTRX0) が発生します。続けて次のフレームの HSCLK が入

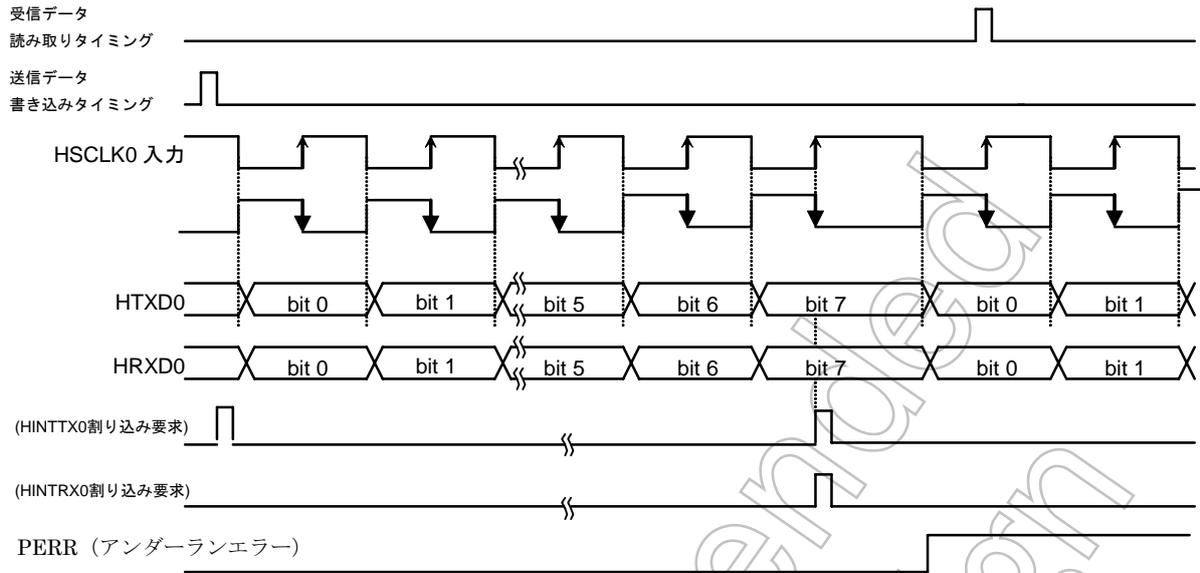
力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの HSCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



$\langle WBUF \rangle = "0"$ (ダブルバッファ不許可) の場合



$\langle WBUF \rangle = "1"$ (ダブルバッファ許可)、の場合 (エラー無し)



<WBUF>=" 1" (ダブルバッファ許可)、の場合 (エラー発生)

図 14-26 I/O インターフェースモード送受信動作 (HCLK0 入力モード)

Not Recommended for New Design

14.3.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ (HSCOMOD <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (HSCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、HSCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

14.3.3 モード 2 (8 ビット UART モード)

HSCOMOD0 <SM1 : 0> を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で HSCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、HSCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

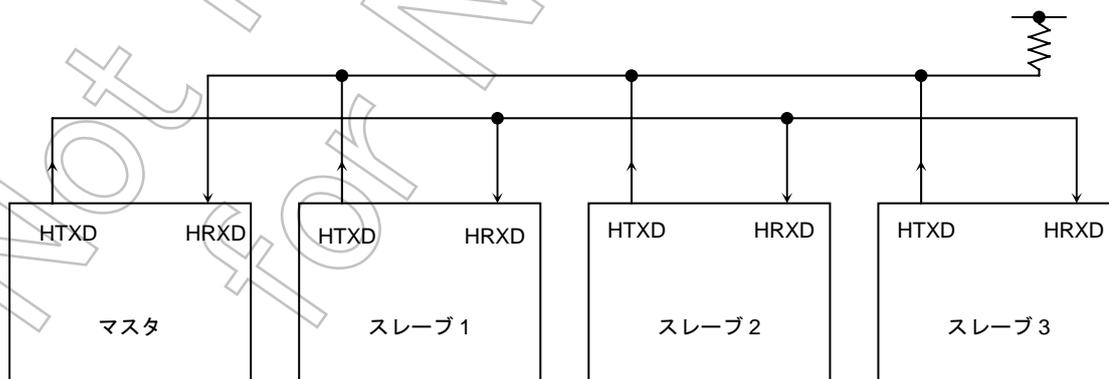
14.3.4 モード 3 (9 ビット UART)

HSCOMOD0 <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (HSCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (HSCOMOD0) の ビット 7<TB8> に書き込み、受信の場合シリアルモードコントロールレジスタ HSCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、HSCOBUF の方を後にします。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット HSCOMOD0<WU>を “1” にすることによって、スレーブ コントローラのウェイク アップ動作が可能で、HSCOCR<RB8>= “1” のときのみ割り込み (HINTRX0) が発生します。



(注) スレーブコントローラの HTXD 端子は、かならず POD レジスタを設定してオープンドレイン出力モードにしてください。

図 14-27 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはHSCOMOD <WU> を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8) <TB8> は“1”にします。

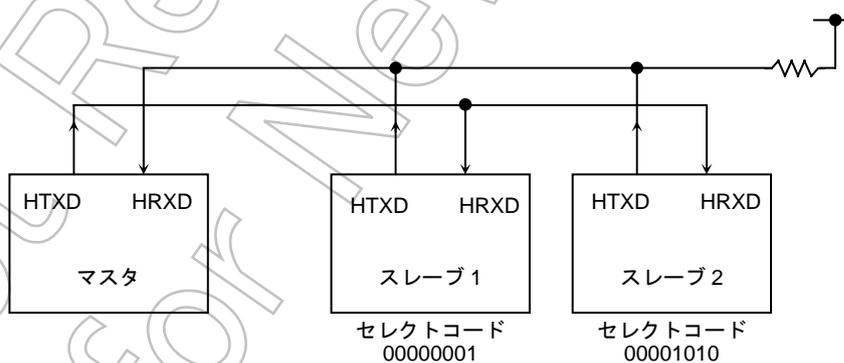


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ (HSCOMOD <WU> = “0”にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット(ビット8) <TB8> は“0”にします。



- ⑥ <WU> = “1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の <RB8> が“0”であるため、割り込み(HINTRX0)が発生せず、受信データを無視します。また、<WU> = “0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



15. シリアルバスインタフェース (SBI)

19A61 はシリアルバスインタフェース (SBI) を 2チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2つの動作モードを持っています。CH0 と CH1 は同じ動作をしますので、以下は CH0 での場合についてのみ説明します。

- I²Cバスモード (マルチマスタ)
- クロック同期式 8ビット SIO モード

I²Cバスモードのときには、PE5 (SDA)、PE6 (SCL)を通して、外部デバイスと接続されます。クロック同期式 8ビット SIOのときには、PE7 (SCK)、PE5 (SO)、PE6 (SI)を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	PEIE <7:5>	PESEL<7:5>	PEOD<6:5>	PEFC1<7:5>	PECR<7:5>
I ² Cバスモード	X11	XXX	11	X11	X11
クロック同期式 8ビット SIO モード	111 (クロック入力) 011 (クロック出力)	111	00	111	011 (クロック入力) 111 (クロック出力)

X: Don' t care

15.1 構成

構成を図 15.1 に示します。

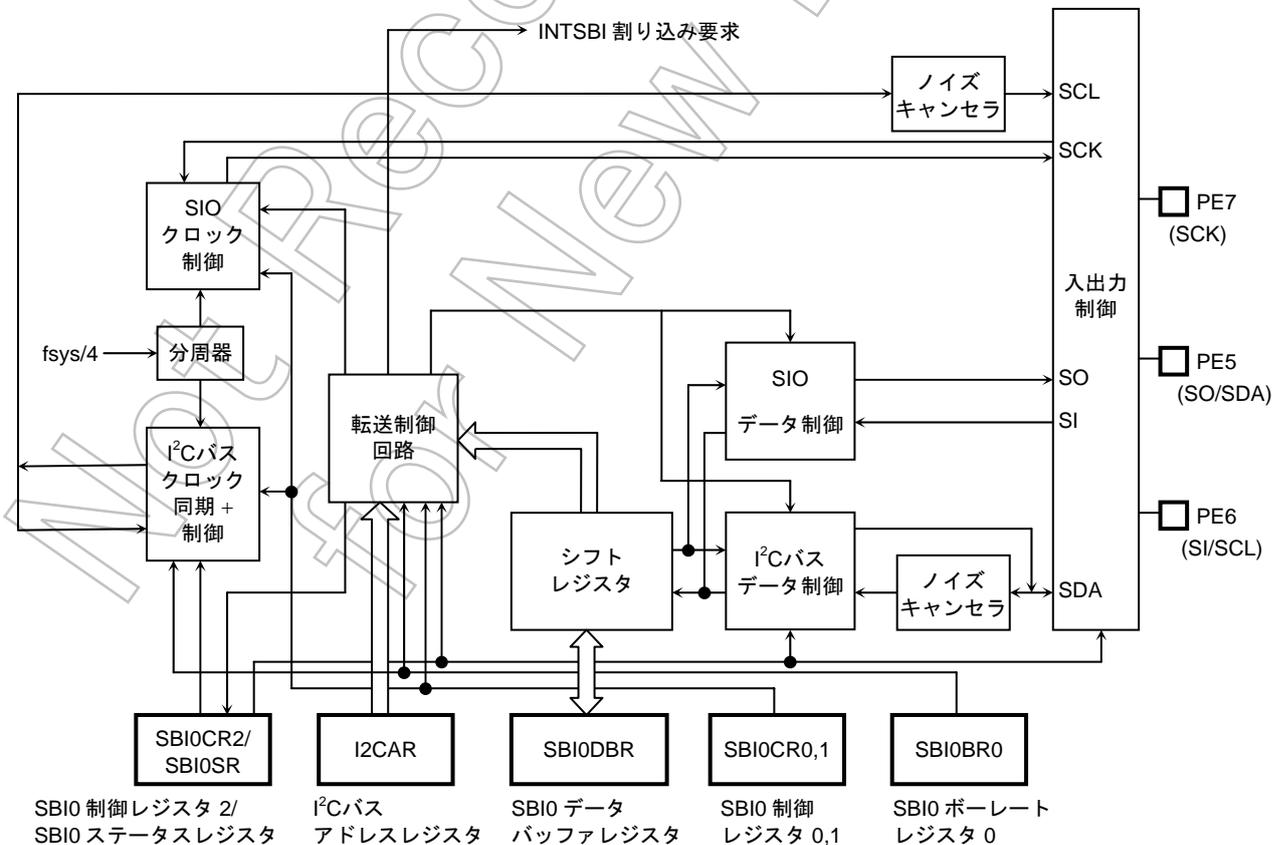


図 15.1 SBI のブロック図

15.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

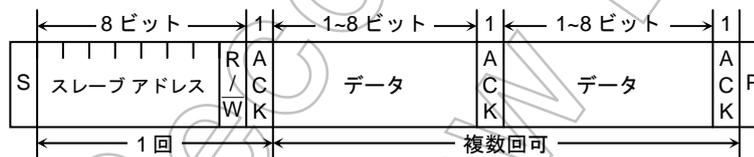
- シリアルバスインタフェース制御レジスタ 0 (SBIOCR0)
- シリアルバスインタフェース制御レジスタ 1 (SBIOCR1)
- シリアルバスインタフェース制御レジスタ 2 (SBIOCR2)
- シリアルバスインタフェースバッファレジスタ (SBIODBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBIOSR)
- シリアルバスインタフェースポーレートレジスタ 0 (SBIOBR0)

上記レジスタは使用するモードによって、機能が異なります。詳細は「14.5 I²Cバスモード時の制御」および「14.7 クロック同期式 8 ビットSIOモード時の制御」を参照してください。

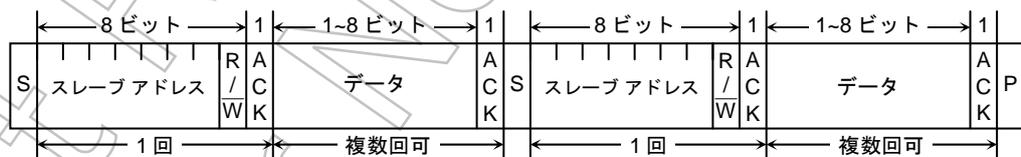
15.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 14.3 に示します。

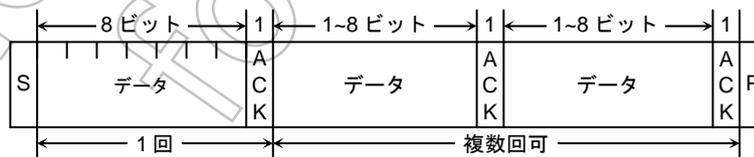
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有り)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



- 注) S: スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 15.3 I²Cバスモード時のデータフォーマット

15.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御、および、動作状態のモニタは以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

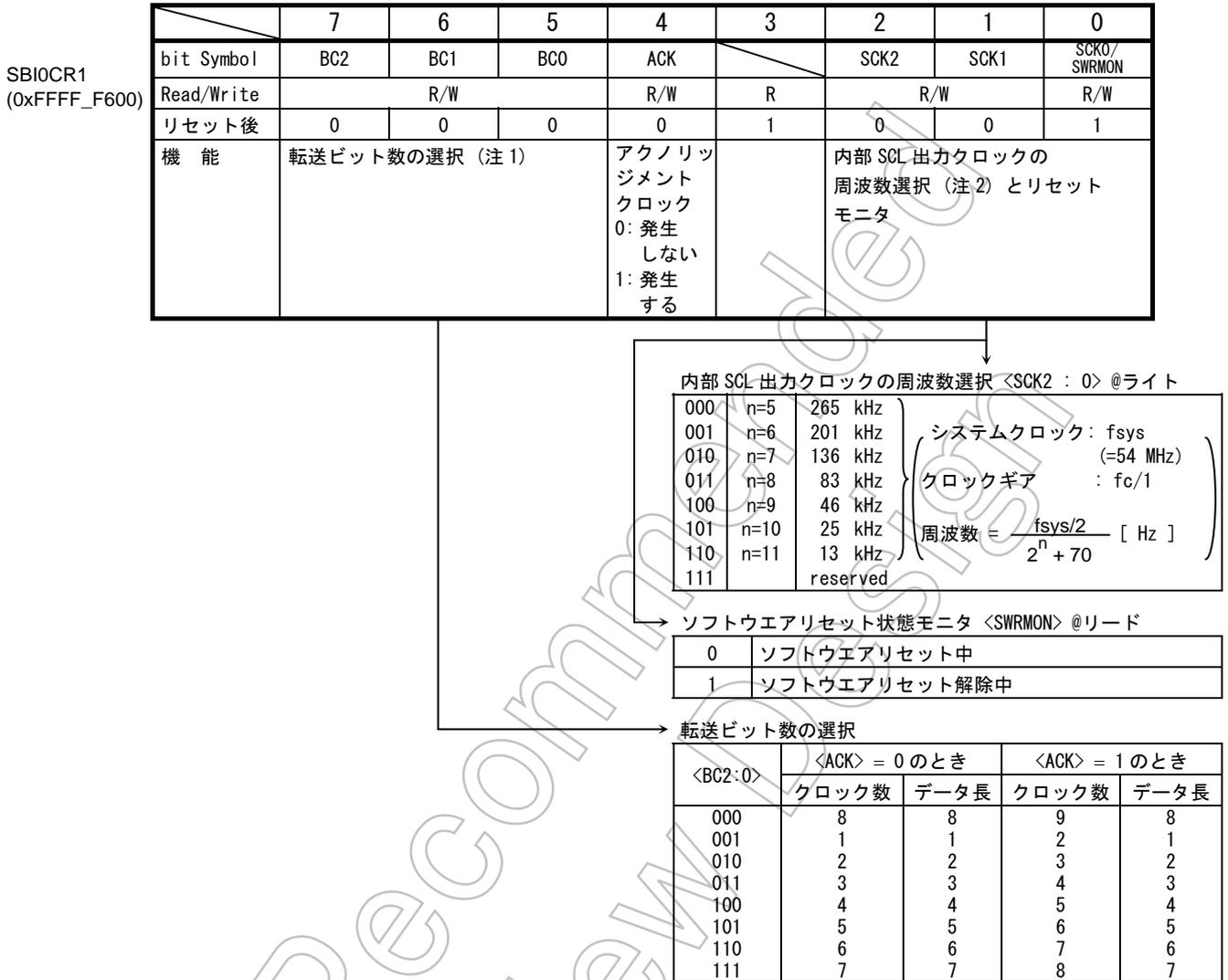
	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W	R						
リセット後	0	0	0	0	0	0	0	0
機能	SBI 動作 0: 禁止 1: 許可							

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 ("1") にしてください。

(注) SBICR0 のビット 0~6 は、リードすると"0"が読み出されます。

図 15.4.1 I²C バスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 1



(注1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を“000”にクリアしてください。

(注2) SCL ラインクロックの周波数については、「15.5.3 シリアルクロック」を参照してください。

(注3) <SCK0/SWRMON>ビットは、リセット後“1”が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は“0”になります。

図 15.4.2 I²Cバスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

SBI0CR2 (0xFFFF_F603)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W		W	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/スレーブの選択 0: スレーブ 1: マスタ	送信/受信の選択 0: 受信 1: 送信	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生	INTSBI 割り込み要求解除 0: - 1: 割り込み要求の解除	シリアルバスインタフェースの動作モード選択 (注2) 00: ポートモード 01: SIOモード 10: I ² Cバスモード 11: (予約)		ソフトウェアリセットの発生 最初に “10”、次に “01” をライとすると、リセットが発生します。	

→ シリアルバスインタフェースの動作モード選択 (注2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(予約)

(注1) このレジスタをリードすると、**SBISR** レジスタとして機能します。

(注2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。また、ポートモードからI²Cバスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が “H” になっていることを確認してから行ってください。

図 15.4.3 I²Cバスモード関係のレジスタ

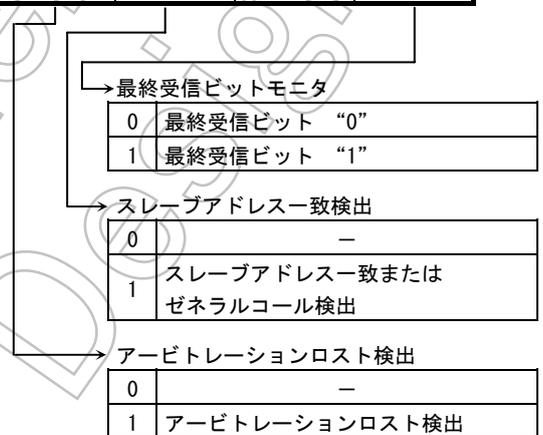
表 15.4.4 ベースクロック 分解能

@f_{sys} = 54 MHz

クロックギア値 <GEAR2:0>	ベースクロック 分解能
000 (fc)	f _{sys} /2 ² (0.07μs)
100 (fc/2)	f _{sys} /2 ³ (0.14μs)
110 (fc/4)	f _{sys} /2 ⁴ (0.28μs)
111 (fc/8)	f _{sys} /2 ⁵ (0.58μs)

シリアルバスインタフェースステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブ 選択 モニタ 0: スレーブ 1: マスタ	送信/受信 選択 モニタ 0: 受信 1: 送信	I ² Cバス 状態 モニタ 0: バス フリー 1: バス ビジー	INTSBI 割り込み 要求 モニタ 0: 割り込み 要求発生 状態 1: 割り込み 要求解除 状態	アービット レーション ロスト検出 0: - 1: 検出	スレーブ アドレス 一致検出 0: - 1: 検出	ゼネラル コール検 出 0: - 1: 検出	最終受信 ビット モニタ 0: "0" 1: "1"



(注) このレジスタをライトすると、**SBICR2** として機能します。

図 15.4.5 I²Cバスモード関係のレジスタ

シリアルバスインタフェースポーレートレジスタ 0

SBI0BR0 (0xFFFF_F604)	bit Symbol		I2SBI						
	Read/Write	R	R/W			R			R/W
	リセット後	1	0	1	1	1	1	1	0
	機能		IDLE 0: 停止 1: 動作						必ず "0" をラ イトして ください。

→ IDLE 時の動作

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR (0xFFFF_F601)	bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	0							

(注) 送信データを書き込み時には、データを **MSB (ビット 7)** 側につめてライトしてください。

I²Cバスアドレスレジスタ

SBI0I2CAR (0xFFFF_F602)	bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 15.4.6 I²Cバスモード関係のレジスタ

15.5 I²Cバスモード時の制御

15.5.1 アクノリッジメントモードの指定

SBI0CR1 <ACK> を “1” にセットしておくくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

15.5.2 転送ビット数の選択

SBI0CR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にされるため、スレーブアドレス、方向ビットの転送はかならず8ビットで行われます。それ以外のときは <BC2:0> は一度設定された値を保持します。

15.5.3 シリアルクロック

① クロックソース

SBI0CR1 <SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$$t_{LOW} = 2^{n-1} / (fsys/2) + 58 / (fsys/2)$$

$$t_{HIGH} = 2^{n-1} / (fsys/2) + 12 / (fsys/2)$$

$$fscl = 1 / (t_{LOW} + t_{HIGH})$$

$$= \frac{fsys/2}{2^n + 70}$$

SBI0CR1 <SCK2:0>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 15.5.3.1 クロックソース

通信規格上、標準モード/高速モードの最高速は **100KHz/400KHz** です。内部 SCL クロックの周波数の設定は、使用される **fsys** と上記計算式にて設定されますのでご注意ください。

② クロック同期化

I²Cバスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

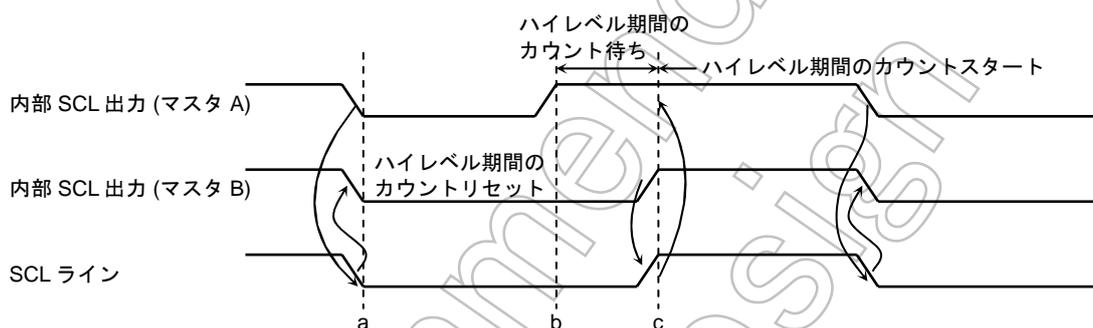


図 15.5.3.2 クロック同期化の例

a点でマスタAが内部SCL出力を“L”レベルに引くことで、バスのSCLラインは“L”レベルになります。マスタBはこれを検出し、マスタBの“H”レベル期間のカウントをリセットし、内部SCL出力を“L”レベルに引きます。

b点でマスタAは“L”レベル期間のカウントを終わり、内部SCL出力を“H”レベルにします。しかし、マスタBがバスのSCLラインを“L”レベルに保持し続けているので、マスタAは“H”レベル期間のカウントを止めます。マスタAは、c点でマスタBが内部SCL出力を“H”レベルにし、バスのSCLラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い“L”レベル期間をもつマスタによって決定されます。

15.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2CAR にスレーブアドレス <SA6 : 0> と <ALS> を設定します。<ALS> に“0”を設定すると、アドレス認識モードになります。

15.5.5 マスタ/スレーブの選択

SB10CR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にされます。

15.5.6 トランスミッタ/レシーバの選択

SBI0CR2 <TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが I2CCR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0”)

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/W) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にされます。

15.5.7 スタート/ストップコンディションの発生

SBI0SR<BB> が “0” のときに、SBI0CR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。

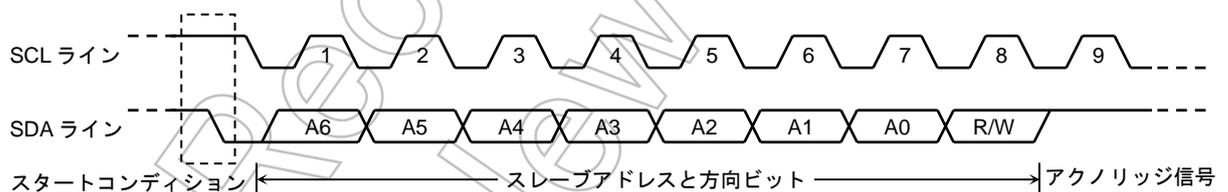


図 15.5.7.1 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

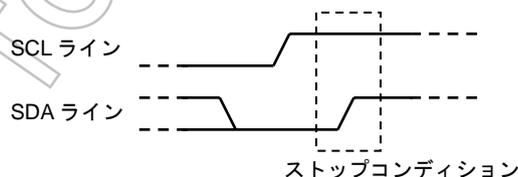


図 15.5.7.2 ストップコンディションの発生

また、SBI0SR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にされます (バスフリー状態)。

15.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI) が発生すると、SBIOCR2 <PIN> が “0” にされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にされ、SBIODBR にデータを書き込むか、SBIODBR からデータを読み出すと “1” にセットされます。<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にされます。プログラムで SBIOCR2 <PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んで “0” にクリアされません。

15.5.9 シリアルバスインタフェースの動作モード

SBIOCR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するときは、<SBIM1:0> を “10” に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

15.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B と同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A よって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます、マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

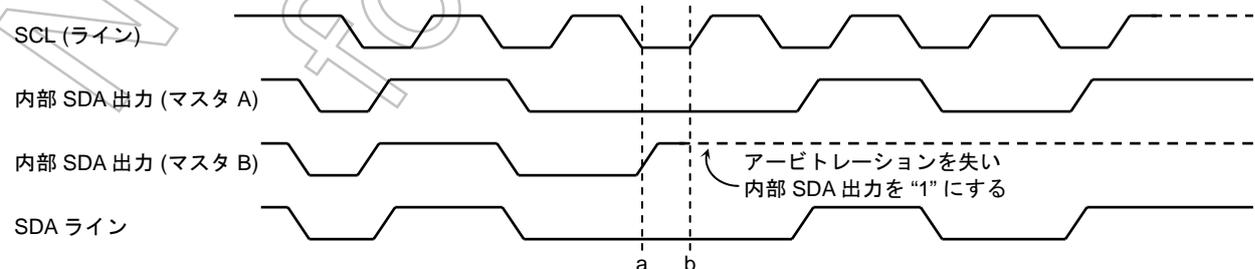


図 15.5.10.1 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIOSR <AL> が “1” にセットされます。

<AL> が “1” にセットされると SBIOSR <MST, TRX> は “0” にされ、スレーブレシーバモードになります。<AL> は、SBIODBR にデータを書き込むか、SBIODBR からデータを読み込む、または SBIOCR2 にデータを書き込むと “0” にされます。

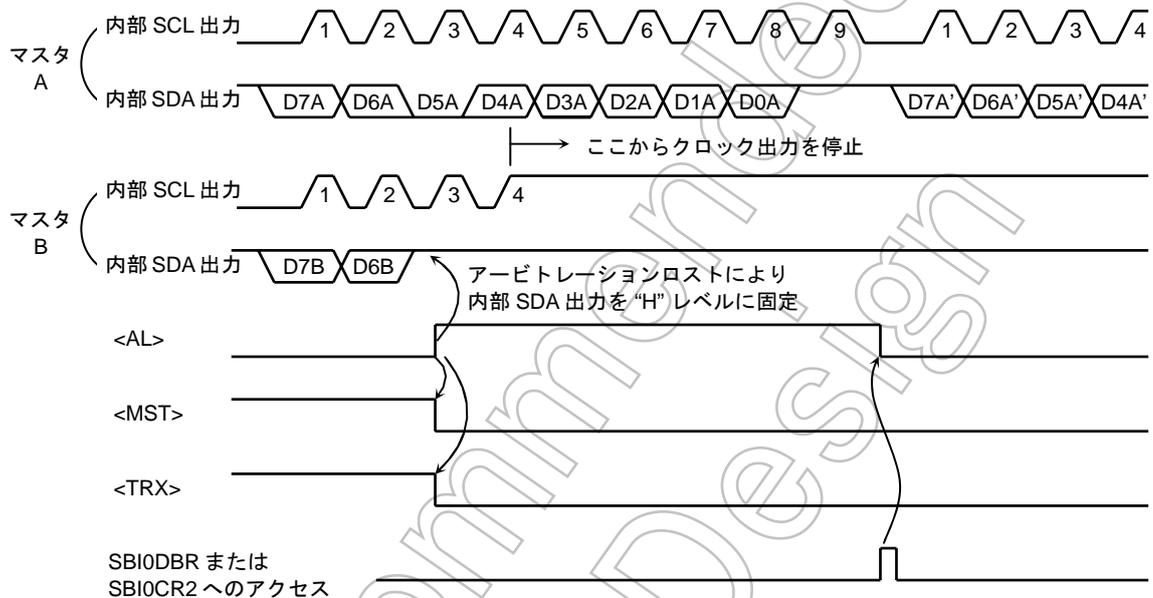


図 15.5.10.2 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

15.5.11 スレーブアドレス一致検出モニタ

SBIOSR <AAS> は、スレーブモード時、アドレス認識モード (I2CCR <ALS> = “0”) のとき、ゼネラルコールまたは I2CCR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBIODBR にデータを書き込むか、SBIODBR からデータを読み出すと “0” にされます。

15.5.12 ゼネラルコール検出モニタ

SBIOSR <ADO> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にされます。

15.5.13 最終受信ビットモニタ

SBIOSR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBISR <LRB> を読み出すと、ACK 信号が読み出されます。

15.5.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2 <SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

(注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²Cモードから PORTモードになります。

15.5.15 シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

15.5.16 I²CBUSアドレスレジスタ (I2CAR)

I2CAR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、I2COAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

15.5.17 IDLE 設定レジスタ (SBI0BR0)

SBI0BR0<I2SBI>は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

15.6 I²C バスモード時のデータ転送手順

15.6.1 デバイスの初期化

最初に SBI0CR1<ACK, SCK2:0> を設定します。SBI0CR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBI0CR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBI0CR1	←	0	0	0	X	0	X	X	ACK および SCL クロックの設定をします。
I2CAR	←	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBI0CR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

(注) X: Don't care

15.6.2 スタートコンディション、スレーブアドレスの発生

① マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBI0CR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBI0CR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロック出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
Reg. ← SBI0SR									バスがフリー状態になるまで確認します。
Reg. ← Reg. e 0x20									
if Reg. ≠ 0x00									
Then									
SBI0CR1	←	X	X	X	1	0	X	X	アクノリッジメントモードに設定します。
SBI0DR1	←	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBI0CR2	←	1	1	1	1	1	0	0	スタートコンディションの発生を行います。

INTSBI 割り込みルーチンでの処理例

INTCLR ← 0X50	割り込み要求をクリアします。
処理	
割り込み終了	

② スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを“L”レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、〈PIN〉 = “0” にされます。スレーブモード時は、〈PIN〉 = “0” の間 SCL ラインを“L”レベルにひきます。

(注) DMA 転送を使用する場合は

- ・マスタスレーブが 1 対 1
- ・送信または受信が連続して可能のときにのみ可能です。

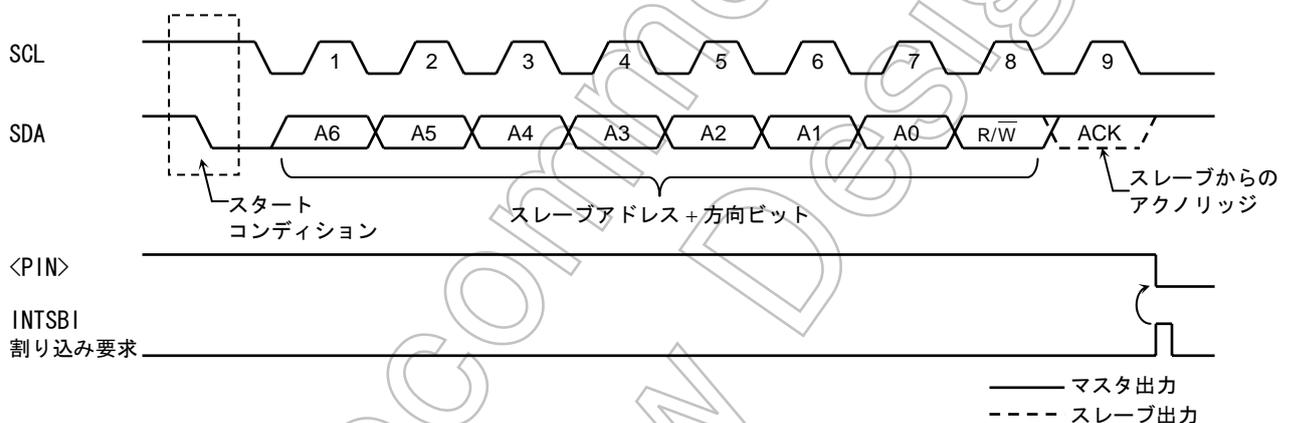


図 15.6.2.1 スタートコンディションとスレーブアドレスの発生

15.6.3 1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で〈MST〉をテストし、マスタモード/スレーブモードの判断をします。

① マスタモードの場合 (〈MST〉 = “1”)

〈TRX〉をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (〈TRX〉 = “1”)

〈LRB〉をテストします。〈LRB〉が“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

〈LRB〉が“0”のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIODBR に転送データを書き込みます。8 ビット以外の場合は〈BC2:0〉、〈ACK〉を設定し、転送データを SBIODBR に書き込みます。データを書き込むと〈PIN〉が“1”になり SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTSBI 割り込み要求が発生し、〈PIN〉が“0”になり SCL 端子を“L”レベルに引きます。複数ワードの転送が必要な場合は上記〈LRB〉のテストから繰り返します。

INTSBI 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBIOCR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIODBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don't care
    
```

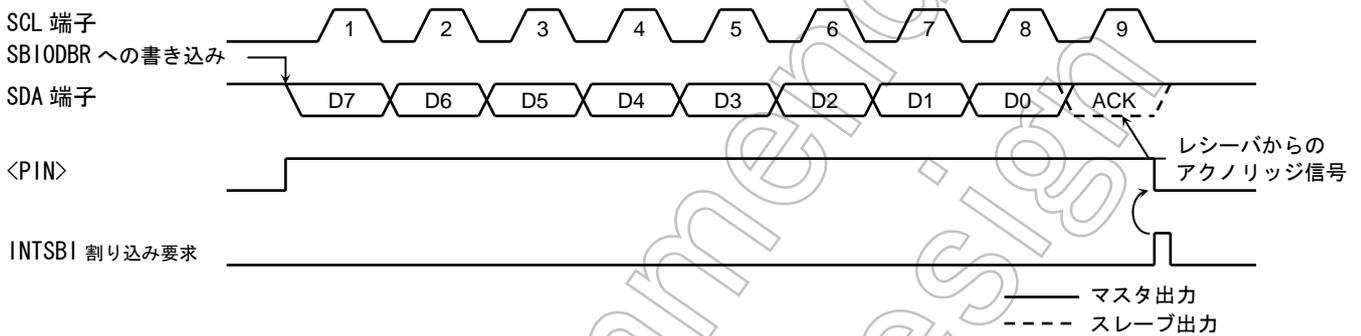


図 15.6.3.1 <BC2:0> = “000”, <ACK> = “1” の場合 (トランスミッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が8ビットのときはSBIODBRに転送データを書き込みます。8ビット以外のときは<BC2:0>、<ACK>を設定し、SCLラインを解放するためにSBIODBRから受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は“1”になり、次の1ワードのデータ転送用のシリアルクロックをSCL端子に出力します。最後のビットでアクノリッジ信号の“L”レベルのタイミングで“0”をSDA端子に出力します。

その後、INTSBI割り込み要求が発生し、<PIN>が“0”になりSCL端子を“L”レベルに引きます。SBIODBRから受信データを読み出すたびに1ワードの転送クロックとアクノリッジを出力します。

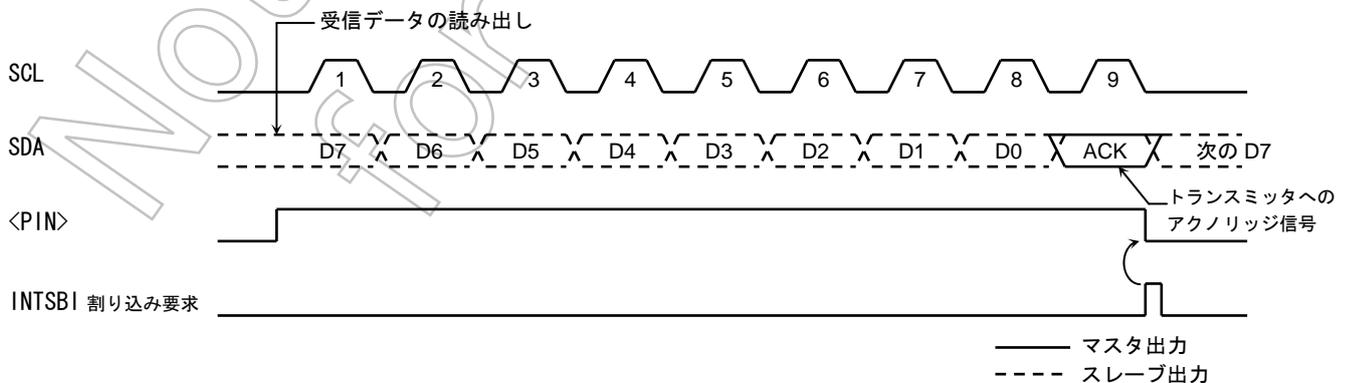


図 15.6.3.2 <BC2:0> = “000”, <ACK> = “1” の場合 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に <ACK> を“0”にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。



図 15.6.3.3 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTSBI 割り込み（データ送信後）

```

      7 6 5 4 3 2 1 0
SBIOCR1 ← X X X X 0 X X X
Reg.     ← SBIOCBR
割り込み終了
    
```

受信データのビット数および ACK を設定します。
ダミーデータを取り込みます。

INTSBI 割り込み（データ受信 1～ (N-2) 回目）

```

      7 6 5 4 3 2 1 0
Reg.     ← SBIDBR
割り込み終了
    
```

1～ (N-2) 回目のデータを取り込みます。

INTSBI 割り込み（データ受信 (N-1) 回目）

```

      7 6 5 4 3 2 1 0
SBIOCR1 ← X X X 0 0 X X X
Reg.     ← SBIDBR
割り込み終了
    
```

アクノリッジ信号のクロックを発生しないようにします。
(N-1) 回目のデータを取り込みます。

INTSBI 割り込み（データ受信 N 回目）

```

      7 6 5 4 3 2 1 0
SBIOCR1 ← 0 0 1 0 0 X X X
Reg.     ← SBIDBR
割り込み終了
    
```

1ビット転送のためのクロックを発生します。
N 回目のデータを取り込みます。

INTSBI 割り込み（データ受信後）

ストップコンディションを発生する処理
割り込み終了

データ転送を終了させます。

(注) X: Don't care

② スレーブモードの場合（〈MST〉 = “0”）

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時にINTSBI割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時にINTSBI割り込み要求が発生します。INTSBI割り込み要求が発生すると〈PIN〉が“0”にされ、SCL端子を“L”レベルに引きまます。SBIODBRにデータを書き込む、SBIODBRからデータを読み出す、または〈PIN〉に“1”を設定するとSCL端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR 〈AL〉、〈TRX〉、〈AAS〉、〈ADO〉をテストし、場合分けを行います。表 14.6.3.4 にスレーブモード時の状態と必要な処理を示します。

例：スレーブマスターモード時スレーブアドレスが一致し、方向ビットが“1”の場合

INTSBI 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBIOCR1 ← X X X 1 0 X X X      送信ビット数を設定します。
SBIODBR ← X X X X 0 X X X      送信データをセットします。

```

(注) X: Don't care

表 15.6.3.4 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1ワードのビット数を<BC2:0>にセットし、送信するデータをSBIDBRに書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN>を“1”にセットするためにSBIDBRを読み出します。(ダミー読み出し)または<PIN>に“1”を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

15.6.4 ストップコンディションの発生

SBIOCR <BB> = “1” のときに、SBIOCR2 <MST, TRX, PIN> に “1”、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

7 6 5 4 3 2 1 0
SBIOCR2 ← 1 1 0 1 1 0 0 0 ストップコンディションを発生させます。

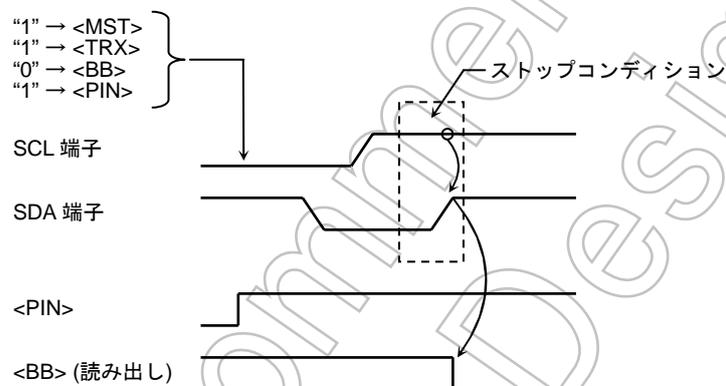


図 15.6.4.1 ストップコンディションの発生

15.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIOCR2 <MST, TRX, BB> に “0”、<PIN> に “1” を書き込み、バスを開放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIOSR <BB> をテストして “0” になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして “1” になるまで待ち、他のデバイスがバスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記 (2) の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7μs (標準モード時) のソフトウェアによる待ち時間が必要です。

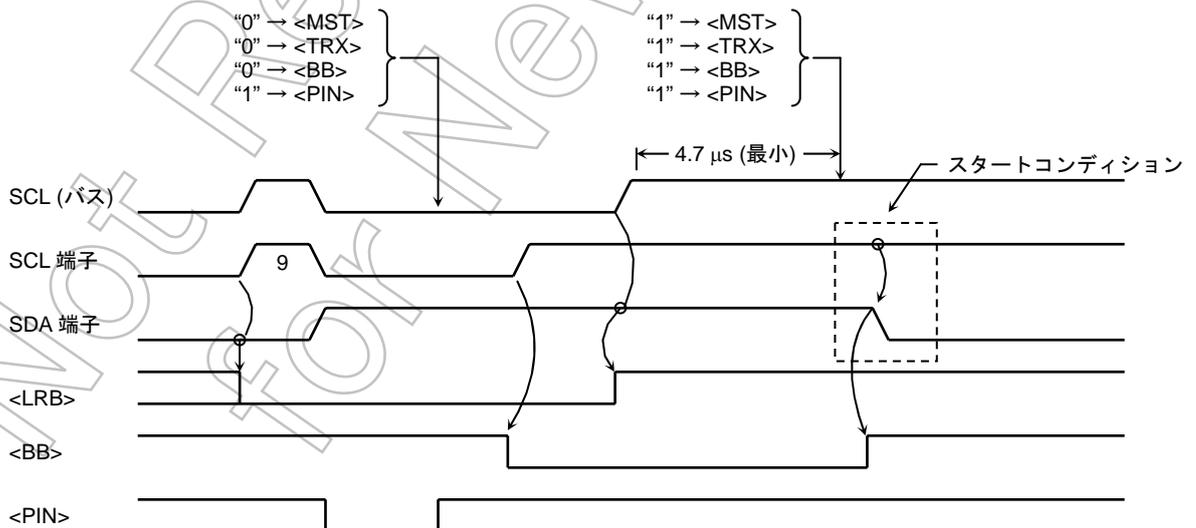
```

┌───┐
│           7 6 5 4 3 2 1 0
├───┤
│ SBIOCR2 ← 0 0 0 1 1 0 0 0
├───┤
│ if SBIOSR<BB> ≠ 0
│ Then
│   if SBIOSR<LRB> ≠ 1
│   Then
│     4.7 μs Wait
│     SBIOCR1 ← X X X 1 0 X X X
│     SBIODBR ← X X X X X X X X
│     SBIOCR2 ← 1 1 1 1 1 0 0 0
└───┘

```

バスを解放します。
SCL 端子の解放を確認します。
他のデバイスの SCL 端子 “L” レベルの確認を行います。
アクノリッジメントモードに設定します。
目的のスレーブのスレーブアドレスと方向をセットします。
スタートコンディションの発生を行います。

(注) X: Don't care



(注) <MST> = "0" の状態の時に <MST> = "0" をライトしないでください (再スタートできません)。

図 15.6.5.1 再スタートを発生する場合のタイミングチャート

15.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

		7	6	5	4	3	2	1	0
SBIOCR0 (0xFFFF_F607)	bit Symbol	SBIEN							
	Read/Write	R/W	R						
	リセット後	0	0	0	0	0	0	0	0
	機能	SBI 動作 0: 禁止 1: 許可							

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 (“1”) にしてください。

(注) SBIOCR0 のビット 0~6 は、リードすると“0”が読み出されます。

シリアルバスインタフェース制御レジスタ 1

		7	6	5	4	3	2	1	0
SBIOCR1 (0xFFFF_F600)	bit Symbol	SIOS	SIOINH	SIOM1	SIOMO		SCK2	SCK1	SCK0
	Read/Write	R/W				R	R/W		R/W
	リセット後	0	0	0	0	1	0	0	1
	機能	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (予約) 10: 送受信モード 11: 受信モード			シリアルクロック周波数の選択		

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 4	1.69 MHz	$\left. \begin{array}{l} \text{システムクロック : } f_{\text{sys}} \\ \text{クロックギア : } f_c/1 \\ \text{周波数} = \frac{f_{\text{sys}}}{2^n} \text{ [Hz]} \end{array} \right\}$
001	n = 5	844 kHz	
010	n = 6	422 kHz	
011	n = 7	211 kHz	
100	n = 8	105 kHz	
101	n = 9	53 kHz	
110	n = 10	26 kHz	
111	—	外部クロック	

(注 1) 転送モード、シリアルクロックの設定時は、<SIOS>="0"、および、<SIOINH>="1" に設定してください。

(注 2) <SCK0>ビットは、リセット後“1”が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は“0”になります。

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR (0xFFFF_F601)		7	6	5	4	3	2	1	0
	bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	0							

図 15.7.1.1 SIO モード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

SBI0CR2 (0xFFFF_F603)		7	6	5	4	3	2	1	0
	bit Symbol					SB1M1	SB1M0		
	Read/Write	R				W		R	
	リセット後	1	1	1	1	0	0	1	1
機能					シリアルバスインタフェースの動作モード選択 00: ポートモード 01: クロック同期式 8bit SIOモード 10: I ² Cバスモード 11: (予約)				

シリアルバスインタフェースレジスタ

SBI0SR (0xFFFF_F603)		7	6	5	4	3	2	1	0
	bit Symbol					SIOF	SEF		
	Read/Write	R				R		R	
	リセット後	1	1	1	1	0	0	1	1
機能					シリアル転送動作状態モニタ 0: 転送終了 1: 転送中	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中			

シリアルバスインタフェースポーレートレジスタ 0

SBI0BR0 (0xFFFF_F604)		7	6	5	4	3	2	1	0	
	bit Symbol		I2SB1							
	Read/Write	R	R/W	R						R/W
	リセット後	1	0	1	1	1	1	1	0	
機能		IDLE 0: 停止 1: 動作							必ず "0" をライトしてください。	

図 15.7.1.2 SIO モード関係のレジスタ

15.7.1 シリアルクロック

① クロックソース

SBI0CR1 <SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

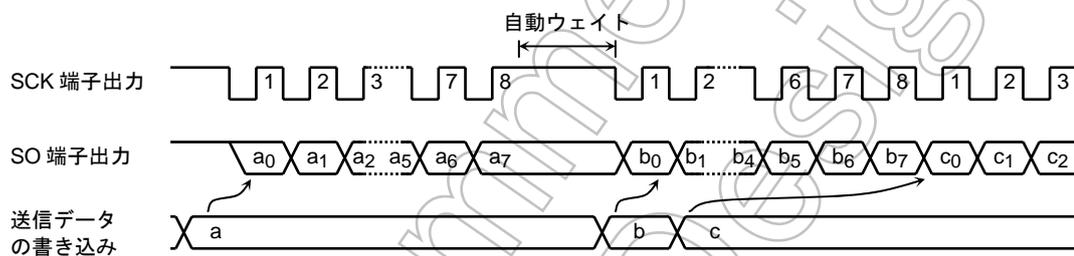


図 15.7.1.3 自動ウェイト機能

外部クロック（<SCK2:0> = “111”）

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は下記に示すパルス幅が必要です。

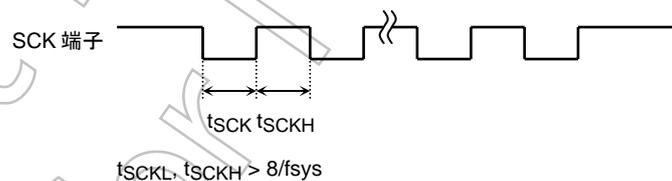


図 15.7.1.4 外部クロック入力時の最大転送周波数

② シフトエッジ

送信は前縁シフト， 受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁（SCK 端子入出力の立ち下がりエッジ）でデータをシフトします。

後縁シフト

シリアルクロックの後縁（SCK 端子入出力の立ち上がりエッジ）でデータをシフトします。

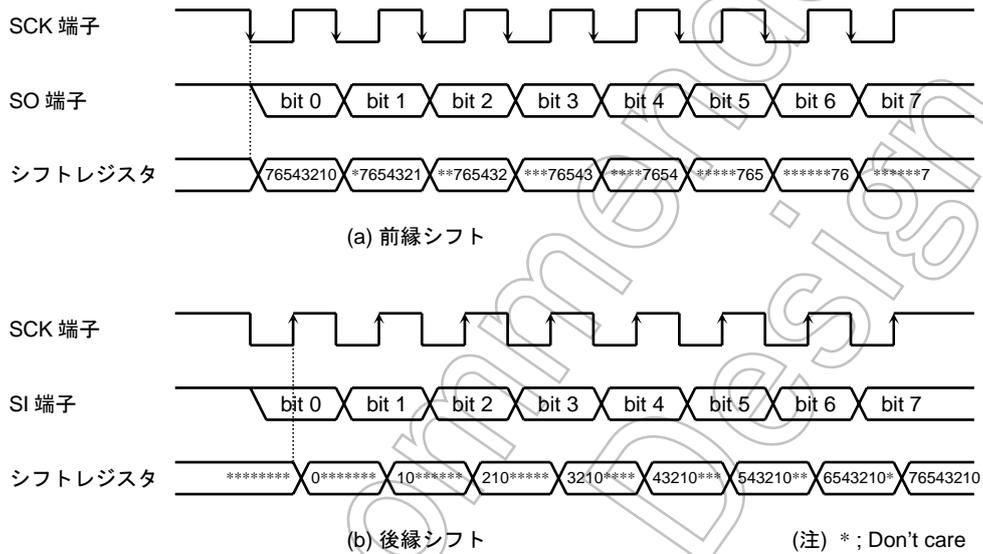


図 15.7.1.5 シフトエッジ

15.7.2 転送モード

SBIOCR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

① 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データをSBIODBRに書き込みます。

送信データの書き込み後、SBIOCR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIODBRからシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から S0 端子に出力されます。送信データがシフトレジスタに移されると、SBIODBR が空になりますので、次の送信データを要求するINTSBI (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIODBRにデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIODBRにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIOSR <SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIOSR <SIOF>で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

	7	6	5	4	3	2	1	0	
SBIOCR1	←	0	1	0	0	0	X	X	X
									送信モードをセットします。
SBIODBR	←	X	X	X	X	X	X	X	送信データを書き込みます。
SBIOCR1	←	1	0	0	0	0	X	X	送信を開始します。

INTSBI 割り込み

SBIODBR	←	X	X	X	X	X	X	X	送信データを書き込みます。
---------	---	---	---	---	---	---	---	---	---------------

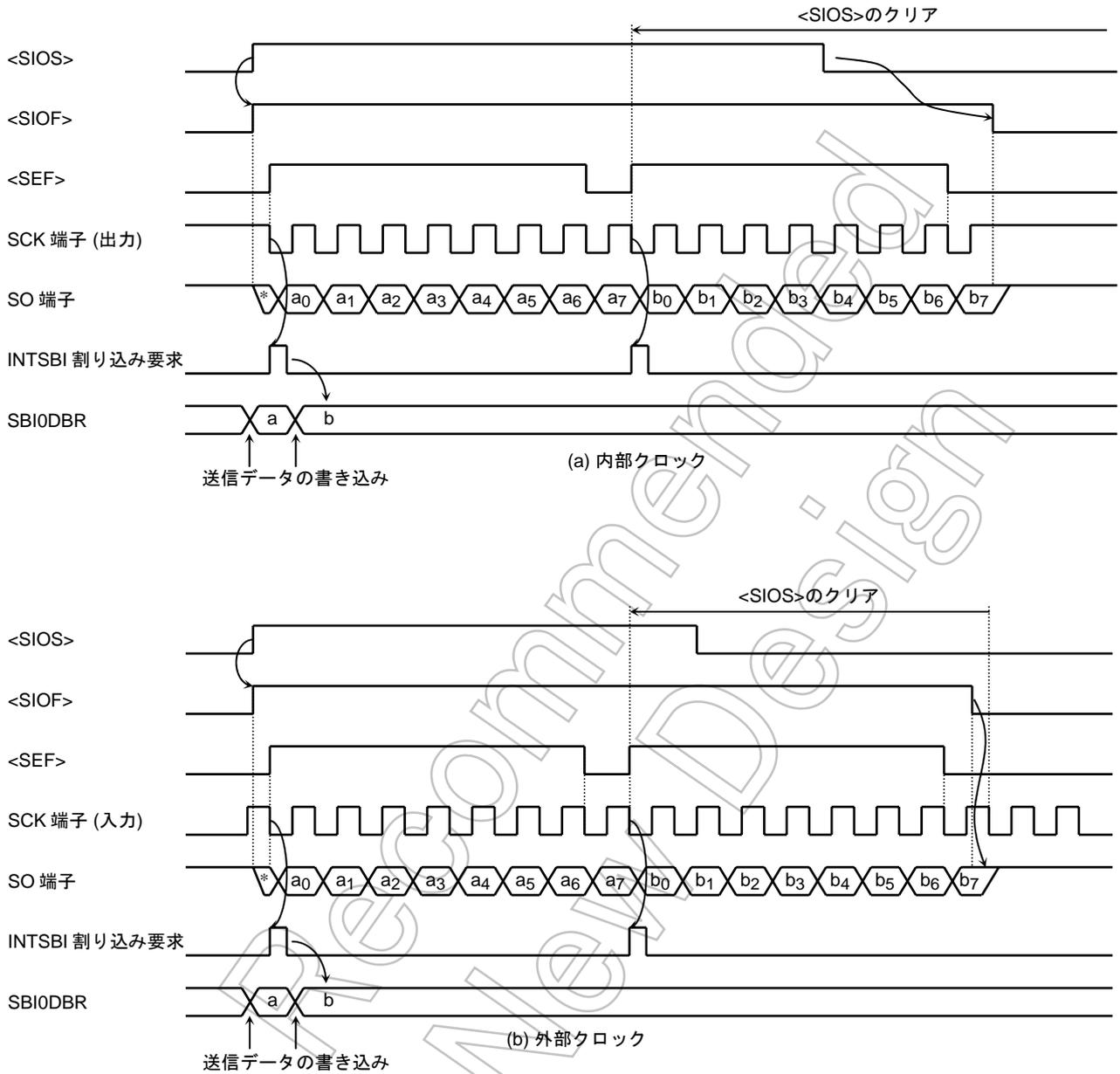


図 15.7.2.1 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合) の場合のプログラム例 (MIPS16)

```

        ADDIU   r3, r0, 0x04
STEST1  : LB    r2, (SBIOSR)           ; If SBISR<SEF> = 1 then loop
        AND    r2, r3
        BNEZ   r2, STEST1
        ADDIU   r3, r0, 0x20
STEST2  : LB    r2, (Px)              ; If SCK = 0 then loop
        AND    r2, r3
        BEQZ   r2, STEST2
        ADDIU   r3, r0, 0y00000111
        STB    r3, (SBIOCR1)         ; <SIOS> ← 0
    
```

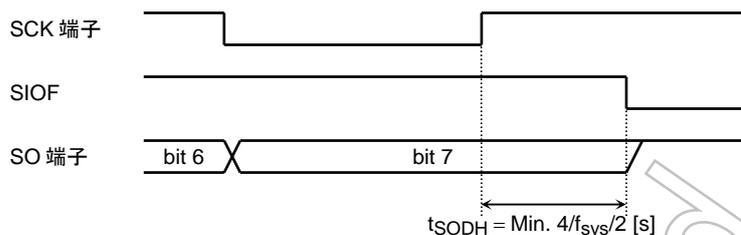


図 15.7.2.2 送信終了時の送信データ保持時間

② 8ビット受信モード

制御レジスタに受信モードをセットした後、SBIOCR1 <SIOS> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタから SBIODBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBI (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIODBR から読み出します。

内部クロック動作の場合、受信データが SBIODBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBI 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIODBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBIOSR <SIOF> で行います。<SIOF> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SBIODBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

SBIOCR1 ← 0 1 1 1 0 X X X 受信モードをセットします。

SBIOCR1 ← 1 0 1 1 0 0 0 0 受信を開始します。

INTSBI 割り込み

Reg. ← SBIODBR 受信データを取り込みます。

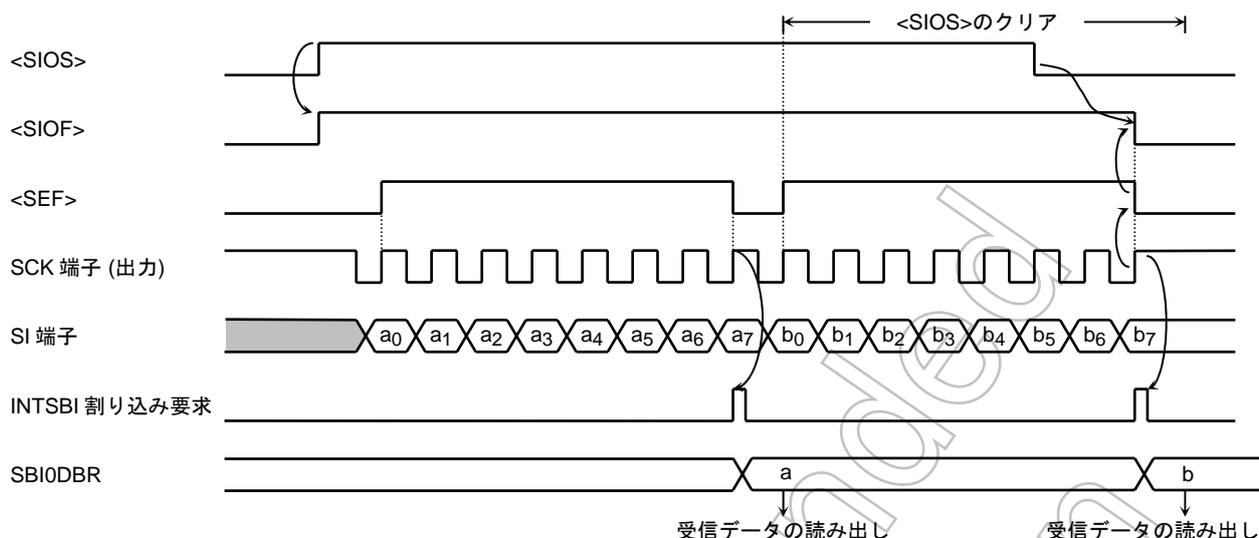


図 15.7.2.3 受信モード (例: 内部クロック)

③ 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIODBR に書き込みます。その後、SBIOCR1 <SIOS> に “1” をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが S0 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから SBIODBR へ受信データが転送され、INTSBI 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIODBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBIOCR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBIODBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBIOSR <SIOF> で行います。<SIOF> は送受信の終了で “0” にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は “0” にされます。

(注) 転送モードを切り替えると SBIODBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

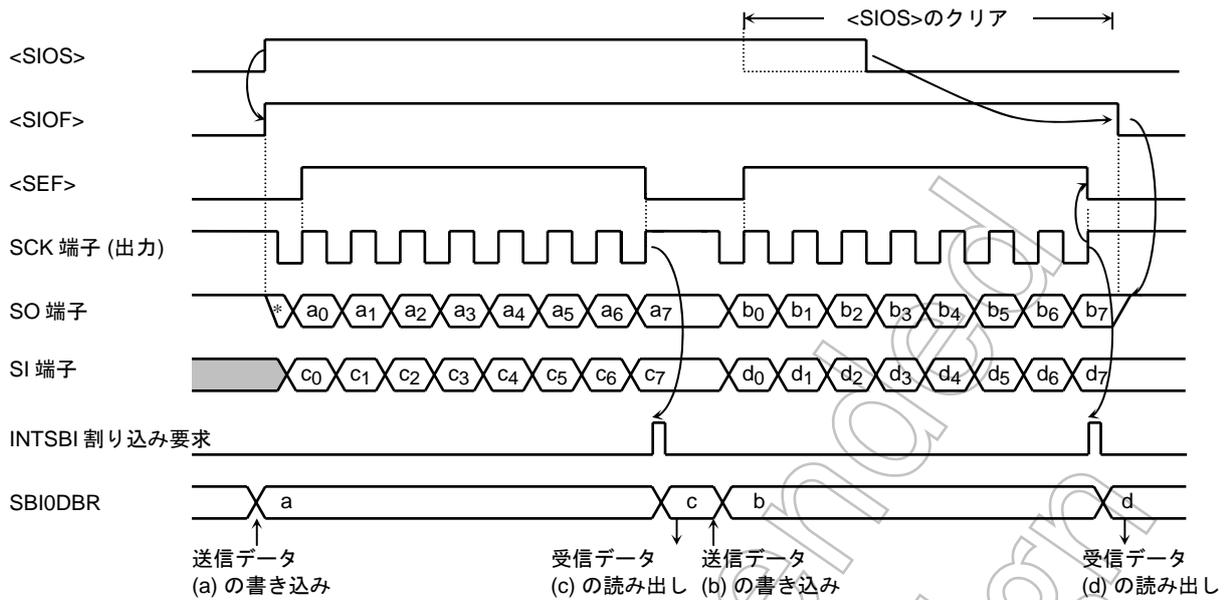


図 15.7.2.4 送受信モード (例: 内部クロック)

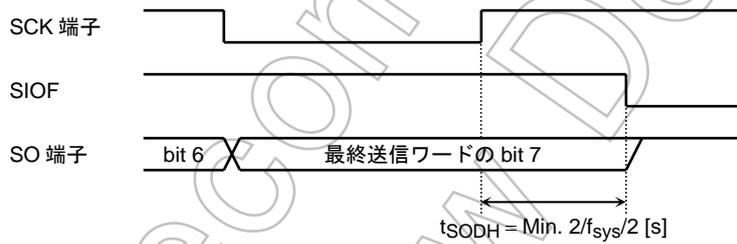


図 15.7.2.5 送受信終了時の送信データ保持時間 (送受信モード時)

	7 6 5 4 3 2 1 0	
SBI0CR1	← 0 1 1 0 0 X X X	送信モードをセットします。
SBI0DBR	← X X X X X X X X	送信データを書き込みます。
SBI0CR1	← 1 0 1 0 0 X X X	送受信を開始します。
INTSBI 割り込み		
Reg.	← SBI0DBR	受信データを取り込みます。
SBI0DBR	← X X X X X X X X	送信データを書き込みます。

16. アナログ/デジタルコンバータ

TMP19A61 は、16 チャンネルのアナログ入力を持つ、10 ビット逐次変換方式アナログ/デジタルコンバータ (A/D コンバータ) を 2 個 内蔵しています。

それぞれのユニットは独立して同一の動作をしますので、動作説明はユニット A について説明します

図 16.1 に、A/D コンバータのブロック図を示します。

16 チャンネルのアナログ入力端子 (ANA0~AN15) は、入力専用ポートと兼用です。

(注) IDLE、STOP モードにより電源電流を低減させる場合、以下の条件で使用される場合には、A/D コンバータの動作を停止して、スタンバイモードに遷移する命令を実行してください。

- 1) ADMOD1<I2AD>="0"で IDLE モードへ遷移する場合
- 2) STOP モードへ遷移する場合

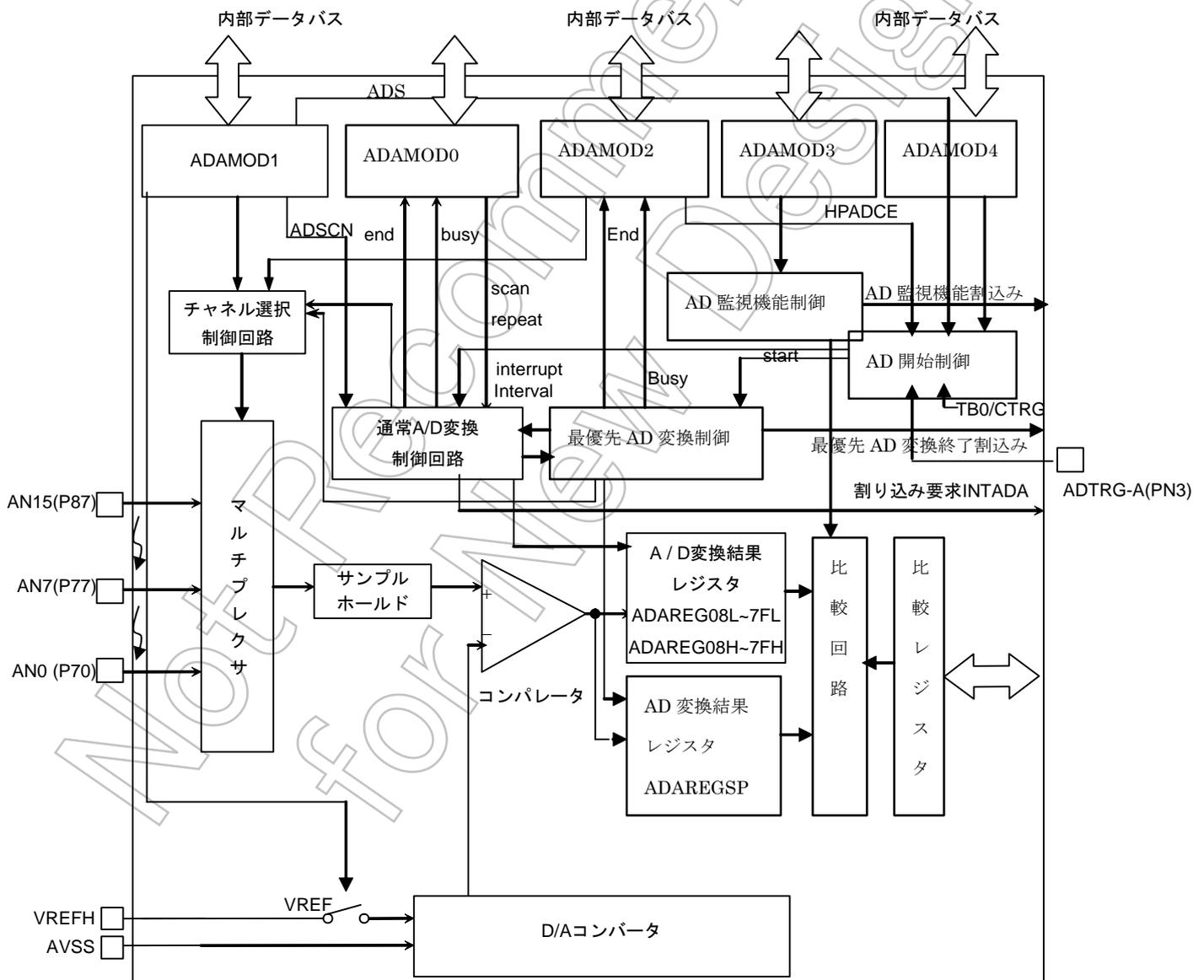


図 16.1 A/D コンバータのブロック図

16.1 コントロールレジスタ

A/D コンバータは、A/D モードコントロールレジスタ (ADAMOD0、ADAMOD1、ADAMOD2、ADAMOD3、ADAMOD4) により制御されています。また、A/D 変換結果は、A/D 変換結果上位/下位レジスタ ADAREG08H/L、～ADAREG7FH/L の 16 個のレジスタに格納されます。また、最優先変換結果は ADAREGSPH/L に格納されます。

図 16.2 に A/D コンバータ関係のレジスタを示します。

A/D モードコントロールレジスタ 0

		7	6	5	4	3	2	1	0
ADAMOD0 (0xFFFF_F814)	bit Symbol	EOCFN	ADBFN	ITM1	ITM0	REPEAT	SCAN	ADS	
	Read/Write	R		R	R/W				
	リセット後	0	0	0	0	0	0	0	0
	機能	通常 A/D 変換終了フラグ 0: 変換前または変換中 1: 終了	通常 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中	リードすると "0" が読めます	チャンネル固定リピート変換モード時の割り込み指定	チャンネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャンネル固定モード 1: チャンネルスキャンモード	A/D 変換スタート 0: Don't care 1: 変換開始リードすると常に "0" が読み出されます。

→ チャンネル固定リピート変換モード時の A/D 変換割り込み指定

		チャンネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"
00	1 回変換するごとに割り込み発生	
01	4 回変換するごとに割り込み発生	
10	8 回変換するごとに割り込み発生	
11	設定禁止	

(注) モード設定を行ってから、<ADS>ビットの設定を行ってください

図 16.2 A/D コンバータ関係のレジスタ

注意：変換精度を保証するために A/D 変換開始前に必ず下記設定を行ってください
0xFFFF_F819 = 0x58

		7	6	5	4	3	2	1	0
ADACBAS (0xFFFF_F819)	bit Symbol								
	Read/Write	R/W							
	リセット後	0	0	1	1	1	0	0	0
	機能	"0" をライトしてください	"1" をライトしてください	"0" をライトしてください	"1" をライトしてください	"1" をライトしてください	"0" をライトしてください	"0" をライトしてください	"0" をライトしてください

A/D モードコントロールレジスタ 1

ADAMOD1
(0xFFFF_F815)

	7	6	5	4	3	2	1	0
bit Symbol	VREFON	I2AD	ADSCN	—	ADCH3	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	VREF 印加制御 0: OFF 1: ON	IDLE 0: 停止 1: 動作	チャネルスキャン時の動作モード設定 0: 4ch スキャン 1: 8ch スキャン	0を記入してください。	アナログ入力チャネル選択			

アナログ入力チャネル選択

<ADCH3,2,1,0>	<SCAN>		
	0 チャネル固定	1 チャネルスキャン (ADSCN=0)	1 チャネルスキャン (ADSCN=1)
0000	ANA0	ANA0	ANA0
0001	ANA1	ANA0~ANA1	ANA0~ANA1
0010	ANA2	ANA0~ANA2	ANA0~ANA2
0011	ANA3	ANA0~ANA3	ANA0~ANA3
0100	ANA4	ANA4	ANA0~ANA4
0101	ANA5	ANA4~ANA5	ANA0~ANA5
0110	ANA6	ANA4~ANA6	ANA0~ANA6
0111	ANA7	ANA4~ANA7	ANA0~ANA7
1000	ANA8	ANA8	ANA8
1001	ANA9	ANA8~ANA9	ANA8~ANA9
1010	ANA10	ANA8~ANA10	ANA8~ANA10
1011	ANA11	ANA8~ANA11	ANA8~ANA11
1100	ANA12	ANA12	ANA8~ANA12
1101	ANA13	ANA12~ANA13	ANA8~ANA13
1110	ANA14	ANA12~ANA14	ANA8~ANA14
1111	ANA15	ANA12~ANA15	ANA8~ANA15

(注1) AD変換をスタートさせる場合は、かならず<VREFON>ビットに"1"を書き込んだ後、内部基準電圧が安定するまでの3 μ s待ってから、ADMAOD0<ADS>ビットに"1"を書き込んでください。

(注2) AD変換終了後にスタンバイモードへ移行する場合は、<VREFON>を"0"に設定してください。

図 16.3 A/D コンバータ関係のレジスタ

A/D モードコントロールレジスタ 2

ADAMOD2
(0xFFFF_F816)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFHP	ADBFHP	HPADCE	—	HPADCH3	HPADCH2	HPADCH1	HPADCH0
Read/Write	R	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	最優先 AD 変換終了 フラグ 0 : 変換前または変換中 1 : 終了	最優先 AD 変換 BUSY フラグ 0 : 変換停止 1 : 変換中	最優先変換の起動 0: Don't care 1: 変換開始 読み出しは常に0	"0"をかいてください。	最優先変換起動時のアナログ入力チャネル選択			

<HPADCH4,3,2, 1, 0>	最優先変換時のアナログ入力チャネル
0000	ANA0
0001	ANA1
0010	ANA2
0011	ANA3
0100	ANA4
0101	ANA5
0110	ANA6
0111	ANA7
1000	ANA8
1001	ANA9
1010	ANA10
1011	ANA11
1100	ANA12
1101	ANA13
1110	ANA14
1111	ANA15

A/D モードコントロールレジスタ 3

	7	6	5	4	3	2	1	0
ADAMOD3 (0xFFFF_F817)	bit Symbol		ADOBIC	REGS3	REGS2	REGS1	REGS0	ADOBISV
	Read/Write		R/W	R	R/W			
	リセット後		0	0	0	0	0	0
	機能		0 をライトしてください	リードすると"0"が読めます	AD 監視機能割込みの設定 0 : 比較 Regi より小 1 : 比較 Regi より大	AD 監視機能が Enable 時に比較 Regi の内容と比較される A/D 変換結果格納 Regi の選択 BIT		AD 監視機能 0 : Disable 1 : Enable

<REGS.2, 1, 0>	比較される AD 変換格納レジスタ
0000	ADAREG08
0001	ADAREG19
0010	ADAREG2A
0011	ADAREG3B
0100	ADAREG4C
0101	ADAREG5D
0110	ADAREG6E
0111	ADAREG7F
1XXX	ADAREGSP

A/D モードコントロールレジスタ 4

	7	6	5	4	3	2	1	0
ADAMOD4 (0xFFFF_F818)	HADHS	HADHTG	ADHS	ADHTG			ADRST1	ADRST0
	Read/Write				R		W	W
	リセット後				0		-	-
	最優先 AD 変換の HW 起動ソース 0 : 外部 TRG 1 : TB9RG0 一致	最優先 AD 変換の HW 起動 0 : Disable 1 : Enable	通常 AD 変換の HW 起動ソース 0 : 外部 TRG 1 : TB1RG0 一致	通常 AD 変換の HW 起動 0 : Disable 1 : Enable	リードすると"0"が読めます		10~01 のライトで ADC を software reset する	

(注 1) 16 ビットタイマの一致トリガ<ADHTG>、<HADHTG>に"1"を設定して H/W 起動リソースによる AD 変換を行う場合、

- ① タイマ停止中に
- ② H/W のソースを選択 <ADHS>、<HADHS>
- ③ AD 変換の H/W 起動をイネーブル <ADHTG>、<HADHTG>
- ④ タイマ動作

の順に設定することにより、一定間隔での AD 起動が可能となります。

(注 2) 最優先 AD 変換、通常 AD 変換設定は同時に行わないで下さい。

(注 3) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換の HW 起動ソースとして外部トリガを設定できません。

(注 4) ソフトウェアリセットを掛けた場合、他のビットは初期化されますので、モードレジスタの再設定が必要となります。

A/D 変換結果下位レジスタ 08

	7	6	5	4	3	2	1	0
ADAREG08L (0xFFFF_F800)	bit Symbol	ADR01	ADR00				OVR0	ADR0RF
	Read/Write	R		R			R	R
	リセット後	0		1			0	0
	機能	A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over RUN flag 0:発生無し 1:発生	A/D 変換結果 格納フラグ 1:変換結果有

A/D 変換結果上位レジスタ 08

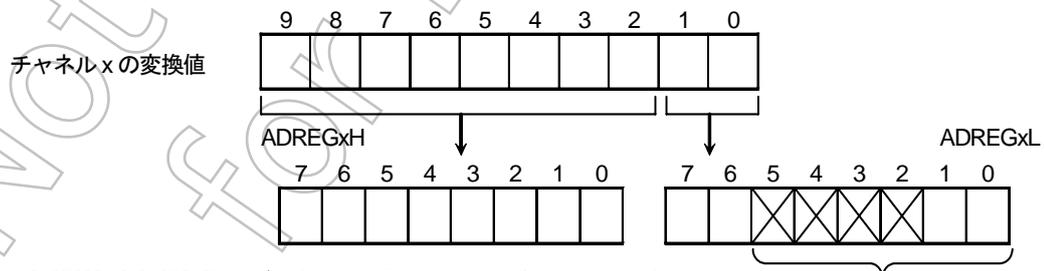
	7	6	5	4	3	2	1	0	
ADAREG08H (0xFFFF_F801)	bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	0							
	機能	A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 19

	7	6	5	4	3	2	1	0
ADAREG19L (0xFFFF_F802)	bit Symbol	ADR11	ADR10				OVR1	ADR1RF
	Read/Write	R		R			R	R
	リセット後	0		1			0	0
	機能	A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over RUNflag 0:発生無し 1:発生	A/D 変換結果 格納フラグ 1:変換結果有

A/D 変換結果上位レジスタ 19

	7	6	5	4	3	2	1	0	
ADAREG19H (0xFFFF_F803)	bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	0							
	機能	A/D 変換結果上位 8ビット格納							



- ADAREG08L/ADAREG19L のビット 5~2 を読み出すと、常に "1" になります。
- ADAREG08L/ADAREG19L のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、"1" にセットされます。下位のレジスタ (ADAREG_xL) をリードすると、"0" にされます。
- ADAREG08L/ADAREG19L のビット 1 は over RUN flag <OVR_x> です。両方の変換結果格納レジスタ (ADAREG_xH,ADAREG_xL) を Read する前に変換結果が上書きされると 1に Set されます。Flag の Read により 0 にクリアされます。

図 16.4 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ 2A

	7	6	5	4	3	2	1	0	
ADAREG2AL (0xFFFF_F804)	bit Symbol		ADR21	ADR20				OVR2	ADR2RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over flag 0: 発生無し 1: 発生	RUN A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 2A

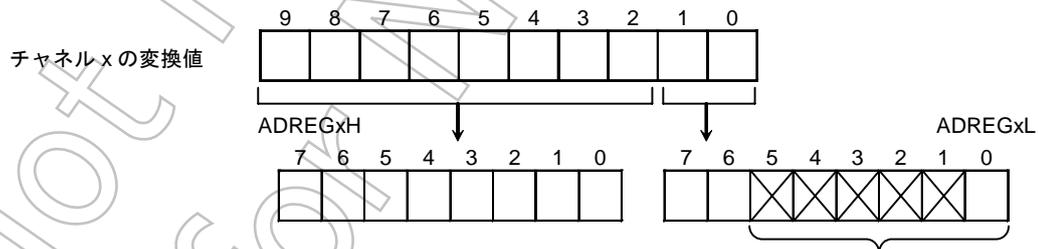
	7	6	5	4	3	2	1	0		
ADAREG2AH (0xFFFF_F805)	bit Symbol		ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 3B

	7	6	5	4	3	2	1	0	
ADAREG3BL (0xFFFF_F806)	bit Symbol		ADR31	ADR30				OVR3	ADR3RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over flag 0: 発生無し 1: 発生	RUN A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 3B

	7	6	5	4	3	2	1	0		
ADAREG3BH (0xFFFF_F807)	bit Symbol		ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							



- ADAREG2AL/ADAREG3BLのビット5~2を読み出すと、常に“1”になります。
- ADAREG2AL/ADAREG3BLのビット0は、A/D変換結果格納フラグ <ADR_xRF> です。A/D変換値が格納されると、“1”にセットされます。下位のレジスタ (ADAREG_xL) をリードすると、“0”にされます。
- ADAREG2AL/ADAREG3BLのビット1は over RUN flag <OVR_x>です。両方の変換結果格納レジスタ (ADAREG_xH, ADAREG_xL) を Read する前に変換結果が書き込まれると1に Set されます。Flag の Read により0にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図 16.5 A/Dコンバータ関係のレジスタ (1/2)

A/D 変換結果下位レジスタ 4C

	7	6	5	4	3	2	1	0
ADAREG4CL (0xFFFF_F808)	bit Symbol		ADR41	ADR40		OVR4		ADR4RF
	Read/Write		R		R		R	R
	リセット後		0		1		0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると“1”が読めます		Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 4C

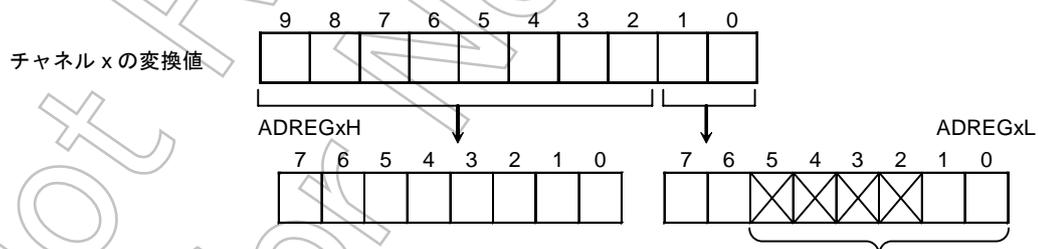
	7	6	5	4	3	2	1	0		
ADAREG4CH (0xFFFF_F809)	bit Symbol		ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 5D

	7	6	5	4	3	2	1	0
ADAREG5DL (0xFFFF_F80A)	bit Symbol		ADR51	ADR50		OVR5		ADR5RF
	Read/Write		R		R		R	R
	リセット後		0		1		0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると“1”が読めます		Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 5D

	7	6	5	4	3	2	1	0		
ADAREG5DH (0xFFFF_F80B)	bit Symbol		ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							



- ADAREG4CL/ADAREG5DL のビット 5~2 を読み出すと、常に “1” になります。
- ADAREG4CL/ADAREG5DL のビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にされます。
- ADAREG4CL/ADAREG5DL のビット 1 は over Run flag <OVRx> です。両方の変換結果格納レジスタ (ADAREGxH,ADAREGxL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

A/D 変換結果下位レジスタ 6E

	7	6	5	4	3	2	1	0
bit Symbol	ADR61	ADR60					OVR6	ADR6RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 6E

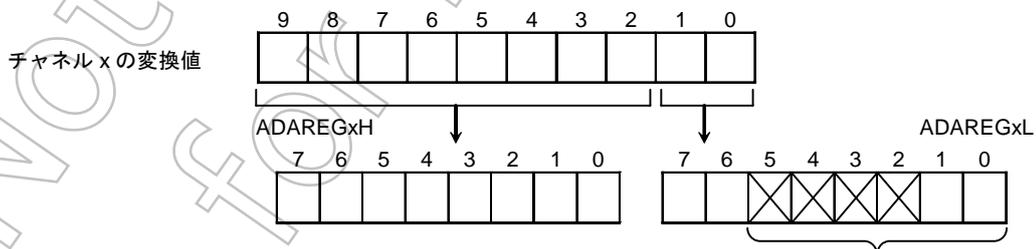
	7	6	5	4	3	2	1	0
bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR71	ADR70					OVR7	ADR7RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



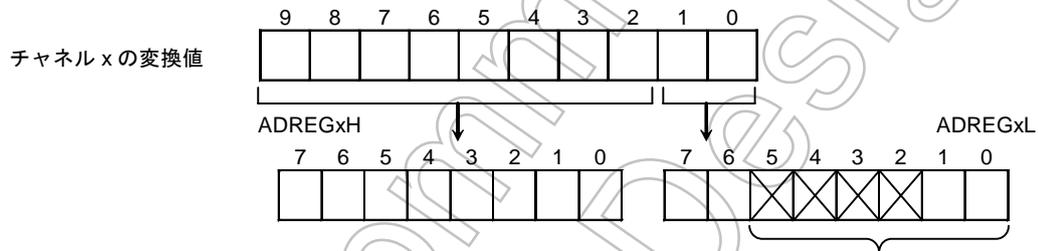
- ADAREG6EL/ADAREG7FL のビット 5~2 を読み出すと、常に “1” になります。
- ADAREG6EL/ADAREG7FL のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADAREG_xL) をリードすると、“0” にされます。
- ADAREG6EL/ADAREG7FL のビット 1 は over Run flag <OVR_x> です。両方の変換結果格納レジスタ (ADAREG_xH, ADAREG_xL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

A/D 変換結果下位レジスタ SP

	7	6	5	4	3	2	1	0	
ADAREGSPL (0xFFFF_F810)	bit Symbol		ADRSP1	ADRSP0				OVRSP	ADRSPRF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると“1”が読めます			Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ SP

	7	6	5	4	3	2	1	0		
ADAREGSPH (0xFFFF_F811)	bit Symbol		ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							



- ADAREGSPL のビット 5-2 を読み出すと、常に “1” になります。
- ADAREGSPL のビット 0 は、A/D 変換結果格納フラグ <ADRSPRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADAREGSPL) をリードすると、“0” にされます。
- ADAREGSPL のビット 1 は over RUN flag <OVRSP> です。両方の変換結果格納レジスタ (ADAREGxH, ADAREGxL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

A/D 変換結果比較下位レジスタ

		7	6	5	4	3	2	1	0	
ADACOMREGL (0xFFFF_F812)	bit Symbol	ADR21	ADR20							
	Read/Write	R/W						R		
	リセット後	0						0		
	機能	A/D 変換結果比較下位 2ビット格納			リードすると"0"が読めます					

A/D 変換結果比較上位レジスタ

		7	6	5	4	3	2	1	0	
ADACOMREGH (0xFFFF_F813)	bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22	
	Read/Write	R/W								
	リセット後	0								
	機能	A/D 変換結果比較上位 8ビット格納								

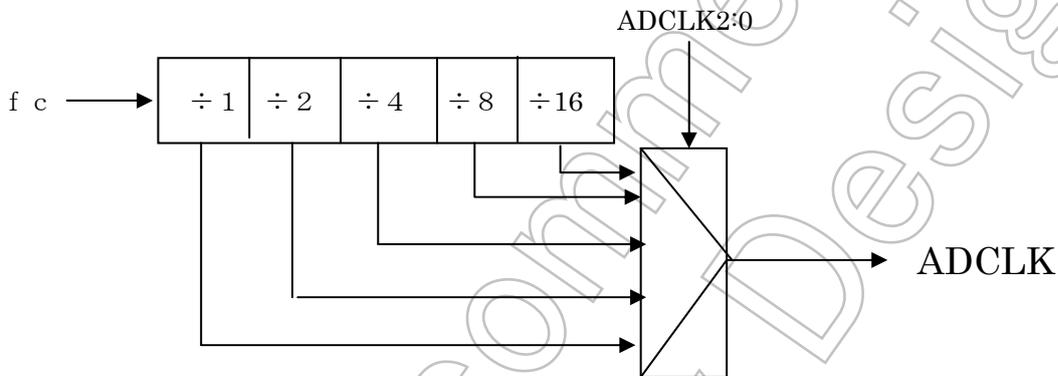
(注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADAMOD3<ADOBSV>="0") した状態で行ってください

16.2 変換クロック

- 最短 46 変換クロックで変換されます。(変換クロック ≤ 40MHz)

A/D 変換クロック設定レジスタ

		7	6	5	4	3	2	1	0
ADACLK (0xFFFF_F81C)	bit Symbol	tSH3	tSH2	tSH1	tSH0		ADCLK2	ADCLK1	ADCLK0
	Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
	リセット後	1	0	0	0	0	0	0	0
機能	A/D サンプルホールド時間選択 1000: 8 変換クロック 1010: 24 変換クロック 0011: 64 変換クロック 1100: 128 変換クロック 上記以外の設定: reserved					1001: 16 変換クロック 1011: 32 変換クロック 1101: 512 変換クロック	リードする と"0"が読め ます	A/D プリスケアラ出力選択 000: f_c 001: $f_c/2$ 010: $f_c/4$ 011: $f_c/8$ 100: $f_c/16$ 111: reserved	



(例) $f_{sys} = f_c = 40\text{MHz}$ の場合

f_c	prescalar	tconv. (変換時間)
40MHz	1	1.15 μs
	1/2	2.3 μs
	1/4	4.6 μs

S/H 時間可変

変換 clock	S/H 時間	tconv. (変換時間)
40MHz	変換 clk*8 (0.2us)	1.15 μs
	変換 clk*16 (0.4us)	1.35 μs
	変換 clk*24 (0.6us)	1.55 μs
	変換 clk*32 (0.8us)	1.75 μs
	変換 clk*64 (1.6us)	2.55 μs
	変換 clk*128 (3.2us)	4.15 μs
	変換 clk*512 (12.8us)	13.75 μs

(例) $f_{sys}=f_c=54\text{MHz}$ の場合 (最短 46 変換クロック)

f_c	prescalar	tconv. (変換時間)
54MHz	1	設定不可(注)
	1/2	1.7us
	1/4	3.4us

注) 変換クロックは最大 40MHz です。

S/H 時間可変

変換 clock	S/H 時間	tconv. (変換時間)
27MHz ($f_c=54$ 時)	変換 clk*8 (0.3us)	1.7us
	変換 clk*16 (0.6us)	2.0us
	変換 clk*24 (0.9us)	2.3us
	変換 clk*32 (1.2us)	2.6us
	変換 clk*64 (2.4us)	3.8us
	変換 clk*128 (4.7us)	6.1us
	変換 clk*512 (19.0us)	20.4us

代表的な発振子別、ADCLK & 変換時間表

f_{osc} (MHz)	f_{sys} (MHz)	ADCLK (MHz)	tconv (変換時間) (46ADCLK)(uSec)	備考
13.5	54.0	xxxx	xxxx	ADC 設定不可
10.0	40.0	40.0	1.15	Clock ギア 1/1
8.0	32.0	32.0	1.4	Clock ギア 1/1
13.5	27.0	27.0	1.70	Clock ギア 1/2
10.0	20.0	20.0	2.30	Clock ギア 1/2
8.0	16.0	16.0	2.88	Clock ギア 1/2
13.5	13.5	13.5	3.41	Clock ギア 1/4
10.0	10.0	10.0	4.60	Clock ギア 1/4
8.0	8.0	8.0	5.75	Clock ギア 1/4

※ 代表的な発振子とは以下の3種類を指します

(8.0MHz、10.0MHz、13.5MHz)

(注) 「AD 変換中には、A/D 変換クロック設定を変更しないで下さい」

16.3 動作説明

16.3.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側をVREFH端子に、“L”レベル側をVREFL端子に印加します。ADAMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH-VREFL間のスイッチをOFFできます。AD変換をスタートさせる場合は、かならず<VREFON>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu\text{s}$ 待ってから、ADMOD0<ADS>ビットに“1”を書き込んでください。

16.3.2 アナログ入力チャネルの選択

アナログ入力チャネルの選択は、A/Dコンバータの動作モードによって異なります。

(1) 通常AD変換時

- アナログ入力チャネルを固定で使用する場合 (ADAMOD0<SCAN>=“0”)
 - ADAMOD1<ADCH3~0>の設定により、アナログ入力AINA0~AINA15端子の中から1チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADAMOD0<SCAN>=“1”)
 - ADAMOD1<ADCH3~0>の設定およびADSCNにより、16種類のスキャンモードの中から1つのスキャンモードを選択します。

(2) 最優先AD変換時

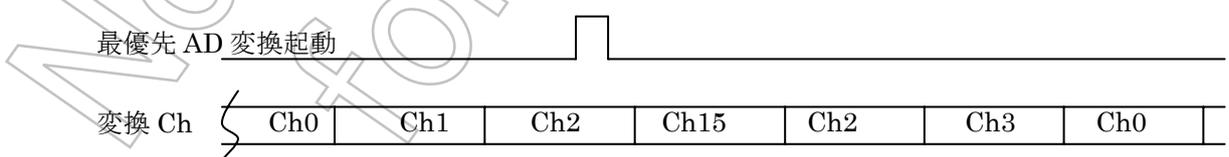
ADAMOD2<HPADCH3~0>の設定により、アナログ入力AINA0~AINA15端子の中から1チャネルを選択します。

リセット後はADMOD0<SCAN>は“0”にADAMOD1<ADCH3:0>は“0000”に初期化され、これにより選択が行なわれますので、AINA0端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

通常AD変換中に最優先AD変換の起動が掛かると、通常AD変換は中断し、最優先AD変換が実行されて終了後に通常AD変換を再開します。

例) ADAMOD0<REPEAT:SCAN>=“11”、ADAMOD1<ADCH3:0>=0011でチャネルAINA0~AINA3までのリピートスキャン変換中にADAMOD2<HPADCH3:0>=1111でAINA15の最優先AD変換が起動された場合。

最優先AD変換起動



変換 Ch	Ch0	Ch1	Ch2	Ch15	Ch2	Ch3	Ch0
-------	-----	-----	-----	------	-----	-----	-----

16.3.3 A/D 変換開始

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。通常 AD 変換は ADAMOD0<ADS> に “1” を設定することによりソフトで起動が掛かります。また、最優先 AD 変換は ADAMOD2<HPADCE> に “1” を設定することによりソフトで起動が掛かりません。通常 AD 変換は ADAMOD0<2:1>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。また、通常 AD 変換は ADAMOD4<ADHS>、最優先 AD 変換は ADAMOD4<HADHS>で選択される HW 起動ソースにより起動を掛けることができます。このビットが ‘0’ の場合は、 $\overline{\text{ADTRG}}$ 端子より立ち下がリエッジの入力により起動が掛かり、このビットが ‘1’ の場合、通常 AD 変換は 16 ビットタイマ 1 からの TB1RGO の一致で起動が掛かり、最優先 AD 変換の場合は 16 ビットタイマ 9 からの TB9RGO の一致で起動が掛かります。H/W 起動が許可された場合でもソフトウェア起動は有効です。

(注) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換の HW 起動ソースとして外部トリガを設定できません。

通常 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADAMOD0<ADBF>) が “1” にセットされます。また、最優先 AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ (ADAMOD2<ADBFHP>) が 1 にセットされます。このときに通常 AD 変換用の Busy フラグは、最優先 AD 変換の開始前の値を保持します。また、通常 AD 変換用の変換終了フラグ EOCFN も開始前の値を保持します。

(注) 最優先 A/D 変換中に通常 AD 変換を再起動させないでください (最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません)

通常 A/D 変換を再起動する場合はソフトウェアリセット (ADAMOD4<ADRST1:0>) を行ってから起動してください。HW による通常 A/D 変換の再起動は行わないでください。

通常 AD 変換中に ADAMOD2<HPADCE>に “1” を設定すると、現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADAMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADAREGSP へ格納すると、続きから通常 AD 変換を再開します。

通常 AD 変換中に HW による最優先 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADAMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADAREGSP へ格納すると、続きから通常 AD 変換を再開します。

16.3.4 A/D 変換モードと A/D 変換終了割り込み

A/D 変換には、次の 4 つの動作モードが用意されています。通常 AD 変換の場合は ADAMODO<2:1>の設定により選択ができます。最優先 AD 変換の場合は ADAMODO<2:1>の設定によらず、チャンネル固定のシングル変換のみの動作です。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

(1) 通常 A/D 変換

動作モードの選択は、ADMOD0<REPEAT, SCAN>で行います。A/D 変換が開始されると ADAMODO<ADBFN>が“1”にセットされます。指定された AD 変換が終了すると、A/D 変換終了割り込み (INTAD) が発生し、A/D 変換終了を示す ADAMODO<EOCF>が“1”にセットされます。<ADBFN>は<REPEAT>=“0”の時は EOCF のセットと同時に“0”に戻りますが、<REPEAT>=“1”の時は“1”の状態を保持して変換を続けます。

① チャンネル固定シングル変換モード

ADAMODO <REPEAT, SCAN> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADAMODO<EOCF>が“1”にセット、ADAMODO<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事により 0 にクリアされます。

② チャンネルスキャンシングル変換モード

ADAMODO <REPET, SCAN> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADAMODO<EOCF>が“1”にセット、ADAMODO<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事で 0 にクリアされます。

③ チャンネル固定リピート変換モード

ADAMODO<REPEAT, SCAN>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADAMODO<EOCF>が“1”にセットされます。ADAMODO<ADBF>は“0”にされず“1”を保持します。INTAD の割り込み要求発生タイミングは ADAMODO <ITM1:0> の設定により選択できます。<EOCF>が Set されるタイミングも割り込みのタイミングに連動します。

<EOCF>は読み出す事により 0 にクリアされます。

<ITM1:0> を“00”に設定すると A/D 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に格納レジスタの ADAREG08 に格納されます。格納時点で EOCF は 1 になります。

<ITM1:0> を“01”に設定すると A/D 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADAREG08~ADAREG3B に順次格納されます。ADAREG3B に格納後<EOCF>は 1 に SET され、再び ADAREG08 から格納を始めます。<EOCF>は読み出す事により 0 にクリアされます。

〈ITM1:0〉を“10”に設定するとA/D変換が8回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタのADAREG08~ADAREG7Fに順次格納されます。ADAREG7F格納後〈EOCF〉は1にsetされ、再びADAREG08から格納を始めます。

〈EOCF〉は読み出す事によりクリアされます。

④ チャネルスキャンリピート変換モード

ADAMODO〈REPEAT, SCAN〉に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADAMODO〈EOCF〉が“1”にセットされ、INTAD割り込み要求が発生します。ADAMODO〈ADBF〉は“0”にされず“1”を保持します。〈EOCF〉は読み出す事により“0”にクリアされます。

リピート変換モード(③、④のモード)の動作を停止させたい場合は、ADMOD0〈REPEAT〉に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0〈ADBF〉は“0”にされます。

IDLE、STOPモード等のスタンバイ状態へ移行する場合は、スタンバイ状態へ移行する前にA/D変換を停止していることを確認してから(または、停止させてから)移行してください。

(2) 最優先A/D変換

動作モードはチャンネル固定のシングル変換のみです。ADAMODO〈REPEAT, SCAN〉

の設定は関係ありません。起動条件が成立すると、ADAMOD2〈HPADCH3:0〉で指定されるチャンネルの変換を一度だけ行います。変換が終了すると、最優先AD変換終了割り込みが発生して、ADAMOD2〈EOCFHP〉は1にセットされ、〈ADBFHP〉は0に戻ります。EOCFHP フラグは読み出すとクリアされます。

A/D変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード	割り込み発生 タイミング	EOCF セットタイミング (注)	ADBF (割り込 み発生後)	ADAMODO		
				ITM1:0	REPEAT	SCAN
チャンネル固定 シングル変換	変換終了後	変換終了後	0	—	0	0
チャンネル固定 リピート変換	1回変換毎	変換が1回終 了後	1	00	1	0
	4回変換毎	変換が4回終 了後	1	01		
	8回変換毎	変換が8回終 了後	1	10		
チャンネルスキャン シングル変換	スキャン変換 終了後	スキャン変換 終了後	0	—	0	1
チャンネルスキャン リピート変換	1回のスキャン 変換終了毎	1回のスキャン 変換終了後	1	—	1	1

(注) EOCF はリードするとクリアされます。

16.3.5 最優先変換モード

通常 AD 変換に割り込んで、最優先 AD 変換を行う事ができます。最優先 AD 変換は ADAMOD2<HPADCE>に '1' を設定するソフトによる起動と、ADAMOD4<7:6>の設定により HW リソースを用いた起動ができます。通常 AD 変換中に最優先 AD 変換が起動されると、現在変換中の AD 変換は中断され、ADAMOD2<3:0>で指定されるチャンネルのシングル変換を行います。変換結果は ADAREGSP へ格納され、最優先 AD 変換割り込みが発生します。その後通常 AD 変換が続きから再開されます。また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

例えば チャンネル ANA0~ANA8 までのチャンネルリピート変換が起動されており、ANA3 の変換中に <HPADCE>に "1" がセットされた場合は ANA3 の変換が中断され、<HPADC3:0>で指定されたチャンネルの変換を行い、結果を ADAREGSP へ格納後に ANA3 からのチャンネルリピート変換を再開します。

16.3.6 AD 監視機能

ADAMOD3<ADOBV>に 1 を設定すると AD 監視機能が有効になり、REGS<3:0>で指定された変換結果格納レジスタの内容が比較レジスタの値より大または小 (ADOBIC で大か小は指定) になると AD 監視機能割り込みが発生します。また、この比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。また、AD 監視機能に割り当てている格納レジスタは通常ではソフトで読み出しは行われませんので、overrun フラグ<OVRn>は常にセットされていることになり、変換結果格納フラグ<ADRnRF>もセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

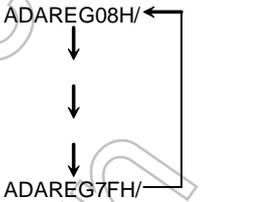
16.3.7 A/D 変換結果の格納と読み出し

A/D 変換結果は、通常 AD 変換の A/D 変換結果上位/下位レジスタ (ADAREG08H/L~ADARG7FH/L) に格納されます。

チャンネル固定リピート変換モードでは、A/D 変換結果は、ADAREG08H/L から ADAREG7FH/L へと順次格納されます。ただし、割り込み発生を<ITM1:0>で 1 回ごとに指定した場合は ADAREG08H/L のみに格納され、<ITM1:0>で 4 回ごとに指定した場合は ADAREG08H/L~ADAREG3BH/L へと順次格納されます。

表 16.3.7 にアナログ入力チャンネルと A/D 変換結果レジスタの対応を示します。

表 16.3.7 アナログ入力チャンネルと A/D 変換結果レジスタの対応

アナログ入力 チャンネル (ポート A)	A/D 変換結果レジスタ			
	右記以外の変換モード	チャンネル固定リピー ト 変換モード (1 回)	チャンネル固定リピー ト 変換モード (4 回ごと)	チャンネル固定リピー ト 変換モード (8 回ごと)
ANA0	ADAREG08H/L	ADAREG08H/L 固定	ADAREG08H/ ←	
ANA1	ADAREG19H/L			
ANA2	ADAREG2AH/L			
ANA3	ADAREG3BH/L			
ANA4	ADAREG4CH/L			
ANA5	ADAREG5DH/L			
ANA6	ADAREG6EH/L			
ANA7	ADAREG7FH/L			
ANA8	ADAREG08H/L			
ANA9	ADAREG19H/L			
ANA10	ADAREG2AH/L			
ANA11	ADAREG3BH/L			
ANA12	ADAREG4CH/L			
ANA13	ADAREG5DH/L			
ANA14	ADAREG6EH/L			
ANA15	ADAREG7FH/L			

16.3.8 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は ADAMOD0 <EOCF> のポーリングをしてください。このフラグがセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出してください。この際に Over RUN を検出する為に、変換結果格納レジスタの上位を先に読み出し、次に下位を読み出してください。

この結果、下位に存在する $OVR_n = 0$ 、 $ADR_nRF = 1$ であれば、正しい変換結果を得た事になります。

17. ウォッチドッグタイマ (暴走検出用タイマ)

19A61 は、暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクابل割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

17.1 構成

図 17.1 にウォッチドッグタイマのブロック図を示します。

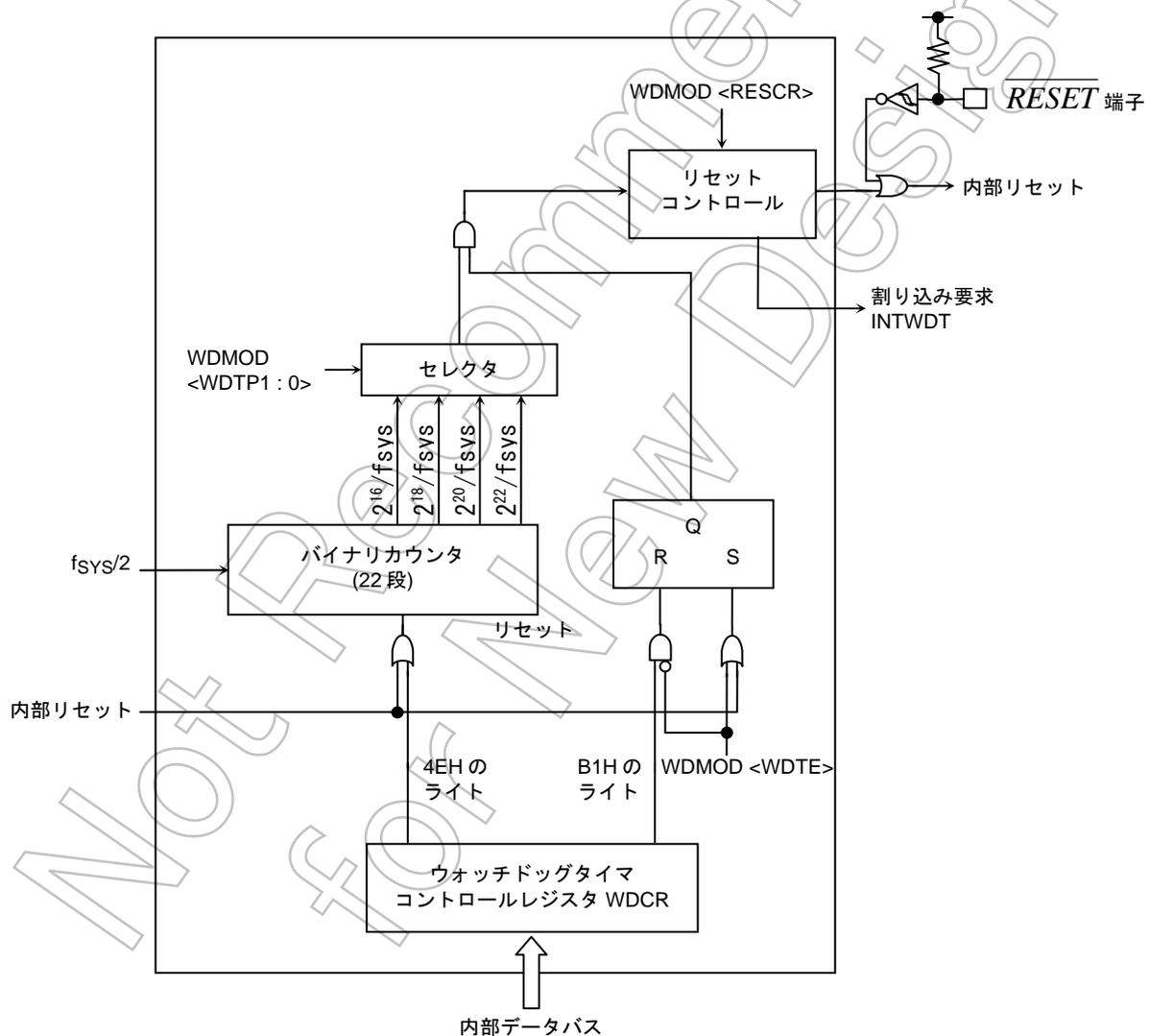


図 17.1 ウォッチドッグタイマのブロック図

17.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマは、システムクロック $f_{SYS/2}$ を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} 、 2^{17} 、 2^{19} および 2^{21} があります。このうちの 1 出力をWDMOD <WDTP1 : 0> で選択することにより、そのオーバフロー時に、図 17.2.1 で示すように、ウォッチドッグタイマ割り込みが発生します。

また、ウォッチドッグタイマ割り込みはノンマスカブル割り込み要因のため、INTC 部の NMIFLG <WDT> にてウォッチドッグタイマ割り込みが識別する必要があります。



図 17.2.1 通常モード

また、オーバフロー時にチップ自身をリセットすることも選択可能です。この場合、図 17.2.2 で示すように 32 ステートの期間、リセットを行います。なお、この場合（リセットされた場合）、入力クロック $f_{SYS/2}$ は、高速発振器のクロック f_C をクロックギアで 8 分周したクロック f_{SYS} が使われます。

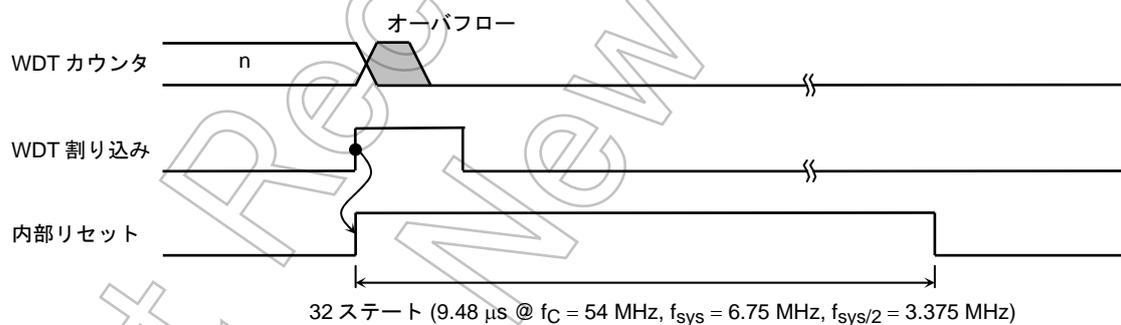


図 17.2.2 リセットモード

(注 1) 高周波発振子が止まっている状態では使用しないで下さい。ウォッチドッグタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作しません。

17.3 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

17.3.1 ウォッチドッグタイマ モードレジスタ (WDMOD)

① ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD <WDTP1, 0> = “00” にイニシャライズされます。図 17.3.1.1 にウォッチドッグタイマの検出時間を示します。

② ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを“0”にするとともに WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを“1”にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出時のノンマスクابل割り込み (INTWDT)、または内部リセットの接続設定を行なうレジスタです。リセット後、WDMOD <RESCR> = “0” に初期化されノンマスクابل割り込みが設定されます。ノンマスクابل割り込みのステータスに関しては、第 6 章<割り込み>の NMIFLG レジスタを参照してください。

WDMOD
(0xFFFF_FA00)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCR	—
Read/Write	R/W	R/W		R	R	R/W		R/W
リセット後	1	0	0	0	0	0	0	0
機能	WDT 制御 0: 停止 1: 許可	WDT 検出時間の選択 00: $2^{16}/f_{SYS}$ 01: $2^{18}/f_{SYS}$ 10: $2^{20}/f_{SYS}$ 11: $2^{22}/f_{SYS}$				IDLE 0: 停止 1: 動作	内部 RESET 選択 0: NMI 接続 1: 内部リセ ット接続	“0” をラ イトして ください。

ウォッチドッグタイマアウトコントロール

0	NMI 割り込み
1	WDT アウトを内部リセットへ接続

→ ウォッチドッグタイマの検出時間

@ $f_c = 54 \text{ MHz}$

SYSCR1 クロックギア値 <GEAR2:0>	Watch Dog Timer 検出時間			
	WDMOD<WDTP1, 0>			
	00	01	10	11
000 (f_c)	1.2 ms	4.9 ms	19.4 ms	77.7 ms
100 ($f_c/2$)	2.4 ms	9.7 ms	38.8 ms	155.3 ms
110 ($f_c/4$)	4.9 ms	19.4 ms	77.7 ms	310.7 ms
111 ($f_c/8$)	9.7 ms	38.8 ms	155.3 ms	621.4 ms

→ ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 17.3.1 ウォッチドッグタイマモードレジスタ

(注) モード設定を行ってから、<WDT>ビットの設定を行ってください。

17.3.2 ウォッチドッグタイマ コントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD <WDTE> を“0”にしたあと、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を“0”クリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

- イネーブル制御

WDMOD <WDTE> を“1”にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード (4EH) を書き込みます。

(注) ディセーブルコード (B1H) を書き込むとバイナリカウンタはクリアされます。

	7	6	5	4	3	2	1	0
WDCR (0xFFFF_FA01)	bit Symbol							
	Read/Write							
	リセット後							
	機能							
	B1H : WDT ディセーブルコード 4EH : WDT クリアコード 上記以外 : 無効 本レジスタは書き込み専用レジスタです。リードした場合は各ビット“0”が読み出されます。							

→ WDT のディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図 17.3.2.1 ウォッチドッグタイマコントロールレジスタ

17.4 動作説明

ウォッチドッグタイマは、WDMOD <WDTP1, 0> レジスタで設定された検出時間後に割り込み (INTWDT) を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWDT 割り込みが発生します。CPU は INTWDT 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。また、ウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 (BUSAK = "L") は、カウントを続けます。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

例: ① バイナリカウンタをクリアします。

```

      7 6 5 4 3 2 1 0
WDCR  ← 0 1 0 0 1 1 1 0   クリアコード (4EH) の書き込み

```

② ウォッチドッグタイマ検出時間を $2^{18}/f_{\text{SYS}}$ に設定します。

```

      7 6 5 4 3 2 1 0
WDMOD  ← 1 0 1 - - - - -

```

③ ウォッチドッグタイマをディセーブルします。

```

      7 6 5 4 3 2 1 0
WDMOD  ← 0 - - - - -      WDTTE を "0" クリア
WDCR   ← 1 0 1 1 0 0 0 1   ディセーブルコード (B1H) の書き込み

```

注: 高周波発振子が止まっている状態では使用しないで下さい。
ウォッチドッグタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作いたしません。

18. ROM correction 機能

本章では TMP19A61 に内蔵されている ROM correction 機能について説明します。

18.1 特 長

- 1 箇所当たり 8 ワードのデータを 12 箇所置き替えることができます。
- アドレスレジスタに書き込まれたアドレス（下位 5 ビットは Don't care）と PC、または DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれた ROM correction データレジスタからのデータが ROM データに置き換わります。
- ROM correction の許可は各アドレスレジスタにアドレスをセットすることにより自動的に行われます。
- プログラムの変更など 8 ワードで訂正ができない場合は、RAM 上に RAM へのジャンプ命令を置き、RAM 上で訂正することができます。

18.2 動 作

アドレスレジスタ ADDREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDREGn に対応した RAM 上のデータレジスタからのデータを ROM データと置き替えることができます。この ADDREGn にアドレスをセットすることにより、自動的にこの ROM correction 機能は有効になり、無効にすることは出来ません。リセット後は全ての ROM correction 機能が禁止されています。したがって、リセット解除後の初期設定にて ROM correction を行う場合は、必要な ADDREG にアドレスをセットしてください。アドレスがセットされた ADDREG は ROM correction 機能が有効になり、CPU がバス権利を所有しているときは PC の値、DMAC がバス権利を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDREG0、ADDREG3 にアドレスをセットすると、このエリアの ROM correction 機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えを行います。ADDREG1、ADDREG2、ADDREG4~7 に対しては行われません。また、アドレスレジスタのビットは <31:5> が存在しますが、アドレスの一致検出は <20:5> に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出が取られて置き換えが行われます。

8 ワードデータを置き換える場合の ROM correction のアドレスは 8 ワード単位の境界にのみ設定できます。従って、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスには置換え前と同じデータを書いてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

レジスタ	RAM エリアの対応	ワード数
ADDREG0	0xFFFF_DE80 0xFFFF_DE9F	8
ADDREG1	0xFFFF_DEA0 0xFFFF_DEBF	8
ADDREG2	0xFFFF_DEC0 0xFFFF_DEDF	8
ADDREG3	0xFFFF_DEE0 0xFFFF_DEFF	8
ADDREG4	0xFFFF_DF00 0xFFFF_DF1F	8
ADDREG5	0xFFFF_DF20 0xFFFF_DF3F	8
ADDREG6	0xFFFF_DF40 0xFFFF_DF5F	8
ADDREG7	0xFFFF_DF60 0xFFFF_DF7F	8
ADDREG8	0xFFFF_DF80 0xFFFF_DF9F	8
ADDREG9	0xFFFF_DFA0 0xFFFF_DFBF	8
ADDREGA	0xFFFF_DFC0 0xFFFF_DFDF	8
ADDREGB	0xFFFF_DFE0 0xFFFF_DFFF	8

注1：ROM プロテクト状態で、ROM correctionされる命令はRAMで動作する命令になります。従って、ROM Correctionデータによる命令では、ROM リード、DMAC 設定の設定は行えません。全ての命令を実行可能にするには、あらかじめROM プロテクトを解除しておく必要があります。

注2：ROM 領域に対しての、ROM Correctionでは、アドレスレジスタで設定した上位アドレスは無視され、アドレス[19:5]がデコードされます

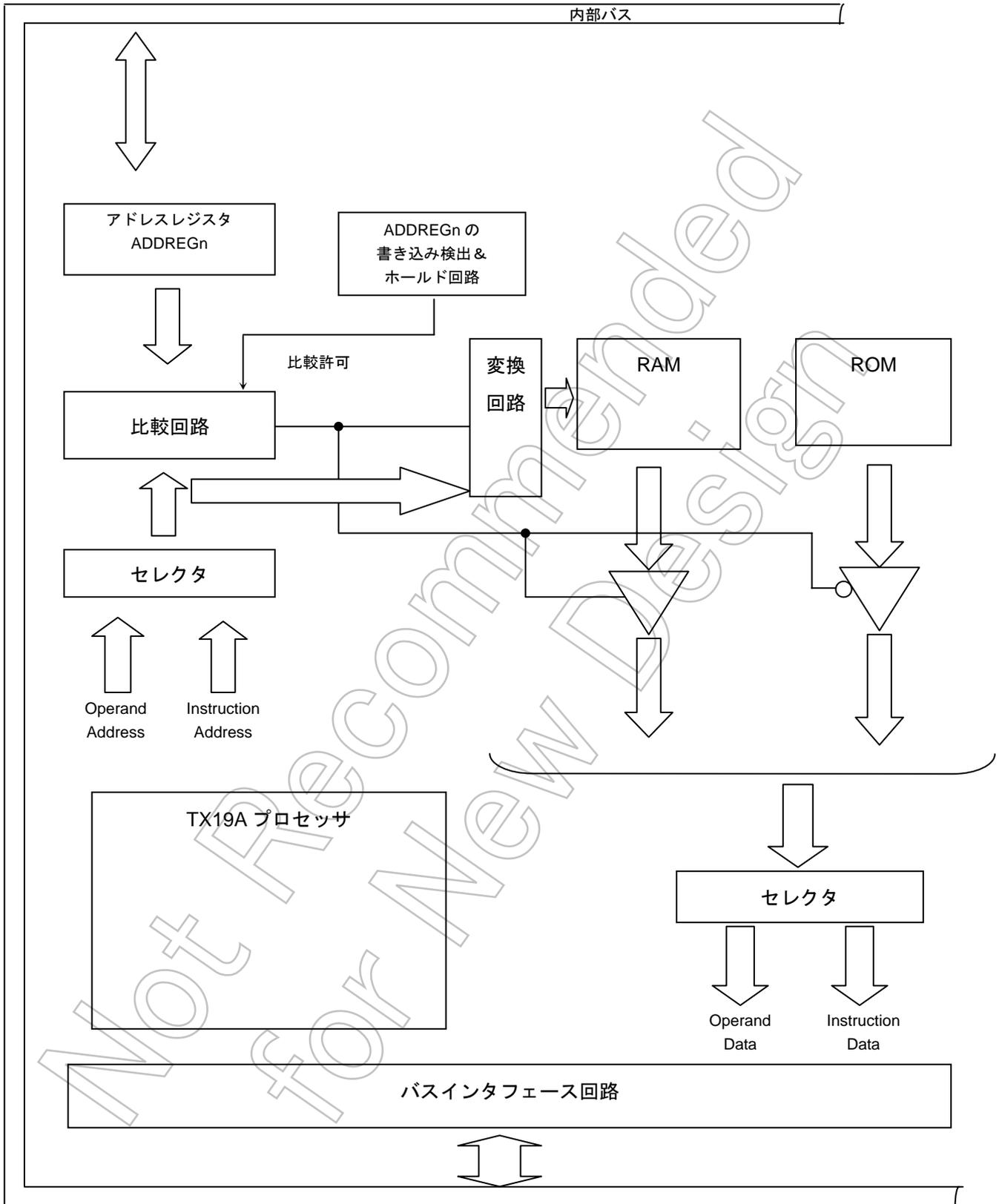


図 18.1 ROM correction システム図

18.3 レジスタ

(1) アドレスレジスタ

ADDREG0
(0xFFFF_E540)

	7	6	5	4	3	2	1	0
Symbol	ADD07	ADD06	ADD05					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD023	ADD022	ADD021	ADD020	ADD019	ADD018	ADD017	ADD016
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD031	ADD030	ADD029	ADD028	ADD027	ADD026	ADD025	ADD024
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG1
(0xFFFF_E544)

	7	6	5	4	3	2	1	0
Symbol	ADD17	ADD16	ADD15					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD123	ADD122	ADD121	ADD120	ADD119	ADD118	ADD117	ADD116
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD131	ADD130	ADD129	ADD128	ADD128	ADD126	ADD125	ADD124
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG2
(0xFFFF_E548)

	7	6	5	4	3	2	1	0
Symbol	ADD27	ADD26	ADD25					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD223	ADD222	ADD221	ADD220	ADD219	ADD218	ADD217	ADD216
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD231	ADD230	ADD229	ADD228	ADD227	ADD226	ADD225	ADD224
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDRREG3
(0xFFFF_E54C)

	7	6	5	4	3	2	1	0
Symbol	ADD37	ADD36	ADD35					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD39	ADD38
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD323	ADD322	ADD321	ADD320	ADD319	ADD318	ADD317	ADD316
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD331	ADD330	ADD329	ADD328	ADD327	ADD326	ADD325	ADD324
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDRREG4
(0xFFFF_E550)

	7	6	5	4	3	2	1	0
Symbol	ADD47	ADD46	ADD45					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD49	ADD48
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD423	ADD422	ADD421	ADD420	ADD419	ADD418	ADD417	ADD416
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD431	ADD430	ADD429	ADD428	ADD427	ADD426	ADD425	ADD424
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDRREG5
(0xFFFF_E554)

	7	6	5	4	3	2	1	0
Symbol	ADD57	ADD56	ADD55					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD59	ADD58
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD523	ADD522	ADD521	ADD520	ADD519	ADD518	ADD517	ADD516
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD531	ADD530	ADD529	ADD528	ADD527	ADD526	ADD525	ADD524
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDR66
(0xFFFF_E558)

	7	6	5	4	3	2	1	0
Symbol	ADD67	ADD66	ADD65					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD623	ADD622	ADD621	ADD620	ADD619	ADD618	ADD617	ADD616
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD631	ADD630	ADD629	ADD628	ADD627	ADD626	ADD625	ADD624
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDR67
(0xFFFF_E55C)

	7	6	5	4	3	2	1	0
Symbol	ADD77	ADD76	ADD75					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD723	ADD722	ADD721	ADD720	ADD719	ADD718	ADD717	ADD716
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD731	ADD730	ADD729	ADD728	ADD727	ADD726	ADD725	ADD724
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDR68
(0xFFFF_E560)

	7	6	5	4	3	2	1	0
Symbol	ADD87	ADD86	ADD85					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD815	ADD814	ADD813	ADD812	ADD811	ADD810	ADD89	ADD88
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD823	ADD822	ADD821	ADD820	ADD819	ADD818	ADD817	ADD816
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD831	ADD830	ADD829	ADD828	ADD827	ADD826	ADD825	ADD824
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG9
(0xFFFF_E564)

	7	6	5	4	3	2	1	0
Symbol	ADD97	ADD96	ADD95					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADD915	ADD914	ADD913	ADD912	ADD911	ADD910	ADD99	ADD98
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADD923	ADD922	ADD921	ADD920	ADD919	ADD918	ADD917	ADD916
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADD931	ADD930	ADD929	ADD928	ADD927	ADD926	ADD925	ADD924
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREGA
(0xFFFF_E568)

	7	6	5	4	3	2	1	0
Symbol	ADDA7	ADDA6	ADDA5					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADDA15	ADDA14	ADDA13	ADDA12	ADDA11	ADDA10	ADDA9	ADDA8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADDA23	ADDA22	ADDA21	ADDA20	ADDA19	ADDA18	ADDA17	ADDA16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADDA31	ADDA30	ADDA29	ADDA28	ADDA27	ADDA26	ADDA25	ADDA24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREGB
(0xFFFF_E56C)

	7	6	5	4	3	2	1	0
Symbol	ADDB7	ADDB6	ADDB5					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
Symbol	ADDB15	ADDB14	ADDB13	ADDB12	ADDB11	ADDB10	ADDB9	ADDB8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Symbol	ADDB23	ADDB22	ADDB21	ADDB20	ADDB19	ADDB18	ADDB17	ADDB16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Symbol	ADDB31	ADDB30	ADDB29	ADDB28	ADDB27	ADDB26	ADDB25	ADDB24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

(注1) アドレスレジスタへの DMA 転送はできません。RAM 上に配置される置き換えの為のデータ領域への DMA 転送は可能です。また ROM コレクションの置き換え機能は CPU アクセス時、DMA アクセス時いずれの場合も有効です。

(注2) 初期値 “0x00” を書き戻すとリセットアドレスに対して置き換えを行います。

Not Recommended
for New Design

19. KEY ON Wake Up

19.1 概要

- 4本の入力 KEY0~KEY3があり、STOP解除または外部割り込みとして使用可能です。ただし、4本の入力に対して割り込み要因は1要因として割り込み処理を行いません。また、個別にKEY入力の使用/未使用は設定可能です (KWUPSTn)。
- 立ち上がりエッジ/立ち下がりエッジ/Highレベル/Lowレベルは各入力個別に設定可能です (KWUPSTn)。
- 割り込み処理でKEY割り込み状態レジスタ KWUPSTを読み出すことにより割り込み要求をクリアします。
- KEY入力端子はプルアップ付きでKEY Pullup制御レジスタ PKPUPによりプルアップイネーブル/ディセーブルを切り替えることが可能です。

19.2 KEY ON WAKE UP 動作

TMP19A61は4本のKEY入力端子 (KEY0~3) をもっています。KEY入力をSTOP解除に使用するか、通常割り込みに使用するかはCGのレジスタ IMCGD<KWUPEN>で設定します。<KWUPEN>="1"に設定することにより、KEY0~3はすべてSTOP/SLEEP解除割り込みになります。KEY入力ごとに割り込み入力許可/禁止をKWUPSTn<KEYnEN>で設定すると同時に、使用するKEY入力ごとにアクティブ状態をKWUPSTn<KEYn1: KEYn0>で設定してください。KEY入力の検出はこのKWUPブロックで行われ、検出結果はアクティブ状態HレベルとしてCG部のIMCGDレジスタへ通知されます。したがって、IMCGD<EMCGC1: CO>で検出レベルをHレベル ("01") に設定してください。また、CG部での検出結果もアクティブHレベルとして割り込みコントローラINTCへ通知されるために、INTCでも該当割り込みをHレベル ("01") に設定してください。IMCGD<KWUPEN>を0に設定する (デフォルト) ことによりKEY0~3はすべて通常割り込みになります。この場合はCGでの設定は不要でINTCで検出レベルをHレベルに設定してください。各KEY入力の許可/禁止、アクティブ状態はKWUPSTnと同様に設定します。割り込み処理の中で、KWUPSTをリードすることにより発生したKEY割り込み要求がクリアされます。

(注) 複数のKEY入力が発生した場合は、最初のKEY入力に対応した割り込み処理ルーチンで行なう割り込み要求クリアのシーケンス以前に、発生した別の割り込み要求が同時にクリアされます。また、前述割り込み要求クリアのシーケンス後に発生した別の割り込み要求については再度KEY割り込みが発生します。

19.3 プルアップ機能

各KEY入力にはプルアップ機能があります。PKPUP<KEYPU0:3>を"1"に設定することにより、KEY入力KEY0~3をbitごとにプルアップできます。

プルアップイネーブルで KEY 入力を使用する場合の注意点

- A) 電源投入後最初に設定する場合
 - 1) PKPUP の設定 (<PKnUP> = "1")
 - 2) 使用する KEYn 入力に該当する KWUPSTn<KEYnEN> = 1
 - 3) プルアップが終了する時間を待つ
 - 4) 使用する KEYn 入力の該当する KWUPSTn でアクティブ状態の設定
 - 5) KWUPST をリードし、割り込み要求をクリア
 - 6) CG の設定、INTC の設定 (設定の方法は 6 章の割り込み章参照)
- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
 - 1) INTC で KEY 割り込みの禁止 (IMC3<ILD2:D0> = 000)
 - 2) 変更する KEYn 入力に該当する KWUPSTn でアクティブ状態変更
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) INTC で KEY 割り込みの許可 (IMC3<ILD2:D0> を所定のレベルに設定)
- C) 動作途中で KEY 入力を許可する場合
 - 1) INTC で KEY 割り込みの禁止 (IMC3<ILD2:D0> = 000)
 - 2) 使用する KEYn 入力に該当する KWUPSTn<KEYnEN> = 1
 - 3) プルアップが終了する時間を待つ
 - 4) 使用する KEYn 入力の該当する KWUPSTn でアクティブ状態の設定
 - 5) KWUPST をリードし、割り込み要求をクリア
 - 6) INTC で KEY 割り込みの許可 (IMC3<ILD2:D0> を所定のレベルに設定)

プルアップディセーブルで KEY 入力を使用する場合の注意点

- A) 電源投入後最初に設定する場合
 - 1) PKPUP の設定 (<PKnUP> = "1")
 - 2) 使用する KEYn 入力に該当する KWUPSTn でアクティブ状態の設定
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) 使用する KEYn 入力に該当する KWUPSTn<KEYnEN> = 1
 - 5) CG の設定、INTC の設定 (設定の仕方は 6 章の割り込み章参照)
- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
 - 1) INTC で KEY 割り込みの禁止 (IMC3<ILD2:D0> = 000)
 - 2) 変更する KEYn 入力に該当する KWUPSTn でアクティブ状態変更
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) INTC で KEY 割り込みの許可 (IMC3<ILD2:D0> を所定のレベルに設定)
- C) 動作途中で KEY 入力を許可する場合
 - 1) INTC で KEY 割り込みの禁止 (IMC3<ILD2:D0> = 000)
 - 2) 使用する KEYn 入力に該当する KWUPSTn でアクティブ状態の設定
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) 使用する KEYn 入力に該当する KWUPSTn<KEYnEN> = 1
 - 5) INTC で KEY 割り込みの許可 (IMC3<ILD2:D0> を所定のレベルに設定)

ポート K プルアップ制御レジスタ PKPUP

	7	6	5	4	3	2	1	0
POPOP (0xFFFF_F18B)	Bit Symbol				PO3UP	PO2UP	PO1UP	PO0UP
	Read/Write				R/W			
	リセット後				0	0	0	0
	機能				プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

19.4 KEY 入力の検出

1) <KWUPSTn> アクティブ状態の設定

各 KEYn 入力のアクティブ状態は KWUPSTn<KEYn1:0>で H/L レベル/エッジの指定ができます。KEYn 入力のアクティブ状態の検出は常に行われています。

	7	6	5	4	3	2	1	0
KWUPST0 (0xFFFF_F900)	bit Symbol		KEY01	KEY00			KEY0EN	
	Read/Write		R/W		R		R/W	
	0	0	1	0	0	0	0	0
	機能		KEY0 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ				KEY0 割り込み入力 0: 禁止 1: 許可	
	7	6	5	4	3	2	1	0
KWUPST1 (0xFFFF_F901)	bit Symbol		KEY11	KEY10			KEY1EN	
	Read/Write		R/W		R		R/W	
	0	0	1	0	0	0	0	0
	機能		KEY1 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ				KEY1 割り込み入力 0: 禁止 1: 許可	
	7	6	5	4	3	2	1	0
KWUPST2 (0xFFFF_F902)	bit Symbol		KEY21	KEY20			KEY2EN	
	Read/Write		R/W		R		R/W	
	0	0	1	0	0	0	0	0
	機能		KEY2 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ				KEY2 割り込み入力 0: 禁止 1: 許可	

		7	6	5	4	3	2	1	0
KWUPST3 (0xFFFF_F903)	bit Symbol			KEY31	KEY30				KEY3EN
	Read/Write	R		R/W		R			R/W
	リセット後	0	0	1	0	0	0	0	0
	機能			KEY3 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY3 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
(0xFFFF_F904)	bit Symbol								
	Read/Write	R							
	リセット後	0	0	1	0	0	0	0	0
	機能								
		7	6	5	4	3	2	1	0
(0xFFFF_F905)	bit Symbol								
	Read/Write	R							
	リセット後	0	0	1	0	0	0	0	0
	機能								
		7	6	5	4	3	2	1	0
(0xFFFF_F906)	bit Symbol								
	Read/Write	R							
	リセット後	0	0	1	0	0	0	0	0
	機能								
		7	6	5	4	3	2	1	0
(0xFFFF_F907)	bit Symbol								
	Read/Write	R							
	リセット後	0	0	1	0	0	0	0	0
	機能			ジ					

Not Ready for New

19.5 KEY 入力割り込みの検出と要求のクリア

KEYnEN = 1 のときに KEYn にアクティブな信号が入力されると、KWUPST の該当チャネル KEYINTn に割り込みが入ったことを示す “1” が設定されます。KWUPST は読み出し専用レジスタで、本レジスタをリードすることにより、“1” に設定された該当 bit はクリアされます。アクティブ状態をレベルに設定した場合は、外部入力を取り下げない限り、KWUPST レジスタの該当 bit はリードした場合でもクリアされず “1” のままです。

KEY 割り込み状態レジスタ: KWUPST

		7	6	5	4	3	2	1	0
KWUPST (0xFFFF_F910)	bit Symbol					KEYINT3	KEYINT2	KEYINT1	KEYINT0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能					KEY3 割り込み 状態 0: 割り込み 発生なし 1: 割り込み 発生あり	KEY2 割り込み 状態 0: 割り込み 発生なし 1: 割り込み 発生あり	KEY1 割り込み 状態 0: 割り込み 発生なし 1: 割り込み 発生あり	KEY0 割り込み 状態 0: 割り込み 発生なし 1: 割り込み 発生あり

20. 特殊機能レジスタ一覧表

特殊機能レジスタは、FFFFE000H~FFFFFFFFH の 8K バイトのアドレス空間に割り付けられています。

- [1] ポート関連
- [2] 16 ビットタイマ
- [3] 32 ビットタイマ
- [4] I²CBUS/シリアル チャネル (SBI)
- [5] UART/シリアル チャネル (UART/SIO)
- [6] 10 ビット A/D コンバータ (ADC)
- [7] キーオンウェイクアップ (KWUP)
- [8] ウォッチドッグタイマ (WDT)
- [9] 割り込みコントローラ (INTC)
- [10] DMA コントローラ (DMAC)
- [11] チップセレクト/ウェイトコントローラ (CS/WAIT コントローラ)
- [12] FLASH 制御
- [13] ROM コレクション
- [14] INTUNIT
- [15] UART/高速シリアル チャネル (HSIO/UART)
- [16] クロックジェネレータ

(注 1) 0xFFFF_F000~0xFFFF_FFFF に該当するアドレスにマッピングされたレジスタはエンディアン設定による影響はありません。0xFFFF_E000~0xFFFF_EFFF に該当するアドレスにマッピングされたレジスタはエンディアン設定によりアドレスが変化します。

(注 2) レジスタ長が 8 ビットの連続するレジスタは 16/32 ビットでアクセスすることが可能です。但し、16/32 ビットでアクセスする場合は、偶数アドレスへアクセスし且つ未定義領域(アドレス)を含まないようにして下さい。

1. リトルエンディアン

[1] PORT 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFFF00H	P0	FFFFFF10H	P1	FFFFFF20H	P2	FFFFFF30H	P3
1H	P0CR	1H	P1CR	1H	P2CR	1H	P3CR
2H	P0FC1	2H	P1FC1	2H	P2FC1	2H	P3FC1
3H		3H	P1FC2	3H	P2FC2	3H	
4H		4H		4H		4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	P3PUP
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH	P2IE	EH	P3IE
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFFF040H	P4	FFFFFF050H	P5	FFFFFF060H	P6	FFFFFF070H	P7
1H	P4CR	1H	P5CR	1H	P6CR	1H	
2H	P4FC1	2H	P5FC1	2H	P6FC1	2H	
3H		3H		3H		3H	
4H		4H		4H		4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH	P4PUP	BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH	P4IE	EH	P5IE	EH	P6IE	EH	P7IE
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFFF080H	P8	FFFFFF090H	P9	FFFFFF0A0H	PA	FFFFFF0B0H	PB
1H		1H		1H		1H	PBCR
2H		2H		2H		2H	PBFC1
3H		3H		3H		3H	<i>reserved</i>
4H		4H		4H		4H	<i>reserved</i>
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH	P8IE	EH	P9IE	EH	PAIE	EH	PBIE
FH		FH		FH		FH	

ADR	レジスタ名
FFFFF0C0H	PC
1H	PCCR
2H	PCFC1
3H	PCFC2
4H	<i>reserved</i>
5H	
6H	
7H	
8H	
9H	
AH	PCOD
BH	
CH	
DH	PCSEL
EH	PCIE
FH	

ADR	レジスタ名
FFFFF0D0H	PD
1H	PDCR
2H	PDFC1
3H	<i>reserved</i>
4H	<i>reserved</i>
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PDIE
FH	

ADR	レジスタ名
FFFFF0E0H	PE
1H	PECR
2H	PEFC1
3H	<i>reserved</i>
4H	<i>reserved</i>
5H	
6H	
7H	
8H	
9H	
AH	PEOD
BH	
CH	
DH	PESEL
EH	PEIE
FH	

ADR	レジスタ名
FFFFF0F0H	PF
1H	PFGR
2H	PFFC1
3H	PFFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PFOD
BH	
CH	
DH	PFSEL
EH	PFIE
FH	

ADR	レジスタ名
FFFFF100H	PG
1H	PGCR
2H	PGFC1
3H	PGFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PGOD
BH	
CH	
DH	PGSEL
EH	PGIE
FH	

ADR	レジスタ名
FFFFF110H	PH
1H	PHCR
2H	PHFC1
3H	PHFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PHOD
BH	
CH	
DH	PHSEL
EH	PHIE
FH	

ADR	レジスタ名
FFFFF120H	PI
1H	PICR
2H	PIFC1
3H	PIFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PIOD
BH	
CH	
DH	PISEL
EH	PIIE
FH	

ADR	レジスタ名
FFFFF130H	PJ
1H	PJCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PJIE
FH	

ADR	レジスタ名
FFFFF140H	PK
1H	PKCR
2H	PKFC1
3H	PKFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PKOD
BH	
CH	
DH	PKSEL
EH	PKIE
FH	

ADR	レジスタ名
FFFFF150H	PL
1H	PLCR
2H	PLFC1
3H	PLFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PLOD
BH	
CH	
DH	PLSEL
EH	PLIE
FH	

ADR	レジスタ名
FFFFF160H	PM
1H	PMCR
2H	PMFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PMIE
FH	

ADR	レジスタ名
FFFFF170H	PN
1H	PNCR
2H	PNFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PNIE
FH	

ADR	レジスタ名
FFFFFF180H	PO
1H	POCR
2H	POFC1
3H	POFC2
4H	<i>reserved</i>
5H	
6H	
7H	
8H	
9H	
AH	POOD
BH	POPUP
CH	
DH	POSEL
EH	POIE
FH	

ADR	レジスタ名
FFFFFF190H	PP
1H	PPCR
2H	<i>reserved</i>
3H	<i>reserved</i>
4H	<i>reserved</i>
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	<i>reserved</i>
EH	PPIE
FH	

ADR	レジスタ名
FFFFFF1A0H	PQ
1H	PQCR
2H	PQFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PQIE
FH	

[2] 16bit タイマ

ADR	レジスタ名
FFFFFF200H	TB00RUN
1H	TB00CR
2H	TB00MOD
3H	TB00FFCR
4H	TB00ST
5H	TB00IM
6H	TB00UCL
7H	TB00UCH
8H	TB00RG0L
9H	TB00RG0H
AH	TB00RG1L
BH	TB00RG1H
CH	TB00CP0L
DH	TB00CP0H
EH	TB00CP1L
FH	TB00CP1H

ADR	レジスタ名
FFFFFF210H	TB01RUN
1H	TB01CR
2H	TB01MOD
3H	TB01FFCR
4H	TB01ST
5H	TB01IM
6H	TB01UCL
7H	TB01UCH
8H	TB01RG0L
9H	TB01RG0H
AH	TB01RG1L
BH	TB01RG1H
CH	TB01CP0L
DH	TB01CP0H
EH	TB01CP1L
FH	TB01CP1H

ADR	レジスタ名
FFFFFF220H	TB02RUN
1H	TB02CR
2H	TB02MOD
3H	TB02FFCR
4H	TB02ST
5H	TB02IM
6H	TB02UCL
7H	TB02UCH
8H	TB02RG0L
9H	TB02RG0H
AH	TB02RG1L
BH	TB02RG1H
CH	TB02CP0L
DH	TB02CP0H
EH	TB02CP1L
FH	TB02CP1H

ADR	レジスタ名
FFFFFF230H	TB03RUN
1H	TB03CR
2H	TB03MOD
3H	TB03FFCR
4H	TB03ST
5H	TB03IM
6H	TB03UCL
7H	TB03UCH
8H	TB03RG0L
9H	TB03RG0H
AH	TB03RG1L
BH	TB03RG1H
CH	TB03CP0L
DH	TB03CP0H
EH	TB03CP1L
FH	TB03CP1H

ADR	レジスタ名
FFFFFF240H	TB04RUN
1H	TB04CR
2H	TB04MOD
3H	TB04FFCR
4H	TB04ST
5H	TB04IM
6H	TB04UCL
7H	TB04UCH
8H	TB04RG0L
9H	TB04RG0H
AH	TB04RG1L
BH	TB04RG1H
CH	TB04CP0L
DH	TB04CP0H
EH	TB04CP1L
FH	TB04CP1H

ADR	レジスタ名
FFFFFF250H	TB05RUN
1H	TB05CR
2H	TB05MOD
3H	TB05FFCR
4H	TB05ST
5H	TB05IM
6H	TB05UCL
7H	TB05UCH
8H	TB05RG0L
9H	TB05RG0H
AH	TB05RG1L
BH	TB05RG1H
CH	TB05CP0L
DH	TB05CP0H
EH	TB05CP1L
FH	TB05CP1H

ADR	レジスタ名
FFFFFF260H	TB06RUN
1H	TB06CR
2H	TB06MOD
3H	TB06FFCR
4H	TB06ST
5H	TB06IM
6H	TB06UCL
7H	TB06UCH
8H	TB06RG0L
9H	TB06RG0H
AH	TB06RG1L
BH	TB06RG1H
CH	TB06CP0L
DH	TB06CP0H
EH	TB06CP1L
FH	TB06CP1H

ADR	レジスタ名
FFFFFF270H	TB07RUN
1H	TB07CR
2H	TB07MOD
3H	TB07FFCR
4H	TB07ST
5H	TB07IM
6H	TB07UCL
7H	TB07UCH
8H	TB07RG0L
9H	TB07RG0H
AH	TB07RG1L
BH	TB07RG1H
CH	TB07CP0L
DH	TB07CP0H
EH	TB07CP1L
FH	TB07CP1H

ADR	レジスタ名
FFFFF280H	TB08RUN
1H	TB08CR
2H	TB08MOD
3H	TB08FFCR
4H	TB08ST
5H	TB08IM
6H	TB08UCL
7H	TB08UCH
8H	TB08RG0L
9H	TB08RG0H
AH	TB08RG1L
BH	TB08RG1H
CH	TB08CP0L
DH	TB08CP0H
EH	TB08CP1L
FH	TB08CP1H

ADR	レジスタ名
FFFFF290H	TB09RUN
1H	TB09CR
2H	TB09MOD
3H	TB09FFCR
4H	TB09ST
5H	TB09IM
6H	TB09UCL
7H	TB09UCH
8H	TB09RG0L
9H	TB09RG0H
AH	TB09RG1L
BH	TB09RG1H
CH	TB09CP0L
DH	TB09CP0H
EH	TB09CP1L
FH	TB09CP1H

ADR	レジスタ名
FFFFF2A0H	TB0ARUN
1H	TB0ACR
2H	TB0AMOD
3H	TB0AFFCR
4H	TB0AST
5H	TB0AIM
6H	TB0AUCL
7H	TB0AUCH
8H	TB0ARG0L
9H	TB0ARG0H
AH	TB0ARG1L
BH	TB0ARG1H
CH	TB0ACP0L
DH	TB0ACP0H
EH	TB0ACP1L
FH	TB0ACP1H

ADR	レジスタ名
FFFFF2B0H	TB0BRUN
1H	TB0BCR
2H	TB0BMOD
3H	TB0BFFCR
4H	TB0BST
5H	TB0BIM
6H	TB0BUCL
7H	TB0BUCH
8H	TB0BRG0L
9H	TB0BRG0H
AH	TB0BRG1L
BH	TB0BRG1H
CH	TB0BCP0L
DH	TB0BCP0H
EH	TB0BCP1L
FH	TB0BCP1H

ADR	レジスタ名
FFFFF2C0H	TB0CRUN
1H	TB0CCR
2H	TB0CMOD
3H	TB0CFFCR
4H	TB0CST
5H	
6H	TB0CUCL
7H	TB0CUCH
8H	TB0CRG0L
9H	TB0CRG0H
AH	TB0CRG1L
BH	TB0CRG1H
CH	TB0CCP0L
DH	TB0CCP0H
EH	TB0CCP1L
FH	TB0CCP1H

ADR	レジスタ名
FFFFF2D0H	TB0DRUN
1H	TB0DCR
2H	TB0DMOD
3H	TB0DFFCR
4H	TB0DST
5H	TB0DIM
6H	TB0DUCL
7H	TB0DUCH
8H	TB0DRG0L
9H	TB0DRG0H
AH	TB0DRG1L
BH	TB0DRG1H
CH	TB0DCP0L
DH	TB0DCP0H
EH	TB0DCP1L
FH	TB0DCP1H

ADR	レジスタ名
FFFFF2E0H	TB0ERUN
1H	TB0ECR
2H	TB0EMOD
3H	TB0EFFCR
4H	TB0EST
5H	TB0EIM
6H	TB0EUCL
7H	TB0EUCH
8H	TB0ERG0L
9H	TB0ERG0H
AH	TB0ERG1L
BH	TB0ERG1H
CH	TB0ECP0L
DH	TB0ECP0H
EH	TB0ECP1L
FH	TB0ECP1H

ADR	レジスタ名
FFFFF2F0H	TB0FRUN
1H	TB0FCR
2H	TB0FMOD
3H	TB0FFFCR
4H	TB0FST
5H	TB0FIM
6H	TB0FUCL
7H	TB0FUCH
8H	TB0FRG0L
9H	TB0FRG0H
AH	TB0FRG1L
BH	TB0FRG1H
CH	TB0FCP0L
DH	TB0FCP0H
EH	TB0FCP1L
FH	TB0FCP1H

ADR	レジスタ名
FFFFF300H	TB10RUN
1H	TB10CR
2H	TB10MOD
3H	TB10FFCR
4H	TB10ST
5H	TB10IM
6H	TB10UCL
7H	TB10UCH
8H	TB10RG0L
9H	TB10RG0H
AH	TB10RG1L
BH	TB10RG1H
CH	TB10CP0L
DH	TB10CP0H
EH	TB10CP1L
FH	TB10CP1H

ADR	レジスタ名
FFFFF310H	TB11RUN
1H	TB11CR
2H	TB11MOD
3H	TB11FFCR
4H	TB11ST
5H	TB11IM
6H	TB11UCL
7H	TB11UCH
8H	TB11RG0L
9H	TB11RG0H
AH	TB11RG1L
BH	TB11RG1H
CH	TB11CP0L
DH	TB11CP0H
EH	TB11CP1L
FH	TB11CP1H

ADR	レジスタ名
FFFFF320H	TB12RUN
1H	TB12CR
2H	TB12MOD
3H	TB0AFFCR
4H	TB12ST
5H	
6H	TB12UCL
7H	TB12UCH
8H	TB12RG0L
9H	TB12RG0H
AH	TB12RG1L
BH	TB12RG1H
CH	TB12CP0L
DH	TB12CP0H
EH	TB12CP1L
FH	TB12CP1H

ADR	レジスタ名
FFFFF330H	TB13RUN
1H	TB13CR
2H	TB13MOD
3H	TB13FFCR
4H	TB13ST
5H	TB13IM
6H	TB13UCL
7H	TB13UCH
8H	TB13RG0L
9H	TB13RG0H
AH	TB13RG1L
BH	TB13RG1H
CH	TB13CP0L
DH	TB13CP0H
EH	TB13CP1L
FH	TB13CP1H

ADR	レジスタ名
FFFFF340H	TB14RUN
1H	TB14CR
2H	TB14MOD
3H	TB14FFCR
4H	TB14ST
5H	TB14IM
6H	TB14UCL
7H	TB14UCH
8H	TB14RG0L
9H	TB14RG0H
AH	TB14RG1L
BH	TB14RG1H
CH	TB14CP0L
DH	TB14CP0H
EH	TB14CP1L
FH	TB14CP1H

ADR	レジスタ名
FFFFF350H	TB15RUN
1H	TB15CR
2H	TB15MOD
3H	TB15FFCR
4H	TB15ST
5H	TB15IM
6H	TB15UCL
7H	TB15UCH
8H	TB15RG0L
9H	TB15RG0H
AH	TB15RG1L
BH	TB15RG1H
CH	TB15CP0L
DH	TB15CP0H
EH	TB15CP1L
FH	TB15CP1H

ADR	レジスタ名
FFFFF360H	TB16RUN
1H	TB16CR
2H	TB16MOD
3H	TB16FFCR
4H	TB16ST
5H	TB16IM
6H	TB16UCL
7H	TB16UCH
8H	TB16RG0L
9H	TB16RG0H
AH	TB16RG1L
BH	TB16RG1H
CH	TB16CP0L
DH	TB16CP0H
EH	TB16CP1L
FH	TB16CP1H

ADR	レジスタ名
FFFFF370H	TB17RUN
1H	TB17CR
2H	TB17MOD
3H	TB17FFCR
4H	TB17ST
5H	TB17IM
6H	TB17UCL
7H	TB17UCH
8H	TB17RG0L
9H	TB17RG0H
AH	TB17RG1L
BH	TB17RG1H
CH	TB17CP0L
DH	TB17CP0H
EH	TB17CP1L
FH	TB17CP1H

ADR	レジスタ名
FFFFF380H	TB18RUN
1H	TB18CR
2H	TB18MOD
3H	TB18FFCR
4H	TB18ST
5H	TB18IM
6H	TB18UCL
7H	TB18UCH
8H	TB18RG0L
9H	TB18RG0H
AH	TB18RG1L
BH	TB18RG1H
CH	TB18CP0L
DH	TB18CP0H
EH	TB18CP1L
FH	TB18CP1H

ADR	レジスタ名
FFFFF390H	TB19RUN
1H	TB19CR
2H	TB19MOD
3H	TB19FFCR
4H	TB19ST
5H	TB19IM
6H	TB19UCL
7H	TB19UCH
8H	TB19RG0L
9H	TB19RG0H
AH	TB19RG1L
BH	TB19RG1H
CH	TB19CP0L
DH	TB19CP0H
EH	TB19CP1L
FH	TB19CP1H

ADR	レジスタ名
FFFFF3A0H	TB1ARUN
1H	TB1ACR
2H	TB1AMOD
3H	TB1AFFCR
4H	TB1AST
5H	TB1AIM
6H	TB1AUCL
7H	TB1AUCH
8H	TB1ARG0L
9H	TB1ARG0H
AH	TB1ARG1L
BH	TB1ARG1H
CH	TB1ACP0L
DH	TB1ACP0H
EH	TB1ACP1L
FH	TB1ACP1H

ADR	レジスタ名
FFFFF3B0H	TB1BRUN
1H	TB1BCR
2H	TB1BMOD
3H	TB1BFFCR
4H	TB1BST
5H	TB1BIM
6H	TB1BUCL
7H	TB1BUCH
8H	TB1BRG0L
9H	TB1BRG0H
AH	TB1BRG1L
BH	TB1BRG1H
CH	TB1BCP0L
DH	TB1BCP0H
EH	TB1BCP1L
FH	TB1BCP1H

ADR	レジスタ名
FFFFF3C0H	TB1CRUN
1H	TB1CCR
2H	TB1CMOD
3H	TB1CFFCR
4H	TB1CST
5H	TB1CIM
6H	TB1CUCL
7H	TB1CUCH
8H	TB1CRG0L
9H	TB1CRG0H
AH	TB1CRG1L
BH	TB1CRG1H
CH	TB1CCP0L
DH	TB1CCP0H
EH	TB1CCP1L
FH	TB1CCP1H

ADR	レジスタ名
FFFFF3D0H	TB1DRUN
1H	TB1DCR
2H	TB1DMOD
3H	TB1DFFCR
4H	TB1DST
5H	TB1DIM
6H	TB1DUCL
7H	TB1DUCH
8H	TB1DRG0L
9H	TB1DRG0H
AH	TB1DRG1L
BH	TB1DRG1H
CH	TB1DCP0L
DH	TB1DCP0H
EH	TB1DCP1L
FH	TB1DCP1H

ADR	レジスタ名
FFFFF3E0H	TB1ERUN
1H	TB1ECR
2H	TB1EMOD
3H	TB1EFFCR
4H	TB1EST
5H	TB1EIM
6H	TB1EUCL
7H	TB1EUCH
8H	TB1ERG0L
9H	TB1ERG0H
AH	TB1ERG1L
BH	TB1ERG1H
CH	TB1ECP0L
DH	TB1ECP0H
EH	TB1ECP1L
FH	TB1ECP1H

ADR	レジスタ名
FFFFF3F0H	TB1FRUN
1H	TB1FCR
2H	TB1FMOD
3H	TB1FFFCR
4H	TB1FST
5H	TB1FIM
6H	TB1FUCL
7H	TB1FUCH
8H	TB1FRG0L
9H	TB1FRG0H
AH	TB1FRG1L
BH	TB1FRG1H
CH	TB1FCP0L
DH	TB1FCP0H
EH	TB1FCP1L
FH	TB1FCP1H

ADR	レジスタ名
FFFFF400H	TB20RUN
1H	TB20CR
2H	TB20MOD
3H	TB20FFCR
4H	TB20ST
5H	TB20IM
6H	TB20UCL
7H	TB20UCH
8H	TB20RG0L
9H	TB20RG0H
AH	TB20RG1L
BH	TB20RG1H
CH	TB20CP0L
DH	TB20CP0H
EH	TB20CP1L
FH	TB20CP1H

ADR	レジスタ名
FFFFF410H	TB21RUN
1H	TB21CR
2H	TB21MOD
3H	TB21FFCR
4H	TB21ST
5H	TB21IM
6H	TB21UCL
7H	TB21UCH
8H	TB21RG0L
9H	TB21RG0H
AH	TB21RG1L
BH	TB21RG1H
CH	TB21CP0L
DH	TB21CP0H
EH	TB21CP1L
FH	TB21CP1H

ADR	レジスタ名
FFFFF420H	TB22RUN
1H	TB22CR
2H	TB22MOD
3H	TB22FFCR
4H	TB22ST
5H	TB22IM
6H	TB22UCL
7H	TB22UCH
8H	TB22RG0L
9H	TB22RG0H
AH	TB22RG1L
BH	TB22RG1H
CH	TB22CP0L
DH	TB22CP0H
EH	TB22CP1L
FH	TB22CP1H

ADR	レジスタ名
FFFFF430H	TB23RUN
1H	TB23CR
2H	TB23MOD
3H	TB23FFCR
4H	TB23ST
5H	TB23IM
6H	TB23UCL
7H	TB23UCH
8H	TB23RG0L
9H	TB23RG0H
AH	TB23RG1L
BH	TB23RG1H
CH	TB23CP0L
DH	TB23CP0H
EH	TB23CP1L
FH	TB23CP1H

[3] 32bit タイマー (TMRC)

ADR	レジスタ名
FFFFF500H	TCACR
1H	TBTARUN
2H	TBTACR
3H	
4H	TBTACAPLL
5H	TBTACAPLH
6H	TBTACAPHL
7H	TBTACAPHH
8H	TBTARDCAPLL
9H	TBTARDCAPLH
AH	TBTARDCAPHL
BH	TBTARDCAPHH
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF510H	CMPA0CTL
1H	
2H	
3H	
4H	CMPA0LL
5H	CMPA0LH
6H	CMPA0HL
7H	CMPA0HH
8H	CMPA1CTL
9H	
AH	
BH	
CH	CMPA1LL
DH	CMPA1LH
EH	CMPA1HL
FH	CMPA1HH

ADR	レジスタ名
FFFFF520H	CAPA0CR
1H	
2H	
3H	
4H	CAPA0LL
5H	CAPA0LH
6H	CAPA0HL
7H	CAPA0HH
8H	CAPA1CR
9H	
AH	
BH	
CH	CAPA1LL
DH	CAPA1LH
EH	CAPA1HL
FH	CAPA1HH

ADR	レジスタ名
FFFFF530H	TCBCR
1H	TBTBRUN
2H	TBTBCR
3H	
4H	TBTBCAPLL
5H	TBTBCAPLH
6H	TBTBCAPHL
7H	TBTBCAPHH
8H	TBTBRDCAPLL
9H	TBTBRDCAPLH
AH	TBTBRDCAPHL
BH	TBTBRDCAPHH
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF540H	CMPB0CTL
1H	
2H	
3H	
4H	CMPB0LL
5H	CMPB0LH
6H	CMPB0HL
7H	CMPB0HH
8H	CMPB1CTL
9H	
AH	
BH	
CH	CMPB1LL
DH	CMPB1LH
EH	CMPB1HL
FH	CMPB1HH

ADR	レジスタ名
FFFFF550H	CAPB0CR
1H	
2H	
3H	
4H	CAPB0LL
5H	CAPB0LH
6H	CAPB0HL
7H	CAPB0HH
8H	CAPB1CR
9H	
AH	
BH	
CH	CAPB1LL
DH	CAPB1LH
EH	CAPB1HL
FH	CAPB1HH

[4] SBI

ADR	レジスタ名
FFFFF600H	SBI0CR1
1H	SBI0DBR
2H	SBI0I2CAR
3H	SBI0CR2/SR
4H	SBI0BR0
5H	
6H	
7H	SBI0CR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF610H	SBI1CR1
1H	SBI1DBR
2H	SBI1I2CAR
3H	SBI1CR2/SR
4H	SBI1BR0
5H	
6H	
7H	SBI1CR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] SIO/UART

ADR	レジスタ名
FFFFF700H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF710H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF720H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF730H	SC3BUF
1H	SC3CR
2H	SC3MOD0
3H	BR3CR
4H	BR3ADD
5H	SC3MOD1
6H	SC3MOD2
7H	SC3EN
8H	SC3RFC
9H	SC3TFC
AH	SC3RST
BH	SC3TST
CH	SC3FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF740H	SC4BUF
1H	SC4CR
2H	SC4MOD0
3H	BR4CR
4H	BR4ADD
5H	SC4MOD1
6H	SC4MOD2
7H	SC4EN
8H	SC4RFC
9H	SC4TFC
AH	SC4RST
BH	SC4TST
CH	SC4FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF750H	SC5BUF
1H	SC5CR
2H	SC5MOD0
3H	BR5CR
4H	BR5ADD
5H	SC5MOD1
6H	SC5MOD2
7H	SC5EN
8H	SC5RFC
9H	SC5TFC
AH	SC5RST
BH	SC5TST
CH	SC5FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF760H	SC6BUF
1H	SC6CR
2H	SC6MOD0
3H	BR6CR
4H	BR6ADD
5H	SC6MOD1
6H	SC6MOD2
7H	SC6EN
8H	SC6RFC
9H	SC6TFC
AH	SC6RST
BH	SC6TST
CH	SC6FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF770H	SC7BUF
1H	SC7CR
2H	SC7MOD0
3H	BR7CR
4H	BR7ADD
5H	SC7MOD1
6H	SC7MOD2
7H	SC7EN
8H	SC7RFC
9H	SC7TFC
AH	SC7RST
BH	SC7TST
CH	SC7FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF780H	SC8BUF
1H	SC8CR
2H	SC8MOD0
3H	BR8CR
4H	BR8ADD
5H	SC8MOD1
6H	SC8MOD2
7H	SC8EN
8H	SC8RFC
9H	SC8TFC
AH	SC8RST
BH	SC8TST
CH	SC8FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF790H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[6] ADC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF800H	ADAREG08L	FFFFF810H	ADAREGSPL	FFFFF820H	ADBREG08L	FFFFF830H	ADBREGSPL
1H	ADAREG08H	1H	ADAREGSPH	1H	ADBREG08H	1H	ADBREGSPH
2H	ADAREG19L	2H	ADACOMREGL	2H	ADBREG19L	2H	ADBCOMREGL
3H	ADAREG19H	3H	ADACOMREGH	3H	ADBREG19H	3H	ADBCOMREGH
4H	ADAREG2AL	4H	ADAMOD0	4H	ADBREG2AL	4H	ADBMOD0
5H	ADAREG2AH	5H	ADAMOD1	5H	ADBREG2AH	5H	ADBMOD1
6H	ADAREG3BL	6H	ADAMOD2	6H	ADBREG3BL	6H	ADBMOD2
7H	ADAREG3BH	7H	ADAMOD3	7H	ADBREG3BH	7H	ADBMOD3
8H	ADAREG4CL	8H	ADAMOD4	8H	ADBREG4CL	8H	ADBMOD4
9H	ADAREG4CH	9H	ADACBAS0	9H	ADBREG4CH	9H	ADBCBAS0
AH	ADAREG5DL	AH	<i>reserved</i>	AH	ADBREG5DL	AH	<i>reserved</i>
BH	ADAREG5DH	BH	<i>reserved</i>	BH	ADBREG5DH	BH	<i>reserved</i>
CH	ADAREG6EL	CH	ADACLK	CH	ADBREG6EL	CH	ADBCLK
DH	ADAREG6EH	DH	<i>reserved</i>	DH	ADBREG6EH	DH	<i>reserved</i>
EH	ADAREG7FL	EH	<i>reserved</i>	EH	ADBREG7FL	EH	<i>reserved</i>
FH	ADAREG7FH	FH		FH	ADBREG7FH	FH	

[7] KWUP

ADR	レジスタ名	ADR	レジスタ名
FFFFF900H	KWUPST0	FFFFF910H	KWUPST
1H	KWUPST1	1H	
2H	KWUPST2	2H	
3H	KWUPST3	3H	
4H		4H	
5H		5H	
6H		6H	
7H		7H	
8H		8H	
9H		9H	
AH		AH	
BH		BH	
CH		CH	
DH		DH	
EH		EH	
FH		FH	

[8] WDT

ADR	レジスタ名
FFFFFA00	WDMOD
H	
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[9] INTC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE000H	IMC0	FFFFE010H	IMC4	FFFFE020H	IMC8	FFFFE030H	IMCC
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	IMC1	4H	IMC5	4H	IMC9	4H	IMCD
5H	"	5H	"	5H	"	5H	"
6H	"	6H	"	6H	"	6H	"
7H	"	7H	"	7H	"	7H	"
8H	IMC2	8H	IMC6	8H	IMCA	8H	IMCE
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	IMC3	CH	IMC7	CH	IMCB	CH	IMCF
DH	"	DH	"	DH	"	DH	"
EH	"	EH	"	EH	"	EH	"
FH	"	FH	"	FH	"	FH	"

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE040H	IVR	FFFFE050H		FFFFE060H	INTCLR	FFFFE070H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H		4H		4H	DREQFLG	4H	
5H		5H		5H	<i>reserved</i>	5H	
6H		6H		6H	"	6H	
7H		7H		7H	"	7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名
FFFE100H	<i>reserved</i>
1H	"
2H	"
3H	"
4H	<i>reserved</i>
5H	"
6H	"
7H	"
8H	<i>reserved</i>
9H	"
AH	"
BH	"
CH	ILEV
DH	"
EH	"
FH	"

[10] DMAC

ADR	レジスタ名
FFFFE200H	CCR0
1H	"
2H	"
3H	"
4H	CSR0
5H	"
6H	"
7H	"
8H	SAR0
9H	"
AH	"
BH	"
CH	DAR0
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE210H	BCR0
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR0
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE280H	CCR4
1H	"
2H	"
3H	"
4H	CSR4
5H	"
6H	"
7H	"
8H	SAR4
9H	"
AH	"
BH	"
CH	DAR4
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE290H	BCR4
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR4
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2A0H	CCR5
1H	"
2H	"
3H	"
4H	CSR5
5H	"
6H	"
7H	"
8H	SAR5
9H	"
AH	"
BH	"
CH	DAR5
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2B0H	BCR5
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

[11] CS/WAIT コントローラ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE400H	BMA0	FFFFE410H	BMA4	FFFFE480H	B01CS	FFFFE4C0H	BUSCR
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	BMA1	4H	BMA5	4H	B23CS	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	BMA2	8H		8H	B45CS	8H	
9H	"	9H		9H	"	9H	
AH	"	AH		AH	"	AH	
BH	"	BH		BH	"	BH	
CH	BMA3	CH		CH		CH	
DH	"	DH		DH		DH	
EH	"	EH		EH		EH	
FH	"	FH		FH		FH	

[12] FLASH 制御

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE500H		FFFFE510H	SEQMOD	FFFFE520H	FLCS
1H		1H	"	1H	"
2H		2H	"	2H	"
3H		3H	"	3H	"
4H	<i>reserved</i>	4H	SEQCNT	4H	<i>reserved</i>
5H	"	5H	"	5H	"
6H	"	6H	"	6H	"
7H	"	7H	"	7H	"
8H		8H	ROMSEC1	8H	<i>reserved</i>
9H		9H		9H	"
AH		AH		AH	"
BH		BH		BH	"
CH		CH	ROMSEC2	CH	
DH		DH		DH	
EH		EH		EH	
FH		FH		FH	

[13] ROM コレクション

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE540H	ADDREG0	FFFFE550H	ADDREG4	FFFFE560H	ADDREG8
1H	"	1H	"	1H	"
2H	"	2H	"	2H	"
3H	"	3H	"	3H	"
4H	ADDREG1	4H	ADDREG5	4H	ADDREG9
5H	"	5H	"	5H	"
6H	"	6H	"	6H	"
7H	"	7H	"	7H	"
8H	ADDREG2	8H	ADDREG6	8H	ADDREGA
9H	"	9H	"	9H	"
AH	"	AH	"	AH	"
BH	"	BH	"	BH	"
CH	ADDREG3	CH	ADDREG7	CH	ADDREGB
DH	"	DH	"	DH	"
EH	"	EH	"	EH	"
FH	"	FH	"	FH	"

[14] INTUNIT

ADR	レジスタ名
FFFFE700H	ADCINT
1H	
2H	
3H	
4H	TMRBINTA
5H	
6H	
7H	
8H	TMRBINTB
9H	
AH	
BH	
CH	TMRBINTC
DH	
EH	
FH	

ADR	レジスタ名
FFFFE710H	TMRBINTD
1H	
2H	
3H	
4H	TMRBINTE
5H	
6H	
7H	
8H	CAPINT
9H	
AH	
BH	
CH	CMPINT
DH	
EH	
FH	

ADR	レジスタ名
FFFFE720H	TBTINT
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE740H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[15] HSI0/UART

ADR	レジスタ名
FFFFE800H	HSC0BUF
1H	
2H	
3H	
4H	HBR0ADD
5H	HSC0MOD1
6H	HSC0MOD2
7H	HSC0EN
8H	HSC0RFC
9H	HSC0TFC
AH	HSC0RST
BH	HSC0TST
CH	HSC0FCNF
DH	HSC0CR
EH	HSC0MOD0
FH	HBR0CR

ADR	レジスタ名
FFFFE810H	HSC1BUF
1H	
2H	
3H	
4H	HBR1ADD
5H	HSC1MOD1
6H	HSC1MOD2
7H	HSC1EN
8H	HSC1RFC
9H	HSC1TFC
AH	HSC1RST
BH	HSC1TST
CH	HSC1FCNF
DH	HSC1CR
EH	HSC1MOD0
FH	HBR1CR

ADR	レジスタ名
FFFFE820H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE830H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] CG

ADR	レジスタ名
FFFE00H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	SYSCR3
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE10H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE20H	EICRCG
1H	"
2H	"
3H	"
4H	NMIFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE40H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ENDIAN により影響を受けるのは、0xFFFF_E000~0xFFFF_EFFF に該当するアドレスにマップされたレジスタのみです。

2. ビッグエンディアン

[1] PORT 関連

ADR	レジスタ名
FFFFFF00H	P0
1H	P0CR
2H	P0FC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFFF10H	P1
1H	P1CR
2H	P1FC1
3H	P1FC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFFF20H	P2
1H	P2CR
2H	P2FC1
3H	P2FC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	P2IE
FH	

ADR	レジスタ名
FFFFFF30H	P3
1H	P3CR
2H	P3FC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	P3PUP
CH	
DH	
EH	P3IE
FH	

ADR	レジスタ名
FFFFFF40H	P4
1H	P4CR
2H	P4FC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	P4PUP
CH	
DH	
EH	P4IE
FH	

ADR	レジスタ名
FFFFFF50H	P5
1H	P5CR
2H	P5FC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	P5IE
FH	

ADR	レジスタ名
FFFFFF60H	P6
1H	P6CR
2H	P6FC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	P6IE
FH	

ADR	レジスタ名
FFFFFF70H	P7
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	P7IE
FH	

ADR	レジスタ名
FFFFFF80H	P8
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	P8IE
FH	

ADR	レジスタ名
FFFFFF90H	P9
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	P9IE
FH	

ADR	レジスタ名
FFFFFFA0H	PA
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PAIE
FH	

ADR	レジスタ名
FFFFFFB0H	PB
1H	PBCR
2H	PBFC1
3H	<i>reserved</i>
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PBIE
FH	

ADR	レジスタ名
FFFFF0C0H	PC
1H	PCCR
2H	PCFC1
3H	PCFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PCOD
BH	
CH	
DH	PCSEL
EH	PCIE
FH	

ADR	レジスタ名
FFFFF0D0H	PD
1H	PDCR
2H	PDFC1
3H	<i>reserved</i>
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PDIE
FH	

ADR	レジスタ名
FFFFF0E0H	PE
1H	PECR
2H	PEFC1
3H	<i>reserved</i>
4H	
5H	
6H	
7H	
8H	
9H	
AH	PEOD
BH	
CH	
DH	PESEL
EH	PEIE
FH	

ADR	レジスタ名
FFFFF0F0H	PF
1H	PFGR
2H	PFFC1
3H	PFFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PFOD
BH	
CH	
DH	PFSEL
EH	PFIE
FH	

ADR	レジスタ名
FFFFF100H	PG
1H	PGCR
2H	PGFC1
3H	PGFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PGOD
BH	
CH	
DH	PGSEL
EH	PCIE
FH	

ADR	レジスタ名
FFFFF110H	PH
1H	PHCR
2H	PHFC1
3H	PHFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PHOD
BH	
CH	
DH	PHSEL
EH	PHIE
FH	

ADR	レジスタ名
FFFFF120H	PI
1H	PICR
2H	PIFC1
3H	PIFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PIOD
BH	
CH	
DH	PISEL
EH	PIIE
FH	

ADR	レジスタ名
FFFFF130H	PJ
1H	PJCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PJIE
FH	

ADR	レジスタ名
FFFFF140H	PK
1H	PKCR
2H	PKFC1
3H	PKFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PKOD
BH	
CH	
DH	PKSEL
EH	PKIE
FH	

ADR	レジスタ名
FFFFF150H	PL
1H	PLCR
2H	PLFC1
3H	PLFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	PLOD
BH	
CH	
DH	PLSEL
EH	PLIE
FH	

ADR	レジスタ名
FFFFF160H	PM
1H	PMCR
2H	PMFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PMIE
FH	

ADR	レジスタ名
FFFFF170H	PN
1H	PNCR
2H	PNFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PNIE
FH	

ADR	レジスタ名
FFFFFF180H	PO
1H	POCR
2H	POFC1
3H	POFC2
4H	
5H	
6H	
7H	
8H	
9H	
AH	POOD
BH	POPOP
CH	
DH	POSEL
EH	POIE
FH	

ADR	レジスタ名
FFFFFF190H	PP
1H	PPCR
2H	reserved
3H	reserved
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	reserved
EH	PPIE
FH	

ADR	レジスタ名
FFFFFF1A0H	PQ
1H	PQCR
2H	PQFC1
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	PQIE
FH	

[2] 16bit タイマ

ADR	レジスタ名
FFFFFF200H	TB00RUN
1H	TB00CR
2H	TB00MOD
3H	TB00FFCR
4H	TB00ST
5H	TB00IM
6H	TB00UCL
7H	TB00UCH
8H	TB00RG0L
9H	TB00RG0H
AH	TB00RG1L
BH	TB00RG1H
CH	TB00CP0L
DH	TB00CP0H
EH	TB00CP1L
FH	TB00CP1H

ADR	レジスタ名
FFFFFF210H	TB01RUN
1H	TB01CR
2H	TB01MOD
3H	TB01FFCR
4H	TB01ST
5H	TB01IM
6H	TB01UCL
7H	TB01UCH
8H	TB01RG0L
9H	TB01RG0H
AH	TB01RG1L
BH	TB01RG1H
CH	TB01CP0L
DH	TB01CP0H
EH	TB01CP1L
FH	TB01CP1H

ADR	レジスタ名
FFFFFF220H	TB02RUN
1H	TB02CR
2H	TB02MOD
3H	TB02FFCR
4H	TB02ST
5H	TB02IM
6H	TB02UCL
7H	TB02UCH
8H	TB02RG0L
9H	TB02RG0H
AH	TB02RG1L
BH	TB02RG1H
CH	TB02CP0L
DH	TB02CP0H
EH	TB02CP1L
FH	TB02CP1H

ADR	レジスタ名
FFFFFF230H	TB03RUN
1H	TB03CR
2H	TB03MOD
3H	TB03FFCR
4H	TB03ST
5H	TB03IM
6H	TB03UCL
7H	TB03UCH
8H	TB03RG0L
9H	TB03RG0H
AH	TB03RG1L
BH	TB03RG1H
CH	TB03CP0L
DH	TB03CP0H
EH	TB03CP1L
FH	TB03CP1H

ADR	レジスタ名
FFFFFF240H	TB04RUN
1H	TB04CR
2H	TB04MOD
3H	TB04FFCR
4H	TB04ST
5H	TB04IM
6H	TB04UCL
7H	TB04UCH
8H	TB04RG0L
9H	TB04RG0H
AH	TB04RG1L
BH	TB04RG1H
CH	TB04CP0L
DH	TB04CP0H
EH	TB04CP1L
FH	TB04CP1H

ADR	レジスタ名
FFFFFF250H	TB05RUN
1H	TB05CR
2H	TB05MOD
3H	TB05FFCR
4H	TB05ST
5H	TB05IM
6H	TB05UCL
7H	TB05UCH
8H	TB05RG0L
9H	TB05RG0H
AH	TB05RG1L
BH	TB05RG1H
CH	TB05CP0L
DH	TB05CP0H
EH	TB05CP1L
FH	TB05CP1H

ADR	レジスタ名
FFFFFF260H	TB06RUN
1H	TB06CR
2H	TB06MOD
3H	TB06FFCR
4H	TB06ST
5H	TB06IM
6H	TB06UCL
7H	TB06UCH
8H	TB06RG0L
9H	TB06RG0H
AH	TB06RG1L
BH	TB06RG1H
CH	TB06CP0L
DH	TB06CP0H
EH	TB06CP1L
FH	TB06CP1H

ADR	レジスタ名
FFFFFF270H	TB07RUN
1H	TB07CR
2H	TB07MOD
3H	TB07FFCR
4H	TB07ST
5H	TB07IM
6H	TB07UCL
7H	TB07UCH
8H	TB07RG0L
9H	TB07RG0H
AH	TB07RG1L
BH	TB07RG1H
CH	TB07CP0L
DH	TB07CP0H
EH	TB07CP1L
FH	TB07CP1H

ADR	レジスタ名
FFFFF280H	TB08RUN
1H	TB08CR
2H	TB08MOD
3H	TB08FFCR
4H	TB08ST
5H	TB08IM
6H	TB08UCL
7H	TB08UCH
8H	TB08RG0L
9H	TB08RG0H
AH	TB08RG1L
BH	TB08RG1H
CH	TB08CP0L
DH	TB08CP0H
EH	TB08CP1L
FH	TB08CP1H

ADR	レジスタ名
FFFFF290H	TB09RUN
1H	TB09CR
2H	TB09MOD
3H	TB09FFCR
4H	TB09ST
5H	TB09IM
6H	TB09UCL
7H	TB09UCH
8H	TB09RG0L
9H	TB09RG0H
AH	TB09RG1L
BH	TB09RG1H
CH	TB09CP0L
DH	TB09CP0H
EH	TB09CP1L
FH	TB09CP1H

ADR	レジスタ名
FFFFF2A0H	TB0ARUN
1H	TB0ACR
2H	TB0AMOD
3H	TB0AFFCR
4H	TB0AST
5H	TB0AIM
6H	TB0AUCL
7H	TB0AUCH
8H	TB0ARG0L
9H	TB0ARG0H
AH	TB0ARG1L
BH	TB0ARG1H
CH	TB0ACP0L
DH	TB0ACP0H
EH	TB0ACP1L
FH	TB0ACP1H

ADR	レジスタ名
FFFFF2B0H	TB0BRUN
1H	TB0BCR
2H	TB0BMOD
3H	TB0BFFCR
4H	TB0BST
5H	TB0BIM
6H	TB0BUCL
7H	TB0BUCH
8H	TB0BRG0L
9H	TB0BRG0H
AH	TB0BRG1L
BH	TB0BRG1H
CH	TB0BCP0L
DH	TB0BCP0H
EH	TB0BCP1L
FH	TB0BCP1H

ADR	レジスタ名
FFFFF2C0H	TB0CRUN
1H	TB0CCR
2H	TB0CMOD
3H	TB0CFFCR
4H	TB0CST
5H	
6H	TB0CUCL
7H	TB0CUCH
8H	TB0CRG0L
9H	TB0CRG0H
AH	TB0CRG1L
BH	TB0CRG1H
CH	TB0CCP0L
DH	TB0CCP0H
EH	TB0CCP1L
FH	TB0CCP1H

ADR	レジスタ名
FFFFF2D0H	TB0DRUN
1H	TB0DCR
2H	TB0DMOD
3H	TB0DFFCR
4H	TB0DST
5H	TB0DIM
6H	TB0DUCL
7H	TB0DUCH
8H	TB0DRG0L
9H	TB0DRG0H
AH	TB0DRG1L
BH	TB0DRG1H
CH	TB0DCP0L
DH	TB0DCP0H
EH	TB0DCP1L
FH	TB0DCP1H

ADR	レジスタ名
FFFFF2E0H	TB0ERUN
1H	TB0ECR
2H	TB0EMOD
3H	TB0EFFCR
4H	TB0EST
5H	TB0EIM
6H	TB0EUCL
7H	TB0EUCH
8H	TB0ERG0L
9H	TB0ERG0H
AH	TB0ERG1L
BH	TB0ERG1H
CH	TB0ECP0L
DH	TB0ECP0H
EH	TB0ECP1L
FH	TB0ECP1H

ADR	レジスタ名
FFFFF2F0H	TB0FRUN
1H	TB0FCR
2H	TB0FMOD
3H	TB0FFFCR
4H	TB0FST
5H	TB0FIM
6H	TB0FUCL
7H	TB0FUCH
8H	TB0FRG0L
9H	TB0FRG0H
AH	TB0FRG1L
BH	TB0FRG1H
CH	TB0FCP0L
DH	TB0FCP0H
EH	TB0FCP1L
FH	TB0FCP1H

ADR	レジスタ名
FFFFF300H	TB10RUN
1H	TB10CR
2H	TB10MOD
3H	TB10FFCR
4H	TB10ST
5H	TB10IM
6H	TB10UCL
7H	TB10UCH
8H	TB10RG0L
9H	TB10RG0H
AH	TB10RG1L
BH	TB10RG1H
CH	TB10CP0L
DH	TB10CP0H
EH	TB10CP1L
FH	TB10CP1H

ADR	レジスタ名
FFFFF310H	TB11RUN
1H	TB11CR
2H	TB11MOD
3H	TB11FFCR
4H	TB11ST
5H	TB11IM
6H	TB11UCL
7H	TB11UCH
8H	TB11RG0L
9H	TB11RG0H
AH	TB11RG1L
BH	TB11RG1H
CH	TB11CP0L
DH	TB11CP0H
EH	TB11CP1L
FH	TB11CP1H

ADR	レジスタ名
FFFFF320H	TB12RUN
1H	TB12CR
2H	TB12MOD
3H	TB0AFFCR
4H	TB12ST
5H	
6H	TB12UCL
7H	TB12UCH
8H	TB12RG0L
9H	TB12RG0H
AH	TB12RG1L
BH	TB12RG1H
CH	TB12CP0L
DH	TB12CP0H
EH	TB12CP1L
FH	TB12CP1H

ADR	レジスタ名
FFFFF330H	TB13RUN
1H	TB13CR
2H	TB13MOD
3H	TB13FFCR
4H	TB13ST
5H	TB13IM
6H	TB13UCL
7H	TB13UCH
8H	TB13RG0L
9H	TB13RG0H
AH	TB13RG1L
BH	TB13RG1H
CH	TB13CP0L
DH	TB13CP0H
EH	TB13CP1L
FH	TB13CP1H

ADR	レジスタ名
FFFFF340H	TB14RUN
1H	TB14CR
2H	TB14MOD
3H	TB14FFCR
4H	TB14ST
5H	TB14IM
6H	TB14UCL
7H	TB14UCH
8H	TB14RG0L
9H	TB14RG0H
AH	TB14RG1L
BH	TB14RG1H
CH	TB14CP0L
DH	TB14CP0H
EH	TB14CP1L
FH	TB14CP1H

ADR	レジスタ名
FFFFF350H	TB15RUN
1H	TB15CR
2H	TB15MOD
3H	TB15FFCR
4H	TB15ST
5H	TB15IM
6H	TB15UCL
7H	TB15UCH
8H	TB15RG0L
9H	TB15RG0H
AH	TB15RG1L
BH	TB15RG1H
CH	TB15CP0L
DH	TB15CP0H
EH	TB15CP1L
FH	TB15CP1H

ADR	レジスタ名
FFFFF360H	TB16RUN
1H	TB16CR
2H	TB16MOD
3H	TB16FFCR
4H	TB16ST
5H	TB16IM
6H	TB16UCL
7H	TB16UCH
8H	TB16RG0L
9H	TB16RG0H
AH	TB16RG1L
BH	TB16RG1H
CH	TB16CP0L
DH	TB16CP0H
EH	TB16CP1L
FH	TB16CP1H

ADR	レジスタ名
FFFFF370H	TB17RUN
1H	TB17CR
2H	TB17MOD
3H	TB17FFCR
4H	TB17ST
5H	TB17IM
6H	TB17UCL
7H	TB17UCH
8H	TB17RG0L
9H	TB17RG0H
AH	TB17RG1L
BH	TB17RG1H
CH	TB17CP0L
DH	TB17CP0H
EH	TB17CP1L
FH	TB17CP1H

ADR	レジスタ名
FFFFF380H	TB18RUN
1H	TB18CR
2H	TB18MOD
3H	TB18FFCR
4H	TB18ST
5H	TB18IM
6H	TB18UCL
7H	TB18UCH
8H	TB18RG0L
9H	TB18RG0H
AH	TB18RG1L
BH	TB18RG1H
CH	TB18CP0L
DH	TB18CP0H
EH	TB18CP1L
FH	TB18CP1H

ADR	レジスタ名
FFFFF390H	TB19RUN
1H	TB19CR
2H	TB19MOD
3H	TB19FFCR
4H	TB19ST
5H	TB19IM
6H	TB19UCL
7H	TB19UCH
8H	TB19RG0L
9H	TB19RG0H
AH	TB19RG1L
BH	TB19RG1H
CH	TB19CP0L
DH	TB19CP0H
EH	TB19CP1L
FH	TB19CP1H

ADR	レジスタ名
FFFFF3A0H	TB1ARUN
1H	TB1ACR
2H	TB1AMOD
3H	TB1AFFCR
4H	TB1AST
5H	TB1AIM
6H	TB1AUCL
7H	TB1AUCH
8H	TB1ARG0L
9H	TB1ARG0H
AH	TB1ARG1L
BH	TB1ARG1H
CH	TB1ACP0L
DH	TB1ACP0H
EH	TB1ACP1L
FH	TB1ACP1H

ADR	レジスタ名
FFFFF3B0H	TB1BRUN
1H	TB1BCR
2H	TB1BMOD
3H	TB1BFFCR
4H	TB1BST
5H	TB1BIM
6H	TB1BUCL
7H	TB1BUCH
8H	TB1BRG0L
9H	TB1BRG0H
AH	TB1BRG1L
BH	TB1BRG1H
CH	TB1BCP0L
DH	TB1BCP0H
EH	TB1BCP1L
FH	TB1BCP1H

ADR	レジスタ名
FFFFF3C0H	TB1CRUN
1H	TB1CCR
2H	TB1CMOD
3H	TB1CFFCR
4H	TB1CST
5H	TB1CIM
6H	TB1CUCL
7H	TB1CUCH
8H	TB1CRG0L
9H	TB1CRG0H
AH	TB1CRG1L
BH	TB1CRG1H
CH	TB1CCP0L
DH	TB1CCP0H
EH	TB1CCP1L
FH	TB1CCP1H

ADR	レジスタ名
FFFFF3D0H	TB1DRUN
1H	TB1DCR
2H	TB1DMOD
3H	TB1DFFCR
4H	TB1DST
5H	TB1DIM
6H	TB1DUCL
7H	TB1DUCH
8H	TB1DRG0L
9H	TB1DRG0H
AH	TB1DRG1L
BH	TB1DRG1H
CH	TB1DCP0L
DH	TB1DCP0H
EH	TB1DCP1L
FH	TB1DCP1H

ADR	レジスタ名
FFFFF3E0H	TB1ERUN
1H	TB1ECR
2H	TB1EMOD
3H	TB1EFFCR
4H	TB1EST
5H	TB1EIM
6H	TB1EUCL
7H	TB1EUCH
8H	TB1ERG0L
9H	TB1ERG0H
AH	TB1ERG1L
BH	TB1ERG1H
CH	TB1ECP0L
DH	TB1ECP0H
EH	TB1ECP1L
FH	TB1ECP1H

ADR	レジスタ名
FFFFF3F0H	TB1FRUN
1H	TB1FCR
2H	TB1FMOD
3H	TB1FFFCR
4H	TB1FST
5H	TB1FIM
6H	TB1FUCL
7H	TB1FUCH
8H	TB1FRG0L
9H	TB1FRG0H
AH	TB1FRG1L
BH	TB1FRG1H
CH	TB1FCP0L
DH	TB1FCP0H
EH	TB1FCP1L
FH	TB1FCP1H

ADR	レジスタ名
FFFFF400H	TB20RUN
1H	TB20CR
2H	TB20MOD
3H	TB20FFCR
4H	TB20ST
5H	TB20IM
6H	TB20UCL
7H	TB20UCH
8H	TB20RG0L
9H	TB20RG0H
AH	TB20RG1L
BH	TB20RG1H
CH	TB20CP0L
DH	TB20CP0H
EH	TB20CP1L
FH	TB20CP1H

ADR	レジスタ名
FFFFF410H	TB21RUN
1H	TB21CR
2H	TB21MOD
3H	TB21FFCR
4H	TB21ST
5H	TB21IM
6H	TB21UCL
7H	TB21UCH
8H	TB21RG0L
9H	TB21RG0H
AH	TB21RG1L
BH	TB21RG1H
CH	TB21CP0L
DH	TB21CP0H
EH	TB21CP1L
FH	TB21CP1H

ADR	レジスタ名
FFFFF420H	TB22RUN
1H	TB22CR
2H	TB22MOD
3H	TB22FFCR
4H	TB22ST
5H	TB22IM
6H	TB22UCL
7H	TB22UCH
8H	TB22RG0L
9H	TB22RG0H
AH	TB22RG1L
BH	TB22RG1H
CH	TB22CP0L
DH	TB22CP0H
EH	TB22CP1L
FH	TB22CP1H

ADR	レジスタ名
FFFFF430H	TB23RUN
1H	TB23CR
2H	TB23MOD
3H	TB23FFCR
4H	TB23ST
5H	TB23IM
6H	TB23UCL
7H	TB23UCH
8H	TB23RG0L
9H	TB23RG0H
AH	TB23RG1L
BH	TB23RG1H
CH	TB23CP0L
DH	TB23CP0H
EH	TB23CP1L
FH	TB23CP1H

[3] TMRC

ADR	レジスタ名
FFFFF500H	TCACR
1H	TBTARUN
2H	TBTACR
3H	
4H	TBTACAPLL
5H	TBTACAPLH
6H	TBTACAPHL
7H	TBTACAPHH
8H	TBTARDCAPLL
9H	TBTARDCAPLH
AH	TBTARDCAPHL
BH	TBTARDCAPHH
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF510H	CMPA0CTL
1H	
2H	
3H	
4H	CMPA0LL
5H	CMPA0LH
6H	CMPA0HL
7H	CMPA0HH
8H	CMPA1CTL
9H	
AH	
BH	
CH	CMPA1LL
DH	CMPA1LH
EH	CMPA1HL
FH	CMPA1HH

ADR	レジスタ名
FFFFF520H	CAPA0CR
1H	
2H	
3H	
4H	CAPA0LL
5H	CAPA0LH
6H	CAPA0HL
7H	CAPA0HH
8H	CAPA1CR
9H	
AH	
BH	
CH	CAPA1LL
DH	CAPA1LH
EH	CAPA1HL
FH	CAPA1HH

ADR	レジスタ名
FFFFF530H	TCBCR
1H	TBTBRUN
2H	TBTBCR
3H	
4H	TBTBCAPLL
5H	TBTBCAPLH
6H	TBTBCAPHL
7H	TBTBCAPHH
8H	TBTBRDCAPLL
9H	TBTBRDCAPLH
AH	TBTBRDCAPHL
BH	TBTBRDCAPHH
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF540H	CMPB0CTL
1H	
2H	
3H	
4H	CMPB0LL
5H	CMPB0LH
6H	CMPB0HL
7H	CMPB0HH
8H	CMPB1CTL
9H	
AH	
BH	
CH	CMPB1LL
DH	CMPB1LH
EH	CMPB1HL
FH	CMPB1HH

ADR	レジスタ名
FFFFF550H	CAPB0CR
1H	
2H	
3H	
4H	CAPB0LL
5H	CAPB0LH
6H	CAPB0HL
7H	CAPB0HH
8H	CAPB1CR
9H	
AH	
BH	
CH	CAPB1LL
DH	CAPB1LH
EH	CAPB1HL
FH	CAPB1HH

[4] SBI

ADR	レジスタ名
FFFFF600H	SBI0CR1
1H	SBI0DBR
2H	SBI0I2CAR
3H	SBI0CR2/SR
4H	SBI0BR0
5H	
6H	
7H	SBI0CR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF610H	SBI1CR1
1H	SBI1DBR
2H	SBI1I2CAR
3H	SBI1CR2/SR
4H	SBI1BR0
5H	
6H	
7H	SBI1CR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] SIO/UART

ADR	レジスタ名
FFFFF700H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF710H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF720H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF730H	SC3BUF
1H	SC3CR
2H	SC3MOD0
3H	BR3CR
4H	BR3ADD
5H	SC3MOD1
6H	SC3MOD2
7H	SC3EN
8H	SC3RFC
9H	SC3TFC
AH	SC3RST
BH	SC3TST
CH	SC3FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF740H	SC4BUF
1H	SC4CR
2H	SC4MOD0
3H	BR4CR
4H	BR4ADD
5H	SC4MOD1
6H	SC4MOD2
7H	SC4EN
8H	SC4RFC
9H	SC4TFC
AH	SC4RST
BH	SC4TST
CH	SC4FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF750H	SC5BUF
1H	SC5CR
2H	SC5MOD0
3H	BR5CR
4H	BR5ADD
5H	SC5MOD1
6H	SC5MOD2
7H	SC5EN
8H	SC5RFC
9H	SC5TFC
AH	SC5RST
BH	SC5TST
CH	SC5FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF760H	SC6BUF
1H	SC6CR
2H	SC6MOD0
3H	BR6CR
4H	BR6ADD
5H	SC6MOD1
6H	SC6MOD2
7H	SC6EN
8H	SC6RFC
9H	SC6TFC
AH	SC6RST
BH	SC6TST
CH	SC6FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF770H	SC7BUF
1H	SC7CR
2H	SC7MOD0
3H	BR7CR
4H	BR7ADD
5H	SC7MOD1
6H	SC7MOD2
7H	SC7EN
8H	SC7RFC
9H	SC7TFC
AH	SC7RST
BH	SC7TST
CH	SC7FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF780H	SC8BUF
1H	SC8CR
2H	SC8MOD0
3H	BR8CR
4H	BR8ADD
5H	SC8MOD1
6H	SC8MOD2
7H	SC8EN
8H	SC8RFC
9H	SC8TFC
AH	SC8RST
BH	SC8TST
CH	SC8FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF790H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[6] ADC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFFF800H	ADAREG08L	FFFFFF810H	ADAREGSPL	FFFFFF820H	ADBREG08L	FFFFFF830H	ADBREGSPL
1H	ADAREG08H	1H	ADAREGSPH	1H	ADBREG08H	1H	ADBREGSPH
2H	ADAREG19L	2H	ADACOMREGL	2H	ADBREG19L	2H	ADBCOMREGL
3H	ADAREG19H	3H	ADACOMREGH	3H	ADBREG19H	3H	ADBCOMREGH
4H	ADAREG2AL	4H	ADAMOD0	4H	ADBREG2AL	4H	ADBMOD0
5H	ADAREG2AH	5H	ADAMOD1	5H	ADBREG2AH	5H	ADBMOD1
6H	ADAREG3BL	6H	ADAMOD2	6H	ADBREG3BL	6H	ADBMOD2
7H	ADAREG3BH	7H	ADAMOD3	7H	ADBREG3BH	7H	ADBMOD3
8H	ADAREG4CL	8H	ADAMOD4	8H	ADBREG4CL	8H	ADBMOD4
9H	ADAREG4CH	9H	ADACBAS0	9H	ADBREG4CH	9H	ADBCBAS0
AH	ADAREG5DL	AH	<i>reserved</i>	AH	ADBREG5DL	AH	<i>reserved</i>
BH	ADAREG5DH	BH	<i>reserved</i>	BH	ADBREG5DH	BH	<i>reserved</i>
CH	ADAREG6EL	CH	ADACLK	CH	ADBREG6EL	CH	ADBCLK
DH	ADAREG6EH	DH	<i>reserved</i>	DH	ADBREG6EH	DH	<i>reserved</i>
EH	ADAREG7FL	EH	<i>reserved</i>	EH	ADBREG7FL	EH	<i>reserved</i>
FH	ADAREG7FH	FH		FH	ADBREG7FH	FH	

[7] KWUP

ADR	レジスタ名	ADR	レジスタ名
FFFFFF900H	KWUPST0	FFFFFF910H	KWUPST
1H	KWUPST1	1H	
2H	KWUPST2	2H	
3H	KWUPST3	3H	
4H		4H	
5H		5H	
6H		6H	
7H		7H	
8H		8H	
9H		9H	
AH		AH	
BH		BH	
CH		CH	
DH		DH	
EH		EH	
FH		FH	

[8] WDT

ADR	レジスタ名
FFFFFFA00H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[9] INTC

ADR	レジスタ名
FFFFE000H	IMC0
1H	"
2H	"
3H	"
4H	IMC1
5H	"
6H	"
7H	"
8H	IMC2
9H	"
AH	"
BH	"
CH	IMC3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE010H	IMC4
1H	"
2H	"
3H	"
4H	IMC5
5H	"
6H	"
7H	"
8H	IMC6
9H	"
AH	"
BH	"
CH	IMC7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE020H	IMC8
1H	"
2H	"
3H	"
4H	IMC9
5H	"
6H	"
7H	"
8H	IMCA
9H	"
AH	"
BH	"
CH	IMCB
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE030H	IMCC
1H	"
2H	"
3H	"
4H	IMCD
5H	"
6H	"
7H	"
8H	IMCE
9H	"
AH	"
BH	"
CH	IMCF
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE040H	IVR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE050H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE060H	INTCLR
1H	"
2H	"
3H	"
4H	DREQFLG
5H	reserved
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE100H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	ILEV
DH	"
EH	"
FH	"

[10] DMAC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE200H	CCR0	FFFFE210H	BCR0	FFFFE220H	CCR1	FFFFE230H	BCR1
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR0	4H		4H	CSR1	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR0	8H	DTCR0	8H	SAR1	8H	DTCR1
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR0	CH		CH	DAR1	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE240H	CCR2	FFFFE250H	BCR2	FFFFE260H	CCR3	FFFFE270H	BCR3
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR2	4H		4H	CSR3	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR2	8H	DTCR2	8H	SAR3	8H	DTCR3
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR2	CH		CH	DAR3	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE280H	CCR4	FFFFE290H	BCR4	FFFFE2A0H	CCR5	FFFFE2B0H	BCR5
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR4	4H		4H	CSR5	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR4	8H	DTCR4	8H	SAR5	8H	DTCR5
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR4	CH		CH	DAR5	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

ADR	レジスタ名
FFFFE2C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

[11] CS/WAIT コントローラ

ADR	レジスタ名
FFFFE400H	BMA0
1H	"
2H	"
3H	"
4H	BMA1
5H	"
6H	"
7H	"
8H	BMA2
9H	"
AH	"
BH	"
CH	BMA3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE410H	BMA4
1H	"
2H	"
3H	"
4H	BMA5
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE480H	B01CS
1H	"
2H	"
3H	"
4H	B23CS
5H	"
6H	"
7H	"
8H	B45CS
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE4C0H	BUSCR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] FLASH 制御

ADR	レジスタ名
FFFFE500H	
1H	
2H	
3H	
4H	<i>reserved</i>
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE510H	SEQMOD
1H	"
2H	"
3H	"
4H	SEQCNT
5H	"
6H	"
7H	"
8H	ROMSEC1
9H	
AH	
BH	
CH	ROMSEC2
DH	
EH	
FH	

ADR	レジスタ名
FFFFE520H	FLCS
1H	"
2H	"
3H	"
4H	FLPGEND
5H	"
6H	"
7H	"
8H	<i>reserved</i>
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

[13] ROM コレクション

ADR	レジスタ名
FFFFE540H	ADDREG0
1H	"
2H	"
3H	"
4H	ADDREG1
5H	"
6H	"
7H	"
8H	ADDREG2
9H	"
AH	"
BH	"
CH	ADDREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE550H	ADDREG4
1H	"
2H	"
3H	"
4H	ADDREG5
5H	"
6H	"
7H	"
8H	ADDREG6
9H	"
AH	"
BH	"
CH	ADDREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE560H	ADDREG8
1H	"
2H	"
3H	"
4H	ADDREG9
5H	"
6H	"
7H	"
8H	ADDREGA
9H	"
AH	"
BH	"
CH	ADDREGB
DH	"
EH	"
FH	"

[14] INTUNIT

ADR	レジスタ名
FFFFE700H	ADCINT
1H	
2H	
3H	
4H	TMRBINTA
5H	
6H	
7H	
8H	TMRBINTB
9H	
AH	
BH	
CH	TMRBINTC
DH	
EH	
FH	

ADR	レジスタ名
FFFFE710H	TMRBINTD
1H	
2H	
3H	
4H	TMRBINTE
5H	
6H	
7H	
8H	CAPINT
9H	
AH	
BH	
CH	CMPINT
DH	
EH	
FH	

ADR	レジスタ名
FFFFE720H	TBTINT
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE740H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[15] HSI0/UART

ADR	レジスタ名
FFFFE800H	
1H	
2H	
3H	HSC0BUF
4H	HBR0EN
5H	HSC0MOD2
6H	HSC0MOD1
7H	HSC0ADD
8H	HSC0TST
9H	HSC0RST
AH	HSC0TFC
BH	HSC0RFC
CH	HBR0CR
DH	HSC0MOD0
EH	HSC0CR
FH	HSC0FCNF

ADR	レジスタ名
FFFFE810H	
1H	
2H	
3H	HSC1BUF
4H	HBR1EN
5H	HSC1MOD2
6H	HSC1MOD1
7H	HSC1ADD
8H	HSC1TST
9H	HSC1RST
AH	HSC1TFC
BH	HSC1RFC
CH	HBR1CR
DH	HSC1MOD0
EH	HSC1CR
FH	HSC1FCNF

ADR	レジスタ名
FFFFE820H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE840H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] CG

ADR	レジスタ名
FFFE00H	SYSCR3
1H	SYSCR2
2H	SYSCR1
3H	SYSCR0
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE10H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE20H	EICRCG
1H	"
2H	"
3H	"
4H	NMIFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE40H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

21. JTAG インタフェース

19A61には、Joint Test Action Group (JTAG) 規格に適合するバウンダリスキャンインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE 規格 1149.1/D6) が使われています。本章では、バウンダリスキャン、インタフェースで使われるピンと信号、およびテストアクセスポート (TAP) に触れながら、このインタフェースについて説明しています。

21.1 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC)、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことで (図 21.1 を参照)。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TDI、TDO、TMS、TCK および TRST という 5 種類の信号が使われます。これらの信号については次の節で説明します。

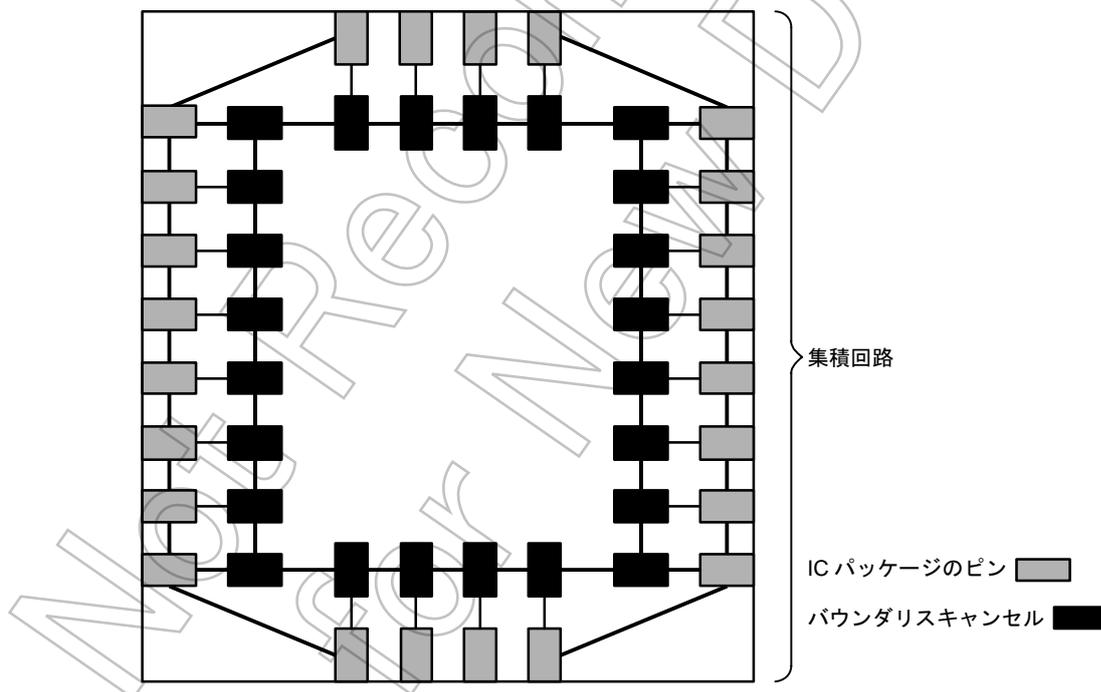


図21.1 JTAG バウンダリスキャンセル

注) 下記標準オプション命令は実装しておりません。
(IDCODE, USERCODE, INTEST, RUNBIST)

21.2 信号の要約

JTAG インタフェース信号は次のとおりです（図 21.2 参照）。

- TDI JTAG シリアルデータ入力
- TDO JTAG シリアルデータ出力
- TMS JTAG テストモード選択
- TCK JTAG シリアルクロック入力
- $\overline{\text{TRST}}$ JTAG テストリセット入力

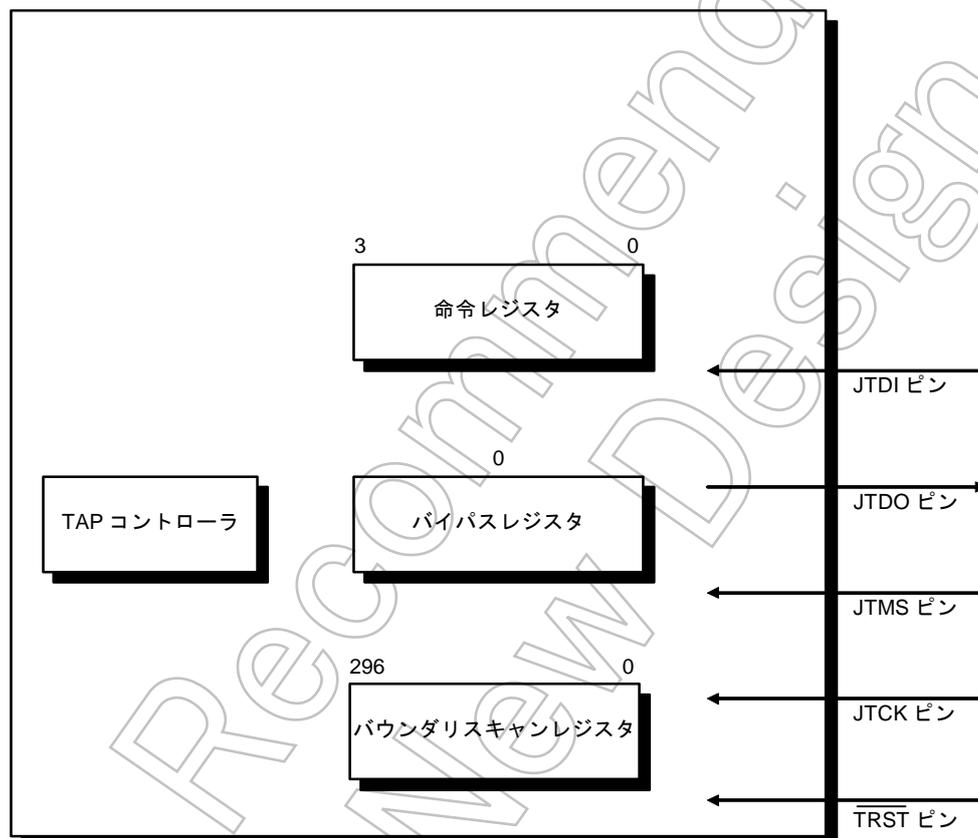


図21.2 JTAG インタフェース信号とレジスタ

JTAG バウンダリスキャンメカニズム（本章では「JTAG メカニズム」と呼びます）により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムには、プロセッサ自体をテストする機能はありません。

21.3 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが JTMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは、表 21.1 に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされる時、JTMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

21.3.1 命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 21.1 の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 21.1 JTAG の命令レジスタのビット構成

命令コード 最上位→最下位	命令	選択されるデータレジスタ
0000	EXTEST	バウンダリスキャンレジスタ
0001	SAMPLE/PRELOAD	バウンダリスキャンレジスタ
0010 ~ 1110	予約	予約
1111	BYPASS	バイパスレジスタ

命令レジスタのフォーマットは図 21.3 のとおりです。



図 21.3 命令レジスタ

命令コードは、最下位ビットから命令レジスタにシフトされます。



図 21.4 命令レジスタのシフト方向

21.3.2 バイパスレジスタ

バイパスレジスタは1ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は、図 21.5 のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

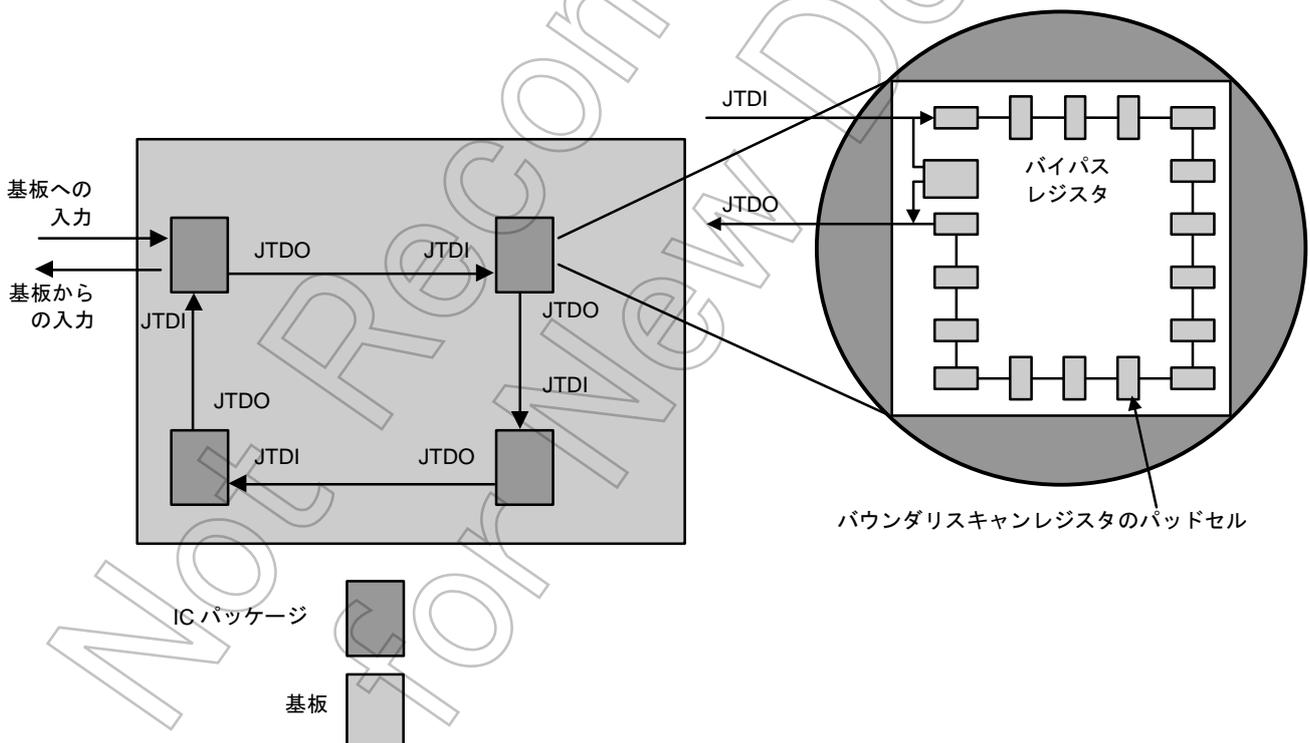


図 21.5 バイパスレジスタの機能

21.3.3 バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMP19A61 の入出力があります。TMP19A61 のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、297 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、TMP19A61 のすべての入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

21.3.4 テストアクセスポート (TAP)

テストアクセスポート (TAP) は、5 個の信号ピン \overline{TRST} 、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 21.6 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

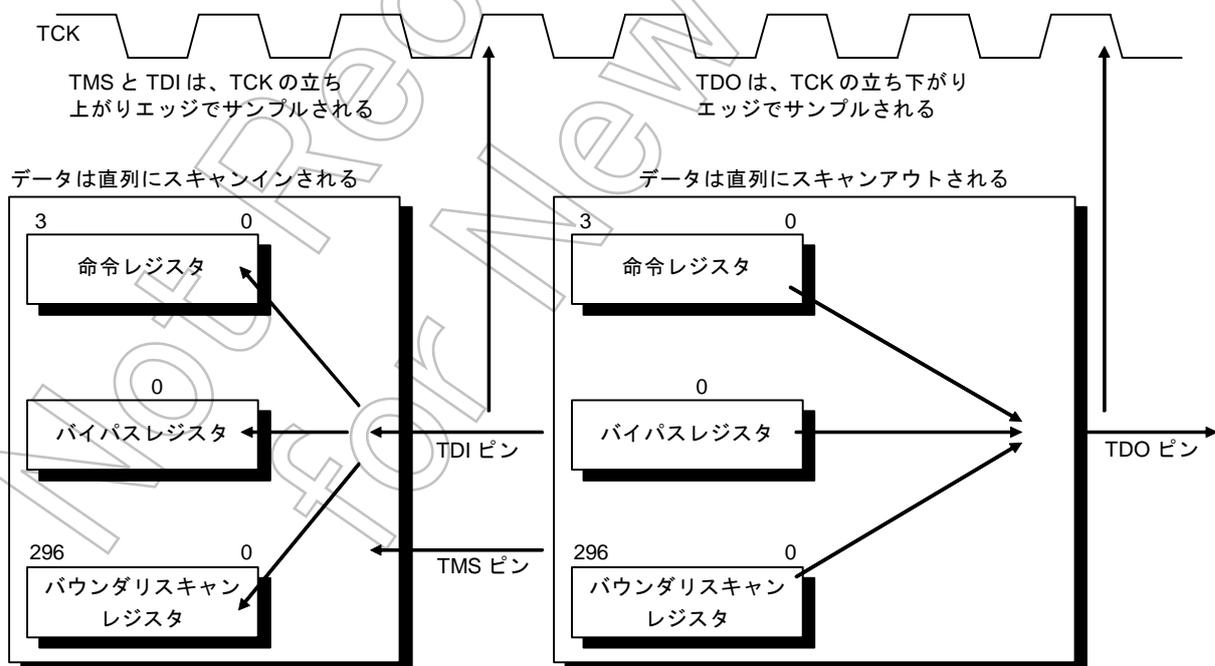


図 21.6 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

21.3.5 TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

21.3.6 コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

- $\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。
- プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続ける。

TMS をアサート状態に保てば、リセット状態が保たれます。

Not Recommended
for New Design

21.3.7 コントローラの状態

図 21.7 に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

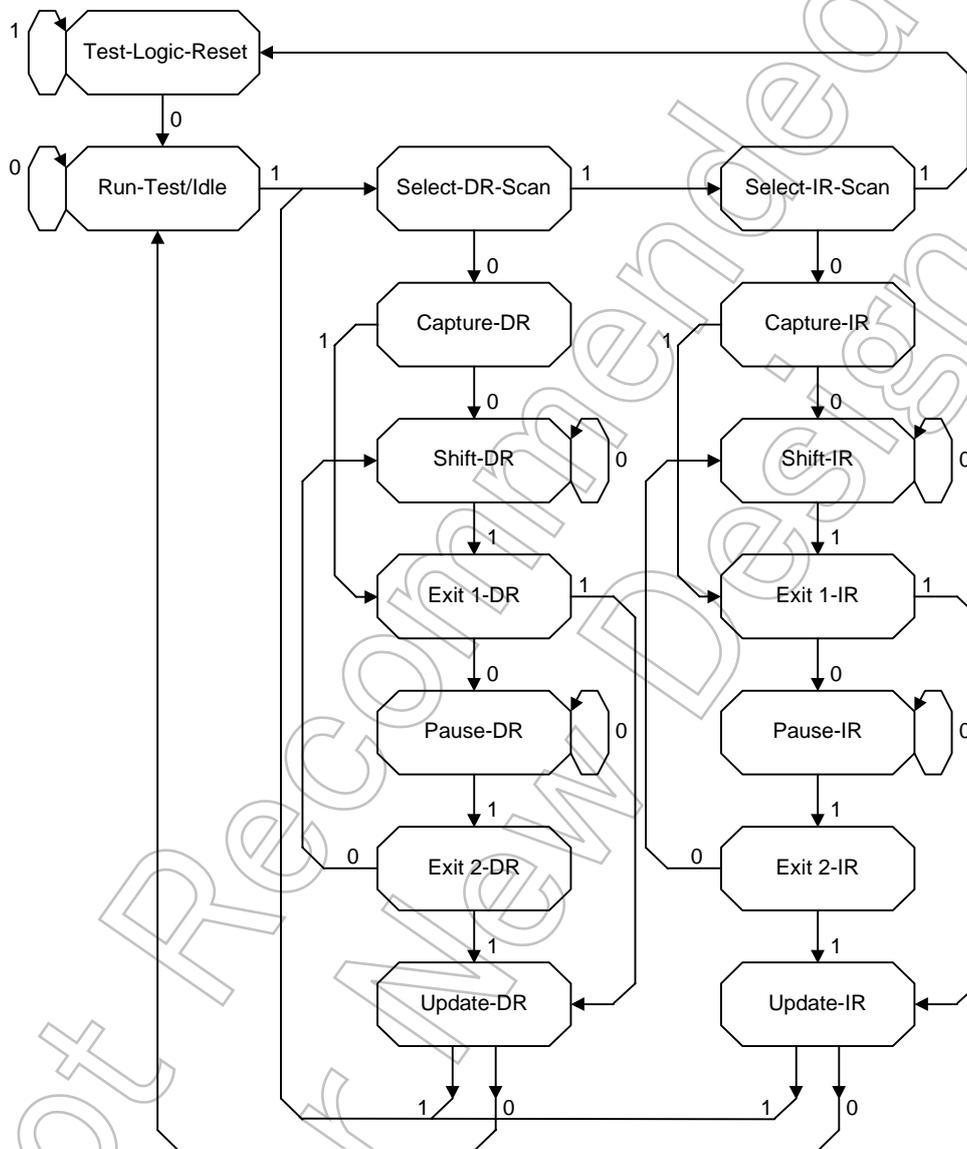


図 21.7 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 21.7 の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR)、命令レジスタ (IR) を表します。

- **Test-Logic-Reset**
TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。
TMS が「1」の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に「0」を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。
- **Run-Test/Idle**
Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。
TMS が「0」の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に「1」を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。
- **Select-DR-Scan**
Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。
TAP コントローラが Select-DR-Scan 状態のとき TMS に「0」を入力すると Capture-DR 状態に遷移します。TMS に「1」を入力すると命令カラムの Select-IR-Scan 状態に遷移します。
- **Select-IR-Scan**
Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。
TAP コントローラが Select-IR-Scan 状態のとき、TMS に「0」を入力すると Capture-IR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。
- **Capture-DR**
TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタが、パラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。
TAP コントローラが Capture-DR 状態のとき TMS に「0」を入力すると、Shift-DR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Shift-DR
TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。
TAP コントローラが Shift-DR 状態のとき、TMS が「0」のあいだ Shift-DR 状態を保持します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。
- Exit 1-DR
Exit 1-DR 状態は TAP コントローラの一時的な状態です。
TAP コントローラが Exit 1-DR 状態のとき、TMS に「0」を入力すると Pause-DR 状態に遷移します。TMS に「1」を入力すると Update-DR 状態に遷移します。
- Pause-DR
Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。
TAP コントローラが Pause-DR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-DR 状態に遷移します。
- Exit 2-DR
Exit 2-DR 状態は TAP コントローラの一時的な状態です。
TAP コントローラが Exit 2-DR 状態のとき、TMS に「0」を入力すると、Shift-DR 状態に戻ります。TMS に「1」を入力すると Update-DR 状態に遷移します。
- Update-DR
Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することなく、この状態でのみデータを出力します。
TAP コントローラが Update-DR 状態のとき TMS に「0」を入力すると Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると Select-DR-Scan 状態に遷移します。
- Capture-IR
Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは 0001 です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。
TAP コントローラが Capture-IR 状態のとき TMS に「0」を入力すると Shift-IR 状態に遷移します。TMS に「1」を入力すると Exit 1-IR 状態に遷移します。
- Shift-IR
Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。
TAP コントローラが Shift-IR 状態のとき TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると、Exit 1-IR 状態に遷移します。
- Exit 1-IR
Exit 1-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-IR 状態のとき TMS に「0」を入力すると、Pause-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Pause-IR
Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

TAP コントローラが Pause-IR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-IR 状態に遷移します。

- Exit 2-IR
Exit 2-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-IR 状態のとき、TMS に「0」を入力すると、Shift-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Update-IR
Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

TAP コントローラが Update-IR 状態のとき、TMS に「0」を入力すると、Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると、Select-DR-Scan 状態に遷移します。

プロセッサ信号に対するバウンダリスキャン順序は、表 21.2 のとおりです。

Not Recommended for New Design

表 21.2 TMP19A61 プロセッサのピンに対する JTAG スキャン可能端子一覧

1	TOVR	2	PQ3	3	PQ2	4	PQ1	5	PQ0	6	PP7	7	PP6
8	PP5	9	PP4	10	PP3	11	PP2	12	PP0	13	P07	14	P06
15	P05	16	P04	17	P03	18	P02	19	P01	20	P00	21	PN7
22	PN6	23	PN5	24	PN4	25	PN3	26	PN2	27	PN1	28	PN0
29	PM7	30	PM6	31	PM5	32	PM4	33	PM3	34	PM2	35	PM1
36	PM0	37	PLLSEL	38	PL7	39	PL6	40	PL5	41	PL4	42	PL3
43	PL2	44	PL1	45	PL0	46	PK7	47	PK6	48	PK5	49	PK4
50	PK3	51	PK2	52	PK1	53	PK0	54	PJ7	55	PJ6	56	PJ5
57	PJ4	58	PJ3	59	PJ2	60	PJ1	61	PJ0	62	PJ7	63	PJ6
64	PJ5	65	PJ4	66	PJ3	67	PJ2	68	PJ1	69	PJ0	70	PH7
71	PH6	72	PH5	73	PH4	74	PH3	75	PH2	76	PH1	77	PH0
78	PG7	79	PG6	80	PG5	81	PG4	82	PG3	83	PG2	84	PG1
85	PG0	86	PF7	87	PF6	88	PF5	89	PF4	90	PF3	91	PF2
92	PF1	93	PF0	94	PE7	95	PE6	96	PE5	97	PE4	98	PE3
99	PE2	100	PE1	101	PE0	102	PD7	103	PD6	104	PD5	105	PD4
106	PD3	107	PD2	108	PD1	109	PD0	110	PCST4	111	PCST3	112	PCST2
113	PCST1	114	PCST0	115	PC7	116	PC6	117	PC5	118	PC4	119	PC3
120	PC2	121	PC1	122	PC0	123	PB7	124	PB6	125	PB5	126	PB4
127	PB3	128	PB2	129	PB1	130	PB0	131	PA7	132	PA6	133	PA5
134	PA4	135	PA3	136	PA2	137	PA1	138	PA0	139	P97	140	P96
141	P95	142	P94	143	P93	144	P92	145	P91	146	P90	147	P87
148	P86	149	P85	150	P84	151	P83	152	P82	153	P81	154	P80
155	P77	156	P76	157	P75	158	P74	159	P73	160	P72	161	P71
162	P70	163	P67	164	P66	165	P65	166	P64	167	P63	168	P62
169	P61	170	P60	171	P57	172	P56	173	P55	174	P54	175	P53
176	P52	177	P51	178	P50	179	P47	180	P46	181	P45	182	P44
183	P43	184	P42	185	P41	186	P40	187	P37	188	P36	189	P35
190	P34	191	P33	192	P32	193	P31	194	P30	195	P27	196	P26
197	P25	198	P24	199	P23	200	P22	201	P21	202	P20	203	P17
204	P16	205	P15	206	P14	207	P13	208	P12	209	P11	210	P10
211	P07	212	P06	213	P05	214	P04	215	P03	216	P02	217	P01
218	P00	219	NM1	220	ENDIAN	221	DINT	222	DCLK	223	BW1	224	BW0
225	BUSMD												

注：JTAG スキャン可能な端子を表記しております。

21.4 JTAG コントローラセルでサポートしている命令

この項では、TMP19A61 の JTAG コントローラセルでサポートしている命令について説明します。

21.4.1 EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを図 21.8 に示します。

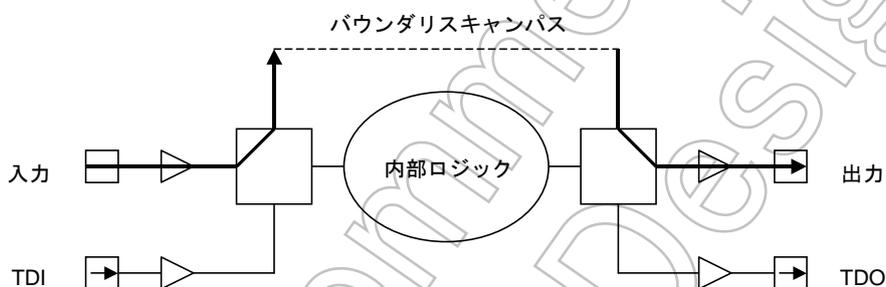


図 21.8 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

「EXTEST 命令を使用する場合は、CPU が動作状態となっていますので端子入力に注意して下さい」
 「EXTEST 命令を使用する場合は、システムリセット解除後にテストを行って下さい」

21.4.2 SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

- SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 21.9 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

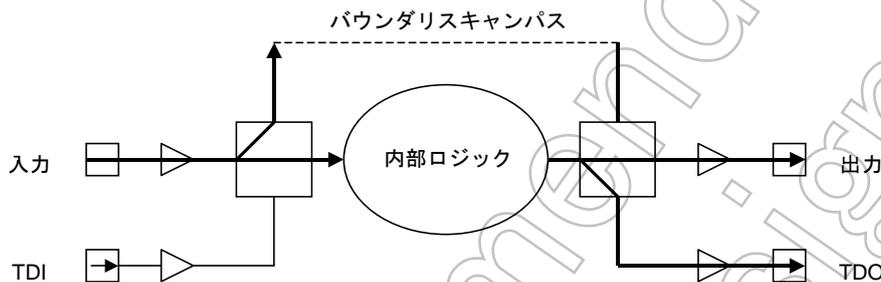


図 21.9 SAMPLE が選択されているときのテストデータの流れ

- PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 21.10 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

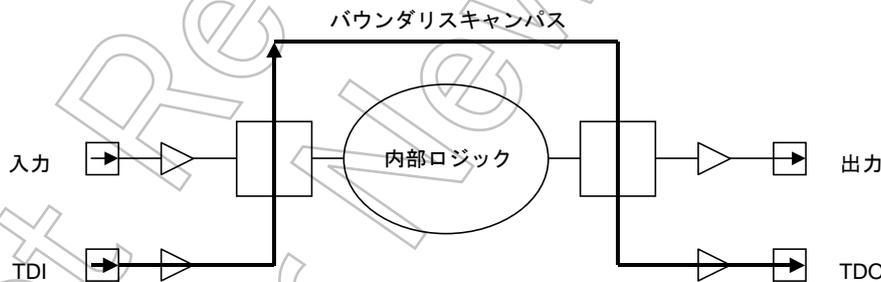


図 21.10 PRELOAD が選択されているときのテストデータの流れ

「SAMPLE 命令を使用する場合は、システムリセット中に命令の Update を完了して下さい。
またリセット解除後に、TAP の命令切り替えを行わないで下さい。」

21.4.3 BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 21.11 に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

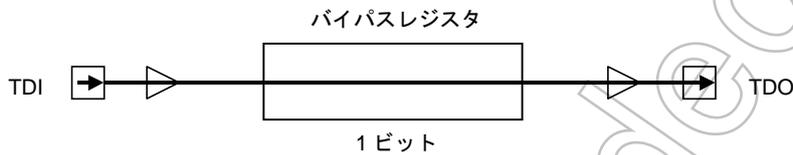


図 21.11 バイパスレジスタが選択されているときのテストデータの流れ

21.5 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

- X2, X1 信号パッドは、JTAG をサポートしていません。
- JTAG 回路のリセット解除手順（どちらか一方を選択）
 - ① TRST をアサートして JTAG 回路を初期化後デアサート。
 - ② TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

22. Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

フラッシュメモリ

特長

- 1) メモリ容量
TMP19A61F10XBGはフラッシュメモリ 4Mビット (512Kバイト) を2チップ搭載しています。構成は8ブロック (128Kバイト×8) になっており、各ブロック個別に書き込みをおこなうことができます。CPUから内蔵フラッシュメモリをアクセスする場合、データバス幅は32ビットとなります。
- 2) フラッシュメモリアクセス
本デバイスではインタリーブアクセスです。
- 3) 書き込み/消去時間
書き込み時間: 1sec/Chip (Typ) 0.5sec/128Kbyte (Typ.)
消去: 0.2sec/Chip (Typ) 100msec/128Kbyte (Typ.)
(注) 上記値は理論時間を表しており、データ転送時間などは含まれていません。
チップ当たりの時間はユーザーの書き替え方法により異なります。
- 4) プログラミング方法
ユーザーのボード上で書き替えが可能なオンボードプログラミングモードがあります。
 - ・オンボードプログラミングモード
 - 4-1) ユーザーブートモード
ユーザー独自の書き替え方法をサポート

書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、プロテクト機能を追加しています。一方、書き替え禁止を設定するプロテクトは、コマンド (ソフトウェア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウェア) には対応できません。前記プロテクト機能は2エリア全てにプロテクトを掛けると自動的に有効になり、プロテクトの解除を行うと内部データが自動的に消去され、その後に全てのプロテクトが解除されます。

JEDEC 準拠の機能	変更、追加、削除した機能
<ul style="list-style-type: none"> 自動プログラム 自動チップ消去 自動ブロック消去 	<変更> ブロックプロテクト (ソフトウェアプロテクトのみサポート) <削除> 消去レジューム/サスペンド機能 <追加> 自動マルチブロック消去 (チップ単位までサポート)
<ul style="list-style-type: none"> データポーリング/トグルビット 	

フラッシュ部ブロック図

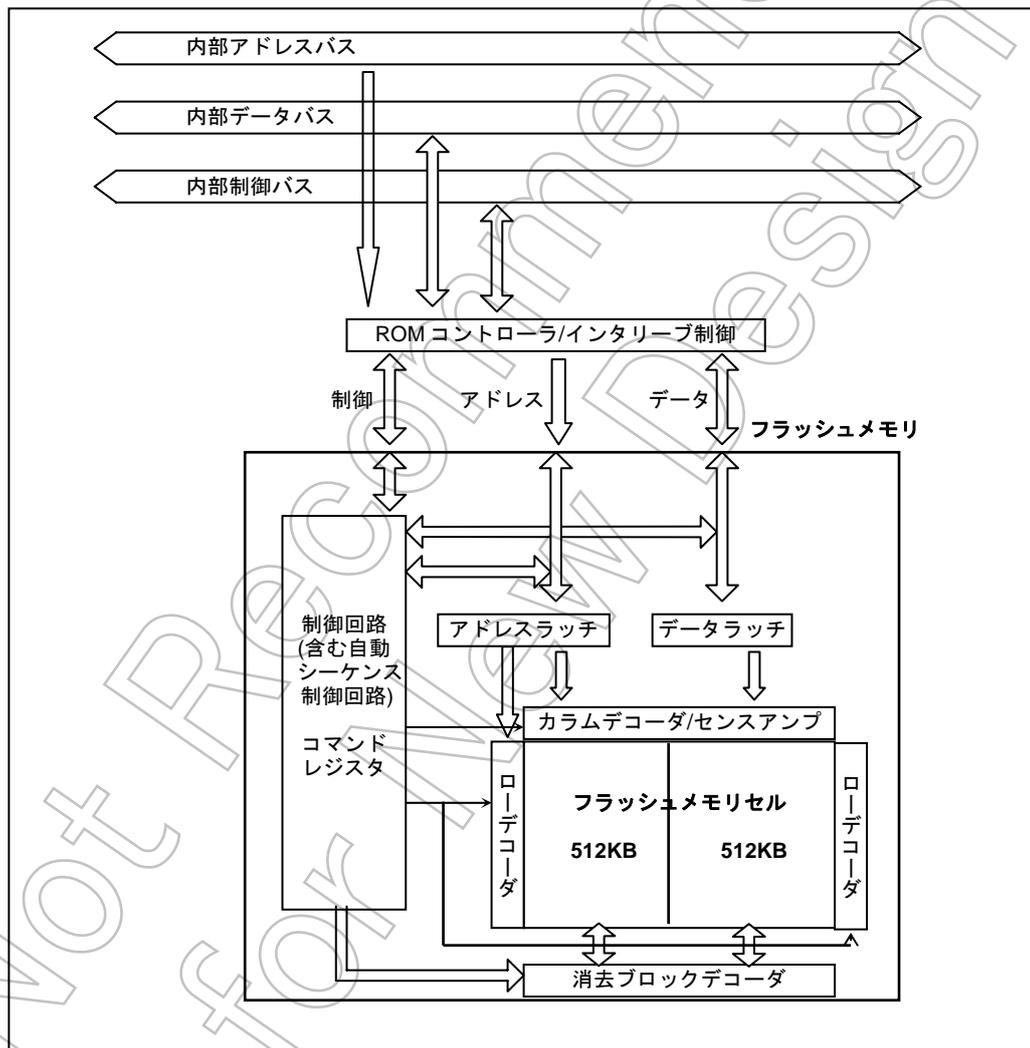


図 22.1 フラッシュ部ブロック図

動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、2通りの動作状態（モード）が存在します。

表 22.1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート 00 が '1' のときノーマルモード、'0' のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

上記表でプログラムが可能なフラッシュメモリの動作モードは ユーザーブートモードです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードで、このモードをオンボードプログラミングモードと定義します。

CPU は状態設定後リセットを解除することにより各動作モードで動作を開始します。BOOT 端子については、それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に動作モードの設定方法とモード遷移図を示します。

表 22.2 動作モード設定表

動作モード	入力端子
	RESET
シングルチップモード	0 → 1

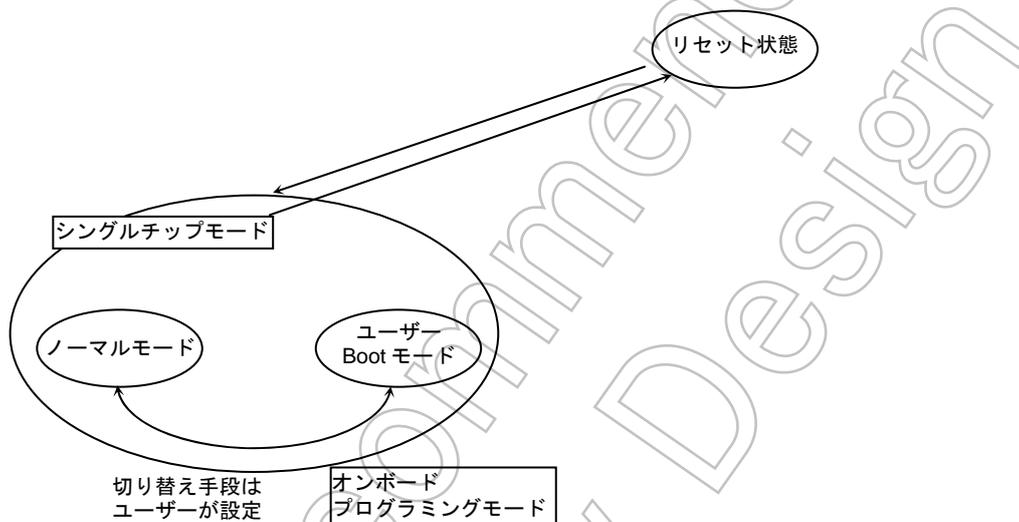


図 22.2 モード遷移図

22.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (54MHz 動作で 1.8 μ s (リセット後は、クロックギア 1/8 モード)) RESET 入力を “0” にしてください。

- (注 1) 電源投入後は、電源電圧および発振が安定した状態から 500 μ s 以上経過してからリセット解除させてください。
- (注 2) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。

22.2.2 DSU (EJTAG)-PROBE インタフェース

DSU-PROBE を利用してデバッグするときに使用します。DSU-PROBE と接続される専用 I/F です。DSU-PROBE を利用したデバッグの詳細に関しては、ご使用の DSU-PROBE の取扱説明書を参照してください。ここでは、DSU (EJTAG) モードでの DSU-PROBE 使用許可/禁止について説明します。

1) プロテクト機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにするプロテクト機能をもっています。プロテクト機能を有効にすることにより、DSU-probe を使用して内蔵フラッシュの内容を読み出すことは不可能になります。後述のフラッシュプロテクト機能とあわせてご使用願います。

2) DSU-PROBE 使用許可/禁止機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにする DSU-PROBE 使用禁止機能（以下、**DSU プロテクト**）をもっています。DSU 禁止機能を有効にすることにより、DSU-PROBE を使用することが不可能になります。

3) DSU 使用許可 (DSU-PROBE を利用してのデバッグを有効)

DSU プロテクトを解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” にし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、SEQMOD<SEQON> = “1” にし、SEQCNT レジスタに “0x0000_00C5” を書き込むことにより再びプロテクト機能が有効になります。

表 22.3 DSU プロテクトモードレジスタ

	7	6	5	4	3	2	1	0
SEQMOD (0xFFFF_E510)								
Bit Symbol	DSUOFF							
Read/Write	R							
リセット後	0							
機能	リードすると常に”0”が読めます							
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると常に”0”が読めます							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
リセット後	0							
機能								
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると常に”0”が読めます							

(注1) 本レジスタは32ビットのアクセスで行ってください。

(注2) 本レジスタはパワーオンリセットのみで初期化されます。通常リセットでは初期化されません。

表 22.4 DSU プロテクト制御レジスタ

	7	6	5	4	3	2	1	0
SEQCNT (0xFFFF_E514)	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	15	14	13	12	11	10	9	8
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	23	22	21	20	19	18	17	16
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	31	30	29	28	27	26	25	24
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							

(注 1) 本レジスタは 32 ビットのアクセスで行ってください。

4) ユーザー使用例

本機能を使用した DSU-PROBE の使用例を以下に示します。

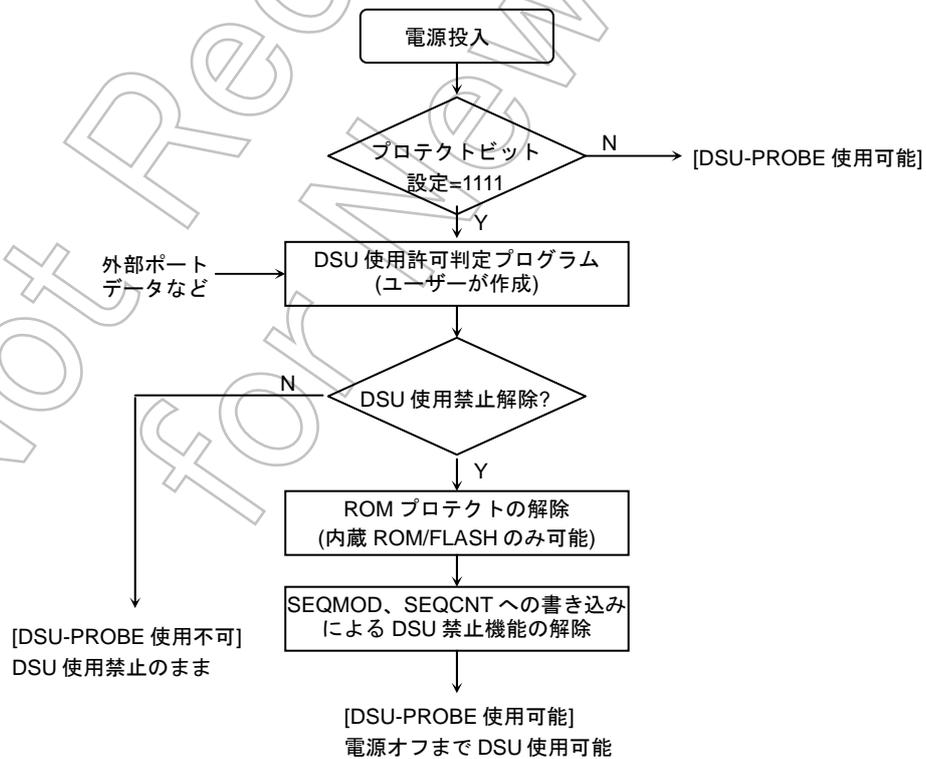


図 22.3 DSU 禁止機能の使用例

22.2.3 ユーザーブートモード（シングルチップモード）

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。したがって、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにプロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスクブルを含めたすべての割り込み発生を禁止してください。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の2ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「22.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

Not Recommended for New

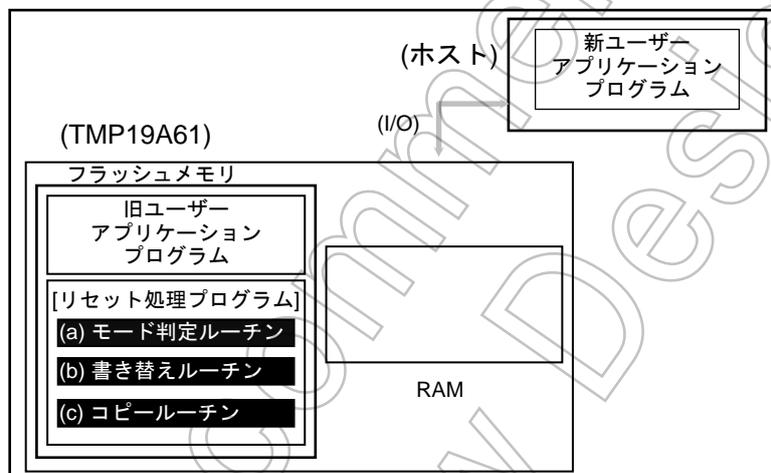
ユーザーブートモード

(1-A) 書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

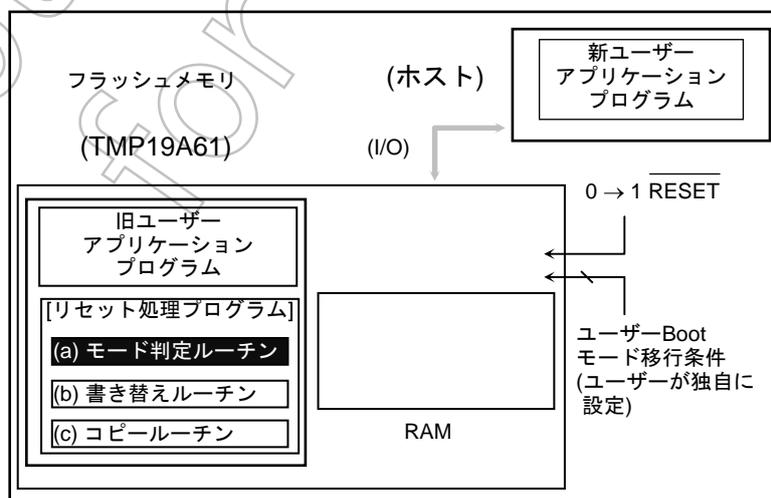
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライターなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- | | |
|--------------------|---|
| (a) モード判定ルーチン: | 書き替え動作に移るためのプログラム |
| (b) フラッシュ書き換えルーチン: | 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム |
| (c) コピールーチン: | 上記 (b) を内蔵 RAM または外部メモリにコピーするためのプログラム |

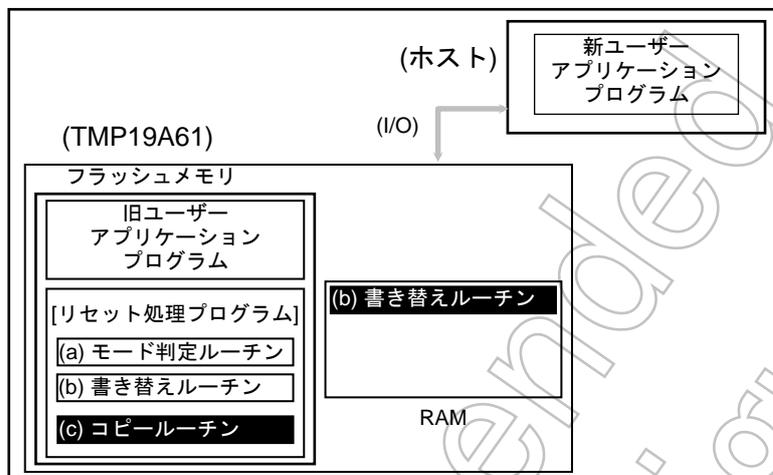
**(Step-2)**

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)

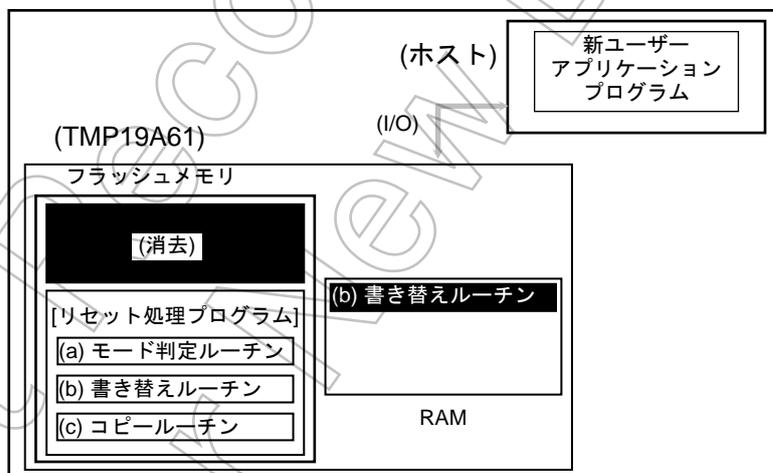


(Step-3)

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM もしくは外部メモリにコピーします。(下図は内部 RAM へコピーした場合を示します。)

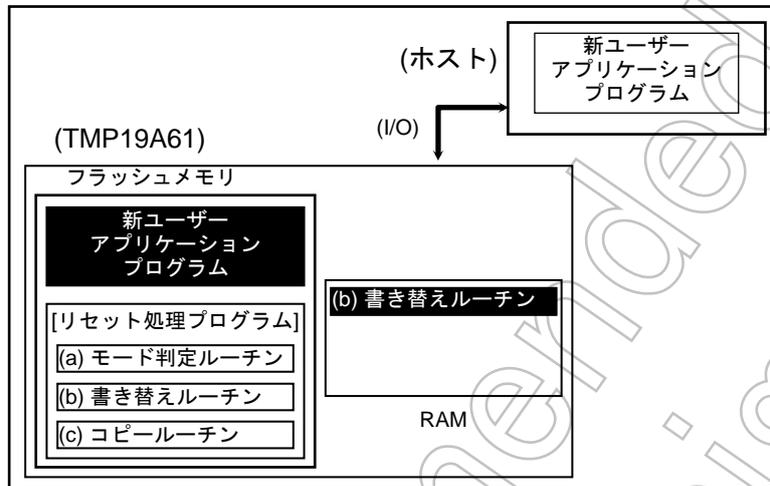
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去（ブロック単位）を行います。

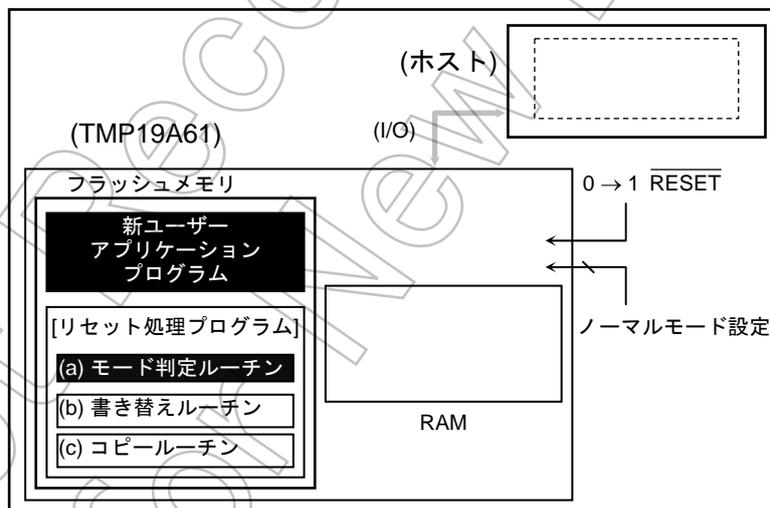


(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

**(Step-6)**

RESET入力端子を“0”にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



(1-B) 書き替えルーチンを外部から転送する手順例

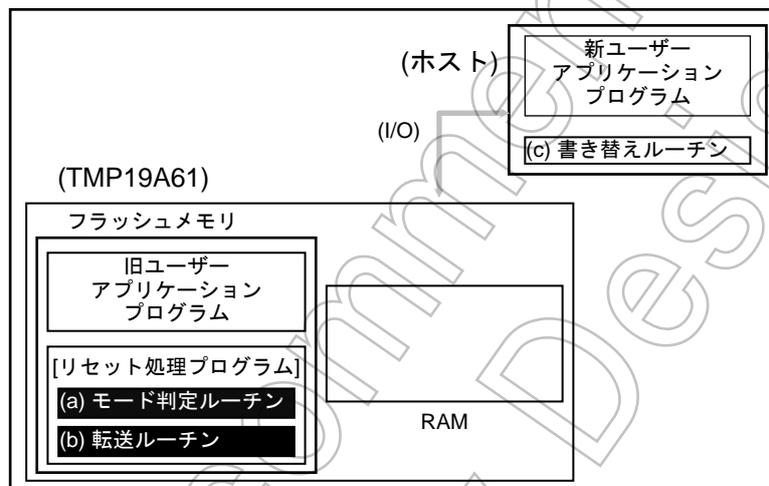
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
- (b) 転送ルーチン： 書き替えプログラムを外部から取り込むためのプログラム

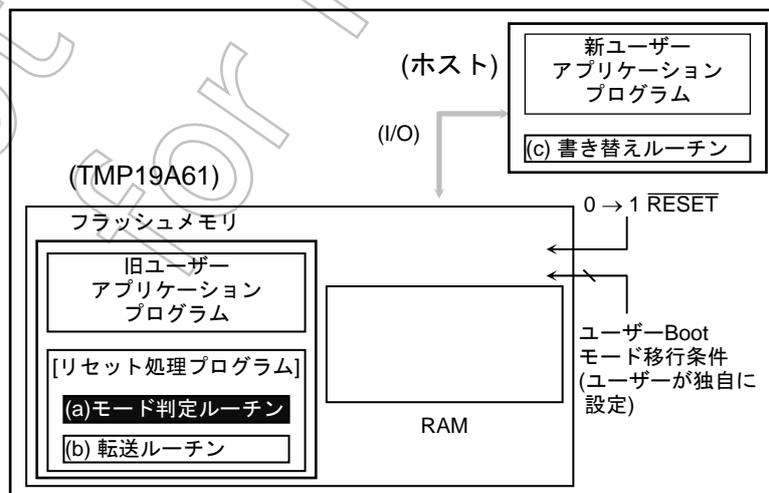
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン： 書き替えを行うためのプログラム



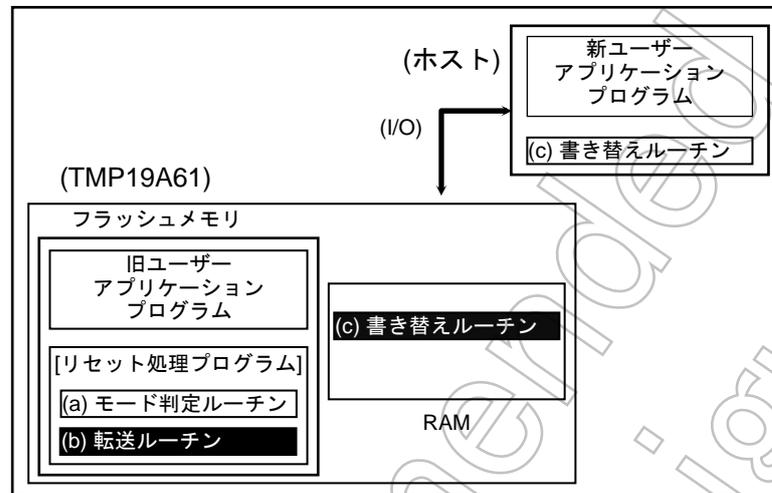
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)

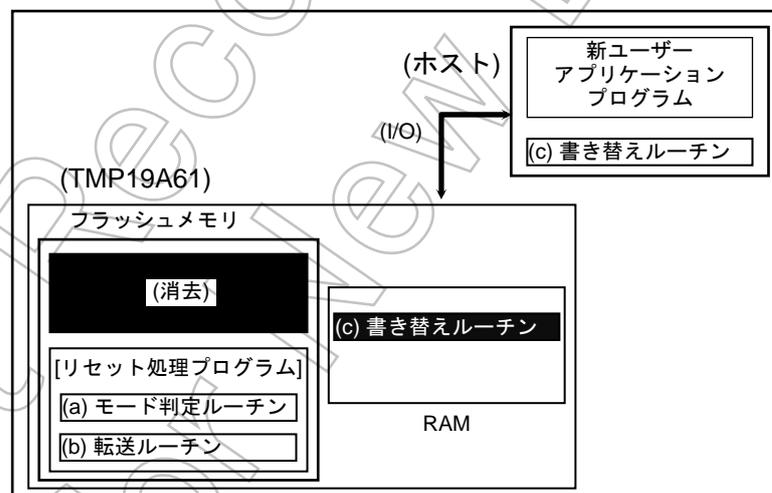


(Step-3)

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元（ホスト）より (c) 書き替えルーチンを内部 RAM もしくは外部メモリにロードします。（下図は内部 RAM へコピーした場合を示します。）

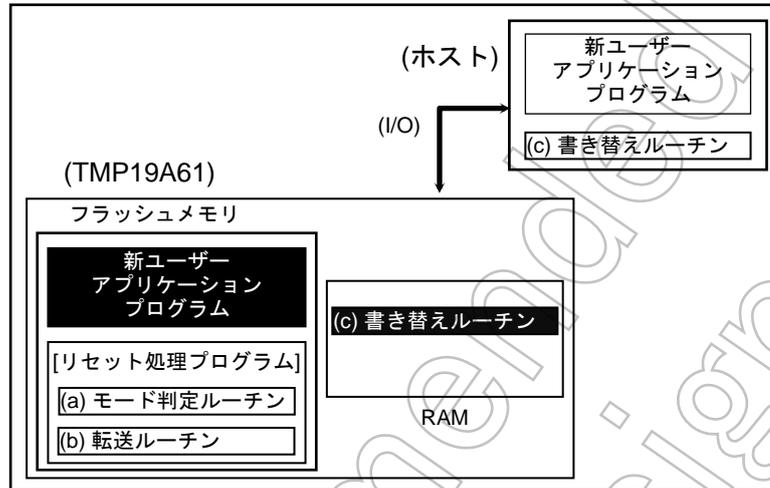
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去（ブロック単位）を行います。

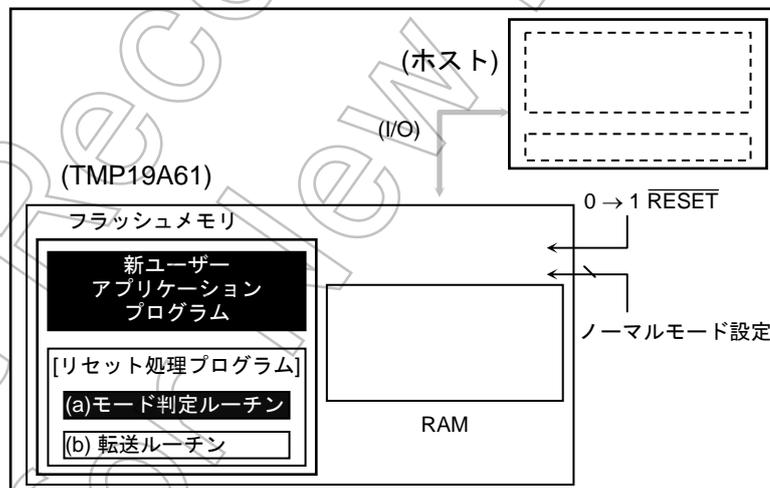


(Step-5)

さらに、RAM上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

**(Step-6)**

RESET入力端子を“0”にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



22.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM もしくは外部メモリ上で実行してください。この章では特に断りの無い限り、フラッシュメモリを仮想アドレスで表記します。

22.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPU の SW 命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 22.15 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。(128K バイト単位)
ライトプロテクト	ブロック単位(128K バイト)ごとに書き込みおよび消去を禁止することができます。全ブロックにプロテクトを掛けると自動的にプロテクト機能が有効になります。
プロテクト機能	4 ビットのプロテクトビット書き込みによってブロックごとに書き込みおよび消去を禁止することができます。

ユーザーブートモードもしくは RAM 転送の詳細な動作説明は後述しますが、CPU とのインターフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは 32 ビット単位で行います。フラッシュメモリへの書き込みは、32 ビット (ワード) のデータ転送命令を用いてください。

(1) ブロック構成

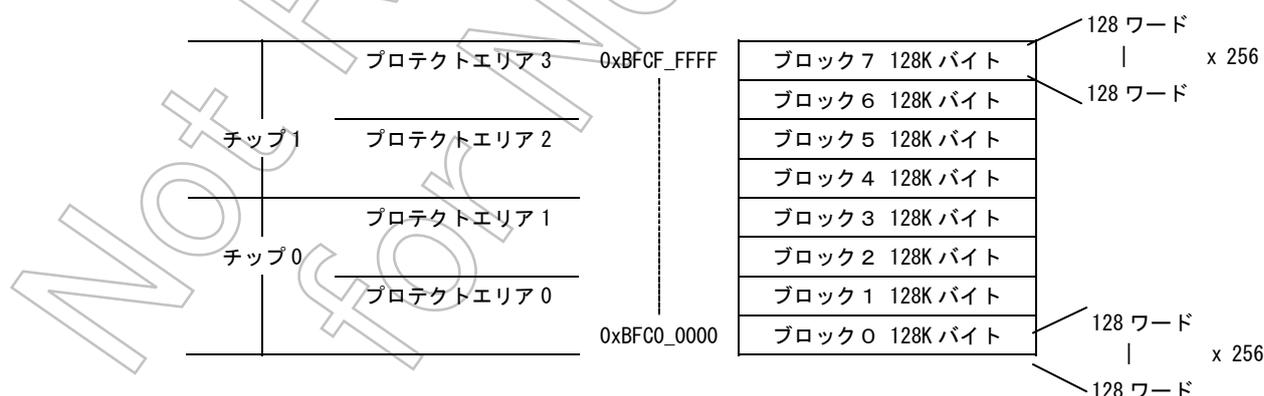


図 22.10 フラッシュメモリのブロック構成

(2) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード（リードモード）
- メモリデータを自動的に消去/書き替えるモード（自動動作）

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移りません。自動動作中はDSU-PROBE接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移行しません。

1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するRead/リセットコマンド（ソフトウェアリセット）もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- **Read/リセットコマンド 及び Read コマンド(ソフトウェアリセット)**

自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません（FLCS<RDY/BSY>="0"となっている状態では、フラッシュメモリの読み出し値は不定）。この場合、Read/リセットコマンドでフラッシュメモリをリードモードに復帰させます。また、途中までコマンドライトしたコマンドをキャンセルする場合も、Read/リセットコマンドでリードモードに復帰させる必要があります。Read コマンドは、フラッシュメモリのチップ毎の任意のアドレスに 0x0000_00F0 データを SW 命令実行してリードモードに復帰するコマンドです。

- **Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。**

2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します（コマンドシーケンス参照）。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

各コマンドはいくつかのバスサイクルで構成されており、フラッシュメモリに対してSW命令を実行するものを“バスライトサイクル”と呼びます。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。各バスライトサイクルのアドレス[31:21]は、コマンドを実施する仮想アドレス[31:21]をコマンドライトします。アドレスの[20:8]に関しては後で説明します。

- (注意1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。
- (注意2) 本デバイスへのバスライトサイクル間隔は15 システムクロック以上にしてください。フラッシュメモリのコマンドシーケンサがバスライトサイクルを認識するのに必要な時間があり、この時間内に複数のバスライトサイクルが実施されたときは、正常に動作しません。使用される動作周波数でのソフトウェアタイマ等によるバスライトサイクル間隔の調整は10) ID-Read を使用して確認してください。
- (注意3) 各バスライトサイクルの間に、フラッシュメモリに対するロード命令 (LW, LH, LB 命令等) およびフラッシュエリアをソースアドレスに指定してDMA転送を実施しないでください。また、フラッシュメモリへの JUMP 命令を実行しないでください。各コマンドシーケンスの実行中にマスカブル割り込みなど、全ての割り込み (DSU-PROBE 接続時は、デバッグ例外を除く) を発生させないでください。
- これらの動作により、フラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンサがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性が有ります。
- (注意4) 各バスライトサイクルの SW 命令直後に SYNC 命令を実行してください。
- (注意5) コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第1バスライトサイクル前に FLCS[0]RDY/BSY = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
- (注意6) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずシステムリセットもしくは、リセットコマンドを発行して、一度リードモードに戻して下さい。

3) リセット

ハードウェアリセット

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力はCPUのリセット信号とつながっています。このため、本デバイスのRESET入力端子が V_{IL} となるか、ウォッチドッグタイマのオーバフローなどによりCPUのリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときもCPUのリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPUのリセット動作については、「22.2.1 リセット動作」を参照してください。所定のリセット入力後、CPUはフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

4) 自動ページプログラム

フラッシュメモリへの書き込みは、“1” データセルを “0” データにすることです。“0” データセルを “1” データにすることはできません。“0” データセルを “1” データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、128 ワードごとの書き込みとなります。この128ワードはアドレス[31:9]が同じで、先頭アドレス[8:0] = 0、最後のアドレス[8:0] = 0x1FFのグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)はレジスタ FLCS[0]<RDY/BSY>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、“1”データセルであっても“0”データセルであってもページに対して2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性が有ります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第4バスライトサイクル終了から開始します。第5バスライトサイクル以降は、第4バスライトサイクルで指定した次のアドレス(第4バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は32ビット単位で行います)。第4バスライトサイクル以降のコマンドライトは必ずSW命令を使用してください。このときSW命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページ先頭アドレスにしてください。この時“0”データセルにしたくない箇所は入力データを“1”にしてコマンドライトします。例えば、あるページの先頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第4バスライトサイクルを実行すると自動プログラム動作中となります。このことはレジスタ FLCS[0]<RDY/BSY>(表 22.16)をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時に FLCS[0]<RDY/BSY> = “1” となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページ毎にページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムは出来ません。

プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことは FLCS[0]<RDY/BSY>(表 22.16)をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注：自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

5) 自動チップ消去(512KB 単位)

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

FLCS[0]<RDY/BSY>(表 22. 16)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

6) 自動ブロック消去(128KB 単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FLCS[0]<RDY/BSY>(表 22. 16)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リセットコマンドかハードウェアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。

7) 自動プロテクトビットプログラム

本デバイスは4ビットのプロテクトビットを内蔵しています。自動プロテクトビットプログラムは1ビット単位で実行できます。ビットの指定は第7バスライトサイクルで行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態は後で説明するFLCS<BLPRO 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>(表 22. 16)をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、内蔵RAM等のフラッシュメモリ以外のエリアからフラッ

シユメモリの読み出しを行うことはできません。この時 FLCS<BLPRO 3:0>=0xF (表 22.16) になっています (プロテクト状態)。これ以降はコマンドライトも正常に実施できません。

注：自動プロテクトビットプログラム第7バスライトサイクルでは、ソフトウェアリセットが無効になります。FLCS<RDY/BSY> は、第7バスライトサイクル入力後から、FLCS<RDY/BSY> = “0” となります。

8) 自動プロテクトビット消去

プロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。コマンド実行前に FLCS<BLPRO 3:0> = 0xF か、それ以外の値かで決まります。自動プロテクトビット消去コマンド実施前に必ず FLCS<BLPRO 3:0>値を確認してください。

・ FLCS<BLPRO 3:0> = 0xF (全てのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第7バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FLCS=0x01 となります。本デバイス内部で自動的にペリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第7バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合リードモードに復帰後、FLCS<BLPRO 3:0>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去或いは自動ブロック消去を実行する必要があります。

・ FLCS<BLPRO 3:0> ≠ 0xF (全てのプロテクトビットがプログラムされていない) の場合
自動プロテクトビット消去により、プロテクトの状態を解除することができます。本デバイスでは、プロテクトビットは2ビット単位で消去します。ビットの指定は第7バスライトサイクルで行い、コマンド終了後は2ビット消去状態となります。各ブロックのプロテクトの状態は後で説明する FLCS<BLPRO 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FLCS<BLPRO 3:0>の消去選択した2つのプロテクトビットの値が“0”となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

FLCS<RDY/BSY> ビットは自動動作中“0”、自動動作終了後“1”になります。

- 9) フラッシュコントロール/ステータスレジスタ
 フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 22.16 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	BLPR03	BLPR02	BLPR01	BLPR00				RDY/BSY
	リセット後	0	0	0	0	0	0	0	1
	機能	プロテクトエリア設定 (256KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態 x1xx : ブロック 2 がプロテクト状態 1xxx : ブロック 3 がプロテクト状態				リードすると"0"が読めません	リードすると"0"が読めます	リードすると"0"が読めます	Ready/Busy 0: 自動動作中 1: 自動動作終了
Bit Symbol	15	14	13	12	11	10	9	8	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	23	22	21	20	19	18	17	16	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能									

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は“0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり“1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは“0”出力を継続します。ハードウェアリセットにより“1”に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。
 ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット [7:4]: プロテクトビット状態ビット (ブロック毎の組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各ブロックのプロテクト状態に対応します。該当ビットが“1”の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

10) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることが出来ます。第 4 バスライトサイクル以降でのアドレス[15:14] の値によりロードされるデータが異なります(データ入力値は 0xF 以外の任意のデータ)。第 4 バスライトサイクル以降でのフラッシュへの SW 命令後の LW 命令(任意のフラッシュメモリエリアを読み出します)で、ID の値がロードされます(LW 命令直後に SYNC 命令を実施してください)。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと LW +SYNC 命令を繰り返し実行できます。リードモードへの復帰はシステムリセットもしくは、Read コマンドまたは Read/リセットコマンドで行います。

(重要)各コマンドシーケンスの “バスライトサイクル間隔” は、使用している動作周波数によらず 15 システムクロック以上にする必要があります。本デバイスは、フラッシュメモリへの複数の SW 命令実行に関して、バスライトサイクル間隔を自動調整する機能を有しません。従ってバスライトサイクル間隔が適正でない場合は所望のフラッシュメモリ書き換えが実行できません。オンボードプログラミングモード実行に先立ち、アプリケーションの動作周波数で、ソフトウェアタイマ等を使用してバスライト間隔を調整し、ID-Read コマンドの正常動作を確認してください。オンボードプログラミングモードでは、ID-Read コマンドが正常に実施できるバスライトサイクル間隔にてコマンドシーケンスを実行し、フラッシュメモリの書き換えをしてください。

Not Recommended for New Design

(3) コマンドシーケンス一覧

表 22.17 内部 CPU によるフラッシュメモリアクセス

<フラッシュチップ0&1 コマンドシーケンス : Addr.[19]=0 or 1 >

コマンド シーケンス	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第7バス サイクル
	Addr.						
	Data						
Read	0xXX	RA					
	0xF0	RD					
Read/リセット	0x55XX	0xAAXX	0x55XX	RA			
	0xAA	0x55	0xF0	RD			
ID-Read	0x55XX	0xAAXX	0x55XX	IA	0xXX	—	
	0xAA	0x55	0x90	0x00	ID	—	
Auto ページ プログラム (注)	0x55XX	0xAAXX	0x55XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
Auto チップ消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	—
	0xAA	0x55	0x80	0xAA	0x55	0x10	—
Auto ブロック消去 (注)	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	BA	—
	0xAA	0x55	0x80	0xAA	0x55	0x30	—
プロテクトビット プログラム	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
プロテクトビット 消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

注) Addr.[19]により チップ0 or 1を選択します。

プロテクトビットプログラム とプロテクトビット消去は、チップ 0 にのみ有効です。

(4) 補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ (32 ビットデータ)
第4バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

(注1) 全バスサイクル、アドレスビット[1:0]へは常に"0"を設定して下さい。(ビット[7:2]への設定値は未定義)

(注2) Read コマンドの第2バスサイクル、Read/リセットコマンドの第4バスサイクル、ID-Read コマンドの第5バスサイクル以外は全て"バスライトサイクル"です。バスライトサイクルは SW 命令で実施します。SW 命令のストアデータには表の"Data"を用います。各バスライトサイクルのアドレス[31:16]はコマンドシーケンス実施対象のフラッシュメモリのアドレス[31:16]を用います。アドレス[15:0]は表の"Addr."を用います。

(注3) 各バスライトサイクルの間隔を 15 システムクロック 以上あけて実行してください。

(注4) 各バスライトサイクル終了直後に"SYNC 命令"を実行してください。

(注5) ID-Read コマンド第4バスライトサイクル後の"LW 命令"直後に"SYNC 命令"を実施してください。

(5) バスライトサイクル時のアドレスビット構成

表 22.18 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:21]	Addr [20]	Addr [19]	Addr [18:17]	Addr [16]	Addr [15]	Addr [14]	Addr [13]	Addr [12:9]	Addr [8]	Addr [7:0]
通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ 領域	“0” 推奨	チップ 選択	“0” 推奨		コマンド				Addr [1:0]= “0” 固定、 他ビットは “0” 推奨	
ブロック 消去	BA: ブロックアドレス (ブロック消去の第6バスライトサイクルアドレス設定)										
	フラッシュ 領域	“0” 推奨	チップ 選択	ブロック 選択	Addr [1:0]= “0” 固定、他ビットは “0” 推奨						
Auto ページプ ログラム	PA: プログラムページアドレス (ページプログラムの第4バスライトサイクルアドレス設定)										
	フラッシュ 領域	“0” 推奨	チップ 選択	ブロック 選択	ページ選択				Addr [1:0]= “0” 固定、他ビッ トは “0” 推奨		
ID-READ	IA: ID アドレス (ID-READの第4バスライトサイクルアドレス設定)										
	フラッシュ 領域	“0” 推奨	チップ 選択	“0” 推奨		IDアドレス	Addr [1:0]= “0” 固定、他ビットは “0” 推奨				
プロテク トビット プログラム	PBA: プロテクトビットアドレス (プロテクトビットプログラムの第7バスライトサイクルアドレス設定)										
	フラッシュ 領域	“0” 推奨	“0” 固定	“0” 推奨		プロテクトビットライト “00”: ブロック 0 “01”: ブロック 1 “10”: ブロック 2 “11”: ブロック 3	Addr [1:0]= “0” 固定、他ビットは “0” 推奨				
プロテク トビット 消去	PBA: プロテクトビットアドレス (プロテクトビット消去の第7バスライトサイクルアドレス設定)										
	フラッシュ 領域	“0” 推奨	“0” 固定	“0” 推奨		プロテクト消去 0: ブロック 0, 1 1: ブロック 2, 3	Addr [1:0]= “0” 固定、他ビットは “0” 推奨				

(注1) 表 22.17 「内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

(注2) 第1バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行なって下さい。

(注3) 「“0” 推奨」は適宜変更可能です。

表 22.19 ブロック消去アドレス表

選択領域		アドレス設定			アドレス範囲		サイズ
チップ	BA	[19]	[18]	[17]	フラッシュメモリ アドレス	投影エリアに対して 実施する場合	
0	ブロック 0	0	0	0	0xBFC0_0000~0xBFC1_FFFF	0x0000_0000~0x0001_FFFF	128 K バイト
	ブロック 1	0	0	1	0xBFC2_0000~0xBFC3_FFFF	0x0002_0000~0x0003_FFFF	128 K バイト
	ブロック 2	0	1	0	0xBFC4_0000~0xBFC5_FFFF	0x0004_0000~0x0005_FFFF	128 K バイト
	ブロック 3	0	1	1	0xBFC6_0000~0xBFC7_FFFF	0x0006_0000~0x0007_FFFF	128 K バイト
1	ブロック 4	1	0	0	0xBFC8_0000~0xBFC9_FFFF	0x0008_0000~0x0009_FFFF	128 K バイト
	ブロック 5	1	0	1	0xBFCA_0000~0xBFCB_FFFF	0x000A_0000~0x000B_FFFF	128 K バイト
	ブロック 6	1	1	0	0xBFCC_0000~0xBFCD_FFFF	0x000C_0000~0x000D_FFFF	128 K バイト
	ブロック 7	1	1	1	0xBFCE_0000~0xBFCE_FFFF	0x000E_0000~0x000F_FFFF	128 K バイト

例: BAO を選択する場合、0xBFC0_0000~0xBFC1_FFFF で任意の 1 アドレスを入力します。

第 1 バスサイクルから第 6 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 22.20 プロテクトビットプログラムアドレス表

OPBA	第 7 バスライトサイクルのアドレス [15:14]	
	アドレス [15]	アドレス [14]
ブロック 0	0	0
ブロック 1	0	1
ブロック 2	1	0
ブロック 3	1	1

表 22.21 プロテクトビット消去アドレス表

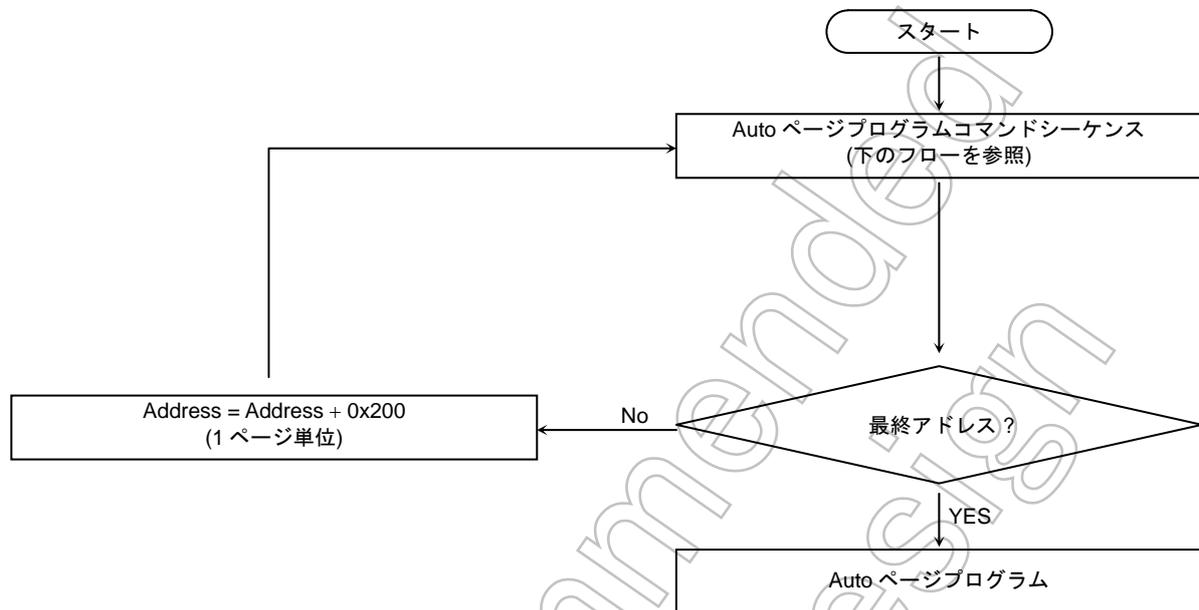
OPBA	第 7 バスライトサイクルのアドレス [15:14]	
	アドレス [15]	アドレス [14]
ブロック 0	0	X
ブロック 1	0	X
ブロック 2	1	X
ブロック 3	1	X

プロテクトビット消去コマンドは ビット 0 と ビット 1 を まとめて消去します。
同様に ビット 2 と ビット 3 は まとめて消去します。

表 22.22 ID-Read コマンド第 4 バスライトサイクルの ID アドレス (IA) と
その後の LW 命令で読み出せるデータ (ID)

IA [15:14]	ID [7: 0]	Code
00b	0x98	メーカーコード
01b	0x5A	デバイスコード
10b	Reserved	---
11b	0x08	マクロコード

(6) フロチャート



Auto ページプログラムコマンドシーケンス (アドレス/コマンド)

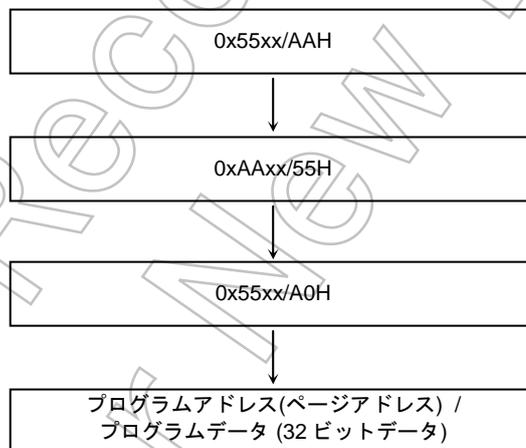


図 22.11 自動プログラム

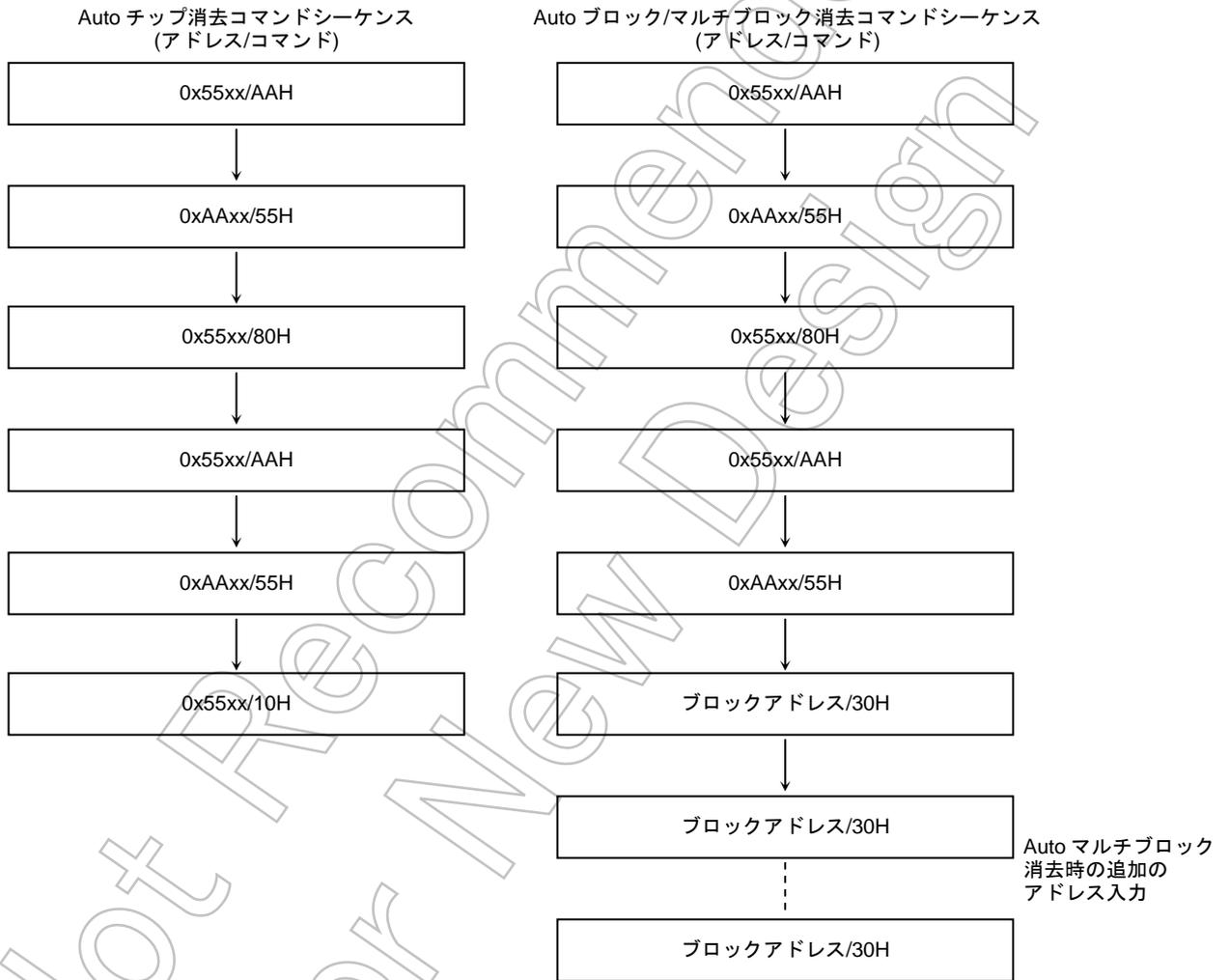
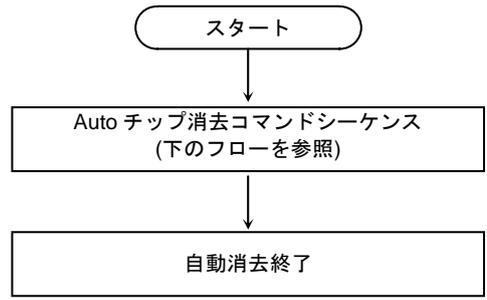


図 22.12 自動消去

23. 各種プロテクト機能

23.1 概要

本製品は内蔵ROM(Flash)領域を読み出し禁止に設定できるROMプロテクト及びDSU(DSU-Probe)の使用を禁止するDSUプロテクト機能などを内蔵しています。読み出し禁止機能として、次3つの機能をもっています。

- フラッシュプロテクト
- ROMデータプロテクト
- DSUプロテクト

23.2 特長

23.2.1 フラッシュプロテクト機能

内蔵フラッシュは、128K バイト単位のブロックごとに書き込みと消去の動作を禁止することができます。この機能をブロックプロテクトと呼びます。

ブロックプロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを”1”にします。プロテクトビットを”0”にすることによりブロックプロテクトを解除することができます。(プログラム方法については、Flash動作説明の章をご覧ください。)

プロテクトビットは、FLCSレジスタ<BLPR03:0>ビットでモニタすることができます。

すべてのブロックにプロテクトをかけた状態をFLASHプロテクトと呼びます。一度FLASHプロテクト状態にしたあとプロテクト解除動作(プロテクトビットを”0”にする動作)を行うと、自動的にフラッシュの全データを消去した後、すべてのプロテクトビットが”0”になりますので注意が必要です。

これから説明する「ROMデータプロテクト」、「DSUプロテクト」を有効にするためには、FLASHプロテクト状態であることが必要です。

23. 2. 2 ROM データプロテクト

ROM データプロテクトは、内蔵 FLASH に対してデータの読み出しを制限する機能です
また、フラッシュに対するコマンドの実行も禁止されます。

ROM データプロテクトは、FLASH プロテクト状態で ROM プロテクトレジスタ ROMSEC1<RSECON>ビットが” 1” のときに有効になります。

RSECON ビットの初期状態は” 1” となっています。

FLASH の全ブロックにプロテクトをかけていなければ ROM データプロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときは初期状態が ROM データプロテクト状態となります。

(注) ROM データプロテクト状態では RSECON ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

ROM correction 機能で ROM 領域の命令と置き換えられた RAM 上の命令の PC はフラッシュ ROM の領域を示しますが、実際には RAM 領域にあるため、ROM プロテクト状態でのデータの読み出しを行うことは出来ません。置き換えた RAM 上の命令でデータを読み出す場合は ROM 領域のプログラムでそのデータ値を RAM にライトする等の対策を行う必要があります。

ROM 領域に ROM プロテクトが掛かると以下の動作が出来なくなります。

- ROM 領域以外に置かれた命令からの ROM 領域のデータのロード及びストア
- DMAC レジスタへのストア (バスエラーによる NMI が発生します)
- EJTAG による ROM 領域のデータのロード及びストア
- BOOT-ROM による ROM 領域のデータのロード及びストア
- フラッシュライターによる ROM 領域のデータのロード及びストア
- ROM 領域以外に置かれた命令からの ROM 領域のプロテクト関連レジスタ (ROMSEC1、ROMSEC2) へのアクセス
- ライタモードでの自動ブロックプロテクト解除コマンド、自動ブロックプロテクト解除コマンド以外のフラッシュコマンドシーケンス実行及びシングルモード、ブートモードでの ROM 領域のアドレスを指定したフラッシュコマンドシーケンス

また、ROM 領域に ROM プロテクトが掛かった状態でも、以下の動作は実行出来ます。

- ROM 領域に置かれた命令から ROM 領域のデータのロード
- すべての領域に置かれている命令から ROM 領域以外のデータのロード
- すべての領域に置かれている命令から ROM 領域への命令分岐
- EJTAG による ROM 領域の PC トレース (制限あり)、ブレーク
- DMAC による ROM 領域のデータ転送

注) Mask 品は、ROM プロテクトが掛かった状態が初期値となります。

プロテクトビット設定 FLGS< BLPRO 3:0> =1111 とする事で
ROM プロテクトを掛けることが出来ます。

23. 2. 3 DSU プロテクト

DSU プロテクト機能は、DSU-probe の接続を無効にすることによりユーザー以外の第三者に容易に内蔵フラッシュのデータを読み出せないようにする機能です。

DSU プロテクトは、FLASH プロテクト状態で SEQMOD レジスタ<DSUOFF>ビットが” 1 ” のときに有効になります。

DSUOFF ビットは初期状態は” 1 ” となっています。FLASH の全ブロックにプロテクトをかけていなければ DSU プロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときは初期状態が DSU プロテクト状態となります。

(注) ROM データプロテクト状態では DSUOFF ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。DSU プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

Not Recommended for New Design

23.3 プロテクト概略図および対応表

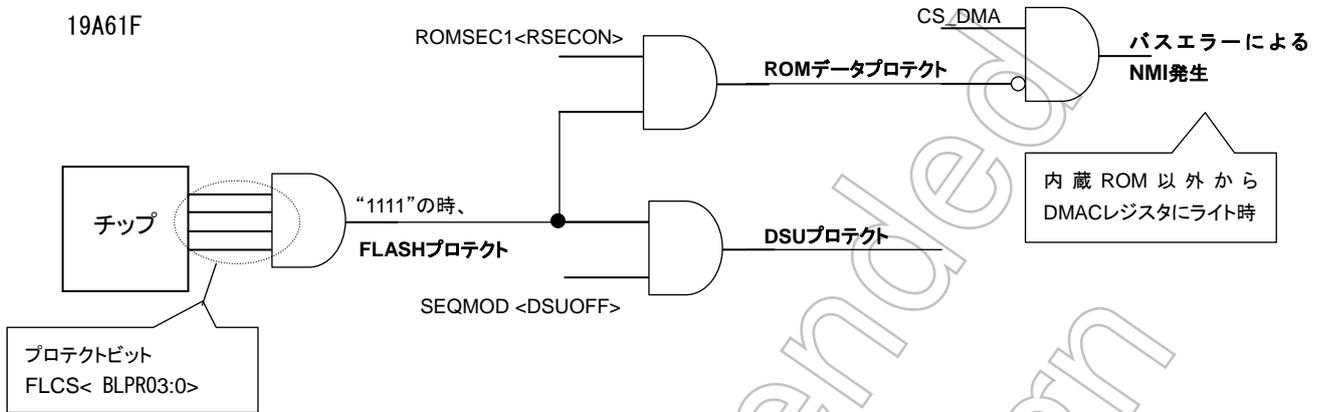


図 23.1 各種プロテクト状態概略

表 23.1 各モードの各種プロテクト状態

FLASH プロテクト状態		ON				OFF
ROM データプロテクト状態		ON		OFF		OFF
DSU プロテクト状態		ON	OFF	ON	OFF	OFF
シングル /シングルブート モード	内蔵 ROM からの内蔵 ROM リード	○	○	○	○	○
	内蔵 ROM 以外からの内蔵 ROM リード	× *1	× *1	○	○	○
	DSU-probe による内蔵 ROM リード	×	○	×	○	○
	RSECON 書き換え (内蔵 ROM から)	○	○	○	○	○
	RSECON 書き換え (内蔵 ROM 以外から)	× *2	× *2	○	○	○
	DSUOFF 書き換え (内蔵 ROM から)	○	○	○	○	○
	DSUOFF 書き換え (内蔵 ROM 以外から)	× *3	× *3	○	○	○
	プロテクトビット消去コマンド発行	× *4	× *4	○ *7	○ *7	○
	プロテクトビット消去以外のコマンド発行	× *4	× *4	× *6	× *6	△ *8
	DMAC 設定レジスタへのライト (内蔵 ROM から)	○	○	○	○	○
DMAC 設定レジスタへのライト (内蔵 ROM 以外から)	× *5	× *5	○	○	○	

*1 : アドレス「0xBFC0_0000」または「0xBFC0_0002」のデータが読めます。

*2 : RSECON ビットにライト(クリア)出来ません。

*3 : DSUOFF ビットにライト(クリア)出来ません

*4 : フラッシュがコマンドを認識しません。

*5 : ノンマスカブル割り込みが発生します。

*6 : フラッシュがコマンドを認識しません。

*7 : フラッシュ全領域消去とプロテクトビット全消去に変換されます。

*8 : プロテクトビットの状態により、プロテクトがかかったブロックに対するコマンドは受け付けません。

*9 : リードデータは常に 0x00000098 が読めます。

23.4 レジスタ

フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 23.2 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	BLPR03	BLPR02	BLPR01	BLPR00				RDY/BSY
	パワーオンリセット後	0	0	0	0	0	0	0	1
	機能	プロテクトエリア設定 (256KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態 x1xx : ブロック 2 がプロテクト状態 1xxx : ブロック 3 がプロテクト状態				リードすると "0" が読めます	リードすると "0" が読めます	リードすると "0" が読めます	Ready/Busy 0: 自動動作中 1: 自動動作終了
Bit Symbol	15	14	13	12	11	10	9	8	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	23	22	21	20	19	18	17	16	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" (出力を継続します。ハードウェアリセット時に "1" に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。

ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット [7:4]: プロテクトビット (x: ブロックごとの組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各ブロックごとのプロテクト状態に対応します。該当ビットが "1" の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

表 23.3 ROM プロテクトレジスタ

ROMSEC1 (0xFFFF_E518)		7	6	5	4	3	2	1	0	
	Bit Symbol								RSECON	
	Read/Write	R								R/W
	パワーオン リセット後	0								1
	機能	リードすると常に"0"が読めます								ROM プロテクト 1: ON 0: OFF (注)
		15	14	13	12	11	10	9	8	
Bit Symbol										
Read/Write	R									
パワーオン リセット後	0									
機能	リードすると常に"0"が読めます									
		23	22	21	20	19	18	17	16	
Bit Symbol										
Read/Write	R									
パワーオン リセット後	0									
機能	リードすると常に"0"が読めます									
		31	30	29	28	27	26	25	24	
Bit Symbol										
Read/Write	R									
パワーオン リセット後	0									
機能	リードすると常に"0"が読めます									

- (注1) 本レジスタは、パワーオンリセットでのみ初期化されます。
(注2) 本レジスタは32ビットアクセスを行なって下さい。

表 23.4 ROM プロテクトロックレジスタ

ROMSEC2 (0xFFFF_E51C)		7	6	5	4	3	2	1	0
	Bit Symbol								
	Read/Write	W							
	リセット後	不定							
	機能	(注) 参照願います							
		15	14	13	12	11	10	9	8
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								
		23	22	21	20	19	18	17	16
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								
		31	30	29	28	27	26	25	24
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								

- (注 1) ROMSEC1<RSECON>を設定後、本レジスタに” 0x0000_003D” を設定することにより、ROMSEC1<RSECON>に値がセットされます。
- (注 2) ROMSEC1、ROMSEC2 レジスタは ROM 領域に ROM プロテクトがかかっている場合、ROM 領域に置かれている命令でのみアクセスすることが出来ます。
- (注 3) 本レジスタは 32 ビットアクセスを行なって下さい。
- (注 4) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

表 23.5 DSU プロテクトモードレジスタ

SEQMOD (0xFFFF_E510)	Bit Symbol								DSUOFF
	Read/Write	R							R/W
	リセット後	0							1
	機能	リードすると常に"0"が読めます							1: DSU 使用不可 0: DSU 使用許可
		7	6	5	4	3	2	1	0
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		31	30	29	28	27	26	25	24

- (注 1) 本レジスタは、パワーオンリセットでのみ初期化されます。
 (注 2) 本レジスタは 32 ビットアクセスを行なって下さい。

表 23.6 DSU プロテクト制御レジスタ

SEQCNT (0xFFFF_E514)	Bit Symbol	DSECODE07	DSECODE06	DSECODE05	DSECODE04	DSECODE03	DSECODE02	DSECODE01	DSECODE00
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください。							
		15	14	13	12	11	10	9	8
	Bit Symbol	DSECODE15	DSECODE14	DSECODE13	DSECODE12	DSECODE11	DSECODE10	DSECODE09	DSECODE08
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		23	22	21	20	19	18	17	16
	Bit Symbol	DSECODE23	DSECODE22	DSECODE21	DSECODE20	DSECODE19	DSECODE18	DSECODE17	DSECODE16
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24
	Bit Symbol	DSECODE31	DSECODE30	DSECODE29	DSECODE28	DSECODE27	DSECODE26	DSECODE25	DSECODE24
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24

- (注 1) 本レジスタは 32 ビットアクセスを行なって下さい。
 (注 2) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

23.5 プロテクト設定/解除方法

プロテクト状態でフラッシュメモリの書き換え及びプロテクトビットの書換えの必要があるときは、自動プロテクトビット消去を行うか、ROM プロテクト機能を解除してください。DSU プロテクト状態では DSU を使用することができません。

自動プロテクトビットプログラム実行後にフラッシュ読み出し禁止状態になる場合は、予め DSU-PROBE 使用許可にしておく必要があります。

フラッシュ読み出し禁止状態で“自動プロテクトビット消去”を実施すると、本デバイス内部で自動的にフラッシュメモリの初期化を行います。このためプロテクト状態に移行する際は十分ご注意ください。

23.5.1 フラッシュプロテクト

フラッシュプロテクト機能はマスク版では常時有効な状態になっており、解除することはできません。

フラッシュ版では 2 つのすべてのブロックにブロックプロテクトをかけることで有効になります。フラッシュ版でフラッシュプロテクト機能の設定/解除を行う場合、フラッシュメモリに対する、プロテクトビットプログラムコマンドによって設定します。詳細は Flash 動作説明章のコマンドシーケンスを参照して下さい。

フラッシュプロテクト状態でプロテクトビット解除コマンドを実行すると、フラッシュのデータをすべて消去した後にプロテクトビットをクリアし、フラッシュプロテクト状態が解除されます。

以下に説明する ROM データプロテクト状態では、フラッシュに対するコマンド実行は無視されます。ROM プロテクト状態でフラッシュプロテクトを解除する場合には、まず ROM プロテクトレジスタの RSECON ビットをクリアして ROM データプロテクトを解除する必要があります。

23. 5. 2 ROM データプロテクト

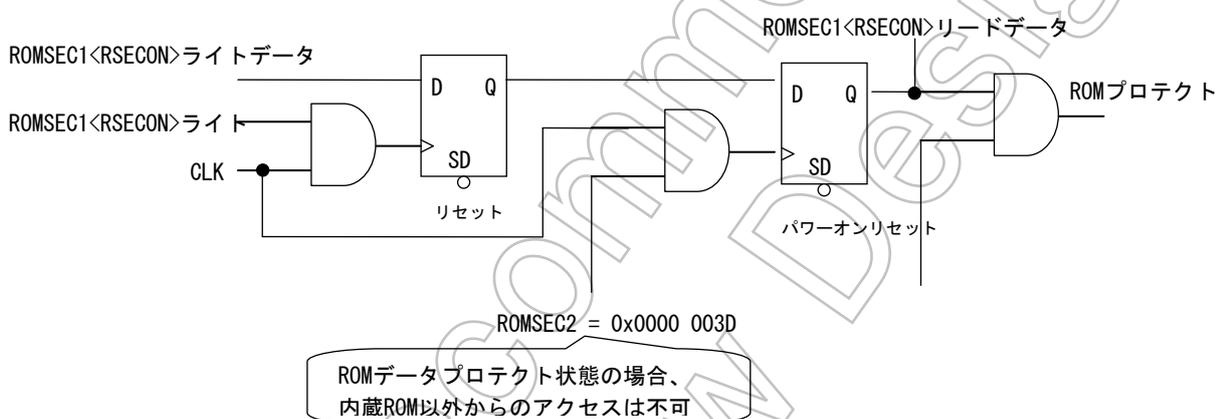
ROM データプロテクトは、フラッシュプロテクトが有効な状態で ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” のときに有効になります。

リセット解除後 RSECON ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず ROM データプロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により ROM データプロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で ROM プロテクトレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、ROM データプロテクトの解除プログラムは内蔵 ROM 上に準備しておく必要があります。

RSECON ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

以下に概略図を示します。



プロテクトを解除する場合、ROM プロテクトレジスタ ROMSEC1<RSECON> = “0” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで ROM データプロテクトが解除されます。また、ROM プロテクトを設定する場合も同様に、ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで再び ROM データプロテクト機能を設定することが出来ます。

ROMSEC2 レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

ROM プロテクトレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

23.5.3 DSU プロテクト

23.5.4 DSU 使用許可/禁止 (DSU-PROBE を利用してのデバッグを有効/無効)

DSU プロテクトは、フラッシュプロテクトが有効な状態で DSU プロテクトモードレジスタ

SEQMOD<DSUOFF>= “1” のときに有効になります。

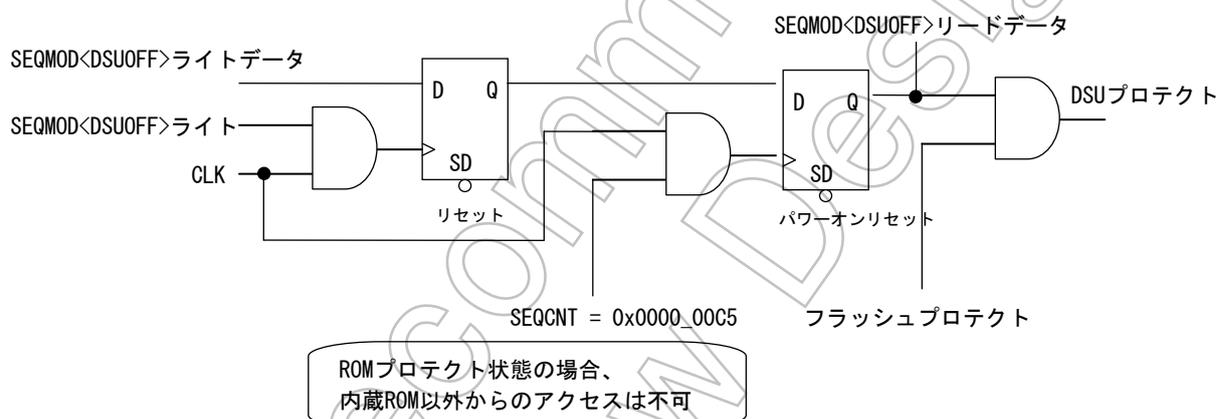
リセット解除後 DSUOFF ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず DSU プロテクト状態になります。

フラッシュ版ではフラッシュプロテクトの状態により DSU プロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で DSU プロテクトモードレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、DSU プロテクトの解除のプログラムは内蔵 ROM 上に準備しておく必要があります。

DSUOFF ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

以下に概略図を示します。



プロテクトを解除する場合、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで DSU プロテクトが解除されます。また、DSU プロテクトを設定する場合も同様に、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで再び DSU プロテクト機能を設定することが出来ます。

SEQCNT レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

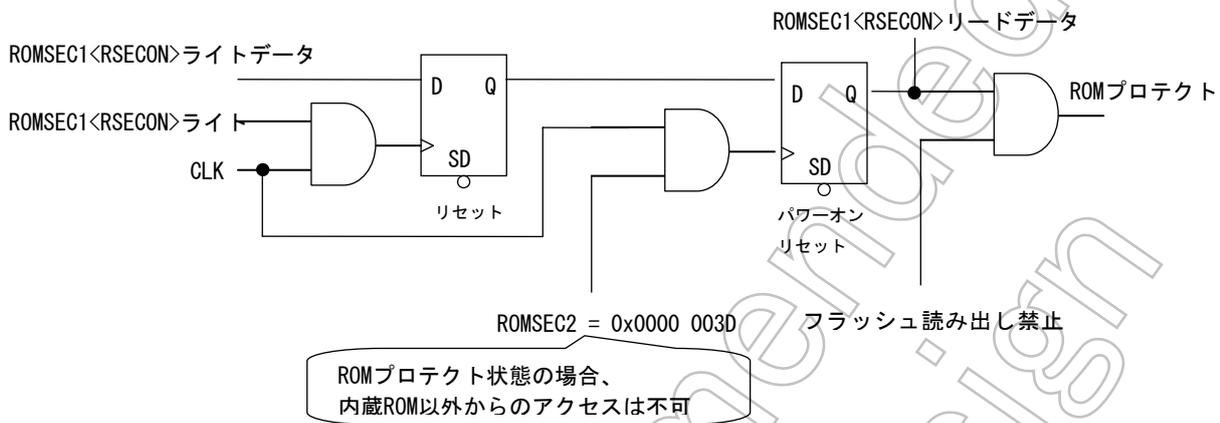
DSU プロテクトモードレジスタの初期化はフラッシュ版とマスク版で異なります。

フラッシュ版ではパワーオンリセット回路を備えており、DSU プロテクトモードレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

マスク版ではパワーオンリセットを備えていないため、通常リセットで初期化されます。マスク版では通常リセットのたびに初期化されるため注意が必要です。

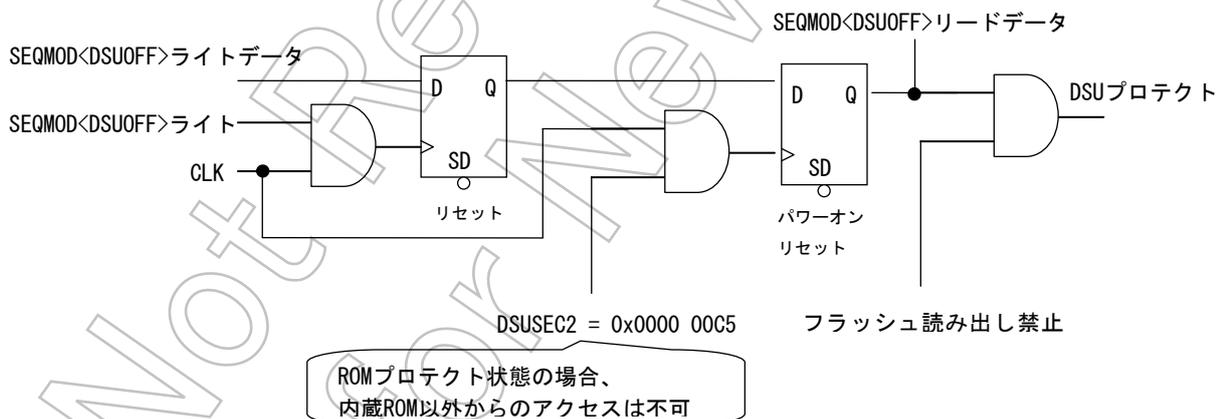
23.5.5 ROM プロテクトレジスタ : ROMSEC1<RSECON>

ROM プロテクトレジスタはパワーオンリセット回路を備えています。ROMSEC1<RSECON>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。パワーオンリセットで初期化されます



23.5.6 DSU プロテクトモードレジスタ : SEQMOD <DSUOFF>

DSU プロテクトモードレジスタはパワーオンリセット回路を備えています。SEQMOD <DSUOFF>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。パワーオンリセットで初期化されます



24. 電気的特性

24.1 絶対最大定格

計算式に使用している“X”は、SYSCR1<SYSCK>で選択されたクロック f_{sys} の周期を示しますのでクロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値はシステムクロックは高速 (f_c) (SYSCR1 <SYSCK> = “0”)、ギア選択が $1/f_c$ (SYSCR1<GEAR (1 : 0)> = “00”) のときの値です。

項目		記号	定格	単位
電源電圧		Vcc15 (内部)	- 0.3~3.0	V
		Vcc3 (I/O)	- 0.3~3.9	
		AVCC (A/D)	- 0.3~3.9	
		FVCC3	- 0.3~3.9	
入力電圧		V_{IN}	- 0.3~ $V_{CC}+0.3$	V
低レベル 出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル 出力電流	1 端子	I_{OH}	-5	
	合計	ΣI_{OH}	50	
消費電力 ($T_a = 85^\circ C$)		PD	600	mW
はんだ付け温度 (10s)		T_{SOLDER}	260	$^\circ C$
保存温度		T_{STG}	-40~125	$^\circ C$
動作温度	Flash W/E 時を除く	T_{OPR}	-20~85	$^\circ C$
	Flash W/E 時		0~70	
書き替え回数		N_{EW}	100	cycle

$V_{CC15} = DVCC15 = CVCC15 = FVCC15$ 、 $V_{CC3} = DVCC3n$ ($n=0\sim4$)、

$AVCC = AVCC3m$ ($m=1\sim2$)、 $V_{SS} = DVSS * = AVSS * = CVSS$ と定義します。

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格（電流、電圧、消費電力、温度）を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

24.2 DC 電気的特性 (1/4)

Ta = -20~85°C (n=0~4、m=1, 2)

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
電源電圧 CVCC15=DVCC15 CVSS=DVSS=0V		DVCC15	fosc = 8~13.5MHz fsys = 4MHz~54MHz PLLON、	1.35		1.65	V
		DVCC3n (n=0~4)	fsys = 4~54MHz	1.65		3.3	
低 レ ベ ル 入 力 電 圧	P7~PA	V _{IL1}	2.7V ≤ AVCC32 ≤ AVCC31 ≤ 3.3V	-0.3		0.3AVCC31 0.3AVCC32	V
	ノーマルポート	V _{IL2}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~3)		0.3DVCC3n		
			2.7V ≤ DVCC34 ≤ 3.3V				
	シュミット入力	V _{IL3}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~3)		0.2DVCC3n		
			2.7V ≤ DVCC34 ≤ 3.3V				
		1.35V ≤ DVCC15 ≤ 1.65V	0.1DVCC15				
X1	V _{IL5}	1.35V ≤ CVCC15 ≤ 1.65V	0.1CVCC15				

Not Recommended for New

24.3 DC 電気的特性 (2/4)

Ta = -20~85°C (n=0~4, m=1, 2)

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
高レベル入力電圧	P7~PA	V _{IH1}	2.7V ≤ AVCC32 ≤ AVCC31 ≤ 3.3V	0.7AVCC31 0.7AVCC32			V
	ノーマルポート	V _{IH2}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~3)	0.7DVCC3n	DVCC3n+0.3 DVCC15+0.2 CVCC15+0.2		
			2.7V ≤ DVCC34 ≤ 3.3V				
	シュミット入力	V _{IH3}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~3)	0.8DVCC3n			
			2.7V ≤ DVCC34 ≤ 3.3V				
X1	V _{IH4}	1.35V ≤ DVCC15 ≤ 1.65V	0.9DVCC15				
低レベル出力電圧	V _{OL}	I _{OL} = 2mA DVCC3n ≥ 2.7V	0.4				
		I _{OL} = 500μA DVCC3n < 2.7V	0.2DVCC3n ≤ 0.4				
高レベル出力電圧	V _{OH}	I _{OH} = -2mA DVCC3n ≥ 2.7V	2.4				
		I _{OH} = -500μA DVCC3n < 2.7V	0.8DVCC3n				

- (1) Typ 値は特に指定のない限り Ta=25°C, DVCC15=1.5V、DVCC3n=3.0V、AVCC3m=3.3V の値です。

24.4 DC 電気的特性 (3/4)

Ta = -20~85°C (n=0~4、m=1, 2)

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
入力リーク電流	I _{LI}	0.0 ≤ V _{IN} ≤ DVCC15 0.0 ≤ V _{IN} ≤ DVCC3n (n=0~4) 0.0 ≤ V _{IN} ≤ AVCC31 0.0 ≤ V _{IN} ≤ AVCC32		0.02	±5	μA
出力リーク電流	I _{LO}	0.2 ≤ V _{IN} ≤ DVCC15-0.2 0.2 ≤ V _{IN} ≤ DVCC3n-0.2 (n=0~4) 0.2 ≤ V _{IN} ≤ AVCC31-0.2 0.2 ≤ V _{IN} ≤ AVCC32-0.2		0.05	±10	
パワーダウン電圧 (@STOP)	V _{STOP} (DVCC15)		1.35		1.65	V
	V _{STOP2} (AVCC3)	V _{IL1} = 0.3AVCC31, 32 V _{IH1} = 0.7AVCC31, 32	2.7		3.3	
	V _{STOP3} (DVCC3)	V _{IL2} = 0.3DVCC3n, V _{IL3} = 0.1DVCC3n V _{IH2} = 0.7DVCC3n, V _{IH3} = 0.9DVCC3n (n=0~4)	1.65		3.3	
リセットプルアップ抵抗	RRST	DVCC34 = 3.0V ± 0.3V	20	50	150	kΩ
シュミット入力	V _{TH}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~4) 1.35V ≤ DVCC15 ≤ 1.65V	0.3	0.6		V
プログラマブル プルアップ/ダウン抵抗	PKH	DVCC3n = 1.65V~3.3V (n=0~3) DVCC34 = 2.7V~3.3V DVCC15 = 1.35V~1.65V	20	50	150	kΩ
Pin 容量 (電源端子を除く)	C _{I/O}	F _c = 1MHz			10	pF

- (1) Typ 値は特に指定のない限り Ta=25°C、DVCC15=1.5V、DVCC3=3.0V、AVCC3m=3.3V の値です。

24.5 DC 電気的特性 (4/4)

DVCC15=CVCC=VCC15=1.5V±0.15V,
 FVCC3=DVCC3n=3.0V±0.3V, AVCC3m=3.0V±0.3V,

Ta=−20~85°C (n=0~4, m=1, 2)

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
NORMAL (注2) ギア比 1/1	I _{CC}	F _{sys} = 54 MHz (f _{osc} = 13.5 MHz, PLLON)		55	70	mA
IDLE (Doze)				18	28	
IDLE (Halt)				14	23	
STOP		DVCC15 = FVCC15 = CVCC = 1.35~1.65V DVCC3n = 1.65~3.3V AVCC3m = 2.7~3.3V FVCC3 = 2.7~3.3V		50	2000	μA

(注1) Typ 値は、特に指定のない限り Ta=25°C、DVCC15=1.5V、FVCC15=1.5V、DVCC3n=3.0V、AVCC3m=3.3V の値です。

(注2) I_{CC} NORMAL の測定条件 : CPU ドライストン実行、内蔵周辺 I/O 全て動作

外部バス 16 ビット幅 4 システムクロックで動作

(注3) I_{CC} には DVCC15、DVCC3n、CVCC15、AVCC3m に流れる電流が含まれます。

24.6 10ビット A/D 変換特性

DVCC15=CVCC15=1.35V~1.65V, CVCC3= DVCC3=AVCC3=VREFH=2.7V~3.3V,
 AVCC=2.3V~2.7V, AVSS = DVSS, Ta=-20~85°C
 AVCC3 負荷容量 $\geq 3.3\mu\text{F}$, VREFH 負荷容量 $\geq 3.3\mu\text{F}$

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7	3.0	3.3	V
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	IREF	A/D 変換時	DVSS = AVSS = VREFL	4.5	5.5	mA
		A/D 非変換時	DVSS = AVSS = VREFL	± 0.02	± 5	μA
消費電流	—	IREF を除く			3	mA
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 1\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 2.0\mu\text{s}$ @27MHz (ADCLK)		± 2	± 3	LSB
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 10\text{k}\Omega$ AIN 負荷容量 $\geq 0.01\mu\text{F}$ 変換時間 $\geq 2.0\mu\text{s}$ @27MHz (ADCLK)		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\leq 30\text{pF}$ 変換時間 $\geq 1.15\mu\text{s}$ @40MHz (ADCLK)		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	

(注1) 1LSB = (VREFH - VREFL) / 1024[V]

24.7 AC 電気的特性

[1] セパレートバスモード

(1) DVCC15=CVCC15=1.35V~1.65V, DVCC3n=2.3V~3.3V

BUSCR<ALESEL> = "00", 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t_{SYS}	X		18.5		ns
2	A0-23 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{AC}	$(1+ALE)x-20$		17		ns
3	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり → A0 - 23 保持	t_{CAR}	X-14		4.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t_{AD}		$x(2+W+ALE)-42$		50.5	ns
5	\overline{RD} 立ち下がり→ D0 - 15 入力	t_{RD}		$x(1+W)-28$		27.5	ns
6	\overline{RD} Low パルス幅	t_{RR}	$x(1+W)-10$		45.5		ns
7	\overline{RD} 立ち上がり→ D0 - 15 保持	t_{HR}	0		0		ns
8	\overline{RD} 立ち上がり→ A0 - 23 出力	t_{RAE}	x-15		3.5		ns
9	$\overline{WR}/\overline{HWR}$ Low パルス幅	t_{WW}	$x(1+W)-10$		45.5		ns
10	$\overline{WR}/\overline{HWR}$ 立ち下がり→D0-15 有効	t_{DO}		12.3		12.3	ns
11	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t_{DW}	$x(1+W)-18$		37.5		ns
12	$\overline{WR}/\overline{HWR}$ 立ち上がり→ D0 - 15 保持	t_{WD}	x-15		3.5		ns
13	A0 - 23 有効→ \overline{WAIT} 入力	t_{AW}		$x+(ALE)x+(W-1)x-30$		25.5	ns
14	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t_{CW}	$x(TW-3)-1$	$x(TW-1)-30$	17.5	25.5	ns

(注) 項目 1~14 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

(自動2ウェイト挿入 + 2N)

よって、 $TW = 2 + 2*1 = 4$

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(2) DVCC15=CVCC15=1.35V~1.65V, DVCC3n=1.65V~1.95V

BUSCR<ALESEL> = “00”, 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	X		18.5		ns
2	A0-23 有効→ \overline{RD} / \overline{WR} / \overline{HWR} 立ち下がり	t _{AC}	(1+ALE)x-20		17		ns
3	\overline{RD} / \overline{WR} / \overline{HWR} 立ち上がり → A0 - 23 保持	t _{CAR}	X-14		4.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t _{AD}		x(2+W+ALE)-42		50.5	ns
5	\overline{RD} 立ち下がり→ D0 - 15 入力	t _{RD}		x(1+W)-28		27.5	ns
6	\overline{RD} Low パルス幅	t _{RR}	x(1+W)-10		45.5		ns
7	\overline{RD} 立ち上がり→ D0 - 15 保持	t _{HR}	0		0		ns
8	\overline{RD} 立ち上がり→ A0 - 23 出力	t _{RAE}	x-15		3.5		ns
9	\overline{WR} / \overline{HWR} Low パルス幅	t _{WW}	x(1+W)-10		45.5		ns
10	\overline{WR} / \overline{HWR} 立ち下がり→D0-15 有効	t _{DO}		12.3		12.3	ns
11	D0-15 有効→ \overline{WR} / \overline{HWR} 立ち上がり	t _{DW}	x(1+W)-18		37.5		ns
12	\overline{WR} / \overline{HWR} 立ち上がり→ D0 - 15 保持	t _{WD}	x-15		3.5		ns
13	A0 - 23 有効→ \overline{WAIT} 入力	t _{AW}		x+(ALE)x+(w-1)x-30		25.5	ns
14	\overline{RD} / \overline{WR} / \overline{HWR} → \overline{WAIT} 保持	t _{CW}	x(TW-3)-5	x(TW-1)-40	13.5	15.5	ns

(注) 項目 1~14 は、内部ウェイト “2”、ALE 出力 “1” クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

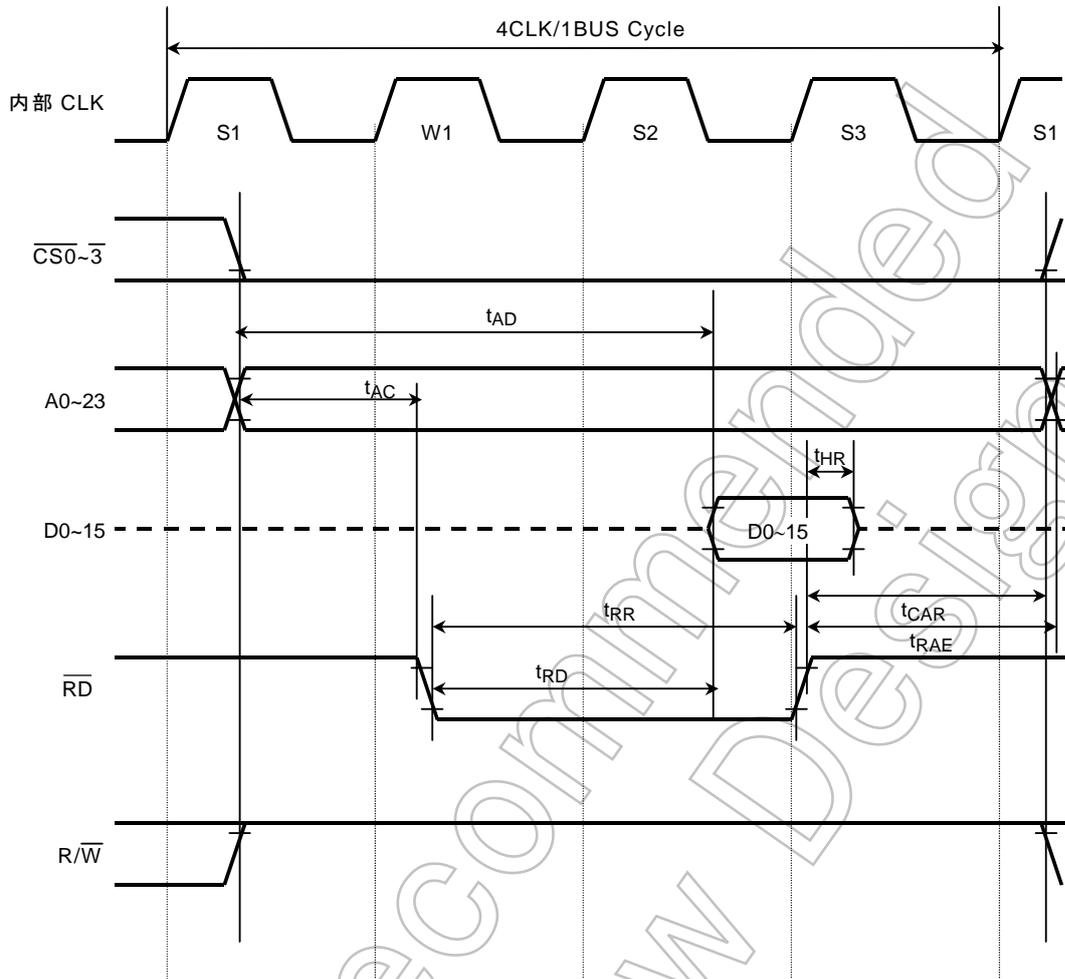
(自動2ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

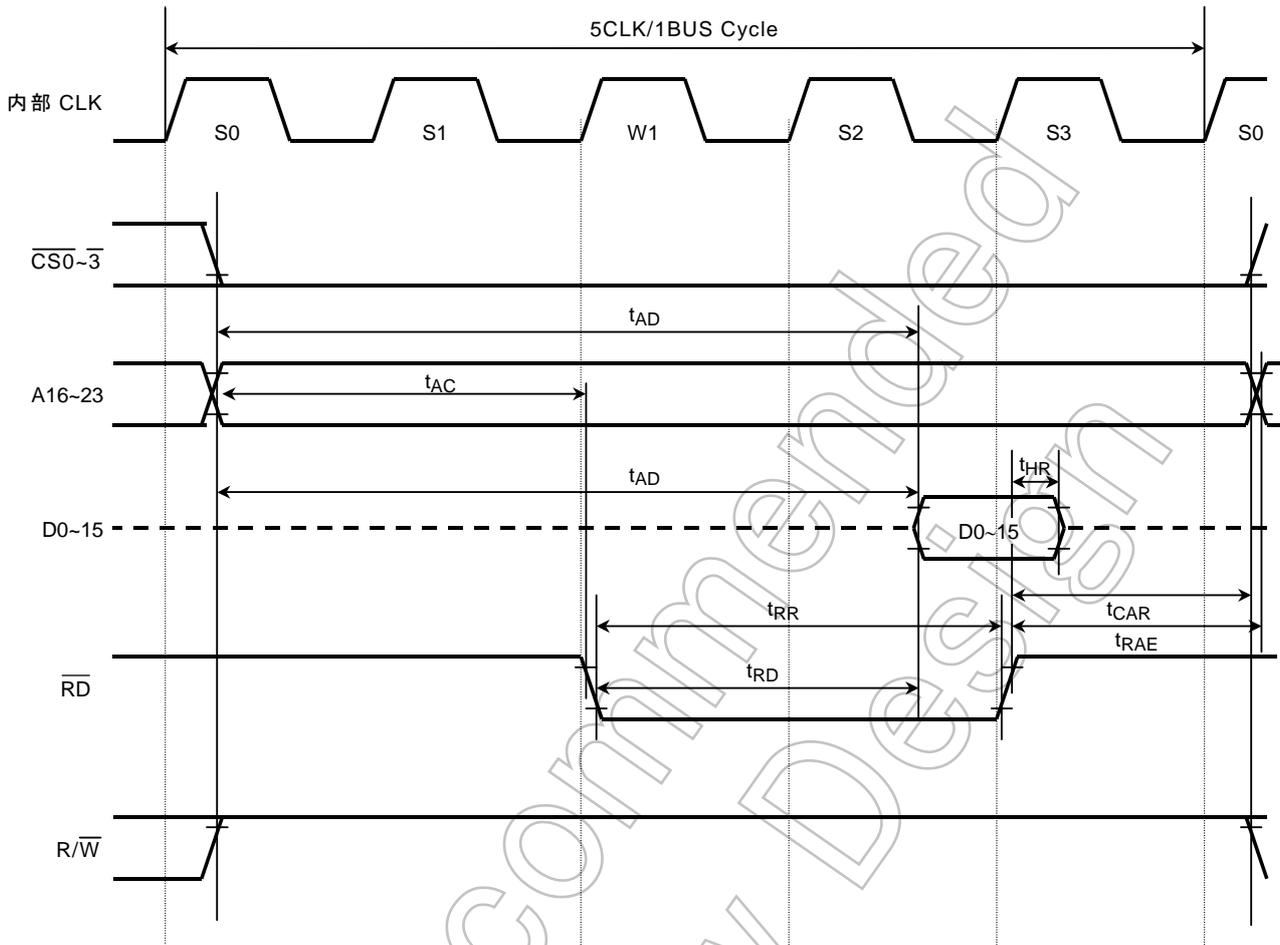
- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(1) リードタイミング (BUSCR<ALESEL> = "00"、1 ウェイト (内部ウェイト))



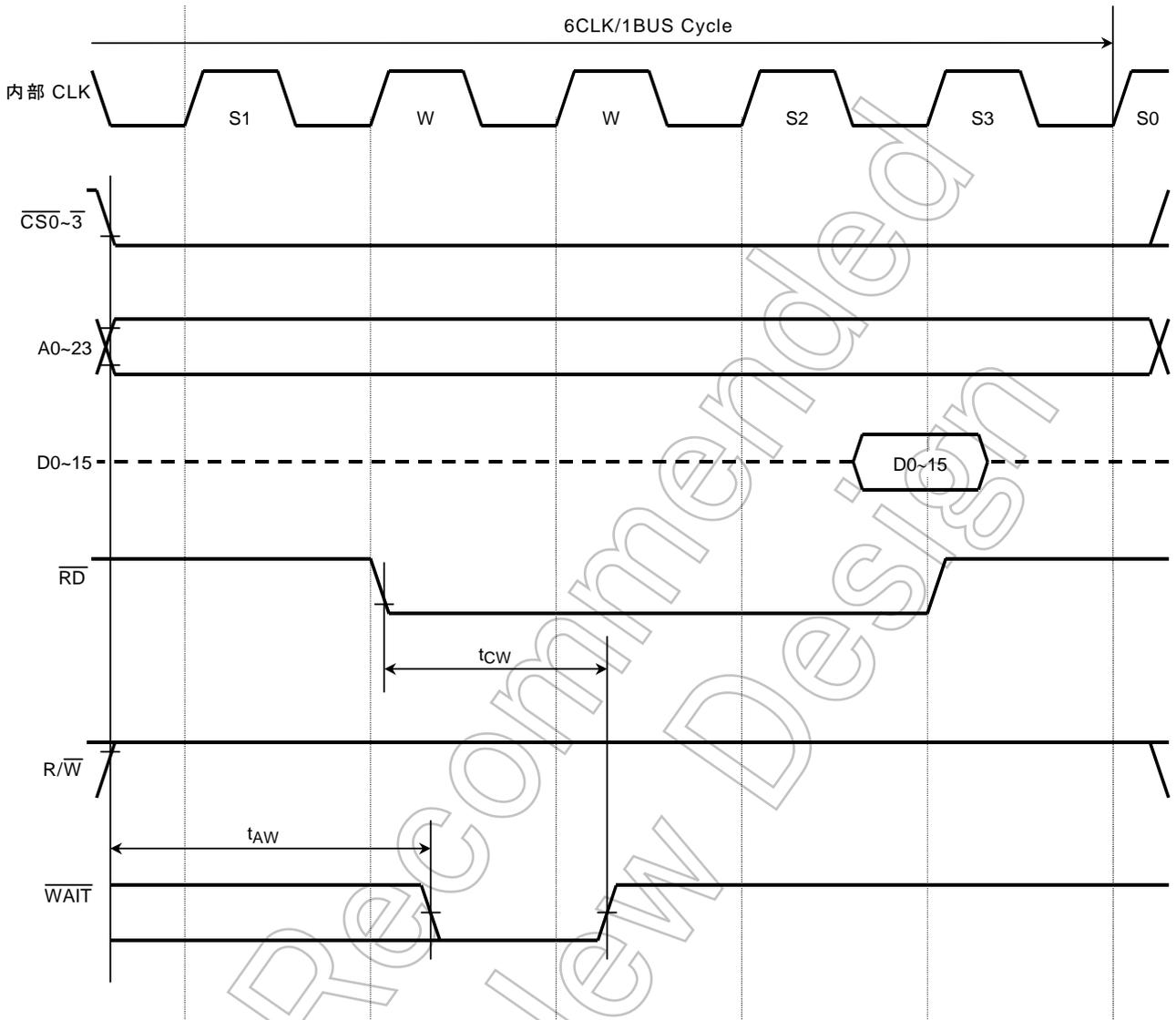
Not Recommended for New

(2) リードタイミング (BUSCR<ALESEL> = "01"、1 ウェイト (内部ウェイト))

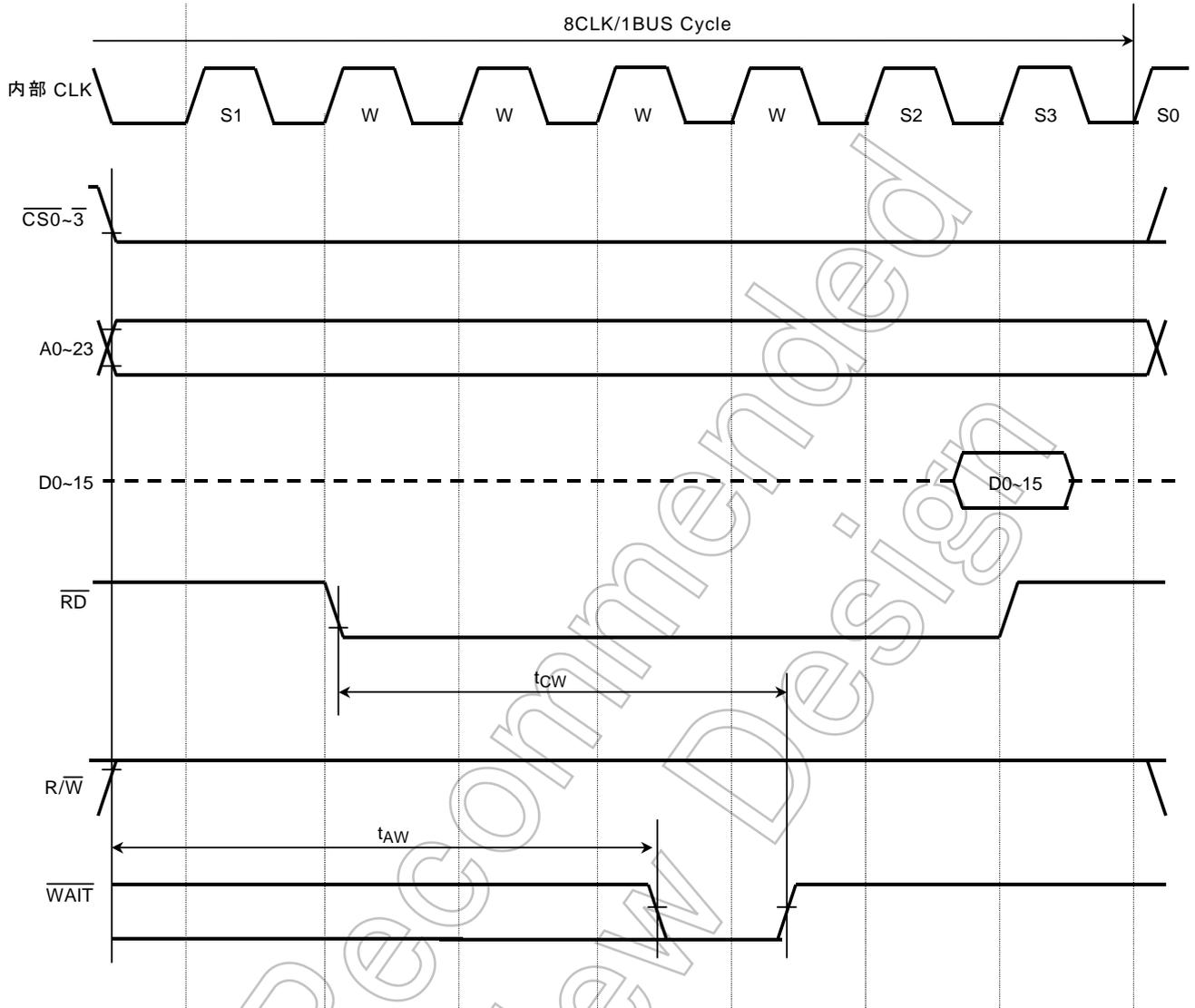


Not Recommended for New Design

(3) リードタイミング (BUSCR<ALESEL> = “01”、2 ウェイト (外部 1+N ウェイト、N = 1))

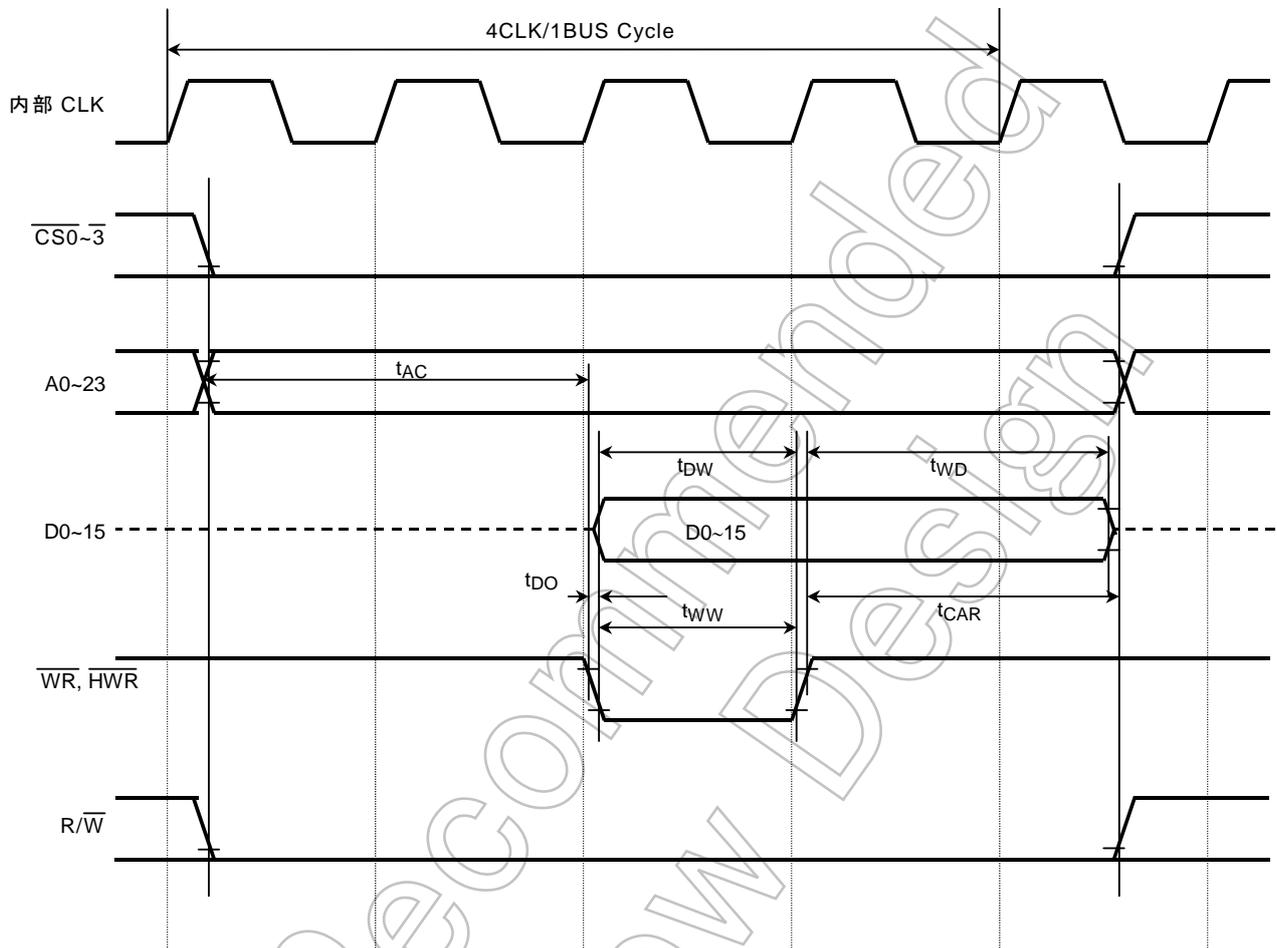


(4) リードタイミング (BUSCR<ALESEL> = “01”、4 ウェイト (外部 3+N ウェイト、N = 1))



Not Recommended for New Designs

(5) ライトタイミング (BUSCR<ALESEL> = “01”、0 ウェイト)



Not Recommended for New

[2] マルチプレクスバスモード

(1) DVCC15=CVCC15=1.35V~1.65V, DVCC3n=2.3V~3.3V

① ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t _{SYS}	X		18.5		ns
2	A0-15 有効→ALE 立ち下がり	t _{AL}	(ALE)x-12		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t _{LA}	x-8		10.5		ns
4	ALE High パルス幅	t _{LL}	(ALE)x-6		12.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t _{CL}	x-15		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-20		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t _{CAR}	x-14		4.5		ns
10	A0-15 有効→D0-15 入力	t _{ADL}		x(2+W+ALE)-42		50.5	ns
11	A16-23 有効→D0-15 入力	t _{ADH}		x(2+W+ALE)-42		50.5	ns
12	\overline{RD} 立ち下がり→D0-15 入力	t _{RD}		x(1+W)-28		27.5	ns
13	\overline{RD} Low パルス幅	t _{RR}	x(1+W)-10		45.5		ns
14	\overline{RD} 立ち上がり→D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→A0-15 出力	t _{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x(1+W)-10		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x(1+W)-18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t _{WD}	x-15		3.5		ns
19	A16-23 有効→ \overline{WAIT} 入力	t _{AWH}		x+(ALE)x+(W-1)x-30		25.5	ns
20	A0-15 有効→ \overline{WAIT} 入力	t _{AWL}		x+(ALE)x+(W-1)x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t _{CW}	x(TW-3)-1	x(TW-1)-30	17.5	25.5	ns

(注) 項目 1~21 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(2) DVCC15=CVCC15=1.35V~1.65V, DVCC3n=1.65V~1.95V

ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t _{sys}	x		18.5		ns
2	A0-15 有効→ALE 立ち下がり	t _{AL}	(ALE) x-12		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t _{LA}	x-16		2.5		ns
4	ALE High パルス幅	t _{LL}	(ALE) x-12		6.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-14		4.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t _{CL}	x-15		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-20		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t _{CAR}	x-14		4.5		ns
10	A0-15 有効→D0-15 入力	t _{ADL}		x (2+W+ALE) -42		50.5	ns
11	A16-23 有効→D0-15 入力	t _{ADH}		x (2+W+ALE) -42		50.5	ns
12	\overline{RD} 立ち下がり→D0-15 入力	t _{RD}		x (1+W) -28		27.5	ns
13	\overline{RD} Low パルス幅	t _{RR}	x (1+W) -10		45.5		ns
14	\overline{RD} 立ち上がり→D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→A0-15 出力	t _{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x (1+W) -10		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x (1+W) -18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t _{WD}	x-15		3.5		ns
19	A16-23 有効→ \overline{WAIT} 入力	t _{AWH}		x+ (ALE) x+ (W-1) x-30		25.5	ns
20	A0-15 有効→ \overline{WAIT} 入力	t _{AWL}		x+ (ALE) x+ (W-1) x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t _{CW}	x (TW-3) -5	x (TW-1) -40	13.5	15.5	ns

(注) 項目 1~21 は、内部ウェイト “2”、ALE 出力 “1” クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

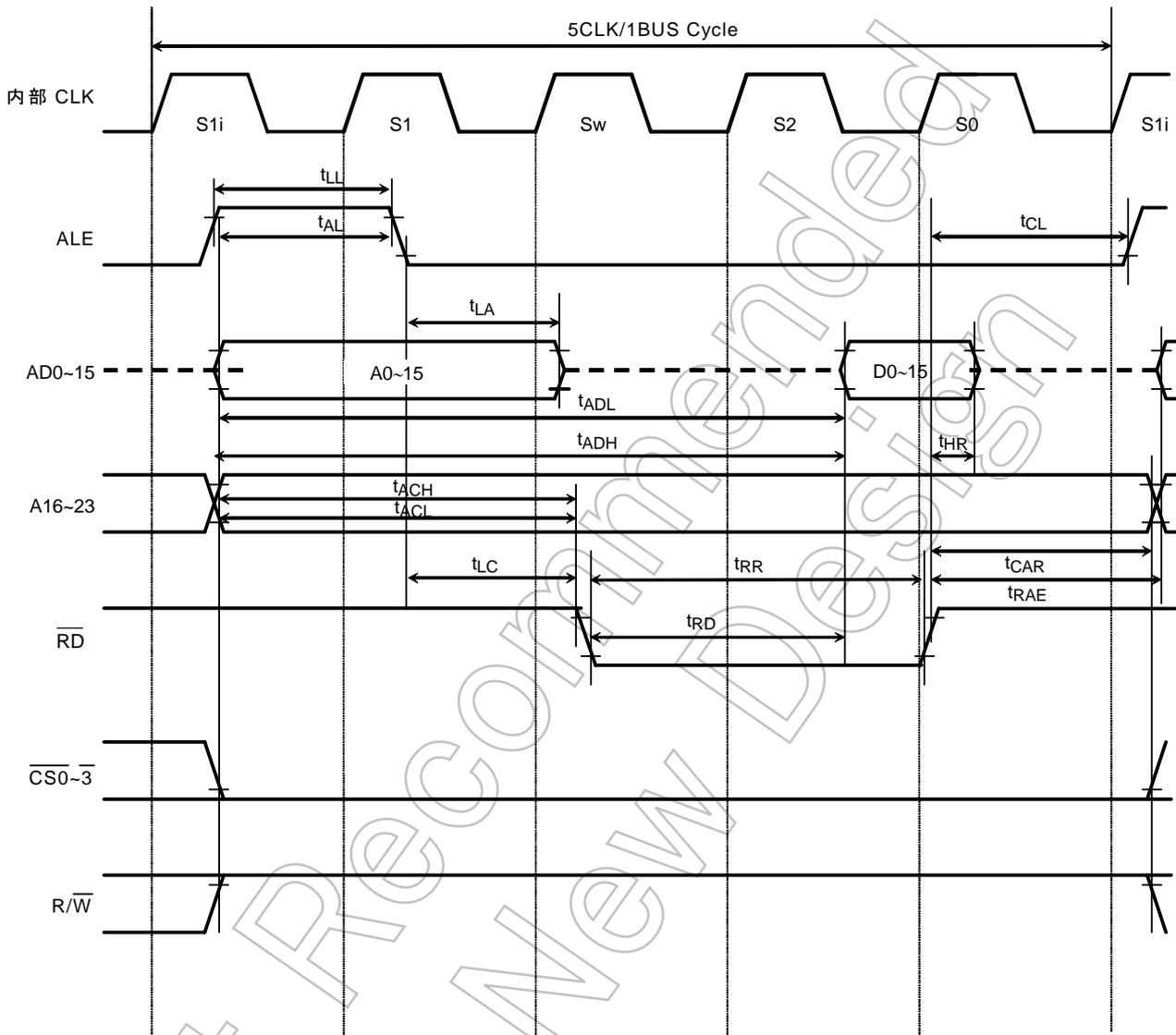
(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

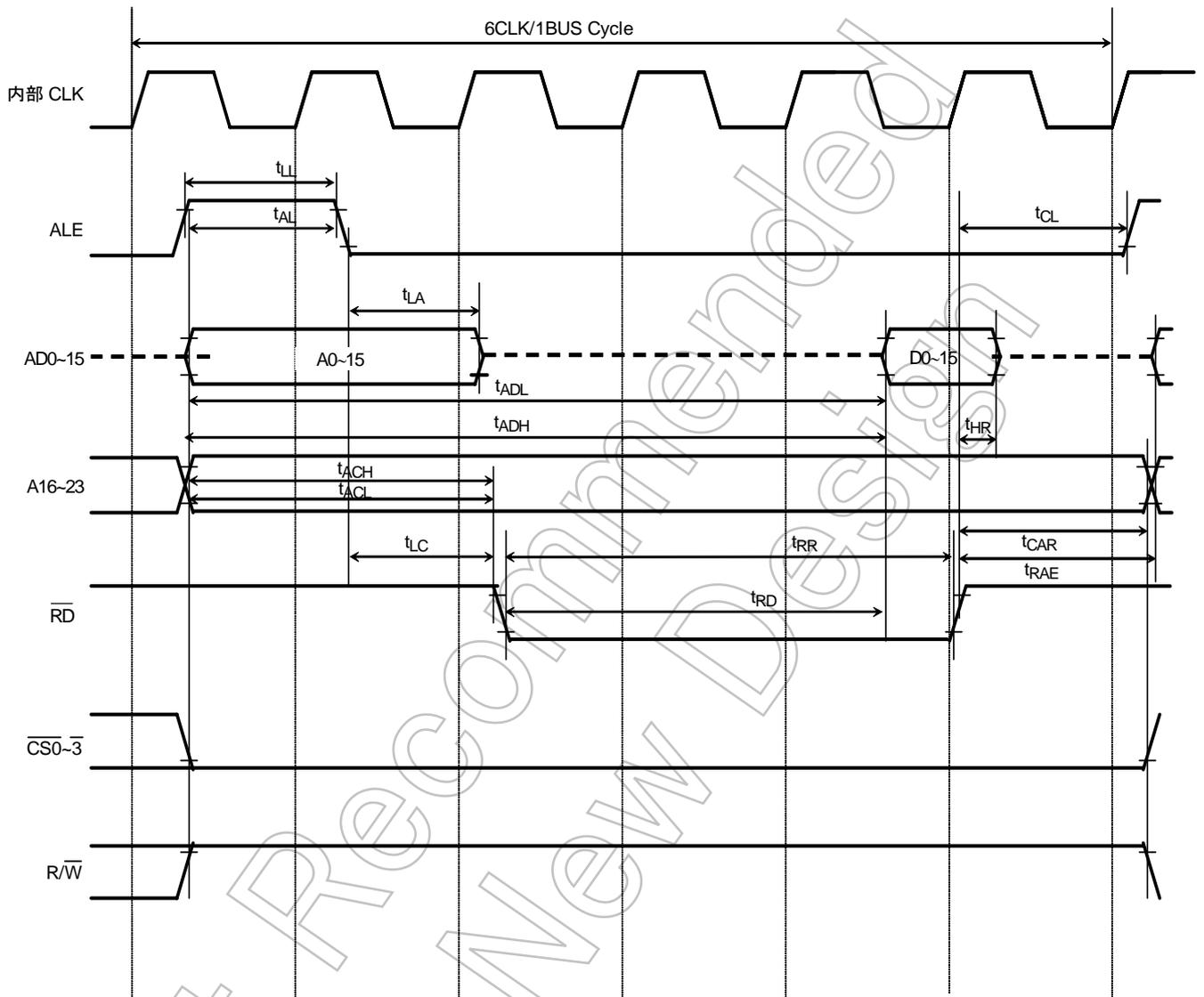
AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

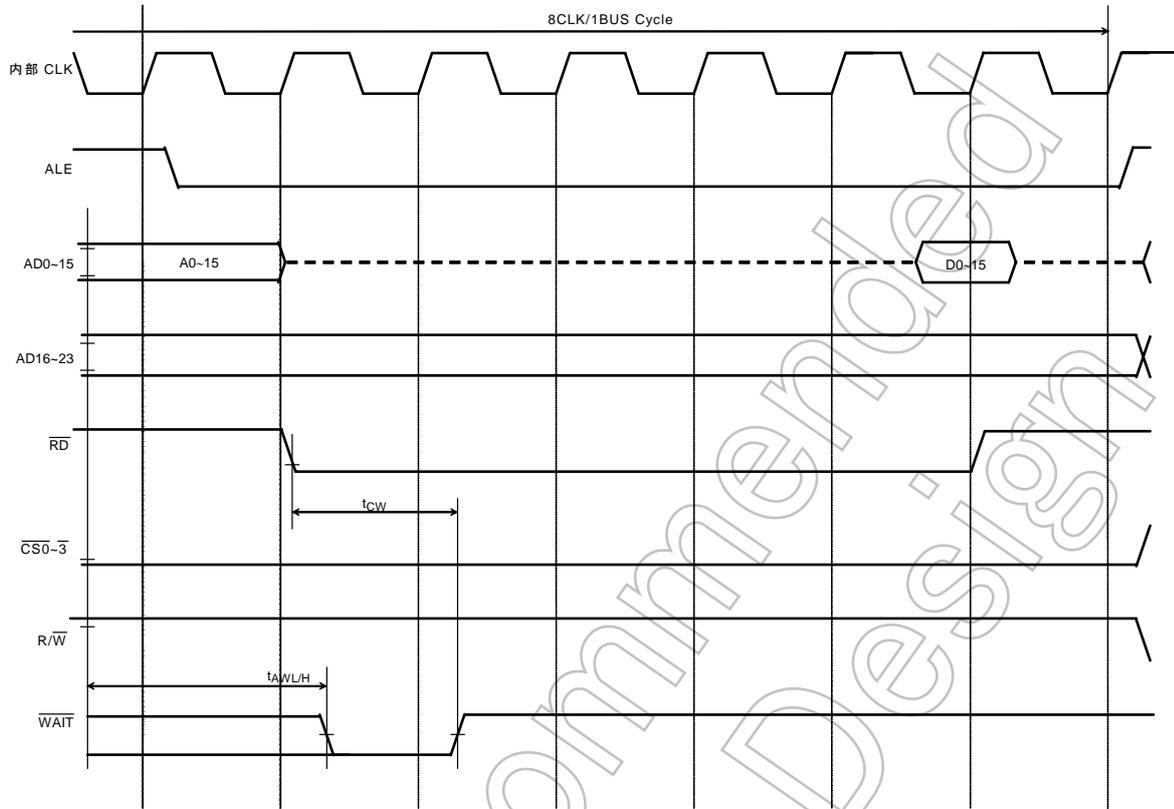
(1) リードタイミング (ALE = 1クロック、1ウェイト (内部ウェイト))



(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))

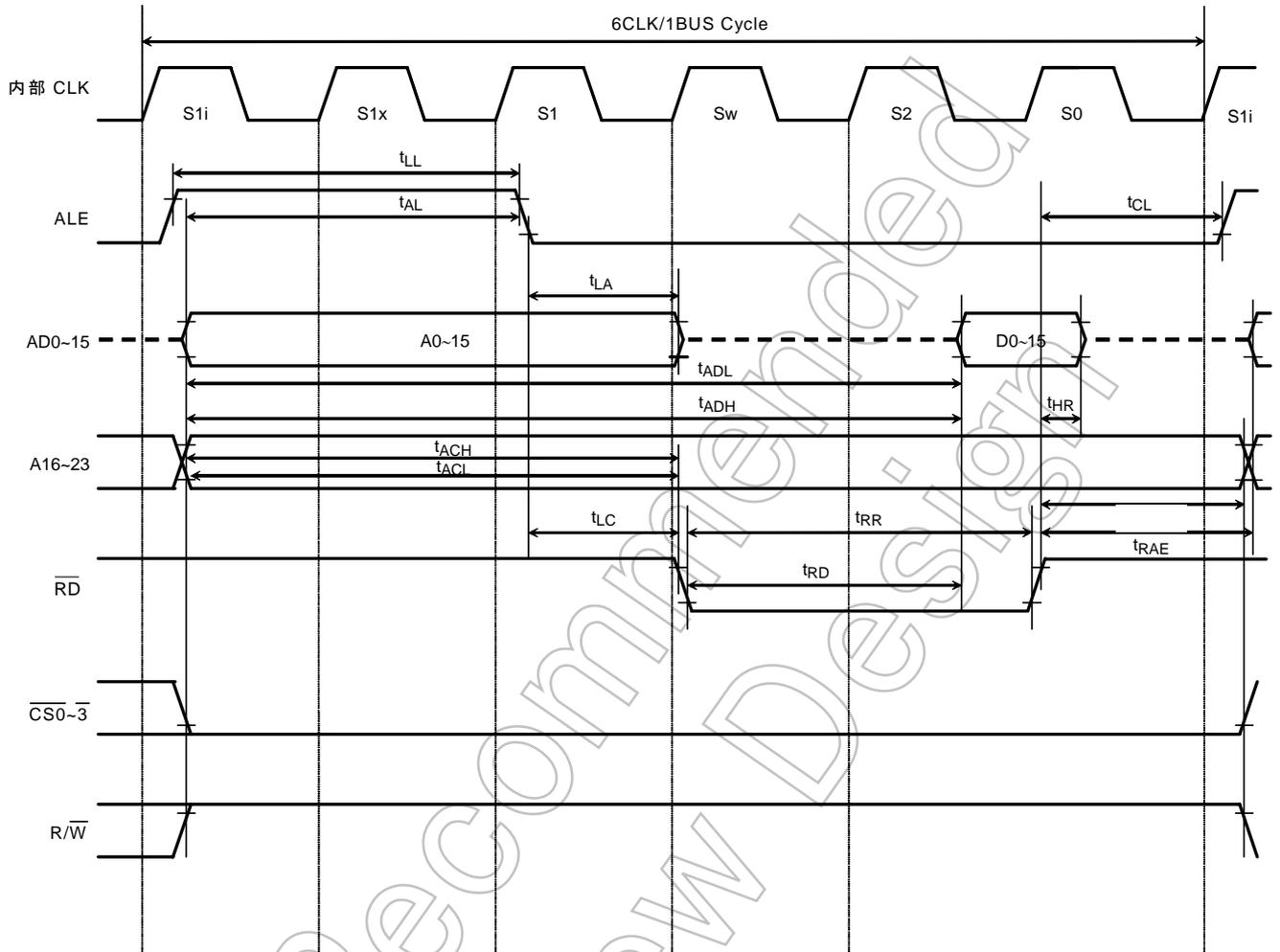


(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

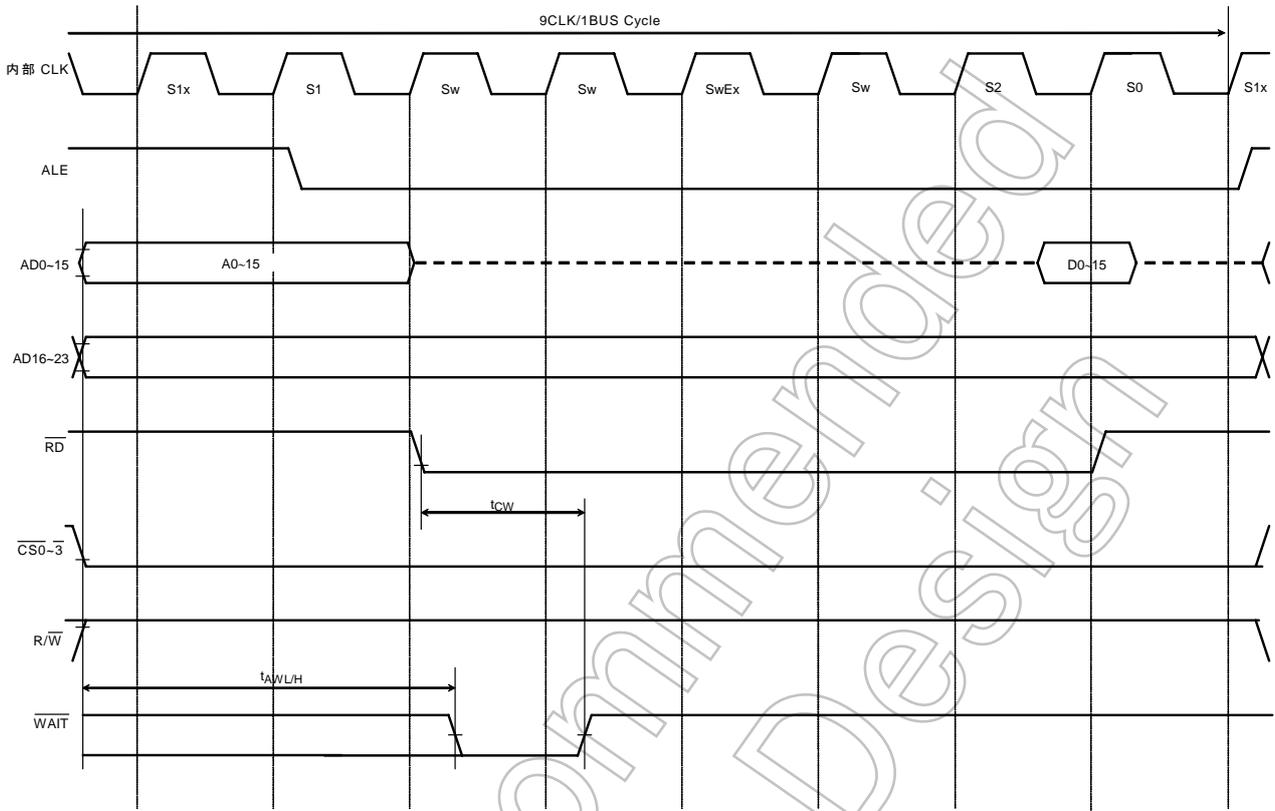


Not Recommended for New Design

(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))

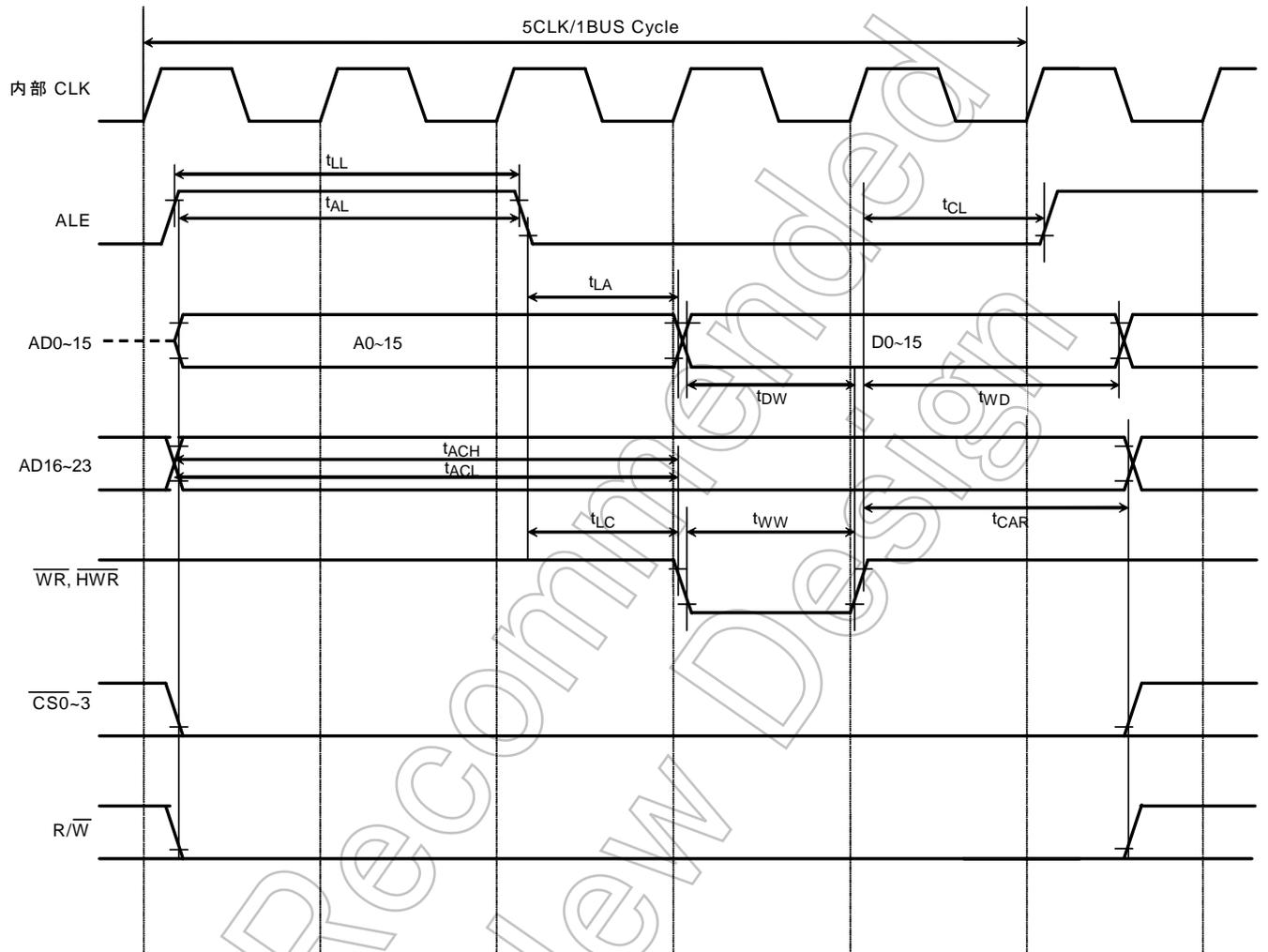


(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

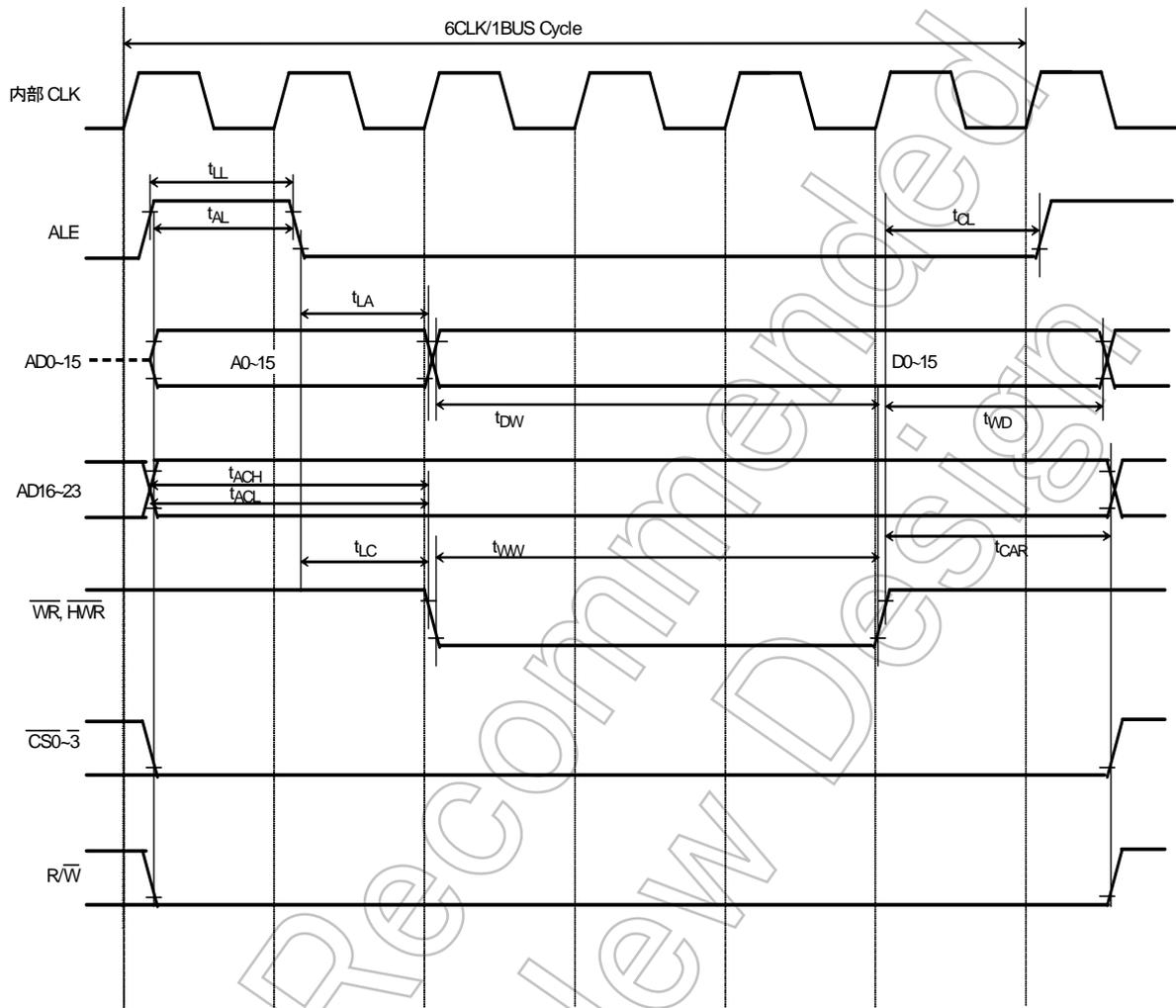


Not Recommended for New Design

(6) ライトタイミング (ALE = 2クロック、0ウェイト)

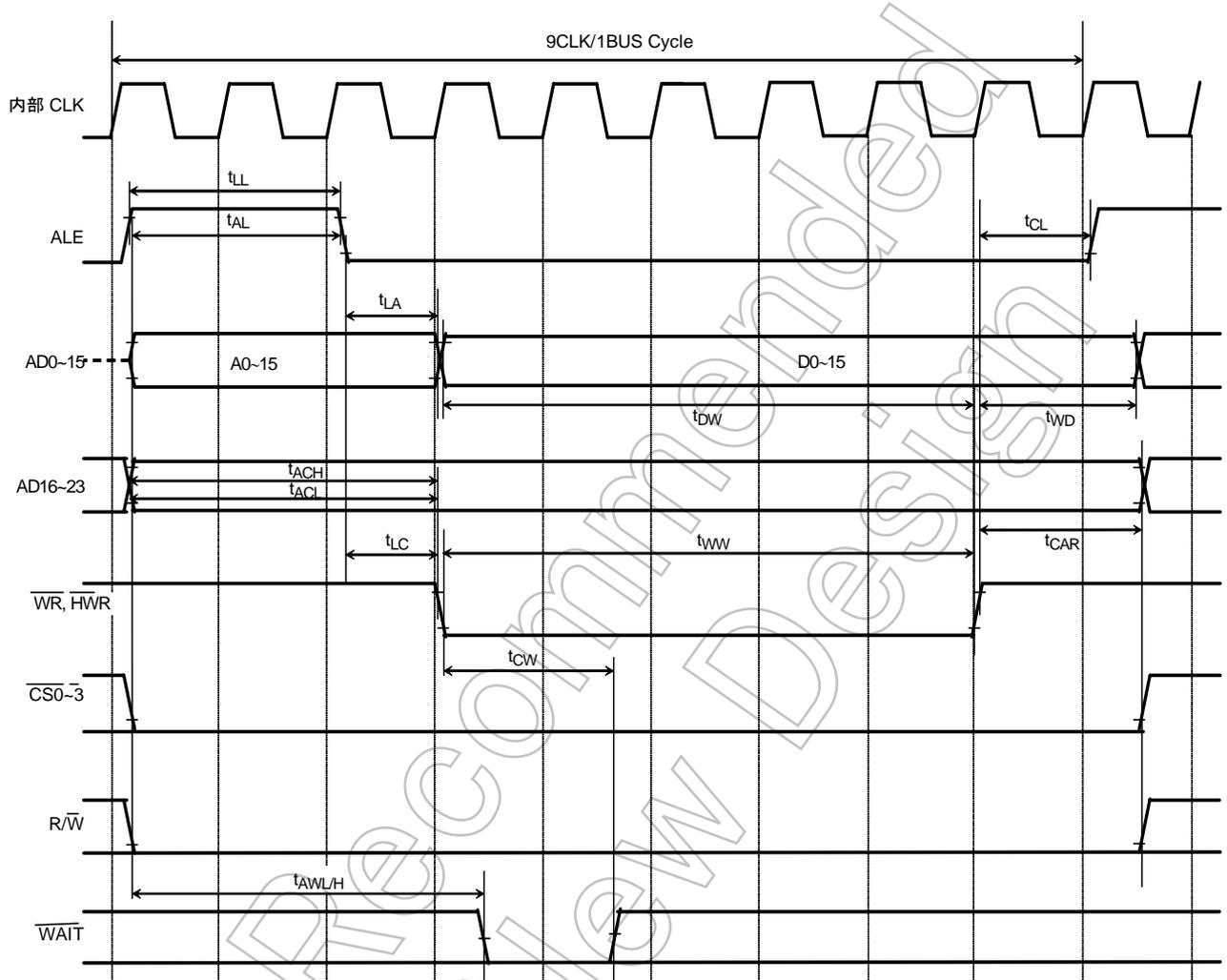


(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



Not Recommended for New Design

(8) ライトタイミング (ALE = 2クロック、4ウェイト(外部 2+2N ウェイト、N = 1))

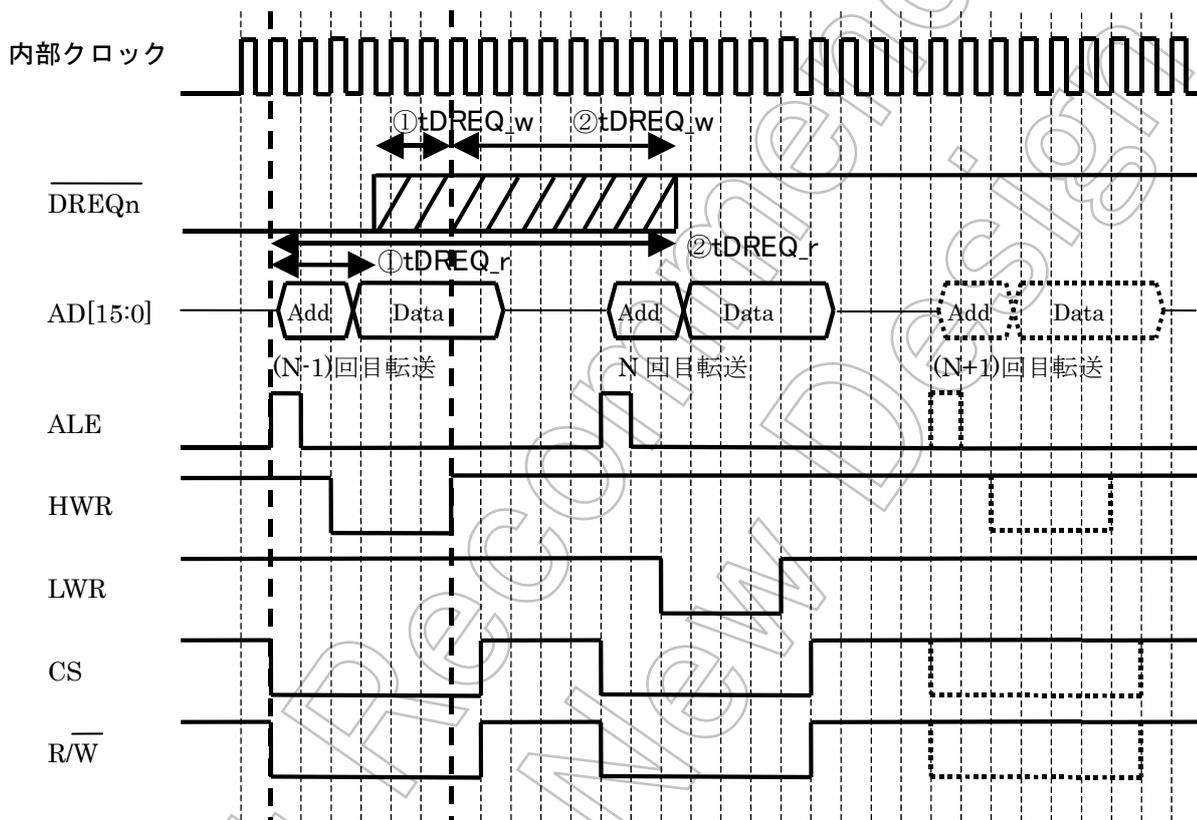


24.8 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- ・ 16 ビットバス幅、リカバリタイムなし
- ・ DMA 転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit 、デバイスポートサイズ (DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵 RAM/外部デバイス

内蔵 RAM to 外部デバイス (ライト時) (Mem to Mem 転送) のタイミングを図に示します。



- ① N 回目の転送が確実に行われるための条件
- ② N+1 回目の転送が行われないための条件

- (1) DVCC15=CVCC15=1.35V~1.65V, AVCC3m=2.7V~3.3V
 DVCC33=2.3V~3.3V, DVCC30/31/32=1.65V~3.3V, Ta= -20~85°C (m=1~2)
 DVCC34=2.7V~3.3V

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	\overline{RD} 立ち下がり $\rightarrow\overline{DREQn}$ のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	$(W+1) \times$	$(2W+ALE+8) \times$ -51	37	152.5	ns
3	$\overline{WR}/\overline{HWR}$ 立ち上がり $\rightarrow\overline{DREQn}$ のデアサート (内蔵 RAM to 外部デバイス)	tDREQ_w	$-(W+2) \times$	$(5+WAIT) \times$ 51.8	-55.5	59.2	ns

- (2) DVCC15=CVCC15=1.35V~1.65V, AVCC3m =2.7V~3.3V
 DVCC33=1.65V~1.95V, DVCC30/31/32=1.65V~3.3V, Ta= -20~85°C (m=1~2)
 DVCC34=2.7V~3.3V

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	\overline{RD} 立ち下がり $\rightarrow\overline{DREQn}$ のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	$(W+1) \times$	$(2W+ALE+8) \times$ -56	37	147.5	ns
3	$\overline{WR}/\overline{HWR}$ 立ち上がり $\rightarrow\overline{DREQn}$ のデアサート (内蔵 RAM to 外部デバイス)	tDREQ_w	$-(W+2) \times$	$(5+WAIT) \times$ 56.8	-55.5	54.2	ns

W : ウェイト数、例えば、外部 2+2N ウェイト (N=1) の場合は、W=4
 ALE : ALE=1 クロックの時は ALE=1、ALE=2 クロックの時は ALE=2 を代入
 表中の計算は、W= 1、ALE= 1 として計算

24.9 シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3n=1.65V~3.3V)

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

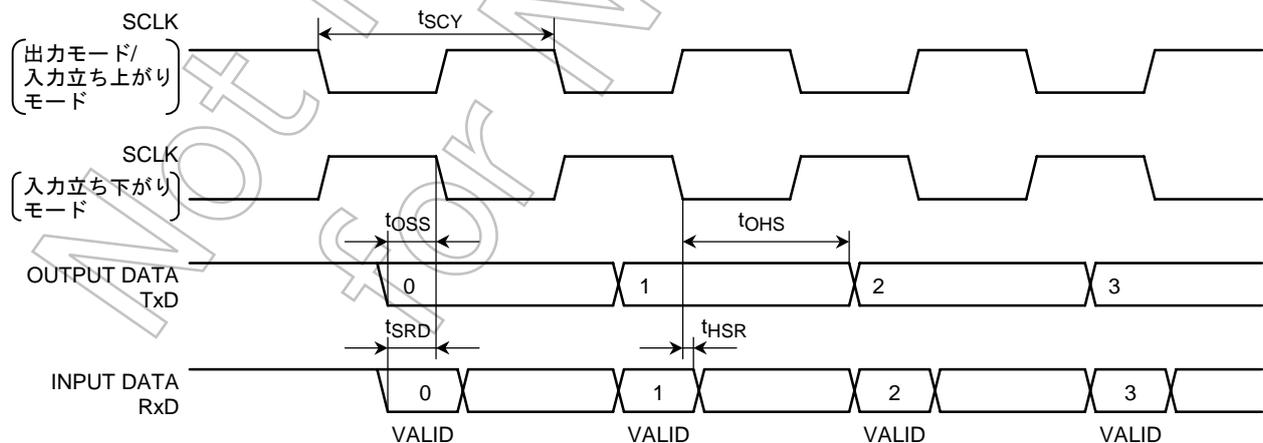
① SCLK 入力モード (S100~S108)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t_{SCY}	12x		222		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t_{OSS}	2x-35		2		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t_{OHS}	8x-15		133		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t_{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t_{HSR}	2x+29		66		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (S100~S108)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	8x		222		ns
Output Data ← SCLK 立ち上がり	t_{OSS}	4x-14		60		ns
SCLK 立ち上がり → Output Data 保持	t_{OHS}	4x-14		60		ns
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45		45		ns
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0		0		ns



24.10 高速シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3=2.7V~3.3V)

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

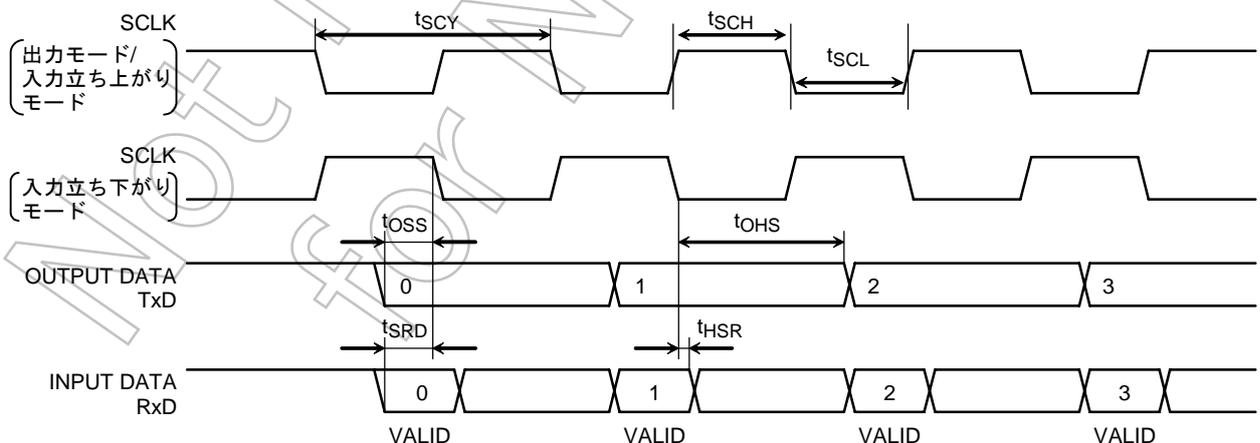
① HSCLK 入力モード (HSI00~HSI01)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	6x		111		ns
SCLK クロック High 幅(入力)	T _{sch}	3x		55.5		ns
SCLK クロック Low 幅(入力)	T _{scl}	3x		55.5		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t _{OSS}	$t_{SCY}/2 - 2x - 30$		-11.5		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t _{OHS}	$8(x/2) - 15$		59		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t _{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t _{HSR}	$2(x/2) + 30$		48.5		ns

*) HSCLK 立ち上がり/立ち下がり…HSCLK 立ち上がりモードの場合は HSCLK 立ち上がり、HSCLK 立ち下がりモードの場合は HSCLK 立ち下がりのタイミングです。

② HSCLK 出力モード (HSIO0~HSIO1)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期(プログラマブル)	t _{SCY}	$8(x/2)$		74		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	$4(x/2) - 10$		27		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	$4(x/2) - 10$		27		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45		45		ns
SCLK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		ns



24.11 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック f_{sys} の周期を、 T は ϕT_0 を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出カクロックの周波数選択値です。

項目	記号	計算式		標準モード $f_{sys}=8\text{MHz}$ $n=4$		ファーストモード $f_{sys}=32\text{MHz}$ $n=4$		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$			4.0		0.6		μs
SCL クロック Low 幅 (入力) (注1)	t_{LOW}			4.7		1.3		μs
SCL クロック High 幅 (入力) (注2)	t_{HIGH}			4.0		0.6		μs
再スタートコンディションセットアップ時間	$t_{SU:STA}$	ソフト (注5)		4.7		0.6		μs
データ保持時間 (入力) (注3, 4)	$t_{HD:DAT}$			0.0		0.0		μs
データセットアップ時間	$t_{SU:DAT}$			250		100		ns
ストップコンディションセットアップ時間	$t_{SU:STO}$			4.0		0.6		μs
ストップコンディションとスタートコンディション間のバスフリー時間	t_{BUF}	ソフト (注5)		4.7		1.3		μs

注1) SCL クロック LOW 幅 (出力) は $(2^{(n-1)} + 4) T$ で計算されて、標準モード: $6\mu\text{sec}@Typ$ ($f_{sys}=8\text{MHz}$, $n=4$)

ファーストモード: $1.5\mu\text{sec}@Typ$ ($f_{sys}=32\text{MHz}$, $n=4$)

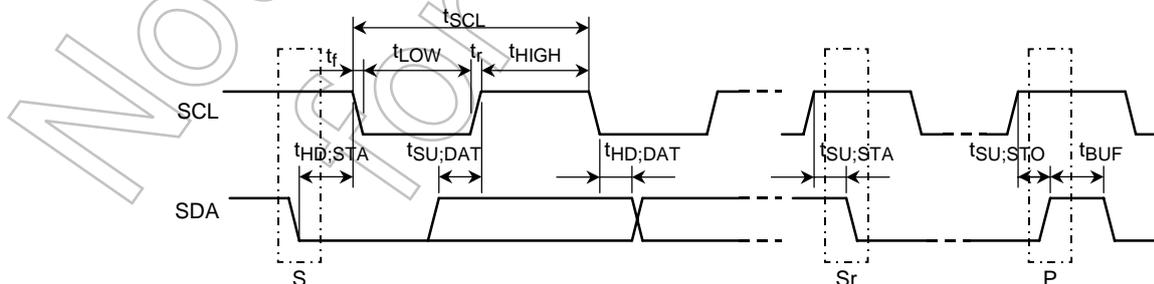
注2) SCL クロック HIGH 幅 (出力) は $(2^{(n-1)}) T$ で計算されて、標準モード: $4\mu\text{sec}@Typ$ ($f_{sys}=8\text{MHz}$, $n=4$)

ファーストモード: $1\mu\text{sec}@Typ$ ($f_{sys}=32\text{MHz}$, $n=4$)

注3) データ保持時間 (出力) は内部 SCL から 1.2X の時間です。

注4) フィリップス仕様では内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスローブコントロール機能をもっていません。従って、SCL/SDA の t_r/t_f を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

注5) ソフトウェアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

ファーストモードでは、 $f_{sys} \geq 20 \text{ MHz}$ 、スタンダードモードでは、 $f_{sys} \geq 4 \text{ MHz}$ で使用ください。

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック f_{sys} の周期を、 T は ϕT_0 を表します。

n は SBIOCR1 レジスタの SCK フィールドで指定した SCL 出カクロックの周波数選択値です。

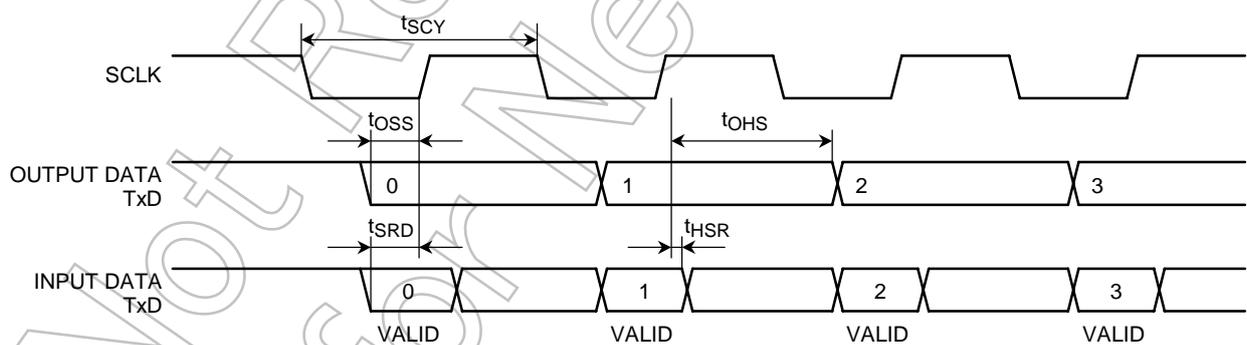
SCK デューティ 50%の場合

③ SCK 入力モード

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期	t_{SCY}	$16x$		296		ns
Output Data ← SCK 立ち上がり	t_{OSS}	$(t_{SCY}/2) - (6x + 20)$		17		ns
SCK 立ち上がり → Output Data 保持	t_{OHS}	$(t_{SCY}/2) + 4x$		222		ns
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	0		0		ns
SCK 立ち上がり → Input Data 保持	t_{HSR}	$4x + 10$		84		ns

④ SCK 出力モード

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期 (プログラマブル)	t_{SCY}	$16x$		296		ns
Output Data ← SCK 立ち上がり	t_{OSS}	$(t_{SCY}/2) - 20$		128		ns
SCK 立ち上がり → Output Data 保持	t_{OHS}	$(t_{SCY}/2) - 20$		128		ns
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	$2x + 30$		67		ns
SCK 立ち上がり → Input Data 保持	t_{HSR}	0		0		ns



24.12 イベントカウンタ

表中の x はシステムクロック fsys の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		137		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		137		ns

24.13 キャプチャ

表中の x はシステムクロック fsys の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		137		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		137		ns

24.14 割り込み (INTC)

表中の x はシステムクロック fsys の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
INT0~A 低レベルパルス幅	t_{INTAL}	$X + 100$		118.5		ns
INT0~A 高レベルパルス幅	t_{INTAH}	$X + 100$		118.5		ns

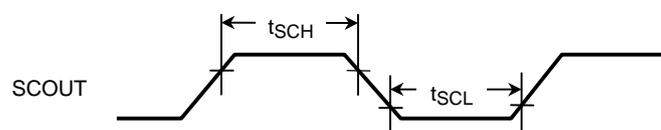
24.15 割り込み (\overline{NMI} , STOP 解除割り込み)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
\overline{NMI} , INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

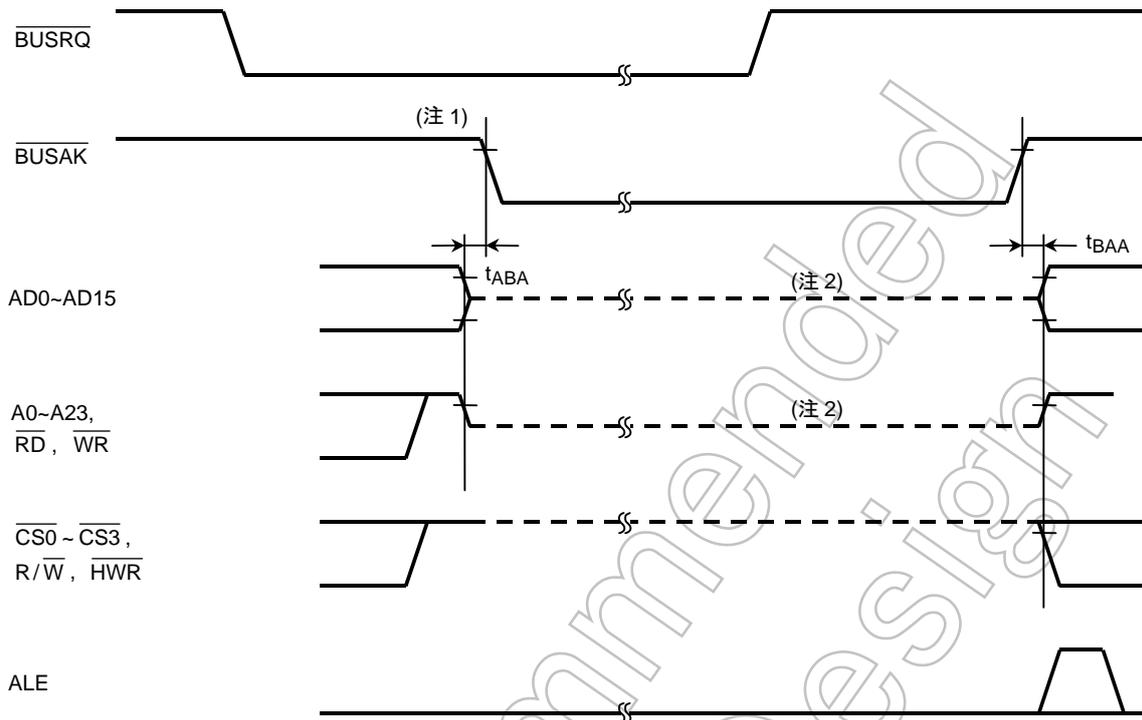
24.16 SCOUT 端子 AC 特性

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		4.3		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		4.3		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



24.17 バスリクエスト/ バスアクノリッジ



項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	ns

(注 1) $\overline{\text{BUSRQ}}$ を“Low”にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注 2) この破線は出力バッファが OFF になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

24.18 KWUP 入力

PULL UP 未使用時

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0~D 低レベルパルス幅	tky _{TBL}	X+100		118		ns
KEY0~D 高レベルパルス幅	tky _{TBH}	X+100		118		ns

PULL UP 使用時

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0~D 低レベルパルス幅	tky _{TBL}	100		100		ns

24.19 2相パルス入力

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	Tdcyc	8Y		296		ns
2相入力セットアップ	Tab _s	Y+20		57		ns
2相入力ホールド	Tab _h	Y+20		57		ns

Y : fsys/ 2

