TOSHIBA

32 ビット RISC マイクロコントローラ
TX03 シリーズ

TMPM367FDXBG

株式会社 東芝

セミコンダクター & ストレージ社

TOSHIBA

お客様各位

2021-9-1

東芝デバイス&ストレージ株式会社
東芝デバイスソリューション株式会社

〒212-8520 神奈川県川崎市幸区堀川町 580-1
Tel: 044-548-2200
Fax: 044-548-8965

非同期シリアル通信機能に関する誤記について

平素より東芝マイクロコントローラーをご使用頂き、誠にありがとうございます。
弊社マイコンに内蔵されております非同期シリアル通信機能(UART、または FUART)、50%デューティーモード付き非同期シリアル通信回路(UART)の送信割り込み発生タイミングで、データシート、リファレンスマニュアルの記載に誤記が発見されました。
大変ご迷惑をおかけ致しますが、本文章をご確認頂きますようお願い申し上げます。
本件のご不明な点につきましては、弊社営業担当までお問い合わせいただきますようお願い申し上げます。

－記－

1. 対象製品

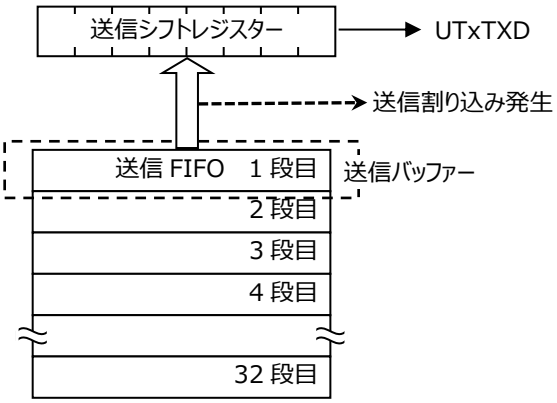
TMPM342FYXBG	TMPM440FEXBG	TMPA900CMXBG
TMPM343F10XBG	TMPM440F10XBG	TMPA901CMXBG
TMPM343FDXBG	TMPM461F10FG	TMPA910CRAXBG
TMPM366F20AFG	TMPM461F15FG	TMPA910CRBXBG
TMPM366FWFG	TMPM462F10FG	TMPA911CRXBG
TMPM366FYFG	TMPM462F15FG	TMPA912CMXBG
TMPM366FDFG	TMPM46BF10FG	TMPA913CHXBG
TMPM366FWXBG	TMPM4G6FDFG	
TMPM366FYXBG	TMPM4G6FEFG	
TMPM366FDXBG	TMPM4G6F10FG	
TMPM367FDFG	TMPM4G7FDFG	
TMPM367FDXBG	TMPM4G7FEFG	
TMPM368FDFG	TMPM4G7F10FG	
TMPM368FDXBG	TMPM4G8FDFG	
TMPM369FDFG	TMPM4G8FDXBG	
TMPM369FDXBG	TMPM4G8FEFG	
TMPM36BF10FG	TMPM4G8FEXBG	
TMPM36BFYFG	TMPM4G8F10FG	
TMPM381FWDFG	TMPM4G8F10XBG	
TMPM381FWFG	TMPM4G8F15FG	
TMPM383FSEFG	TMPM4G8F15XBG	
TMPM383FSUG	TMPM4G9FDFG	
TMPM383FWEFG	TMPM4G9FDXBG	
TMPM383FWUG	TMPM4G9FEFG	
TMPM3V4FSEFG	TMPM4G9FEXBG	
TMPM3V4FSUG	TMPM4G9F10FG	
TMPM3V4FWEFG	TMPM4G9F10XBG	
TMPM3V4FWUG	TMPM4G9F15FG	
TMPM3V6FWDFG	TMPM4G9F15XBG	
TMPM3V6FWFG		

2. 詳細

送信割り込みの発生タイミングは以下となります。
なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

2.1. 送信 FIFO 未使用時

送信バッファー(送信 FIFO 1 段目)から送信シフトレジスターにデータが転送されたときに(送信バッファーに空きができたとき)送信割り込みが発生します。

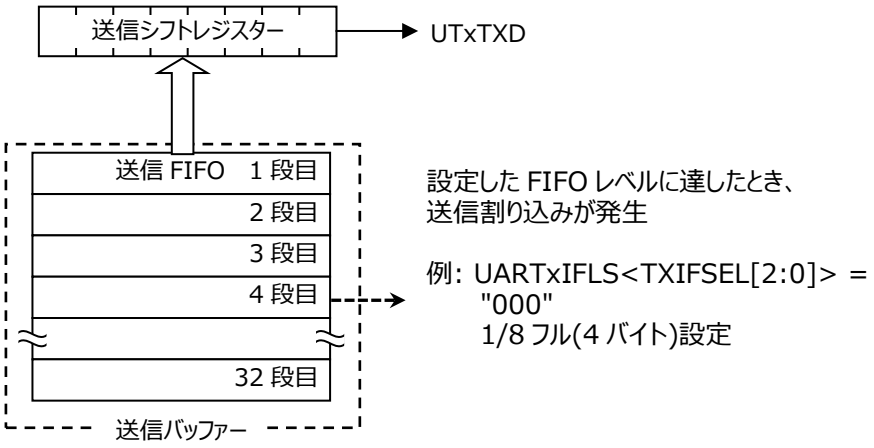


2.1.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファーへの書き込みタイミングを通知するため、送信バッファーが空になったタイミングで発生します。送信割り込みは送信バッファーに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。
また、送信を終了する場合は、最終送信データがシフトレジスターに転送され、送信バッファーが空になった際に最後の送信割り込みが発生します。送信バッファーに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。
なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファーにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファーにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファーにデータを書き込んでください。
連続してデータを送信する場合は、次項の送信 FIFO を利用したデータ転送を推奨致します。

2.2. 送信 FIFO 使用時

送信動作により送信 FIFO の格納段数が UARTxIFLS<TXIFSEL[2:0]>であらかじめ設定した FIFO レベルに達すると送信割り込みが発生します。



2.2.1. 送信割り込み発生タイミング

送信 FIFO 使用時は、設定した FIFO レベルに達したときに送信割り込み発生します。

例えば、UARTxIFLS<TXIFSEL[2:0]> = "000" (1/8 フル 4 バイト設定)の場合、送信 FIFO に格納されたデータが 4 段目に達したときに送信割り込みが発生します。

送信割り込みは設定した FIFO レベルを超えるデータが送信 FIFO に格納されるとクリアされ、設定した FIFO レベルに達すると再度発生します。

3. 誤記内容

製品により送信割り込み発生タイミングの記載内容が異なり、各製品に対する誤記掲載箇所の章番号を以下表に示します。なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

誤記に対する修正、追記内容は、以降の「4. 誤記修正・追記内容」で説明し、全ての対象製品で共通の記載内容となります。

3.1. 記載タイプ A

3.1.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM342FYXBG	16.4.7
TMPM366F20AFG(注)	15.4.7
TMPM366FWFG、TMPM366FYFG、TMPM366FDFG、TMPM366FWXBG、TMPM366FYXBG、TMPM366FDXBG	16.4.7
TMPM367FDFG、TMPM367FDXBG、TMPM368FDFG、TMPM368FDXBG、TMPM369FDFG、TMPM369FDXBG	13.4.7
TMPM36BFYFG、TMPM36BF10FG	13.4.7
TMPA900CMXBG、TMPA901CMXBG、TMPA910CRAXBG、TMPA910CRBXBG、TMPA911CRXBG、TMPA912CMXBG、TMPA913CHXBG	3.13.1.1 (7)

注）非同期シリアル通信機能(UART)章です。

タイプ A

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

3.2. 記載タイプ B(1)

3.2.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM461F10FG、TMPM461F15FG、TMPM462F10FG、TMPM462F15FG	14.4.6.2

タイプ B(1)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング	
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後	
ブレークエラー割り込み	STOP ビット受信後	
パリティエラー割り込み	パリティデータ受信後	
フレーミングエラー割り込み	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時：	送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時：	STOP ビット送信開始時(MSB データ転送後）に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時：	STOP ビット受信後
	FIFO 使用時：	設定した FIFO がフルとなるで一たの STOP ビット受信後

3.3. 記載タイプ B(2)

3.3.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM343FDXBG、TMPM343F10XBG、TMPM366F20AFG(注)	16.4.6.2
TMPM381FWFG、TMPM381FWDFG、 TMPM383FSUG、TMPM383FSEFG、TMPM383FWUG、TMPM383FWEFG、 TMPM3V4FSUG、TMPM3V4FSEFG、TMPM3V4FWUG、TMPM3V4FWEFG、 TMPM3V6FWFG、TMPM3V6FWDFG	11.4.6.2
TMPM440FEXBG、TMPM440F10XBG	26.4.6.2

注) 50%デューティーモード付き非同期シリアル通信回路(UART)章です。

タイプ B(2)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング	
オーバランエラー発生	FIFO がフルになった時の STOP ビット受信後	
ブレークエラー 割り込み	STOP ビット受信後	
パリティエラー 発生	パリティデータ受信後	
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時:	送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時:	STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時:	STOP ビット受信後
	FIFO 使用時:	設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.4. 記載タイプ B(3)

3.4.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM4G6FDFG、TMPM4G6FEFG、TMPM4G6F10FG、TMPM4G7FDFG、TMPM4G7FEFG、TMPM4G7F10FG、TMPM4G8FDFG、TMPM4G8FDXBG、TMPM4G8FEFG、TMPM4G8FEXBG、TMPM4G8F10FG、TMPM4G8F10XBG、TMPM4G8F15FG、TMPM4G8F15XBG、TMPM4G9FDFG、TMPM4G9FDXBG、TMPM4G9FEFG、TMPM4G9FEXBG、TMPM4G9F10FG、TMPM4G9F10XBG、TMPM4G9F15FG、TMPM4G9F15XB	リファレンスマニュアル(注) 高精度非同期シリアル通信回路(FUART-B) 3.8.2

注）本文章の UARTxIFLS を*[FURTxIFLS]*に、UARTxICR を*[FURTxICR]*に、UARTxFR を*[FURTxFR]*に読み替えてください。

タイプ B(3)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビ ット送信開始時、2 バイト目以降は、STOP ビット送信開始時(それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.5. 記載タイプ C

3.5.1. 対象製品と対象箇所の章番号

製品名	TD 記載箇所章番号
TMPM46BF10FG	19.4.6.2

タイプ C

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー割り込み	FIFO がフルになった時の STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA の MSB データを送信した後
受信割り込み	STOP ビット受信後

4. 誤記修正・追記内容

製品により送信割り込みの割り込み発生タイミングの記載が異なりますが、共通して正しい記載内容は以下となります。

4.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファーへの書き込みタイミングを通知するため、送信バッファーが空になったタイミングで発生します。送信割り込みは送信バッファーに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

また、送信を終了する場合は、最終送信データがシフトレジスターに転送され、送信バッファーが空になった際に最後の送信割り込みが発生します。送信バッファーに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファーにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファーにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファーにデータを書き込んでください。

以上

©TOSHIBA CORPORATION 2012-2026
All Rights Reserved

****
ARM, ARM Powered, AMBA, ADK, ARM9TDMI, TDMI, PrimeCell, RealView, Thumb, Cortex, Coresight, ARM9, ARM926EJ-S, Embedded Trace Macrocell, ETM, AHB, APB, and KEIL はARM LimitedのEUおよびその他の国における登録商標または商標です。
****

重要なお知らせ

本製品を使用するにあたり、本章の内容を必ずご確認ください。

1　シリアルバスインタフェース

I2C バスモードをマルチマスタで使用する場合に制約があります。

1.1　発生する現象

I2C バスモード マルチマスタ使用時に複数のマスタが同時に通信を開始すると以下のような現象が発生する可能性があります。

1. 通信がロックする
2. SCL のパルス幅が短くなり I2C の通信規格を満たせない

1.2　現象の発生条件

本現象は I2C バスモードをマルチマスタで使用時にのみ発生します。シングルマスタで使用している場合は発生しません。

1.3　制約（回避策）

本現象の回避策はありませんので、ソフトウエアによるリカバリ処理を行ってください。

1.4　現象発生時の復帰方法

ソフトウエアによるリカバリ処理を行ってください。

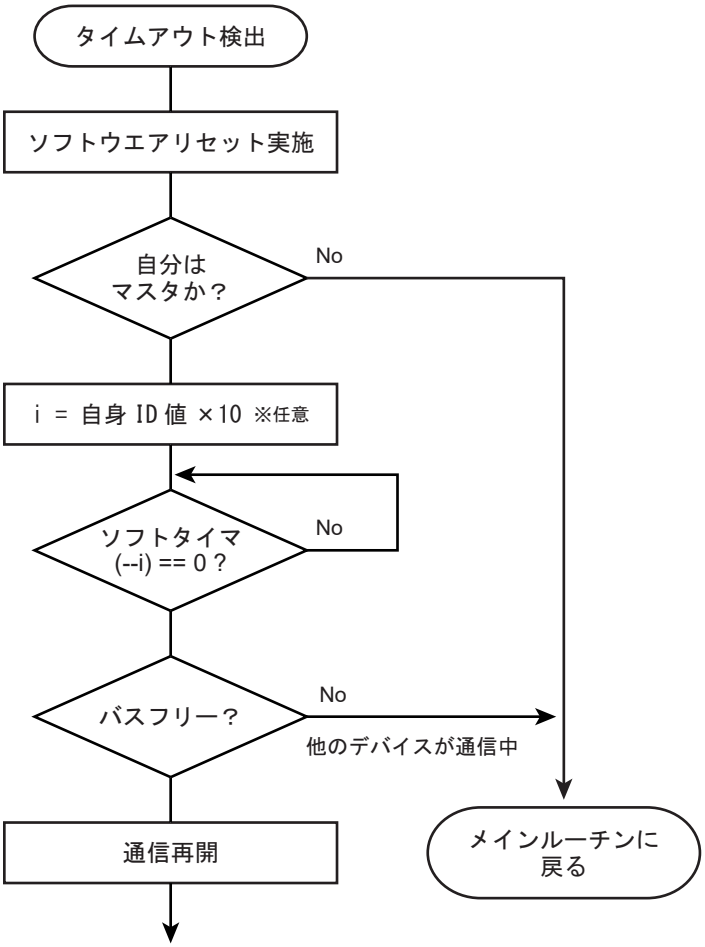
タイマを利用して、通信ロック検出用のタイムアウト処理を追加してください。

<u>処理例</u>

1. 送信開始と共にタイマカウントを開始します。
2. 一定時間内にシリアルバスインタフェース割り込み（INTSBIx）が発生しない場合は、タイムアウトと判断します。
3. タイムアウトと判断した場合、通信がロックしている可能性がありますので、シリアルバスインタフェースのソフトウエアリセットを実行してください。該当回路は初期化され通信ロックが解除されます。
4. 送信データを再送してください。

通常は 1 ～ 4 のリカバリ処理で良いですが、複数の対象製品をマスタとして使用していた場合は、再送時に再度バスが衝突することを避けるため、4 の送信データの再送を行う前にデバイスごとにディレイを設けタイミングをずらす処理も追加してください。

タイムアウト後のリカバリ処理例



2 低消費電力モードへの遷移とマスク不能割り込み

以下の低消費電力モードへの遷移時にマスク不能割り込み (NMI) が発生した際の注意点を記載します。

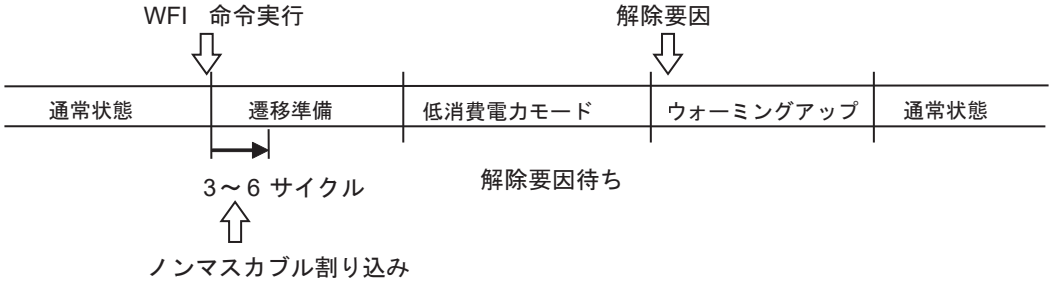
- STOP1
- STOP2

2.1 発生する現象

上記低消費電力モードへ遷移するための WFI 命令実行時にマスク不能割り込み (NMI) が発生した場合、低消費電力モードの解除処理には入らず、そのまま低消費電力モードへ遷移する場合があります。

注 1) CPU への NMI 通知やフラグセットは正常なため、低消費電力モード解除後の NMI 処理は可能です。

注 2) 低消費電力モードへ遷移した場合、NMI 以外の解除要因は受け付けますが、NMI は受け付けない場合があります。



2.2 現象の発生条件

- WFI 命令により該当する低消費電力モードへ遷移
- WFI 命令実行後、3 サイクル～ 6 サイクル内でマスク不能割り込みが発生

2.3 対処方法

該当する低消費電力モードの解除要因としてマスク不能割り込みを使用しないようにしてください。

マスク不能割り込みが発生しないよう、該当する低消費電力モード遷移前に下記の処置を行ってください。

- NMI 端子：入力を "High" に固定
- ウォッチドッグタイマ：動作停止、またはリセット出力設定
- 電圧検出回路：動作停止、またはリセット出力設定

3 DMA 機能使用時の制約事項

DMA 機能を使用する際、制約があります。

3.1 発生する現象

同期式シリアルインタフェース (SSP)、または非同期シリアル通信回路 (UART) の送受信において、

- 送信時：通信データが欠落 (FIFO バッファをオーバーフロー) する場合があります。
- 受信時：不要データを転送 (FIFO バッファをアンダーフロー) する場合があります。

3.2 現象の発生条件

以下表に示された、DMA 接続可能な周辺回路の内、SSP(下表 ch4 ～ 9) または UART(下表 ch10 ～ 13) を使用し、シングル転送が許可されている (DMAxChnlUseburstSet の接続チャネルの設定を "0" にしている) 場合に問題が発生する可能性があります。

ch	周辺回路	TMPM367FDFG TMPM367FDXBG TMPM368FDFG TMPM368FDXBG TMPM369FDFG TMPM369FDXBG	TMPM36BFYFG TMPM36BF10FG	ch	周辺回路	TMPM367FDFG TMPM367FDXBG TMPM368FDFG TMPM368FDXBG TMPM369FDFG TMPM369FDXBG	TMPM36BFYFG TMPM36BF10FG
0	ADC 変換終了	–	o	16	SIO/UART1 受信	o	o
	ADCA 変換終了	o	–	17	SIO/UART1 送信	o	o
1	ADC B 変換終了	o	–	18	SIO/UART2 受信	o	o
2	DAC0 変換トリガ	o	–	19	SIO/UART2 送信	o	o
3	DAC1 変換トリガ	o	–	20	SIO/UART3 受信	o	o
4	SSP0 受信	o	o	21	SIO/UART3 送信	o	o
5	SSP0 送信	o	o	22	I2C/SIO0 送受信	o	o
6	SSP1 受信	o	o	23	I2C/SIO1 送受信	o	o
7	SSP1 送信	o	o	24	I2C/SIO2 送受信	o	o
8	SSP2 受信	o	o	25	TMRB0 コンペアー致	o	o
9	SSP2 送信	o	o	26	TMRB1 コンペアー致	o	o
10	UART4 受信	o	o	27	TMRB2 コンペアー致	o	o
11	UART4 送信	o	o	28	TMRB3 コンペアー致	o	o
12	UART5 受信	o	o	29	TMRB4 コンペアー致	o	o
13	UART5 送信	o	o	30	DMA リクエスト端子	o	o
14	SIO/UART0 受信	o	o	31	ソフトトリガ	o	–
15	SIO/UART0 送信	o	o				

o：接続可能な周辺回路　–：未サポート

3.3 詳細現象

- 送信

以下のような状況において、DMA 要求が FIFO の空きデータ数よりも一回多く要求され、FIFO がオーバーフローすることがあります。

- DMA が SSP または UART の送信 FIFO へデータを転送中に、FIFO のデータ数がウォータマークレベルを下回った場合。

- 受信

以下のような状況において、DMA 要求が FIFO に格納されたデータ数よりも一回多く発生し、FIFO がアンダーフローすることがあります。

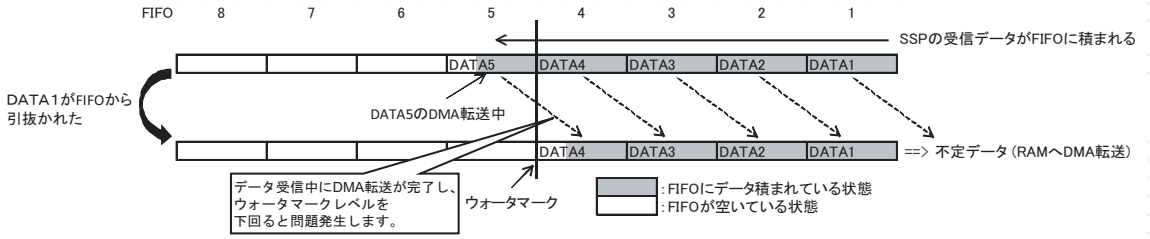
- DMA が SSP または UART の受信 FIFO からデータを転送中に、SSP または UART の受信完了により FIFO のデータ数がウォーターマークレベルを上回った場合。

注） ウォーターマークレベル：

SSP の場合　4 固定

UART の場合　UARTxIFLS<RXIFSEL[2:0]> または <TXIFSEL[2:0]> の FULL レベル

FIFO の状態とウォータマークレベルの関係例 (SSP 送信時の例)



3.4 回避方法

DMAxChnlUseburstSet の該当チャネルの設定を "1"(シングル転送禁止) にして使用して下さい。

ただし、いくつか条件と制約が発生します。送信時と受信時で条件が異なりますのでご留意ください。

3.4.1 送信

シングル転送を禁止することによりアービトレーションの設定に制約事項が発生します。転送回数に応じて最適な方法を下記２つから選択して下さい。

a. 転送回数がウォータマークレベルの倍数の場合

アービトレーションの設定を、ウォータマークレベルにあわせて使用してください。アービトレーションで設定した回数転送毎に、DMA コントローラ unit に接続されている周辺回路と優先順位の調停が入りますので、高速な転送が可能です。

制御データのアービトレーション <R _ power> を FIFO のウォータマークレベルに合わせてください。

b. 転送回数がウォータマークレベルの倍数以外の場合

アービトレーションを " 1 回転送後 " として使用してください。全ての場合に使用できる方法です。1 回転送毎に、DMA コントローラ unit に接続されている周辺回路と優先順位の調停が入りますので、a) の場合と比べて転送速度が遅くなります。

制御データのアービトレーション <R _ power> を "0000 " としてください。

3.4.2 受信

制御データの転送回数 <n _ minus _ 1> の設定値に応じて、シングル転送の設定（禁止 / 許可）を切り替えてご使用下さい。

a. 転送回数がウォータマークレベルの倍数の場合

転送回数が、ウォータマークレベルの倍数の場合に設定できる方法です。例えばウォータマークレベルが n のとき、転送回数は "n ×整数 " が設定できます。

DMAxChnlUseburstSet の該当チャネルの設定を "1"(シングル転送禁止) にして下さい。

制御データのアービトレーション <R _ power> を FIFO のウォータマークレベルに合わせてください。

b. 転送回数がウォータマークレベル未満の場合

転送回数が、ウォータマークレベル未満の場合に設定できる方法です。

DMAxChnlUseburstSet の該当チャネルのフラグを "0"(シングル転送許可) にして下さい。

制御データのアービトレーション <R _ power> は "0000 "(1 回転送後) として使用してください。

c. 転送回数が上記以外の場合

転送回数がウォータマークレベルより大きく、かつ、ウォータマークレベルの倍数で無い場合に設定する方法です。

転送モードは「周辺スキャッターギャザーモード」を使用し、２つのタスクを組み合わせて DMA 転送を行います。

例えば、 転送回数 ＝(n × ウォータマーク) ＋m の場合は

タスク A は a) と同じ設定にします。

シングル転送を禁止し、<R _ power> 設定を FIFO のウォータマークレベルとあわせ、転送回数には、" ウォータマークレベル × n" の回数を設定します。

タスク B は b) と同じ設定にします。

シングル転送を許可し、<R _ power> 設定を "0000" とし、転送回数には、"m" を設定します。

<u>設定例</u>

DMA 転送する周辺回路		SSO(受信)	
DMA 転送したい回数		15 回	
ウォーターマークレベル		4 (SSP 通信の場合は 4 固定)	
DMA レジスタ設定方法		DMAxChnlUseburstSet<ch4>=1 ：シングル転送禁止	
チャネル制御データ (代替データ) 設定方法	タスク A a) の設定と同様	<n _ minus _ 1>=0x 00B <R _ power>=0011 <next _ useburst>=0 <cycle _ ctrl>=111	転送回数 4 × 3 = 12 回 アービトレーション 4 回転送後 タスク B はシングル転送を許可 周辺スキャッターギャザーモード
	タスク B b) の設定と同様	<n _ minus _ 1>=0x002 <R _ power>=0000 <cycle _ ctrl>=001	転送回数 15 - 12 = 3 回 アービトレーション 1 回転送後 基本モードで終了

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address　+　(固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注)　SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注)　本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	–	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2 ~ 0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9 ~ 7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2012/11/01	1	First Release
2013/10/11	2	Contents Revised
2022/05/25	3	Contents Revised
2022/09/30	4	Contents Revised
2023/07/21	5	Contents Revised
2026/01/09	6	Contents Revised

CMOS 32 ビット マイクロコントローラ

TMPM367FDXBG

TMPM367FDXBG は、ARM 社 Cortex™-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	RAM	パッケージ
TMPM367FDXBG	512 Kbyte	128 Kbyte	TFBGA109

機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M3 コアを使用
   a. Thumb®-2 命令で、コード効率の向上を実現
      ・プログラムフロー改善のための新しい 16 ビット命令
      ・性能とコードサイズ向上のための新しい 32 ビット命令
      ・32 ビット/16 ビット混在の命令セットでコード効率を向上
   b. 高性能化と低消費電力化を同時に実現
      【高性能化】
      ・32 ビット乗算(32 × 32 = 32 ビット)を 1 クロックで実行
      ・除算を 2~12 クロックで実行
      【低消費電力化】
      ・低消費電力ライブラリを使用した最適化設計
      ・プロセッサコアの動作を停止させるスタンバイ機能
   c. リアルタイム制御に向いた高速割り込み応答
      ・実行時間の長い命令は割り込みで中断可能
      ・スタックへの PUSH をハードウエアで自動的に実行

2. 東芝 NANO FLASH™テクノロジーによる高速書き込み&低消費電力
   ・量産時および開発時に効果を発揮する高速書き込み
   ・低消費電力設計

3. 内蔵プログラムメモリ/データメモリ
   ・ 内蔵 FlashROM : 512K bytes
   ・ 内蔵 RAM : 128K bytes

4. µDMA コントローラ(µDMAC) : 32 チャネル / 2 ユニット
   転送対象:内蔵メモリ、内蔵 I/O および外部メモリ

5. 16 ビットタイマ(TMRB) : 8 チャネル

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力（4 相同期出力可能）
- インプットキャプチャ機能

6. リアルタイムクロック(RTC)：1 チャネル
   - 時計機能(時間, 分, 秒)
   - カレンダー機能(月日, 週, うるう年)
   - 動作モード(NORMAL/IDLE/STOP1/STOP2)に関わらず使用可能

7. ウォッチドッグタイマ(WDT)：1 チャネル
   リセットまたはマスク不能割り込み(NMI)発生

8. 汎用シリアルインタフェース(SIO/UART)：4 チャネル
   UART/クロック同期式モード選択可能(4byte FIFO 内蔵）

9. シリアルバスインタフェース(I2C/SIO)：3 チャネル
   I2C バスモード/クロック同期式モード選択可能

10. 同期式シリアルインタフェース(SSP)：3 チャネル
    SPI/SSI/Microwire の各種フォーマットに対応
    通信速度
    チャネル 0/1 : マスタモード時 10MHz (max.)、スレーブモード 3.3MHz (max.) @80MHz
    チャネル 2 : マスタモード時 20MHz (max.)、スレーブモード 6.6MHz (max.) @80MHz

11. UART：2 チャネル
    8 線式 UART / IrDA 1.0 モード選択可能

12. 12 ビット AD コンバータ(ADC)：8 チャネル/ 2 ユニット
    - 内部タイマトリガスタートが可能
    - チャネル固定/スキャンモード
    - シングル/リピートモード
    - AD 監視機能 2ch
    - 変換時間 1.0 μs (fsys = 80 MHz 時、ノーマルモード時)
    - インターリーブモードによる高速変換（変換時間　最小 0.5μs）

13. 10 ビット DA コンバータ(DAC)：2 チャネル
    - VREFH カット機能（Power down mode)
    - 出力電流：1mA
    - セトリングタイム：1μs
    - 信号発生機能

14. USB2.0 フルスピードデバイス：1 チャネル
    - Universal Serial Bus Specification Rev2.0 に準拠
    - エンドポイント：8 チャネル

- Control/Bulk/Interrupt/Isochronus モード
- フルスピード 12Mbps（ロースピードは非サポート）

15. リモコン判定機能(RMC)：1 チャネル
- 72 bit まで一括受信
- ノイズキャンセラ機能
- リーダコード検出機能

16. 多目的タイマ（MPT）：4 チャネル
- モータ制御(PMD：1 チャネル)
- IGBT 制御
- 16bit タイマ

17. エンコーダ入力機能 (ENC)：1 チャネル

インクリメンタル形エンコーダ対応

18. LVD/POR 機能：1 ユニット

19. 周波数検知回路（OFD)：1 ユニット

20. 外部バスインタフェース (EBIF)：1 ユニット
- マルチプレクスバス対応：8 ビット／16 ビット幅
- チップセレクト／ウェイトコントローラ：4 チャネル

21. 割り込み機能
- 内部 95 本　7 レベルの優先順位設定可能（ウォッチドッグタイマ割り込みを除く）
- 外部 14 本　7 レベルの優先順位設定可能

22. マスク不能割り込み

ウォッチドックタイマ、LVD、$\overline{\text{NMI}}$ 端子により発生

23. 入出力ポート

入出力 59 端子(5V トレラント入力端子 1 本を含む)、出力 1 端子

24. 低消費電力機能

低消費電力モード：IDLE,STOP1,STOP2

IDLE：CPU 停止

STOP1/STOP2：RTC,リモコン判定回路を除く全回路停止

（STOP2 モード時、一部回路は電源遮断）

25. クロックジェネレータ
- PLL 内蔵(3,4,5,6,8,10 逓倍切り替え可能）
- クロックギア機能：高速クロックを 1/1,1/2,1/4,1/8,1/16 に分周可能

26. エンディアン

リトルエンディアン

27. デバックインタフェース

JTAG/SWD/SWV/TRACE(DATA 4bit)

28. JTAG インタフェース

バウンダリスキャンに対応

29. 最大動作周波数

80MHz（外部発振子 8MHz/10MHz/16MHz 時、または内蔵発振 10MHz 時）

30. 電圧範囲

2.7V ~ 3.6V（USB 機能非使用時）

3.0V ~ 3.45V (USB 機能使用時)

31. 温度範囲

- −40°C ~ 85°C (Flash W/E 時以外)
- 0°C ~ 70°C (Flash W/E 時)

32. パッケージ

TFBGA109 (9mm x 9mm, 0.65mm ピッチ)

1.2 ブロック図

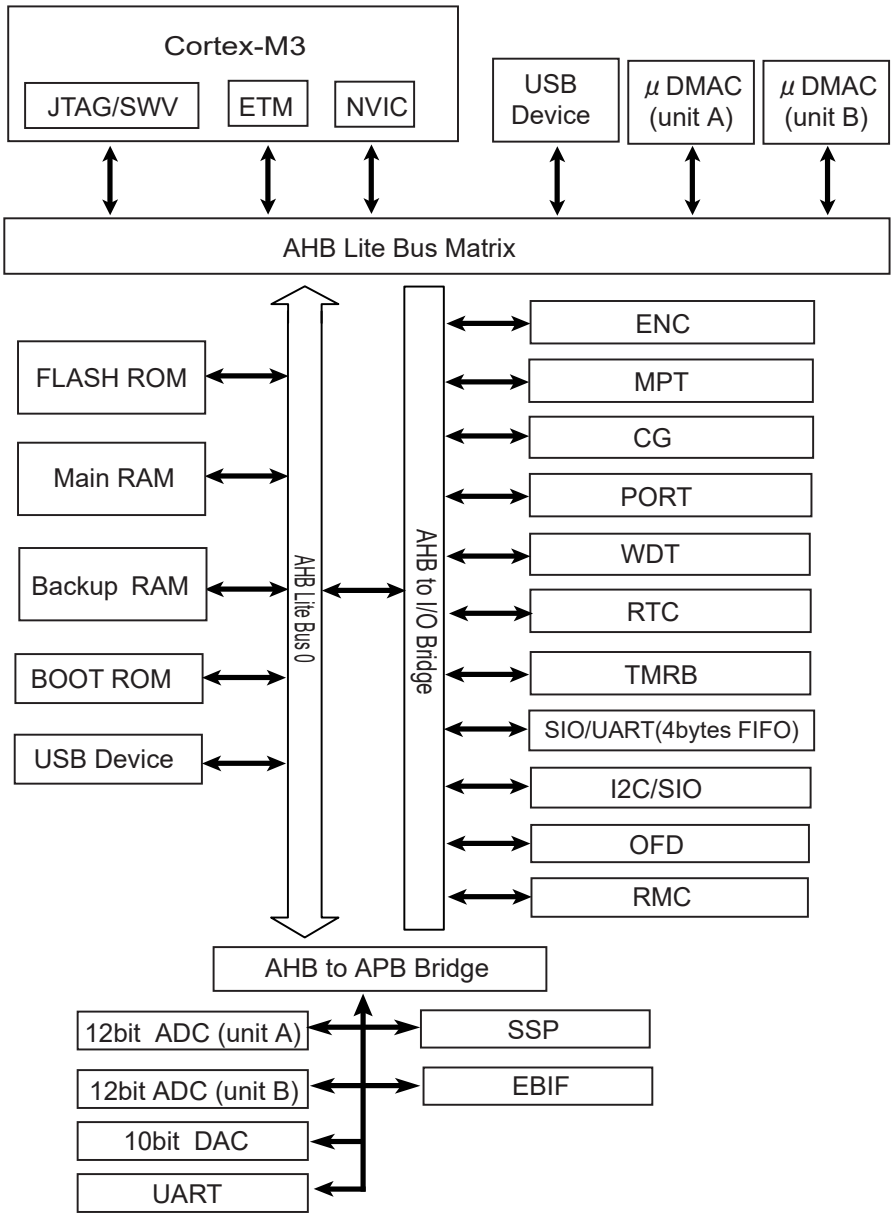


図 1-1 TMPM367FDXBG ブロック図

1.3　ピン配置図(Top view)

TMPM367FDXBG のピン配置図は、図 1-2 のとおりです。

	1	2	3	4	5	6	7	8	9	10	11	12
A	PI7	PI6	PI4	AVSSB	DVSSA	PA1	PA5	PA6	DVDD3A	PL1	PL0	PK0
B	VREFLB	VREFHB	PI5	AVDD3B	PA0	PA2	PA4	PA7	PL3	PL2	PK1	DVSSA
C	PI0	AVDD3A	AVSSA	MODE	$\overline{\text{RESET}}$	$\overline{\text{NMI}}$	PA3	PB0	PB1	PK2	DVSSB	DVSSB
D	PI1	PI2	PI3	BSC						PK3	DVSSB	UTEST2
E	VREFLA	VREFHA	AVDD3_DA							PK4	DVSSB	UTEST1
F	DA0	DA1	FTEST3							DVSSB	DVSSB	DVDD3B
G	AVSS_DA	DVSSA	DVDD3A							PH0	DVSSB	USB-DDP
H	PE0	PE1	PE2							PH1	DVSSB	USB-DDM
J	PE5	PE4	PE3							PH2	DVSSB	DVSSB
K	PE6	PE7	PF3	PF6	PG2	PG3	PB2	PB3	PB6	PH3	DVSSA	X1
L	PF0	PF2	PF5	PF7	PG1	PG4	PG7	PB4	PB5	RVDD3	DVDD3A	X2
M	PF1	PF4	DVSSA	DVDD3A	PG0	PG5	PG6	DVSSA	DVDD3A	DVSSA	XT2	XT1

図 1-2 ピン配置図

1.4 ピン名称と機能

TMPM367FDXBG の入出力ピン名称と機能は、下記の通りです。

1.4.1 ポート番号順

表 1-1 ピン名称と機能 (1/8)

分類	ピン番号	記号	入出力	機能
機能/ デバッグ	B5	PA0 TDO/SWV DTR5	入出力 出力 出力	入力ポート デバック用端子 モデム制御(DTR)
機能/ デバッグ	A6	PA1 TMS/SWDIO DSR5	入出力 入出力 入力	入出力ポート デバック用端子 モデムステータス(DSR)
機能/ デバッグ	B6	PA2 TCK/SWCLK RIN5	入出力 入力 入力	入出力ポート デバック用端子 モデムステータス(RIN)
機能/ デバッグ	C7	PA3 TDI DCD5 INT3	入出力 入力 入力 入力	入出力ポート デバック用端子 モデムステータス(DCD) 外部割込み端子
機能/ デバッグ	B7	PA4 $\overline{\text{TRST}}$ $\overline{\text{RTS5}}$	入出力 入力 出力	入出力ポート デバック用端子 モデム制御($\overline{\text{RTS}}$)
機能/ デバッグ	A7	PA5 TRACECLK RXD5 IRIN5	入出力 出力 入力 入力	入出力ポート デバッグ用端子 UART 受信端子 IrDA1.0 受信端子
機能/ デバッグ	A8	PA6 TRACEDATA0 TXD5 IROUT5	入出力 出力 出力 出力	入出力ポート デバッグ用端子 UART 送信端子 IrDA1.0 送信端子
機能/ デバッグ	B8	PA7 TRACEDATA1 $\overline{\text{CTS5}}$ SCLK3 $\overline{\text{CTS3}}$ TB7OUT	入出力 出力 入力 入出力 入力 出力	入出力ポート デバッグ用端子 ハンドシェーク機能 SIO クロック端子 ハンドシェーク機能 タイマ B 出力端子
機能/ デバッグ	C8	PB0 TRACEDATA2 TXD3	入出力 出力 出力	入出力ポート デバッグ用端子 SIO 送信端子
機能/ デバッグ	C9	PB1 TRACEDATA3 RXD3	入出力 出力 入力	入出力ポート デバッグ用端子 SIO 受信端子

表 1-1 ピン名称と機能 (2/8)

分類	ピン番号	記号	入出力	機能
機能	K7	PB2 $\overline{WR}$ SP2CLK MTOUT03 MTTB3OUT	入出力 出力 入出力 出力 出力	入出力ポート ライトストローブ端子 SSP クロック端子 多目的タイマ(IGBT モード)出力端子 多目的タイマ(タイマモード）出力端子
機能	K8	PB3 $\overline{RD}$ SP2DO MTOUT13 MTTB3IN	入出力 出力 出力 出力 入力	入出力ポート リードストローブ端子 SSP データ出力端子 多目的タイマ(IGBT モード)出力端子 多目的タイマ(タイマモード）入力端子
機能	L8	PB4 $\overline{CS0}$ SP2DI $\overline{GEMG3}$ INT7	入出力 出力 入力 入力 入力	入出力ポート チップセレクト端子 SSP データ入力端子 多目的タイマ(IGBT モード)異常検出入力 外部割込み端子
機能	L9	PB5 ALE SP2FSS MT3IN INT1	入出力 出力 入出力 入力 入力	入出力ポート アドレスラッチイネーブル端子 SSP フレーム/スレーブ選択端子 多目的タイマ(IGBT モード）入力端子 外部割込み端子
機能/制御	K9	PB6 $\overline{BELL}$ SCOUT TB3OUT $\overline{BOOT}$	出力 出力 出力 出力 入力	出力ポート バイトイネーブル端子 内部クロック出力端子 タイマ B 出力端子 ブートモード端子 (シングルブートモードで使用します。詳細については、「Flash 動作説明」を参照してください。)
機能	H1	PE0 A16 INT4 TB0IN	入出力 出力 入力 入力	入出力ポート(シングルブートモードで使用します。詳細については、「Flash 動作説明」を参照してください。) アドレスバス 外部割込み端子 タイマ B インプットキャプチャ端子
機能	H2	PE1 RXD0 A17 INT5 TB1IN	入出力 入力 出力 入力 入力	入出力ポート(シングルブートモードで使用します。詳細については、「Flash 動作説明」を参照してください。) SIO 受信端子 アドレスバス 外部割込み端子 タイマ B インプットキャプチャ端子
機能	H3	PE2 TXD0 A18 TB1OUT	入出力 出力 出力 出力	入出力ポート(シングルブートモードで使用します。詳細については、「Flash 動作説明」を参照してください。) SIO 送信端子 アドレスバス タイマ B 出力端子

表 1-1 ピン名称と機能 (3/8)

分類	ピン番号	記号	入出力	機能
機能	J3	PE3 SCLK0 A19 $\overline{\text{CTS0}}$ TB0OUT	入出力 入出力 出力 入力 出力	入出力ポート(シングルブートモードで使用します。詳細については、「Flash 動作説明」を参照してください。) SIO クロック端子 アドレスバス ハンドシェーク用端子 タイマ B 出力端子
機能	J2	PE4 SCLK1 A20 $\overline{\text{CTS1}}$ TB2OUT	入出力 入出力 出力 入力 出力	入出力ポート SIO クロック端子 アドレスバス ハンドシェイク用端子 タイマ B 出力端子
機能	J1	PE5 TXD1 A21	入出力 出力 出力	入出力ポート(シングルブートモードで使用します。詳細については、「Flash 動作説明」を参照してください。) SIO 送信端子 アドレスバス
機能	K1	PE6 RXD1 A22	入出力 入力 出力	入出力ポート SIO 受信端子 アドレスバス
機能	K2	PE7 A23 INT6 TB2IN	入出力 出力 入力 入力	入出力ポート アドレスバス 外部割込み端子 タイマ B インプットキャプチャ端子
機能	L1	PF0 AD0 $\overline{\text{CTS4}}$	入出力 入出力 入力	入出力ポート アドレス・データバス端子 ハンドシェーク用端子
機能	M1	PF1 AD1 TXD4 IROUT4	入出力 入出力 出力 出力	入出力ポート アドレス・データバス端子 UART 送信端子 IrDA1.0 送信端子
機能	L2	PF2 AD2 RXD4 IRIN4	入出力 入出力 入力 入力	入出力ポート アドレス・データバス端子 UART 受信端子 IrDA1.0 受信端子
機能	K3	PF3 AD3 $\overline{\text{RTS4}}$	入出力 入出力 出力	入出力ポート アドレス・データバス端子 UART モデム制御($\overline{\text{RTS}}$)
機能	M2	PF4 AD4 INT0 DCD4	入出力 入出力 入力 入力	入出力ポート アドレス・データバス端子 外部割込み端子 モデムステータス（DCD)
機能	L3	PF5 AD5 ENCZ RIN4 SCK1	入出力 入出力 入力 入力 入出力	入出力ポート アドレス・データバス端子 Z 相入力端子 モデムステータス(RIN) SIO モードクロック端子

表 1-1 ピン名称と機能 (4/8)

分類	ピン番号	記号	入出力	機能
機能	K4	PF6 AD6 ENCB DSR4 SI1/SCL1	入出力 入出力 入力 入力 入出力	入出力ポート アドレス・データバス端子 B 相入力端子 モデムステータス(DSR) SIO モード受信端子、I2C モードクロック
機能	L4	PF7 AD7 ENCA DTR4 SO1/SDA1	入出力 入出力 入力 出力 入出力	入出力ポート アドレス・データバス端子 A 相入力端子 モデム制御(DTR) SIO モード送信端子、I2C モード送受信
機能	M5	PG0 AD8 MT0IN	入出力 入出力 入力	入出力ポート アドレス・データバス 多目的タイマ(IGBT モード）入力端子
機能	L5	PG1 AD9 $\overline{\text{EMG}}$ $\overline{\text{GEMG0}}$	入出力 入出力 入力 入力	入出力ポート アドレス・データバス 多目的タイマ（PMD モード）異常検出入力 多目的タイマ（IGBT モード）異常検出入力
機能	K5	PG2 AD10 ZO MTOUT10 MTTB0IN	入出力 入出力 出力 出力 入力	入出力ポート アドレスデータバス 多目的タイマ（PMD モード) Z 相出力端子 多目的タイマ(IGBT モード)出力端子 多目的タイマ(タイマモード）入力端子
機能	K6	PG3 AD11 WO MTOUT00 MTTB0OUT	入出力 入出力 出力 出力 出力	入出力ポート アドレスデータバス 多目的タイマ（PMD モード）W 相出力端子 多目的タイマ（IGBT モード）出力端子 多目的タイマ（タイマモード）出力端子
機能	L6	PG4 AD12 YO SP1CLK	入出力 入出力 出力 入出力	入出力ポート アドレスデータバス 多目的タイマ（PMD モード）Y 相出力端子 SSP クロック端子
機能	M6	PG5 AD13 VO SP1DO	入出力 入出力 出力 出力	入出力ポート アドレスデータバス 多目的タイマ（PMD モード）V 相出力端子 SSP データ出力端子
機能	M7	PG6 AD14 XO SP1DI	入出力 入出力 出力 入力	入出力ポート アドレスデータバス 多目的タイマ（PMD モード）X 相出力端子 SSP データ入力端子
機能	L7	PG7 AD15 UO SP1FSS	入出力 入出力 出力 入出力	入出力ポート アドレスデータバス 多目的タイマ（PMD モード）U 相出力端子 SSP フレーム/スレーブ選択端子

表 1-1 ピン名称と機能 (5/8)

分類	ピン番号	記号	入出力	機能
機能	G10	PH0 $\overline{\text{BELH}}$ TB5OUT MT2IN SO2/SDA2	入出力 出力 出力 入力 入出力	入出力ポート バイトイネーブル端子 タイマ B 出力端子 多目的タイマ(IGBT モード)入力端子 SIO モード送信端子、I2C モード送受信
機能	H10	PH1 $\overline{\text{CS1}}$ TB4OUT $\overline{\text{GEMG2}}$ SI2/SCL2	入出力 出力 出力 入力 入出力	入出力ポート チップセレクト端子 タイマ B 出力端子 多目的タイマ(IGBT モード)異常検出入力 SIO モード受信端子、I2C モードクロック
機能	J10	PH2 $\overline{\text{CS2}}$ MTOUT12 MTTB2IN SCK2	入出力 出力 出力 入力 入出力	入出力ポート チップセレクト端子 多目的タイマ(IGBT モード)出力端子 多目的タイマ(タイマモード）入力端子 SIO モードクロック端子
機能	K10	PH3 $\overline{\text{CS3}}$ MTOUT02 MTTB2OUT	入出力 出力 出力 出力	入出力ポート チップセレクト端子 多目的タイマ(IGBT モード)出力端子 多目的タイマ(タイマモード）出力端子
機能	C1	PI0 AINA0 INT9	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
機能	D1	PI1 AINA1 INTA	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
機能	D2	PI2 AINA2 INTB	入出力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子
機能	D3	PI3 AINA3 INTC $\overline{\text{DMAREQ}}$	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 DMA リクエスト端子
機能	A3	PI4 AINB0	入出力 入力	入出力ポート アナログ入力端子
機能	B3	PI5 AINB1	入出力 入力	入出力ポート アナログ入力端子
機能	A2	PI6 AINB2	入出力 入力	入出力ポート アナログ入力端子
機能	A1	PI7 AINB3	入出力 入力	入出力ポート アナログ入力端子
機能	A12	PK0 USBDPON (INTD)	入出力 入力 (入力)	入出力ポート(5V トレラント入力) (注) USB パワーオン検出（USB デバイス） （外部割り込み端子)

表 1-1 ピン名称と機能 (6/8)

分類	ピン番号	記号	入出力	機能
機能	B11	PK1 SP0FSS INT8 TB6OUT	入出力 入出力 入力 出力	入出力ポート SSP フレーム/スレーブ選択端子 外部割込み端子 タイマ B 出力端子
機能	C10	PK2 USB_ECLK SP0DI SO0/SDA0	入出力 入力 入力 入出力	入出力ポート USB クロック入力 SSP データ入力端子 SIO モード送信端子,I2C モード送受信
機能	D10	PK3 SP0DO SI0/SCL0	入出力 出力 入出力	入出力ポート SSP データ出力端子 SIO 受信端子, I2C モードクロック
機能	E10	PK4 RXIN SP0CLK SCK0	入出力 入力 入出力 入出力	入出力ポート リモコン入力端子 SSP クロック端子 SIO モードクロック端子
機能	A11	PL0 INT2 MT1IN $\overline{\text{ADTRGA}}$	入出力 入力 入力 入力	入出力ポート 外部割込み端子 多目的タイマ(IGBT モード）入力端子 AD コンバータの外部起動要求端子
機能	A10	PL1 $\overline{\text{GEMG1}}$ $\overline{\text{DATRG}}$ RXD2	入出力 入力 入力 入力	入出力ポート 多目的タイマ（IGBT モード）異常検出入力 DA コンバータの外部起動要求端子 SIO 受信端子
機能	B10	PL2 MTOUT11 MTTB1IN TXD2	入出力 出力 入力 出力	入出力ポート 多目的タイマ(IGBT モード)出力端子 多目的タイマ(タイマモード）入力端子 SIO 送信端子
機能	B9	PL3 MTOUT01 MTTB1OUT SCLK2 $\overline{\text{CTS2}}$	入出力 出力 出力 入出力 入力	入出力ポート 多目的タイマ（IGBT モード）出力端子 多目的タイマ（タイマモード）出力端子 SIO クロック端子 ハンドシェーク用端子
機能	C6	$\overline{\text{NMI}}$	入力	ノンマスカブル端子
TEST	E12	UTEST1	-	- (注)Pull-Down 処理してください。
TEST	D12	UTEST2	-	- (注)Pull-Down 処理してください。
機能	H12	USB-DDM	入出力	USB データマイナス（デバイス） （注）USB デバイスを使わない時には Pull-Down 処理してください。
機能	G12	USB-DDP	入出力	USB データプラス（デバイス） (注)USB デバイスを使わない時には Pull-Down 処理してください。
機能	F1	DA0	出力	DA コンバータアナログ出力端子

表 1-1 ピン名称と機能 (7/8)

分類	ピン番号	記号	入出力	機能
機能	F2	DA1	出力	DA コンバータアナログ出力端子
クロック	K12	X1	入力	高速発振子接続端子
クロック	L12	X2	出力	高速発振子接続端子
クロック	M12	XT1	入力	低速発振子接続端子
クロック	M11	XT2	出力	低速発振子接続端子
制御	C4	MODE	入力	モード端子 (注)必ず GND に接続してください。
機能	C5	$\overline{\text{RESET}}$	入力	リセット入力端子
制御	D4	BSC	入力	JTAG バウンダリスキャン制御端子 (注)未使用時は必ず GND に接続してください。
テスト	F3	FTEST3	−	テスト端子 （注）必ずオープンにしてください。
電源	E3	AVDD3_DA	−	DA コンバータ用電源端子 （注）DA コンバータを使用しない場合でも電源端子に接続してください。
電源	G1	AVSS_DA	−	DA コンバータ用 GND 端子 （注）DA コンバータを使用しない場合でも GND に接続してください。
電源	C2	AVDD3A	−	AD コンバータ用電源端子 （注）AD コンバータを使用しない場合でも電源端子に接続してください。
電源	B4	AVDD3B	−	AD コンバータ用電源端子 （注）AD コンバータを使用しない場合でも電源端子に接続してください。
電源	C3	AVSSA	−	AD コンバータ GND 端子 （注）AD コンバータを使用しない場合でも GND に接続してください。
電源	A4	AVSSB	−	AD コンバータ GND 端子 （注）AD コンバータを使用しない場合でも GND に接続してください。
電源	E2	VREFHA	−	AD コンバータ用基準電源端子 （注）AD コンバータを使用しない場合でも電源端子に接続してください。
電源	E1	VREFLA	−	AD コンバータ用基準電源端子 （注）AD コンバータを使用しない場合でも GND に接続してください。
電源	B2	VREFHB	−	AD コンバータ用基準電源端子 （注）AD コンバータを使用しない場合でも電源端子に接続してください。
電源	B1	VREFLB	−	AD コンバータ用基準電源端子 （注）AD コンバータを使用しない場合でも GND に接続してください。
電源	A9	DVDD3A	−	電源端子
電源	G3	DVDD3A	−	電源端子
電源	L11	DVDD3A	−	電源端子
電源	M4	DVDD3A	−	電源端子

表 1-1 ピン名称と機能 (8/8)

分類	ピン番号	記号	入出力	機能
電源	M9	DVDD3A	−	電源端子
電源	F12	DVDD3B	−	電源端子
電源	A5	DVSSA	−	GND 端子
電源	B12	DVSSA	−	GND 端子
電源	G2	DVSSA	−	GND 端子
電源	K11	DVSSA	−	GND 端子
電源	M3	DVSSA	−	GND 端子
電源	M8	DVSSA	−	GND 端子
電源	M10	DVSSA	−	GND 端子
電源	C12	DVSSB	−	GND 端子
電源	C11	DVSSB	−	GND 端子
電源	D11	DVSSB	−	GND 端子
電源	F10	DVSSB	−	GND 端子
電源	E11	DVSSB	−	GND 端子
電源	F11	DVSSB	−	GND 端子
電源	G11	DVSSB	−	GND 端子
電源	H11	DVSSB	−	GND 端子
電源	J11	DVSSB	−	GND 端子
電源	J12	DVSSB	−	GND 端子
電源	L10	RVDD3	−	電源端子

注)　入力端子として使用時のみ 5V 入力が可能です。オープンドレイン端子として使用する場合、電源電圧より高い電圧で PullUp はできませんので注意してください。

1.5 電源の種類と供給端子

表 1-2 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
DVDD3A	2.7V to 3.6V 3.0V to 3.45V (USB 使用時)	A9 G3 L11 M4 M9	PA0-7, PB0-6, PE0-7, PF0-7, PG0-7, PH0-3, PK0-4, PL0-3, X1, X2, XT1, XT2, $\overline{\text{RESET}}$, $\overline{\text{NMI}}$, MODE, BSC
DVSSA	0V	A5 B12 G2 K11 M3 M8 M10	
DVDD3B	2.7V to 3.6V 3.0V to 3.45V (USB 使用時)	F12	USB-DDM, USB-DDP UTEST1, UTEST2
DVSSB	0V	C12 C11 D11 F10 E11 F11 G11 H11 J11 J12	
AVDD3A	2.7V to 3.6V 3.0V to 3.45V (USB 使用時)	C2	PI0-3
AVSSA	0V	C3	
AVDD3B	2.7V to 3.6V 3.0V to 3.45V (USB 使用時)	B4	PI4-PI7
AVSSB	0V	A4	
AVDD3_DA	2.7V to 3.6V 3.0V to 3.45V (USB 使用時)	E3	DA0 DA1
AVSS_DA	0V	G1	
RVDD3	2.7V to 3.6V 3.0V to 3.45V (USB 使用時)	L10	-

第 2 章　プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア(ARM 社 Cortex-M3 コア)が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。ここでは、製品固有の情報について説明します。

2.1　コアに関する情報

TMPM367FDXBG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より"Cortex-M series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM367FDXBG	r2p1

2.2　構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM367FDXBG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ：2 本 命令コンパレータ：6 本
DWT	コンパレータ：4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

2.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

2.3.1　割り込み本数

Cortex-M3 コアは割り込み本数を 1 ~ 240 本の間で任意に構成することができます。

TMPM367FDXBG の割り込み本数は 109 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x00"が読み出されます。

2.3.2　割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3 ~ 8 ビットの間で任意に構成することができます。

TMPM367FDXBG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

2.3.3　SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

2.3.4　SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM367FDXBG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

2.3.5　LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM367FDXBG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

2.3.6　補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウエアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM367FDXBG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

2.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM367FDXBG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

2.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM367FDXBG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

2.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM367FDXBG ではこの機能を使用していません。

第 3 章　メモリマップ

3.1　メモリマップ

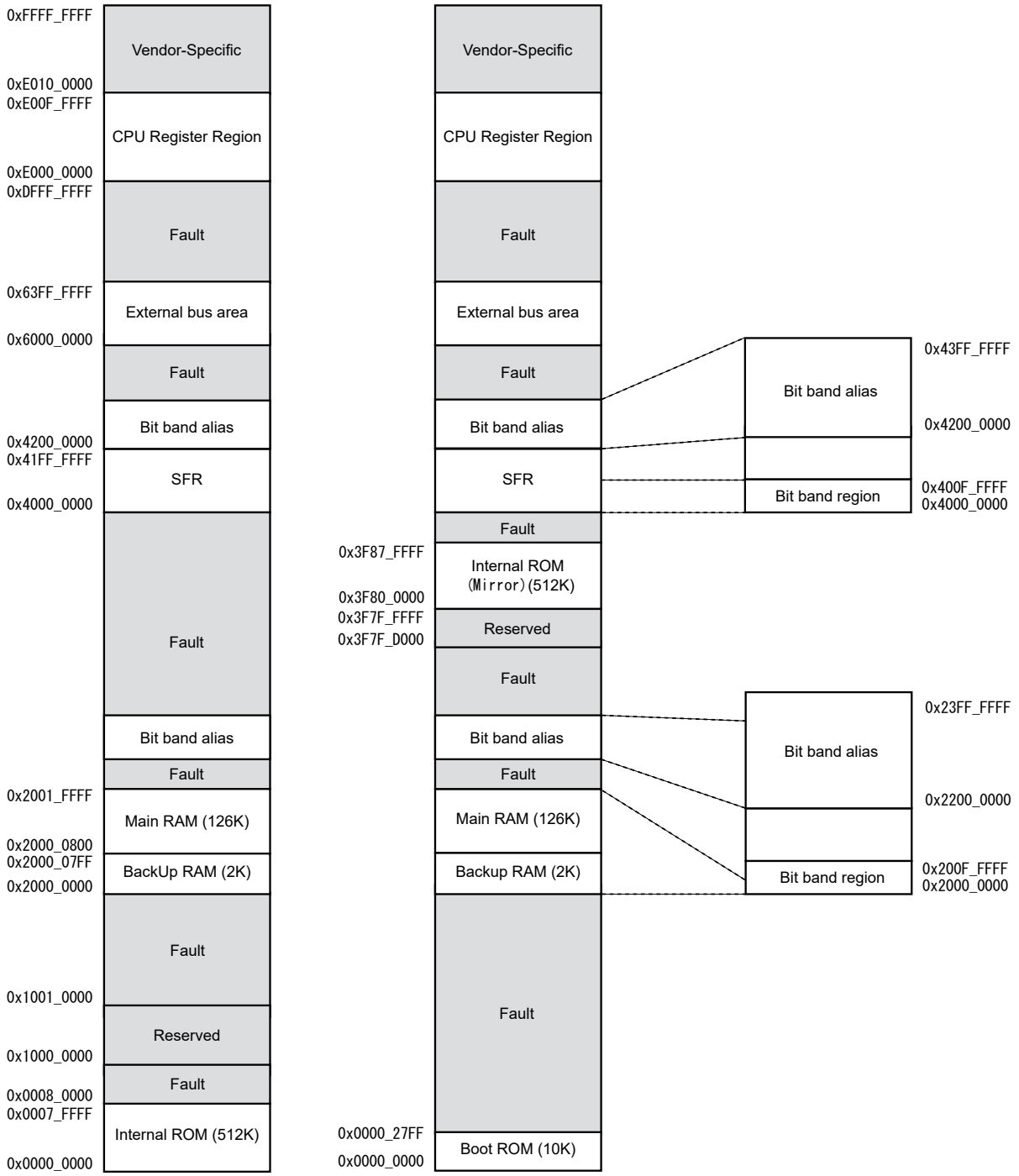
TMPM367FDXBG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

TMPM367FDXBG のメモリマップを以下に示します。



Single chip mode　　Single boot mode

3.2 バスマトリクス

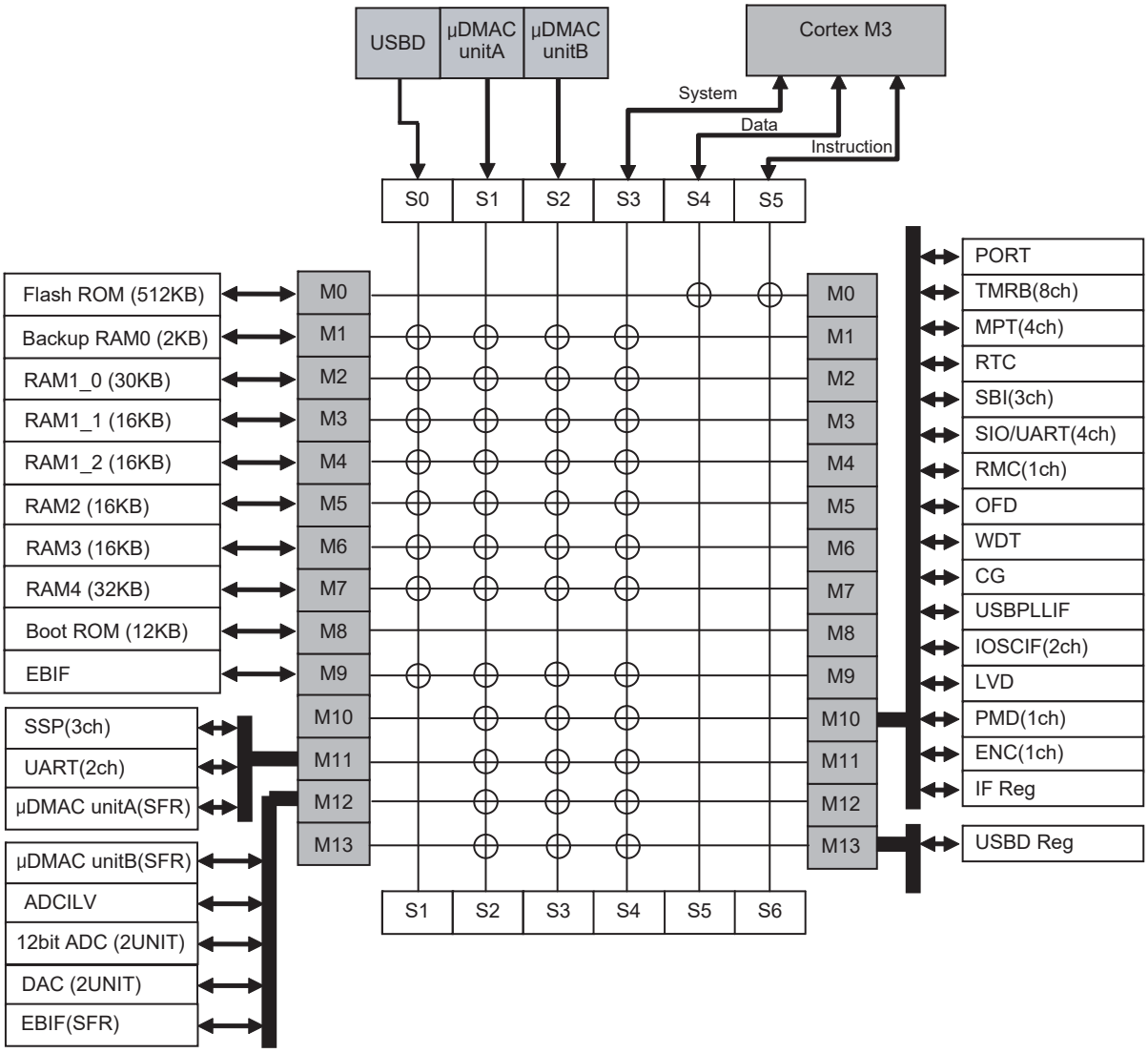
本マイコンでは、CPU コア、µDMA コントローラ、USBD コントローラ 3 種類のバスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0~S5)に接続され、バスマトリクス内で、接続を示す記号(○)を経由して、マスタポート(M0~M13)から、周辺機能に接続されます。

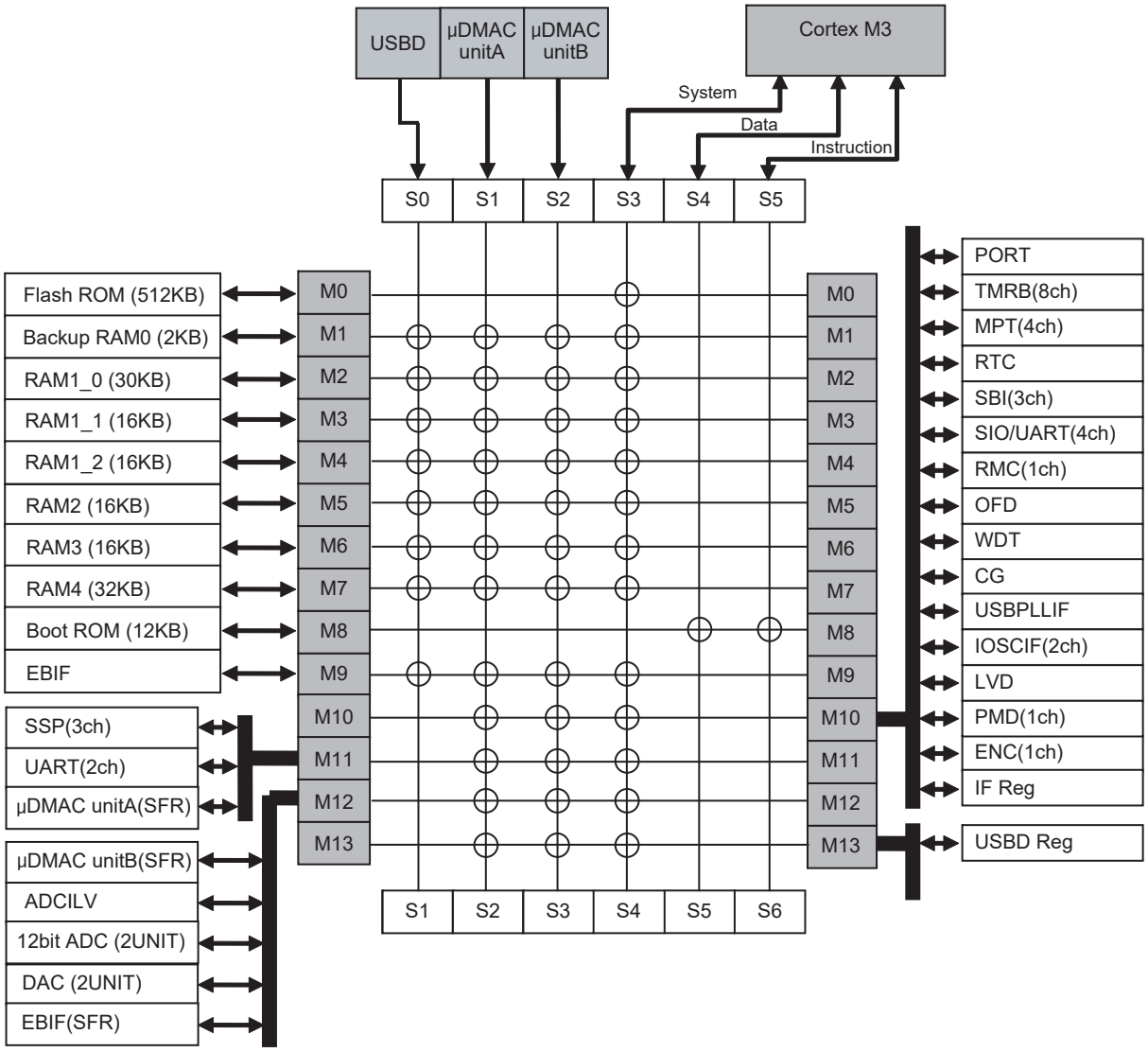
バスマトリクス内の同一マスターライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

3.2.1　構成

3.2.1.1　シングルチップモード



3.2.1.2　シングルブートモード



3.2.2　接続表

3.2.2.1　Code 領域/ SRAM 領域

(1)　シングルチップモード

Start Address			USBD	µDMAC unitA	µDMAC unitB	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4	S5
0x0000_0000	Flash ROM	M0	Fault	Fault	Fault	Fault	o	o
0x0008_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x1000_0000	Reserved	-	Fault	Fault	Fault	Fault	Reserved	Reserved
0x1001_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2000_0000	Backup RAM	M1	o	o	o	o	Fault	Fault
0x2000_0800	Main RAM1_0	M2	o	o	o	o	Fault	Fault
0x2000_8000	Main RAM1_1	M3	o	o	o	o	Fault	Fault
0x2000_C000	Main RAM1_2	M4	o	o	o	o	Fault	Fault
0x2001_0000	Main RAM2	M5	o	o	o	o	Fault	Fault
0x2001_4000	Main RAM3	M6	o	o	o	o	Fault	Fault
0x2001_8000	Main RAM4	M7	o	o	o	o	Fault	Fault
0x2002_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	Fault	Fault	Fault	o	Fault	Fault
0x2240_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault

(2) シングルブートモード

Start Address			USBD	μDMAC unitA	μDMAC unitB	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4	S5
0x0000_0000	Boot ROM	M8	Fault	Fault	Fault	Fault	o	o
0x0000_2800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2000_0000	Backup RAM	M1	o	o	o	o	Fault	Fault
0x2000_0800	Main RAM1_0	M2	o	o	o	o	Fault	Fault
0x2000_8000	Main RAM1_1	M3	o	o	o	o	Fault	Fault
0x2000_C000	Main RAM1_2	M4	o	o	o	o	Fault	Fault
0x2001_0000	Main RAM2	M5	o	o	o	o	Fault	Fault
0x2001_4000	Main RAM3	M6	o	o	o	o	Fault	Fault
0x2001_8000	Main RAM4	M7	o	o	o	o	Fault	Fault
0x2002_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	Fault	Fault	Fault	o	Fault	Fault
0x2240_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x3F7F_C000	Reserved	-	Fault	Fault	Fault	Reserved	Fault	Fault
0x3F7F_E800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x3F80_0000	Flash ROM (mirror)	-	Fault	Fault	Fault	o	Fault	Fault
0x3F88_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault

注) Reserved 記載のアドレス範囲にはアクセスしないで下さい。

3.2.2.2　Peripheral 領域/ 外部バス領域

Start Address			USBD	µDMAC unitA	µDMAC unitB	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4	S5
0x4000_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4000_5000	Reserved	-	Fault	Reserved	Reserved	Reserved	Fault	Fault
0x4000_6000	Reserved	-	Fault	Reserved	Reserved	Reserved	Fault	Fault
0x4000_7000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4000_8000	USBD	M13	Fault	o	o	o	Fault	Fault
0x4000_9000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4000_A000	Reserved	-	Fault	Reserved	Reserved	Reserved	Fault	Fault
0x4000_C000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4004_0000	SSP	M11	Fault	o	o	o	Fault	Fault
0x4004_8000	UART	M11	Fault	o	o	o	Fault	Fault
0x4004_C000	µDMAC unitA(SFR)	M11	Fault	o	o	o	Fault	Fault
0x4004_D000	µDMAC unitB(SFR)	M12	Fault	o	o	o	Fault	Fault
0x4005_0000	ADC	M12	Fault	o	o	o	Fault	Fault
0x4005_2000	ADCILV	M12	Fault	-	o	o	Fault	Fault
0x4005_4000	DAC	M12	Fault	o	o	o	Fault	Fault
0x4005_C000	EBIF(SFR)	M12	Fault	o	o	o	Fault	Fault
0x4005_D000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x400C_0000	PORT	M10	Fault	o	o	o	Fault	Fault
0x400C_4000	TMRB		Fault	o	o	o	Fault	Fault
0x400C_7000	MPT		Fault	o	o	o	Fault	Fault
0x400C_C000	RTC		Fault	o	o	o	Fault	Fault
0x400E_0000	SBI		Fault	o	o	o	Fault	Fault
0x400E_1000	SIO/UART		Fault	o	o	o	Fault	Fault
0x400E_7000	RMC		Fault	o	o	o	Fault	Fault
0x400F_1000	OFD		Fault	o	o	o	Fault	Fault
0x400F_2000	WDT		Fault	o	o	o	Fault	Fault
0x400F_3000	CG		Fault	o	o	o	Fault	Fault
0x400F_3100	USBPLLIF		Fault	o	o	o	Fault	Fault
0x400F_3100	IDSCIF		Fault	o	o	o	Fault	Fault
0x400F_3200	TRMOSC		Fault	o	o	o	Fault	Fault
0x400F_4000	LVD		Fault	o	o	o	Fault	Fault
0x400F_6000	PMD		Fault	o	o	o	Fault	Fault
0x400F_6000	MPT		Fault	o	o	o	Fault	Fault
0x400F_7000	ENC		Fault	o	o	o	Fault	Fault
0x4010_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x41FF_F000	FLASH	M10	Fault	o	o	o	Fault	Fault
0x4200_0000	Bit band alias	-	Fault	Fault	Fault	o	Fault	Fault
0x4400_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x6000_0000	EBIF	M9	Fault	o	o	o	Fault	Fault
0x6400_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault

注)　Reserved 記載のアドレス範囲にはアクセスしないで下さい。

3.2.3 周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
USB デバイスコントローラ(USBD)	ch1	0x4000_8000
同期式シリアルインタフェース(SSP)	ch0	0x4004_0000
	ch1	0x4004_1000
	ch2	0x4004_2000
非同期シリアル通信回路(UART)	ch4	0x4004_8000
	ch5	0x4004_9000
μDMA コントローラ(μDMAC)	unitA	0x4004_C000
	unitB	0x4004_D000
アナログ/デジタルコンバータ(ADC)	unitA	0x4005_0000
	unitB	0x4005_1000
	ADCILV	0x4005_2000
デジタル/アナログコンバータ(DAC)	unitA	0x4005_4000
	unitB	0x4006_5000
外部バスインターフェース(EBIF)		0x4005_C000
入出力ポート	PORTA	0x400C_0000
	PORTB	0x400C_0100
	PORTC	0x400C_0200
	PORTE	0x400C_0400
	PORTF	0x400C_0500
	PORTG	0x400C_0600
	PORTH	0x400C_0700
	PORTI	0x400C_0800
	PORTJ	0x400C_0900
	PORTK	0x400C_0A00
	PORTL	0x400C_0B00
16 ビットタイマ/イベントカウンタ(TMRB)	ch0	0x400C_4000
	ch1	0x400C_4100
	ch2	0x400C_4200
	ch3	0x400C_4300
	ch4	0x400C_4400
	ch5	0x400C_4500
	ch6	0x400C_4600
	ch7	0x400C_4700
16 ビット多目的タイマ (MPT)	MPT0	0x400C_7000
	MPT1	0x400C_7100
	MPT2	0x400C_7200
	MPT3	0x400C_7300
	PMD0	0x400F_6000
リアルタイムクロック(RTC)		0x400C_C000
シリアルバスインタフェース(I2C/SIO)	ch0	0x400E_0000
	ch1	0x400E_0100
	ch2	0x400E_0200

周辺機能		ベースアドレス
シリアルチャネル(SIO/UART)	ch0	0x400E_1000
	ch1	0x400E_1100
	ch2	0x400E_1200
	ch3	0x400E_1300
リモコン判定機能(RMC)		0x400E_7000
周波数検知回路(OFD)		0x400F_1000
ウォッチドッグタイマ(WDT)		0x400F_2000
クロック/モード制御		0x400F_3000
内蔵高速発振調整機能(TRMOSC)		0x400F_3200
電圧検出回路(LVD)		0x400F_4000
エンコーダ入力回路(ENC)	ch0	0x400F_7000
フラッシュ制御		0x41FF_F000

第 4 章　内蔵高速発振調整機能 (TRMOSC)

TMPM367FDXBG には、内蔵高速発振の周波数を調整する機能があります。

注)　この調整機能は、OFD 用基準クロックには適用されません。

4.1　レジスタ説明

4.1.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

Base Address = 0x400F_3200

レジスタ名		Address(Base+)
プロテクトレジスタ	TRMOSCPRO	0x0000
イネーブルレジスタ	TRMOSCEN	0x0004
初期トリミング値モニタレジスタ	TRMOSCINIT	0x0008
トリミング値設定レジスタ	TRMOSCSET	0x000C

4.1.2 TRMOSCPRO (プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PROTECT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PROTECT	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 "0xC1"を設定すると、TRMOSCEN, TRMOSCINIT, TRMOSCSET に書き込みができるようになります。

4.1.3　TRMOSCEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TRIMEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	TRIMEN	R/W	トリミング 制御 0 : 禁止 1 : 許可 "1"を設定すると、内蔵発振器のトリミング値が、TRIMOSCINIT で読み出される値から TRMOSCSET に設定した値に切り替わります。

4.1.4 TRMOSCINIT (初期トリミング値モニタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	TRIMINITC					
リセット後	0	0	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TRIMINITF			
リセット後	0	0	0	0	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-14	–	R	リードすると"0"が読めます。
13-8	TRIMINITC	R	初期粗トリミング値 出荷時の粗トリミング値が読めます。
7-4	–	R	リードすると"0"が読めます。
3-0	TRIMINITF	R	初期微トリミング値 出荷時の微トリミング値が読めます。

注 1) 粗トリミング、微トリミングの具体的な設定と調整値については、「4.2.2 調整範囲」を参照してください。

4.1.5　TRMOSCSET (トリミング値設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	TRIMSETC					
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TRIMSETF			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-14	–	R	リードすると"0"が読めます。
13-8	TRIMSETC	RW	粗トリミング値設定 　粗トリミング値を設定します。
7-4	–	R	リードすると"0"が読めます。
3-0	TRIMSETF	RW	微トリミング値設定 　微トリミング値を設定します。

注 1)　粗トリミング、微トリミングの具体的な設定と調整値については、「4.2.2 調整範囲」を参照してください。

4.2 動作説明

4.2.1 調整

周波数の調整は、粗トリミング値と微トリミング値で行います。

出荷時の設定値は、TRMOSCINIT<TRIMINITC>および<TRIMINITF>で確認できます。

変更する設定値は、TRMOSCSET<TRIMSETC>および<TRIMSETF>に設定します。TRMOSCEN<TRIMEN>に"1"を設定することで内蔵高速発振器の設定値が切り替わります。

注) リセット後、TRMOSCSET、TRMOSCEN への書き込みは禁止されています。書き込みを行うためには、TRMOSCPRO<PROTECT>に"0xC1"を設定する必要があります。

4.2.2　調整範囲

粗トリミングは 1.8%ステップで-57.6%～+55.8%の調整が可能です。微トリミングは 0.3%ステップで-2.4%～+2.1%の調整が可能です。表 4-1、表 4-2 に調整範囲を示します。

注)　1 ステップの値は typ.条件のものであり、粗トリミングでは± 0.2%、微トリミングでは± 0.1%程度の誤差があります。

表 4-1 粗トリミングの調整範囲

粗トリミング	
<TRIMSETC>	周波数変化 (typ.)
011111	+55.8%
.	.
000001	+1.8%
000000	±0%
111111	-1.8%
111110	-3.6%
.	.
100000	-57.6%

表 4-2 微トリミングの調整範囲

微トリミング	
<TRIMSETF>	周波数変化 (typ.)
0111	+2.1%
.	.
0001	+0.3%
0000	±0
1111	-0.3%
1110	-0.6%
.	.
1000	-2.4%

4.2.3 16 ビットタイマ/イベントカウンタ(TMRB)を使用した内蔵発振周波数補正例

内蔵高速発振の周波数を測定するために、TMRB のパルス幅測定機能を使用することができます。

4.2.3.1 TBxIN に基準となる信号を入力する場合

TMRB のプリスケーラ用クロック φT0 として、内蔵高速発振を選択します。

TBxIN から基準となる信号を入力して、パルス幅測定機能を使用して、基準となる信号の立ち上がりエッジでアップカウンタ値を取り込みます。

キャプチャした値から算出した基準信号の周波数と、入力した基準信号の周波数の差から調整値を決定します。

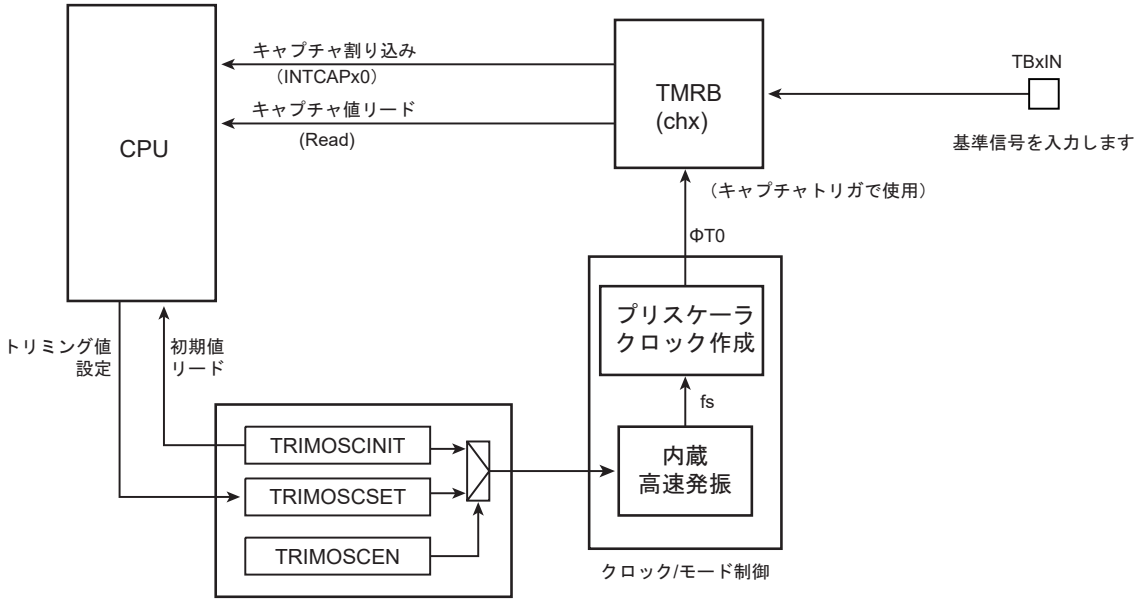


図 4-1 TBxIN に基準となる信号を入力する場合

4.2.3.2 TB5IN に入力されている fs を入力する場合

TMPM367FDXBG は TB5IN に内部で fs が接続されています。TMRB ch5 で fs を元に、基準信号を作成します。

TB5OUT はキャプチャトリガとして、TMRB ch7 と TMRB ch6 に内部で接続されています。

どちらかのプリスケーラ用クロック φT0 として、内蔵高速発振を選択します。

TMRB ch5 で作成した基準信号を入力して、パルス幅測定機能を使って、基準信号の立ち上がりエッジでアップカウンタの値を取り込みます。

キャプチャした値から算出した基準信号の周波数と、入力した基準信号の周波数の差から調整値を決定します。

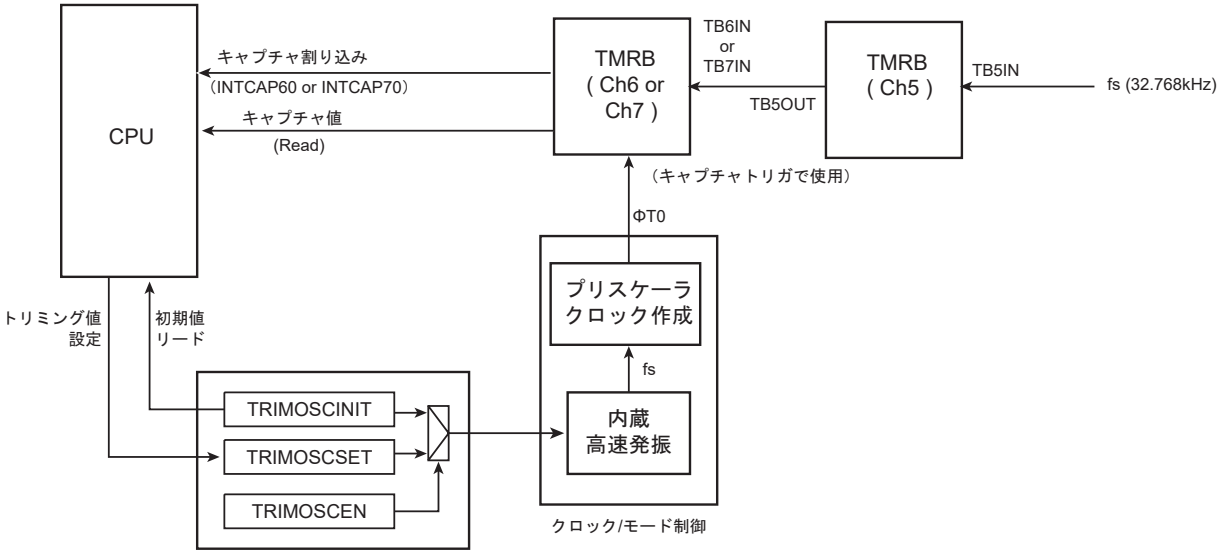


図 4-2 TB5IN に入力されている fs を入力する場合の接続例

第 5 章　クロック/モード制御

5.1　概要

クロック/モード制御では、クロックギアやプリスケーラクロックの選択、PLL(逓倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

5.2　レジスタ説明

5.2.1　レジスター覧

クロック/モード制御のレジスタとアドレスを以下に示します。

Base Address = 0x400F_3000

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
ペリフェラル用クロックストップレジスタ	CGCKSTP	0x0018
Reserved	-	0x001C
Reserved	-	0x0038
プロテクトレジスタ	CGPROTECT	0x003C

注)　"Reserved"表記のアドレスにはアクセスしないでください。

5.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	−	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック選択 0: 動作 1: 停止 ADC 用クロックの供給を停止させることが可能です。 リセット後は ADC クロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-18	−	R	リードすると"0"が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: fs 01: fsys/2 10: fsys 11: φT0 SCOUT 端子から出力するクロックを設定します。
15-14	−	R	リードすると"0"が読めます。
13	−	R/W	"0"を書いてください。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	−	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロックを選択します。
7-3	−	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc　100: fc/2 001: Reserved　101: fc/4 010: Reserved　110: fc/8 011: Reserved　111: fc/16

5.2.3　CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUPT							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUPT				WUPSEL2	EHOSCSEL	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	WUPTL		-	-	-	XEN3	XTEN	XEN1
リセット後	0	0	0	0	0	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUPT[11:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの、上位 12 ビットのカウント値を設定します。
19	WUPSEL2	R/W	高速ウォームアップクロック選択 0: 内部高速発振 1: 外部高速発振 ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。
18	EHOSCSEL	R/W	外部発振選択 0: 外部クロック入力 1: 発振子
17	OSCSEL	R/W	高速発振器選択 0: 内部 1: 外部
16	XEN2	R/W	内部高速発振器の動作選択(SYS 用) 0: 停止 1: 発振
15-14	WUPTL[1:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの、下位 2 ビットのカウント値を設定します。低速クロックのときのみ使用します。
13-12	–	R/W	"0"をライトしてください。
11	–	R	リードすると"0"が読めます。
10	XEN3	R/W	内部高速発振器(OFD 用) 0: 停止 1: 発振
9	XTEN	R/W	外部低速発振器の動作選択 0: 停止 1: 発振
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-4	–	R/W	必ず"0011 を設定してください。
3	WUPSEL1	R/W	ウォームアップカウンタ選択 0: 高速 1: 低速
2	PLLON	R/W	PLL(逓倍回路)動作の選択(注 3) 0: 停止 1: 発振

Bit	Bit Symbol	Type	機能
1	WUEF	R	ウォーミングアップタイマステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイマの状態を確認できます。
0	WUEON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 リードすると"0"が読めます。

注 1) ウォーミングアップ時間の設定については 5.6.9.1 を参照してください。

注 2) 外部クロックを入力する時、<EHOSCSEL>でクロックを選択後、<OSCSEL>を選択してください。(<OSCSEL>の設定変更と同時に<EHOSCSEL>の設定変更を行わないでください。)

注 3) PLL の設定については、「5.3.5 クロック逓倍回路(PLL)」を参照してください。

注 4) STOP1/2 モードから復帰する際、内部高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN3>, <XEN2>, <XEN1>, <PLLON>および CGPLLSEL<PLLSEL>は初期化され、内部高速発振で起動します。

注 5) 内部高速発振器(IHOSC)を使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

5.2.4　CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	PTKEEP	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	–	R	リードすると"0"が読めます。
19-18	–	R/W	"0"を書いてください。
17	PTKEEP	R/W	STOP2 モード中の I/O 制御信号を保持 0:Port による制御 1: 0->1 設定時の状態を保持(STOP2 モード遷移時前に設定が必要です)
16	DRVE	R/W	STOP1 モード中の端子状態制御 0: STOP1 モード中端子をドライブしません 1: STOP1 モード中も端子をドライブします
15-3	–	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: STOP2 110: Reserved 111: Reserved

注)　Reserved は設定禁止です。

5.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET							PLLSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-1	PLLSET	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x5917:入力クロック 8MHz, 出力クロック 48MHz (6 逓倍) 0x59A6:入力クロック 8MHz, 出力クロック 80MHz (10 逓倍) 0x729E:入力クロック 10MHz, 出力クロック 80MHz (8 逓倍) 0x5A0F:入力クロック 12MHz, 出力クロック 48MHz (4 逓倍) 0x6296:入力クロック 12MHz, 出力クロック 72MHz (6 逓倍) 0x720B:入力クロック 16MHz, 出力クロック 48MHz (3 逓倍) 0x3A92:入力クロック 16MHz, 出力クロック 80MHz (5 逓倍)
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: f_{PLL} 使用 PLL にて逓倍されたクロックの使用可否を選択します。 リセット解除後は"fosc(内部高速発振)"選択ですので、PLL を使用する場合はこのビットの設定が必要です。

注 1) PLL 逓倍数は表 5-2 の設定範囲で使用してください。

注 2) PLL の設定については、「5.3.5 クロック逓倍回路(PLL)」を参照してください。

注 3) STOP1/2 モードから復帰する際、CGOSCCR<WUPSEL2>, <OSCSEL>, <XEN3>, <XEN2>, <XEN1>, <PLLON>および<PLLSEL>は初期化され、内部高速発振で起動します。

5.2.6　CGCKSTP(ペリフェラル用クロックストップレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	USBDSTP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	-	R/W	"1"をライトして下さい。
2	-	R/W	"1"をライトして下さい。
1	-	R/W	"1"をライトして下さい。
0	USBDSTP	R/W	USBD 用クロック供給選択 0: 動作 1: クロック停止 USBD 用クロックの使用可否を選択できます。

注)　リセット後は USBD 用クロックが供給されています。"1"に設定する場合は、動作が停止していることを確認してから設定してください。

5.2.7 CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで CG 関連レジスタのうち CGPROTECT 以外のレジスタへの書き込みができなくなります。

5.3　クロック制御

5.3.1　クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
f_{PLL}	: PLL により逓倍されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック（ギアクロック）
fsys	: fgear と同一のクロック(システムクロック)
fperiph	: CGSYSCR<FPSEL[2:0]>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

ギアクロック fgear、プリスケーラクロック φT0 は以下のように分周することが可能です。

ギアクロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

5.3.2　リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
PLL (逓倍回路)	: 停止
ギアクロック	: fc (分周なし)
OFD 専用内部発振器	: 停止

リセット動作によりすべてのクロックの設定が fosc と同じになります。

fc = fosc
fsys = fosc
φT0 = fosc

5.3.3 クロック系統図

クロック系統図を図 5-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

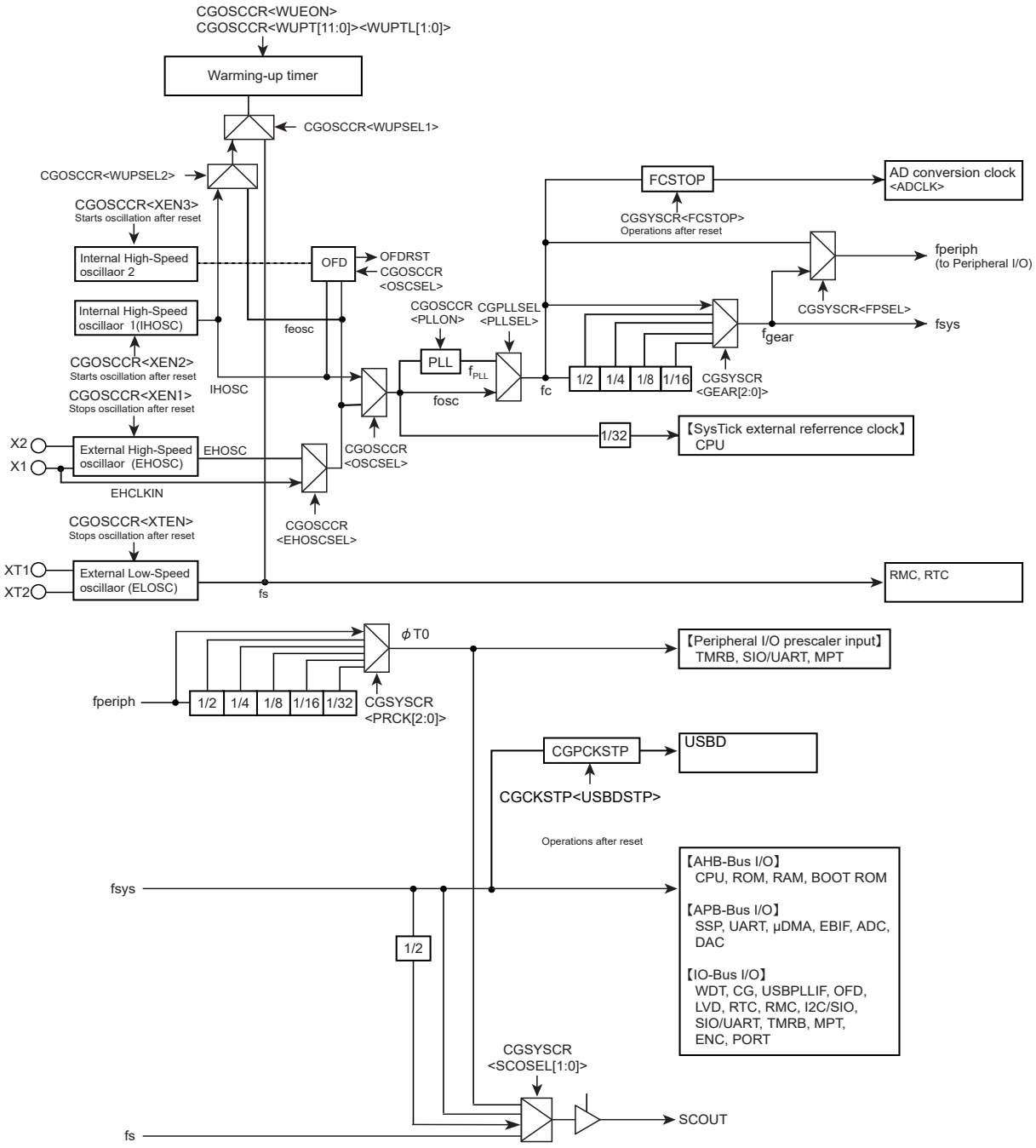


図 5-1 クロック系統図

5.3.4　ウォーミングアップ機能

ウォーミングアップ機能は、fs の発振安定時間、STOP1 および STOP2 モード解除時にウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。詳細機能については「5.6.8 ウォーミングアップ」にて説明します。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<WUPSEL2>、<WUPSEL1>で選択します。

2. ウォーミングアップカウンタ設定値の算出

   ウォーミングアップ時間は CGOSCCR<WUPT[11:0]><WUPTL[1:0]>により任意の値が設定可能です。CGOSCCR<WUPT[11:0]><WUPTL[1:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて、高速クロックのウォーミングアップの場合は<WUPT[11:0]>に、低速クロックのウォーミングアップの場合は<WUPT[11:0]><WUPTL[1:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

   高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9C40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUPT[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認

   ソフトウエア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

注 1)　低消費電力モードへ遷移する場合、カウント値が CGOSCCR<WUPT[11:0]>、<WUPTL[1:0]>に反映されているのを確認してから WFI 命令を実行してください。

注 2)　ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

表 5-1 ウォーミングアップ機能設定例（内部高速発振器選択時）

	CGOSCCR<WUPT[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
↻	CGOSCCR<WUPT[11:0]> リード	: ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
	CGOSCCR<XEN2> = "1"	: 内部高速発振器(IHOSC)許可
	CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ(WUP)スタート
↻	CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

注 1) 発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。

注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

注 3) CGOSCCR<WUPT[11:0]><WUPTL[1:0]>にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行してスタンバイモードへ遷移してください。

注 4) STOP1/STOP2 モードからの復帰する際、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<WUPSEL2>、<OSCSEL>、<XEN3>、<XEN2>、<XEN1>、<PLLON>は初期化され、内部高速発振で起動します。

5.3.5　クロック逓倍回路(PLL)

高速発振器の出力クロック fosc を逓倍した f_{PLL} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

5.3.5.1　動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、CGOSCCR<PLLON>が"0"の状態で CGPLLSEL<PLLSET>の逓倍値の設定を行なった後、PLL の初期化時間として約 100μs 経過後に、<PLLON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100μs 経過後に、CGPLLSEL<PLLSEL>にて"1"を選択することにより、fosc を 3,4,5,6,8 逓倍または 10 逓倍した f_{PLL} クロックを使用することができます。なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

逓倍値は 3,4,5,6,8,逓倍または 10 逓倍から選択可能です。<PLLSET>の設定値は以下のとおりです。

逓倍数	入力クロック[MHz]	<PLLSET>
6	8	0x5917
10	8	0x59A6
8	10	0x729E
4	12	0x5A0F
6	12	0x6296
3	16	0x720B
5	16	0x3A92

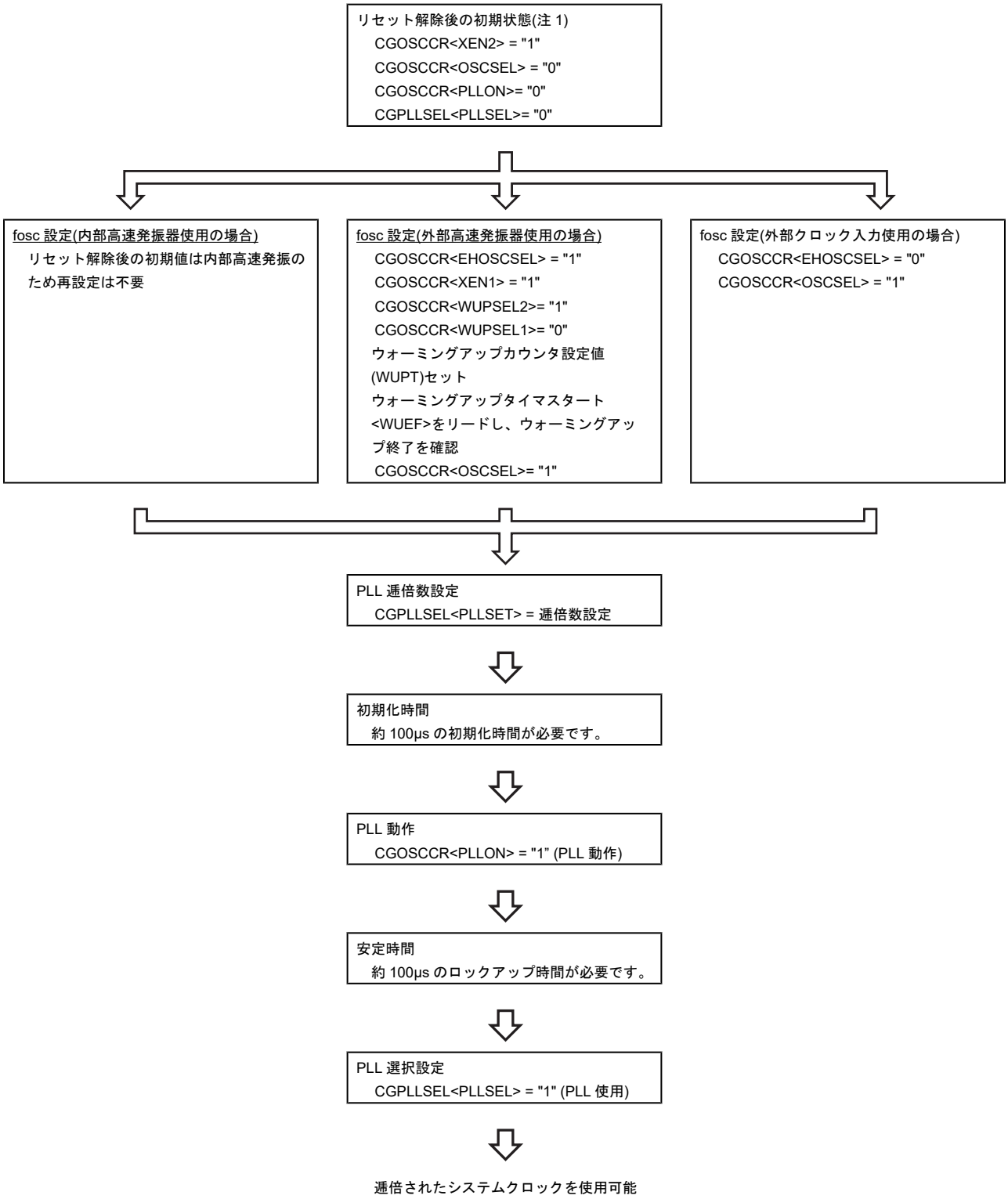
5.3.5.2　逓倍数の変更

逓倍数の変更を行う場合、まず CGPLLSEL<PLLSEL> に"0"を設定します。そして、CGPLLSEL<PLLSEL> を読み出し、逓倍クロックを使用しない設定に切り替わった事（CGPLLSEL<PLLSEL>="0"になっていること）を確認した後、<PLLON> を"0"として PLL を停止します。<PLLSET>の逓倍値を変更し、PLL の初期化時間として約 100μs 経過後に、<PLLON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間、約 100μs 経過後に、CGPLLSEL<PLLSEL>を"1"に設定します。

5.3.5.3 PLL 動作開始手順

以下に PLL 動作開始シーケンスを示します。

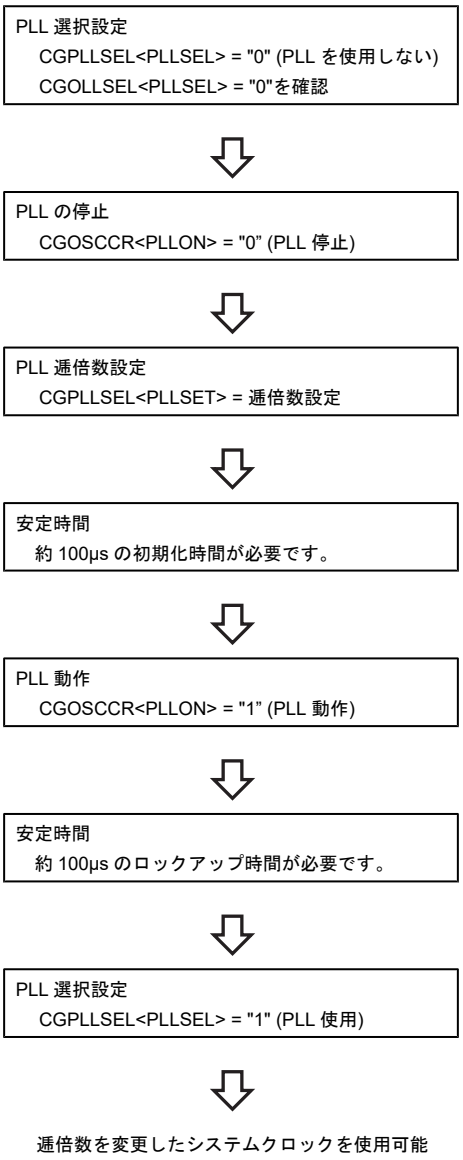
クロック設定手順



注) 内部高速発振器、電源電圧の安定が必要です。

5.3.5.4　PLL 逓倍数変更手順

以下に PLL 逓倍数変更シーケンスを示します。



5.3.6 システムクロック

システムクロックの原振として、内部高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

原振		周波数	PLL 使用
内部高速発振(IHOSC)		10MHz 注) (ねらい目)	不使用, 3, 4, 5, 6, 8 または 10 逓倍
外部高速発振	発振子(EHOSC)	8 ~ 16MHz	
	クロック入力(EHCLKIN)	8 ~ 16MHz	

注) PLL で逓倍したときに、fc が 80MHz を超えないように内部高速発振調整機能を使って、内部高速発振の周波数を調整してください。

システムクロックは CGSYSCR<GEAR>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 5-2 に示します。

表 5-2 PLL 逓倍使用時の高周波数設定範囲例(単位は MHz、"-"は設定禁止)

外部 発振子	外部 クロック 入力	PLL 逓倍数	最大動作 周波数 (fc)	USB PLL (48MHz) 逓倍数	ADC 最大動作周 波数 (fc/2)	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時				
						1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	10 逓倍	80	6 逓倍	40	80	40	20	10	5	8	4	2	1	-
8	8	6 逓倍	48	6 逓倍	24 (注 1)	48	24	12	6	3	8	4	2	1	-
10	10	8 逓倍	80	-	40	80	40	20	10	5	10	5	2.5	1.25	-
12	12	6 逓倍	72	4 逓倍	36 (注 1)	72	36	18	9	4.5	12	6	3	1.5	-
12	12	4 逓倍	48	4 逓倍	24 (注 1)	48	24	12	6	3	12	6	3	1.5	-
16	16	5 逓倍	80	3 逓倍	40	80	40	20	10	5	16	8	4	2	1
16	16	3 逓倍	48	3 逓倍	24 (注 1)	48	24	12	6	3	16	8	4	2	1

↑リセット後の初期値

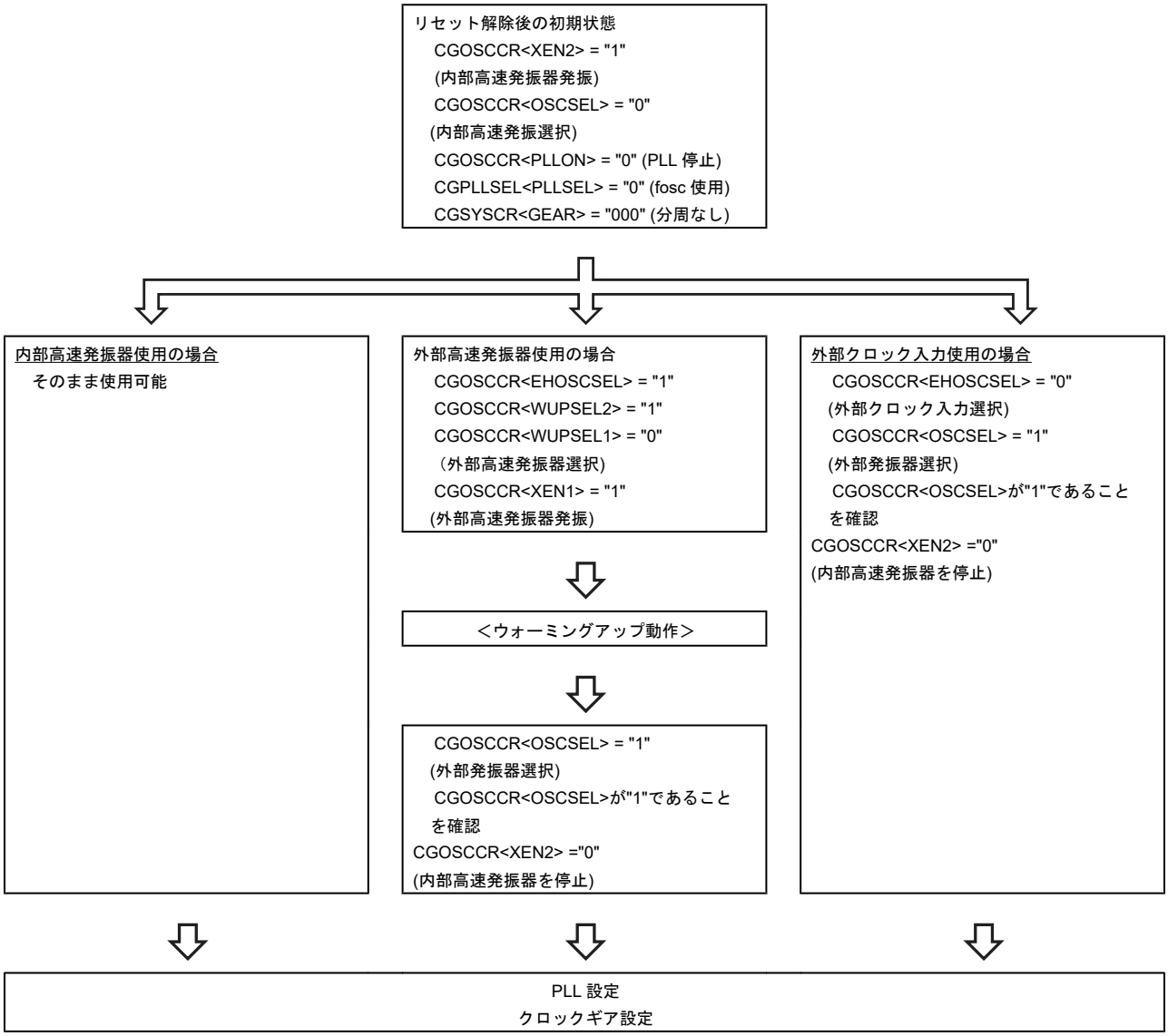
注 1) AD コンバータの最大動作周波数は 40MHz です。よって ADCLK<ADCLK[2:0]> にて fc を 2 分周した値です。
注 2) SysTick 使用時は 1/16 は使用しないでください。

5.3.6.1　システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順



5.3.7 プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

注) クロックギアを使用する場合、周辺機能の各ブロックのプリスケーラ出力 φTn は、φTn ≤ fsys/2 を満足するように時間設定(φTn が fsys よりも遅くなるように)してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

5.3.8 クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロックの 2 分周 fsys/2、システムクロック fsys、プリスケーラクロック φT0 を SCOUT 端子から出力できます。

注 1) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

注 2) SCOUT に fsys を選択しているときにクロックギアを切り替えると、切り替えた直後、fsys の波形が乱れます。波形の乱れがシステム上問題となる場合は、クロックギア切り替え時に SCOUT 出力をディセーブルにするなど対策を施してください。

ポートを SCOUT 端子として使用するときの設定は、"入出力ポート"を参照してください。

表 5-3 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 5-3 モード別 SCOUT 出力状態

<table>
<tr><td>モード
SCOUT 選択
CGSYSCR</td><td rowspan="2">NORMAL</td><td colspan="2">低消費電力モード</td></tr>
<tr><td>IDLE</td><td>STOP1/STOP2（注）</td></tr>
<tr><td><SCOSEL[1:0]> = "00"</td><td colspan="3">fs クロックを出力します</td></tr>
<tr><td><SCOSEL[1:0]> = "01"</td><td colspan="2">fsys/2 クロックを出力します</td><td rowspan="3">"0"または"1"に
固定されます</td></tr>
<tr><td><SCOSEL[1:0]> = "10"</td><td colspan="2">fsys クロックを出力します</td></tr>
<tr><td><SCOSEL[1:0]> = "11"</td><td>φT0 クロックを出力します</td><td></td></tr>
</table>

注) STOP2 モードへ遷移するときに、最初に CGSTBYCR<PTKEEP> に"1" を設定してポートの状態を保持してください。

5.4　動作モードとモード遷移

5.4.1　動作モード状態遷移

プロセッサコアの動作、一部周辺機能を停止して電力の消費を抑える低消費電力モードとして、IDLE モード, STOP1 モードがあります。

また、TMPM367FDXBG には、一部機能を保持してメイン電源を遮断することによって、大幅に電力の消費を抑える STOP2 モードがあります。

図 5-2 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

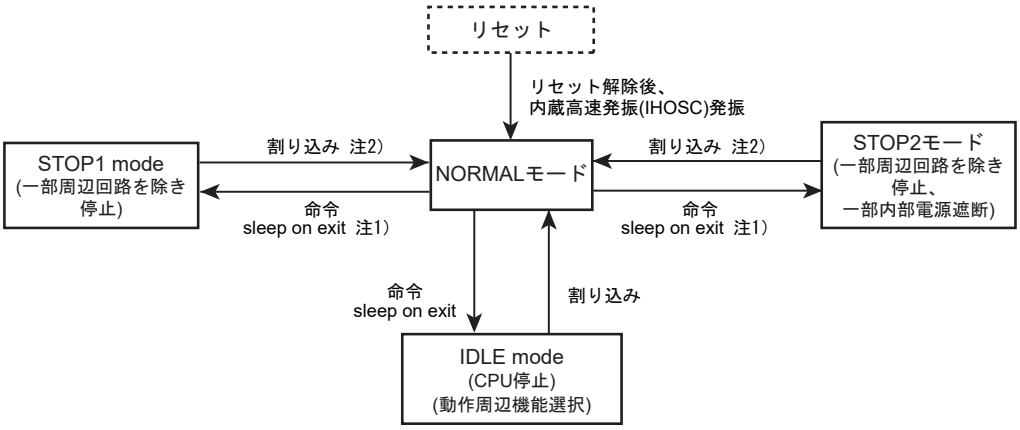


図 5-2 モード状態遷移図

注 1)　STOP1/2 モードから復帰する際、内部高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN3>, <XEN2>, <XEN1>, <PLLON>および CGPLLSEL<PLLSEL>は初期化され、内部高速発振で起動します。

注 2)　STOP2 モードからの復帰時はリセットの割込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

注 3)　復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード（NORMAL モード)にて設定する必要があります。ウォーミングアップ時間については「5.6.9 モード遷移によるクロック動作」を参照してください。

5.5 動作モード

5.5.1 NORMAL モード

CPU コアおよび周辺回路を高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

5.6　低消費電力モード

低消費電力モードには、IDLE, STOP1/2 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1)　本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。

注 2)　本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, STOP1, STOP2 モードの特長は次のとおりです。

5.6.1　IDLE モード

CPU が停止するモードです。周辺回路の一部は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺回路は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺回路の一覧を示します。設定方法は、各周辺回路の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)
- 16 ビット多目的タイマ(PMD 動作を除く)
- シリアルチャネル(SIO/UART)
- シリアルバスインタフェース(I2C/SIO)
- アナログ/デジタルコンバータ(ADC)
- デジタル/アナログコンバータ(DAC)
- ウォッチドッグタイマ(WDT)

注 1)　ウォッチドックタイマは IDLE モードへ遷移する前に停止してください。

注 2)　IDLE モードへ遷移する前に、USBD へのソースクロックを停止してください (USBPLLEN<USBDEN>="0")。

5.6.2　STOP1 モード

一部の回路を除き、内部発振器も含めてすべての内部回路が停止するモードです。STOP1 モードが解除されると内部発振器が発振を開始し、NORMAL モードへ復帰します。

STOP1 モード中は CGSTBYCR<DRVE>の設定により端子の状態を保持することができます。STOP1 モード時の端子状態を表 5-4 に示します。

5.6.3 STOP2 モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅に電力の消費を抑えることができます。

STOP2 モードが解除されると、遮断ブロックに対して電源を投入し、内部高速発振器が発振を開始してリセット割り込み処理ルーチンへ分岐し、NORMAL モードへ復帰します。

STOP2 モードに移行する前に CGSTBYCR<PTKEEP>="0"→"1"の設定を必ず行い、ポートの状態を保持してください。内部電源が遮断されても外部 IC とのインタフェースを保持し、STOP2 解除要因割り込みを使用することができます。

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード（NORMAL モード)にて設定する必要があります。ウォーミングアップ時間に関しては 5.6.9.1、5.6.9.2 を参照してください。

注 2) STOP1、STOP2 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUDOR[11:0]>は初期化されません。

注 3) STOP2 モードは内部電源遮断を行うため、モード遷移から解除まで 50μs 以上の期間を確保してください。期間内に解除を行うと内部電源管理が正常に動作することができません。

表 5-4 STOP1/2 モード時の端子状態

機能設定	機能名	入出力	STOP1 モード時		STOP2 モード時
			<DRVE> = 1	<DRVE> = 0	<PTKEEP> = 1
ポート	PAx ~ PLx	入力	PxIE[m]設定による	ディセーブル	状態保持
		出力	PxCR[m]設定による	ディセーブル	状態保持
デバッグ機能	$\overline{\text{TRST}}$, TCK, TMS, TDI, SWCLK, SWDI	入力	PxIE[m]設定による		状態保持
	TDO, SWDO, SWV, TRACECLK, TRACEDATA0/1/2/3	出力	PxCR[m]設定かつ データ有効な時にイネーブル		状態保持
割り込み機能	INT0 ~ C	入力	PxIE[m]設定による		状態保持
SSP	SPxCLK, SPxFSS, SPxDO	出力	PxCR[m]設定かつデータ有効な時にイネーブル	ディセーブル	状態保持
MPT(PMD モード)	UO, VO, WO, XO, YO, ZO	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル	状態保持
MPT(IGBT モード)	MTOUTxx	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル	状態保持
上記以外の機能	上記以外の機能	入力	PxIE[m]設定による	ディセーブル	状態保持
	上記以外の機能	出力	PxCR[m]設定による	ディセーブル	状態保持

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

5.6.4　低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 5-5 に<STBY[2:0]>の設定より選択されるモードを示します。

表 5-5 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011
STOP2	101

注)　上記の設定以外は行わないでください。

5.6.5 各モードにおける動作状態

各モードにおける動作状態を表 5-6 に示します。

表 5-6 各動作モードにおける動作状態

Block	NORMAL 内部高速 発振器使用 (IHOSC)	IDLE 内部高速 発振器使用 (IHOSC)	STOP1 (注 1)	STOP2 (注 1)
Processor core	o	−	−	×
DMAC	o	o	−	Δ×
I/O port	o	o	−(注 3)	−(注 4)
USB 用 I/O port	o	o	−	−
ADC	o	o	Δ	Δ×
DAC	o	o	Δ	−
USB Device	o	o	o	Δ×
SSP	o	o	Δ	Δ×
SIO/UART	o	o	Δ	Δ×
I2C/SIO	o	o	Δ	Δ×
WDT	o	o(注 6)	−	Δ×
TMRB	o	o	−	Δ×
MPT	o	o	−	Δ×
RMC	o	o	o	o
RTC	o	o	o	o
POR	o	o	o	o
LVD	o	o	o	o
外部バスインタフェース	o	o	−	×
CG	o	o	−	−
PLL	o	o	Δ	Δ×
OFD	o	o	Δ	Δ×
外部高速発振器 (EHOSC)	o	o	Δ	−
外部低速発振器(ELOSC)	o	o	o	o
内部高速発振器 1(IHOSC)	o	o	−	−
内部高速発振器 2	o	o	−	−
バックアップ RAM	o	o	o	o
メイン RAM	o	o	o	×

o : 対象のモード中に動作が可能

− : 対象のモードに移行すると自動的に周辺回路へのクロックが停止

Δ : 対象のモードに移行する前にソフトウエアにて周辺回路を停止する必要があります

× : 対象のモードに移行すると自動的に周辺回路への供給電源が遮断

注 1) STOP1/2 モードに遷移する前に、"-"、"D"、"¥" の周辺機能を停止させてから STOP1/2 モードに遷移してください。AD コンバータと DA コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。

注 2) STOP2 モードで電源供給が遮断された周辺回路は、NORMAL モード復帰後、ソフトウエアにて初期設定を実施してください。

注 3) CGSTBYCR<DRVE>の設定に依存します。

注 4) CGSTBYCR<PTKEEP>を"1"に設定する必要があります。ポートの状態は< PTKEEP>を"1"に設定したときの状態が保持されます。

注 5) リセット解除後および STOP1/2 モード解除後は内部発振器からクロックを供給します。

注 6) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

5.6.6　低消費電力モードの解除

低消費電力モードからの解除は、割り込み, マスク不能割り込み(NMI), リセットによって行うことができます。使用できる低消費電力モード解除ソースは、低消費電力モードにより決まります。詳細を表 5-7 に示します。

表 5-7 解除ソースと解除可能なモード

低消費電力モード			IDLE	STOP1	STOP2
解除ソース	割り込み	INT0 to B (注 5)	o	o	o (注 4)
		INTC	o	×	×
		INTUSBDPON(INTD), INTUSBWKUP	o	o	×
		INTUSBD	o	×	×
		INTSSP0 to 2, INTSBI0 to 2	o	×	×
		INTRX0 to 3, INTTX0 to 3, INTUART0 to 1	o	×	×
		INTRTC, INTRMCRX	o	o	o
		INTTB0 to 7, INTCAP00 to 71	o	×	×
		INTMTTB00 to 31, INTMTCAP00 to 31, INTMTEMG 0 to 3	o	×	×
		INTPMD, INTEMG, INTENC	o	×	×
		INTADA, INTADAHP, INTADAM0 to 1 (ADC unitA)	o	×	×
		INTADB, INTADBHP, INTADBM0 to 1 (ADC unitB)	o	×	×
		INTDMAAERR, INTDMABERR, μDMAC 起動要因 (注 5)	o	×	×
	SysTick 割り込み		o	×	×
	マスク不能割り込み (INTWDT)		o	×	×
	マスク不能割り込み ($\overline{\text{NMI}}$ 端子)		o	o	o
	マスク不能割り込み (INTLVD)		o	o	o
	リセット(WDT)		o	×	×
	リセット(POR)		o	o	o
	リセット(LVD)		o	o	o
	リセット(OFD)		o	×	×
	リセット ($\overline{\text{RESET}}$ 端子)		o	o	o

o：　解除後、割り込み処理を開始します。(RESET は本製品を初期化します))

×：　解除に使用できません

注 1)　各モードからの復帰に必要なウォーミングアップについては、「5.6.8 ウォーミングアップ」を参照してください。

注 2)　STOP2 モード解除後は内部電源遮断周辺回路(表 5-6 を参照してください)に対してリセット動作が行われます。ただし、バックアップモジュールに対しては初期化はされません。

注 3)　低消費電力モードへ移行する場合は、復帰要因以外の割り込みを禁止してください。禁止しない場合、復帰要因以外の割り込みで低消費電力モードの解除が行われる場合があります。

注 4)　IDLE,STOP1/2 モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

注 5)　TMPM367FDXBG の μDMAC の起動要因は次の通りです。

INTDMAADA, INTDMAADB, INTDMADAA, INTDMADAB, INTDMASPR0, INTDMASPT0, INTDMASPR1, INTDMASPT1, INTDMASPR2, INTDMASPT2, INTDMAUTR0, INTDMAUTT0, INTDMAUTR1, INTDMAUTT1, INTDMARX0, INTDMATX0, INTDMARX1, INTDMATX1, INTDMARX2, INTDMATX2, INTDMARX3, INTDMATX3, INTDMASBI1, INTDMASBI2, INTDMATB, INTDMARQ

・ 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、低消費電力モードに移行する前に割り込みが検出されるよう設定しておく必要があります。

STOP1, STOP2 モードの解除に使用する割り込みの設定については、、「例外」の章の「割り込み」を参照してください。

・ マスク不能割り込み(NMI)による解除

NMI の要因には WDT 割り込み(INTWDT)、LVD 割り込み(INTLVD)と $\overline{\text{NMI}}$ 端子があります。

INTWDT は IDLE モードでのみ使用可能です。

INTLVD と $\overline{\text{NMI}}$ 端子によるマスク不能割り込みはすべての低消費電力モードを解除することができます。

・ リセットによる解除

$\overline{\text{RESET}}$ 端子、POR、LVD によるリセットですべての低消費電力モードからの解除を行うことができます。

WDT、OFD によるリセットでは、IDLE モードからの解除を行うことができます。

リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

・ SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

5.6.7　STOP2 モードへの遷移/復帰フロー

STOP2 モードへの遷移フローを以下に示します。
[　　]はソフトウエアによる処理を、[　　]はハードウエアによる処理を示しています。

STOP2 モード遷移準備
- CGSTBYCR<STBY> = 101 (STOP2 に設定)
- CGPLLSEL<PLLSEL>= 0 (fosc 使用)
- CGPLLSEL<PLLSEL>の読み出し("0"になっていることを確認)
- CGOSCCR<PLLON> = 0 (fsys 用 PLL を停止に設定)
- CGSYSCR<GEAR> = 000 (クロックギアを fc=1/1 に設定)

↓

ポート状態保持
- CGSTBYCR<PTKEEP> = 1 (1 設定時のポート状態を保持)

↓

STOP2 モード遷移
- WFI 命令実行

↓

STOP2 モード中
- メインレギュレータ停止による RVDD3 系電源の遮断
- ポート状態保持

↓

解除要因発生
- STOP2 モード解除割り込み発生

↓

STOP2 復帰シーケンス
- メインレギュレータ動作(電源安定)
- 内部発振器開始(発振安定)
- リセット動作
- リセット割り込み処理ルーチンへ分岐
- NORMAL モードへ復帰

↓

リセットフラグのチェック
- CGRSTFLG = xx (どの要因によってリセットされたかの確認)

↓

割り込み処理
- 割り込みイネーブルレジスタ、割り込み優先度レジスタの設定
- 割り込みハンドラにジャンプし、STOP2 復帰要因の確認

↓

ポート状態保持の解除
- STOP2 復帰時の初期設定とポートレジスタの再設定
- CGSTBYCR<PTKEEP> = 0 (ポート制御が可能)

5.6.8 ウォーミングアップ

モード遷移時、発振器の安定のためウォーミングアップが必要な場合があります。

STOP1/2 モードから NORMAL モードへの遷移では、自動的に内部高速発振が許可され、ウォーミングアップ用カウンタのソースクロックに内部高速発振が選択され、ウォーミングアップカウンタが自動で起動されます。

ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP1、STOP2 モードに移行する命令を実行する前に、CGOSCCR <WUPT>[11:0]でウォーミングアップ時間の設定を行ってください。ウォーミングアップ時間については、「5.6.9 モード遷移によるクロック動作」を参照してください。

注) STOP1/STOP2 モードからの復帰する際、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<WUPSEL2>、<OSCSEL>、<XEN3>、<XEN2>、<XEN1>、<PLLON>は初期化され、内部高速発振で起動します。

各動作モード遷移時におけるウォーミングアップの有無を表 5-8 に示します。

表 5-8 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ（注）
STOP2 → NORMAL	自動ウォーミングアップ（注）

注) リセットで解除する場合には自動ウォーミングアップを行ないません。コールドスタートと同じリセットを入力してください。

5.6.9　モード遷移によるクロック動作

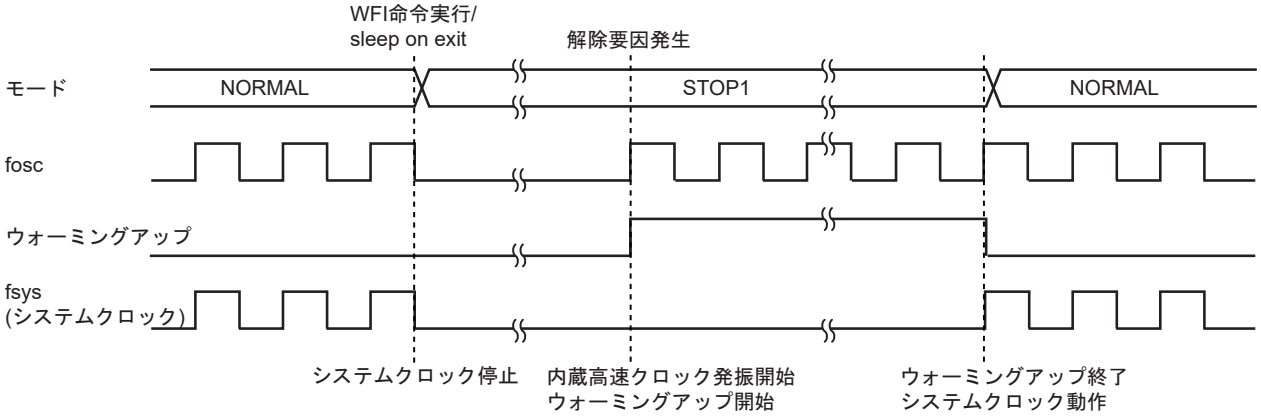
モード遷移の際の、クロック動作について以下に示します。

5.6.9.1　NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

この場合のウォーミングアップは内部回路の安定のため、約 100μs 以上必要です。STOP1 モードへ遷移する前に CGOSCCR<WUPT[11:0]>に 0x03f を設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセット時と同じリセットを入力してください。



5.6.9.2 NORMAL → STOP2 → NORMAL 動作モード遷移

STOP2 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

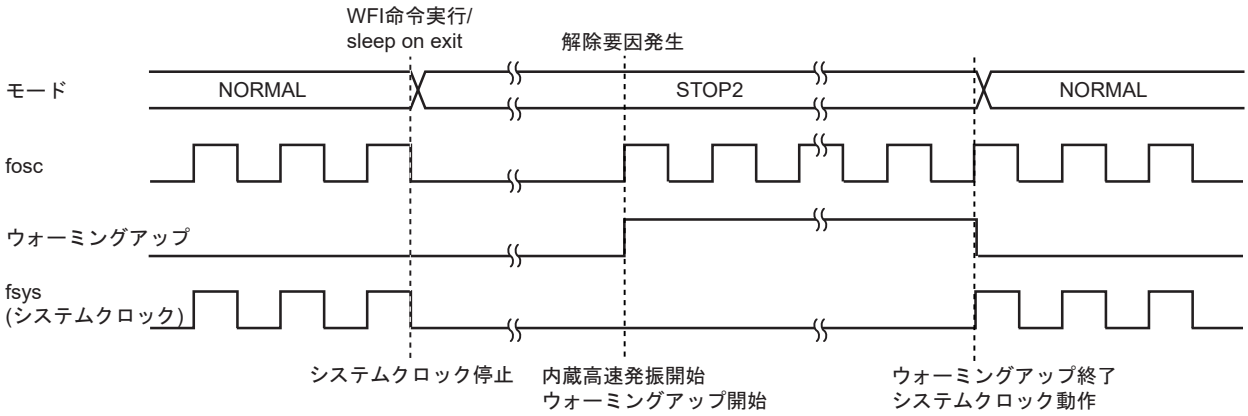
この場合のウォーミングアップは内部回路の安定のため、約 1ms 以上必要です。STOP2 モードへ遷移する前に CGOSCCR<WUPT[11:0]>に 0x271 を設定してください。

STOP2 モード解除後は内部電源遮断周辺回路に対してリセット動作が行われます。ただし、電源が遮断されない周辺回路に対してリセットが行われません。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。

リセット以外で NORMAL モードへ復帰する場合でもリセットの割込み処理ルーチンへ分岐します。

注) 外部割込み端子で STOP2 モードを解除するときには、STOP2 モードへ遷移する前に<PTKEEP>を"1"に設定してください。



第 6 章　リセット動作

リセットの種類として以下のものがあります。

- パワーオンリセット回路(POR)
- 電圧検出回路(LVD)
- リセット端子($\overline{\text{RESET}}$)
- ウォッチドッグタイマ(WDT)
- 周波数検知回路(OFD)
- CPU のアプリケーション割り込みおよびリセットレジスタ<SYSRESETREQ>ビット

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG については、例外の章を参照してください。

パワーオンリセット回路、電圧検出回路、ウォッチドッグタイマ、周波数検知回路についてはそれぞれの章を参照してください。

<SYSRESETREQ>によるリセットについては、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

注 1)　リセット動作を行うと内蔵 RAM のデータは保証されません。

6.1　コールドリセット時

電源投入の際には、内蔵レギュレータ、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。TMPM367FDXBG では、これらの機能の安定のための時間を内部回路が自動的に挿入します。

6.1.1　パワーオンリセット回路によるリセット($\overline{\text{RESET}}$ 端子を使用しない場合)

電源電圧がパワーオンリセットの解除電圧を超えるとパワーオンカウンタが動作を開始し、約 0.8ms 後に内部リセット信号が解除されます。

パワーオンリセット回路の動作については、「パワーオンリセット回路(POR)」の章を参照してください。

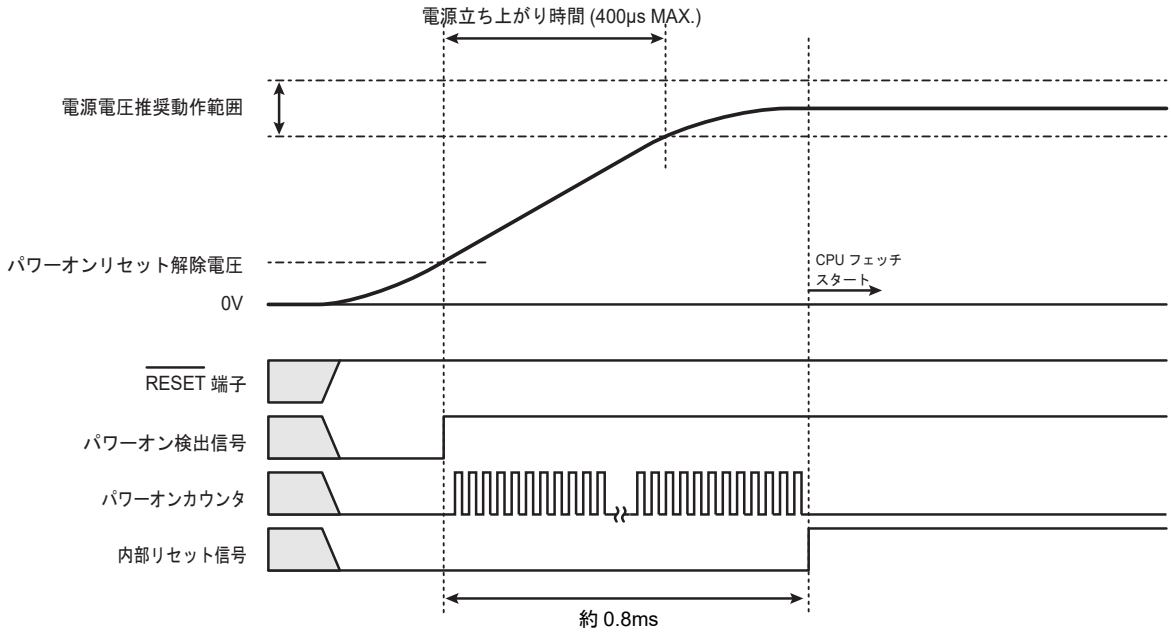


図 6-1 パワーオン回路によるリセット動作

6.1.2 $\overline{\text{RESET}}$ 端子によるリセット

内部リセット信号が解除されるのは、$\overline{\text{RESET}}$ 端子が"High"になってから約 0.8ms 後です。ただし、パワーオンリセット信号が"High"になってから 400μs 以内に $\overline{\text{RESET}}$ 端子を"High"にした場合、6.1.1 のパワーオンリセットによるリセット動作と同じ動作になります。

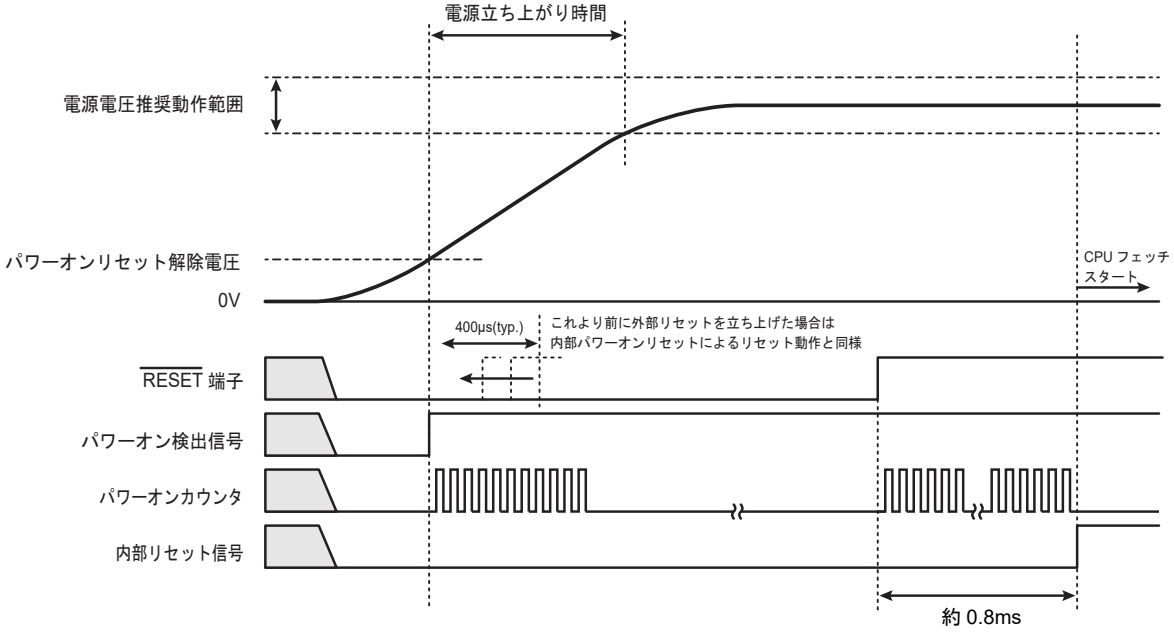


図 6-2 $\overline{\text{RESET}}$ 端子によるリセット動作

6.2　ウォームリセット時

6.2.1　リセット期間

TMPM367FDXBG にリセットをかけるには、電源電圧が動作範囲内であり、$\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 システムクロック間"Low"にしてください。$\overline{\text{RESET}}$ 端子が"High"になってから約 0.8ms 後に内部リセットが解除されます。

6.3　リセット解除後

リセット解除後は、Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。コア内部のシステムデバッグコンポーネント(FPB、DWT、ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG および FLASH 関連レジスタの FCSECBIT はコールドリセットでのみ初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逓倍回路の設定を行ってください。

第 7 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M3 テクニカルリファレンスマニュアル"もご覧ください。

7.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

7.1.1　種類

例外には以下のようなものがあります。

それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル"をご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

7.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 ▭ はハードウエアによる処理を、 ▭ はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
CG/CPU が 例外を検出	CG/CPU が例外要求を検出します。	7.1.2.1 節
⇩		
CPU が例外を処理	CPU が例外処理を行います。	7.1.2.2 節
⇩		
CPU が割り込み 処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
⇩		
割り込み処理ルーチン 実行	必要な処理を行います。	7.1.2.3 節
⇩		
例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	7.1.2.4 節

7.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理, バスフォールト, 用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, POR, LVD, OFD, SYSRESETREQ
2	マスク不能割り込み	−2	$\overline{\text{NMI}}$ 端子または WDT,LVD
3	ハードフォールト	−1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	−	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	−	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.1.5 要因一覧」を参照してください。

(3)　優先度の設定

・　優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>ビットに設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注)　本製品では、<PRI_n>ビットは 3 ビットの構成になっています。

・　優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 7-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 7-2 優先度のグループ化設定

<PRIGROUP[2:0]>の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取りフィールド	サブ優先度フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注)　<PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。
たとえば、3 ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

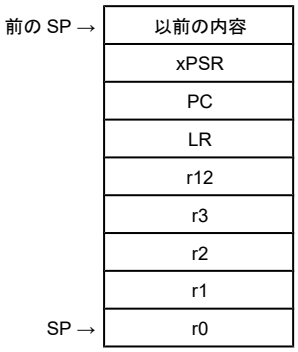
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムカウンタ(PC)
- プログラムステータスレジスタ(xPSR)
- r0 ~ r3
- r12
- リンクレジスタ(LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3　割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(PC, xPSR, r0 ~ r3, r12, LR)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2　リセット例外

リセット例外には、以下の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- POR によるリセット例外

  POR によるリセットを発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください

- LVD によるリセット例外

  LVD によるリセットを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

- OFD によるリセット例外

  OFD によるリセットを発生する機能があります。詳細は「周波数検知回路」の章をご覧ください。

- WDT によるリセット例外

  WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- SYSRESETREQ によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。

7.3　マスク不能割り込み(NMI)

マスク不能割り込みには、以下の 3 種類の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの CGNMIFLG を参照してください。

- 外部 $\overline{\text{NMI}}$ 端子

  外部 $\overline{\text{NMI}}$ 端子を"High"から"Low"にすることによりマスク不能割り込みが発生します。

- WDT によるマスク不能割り込み

  WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- LVD によるマスク不能割り込み

  LVD にマスク不能割り込みを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

7.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正値レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正値レジスタに設定されている値も異なります。

注) 本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

7.5　割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

7.5.1　要因

7.5.1.1　経路

割り込み要求の経路を図 7-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

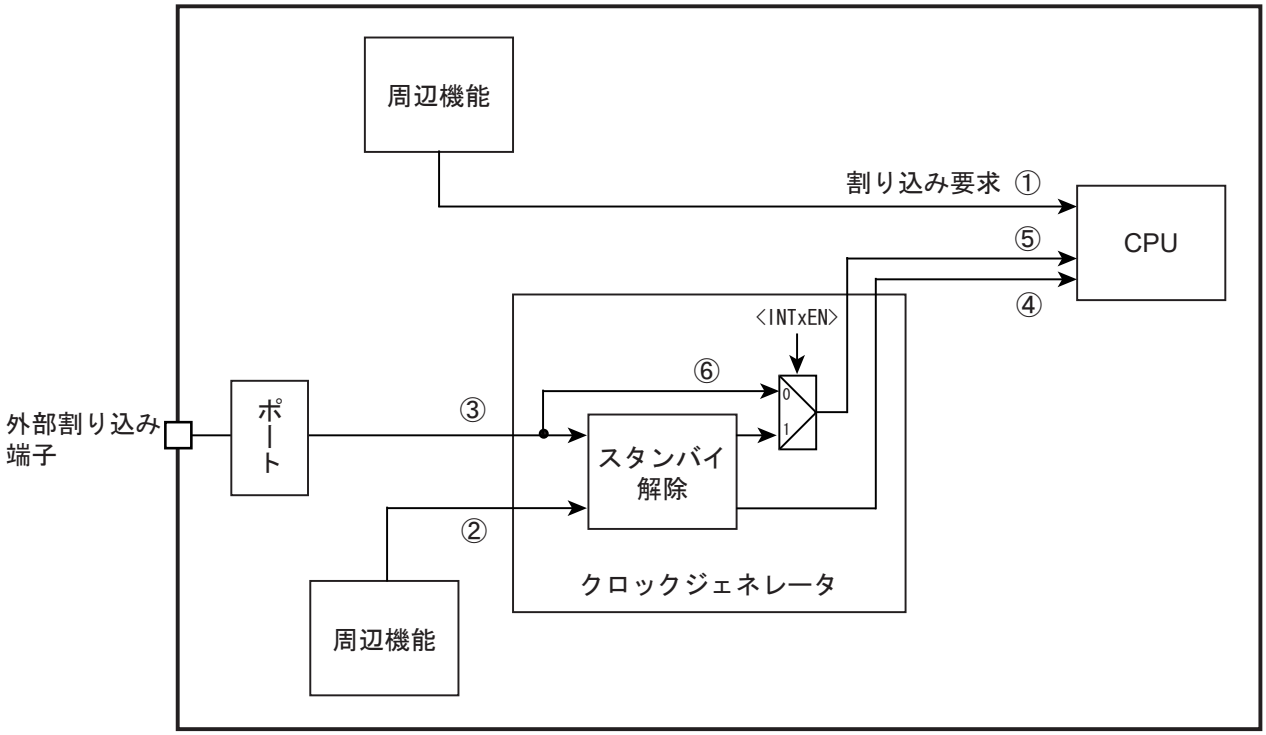


図 7-1 割り込みの経路

7.5.1.2　割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子, 周辺機能, NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

・ 外部端子からの割り込み

外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。

・ 周辺機能の割り込み

周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。

詳細は各章をご覧ください。

・ 割り込みの強制的な保留

割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

7.5.1.3 割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

7.5.1.4 外部割込み端子を使用する際の注意

外部割込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割込み端子からの入力信号は、入力ディセーブル(PxIE<PxmIE>="0")の場合"High"となります。また、外部割込みをスタンバイ解除要因として使用しない場合（「図 7-1 割り込みの経路」の⑥ の経路)、外部割込み端子からの入力信号がそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を"Low"レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

7.5.1.5　要因一覧

割り込みの要因一覧を表 7-3 に示します。

表 7-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
0	INT0	割り込み端子 0	任意	CGIMCGA
1	INT1	割り込み端子 1		
2	INT2	割り込み端子 2		
3	INT3	割り込み端子 3		
4	INT4	割り込み端子 4		CGIMCGB
5	INT5	割り込み端子 5		
6	INT6	割り込み端子 6		
7	INT7	割り込み端子 7		
8	INT8	割り込み端子 8		CGIMCGC
9	INT9	割り込み端子 9		
10	INTA	割り込み端子 A		
11	INTB	割り込み端子 B		
12	INTC	割り込み端子 C		
13	INTUSBDPON(INTD)	USB デバイス バスパワー	任意	CGIMCGD
14	Reserved	-		
15	Reserved	-		
16	INTRX0	シリアル受信(channel0)		
17	INTTX0	シリアル送信 (channel0)		
18	INTRX1	シリアル受信(channel1)		
19	INTTX1	シリアル送信 (channel1)		
20	INTRX2	シリアル受信(channel2)		
21	INTTX2	シリアル送信 (channel2)		
22	INTRX3	シリアル受信(channel3)		
23	INTTX3	シリアル送信 (channel3)		
24	INTUART0	UART 割り込み (channel0)		
25	INTUART1	UART 割り込み (channel1)		
26	INTSBI0	シリアルバスインタフェース 0		
27	INTSBI1	シリアルバスインタフェース 1		
28	INTSBI2	シリアルバスインタフェース 2		
29	INTSSP0	シンクロナスシリアルポート割り込み (channel 0)		
30	INTSSP1	シンクロナスシリアルポート割り込み (channel 1)		
31	INTSSP2	シンクロナスシリアルポート割り込み (channel 2)		
32	Reserved	-		
33	INTUSBD	USB デバイス割り込み		
34	INTUSBWKUP	USB デバイス Wakeup 割り込み	任意	CGIMCGD
35	Reserved	-		
36	Reserved	-		
37	Reserved	-		
38	Reserved	-		
39	Reserved	-		
40	INTADAHP	最優先 AD 変換終了割り込み (unit A)		
41	INTADAM0	AD 変換監視機能割り込み 0 (unit A)		
42	INTADAM1	AD 変換監視機能割り込み 1 (unit A)		
43	INTADA	AD 変換終了割り込み (unit A)		
44	INTADBHP	最優先 AD 変換終了割り込み (unit B)		

表 7-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
45	INTADBM0	AD 変換監視機能割り込み 0 (unit B)		
46	INTADBM1	AD 変換監視機能割り込み 1 (unit B)		
47	INTADB	AD 変換終了割り込み (unit B)		
48	INTEMG	PMD EMG 割り込み		
49	INTPMD	PMD PWM 割り込み		
50	INTENC	エンコーダ入力割り込み (channel)		
51	Reserved	-		
52	Reserved	-		
53	Reserved	-		
54	INTMTEMG0	MPT EMG 割り込み (channel 0)		
55	INTMTTB00	MPT コンペアー致 0/オーバーフロー、 IGBT 周期割り込み (channel 0)		
56	INTMTTB01	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 0)		
57	INTMTCAP00	MPT インプットキャプチャ 0 (channel 0)		
58	INTMTCAP01	MPT インプットキャプチャ 1 (channel 0)		
59	INTMTEMG1	MPT EMG 割り込み (channel 1)		
60	INTMTTB10	MPT コンペアー致 0/オーバーフロー、 IGBT 周期割り込み (channel 1)		
61	INTMTTB11	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 1)		
62	INTMTCAP10	MPT インプットキャプチャ 0 (channel 1)		
63	INTMTCAP11	MPT インプットキャプチャ 1 (channel 1)		
64	INTMTEMG2	MPT EMG 割り込み (channel 2)		
65	INTMTTB20	MPT コンペアー致 0/オーバーフロー、 IGBT 周期割り込み (channel 2)		
66	INTMTTB21	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 2)		
67	INTMTCAP20	MPT インプットキャプチャ 0 (channel 2)		
68	INTMTCAP21	MPT インプットキャプチャ 1 (channel 2)		
69	INTMTEMG3	MPT EMG 割り込み (channel 3)		
70	INTMTTB30	MPT コンペアー致 0/オーバーフロー、 IGBT 周期割り込み (channel 3)		
71	INTMTTB31	MPT コンペアー致 1、 IGBT トリガ割り込み (channel 3)		
72	INTMTCAP30	MPT インプットキャプチャ 0 (channel 3)		
73	INTMTCAP31	MPT インプットキャプチャ 1 (channel 3)		
74	INTRMCRX	リモコン受信	↑エッジ	CGIMCGD
75	INTTB0	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 0)		
76	INTCAP00	16-bit TMRB インプットキャプチャ 0 (channel 0)		
77	INTCAP01	16-bit TMRB インプットキャプチャ 1 (channel 0)		
78	INTTB1	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 1)		
79	INTCAP10	16-bit TMRB インプットキャプチャ 0 (channel 1)		
80	INTCAP11	16-bit TMRB インプットキャプチャ 1 (channel 1)		
81	INTTB2	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 2)		
82	INTCAP20	16-bit TMRB インプットキャプチャ 0 (channel 2)		
83	INTCAP21	16-bit TMRB インプットキャプチャ 1 (channel 2)		
84	INTTB3	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 3)		
85	Reserved	-		

表 7-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
86	Reserved	-		
87	INTTB4	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 4)		
88	Reserved	-		
89	Reserved	-		
90	INTTB5	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 5)		
91	INTCAP50	16-bit TMRB インプットキャプチャ 0 (channel 5)		
92	INTCAP51	16-bit TMRB インプットキャプチャ 1 (channel 5)		
93	INTTB6	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 6)		
94	Reserved	-		
95	Reserved	-		
96	INTTB7	16-bit TMRB コンペアー致 0/1/オーバーフロー (chanel 7)		
97	Reserved	-		
98	Reserved	-		
99	INTRTC	RTC	↓エッジ	CGIMCGD
100	INTDMAADA	DMAC ADC 変換終了 (unit A)		
101	INTDMAADB	DMAC ADC 変換終了 (unit B)		
102	INTDMADAA	DMAC DAC 変換トリガ (channel 0)		
103	INTDMADAB	DMAC DAC 変換トリガ (channel 1)		
104	INTDMASPR0	DMAC SSP　受信 (channel 0) / DMAC I2C/SIO (channel0)		
105	INTDMASPT0	DMAC SSP 送信 (channel 0)		
106	INTDMASPR1	DMAC SSP 受信 (channel 1)		
107	INTDMASPT1	DMAC SSP 送信 (channel 1)		
108	INTDMASPR2	DMAC SSP　受信 (channel 2)		
109	INTDMASPT2	DMAC SSP 送信 (channel 2)		
110	INTDMAUTR0	DMAC UART 受信 (channel 0)		
111	INTDMAUTT0	DMAC UART 送信 (channel 0)		
112	INTDMAUTR1	DMAC UART 受信 (channel 1)		
113	INTDMAUTT1	DMAC UART 送信 (channel 1)		
114	INTDMARX0	DMAC SIO/UART 受信 (channel 0)		
115	INTDMATX0	DMAC SIO/UART 送信 (channel 0)		
116	INTDMARX1	DMAC SIO/UART 受信 (channel 1)		
117	INTDMATX1	DMAC SIO/UART 送信 (channel 1)		
118	INTDMARX2	DMAC SIO/UART 受信 (channel 2)		
119	INTDMATX2	DMAC SIO/UART 送信 (channel 2)		
120	INTDMARX3	DMAC SIO/UART 受信 (channel 3)		
121	INTDMATX3	DMAC SIO/UART 送信 (channel 3)		
122	INTDMASBI1	DMAC I2C/SIO (channel 1)		
123	INTDMASBI2	DMAC I2C/SIO (channel 2)		
124	INTDMATB	DMAC TMRB コンペアー致 0/1/オーバーフロー (channel 0~4)		
125	INTDMARQ	DMAC リクエスト端子		
126	INTDMAAERR	DMAC 転送エラー割り込み (unit A)		
127	INTDMABERR	DMAC 転送エラー割り込み (unit B)		

7.5.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は"High"レベル、"Low"レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx[2:0]>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 7-3 で指定されているとおりに設定してください。

クロックジェネレータで検出された割り込みは、"High"レベル信号で CPU に通知されます。

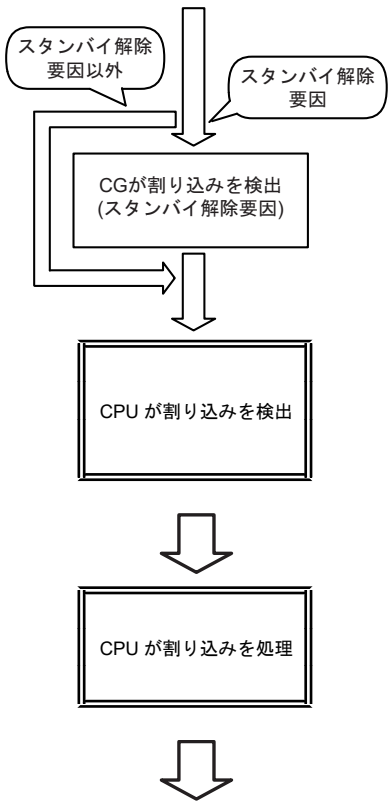
7.5.2　処理詳細

7.5.2.1　処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 ▭ はハードウエアによる処理を、 ▭ はソフトウエアによる処理を示しています。

処理	内容	説明
検出のための準備	割り込みを検出するための設定を、NVIC レジスタで行います。 スタンバイ解除要因となる割り込みは、クロックジェネレータの設定も必要です。 〇共通 NVIC レジスタの設定 〇スタンバイ解除の設定 クロックジェネレータの設定	「7.5.2.2 準備」
要因発生のための準備	割り込みの要因発生のための設定を行います。割り込みの種類により設定内容が異なります。 〇外部割り込み ポートの設定 〇各周辺機能からの割り込み 各周辺機能の設定（使用する周辺機能の章を参照ください）	
割り込み要因の発生	割り込みの要因が発生します。	
CGが割り込みを検出 (スタンバイ解除要因)	スタンバイ解除要因となる割り込みは、、クロックジェネレータを経由して CPU に接続されています。	「7.5.2.3 検出(クロックジェネレータ)」
CPU が割り込みを検出	CPU が割り込みを検出します。 複数の割り込み要因が存在する場合、優先順位に従って最も優先度の高い割り込み要因を検出します。	「7.5.2.4 検出(CPU)」
CPU が割り込みを処理	CPU が割り込み処理を行います。 スタックにレジスタの内容を退避し、割り込み処理ルーチンへ分岐します。	「7.5.2.5 CPU の処理」



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
⇩		
元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

7.5.2.2　準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1)　CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。
注 2)　PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2)　CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3) 要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「7.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.5 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。また、「7.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注)　「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7)　CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1)　「m」は該当ビットを示します。
注 2)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

7.5.2.3　検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、"High" レベルまたは"Low" レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High" レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

7.5.2.4　検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

7.6　例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

7.6.1　レジスター覧

NVIC レジスタ　　Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
割り込みイネーブルセットレジスタ 3	0x0108
割り込みイネーブルセットレジスタ 4	0x010C
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
割り込みイネーブルクリアレジスタ 3	0x0188
割り込みイネーブルクリアレジスタ 4	0x018C
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
割り込み保留セットレジスタ 3	0x0208
割り込み保留セットレジスタ 4	0x020C
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
割り込み保留クリアレジスタ 3	0x0288
割り込み保留クリアレジスタ 4	0x028C
割り込み優先度レジスタ	0x0400 ~ 0x047F
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ　　Base Address = 0x400F_3000

レジスタ名		Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB	0x0044
CG 割り込みモードコントロールレジスタ C	CGIMCGC	0x0048
CG 割り込みモードコントロールレジスタ D	CGIMCGD	0x004C
CG 割り込み要求クリアレジスタ	CGICRCG	0x0060
リセットフラグレジスタ	CGRSTFLG	0x0064
NMI フラグレジスタ	CGNMIFLG	0x0068

7.6.2 NVIC レジスタ

7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	–	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	–	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック(fosc/32) (注) 1: CPU クロック(fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

7.6.2.2　SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

7.6.2.3　SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

7.6.2.4 SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	1	1	0	1	0	1

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	–	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値 外部参照クロックで 10 ms をカウントするために使用するリロード値(0xC35)です。(注)

注) マルチショットで使用する場合、この値を-1 して使用してください。

7.6.2.5　割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	SETENA	R/W	割り込み番号[31:16] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
15-14	-	R/W	"0"をライトしてください。
13-0	SETENA	R/W	割り込み番号[13:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.6 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	-	-	-	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-22	SETENA	R/W	割り込み番号[63:54] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
21-19	-	R/W	"0"をライトしてください。
18-8	SETENA	R/W	割り込み番号[50:40] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
7-3	-	R/W	"0"をライトしてください。
2-0	SETENA	R/W	割り込み番号[34:32] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.7　割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	SETENA (割り込み 93)	SETENA (割り込み 92)	SETENA (割り込み 91)	SETENA (割り込み 90)	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 87)	-	-	SETENA (割り込み 84)	SETENA (割り込み 83)	SETENA (割り込み 82)	SETENA (割り込み 81)	SETENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 79)	SETENA (割り込み 78)	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	SETENA (割り込み 65)	SETENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	-	R/W	"0"をライトしてください。
29-26	SETENA	R/W	割り込み番号[93:90] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
25-24	-	R/W	"0"をライトしてください。
23	SETENA	R/W	割り込み番号[87] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
22-21	-	R/W	"0"をライトしてください。
20-0	SETENA	R/W	割り込み番号[84:64] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.8 割り込みイネーブルセットレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 127)	SETENA (割り込み 126)	SETENA (割り込み 125)	SETENA (割り込み 124)	SETENA (割り込み 123)	SETENA (割り込み 122)	SETENA (割り込み 121)	SETENA (割り込み 120)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 119)	SETENA (割り込み 118)	SETENA (割り込み 117)	SETENA (割り込み 116)	SETENA (割り込み 115)	SETENA (割り込み 114)	SETENA (割り込み 113)	SETENA (割り込み 112)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 111)	SETENA (割り込み 110)	SETENA (割り込み 109)	SETENA (割り込み 108)	SETENA (割り込み 107)	SETENA (割り込み 106)	SETENA (割り込み 105)	SETENA (割り込み 104)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 103)	SETENA (割り込み 102)	SETENA (割り込み 101)	SETENA (割り込み 100)	SETENA (割り込み 99)	-	-	SETENA (割り込み 96)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	SETENA	R/W	割り込み番号[127:99] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
2-1	-	R/W	"0"をライトしてください。
0	SETENA	R/W	割り込み番号[96] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.9　割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	CLRENA	R/W	割り込み番号[31:16] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
15-14	-	R/W	"0"をライトしてください。
13-0	CLRENA	R/W	割り込み番号[13:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.10 割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	-	-	-	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLRENA (割り込み 34)	CLRENA (割り込み 33)	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-22	CLRENA	R/W	割り込み番号[63:54] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
21-19	-	R/W	"0"をライトしてください。
18-8	CLRENA	R/W	割り込み番号[50:40] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
7-3	-	R/W	"0"をライトしてください。
2-1	CLRENA	R/W	割り込み番号[34:33] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
0	-	R/W	"0"をライトしてください。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.11 割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	CLRENA (割り込み 93)	CLRENA (割り込み 92)	CLRENA (割り込み 91)	CLRENA (割り込み 90)	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 87)	-	-	CLRENA (割り込み 84)	CLRENA (割り込み 83)	CLRENA (割り込み 82)	CLRENA (割り込み 81)	CLRENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 79)	CLRENA (割り込み 78)	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	CLRENA (割り込み 65)	CLRENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	-	R/W	"0"をライトしてください。
29-26	CLRENA	R/W	割り込み番号[93:90] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
25-24	-	R/W	"0"をライトしてください。
23	CLRENA	R/W	割り込み番号[87] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
22-21	-	R/W	"0"をライトしてください。
20-0	CLRENA	R/W	割り込み番号[84:64] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.12 割り込みイネーブルクリアレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 127)	CLRENA (割り込み 126)	CLRENA (割り込み 125)	CLRENA (割り込み 124)	CLRENA (割り込み 123)	CLRENA (割り込み 122)	CLRENA (割り込み 121)	CLRENA (割り込み 120)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 119)	CLRENA (割り込み 118)	CLRENA (割り込み 117)	CLRENA (割り込み 116)	CLRENA (割り込み 115)	CLRENA (割り込み 114)	CLRENA (割り込み 113)	CLRENA (割り込み 112)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 111)	CLRENA (割り込み 110)	CLRENA (割り込み 109)	CLRENA (割り込み 108)	CLRENA (割り込み 107)	CLRENA (割り込み 106)	CLRENA (割り込み 105)	CLRENA (割り込み 104)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 103)	CLRENA (割り込み 102)	CLRENA (割り込み 101)	CLRENA (割り込み 100)	CLRENA (割り込み 99)	-	-	CLRENA (割り込み 96)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	CLRENA	R/W	割り込み番号[127:99] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
2-1	-	R/W	"0"をライトしてください。
0	CLRENA	R/W	割り込み番号[96] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.13　割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	SETPEND	R/W	割り込み番号[31:16] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
15-14	-	R/W	"0"をライトしてください。
13-0	SETPEND	R/W	割り込み番号[13:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.14 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	-	-	-	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SETPEND (割り込み 34)	SETPEND (割り込み 33)	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-22	SETPEND	R/W	割り込み番号[63:54] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
21-19	-	R/W	"0"をライトしてください。
18-8	SETPEND	R/W	割り込み番号[50:40] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
7-3	-	R/W	"0"をライトしてください。
2-1	SETPEND	R/W	割り込み番号[34:33] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
0	-	R/W	"0"をライトしてください。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.15 割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	SETPEND (割り込み 93)	SETPEND (割り込み 92)	SETPEND (割り込み 91)	SETPEND (割り込み 90)	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 87)	-	-	SETPEND (割り込み 84)	SETPEND (割り込み 83)	SETPEND (割り込み 82)	SETPEND (割り込み 81)	SETPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 79)	SETPEND (割り込み 78)	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	SETPEND (割り込み 65)	SETPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-30	-	R/W	"0"をライトしてください。
29-26	SETPEND	R/W	割り込み番号[93:90] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
25-24	-	R/W	"0"をライトしてください。
23	SETPEND	R/W	割り込み番号[87] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
22-21	-	R/W	"0"をライトしてください。
20-0	SETPEND	R/W	割り込み番号[84:64] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.16 割り込み保留セットレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 127)	SETPEND (割り込み 126)	SETPEND (割り込み 125)	SETPEND (割り込み 124)	SETPEND (割り込み 123)	SETPEND (割り込み 122)	SETPEND (割り込み 121)	SETPEND (割り込み 120)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 119)	SETPEND (割り込み 118)	SETPEND (割り込み 117)	SETPEND (割り込み 116)	SETPEND (割り込み 115)	SETPEND (割り込み 114)	SETPEND (割り込み 113)	SETPEND (割り込み 112)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 111)	SETPEND (割り込み 110)	SETPEND (割り込み 109)	SETPEND (割り込み 108)	SETPEND (割り込み 107)	SETPEND (割り込み 106)	SETPEND (割り込み 105)	SETPEND (割り込み 104)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 103)	SETPEND (割り込み 102)	SETPEND (割り込み 101)	SETPEND (割り込み 100)	SETPEND (割り込み 99)	-	-	SETPEND (割り込み 96)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-3	SETPEND	R/W	割り込み番号[127:99] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
2-1	-	R/W	"0"をライトしてください。
0	SETPEND	R/W	割り込み番号[96] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.17　割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	CLRPEND	R/W	割り込み番号[31:16] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
15-14	-	R/W	"0"をライトしてください。
13-0	CLRPEND	R/W	割り込み番号[13:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.18 割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	-	-	-	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-22	CLRPEND	R/W	割り込み番号[63:54] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
21-19	-	R/W	"0"をライトしてください。
18-8	CLRPEND	R/W	割り込み番号[50:40] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
7-3	-	R/W	"0"をライトしてください。
2-1	CLRPEND	R/W	割り込み番号[34:33] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
0	-	R/W	"0"をライトしてください。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.19 割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	CLRPEND (割り込み 93)	CLRPEND (割り込み 92)	CLRPEND (割り込み 91)	CLRPEND (割り込み 90)	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 87)	-	-	CLRPEND (割り込み 84)	CLRPEND (割り込み 83)	CLRPEND (割り込み 82)	CLRPEND (割り込み 81)	CLRPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 79)	CLRPEND (割り込み 78)	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	CLRPEND (割り込み 65)	CLRPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-30	-	R/W	"0"をライトしてください。
29-26	CLRPEND	R/W	割り込み番号[93:90] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
25-24	-	R/W	"0"をライトしてください。
23	CLRPEND	R/W	割り込み番号[87] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
22-21	-	R/W	"0"をライトしてください。
20-0	CLRPEND	R/W	割り込み番号[84:64] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.20 割り込み保留クリアレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 127)	CLRPEND (割り込み 126)	CLRPEND (割り込み 125)	CLRPEND (割り込み 124)	CLRPEND (割り込み 123)	CLRPEND (割り込み 122)	CLRPEND (割り込み 121)	CLRPEND (割り込み 120)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 119)	CLRPEND (割り込み 118)	CLRPEND (割り込み 117)	CLRPEND (割り込み 116)	CLRPEND (割り込み 115)	CLRPEND (割り込み 114)	CLRPEND (割り込み 113)	CLRPEND (割り込み 112)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 111)	CLRPEND (割り込み 110)	CLRPEND (割り込み 109)	CLRPEND (割り込み 108)	CLRPEND (割り込み 107)	CLRPEND (割り込み 106)	CLRPEND (割り込み 105)	CLRPEND (割り込み 104)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 103)	CLRPEND (割り込み 102)	CLRPEND (割り込み 101)	CLRPEND (割り込み 100)	CLRPEND (割り込み 99)	-	-	CLRPEND (割り込み 96)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-3	SETPEND	R/W	割り込み番号[127:99] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
2-1	-	R/W	"0"をライトしてください。
0	SETPEND	R/W	割り込み番号[96] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

7.6.2.21　割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31　24	23　16	15　8	7　0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	Reserved	Reserved	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28
0xE000_E420	Reserved	PRI_34	PRI_33	Reserved
0xE000_E424	Reserved	Reserved	Reserved	Reserved
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40
0xE000_E42C	PRI_47	PRI_46	PRI_45	PRI_44
0xE000_E430	Reserved	PRI_50	PRI_49	PRI_48
0xE000_E434	PRI_55	PRI_54	Reserved	Reserved
0xE000_E438	PRI_59	PRI_58	PRI_57	PRI_56
0xE000_E43C	PRI_63	PRI_62	PRI_61	PRI_60
0xE000_E440	PRI_67	PRI_66	PRI_65	PRI_64
0xE000_E444	PRI_71	PRI_70	PRI_69	PRI_68
0xE000_E448	PRI_75	PRI_74	PRI_73	PRI_72
0xE000_E44C	PRI_79	PRI_78	PRI_77	PRI_76
0xE000_E450	PRI_83	PRI_82	PRI_81	PRI_80
0xE000_E454	PRI_87	Reserved	Reserved	PRI_84
0xE000_E458	PRI_91	PRI_90	Reserved	Reserved
0xE000_E45C	Reserved	Reserved	PRI_93	PRI_92
0xE000_E460	PRI_99	Reserved	Reserved	PRI_96
0xE000_E464	PRI_103	PRI_102	PRI_101	PRI_100
0xE000_E468	PRI_107	PRI_106	PRI_105	PRI_104
0xE000_E46C	PRI_111	PRI_110	PRI_109	PRI_108
0xE000_E470	PRI_115	PRI_114	PRI_113	PRI_112
0xE000_E474	PRI_119	PRI_118	PRI_117	PRI_116
0xE000_E478	PRI_123	PRI_122	PRI_121	PRI_120
0xE000_E47C	PRI_127	PRI_126	PRI_125	PRI_124

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	–	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	–	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	–	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	–	R	リードすると"0"が読めます。

7.6.2.22　ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	–	R	リードすると"0"が読めます。

注)　<TBLOFF[31:30]>は"00"に設定してください。

7.6.2.23 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	–	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	–	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

7.6.2.24　システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31　　24	23　　16	15　　8	7　　0
0xE000_ED18	PRI_7	PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	–	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	–	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	–	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	–	R	リードすると"0"が読めます。

7.6.2.25 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	–	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAUL TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	–	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	–	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	–	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注)　アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

7.6.3　クロックジェネレータレジスタ

7.6.3.1　CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	–	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT3 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT3 スタンバイ解除要求のアクティブ状態 00: – 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	–	R	リードすると不定が読めます。

Bit	Bit Symbol	Type	機能
24	INT3EN	R/W	INT3 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT2 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT2 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定が読めます。
16	INT2EN	R/W	INT2 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。
14-12	EMCG1[2:0]	R/W	INT1 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT1 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定が読めます。
8	INT1EN	R/W	INT1 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INT0 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST0[1:0]	R	INT0 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定が読めます。
0	INT0EN	R/W	INT0 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.2　CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCG7[2:0]	R/W	INT7 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST7[1:0]	R	INT7 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定が読めます。
24	INT7EN	R/W	INT7 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG6[2:0]	R/W	INT6 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST6[1:0]	R	INT6 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定が読めます。
16	INT6EN	R/W	INT6 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG5[2:0]	R/W	INT5 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST56[1:0]	R	INT5 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定が読めます。
8	INT5EN	R/W	INT5 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT4 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST4[1:0]	R	INT4 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定が読めます。
0	INT4EN	R/W	INT4 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.3　CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCGB[2:0]	R/W	INTB スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMSTB[1:0]	R	INTB スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定が読めます。
24	INTBEN	R/W	INTB 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCGA[2:0]	R/W	INTA スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMSTA[1:0]	R	INTA スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定が読めます。
16	INTAEN	R/W	INTA 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG9[2:0]	R/W	INT9 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST9[1:0]	R	INT9 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定が読めます。
8	INT9EN	R/W	INT9 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG8[2:0]	R/W	INT8 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low" レベル 001: "High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST8[1:0]	R	INT8 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定が読めます。
0	INT8EN	R/W	INT8 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.4　CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGRMCRX			EMSTRMCRX		-	INTRMC RXEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGRTC			EMSTRTC		-	INTRTCEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGD			EMSTD		-	INTDEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGUSBWKUP			EMSTUSBWKUP		-	INTUSB WKUPEN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCGRMC RX[2:0]	R/W	INTRMCRX スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
27-26	EMST RMCRX[1:0]	R	INTRMCRX スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定が読めます。
24	INTRMC RXEN	R/W	INTRMCRX 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG RTC[2:0]	R/W	INTRTC スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 010: 立ち下がりエッジ
19-18	EMSTRTC[1:0]	R	INTRTC スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定が読めます。
16	INTRTCEN	R/W	INTRTC 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。
14-12	EMCGD[2:0]	R/W	INTD スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ

Bit	Bit Symbol	Type	機能
11-10	EMSTD[1:0]	R	INTD スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定が読めます。
8	INTDEN	R/W	INTD 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCGUSB WKUP[2:0]	R/W	INTUSBWKUP スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMSTUSB WKUP[1:0]	R	INTUSBWKUP スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定が読めます。
0	INTUSB WKUPEN	R/W	INTUSBWKUP 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.5　CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0　0_1000: INT8　1_0000 ~ 1_1111: 設定禁止 0_0001: INT1　0_1001: INT9 0_0010: INT2　0_1010: INTA 0_0011: INT3　0_1011: INTB 0_0100: INT4　0 _ 1100 : INTUSBWKUP 0_0101: INT5　0_1101 : INTD 0_0110: INT6　0 _ 1110 : INTRTC 0_ 0111: INT7　0 _ 1111 ; INTRMCRX リードすると"0"が読めます

7.6.3.6 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	NMIFLG3	NMIFLG2	NMIFLG1	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	NMIFLG3	R	NMI 起動要因フラグ 0: 要因なし 1: LVD で電源電圧が設定電圧より上がった場合に NMI が発生
2	NMIFLG2	R	NMI 起動要因フラグ 0: 要因なし 1: LVD で電源電圧が設定電圧より下がった場合に NMI が発生
1	NMIFLG1	R	NMI 起動要因フラグ 0: 要因なし 1: $\overline{\text{NMI}}$ 端子による NMI 発生
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1: WDT による NMI 発生

注) <NMIFLG[3:0]>は読み出すと"0"にクリアされます。

7.6.3.7　CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	LVDRSTF	OFDRSTF	DBGRSTF	STOP2RSTF	WDTRSTF	PINRSTF	PONRSTF
パワーオンリセット後	0	不定	不定	不定	不定	不定	不定	1

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	LVDRSTF	R/W	LVD リセットフラグ 0: 0 ライト 1: LVD によるリセットフラグ
5	OFDRSTF	R/W	OFD リセットフラグ 0: 0 ライト 1: OFD によるリセットフラグ
4	DBGRSTF	R/W	デバッグリセットフラグ(注 2) 0: 0 ライト 1: <SYSRESETREQ>によるリセットフラグ
3	STOP2RSTF	R/W	STOP2 リセットフラグ 0: 0 ライト 1: STOP2 モード解除によるリセットフラグ
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT によるリセットフラグ
1	PINRSTF	R/W	$\overline{\text{RESET}}$ 端子リセットフラグ 0: 0 ライト 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ
0	PONRSTF	R/W	パワーオンリセットフラグ 0: 0 ライト 1: パワーオンリセットによるリセットフラグ

注 1)　CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2)　CGRSTFLG は自動的にはクリアされませんので、内容をクリアするには"0"を書いてください。

注 3)　TMPM367FDXBG はパワーオンリセット回路を内蔵しており、電源投入時に<PONRSTF>がセットされます。パワーオンリセット以外のリセットは対象のリセットフラグがセットされます。

注 4)　電源投入時は、<PONRSTF>以外のフラグは無効です。

第 8 章　μDMA コントローラ（μDMAC）

8.1　概要

8.1.1　機能一覧

主な機能を以下に説明します。

表 8-1 μDMA 概要

項目	機能		概要
チャネル数	64ch (2 ユニット)		ユニット A: 32ch ,ユニット B: 32ch
スタートトリガ	ハードウエア	バースト(連続転送)	周辺機能の DMA 要求
		シングル(単発転送)	
	ソフトウエア		DMAxChnlSwRequest レジスタにて設定
プライオリティ	ユニット間	ユニット A > ユニット B	ハードウエア固定
	チャネル間	ch0(高優先度) > … > ch31(高優先度) > ch0(通常優先度) > … > ch31(通常優先度)	DMAxChnlPrioritySet レジスタにて高優先度設定が可能
転送データサイズ	8/16/32bit		
アドレス	転送元アドレス	インクリメント/固定	転送元と転送先のアドレスは、固定かインクリメントするかを選択できます。
	転送先アドレス	インクリメント/固定	
転送回数	1~1024 回		
転送タイプ	周辺回路(レジスタ) → メモリ メモリ → 周辺回路(レジスタ) メモリ → メモリ		メモリ → メモリを選択した場合、DMA 起動のハードウエアスタートはサポートしていません。
割込み機能	転送終了割込み エラー割込み		
転送モード	基本モード 自動要求モード ピンポンモード メモリスキャッターギャザーモード 周辺スキャッターギャザーモード		

注)　1 word = 32bit

8.1.2　DMA 要求一覧

DMA 要求一覧を示します。ユニット A 、ユニット B とも同様の構成です。

表 8-2 DMA 要求一覧

ch	ハードウエア・リクエスト（DMA に接続されている周辺機能からの要求）			ソフトウエア・リクエスト（リクエスト設定レジスタ）		DMA が出力する割込み要求	
	要因	バースト	シングル	0x4004_C014 (Unit A)	0x4004_D014 (Unit B)	番号	要因
0	ADC A 変換終了	o	–	bit0	bit0	100	INTDMAADA
1	ADC B 変換終了	o	–	bit1	bit1	101	INTDMAADB
2	DAC0 変換トリガ	–	o	bit2	bit2	102	INTDMADAA
3	DAC1 変換トリガ	–	o	bit3	bit3	103	INTDMADAB
4	SSP0 受信	o	o	bit4	bit4	104	INTDMASPR0
5	SSP0 送信	o	o	bit5	bit5	105	INTDMASPT0
6	SSP1 受信	o	o	bit6	bit6	106	INTDMASPR1
7	SSP1 送信	o	o	bit7	bit7	107	INTDMASPT1
8	SSP2 受信	o	o	bit8	bit8	108	INTDMASPR2
9	SSP2 送信	o	o	bit9	bit9	109	INTDMASPT2
10	UART4 受信	o	o	bit10	bit10	110	INTDMAUTR0
11	UART4 送信	o	o	bit11	bit11	111	INTDMAUTT0
12	UART5 受信	o	o	bit12	bit12	112	INTDMAUTR1
13	UART5 送信	o	o	bit13	bit13	113	INTDMAUTT1
14	SIO/UART0 受信	o	–	bit14	bit14	114	INTDMARX0
15	SIO/UART0 送信	o	–	bit15	bit15	115	INTDMATX0
16	SIO/UART1 受信	o	–	bit16	bit16	116	INTDMARX1
17	SIO/UART1 送信	o	–	bit17	bit17	117	INTDMATX1
18	SIO/UART2 受信	o	–	bit18	bit18	118	INTDMARX2
19	SIO/UART2 送信	o	–	bit19	bit19	119	INTDMATX2
20	SIO/UART3 受信	o	–	bit20	bit20	120	INTDMARX3
21	SIO/UART3 送信	o	–	bit21	bit21	121	INTDMATX3
22	I2C/SIO0 送受信	o	–	bit22	bit22	104	INTDMASPR0
23	I2C/SIO1 送受信	o	–	bit23	bit23	122	INTDMASBI1
24	I2C/SIO2 送受信	o	–	bit24	bit24	123	INTDMASBI2
25	TMRB0 コンペア一致	o	–	bit25	bit25	124	INTDMATB
26	TMRB1 コンペア一致	o	–	bit26	bit26		
27	TMRB2 コンペア一致	o	–	bit27	bit27		
28	TMRB3 コンペア一致	o	–	bit28	bit28		
29	TMRB4 コンペア一致	o	–	bit29	bit29		
30	DMA リクエスト端子	o	–	bit30	bit30	125	INTDMARQ
31	–	–	–	bit31	bit31	–	–
						126	INTDMAAERR
						127	INTDMABERR

注 1)　ユニット A,B 共に DMAxCfg = 0x00000001、DMAxChnlReqMaskSet = 0xFFFFFFFF、DMAxChnlEnableSet = 0xFFFFFFFF　に設定した後、使用するユニットのチャネルをマスク解除（DMAxChnlReqMaskClr の該当ビットを"1"）に設定します。但し、同一要因をユニット A,B 両方で解除しないでください。

注 2)　該当ビットのレジスタ設定により発生するソフトウエア・リクエスト及びハードウエア・リクエストの各リクエスト要因に対応した割り込みが出力されます。割り込み要因一覧の名称は、ハードウエア・リクエストに対応した名称になっています。（例外章の割り込み要因一覧の表を参照）

8.2 ブロック図

µDMA コントローラは以下の機能ブロックを内蔵しています。

- APB ブロック

  制御レジスタへのアクセスを制御します。
- AHB ブロック

  DMA 転送のバスサイクルを制御します。
- DMA 制御ブロック

  DMA 動作全体の制御を行います。

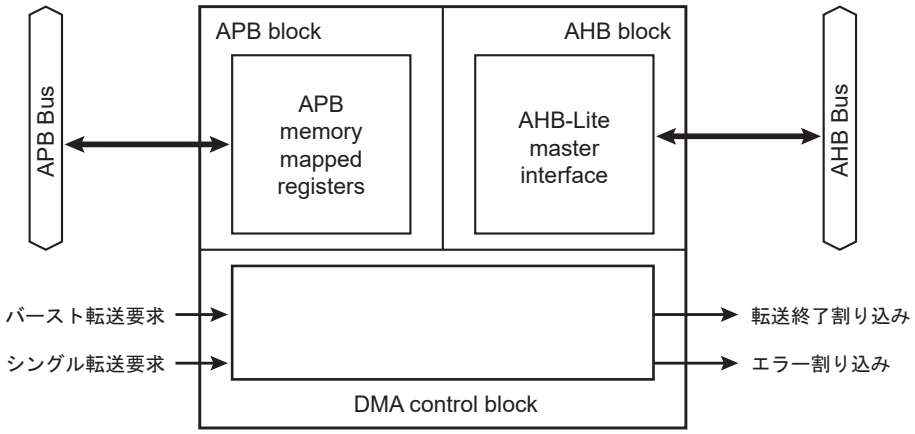


図 8-1 µDMA ブロック図(ユニット A,B 共通)

8.3　レジスタ説明

8.3.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

Unit x	Base Address
ユニット A	0x4004_C000
ユニット B	0x4004_D000

レジスタ名		Address(Base+)
DMA status Register	DMAxStatus	0x0000
DMA configuration Register	DMAxCfg	0x0004
channel control data base pointer Register	DMAxCtrlBasePtr	0x0008
channel alternate control data base pointer Register	DMAxAltCtlBasePtr	0x000C
reserved	-	0x0010
channel software request Register	DMAxChnlSwRequest	0x0014
channel useburst set Register	DMAxChnlUseburstSet	0x0018
channel useburst clear Register	DMAxChnlUseburstClr	0x001C
channel request mask set Register	DMAxChnlReqMaskSet	0x0020
channel request mask clear Register	DMAxChnlReqMaskClr	0x0024
channel enable set Register	DMAxChnlEnableSet	0x0028
channel enable clear Register	DMAxChnlEnableClr	0x002C
channel primary-alternate set Register	DMAxChnlPriAltSet	0x0030
channel primary-alternate clear Register	DMAxChnlPriAltClr	0x0034
channel priority set Register	DMAxChnlPrioritySet	0x0038
channel priority clear Register	DMAxChnlPriorityClr	0x003C
reserved	-	0x0040 - 0x004B
Bus error clear Register	DMAxErrClr	0x004C
reserved	-	0x0050 - 0x0FFF

注 1)　レジスタは必ずワード（32bit）アクセスしてください。
注 2)　"Reserved"表記のアドレスにはアクセスしないでください。

8.3.2 DMAxStatus (DMA Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_ enable
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	-	R	"0"が読めます。
28	-	R	"1"が読めます。
27-21	-	R	"0"が読めます。
20-16	-	R	"1"が読めます。
15-8	-	R	"0"が読めます。
7-4	-	R	不定値が読めます。
3-1	-	R	"0"が読めます。
0	master_enable	R	DMA 動作 0: 禁止 1: 許可

8.3.3　DMAxCfg (DMA Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_ enable
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-1	-	W	"0"をライトしてください。
0	master_ enable	W	DMA 動作 0：禁止 1：許可

8.3.4 DMAxCtrlBasePtr (Channel control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ctrl_base_ptr						-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	ctrl_base_ptr	R/W	一次データベースポインタ 一次データのベースアドレスを指定します。
9-0	-	R	"0"が読めます。

8.3.5 DMAxAltCtrlBasePtr (Channel alternate control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	alt_ctrl_base_pt	R	代替データベースポインタ 代替データのベースアドレスが読めます。

8.3.6　DMAxChnlSwRequest(Channel software request Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_sw_request (ch31)	chnl_sw_request (ch30)	chnl_sw_request (ch29)	chnl_sw_request (ch28)	chnl_sw_request (ch27)	chnl_sw_request (ch26)	chnl_sw_request (ch25)	chnl_sw_request (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_sw_request (ch23)	chnl_sw_request (ch22)	chnl_sw_request (ch21)	chnl_sw_request (ch20)	chnl_sw_request (ch19)	chnl_sw_request (ch18)	chnl_sw_request (ch17)	chnl_sw_request (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_sw_request (ch15)	chnl_sw_request (ch14)	chnl_sw_request (ch13)	chnl_sw_request (ch12q)	chnl_sw_request (ch11)	chnl_sw_request (ch10)	chnl_sw_request (ch9)	chnl_sw_request (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_sw_request (ch7)	chnl_sw_request (ch6)	chnl_sw_request (ch5)	chnl_sw_request (ch4)	chnl_sw_request (ch3)	chnl_sw_request (ch2)	chnl_sw_request (ch1)	chnl_sw_request (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_sw_request	W	DMA 要求 0: 転送要求しない 1: 転送要求する 各チャネルに対する転送要求を設定します。

8.3.7 DMAxChnlUseburstSet(Channel useburst set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst _set (ch31)	chnl_useburst _set (ch30)	chnl_useburst _set (ch29)	chnl_useburst _set (ch28)	chnl_useburst _set (ch27)	chnl_useburst _set (ch26)	chnl_useburst _set (ch25)	chnl_useburst _set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst _set (ch23)	chnl_useburst _set (ch22)	chnl_useburst _set (ch21)	chnl_useburst _set (ch20)	chnl_useburst _set (ch19)	chnl_useburst _set (ch18)	chnl_useburst _set (ch17)	chnl_useburst _set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst _set (ch15)	chnl_useburst _set (ch14)	chnl_useburst _set (ch13)	chnl_useburst _set (ch12)	chnl_useburst _set (ch11)	chnl_useburst _set (ch10)	chnl_useburst _set (ch9)	chnl_useburst _set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst _set (ch7)	chnl_useburst _set (ch6)	chnl_useburst _set (ch5)	chnl_useburst _set (ch4)	chnl_useburst _set (ch3)	chnl_useburst _set (ch2)	chnl_useburst _set (ch1)	chnl_useburst _set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_ set	R/W	シングル転送禁止 [ライト] 1: シングル転送を禁止する [リード] 0: シングル転送許可 1: シングル転送禁止 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのシングル転送が禁止され、バースト転送要求のみが有効になります。"0"の書き込みは意味を持ちません。シングル転送禁止を解除する際は、DMAxChnlUseburstClr レジスタで行います。 リードの場合、該当するチャネルのシングル転送の許可/禁止状態が確認できます。 以下の場合、自動的にビットが操作されます。 ・最後から 2 番目の 2^R 回転送("R"は制御データの channel_cfg<R_power>で設定)終了時に残りの転送回数が 2^R 回未満の場合、このビットは"0"にクリアされます。 ・周辺スキャッターギャザーモードで、制御データの channel_cfg<next_useburst>が"1"に設定されている場合、代替データによる DMA 転送終了後にこのビットに"1"が設定されます。

注) 転送回数が 2^R 回未満の設定で、バースト転送要求を使用しない場合はこのビットに"1"を設定しないでください。

8.3.8　DMAxChnlUseburstClr(Channel useburst clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst _clr (ch31)	chnl_useburst _clr (ch30)	chnl_useburst _clr (ch29)	chnl_useburst _clr (ch28)	chnl_useburst _clr (ch27)	chnl_useburst _clr (ch26)	chnl_useburst _clr (ch25)	chnl_useburst _clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst _clr (ch23)	chnl_useburst _clr (ch22)	chnl_useburst _clr (ch21)	chnl_useburst _clr (ch20)	chnl_useburst _clr (ch19)	chnl_useburst _clr (ch18)	chnl_useburst _clr (ch17)	chnl_useburst _clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst _clr (ch15)	chnl_useburst _clr (ch14)	chnl_useburst _clr (ch13)	chnl_useburst _clr (ch12)	chnl_useburst _clr (ch11)	chnl_useburst _clr (ch10)	chnl_useburst _clr (ch9)	chnl_useburst _clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst _clr (ch7)	chnl_useburst _clr (ch6)	chnl_useburst _clr (ch5)	chnl_useburst _clr (ch4)	chnl_useburst _clr (ch3)	chnl_useburst _clr (ch2)	chnl_useburst _clr (ch1)	chnl_useburst _clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_ clr	W	シングル転送許可 1: シングル転送を許可する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのシングル転送を許可します。"0"の書き込みは意味を持ちません。 シングル転送の禁止および設定の確認は、DMAxChnlUseburstSet レジスタで行います。

8.3.9 DMAxChnlReqMaskSet(Channel request mask set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mask_set (ch31)	chnl_req_mask_set (ch30)	chnl_req_mask_set (ch29)	chnl_req_mask_set (ch28)	chnl_req_mask_set (ch27)	chnl_req_mask_set (ch26)	chnl_req_mask_set (ch25)	chnl_req_mask_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mask_set (ch23)	chnl_req_mask_set (ch22)	chnl_req_mask_set (ch21)	chnl_req_mask_set (ch20)	chnl_req_mask_set (ch19)	chnl_req_mask_set (ch18)	chnl_req_mask_set (ch17)	chnl_req_mask_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mask_set (ch15)	chnl_req_mask_set (ch14)	chnl_req_mask_set (ch13)	chnl_req_mask_set (ch12)	chnl_req_mask_set (ch11)	chnl_req_mask_set (ch10)	chnl_req_mask_set (ch9)	chnl_req_mask_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mask_set (ch7)	chnl_req_mask_set (ch6)	chnl_req_mask_set (ch5)	chnl_req_mask_set (ch4)	chnl_req_mask_set (ch3)	chnl_req_mask_set (ch2)	chnl_req_mask_set (ch1)	chnl_req_mask_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_set	R/W	DMA 要求マスク [ライト] 1: DMA 要求をマスクする [リード] 0: DMA 要求は有効 1: DMA 要求は無効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルに対する転送要求を無効にします。"0"の書き込みは意味を持ちません。マスクを無効にする際は、DMAxChnlReqMaskClr レジスタで行います。 リードの場合、該当するチャネルの DMA 要求マスク有効/無効の状態が確認できます。

8.3.10　DMAxChnlReqMaskClr(Channel request mask clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mask_clr (ch31)	chnl_req_mask_clr (ch30)	chnl_req_mask_clr (ch29)	chnl_req_mask_clr (ch28)	chnl_req_mask_clr (ch27)	chnl_req_mask_clr (ch26)	chnl_req_mask_clr (ch25)	chnl_req_mask_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mask_clr (ch23)	chnl_req_mask_clr (ch22)	chnl_req_mask_clr (ch21)	chnl_req_mask_clr (ch20)	chnl_req_mask_clr (ch19)	chnl_req_mask_clr (ch18)	chnl_req_mask_clr (ch17)	chnl_req_mask_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mask_clr (ch15)	chnl_req_mask_clr (ch14)	chnl_req_mask_clr (ch13)	chnl_req_mask_clr (ch12)	chnl_req_mask_clr (ch11)	chnl_req_mask_clr (ch10)	chnl_req_mask_clr (ch9)	chnl_req_mask_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mask_clr (ch7)	chnl_req_mask_clr (ch6)	chnl_req_mask_clr (ch5)	chnl_req_mask_clr (ch4)	chnl_req_mask_clr (ch3)	chnl_req_mask_clr (ch2)	chnl_req_mask_clr (ch1)	chnl_req_mask_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_clr	W	DMA 要求マスクの解除 1: 該当するチャネルの DMA 要求マスクを解除する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの DMA 要求マスクを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlReqMaskSet レジスタで行います。

8.3.11 DMAxChnlEnableSet(Channel enable set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_ set (ch31)	chnl_enable_ set (ch30)	chnl_enable_ set (ch29)	chnl_enable_ set (ch28)	chnl_enable_ set (ch27)	chnl_enable_ set (ch26)	chnl_enable_ set (ch25)	chnl_enable_ set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_ set (ch23)	chnl_enable_ set (ch22)	chnl_enable_ set (ch21)	chnl_enable_ set (ch20)	chnl_enable_ set (ch19)	chnl_enable_ set (ch18)	chnl_enable_ set (ch17)	chnl_enable_ set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_ set (ch15)	chnl_enable_ set (ch14)	chnl_enable_ set (ch13)	chnl_enable_ set (ch12)	chnl_enable_ set (ch11)	chnl_enable_ set (ch10)	chnl_enable_ set (ch9)	chnl_enable_ set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_ set (ch7)	chnl_enable_ set (ch6)	chnl_enable_ set (ch5)	chnl_enable_ set (ch4)	chnl_enable_ set (ch3)	chnl_enable_ set (ch2)	chnl_enable_ set (ch1)	chnl_enable_ set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_ set	R/W	DMA 動作 [ライト] 1: 該当チャネルを有効にする [リード] 0: 該当チャネルは無効 1: 該当チャネルは有効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを有効にします。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。 リードの場合、該当するチャネルの有効/無効の状態が確認できます。 また、以下の場合に自動的に無効になります。 ・DMA サイクル終了 ・channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・バスエラーが発生した時

8.3.12　DMAxChnlEnableClr(Channel enable clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_clr (ch31)	chnl_enable_clr (ch30)	chnl_enable_clr (ch29)	chnl_enable_clr (ch28)	chnl_enable_clr (ch27)	chnl_enable_clr (ch26)	chnl_enable_clr (ch25)	chnl_enable_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_clr (ch23)	chnl_enable_clr (ch22)	chnl_enable_clr (ch21)	chnl_enable_clr (ch20)	chnl_enable_clr (ch19)	chnl_enable_clr (ch18)	chnl_enable_clr (ch17)	chnl_enable_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_clr (ch15)	chnl_enable_clr (ch14)	chnl_enable_clr (ch13)	chnl_enable_clr (ch12)	chnl_enable_clr (ch11)	chnl_enable_clr (ch10)	chnl_enable_clr (ch9)	chnl_enable_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_clr (ch7)	chnl_enable_clr (ch6)	chnl_enable_clr (ch5)	chnl_enable_clr (ch4)	chnl_enable_clr (ch3)	chnl_enable_clr (ch2)	chnl_enable_clr (ch1)	chnl_enable_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_clr	W	DMA 無効 1: 該当するチャネルを無効にする 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlEnableSet レジスタで行います。 また、以下の場合に自動的に無効になります。 ・DMA サイクル終了 ・channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・バスエラーが発生した時

8.3.13 DMAxChnlPriAltSet(Channel primary-alternate set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_pri_alt_set (ch31)	chnl_pri_alt_set (ch30)	chnl_pri_alt_set (ch29)	chnl_pri_alt_set (ch28)	chnl_pri_alt_set (ch27)	chnl_pri_alt_set (ch26)	chnl_pri_alt_set (ch25)	chnl_pri_alt_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_pri_alt_set (ch23)	chnl_pri_alt_set (ch22)	chnl_pri_alt_set (ch21)	chnl_pri_alt_set (ch20)	chnl_pri_alt_set (ch19)	chnl_pri_alt_set (ch18)	chnl_pri_alt_set (ch17)	chnl_pri_alt_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_pri_alt_set (ch15)	chnl_pri_alt_set (ch14)	chnl_pri_alt_set (ch13)	chnl_pri_alt_set (ch12)	chnl_pri_alt_set (ch11)	chnl_pri_alt_set (ch10)	chnl_pri_alt_set (ch9)	chnl_pri_alt_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_pri_alt_set (ch7)	chnl_pri_alt_set (ch6)	chnl_pri_alt_set (ch5)	chnl_pri_alt_set (ch4)	chnl_pri_alt_set (ch3)	chnl_pri_alt_set (ch2)	chnl_pri_alt_set (ch1)	chnl_pri_alt_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_set	R/W	一次データ/代替データ選択 [ライト] 1: 代替データを使用する [リード] 0: 一次データ 1: 代替データ 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのデータを代替に設定します。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。 リードの場合、該当するチャネルのデータが一次か代替かを確認できます。 また、以下の場合に自動的に設定が切り替わります。 ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで一次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

8.3.14　DMAxChnlPriAltClr(Channel primary-alternate clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chn_pri_alt_clr (ch31)	chn_pri_alt_clr (ch30)	chn_pri_alt_clr (ch29)	chn_pri_alt_clr (ch28)	chn_pri_alt_clr (ch27)	chn_pri_alt_clr (ch26)	chn_pri_alt_clr (ch25)	chn_pri_alt_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chn_pri_alt_clr (ch23)	chn_pri_alt_clr (ch22)	chn_pri_alt_clr (ch21)	chn_pri_alt_clr (ch20)	chn_pri_alt_clr (ch19)	chn_pri_alt_clr (ch18)	chn_pri_alt_clr (ch17)	chn_pri_alt_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chn_pri_alt_clr (ch15)	chn_pri_alt_clr (ch14)	chn_pri_alt_clr (ch13)	chn_pri_alt_clr (ch12)	chn_pri_alt_clr (ch11)	chn_pri_alt_clr (ch10)	chn_pri_alt_clr (ch9)	chn_pri_alt_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chn_pri_alt_clr (ch7)	chn_pri_alt_clr (ch6)	chn_pri_alt_clr (ch5)	chn_pri_alt_clr (ch4)	chn_pri_alt_clr (ch3)	chn_pri_alt_clr (ch2)	chn_pri_alt_clr (ch1)	chn_pri_alt_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_clr	W	代替データ設定の解除 1: 一次データを使用する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのデータを一次に設定します。"0"の書き込みは意味を持ちません。 代替の設定および設定の確認は、DMAxChnlPriAltSet レジスタで行います。 また、以下の場合に自動的に設定が切り替わります。 ・メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで一次データによるデータ転送が終了したとき ・ピンポンモードで一次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

8.3.15 DMAxChnlPrioritySet(Channel priority set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_ set (ch31)	chnl_priority_ set (ch30)	chnl_priority_ set (ch29)	chnl_priority_ set (ch28)	chnl_priority_ set (ch27)	chnl_priority_ set (ch26)	chnl_priority_ set (ch25)	chnl_priority_ set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_ set (ch23)	chnl_priority_ set (ch22)	chnl_priority_ set (ch21)	chnl_priority_ set (ch20)	chnl_priority_ set (ch19)	chnl_priority_ set (ch18)	chnl_priority_ set (ch17)	chnl_priority_ set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_ set (ch15)	chnl_priority_ set (ch14)	chnl_priority_ set (ch13)	chnl_priority_ set (ch12)	chnl_priority_ set (ch11)	chnl_priority_ set (ch10)	chnl_priority_ set (ch9)	chnl_priority_ set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_ set (ch7)	chnl_priority_ set (ch6)	chnl_priority_ set (ch5)	chnl_priority_ set (ch4)	chnl_priority_ set (ch3)	chnl_priority_ set (ch2)	chnl_priority_ set (ch1)	chnl_priority_ set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_ set	R/W	優先度設定 [ライト] 1: 高優先度に設定する [リード] 0: 通常優先度 1: 高優先度 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの優先度を高優先度に設定します。"0"の書き込みは意味を持ちません。通常優先度に戻す際は、DMAxChnlPriorityClr レジスタで行います。 リードの場合、該当するチャネルが高優先度か通常優先度かを確認できます。

8.3.16　DMAxChnlPriorityClr(Channel priority clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_clr (ch31)	chnl_priority_clr (ch30)	chnl_priority_clr (ch29)	chnl_priority_clr (ch28)	chnl_priority_clr (ch27)	chnl_priority_clr (ch26)	chnl_priority_clr (ch25)	chnl_priority_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_clr (ch23)	chnl_priority_clr (ch22)	chnl_priority_clr (ch21)	chnl_priority_clr (ch20)	chnl_priority_clr (ch19)	chnl_priority_clr (ch18)	chnl_priority_clr (ch17)	chnl_priority_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_clr (ch15)	chnl_priority_clr (ch14)	chnl_priority_clr (ch13)	chnl_priority_clr (ch12)	chnl_priority_clr (ch11)	chnl_priority_clr (ch10)	chnl_priority_clr (ch9)	chnl_priority_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_clr (ch7)	chnl_priority_clr (ch6)	chnl_priority_clr (ch5)	chnl_priority_clr (ch4)	chnl_priority_clr (ch3)	chnl_priority_clr (ch2)	chnl_priority_clr (ch1)	chnl_priority_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_clr	W	高優先度設定の解除 [ライト] 1: 通常優先度に設定する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの優先度を通常に戻します。"0"の書き込みは意味を持ちません。高優先度の設定および設定の確認は、DMAxChnlPrioritySet レジスタで行います。

8.3.17 DMAxErrClr(Bus error clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	err_clr
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	"0"が読めます。
0	err_clr	W	バスエラー [ライト] 1: バスエラー解除 [リード] 0: バスエラーなし 1: バスエラー状態 リードするとバスエラーが発生しているかどうかを確認できます。 "1"をライトすることでバスエラーを解除することができます。"0"の書き込みは意味を持ちません。

8.4 動作説明

本 DMA は、チャネル制御データによって制御されます。チャネル制御データはメモリ上に置かれたデータで、1 チャネルにつき 4 ワードのデータをチャネル数分連続した空間に配置します。

チャネル制御データには、一次データと代替データがあります。動作モードによってどちらかを設定レジスタで選択して使用する場合と、両方を使用する場合があります。

8.4.1 チャネル制御データメモリマップ

図 8-2 にチャネル制御データのメモリマップを示します。

チャネル制御データとして 1KB の領域を使用します。このため、チャネル制御データのスタートアドレスは、アドレス[9:0]が 0x000 となるように配置する必要があります。

一次データ用のスタートアドレスを DMAxCtrlBasePtr に、代替データ用のスタートアドレスを DMAxAltCtrlBasePtr に設定します。

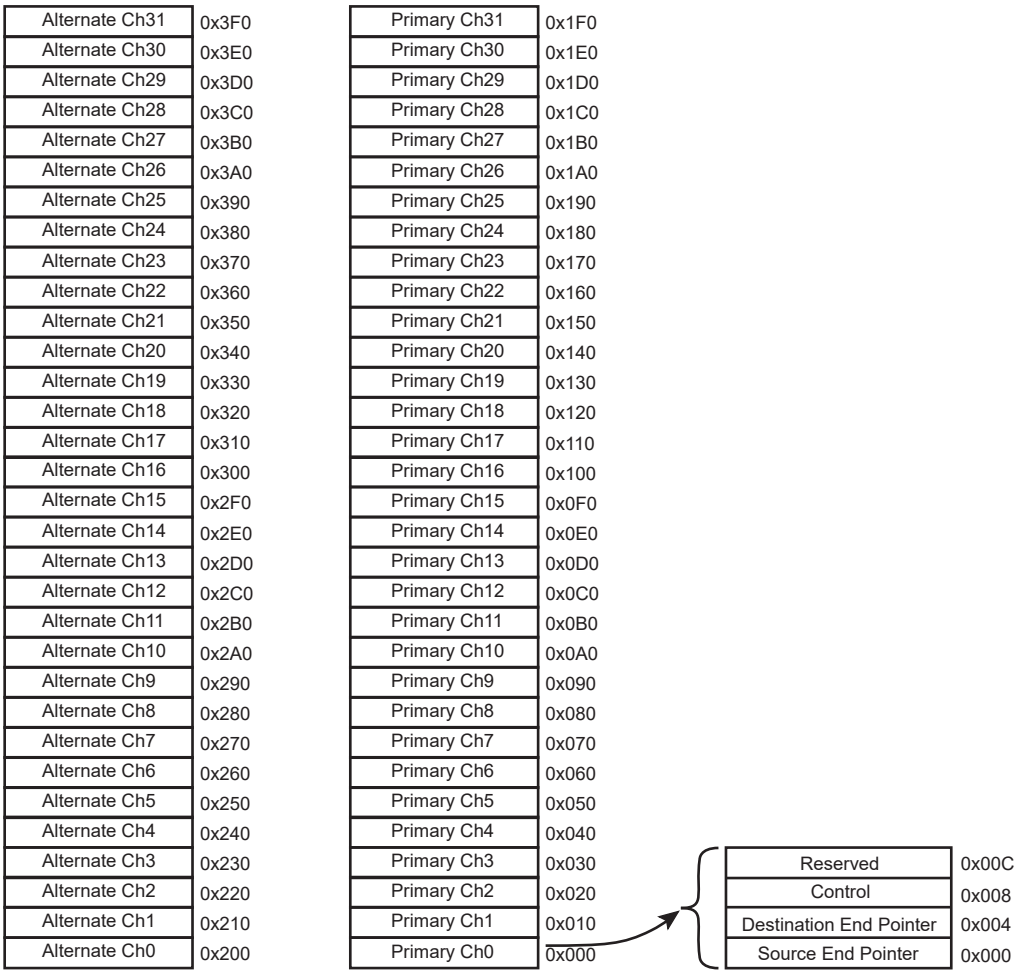


図 8-2 制御データのメモリマップ

図 8-2 は、32 チャネル全てが使用できる場合のメモリマップです。使用できるチャネル数により必要となる領域は異なります。チャネル数とアドレスの関係を表 8-3 に示します。

表 8-3 チャネル制御データのアドレスビット設定

チャネル	アドレス							設定可能な ベースアドレス
	[9]	[8]	[7]	[6]	[5]	[4]	[3:0]	
0	-	-	-	-	-	A	チャネル制御データ指定	0xXXXX_XX00, 0xXXXX_XX20, 0xXXXX_XX40, 0xXXXX_XX60, 0xXXXX_XX80, 0xXXXX_XXA0, 0xXXXX_XXC0, 0xXXXX_XXE0
0 ~ 1	-	-	-	-	A	C[0]		0xXXXX_XX00, 0xXXXX_XX40, 0xXXXX_XX80, 0xXXXX_XXC0
0 ~ 3	-	-	-	A	C[1:0]			0xXXXX_XX00, 0xXXXX_XX80
0 ~ 7	-	-	A	C[2:0]				0xXXXX_X000, 0xXXXX_X100, 0xXXXX_X200, 0xXXXX_X300, 0xXXXX_X400, 0xXXXX_X500, 0xXXXX_X600, 0xXXXX_X700, 0xXXXX_X800, 0xXXXX_X900, 0xXXXX_XA00, 0xXXXX_XB00, 0xXXXX_XC00, 0xXXXX_XD00, 0xXXXX_XE00, 0xXXXX_XF00
0 ~ 15	-	A	C[3:0]					0xXXXX_X000, 0xXXXX_X200, 0xXXXX_X400, 0xXXXX_X600, 0xXXXX_X800, 0xXXXX_XA00, 0xXXXX_XC00, 0xXXXX_XE00
0 ~ 31	A	C[4:0]						0xXXXX_X000, 0xXXXX_X400, 0xXXXX_X800, 0xXXXX_XC00

A : 1 次/代替指定(0 : 1 次、1 : 代替)
C[x:0] : チャネル番号の指定

8.4.2 チャネル制御データの構造

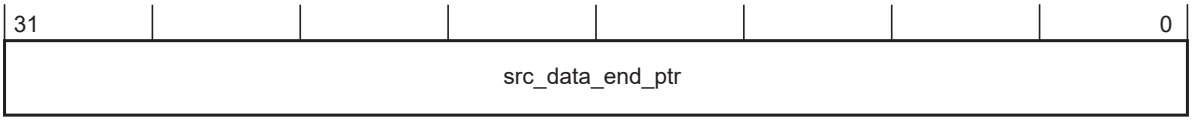
チャネル制御データは以下の 3 つのデータを含みます。

- 転送元データの最終アドレス
- 転送先の最終アドレス
- 制御データ

それぞれの内容について以下に説明します。

8.4.2.1 転送データ最終アドレス

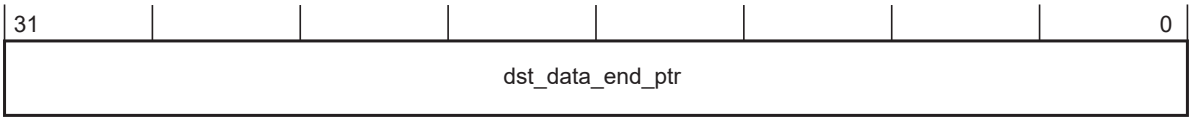
転送するデータの最終アドレスを設定します。このアドレスを元に DMA が転送元のスタートアドレスを計算します。



bit	bitsymbol	機能
[31:0]	src_data_end_ptr	転送元データの最終アドレス

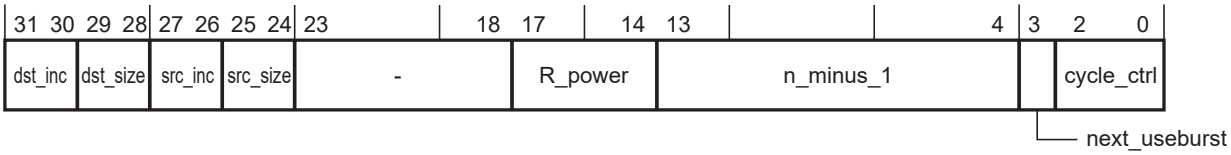
8.4.2.2 転送先の最終アドレス

転送先の最終アドレスを設定します。このアドレスを元に DMA が転送先のスタートアドレスを計算します。



bit	bitsymbol	機能
[31:0]	dst_data_end_ptr	転送先の最終アドレス

8.4.2.3 制御データ設定



bit	bit symbol	機能
[31:30]	dst_inc	転送先アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[29:28]	dst_size	転送先データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[27:26]	src_inc	転送元アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[25:24]	src_size	転送元データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[23:18]	-	"000000"を設定してください
[17:14]	R_power	アービトレーション 0000: 1 回転送後 0001: 2 回転送後 0010: 4 回転送後 0011: 8 回転送後 0100: 16 回転送後 0101: 32 回転送後 0110: 64 回転送後 0111: 128 回転送後 1000: 256 回転送後 1001: 512 回転送後 1010 - 1111: アービトレーションしない 設定した回数の転送後に転送要求を確認し、優先度の高い要求があれば制御が高優先度のチャネルに切り替わります。
[13:4]	n_minus_1	転送回数 0x000: 1 回 0x001: 2 回 0x002: 3 回 : 0x3FF: 1024 回
[3]	next_useburst	シングル転送設定変更 0: <chnl_useburst_set>の値を変更しない 1: <chnl_useburst_set>に"1"を設定する 周辺スキャッターギャザーモードで代替データを用いた DMA 転送終了時に<chnl_useburst_set>ビットに"1"を設定するかどうかを指定します。 注)最後から 2 番目の 2^R 回転送("R"は<R_power>で設定)終了時に残りの転送回数が 2^R 回未満の場合、<chnl_useburst_set>は自動的に"0"にクリアされますが、このビットを"1"とすることで、<chnl_userburst_set>を"1"に設定できます。
[2:0]	cycle_ctrl	動作モード 000: 無効。DMA は動作を停止します。 001: 基本モード 010: 自動要求モード 011: ピンポンモード 100: メモリスキャッターギャザーモード(一次データ) 101: メモリスキャッターギャザーモード(代替データ) 110: 周辺スキャッターギャザーモード(一次データ) 111: 周辺スキャッターギャザーモード(代替データ)

注 1) <dst_size>は<src_size>と同じ値を設定してください。

注 2) <dst_size>と<src_size>の設定により、<dst_inc>と<src_inc>の設定は以下のように制限されます。

<src_inc>/<dst_inc>	<src_size>/<dst_size>		
	00 (1byte)	01 (2byte)	10 (4byte)
00(1byte)	o	-	-
01(2byte)	o	o	-
10(4byte)	o	o	o
インクリメントなし	o	o	o

8.4.3 動作モード

チャネル制御データの channel_cfg<cycle_ctrl>で設定する動作モードについて説明します。

8.4.3.1 無効

転送終了後に DMA は動作モードを無効に設定します。これにより、再度同じ転送が行われることを防ぎます。また、ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードの際に、無効設定のデータを読み込むと処理を終了します。

8.4.3.2 基本モード

転送要求により転送を開始します。

<R_power>設定の転送ごとにアービトレーションを行い、より高い優先度の要求があればチャネルを切り替えます。動作中のチャネルの転送要求があると、転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

8.4.3.3 自動要求モード

このモードでは 1 回の転送要求で転送を終了させることができます。

転送要求により転送を開始します。

<R_power>設定の転送ごとに、より高い優先度の要求があればチャネルを切り替えます。なければ転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

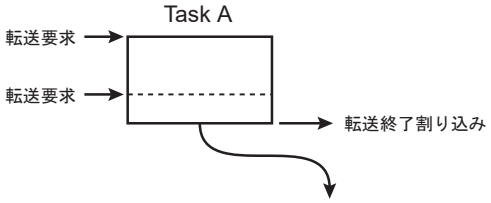
8.4.3.4 ピンポンモード

ピンポンモードでは、一次データと代替データを交互に使用しながら連続した DMA 転送を行います。<cycle_ctrl>に無効("000")が設定されたデータを読み込むか、チャネルが無効に設定されると転送を終了し転送終了割り込みを発生します。

準備：

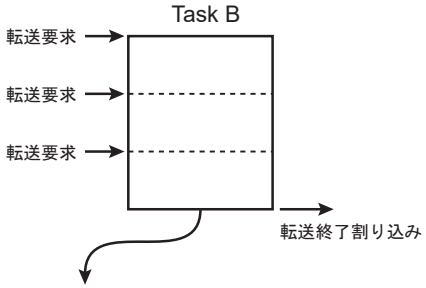
一次データと代替データを準備し、DMAxdma_cfg<master_enable>および DMAxchnl_enable_set の該当チャネルのビットに"1"を設定します。

Task A: 一次データ
<cycle_ctrl [2:0]> = "011"
(ピンポンモード)
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_0101"
(6 回)



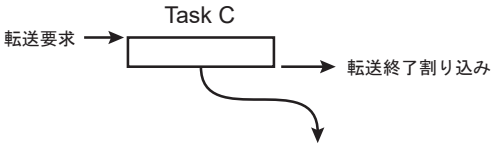
転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により残りの 2 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。
Task A 終了後、Task C 用の一次データ設定が可能になります。

Task B: 代替データ
<cycle_ctrl [2:0]> = "011"
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_1011"
(12 回)



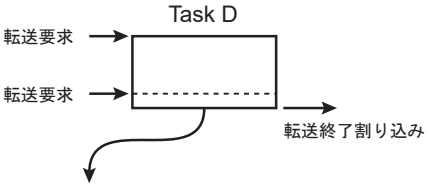
転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 4 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。
Task B 終了後、Task D 用の代替データ設定が可能になります。

Task C: 一次データ
<cycle_ctrl [2:0]> = "011"
<R_power [3:0]> = "0001"
(2 回)
<n_minus_1 [9:0]> = "00_0000_0001"
(2 回)



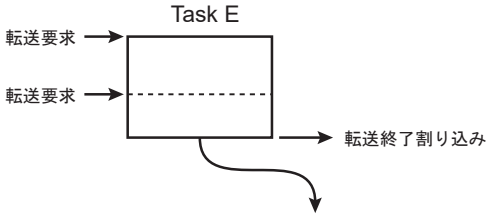
転送要求を受け、DMA は 2 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。
Task C 終了後、Task E 用の代替データ設定が可能になります。

Task D: 代替データ
<cycle_ctrl [2:0]> = "011"
<R_power> [3:0] = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_0100"
(5 回)



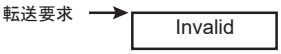
転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 1 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。

TaskE: 一次データ
<cycle_ctr [2:0]l> = "011"
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_0110"
(7 回)



転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 3 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。

最終: 代替データ
<cycle_ctrl [2:0]> = "000"
(無効)



転送要求を受けますが、<cycle_ctrl>に無効が設定されているため、処理が終了します。
(Task E の<cycle_ctrl>を"001"の通常モードに設定することによって処理を終了させることもできます。)

8.4.3.5 メモリスキャッターギャザーモード

メモリスキャッターギャザーモードでは、一次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、一次データを用いて代替データの 4 つのデータを転送し、新たな転送要求なしに続けて代替データによるデータ転送を行います。その後、一次データによる代替データの転送と代替データによる転送を、<cycle_ctrl>に無効("000")または基本モード("001)が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、一次データの channel_cfg の設定を以下のように設定する必要があります。

表 8-4 メモリスキャッターギャザーモード(一次データ)設定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[3]	next_useburst	0	メモリスキャッターギャザーモードでは"0"を指定
[2:0]	cycle_ctrl	100	メモリスキャッターギャザーモード(一次データ)を指定 注)

注) <n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

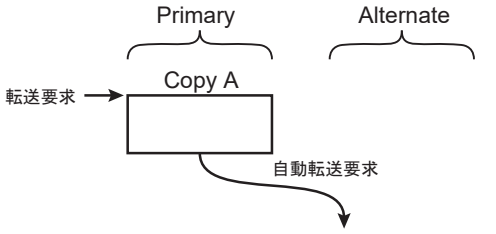
準備：

一次データを準備します。<cycle_ctrl [2:0]>に"100"を設定し、転送回数<n_minus_1 [9:0]>には、4 つのタスク分の 4 × 4 = 16 を設定します。

タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。

DMAxdma_cfg<master_enable>および DMAxchnl_enable_set の該当チャネルのビットに"1"を設定します。

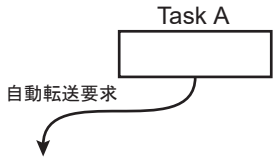
Copy A: 一次データ
<cycle_ctrl [2:0]> = "100"
(メモリスキャッターギャザー)
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_1111"
(16 回)



転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

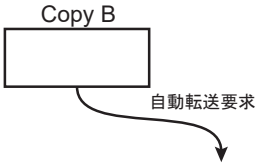
Task A: 代替データ
<cycle_ctrl [2:0]> = "100"
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_0010"
(3 回)



DMA はタスク A を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy B: 一次データ



DMA は Task B の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task B: 代替データ

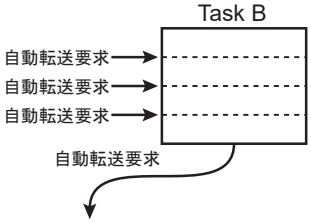
<cycle_ctrl [2:0]> = "100"

<R_power [3:0]> = "0001"

(2 回)

<n_minus_1 [9:0]> = "00_0000_0111"

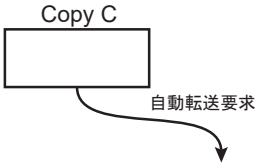
(8 回)



DMA はタスク B を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy C: 一次データ



DMA は Task C の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task C: 代替データ

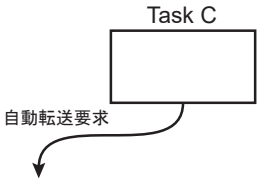
<cycle_ctrl [2:0]> = "100"

<R_power [3:0]> = "0011"

(8 回)

<n_minus_1 [9:0]> = "00_0000_0100"

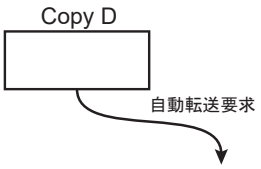
(5 回)



DMA はタスク C を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy D: 一次データ



DMA は Task D の代替データ用の 4 回の転送を実施します。また、一次データの<cycle_ctrl>に"000"を設定し次の一次データを無効とします。

自動的に転送要求が発生しアービトレーションを行います。

Task D: 代替データ

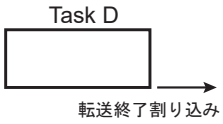
<cycle_ctrl [2:0]> = "001"

<R_power [3:0]> = "0010"

(4 回)

<n_minus_1 [9:0]> = "00_0000_0011"

(4 回)



DMA はタスク D を実行します。

<cycle_ctrl>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求を発生し処理を終了ます。

8.4.3.6　周辺スキャッターギャザーモード

周辺スキャッターギャザーモードでは、一次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、一次データを用いて代替データの 4 つのデータを転送し、続けて代替データによるデータ転送を行います。

その後、転送要求が発生すると一次データによる代替データの転送と代替データによる転送を、<cycle_ctrl>に無効("000")または基本モード("001)が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、channel_cfg の設定を以下のようにする必要があります。

表 8-5 周辺スキャッターギャザーモード(一次データ)固定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[2:0]	cycle_ctrl	110	周辺スキャッターギャザーモード(一次データ)を指定

注) <n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

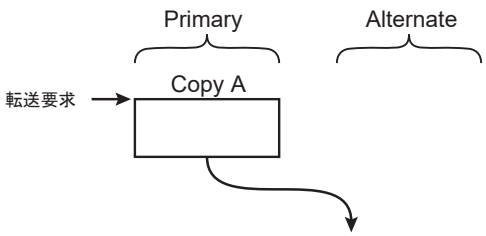
準備：

一次データを準備します。<cycle_ctrl [2:0]>に"110"を設定し、転送回数<n_minus_1 [9:0]>には、4 つのタスク分の 4 × 4 = 16 を設定します。

タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。

DMAxdma_cfg<master_enable>および DMAxchnl_enable_set の該当チャネルのビットに"1"を設定します。

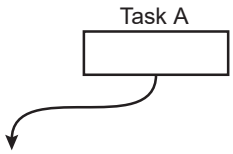
Copy A: 一次データ
<cycle_ctrl [2:0]> = "110"
(周辺スキャッターギャザー)
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_1111"
(16 回)



転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク A の処理に移行します。

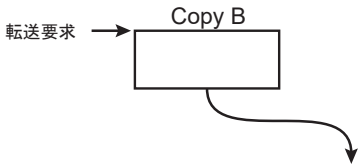
Task A: 代替データ
<cycle_ctrl [2:0]> = "111"
<R_power [3:0]> = "0010"
(4 回)
<n_minus_1 [9:0]> = "00_0000_0010"
(3 回)



DMA はタスク A を実行します。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

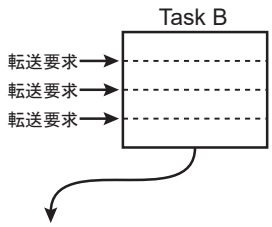
Copy B: 一次データ



DMA は Task B の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク B の処理に移行します。

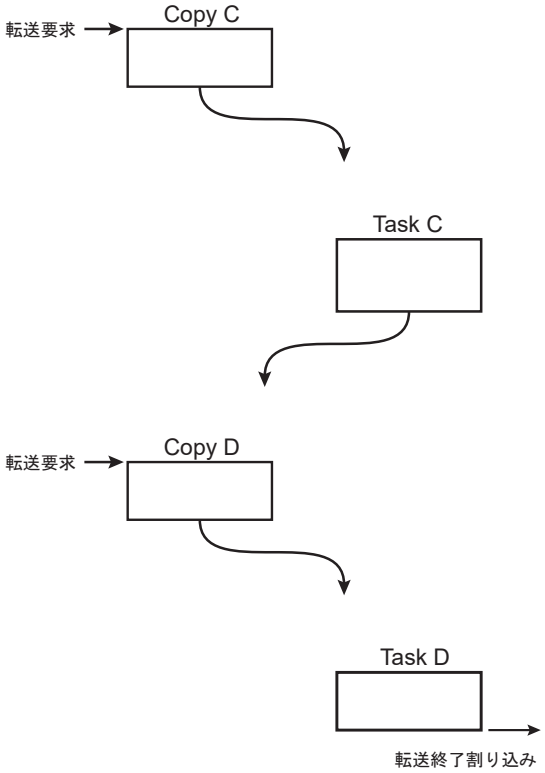
Task B: 代替データ
<cycle_ctrl [2:0]> = "111"
<R_power [3:0]> = "0001"
(2 回)
<n_minus_1 [9:0]> = "00_0000_0111"
(8 回)



DMA はタスク B を実行します。2^R 回転送ごとにアービトレーションが発生するため、タスク B が終了するためには少なくとも 3 回の転送要求が必要です。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy C: 一次データ



DMA は Task C の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク C の処理に移行します。

Task C: 代替データ

<cycle_ctrl [2:0]> = "111"

<R_power [3:0]> = "0011"

(8 回)

<n_minus_1 [9:0]> = "00_0000_0100"

(5 回)

DMA はタスク C を実行します。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy D: 一次データ

DMA は Task D の代替データ用の 4 回の転送を実施します。また、一次データの<cycle_ctrl>に"000"を設定し次の一次データを無効とします。

自動的にタスク D の処理に移行します。

Task D: 代替データ

<cycle_ctrl [2:0]> = "001"

<R_powe [3:0]r> = 0010"

(4 回)

<n_minus_1 [9:0]> = "00_0000_0011"

(4 回)

DMA はタスク D を実行します。

<cycle_ctrl>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求を発生し処理を終了ます。

第 9 章　入出力ポート

9.1　ポート機能

9.1.1　機能一覧

TMPM367FDXBG には 60 のポートがあり、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 9-1 にポート機能の一覧を示します。

表 9-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラマブル Open-drain	機能端子名
ポート A							
	PA0	I/O	Pull-up Pull-down	o	–	o	TDO/SWV/ DTR5
	PA1	I/O	Pull-up Pull-down	o	–	o	TMS/SWDIO/ DSR5
	PA2	I/O	Pull-up Pull-down	o	–	o	TCK/SWCLK/ RIN5
	PA3	I/O	Pull-up Pull-down	o	o(INT3のみ)	o	TDI/DCD5/INT3
	PA4	I/O	Pull-up Pull-down	o	o	o	$\overline{\text{TRST}}$/$\overline{\text{RTS5}}$
	PA5	I/O	Pull-up Pull-down	o	–	o	TRACECLK/RXD5/IRIN5
	PA6	I/O	Pull-up Pull-down	o	–	o	TRACEDATA0/TXD5/IROUT5
	PA7	I/O	Pull-up Pull-down	o	–	o	TRACEDATA1/$\overline{\text{CTS5}}$/SCLK3/ $\overline{\text{CTS3}}$/TB7OUT
ポート B							
	PB0	I/O	Pull-up Pull-down	o	–	o	TRACEDATA2/TXD3
	PB1	I/O	Pull-up Pull-down	o	–	o	TRACEDATA3/RXD3
	PB2	I/O	Pull-up Pull-down	o	–	o	$\overline{\text{WR}}$/SP2CLK/ MTOUT03/MTTB3OUT
	PB3	I/O	Pull-up Pull-down	o	–	o	$\overline{\text{RD}}$/SP2DO/MTOUT13/MTTB3IN
	PB4	I/O	Pull-up Pull-down	–	o(INT7のみ)	o	$\overline{\text{CS0}}$/SP2DI/$\overline{\text{GEMG3}}$/INT7
	PB5	I/O	Pull-up Pull-down	o	o(INT1のみ)	o	ALE/SP2FSS/MT3IN/INT1
	PB6	Output	Pull-up Pull-down	o	–	o	$\overline{\text{BELL}}$/SCOUT/TB3OUT
ポート E							
	PE0	I/O	Pull-up Pull-down	o	o(INT4のみ)	o	A16/INT4/TB0IN
	PE1	I/O	Pull-up Pull-down	o	o(INT5のみ)	o	RXD0/A17/INT5/TB1IN
	PE2	I/O	Pull-up Pull-down	o	–	o	TXD0/A18/TB1OUT

表 9-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラマブル Open-drain	機能端子名
	PE3	I/O	Pull-up Pull-down	o	–	o	SCLK0/A19/$\overline{\text{CTS0}}$/TB0OUT
	PE4	I/O	Pull-up Pull-down	o	–	o	SCLK1/A20/$\overline{\text{CTS1}}$/TB2OUT
	PE5	I/O	Pull-up	o	–	o	TXD1/A21
	PE6	I/O	Pull-up Pull-down	o	–	o	RXD1/A22
	PE7	I/O	Pull-up Pull-down	o	o(INT6のみ)	o	A23/INT6/TB2IN
ポート F							
	PF0	I/O	Pull-up Pull-down	o	–	o	AD0/ $\overline{\text{CTS4}}$
	PF1	I/O	Pull-up Pull-down	o	–	o	AD1/ TXD4/IROUT4
	PF2	I/O	Pull-up Pull-down	o	–	o	AD2/ RXD4/IRIN4
	PF3	I/O	Pull-up Pull-down	o	–	o	AD3/ $\overline{\text{RTS4}}$
	PF4	I/O	Pull-up Pull-down	o	o(INT0のみ)	o	AD4/ INT0/DCD4
	PF5	I/O	Pull-up Pull-down	o	–	o	AD5/ ENCZ/RIN4/SCK1
	PF6	I/O	Pull-up Pull-down	o	–	o	AD6/ ENCB/DSR4/ SI1/SCL1
	PF7	I/O	Pull-up Pull-down	o	–	o	AD7/ ENCA/DTR4/ SO1/SDA1
ポート G							
	PG0	I/O	Pull-up Pull-down	o	–	o	AD8/ MT0IN
	PG1	I/O	Pull-up Pull-down	o	–	o	AD9/ $\overline{\text{EMG}}$/$\overline{\text{GEMG0}}$
	PG2	I/O	Pull-up Pull-down	o	–	o	AD10/ ZO/MTOUT10/MTTB0IN
	PG3	I/O	Pull-up Pull-down	o	–	o	AD11/ WO/MTOUT00/MTTB0OUT
	PG4	I/O	Pull-up Pull-down	o	–	o	AD12/ YO/SP1CLK
	PG5	I/O	Pull-up Pull-down	o	–	o	AD13/ VO/SP1DO
	PG6	I/O	Pull-up Pull-down	o	–	o	AD14/ XO/SP1DI
	PG7	I/O	Pull-up Pull-down	o	–	o	AD15/ UO/SP1FSS
ポート H							
	PH0	I/O	Pull-up Pull-down	o	–	o	$\overline{\text{BELH}}$/TB5OUT/MT2IN/ SO2/SDA2
	PH1	I/O	Pull-up Pull-down	o	–	o	$\overline{\text{CS1}}$/TB4OUT/$\overline{\text{GEMG2}}$/ SI2/SCL2
	PH2	I/O	Pull-up Pull-down	o	–	o	$\overline{\text{CS2}}$/MTOUT12/MTTB2IN/SCK2

表 9-1 ポート機能一覧

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラマブル Open-drain	機能端子名
	PH3	I/O	Pull-up Pull-down	o	–	o	$\overline{CS3}$/MTOUT02/MTTB2OUT/ EM_RPAUSE
ポート I							
	PI0	I/O	Pull-up Pull-down	o	o(INT9のみ)	o	INT9/AINA0
	PI1	I/O	Pull-up Pull-down	o	o(INTAのみ)	o	INTA/AINA1
	PI2	I/O	Pull-up Pull-down	o	o(INTBのみ)	o	INTB/AINA2
	PI3	I/O	Pull-up Pull-down	o	o(INTCのみ)	o	INTC/$\overline{DMAREQ}$/AINA3
	PI4	I/O	Pull-up Pull-down	o	–	o	AINB0
	PI5	I/O	Pull-up Pull-down	o	–	o	AINB1
	PI6	I/O	Pull-up Pull-down	o	–	o	AINB2
	PI7	I/O	Pull-up Pull-down	o	–	o	AINB3
ポート K							
	PK0	I/O	Pull-up Pull-down	o	o(INTDのみ)	o	USBDPON/INTD
	PK1	I/O	Pull-up Pull-down	o	o(INT8のみ)	o	SP0FSS/INT8/TB6OUT
	PK2	I/O	Pull-up Pull-down	–	–	o	USB_ECLK/SP0DI/ SO0/SDA0
	PK3	I/O	Pull-up Pull-down	o	–	o	SP0DO/ SI0/SCL0
	PK4	I/O	Pull-up Pull-down	o	–	o	RXIN/SP0CLK/SCK0
ポート L							
	PL0	I/O	Pull-up Pull-down	o	o(INT2のみ)	o	INT2/MT1IN/$\overline{ADTRGA}$
	PL1	I/O	Pull-up Pull-down	o	–	o	$\overline{GEMG1}$/$\overline{DATRG}$/RXD2
	PL2	I/O	Pull-up Pull-down	o	–	o	MTOUT11/MTTB1IN/TXD2
	PL3	I/O	Pull-up Pull-down	o	–	o	MTOUT01/MTTB1OUT/SCLK2/ $\overline{CTS2}$

注) ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

9.1.2　ポートレジスタ概略説明

ポートを使用する際には以下のレジスタを設定する必要があります。

- PxDATA: ポート x データレジスタ

  ポートのデータ読み込み、データ書き込みを行います。

- PxCR: ポート x 出力コントロールレジスタ

  出力の制御を行います。

  入力の制御は PxIE で設定してください。

- PxFRn: ポート x ファンクションレジスタ n

  機能設定を行ないます。

  "1"をセットすることにより割り当てられている機能を使用できるようになります。

- PxOD: ポート x オープンドレインコントロールレジスタ

  プログラマブルオープンドレインの制御を行います。

  プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。

- PxPUP: ポート x プルアップコントロールレジスタ

  プログラマブルプルアップを制御します。

- PxPDN: ポート x プルダウンコントロールレジスタ

  プログラマブルプルダウンを制御します。

- PxIE: ポート x 入力コントロールレジスタ

  入力の制御を行ないます。

  貫通電流対策のため、初期状態は入力禁止になっています。

9.1.3 STOP モード中のポート状態

STOP1 モード中の入力と出力の状態を、クロック/モード制御部の CGSTBYCR<DRVE>で制御することができます。また、STOP2 モード中の入力と出力の状態を、同様に CGSTBYCR<PTKEEP>で制御することができます。

PxIE, PxCR が許可で、<DRVE>="1"または<PTKEEP>="0" → "1"に設定した場合、STOP1/STOP2 モード中も入力, 出力が許可となります。<DRVE>を"0"に設定した場合、一部のポートを除き、PxIE, PxCR が許可であっても STOP1 モード中は入力, 出力が禁止になります。また、ノーマルモードから STOP2 モードへの移行では、<PTKEEP>ビットを"0" → "1"に必ず設定を行ない各ポートの状態を保持してください。

STOP モード時の端子状態を表 9-2 に示します。

表 9-2 STOP モード時の端子状態

機能設定	機能名	入出力	STOP1 モード時		STOP2 モード時
			<DRVE> = 1	<DRVE> = 0	<PTKEEP> = 1
ポート	PAx ~ PLx	入力	PxIE[m]設定による	ディセーブル	状態保持
		出力	PxCR[m]設定による	ディセーブル	状態保持
デバッグ機能	$\overline{\text{TRST}}$, TCK, TMS, TDI, SWCLK, SWDI	入力	PxIE[m]設定による		状態保持
	TDO, SWDO, SWV, TRACECLK, TRACEDATA0/1/2/3	出力	PxCR[m]設定かつ データ有効な時にイネーブル		状態保持
割り込み機能	INT0 ~ C	入力	PxIE[m]設定による		状態保持
SSP	SPxCLK, SPxFSS, SPxDO	出力	PxCR[m]設定かつデータ有効な時にイネーブル	ディセーブル	状態保持
MPT(PMD モード)	UO, VO, WO, XO, YO, ZO	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル	状態保持
MPT(IGBT モード)	MTOUTxx	出力	PxCR[m]設定かつデータ有効な時にイネーブル	PxCR[m]設定かつデータ有効な時にイネーブル	状態保持
上記以外の機能	上記以外の機能	入力	PxIE[m]設定による	ディセーブル	状態保持
	上記以外の機能	出力	PxCR[m]設定による	ディセーブル	状態保持

o : 入力または出力が有効
× : 入力または出力が無効

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

9.1.4 割り込み入力を STOP1/STOP2 モード解除に使用する場合の注意

割り込み入力を STOP1/STOP2 モード解除に使用する場合、ファンクションレジスタで機能設定にし、コントロールレジスタで入力設定をして下さい。この設定では、クロックモード制御部の CGSTBYCR<DRVE>で STOP モード中に端子をドライブしない設定を行っていても割り込み入力可能です。

入力ポートとして使用する場合には、入力制御レジスタを設定して下さい。

9.1.5　外部割込み端子の設定について

STOP1/STOP2 モード時で CGSTBYCR<DRVE>ビットを"1"に設定している場合、また NORMAL/IDLE モード時は、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようにしてください。

9.2 ポート機能詳細

本章では、各ポートのレジスタの詳細について説明します。

9.2.1 ポート A (PA0~PA7)

9.2.1.1 ポート A レジスター覧

Base Address = 0x400C_0000

レジスタ名		Address (Base+)
ポート A データレジスタ	PADATA	0x0000
ポート A 出力コントロールレジスタ	PACR	0x0004
ポート A ファンクションレジスタ 1	PAFR1	0x0008
ポート A ファンクションレジスタ 2	PAFR2	0x000C
ポート A ファンクションレジスタ 3	PAFR3	0x0010
ポート A ファンクションレジスタ 4	PAFR4	0x0014
ポート A ファンクションレジスタ 5	PAFR5	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート A オープンドレインコントロールレジスタ	PAOD	0x0028
ポート A プルアップコントロールレジスタ	PAPUP	0x002C
ポート A プルダウンコントロールレジスタ	PAPDN	0x0030
Reserved	-	0x0034
ポート A 入力コントロールレジスタ	PAIE	0x0038

注 1) "Reserved"表記のアドレスにはアクセスしないでください。

注 2) PA1、PA0 が TMS/SWDIO、TDO/SWV 設定の場合、CGSTBYCR<DRVE>/<PTKEEP>の設定によらず、STOP1/STOP2 モード中も出力が有効な状態のまま保持されます。

9.2.1.2　PADATA (ポート A データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PA7-PA0	R/W	ポート A データレジスタ

9.2.1.3　PACR (ポート A 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PA7C-PA0C	R/W	出力 0: 禁止 1: 許可

9.2.1.4 PAFR1 (ポート A ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F1	PA6F1	PA5F1	PA4F1	PA3F1	PA2F1	PA1F1	PA0F1
リセット後	0	0	0	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PA7F1	R/W	0: PORT 1: TRACEDATA1
6	PA6F1	R/W	0: PORT 1: TRACEDATA0
5	PA5F1	R/W	0: PORT 1: TRACECLK
4	PA4F1	R/W	0: PORT 1: $\overline{\text{TRST}}$
3	PA3F1	R/W	0: PORT 1: TDI
2	PA2F1	R/W	0: PORT 1: TCK/SWCLK
1	PA1F1	R/W	0: PORT 1: TMS/SWDIO
0	PA0F1	R/W	0: PORT 1: TDO/SWV

9.2.1.5　PAFR2 (ポート A ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F2	PA6F2	PA5F2	PA4F2	PA3F2	PA2F2	PA1F2	PA0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PA7F2	R/W	0: PORT 1: $\overline{\text{CTS5}}$
6	PA6F2	R/W	0: PORT 1: TXD5
5	PA5F2	R/W	0: PORT 1: RXD5
4	PA4F2	R/W	0: PORT 1: $\overline{\text{RTS5}}$
3	PA3F2	R/W	0: PORT 1: DCD5
2	PA2F2	R/W	0: PORT 1: RIN5
1	PA1F2	R/W	0: PORT 1: DSR5
0	PA0F2	R/W	0: PORT 1: DTR5

9.2.1.6 PAFR3 (ポート A ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F3	PA6F3	PA5F3	-	PA3F3	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PA7F3	R/W	0: PORT 1: SCLK3
6	PA6F3	R/W	0: PORT 1: IROUT5
5	PA5F3	R/W	0: PORT 1: IRIN5
4	–	R	リードすると"0"が読めます。
3	PA3F3	R/W	0: PORT 1: INT3
2-0	–	R	リードすると"0"が読めます。

9.2.1.7　PAFR4 (ポート A ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F4	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PA7F4	R/W	0: PORT 1: $\overline{\text{CTS3}}$
6-0	–	R	リードすると"0"が読めます。

9.2.1.8　PAFR5 (ポート A ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F5	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PA7F5	R/W	0: PORT 1: TB7OUT
6-0	–	R	リードすると"0"が読めます。

9.2.1.9 PAOD (ポート A オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7OD	PA6OD	PA5OD	PA4OD	PA3OD	PA2OD	PA1OD	PA0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PA7OD-PA0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.1.10 PAPUP (ポート A プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7UP	PA6UP	PA5UP	PA4UP	PA3UP	PA2UP	PA1UP	PA0UP
リセット後	0	0	0	1	1	0	1	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PA7UP-PA0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.1.11　PAPDN (ポート A プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7DN	PA6DN	PA5DN	PA4DN	PA3DN	PA2DN	PA1DN	PA0DN
リセット後	0	0	0	0	0	1	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7DN-PA0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.1.12　PAIE (ポート A 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
リセット後	0	0	0	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PA7IE-PA0IE	R/W	入力 0: 禁止 1: 許可

9.2.2 ポート B (PB0~PB6)

9.2.2.1 ポート B レジスター覧

Base Address = 0x400C_0100

レジスタ名		Address (Base+)
ポート B データレジスタ	PBDATA	0x0000
ポート B 出力コントロールレジスタ	PBCR	0x0004
ポート B ファンクションレジスタ 1	PBFR1	0x0008
ポート B ファンクションレジスタ 2	PBFR2	0x000C
ポート B ファンクションレジスタ 3	PBFR3	0x0010
ポート B ファンクションレジスタ 4	PBFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート B オープンドレインコントロールレジスタ	PBOD	0x0028
ポート B プルアップコントロールレジスタ	PBPUP	0x002C
ポート B プルダウンコントロールレジスタ	PBPDN	0x0030
Reserved	-	0x0034
ポート B 入力コントロールレジスタ	PBIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.2.2　PBDATA (ポート B データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6	PB5	PB4	PB3	PB2	PB1	PB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PB6-PB0	R/W	ポート B データレジスタ

9.2.2.3　PBCR (ポート B 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PB6C-PB0C	R/W	出力 0: 禁止 1: 許可

9.2.2.4 PBFR1 (ポート B ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F1	R/W	0: PORT 1: $\overline{\text{BELL}}$
5	PB5F1	R/W	0: PORT 1: ALE
4	PB4F1	R/W	0: PORT 1: $\overline{\text{CS0}}$
3	PB3F1	R/W	0: PORT 1: $\overline{\text{RD}}$
2	PB2F1	R/W	0: PORT 1: $\overline{\text{WR}}$
1	PB1F1	R/W	0: PORT 1: TRACEDATA3
0	PB0F1	R/W	0: PORT 1: TRACEDATA2

9.2.2.5　PBFR2 (ポート B ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F2	PB5F2	PB4F2	PB3F2	PB2F2	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F2	R/W	0: PORT 1: SCOUT
5	PB5F2	R/W	0: PORT 1: SP2FSS
4	PB4F2	R/W	0: PORT 1: SP2DI
3	PB3F2	R/W	0: PORT 1: SP2DO
2	PB2F2	R/W	0: PORT 1: SP2CLK
1-0	–	R	リードすると"0"が読めます。

9.2.2.6 PBFR3 (ポート B ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PB5F3	PB4F3	PB3F3	PB2F3	PB1F3	PB0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	–	R	リードすると"0"が読めます。
5	PB5F3	R/W	0: PORT 1: MT3IN
4	PB4F3	R/W	0: PORT 1: $\overline{\text{GEMG3}}$
3	PB3F3	R/W	0: PORT 1: MTOUT13
2	PB2F3	R/W	0: PORT 1: MTOUT03
1	PB1F3	R/W	0: PORT 1: RXD3
0	PB0F3	R/W	0: PORT 1: TXD3

9.2.2.7　PBFR4 (ポート B ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F4	PB5F4	PB4F4	PB3F4	PB2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F4	R/W	0: PORT 1: TB3OUT
5	PB5F4	R/W	0: PORT 1: INT1
4	PB4F4	R/W	0: PORT 1: INT7
3	PB3F4	R/W	0: PORT 1: MTTB3IN
2	PB2F4	R/W	0: PORT 1: MTTB3OUT
1-0	–	R	リードすると"0"が読めます。

9.2.2.8 PBOD (ポート B オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6OD	PB5OD	PB4OD	PB3OD	PB2OD	PB1OD	PB0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PB6OD- PB0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.2.9 PBPUP (ポート B プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6UP	PB5UP	PB4UP	PB3UP	PB2UP	PB1UP	PB0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PB6UP-PB0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.2.10　PBPDN (ポート B プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6DN	PB5DN	PB4DN	PB3DN	PB2DN	PB1DN	PB0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PB6DN-PB0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.2.11　PBIE (ポート B 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	–	R	リードすると"0"が読めます。
5-0	PB5IE-PB0IE	R/W	入力 0: 禁止 1: 許可

9.2.3 ポート E (PE0~PE7)

9.2.3.1 ポート E レジスター覧

Base Address = 0x400C_0400

レジスタ名		Address (Base+)
ポート E データレジスタ	PEDATA	0x0000
ポート E 出力コントロールレジスタ	PECR	0x0004
ポート E ファンクションレジスタ 1	PEFR1	0x0008
Reserved	-	0x000C
ポート E ファンクションレジスタ 3	PEFR3	0x0010
ポート E ファンクションレジスタ 4	PEFR4	0x0014
ポート E ファンクションレジスタ 5	PEFR5	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート E オープンドレインコントロールレジスタ	PEOD	0x0028
ポート E プルアップコントロールレジスタ	PEPUP	0x002C
ポート E プルダウンコントロールレジスタ	PEPDN	0x0030
Reserved	-	0x0034
ポート E 入力コントロールレジスタ	PEIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.3.2　PEDATA (ポート E データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PE7-PE0	R/W	ポート E データレジスタ

9.2.3.3　PECR (ポート E 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PE7C-PE0C	R/W	出力 0: 禁止 1: 許可

9.2.3.4 PEFR1 (ポート E ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PE6F1	PE5F1	PE4F1	PE3F1	PE2F1	PE1F1	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PE6F1	R/W	0: PORT 1: RXD1
5	PE5F1	R/W	0: PORT 1: TXD1
4	PE4F1	R/W	0: PORT 1: SCLK1
3	PE3F1	R/W	0: PORT 1: SCLK0
2	PE2F1	R/W	0: PORT 1: TXD0
1	PE1F1	R/W	0: PORT 1: RXD0
0	–	R	リードすると"0"が読めます。

9.2.3.5　PEFR3 (ポート E ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F3	PE6F3	PE5F3	PE4F3	PE3F3	PE2F3	PE1F3	PE0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PE7F3	R/W	0: PORT 1: A23
6	PE6F3	R/W	0: PORT 1: A22
5	PE5F3	R/W	0: PORT 1: A21
4	PE4F3	R/W	0: PORT 1: A20
3	PE3F3	R/W	0: PORT 1: A19
2	PE2F3	R/W	0: PORT 1: A18
1	PE1F3	R/W	0: PORT 1: A17
0	PE0F3	R/W	0: PORT 1: A16

9.2.3.6 PEFR4 (ポート E ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F4	-	-	PE4F4	PE3F4	-	PE1F4	PE0F4
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PE7F4	R/W	0: PORT 1: INT6
6-5	-	R	リードすると"0"が読めます。
4	PE4F4	R/W	0: PORT 1: $\overline{\text{CTS1}}$
3	PE3F4	R/W	0: PORT 1: $\overline{\text{CTS0}}$
2	-	R	リードすると"0"が読めます。
1	PE1F4	R/W	0: PORT 1: INT5
0	PE0F4	R/W	0: PORT 1: INT4

9.2.3.7　PEFR5 (ポート E ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F5	-	-	PE4F5	PE3F5	PE2F5	PE1F5	PE0F5
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PE7F5	R/W	0: PORT 1: TB2IN
6-5	-	R	リードすると"0"が読めます。
4	PE4F5	R/W	0: PORT 1: TB2OUT
3	PE3F5	R/W	0: PORT 1: TB0OUT
2	PE2F5	R/W	0: PORT 1: TB1OUT
1	PE1F5	R/W	0: PORT 1: TB1IN
0	PE0F5	R/W	0: PORT 1: TB0IN

9.2.3.8 PEOD (ポート E オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7OD	PE6OD	PE5OD	PE4OD	PE3OD	PE2OD	PE1OD	PE0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PE7OD- PE0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.3.9 PEPUP (ポート E プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7UP	PE6UP	PE5UP	PE4UP	PE3UP	PE2UP	PE1UP	PE0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PE7UP-PE0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.3.10　PEPDN (ポート E プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7DN	PE6DN	PE5DN	PE4DN	PE3DN	PE2DN	PE1DN	PE0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PE7DN-PE0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.3.11　PEIE (ポート E 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7IE	PE6IE	PE5IE	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PE7IE-PE0IE	R/W	入力 0: 禁止 1: 許可

9.2.4 ポート F (PF0~PF7)

9.2.4.1 ポート F レジスター覧

Base Address = 0x400C_0500

レジスタ名		Address (Base+)
ポート F データレジスタ	PFDATA	0x0000
ポート F 出力コントロールレジスタ	PFCR	0x0004
ポート F ファンクションレジスタ 1	PFFR1	0x0008
ポート F ファンクションレジスタ 2	PFFR2	0x000C
ポート F ファンクションレジスタ 3	PFFR3	0x0010
ポート F ファンクションレジスタ 4	PFFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート F オープンドレインコントロールレジスタ	PFOD	0x0028
ポート F プルアップコントロールレジスタ	PFPUP	0x002C
ポート F プルダウンコントロールレジスタ	PFPDN	0x0030
Reserved	-	0x0034
ポート F 入力コントロールレジスタ	PFIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.4.2　PFDATA (ポート F データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PF7-PF0	R/W	ポート F データレジスタ

9.2.4.3　PFCR (ポート F 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PF7C-PF0C	R/W	出力 0: 禁止 1: 許可

9.2.4.4 PFFR1 (ポート F ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7F1	PF6F1	PF5F1	PF4F1	PF3F1	PF2F1	PF1F1	PF0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PF7F1	R/W	0: PORT 1: AD7
6	PF6F1	R/W	0: PORT 1: AD6
5	PF5F1	R/W	0: PORT 1: AD5
4	PF4F1	R/W	0: PORT 1: AD4
3	PF3F1	R/W	0: PORT 1: AD3
2	PF2F1	R/W	0: PORT 1: AD2
1	PF1F1	R/W	0: PORT 1: AD1
0	PF0F1	R/W	0: PORT 1: AD0

9.2.4.5　PFFR2 (ポート F ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7F2	PF6F2	PF5F2	PF4F2	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PF7F2	R/W	0: PORT 1: ENCA
6	PF6F2	R/W	0: PORT 1: ENCB
5	PF5F2	R/W	0: PORT 1: ENCZ
4	PF4F2	R/W	0: PORT 1: INT0
3-0	–	R	リードすると"0"が読めます。

9.2.4.6 PFFR3 (ポート F ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7F3	PF6F3	PF5F3	PF4F3	PF3F3	PF2F3	PF1F3	PF0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PF7F3	R/W	0: PORT 1: DTR4
6	PF6F3	R/W	0: PORT 1: DSR4
5	PF5F3	R/W	0: PORT 1: RIN4
4	PF4F3	R/W	0: PORT 1: DCD4
3	PF3F3	R/W	0: PORT 1: $\overline{\text{RTS4}}$
2	PF2F3	R/W	0: PORT 1: RXD4
1	PF1F3	R/W	0: PORT 1: TXD4
0	PF0F3	R/W	0: PORT 1: $\overline{\text{CTS4}}$

9.2.4.7　PFFR4 (ポート F ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7F4	PF6F4	PF5F4	-	-	PF1F4	PF0F4	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PF7F4	R/W	0: PORT 1: SO1/SDA1
6	PF6F4	R/W	0: PORT 1: SI1/SCL1
5	PF5F4	R/W	0: PORT 1: SCK1
4-3	-	R	リードすると"0"が読めます。
2	PF2F4	R/W	0: PORT 1: IRIN4
1	PF1F4	R/W	0: PORT 1: IROUT4
0	–	R	リードすると"0"が読めます。

9.2.4.8 PFOD (ポート F オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7OD	PF6OD	PF5OD	PF4OD	PF3OD	PF2OD	PF1OD	PF0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PF7OD-PF0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.4.9 PFPUP (ポート F プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7UP	PF6UP	PF5UP	PF4UP	PF3UP	PF2UP	PF1UP	PF0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PF7UP-PF0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.4.10　PFPDN (ポート F プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7DN	PF6DN	PF5DN	PF4DN	PF3DN	PF2DN	PF1DN	PF0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PF7DN-PF0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.4.11　PFIE (ポート F 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7IE	PF6IE	PF5IE	PF4IE	PF3IE	PF2IE	PF1IE	PF0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PF7IE-PF0IE	R/W	入力 0: 禁止 1: 許可

9.2.5 ポート G (PG0~PG7)

9.2.5.1 ポート G レジスター覧

Base Address = 0x400C_0600

レジスタ名		Address (Base+)
ポート G データレジスタ	PGDATA	0x0000
ポート G 出力コントロールレジスタ	PGCR	0x0004
ポート G ファンクションレジスタ 1	PGFR1	0x0008
ポート G ファンクションレジスタ 2	PGFR2	0x000C
ポート G ファンクションレジスタ 3	PGFR3	0x0010
ポート G ファンクションレジスタ 4	PGFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート G オープンドレインコントロールレジスタ	PGOD	0x0028
ポート G プルアップコントロールレジスタ	PGPUP	0x002C
ポート G プルダウンコントロールレジスタ	PGPDN	0x0030
Reserved	-	0x0034
ポート G 入力コントロールレジスタ	PGIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.5.2　PGDATA (ポート G データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PG7-PG0	R/W	ポート G データレジスタ

9.2.5.3　PGCR (ポート G 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PG7C-PG0C	R/W	出力 0: 禁止 1: 許可

9.2.5.4 PGFR1 (ポート G ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7F1	PG6F1	PG5F1	PG4F1	PG3F1	PG2F1	PG1F1	PG0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PG7F1	R/W	0: PORT 1: AD15
6	PG6F1	R/W	0: PORT 1: AD14
5	PG5F1	R/W	0: PORT 1: AD13
4	PG4F1	R/W	0: PORT 1: AD12
3	PG3F1	R/W	0: PORT 1: AD11
2	PG2F1	R/W	0: PORT 1: AD10
1	PG1F1	R/W	0: PORT 1: AD9
0	PG0F1	R/W	0: PORT 1: AD8

9.2.5.5　PGFR2 (ポート G ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7F2	PG6F2	PG5F2	PG4F2	PG3F2	PG2F2	PG1F2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PG7F2	R/W	0: PORT 1: UO
6	PG6F2	R/W	0: PORT 1: XO
5	PG5F2	R/W	0: PORT 1: VO
4	PG4F2	R/W	0: PORT 1: YO
3	PG3F2	R/W	0: PORT 1: WO
2	PG2F2	R/W	0: PORT 1: ZO
1	PG1F2	R/W	0: PORT 1: $\overline{\text{EMG}}$
0	–	R	リードすると"0"が読めます。

9.2.5.6 PGFR3 (ポート G ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7F3	PG6F3	PG5F3	PG4F3	PG3F3	PG2F3	PG1F3	PG0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	PG7F3	R/W	0: PORT 1: SP1FSS
6	PG6F3	R/W	0: PORT 1: SP1DI
5	PG5F3	R/W	0: PORT 1: SP1DO
4	PG4F3	R/W	0: PORT 1: SP1CLK
3	PG3F3	R/W	0: PORT 1: MTOUT00
2	PG2F3	R/W	0: PORT 1: MTOUT10
1	PG1F3	R/W	0: PORT 1: $\overline{\text{GEMG0}}$
0	PG0F3	R/W	0: PORT 1: MT0IN

9.2.5.7　PGFR4 (ポート G ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PG3F4	PG2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PG3F4	R/W	0: PORT 1: MTTB0OUT
2	PG2F4	R/W	0: PORT 1: MTTB0IN
1-0	–	R	リードすると"0"が読めます。

9.2.5.8 PGOD (ポート G オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7OD	PG6OD	PG5OD	PG4OD	PG3OD	PG2OD	PG1OD	PG0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PG7OD- PG0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.5.9 PGPUP (ポート G プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7UP	PG6UP	PG5UP	PG4UP	PG3UP	PG2UP	PG1UP	PG0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PG7UP- PG0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.5.10　PGPDN (ポート G プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7DN	PG6DN	PG5DN	PG4DN	PG3DN	PG2DN	PG1DN	PG0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PG7DN-PG0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.5.11　PGIE (ポート G 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7IE	PG6IE	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PG7IE-PG0IE	R/W	入力 0: 禁止 1: 許可

9.2.6 ポート H (PH0~PH3)

9.2.6.1 ポート H レジスター覧

Base Address = 0x400C_0700

レジスタ名		Address (Base+)
ポート H データレジスタ	PHDATA	0x0000
ポート H 出力コントロールレジスタ	PHCR	0x0004
ポート H ファンクションレジスタ 1	PHFR1	0x0008
ポート H ファンクションレジスタ 2	PHFR2	0x000C
ポート H ファンクションレジスタ 3	PHFR3	0x0010
ポート H ファンクションレジスタ 4	PHFR4	0x0014
ポート H ファンクションレジスタ 5	PHFR5	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート H オープンドレインコントロールレジスタ	PHOD	0x0028
ポート H プルアップコントロールレジスタ	PHPUP	0x002C
ポート H プルダウンコントロールレジスタ	PHPDN	0x0030
Reserved	-	0x0034
ポート H 入力コントロールレジスタ	PHIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.6.2　PHDATA (ポート H データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3	PH2	PH1	PH0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PH3-PH0	R/W	ポート H データレジスタ

9.2.6.3　PHCR (ポート H 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3C	PH2C	PH1C	PH0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PH3C-PH0C	R/W	出力 0: 禁止 1: 許可

9.2.6.4 PHFR1 (ポート H ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3F1	PH2F1	PH1F1	PH0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-5	–	R/W	"0"をライトしてください。
4	-	R	リードすると"0"が読めます。
3	PH3F1	R/W	0: PORT 1: $\overline{CS3}$
2	PH2F1	R/W	0: PORT 1: $\overline{CS2}$
1	PH1F1	R/W	0: PORT 1: $\overline{CS1}$
0	PH0F1	R/W	0: PORT 1: $\overline{BELH}$

9.2.6.5　PHFR2 (ポート H ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PH1F2	PH0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	−	R	リードすると"0"が読めます。
5	−	R/W	"0"をライトしてください。
4	−	R	リードすると"0"が読めます。
3-2	−	R/W	"0"をライトしてください。
1	PH1F2	R/W	0: PORT 1: TB4OUT
0	PH0F2	R/W	0: PORT 1: TB5OUT

9.2.6.6 PHFR3 (ポート H ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3F3	PH2F3	PH1F3	PH0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PH3F3	R/W	0: PORT 1: MTOUT02
2	PH2F3	R/W	0: PORT 1: MTOUT12
1	PH1F3	R/W	0: PORT 1: $\overline{\text{GEMG2}}$
0	PH0F3	R/W	0: PORT 1: MT2IN

9.2.6.7　PHFR4 (ポート H ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3F4	PH2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
3	PH3F4	R/W	0: PORT 1: MTTB2OUT
2	PH2F4	R/W	0: PORT 1: MTTB2IN
1-0	–	R	リードすると"0"が読めます。

9.2.6.8 PHFR5 (ポート H ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PH2F5	PH1F5	PH0F5
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-3	–	R/W	"0"をライトしてください。
2	PH2F5	R/W	0: PORT 1: SCK2
1	PH1F5	R/W	0: PORT 1: SI2/SCL2
0	PH0F5	R/W	0: PORT 1: SO2/SDA2

9.2.6.9　PHOD (ポート H オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3OD	PH2OD	PH1OD	PH0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PH3OD- PH0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.6.10　PHPUP (ポート H プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3UP	PH2UP	PH1UP	PH0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PH3UP-PH0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.6.11 PHPDN (ポート H プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3DN	PH2DN	PH1DN	PH0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PH3DN- PH0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.6.12　PHIE (ポート H 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PH3IE	PH2IE	PH1IE	PH0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PH3IE-PH0IE	R/W	入力 0: 禁止 1: 許可

9.2.7 ポート I (PI0~PI7)

9.2.7.1 ポート I レジスター覧

Base Address = 0x400C_0800

レジスタ名		Address (Base+)
ポート I データレジスタ	PIDATA	0x0000
ポート I 出力コントロールレジスタ	PICR	0x0004
ポート I ファンクションレジスタ 1	PIFR1	0x0008
ポート I ファンクションレジスタ 2	PIFR2	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート I オープンドレインコントロールレジスタ	PIOD	0x0028
ポート I プルアップコントロールレジスタ	PIPUP	0x002C
ポート I プルダウンコントロールレジスタ	PIPDN	0x0030
Reserved	-	0x0034
ポート I 入力コントロールレジスタ	PIIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.7.2　PIDATA (ポート I データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7-PI0	R/W	ポート I データレジスタ

9.2.7.3　PICR (ポート I 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7C	PI6C	PI5C	PI4C	PI3C	PI2C	PI1C	PI0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7C-PI0C	R/W	出力 0: 禁止 1: 許可

9.2.7.4 PIFR1(ポート I ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PI3F1	PI2F1	PI1F1	PI0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PI3F1	R/W	0: PORT 1: INTC
2	PI2F1	R/W	0: PORT 1: INTB
1	PI1F1	R/W	0: PORT 1: INTA
0	PI0F1	R/W	0: PORT 1: INT9

9.2.7.5　PIFR2(ポート I ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PI3F2	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PI3F2	R/W	0: PORT 1: $\overline{\text{DMAREQ}}$
2-0	–	R	リードすると"0"が読めます。

9.2.7.6 PIOD (ポート I オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7OD	PI6OD	PI5OD	PI4OD	PI3OD	PI2OD	PI1OD	PI0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7OD-PI0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.7.7 PIPUP (ポート I プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7UP	PI6UP	PI5UP	PI4UP	PI3UP	PI2UP	PI1UP	PI0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7UP-PI0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.7.8　PIPDN (ポート I プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7DN	PI6DN	PI5DN	PI4DN	PI3DN	PI2DN	PI1DN	PI0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7DN-PI0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.7.9　PIIE (ポート I 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7IE	PI6IE	PI5IE	PI4IE	PI3IE	PI2IE	PI1IE	PI0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	PI7IE-PI0IE	R/W	入力 0: 禁止 1: 許可

9.2.8 ポート K (PK0~PK4)

PK0 は入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

9.2.8.1 ポート K レジスター覧

Base Address = 0x400C_0A00

レジスタ名		Address (Base+)
ポート K データレジスタ	KIDATA	0x0000
ポート K 出力コントロールレジスタ	PKCR	0x0004
ポート K ファンクションレジスタ 1	PKFR1	0x0008
ポート K ファンクションレジスタ 2	PKFR2	0x000C
ポート K ファンクションレジスタ 3	PKFR3	0x0010
ポート K ファンクションレジスタ 4	PKFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート K オープンドレインコントロールレジスタ	PKOD	0x0028
ポート K プルアップレジスタ	PKPUP	0x002C
ポート K プルダウンコントロールレジスタ	PKPDN	0x0030
Reserved	-	0x0034
ポート K 入力コントロールレジスタ	PKIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.8.2　PKDATA (ポート K データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4	PK3	PK2	PK1	PK0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	PK4-PK0	R/W	ポート K データレジスタ

9.2.8.3　PKCR (ポート K 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4C	PK3C	PK2C	PK1C	PK0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	PK4C-PK0C	R/W	出力 0: 禁止 1: 許可

9.2.8.4 PKFR1 (ポート K ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4F1	-	PK2F1	-	PK0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4	PK4F1	R/W	0: PORT 1: RXIN
3	–	R/W	"0"をライトしてください。
2	PK2F1	R/W	0: PORT 1: USB_ECLK
1	–	R/W	"0"をライトしてください。
0	PK0F1	R/W	0: PORT 1: USBDPON/INTD

注) PK0 は、USB デバイスコントローラを使用するときは USBDPON 入力または出力ポートとして使用できます。USB デバイスコントローラを使用しないときには入出力ポートまたは INTD 入力として使用できます。

9.2.8.5　PKFR2 (ポート K ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4F2	PK3F2	PK2F2	PK1F2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4	PK4F2	R/W	0: PORT 1: SP0CLK
3	PK3F2	R/W	0: PORT 1: SP0DO
2	PK2F2	R/W	0: PORT 1: SP0DI
1	PK1F2	R/W	0: PORT 1: SP0FSS
0	–	R	リードすると"0"が読めます。

9.2.8.6 PKFR3 (ポート K ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4F3	PK3F3	PK2F3	PK1F3	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4	PK4F3	R/W	0: PORT 1: SCK0
3	PK3F3	R/W	0: PORT 1: SI0/SCL0
2	PK2F3	R/W	0: PORT 1: SO0/SDA0
1	PK1F3	R/W	0: PORT 1: INT8
0	–	R	リードすると"0"が読めます。

9.2.8.7　PKFR4 (ポート K ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1F4	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	PK1F4	R/W	0: PORT 1: TB6OUT
0	–	R	リードすると"0"が読めます。

9.2.8.8 PKOD (ポート K オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4OD	PK3OD	PK2OD	PK1OD	PK0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	PK4OD-PK0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

注) PK0 は入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

9.2.8.9 PKPUP (ポート K プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4UP	PK3UP	PK2UP	PK1UP	PK0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	PK4UP-PK0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.8.10　PKPDN (ポート K プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4DN	PK3DN	PK2DN	PK1DN	PK0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	PK4DN-PK0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.8.11　PKIE (ポート K 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PK4IE	PK3IE	PK2IE	PK1IE	PK0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	PK4IE-PK0IE	R/W	入力 0: 禁止 1: 許可

注)　PK0 は、USB デバイスコントローラを使用するときは USBDPON 入力または出力ポートとして使用できます。USB デバイスコントローラを使用しないときには入出力ポートまたは INTD 入力として使用できます。

9.2.9 ポート L (PL0~PL3)

9.2.9.1 ポート L レジスター覧

Base Address = 0x400C_0B00

レジスタ名		Address (Base+)
ポート L データレジスタ	LIDATA	0x0000
ポート L 出力コントロールレジスタ	PLCR	0x0004
Reserved	-	0x0008
ポート L ファンクションレジスタ 2	PLFR2	0x000C
ポート L ファンクションレジスタ 3	PLFR3	0x0010
ポート L ファンクションレジスタ 4	PLFR4	0x0014
ポート L ファンクションレジスタ 5	PLFR5	0x0018
ポート L ファンクションレジスタ 6	PLFR6	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート L オープンドレインコントロールレジスタ	PLOD	0x0028
ポート L プルアップレジスタ	PLPUP	0x002C
ポート L プルダウンコントロールレジスタ	PLPDN	0x0030
Reserved	-	0x0034
ポート L 入力コントロールレジスタ	PLIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

9.2.9.2　PLDATA (ポート L データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3	PL2	PL1	PL0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PL3-PL0	R/W	ポート L データレジスタ

9.2.9.3　PLCR (ポート L 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3C	PL2C	PL1C	PL0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PL3C-PL0C	R/W	出力 0: 禁止 1: 許可

9.2.9.4 PLFR2 (ポート L ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PL0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-1	–	R/W	"0"をライトしてください。
0	PL0F2	R/W	0: PORT 1: INT2

9.2.9.5　PLFR3 (ポート L ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3F3	PL2F3	PL1F3	PL0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PL3F3	R/W	0: PORT 1: MTOUT01
2	PL2F3	R/W	0: PORT 1: MTOUT11
1	PL1F3	R/W	0: PORT 1: $\overline{\text{GEMG1}}$
0	PL0F3	R/W	0: PORT 1: MT1IN

9.2.9.6 PLFR4 (ポート L ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3F4	PL2F4	PL1F4	PL0F4
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PL3F4	R/W	0: PORT 1: MTTB1OUT
2	PL2F4	R/W	0: PORT 1: MTTB1IN
1	PL1F4	R/W	0: PORT 1: $\overline{\text{DATRG}}$
0	PL0F4	R/W	0: PORT 1: $\overline{\text{ADTRGA}}$

9.2.9.7　PLFR5 (ポート L ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3F5	PL2F5	PL1F5	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PL3F5	R/W	0: PORT 1: SCLK2
2	PL2F5	R/W	0: PORT 1: TXD2
1	PL1F5	R/W	0: PORT 1: RXD2
0	–	R	リードすると"0"が読めます。

9.2.9.8 PLFR6 (ポート L ファンクションレジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3F6	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3	PL3F6	R/W	0: PORT 1: $\overline{\text{CTS2}}$
2-0	–	R	リードすると"0"が読めます。

9.2.9.9　PLOD (ポート L オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3OD	PL2OD	PL1OD	PL0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PL3OD-PL0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

9.2.9.10　PLPUP (ポート L プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3UP	PL2UP	PL1UP	PL0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PL3UP-PL0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.9.11 PLPDN (ポート L プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3DN	PL2DN	PL1DN	PL0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PL3DN-PL0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.9.12　PLIE (ポート L 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PL3IE	PL2IE	PL1IE	PL0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	–	R/W	"0"をライトしてください。
3-0	PL3IE-PL0IE	R/W	入力 0: 禁止 1: 許可

9.3 ポート回路図

9.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 9-3 機能一覧

Type	汎用ポート	機能	アナログ	Pull-up	Pull-down	プログラマブルオープンドレイン	備考
FT1	入出力	入出力	−	R	R	o	
FT2	入出力	入出力	−	R	R	o	機能出力にイネーブル付き
FT3	入出力	入出力	−	R	R	o	機能出力にイネーブル付き
FT4	入出力	入力(int)	−	R	R	o	ノイズフィルタ付き
FT5	入出力	入力	o	R	R	o	アナログ入力
FT6	出力	出力	−	EnR	R	o	リセット中 $\overline{\text{BOOT}}$ 入力イネーブル
FT7	入出力	入出力	−	R	R	o	機能入出力にイネーブル付き
FT8	入出力	入力	−	R	R	o	
FT9	入出力	入出力	−	R	R	o	
FT10	入出力	入出力	−	R	R	o	機能出力にイネーブル付き

int: 割り込み入力
−: なし
o: 有り
R: リセット中は強制的に禁止
NoR: リセットでは制御されない
EnR: リセット中は強制的に許可

9.3.2　タイプ FT1

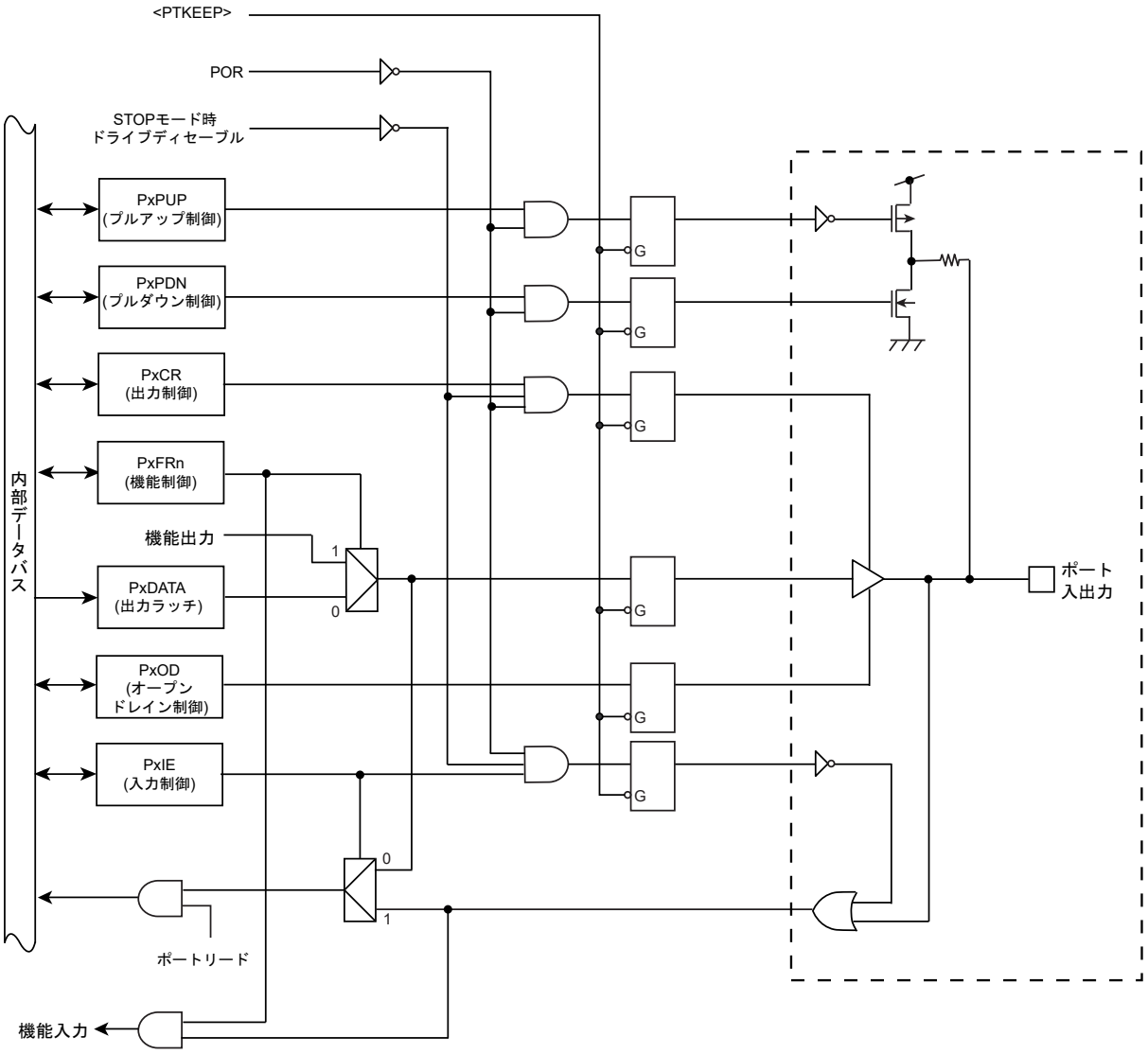


図 9-1 ポートタイプ FT1

9.3.3 タイプ FT2

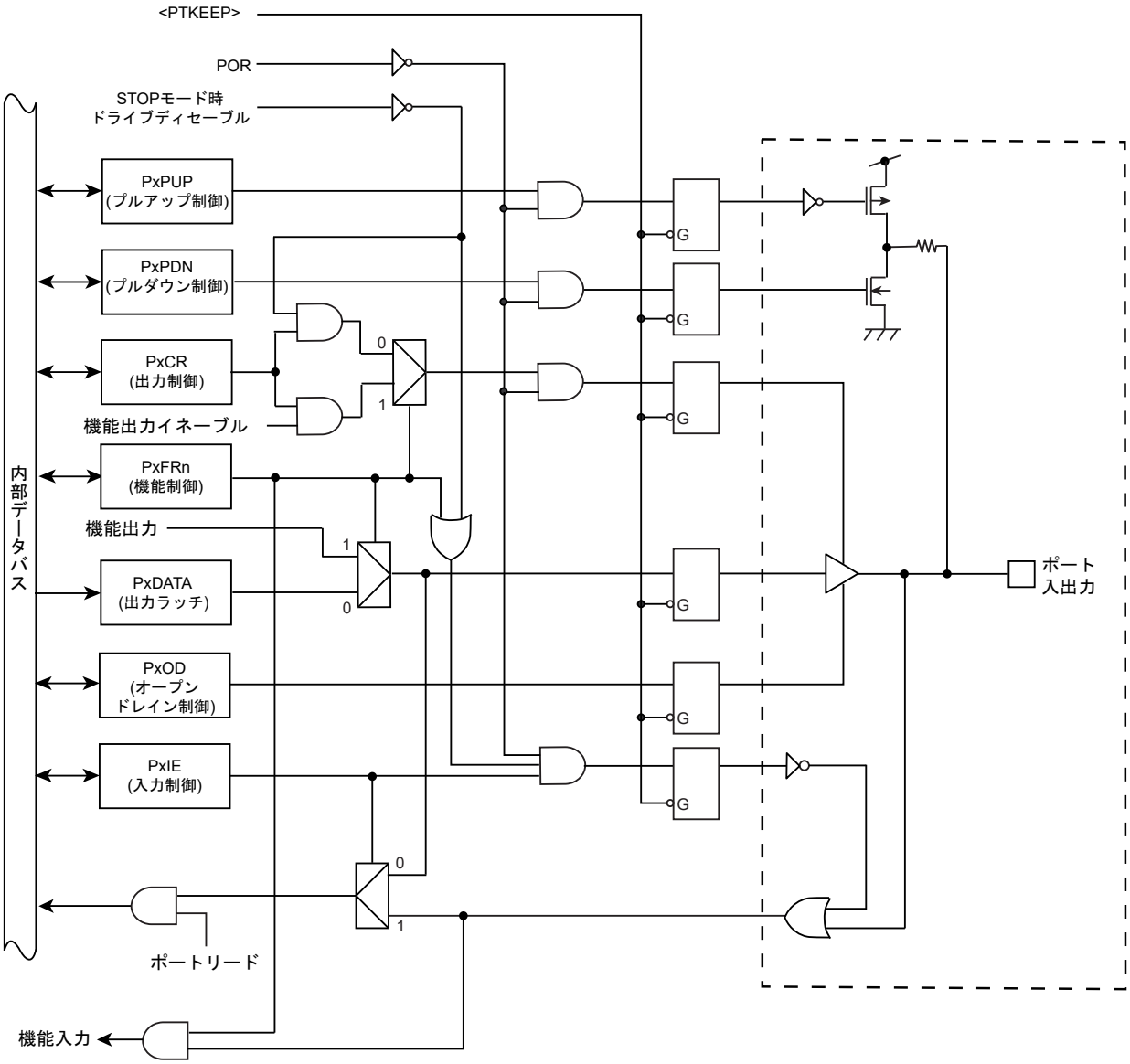


図 9-2 ポートタイプ FT2

注) $\overline{\text{TRST}}$には、ノイズフィルタ(30ns Typ.)が入ります。

9.3.4　タイプ FT3

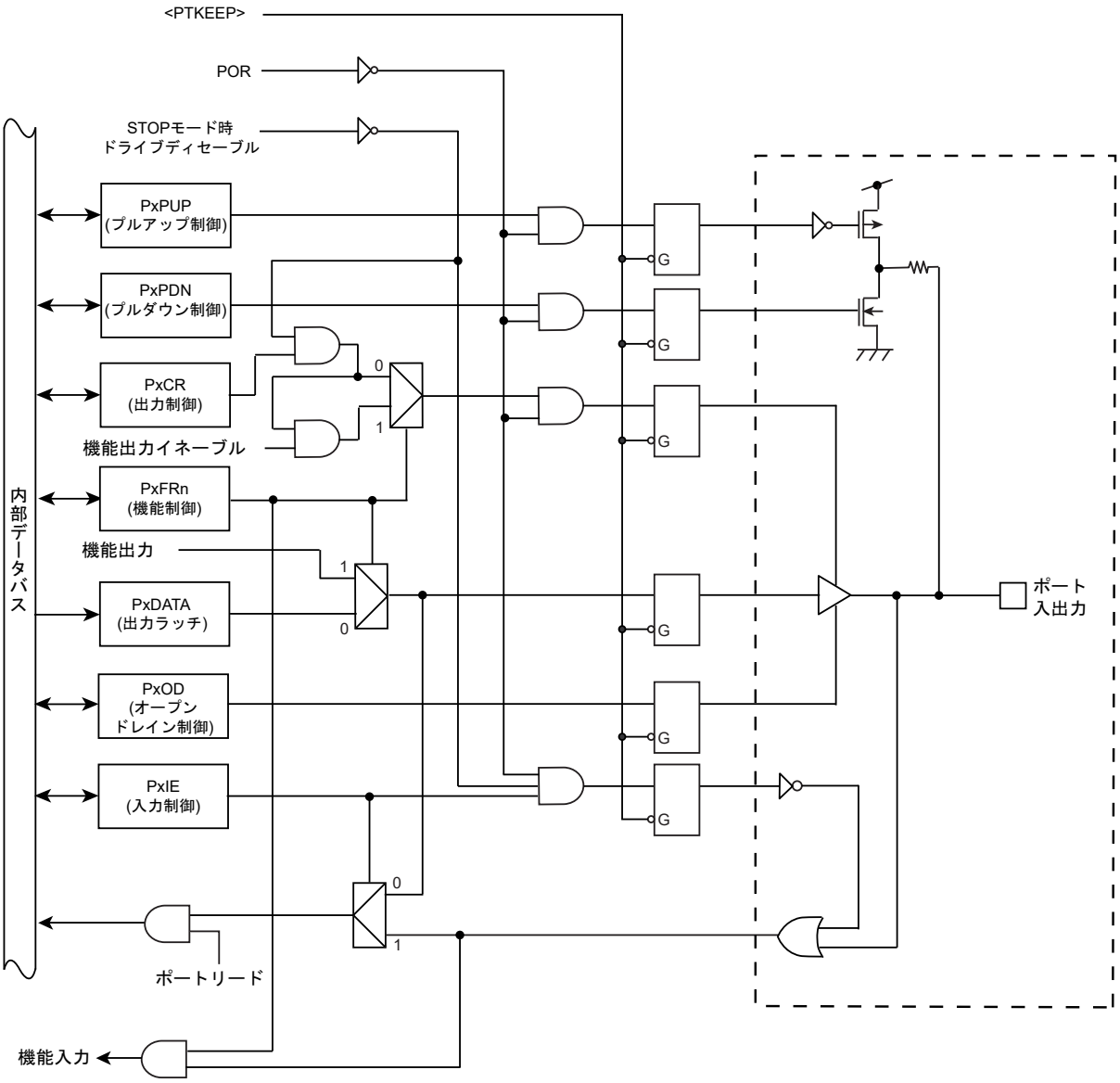


図 9-3 ポートタイプ FT3

9.3.5 タイプ FT4

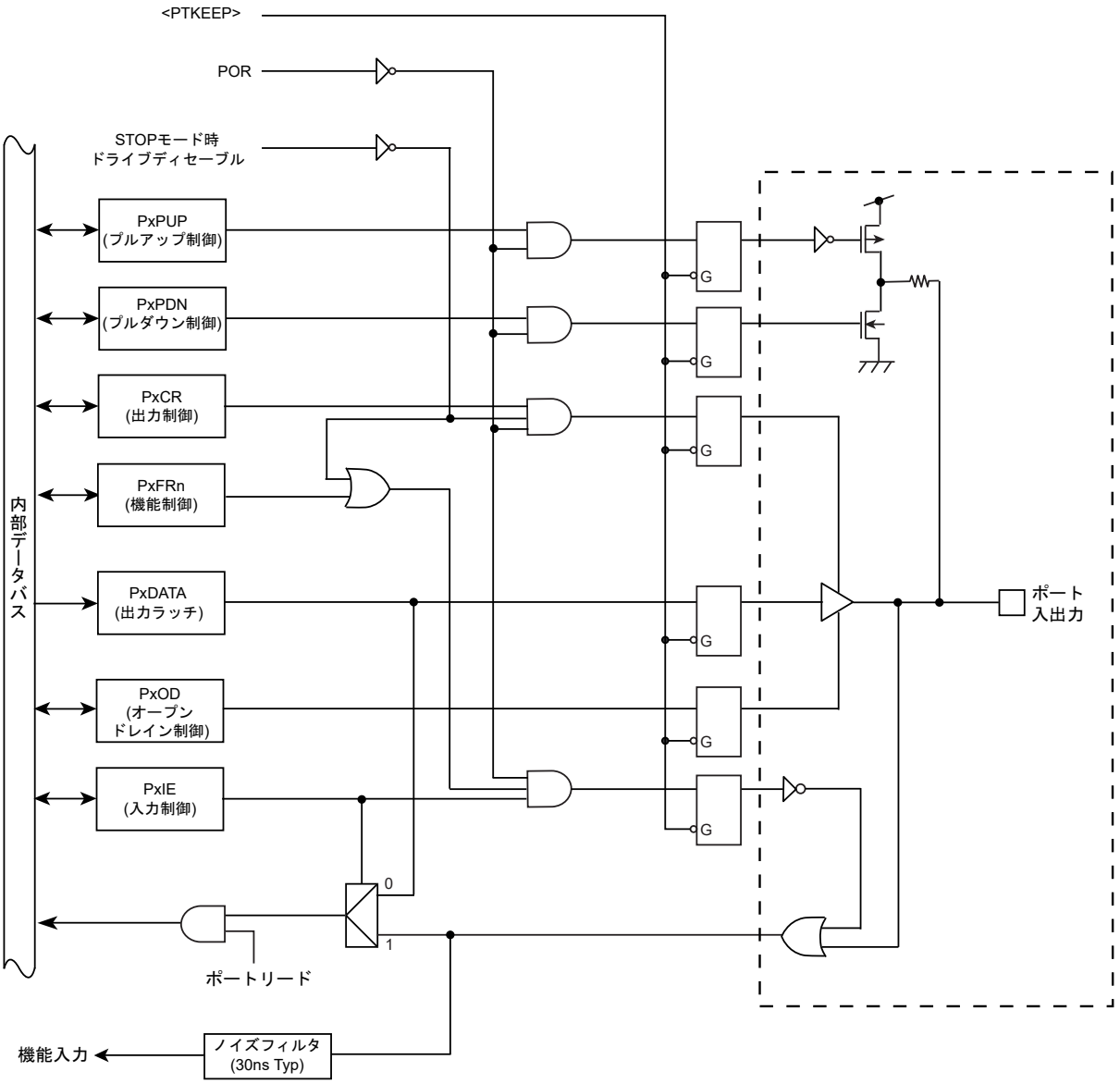


図 9-4 ポートタイプ FT4

9.3.6　タイプ FT5

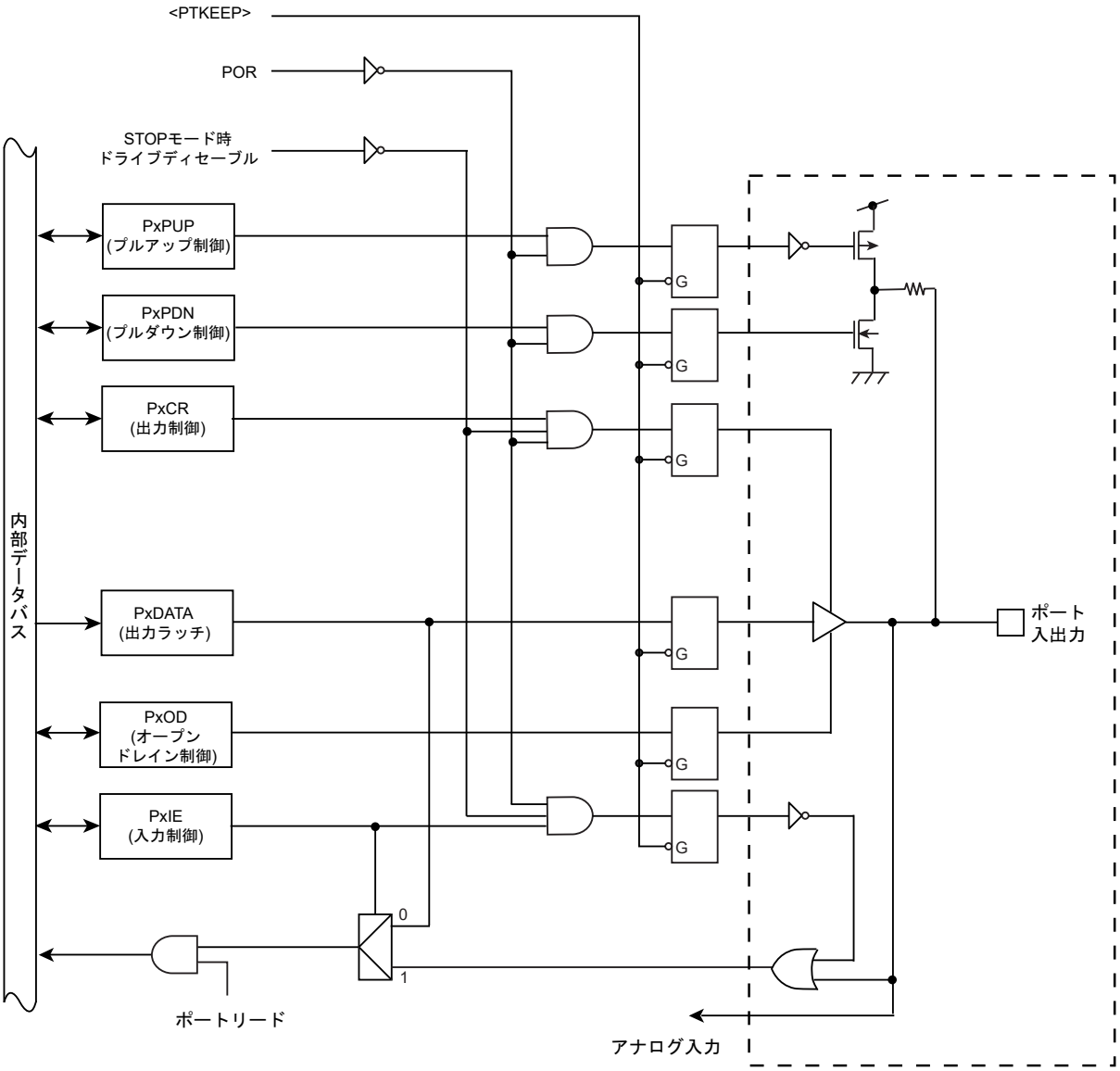


図 9-5 ポートタイプ FT5

9.3.7 タイプ FT6

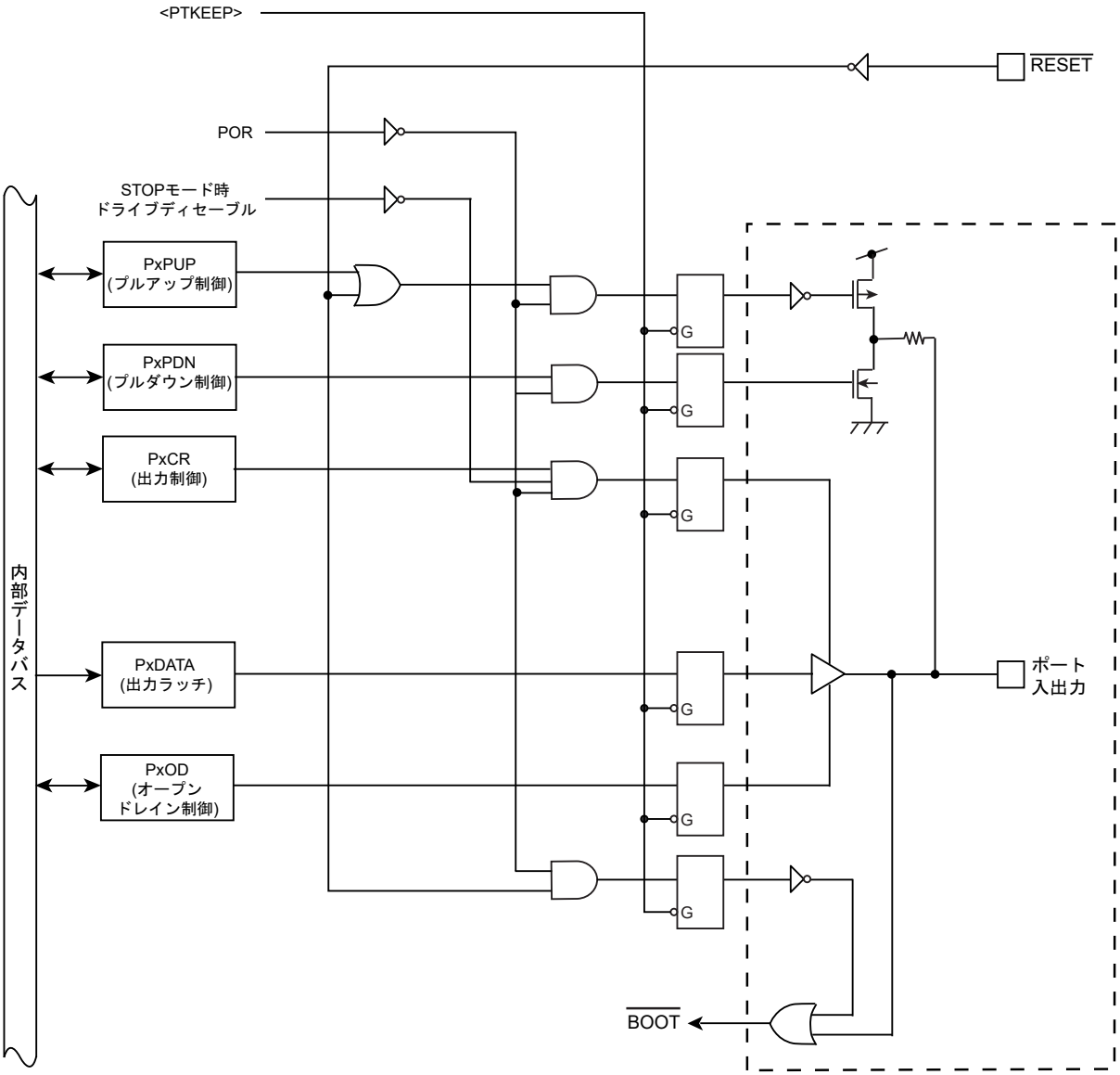


図 9-6 ポートタイプ FT6

9.3.8　タイプ FT7

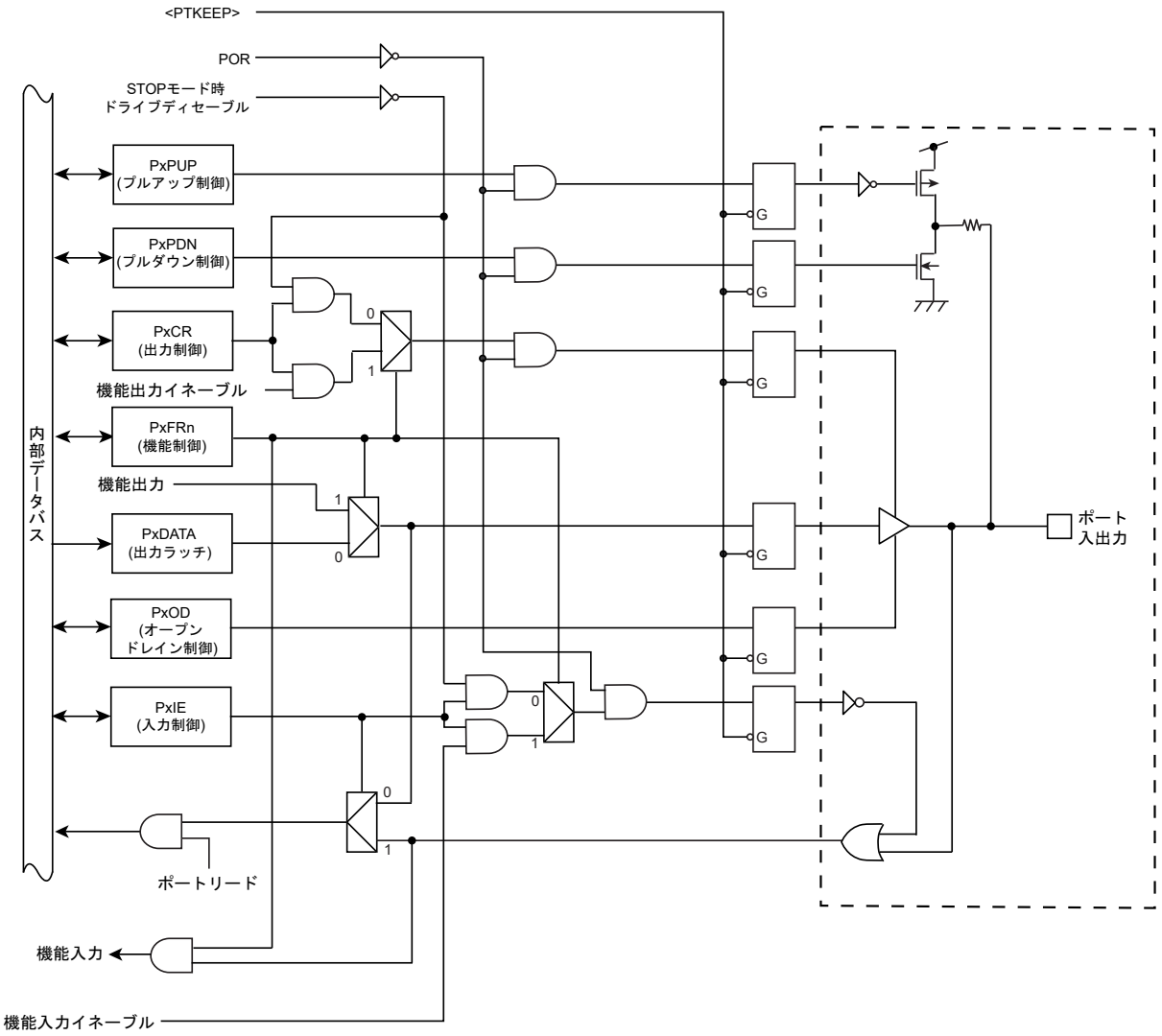


図 9-7 ポートタイプ FT7

9.3.9 タイプ FT8

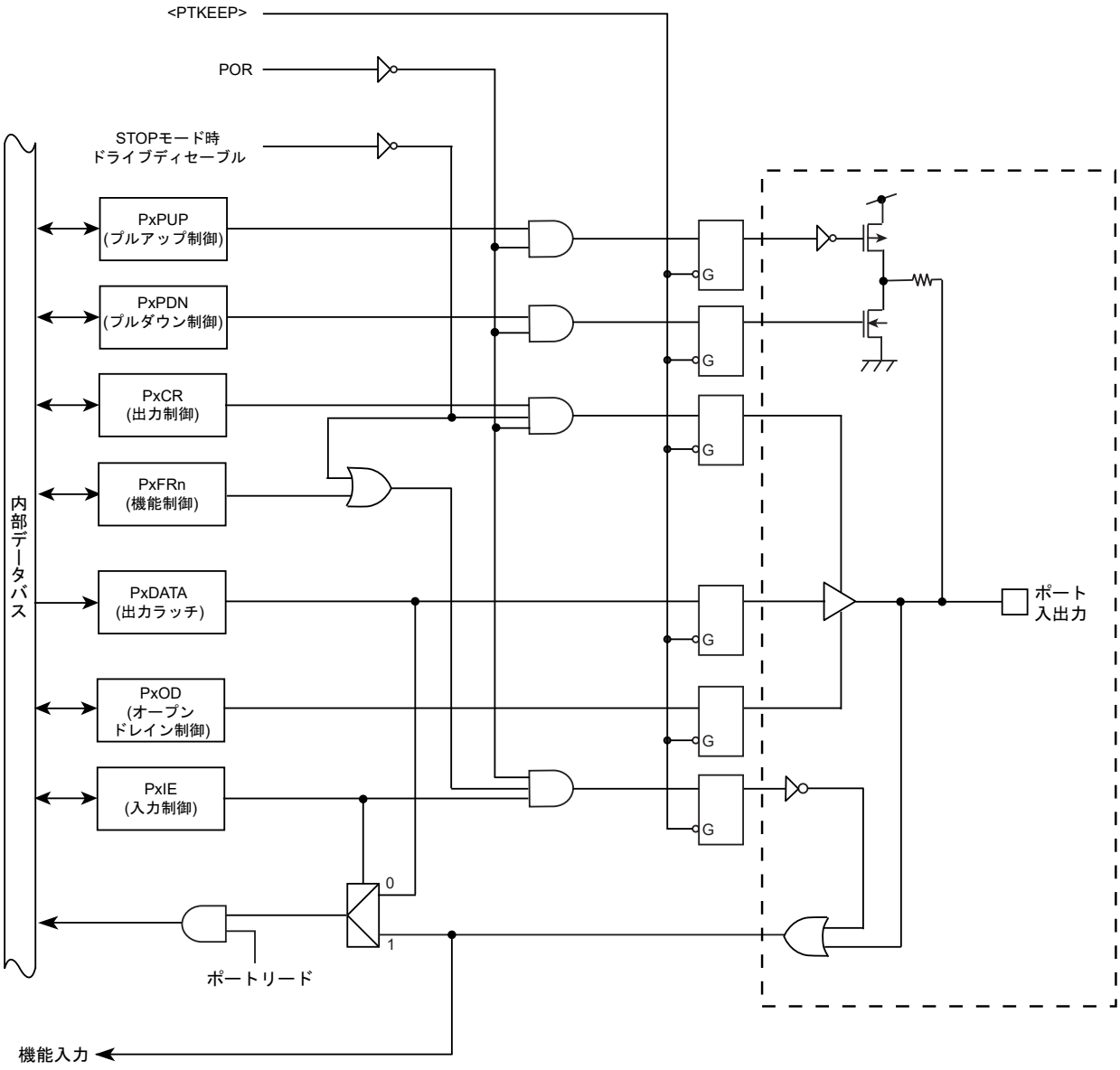


図 9-8 ポートタイプ FT8

9.3.10　タイプ FT9

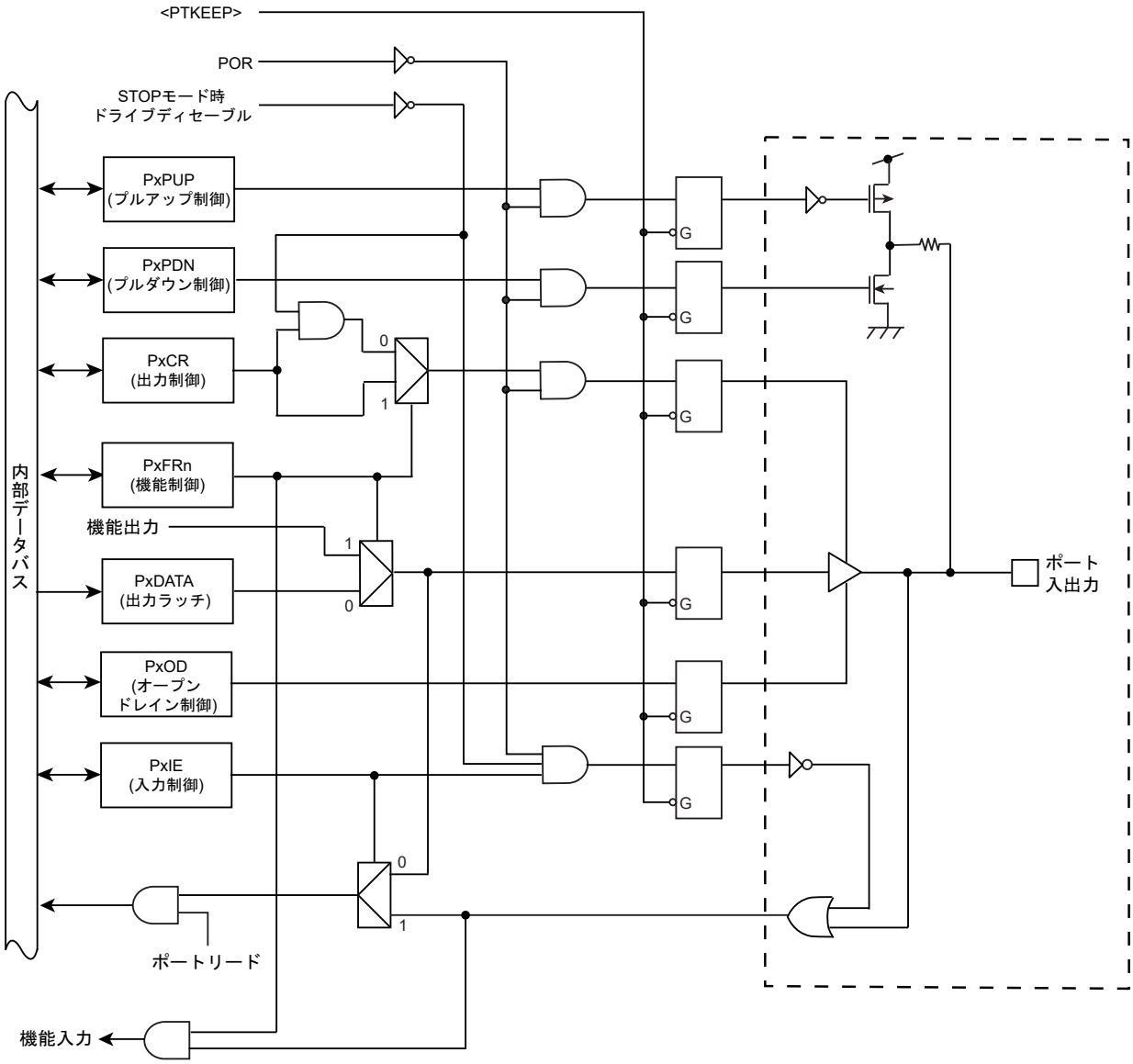


図 9-9 ポートタイプ FT9

9.3.11 タイプ FT10

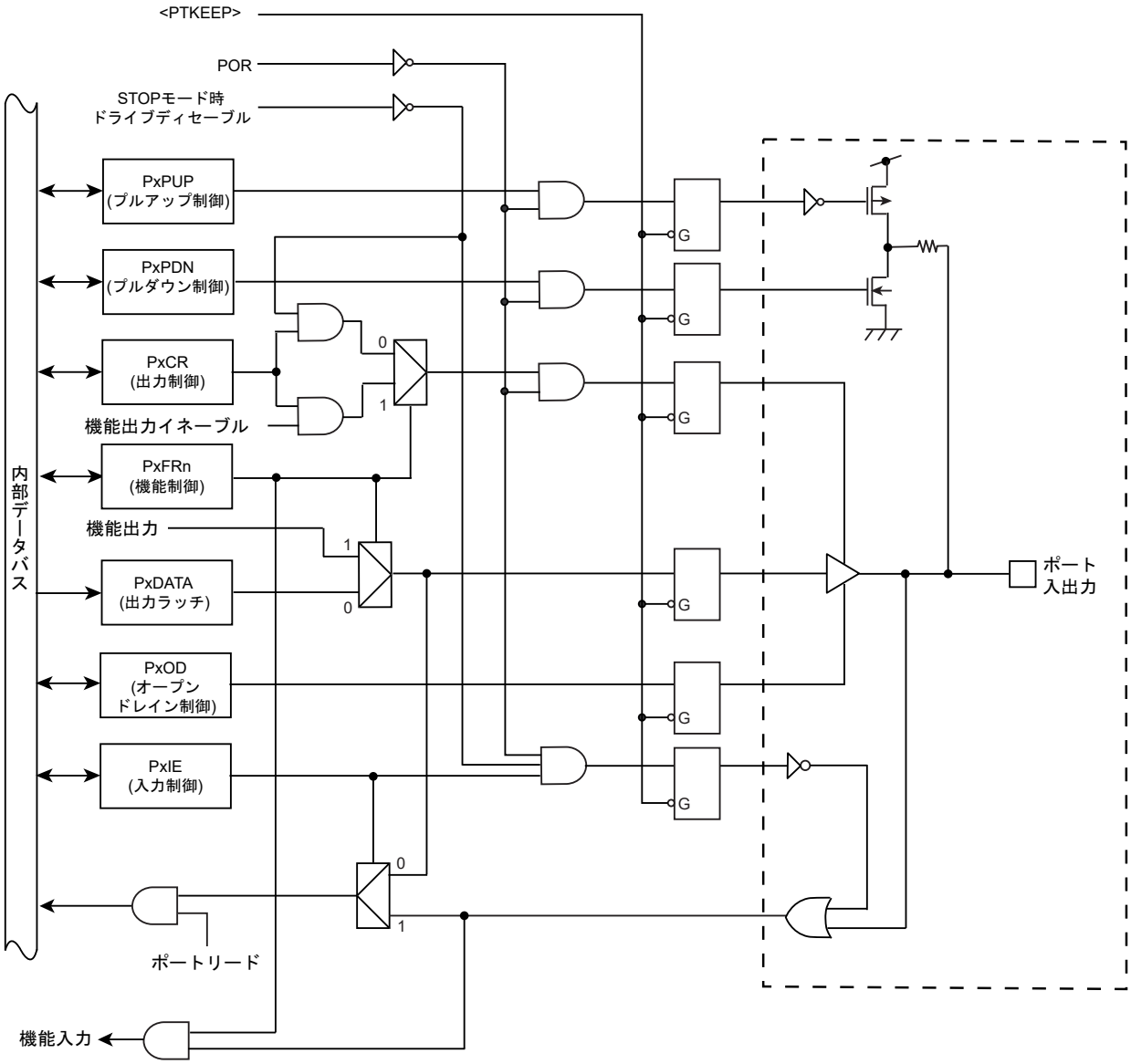


図 9-10 ポートタイプ FT10

9.4　付録 (ポート設定一覧)

ポート毎に内蔵する周辺機能に対する入出力端子にあわせたレジスタ設定が記載されています。

使用する周辺機能にあわせ、レジスタを設定してください。

・ PE4 ポートを SCLKx(出力)で使用する場合の設定例
- PECR の下に書かれている"1"は、<PE4C>を"1"に設定することを示します。
- PEFRn の下に書かれている PE4F1 は、<PE4F1>を"1"に設定することを示します。
- PEOD、PEPUP、PEPDN の下に書かれている"x"は、任意に設定できることを示します。
- PEIE の下に書かれている"0"は、<PE4IE>を"0"に設定することを示します。

端子名	ポートタイプ	機能	初期設定	PE CR	PE FRn	PE OD	PE PUP	PE PDN	PE IE
PE4	FT2	SCLKx (出力)		1	PE4 F1	x	x	x	0

9.4.1　入出力ポートの設定

入出力ポートを入力ポート、出力ポートとして使用する場合は、下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px CR	Px FRn	Px OD	Px PUP	Px PDN	Px IE
Pxn	-	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0

9.4.2　入力ポートの設定

入力ポートを使用する場合は、下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px FRn	Px OD	Px PUP	Px PDN	Px IE
Pxn	-	入力ポート		0	x	x	x	1

9.4.3　出力ポートの設定

出力ポートを出力ポート(Hi-Z 出力)、出力ポートとして使用する場合は、下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px CR	Px FRn	Px OD	Px PUP	Px PDN
Pxn	-	出力ポート(Hi-Z 出力)		0	0	x	x	x
		出力ポート		1	0	x	x	x

9.4.4 周辺機能の入出力端子として使用する場合の設定

周辺機能の入出力端子として使用する場合の設定を示します。

初期設定欄に「o」のある機能は、リセット解除直後からポートに割り当てられているものです。

9.4.4.1　ポート A 設定

表 9-4 ポート設定一覧(ポート A)

端子名	ポートタイプ	機能	初期設定	PA CR	PA FRx	PA OD	PA PUP	PA PDN	PA IE
PA0	FT2	TDO（出力）/ SWV（出力）	o	1	PA0 F1	0	0	0	0
	FT1	DTR5（出力）		1	PA0 F2	x	x	x	0
PA1	FT2	TMS（入力）/ SWDIO（入出力）	o	1	PA1 F1	0	1	0	1
	FT1	DSR5（入力）		0	PA1 F2	x	x	x	1
PA2	FT2	TCK（入力）/ SWCLK（入力）	o	0	PA2 F1	0	0	1	1
	FT1	RIN5（入力）		0	PA2 F2	x	x	x	1
PA3	FT2	TDI（入力）	o	0	PA3 F1	0	1	0	1
	FT1	DCD5（入力）		0	PA3 F2	x	x	x	1
	FT4	INT3（入力）		0	PA3 F3	x	x	x	1
PA4	FT2	$\overline{\text{TRST}}$(入力）	o	0	PA4 F1	0	1	0	1
	FT1	$\overline{\text{RTS5}}$（出力）		1	PA4 F2	x	x	x	0
PA5	FT9	TRACECLK（出力）		1	PA5 F1	0	0	0	0
	FT1	RXD5（入力）		0	PA5 F2	x	x	x	1
	FT1	IRIN5（入力）		0	PA5 F3	x	x	x	1
PA6	FT9	TRACEDATA0（出力）		1	PA6 F1	0	0	0	0
	FT1	TXD5（出力）		1	PA6 F2	x	x	x	0
	FT1	IROUT5（出力）		1	PA6 F3	x	x	x	0
PA7	FT9	TRACEDATA1（出力）		1	PA7 F1	0	0	0	0
	FT1	$\overline{\text{CTS5}}$　（入力）		0	PA7 F2	x	x	x	1
	FT1	SCLK3（入力）		0	PA7 F3	x	x	x	1
	FT1	SCLK3（出力）		1	PA7 F3	x	x	x	0
	FT1	$\overline{\text{CTS3}}$（入力）		0	PA7 F4	x	x	x	1
	FT1	TB7OUT（出力）		1	PA7 F5	x	x	x	0

9.4.4.2 ポート B 設定

表 9-5 ポート設定一覧(ポート B)

端子名	ポートタイプ	機能	初期設定	PB CR	PB FRx	PB OD	PB PUP	PB PDN	PB IE
PB0	FT9	TRACEDATA2（出力）		1	PB0 F1	0	0	0	0
	FT1	TXD3（出力）		1	PB0 F3	x	x	x	0
PB1	FT9	TRACEDATA3（出力）		1	PB1 F1	0	0	0	0
	FT1	RXD3（入力）		0	PB1 F3	x	x	x	1
PB2	FT9	$\overline{WR}$（出力）		1	PB2 F1	x	x	x	0
	FT3	SP2CLK（入力）		0	PB2 F2	x	x	x	1
		SP2CLK（出力）		1	PB2 F2	x	x	x	0
	FT2	MTOUT03（出力）		1	PB2 F3	x	x	x	0
	FT1	MTTB3OUT（出力）		1	PB2 F4	x	x	x	0
PB3	FT9	$\overline{RD}$（出力）		1	PB3 F1	x	x	x	0
	FT3	SP2DO（出力）		1	PB3 F2	x	x	x	0
	FT2	MTOUT13（出力）		1	PB3 F3	x	x	x	0
	FT1	MTTB3IN（入力）		0	PB3 F4	x	x	x	1
PB4	FT9	$\overline{CS0}$ （出力）		1	PB4 F1	x	x	x	0
	FT3	SP2DI（入力）		0	PB4 F2	x	x	x	1
	FT1	$\overline{GEMG3}$（入力）		0	PB4 F3	x	x	x	1
	FT4	INT7（入力）		0	PB4 F4	x	x	x	1
PB5	FT9	ALE（出力）		1	PB5 F1	x	x	x	0
	FT3	SP2FSS（入力）		0	PB5 F2	x	x	x	1
		SP2FSS（出力）		1	PB5 F2	x	x	x	0
	FT1	MT3IN（入力）		0	PB5 F3	x	x	x	1
	FT4	INT1（入力）		0	PB5 F4	x	x	x	1

表 9-5 ポート設定一覧(ポート B)

端子名	ポートタイプ	機能	初期設定	PB CR	PB FRx	PB OD	PB PUP	PB PDN	PB IE
PB6	FT9	$\overline{\text{BELL}}$（出力）		1	PB6 F1	x	x	x	0
	FT1	SCOUT（出力）		1	PB6 F2	x	x	x	0
	FT1	TB3OUT（出力）		1	PB6 F4	x	x	x	0

注)　PB6 は $\overline{\text{RESET}}$ 端子が"Low"の間 Pull-up と入力が許可になっており、$\overline{\text{BOOT}}$ 入力端子として機能します。

9.4.4.3 ポート E 設定

表 9-6 ポート設定一覧(ポート E)

端子名	ポートタイプ	機能	初期設定	PE CR	PE FRx	PE OD	PE PUP	PE PDN	PE IE
PE0	FT9	A16（出力）		1	PE0 F3	x	x	x	0
	FT4	INT4（入力）		0	PE0 F4	x	x	x	1
	FT1	TB0IN（入力）		0	PE0 F5	x	x	x	1
PE1	FT1	RXD0（入力）		0	PE1 F1	x	x	x	1
	FT9	A17（出力）		1	PE1 F3	x	x	x	0
	FT4	INT5（入力）		0	PE1 F4	x	x	x	1
	FT1	TB1IN（入力）		0	PE1 F5	x	x	x	1
PE2	FT1	TXD0（出力）		1	PE2 F1	x	x	x	0
	FT9	A18（出力）		1	PE2 F3	x	x	x	0
	FT1	TB1OUT（出力）		1	PE2 F5	x	x	x	0
PE3	FT1	SCLK0（入力）		0	PE3 F1	x	x	x	1
	FT1	SCLK0（出力）		1	PE3 F1	x	x	x	0
	FT9	A19（出力）		1	PE3 F3	x	x	x	0
	FT1	$\overline{\text{CTS0}}$（入力）		0	PE3 F4	x	x	x	1
	FT1	TB0OUT（出力）		1	PE3 F5	x	x	x	0
PE4	FT1	SCLK1（入力）		0	PE4 F1	x	x	x	1
	FT1	SCLK1（出力）		1	PE4 F1	x	x	x	0
	FT9	A20（出力）		1	PE4 F3	x	x	x	0
	FT1	$\overline{\text{CTS1}}$（入力）		0	PE4 F4	x	x	x	1
	FT1	TB2OUT（出力）		1	PE4 F5	x	x	x	0
PE5	FT1	TXD1（出力）		1	PE5 F1	x	x	x	0
	FT9	A21(出力)		1	PE5 F3	x	x	x	0
PE6	FT1	RXD1（入力）		0	PE6 F1	x	x	x	FT
	FT9	A22（出力）		1	PE6 F3	x	x	x	0
PE7	FT9	A23（出力）		1	PE7 F3	x	x	x	0

表 9-6 ポート設定一覧(ポート E)

端子名	ポートタイプ	機能	初期設定	PE CR	PE FRx	PE OD	PE PUP	PE PDN	PE IE
	FT4	INT6（入力）		0	PE7 F4	x	x	x	1
	FT1	TB2IN（入力）		0	PE7 F5	x	x	x	1

9.4.4.4 ポート F 設定

表 9-7 ポート設定一覧(ポート F)

端子名	ポートタイプ	機能	初期設定	PF CR	PF FRx	PF OD	PF PUP	PF PDN	PF IE
PF0	FT7	AD0（入出力）		1	PF0 F1	x	x	x	1
	FT1	$\overline{\text{CTS4}}$（入力）		0	PF0 F3	x	x	x	1
PF1	FT7	AD1（入出力）		1	PF1 F1	x	x	x	1
	FT1	TXD4（出力）		1	PF1 F3	x	x	x	0
		IROUT4（出力）		1	PF1 F4	x	x	x	0
PF2	FT7	AD2（入出力）		1	PF2 F1	x	x	x	1
	FT1	RXD4（入力）		0	PF2 F3	x	x	x	1
		IRIN4（入力）		0	PF2 F4	x	x	x	1
PF3	FT7	AD3（入出力）		1	PF3 F1	x	x	x	1
	FT1	$\overline{\text{RTS4}}$(出力）		1	PF3 F3	x	x	x	0
PF4	FT7	AD4（入出力）		1	PF4 F1	x	x	x	1
	FT4	INT0（入力）		0	PF4 F2	x	x	x	1
	FT1	DCD4(入力）		0	PF4 F3	x	x	x	1
PF5	FT7	AD5（入出力）		1	PF5 F1	x	x	x	1
	FT1	ENCZ(入力）		0	PF5 F2	x	x	x	1
		RIN4（入力）		0	PF5 F3	x	x	x	1
		SCK1（入力）		0	PF5 F4	x	x	x	1
		SCK1（出力）		1	PF5 F4	x	x	x	0
PF6	FT7	AD6（入出力）		1	PF6 F1	x	x	x	1
	FT1	ENCB(入力）		0	PF6 F2	x	x	x	1
		DSR4（入力）		0	PF6 F3	x	x	x	1
		SI1(入力）		0	PF6 F4	x	x	x	1
		SCL1(入出力）		1	PF6 F4	1	x	x	1

表 9-7 ポート設定一覧(ポート F)

端子名	ポートタイプ	機能	初期設定	PF CR	PF FRx	PF OD	PF PUP	PF PDN	PF IE
PF7	FT7	AD7（入出力）		1	PF7 F11	x	x	x	1
	FT1	ENCA(入力）		0	PF7 F2	x	x	x	1
		DTR4(出力）		1	PF7 F3	x	x	x	0
		SO1（入力）		0	PF7 F4	x	x	x	1
		SDA1（入出力）		1	PF7 F4	1	x	x	1

9.4.4.5 ポート G 設定

表 9-8 ポート設定一覧(ポート G)

端子名	ポートタイプ	機能	初期設定	PG CR	PG FRx	PG OD	PG PUP	PG PDN	PG IE
PG0	FT7	AD8（入出力）		1	PG0 F1	x	x	x	1
	FT1	MT0IN（入力）		0	PG0 F3	x	x	x	1
PG1	FT7	AD9（入出力）		1	PG1 F1	x	x	x	1
	FT1	$\overline{\text{EMG}}$（入力）		0	PG1 F2	x	x	x	1
		$\overline{\text{GEMG0}}$（入力）		0	PG1 F3	x	x	x	1
PG2	FT7	AD10（入出力）		1	PG2 F1	x	x	x	1
	FT2	ZO(出力）		1	PG2 F2	x	x	x	0
	FT2	MTOUT10（出力）		1	PG2 F3	x	x	x	0
	FT1	MTTB0IN(入力)		0	PG2 F4	x	x	x	1
PG3	FT7	AD11（入出力）		1	PG3 F1	x	x	x	1
	FT2	WO(出力）		1	PG3 F2	x	x	x	0
	FT2	MTOUT00（出力）		1	PG3 F3	x	x	x	0
	FT1	MTTBOUT（出力）		1	PG3 F4	x	x	x	0
PG4	FT7	AD12（入出力）		1	PG4 F1	x	x	x	1
	FT2	YO（出力）		1	PG4 F2	x	x	x	0
	FT3	SP1CLK（入力）		0	PG4 F3	x	x	x	1
	FT1	SP1CLK（出力）		1	PG4 F3	x	x	x	0
PG5	FT7	AD13（入出力）		1	PG5 F1	x	x	x	1
	FT2	VO（出力）		1	PG5 F2	x	x	x	0
	FT3	SP1DO（出力）		1	PG5 F3	x	x	x	0
PG6	FT7	AD14（入出力）		1	PG6 F1	x	x	x	1
	FT2	XO（出力）		1	PG6 F2	x	x	x	0
	FT3	SP1DI（入力）		0	PG6 F3	x	x	x	1

表 9-8 ポート設定一覧(ポート G)

端子名	ポートタイプ	機能	初期設定	PG CR	PG FRx	PG OD	PG PUP	PG PDN	PG IE
PG7	FDT7	AD15（入出力）		1	PG7 F1	x	x	x	1
	FT2	UO（出力）		1	PG7 F2	x	x	x	0
	FT3	SP1FSS（入力）		0	PG7 F3	x	x	x	1
		SP1FSS（出力）		1	PG7 F3	x	x	x	0

9.4.4.6 ポート H 設定

表 9-9 ポート設定一覧(ポート H)

端子名	ポートタイプ	機能	初期設定	PH CR	PH FRx	PH OD	PH PUP	PH PDN	PH IE
PH0	FT9	$\overline{\text{BELH}}$（出力）		1	PH0 F1	x	x	x	0
	FT1	TB5OUT（出力）		1	PH0 F2	x	x	x	0
		MT2IN（入力）		0	PH0 F3	x	x	x	1
		SO2（出力）		1	PH0 F5	x	x	x	0
		SDA2（入出力）		1	PH0 F5	1	x	x	1
PH1	FT9	$\overline{\text{CS1}}$（出力）		1	PH1 F1	x	x	x	0
	FT1	TB4OUT（出力）		1	PH1 F2	x	x	x	0
		$\overline{\text{GEMG2}}$（入力）		0	PH1 F3	x	x	x	1
		SI2（入力）		0	PH1 F5	x	x	x	1
		SCL2（入出力）		1	PH1 F5	1	x	x	1
PH2	FT9	$\overline{\text{CS2}}$（出力）		1	PH2 F1	x	x	x	0
	FT2	MTOUT12（出力）		1	PH2 F3	x	x	x	0
	FT1	MTTB2IN（入力）		0	PH2 F4	x	x	x	1
	FT1	SCK2（入力）		0	PH2 F5	x	x	x	1
	FT1	SCK2（出力）		1	PH2 F5	x	x	x	0
PH3	FT9	$\overline{\text{CS3}}$（出力）		1	PH3 F1	x	x	x	0
	FT2	MTOUT02（出力）		1	PH3 F3	x	x	x	0
	FT1	MTTB2OUT（出力）		1	PH3 F4	x	x	x	0

9.4.4.7　ポート I 設定

表 9-10 ポート設定一覧(ポート I)

端子名	ポートタイプ	機能	初期設定	PI CR	PI FRx	PI OD	PI PUP	PI PDN	PI IE
PI0	FT4	INT9（入力）		0	PI0 F1	x	x	x	1
	FT5	AINA0	o	0	0	0	0	0	0
PI1	FT4	INTA（入力）		0	PI1 F1	x	x	x	1
	FT5	AINA1	o	0	0	0	0	0	0
PI2	FT4	INTB（入力）		0	PI2 F1	x	x	x	1
	FT5	AINA2	o	0	0	0	0	0	0
PI3	FT4	INTC（入力）		0	PI3 F1	x	x	x	1
	FT1	$\overline{\text{DMAREQ}}$(入力）		0	PI3 F2	x	x	x	1
	FT5	AINA3	o	0	0	0	0	0	0
PI4	FT5	AINB0	o	0	0	0	0	0	0
PI5	FT5	AINB1	o	0	0	0	0	0	0
PI6	FT5	AINB2	o	0	0	0	0	0	0
PI7	FT5	AINB3	o	0	0	0	0	0	0

9.4.4.8 ポート K 設定

表 9-11 ポート設定一覧(ポート K)

端子名	ポートタイプ	機能	初期設定	PK CR	PK FR1	PK OD	PK PUP	PK PDN	PK IE
PK0	FT4	INTD（入力）		0	PK0 F1	x	x	x	1
		USBDPON（入力）		0	PK0 F1	x	x	x	1
PK1	FT3	SP0FSS（入力）		0	PK1 F2	x	x	x	1
		SP0FSS（出力）		1	PK1 F2	x	x	x	0
	FT4	INT8（入力）		0	PK1 F3	x	x	x	1
	FT1	TB6OUT（出力）		1	PK1 F4	x	x	x	0
PK2	FT1	USB_ECLK（入力）		0	PK2 F1	x	x	x	1
	FT3	SP0DI（入力）		0	PK2 F2	x	x	x	1
	FT1	SO0（入力）		0	PK2 F3	x	x	x	1
		SDA0（入出力）		1	PK2 F4	1	x	x	1
PK3	FT3	SP0DO（出力）		1	PK3 F2	x	x	x	0
	FT1	SI0(入力）		0	PK3 F3	x	x	x	1
		SCL0(入出力）		1	PK3 F3	1	x	x	1
PK4	FT1	RXIN（入力）		0	PK4 F1	x	x	x	1
	FT3	SP0CLK（入力）		0	PK4 F2	x	x	x	1
		SP0CLK（出力）		1	PK4 F2	x	x	x	0
	FT1	SCK0（入力）		0	PK4 F3	x	x	x	1
		SCK0（出力）		1	PK4 F3	x	x	x	0

注) PK0 は、USB デバイスコントローラを使用するときは USBDPON 入力または出力ポートとして使用できます。USB デバイスコントローラを使用しないときには入出力ポートまたは INTD 入力として使用できます。

9.4.4.9　ポート L 設定

表 9-12 ポート設定一覧(ポート L)

端子名	ポートタイプ	機能	初期設定	PLCR	PL FR1	PL OD	PL PUP	PL PDN	PL IE
PL0	FT4	INT2（入力）		0	PL0 F2	x	x	x	1
	FT1	MT1IN（入力）		0	PL0 F3	x	x	x	1
		$\overline{\text{ADTRGA}}$（入力）		0	PL0 F4	x	x	x	1
PL1	FT1	$\overline{\text{GEMG1}}$（入力）		0	PL1 F3	x	x	x	1
		$\overline{\text{DATRG}}$（入力）		0	PL1 F4	x	x	x	1
		RXD2（入力）		0	PL1 F5	x	x	x	1
PL2	FT2	MTOUT11（出力）		1	PL2 F3	x	x	x	0
	FT1	MTTB1IN（入力）		0	PL2 F4	x	x	x	1
	FT1	TXD2（出力）		1	PL2 F5	x	x	x	0
PL3	FT2	MTOUT01（出力）		1	PL3 F3	x	x	x	0
	FT1	MTTB1OUT（出力）		1	PL3 F4	x	x	x	0
	FT1	SCLK2（入力）		0	PL3 F5	x	x	x	1
	FT1	SCLK2（出力）		1	PL3 F5	x	x	x	0
	FT1	$\overline{\text{CTS2}}$（入力）		0	PL3 F6	x	x	x	1

第 10 章　外部バスインタフェース(EBIF)

10.1　機能概要

TMPM367FDXBG は、外部にメモリや I/O などを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF)と CS(チップセレクト)/内蔵ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 4 ブロックアドレス空間のマッピングアドレス指定と、この 4 ブロックアドレス空間に対して、ウェイトおよびデータバス幅(8 ビットまたは 16 ビット)を制御します。

外部バスインタフェース回路(EBIF)は、CS/内蔵ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。

表 10-1 外部バスインターフェースの特長

特長	
サポートメモリ	外部非同期メモリ(NOR フラッシュメモリ、SRAM、周辺 I/O 等) マルチプレクスバスに対応
データバス幅	チャネル毎に 8 ビットまたは 16 ビット幅の設定が可能
チップセレクト	4 チャネル ($\overline{CS0}$, $\overline{CS1}$,$\overline{CS2}$,$\overline{CS3}$)
アクセス空間	最大 64MB のアクセス空間をサポート 0x6000_0000 ~ 0x63FF_FFFF (各 CS 毎に最大 16MB 設定可能)
内部ウェイト機能	チャネル毎に最大 15 サイクルまで挿入可能
ALE ウェイト機能	チャネル毎に最大 4 サイクルまで ALE 端子の High 幅挿入可能
セットアップ サイクル挿入機能	チャネル毎に $\overline{RD}$、$\overline{WR}$ セットアップサイクル挿入可能 (tAC サイクル期間延長)
リカバリ(ホールド) サイクル挿入機能	外部バスサイクルが連続するときに最大 8 クロックまでのダミーサイクルを挿入可能 (チャネル毎に設定可能) $\overline{CS}$, $\overline{RD}$, $\overline{WR}$ におけるアドレス/データホールドサイクル挿入機能 (tCAR, tRAE サイクル期間延長)
バス拡張機能	内部ウェイト、ALE ウェイト、セットアップサイクル、リカバリサイクルの設定値を 2 倍、4 倍に拡張することが可能 (チャネル共通)
制御端子	マルチプレクスバスモード: AD[15:0], A[23:16], $\overline{RD}$, $\overline{WR}$, $\overline{BELL}$, $\overline{BELH}$, $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$,$\overline{CS3}$, ALE

10.2　アドレス、データ端子の設定

TMPM367FDXBG はマルチプレクスバスの設定が可能です。設定は EXBMOD レジスタで行ないます。EXBMOD<EXBSEL>ビットに"0"を設定することでマルチプレクスバスモードになります。

外部デバイス（メモリ）接続のためにポート E ~ ポート G 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を以下に示します。

表 10-2 バスモードとアドレス、データ端子の関係

ポート	マルチプレクス EXBMOD<EXBSEL> = "0"
ポート E (PE0 ~ PE7)	A16 ~ A23
ポート F(PF0~PF7)	AD0 ~ AD7
ポート G(PG0~PG7)	AD8 ~ AD15

各ポートはリセット後、汎用入出力ポートとなります。外部デバイスにアクセスする場合は、ポートコントロールレジスタ(PxCR)、ポートファンクションレジスタ(PxFRm)によりアドレスバス、データバスの機能に設定し、入力コントロールレジスタ(PxIE)を設定してください。

外部領域アクセスから内蔵領域アクセスへ遷移した場合、アドレスバスは直前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

10.3 レジスタ説明

10.3.1 レジスター覧

各チャネルのレジスタとアドレスを以下に示します。

Base Address = 0x4005_C000

レジスタ名		Address (Base+)
外部バスモードコントロールレジスタ	EXBMOD	0x0000
Reserved	-	0x0004 ~ 0x000C
外部バス空間エリア/スタートアドレス設定レジスタ 0	EXBAS0	0x0010
外部バス空間エリア/スタートアドレス設定レジスタ 1	EXBAS1	0x0014
外部バス空間エリア/スタートアドレス設定レジスタ 2	EXBAS2	0x0018
外部バス空間エリア/スタートアドレス設定レジスタ 3	EXBAS3	0x001C
Reserved	-	0x0020 ~ 0x003C
外部バスチップセレクトコントロールレジスタ 0	EXBCS0	0x0040
外部バスチップセレクトコントロールレジスタ 1	EXBCS1	0x0044
外部バスチップセレクトコントロールレジスタ 2	EXBCS2	0x0048
外部バスチップセレクトコントロールレジスタ 3	EXBCS3	0x004C
Reserved	-	0x0050 ~ 0x0FFC

注 1) レジスタのリード/ライトはワード(32 ビット)アクセスのみとなります。
注 2) "Reserved"表記のアドレスにはアクセスしないでください。

10.3.2　EXBMOD (外部バスモードコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	EXBWAIT		EXBSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-1	EXBWAIT[1:0]	R/W	バスサイクルウェイト拡張 00: 拡張なし 01: 2 倍 10: 4 倍 11: 設定禁止 バスサイクルのセットアップ、ウエイト、リカバリサイクル機能を 2 倍、4 倍に設定するビットです。例えば、<EXBWAIT>="00" (拡張なし)設定にてリードセットアップサイクルを 2 サイクルに設定していた場合、<EXBWAIT>="01" (2 倍)に設定変更すると、4 サイクルに拡張されます。同様に<EXBWAIT>="10" (4 倍)に設定変更すると、8 サイクルに拡張されます。なお、拡張サイクルは、EXBCSx レジスタにて設定されるリード/ライトセットアップ、チップセレクト/リード/ライトリカバリ、ALE/内部ウエイトサイクルと、<EXBWAIT>の設定（2 倍/4 倍）によってサイクル数が拡張されます。
0	EXBSEL	R/W	"0"をライトしてください。

10.3.3 EXBAS0 ~ 3 (外部バス空間エリア/スタートアドレス設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EXAR							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	SA31-SA16	R/W	スタートアドレスを設定します。 アドレス A[31:16]のスタートアドレスを設定します。
15-8	–	R	リードすると"0"が読めます。
7-0	EXAR[7:0]	R/W	チップセレクト($\overline{CSx}$)空間サイズを設定します。 アドレス空間サイズは最大 16M バイトから最小 64K バイトまでの 9 種類の設定が可能です。 "0000_0000" : 16 Mbyte "0000_0011" : 2 Mbyte "0000_0110" : 256 Kbyte "0000_0001" : 8 Mbyte "0000_0100" : 1 Mbyte "0000_0111" : 128 Kbyte "0000_0010" : 4 Mbyte "0000_0101" : 512 Kbyte "0000_1000" : 64 Kbyte 上記以外:設定禁止

注) 外部バスアドレス空間にアクセスする際、アクセスするアドレスエリアが複数の CSx 空間にマッピングされている場合は $\overline{CS0}$ > $\overline{CS1}$ > $\overline{CS2}$ > $\overline{CS3}$ の優先順位に従って、チップセレクト信号をアクティブにします。

アドレス空間サイズ設定

チップセレクト空間サイズ	SA																-	EXAR							
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-8	7	6	5	4	3	2	1	0
16Mbyte	0	1	1	0	0	0	x	x	0	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	0
8Mbyte	0	1	1	0	0	0	x	x	x	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	1
4Mbyte	0	1	1	0	0	0	x	x	x	x	0	0	0	0	0	0	-	0	0	0	0	0	0	1	0
2Mbyte	0	1	1	0	0	0	x	x	x	x	x	0	0	0	0	0	-	0	0	0	0	0	0	1	1
1Mbyte	0	1	1	0	0	0	x	x	x	x	x	x	0	0	0	0	-	0	0	0	0	0	1	0	0
512Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	0	0	0	-	0	0	0	0	0	1	0	1
256Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	x	0	0	-	0	0	0	0	0	1	1	0
128Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	x	x	0	-	0	0	0	0	0	1	1	1
64Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	x	x	x	-	0	0	0	0	1	0	0	0

10.3.4　EXBCS0 ~ 3 (外部バスチップセレクトコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	CSR		WRR			RDR		
After reset	0	1	0	0	1	0	0	1
	23	22	21	20	19	18	17	16
bit symbol	-	-	ALEW		WRS		RDS	
After reset	0	0	0	1	0	1	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	CSIW				
After reset	0	0	0	0	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CSW		CSW0
After reset	0	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-30	CSR[1:0]	R/W	チップセレクト($\overline{CSx}$)リカバリサイクル "00" : サイクル無し　"01" : 1 サイクル　"10" : 2 サイクル　"11" : 4 サイクル
29-27	WRR[2:0]	R/W	ライト($\overline{WR}$)リカバリサイクル "00" : サイクル無し　"001" : 1 サイクル　"010" : 2 サイクル　"011" : 3 サイクル "100" : 4 サイクル　"101" : 5 サイクル　"110" : 6 サイクル　"111" : 8 サイクル
26-24	RDR[2:0]	R/W	リード($\overline{RD}$)リカバリサイクル "00" : サイクル無し　"001" : 1 サイクル　"010" : 2 サイクル　"011" : 3 サイクル "100" : 4 サイクル　"101" : 5 サイクル　"110" : 6 サイクル　"111" : 8 サイクル
23-22	–	R	リードすると"0"が読めます。
21-20	ALEW[1:0]	R/W	ALE ウェイトサイクル(マルチプレクスバスモード時) "00" : ウェイト無し　"01" : 1 サイクル　"10" : 2 サイクル　"11" : 4 サイクル
19-18	WRS[1:0]	R/W	ライト($\overline{WR}$)セットアップサイクル "00":サイクル無し　"01" : 1 サイクル　"10" : 2 サイクル　"11" : 4 サイクル
17-16	RDS[1:0]	R/W	リード($\overline{RD}$)セットアップサイクル "00" :サイクル無し　"01" : 1 サイクル　"10" : 2 サイクル　"11" : 4 サイクル
15-13	–	R	リードすると"0"が読めます。
12-8	CSIW[4:0]	R/W	内部ウェイト(自動挿入) "0_0000" : 0 ウェイト　"0_0001" : 1 ウェイト　"0_0010" : 2 ウェイト　"0_0011" : 3 ウェイト "0_0100" : 4 ウェイト　"0_0101" : 5 ウェイト　"0_0110" : 6 ウェイト　"0_0111" : 7 ウェイト "0_1000" : 8 ウェイト　"0_1001" : 9 ウェイト　"0_1010" : 10 ウェイト　"0_1011" : 11 ウェイト "0_1100" : 12 ウェイト　"0_1101" : 13 ウェイト　"0_1110" : 14 ウェイト　"0_1111" : 15 ウェイト
7-4	–	R	リードすると"0"が読めます。
3	–	R/W	"0"を書いてください。
2-1	CSW[2:1]	R/W	データバス幅設定 "00" : 8-bit　"01" : 16-bit 他の設定禁止
0	CSW0	R/W	CS イネーブル "0": 禁止 "1": 許可

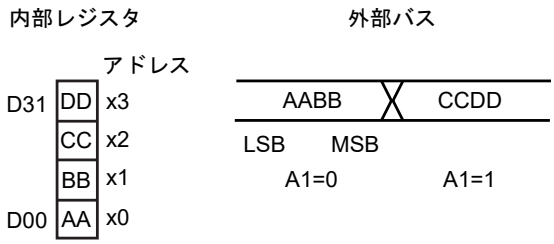
10.4 データ・フォーマット

TMPM367FDXBG の内部レジスタと外部バスインタフェースとの関係を説明します。

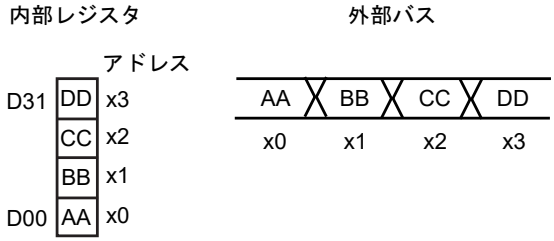
10.4.1 リトルエンディアンモード

10.4.1.1 ワードアクセス

・ 16 ビットバス幅

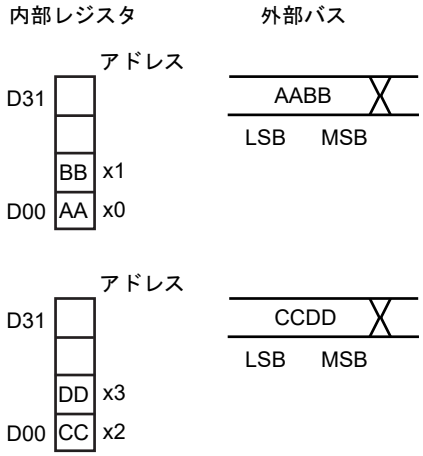


・ 8 ビットバス幅

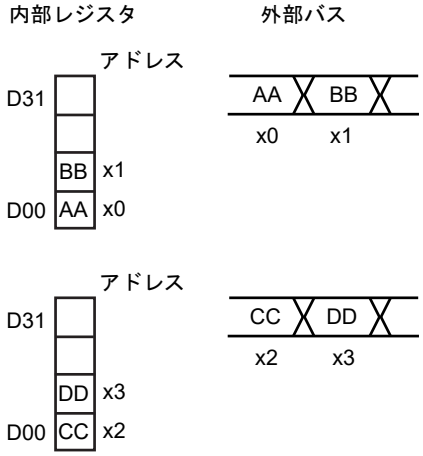


10.4.1.2　ハーフワードアクセス

・　16 ビットバス幅

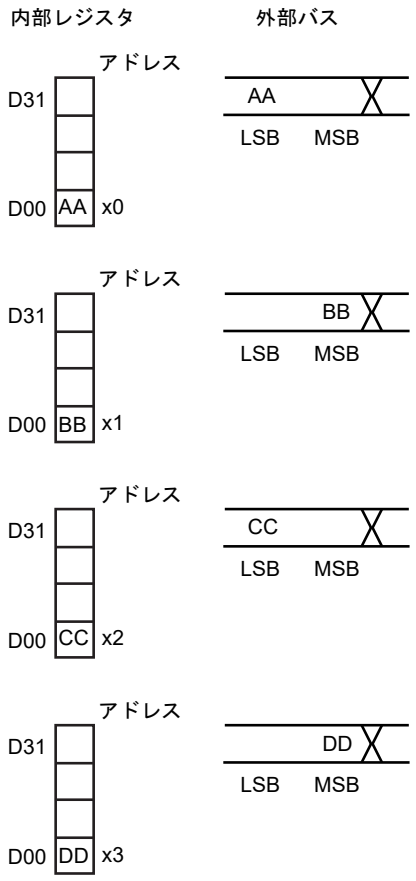


・　8 ビットバス

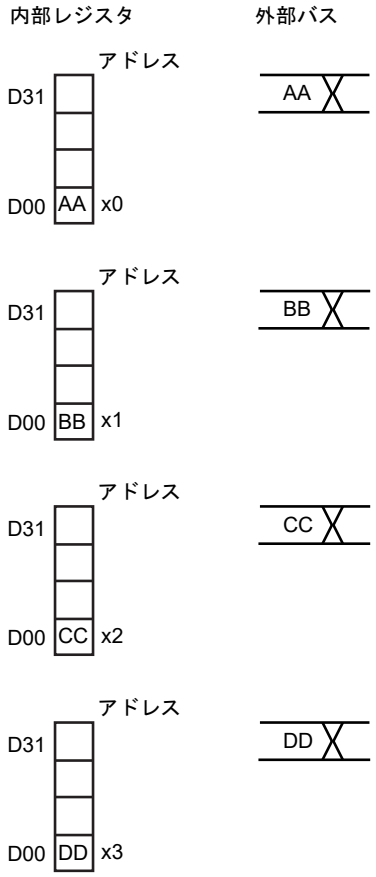


10.4.1.3 バイトアクセス

・ 16 ビットバス幅



・　8 ビットバス幅


内部レジスタ
外部バス
アドレス
D31
D00
AA
x0
AA
アドレス
D31
D00
BB
x1
BB
アドレス
D31
D00
CC
x2
CC
アドレス
D31
D00
DD
x3
DD

10.5 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23 ~ A16，AD15 ~ AD0 を設定したときのものを示しています。

10.5.1 基本バスオペレーション

TMPM367FDXBG の外部バスサイクルは基本 4 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 10-1 にリードバスタイミングを、図 10-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出力しません。またアドレス/データバスはハイインピーダンスになり RD、WR などの制御信号もアクティブになりません。

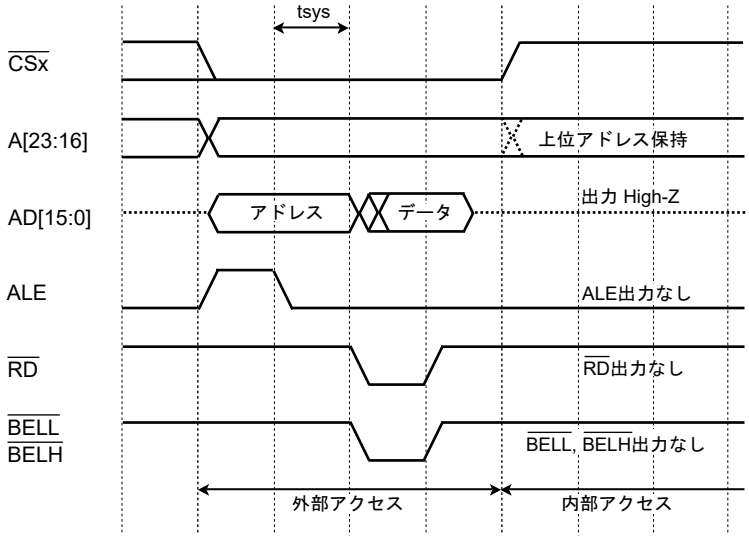


図 10-1 リードオペレーションタイミング

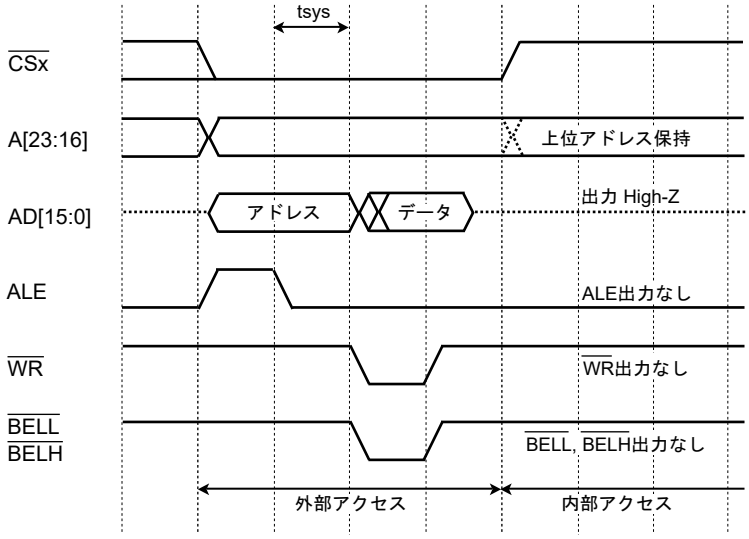


図 10-2 ライトオペレーションタイミング

10.5.2　ウェイトタイミング

内部ウェイトコントローラによりチャネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下となります。

・　最大 15 クロックまでの内部ウェイト(自動挿入)

内部ウェイト数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の<CSIW[4:0]>で設定します。

図 10-3、図 10-4 にマルチプレスクバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトタイミングを示します。

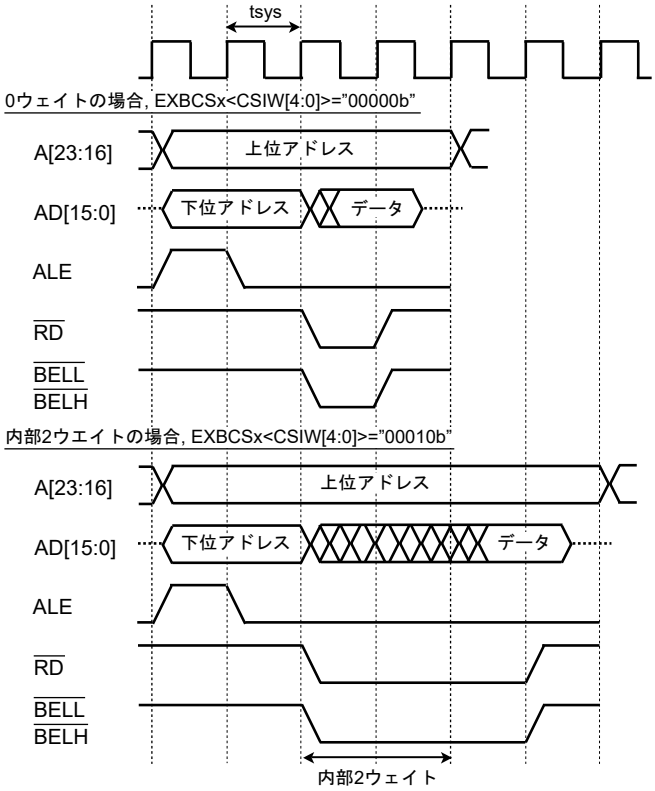


図 10-3 リードオペレーションタイミング

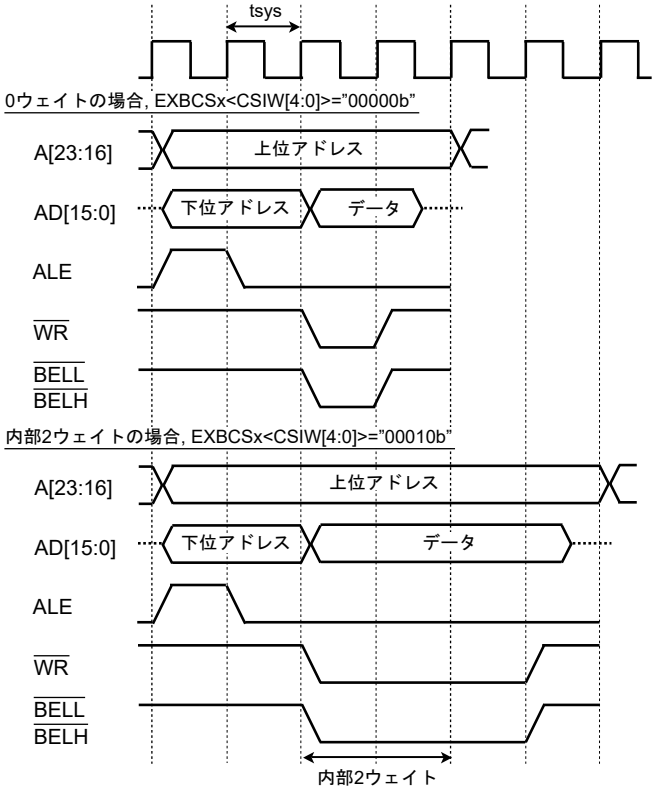


図 10-4 ライトオペレーションタイミング

10.5.3　ALE アサート時間

ALE アサート時間は、1,2,4 システムクロックの中から選択できます。設定用のビットは外部バスチップセレクトコントロールレジスタ EXBCSx<ALEW[1:0]>にあります。初期設定ではアドレス成立から 2 システムクロック（内部）後に $\overline{RD}$ または $\overline{WR}$ 信号がアサートされます。

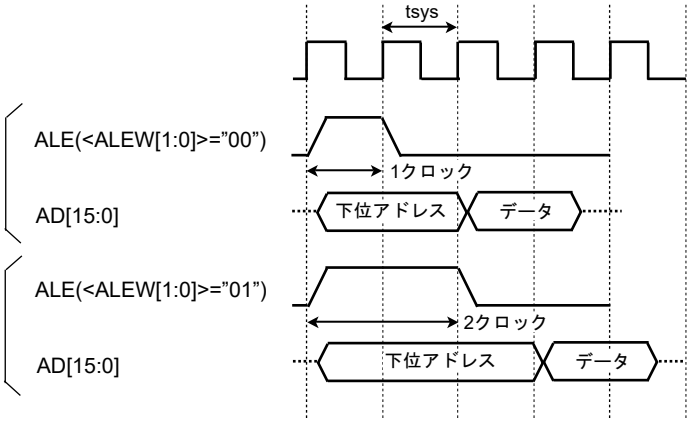


図 10-5 ALE のアサート時間

図 10-6 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

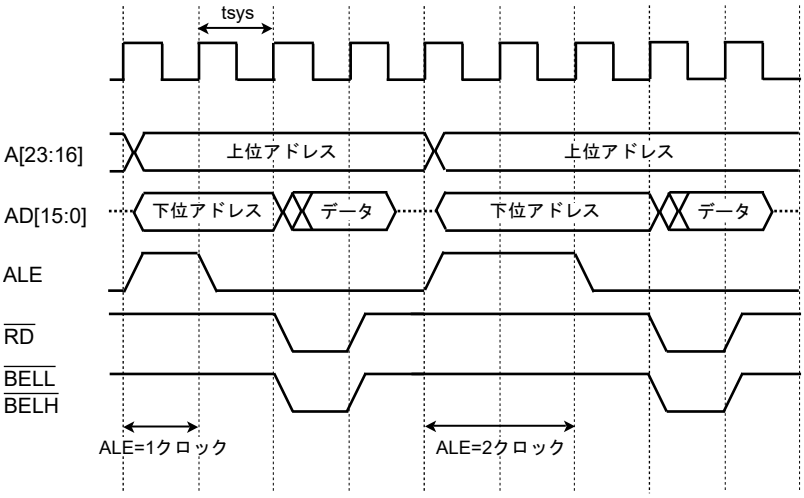


図 10-6 リードオペレーションタイミング (ALE1 クロックおよび 2 クロック)

10.5.4 リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCSx<WRR[2:0]>（ライト・リカバリサイクル）、<RDR[2:0]>（リード・リカバリサイクル）にて設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1～6 システムクロック、および 8 システムクロックを指定することができます。図 10-7 にリカバリタイム挿入時のタイミング図を示します。

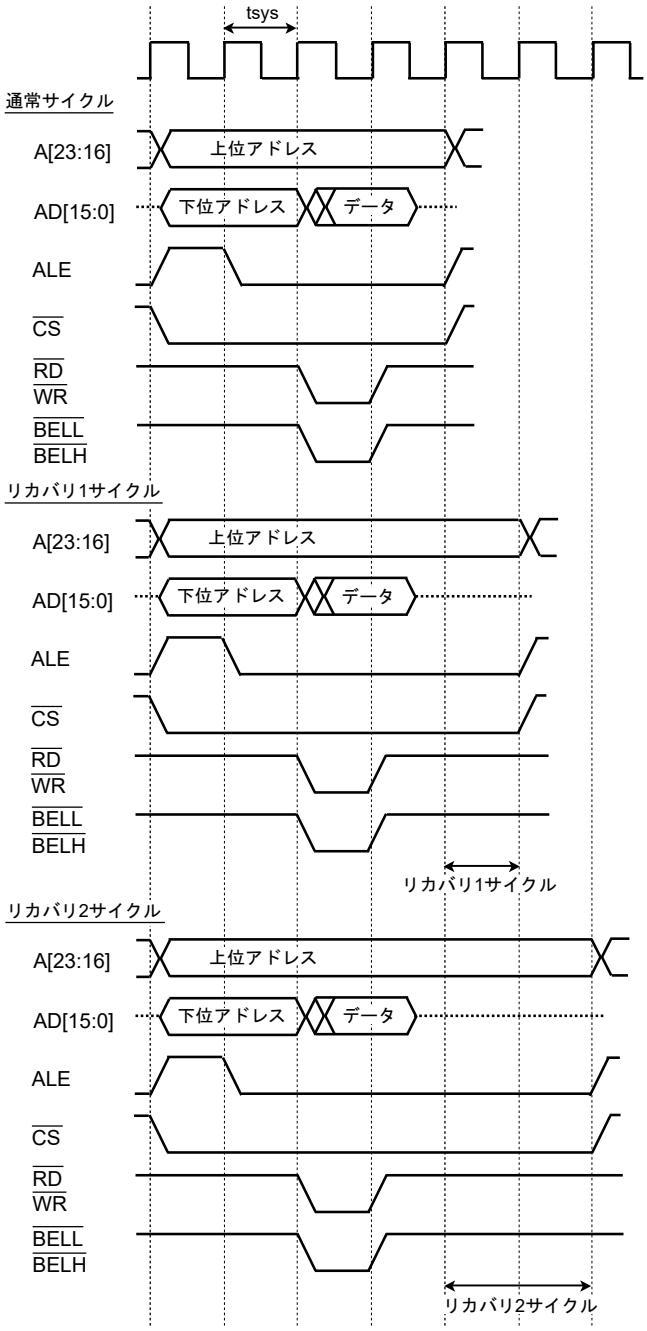


図 10-7 リカバリタイム挿入時のタイミング

10.5.5　チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCSx<CSR[1:0]>にて設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1、2 および 4 システムクロック（内部）を指定することができます。図 10-8 にリカバリタイム挿入時のタイミング図を示します。

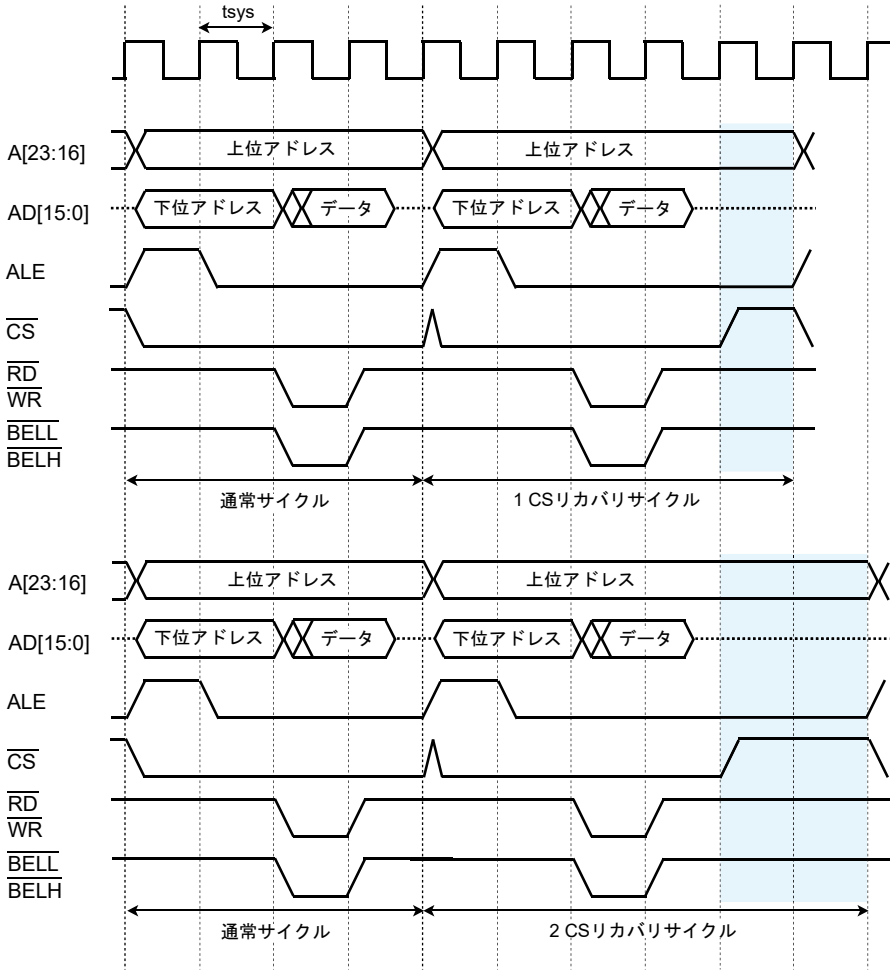


図 10-8 リカバリタイム挿入時のタイミング(ALE 幅:1 クロック)

10.5.6 リード、ライトセットアップサイクル

内部セットアップコントローラによりチャネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

・ 最大 4 クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の<WRS[1:0]>および<RDS[1:0]>で設定します。

図 10-9 にリード、ライトセットアップサイクル挿入時のタイミング図を示します。

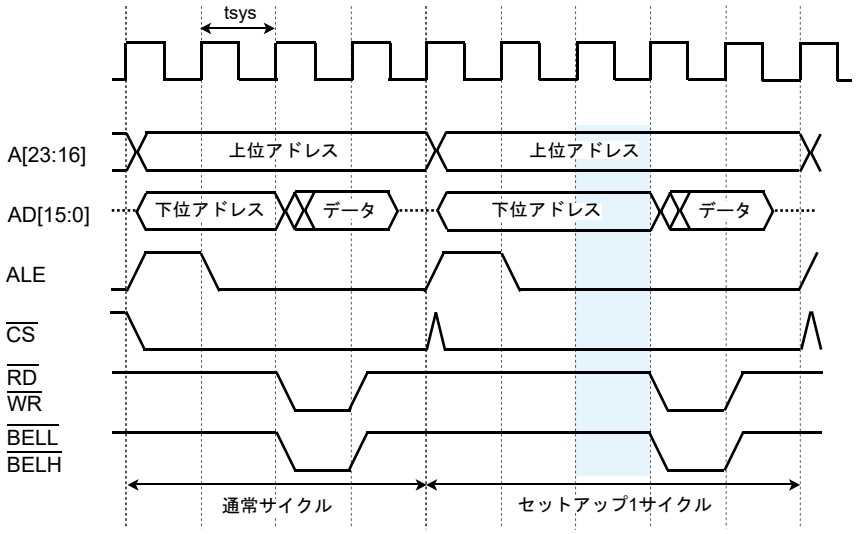


図 10-9 リード、ライトセットアップ挿入時のタイミング

10.6　外部メモリ接続例

10.6.1　マルチプレクスモードでの 16 ビット SRAM、16 ビット NOR-Flash との接続例

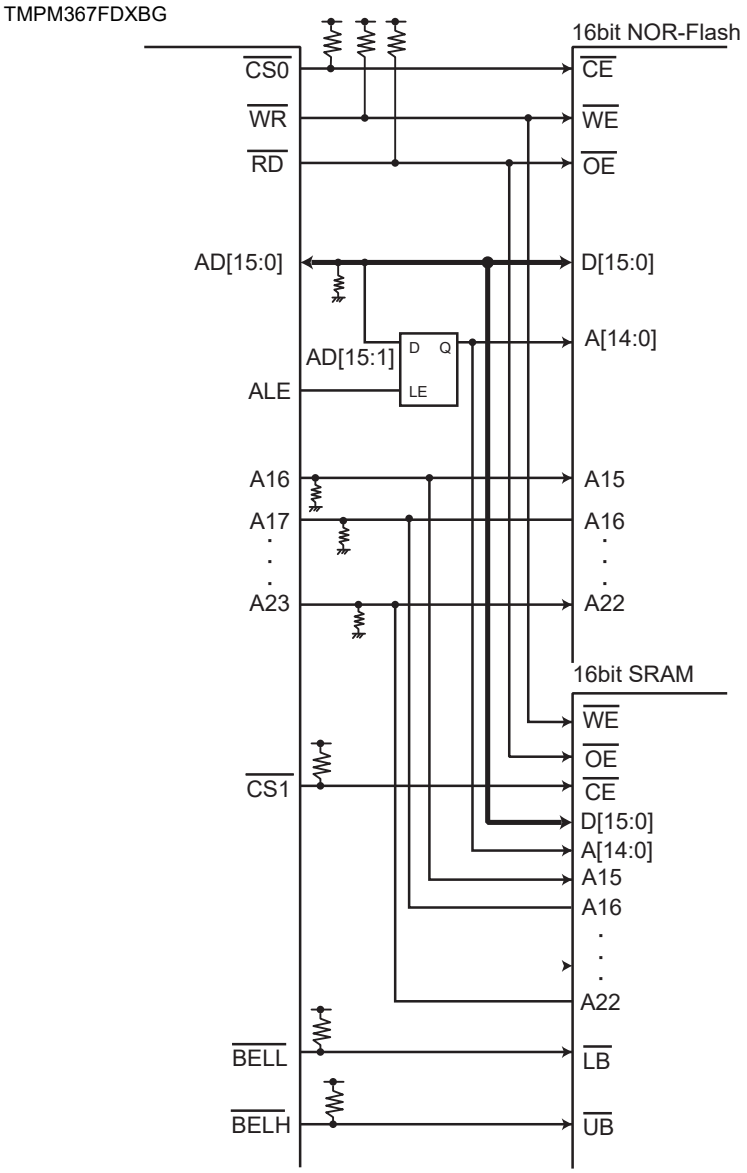


図 10-10 外部 16 ビット SRAM、NOR-Flash 接続例(マルチプレクスバス)

第 11 章　16 ビットタイマ/イベントカウンタ(TMRB)

11.1　概要

TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 外部トリガパルスからのワンショットパルス出力
- 周波数測定
- パルス幅測定

以下の説明中、"x"はチャネル番号を表します。

11.2　チャネル別仕様相違点

TMPM367FDXBG は、8 チャネルの TMRB を内蔵しています。

各チャネルはそれぞれ独立に動作します。いずれのチャネルも表 11-1 に示される仕様相違点を除いて同一の動作をします。

また、一部のチャネルから他のチャネルへキャプチャトリガや同期トリガをかけることができます。

1. TMRB2, TMRB5, TMRB7 のフリップフロップ出力を他のチャネルのキャプチャトリガ として使用可能
   - TB2OUT → TMRB3~5 で使用
   - TB5OUT → TMRB6~7 で使用
   - TB7OUT → TMRB0~2 で使用

2. タイマ同期モードのスタートトリガ (TBxRUN を使用)
   - TMRB0 → TMRB0, 1, 2, 3 を同時スタート
   - TMRB4 → TMRB4, 5, 6, 7 を同時スタート

3. タイマプリスケーラ同期スタートトリガ (TBxPRUN を使用)
   - TMRB0 → TMRB0, 1, 2, 3 を同時スタート
   - TMRB4 → TMRB4, 5, 6, 7 を同時スタート

表 11-1 TMRB のチャネル別仕様相違点

仕様	外部端子		タイマ間トリガ機能		割り込み		内部接続		
チャネル	タイマフリップフロップ出力端子	外部クロック/キャプチャトリガ入力端子	キャプチャトリガ	同期スタートトリガチャネル	キャプチャ割り込み	TMRB 割り込み	ADC 変換開始 DAC 変換開始	タイマフリップフロップ出力 TBxOUT から SIO/UART (TXTRG:転送クロック)	μDMA 要求 (DMATMRB コンペアー致 0/1 オーバーフロー (channel0 ~ 4))
TMRB0	TB0OUT	TB0IN	TB7OUT	–	INTCAP00 INTCAP01	INTTB0	–		INTTB0
TMRB1	TB1OUT	TB1IN	TB7OUT	TB0PRUN TB0RUN	INTCAP10 INTCAP11	INTTB1	–	RMC	INTTB1
TMRB2	TB2OUT	TB2IN	TB7OUT	TB0PRUN TB0RUN	INTCAP20 INTCAP21	INTTB2	INTTB21		INTTB2
TMRB3	TB3OUT	-	TB2OUT	TB0PRUN TB0RUN	-	INTTB3	INTTB31		INTTB3
TMRB4	TB4OUT	-	TB2OUT	–	-	INTTB4	INTTB41	SIO0 SIO1	INTTB4
TMRB5	TB5OUT	(TB5IN) 注)	TB2OUT	TB4PRUN TB4RUN	INTCAP50 INTCAP51	INTTB5	INTTB51		–
TMRB6	TB6OUT	-	TB5OUT	TB4PRUN TB4RUN	-	INTTB6	INTTB61		–
TMRB7	TB7OUT	-	TB5OUT	TB4PRUN TB4RUN	-	INTTB7	INTTB71	SIO2 SIO3	–

注)　TB5IN には TMPM367FDXBG の内部で fs が接続されています。詳細については、内蔵高速発振調整機能を参照してください。

11.3 構成

各チャネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

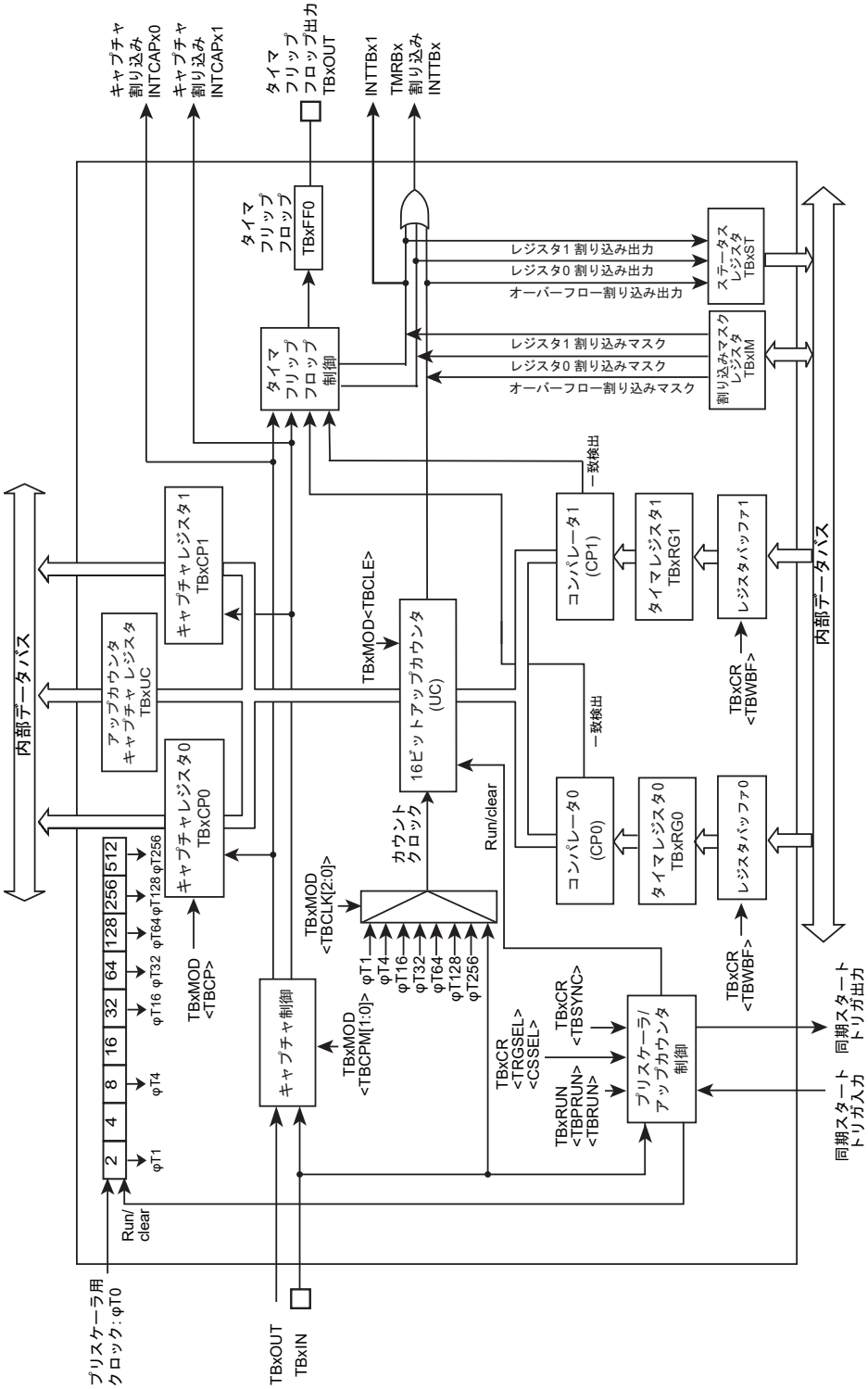


図 11-1 TMRBx ブロック図(x= 0~7)

11.4　レジスタ説明

11.4.1　チャネル別レジスター覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x400C_4000
Channel1	0x400C_4100
Channel2	0x400C_4200
Channel3	0x400C_4300
Channel4	0x400C_4400
Channel5	0x400C_4500
Channel6	0x400C_4600
Channel7	0x400C_4700

レジスタ名(x=0~9)		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

注)　タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

11.4.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行ないます。
5-0	–	R	リードすると"0"が読めます。

11.4.3　TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	–	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注)　カウンタ停止状態(<TBRUN>="0")でアップカウンタキャプチャレジスタの TBxUC<TBUC[15:0]>をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

11.4.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	TBINSEL	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	–	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	–	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	TBINSEL	R/W	外部入力選択 0: TBxIN 1: Reserved "0"を書いて下さい。
1	TRGSEL	R/W	外部トリガ選択 0: 立ち上がり 1:立ち下がり 外部トリガ選択時(TBxIN 端子への信号)のエッジ選択を制御します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

11.4.5　TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	–	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care “0”を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: TBxIN↑ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。 11: TBxOUT↑ TBxOUT↓ 16 ビットタイマー致出力(TBxOUT)の立ち上がりでキャプチャレジスタ 0 (TBnCP0)にカウント値を取り込み、TBxOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1)にカウント値を取り込みます。(x = 7, n = 0,1,2), (x = 2, n = 3,4,5), (x = 5, n = 6,7), (TMRB0~2: TB7OUT、TMRB3~5: TB2OUT、TMRB6~7: TB5OUT)
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注 1)　TBxMOD レジスタ(x=2,5,7)の場合、<TBCPM[1:0]>="11"の設定は禁止です。
注 2)　該当する TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

11.4.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-6	–	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care ※リードすると"11" が読めます。

11.4.7　TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 　アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致フラグ(TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した 　タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致フラグ(TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した 　タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1)　TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。 マスク設定されていても、フラグはセットされます。

注 2)　フラグは自動的にはクリアされません。クリアするためには本レジスタをリードしてしてください。

注 3)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

11.4.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込みマスク 0:割り込みをマスクしない 1:割り込みをマスクする アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致割り込みマスク(TBxRG1) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 1 (TBxRG1)との一致割り込みをマスクする／しないを設定します。
0	TBIM0	R/W	一致割り込みマスク(TBxRG0) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 0 (TBxRG0)との一致割り込みをマスクする／しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

11.4.9　TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ読み出しによりキャプチャした値 アップカウンタ動作時に TBxUC をリードすると、リード時のアップカウンタの値をキャプチャし、リードすることができます。

注)　カウンタ動作時に TBxUC をリードするとリード時のアップカウンタの値をキャプチャし、リードできます。

11.4.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

11.4.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

11.4.12　TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

11.4.13　TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

11.5 回路別の動作説明

各チャネルは表 11-1 に示される仕様相違点を除いて同一の動作をします。

11.5.1 プリスケーラ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 11-2, 表 11-3 に示します。

表 11-2 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			φT1	φT4	φT16
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.025 μs)	$fc/2^3$ (0.1 μs)	$fc/2^5$ (0.4 μs)
		001 (fperiph/2)	$fc/2^2$ (0.05 μs)	$fc/2^4$ (0.2 μs)	$fc/2^6$ (0.8 μs)
		010 (fperiph/4)	$fc/2^3$ (0.1 μs)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)
		011 (fperiph/8)	$fc/2^4$ (0.2 μs)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)
		100 (fperiph/16)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)	$fc/2^9$ (6.4 μs)
		101 (fperiph/32)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)	$fc/2^{10}$ (12.8 μs)
	100 (fc/2)	000 (fperiph/1)	$fc/2^2$ (0.05 μs)	$fc/2^4$ (0.2 μs)	$fc/2^6$ (0.8 μs)
		001 (fperiph/2)	$fc/2^3$ (0.1 μs)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)
		010 (fperiph/4)	$fc/2^4$ (0.2 μs)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)
		011 (fperiph/8)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)	$fc/2^9$ (6.4 μs)
		100 (fperiph/16)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)	$fc/2^{10}$ (12.8 μs)
		101 (fperiph/32)	$fc/2^7$ (1.6μs)	$fc/2^9$ (6.4 μs)	$fc/2^{11}$ (25.6μs)
	101 (fc/4)	000 (fperiph/1)	$fc/2^3$ (0.1 μs)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)
		001 (fperiph/2)	$fc/2^4$ (0.2 μs)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)
		010 (fperiph/4)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)	$fc/2^9$ (6.4 μs)
		011 (fperiph/8)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)	$fc/2^{10}$ (12.8 μs)
		100 (fperiph/16)	$fc/2^7$ (1.6μs)	$fc/2^9$ (6.4 μs)	$fc/2^{11}$ (25.6μs)
		101 (fperiph/32)	$fc/2^8$ (3.2μs)	$fc/2^{10}$ (12.8 μs)	$fc/2^{12}$ (51.2 μs)
	110 (fc/8)	000 (fperiph/1)	$fc/2^4$ (0.2 μs)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)
		001 (fperiph/2)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)	$fc/2^9$ (6.4 μs)
		010 (fperiph/4)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)	$fc/2^{10}$ (12.8 μs)
		011 (fperiph/8)	$fc/2^7$ (1.6μs)	$fc/2^9$ (6.4 μs)	$fc/2^{11}$ (25.6μs)
		100 (fperiph/16)	$fc/2^8$ (3.2μs)	$fc/2^{10}$ (12.8 μs)	$fc/2^{12}$ (51.2 μs)
		101 (fperiph/32)	$fc/2^9$ (6.4 μs)	$fc/2^{11}$ (25.6 μs)	$fc/2^{13}$ (102.4 μs)
	111 (fc/16)	000 (fperiph/1)	$fc/2^5$ (0.4 μs)	$fc/2^7$ (1.6 μs)	$fc/2^9$ (6.4 μs)
		001 (fperiph/2)	$fc/2^6$ (0.8 μs)	$fc/2^8$ (3.2 μs)	$fc/2^{10}$ (12.8 μs)
		010 (fperiph/4)	$fc/2^7$ (1.6μs)	$fc/2^9$ (6.4 μs)	$fc/2^{11}$ (25.6μs)
		011 (fperiph/8)	$fc/2^8$ (3.2μs)	$fc/2^{10}$ (12.8 μs)	$fc/2^{12}$ (51.2 μs)
		100 (fperiph/16)	$fc/2^9$ (6.4 μs)	$fc/2^{11}$ (25.6 μs)	$fc/2^{13}$ (102.4 μs)
		101 (fperiph/32)	$fc/2^{10}$ (12.8 μs)	$fc/2^{12}$ (51.2 μs)	$fc/2^{14}$ (204.8 μs)

表 11-2 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			φT1	φT4	φT16
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.025 μs)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	101 (fc/4)	000 (fperiph/1)	–	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	–	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	fc/2^5 (0.4 μs)
		001 (fperiph/2)	–	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	fc/2^5 (0.4 μs)
		001 (fperiph/2)	–	–	fc/2^6 (0.8 μs)
		010 (fperiph/4)	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	–	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)

注 1) プリスケーラ出力クロック φTn は、必ず φTn < fsys を満足するように(φTn が fsys よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中"–"は設定禁止です。

表 11-3 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^{6} (0.8 μs)	fc/2^{7} (1.6 μs)	fc/2^{8} (3.2 μs)	fc/2^{9} (6.4 μs)
		001 (fperiph/2)	fc/2^{7} (1.6 μs)	fc/2^{8} (3.2 μs)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^{8} (3.2 μs)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^{7} (1.6 μs)	fc/2^{8} (3.2 μs)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)
		001 (fperiph/2)	fc/2^{8} (3.2 μs)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		010 (fperiph/4)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		011 (fperiph/8)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		100 (fperiph/16)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
		101 (fperiph/32)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^{8} (3.2 μs)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		001 (fperiph/2)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		010 (fperiph/4)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		011 (fperiph/8)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
		100 (fperiph/16)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)
		101 (fperiph/32)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)	fc/2^{16} (819.2 μs)
	110 (fc/8)	001 (fperiph/2)	fc/2^{9} (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		010 (fperiph/4)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		011 (fperiph/8)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
		100 (fperiph/16)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)
		101 (fperiph/32)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)	fc/2^{16} (819.2 μs)
		101 (fperiph/32)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)	fc/2^{16} (819.2 μs)	fc/2^{17} (1638.4 μs)
	111 (fc/116)	001 (fperiph/2)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		010 (fperiph/4)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
		011 (fperiph/8)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)
		100 (fperiph/16)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)	fc/2^{16} (819.2 μs)
		101 (fperiph/32)	fc/2^{14} (204.8 μs)	fc/2^{15} (409.6 μs)	fc/2^{16} (819.2 μs)	fc/2^{17} (1638.4 μs)
		101 (fperiph/32)	fc/2^{15} (409.6 μs)	fc/2^{16} (819.2 μs)	fc/2^{17} (1638.4 μs)	fc/2^{18} (3276.8 μs)

表 11-3 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^8 (3.2 μs)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^9 (6.4 μs)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^{10} (12.8 μs)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{11} (25.6 μs)	fc/2^{12} (51.2 μs)	fc/2^{13} (102.4 μs)	fc/2^{14} (204.8 μs)

注 1) プリスケーラ出力クロック φTn は、必ず φTn < fsys を満足するように(φTn が fsys よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中"−"は設定禁止です。

11.5.2　アップカウンタ(UC)

16 ビットのバイナリカウンタです。

・ ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN 入力のいずれかを選択できます。

・ カウンタ動作の開始と停止

カウンタ動作は TBxRUN<TBRUN>で行います。<TBRUN> = "1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

・ カウンタクリアのタイミング

1. コンペア一致時

TBxMOD<TBCLE> = "1"に設定することで、TBxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. カウンタ停止時

TBxRUN<TBRUN> = "0"に設定すると、カウンタが停止するとともにクリアされます。

・ カウンタのオーバフロー

アップカウンタ UC がオーバフローすると、オーバフロー割り込み INTTBx が発生します。

11.5.3　タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

11.5.4 キャプチャ制御

アップカウンタ UC の値をキャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタ UC の値をキャプチャレジスタへ取り込むことができ、TBxMOD<TBCP> に "0" を書き込むたびに、その時点の UC の値をキャプチャレジスタ TBxCP0 へキャプチャします。

11.5.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタ UC の値をキャプチャするレジスタです。

11.5.6 アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

11.5.7 コンパレータ(CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

11.5.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

11.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

11.6　モード別動作説明

11.6.1　16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TB x FF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注)　X; Don’t care −; No change

11.6.2　16 ビットイベントカウンタモード

入力クロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
PxIE[m]	←								1	該当ポートを TBxIN に割り付けます。
PxFR1[m]	←								1	
TBxFFCR	←	X	X	0	0	0	0	1	1	TB x FF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	0	0	0	入力クロックを TBxIN にします。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
TBxMOD	←	X	0	0	0	0	0	0	0	ソフトウエアキャプチャを行います。

注 1)　"m"はポートの該当ビットを示します
注 2)　X; Don’t care
　　−; No change

11.6.3 16 ビット PPG (プログラマブル矩形波)出力モード

任意周波数, 任意デューティの矩形波 (プログラマブル矩形波)を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ (UC) とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF) の反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

(TBxRG0 設定値) < (TBxRG1 設定値)

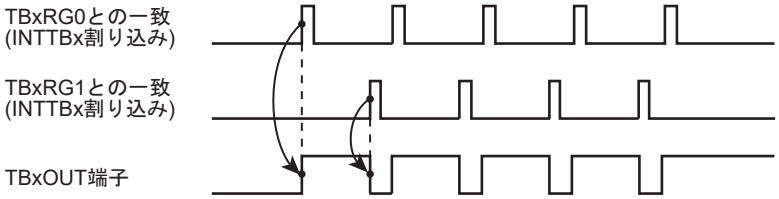


図 11-2 プログラマブル矩形波(PPG)出力波形例

このモードでは、TBxRG0 のダブルバッファをイネーブルにすることにより、TBxRG1 との一致で、レジスタバッファ 0 の値が TBxRG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

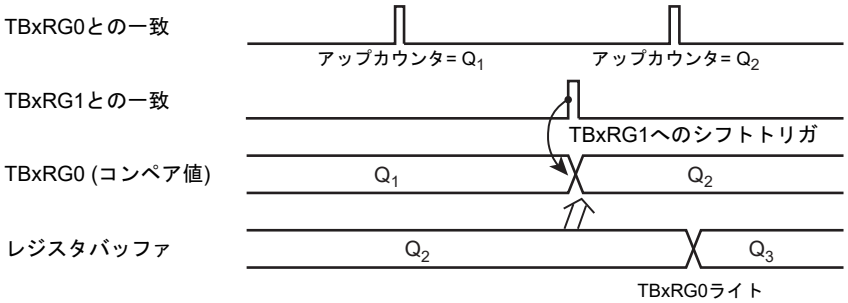


図 11-3 レジスタバッファの動作

このモードのブロック図を示します。

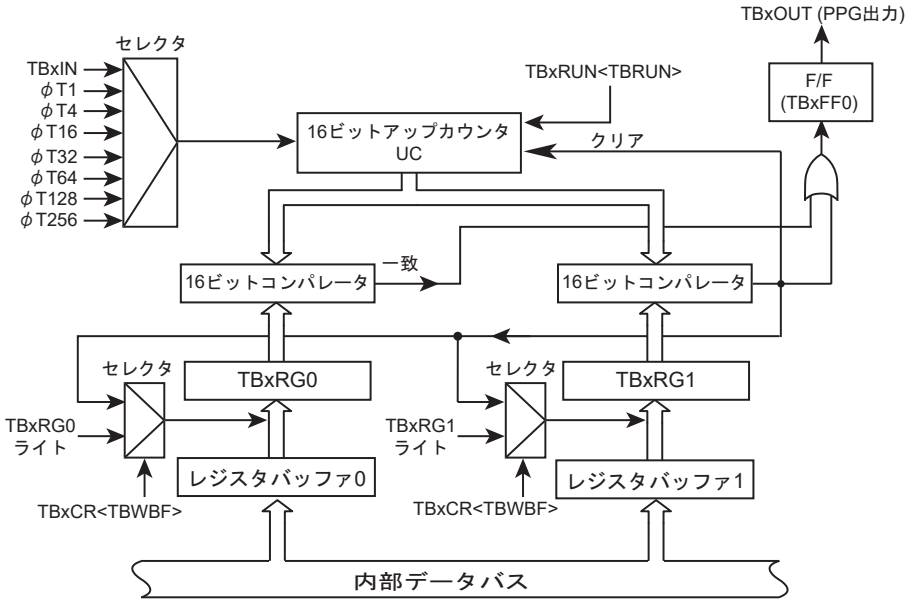


図 11-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	←	0	0	−	X	−	X	X	X	ダブルバッファをディセーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxCR	←	1	0	X	0	0	0	0	0	TBxRG0 のダブルバッファイネーブル (INTTBx 割り込みでデューティ/周期の変更)
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。 (*** = 001 ~ 111)
PxCR[m]	←						1			該当ポートを TBxOUT に割り付けます。
PxFR1[m]	←						1			
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注 1)　"m"はポートの該当ビットを示します
注 2)　X; Don’t care
　　−; No change

11.6.4 タイマ同期モード

タイマ同期モードを使用することにより、タイマ間のスタートの同期を取ることが可能となります。

PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

4 チャネルの TMRB が組になっており、4 チャネルのうちの 1 チャネルのスタートに、他の 3 チャネルのスタートを同期させることができます。TMPM367FDXBG では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャネル (マスタチャネル)	同期して動作するチャネル (スレーブチャネル)
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。

- <TBSYNC> = "0"：チャネルごとの個別動作
- <TBSYNC> = "1"：同期動作

マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのスタートに同期して動作がスタートします。スレーブチャネルの TBxRUN<TBPRUN, TBRUN>ビットの設定は不要です。

注 1) 同期出力モード時以外は TBxCR<TBSYNC>="0"に設定してください。同期出力モードが設定されている場合、TMRB0,TMRB4 にてスタートが掛かるまで、他のチャネルスタートは待たされます。

注 2) タイマ同期のマスターとなる TMRB0,TMRB4 は、常に<TBSYNC>ビットを"0"に設定してください。

11.6.5 外部トリガカウントスタートモード

外部トリガカウントスタートモードを設定することにより、外部信号でタイマのカウントスタートが可能となります。

TBxCR<CSSEL>ビットの設定により、カウントスタートの選択を行います。

- <CSSEL> = "0"：タイマのチャネル毎のタイミングで動作を行います。
- <CSSEL> = "1"：外部信号でカウントスタート動作を行います。

TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

- <TRGSEL> = "0"：TBxIN の立上りエッジが選択されます。
- <TRGSEL> = "1"：TBxIN の立下がりエッジが選択されます。

なお、タイマ同期モードが設定されている場合は、タイマ同期モードが優先されます。

11.7　キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定

11.7.1　外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC をプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。TBxIN 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxCP0)に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTCAPx0 が発生するように CPU で設定します。この割り込みで、タイマレジスタ(TBxRG0)には、TBxCP0 の値(c)とディレイタイム(d)を加算した値(c + d)を設定します。

タイマレジスタ(TBxRG1)には、TBxRG0 の値とワンショットパルスのパルス幅(p)を加算した値(c + d + p)を設定します。(TBxRG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ(TBxFFCR<TBE1T1, TBE0T1>)に "11" を設定し、TBxUC と TBxRG0 との一致、および、TBxRG1 との一致により、タイマフリップフロップ(TBxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBx の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、「図 11-5 ワンショットパルス出力(ディレイあり)」の c, d, p と対応しています。

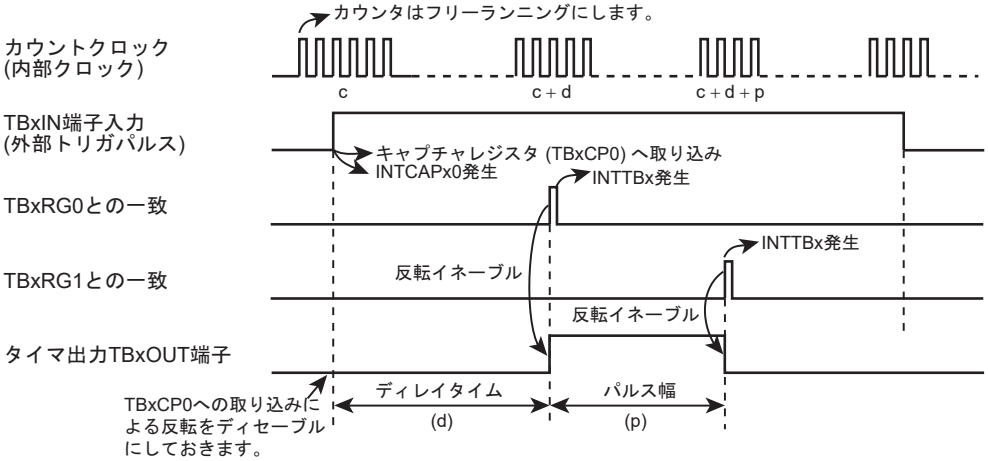


図 11-5 ワンショットパルス出力(ディレイあり)

TBxIN 入力の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに ΦT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN でのキャプチャ設定										
PxIE[m]	←								1	該当ポートを TBxIN に割り付けます。
PxFR1[m]	←								1	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxMOD	←	X	1	0	1	0	0	0	1	ソースクロックを ΦT1 にし、TBxIN 立ち上がりで TBxCP0 へカウント値を取り込みます。
TBxFFCR	←	X	X	0	0	0	0	1	0	TB x FF0 反転トリガをクリアし、ディセーブルします。
PxCR[m]	←								1	該当ポートを TBxOUT に割り付けます。
PxFR1[m]	←								1	
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx0 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
[INTCAPx0 割り込みサービスルーチンでの処理]　パルス出力設定										
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(16bit) (TBxCAP0 + 3ms/ΦT1)
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(16bit) (TBxCAP0 + (3+2)ms/ΦT1)
	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	−	−	1	1	−	−	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
[INTTBx 割り込みサービスルーチンでの処理]　出力ディセーブル										
TBxFFCR	←	X	X	−	−	0	0	−	−	TB x FF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを禁止します。

注 1)　"m"はポートの該当ビットを示します

注 2)　X; Don't care

−; No change

ディレイが不要な場合、TBxCP0 への取り込みによって TBxFF0 を反転させ、割り込み INTCAPx0 で TBxCP0 の値(c) にワンショットパルスの幅(p)を加算した値(c + p)を TBxRG1 に設定します。(TBxRG1 の変更は次の一致までに完了してください。) TBxFF0 は、TBxRG1 と UC の一致によって反転するように、反転イネーブルを選択します。また、INTTBx 割り込みでこれをディセーブルに戻します。

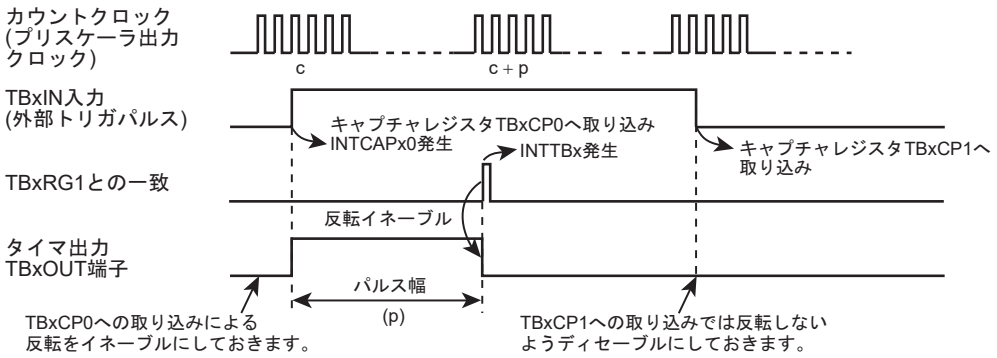


図 11-6 外部トリガパルスのワンショットパルス出力(ディレイなし)

11.7.2　周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと他の 16 ビットタイマを組み合わせて行います。TMRB1 と TMRB0 を使う場合を例に説明します。TMRB0 の TB0OUT を測定時間の設定に用います。

TMRB1 のカウントクロックは TB1IN 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB1MOD<TBCPM[1:0]> には "11" を設定することで、TB0OUT の立ち上がりで TB1CP0 にカウンタ値取り込み、立下りで TB1CP1 にカウンタ値取り込みます。

この設定により、16 ビットタイマ(TMRB0)のタイマフリップフロップ出力(TB0OUT)の立ち上がりで、キャプチャレジスタ(TB1CP0)に 16 ビットアップカウンタ UC のカウンタ値を取り込み、16 ビットタイマ(TMRB0)の TB0OUT の立ち下がりで、キャプチャレジスタ(TB1CP1)に UC のカウンタ値の取り込みを行います。

周波数は、16 ビットタイマの割り込み INTTB0 で測定時間を基準にして TB1CP0, TB1CP1 の差より求めます。

例えば、TB0OUT の"1"レベル幅の設定値が 0.5 s で、TB1CP0 と TB1CP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

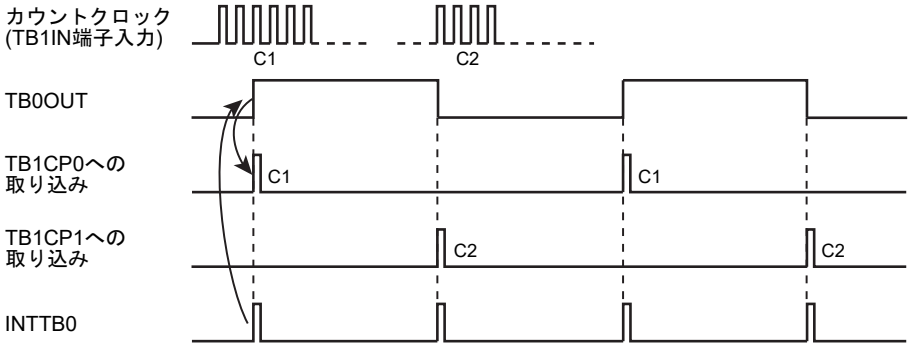


図 11-7 周波数測定

11.7.3　パルス幅測定

キャプチャ機能を用いて、外部パルスの"High"レベル幅を測定することができます。TBxIN 端子より外部パルスを入力し、アップカウンタ (UC) をプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TBxCP0, TBxCP1)に取り込みます。TBxIN 端子の立ち下がりにより、INTCAPx1 が発生するように CPU で設定します。

"High"レベルパルス幅は、TBxCP0 と TBxCP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、クロックソースにより定まる UC の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウエアによる処理を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、「図 11-8 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

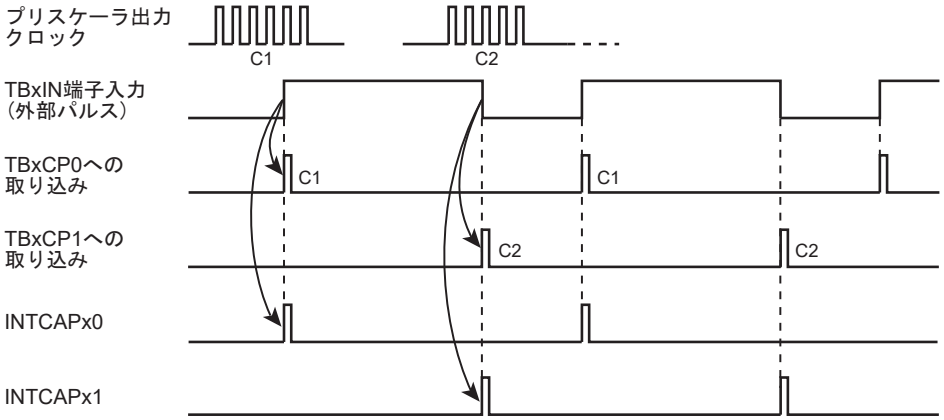


図 11-8 パルス幅測定

第 12 章　シリアルチャネル(SIO/UART)

12.1　概要

シリアルチャネル(SIO/UART)は同期通信モード(I/O インタフェースモード)と非同期通信モード(UART モード)の 2 つのモードを持っています。特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/2、1/8、1/32、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能 (UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- ダブルバッファ/FIFO

  ダブルバッファおよび、送受信あわせて最大 4 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能

以下の説明中、"x"はチャネル番号をあらわします。

12.2　チャネル別仕様相違点

TMPM367FDXBG は 4 チャネルの SIO/UART を内蔵しています。

各チャネルはそれぞれ独立に動作します。チャネルごとの使用端子と割り込みを以下にまとめます。

表 12-1 SIO/UART のチャネル別仕様相違点

	端子			割り込み		シリアルクロック生成タイマ	DMA 対応
	TXD	RXD	$\overline{\text{CTS}}$ / SCLK	受信割り込み	送信割り込み		
チャネル 0	PE2	PE1	PE3	INTRX0	INTTX0	TB4OUT	サポート
チャネル 1	PE5	PE6	PE4	INTRX1	INTTX1	TB4OUT	サポート
チャネル 2	PL2	PL1	PL3	INTRX2	INTTX2	TB7OUT	サポート
チャネル 3	PB0	PB1	PA7	INTRX3	INTTX3	TB7OUT	サポート

12.3　構成

図 12-1 に SIO/UART のブロック図を示します。

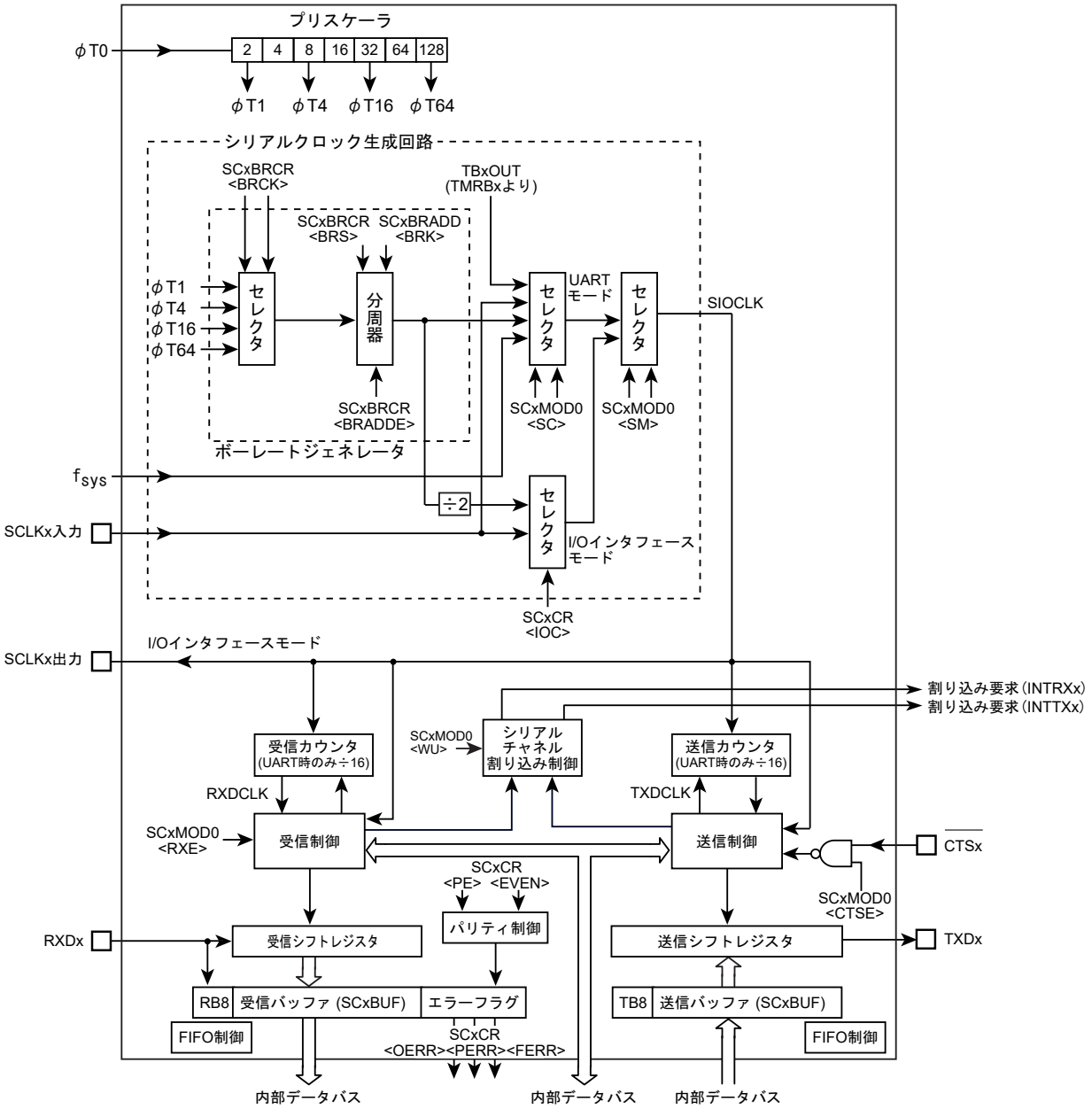


図 12-1 SIO/UART ブロック図

12.4 レジスタ説明

12.4.1 チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel0	0x400E_1000
Channel1	0x400E _ 1100
Channel2	0x400E _ 1200
Channel3	0x400E _ 1300

レジスタ名(x=0~3)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030

12.4.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	SIOE	R/W	SIO/UART 動作 0: 禁止 1: 動作 SIO/UART の動作を指定します。SIO/UART を使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く SIO/UART のすべてのクロックが停止しますので消費電力の低減が可能です。 SIO/UART を一旦動作させた後に動作禁止にした場合は、SCxTFC<TIL[1:0]>を除くレジスタの設定は保持されます。

注)　SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

12.4.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファ/ FIFO [リード] RB：受信用バッファ/ FIFO

12.4.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加(UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバーランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) クロック出力モード時には"0"を設定してください。 0: SCLKx の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLK x 端子の立ち上がりエッジで RXD x 端子のデータを 1bit ずつ受信バッファに取り込みます。 このとき、SCLKx 端子は High レベルからスタートします。 1: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLK x 端子の立ち下がりエッジで RXD x 端子のデータを 1bit ずつ受信バッファに取り込みます。 このとき、SCLKx 端子は Low レベルからスタートします。
0	IOC	R/W	クロック選択(I/O インタフェース用) 0: ボーレートジェネレータ 1: SCLKx 端子入力

注)　<OERR>, <PERR>, <FERR>は読み出すとクリアされます。

12.4.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART 用) 00: タイマ TBxOUT(表 12-1 を参照) 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック(SCLK 入力) (I/O インタフェースモード時の転送クロックは、コントロールレジスタ(SCxCR)で選択します。)

注 1) <RXE>は、すべての設定が終わったあとに許可してください。

注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

12.4.6　SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。 UART モードの場合は FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェース用) 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK I/O インタフェースモードで SCLK 出力の場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	−	R/W	"0"をライトしてください。

注 1)　<TXE>ビットは、すべての設定を行った後に許可してください。

注 2)　送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

注 3)　SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

12.4.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。 <table><tr><th><TXRUN></th><th><TBEMP></th><th>状態</th></tr><tr><td>1</td><td>–</td><td>送信動作中</td></tr><tr><td rowspan="2">0</td><td>1</td><td>送信が完全に終了</td></tr><tr><td>0</td><td>送信バッファに次のデータがあり送信待ち</td></tr></table>
4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first I/O インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(SCLK 出力/入力), 受信(SCLK 出力), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(SCLK 入力), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトウエアリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>,<RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
</table></td></tr>
</table>

注 1)　転送動作中にソフトウエアリセットを実施する場合は 2 回連続して実行してください。
注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

12.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φT1 01: φT4 10: φT16 11: φT64
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

注 1) UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2) I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

12.4.9　SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 12-2 にまとめます。

表 12-2 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1)　N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2)　"K"値に"0"を設定することはできません。

12.4.10 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>の説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。
注 2)　9 ビット UART モードでは FIFO は使用できません。

12.4.11 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>)=割り込み発生 fill レベル(<RIL[1:0]>)のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>)≥割り込み発生 fill レベル(<RIL[1:0]>)のとき
5-2	–	R	リードすると"0"が読めます。
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル

	半二重	全二重
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

注) 送信/受信 FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

12.4.12　SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>)=割り込み発生 fill レベル(<TIL[1:0]>)のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>)≤割り込み発生 fill レベル(<TIL[1:0]>)のとき
5-2	–	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する送信 FIFO の fill レベル (半二重 / 全二重) 00: Empty / Empty 01: 1 バイト / 1 バイト 10: 2 バイト / Empty 11: 3 バイト / 1 バイト

注 1)　送信/受信 FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2)　SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

12.4.13 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバーラン(注) 0: オーバーランは発生していない 1: オーバーラン発生
6-3	–	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

12.4.14　SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	–	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<TUR>ビットはバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

12.5 動作モード

表 12-3 にモードとデータフォーマットをまとめます。

表 12-3 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力/出力いずれも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

12.6　データフォーマット

12.6.1　データフォーマット一覧

図 12-2 にデータフォーマットを示します。

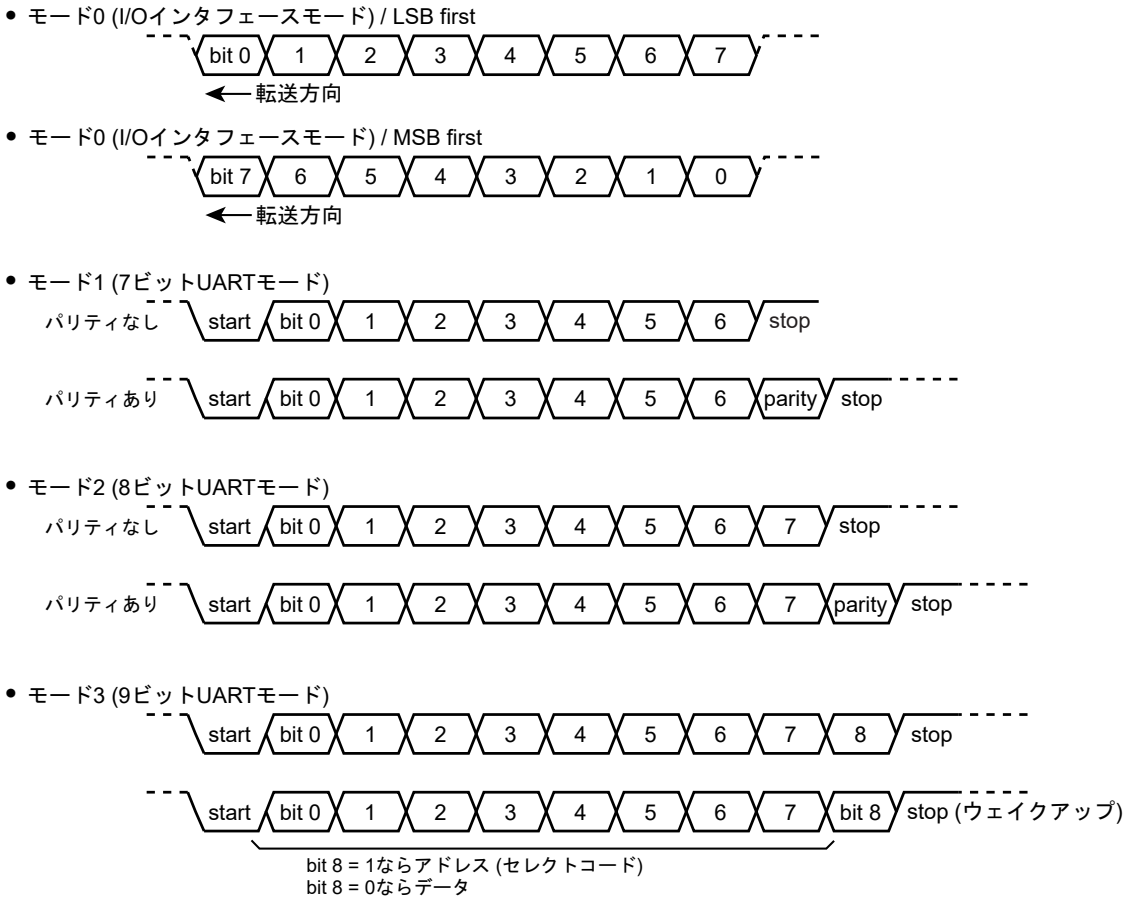


図 12-2 データフォーマット

12.6.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

12.6.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

12.6.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

12.6.3 STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

12.7　クロック制御

12.7.1　プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 2 / 8 / 32 / 128 分周のクロックを生成します。

プリスケーラの入力クロック φT0 は、クロック/モード制御部の CGSYSCR レジスタで選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

ボーレートジェネレータへの入力クロック分解能を、下表に示します。

表 12-4 ボーレートジェネレータへの入力クロック分解能 fc = 80 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.03 μs)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		001 (fperiph/2)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		010 (fperiph/4)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		011 (fperiph/8)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		100 (fperiph/16)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
		101 (fperiph/32)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102 μs)
		101 (fperiph/32)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2μs)	fc/2^{14} (205 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		001 (fperiph/2)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		010 (fperiph/4)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
		011 (fperiph/8)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102 μs)
		100 (fperiph/16)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2μs)	fc/2^{14} (205 μs)
		101 (fperiph/32)	fc/2^9 (6.4μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102 μs)	fc/2^{15} (410 μs)
	111(fc/16)	000 (fperiph/1)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		001 (fperiph/2)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
		010 (fperiph/4)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102 μs)
		011 (fperiph/8)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2μs)	fc/2^{14} (205 μs)
		100 (fperiph/16)	fc/2^9 (6.4μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102 μs)	fc/2^{15} (410 μs)
		101 (fperiph/32)	fc/2^{10} (12.8μs)	fc/2^{12} (51.2 μs)	fc/2^{14} (204 μs)	fc/2^{16} (820 μs)

表 12-4 ボーレートジェネレータへの入力クロック分解能 fc = 80 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.03 μs)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
	101 (fc/4)	000 (fperiph/1)	–	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	–	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	–	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	–	–	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	–	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)

注 1)　プリスケーラ出力クロック φTn は、必ず φTn ≤ fsys/2 を満足するように(φTn が fsys よりも遅くなるように)選択してください。

注 2)　SIO/UART 動作中はクロックギアの切り替えは行わないでください。

注 3)　表中"–"は設定禁止、"*"は Don’t Care です。

表 12-5 ボーレートジェネレータへの入力クロック分解能 fc = 48 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.0417 μs)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		001 (fperiph/2)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		010 (fperiph/4)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		011 (fperiph/8)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		100 (fperiph/16)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		101 (fperiph/32)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		001 (fperiph/2)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		010 (fperiph/4)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		011 (fperiph/8)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		100 (fperiph/16)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
		101 (fperiph/32)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3μs)	fc/2^{14} (341 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		001 (fperiph/2)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		010 (fperiph/4)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		011 (fperiph/8)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
		100 (fperiph/16)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3μs)	fc/2^{14} (341 μs)
		101 (fperiph/32)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)	fc/2^{15} (683 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		001 (fperiph/2)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		010 (fperiph/4)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
		011 (fperiph/8)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3μs)	fc/2^{14} (341 μs)
		100 (fperiph/16)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)	fc/2^{15} (683 μs)
		101 (fperiph/32)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)	fc/2^{14} (341 μs)	fc/2^{16} (1365 μs)

表 12-5 ボーレートジェネレータへの入力クロック分解能 fc = 48 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.0417 μs)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	101 (fc/4)	000 (fperiph/1)	–	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	–	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	–	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	–	–	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	–	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)

注 1)　プリスケーラ出力クロック φTn は、必ず φTn ≤ fsys/2 を満足するように(φTn が fsys よりも遅くなるように)選択してください。

注 2)　SIO/UART 動作中はクロックギアの切り替えは行わないでください。

注 3)　表中"–"は設定禁止、"*"は Don't Care です。

12.7.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

12.7.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 2 / 8 / 32 / 128 分周から選択します。入力クロックの選択は SCxBRCR<BRCK>で行います。

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

12.7.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1) I/O インタフェースモードの転送クロック

表 12-6 に I/O インタフェースモードで可能なクロックを示します。

表 12-6 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
I/O インタフェース モード	SCLK 出力	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2 分周
	SCLK 入力	立ち上がり	SCLK 入力立ち上がりエッジ
		立下り	SCLK 入力立ち下がりエッジ

ボーレートジェネレータを使用する場合、以下の設定が最高ボーレートとなります。

注)　AC 電気的特性を満足することを確認のうえ,クロック設定を決定してください。

・ クロック/モード制御部の設定
  - fc = 80MHz
  - fgear = 80MHz (CGSYSCR<GEAR[2:0]> = "000"：fc 選択)
  - φT0 = 80MHz (CGSYSCR<PRCK[2:0]> = "000"：1 分周)

・ SIO/UART の設定(ダブルバッファ使用の場合)
  - クロック選択 (SCxBRCR<BRCK[1:0]> = "00"：φT1 選択) = 40MHz
  - 分周値 (SCxBRCR<BRS[3:0]> = "0001"：1 分周) = 40MHz

  ダブルバッファ使用の場合、1 分周が選択できます。ボーレートは 40MHz が 2 分周され、20Mbps となります。

・ SIO/UART の設定(ダブルバッファ未使用の場合)
  - クロック選択(SCxBRCR<BRCK[1:0]> = "00"：φT1 選択) = 40MHz
  - 分周値(SCxBRCR<BRS[3:0]> = "0010"：2 分周) = 20MHz

  ダブルバッファ未使用の場合は、2 分周が最速になります。ボーレートは 20MHz が 2 分周され、10Mbps となります。

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

・ ダブルバッファ使用の場合

  - SCLK 周期 > 6/fsys

  最高ボーレートは、80 ÷ 6 = 13.33 Mbps 未満となります。

・ ダブルバッファ未使用の場合

  - SCLK 周期 > 8/fsys

  最高ボーレートは、80 ÷ 8 = 10 Mbps 未満となります。

(2)　UART モードの転送クロック

表 12-7 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 12-7 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLK 入力

それぞれのクロックでのボーレート例を示します。

・ ボーレートジェネレータを使用する場合

- fc = 80MHz
- fgear = 80MHz (CGSYSCR<GEAR[2:0]> = "000"：fc 選択)
- φT0 = 80MHz (CGSYSCR<PRCK[2:0]> = "000"：1 分周)
- クロック選択 = φT1 = 40MHz (SCxBRCR<BRCK[1:0]> = "00"：φT1 選択)

最高ボーレートは 40MHz が 16 分周され、2.5Mbps となります。

表 12-8 に以下のクロック設定でボーレートジェネレータを使用する場合のボーレート例を示します。

・ fc = 9.8304MHz
・ fgear = 9.8304MHz (CGSYSCR<GEAR[2:0]> = "000" ：fc 選択)
・ φT0 = 4.9152MHz (CGSYSCR<PRCK[2:0]> = "001" ：2 分周)

表 12-8 UART モードのボーレート例(ボーレートジェネレータ使用)

fc [MHz]	分周値 N (SCxBRCR<BRS[3:0]>)	φT1 (fc/4)	φT4 (fc/16)	φT16 (fc/64)	φT64 (fc/256)
9.830400	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150

単位：kbps

・ SCLK 入力を使用する場合

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

最高ボーレートは、80 ÷ 2 ÷ 16 = 2.5 Mbps 未満にする必要があります。

・ fsys を使用する場合

fsys の最高が 80MHz ですので、最高ボーレートは、80 ÷ 16 = 5Mbps となります。

・ タイマ出力を使用する場合

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマプリスケーラクロックφT1（2分周）を選択した場合)

(タイマフリップフロップ反転2回で1クロック周期となる)

表 12-9 に以下のクロック設定でタイマ出力を使用する場合のボーレート例を示します。

- fc = 32MHz / 9.8304MHz / 8MHz
- fgear = 32MHz / 9.8304MHz / 8MHz (CGSYSCR<GEAR[2:0]> = "000" ：fc 選択)
- φT0 = 16MHz / 4.9152MHz / 4MHz (CGSYSCR<PRCK[2:0]> = "001" ：2 分周)
- タイマカウントクロック

  = 4MHz / 1.2287MHz / 1MHz (TBxMOD<TBCLK[1:0]> = "01" ：φT1 選択)

表 12-9 UART モードのボーレート例(タイマ出力使用)

TBxRG1 設定	fc		
	32MHz	9.8304MHz	8MHz
0x0001	250	76.8	62.5
0x0002	125	38.4	31.25
0x0003	-	25.6	-
0x0004	62.5	19.2	15.625
0x0005	50	15.36	12.5
0x0006	-	12.8	-
0x0008	31.25	9.6	-
0x000A	25	7.68	6.25
0x0010	15.625	4.8	-
0x0014	12.5	3.84	3.125

単位：kbps

12.8 送信/受信バッファと FIFO

12.8.1 構成

送信/受信バッファと FIFO の構成を図 12-3 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

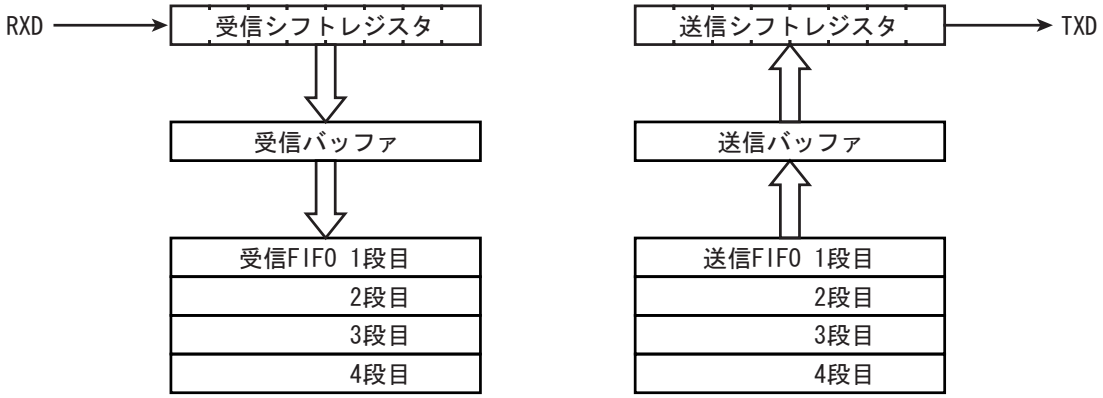


図 12-3 バッファと FIFO の構成

12.8.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードで SCLK 入力の場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 12-10 にモードとバッファ構成の関係をまとめます。

表 12-10 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

12.8.3　FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO の構成は SCxMOD1<FDPX>で設定します。

注)　送信/受信 FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 12-11 にモードと FIFO 構成の関係をまとめます。

表 12-11 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

12.9　ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

12.10　エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART</td><td>オーバーランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
(SCLK 入力)</td><td rowspan="2">オーバーランエラー</td><td>アンダーランエラー
(ダブルバッファ
または FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファ
および FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
(SCLK 出力)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

12.10.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。受信 FIFI/OO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が full（使用バイト数）になるまではフラグはセットされません。

I/O インタフェースモードの SCLK 出力の設定では、フラグのセットとともに SCLK 出力が停止します。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバーランフラグをクリアしてください。

12.10.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダーランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

SCLK 入力の場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

SCLK 出力の場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

12.10.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

12.11　受信

12.11.1　受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

12.11.2　受信制御部

12.11.2.1　I/O インタフェースモードの場合

SCxCR<IOC>="0"の SCLK 出力モードのときは、SCLK 端子へ出力されるシフトクロックの立ち上がりで RXD 端子をサンプリングします。

SCxCR <IOC>="1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD 端子をサンプリングします。

12.11.2.2　UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

12.11.3　受信動作

12.11.3.1　受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

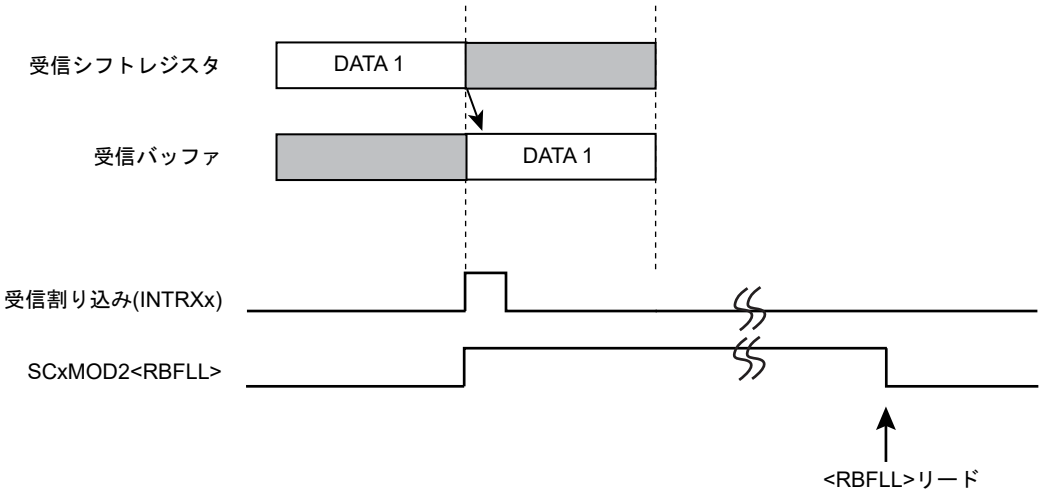


図 12-4 受信バッファの動作

12.11.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注)　UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

SCxMOD1[6:5] =01	: 転送モードを半二重受信に設定
SCxFCNF[4:0] = 10111	: fill レベル到達後の継続受信自動禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC[1:0] = 00	: 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC[7:6] = 01	: 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

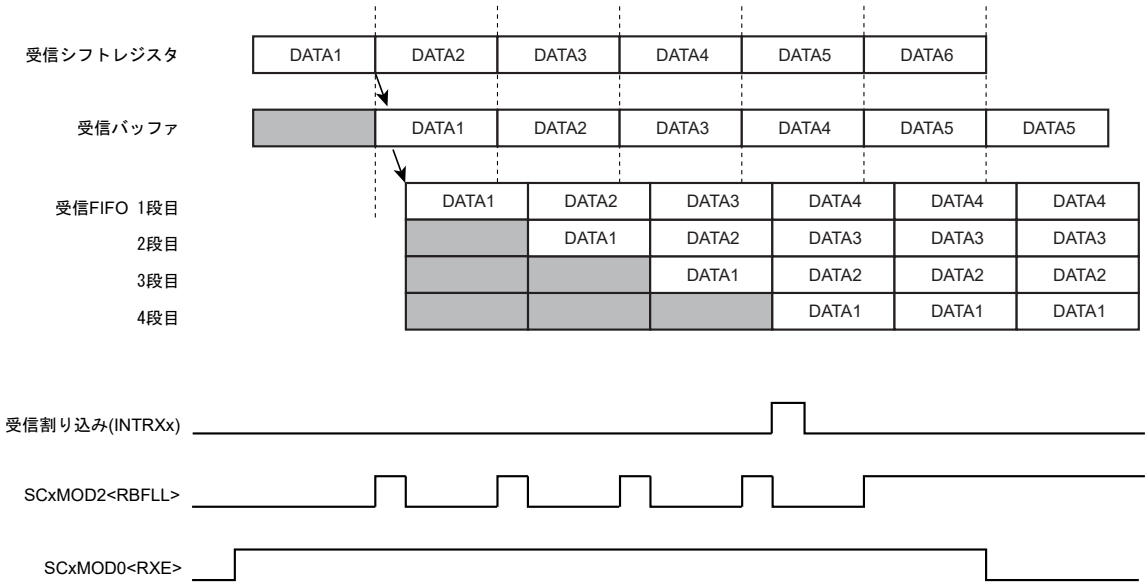


図 12-5 受信 FIFO の動作

12.11.3.3 I/O インタフェースモード、SCLK 出力での受信

I/O インタフェースモードで SCLK 出力設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されると SCLK 出力が停止されます。このため、このモードではオーバーランエラーフラグは意味を持ちません。

SCLK 出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されると SCLK 出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、SCLK 出力を停止します。1 データが読み出されると SCLK 出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されると SCLK 出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<RXE>ビットがクリアされ受信動作を停止します。

12.11.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

12.11.3.5 ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

12.11.3.6　オーバーランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバンランが発生してオーバーランフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

I/O インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注)　I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバーランフラグをクリアしてください。

12.12 送信

12.12.1 送信カウンタ

送信カウンタは 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

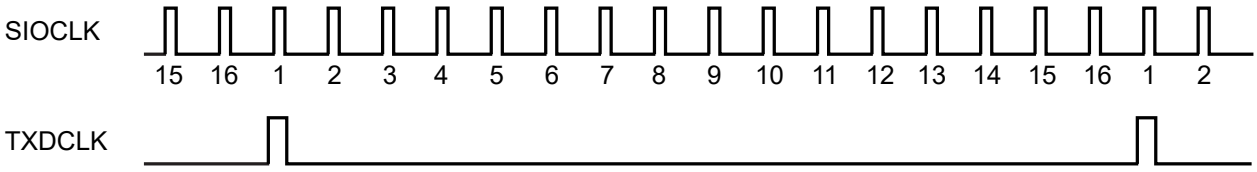


図 12-6 UART モード送信クロックの生成

12.12.2 送信制御部

12.12.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"の SCLK 出力モードのときは、SCLK 端子より出力されるシフトクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXD 端子へ出力します。

SCxCR<IOC> = "1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD 端子へ出力します。

12.12.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

12.12.3　送信動作

12.12.3.1　送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

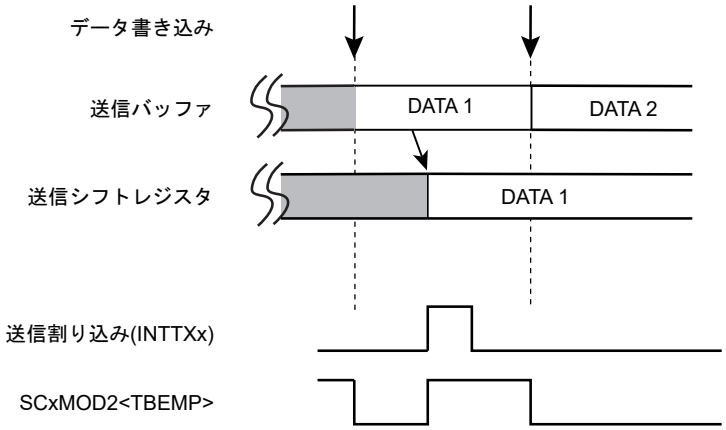


図 12-7 送信バッファの動作(ダブルバッファ有効時)

12.12.3.2　送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP>フラグは"0"にクリアされます。

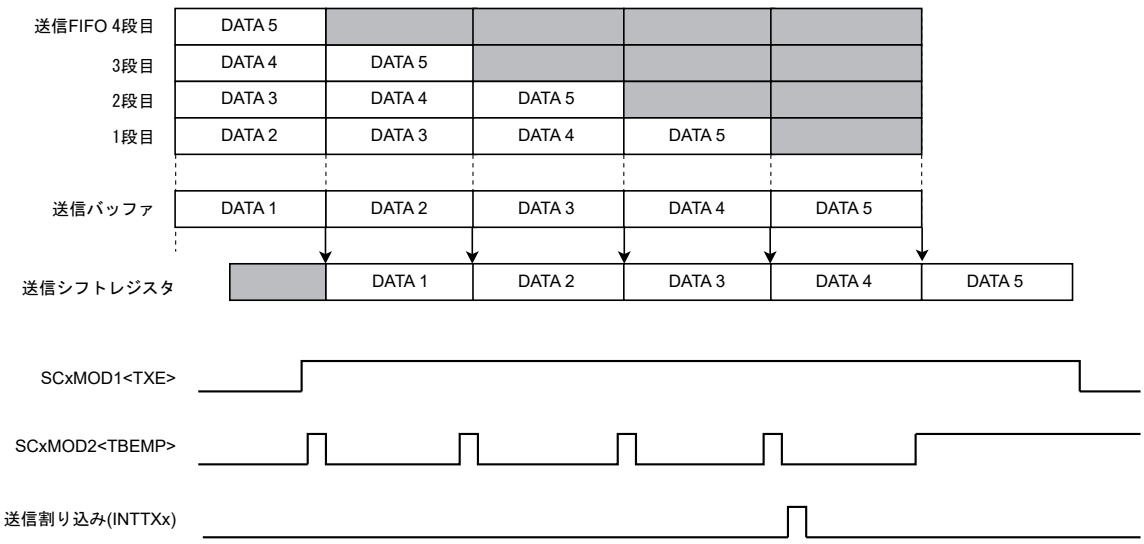
注)　送信 FIFO バッファ使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1[6:5] =10	: 転送モードを半二重送信に設定
SCxFCNF[4:0] = 11011	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC[1:0] = 00	: 割り込み発生の fill レベル を 0 に設定
SCxTFC[7:6] = 11	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF[0] = 1	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



12.12.3.3 I/O インタフェースモード、SCLK 出力での送信

I/O インタフェースモードで SCLK 出力の場合、設定されたデータがすべて送信されると SCLK 出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ/FIFO 使用状況によって SCLK 出力の停止/再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されると SCLK 出力を停止します。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータの送信が終了すると SCLK 出力を停止します。次のデータが書き込まれると SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<TXE>ビットがクリアされ送信動作を停止します。

12.12.3.4　アンダーランエラー

I/O インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときは、アンダーランエラーになり SCxCR<PERR>に"1"がセットされます。

I/O インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注)　I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

12.13 ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバーランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合、送信終了後に停止します(図 12-9 "a")。
注 2) $\overline{\text{CTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します(図 12-9 "b")。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

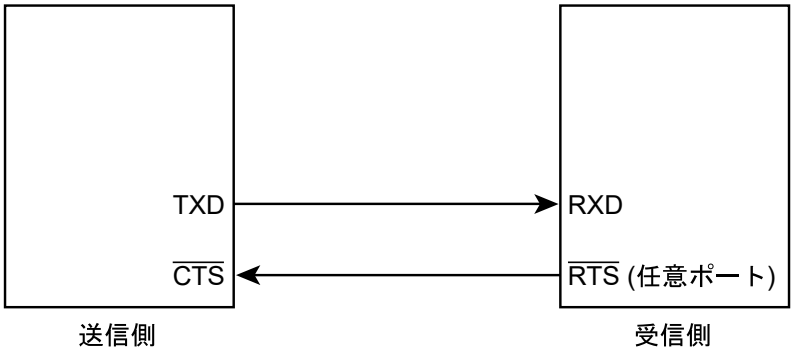


図 12-8 ハンドシェイク機能接続

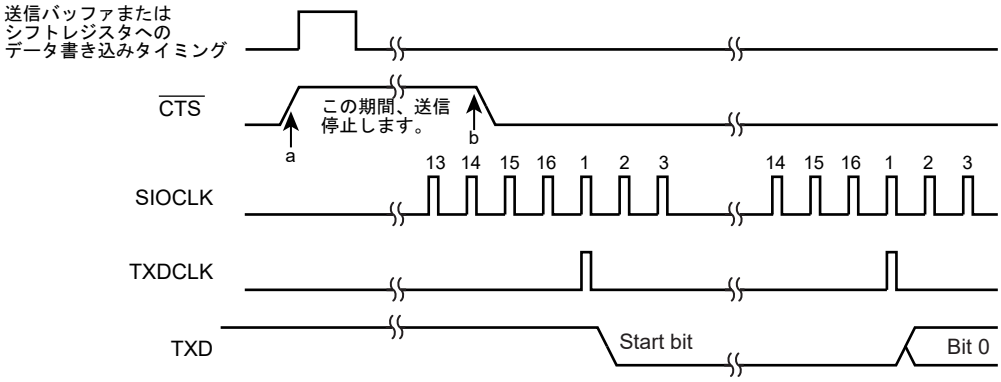


図 12-9 $\overline{\text{CTS}}$ 信号のタイミング

12.14　割り込み/エラー発生タイミング

12.14.1　受信割り込み

受信動作のデータの流れと読み出しの経路を図 12-10 に示します。

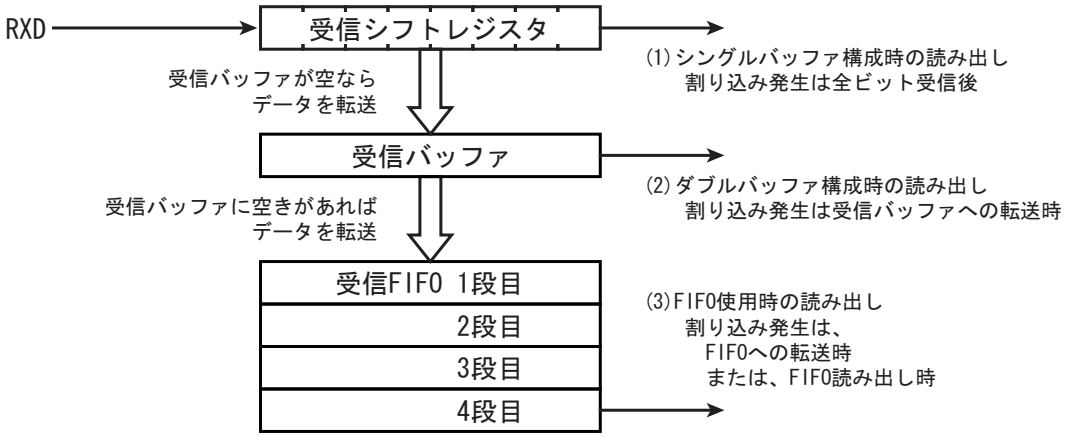


図 12-10 受信バッファ/FIFO 構成図

12.14.1.1　シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 12-12 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	–	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第 1 ストップビットの中央付近	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注)　オーバーランエラー発生時は割り込みは発生しません。

12.14.1.2　FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 12-13 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 12-13 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・受信 FIFO から受信データをリードしたとき

12.14.2 送信割り込み

送信動作のデータの流れと書き込みの経路をに示します。

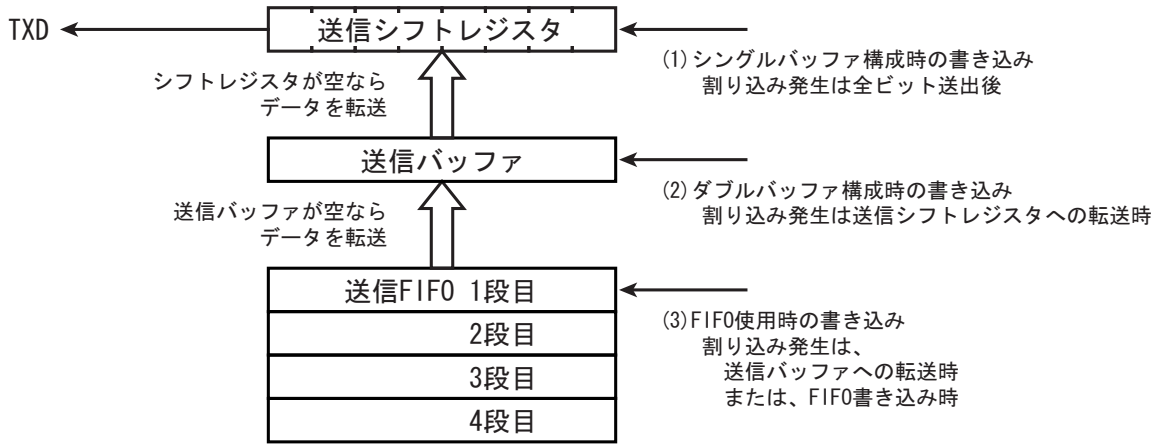


図 12-11 送信バッファ/FIFO 構成図

12.14.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 12-14 シングルバッファ/ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE>の値と関係なく、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。	

12.14.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 12-15 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 12-15 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき

12.14.3　エラー発生

12.14.3.1　UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバーランエラー	ストップビットの中央付近	
パリティエラー	–	パリティビットの中央付近

12.14.3.2　I/O インタフェースモード

オーバーランエラー	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回 SCLK の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注)　SCLK 出力モードではオーバーランエラー、アンダーランエラーフラグは意味を持ちません。

12.15 DMA 転送

割り込み要求信号の発生タイミングで DMA 転送を開始することができます。

TMPM367FDXBG では、半二重転送モードまたは全二重モードの受信割り込み、送信割り込みの発生タイミングで DMA 転送を開始することができます。

注) SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウエアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

12.15.1 シングルバッファ/ダブルバッファ構成の場合

12.14.1.1、12.14.2.1 のタイミングで割り込みが発生し、DMA 転送が開始されます。

12.15.2 FIFO を許可しているとき

12.14.1.2、12.14.2.2 のタイミングで割り込みが発生し、DMA 転送が開始されます。

送信の場合、割り込みの発生する Fill レベル、送信開始前に FIFO に書き込むデータ数の最小値と DMA 転送データ数の最大値は、下記のようになります。

表 12-16 割り込みの発生する Fill レベル、FIFO に書き込むデータ数の最小値と DMA 転送データ数の最大値

SCxTFC <TIL[1:0]>	半二重		全二重	
	転送開始前に書き込むデータ数の最小値	DMA 転送データ数の最大値	転送開始前に書き込むデータ数の最小値	DMA 転送データ数の最大値
00	3	4 バイト	3	2 バイト
01	4	3 バイト	4	1 バイト
10	5	2 バイト	3	2 バイト
11	6	1 バイト	4	1 バイト

注) SCxMOD1<TXE>の値と関係なく、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。この送信割り込みで DMA 転送が起動しないようにしてください。DMA 転送起動の詳細については、DMAC の章を参照ください。

受信の場合、割り込みの発生する Fill レベルと DMA 転送データ数の最大値は、下記のようになります。

表 12-17 割り込みの発生する Fill レベルと DMA 転送データ数の最大値

SCxRFC <RIL[1:0]>	DMA 転送データ数の最大値 (半二重)	DMA 転送データ数の最大値 (全二重)
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

12.16　ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>，SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR

<OERR> <PERR> <FERR>が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

12.17 モード別動作説明

12.17.1 I/O インタフェースモード

SCxMOD0 <SM[1: 0]>)を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

12.17.1.1 送信

(1) SCLK 出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むたびに、データが TXD 端子から、クロックが SCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信停止の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、SCLK 出力も停止します。

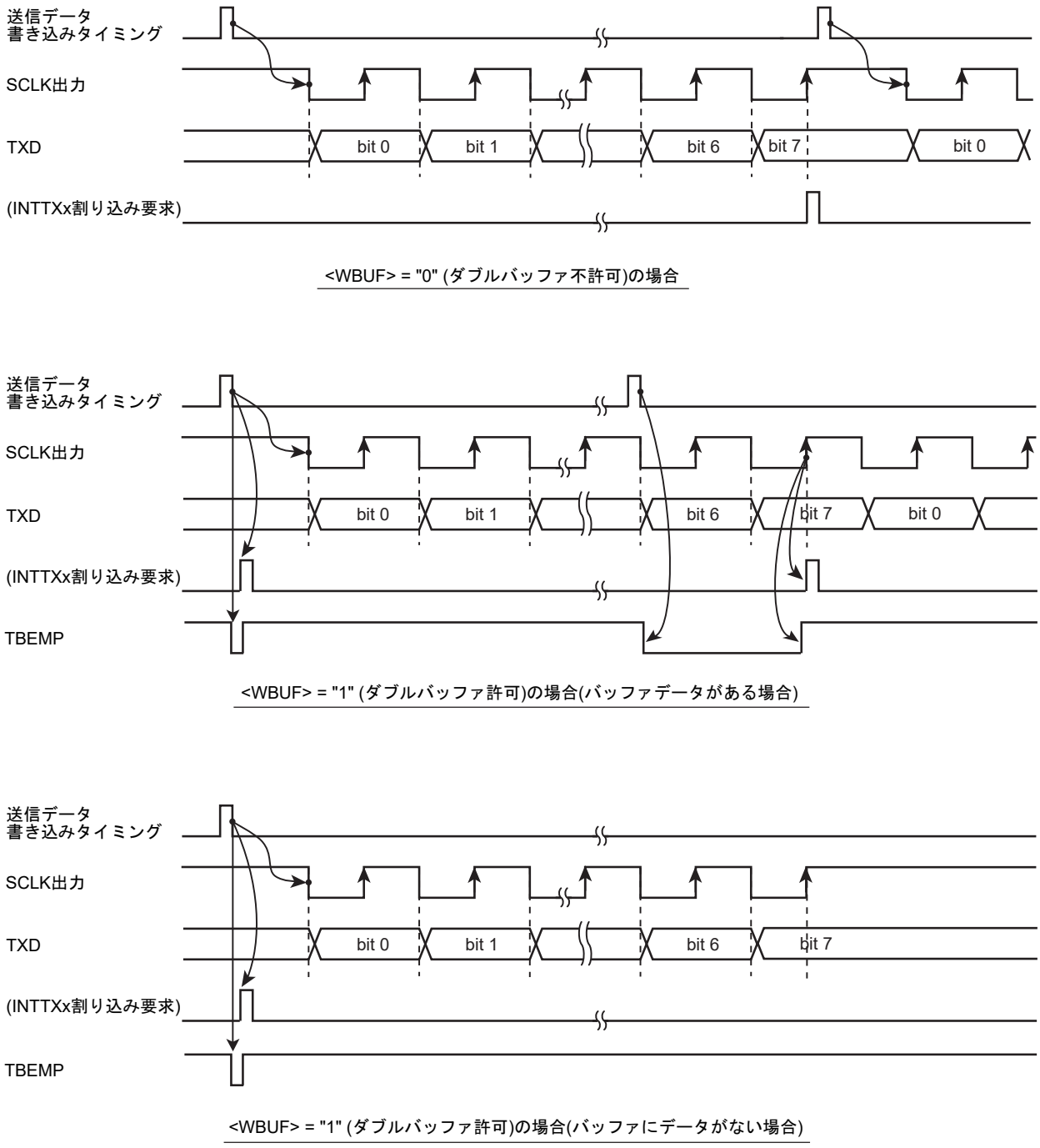


図 12-12 I/O インタフェースモード送信動作(SCLK 出力モード)

(2) SCLK 入力モード

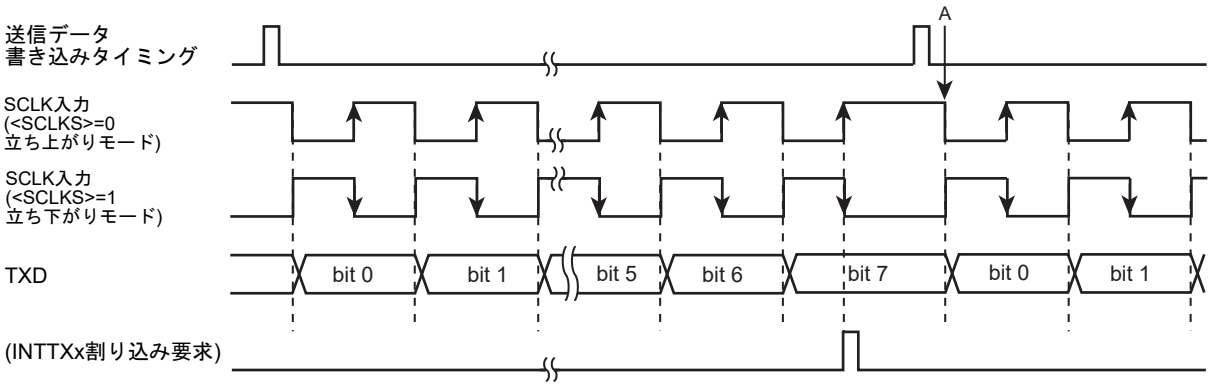
・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 12-13 に示す A 点までに書き込んでください。

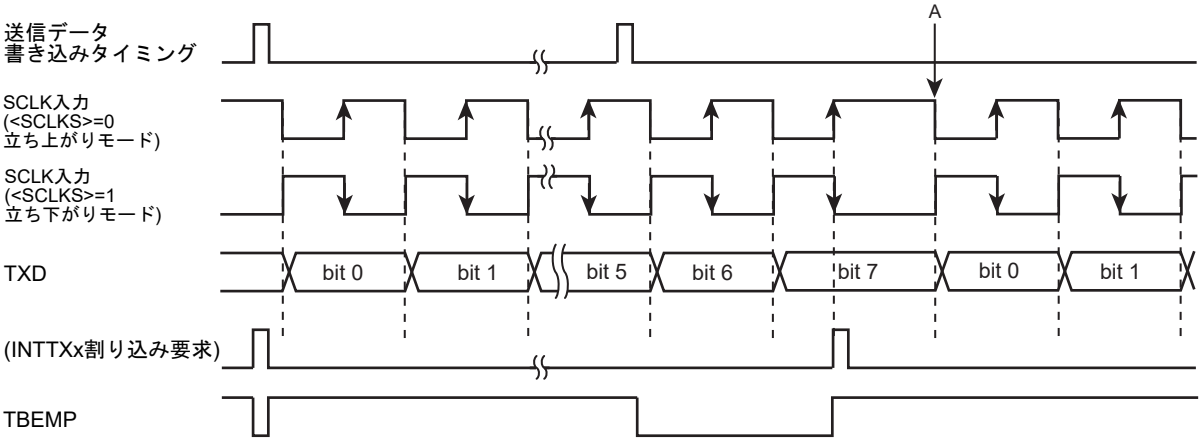
・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

SCLK が入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が"1"にセットされ、割り込み(INTTXx)が発生します。

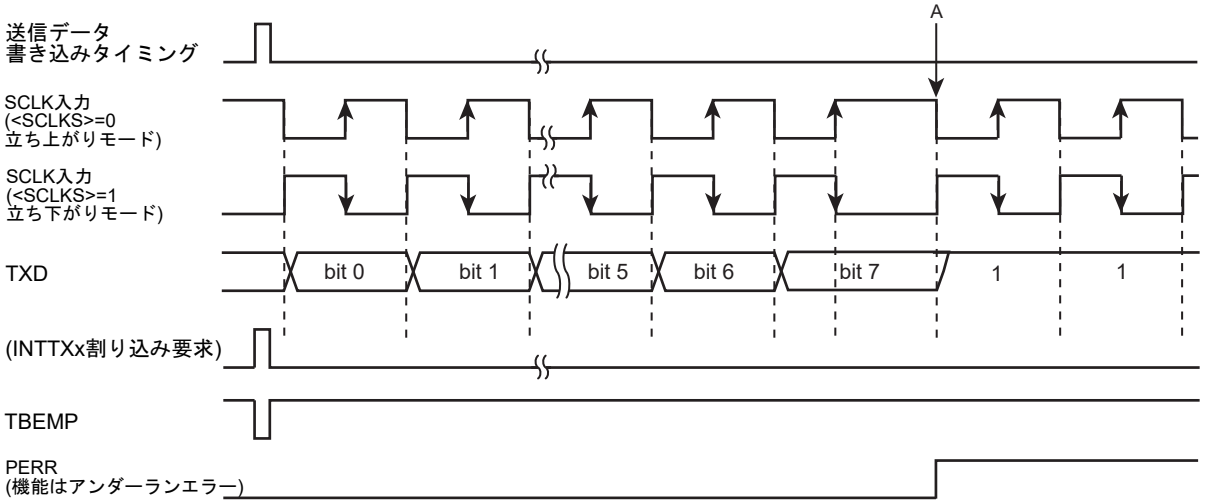
送信バッファにデータが書き込まれていない状態で、SCLK が入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 12-13 I/O インタフェースモード送信動作(SCLK 入力モード)

12.17.1.2 受信

(1) SCLK 出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることで SCLK 出力が開始されます。

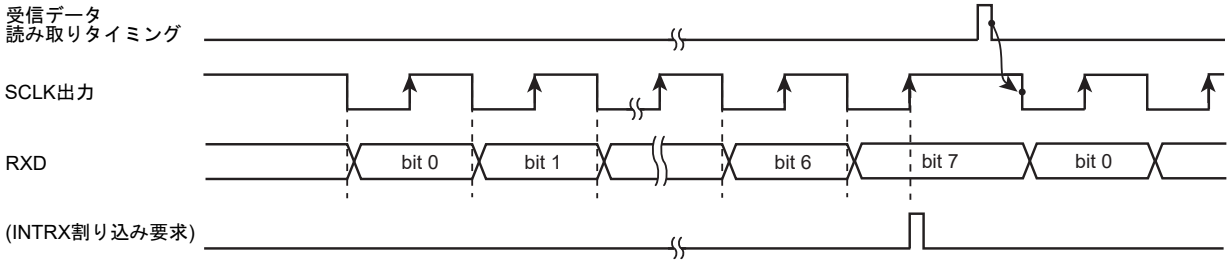
・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信データが読み出されるごとに、SCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

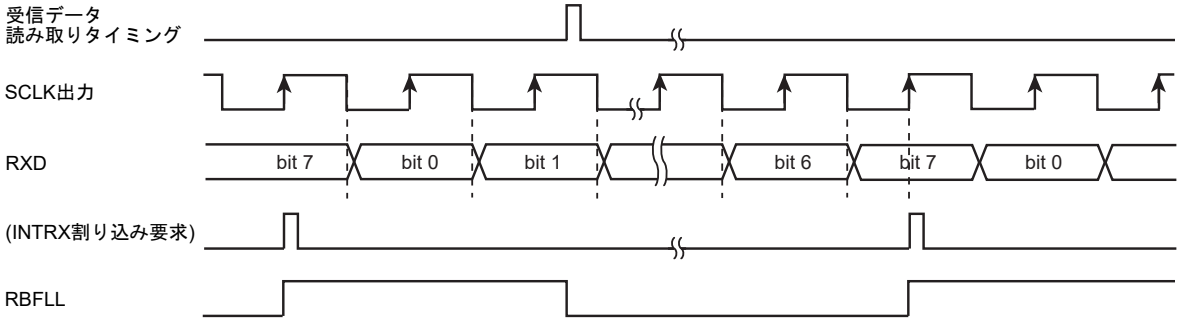
・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

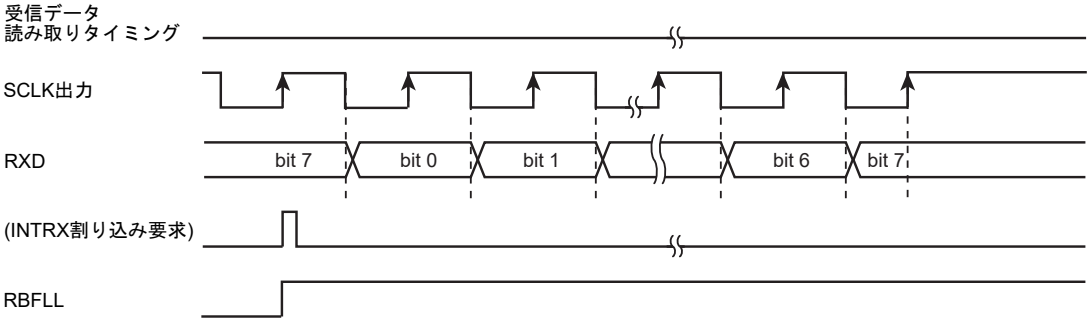
受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、SCLK 出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファのデータを読み出した場合)



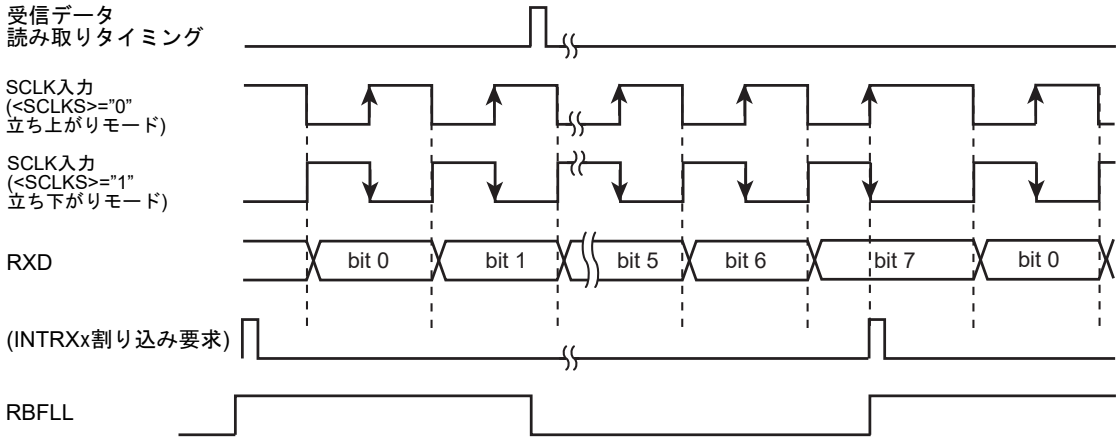
<WBUF> = "1" (ダブルバッファ許可)の場合(バッファのデータが読み出されない場合)

図 12-14 I/O インタフェースモード受信動作(SCLK 出力モード)

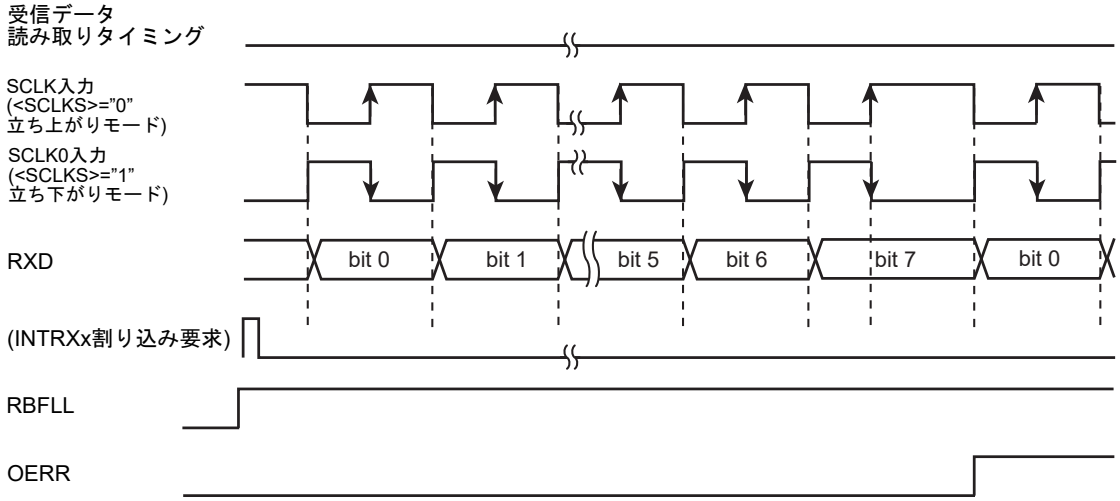
(2) SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 12-15 I/O インタフェースモード受信動作(SCLK 入力モード)

12.17.1.3　送受信(全二重)

(1)　SCLK 出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

SCLK の出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態で SCLK の出力は停止します。

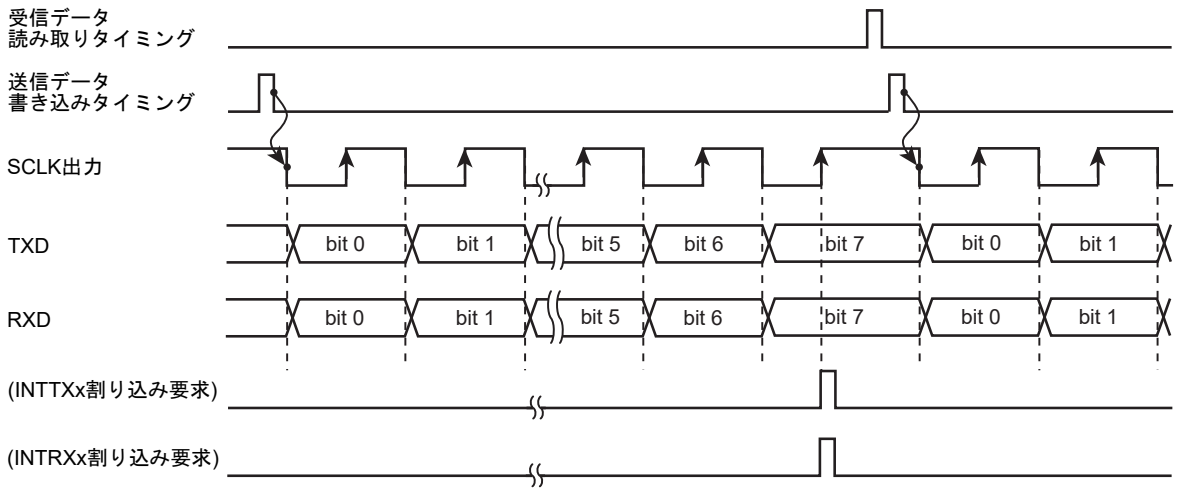
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

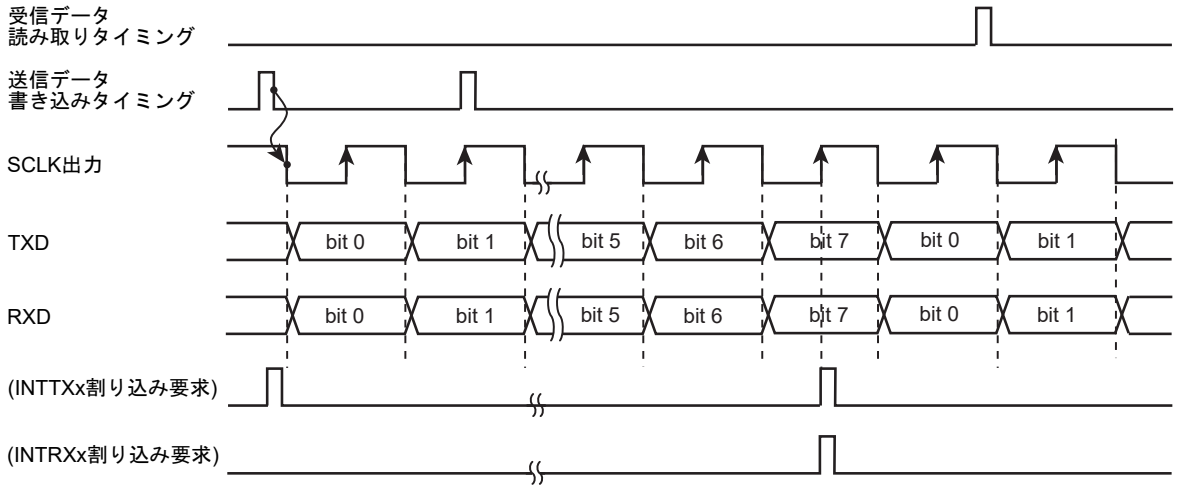
送信バッファにデータを書き込むと SCLK 出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

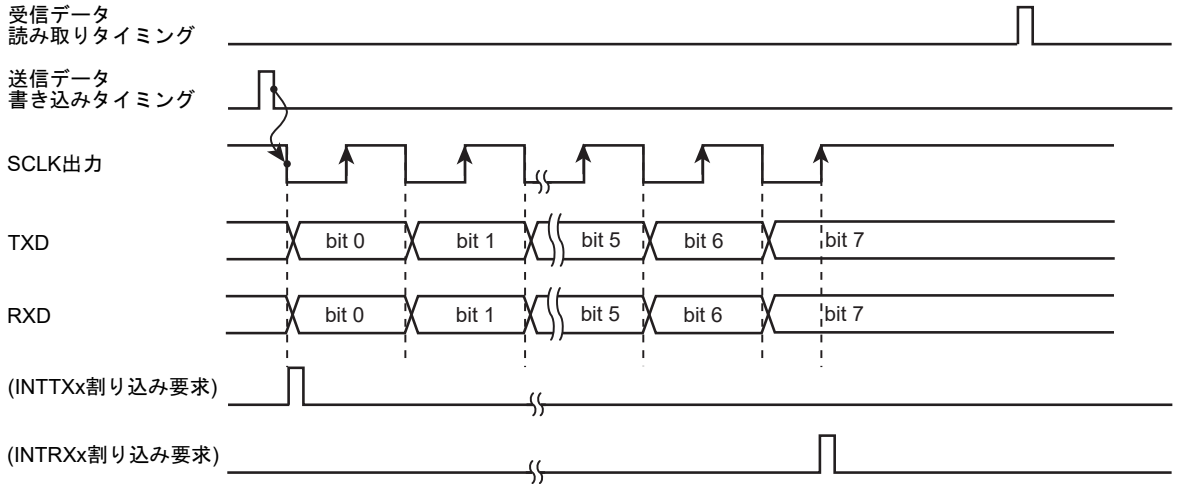
この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1"）場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合

図 12-16 I/O インタフェースモード送受信動作(SCLK 出力モード)

(2)　SCLK 入力モード

・　送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前にデータを送信バッファへ書き込むようにしてください。(図 12-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込むようにしてください。(図 12-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームの SCLK が入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダーランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。

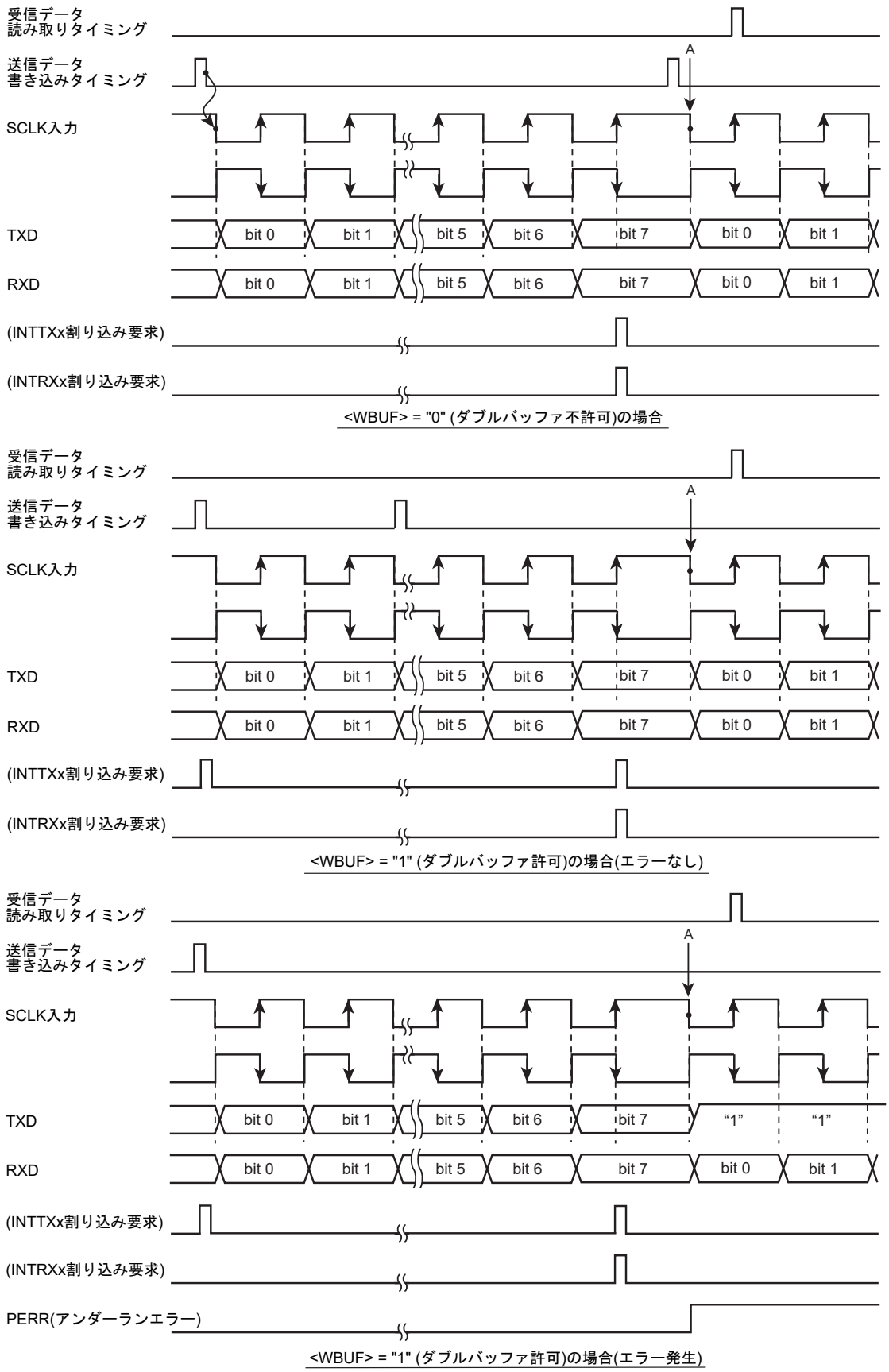


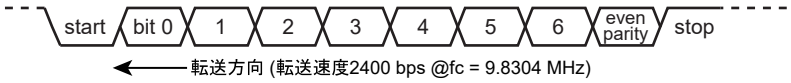
図 12-17 I/O インタフェースモード送受信動作(SCLK 入力モード)

12.17.2　7 ビット UART モード

シリアルモードコントロールレジスタ(SCxMOD0 <SM[1: 0]>)を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

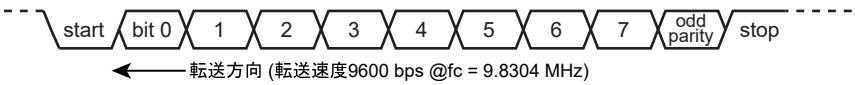
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don’t care - : no change

12.17.3　8 ビット UART モード

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don’t care - : no change

12.17.4 9 ビット UART モード

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込み、受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

12.17.4.1 ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの TXD 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

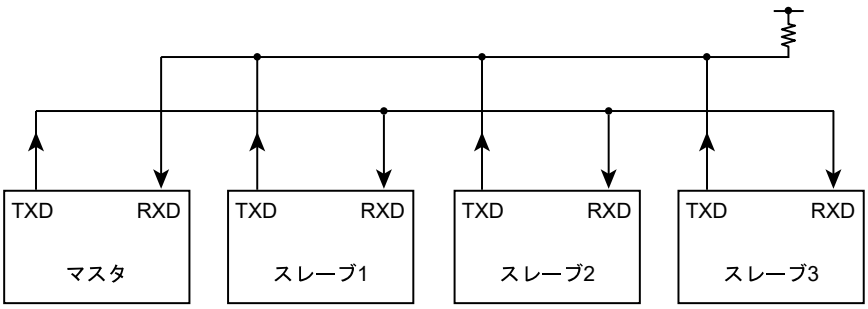


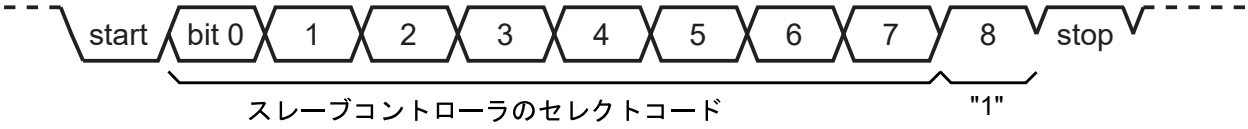
図 12-18 ウェイクアップ機能によるシリアルリンク

12.17.4.2　プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。

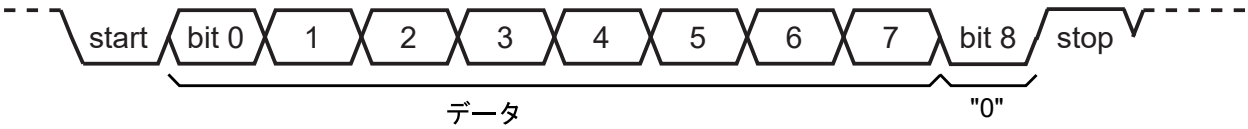
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。

3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。

5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 13 章　非同期シリアル通信回路 (UART)

13.1　概要

本デバイスは、Modem 制御機能を持った非同期シリアル通信チャネル(UART）を内蔵しています。

特徴は以下の通りです。

- 送信 FIFO
  8-bit 幅/ 32 段
- 受信 FIFO
  12-bit 幅/ 32 段
- 送信 /受信 データフォーマット
  - DATA 長: 5,6,7,8 bits 選択.
  - PARITY 付加: 有り /無し
  - STOP bit 長 : 1bit / 2 bits 選択
- FIFO 機能 ON/OFF
  - ON (FIFO モード)/
  - OFF(キャラクター モード)
- 割り込み機能
  - 複数要因の結合割り込みを割り込みコントローラへ出力
  - 各割り込み要因許可がプログラム可能
- ボーレートジェネレーター
  UART 内部のリファレンスクロック入力から、送信、受信用共通のクロックを生成。
  ボーレート最大 2.95Mbps@48MHz 時
- DMA 機能
- IrDA 1.0 機能
  - 最大データレート : 115.2 kbps (半二重).
  - 低消費モード有り
- 制御端子
  TXDx (IROUTx)
  RXDx (IRINx)
  $\overline{\text{CTSx}}$
  RINx
  $\overline{\text{RTSx}}$
  DCDx
  DSRx
  DTRx
- ハードウェアフロー制御
  RTS 対応
  CTS 対応

(1) UART 送信/受信時のデータフォーマット

送信/ 受信データフォーマット			
START	DATA (LSB → MSB)	PARITY	STOP

(2)受信 FIFO データフォーマット

	受信データ (LSB → MSB)								フレーミング エラー flag	Parity エラー flag	Break エラー flag	Overrun エラー flag
Bit 数	0	1	2	3	4	5	6	7				
8-bit 受信 data	1	1	1	1	1	1	1	1				
7-bit 受信 data	1	1	1	1	1	1	1	0				
6-bit 受信 data	1	1	1	1	1	1	0	0				
5-bit 受信 data	1	1	1	1	1	0	0	0				

13.2 構成

図 13-1 に UART ブロック図を示します。

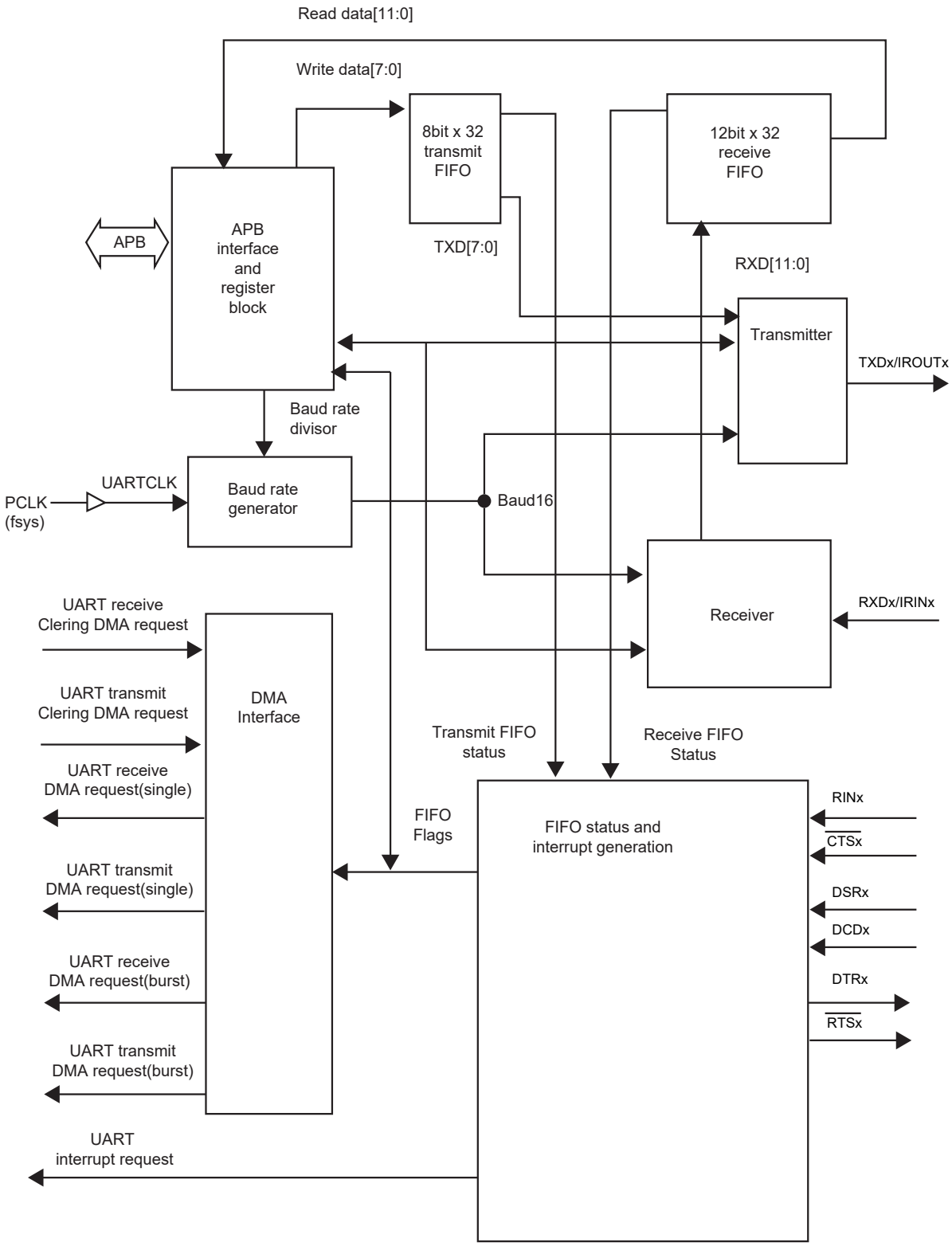


図 13-1 UART ブロック図

13.3　レジスタ詳細

13.3.1　レジスター覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel4	0x4004_8000
Channel5	0x4004_9000

レジスタ名 (x=4,5)		Address (Base+)
UART Data register	UARTxDR	0x0000
UART Receive status register	UARTxRSR	0x0004
UART Error clear register	UARTxECR	0x0004
Reserved	-	0x0008 ~ 0x0017
UART Flag register	UARTxFR	0x0018
Reserved	-	0x001C
UART IrDA low-power counter	UARTxILPR	0x0020
UART Integer baud rate register	UARTxIBDR	0x0024
UART Fractional baud rate register	UARTxFBDR	0x0028
UART Line control register	UARTxLCR_H	0x002C
UART Control register	UARTxCR	0x0030
UART Interrupt FIFO level select register	UARTxIFLS	0x0034
UART Interrupt mask set/clear register	UARTxIMSC	0x0038
UART Raw interrupt status register	UARTxRIS	0x003C
UART Masked interrupt status register	UARTxMIS	0x0040
UART Interrupt clear register	UARTxICR	0x0044
UART DMA control register	UARTxDMACR	0x0048
Reserved	-	0x004C ~ 0x0FFF

注)　制御レジスタを再設定するときは、UART を動作禁止にして下さい。UART を送信または受信の動作途中で動作禁止にすると、動作中の転送が完了しだい、停止状態となります。

13.3.2 UARTxDR (UART Data レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	–	R	Read as 0.
11	OE	R	オーバーランエラー データ受信時に FIFO が既に一杯の場合には、このビットに 1 がセットされます。 FIFO に空き空間が生じ、新しい文字を書き込めるようになると、このビットは 0 にクリアされます。
10	BE	R	ブレークエラー 入力が（スタートビット、データビット、パリティビット、ストップビットとして定義された）フルワード送信時間よりも長く LOW で保持されたことを示します。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。ブレークは 1 個の 0 文字が FIFO にロードされたときのみ発生します。 次の文字は、受信データ入力が 1（マーキング状態）になり、次の有効スタートビットが受信された後にイネーブルされます。
9	PE	R	パリティエラー このビットに 1 がセットされた場合は、受信されたデータ文字のパリティが UARTxLCR_H レジスタのビット 2 および 7 によって定義されたパリティと一致しないことを示しています。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。
8	FE	R	フレーミングエラー このビットに 1 がセットされた場合には、受信した文字に有効ストップビット(有効ストップビットは 1 ）が含まれなかったことを示しています。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。
7-0	DATA[7:0]	R/W	リード : 受信データ ライト: 送信データ

13.3.3　UARTxRSR (UART Receive status レジスタ)

UARTxRSR と UARTxECR レジスタは同じアドレスにマッピングされています。

これらのレジスタの機能は、リード時と書込み時の動作により異なります。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	–	R	Read as 0.
3	OE	R	オーバーランエラー データ受信時に FIFO が既に一杯の場合は、このビットに 1 がセットされます。 このビットは、UARTxECR への書き込みによって 0 にクリアされます FIFO が一杯の場合はデータがさらに書き込まれることがないため、FIFO の内容はそのまま有効であり、シフトレジスタの内容だけが上書きされます。この場合、CPU がデータを読み出して FIFO を空にする必要があります。
2	BE	R	ブレークエラー ブレーク条件が検出されるとこのビットが 1 にセットされ、受信データ入力が（スタートビット、データビット、パリティビット、ストップビットをして定義された）フルワード送信時間よりも長く LOW で保持されたことを示します。 このビットは、UARTxECR への書き込み後に 0 にクリアされます。 FIFO モードでは、このエラーは FIFO の最上位文字により発生します。ブレーク 1 個の 0 文字が FIFO にロードされたときのみ発生します。次の文字は、受信データ入力が、 1 になり、次の有効スタートビットが受信された後にイネーブルされます。
1	PE	R	パリティーエラー このビットが 1 にセットされた場合は、受信されたデータ文字のパリティが UARTxLCR_H レジスタのビット 2 および 7 によって定義されたパリティと一致しないことを示します。 このビットは、UARTxECR への書き込みによって 0 にクリアされます。FIFO モードでは、このエラーは FIFO の最上位文字により発生します。
0	FE	R	フレーミングエラー このビットに 1 がセットされた場合は、受信した文字に有効ストップビットが含まれていないことを示しています。(有効ストップビットは 1 ） このビットは、UARTxECR への書き込みによって 0 にクリアされます。　FIFO モードでは、このエラーは FIFO の最上位文字により発生します。

13.3.4 UARTxECR (UART Error clear レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	–	R	Read as 0.
3	OE	W	UARTxECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバーランの各エラーがクリアされます。データ値には関係なくクリアを実行します。 このレジスタのアドレスは、UARTxSR レジスタと同じです。.
2	BE	W	
1	PE	W	
0	FE	W	

注 1) UARTxSR/UARTxECR レジスタは、受信ステータス/エラークリアレジスタです。　受信ステータスは、UARTxSR から読み出すこともできます。ステータスが、このレジスタから読み出される場合、ブレーク、フレーミング、ならびにパリティに関するステータス情報は、UARTxRSR の読み出し前に UARTxDR から読み出されたデータ文字に対応します。オーバーランに関するステータス情報は、オーバーラン条件が発生するとすぐにセットされます。UARTxECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバーランの各エラーがクリアされます。リセット時には、全てのビットが 0 にクリアされます。

注 2) 受信データ文字は、UARTxRSR からそのデータ文字に対応するエラーステータスを読み出す前に、UARTxDR から読み出す必要があります。ステータスレジスタ UARTxRSR は、データレジスタ UARTxDR からの読み出しが発生した場合ににみ更新されるため、この読み出しシーケンスを逆にすることはできません。しかし、ステータス情報は、UARTxDR レジスタの読み出しによっても取得することができます。

13.3.5　UARTxFR (UART Flag レジスタ)

<TXFE>, <RXFF>, <TXFF>, <RXFE> のビットは、UARTxLCR_H レジスタの <FEN>ビットの状態に依存します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	RI
After reset	0	0	0	0	0	0	0	不定
	7	6	5	4	3	2	1	0
bit symbol	TXFE	RXFF	TXFF	RXFE	BUSY	DCD	DSR	CTS
After reset	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	Function
31-9	–	R	Read as undefined.
8	RI	R	Link indicator 0: Modem Status が"High". 1: Modem Status が"Low".
7	TXFE	R	UARTxLCR_H<FEN>="1" の時 0: 送信 FIFO が empty でない 1: 送信 FIFO が empty
			UARTxLCR_H<FEN>="0" の時 0: 送信保持レジスタが empty でない 1: 送信保持レジスタが empty
6	RXFF	R	UARTxLCR_H<FEN>="1" の時 0: 受信 FIFO が full でない 1: 受信 FIFO が fulll
			UARTxLCR_H<FEN>="0" の時 0: 受信保持レジスタが full でない 1: 受信保持レジスタが full
5	TXFF	R	UARTxLCR_H<FEN>="1" の時 0: 送信 FIFO が full でない 1: 送信 FIFO が full
			UARTxLCR_H<FEN>="0" の時 0: 送信保持レジスタが full でない 1: 送信保持レジスタが full
4	RXFE	R	UARTxLCR_H<FEN>="1" の時 0: 受信 FIFO が empty でない 1: 受信 FIFO が empty
			UARTxLCH<FEN>="0" の時 0: 受信保持レジスタが empty でない 1: 受信保持レジスタが empty
3	BUSY	R	UART busy 0: UART 送信が停止している 1: UART 送信している

Bit	Bit Symbol	Type	Function
2	DCD	R	Data carrier detect 0: DCDx 端子が"High" 1: DCDx 端子が"Low""
1	DSR	R	Data set ready 0: DSRx 端子が"High" 1: DSRx 端子が"Low"
0	CTS	R	Clear to send 0: $\overline{\text{CTSx}}$ 端子が"High" 1: $\overline{\text{CTSx}}$ 端子が"Low" $\overline{\text{CTSx}}$ 端子の反転状態を読み出すことができます。

1. 送信 FIFO

送信 FIFO は、8-bit 幅、32 段の FIFO メモリバッファです。 APB インターフェース経由で書き込まれた CPU データは、送信ロジックによって読みだされるまで、この FIFO にストアされます。送信 FIFO はディセーブルすることによって、 1 バイト保持レジスタのように動作させせることができます。

2. 受信 FIFO

受信 FIFO は、12-bit 幅、 32 段の FIFO メモリバッファです。 受信データと対応するエラービットは、APB インタフェース経由で CPU によって読みだされるまで、受信ロジックによって受信 FIFO にストアされます。受信 FIFO は、ディセーブルすることによって 1 バイト保持レジスタのように動作させせることができます。

13.3.6　UARTxILPR(UART IrDA 低電力カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ILPDVSR							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	Read as 0.
7-0	ILPDVSR[7:0]	R/W	IrDA 低電力除数 (<ILPDVSR>) = ($f_{UARTCLK}$ / $f_{IrLPBaud16}$) · UARTxILPR レジスタは、IrDA 低電力カウンタレジスタです。この 8 ビット読み出し/書き込みレジスタは、 UARTCLK の除算による、IrLPBaud16 シグナル生成に用いられる低電力カウンタ除数値をストアします。リセット時には、全てのビットが 0 にクリアされます。

注 1)　UARTxCR<SIRLP> を 1 にセットする前に、セットして下さい。

注 2)　0x0000 を設定することができません。0x0000 をプログラムすると、IrLPBaud16 パルスは生成させません

13.3.7 UARTxIBDR (UART 整数ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BAUDDIVINT							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BAUDDIVINT							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-0	BAUDDIVINT [15:0]	R/W	整数ボーレート除数。 (0x0002 ~ 0xFFFF) ボーレート除数値の整数部です。

注 1) UARTxIBDR のアップデータは、 UARTxLCR_H が書き込み実行された時に行われます。 詳細については、UARTxLCR_H の内容を参照して下さい。

注 2) UARTxCR<UARTEN> を 1 にする前に設定して下さい。

注 3) 0x0000、 0x0001を設定することはできません。

注 4) ボーレート除数の値は、送信側と受信側とのボーレートのずれ（総合誤差）によって設定値のワーストケース(データ8bit+Parity/データ9bitの場合)が下表のようになります。

総合誤差	BAUDDIVINT(下限値)
2.0%以下	0x0002
2.8%以下	0x0003
3.3%以下	0x0004

13.3.8　UARTxFBDR(UART 小数ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	BAUDDIVFRAC					
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-6		R	Read as 0.
5 -0	BAUD DIVFRAC [5:0]	R/W	ボーレート除数の小数部を設置します。 0x01 ~ 0x3F ボーレート除数は以下のように求めることができます。 ボーレート除数　BAUDDIV = ($f_{UARTCLK}$)/ (16 × baud rate) $f_{UARTCLK}$ は、UART クロックの周波数です。 BAUDDIV は整数値 (BAUDDIVINT)と小数値 (BAUDDIVFRAC)から構成されます

注 1)　UARTxFBDR のアップデータは、 UARTxLCR_H が書き込み実行された時に行われます。 詳細については、UARTxLCR_H の内容を参照して下さい。

注 2)　UARTxCR<UARTEN> を 1 にする前に設定して下さい。

注 3)　ボーレート除数に設定できる最小値は 1 です。最大値は 65535 です。そのためボーレート除数の整数部に 0 を設定することはできません。また、ボーレート除数の整数部に 65535 を設定したときには、小数部を 0 にしてください。

例: ボーレート除数値の計算

要求されるボーレートが、 230400 で $f_{UARTCLK}$ = 4 MHz の場合:

ボーレート除数 = $(4 \times 10^6)/ (16 \times 230400) = 1.085$

したがって, BRDI = 1 、 BRDF = 0.085

上記から、小数部　$((0.085 \times 64) + 0.5) = 5.94$.

となり、整数値は、 m=0x5

生成されるボーレート除数　= 1 + 5/64 = 1.078

生成されるボーレート = $(4 \times 10^6)/ (16 \times 1.078) = 231911$

誤差 = $(231911 - 230400)/ 230400 \times 100 = 0.656$ %

6-ビット UARTxFBDR レジスタを使用した時の最大誤差は、 = $1/64 \times 100 = 1.56$ %

この誤差は、 m = 1 の時に発生し、64 クロック間の累積誤差です。

13.3.9 UARTxLCR_H (UART ライン制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPS	WLEN		FEN	STP2	EPS	PEN	BRK
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	Read as 0.
7	SPS	RW	スティックパリティ選択 : UARTxLCR_H レジスタのビット<SPS><EPS><PEN> がセットされている場合は、パリティビットが送信され、0 としてチェックされます。ビット 1 と 7 がセットされ、ビット 2 が 0 の場合には、パリティビットが送信され、 1 としてチェックされます。このビットがクリアされると、スティックパリティビットがディゼーブルされます。<SPS>、<EPS>ならびに<PEN>ビットの真理値表については、表 13-1 を参照して下さい。
6-5	WLEN[1:0]	RW	ワード長 : 00: 5bit 01: 6bit 10: 7bit 11: 8bit これらのビットは、フレームで送信または受信されたデータビットの数を示します。
4	FEN	RW	イネーブル FIFO : 0 : 文字モード 1: FIFO モード このビットに 1 がセットされると、送信および受信 FIFO バッファがイネーブルされます (FIFO モード). このビットが 0 にクリアされると、これらの FIFO はデイゼーブルされ (文字モード) 1 バイトの保持レジスタになります。
3	STP2	RW	ストップビット選択 : 0: 1bit 1: 2 bit このビットが 1 にセットされると、フレームの終わりで 2 つのストップビットが送信されます。受信ロジックは、受信中の 2 つのストップビットをチェックしません。
2	EPS	RW	偶数パリティ選択 : 0: Odd 1: Even このビットに 1 がセットされると、送信中または受信中に偶数パリティの生成とチェックが実行されます。このチェックでは、データビットとパリティビットに含まれる 1 の数が偶数個かどうかがチェックされます。このビットが 0 にクリアされると、 1 の数が奇数個かどうかをチェックする奇数パリティチェックが実行されます。パリティイネーブル(ビット 1) が 0 にクリアされることによってパリティがディゼーブルされている場合には、このビットの作用はありません。<SPS>、<EPS>ならびに<PEN>ビットの真理表については、表 13-1 を参照して下さい 。
1	PEN	RW	パリティイネーブル: 0:Disable 1: Enable このビットに 1 がセットされている場合は、パリティのチェックおよび生成がイネーブルされ、それ以外のの場合には、パリティがディゼーブルされ、データフレームにパリティビットが追加されません。<SPS>、<EPS>ならびに<PEN>ビットの真理表については、 表 13-1 を参照して下さい。
0	BRK	RW	送信ブレーク : 0: ブレーク送信しない 1: ブレーク送信する このビットに 1 がセットされている場合には、現在の文字の送信完了後に、TXDx 出力に LOW レベルが出力され続けます。ブレーク条件を生成するためには、少なくとも 1 フレームの送信時間はこのビットをアサートする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。 通常操作の場合には、このビットを 0 にクリアする必要があります。

注)　UARTxIBDR または UARTxFBDR の内容を更新するには、 UARTxLCR_H の書き込みを常に最後に実行する必要があります。

表 13-1 は、UARTxLCR_H レジスタの <SPS>, <EPS> ならびに <PEN> ビットの真理値表を示しています。

表 13-1 真理値表 UARTxLCR_H <SPS>, <EPS>, <PEN>

パリティ イネーブル<PEN>	偶数パリティ選択 <EPS>	スティックパリティ選択<SPS>	パリティ選択(送信またはチェック)
0	×	×	送信およびチェックなし
1	1	0	偶数パリティ
1	0	0	奇数パリティ
1	0	1	1
1	1	1	0

13.3.10　UARTxCR (UART 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CTSEN	RTSEN	-	-	RTS	DTR	RXE	TXE
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SIRLP	SIREN	UARTEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	CTSEN	RW	CTS ハードウェアフロー制御イネーブル : 0:Disable 1: Enable このビットが 1 にセットされると , CTS ハードウェアフロー制御がイネーブルされます。データは $\overline{\text{CTS}}$ 信号がアサートされて初めて制御されます。
14	RTSEN	RW	RTS ハードウェアフロー制御イネーブル : 0: Disable 1: Enable このビットが 1 にセットされると、 RTS ハードウェアフロー制御がイネーブルされます。データは、受信 FIFO にそのデータを受信する空間がある場合にのみ要求されます。
13-12	-	R	Read as undefined.
11	RTS	RW	送信要求(RTS) : 0: モデムステータス出力を 1 にします 1: モデムステータス出力を 0 にします このビットは送信要求(RTS）出力の補数です。このビットに 1 がセットされていると、出力は 0 になります。
10	DTR	RW	データ送信準備完了 (DTS) : 0: Modem status output is 1 1: Modem status output is 0 . このビットはデータ送信準備完了(DTS）出力の補数です。このビットに 1 がセットされていると、出力は 0 になります.
9	RXE	RW	受信イネーブル : 0: Disable 1: Enable このビットが 1 にセットされると、受信セクションがイネーブルされます。データ受信は、SIR イネーブルに基づいて、UART 信号または SIR 信号のどちらかで発生します。受信の途中で、UART がディゼーブルされると、現在の文字の受信終了後に停止します。
8	TXE	RW	送信イネーブル : 0: Dsiable 1: Enable このビットが 1 にセットされると、送信セクションがイネーブルされます。データ送信は、SIR イネーブルに基づいて、UART 信号または SIR 信号のどちらかで発生します。送信の途中で、UART がディゼーブルされると、現在の文字の送信終了後に停止します.
7	-	RW	Write as zero.
6-3	-	R	Read as undefined.

Bit	Bit Symbol	Type	Function
2	SIRLP	RW	IrDA　SIR 低電力モード : 0 : ノーマルモード 1:低電力モード このビットが 0 にクリアされると、下位ビットがビット周期の 3/16 の幅を持つ HIGH アクティブパルスとして送信されます。このビットに 1 がセットされると、選択されたビットレートに関係なく、下位ビットは、IrLPBaud16 入力シグナル周期の 3 倍のパルス幅を使用して送信されます。このビットをセットすると消費電力を軽減できますが、送信距離が短くなる可能性があります。
1	SIREN	RW	SIR イネーブル : 0 : Disable 1: Enable このビットが 1 にセットされると、IrDA 回路が許可されます。ビット 0 に 1 がセットされることによって UART がディセーブルされている場合には、このビットの効果はありません。 IrDA　SIR　ENDEC がイネーブルされている場合、データは IROUT および IRIN で送信または受信されます。TXD はマーキング状態で保持されます。TRXD またはモデムステータス入力におけるシグナル遷移は無効です。 IrDA　SIR　ENDEC がディセーブルされると、IROUT は 0 にクリアされたまま保持され(光パルスが生成されない)、IRIN におけるシグナル遷移が無効となります。
0	UARTEN	R/W	UART イネーブル : 0 : Disable 1: Enable このビットに 1 がセットされると、UART が許可されます。データの送信および受信は、<SIREN>に基づいて、UART 信号または SIR 信号のどちらかで発生します。UART は送信または受信の途中でディセーブルされると、現在の文字の伝送終了後に停止します。

13.3.11　UARTxIFLS (UART 割り込み FIFO レベル選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	RXIFLSEL			TXIFLSEL		
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-6	–	R	Read as undefined .
5-3	RXIFLSEL[2:0]	RW	受信割り込み FIFO レベル選択 : 000: 受信 FIFO ≥ 1/8 フル 001: 受信 FIFO ≥ 1/4 フル 010: 受信 FIFO ≥ 1/2 フル 011:受信 FIFO ≥ 3/4 フル 100: 受信 FIFO ≥ 7/8 フル 上記以外: Reserved 受信FIFO の割り込みFIFO レベルの選択を行います。割り込みは、FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。例えば、FIFO レベルに1/8 フル(4 バイト)が設定されていた場合、4 バイト目のデータが受信FIFO に格納されたとき(STOP ビット受信後)に割り込みが発生します。 UARTxDRの読み出しによりFIFOレベルが設定より小さくなると割り込みは自動的にクリアされます。FIFOが禁止で1バイト保持レジスタとして機能している場合、データが積まれると割り込みが発生し、データを読み出すと自動的にクリアされます。
2-0	TXIFSEL[2:0]	RW	送信割り込み FIFO レベル選択: 000: 送信 FIFO ≤ 1/8 フル 001: 送信 FIFO ≤ 1/4 フル 010: 送信 FIFO ≤ 1/2 フル 011: 送信 FIFO ≤ 3/4 フル 100: 送信 FIFO ≤ 7/8 フル 上記以外: Reserved 送信FIFO の割り込みFIFO レベルの選択を行います。割り込みは、FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。例えば、FIFO レベルに1/8 フル(4 バイト)が設定されていた場合、5 バイト目のデータが送信FIFO から読み出され(STOP ビット送信開始時)、FIFO 内のデータが4 バイトとなったときに割り込みが発生します。 UARTxDRへの書き込みによりFIFOレベルが設定より大きくなると割り込みは自動的にクリアされます。FIFOが禁止で1バイト保持レジスタとして機能している場合、送信ロジックからデータが読み出されると割り込みが発生し、データを書き込むと自動的にクリアされます。

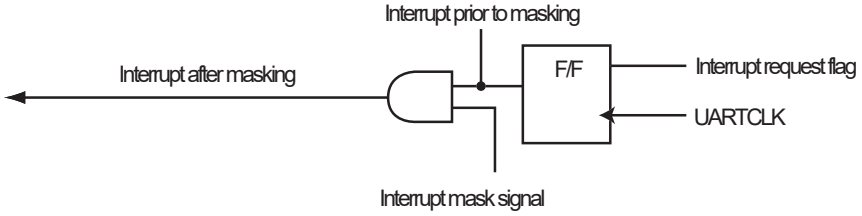
13.3.12 UARTxIMSC (UART 割り込み禁止/許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIM	BEIM	PEIM
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIM	RTIM	TXIM	RXIM	DSRMIM	DCDMIM	CTSMIM	RIMIM
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	–	R	Read as undefined.
10	OEIM	RW	オーバーランエラー割り込みマスク： 0: 禁止 1: 許可
9	BEIM	RW	ブレークエラー割り込みマスク： 0: 禁止 1: 許可
8	PEIM	RW	パリティーエラー割り込みマスク： 0: 禁止 1: 許可
7	FEIM	RW	フレーミングエラー割り込みマスク： 0: 禁止 1: 許可
6	RTIM	RW	受信タイムアウト割り込みマスク： 0: 禁止 1: 許可
5	TXIM	RW	送信割り込みマスク： 0: 禁止 1: 許可
4	RXIM	RW	受信割り込みマスク： 0: 禁止 1: 許可
3	DSRMIM	RW	DSR モデム割り込みマスク： 0: 禁止 1: 許可
2	DCDMIM	RW	DCD モデム割り込みマスク： 0: 禁止 1: 許可
1	CTSMIM	RW	CTS モデム割り込みマスク： 0: 禁止 1: 許可
0	RIMIM	RW	RIN モデム割り込みマスク： 0: 禁止 1: 許可

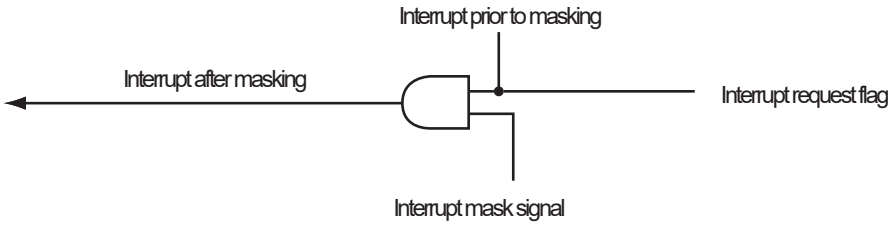
・UART 割り込み発生回路.

1. ブレークエラー(<BE>),パリティエラー(<PE>)、フレーミングエラー(<FE>) フラグの発生回路



・割り込み要求フラグはリアルタイムに変化し、F/F に連動します。各フラグは、対応する割り込みクリアレジスタが書かれた場合にクリアされます。

2. オーバーランエラー(<OE>)フラグの発生回路.



・オーバーランエラー(OE）により割り込み要求フラグ状態は、リアルタイムに変化し、状態は保持されない。 OE フラグは、受信 FIFO をリードするとクリアされます。

13.3.13 UARTxRIS (UART 源割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OERIS	BERIS	PERIS
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FERIS	RTRIS	TXRIS	RXRIS	DSRRMIS	DCDRMIS	CTSRMIS	RIRMIS
After reset	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-11	–	R	Read as undefined.
10	OERIS	R	オーバーランエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求.
9	BERIS	R	ブレークエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
8	PERIS	R	パリティエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
7	FERIS	R	フレーミングエラー割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
6	RTRIS	R	受信タイムアウト割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
5	TXRIS	R	送信割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
4	RXRIS	R	受信割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
3	DSRRMIS	R	DSR モデム割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
2	DCDRMIS	R	DCD モデム割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
1	CTSRMIS	R	CTS モデム割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求
0	RIRMIS	R	RIN モデム割り込みステータス： 0: 割り込み要求なし 1: 割り込み要求

注) モデムの状態の割り込みビット(3 ~ 0)を除き、全てのビットは、リセット時 0 にクリアされます。なおモデムの状態は定義されません。

13.3.14　UARTxMIS (UART マスク割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEMIS	BEMIS	PEMIS
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEMIS	RTMIS	TXMIS	RXMIS	DSRMMIS	DCDMMIS	CTSMMIS	RIMMIS
After reset	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-11	–	R	Read as undefined.
10	OEMIS	R	オーバーランエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
9	BEMIS	R	ブレークエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
8	PEMIS	R	パリティエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
7	FEMIS	R	フレーミングエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
6	RTMIS	R	受信タイムアウトマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
5	TXMIS	R	送信マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
4	RXMIS	R	受信マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
3	DSRMMIS	R	DSR モデム　マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
2	DCDMMIS	R	DCD モデム　マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
1	CTSMMIS	R	CTS モデムマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
0	RIMMIS	R	RIN モデムマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求

注)　モデムステータスの割り込みビット(3~0）を除き、全てのビットは、リセット時 0 にクリアされます。なおモデムステータス割り込みビットの状態は定義されません。.

13.3.15 UARTxICR (UART 割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIC	BEIC	PEIC
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIC	RTIC	TXIC	RXIC	DSRMIC	DCDMIC	CTSMIC	RIMIC
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	–	W	Write 0.
10	OEIC	W	オーバーランエラー割り込みクリア : 0: 無効 1: クリア
9	BEIC	W	ブレークエラー割り込みクリア : 0: 無効 1: クリア
8	PEIC	W	パリティエラー割り込みクリア : 0: 無効 1: クリア
7	FEIC	W	フレーミングエラー割り込みクリア : 0: 無効 1: クリア
6	RTIC	W	受信タイムアウト割り込みクリア : 0: 無効 1: クリア
5	TXIC	W	送信割り込みクリア : 0: 無効 1: クリア
4	RXIC	W	受信割り込みクリア : 0: 無効 1: クリア
3	DSRMIC	W	DSR モデム割り込みクリア : 0: 無効 1: クリア
2	DCDMIC	W	DCD モデム割り込みクリア : 0: 無効 1: クリア
1	CTSMIC	W	CTS モデム割り込みクリア : 0: 無効 1: クリア
0	RIMIC	W	RIN モデム割り込みクリア : 0: 無効 1: クリア

注) UARTxICR レジスタは、書き込みオンリーの割り込みクリアレジスタです。 このレジスタのビットが 1 にセットされると、対応する割り込みがクリアされます。0 の書き込みは無効です。

13.3.16　UARTxDMACR (UART DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DMAONERR	TXDMAE	RXDMAE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-3	–	R	Read as undefined.
2	DMAONERR	RW	DMA オンエラー : 0: エラー時非制御 1: エラー時制御 このビットが 1 にセットされると、UART エラー割り込みがアサートされた時に、DMA 受信要求出力, UARTxRXDMASREQ (UART recieve DMA request (single))または UARTxRXDMABREQ (UART receive DMA request (burst))がディセーブルされます。
1	TXDMAE	RW	送信 DMA イネーブル : 0: 禁止 1:許可
0	RXDMAE	RW	受信 DMA イネーブル : 0: 禁止 1: 許可

注 1)　例えば、19 文字を受信する必要がある時に、ウォーターマークレベルが 4 になるようにプログラムされている場合には、DMA コントローラは 4 文字のバーストを 4 回転送し、3 回のシングル転送を行ってストリームを完了させます。

注 2)　DMAC を用いた送信/受信 FIFO のデータ送信の場合、バス幅は、8bit へする必要があります。

13.4 動作説明

13.4.1 ボーレートジェネレータ

ボーレートジェネレータは、UART 送信/ 受信制御のタイミングを生成する内部クロック(Baud16)と、低電力モード時に IrDA エンコード送信ビットストリームのパルス幅を生成する内部クロック(IrLPBaud16)で構成されています。

13.4.2 送信 FIFO

送信 FIFO は、8 ビットの幅と 32 段の深さを持つ FIFO メモリバッファです。APB インタフェース経由で書き込まれた CPU データは、送信ロジックによって読み出されるまで、この FIFO にストアされます。送信 FIFO はディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。

13.4.3 受信 FIFO

受信 FIFO は、12 ビットの幅と 32 段の深さを持つ FIFO メモリバッファです。受信データと対応するエラービットは、APB インタフェース経由で CPU によって読み出されるまで、受信ロジックによって受信 FIFO にストアされます。受信 FIFO はディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。

13.4.4 送信ロジック

送信ロジックは送信 FIFO から読み出されたデータのパラレル/ シリアル変換を行います。制御ロジックは、制御レジスタに設定された設定に従い、スタートビット、LSB から始まるデータ、パリティビット、ストップビットから構成される信号を出力します。

13.4.5 受信ロジック

受信ロジックは、スタートビット検出後に受信されたビットストリームのシリアル/パラレル変換を行います。オーバラン、パリティ、フレームの各エラーチェックとラインブレークの検出も行われ、オーバラン、パリティ、フレーミング、ブレークのエラービットに関連するデータが受信 FIFO に書き込まれます。

13.4.6 割り込み生成ロジック

UART は、割り込み要因別にマスク可能な結合割り込みを出力します

13.4.7　割り込み発生タイミング

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

注)　STOP ビットは最終 STOP ビットのことを意味します。(UARTxLCR_H<STP2>で STOP ビット選択 1/2 ビット可能).

13.4.8　UART 割り込みブロック図

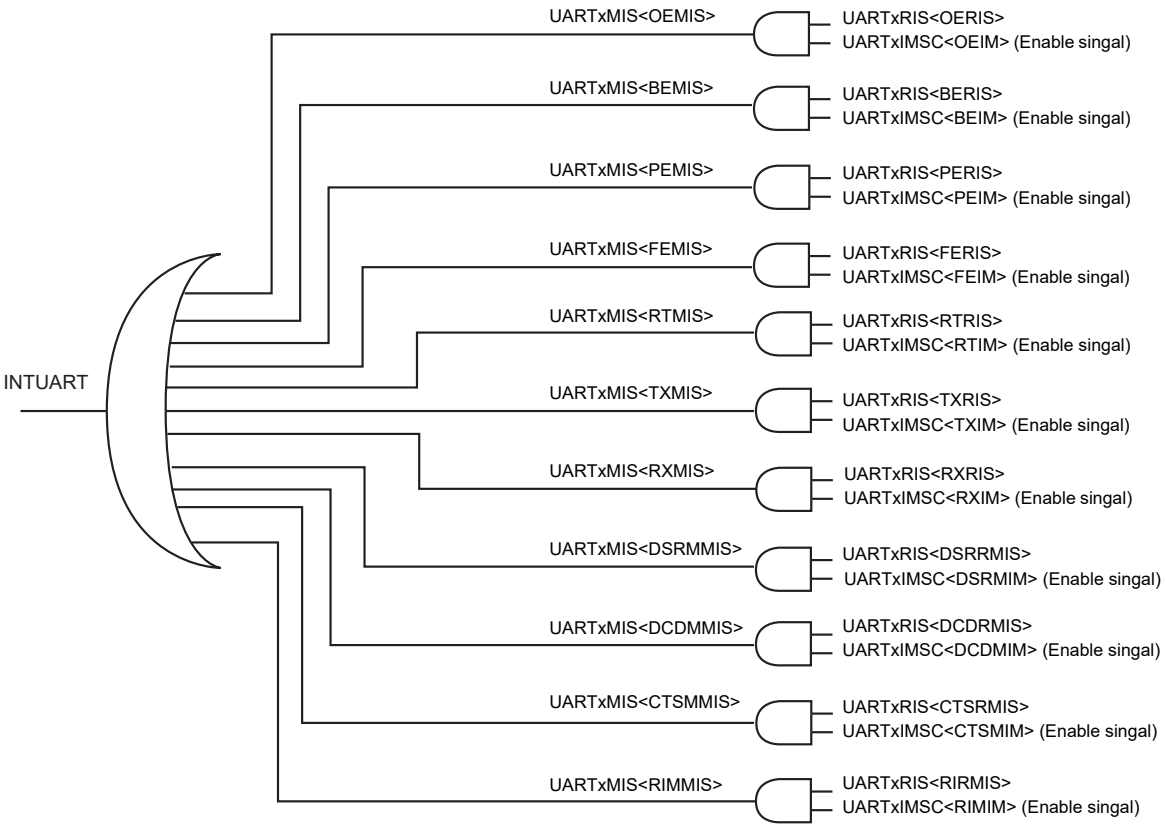


図 13-2 UART 割り込みブロック

13.4.9　DMA インタフェース

UART は、 DMA をサポートしています。

13.4.10 IrDA 回路解説

IrDA は以下から構成されています。:

・ IrDA SIR 送信エンコーダ

・ IrDA SIR 受信デコーダ

注) 送信エンコーダの出力 (IROUT)は、受信デコーダの入力 (IRIN)と逆の極性を持ちます。. 図 13-4 を参照して下さい

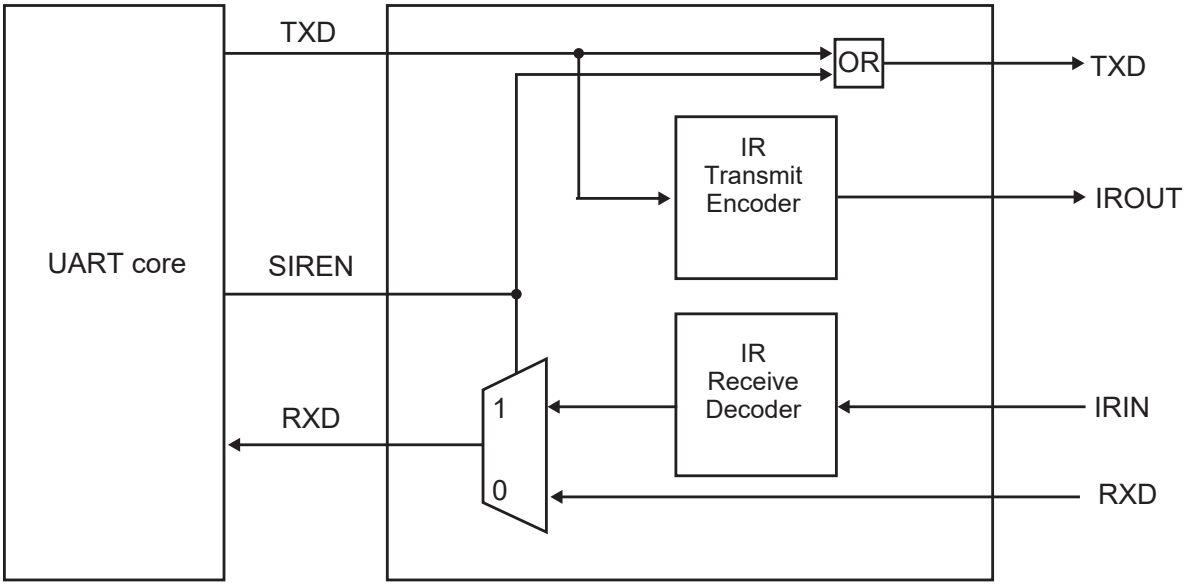


図 13-3 IrDA 回路のブロックダイヤグラム

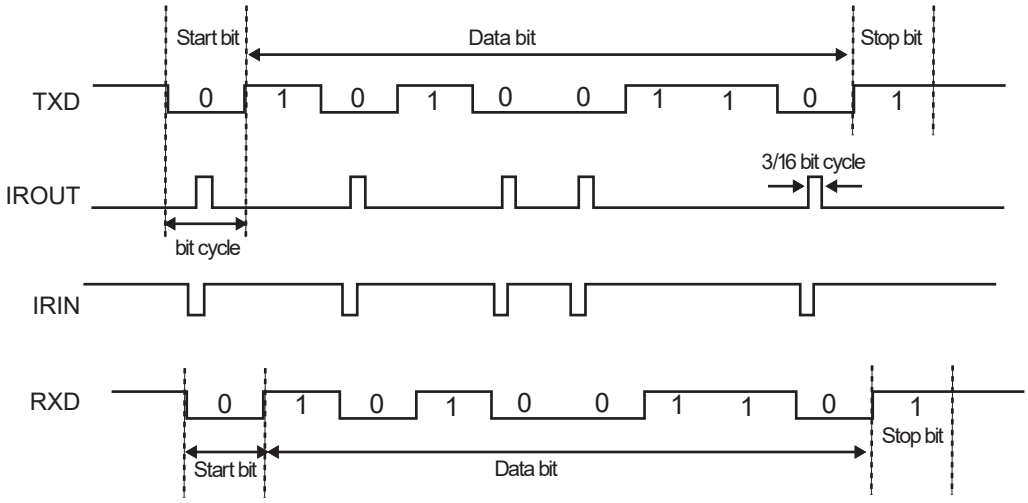


図 13-4 IrDA データ変調の波形

13.4.11 ハードウエアフロー制御

ハードウェアフロー制御機能は選択可能であり、$\overline{\text{RTSx}}$ 出力シグナルと $\overline{\text{CTSx}}$ 入力シグナルを用いてシリアルデータフローを制御することができます。

図 13-5 は、２つのデバイスがハードウェアフロー制御を用いてどのように通信するかを示していいます。

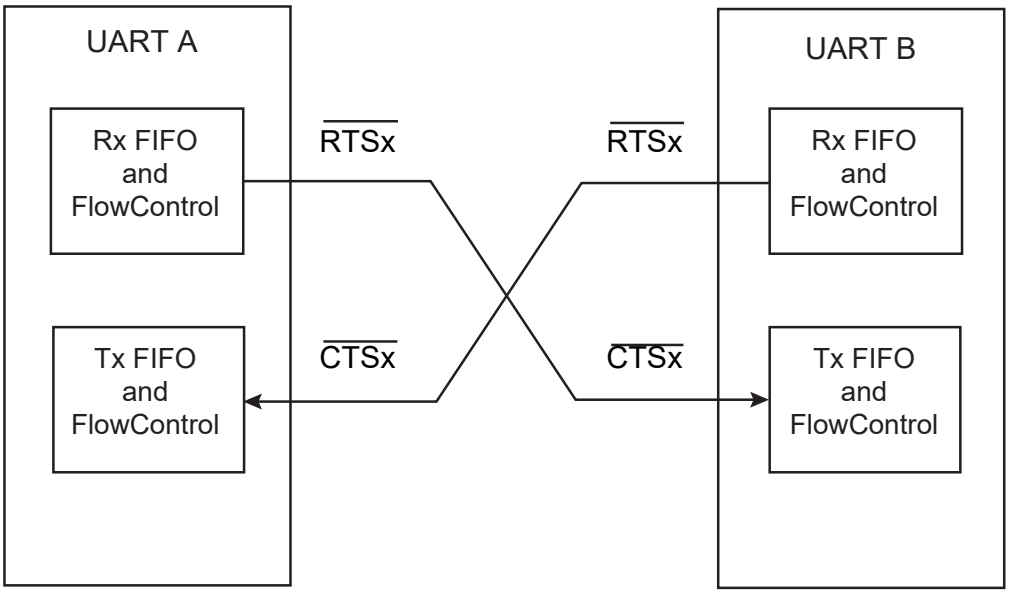


図 13-5 ハードウェアフロー制御

1. RTS フロー制御

RTS フロー制御ロジックは、プログラム可能な受信 FIFO ウォーターマークレベルにリンクしています。RTS フロー制御がイネーブルされている場合は、受信 FIFO がウォーターマークレベル未満の場合 $\overline{\text{RTSx}}$ がアサートされます。受信 FIFO がウォーターマークレベル以上になると、$\overline{\text{RTSx}}$ がアサート解除され、データを受信するための空き場所がないことを示します。

受信 FIFO からデータが読み出され、ウォーターマークレベル未満になると、$\overline{\text{RTSx}}$ シグナルが再度アサートされます。

RTS フロー制御がディセーブル状態でも通信は可能です。

2. CTS フロー制御

CTS フロー制御がイネーブルされている場合、送信する前に $\overline{\text{CTSx}}$ をチェックします。$\overline{\text{CTSx}}$ がアサートされていれば送信しますが、アサートされていなければ送信は発生しません。

$\overline{\text{CTSx}}$ がアサートされ、かつ送信 FIFO が空でない間はデータが送信され続けます。送信 FIFO が空であれば、$\overline{\text{CTSx}}$ がアサートされていてもデータは送信されません。

CTS フロー制御がイネーブルされている時に $\overline{\text{CTSx}}$ がアサート解除された場合には、現在送信中のデータが完了してから停止します。

CTS フロー制御がディセーブル状態でも通信は可能です。

表 13-2 ハードウェアフロー制御のイネーブル/ディセーブルに用いる制御ビット

UARTxCR		$\overline{\text{RTSx}}$	説　明
<CTSEN>	<RTSEN>		
1	1	0(注)	RTS および CTS のフロー制御がイネーブルされます。
1	0	1	CTS フロー制御のみがイネーブルされます。
0	1	0(注)	RTS フロー制御のみがイネーブルされます。
0	0	1	RTS および CTS の両方のフローが制御がディセーブルされます。

注)　<RTSEN> =1(Enable)の時は受信 FIFO がウォーターマークレベルに達するまで $\overline{\mathrm{RTSx}}$ ＝ 0(Enable)となります。

第 14 章　シリアルバスインタフェース(I2C/SIO)

シリアルバスインタフェースを 3 チャネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I2C バスモード(マルチマスタ)
- クロック同期式 8 ビット SIO モード

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャネルごとの使用端子とポートの設定は、下記のとおりです。

表 14-1 シリアルバスインタフェース使用時のポート設定

チャネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オープンドレイン コントロール レジスタ設定
SBI0	I2C バスモード	SCL0 :PK3 SDA0 :PK2	PKFR3[3:2] = 11	PKCR[3:2] = 11	PKIE[3:2] = 11	PKOD[3:2] = 11
	SIO モード	SCK0 :PK4 SI0 :PK3 SO0 :PK2	PKFR3[4:2] = 111	PKCR[4:2] = 101(SCK0 出力) PKCR[4:2] = 001(SCK0 入力)	PKIE[4:2] = 010(SCK0 出力) PKIE[4:2] = 110(SCK0 入力)	PKOD[4:2] = xxx
SBI1	I2C バスモード	SCL1 :PF6 SDA1 :PF7	PFFR4[6:5] = 11	PFCR[6:5] = 11	PFIE[6:5] = 11	PFOD[6:5] = 11
	SIO モード	SCK1 :PF5 SI1 :PF6 SO1 :PF7	PFFR4[7:5] = 111	PFCR[7:5] = 101(SCK0 出力) PFCR[7:5] = 100(SCK0 入力)	PFIE[7:5] = 010(SCK0 出力) PFIE[7:5] = 011(SCK0 入力)	PFOD[7:5] = xxx
SBI2	I2C バスモード	SCL2 :PH1 SDA2 :PH0	PHFR5[1:0] = 11	PHCR[1:0] = 11	PHIE[1:0] = 11	PHOD[1:0] = 11
	SIO モード	SCK2 :PH2 SI2 :PH1 SO2 :PH0	PHFR5[2:0] = 111	PHCR[2:0] = 101(SCK0 出力) PHCR[2:0] = 001(SCK0 入力)	PHIE[2:0] = 010(SCK0 出力) PHIE[2:0] = 110(SCK0 入力)	PHOD[2:0] = xxx

注)　x: Don't care

14.1　構成

構成を図 14-1 に示します。

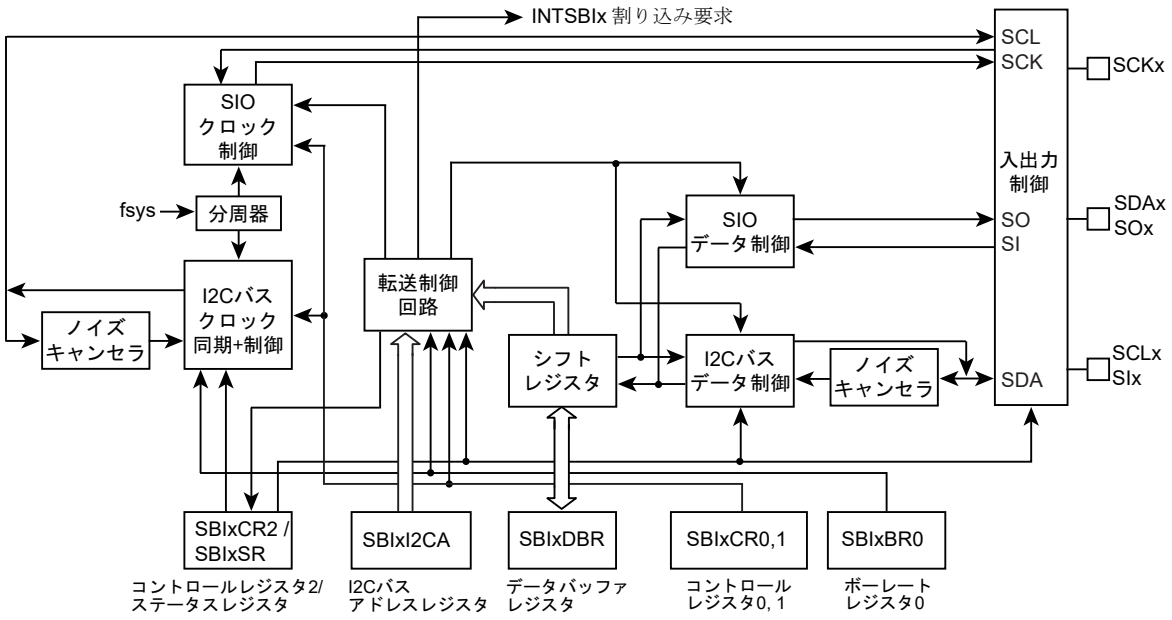


図 14-1 シリアルバスインタフェースブロック図

14.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

下記レジスタは使用するモードによって、機能が異なります。詳細は「14.4 I2C バスモード時のコントロールレジスタ」および「14.7 SIO モード時のコントロールレジスタ」を参照してください。

14.2.1 チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

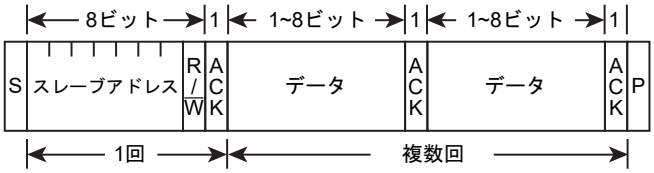
Channel x	Base Address
Channel0	0x400E_0000
Channel1	0x400E_0100
Channel2	0x400E_0200

レジスタ名(x=0,1,2,)		Address(Base+)
コントロールレジスタ 0	SBIxCR0	0x0000
コントロールレジスタ 1	SBIxCR1	0x0004
データバッファレジスタ	SBIxDBR	0x0008
I2C バスアドレスレジスタ	SBIxI2CAR	0x000C
コントロールレジスタ 2	SBIxCR2(ライト時)	0x0010
ステータスレジスタ	SBIxSR(リード時)	
ボーレートレジスタ 0	SBIxBR0	0x0014

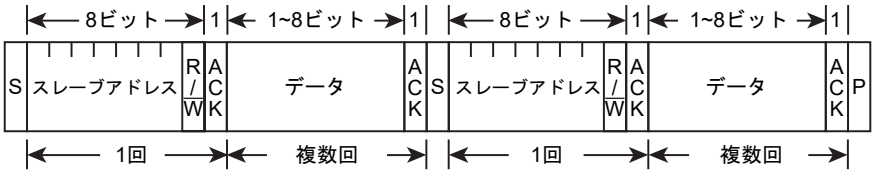
14.3　I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 14-2 に示します。

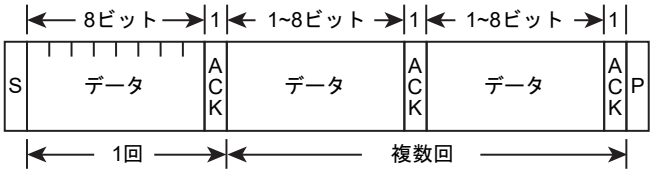
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注)　S : スタートコンディション
　R/$\overline{W}$: 方向ビット
　ACK : アクノリッジビット
　　P : ストップコンディション

図 14-2 I2C バスモード時のデータフォーマット

14.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェース を I2C バスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

14.4.1 SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBI に関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

14.4.2　SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1)
4	ACK	R/W	マスターモード 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する スレーブモード 0:アクノリッジメントのためのクロックをカウントしない 1:アクノリッジメントのためのクロックをカウントする
3	-	R	リードすると"1"が読めます。
2-1	SCK[2:1]	R/W	内部 SCL 出力クロックの周波数選択<SCK[2:0]>@ライト　(注 2)
0	SCK[0]	W	
	SWRMON	R	ソフトウエアリセット状態モニタ<SWRMON>@リード 0:ソフトウエアリセット中 1:ソフトウエアリセット中ではない

<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

000	n = 5	769 kHz
001	n = 6	588 kHz
010	n = 7	400 kHz
011	n = 8	244 kHz
100	n = 9	137 kHz
101	n = 10	73 kHz
110	n = 11	38 kHz
111		reserved

システムクロック: fsys (= 80MHz)
クロックギア: fc/1
周波数 = $\frac{fsys}{2^n + 72}$ [Hz]

注 1) SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。

注 2) SCL ラインクロックの周波数については、「14.5.1 シリアルクロック」を参照してください。

注 3) <SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。

注 4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

注 5) **マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立ち下がりによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。**

14.4.3　SBIxCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIxSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBIx 割り込み要求解除 0: − 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注) 00: ポートモード(シリアルバスインタフェースの出力禁止) 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。 ライトの際、<SBIM[1:0]>は"10"の I2C バスモードを指定してください。

注)　通信中はモードを切り替えないでください。 ポートモードへの切り替えはバスフリーを確認してから行ってください。 また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

14.4.4 SBIxSR(ステータスレジスタ)

このレジスタをライトすると、SBIxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBIx 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ゼネラルコール検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

14.4.5　SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

14.4.6 SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1) 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

14.4.7　SBIxI2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1)　<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

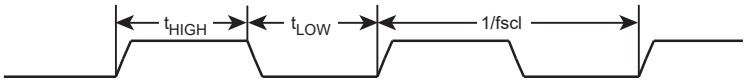
注 2)　スレーブモード時 SBIxI2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

14.5 I2C バスモード時の制御

14.5.1 シリアルクロック

14.5.1.1 クロックソース

SBIxCR1 <SCK[2:0]>で、マスタモード時に SCLx 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$t_{LOW} = 2^{n-1}/fsys + 58/fsys$
$t_{HIGH} = 2^{n-1}/fsys + 14/fsys$
$fscl = 1/(t_{LOW} + t_{HIGH})$
$= \frac{fsys}{2^n + 72}$

SBIxCR1<SCK[2:0]>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 14-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意願います。

14.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

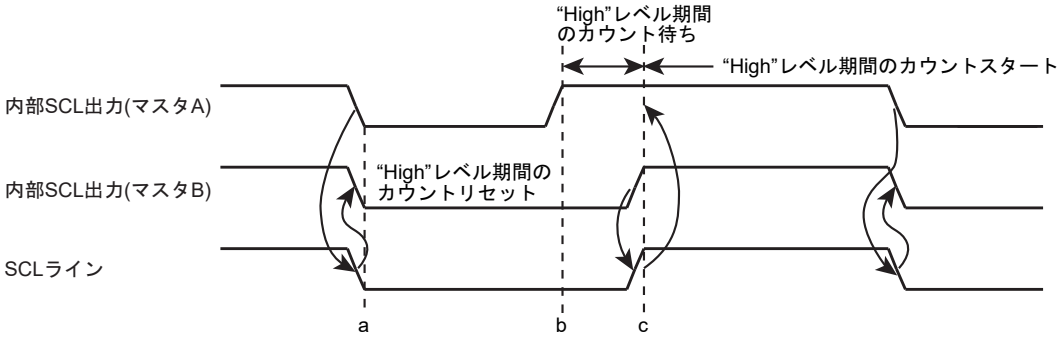


図 14-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後,"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

14.5.2　アクノリッジメントモードの指定

SBIxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDAx 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールを受信した場合にもアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

14.5.3　転送ビット数の選択

SBIxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

14.5.4　スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBIxI2CAR<ALS>に"0"を設定し、SBIxI2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

14.5.5 動作モード

SBIxCR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するときは、シリアルバスインタフェース端子の状態が"High"になっていることを確認後、<SBIM[1:0]>を"10"に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

14.5.6 トランスミッタ/レシーバの選択

SBIxCR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- アドレッシングフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき
- ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウエアによりマスタデバイスから送られてくる方向ビット(R/$\overline{W}$)が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウエアによって変化することはありません。

14.5.7 マスタ/スレーブの選択

SBIxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

14.5.8　スタート/ストップコンディションの発生

SBIxSR<BB>が"0"のときに、SBIxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

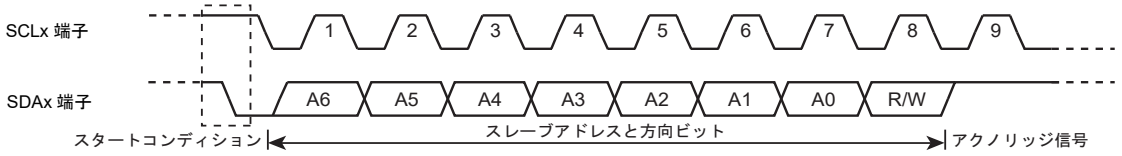


図 14-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

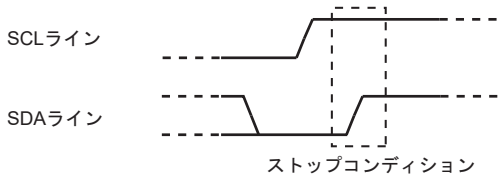


図 14-6 ストップコンディションの発生

また、SBIxSR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

14.5.9　割り込みサービス要求と解除

マスタモードの時、<BC>と<ACK>によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(INTSBIx)が発生します。

スレーブモードの場合は、以下のときに INTSBIx が発生します。

- 受信したスレーブアドレスが SBIxI2CAR<SA[6:0]>に設定されたスレーブアドレスとアクノリッジ信号出力後
- ゼネラルコールを受信した時のアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード(<ALS> = "0")では、受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したときに INTSBIx が発生します。

割り込み要求(INTSBIx)が発生すると、SBIxCR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでスレーブアドレスと方向ビット転送中にアービトレーションロストが発生した場合、受信したスレーブアドレスとSBIxI2CAR<SA>の一致にかかわらず、<PIN>は"0"にクリアされ、INTSBIxが発生します。

14.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

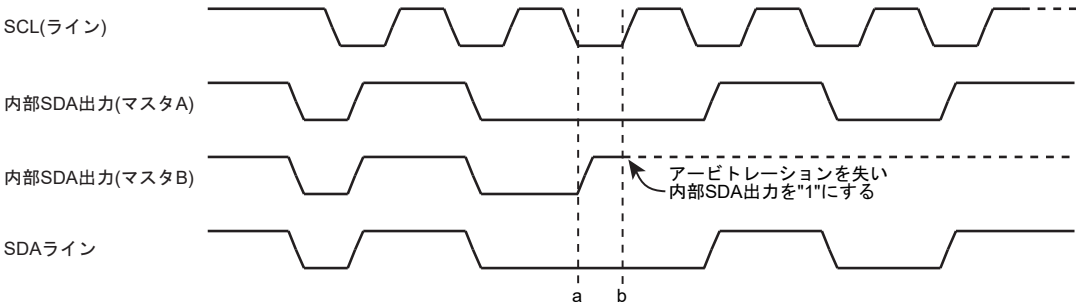


図 14-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIxSR<AL> が"1"にセットされます。

アービトレーションロストが発生するとSBIxSR<MST><TRX>は"0"にクリアされ、スレーブレシーバモードになり、SCLクロックの出力を停止します。
スレーブアドレスと方向ビットの転送中にアービトレーションロストが発生したマスタデバイスは、通常のスレーブデバイスのように、他のマスタデバイスが通信するスレーブアドレスを受信します
受信したスレーブアドレスが、SBIxI2CAR<SA>との一致にかかわらず、<PIN>が"0"にクリアされ、INTSBxが発生します。

<AL>は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと"0"にクリアされます。

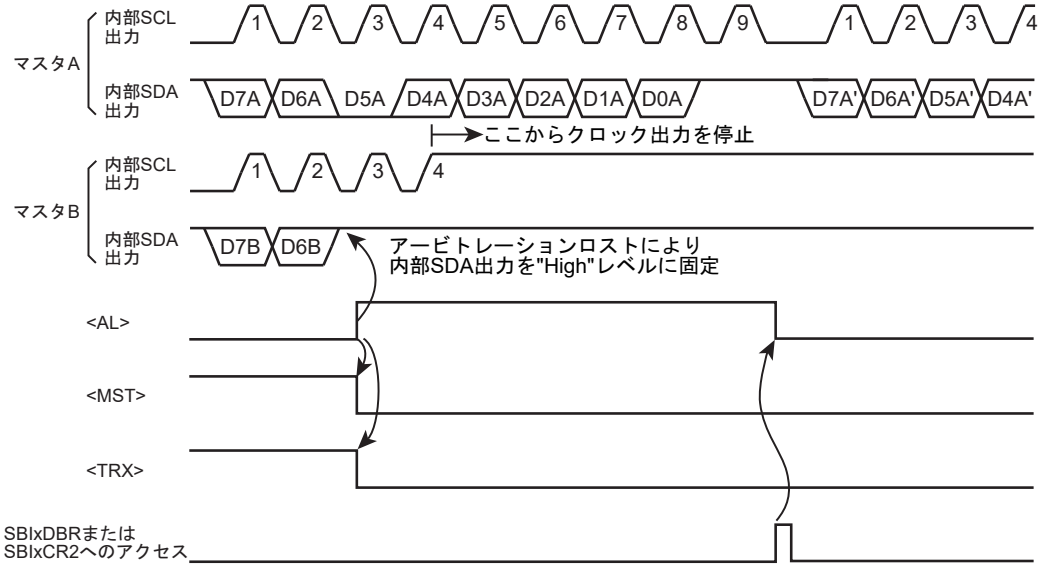


図 14-8 マスタ B の場合の例(D7A=D7B,D6A=D6B)

14.5.11　スレーブアドレス一致検出モニタ

SBIxSR<AAS>は、スレーブモード時、アドレス認識モード(SBIxI2CAR<ALS> = "0")のとき、ゼネラルコールまたは SBIxI2CAR にセットした値と同じスレーブアドレスを受信すると"1"にセットされます。フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS> は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"0"にクリアされます。

14.5.12　ゼネラルコール検出モニタ

SBIxSR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

14.5.13 最終受信ビットモニタ

SBIxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBIx 割り込み要求発生直後に SBIxSR<LRB> を読み出すと、ACK 信号が読み出されます。

14.5.14 データバッファレジスタ(SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

14.5.15 ボーレートレジスタ(SBIxBR0)

SBIxBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

14.5.16 ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIxCR2<SWRST[1:0]>へ、最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。ライトの際、SBIxCR2<SBIM[1:0]は"10"の I2C バスモードを指定してください。ソフトウエアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"0"にクリアされます。

注) ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

14.6　I2C バスモード時のデータ転送手順

14.6.1　デバイスの初期化

最初にSBIxCR1<ACK>, <SCK[2:0]>を設定します。<ACK>には"1"を設定してアクノリッジメントモードに設定します。
SBIxCR1<BC[2:0]>には、"000"を設定してください。
次にSBIxI2CARにスレーブアドレス<SA[6:0]>と<ALS> (アドレッシングフォーマット時には、<ALS>= "0")を設定します。
最後に、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBIxCR2<MST><TRX><BB>に"000"、<PIN>に"1"、<SBIM[1:0]>に"10"、<SWRST[1:0]>に"00"を書き込み、初期状態をスレーブレシーバモードにします。

注)　シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	0	1	0	X	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	←	X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注)　X; Don’t care

14.6.2　スタートコンディション, スレーブアドレスの発生

14.6.2.1　マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB> = "0")を確認します。次に、SBIxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、SBIxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCLx 端子から 9 クロックを出力します。最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIx 割り込み要求が発生し、<PIN> = "0"にされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIx 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

注)　スレーブアドレスを出力するために SBIxDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

		7	6	5	4	3	2	1	0	
Reg.	←	SBIxSR								
Reg.	←	Reg. e 0x20								
if Reg.	≠	0x00								バスがフリー状態になるまで確認します。
Then										
SBIxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTSBIx 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

14.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBIxI2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを"Low"レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBIx 割り込み要求が発生し、<PIN> = "0"にされます。スレーブモード時は、<PIN> = "0"の間 SCL ラインを"Low"レベルに引きます。

図 14-9 スタートコンディションとスレーブアドレスの発生

14.6.3　1 ワードのデータ転送

1 ワード転送終了の INTSBIx 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

14.6.3.1　マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1)　トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを SBIxDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTSBIx 割り込み

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行

SBIxCR1	←	X	X	X	X	0	X	X	X	転送ビット数および ACK を設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	転送データを書き込みます。

割り込み処理終了

注)　X; Don't care

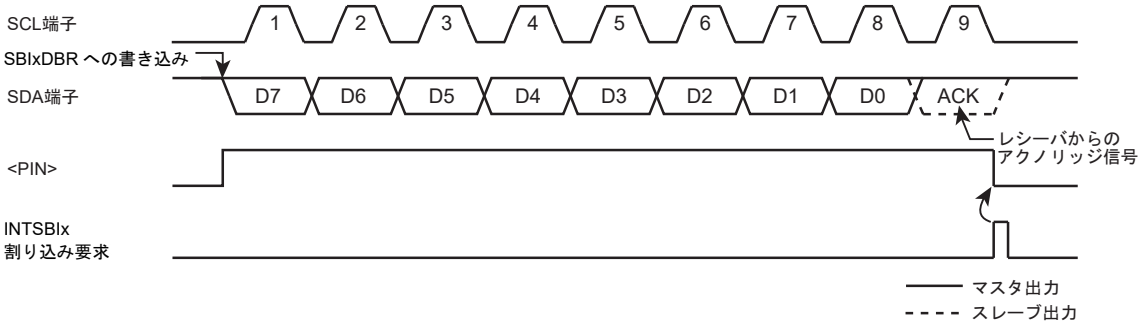


図 14-10 <BC[2:0]>="000",<ACK>="1"の場合（トランスミッタモード）

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、SCL ラインを解放するために SBIxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"Low"レベルに引きます。SBIxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

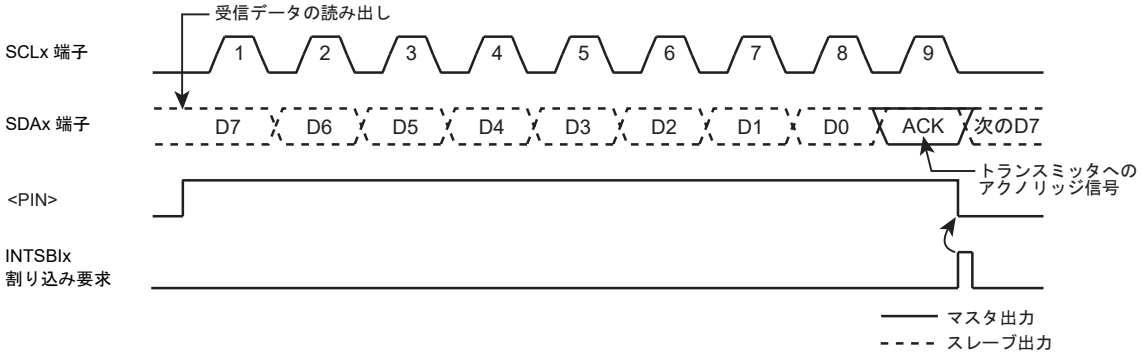


図 14-11 <BC[2:0]>="000",<ACK>="1"のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

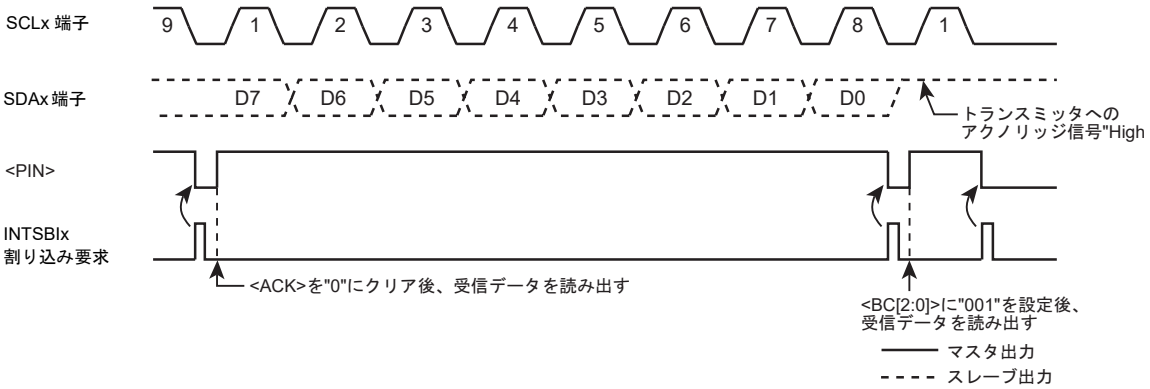


図 14-12 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTSBIx 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	SBIxDBR								ダミーデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 1~(N－2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	SBIxDBR								1~(N－2)回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 (N－1)回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	SBIxDBR								(N－1)回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	1	0	0	X	X	X	1 ビット転送のためのクロックを発生します。
Reg.	←	SBIxDBR								N 回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

14.6.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBIx 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIx 割り込み要求が発生します。INTSBIx 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"Low"レベルに引きます。SBIxDBR にデータを書き込む、SBIxDBR からデータを読み出す、または<PIN>に"1"を設定すると SCLx 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBIxSR<AL>, <TRX>, <AAS>, <ADO>をテストし、場合分けを行います。「表 14-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTSBIx 割り込み

if TRX = 0

Then その他処理へ移行

if AL = 0

Then その他処理へ移行

if AAS = 0

Then その他処理へ移行

SBIxCR1	←	X	X	X	1	0	X	X	X	送信ビット数を設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データをセットします。

注) X; Don't care

表 14-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIxDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを SBIxDBR から読み出します。

14.6.4　ストップコンディションの発生

SBIxSR<BB> = "1"のときに、SBIxCR2<MST, TRX, PIN> に"1" 、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDAx 端子が立ち上がり、ストップコンディションが発生します。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

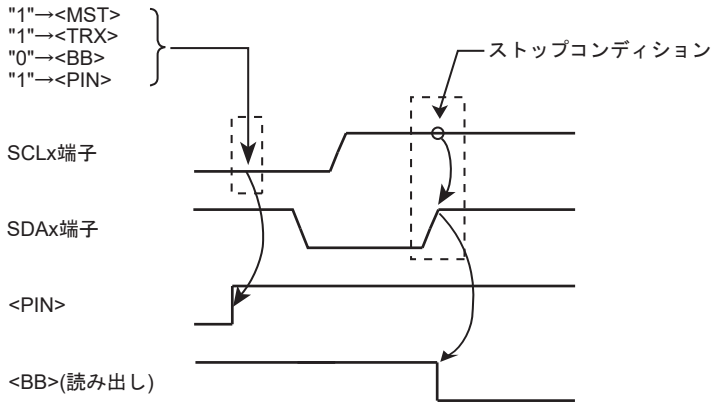


図 14-13 ストップコンディションの発生

14.6.5　再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDAx 端子は"High"レベルを保ち、SCLx 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「14.6.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1)　<MST> = "0"の状態の時に<MST> = "0"をライトしないでください(再スタートできません)。

注 2)　マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if SBIxSR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if SBIxSR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
Then										
4.7 μs Wait										
SBIxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注) X; Don't care

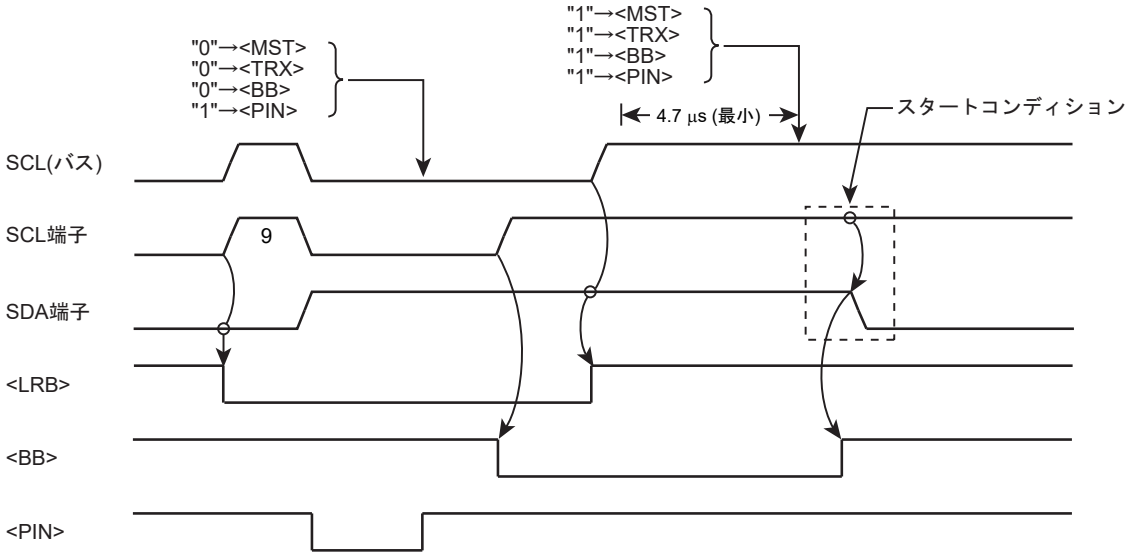


図 14-14 再スタートを発生する場合のタイミングチャート

14.7　SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

14.7.1　SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

14.7.2 SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード
3	-	R	リードすると"1"が読めます。
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1) 000 n = 3 5 MHz 001 n = 4 2.5 MHz 010 n = 5 1.25 MHz 011 n = 6 625 kHz 100 n = 7 313 kHz 101 n = 8 156 kHz 110 n = 9 78 kHz 111 – 外部クロック システムクロック: fsys (= 80MHz) クロックギア: fc/1 周波数 = $\frac{fsys/2}{2^n}$ [Hz]

注 1) <SCK[0]>ビットは、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBIxCR2 レジスタ、SBIxSR レジスタでも同様な記載をしています

注 2) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

注 3) マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

14.7.3　SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1)　送信データを書き込み時には、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2)　SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

14.7.4 SBIxCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIxSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。
注 2) 通信中はモードを切り替えないでください。

14.7.5　SBIxSR(ステータスレジスタ)

このレジスタをライトすると、SBIxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1)　ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

14.7.6 SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

14.8　SIO モード時の制御

14.8.1　シリアルクロック

14.8.1.1　クロックソース

SBIxCR1 <SCK[2:0]> により、次の選択ができます。

(1)　内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCKx 端子より外部に出力されます。なお、転送開始時 SCKx 端子出力は"High"レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

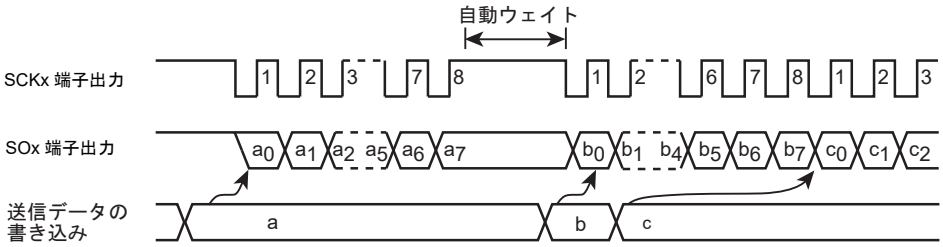


図 14-15 自動ウェイト機能

(2)　外部クロック(<SCK[2:0]> = "111")

外部から SCKx 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの"High"レベル、"Low"レベル幅は下記に示すパルス幅が必要です。

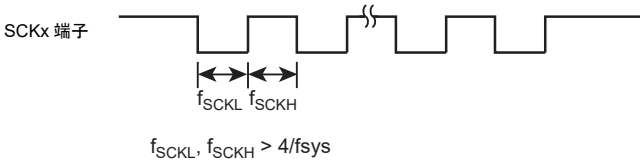


図 14-16 外部クロック入力時の最大転送周波数

14.8.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

  シリアルクロックの前縁(SCKx 端子入出力の立ち下がりエッジ)でデータをシフトします。

- 後縁シフト

  シリアルクロックの後縁(SCKx 端子入出力の立ち上がりエッジ)でデータをシフトします。

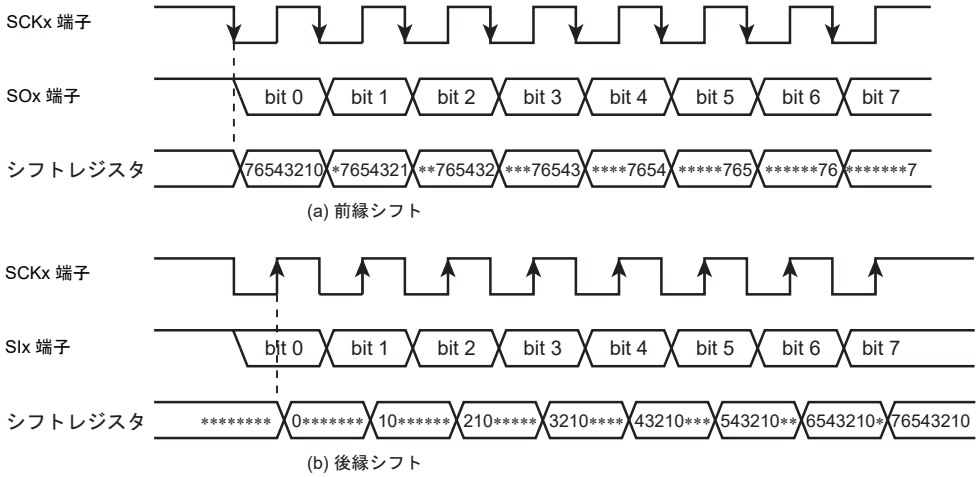


図 14-17 シフトエッジ

14.8.2　転送モード

SBIxCR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

14.8.2.1　8 ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIxDBR に書き込みます。

送信データの書き込み後、SBIxCR1<SIOS> = "1"を書き込むことにより送信が開始されます。送信データは、SBIxDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIxDBR が空になりますので、 次の送信データを要求する INTSBIx(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIxDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIxDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIxSR<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIxSR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH> = "1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	0	0	0	X	X	X	送信モードをセットします。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	←	1	0	0	0	0	X	X	X	送信を開始します。

INTSBIx 割り込み

SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

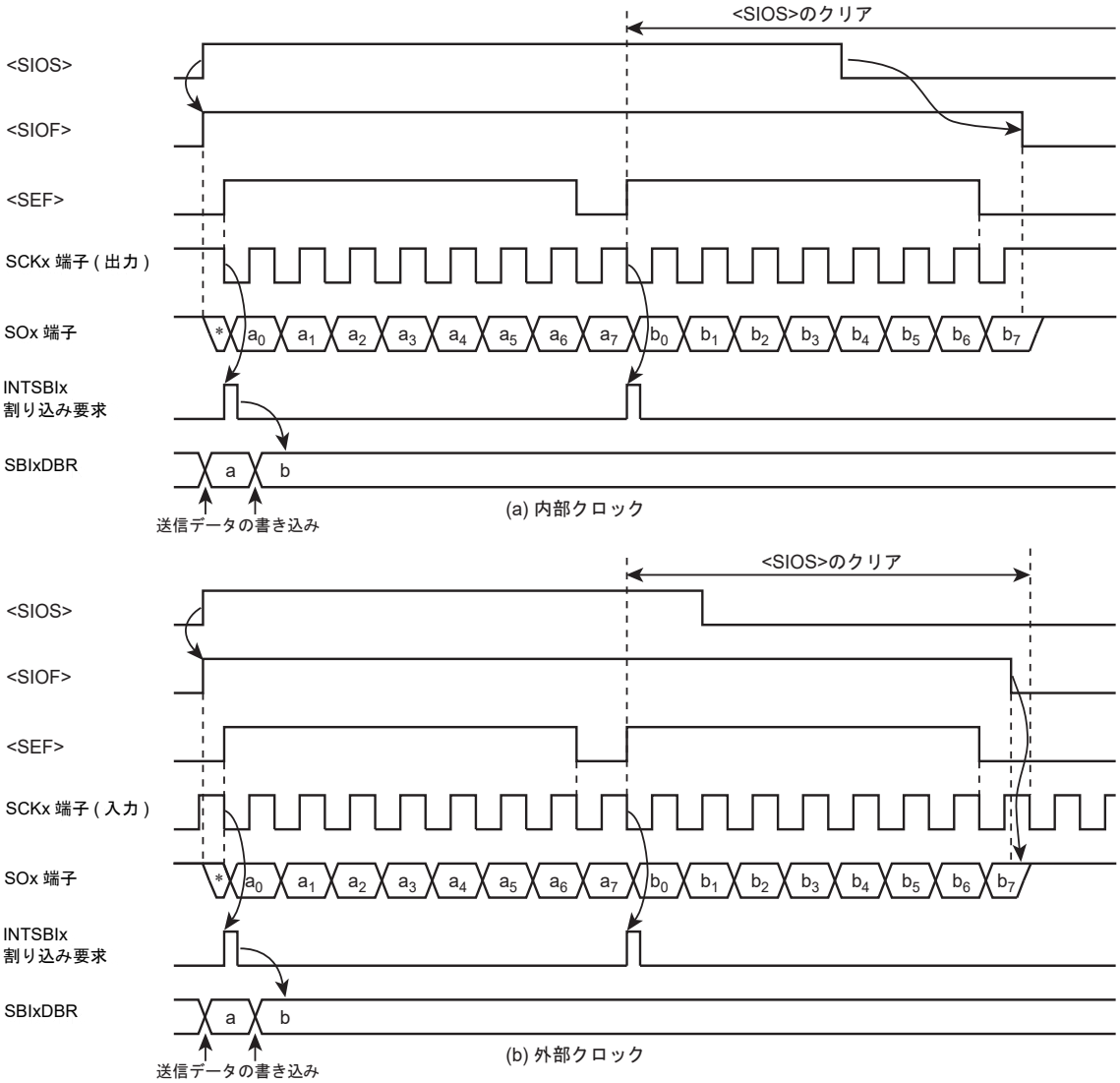


図 14-18 送信モード

例: <SIO> の送信終了指示(外部クロックの場合)のプログラム例

		7 6 5 4 3 2 1 0	
	if SBIxSR<SIOF> ≠ 0		転送の終了を確認します。
	Then		
	if SCK ≠ 1		ポートをモニタし、SCKx 端子が"1"になったことを確認します。
	Then		
	SBIxCR1	← 0 0 0 0 0 1 1 1	<SIOS> = 0 を設定し送信を終了します。

14.8.2.2　8 ビット受信モード

コントロールレジスタに受信モードをセットした後、SBIxCR1<SIOS> = "1" を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBIxDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIx (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIxDBR から読み出します。

内部クロック動作の場合、受信データが SBIxDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか、<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、受信データが全ビット揃い、SBIxDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。 受信終了の確認のあと最終受信データを読み出します。<SIOINH> = "1" を書き込んだ場合は、ただちに受信を打ち切り、<SIOF>は"0"になります (受信データは無効になりますので読み出す必要はありません)。

注)　転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	1	1	0	X	X	X	受信モードをセットします。
SBIxCR1	←	1	0	1	1	0	X	X	X	受信を開始します。

INTSBIx 割り込み

Reg.	←	SBIxDBR	受信データを取り込みます。

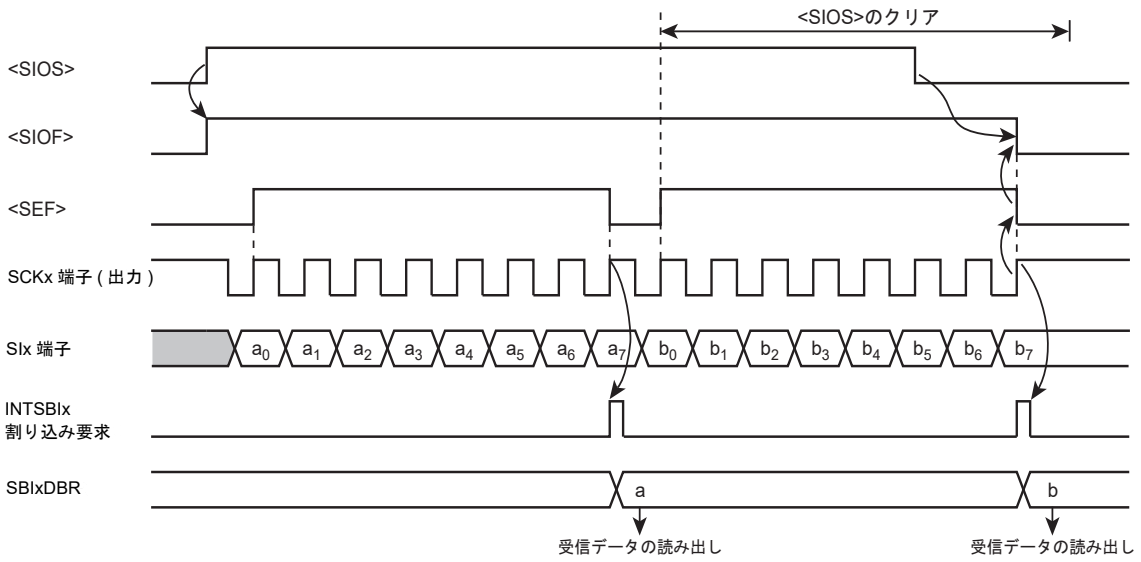


図 14-19 受信モード(例: 内部クロック)

14.8.2.3 8 ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIxDBR に書き込みます。その後、SBIxCR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIxDBR へ受信データが転送され、INTSBIx 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIxDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCKx の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBIxCR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIxDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

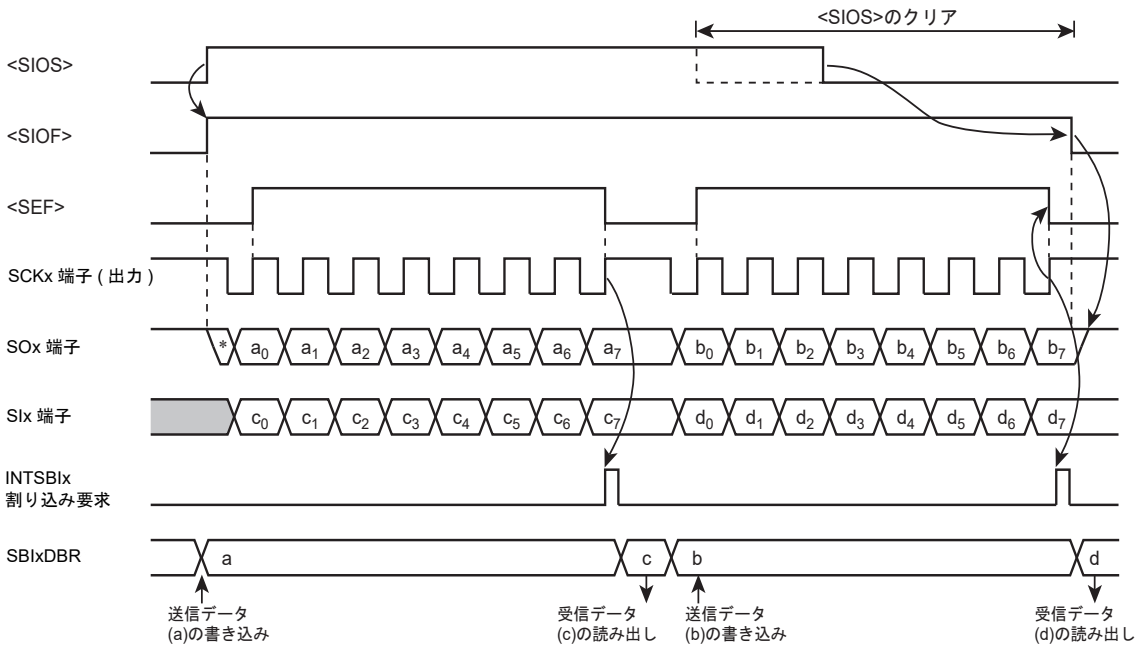


図 14-20 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBIx 割り込み

Reg.	←	SBIxDBR								受信データを取り込みます。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

14.8.2.4　送信終了時の最終ビット保持時間

SBIxCR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下のようになります。送信モード、送受信モードとも同様です。

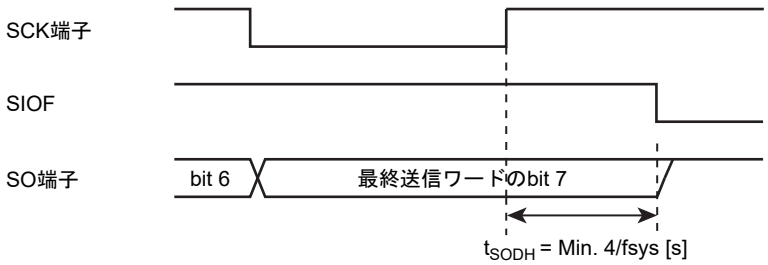


図 14-21 送信終了時の最終ビット保持時間

第 15 章　同期式シリアルインタフェース(SSP)

15.1　概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)を 3 チャネル内蔵しています。各チャネルの特長を下表に示します。

通信プロトコル		SPI を含む 3 種類の同期式シリアル ・Motorola SPI (SPI)フレームフォーマット ・TI synchronous (SSI)フレームフォーマット ・National Microwire (Microwire)フレームフォーマット
動作モード		マスタ/スレーブモード
送信 FIFO		幅 16-bit／深さ 8 段
受信 FIFO		幅 16-bit／深さ 8 段
送受信データのサイズ		4 ~ 16 ビット
割り込みの種類		送信割り込み 受信割り込み 受信オーバラン割り込み タイムアウト割り込み
通信速度	マスタモード時	fsys/2 ~ fsys/65024
	スレーブモード時	fsys/12 ~ fsys/65024
DMA		サポート
内部テスト機能		内部ループバックテストモードの使用が可能
制御端子(x = 0 ~ 2)		SPxCLK,SPxFSS,SPxDO,SPxDI

15.2　ブロック図

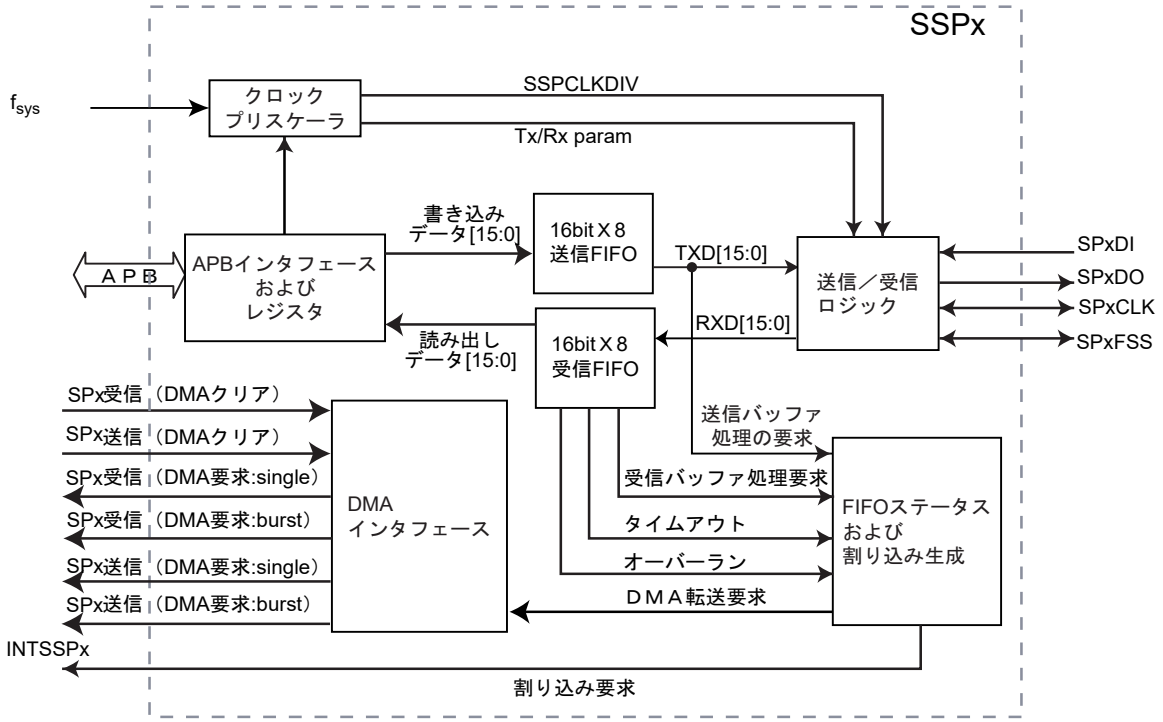


図 15-1 SSP ブロック図

15.3 レジスタ

15.3.1 レジスター覧

Channel x	Base Address
Channel0	0x4004_0000
Channel1	0x4004_1000
Channel2	0x4004_2000

レジスタ名(x=0~2)		Address(Base+)
制御レジスタ 0	SSPxCR0	0x0000
制御レジスタ 1	SSPxCR1	0x0004
受信 FIFO(読み出し)および送信 FIFO(書き込み) データレジスタ	SSPxDR	0x0008
ステータスレジスタ	SSPxSR	0x000C
クロックプリスケールレジスタ	SSPxCPSR	0x0010
割り込み許可/禁止レジスタ	SSPxIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPxRIS	0x0018
許可後の割り込みステータスレジスタ	SSPxMIS	0x001C
割り込みクリアレジスタ	SSPxICR	0x0020
DMA 制御レジスタ	SSPxDMACR	0x0024
Reserved	-	0x0028 ~ 0x0FFC

注 1) 上記レジスタはワード(32bit) アクセスのみとなります。
注 2) "Reserved"表記のアドレスにはアクセスしないでください。

15.3.2　SSPxCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	W	"0"を書き込んでください。
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ:0x00 ~ 0xFF の値 SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = f_{sys} / (<CPSDVSR> × (1+ <SCR>)) <CPSDVSR> は、SSPxCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR>は 0 ~ 255 の値を取ります。
7	SPH	R/W	SPxCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
6	SPO	R/W	SPxCLK 極性選択 0:SPxCLK は Low 状態 1:SPxCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00:　SPI フレームフォーマット 01:　SSI シリアルフレームフォーマット 10:　Microwire フレームフォーマット 11:　Reserved(動作未定義)
3-0	DSS[3:0]	R/W	データサイズ選択 0000:　Reserved(動作未定義)　1000:　9 ビットデータ 0001:　Reserved(動作未定義)　1001:　10 ビットデータ 0010:　Reserved(動作未定義)　1010:　11 ビットデータ 0011:　4 ビットデータ　1011:　12 ビットデータ 0100:　5 ビットデータ　1100:　13 ビットデータ 0101:　6 ビットデータ　1101:　14 ビットデータ 0110:　7 ビットデータ　1110:　15 ビットデータ 0111:　8 ビットデータ　1111:　16 ビットデータ

注)　スレーブモード時はクロックプリスケールを SSPxCR0<SCR[7:0]>＝ 0x00 , SSPxCPSR<CPSDVSR[7:0]>=0x02 に設定してご使用ください。

15.3.3 SSPxCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	SOD	R/W	スレーブモード SPxDO 出力制御 0: 許可 1: 禁止 スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。
2	MS	R/W	マスタ/ スレーブモード選択(注) 0: デバイスがマスタ 1: デバイスがスレーブ
1	SSE	R/W	SSP 動作禁止/許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレーブの切り替えビットです。スレーブモードでかつ送信時は、以下の設定順序を必ず守ってください。

1) スレーブモードに設定 :<MS>=1
2) 送信データを FIFO に設定 :<DATA>=0x****
3) SSP をイネーブルに設定 :<SSE>=1

15.3.4　SSPxDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	W	"0"を書き込んでください。
15-0	DATA[15:0]	R/W	送信/ 受信 FIFO のデータ(0x0000 ~ 0xFFFF) リード時:受信 FIFO ライト時:送信 FIFO 16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ(LSB)にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

15.3.5 SSPxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	–	W	"0"を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1:ビジー <BSY>="1" :現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0:受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0:受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

15.3.6　SSPxCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	W	"0"を書き込んでください。
7-0	CPSDVSR[7:0]	R/W	クロックプリスケール除数 設定値:2- 254 の偶数値 クロックプリスケール除数。fsys の周波数に基づき、2 ~ 254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に 0 を戻します。

注)　スレーブモード時はクロックプリスケールを SSPxCR0<SCR[7:0]>＝ 0x00 , SSPxCPSR<CPSDVSR[7:0]>=0x02 に設定してご使用ください。

15.3.7 SSPxIMSC(割り込み許可/禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可/禁止設定 0: 禁止 1:許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可/禁止
2	RXIM	R/W	受信 FIFO 割り込み許可/禁止設定 0: 禁止 1:許可 受信 FIFO の半分以下がフルである条件割り込みの許可/禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可/禁止設定 0: 禁止 1:許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可/禁止
0	RORIM	R/W	受信オーバーラン 割り込み許可/禁止設定 0: 禁止 1:許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可/禁止

15.3.8　SSPxRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0:割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0:割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバラン割り込みフラグ 0:割り込み無し 1:割り込み有り

15.3.9 SSPxMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0:割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0:割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバラン割り込みフラグ 0:割り込み無し 1:割り込み有り

15.3.10　SSPxICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-2	–	W	"0"を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0:無効 1:クリア
0	RORIC	W	受信オーバラン割り込みフラグをクリア 0:無効 1:クリア

15.3.11　SSPxDMACR (DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TXDMAE	RXDMAE
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	–	W	"0"を書き込んでください。
1	TXDMAE	R/W	送信 FIFO の DMA 制御 0:禁止 1:許可
0	RXDMAE	R/W	受信 FIFO の DMA 制御 0:禁止 1:許可

15.4 SSP の概要

本 LSI は 3 チャネルの SSP を内蔵しています。

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル- パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPxDO から送信し、SPxDI から受信します。

SSP には、入力クロック fsys からシリアル出力クロック SPxCLK を生成するために、プログラム可能なプリスケーラが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSPxCR0 および SSPxCR1 を通じてプログラムします。

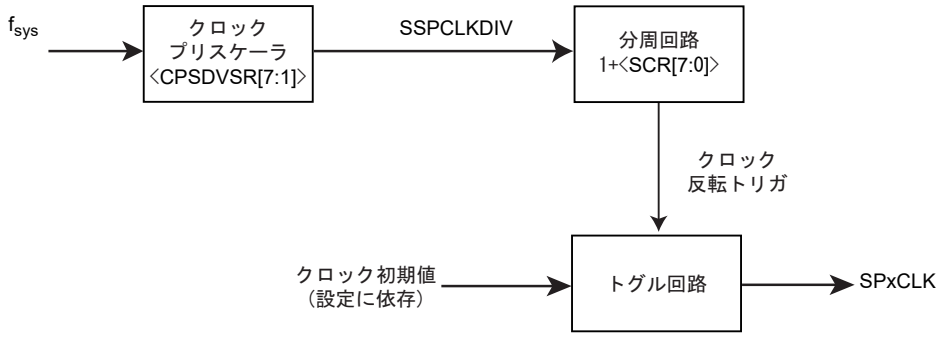
15.4.1 クロックプリスケーラ

マスタとして動作する場合、シリアル出力クロック SPxCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケーラが使用されます。

このクロックプリスケーラは、SSPxCPSR レジスタを介し、2 ~ 254 の偶数ステップで fsys を除算するようにプログラムすることができます。SSPxCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケーラの出力は、さらに SSPxCR0 レジスタにプログラミングされた値に+1 された 1 ~ 256 のステップで除算され、マスタ出力クロック SPxCLK が生成されます。

ビットレート = fsys / (<CPSDVSR>×(1+<SCR>))



15.4.2 送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

15.4.3 受信 FIFO

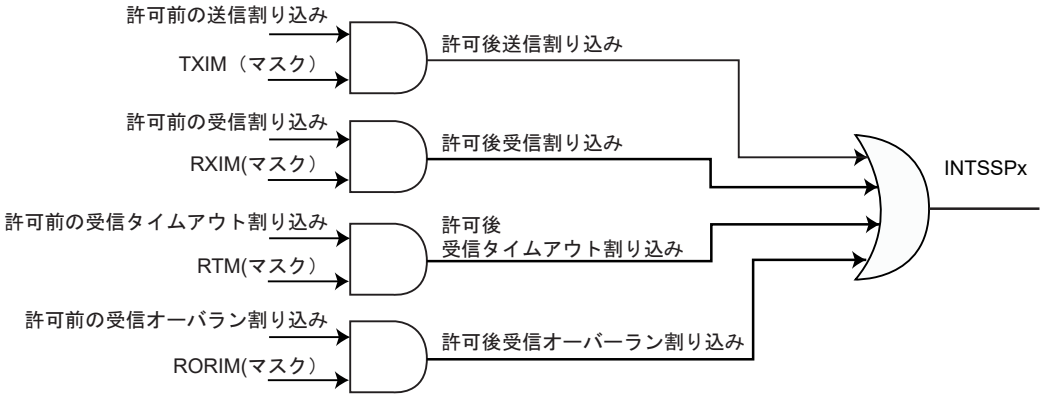
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

15.4.4　割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み (送信 FIFO 内の有効データ数 ≦ 4)
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み (受信 FIFO 内の有効データ数 ≧ 4)
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSPx がアサートされます。



a.　送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPxCR1<SSE>=0)でも送信割り込みが発生します。

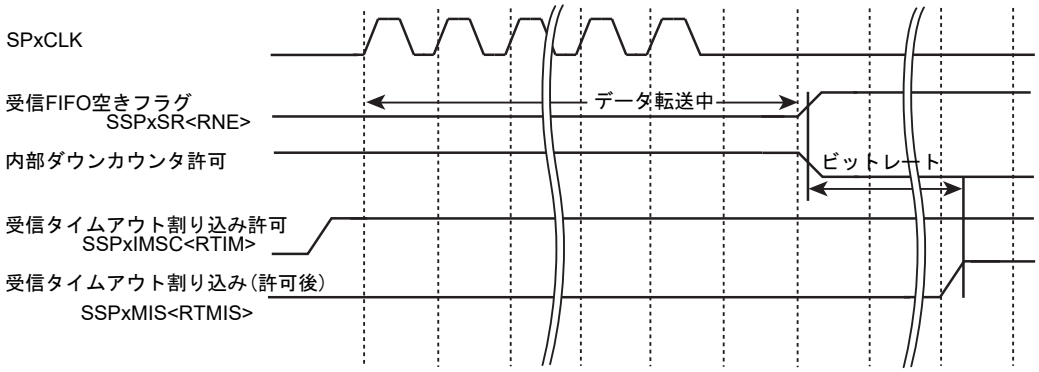
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

b.　受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

c.　タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ／スレーブ モード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。



d. オーバーラン割り込み

受信 FIFO が既にフルのときに次のデータ(9 個目)を受信すると、転送終了直後、 受信オーバラン割り込みが発生します。オーバラン割り込み発生以降の受信データ（9 個目のデータを含む）は無効となり、破棄されます。ただし、9 個目のデータ受信中（割り込み発生する前）に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバラン割り込みが発生した場合、正しい転送を行なうためには、SSPxICR<RORIC>に"1"を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではない時) はタイムアウト割り込みが発生します。

15.4.5 DMA インタフェース

SSP の DMA 操作は SSPxDMACR レジスタを介して制御されます。

受信 FIFO に格納されるデータがウォーターマークレベル(FIFO の 1/2)以上になると受信 DMA 要求がアサートされます。

送信 FIFO に格納するデータがウォーターマークレベル(FIFO の 1/2)以下になると送信 DMA 要求が送信/受信 DMA 要求信号をクリアするために、DMA コントローラによってアサートされる送信/受信 DMA 要求クリア信号の入力端子を持っています。

また、DMA のバースト長は 4 ワードに設定してください。

注) 残りの 3 ワードに対し、SSP はバースト要求をアサートしません。

各要求シグナルは、関連する DMA クリアシグナルがアサートされるまでアサートされ続けます。要求クリアシグナルがアサート解除された後、前述の条件に従って要求シグナルを再度アクティブにすることができます。SSP がディセーブルされたり、DMA イネーブルシグナルがクリアされると、全ての要求シグナルがアサート解除されます。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

	バースト長	
ウォーターマークレベル	送信（空き位置の数）	受信（充填位置の数）
1/2	4	4

15.5　SSP の動作

15.5.1　SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態で、設定する必要があります。制御レジスタ SSPxCR0 および SSPxCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPxCPSR および SSPxCR0<SCR>を設定してください。

本 SSP は以下のプロトコルをサポートします。

- SPI
- SSI
- Microwire

15.5.2　SSP のイネーブル

送信 FIFO に 送信データが書き込まれていて、かつ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合は送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

注)　SPI のスレーブモードでかつ SPxFSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態でイネーブルすると、転送データが正常に出力されません。

15.5.3　クロック比

f_{sys} の周波数設定は以下の条件を満たす必要があります。

- マスタモードの場合

  f_{SPxCLK} (最大) → f_{sys} /2

  f_{SPxCLK} (最小) → f_{sys} /(254×256)

- スレーブモードの場合

  f_{SPxCLK} (最大) → f_{sys} /12

  f_{SPxCLK} (最小) → f_{sys} /(254×256)

15.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4 ~ 16 ビットの幅を持ち、MSB から送信が開始されます。

・ シリアルクロック(SPxCLK)

SSP がアイドル状態の間は SSI と Microwire では Low でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

・ シリアルフレーム(SPxFSS)

SPI および Microwire のフレーム形式では、Low アクティブとなり、フレームの送信中は常に Low にアサートされます。

SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされます。このフレーム形式では、 SPxCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

各フレーム フォーマットの詳細は「15.6.1 ~ 15.6.3」を参照してください。

15.6.1　SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPxCLK および SPxFSS が Low にセットされ、送信データライン SPxDO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SPxFSS ラインに 1 SPxCLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPxCLK の次の立ち上がりエッジで、MSB から 4 ~ 16 ビットのデータ が SPxDO 端子により出力されます。

同様に、受信データは SPxCLK の立ち下がりエッジで MSB から SPxDI 端子に入力されます。受信されたデータは、その LSB データ がラッチされた後、SPxCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

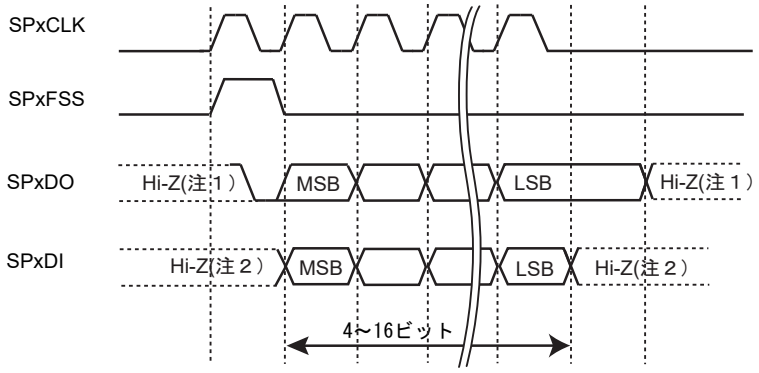


図 15-2 SSI フレームフォーマット（シングル転送送受信）

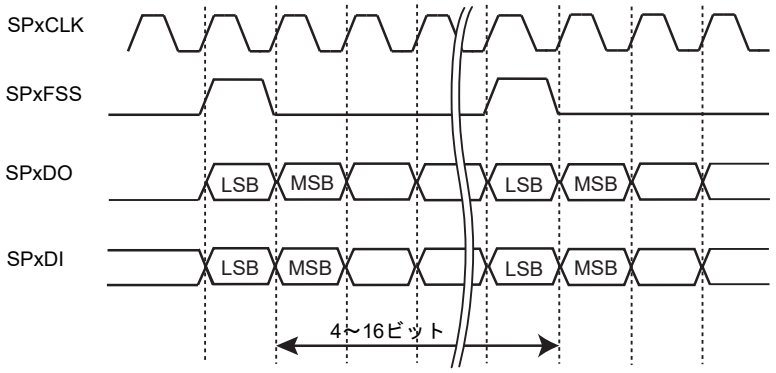


図 15-3 SSI フレームフォーマット（連続転送送受信）

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

15.6.2 SPI のフレームフォーマット

SPI インタフェースは 4 線インタフェースであり、SPxFSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPxCLK の動作タイミングを SSPxCR0 レジスタ内の<SPO> ビットと<SPH> ビットを使って、設定できます。

SSPxCR0<SPO>はアイドル状態時の SPxCLK をホールドするレベルを設定します。

SSPxCR0<SPH>はデータをラッチするクロックエッジを選択します。

	SSPxCR0<SPO>	SSPxCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

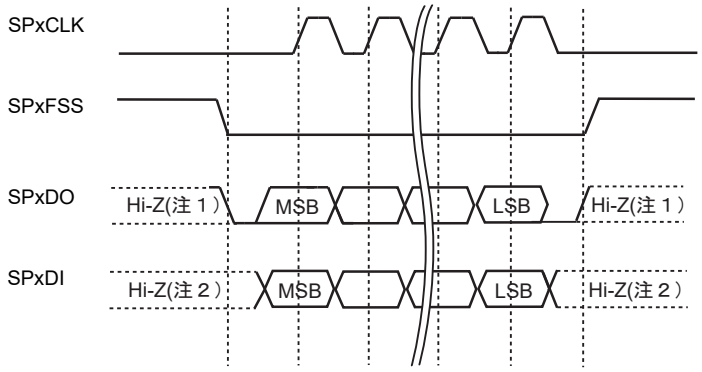


図 15-4 SPI フレームフォーマット（シングル転送、<SPO>=0＆<SPH>=0）

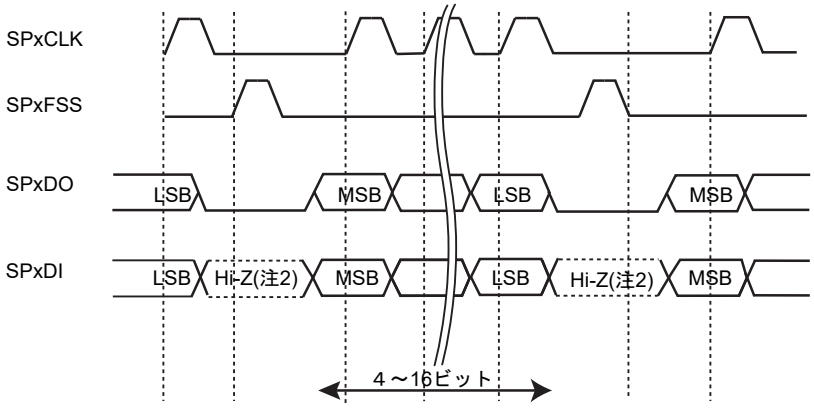


図 15-5 SPI フレームフォーマット（連続転送、<SPO>=0＆<SPH>=0）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

- SPxCLK が"Low" にセットされます。
- SPxFSS が"High" にセットされます。
- 送信データライン SPxDO が"Low" にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は"Low" でドライブされる SPxFSS マスタシグナルによって通知されます。これにより、マスタの SPxDI 入力ラインでスレーブデータがイネーブルされます。

SPxCLK の半周期後、有効マスタデータが SPxDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPxCLK のさらに半周期後に SPxCLK マスタクロックピンが"High" になります。その後、データは SPxCLK シグナルの立ち上がりエッジで捕捉され、立ち下がりエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPxCLK 1周期後に、SPxFSS ラインがアイドル"High" 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPxFSS シグナルを"High"でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理"0" の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPxFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPxCLK 1周期後に SPxFSS ピンがアイドル状態に戻ります。

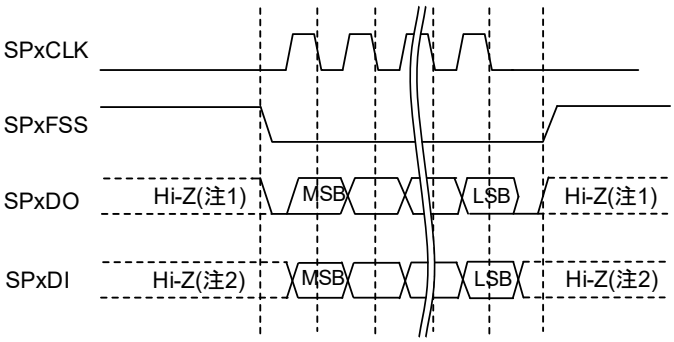


図 15-6 SPI フレームフォーマット（<SPO>=0＆<SPH>=1）

図 15-6 は、<SPO>=0、<SPH>=1 の SPI フレームフォーマットです。シングル転送、連続転送とも同じフォーマットとなります。

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

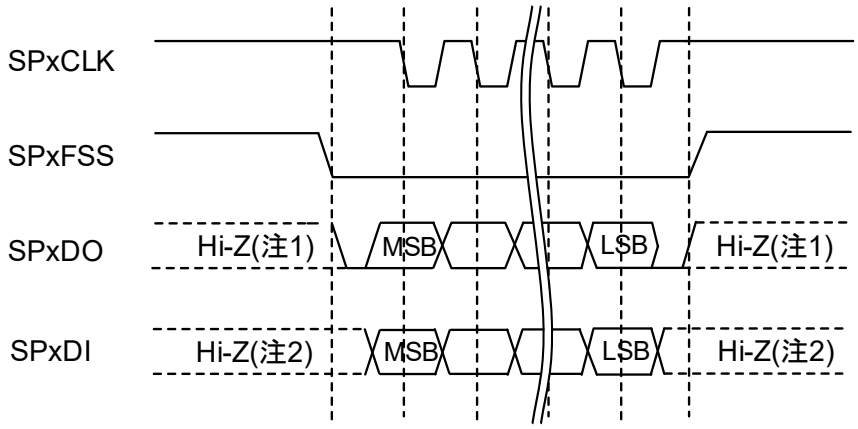


図 15-7 SPI フレームフォーマット（シングル転送<SPO>=1＆<SPH>=0）

図 15-7 は、<SPO>=1、<SPH>=0 のシングル転送時の SPI フォーマットです。

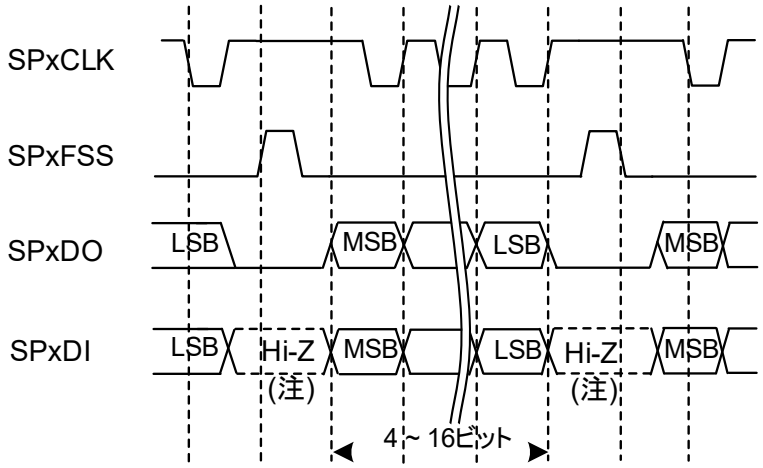


図 15-8 SPI フレームフォーマット（連続転送<SPO>=1＆<SPH>=0）

図 15-8 は、<SPO>=1、<SPH>=0 の連続転送時の SPI フォーマットです。

注 1) SPxDO 端子は非送信中に出力 OFF となり"Hi-Z"状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

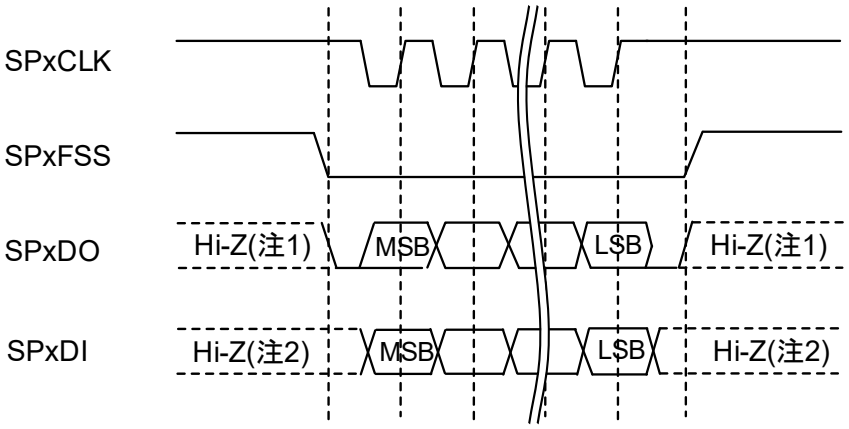


図 15-9 SPI フレームフォーマット（<SPO>=1＆<SPH>=1）

図 15-9 は、<SPO>=1、<SPH>=1 の SPI フレームフォーマットです。シングル転送、連続転送とも同じフォーマットになります。

注 1)　SPxDO 端子は非送信中に出力 OFF となり"Hi-Z"状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

15.6.3 Microwire のフレームフォーマット

Microwire 形式は半二重モードで動作する特殊なマスタ- スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4 ~ 16 ビットであり、全体のフレーム長は 13 ~ 25 ビットとなります。

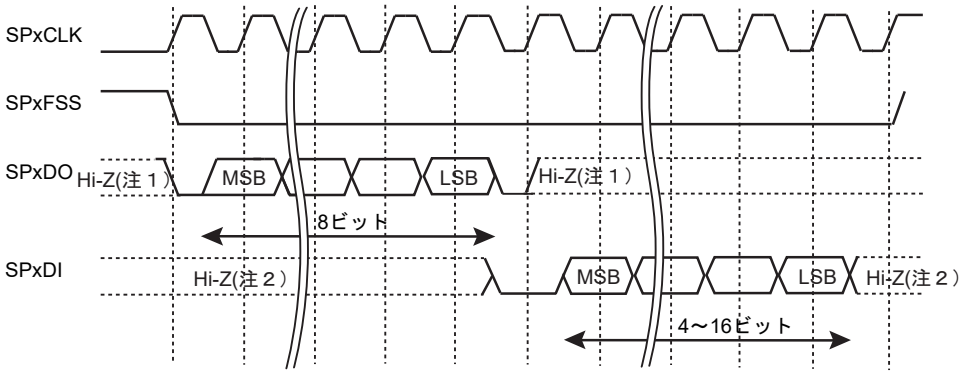


図 15-10 Microwire フレームフォーマット（シングル転送）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスタ-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、 SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4 ~ 16 ビット長、フレーム全体は 13 ~ 25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では：

- SPxCLK が Low にセットされます。
- SPxFSS が High にセットされます。
- 送信データライン SPxDO が Low にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPxFSS の立下りエッジによって送信 FIFO の最下位エントリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPxDO ピンにシフトアウトされます。

このフレーム伝送の間、SPxFSS は Low でホールドされ、SPxDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPxCLK の立ち上がりエッジでそのシリアルシフタに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPxCLK の立下りエッジで SPxDI ラインにドライブされます。

一方、SSP は SPxCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフタにラッチされてから 1 クロック周期後に SPxFSS シグナルが High にプルされ、これによってデータが受信 FIFO に転送されます。

注)　オフチップスレーブデバイスは、受信シフタによって LSB がラッチされた後の SPxCLK の立下りエッジで、または SPxFSS ピンが High になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

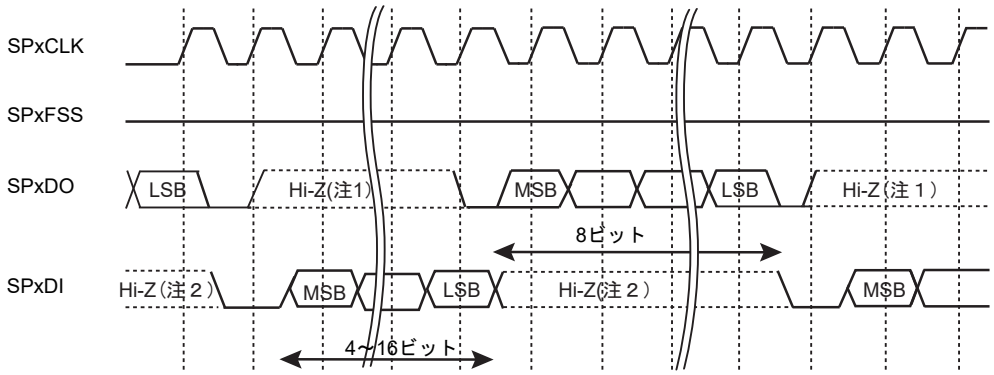


図 15-11 Microwire フレームフォーマット（連続転送）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPxFSS ラインは常にアサート(Low でホールド)され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPxCLK の立下りエッジで受信シフタから転送されます。

注) (接続例)SSP は、システム内におけるマスタ/ スレーブの dynamics 切り替えをサポートしていません。
各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

第 16 章　USB 用クロック制御（USBPLLIF）

16.1　特長

USBPLLIF では、USB デバイス用 PLL の動作／停止制御、USB デバイスへの 48MHz クロック供給停止／動作制御、USB 用クロックを USB デバイス用 PLL または USB_ECLK 端子入力から選択することが可能です。

また、USB 機能を使用しない場合は、各選択レジスタを停止に設定する事により消費電力を抑えることができます。

16.2　レジスタ説明

16.2.1　レジスター覧

USB 用 PLL 関連のレジスタとアドレスを以下に示します。

Base Address = 0x400F_3100

レジスタ名		Address(Base+)
USB 用 PLL コントロールレジスタ	USBPLLCR	0x0000
USB 用 PLL イネーブルレジスタ	USBPLLEN	0x0004
USB 用 PLL セレクトレジスタ	USBPLLSEL	0x0008

16.2.2 USBPLLCR(USB 用 PLL システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	USBPLLON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	USBPLLON	R/W	USBPLL（逓倍回路）の動作選択 0: 停止 1: 発振 リセット解除後は停止状態ですので、設定が必要です。

16.2.3　USBPLLEN(USB 用 PLL イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	USBDEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	-	RW	"0"を書いてください。
0	USBDEN	RW	USB デバイス 48MHz クロック供給選択 0: 停止 1: 動作 　リセット解除後は停止状態ですので、設定が必要です。

16.2.4 USBPLLSEL(USB 用 PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	USBPLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	USBPLLSET							USBPLLSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-1	USBPLLSET [14:0]	R/W	USB 用 PLL 逓倍値設定(下記以外は設定禁止) 0x0000:<USBPLLSEL>にて USB_ECLK 選択時 0x5917:入力クロック 8MHz, 出力クロック 48MHz (6 逓倍) 0x5A0F:入力クロック 12MHz, 出力クロック 48MHz (4 逓倍) 0x720B:入力クロック 16MHz, 出力クロック 48MHz (3 逓倍)
0	USBPLLSEL	R/W	USB デバイスに使用するクロック選択 0: USB_ECLK 入力 1: fusbpll リセット解除後は USB_ECLK 入力 が選択されています。 USB 用 PLL クロックを使用する場合は "1" に設定して下さい。

注 1) PLL 逓倍値の設定は、USBPLLCR<USBPLLON> = "0"(PLL 停止)の状態で行なってください。

注 2) PLL 逓倍値設定後、PLL 初期化安定時間として 100μs 以上、USBPLLCR<USBPLLON>="0" (PLL 停止)を保持する必要があります。

注 3) STOP1/2 モードから復帰する際、 <USBPLLSEL>および<USBPLLON>は初期化されます。

注 4) 内蔵高速発信器(IHOSC)をシステムクロックとして使用する場合、USB 用 PLL の使用は禁止です。

16.3　USB 用クロック制御

16.3.1　USB 用クロックの種類

USB 用クロックの一覧を以下に示します。

EHCLKIN	: X1 端子より入力される外部高速発振（クロック入力）
EHOSC	: X1、X2 端子による外部高速発振（発振子接続）
feosc	: CGOSCCR<EHOSCSEL>で選択されたクロック
fusbpll	: USB 用 PLL により逓倍されたクロック
fusbclk	: USB 用 PLL により逓倍されたクロックまたは USB_ECLKí[éqì¸óÕ
USBDCLK	: USB デバイス用 48MHz クロック

16.3.2　リセット動作による初期値

リセット動作により、USB 用クロックの設定は下記のような状態に初期化されます。

外部高速発振器	: 停止
USB 用 PLL (逓倍回路)	: 停止

16.3.3 USB 用クロック系統図

USB 用クロック系統図を図 16-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

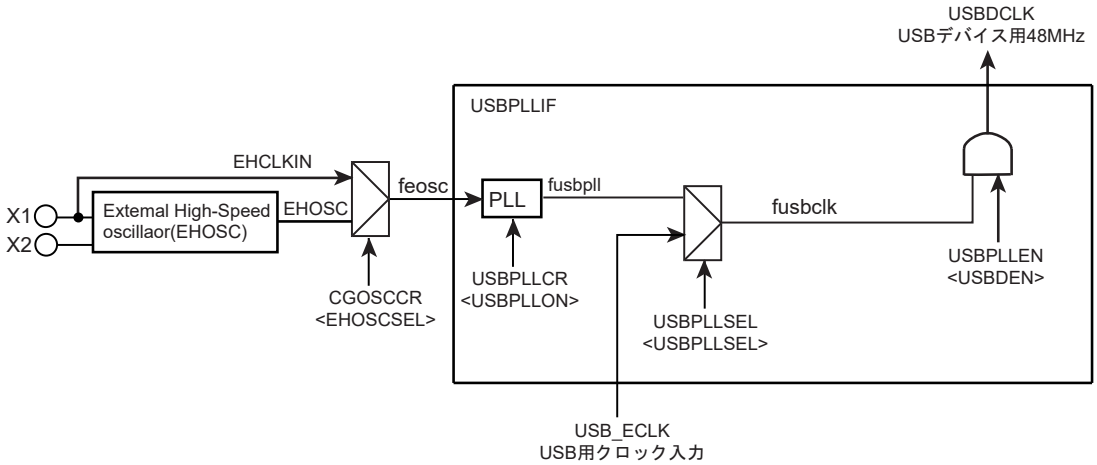


図 16-1 USB 用クロック系統図

16.3.4　USB 用クロック逓倍回路(USB 用 PLL)

16.3.4.1　使用方法

USB 用 PLL はリセット解除後、ディセーブル状態です。

USB 用 PLL を使用するためには、USBPLLCR<PLLON> が "0" の状態で USBPLLSEL <USBPLLSET>で逓倍値の設定を行なった後、USB 用 PLL の安定時間として約 100μs 以上確保します。

その後、USBPLLCR<USBPLLON>を"1"に設定し、ロックアップ時間として約 100μs 以上経過した後に、USBPLLEN<USBDEN>に"1"を設定します。

これにより、feosc を逓倍した USB 用クロックを出力することができます。

注 1)　ウォーミングアップ時間の設定は「クロック／モード制御」の章を参照して下さい。

16.3.5　USB 用外部クロック入力

16.3.5.1　使用方法

USB_ECLK 端子はリセット解除後、ポートとなります。

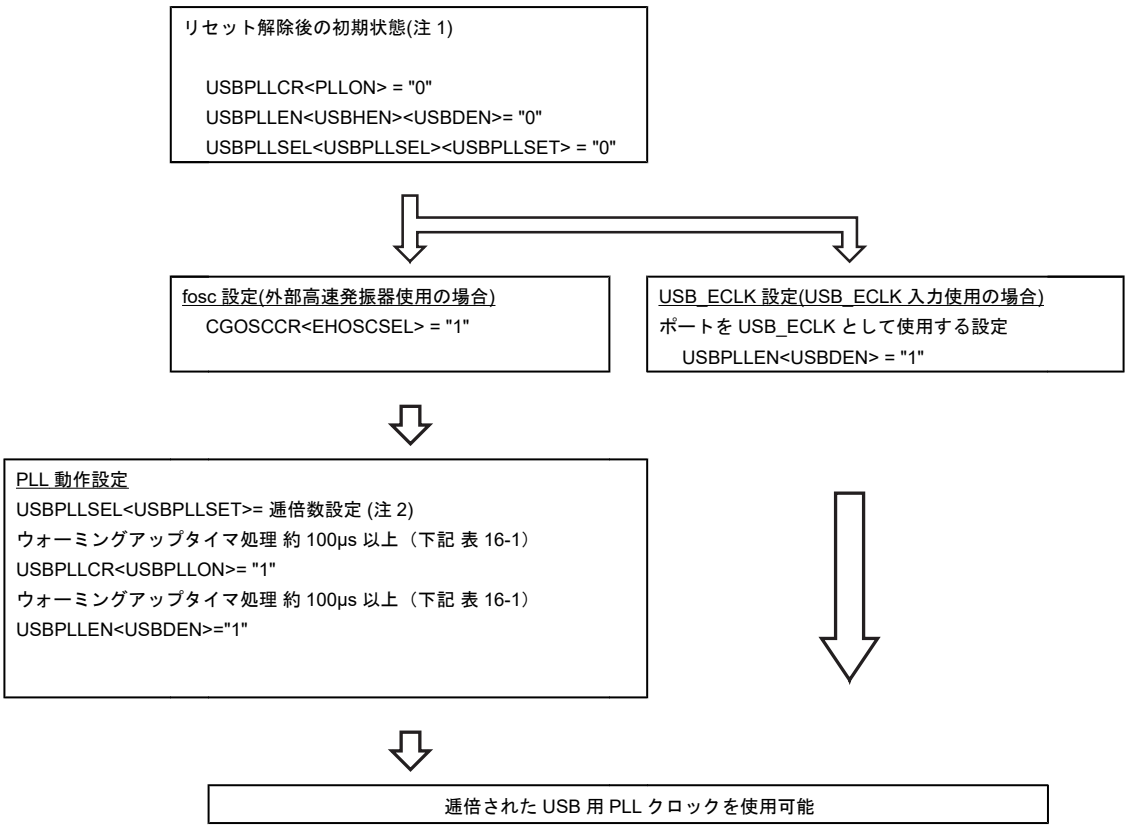
USB 用クロック入力端子として動作するようにレジスタを設定した後、USBPLLSEL <USBPLLSEL>を"0"に設定します。USBPLLEN<USBDEN>に"1"を設定することで、USB デバイスにクロックを供給する事ができます。

注)　USB 用外部クロックを使用する場合、USB 用 PLL の使用は禁止です。

16.3.6 USB 用クロック設定シーケンス

以下にリセット解除後の USB 用クロック設定シーケンスを示します。

USB 用クロック設定手順



注 1) 高速発振回路、電源電圧の安定が必要です。

注 2) PLL の逓倍数を変更した場合、初期化のため、100μsec 以上の安定時間が必要です。このとき、USBPLLCR<USBPLLON> を"0"（PLL 停止）に保ってください。

表 16-1 ウォーミングアップ機能設定例

CGOSCCR<WUPT[11:0]> = "xxxx"	:ウォーミングアップ時間設定
CGOSCCR<WUPT[11:0]> リード	: ウォーミングアップ時間の反映確認 "xxxx"がリードできるまで繰り返し。
CGOSCCR<XEN2> = "1"	: 高速発振(fosc)イネーブル
CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ(WUP)スタート
CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

第 17 章　USB デバイスコントローラ (USBD)

本章では USB デバイスコントローラについて説明します。

本章ではエンドポイントを EP と記述します。

17.1　システム概要

1. Universal Serial Bus Specification Rev.2.0 に準拠
2. Full-Speed をサポート(Low-Speed は非対応)
3. USB プロトコル処理
4. SOF/USB_RESET/SUSPEND/RESUME の検出
5. パケット ID の生成およびチェック
6. CRC5 チェック, CRC16 の生成およびチェック
7. 4 種類(Control/Interrupt /Bulk/ Isochronous)の転送モードをサポート
8. 8 EP のサポート

表 17-1 エンドポイント

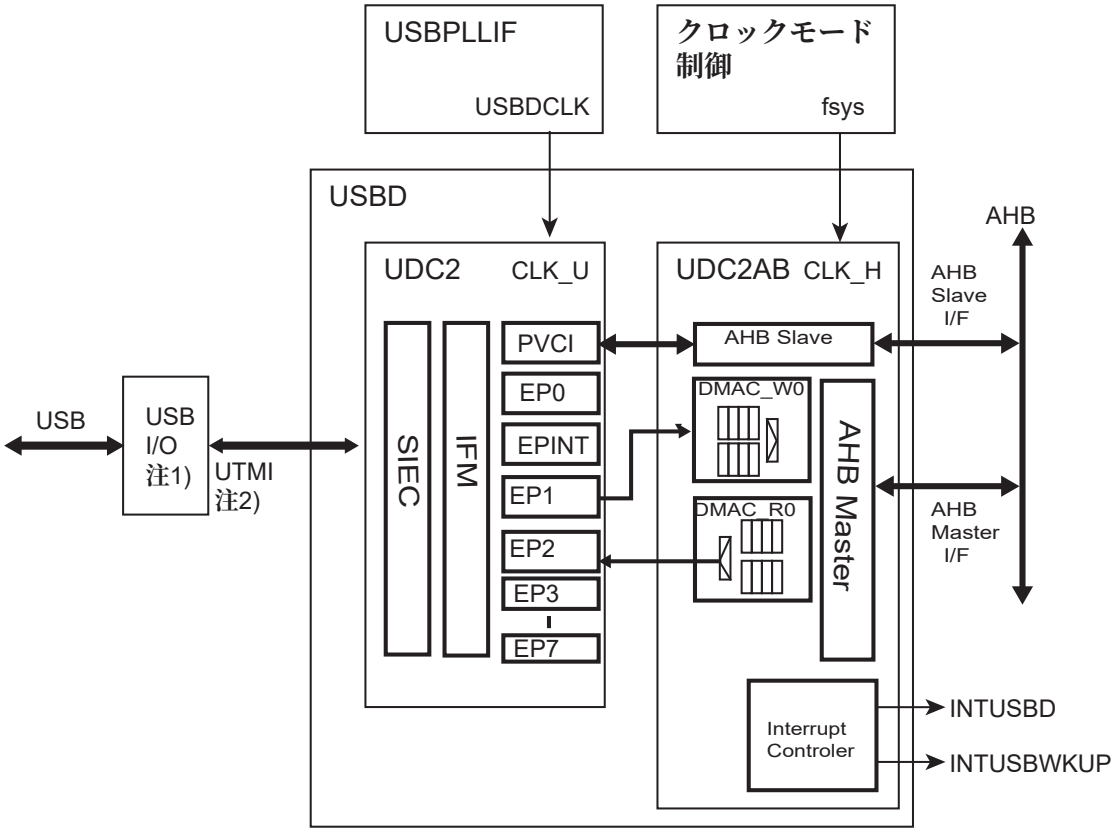
EP0:	コントロール	64byte × 1 FIFO
EP1:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO
EP2:	コントロール/インターラプト /バルク / アイソクロナス(OUT)	64byte × 2 FIFO
EP3:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO
EP4:	コントロール/インターラプト /バルク / アイソクロナス(OUT)	64byte × 2 FIFO
EP5:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO
EP6:	コントロール/インターラプト /バルク / アイソクロナス(OUT)	64byte × 2 FIFO
EP7:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO

9. デュアルパケットモード対応(EP 0 は除く)
10. 割り込みコントローラへの割り込み要因信号:INTUSBD、INTUSBWKUP

17.2　システム構成

USB デバイスコントローラは、USB-Spec2.0 デバイスコントローラ(以下、UDC2)と、UDC2 と AHB バスを接続するバスブリッジ(以下、UDC2AB)から構成されています。

本章では、「17.2.1 AHB バスブリッジ (UDC2AB)」で、UDC2AB の構成を、「17.2.2 東芝 USB-Spec2.0 デバイスコントローラ (UDC2)」で UDC2 の構成を説明します。



注 1)TMPM367FDXBG では Full Speed モードに対応 (Low Speed は非対応) した USB I/O が
実装されています。文中の PHY は USB I/O と読み替えてください。
注 2)USB2.0 Transceiver Macrocell Interface

図 17-1 USB デバイスコントローラブロック図

17.2.1 AHB バスブリッジ (UDC2AB)

UDC2AB は、東芝 USB-Spec2.0 デバイスコントローラ(以下、UDC2)と AHB とのバスブリッジです。

UDC2AB は AHB マスタ転送をサポートする DMA コントローラを有し、AHB 上の指定されたアドレスと UDC2 内部の EP-FIFO(EP I/F)間の転送を制御します。

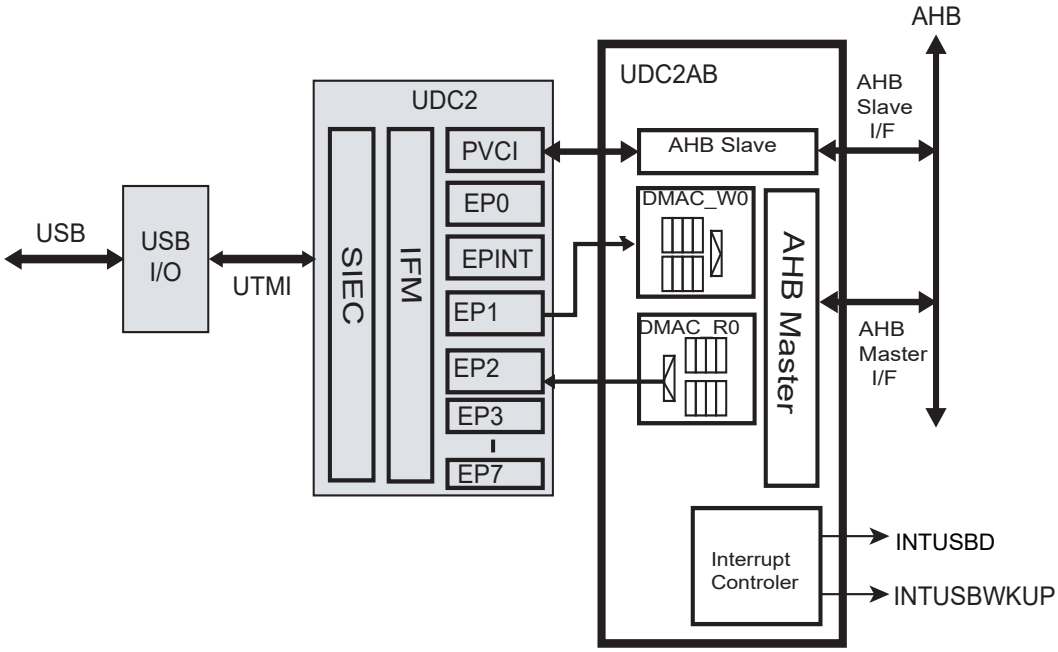


図 17-2 UDC2AB ブロック図

17.2.1.1　機能/特長

UDC2AB の機能と特長を以下に記します。

1. UDC2 との接続

   接続する UDC2 の EP 構成に特に制限はありません。ただし、UDC2AB 内の DMA コントローラ(AHB マスタ機能)と接続可能なのは、Rx 用 EP が 1 個、Tx 用 EP が 1 個となります。その他の EP(EP0 を含む)へのアクセスは、UDC2AB の AHB スレーブ機能を用いて、UDC2 の PVCI I/F と行います。なお、DMA コントローラでのマスタ転送中の UDC2 EP の EPx_FIFO レジスタに対して、PVCI I/F 経由でアクセスはできません。

   AHB マスタリード機能と接続する EP の Max パケットサイズが奇数となる場合には使用方法に制限があります。詳細は「17.5.4 "(3)マスタリード転送時の Max パケットサイズ設定」を参照して下さい。

2. AHB 機能

   AHB マスタと AHB スレーブ機能を持ちます。

   a. AHB マスタ機能

      ２つの DMA チャネルを持ち、Rx 用 EP、Tx 用 EP に対して、それぞれ 1 チャネルが割り当てられます。

表 17-2 AHB マスタ機能

Single Burst (INCR/INCR8) transactions	サポート
Split transaction	サポート
Little Endian	サポート
Protection Control	サポート
Early Burst Termination	サポート
アドレス幅	32 ビット
データ幅	32 ビット
Byte、Word の Transaction	サポート

Endian 変換のイメージは下図のようになります。

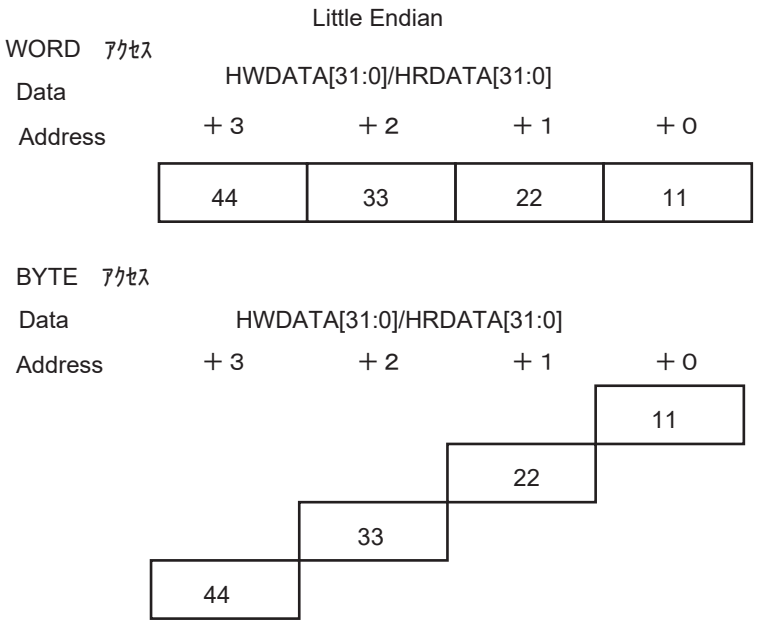


図 17-3 AHB マスタ機能 Endian 変換イメージ

b.　AHB スレーブ機能

内部レジスタアクセスに使用します。

Little Endian	サポート
Single transaction	サポート
アドレス幅	32 ビット
データ幅	32 ビット
Byte、Word の Transaction	サポート

Endian 変換のイメージは下図のようになります。

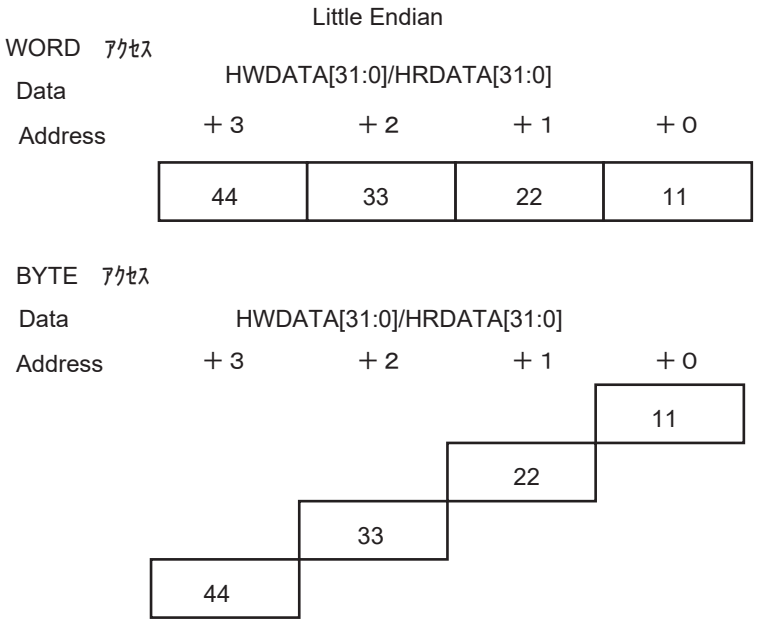


図 17-4 AHB スレーブ機能 Endian 変換イメージ

17.2.1.2 構成

UDC2AB は主に、UDC2AB レジスタおよび UDC2 レジスタ(UDC2 PVCI I/F)とのアクセスを制御する AHB スレーブ機能と、UDC2 EP I/F との DMA アクセスを制御する AHB マスタ機能から構成されます。

AHB マスタ機能には、マスタリードチャネル(AHB→UDC2)とマスタライトチャネル(UDC2→AHB)の計 2 チャネルが内蔵されており、UDC2 の Rx 用 EP、Tx 用 EP の EP I/F との DMA 転送が可能です。各チャネルは、8 ワードのバッファを 2 つずつ(計 4 つ)内蔵しています。

17.2.1.3 Clock ドメイン

UDC2AB の CLK_H はクロック/モード制御回路から供給される fsys が接続されています。fsys は TMPM367FDXBG の低消費電力モードにあわせ、停止または動作します。

低消費電力モードに入り、fsys が停止している間は CLK_H が供給されないため、INTUSBD は発生しません。

このため、VBUS のコネクトとディスコネクトの検出は、CLK_H の動作または停止に合わせて、使用する割り込みを INTUSBD と USBDPON 端子によって発生する INTUSBPOND から選択する必要があります。

詳細については、「17.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス」を参照してください。

UDC2 の CLK_U は USB クロック制御回路から供給される USBDCLK が接続されています。USBDCLK はレジスタによって、停止または動作します。サスペンド、レジューム状態などの検出により、CLK_U を停止または動作させるときは、ソフトウエアにより、USB クロック制御回路のレジスタを設定してください。

17.2.2　東芝 USB-Spec2.0 デバイスコントローラ (UDC2)

UDC2 は Universal Serial Bus への USB ファンクションの接続をコントロールする機能を持つコントローラです。UDC2 は USB プロトコルを自動処理し、PHY 側インターフェースには UTMI によりアクセス可能です。

1. SIEC (Serial Interface Engine Control) ブロック

   このブロックでは、USB におけるプロトコルの管理を行います。主な機能を以下に示します。

   ・ PID のチェック、生成
   ・ CRC のチェック、生成
   ・ デバイスアドレスのチェック

2. IFM ブロック

   このブロックでは、SIEC と EP の制御を行います。主な機能を以下に示します。

   ・ OUT-Token 受信時に、受信データを該当する EP へライト
   ・ IN-Token 受信時に、送信データを該当する EP からリード
   ・ UDC2.0.のステータス制御/管理

3. PVCI-I/F ブロック

   このブロックでは、IFM と外部レジスタアクセスバス(PVCI)とのリード/ライトを制御します。

   PVCI バスは UDC2AB を経由してアクセスします

4. EP0 ブロック

   このブロックでは、Control 転送時の送受信データをコントロールします。Control 転送の DATA-Stage でデータを送受信する場合、このブロック内の FIFO へ PVCI-I/F よりアクセスして下さい。

5. EPx ブロック

   このブロックでは、EPx(x=1 ~ 7)の送受信データをコントロールします。EP-I/F により FIFO へ直接アクセスすることが可能です。EP-I/F では、バースト転送が可能です。

   なお、EP は送信用 EP(EPTX)と、受信用 EP(EPRX)の 2 種類があります。EP の方向(送信／受信)についてはハードで固定となります。

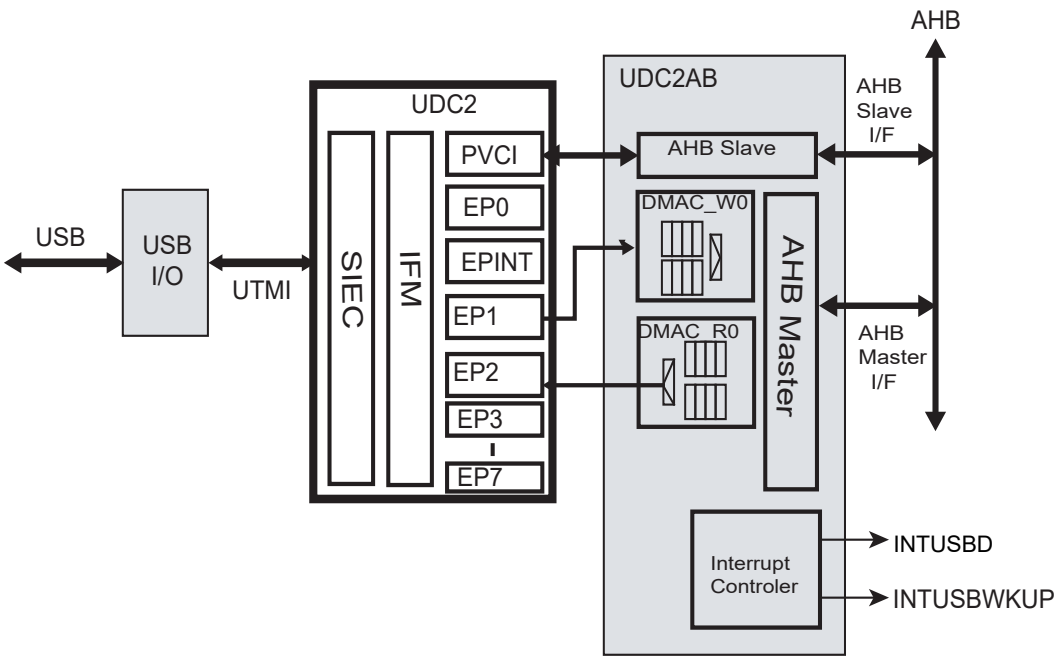


図 17-5 UDC2 ブロック図

17.2.2.1 機能/特徴

コアの主な機能と特長を以下に記します。

1. Universal Serial Bus Specification Rev. 2.0.をサポート
2. Full-Speed (FS)をサポート (Low-Speed は未対応)
3. USB プロトコル処理
4. SOF/USB_RESET/SUSPEND/RESUME の検出
5. パケット ID の生成およびチェック
6. CRC5 チェック、 CRC16 の生成およびチェック
7. 4 種類(Control/Interrupt/Bulk/Isochronous)の転送モードをサポート
8. 8 EP までサポート
9. デュアルパケットモード対応(EP 0 は除く)
10. EP の 1 ～7 については、 FIFO へ直接アクセス (EP-I/F)
11. USB 2.0 Transceiver Macrocell Interface (UTMI) 対応 (8 bits @ 48 MHz)

17.2.2.2 各フラグ仕様

UDC2 は、USB バス上での各種イベント発生時に、イベントをフラグとして出力します。この章では、各フラグについて説明します。

1. USB_RESET

USB_RESET 受信期間中、"High"をアサートします。UDC2 は、USB_RESET を受信することにより、Default-State に戻りますので、アプリケーションも Default-State に戻る必要があります。

UDC2 が Full-Speed 動作時は USB バス上の SE0 を 2.5 s 以上認識した時にこのフラグをアサートします。その後、UDC2 が Chirp-K を約 1.5ms ドライブした後に、以下の 2 種類の状態のどちらかを認識するとデアサートします。

a. ホストからの Chirp (K-J-K-J-K-J)を認識する。
b. ホストからの Chirp(K-J-K-J-K-J)を認識しない状態で 2ms 以上経過する。

注)　ホストが Chirp を開始する時間、Chirp-K、Chirp-J のドライブ時間はホストに依存しますが、USB_RESET フラグのアサート期間は 1.74ms ~ 3.5ms 程度となります。

2. INT_SETUP

Control 転送において、Setup-Token 受信後、"High"をアサートします。ソフトウエアはこの割込みを認識したら、Setup-Data 格納レジスタ(8 バイト)をリードし、リクエストの判断をして下さい。なお、この割込みは UDFS2INT<i_setup>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

3. INT_STATUS_NAK

Control 転送において、UDC2 が DATA-Stage を処理中("Setup_Fin"コマンド発行前)に、ホストが STATUS-Stage へ移行してパケットを送信してくると、UDC2 は"NAK"を返信しこのフラグを"High"にアサートします。ソフトウエアはこの割り込みを認識したら、UDFS2CMD により"Setup_Fin"コマンドを発行し、UDC2 の STATUS-Stage を終了させる必要があります。なお、この割込みは UDFS2INT<i_status_nak>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

4. INT_STATUS

Control 転送において、STATUS-Stage を正常に終了後、"High"をアサートします。なお、この割込みは UDFS2INT<i_status>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

5. INT_EP0

Control 転送の DATA-Stage において、"ACK"を送受信した際(正常にトランザクションが終了した際)に"High"をアサートします。なお、この割込みは UDFS2INT<i_ep0>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

6. INT_EP

EP0 以外の EP において、"ACK"を送受信した際(正常にトランザクションが終了した際)に"High"をアサートします。その際、UDFS2INTEP を確認することにより、どの EP への転送かを判断することができます。なお、この割込みは UDFS2INT<i_ep>に 1 をライトするか、UDFS2INTEP のセットされている全 bit に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

7. INT_RX_ZERO

Zero-Length データを受信時に"High"がアサートされます。ただし、Control 転送では DATA-Stage での Zero-Length データ受信時にのみアサートされます。STATUS-Stage での Zero-Length データ受信時にはアサートされません。どの EP に受信したかについては、UDFS2CMD<rx_nulpkt_ep>をリードするか、UDFS2INTRX0 を確認することにより判断できます。なお、この割込みは UDFS2INT<i_rx_data0>に 1 をライトするか、UDFS2INTRX0 のセットされている全 bit に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INTRX0 のクリアを行うようにして下さい。

8. INT_SOF

SOF 受信時に"High"をアサートします。なお、この割込みは UDFS2INT<i_osf>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

SOF はフレームの開始を示すパケットです。Full-Speed 転送では 1ms ごとにホストからデバイスへ送信されます。

9. INT_NAK

EP0 以外の EP において、NAK を送信するとアサートします。その際、UDFS2INTNAK を確認することにより、どの EP が NAK を送信したか判断することができます。なお、この割り込みは UDFS2INT<i_nak>に 1 をライトするか、UDFS2INTNAK のセットされている全ビットに 1 をライトすることによりデアサートされます。デフォルトでは NAK を送信してもこのフラグをアサートしないため、このフラグを使用する際には UDFS2INTNAKMASK レジスタの該当 EP に 0 をライトして、マスクを解除して下さい。

17.2.2.3 EP に対して発行するコマンドの説明

本章では UDFS2CMD<ep>で指定した EP に対して UDFS2CMD<com>で発行するコマンドについて説明します。

1. 0x0 : Reserved

指定しないでください。

2. 0x1 : Setup_Fin

EP0 にのみ発行してください。

Control 転送の DATA-Stage 終了を設定するコマンドです。UDC2 は、このコマンドが発行されるまで STATUS-Stage に対して"NAK"を返信しつづけますので、DATA-Stage 終了時あるいは INT_STATUS_NAK 受信時にこのコマンドを発行して下さい。

注) Control-WR では DATA-Stage で受信した全データをリード後に Setup-Fin コマンドを発行してください。

3. 0x2 : Set_DATA0

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP のトグルをクリアするコマンドです。通常の転送時のトグル更新は UDC2 により自動的に行われますが、ソフトからクリアする必要がある場合はこのコマンドを発行して下さい。

4. 0x03 : EP_Reset

すべての EP に対し発行可能。

EP のデータおよびステータスをクリアするコマンドです。Set_Configuration、Set_Interface の EP 設定時、Clear_Feature による EP のリセット時等、EP をリセットしたい場合にこのコマンドを発行して下さい。なお、このコマンドによりリセットされるのは、

a. UDFS2EP0STS<toggle> / UDFS2EPxSTS<toggle>を DATA0 へクリア
b. UDFS2EP0STS<status> / UDFS2EPxSTS<status>を Ready へクリア
c. UDFS2EP0MSZ<dset> / UDFS2EPxMSZ<dset> および UDFS2EP0DSZ / UDFS2EPxDSZ をクリア
d. UDFS2EP0MSZ<tx0_data> / UDFS2EPxMSZ<tx_0data>をクリア
e. UDFS2EPxSTS<disable>をクリア

の 5 点です。

UDC2 は全ての転送においてハードによるトグルの制御を行っています。各 EP の転送が行われている時にこのコマンドを発行すると、該当 EP のトグルもクリアされますのでホストとの同期がとれなくなる可能性があります。前述にありますリクエスト受信時のように、ホストとの同期がとれる時にコマンドを発行して下さい。

5. 0x4 : EP_Stall

すべての EP に対し発行可能。

EP のステータスを"Stall"にセットするコマンドです。Set_Feature による EP の Stall 時等、EP のステータスを "Stall"にしたい場合にこのコマンドを発行して下さい。このコマンドを発行することにより、設定された EP については"STALL"を返信するようになります。ただし EP0 の Stall 状態は Setup-Token 受信時にクリアされます。

Isochronous 転送では Handshake 無しで転送が行われますので、Isochronous 転送を使用中の EP に対してはこのコマンドは発行しないで下さい。(UDFS2EPxSTS<t_type>で) Isochronous 転送を設定している EP に対してこのコマンドを発行した場合でも、"STALL"は返信しません。

6. 0x5 : EP_Invalid

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP のステータスを "Invalid" にセットするコマンドです。Set_Configuration、Set_Interface による設定時、使用しない EP を使用禁止に設定する場合にこのコマンドを発行して下さい。このコマンドを発行することにより、設定された EP については無応答となります。各 EP の転送が行われている時にはこのコマンドを発行しないで下さい。

7. 0x6 : Reserved

指定しないでください。

8. 0x7 : EP_Disable

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP をディセーブルにするコマンドです。このコマンドを発行することにより、設定された EP は、"NAK"を返信するようになります。Isochronous 転送では Handshake 無し

で転送が行われますので、Isochronous 転送を使用中の EP に対してはこのコマンドは発行しないで下さい。(UDFS2EPxSTS<t_type>で)Isochronous 転送を設定している EP に対してこのコマンドを発行した場合でも、 "NAK"は返信しません。

9. 0x8 : EP_Enable

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP をイネーブルにするコマンドです。"EP_Disable"コマンドによるディセーブル状態を解除する際に、このコマンドを発行して下さい。

10. 0x9 : All_EP_Invalid

EP の設定は無効です。

EP0 以外の全 EP のステータスを"Invalid"にセットするコマンドです。"EP_Invalid"コマンドを全 EP に行いたい場合、このコマンドを発行して下さい。"EP_Invalid"コマンドと同様に Set_Configuration、Set_Interface 処理時に発行して下さい。

11. 0xA : USB_Ready

EP0 のみ発行してください。

USB ケーブルへの接続をするためのコマンドです。ケーブルに接続されたことを確認後、ホストとの通信が可能になった時点でこのコマンドを発行して下さい。このコマンドが発行されて初めて USB-DDP の Pull-Up をし、ホストへケーブルコネクト状態を知らせます。

なお、このコマンドを発行すると UDC2 のデバイスステート(UDFS2ADR<configured> <addressed> <default>)は"Default"に設定されますので、このコマンドを発行する際は注意してください。

12. 0xB : Setup_Received

EP0 にのみ発行してください。

Control 転送の SETUP-Stage を認識したことを UDC2 へ知らせるためのコマンドです。INT_SETUP 割込みを受け付けて、リクエストコードを認識した後にこのコマンドを発行して下さい。このコマンドが発行されるまで DATA-Stage/STATUS-Stage に対して"NAK"を返信しつづけますので、INT_SETUP 割込み処理ルーチンの最後にこのコマンドを発行して下さい。

13. 0xC : EP_EOP

すべての EP に対し、発行可能です。

送信データ書込み終了を UDC2 へ知らせるためのコマンドです。最大転送バイト数(EP の FIFO 容量か MaxPacketSize のうち小さいバイト数)よりも少ないバイト数を送信したい場合、このコマンドを発行して下さい。このコマンドを発行することにより Dataset フラグがセットされ、ホストからの IN-Token に対しデータを返信します。Zero-Length データ、MaxPacketSize のデータをセットする際には使用しないで下さい。

14. 0xD : EP_FIFO_Clear

すべての EP に対し、発行可能です。

EP のデータをクリアするコマンドです。同時に UDFS2EPxMSZ<dset>、UDFS2EPxDSZ がクリアされます。Interrupt 転送等で、ホストへデータを送信する前に現在 FIFO へ格納されているデータをクリアし、最新のデータをセットしたい場合にこのコマンドを発行して下さい。EP-I/F アクセス中にこのコマンドを発行すると、EP の FIFO が正常にクリアされません。このコマンドを発行するときには EP-I/F の epx_val を 0 にした状態で発行して下さい。

15. 0xE : EP_TX_0DATA

すべての EP に対し、発行可能です。

EP に Zero-Length データをセットするコマンドです。Zero-Length データを送信したい場合、このコマンドを発行して下さい。Bulk-IN 転送等で転送の最後を示すために Zero-Length データを送る場合には UDFS2EPxDSZ を読み、0 になった(EPx の FIFO にデータが無くなった)ことを確認して、このコマンドをセットしてください。また、EP-I/F からデータを書き込む場合書き込みが終了して、epx_val を 0 の状態にしてこのコマンドをセットして下さい。このコマンドをセットするとセットした EP の UDFS2EPxMS<tx_0data>がセットされます。

この UDFS2EPxMS<tx_0data>が 0 になったら次のデータをセットするよるようにしてください。Isochronous-IN 転送では、EP の FIFO にデータがセットされていない状態だと、IN-Token に対して自動で Zero-Length データを送信します。このコマンドは発行しないで下さい。

16. 0xF : Reserved

指定しないでください。

以下のコマンドについては、USB 転送実行中に発行された場合設定は保留され、USB 転送終了後に実行されます。なお、コマンドの保留は EP 毎に行われます。

- 0x2: Set_DATA0
- 0x3: EP_Reset
- 0x4: EP_Stall
- 0x5: EP_Invalid
- 0x7: EP_Disable
- 0x8: EP_Enable
- 0x9: All_EP_Invalid
- 0xD: EP_FIFO_Clear
- 0xE: EP_TX_0DATA

このため、USB 転送実行中に同一 EP に連続してコマンドが発行された場合、コマンドは上書きされ最後に発行したコマンドのみ有効となります。同一 EP に連続してコマンドを発行する必要がある場合は、UDFS2EPxSTS / UDFS2EPxDSZ をポーリングしてコマンドが有効になった事を確認してから発行して下さい。また、EP_Reset/EP_FIFO_Clear コマンドにて FIFO をクリアした直後に EP-I/F アクセスを行う場合には、UDFS2EPxDSZ をポーリングして、コマンドが有効になった事を確認してから EP-I/F アクセスを再開して下さい。

EP0 については、Setup-Token 受信後 Setup_Received コマンドが発行されるまでは、EP0 に対する以下のコマンドは無効となります。

- 0x1: Setup_Fin
- 0x2: Set_DATA0

- 0x3: EP_Reset
- 0x4: EP_Stall
- 0xC: EP_EOP
- 0xD: EP_FIFO_Clear
- 0xE: EP_TX_0DATA

EPx へ"EP_Stall"コマンドをセットすると、UDFS2EPxSTS<status>に "Stall"がセットされます。また、EP_Disable をセットすると UDFS2EPxSTS<disable>に 1 がセットされます。この EP_Stall と EP_Disable の 2 種類のコマンドを同じ EPx へセットし、UDFS2EPxSTS<status>が "Stall"に、UDFS2EPxSTS<disable>=1 になった場合、転送では"STALL"が送信されます。

EPx へ"EP_Invalid"コマンドをセットすると、UDFS2EPxSTS<status>に"Invalid"がセットされます。EP_Invalid と EP_Disable の 2 種類のコマンドを同じ EPx へセットし、UDFS2EPxSTS<status>が "Invalid"に、UDFS2EPxSTS<disable>= 1 になった場合、転送では無反応になります。

UDFS2EPxSTS<disable>=1 で、UDFS2EPxMSZ<tx_0data>= 1 の場合には、転送では Zero-Length データが 1 回送信されます。Zero-Length データの転送が成功した後に、"NAK"が送信されるようになります。

17.3　USB バスとの接続方法

TMPM367FDXBG を USB バスに接続するときの回路例を以下に示します。

USB 電源(VBUS)のコネクトを検出するために、VBUS を USBDPON 端子に入力してください。

D+のプルアップ抵抗による Pull-Up 処理、D+、D-への直列ダンピング抵抗挿入が必要です。またプルアップ抵抗については Port による ON/OFF 制御を追加し、VBUS に電圧がかかっていないときにプルアップ抵抗を切り離す必要があります。

D+、D- が不安定になる場合は、R_1 で Pull-Down を実施することを推奨します。

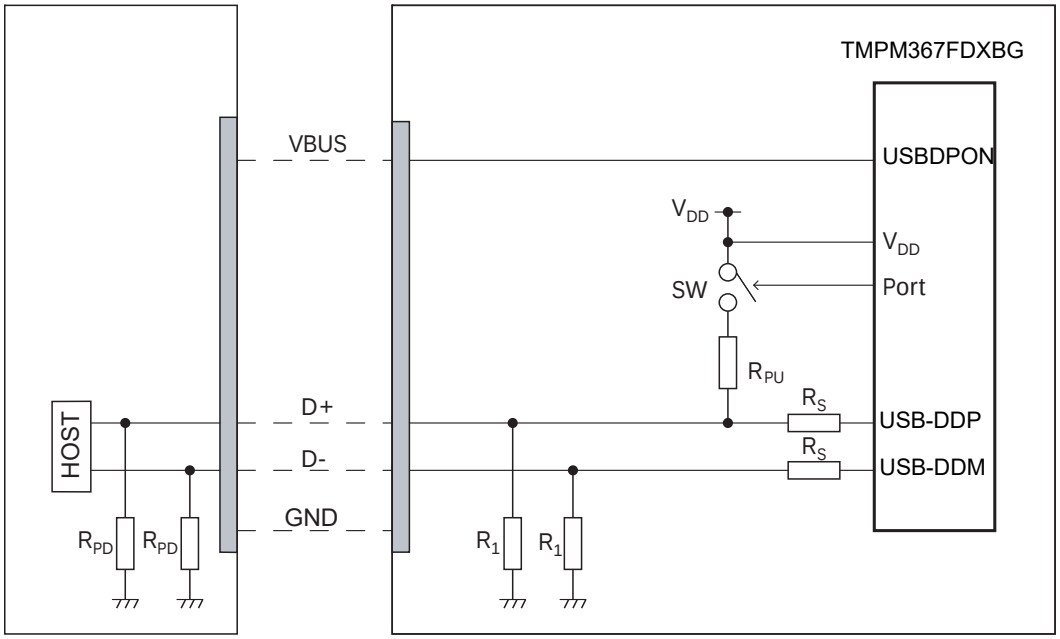


図 17-6 USB バスと TMPM367FDXBG の接続例

注)　R_1=500kΩ 以上(推奨値)、R_S=33Ω(推奨値)、R_{PU}=1.5kΩ(推奨値)

17.4 レジスタ 説明

USBD のレジスタは、UDC2AB のレジスタと、UDC2 のレジスタで構成されます。

UDC2 のレジスタにアクセスした場合は、UDC2AB が UDC2 へ PVCI I/F 経由で自動的にアクセスします。

UDC2AB のレジスタは 32bit 幅です。UDC2 のレジスタは 16bit 幅で、[15:0]に割り当てられます。[31:16]は読み出し値不定のリードオンリーになります。

17.4.1 UDC2AB レジスタ

17.4.1.1 UDC2AB レジスター覧

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
Interrupt Status Register	UDFSINTSTS	0x0000
Interrupt Enable Register	UDFSINTENB	0x0004
Master Write Timeout Register	UDFSMWTOUT	0x0008
UDC2 Setting Register	UDFSC2STSET	0x000C
DMAC Setting register	UDFSMSTSET	0x0010
DMAC Read Request Register	UDFSDMACRDREQ	0x0014
DMAC Read Value Register	UDFSDMACRDVL	0x0018
UDC2 Read Request Register	UDFSUDC2RDREQ	0x001C
UDC2 Read Value Register	UDFSUDC2RDVL	0x0020
-	Reserved	0x0024 -0x0038 注 2)
Arbiter Setting Register	UDFSARBTSET	0x003C
Master Write Start Address Register	UDFSMWSADR	0x0040
Master Write End Address Register	UDFSMWEADR	0x0044
Master Write Current Address Register	UDFSMWCADR	0x0048 注 1)
Master Write AHB Address Register	UDFSMWAHBADR	0x004C
Master Read Start Address Register	UDFSMRSADR	0x0050
Master Read End Address Register	UDFSMREADR	0x0054
Master Read Current Address Register	UDFSMRCADR	0x0058 注 1)
Master Read AHB Address Register	UDFSMRAHBADR	0x005C
-	Reserved	0x0060 - 0x007C 注 2)
Power Detect Control Register	UDFSPWCTL	0x0080
Master Status Register	UDFSMSTSTS	0x0084
Timeout Count Register	UDFSTOUTCNT	0x0088 注 1)
-	Reserved	0x008C - 0x1FC

注 1) 必ず UDFSDMACRDREQ を経由してリードアクセスを行って下さい。
注 2) 上記で Reserved と記されている領域はアクセス禁止です。リードもライトもしないでください。

17.4.1.2　UDFSINTSTS (Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	int_mw_rerror	int_ powerdetect	-	-	int_dmac_ reg_rd	int_udc2_ reg_rd
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	int_mr_ahberr	int_mr_ep_ dset	int_mr_end_ add	int_mw_ ahberr	int_mw_ timeout	int_mw_end_ add	int_mw_set_ add	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	int_usb_ reset_end	int_usb_reset	int_suspend_ resume
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	int_nak	int_ep	int_ep0	int_sof	int_rx_zero	int_status	int_status_ nak	int_setup
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-30	-	R	Read as undefined.
29	int_mw_rerror	R/W	EP へのアクセスが共通バスアクセスの設定時(UDFS2EPxSTS<bus_sel>が 0)にマスタライト転送を起動した場合に、1 にセットされます。 0: 未検出 1: マスタライト EP リードエラー発生
28	int_ powerdetect	R/W	UDC2AB の VBUSPOWER 入力のステータスが変化した時に、 1 にセットされます。 0:変化無し 1:ステータス変化
27-26	-	R	Read as undefined.
25	int_dmac_ reg_rd	R/W	UDFSDMACRDREQ の設定により実行されたレジスタアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされたときに、1 にセットされます。 0: 未検出 1:レジスタリード完了
24	int_udc2_reg_ rd	R/W	UDFSDMACRDREQ の設定により実行された UDC2 へのアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされたときに、1 にセットされます。 また、UDC2 内部レジスタへのライトアクセスが完了したときに、1 にセットされます。 0: 未検出 1: レジスタリード/ライト完了
23	int_mr_ahberr	R/W	マスタリード転送動作中に、AHB エラーが発生した場合、本ステータスが 1 にセットされます。 この割り込み発生後は、UDFSMSTSET<mr_reset>によりマスタリード転送ブロックをリセットする必要があります。 0: 未検出 1: AHB エラー発生
22	int_mr_ep_dset	R/W	マスタリード時で使用する、UDC2 Tx 用 EP の FIFO がライト可能(Full ではない状態)となった時に、1 にセットされます。 0: FIFO ライト不可 1: FIFO ライト可
21	int_mr_end_ add	R/W	マスタリード転送が終了した際に、1 にセットされます。 0: 未検出 1: マスタリード転送終了
20	int_mw_ahberr	R/W	マスタライト転送動作中に、AHB エラーが発生した場合、本ステータスが 1 にセットされます この割り込み発生後は、UDFSMSTSET< mw_reset >によりマスタライト転送ブロックをリセットする必要があります 0: 未検出 1: AHB エラー発生

Bit	Bit Symbol	Type	Function
19	int_mw_ timeout	R/W	マスタライト転送動作中に、タイムアウトした場合、本ステータスが 1 にセットされます。 0: 未検出 1: マスタライト転送タイムアウト
18	int_mw_end_ add	R/W	マスタライト転送が終了した際に、 1 にセットされます。 0: 未検出 1: マスタライト転送終了
17	int_mw_set_ add	R/W	マスタライト転送がディセーブル状態で、該当する Rx 用 EP にマスタライト転送されるべきデータがセットされると 1 にセットされます 0: 未検出 1: マスタライト転送アドレス要求
16-11	-	R	Read as undefined.
10	int_usb_reset_ end	R/W	UDC2 が usb_reset 信号をデアサートしたかどうかを示します UDC2 が UDC2 レジスタを USB_RESET 後初期値に設定するタイミングは usb_reset 信号のデアサート時となります。このタイミングを検知したい場合は、本ビットを使用して下さい。なお、usb_reset 信号の状態は UDFSPWCTL<usb_reset>にて確認できます。 0: このビットがクリアされてから UDC2 は usb_reset 信号をデアサートしていません 1: UDC2 が usb_reset 信号をデアサートしたことを示します
9	int_usb_reset	R/W	UDC2 が usb_reset 信号をアサートしたかどうかを示します。なお、usb_reset 信号の状態は UDFSPWCTL <usb_reset>にて確認できます。 0: このビットがクリアされてから UDC2 は usb_reset 信号をアサートしていません 1:UDC2 が usb_reset 信号をアサートしたことを示します
8	int_suspend_ resume	R/W	UDC2 の suspend_x 信号が変化するたびに 1 をアサートします。UDFSPWCTL<suspend_x>により状態を確認して下さい。 0: 変化無し 1: スタータス変化
7	int_nak	R	UDC2 の nak 信号が直接読み出せます。クリアをするには UDFS2UDFS2INT もしくは UDFS2INTNAK の該当ビットをクリアして下さい。
6	int_ep	R	UDC2 の ep 信号が直接読み出せます。クリアをするには UDC2 の UDFS2INT もしくは UDFS2INTEP の該当ビットをクリアして下さい。
5	int_ep0	R	UDC2 の ep0 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
4	int_sof	R	UDC2 の sof 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
3	int_rx_zero	R	UDC2 の rx_zero 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT もしくはの UDFS2INTRX0 該当ビットをクリアして下さい。
2	int_status	R	UDC2 の status 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
1	int_status_nak	R	UDC2 の status_nak 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
0	int_setup	R	UDC2 の setup 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。

UDC2 出力信号と本レジスタ bit[10:9]、bit[7:0]の接続関係を、以下の図に示します

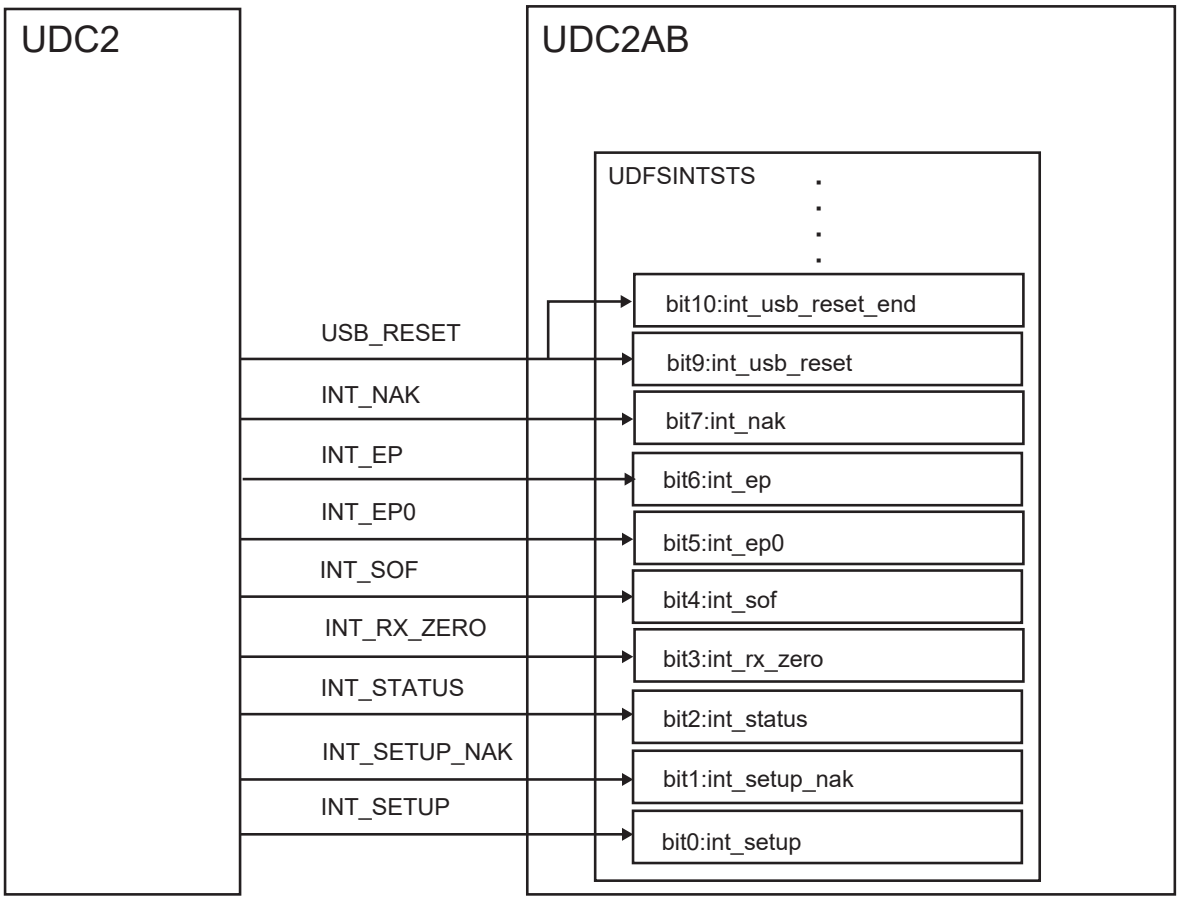


図 17-7 フラグ出力信号と割り込みビットの接続関係

17.4.1.3 UDFSINTENB(Interrupt Enable Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	mw_rerror_en	power_ detect_en	-	-	dmac_reg_ rd_en	udc2_reg_ rd_en
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	mr_ahberr_en	mr_ep_ dset_en	mr_end_ add_en	mw_ahberr_ en	mw_ timeout_en	mw_end_ add_en	mw_set_ add_en	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	usb_reset_ end_en	usb_reset_en	suspend_ resume_en
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-30	-	R	Read as undefined.
29	mw_rerror_en	R/W	mw_rerror 割り込みを制御します。 0: 禁止 1: 許可
28	power_detect_ en	R/W	power_detect 割り込みを制御します。 0: 禁止 1: 許可
27-26	-	R	Read as undefined.
25	dmac_reg_ rd_en	R/W	dmac_reg_rd 割り込みを制御します。 0: 禁止 1: 許可
24	udc2_reg_ rd_en	R/W	udc2_reg_rd 割り込みを制御します。 0: 禁止 1: 許可
23	mr_ahberr_en	R/W	mw_ahberr 割り込みを制御します 0: 禁止 1: 許可
22	mr_ep_dset_en	R/W	mr_ep_dset 割り込みを制御します。 0: 禁止 1: 許可
21	mr_end_ add_en	R/W	mr_end_add 割り込みを制御します。 0: 禁止 1: 許可
20	mw_ahberr_en	R/W	mw_ahberr 割り込みを制御します。 0: 禁止 1: 許可
19	mw_ timeout_en	R/W	mw_timeout 割り込みを制御します。 0: 禁止 1: 許可
18	mw_end_ add_en	R/W	mw_end_add 割り込みを制御します。 0: 禁止 1: 許可

Bit	Bit Symbol	Type	Function
17	mw_set_ add_en	R/W	mw_set_add 割り込みを制御します。 0:禁止 1: 許可
16-11	-	R	Read as undefined.
10	usb_reset_ end_en	R/W	usb_reset_end 割り込みを制御します。 0: 禁止 1: 許可
9	usb_reset_en	R/W	usb_reset 割り込みを制御します。 0: 禁止 1: 許可
8	suspend_ resume_en	R/W	suspend_resume 割り込みを制御します。 0: 禁止 1: 許可
7-0	-	R	Read as undefined.

17.4.1.4 UDFSMWTOUT(Master Write Timeout Register)

	31	30	29	28	27	26	25	24
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	timeoutset							timeout_en
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-1	timeoutset	R/W	マスタライト・タイムアウト用のタイマ設定レジスタです。. マスタライト転送中に設定を変更しないで下さい。マスタライト(Rx)用 EP のデータが無くなって(= 0)から、CLK_U を設定した回数カウントするとタイムアウトとなります。 タイムアウト用カウンタは 32bit で構成され、本レジスタ timeoutset[31:1]はそのカウンタの 32bit 中の上位 31bit を設定でき、カウンタの最下位 bit は 1 として設定されます。 CLK_U が 48MHz の場合は、約 20[ns] ~89[s]がタイムアウト値として設定可能です。 また、CLK_U を停止させているとき(サスペンド中など)は、カウンタの動作が止まるため、タイムアウト割込みは発生しません。
0	timeout_en	R/W	マスタライト・タイムアウトのイネーブル設定レジスタです マスタライト・タイムアウトをイネーブルする際に使用します。初期状態はイネーブルです。マスタライト転送中に設定を変更しないで下さい。 0: 禁止 1: 許可

17.4.1.5　UDFSC2STSET(UDC2 Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-			eopb_enable	-	-	-	tx0
After reset	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	Function
31-5	–	R	Read as undefined.
4	eopb_enable	R/W	マスタリード EOP をイネーブルする際に使用します。初期状態はイネーブルです。マスタリード転送中に設定を変更しないで下さい。 本ビットが 0 の場合、最終 Word が 1Byte の場合には UDC2 への最終データ転送は行なわれません。最終 Word が 2byte の場合には epx_w_eop=0 での UDC2 への最終データ転送が行なわれます。 本ビットが 1 の場合、最終 Word の Byte 数に関わらず epx_w_eop=1 での UDC2 への最終データ転送が行なわれます。 注）「17.5.4.1 マスタリード転送」を参照して下さい。 0: マスタリード EOP 禁止 1: マスタリード EOP 許可
3-1	–	R	Read as undefined.
0	tx0	R/W	マスタリード動作側に接続されている EP で、NULL パケットを送信する際に使用します。UDFSMSTSTS<mrepempty>が 1 の場合のみ有効で、それ以外では本ビットは無視されます。ライト後に自動的に 0 にクリアされます。 本ビット に 1 をセットすることで UDC2 EP-I/F の epx_tx0data 信号がアサートされ、NULL パケット送信実行中は、1 の値を保持しています。本ビットセット後は、0 にクリアされるまで Tx 用 EP への次のデータセットは行わないで下さい。 0: ノーオペレーション 1: NULL パケットを送信します

17.4.1.6 UDFSMSTSET(DMAC Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	m_burst_type
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	mr_reset	mr_abort	mr_enable	-	mw_reset	mw_abort	mw_enable
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-9	–	R	Read as undefined.
8	m_burst_type	R/W	マスタライト/リード転送時のバースト転送実行時の HBURST[2:0]のタイプを選択します。UDC2AB が行うバースト転送のタイプは INCR8(8 ビート インクリメント式バースト)となります。従って、通常は初期値である 0 を設定して下さい。但し、システムの AHB 仕様によりバースト転送のタイプとして INCR しか使用できない場合には、このビットに 1 を設定して下さい。この場合、UDC2AB は 8 ビートの INCR 転送を実行します。なお、バースト転送のビート数を変更することはできません。 このビットの設定は UDC2AB への初期設定にて行って下さい。マスタライト/リード転送を開始してからは変更しないで下さい。 注) UDC2AB はマスタライト/リード転送でバースト転送のみを行うわけではなく、バースト転送とシングル転送を組み合わせて転送します。このビットはあくまでバースト転送実行時にのみ影響します。 0: INCR8 1: INCR
7	-	R	Read as undefined.
6	mr_reset	R/W	UDC2AB のマスタリード転送ブロックを初期化します。ただし EP の FIFO は初期化されませんので、本リセットとは別に UDC2 の UDFS2CMD へアクセスして、対応する EP の初期化を行う必要があります。 本リセットはマスタ動作を停止させてから使用して下さい。 本ビットを 1 へセット後、自動的に 0 にクリアされます。クリアされるまで次のマスタリード転送を行わないで下さい。 0: ノーオペレーション 1: リセット
5	mr_abort	W	マスタリード転送を制御します。本ビットに 1 をセットすることによりマスタリード動作を停止させることができます。 転送途中にアボートした場合、マスタリード用バッファの UDC2 への転送を中断し<mr_enable>がクリアされ、マスタリード転送は停止されます。 本ビットを 1 へセット後、<mr_enable>が 0 へディセーブルされるとアボート完了となります 0: ノーオペレーション 1: アボート
4	mr_enable	R/W	マスタリード転送を制御します。転送アドレスのセット完了時にイネーブルにして下さい。マスタ転送の終了とともに、自動的にディセーブルされます。本レジスタではマスタリード動作のディセーブルを行うことはできませんので、マスタリード転送を停止させる際は<mr_abort>を使用して下さい。 0: 禁止 1: 許可
3	–	R	Read as undefined.
2	mw_reset	R/W	マスタライト転送ブロックを初期化します。ただし EP の FIFO は初期化されませんので、本リセットとは別に UDC2 の UDFS2CMD へアクセスして、対応する EP の初期化を行う必要があります。 本リセットはマスタ動作を停止させてから使用して下さい。 本ビットを 1 へセット後、自動的に 0 にクリアされます。クリアされるまで次のマスタライト転送を行わないで下さい。 0: ノーオペレーション 1: リセット
1	mw_abort	W	マスタライト転送を制御します。本ビットに 1 をセットすることによりマスタライト動作を停止させることができます。 転送途中にアボートした場合、UDC2 からマスタライト用バッファへの転送を中断して<mw_enable>がクリアされ、マスタライト転送は停止されます。. 本ビットを 1 へセット後、<mw_enable>が 0 へディセーブルされるとアボート完了となります。 0: ノーオペレーション 1: アボート
0	mw_enable	R/W	マスタライト転送を制御します。転送アドレスのセット完了時にイネーブルにして下さい。マスタ転送の終了とともに、自動的にディセーブルされます。本レジスタではマスタライト動作のディセーブルを行うことはできませんのでマスタライト転送を停止させる際は、<mw_abort>を使用して下さい。 0: 禁止 1: 許可

17.4.1.7 UDFSDMACRDREQ(DMAC Read Requeset Register)

	31	30	29	28	27	26	25	24
bit symbol	dmardreq	dmardclr	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dmardadr						-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	dmardreq	R/W	特定の DMAC 関連のレジスタリードアクセス要求ビットです。本ビットを 1 にセットすることにより、<dmardadr>に設定されたアドレスにリードアクセスが実行されます。リードアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされると、本ビットは、自動的にクリアされ、UDFSINTSTS<dmac_reg_rd>が 1 にセットされます。 0: ノーオペレーション 1: リード要求発行
30	dmardclr	R/W	DMAC 関連のレジスタリードアクセス要求を強制的にクリアするビットです。本ビットを 1 にセットすることにより、<dmardreq>によるレジスタリード要求は強制的に終了し、<dmardreq>の値が 0 となります。強制クリア処理が完了すると、本ビットは、自動的にクリアされます。 0: ノーオペレーション 1: 強制クリア発行
29-8	–	R	Read as undefined.
7-2	dmardadr[5:0]	R/W	リード要求を発行するレジスタのアドレス(上位 6 ビット)をセットします。上記の<dmardreq>と共にセットして下さい。 以下に示す何れかのアドレスをセットして下さい。 0x48: UDFSMWCADR リード時 0x58: UDFSMRCADR リード時 0x88: UDFSTOUTCNT リード時
1-0	–	R	Read as undefined.

17.4.1.8　UDFSDMACRDVL(DMAC Read Value Register)

	31	30	29	28	27	26	25	24
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-0	dmardata[31:0]	R	本レジスタは、UDFSDMACRDREQ によって要求されたデータが格納されます。 UDFSDMACRDREQ<dmardreq>ビットが 1 の時は、本レジスタにアクセスしないで下さい。

17.4.1.9 UDFSUDC2RDREQ(UDC2 Read Request Register)

	31	30	29	28	27	26	25	24
bit symbol	udc2rdreq	udc2rdclr	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	udc2rdadr	
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	udc2rdadr						-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	udc2rdreq	R/W	UDC2 レジスタへのリードアクセス要求ビットです。本ビットを 1 にセットすることにより、<udc2rdadr>ビットにセットされたアドレスにリードアクセスが実行されます。リードアクセスが完了して、UDFSUDC2RDVL に読み出した値がセットされると、本ビットは、自動的にクリアされ、UDFSINTSTS<udc2_reg_rd>が 1 にセットされます。 また、UDC2 のレジスタにライトアクセス実行中は、アクセス中を示すステータスビットとして機能して、1 の値を示します。本ビットが 1 の間は UDC2 レジスタへの次のアクセスを実行しないで下さい。 0: ノーオペレーション 1: リード要求発行
30	udc2rdclr	R/W	UDC2 レジスタのリード/ライトアクセス要求を強制的にクリアするビットです。本ビットを 1 にセットすることにより、<udc2rdreq>によるレジスタリード要求/UDC2 ライトアクセスは強制的に終了し、<udc2rdreq>の値が 0 となります。強制クリア処理が完了すると、本ビットは、自動的に 0 にクリアされます。中断した場合、アクセス中のリード値、ライト値は保証されません。 0 : ノーオペレーション 1 : 強制クリア発行
29-10	–	R	Read as undefined.
9-2	udc2rdadr[7:0]	R/W	リード要求を発行する UDC2 のレジスタアドレス[9:2]をセットします。UDC2 のレジスタアドレスは「17.4.1.1 UDC2AB レジスター覧」を参照してください。本レジスタ表のオフセットアドレスである 0x0200~0x0334 が該当します。上記の udc2rdreq と共にセットして下さい。
1-0	–	R	Read as undefined.

17.4.1.10　UDFSUDC2RDVL(UDC2 Read Value Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	udc2rdata							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	udc2rdata							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-0	udc2rdata[15:0]	R	本レジスタは、UDFSUDC2RDREQ によって要求されたデータが格納されます。UDFSUDC2RDREQ <udc2rdreq>が 1 の時は、本レジスタにアクセスしないで下さい。

17.4.1.11 UDFSARBTSET(Arbiter Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	abt_en	-	-	abtmod	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	abtpri_w1		-	-	abtpri_w0	
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	abtpri_r1		-	-	abtpri_r0	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	abt_en	R/W	DMAC-AHB 間のアクセスするとき、アービター動作を有効にします。 本ビットは、本レジスタの<abtmod>、 <abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビットをセットする場合には、0 をセットする必要があります。必ずこのビットを 1 にセットした状態で、DMA アクセスを開始して下さい 0: 禁止(DMA アクセス不可) 1: 許可
30-29	–	R	Read as undefined.
28	abdmod	R/W	アービターの方式を設定します。<abt_en>ビットが 0 の時のみライトアクセス可能です。 本ビットに 0 を設定した場合は、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビット設定値に関わらず、ラウンドロビン方式で AHB バスへのアクセス権が与えられます。 本ビットに 1 を設定した場合は、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビット設定値によってアクセス優先順位に従って AHB バスへアクセス権が与えられます。 0: ラウンドロビン 1: 固定優先順位
27-14	–	R	Read as undefined.
13-12	abtpri_w1	R/W	固定優先順位のモードを選択したときのマスタライト 1 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。
11-10	–	R	Read as undefined.
9-8	abtpri_w0	R/W	固定優先順位のモードを選択したときのマスタライト 0 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。
7-6	–	R	Read as undefined.
5-4	abtpri_r1	R	固定優先順位のモードを選択したときのマスタリード 1 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。
3-2	–	R	Read as undefined.
1-0	abtpri_r0	R/W	固定優先順位のモードを選択したときのマスタリード 0 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。

注)　<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビットには、必ず異なった優先度の値を設定して下さい。もし、同じ優先度の値が設定された場合には、<abt_en> に、1 をセットすることが出来ません。

(1)　DMAC と Arbiter setting レジスタのプライオリティ領域との関係

UDC2AB 仕様ではマスタライト用 DMAC(DMAC_W0)を 1 個、マスタリード用 DMAC (DMAC_R0)を 1 個をサポートしています。おのおの 2 個目にあたるマスタライト用 DMAC (DMAC_W1)、マスタリード用 DMAC(DMAC_R1)はサポートしていません。

従って、DMAC_W1、DMAC_R1 への優先度の設定は実質的には意味がありませんが、前述の通り、abtpri_w1、abtpri_w0、abtpri_r1、abtpri_r0 の各ビットには、必ず、異なった優先度の値を設定して下さい。

未実装の DMAC の対するレジスタ領域に、値を設定しても問題はありません。Arbiter Setting レジスタのプライオリティ領域は、以下のように DMAC と対応しています。

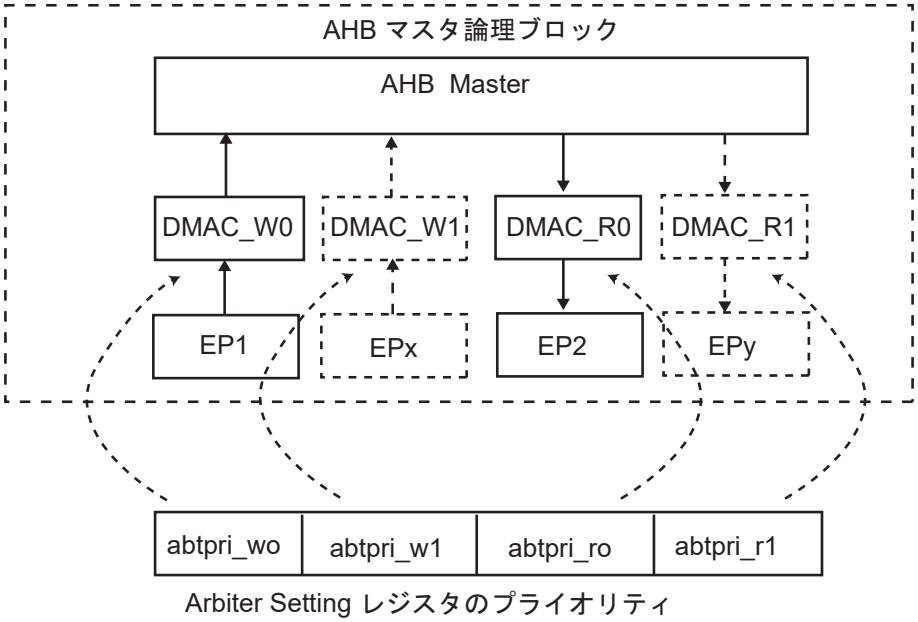


図 17-8 DMAC とプライオリティ領域の関係

17.4.1.12 UDFSMWSADR(Master Write Start Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mwsadr[31:0]	R/W	マスタライト転送のスタートアドレスを設定して下さい。ただし、本マスタ動作はアドレス増加にのみ対応していますので、UDFSMWEADR よりも下位の値を設定して下さい。

17.4.1.13 UDFSMWEADR(Master Write End Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mweadr[31:0]	R/W	マスタライト転送のエンドアドレスを設定して下さい。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMWSADR よりも上位の値を設定して下さい。

17.4.1.14　UDFSMWCADR(Master Write Current Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mwcadr[31:0]	R	マスタライト転送における EP からマスタライト用バッファへの現在までの転送完了アドレスを表示します。タイムアウト割り込みが発生した場合や、転送途中でエラーが発生した際に使用することができます。 本アドレスは EP からマスタライト用バッファへデータがセットされた時点でインクリメントされ、マスタライト転送途中では、表示アドレスまでのデータはターゲットデバイスまたはマスタライト用バッファ内に存在することとなります。

17.4.1.15　UDFSMWAHBADR(Master Write AHB Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrsadr[31:0]	R	マスタライト転送におけるターゲットデバイスへの転送完了アドレスを表示します。タイムアウト割り込みが発生した場合や、転送途中でエラーが発生した際に使用することができます。　本アドレスはターゲットデバイスへデータがセットされた時点でインクリメントされ、マスタライト転送途中では、表示アドレスまでのデータはターゲットデバイスに存在することとなります。

17.4.1.16 UDFSMRSADR(Master Read Start Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrsasr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrsadr[31:0]	R/W	マスタリード転送のスタートアドレスを設定して下さい。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMREADR よりも下位の値を設定して下さい。

17.4.1.17 UDFSMREADR(Master Read End Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mreadr[31:0]	R/W	マスタリード転送のエンドアドレスを設定して下さい。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMRSADR よりも上位の値を設定して下さい。

17.4.1.18　UDFSMRCADR(Master Read Current Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrcadr[31:0]	R	マスタリード転送におけるターゲットデバイスから EP への現在までの転送完了アドレスを表示します。 本アドレスはマスタリード用バッファから EP へデータがセットされた時点でインクリメントされ、マスタリード転送途中では、表示アドレスまでのデータは EP 用 FIFO 内に存在することとなります。

17.4.1.19　UDFSMRAHBADR(Master Read AHB Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrahbadr[31:0]	R	マスタリード転送におけるターゲットデバイスから、UDC2AB への転送完了アドレスを表示します。本アドレスはターゲットデバイスからデータがセットされた時点でインクリメントされ、マスタリード転送途中では、表示アドレスまでのデータは、バッファまたは、EP 用 FIFO に存在することとなります。

17.4.1.20 UDFSPWCTL(Power Detect Control Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	wakeup_en	phy_remote_wkup	phy_resetb	suspend_x	phy_suspend	pw_detect	pw_resetb	usb_reset
After reset	0	0	1	1	0	0	1	0

Bit	Bit Symbol	Type	Function
31-8	–	R	Read as 0.
7	wakeup_en	R/W	USB のサスペンド時に、TMPM367FDXBG を低消費電力モードに移行させて CLK_H を停止する時には、本ビットを 1 にセットして下さい。 本ビットを 1 にセットしているとサスペンドが解除された時(<suspend_x>=1)に、$\overline{\text{WAKEUP}}$ 信号が非同期で 0 にアサートされますので、INTUSBWKUP による TMPM367FDXBG の低消費電力モードからの復帰に利用可能です。 本ビットの利用方法に関しては「17.5.7 サスペンド、レジューム」も参照して下さい。 0: $\overline{\text{WAKEUP}}$ 信号をアサートしない 1: $\overline{\text{WAKEUP}}$ 信号をアサートする
6	phy_remoto_wkup	R/W	USB のリモートウェイクアップ機能を実行するために使用します。本ビットに 1 をセットすることで、udc2_wakeup 出力信号(UDC2 の wakeup 入力端子)を 1 にアサートすることができます。但し、UDC2 がサスペンドを検出していない時(<suspend_x>＝ 1 の時)に本ビットを 1 にセットした場合は無視されます(1 にセットされません)ので、サスペンド検出時にのみセットして下さい。USB レジューム完了時(<suspend_x> デアサート時)に自動的に 0 にクリアされます。 本ビットの利用方法に関しては「17.5.7 サスペンド、レジューム」も参照して下さい。 0: ノーオペレーション 1: ウェークアップ
5	phy_resetb	R/W	このビットに 0 をセットすると 、PHYRESET 出力信号が 1 へアサートされます。PHYRESET 信号は PHY のリセットに利用可能です。このビットは自動解除されませんので、必ず PHY の リセット仕様時間経過後に 1 へクリアして下さい。 0: リセットアサート 1: リセットデアサート
4	suspend_x	R	サスペンド信号を検出します(UDC2 からの suspend_x 信号を同期化した値です)。 0: サスペンド状態 (<suspend_x> = 0) 1: 非サスペンド状態 (<suspend_x> = 1)
3	phy_suspend	R/W	本ビットを 1 にセットすることで、$\overline{\text{PHYSUSPEND}}$ 出力信号が 0 へアサート(CLK_H 同期)されます。PHY をサスペンドする時の端子として使用可能です。 本ビットを 1 にセットすると、UDC2 レジスタと UDFSDMACRDREQ へのアクセスが禁止となります。 レジューム時(UDC2 の suspend_x デアサート時)に自動的に 0 にクリアされます。 本ビットの利用方法に関しては「17.5.7 サスペンド、レジューム」も参照して下さい。 0: 非サスペンド状態 1: サスペンド状態
2	pw_detect	R	UDC2AB の VBUSPOWER 入力の状態を示します。 0: USB バスディスコネクト (VBUSPOWER = 0) 1: USB バスコネクト (VBUSPOWER = 1)
1	pw_resetb	R/W	UDC2AB 用のソフトウエアリセットです。(詳細は「17.5.1 リセット」参照)。本ビットを 0 にセットすることで、PW_RESETB 出力端子が 0 にアサートされます。 マスタ動作が停止した状態でリセットを行って下さい。 このビットは自動解除されませんので、必ずクリアして下さい。 0: リセットアサート 1: リセットデアサート
0	usb_reset	R	UDC2 からの usb_reset 信号を同期化した値です。 0: usb_reset = 0 1: usb_reset = 1

17.4.1.21 UDFSMSTSTS(Master Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	mrepempty	mrbfemp	mwbfemp	mrepdset	mwepdset
After reset	0	0	0	1	1	1	0	0

Bit	Bit Symbol	Type	Function
31-5	–	R	Reset as undefined.
4	mrepempty	R	UDC2Rx 用 EP が空であることを示すレジスタです。UDFSC2STSET<tx0>を使って NULL パケットを送信する場合には、このビットが 1 であることを確認して下さい。(本ビットは eptx_empty 入力信号を CLK_H 同期したものです。) 0: EP にデータがあることを示します 1: EP が空であることを示します
3	mrbfemp	R	UDC2AB 内のマスタリード DMA 用バッファが空であるかどうかを示します。 0: マスタリード DMA 用バッファが空でないことを示します 1: マスタリード DMA 用バッファが空であることを示します
2	mwbfemp	R	UDC2AB 内のマスタライト DMA 用バッファが空であるかどうかを示します 0: マスタライト DMA 用バッファが空でないことを示します 1: マスタライト DMA 用バッファが空であることを示します
1	mrepdset	R	マスタリード DMA 転送により、UDC2 の Tx 用 EP へ送信データがセットされ、EP に書き込むスペースがなくなると 1 にセットされます。ホストからの IN-Token により UDC2 からデータが転送されると 0 になります。このビットが 0 であるときは EP への DMA 転送が可能です。(本ビットは eptx_dataset 入力信号を CLK_H 同期したものです。) 0: EP.　内にデータを転送可能です 1: EP　内にデータを転送するスペースがありません.
0	mwepdset	R	UDC2 の Rx 用 EP へ受信データがセットされると 1 にセットされます。全データがマスタライト用 DMA により読み出されると 0 になります。(本ビットは eprx_dataset 入力信号を CLK_H 同期したものです。 0: EP　内にデータはありません。 1: EP.　内に読み出すべきデータがあります。

17.4.1.22　UDFSTOUTCNT(Timeout Count Register)

	31	30	29	28	27	26	25	24
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	tmoutcnt[31:0]	R	タイムアウトカウント値を読み出すレジスタで、デバッグ用です。UDFSMWTOUT の timeout_en ビットをイネーブルにした場合に、タイマの値が読み出せます。マスタライト用 EP(Rx 用 EP)が空になってから CLK_U をカウントするごとにデクリメントされます。 本レジスタは、直接アドレスを指定して読み出すことはできません。読み出す場合は、UDFSDMACRDREQ に値をセットして、次に、UDFSDMACRDVL より、値を読み出します。

17.4.2　UDC2 レジスタ

17.4.2.1　UDC2 レジスター覧

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
UDC Address-State Register	UDFS2ADR	0x0200
UDC2 Frame Register	UDFS2FRM	0x0204
-	Reserved	0x0208
UDC2 Command Register	UDFS2CMD	0x020C
UDC2 bRequest-bmRequest Type Register	UDFS2BRQ	0x0210
UDC2 wValue register	UDFS2WVL	0x0214
UDC2 wIndex Register	UDFS2WIDX	0x0218
UDC2 wLength Register	UDFS2WLGTH	0x021C
UDC2 INT Register	UDFS2INT	0x0220
UDC2 INT EP Register	UDFS2INTEP	0x0224
UDC2 INT EP Mask Register	UDFS2INTEPMSK	0x0228
UDC2 INT RX DATA0 Register	UDFS2INTRX0	0x022C
UDC2 EP0 MaxPacketSize Register	UDFS2EP0MSZ	0x0230
UDC2 EP0 Status Register	UDFS2EP0STS	0x0234
UDC2 EP0 Datasize Register	UDFS2EP0DSZ	0x0238
UDC2 EP0 FIFO Register	UDFS2EP0FIFO	0x023C
UDC2 EP1 MaxPacketSize Register	UDFS2EP1MSZ	0x0240
UDC2 EP1 Status Register	UDFS2EP1STS	0x0244
UDC2 EP1 Datasize Register	UDFS2EP1DSZ	0x0248

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
UDC2 EP1 FIFO Register	UDFS2EP1FIFO	0x024C
UDC2 EP2 MaxPacketSize Register	UDFS2EP2MSZ	0x0250
UDC2 EP2 Status Register	UDFS2EP2STS	0x0254
UDC2 EP2 Datasize Register	UDFS2EP2DSZ	0x0258
UDC2 EP2 FIFO Register	UDFS2EP2FIFO	0x025C
UDC2 EP3 MaxPacketSize Register	UDFS2EP3MSZ	0x0260
UDC2 EP3 Status Register	UDFS2EP3STS	0x0264
UDC2 EP3 Datasize Register	UDFS2EP3DSZ	0x0268
UDC2 EP3 FIFO Register	UDFS2EP3FIFO	0x026C
UDC2 EP4 MaxPacketSize Register	UDFS2EP4MSZ	0x0270
UDC2 EP4 Status Register	UDFS2EP4STS	0x0274
UDC2 EP4 Datasize Register	UDFS2EP4DSZ	0x0278
UDC2 EP4 FIFO Register	UDFS2EP4FIFO	0x027C
UDC2 EP5 MaxPacketSize Register	UDFS2EP5MSZ	0x0280
UDC2 EP5 Status Register	UDFS2EP5STS	0x0284
UDC2 EP5 Datasize Register	UDFS2EP5DSZ	0x0288
UDC2 EP5 FIFO Register	UDFS2EP5FIFO	0x028C
UDC2 EP6 MaxPacketSize Register	UDFS2EP6MSZ	0x0290
UDC2 EP6 Status Register	UDFS2EP6STS	0x0294
UDC2 EP6 Datasize Register	UDFS2EP6DSZ	0x0298
UDC2 EP6 FIFO Register	UDFS2EP6FIFO	0x029C
UDC2 EP7 MaxPacketSize Register	UDFS2EP7MSZ	0x02A0
UDC2 EP7 Status Register	UDFS2EP7STS	0x02A4
UDC2 EP7 Datasize Register	UDFS2EP7DSZ	0x02A8
UDC2 EP7 FIFO Register	UDFS2EP7FIFO	0x02AC
-	Reserved	0x02B0 to 0x32C
UDC2 INT NAK Register	UDFS2INTNAK	0x0330
UDC2 INT NAK MASK Register	UDFS2INTNAKMSK	0x0334
-	Reserved	0x0338 to 0x03FC

注 1) 上記で Reserved と記されている領域と 0x0400 ~ 0x0FFF の領域はアクセス禁止です。リードもライトもしないでください。

注 2) 各レジスタは、reset_x と USB_RESET で初期化されます。

17.4.2.2　UDC2 register へのアクセス方法

UDC2AB の AHB データバスのうち、bit15-0 が UDC2 データバスに接続されています。

bit31-16 はリードオンリー(リード値: 不定)となります。

ライト/リード共に WORD(32bit)アクセスを実行して下さい。(ただし、EPx_FIFO レジスタへのライトアクセスでは、BYTE(8bit)アクセスを行う時があります。詳細は後述します。)

ライト/リード共にアクセス完了までに時間がかかります

udc2_reg_rd 割り込みを利用して、必ず前の UDC2 レジスタアクセスが完了してから次のアクセスを開始して下さい。(リード時は UDFSUDC2RDREQ<udc2rdreq>でもアクセス状況が確認可能です。)

- ライトアクセス

  UDC2 レジスタへライトアクセスを実行する場合には、該当するアドレスに直接書き込んで下さい。

- リードアクセス

  UDC2 レジスタへリードアクセスを実行する場合には、UDFSUDC2RDREQ と UDFSUDC2RDVL を使用して下さい。

  まず、UDFSUDC2RDREQ にアクセスするアドレスをセットして、次に、読み出し用の UDFSUCS2RDVL より、データを読み出して下さい。「17.4.2.1 UDC2 レジスター覧」に示されたアドレスから直接読み出すことは出来ません。

- EPx_FIFO レジスタ

  EPx_FIFO レジスタにライトアクセスする場合、UDC2 PVCI I/F にて下位 1 バイトアクセスが必要となる場合があります。この時は、UDC2AB に対して、下位 1 バイトへの BYTE アクセスを行って下さい。

  リードアクセス時に下位 1 バイトのアクセスが必要な場合は、通常通り、UDFSUDC2RDREQ 経由でアクセスを行い、UDFSUCS2RDVL からデータをリードして下さい。この時、UDFSUCS2RDVL へのアクセスは、WORD/BYTE アクセスのどちらでも構いません。

- UDC2 内の Reserved レジスタ

  接続する UDC2 で未サポートとなっている EP のレジスタ、Reserved のレジスタにはアクセスしないで下さい。(仮にアクセスした場合は、UDC2AB から UDC2 へのアクセス自体は発生します。ライトアクセスの場合は、UDC2 への Dummy ライトとなります。リードアクセスの場合は、UDC2 からのリードデータ(udc2_rdata)は不定値となり、UDFSUDC2RDVL に不定値がセットされます。)

- UDC2 サスペンド時のアクセス

  UDC2 がサスペンド状態の時に、USB クロック制御回路からのクロック(=CLK_U)供給が停止している場合は、UDC2 へのレジスタアクセスは不可能となります。この時は UDC2 へのレジスタアクセスは実行しないで下さい。なお、UDFSPWCTL<phy_suspend>を 1 にセットしている時に、UDC2 レジスタにアクセスした場合、AHB エラー応答となります。

UDC2 レジスタへのアクセスフローの図を以下に示します。

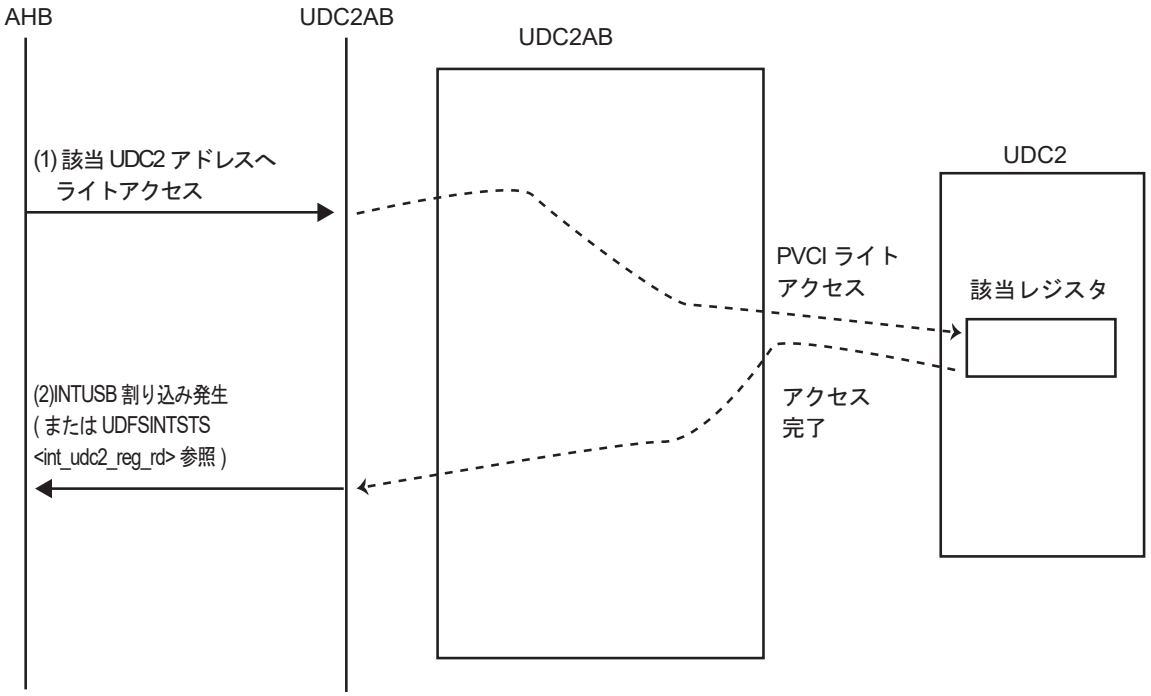


図 17-9 UDC2 レジスタ　ライトアクセスフロー

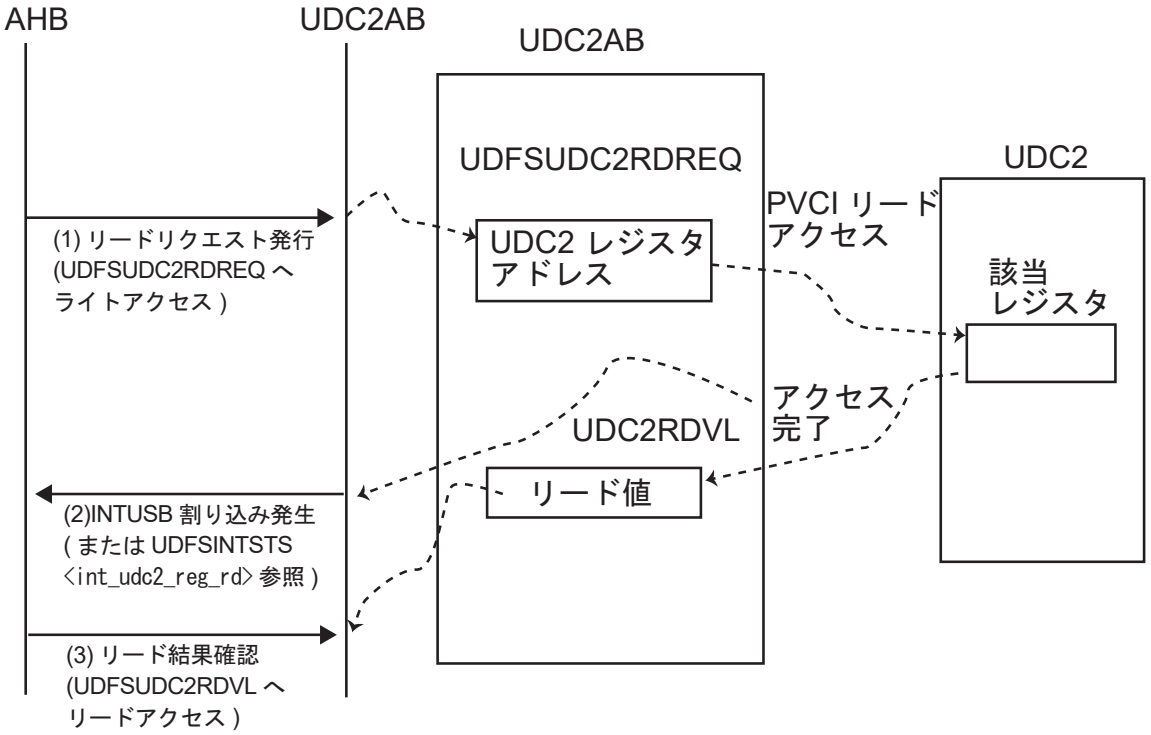


図 17-10 UDC2 レジスタ　リードアクセスのフロー

17.4.2.3　UDFS2ADR(Address-State register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	stage_err	ep_bi_mode	cur_speed		suspend	configured	addressed	default
After reset	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	dev_adr						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	stage_err	R/W	Control 転送が正常に STATUS-Stage まで終了したかを示します。DATA-Stage/STATUS-Stage 時に Setup-Token を受信、あるいは"STALL"送信時に 1 がセットされます。セットされた場合には、次の Control 転送が正常に終了した場合にクリアされます。 0: 下記条件以外 1: DATA-Stage/STATUS-Stage 時に Setup-Token を受信、あるいは"STALL"送信
14	ep_bi_mode	R/W	EP をドライバとして双方向に使用するかを選択します。この bit を 1 にセットすることにより、USB 通信上において一つの EP Number を双方向に扱うことが出来ます。 0: 単方向 1: 双方向
13-12	cur_speed[1:0]	R	現在の USB バス上での転送モードを示します。 00: Reserved 01: Full-Speed 10: Reserved 11: Reserved
11	suspend	R	UDC2 がサスペンド状態かどうかを示します。 0: Normal 1: Suspend
10	configured	R/W	現在の UDC2 のデバイスステートを設定します。ホストからのリクエスト受信に併せて、セットして下さい。なお、同時に複数の bit に 1 をセットしないように注意願います。 001: default(Default/Address state にいる時に Set_address リクエストにて DeviceAddress=0 を指定された時にセット) USB_RESET を受信時にはハードにてセットされます。 010: addressed(Set_address リクエストが正常終了時、Address / Configured state にいる時に Set_configuration リクエストにて Configuration Value=0 を指定された時にセット) 100: configured(Set_config リクエストを受信時にセット)
9	addressed	R/W	
8	default	R/W	
7	–	R	Read as undefined.
6-0	dev_adr[6:0]	R/W	ホストから割り振られたデバイスアドレスを設定します。Set_address が正常終了後(STATUS-Stage 正常終了後)にデバイスアドレス値をセットして下さい。

17.4.2.4 UDFS2FRM(Frame register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	create_sof	-	f_status		-	frame		
After reset	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	frame							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	create_sof	R/W	ホストからの SOF がバスエラーにより取れない場合、SOF フラグを内部生成するかを設定します。Isochronous 転送を使用し、sof によりフレーム同期をとりたい場合にセットして下さい。イネーブルにすることにより、内部のフレーム時間カウンタを動作させることにより、SOF-Token を正常に受信出来なかった場合にも SOF フラグを出力します。 0: 生成しない 1: 生成する
14	–	R	read as undefined.
13-12	f_status[1:0]	R	フレーム番号の状態を示します 00: Before : <create_sof>イネーブル時にマイクロ SOF/SOF を受信から 1frame-time(FS:1ms) 経過してもマイクロ SOF/SOF を受信しなかったときにセットされます。UDFS2FRM には 1 つ前のマイクロ SOF/SOF で受信したときのフレーム番号がセットされています。 01: Valid : マイクロ SOF/SOF を受信するとセットされます。UDFS2FRM には有効なフレーム番号がセットされていることを示しています。 10: Lost : ホストが管理しているフレーム番号と UDFS2FRM の値とが同期が取れていない状態示しています。そのため以下の 2 つの場合にセットされます。 1. システムリセット後あるいはサスペンド時 2. <create_sof>イネーブル時に前回マイクロ SOF/SOF を受信してから 2frame-time(FS:1x2ms)以上経過しても次のマイクロ SOF/SOF を受信しなかった時 <create_sof>がディセーブル時はシステムリセット後かサスペンド時しか Lost には遷移しません。
11	–	R	Read as undefined.
10-0	frame[10:0]	R	sof 受信時のフレーム番号を示します。 <f_status>が "valid"の時有効となります。 <f_status>が"before"あるいは"lost"の時は正しい値がセットされていませんので、使用しないで下さい。

17.4.2.5　UDFS2CMD(Command register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	int_toggle	-	-	-	rx_nulpkt_ep			
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ep				com			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	int_toggle	R/W	Interrupt-IN 転送時に、Handshake 未受信時の DATA-PID をトグルする様に設定します。 0: 未受信はトグルしない 1: 未受信時もトグルする
14-12	–	R	Read as undefined.
11-8	rx_nulpkt_ep [3:0]	R	Zero-Length データ受信時に、受信した EP を示します。 INT_RX_ZERO フラグがアサートされたとき、この bit をリードしてどの EP に対するものかを確認してください。このレジスタの値は一度 Zero_Length データを受信し EP 番号を保持すると、次に Zero-Length データを受信するかハードウェアリセットまで保持します。また、OUT 方向の EP が複数ある場合には、Zero-Length データを受信ごとにこの bit を更新してしまいます。その場合は UDFS2INTRX0 を使用することにより、どの EP に受信したかを確認できます。
7-4	ep[3:0]	R/W	発行されるコマンドが有効となる EP を設定します(存在しない EP は指定しないでください)
3-0	com[3:0]	R/W	ep[3:0]にて選択した EP に対して発行するコマンドを設定します。詳細については「17.2.2.3 EP に対して発行するコマンドの説明」を参照してください。 0x0: Reserved 0x1: Setup_Fin 0x2: Set_DATA0 0x3: EP_Reset 0x4: EP_Stall 0x5: EP_Invalid 0x6: Reserved 0x7: EP_Disable 0x8: EP_Enable 0x9: All_EP_Invalid 0xA: USB_Ready 0xB: Setup_Received 0xC: EP_EOP 0xD: EP_FIFO_Clear 0xE: EP_TX_0DATA 0xF: Reserved

17.4.2.6 UDFS2BRQ(bRequest-bmRequest Type register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	request							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dir	req_type		recipient				
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined
15-8	request[7:0]	R	Setup-Token で受信した 2 バイト目のデータ(bRequest フィールド)
7	dir	R	Setup-Token で受信した 1 バイト目のデータ(b m RequestType フィールド) Control 転送の方向 0: Control-WR 転送 1: Control-RD 転送
6-5	req_type[1:0]	R	リクエストの種類 00: スタンダートリクエスト 01: クラスリクエスト 10: ベンダーリクエスト 11: Reserved
4-0	recipient[4:0]	R	リクエストの受け取り先 0_0000: Device 0_0001: Interface 0_0010: EP 0_0011: etc. 0_0100-1_1111: Reserved

17.4.2.7　UDFS2WVL(wValue register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	value							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	value							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	value[15:8]	R	Setup-Token で受信した 4 バイト目のデータ(wValue(High)フィールド)を示します。
7-0	value[7:0]	R	Setup-Token で受信した 3 バイト目のデータ(wValue(Low)フィールド)を示します。

17.4.2.8 UDFS2WIDX(wIndex register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	index							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	index							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined
15-8	index[15:8]	R	Setup-Token で受信した 6 バイト目のデータ(wIndex(High)フィールド)を示します.
7-0	index[7:0]	R	Setup-Token で受信した 5 バイト目のデータ(wIndex(Low)フィールド)を示します。

17.4.2.9　UDFS2WLGTH(wLength register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	length							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	length							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined
15-8	length[15:8]	R	Setup-Token で受信した 8 バイト目のデータ(wLength(High)フィールド)を示します。
7-0	length[7:0]	R	Setup-Token で受信した 7 バイト目のデータ(wLength(Low)フィールド)を示します。

17.4.2.10 UDFS2INT(INT register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	m_nak	m_ep	m_ep0	m_sof	m_rx_data0	m_status	m_status_nak	m_setup
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_nak	i_ep	i_ep0	i_sof	i_rx_data0	i_status	i_status_nak	i_setup
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	m_nak	R/W	<i_nak>を INT_NAK 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
14	m_ep	R/W	<i_ep>を INT_EP 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
13	m_ep0	R/W	<i_ep0>を INT_EP0 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
12	m_sof	R/W	<i_sof>を INT_SOF 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
11	m_rx_data0	R/W	<i_rx_data0>を INT_RX_ZERO 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
10	m_status	R/W	<i_status>を INT_STATUS 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
9	m_status_nak	R/W	<i_status_nak>を INT_STATUS_NAK 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
8	m_setup	R/W	<i_setup>を INT_SETUP 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
7	i_nak	R/W	EP0 以外の各 EP が NAK を送信すると、1 にセットされます。 (INT_NAK フラグ出力をしたい EP については、UDFS2INTNAKMSK にて選択可能です)。この bit に 1 をライトすることで UDFS2INTNAK の各 bit も 0 にクリアされます。
6	i_ep	R/W	EP0 を除く各 EP に対する転送が正常に終了時、1 にセットされます。 (フラグ出力をしたい EP については、USFS2INTEPMSK にて選択可能です)。この bit に 1 をライトすることで UDFS2INTEP の各 bit も 0 にクリアされます。
5	i_ep0	R/W	EP0 に対する転送が正常に終了時、1 にセットされます。
4	i_sof	R/W	SOF-token 受信時、あるいは create_sof モードで 1frame-time カウント時に 1 にセットされます。
3	i_rx_data0	R/W	Zero-Length データを受信時に 1 にセットされます。(フラグ出力をしたい EP については、USFS2INTEPMSK にて選択可能です)。この bit に 1 をライトすることで UDFS2INTRX0 の各 bit も 0 にクリアされます。また、Control-RD 転送の STATUS-Stage で Zero-Length データを受信した時には、1 にセットされません。

Bit	Bit Symbol	Type	Function
2	i_status	R/W	EP0 における Control 転送において STATUS-Stage 正常終了時、1 にセットされます。(Control-RD 転送において STATUS-Stage で Zero-Length データを受信し正常終了、Control-WR 転送において STATUS-Stage で Zero-Length データを送信した後に正常終了すると 1 にセットされます。)
1	i_status_nak	R/W	EP0 における Control-RD 転送において、STATUS-Stage のパケット受信時に"NAK"を返信した場合、1 にセットされます。この bit がセットされた場合、DATA-Stage は終了していますので、UDFS2CMD により"Setup-Fin"コマンドをセットし、UDC2 のステージを STATUS-Stage へと移行させて下さい。また、Control-WR 転送の DATA-Stage において MaxPacketSize(64 バイト)の整数倍を受信する際に、DATA-Stage の最後を示すために Zero-Length データを受信することがあります。その後、STATUS-Stage での In-token 受信時に、この<i_status_nak>により DATA-Stage が終わったことを認識することができますので、UDC2 を STATUS-Stage へと移行させて下さい。
0	i_setup	R/W	EP0 における Control 転送において、Setup-token 受信時に 1 にセットされます。

17.4.2.11 UDFS2INTEP(INT_EP register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_ep7	i_ep6	i_ep5	i_ep4	i_ep3	i_ep2	i_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-1	i_ep7 - i_ep1	R/W	EP(EP0 を除く)送受信状態フラグ EP0 を除く各 EP に対する転送が正常に終了時、該当 bit が 1 にセットされます。(int_ep フラグを外部に出力したい EP については、USFS2INTEPMSK にて選択可能です。) 0: 送受信なし 1: 送受信有り
0	–	R/W	Read as undefined.

17.4.2.12　UDFS2INTEPMSK(INT_EP_MASK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	m_ep7	m_ep6	m_ep5	m_ep4	m_ep3	m_ep2	m_ep1	m_ep0
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-0	m_ep7 - m_ep0	R/W	フラグ出力マスク制御 0 : 出力する 1: 出力しない UDFS2INTEP 及び UDFS2INTRX0 の各フラグを、それぞれ int_ep 端子、int_rx_zero 端子へ出力するかどうかを設定します。各 EP がマスクされた場合、該当 EP の転送正常終了時に UDFS2INTEP の各 bit はセットされますが、int_ep 端子はアサートされません。同様に、各 EP がマスクされた場合、該当 EP の Zero-Length データ受信時に、UDFS2INTRX0 の各 bit はセットされますが、int_rx_zero 端子はアサートされません。ただし、bit0 は UDFS2INTRX0 のみに有効です。

(1)　UDFS2INT / UDFS2INTEP / UDFS2INTEPMSK の使い方

EP1~3 のケースで UDFS2INT / UDFS2INTEP / UDFS2INTEPMSK の使い方の例を示します。

1. EP1/EP2 を DMA(EP-I/F)で使用し、EP3 のみ PVCI-I/F 経由で使用する場合

UDFS2INT	<i_ep>	EP3 の割り込み要因として使用します。クリア時もこの bit を使用します
	<m_ep>	EP3 の割り込み要因のマスクとして使用します
UDFS2INTEP	<i_ep1>	Don't care
	<i_ep2>	Don't care
	<i_ep3>	Don't care
UDFS2INTEP MSK	<m_ep1>	1 をセットしてマスクして下さい
	<m_ep2>	1 をセットしてマスクして下さい
	<m_ep3>	0 を書いてください

2. EP2/EP3 が PVCI-I/F、EP1 が DMA として使用する場合

　初期化後、DMA で使用する EP の UDFS2INTEPMSK に 1 をセットしてマスクしてください。複数の EP に対して割り込み応答を行う場合は、必ず UDFS2INTEP を使用します。UDFS2INT の<i_ep>は無視して、<m_ep>については必ず 0 のイネーブルとしてください。

UDFS2INT の<i_ep>を使用した要因のクリアは行わないでください。割り込み発生後は、UDFS2INT と UDFS2INTEP の 2 つのレジスタを確認して要因を決定する必要があります。　割り込み要因のクリアは UDFS2INTEP の各要因 bit を使用してクリアしてください。

UDFS2INT	<i_ep>	0 を書いてください
	<m_ep>	0 を書いてください
UDFS2INTEP	<i_ep1>	Don't care
	<i_ep2>	EP2 の割り込み要因として使用します。クリア時もこの bit を使用します。
	<i_ep3>	EP3 の割り込み要因として使用します。クリア時もこの bit を使用します。
UDFS2INTEP MSK	<m_ep1>	１をセットしてマスク下さい。
	<m_ep2>	EP2 の割り込み要因のマスクとして使用します。"0"を書いてください。
	<m_ep3>	EP3 の割り込み要因のマスクとして使用します。"0"を書いてください。

17.4.2.13　UDFS2INTRX0(INT_RX_DATA0 register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	rx_d0_ep7	rx_d0_ep6	rx_d0_ep5	rx_d0_ep4	rx_d0_ep3	rx_d0_ep2	rx_d0_ep1	rx_d0_ep0
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-0	rx_d0_ep7 to rx_d0_ep0	R/W	EP Zero-Length データ受信フラグ 0: Zero-Length データ受信なし 1: Zero-Length データ受信あり 各 EP が Zero-Length データを受信した時、該当 bit が 1 にセットされます。(int_rx_zero フラグを外部に出力したい EP については、UDFS2INTEPMSK にて選択可能です。) なお、bit0(EP0) に関しましては、リクエスト処理中、DATA-Stage での Zero-Length データ受信時にのみ 1 にセットされます。STATUS-Stage での Zero-Length データ受信時にはセットされませんので、int_status フラグを使用して下さい。

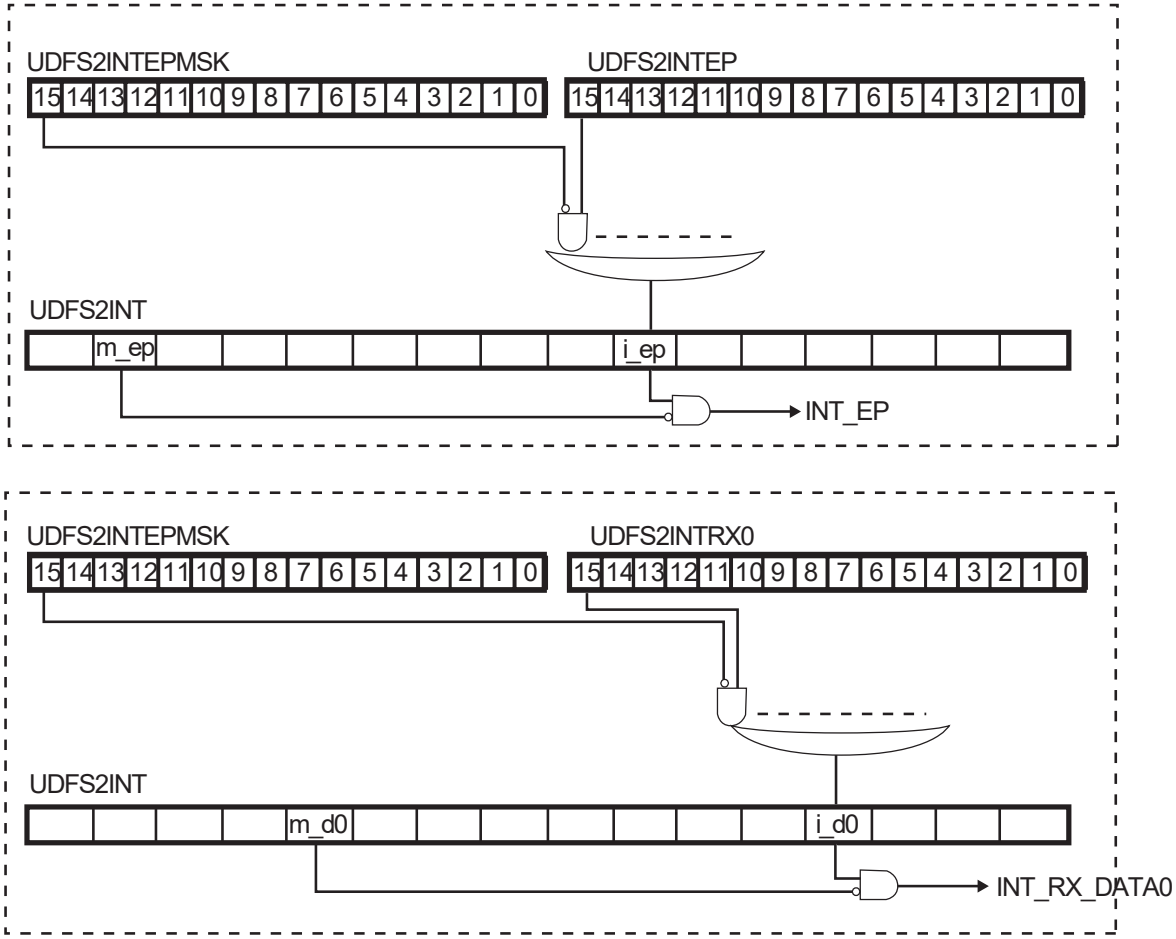


図 17-11 割り込みステータスとマスクレジスタ

17.4.2.14　UDFS2INTNAK(INT_NAK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_ep7	i_ep6	i_ep5	i_ep4	i_ep3	i_ep2	i_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0",
7-1	i_ep7 to i_ep1	R/W	EP(EP0 を除く)NAK 送信状態フラグ 0: NAK 送信なし 1: NAK 送信有り EP0 を除く各 EP が NAK を送信すると該当 bit が 1 にセットされます。(該当 EP について INT_NAK フラグを出したいときは UDFS2INTEPMSK にて選択可能です。)
0	–	R	Read as undefined.

17.4.2.15 UDFS2INTNAKMSK(INT_NAK_MASK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	m_ep7	m_ep6	m_ep5	m_ep4	m_ep3	m_ep2	m_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-1	m_ep7 to m_ep1	R/W	フラグ出力マスク制御 0: 出力する 1: 出力しない UDFS2INTNAK の各フラグを、それぞれ int_nak 端子へ出力するかどうかを設定します。各 EP がマスクされた場合、該当 EP の転送で NAK 送信時に UDFS2INTNAK の各 bit はセットされますが、int_nakí[éqÇÕÉA サートされません。
0	–	R	Read as undefined.

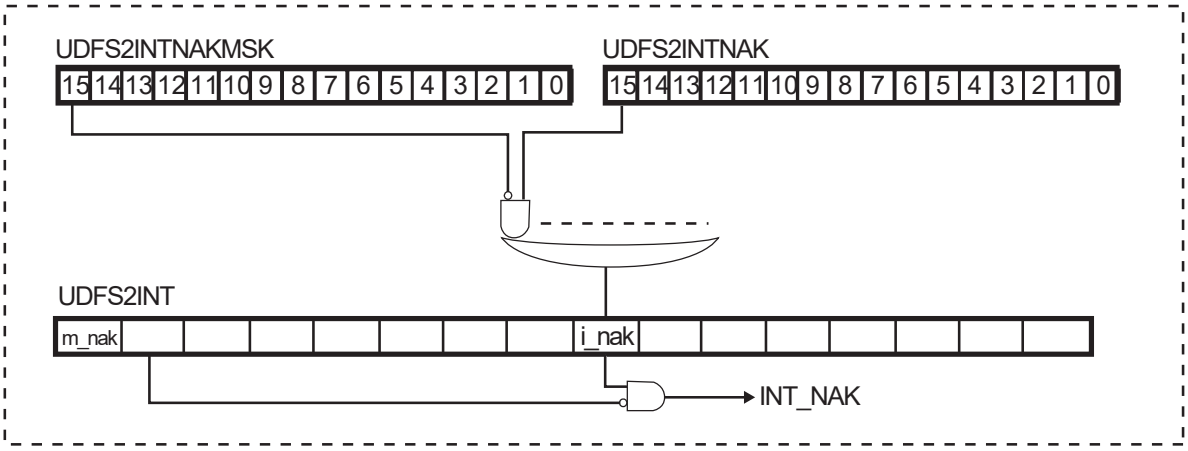


図 17-12 割り込みステータスとマスクレジスタ

17.4.2.16 UDFS2EP0MSZ(EP0_MaxPacketSize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	tx_0data	-	-	dset	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	max_pkt						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as defined.
15	tx_0data	R	UDFS2CMD により EP0 に対して"EP_TX_0DATA"コマンドを発行すると、この bit が 1 にセットされ、Zero-Length データを送信終了後 0 にクリアされます。
14-13	–	R	Read as defined.
12	dset	R	UDFS2EP0FIFO の状態を示します。Setup-Token 受信時に 0 にクリアされます。 0: 有効データ無し 1: 有効データ有り
11-7	–	R	Read as "0".
6-0	max_pkt[6:0]	R/W	EP0 の MaxPacketSize を設定します

17.4.2.17　UDFS2EP0STS(EP0_Status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ep0_mask	-	toggle		status			-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	ep0_mask	R	Setup-Token 受信後、1 にセットされます。"Setup_Received"コマンドを発行することにより 0 にクリアされます。この bit が 1 の間は、UDFS2EP0FIFO への書込みが行われません。 0: UDFS2EP0FIFO 書込み可 1: UDFS2EP0FIFO への書込み不可
14	–	R	Read as undefined.
13-12	toggle[1:0]	R	現在の EP0 のトグル値を示します。 00: DATA0 01: DATA1 10: Reserved 11: Reserved
11-9	status[2:0]	R	現在の EP0 の状態を示します。なお、Setup-Token を受信すると、"Ready"にクリアされます。 000: Ready (通常の状態を示します） 001: Busy (STATUS-Stage で、"NAK"を受信した際にセットされます。) 010: Error (受信データが CRC エラーの場合、およびデータ送信後タイムアウトした際にセットされます) 011: Stall (Control-RD 転送において Length 以上のデータを要求された場合に"STALL"を返信し、status がセットされます。また、UDFS2CMD により"EP0-STALL"を発行した場合もセットされます) 100 to 111: Reserved
8-0	–	R	Read as undefined.

17.4.2.18 UDFS2EP0DSZ(EP0_Datasize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	size						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-7	–	R	Read as undefined.
6-0	size[6:0]	R	UDFS2EP0FIFO に格納されている有効データバイト数を示します。 Setup-Token 受信時にクリアされます。

17.4.2.19　UDFS2EP0FIFO(EP0_FIFO register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	data							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	data							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-0	data[15:0]	R/W	EP0 への PVCI-I/F からのデータアクセスに使用します。 このレジスタへのアクセス方法については、「17.7.1.1 Control-RD 転送」、「17.7.1.2 Control-WR 転送(DATA-Stage なし)」、「17.7.1.3 Control-WR 転送(DATA-Stage あり)」を参照ください。 このレジスタに格納されているデータは、リクエスト受信時(INT_SETUP 割り込みアサート時)にクリアされます。

17.4.2.20 UDFS2EPxMSZ(EPx_MaxPacketSizeRegister)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	tx_0data	-	-	dset 注 1)	-	max_pkt		
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	max_pkt							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	tx_0data	R	UDFS2CMD により EPx に対して"EPx_TX_0DATA"コマンドを発行するか、EP-I/F で Zero-Length データをセットすると、この bit が 1 にセットされます。Zero-Length データを送信終了後 0 にクリアされます。
14-13	–	R	Read as undefined.
12	dset	R	EPx_FIFO の状態を示します 0: 有効データ無し。 1: 有効データ有り。
11	–	R	Read as undefined.
10-0	max_pkt[10:0]	R/W	EPx の MaxPacketSize を設定します Set_Configuration、Set_Interface 受信時に EP の構成を行う時にセットして下さい。 送信用 EP 使用時には偶数をセットして下さい。USB 上、送信用 EP の MaxPacketSize を奇数として動作させる場合には、max_pkt には偶数をセットし、EP への Write アクセスで奇数アクセスを実行して下さい。 (例えば、MaxPacketSize を 1023 バイトとする場合、max_pkt には 1024 をセットして下さい。) 注）詳細は、「17.9.2 Appendix B MaxPacketSize 奇数バイト設定関連」を参照して下さい。.

注 1) <dset>のリセット後の初期値は、EPx が Tx 用 EP の場合は 1 に、Rx 用 EP の場合は 0 となります。

注 2) <dset>の USB_RESET 後の初期値は、EPx が Tx 用 EP の場合は 1 に、Rx 用 EP の場合は"保持"となります。

注 3) X=1~7

17.4.2.21　UDFS2EPxSTS(EPx_Status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	pkt_mode	bus_sel	toggle		status			disable
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dir	-	-	-	t_type		num_mf	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	pkt_mode	R/W	EPx のパケットモードを選択します。Dual モードを選択することにより、EPx に対する 2 つのパケットデータを保持することが可能となります。 0: Single モード 1: Dual モード
14	bus_sel	R/W	EPx の FIFO へのアクセスをするバスを選択します 0: 共通バスアクセス 1: 直接アクセス
13-12	toggle[1:0]	R	現在の EPx のトグル値を示します。 00: DATA0 01: DATA1 10: DATA2 11: MDATA
11-9	status[2:0]	R	現在の EPx の状態を示します。UDFS2CMD より EP_Reset を発行することにより status は"Ready"となります。 000: Ready (通常の状態を示します) 001: Reserved 010: Error(データパケットに受信エラーが発生した時、または送信後タイムアウトが発生した時にセットされます。但し、"Stall"、"Invalid"がセットされている場合にはセットされません)。 011: Stall (UDFS2CMD により"EP_Stall"を発行した場合にセットされます) 100 to 110: Reserved 111: Invalid (この EP が無効の状態であることを示します)。
8	disable	R	EPx の転送許可状態を示します。"禁止"状態にある場合、この EP に対する Token に対しては"NAK"を返信し続けます。 0: 許可 1: 禁止
7	dir	R/W	この EP に対する転送方向を設定します 0: OUT (Host-to-device) 1: IN (Device-to-host)
6-4	–	R	Read as undefined.
3-2	t_type[1:0]	R/W	この EP の転送モードを設定します。. 00: Control 01: Isochronous 10: Bulk 11: Interrupt
1-0	num_mf[1:0]	R/W	Isochronous 転送を選択した場合、 フレーム中に何回転送をするかを設定します。 00: 1-transaction 01: 2-transaction 10: 3-transaction 11: Reserved

注 1) このレジスタへは、Set_Configuration、Set_Interface 受信時に EP の構成を行う時にセットして下さい。

注 2) x=1~7

注 3) 各 EP の設定は、製品仕様に依存します。EP1、EP3、EP5、EP7 は IN 転送固定の仕様ですので、"1"を設定してください。また、EP2、EP4、EP6 は OUT 転送固定の仕様ですので、"0"を設定してください。

17.4.2.22　UDFS2EPxDSZ(EPx_Datasize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	size		
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	size							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	–	R	Read as undefined.
10-0	size[10:0]	R	EPx_FIFO に格納されている有効データバイト数を示します。なお、Dual パケットモード時には、最初にアクセスするパケットのデータバイト数を示します。

注)　x=1~7

17.4.2.23 UDFS2EPxFIFO(EPx_FIFO register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	data							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	data							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	0.
15-0	data[15:0]	R/W	EP x への PVCI-I/F からのデータアクセスに使用します。

注) x=1~7

17.5　UDC2AB 動作詳細

17.5.1　リセット

UDC2AB は、UDCFSPWCTL<pw_resetb>によるソフトウェアリセットをサポートしています。

また、DMA マスタ転送用に、マスタチャネルリセット(UDFSMSTSET<mr_reset>< mw_reset>)もサポートしています。

・ ソフトウェアリセット (UDFSPWCTL<pw_resetb>)

各レジスタのビットには、ハードウェアリセットでは初期化されるもの、ソフトウエアリセットでは初期化されずに値が保持されるものがあります。詳細は各レジスタの説明に記載していますので、「17.4.1.1 UDC2AB レジスター一覧」を参照して下さい。

USB バス電源を検出した際には初期化を行う必要がありますので、ソフトウエアリセットを行って下さい。

・ マスタチャネルリセット(UDFSMSTSET<mr_reset><mw_reset>

マスタライト転送ブロックへは<mw_reset>、マスタリード転送ブロックへは<mr_reset>を用意していますが、該当するマスタブロックの初期化を行うのみで UDC2AB レジスタは初期化されません。各リセットの使用方法については「17.4.1.6 UDFSMSTSET(DMAC Setting Register)」を参照して下さい。

17.5.2 割り込み

UDC2AB が発生する割り込みには、INTUSBD 割り込みと INTUSBWKUP 割り込みの 2 つがあります。

17.5.2.1 INTUSBD 割り込み

INTUSBD 割り込みは、UDC2 から発生する割り込みと、それ以外から発生する割り込みから構成されます。

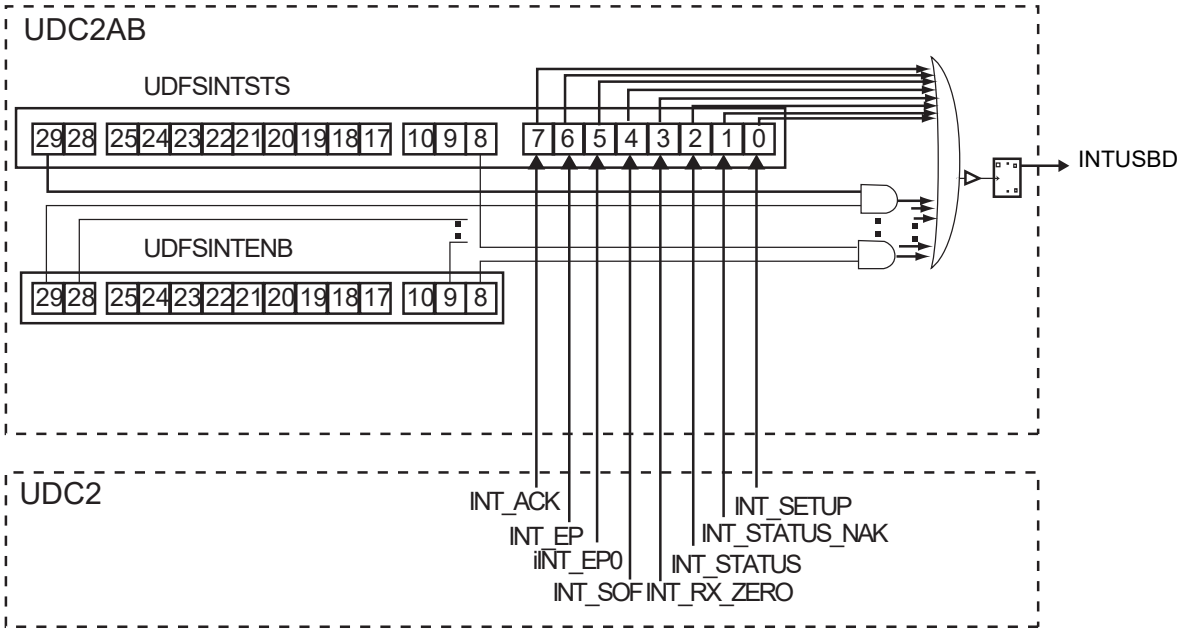
割り込み条件が成立すると、UDC2AB は UDFSINTSTS の対応ビットをセットします。このビットがセットされた時、UDFSINTENB の該当ビットがイネーブルに設定されていると、INTUSBD がアサートされます。

UDFSINTENB の該当ビットをディセーブルに設定している時は、割り込み要因が発生すると、対応する UDFSINTSTS のビットには 1 がセットされますが、INTUSBD はアサートされません。

UDFSINTSTS のビットがセットされている状態で、UDFSINTENB の該当ビットをイネーブルにセットすると、セット直後に INTUSBD がアサートされます。

UDFSINTENB の初期値は、全て 0(ディセーブル）です。

INTUSBD 割り込みは CLK_H が停止しているときには発生しません。



注)UDC2 のフラグのマスクは UDFS2INT で行います。

図 17-13 INTUSBD とレジスタの関係

17.5.2.2　INTUSBWKUP 割り込み

INTUSBWKUP 割り込みは $\overline{\text{WAKEUP}}$ 出力信号の立下りで発生します。

WAKEUP 出力信号は UDFSPWCTL<wakeup_en>が 1 で、サスペンドが解除されたとき(UDFSPWCTL<suspend_x>=1)、または VBUS がディスコネクトされたとき(VBUSPOWER=0)にアサートされます。

INTUSBWKUP 割り込みは CLK_H の状態と関係なく発生します。

17.5.3 動作シーケンス

UDC2AB を動作させるときにシーケンスは以下の通りです。

1. ハードウェアリセット

2. 割り込み信号の設定

   INTUSBD 割り込み、INTUSBWKUP 割り込み、USBDPON 割り込みの割り込み設定をしてください。

3. VBUS 検出(コネクト）とリセット

   詳細は、「17.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス」と「17.5.1 リセット」を参照して下さい。

4. USB エニュメレーション応答

   詳細は、「17.6 USB Device 応答」を参照して下さい。

5. マスタリード/マスタライト転送

   a. マスタリード転送

      USB ホストからの受信リクエストに対応して、マスタリード転送を行って下さい。詳細は、「17.5.4.1 マスタリード転送」を参照して下さい。

   b. マスタライト転送

      USB ホストからの送信リクエストに対応して、マスタライト転送を行って下さい。詳細は、「17.5.4.2 マスタライト転送」を参照して下さい

6. VBUS 検出(ディスコネクト）

   任意のタイミングで USB バス電源が切断される可能性があります。

   詳細は、「17.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス」を参照して下さい。

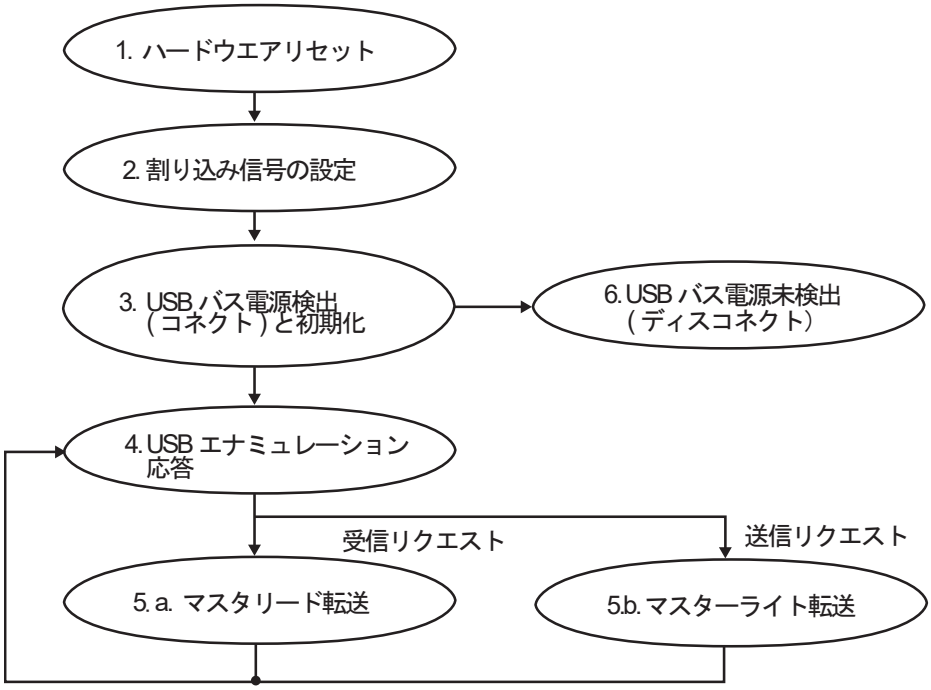


図 17-14 動作シーケンス

17.5.4 マスタ転送動作

UDC2AB のマスタ転送動作について説明します。

マスタ転送を起動する場合は、UDC2 の該当 EP の転送設定(UDFS2EPxSTS<bus_sel> (x=0 を除く))に、必ず、"直接アクセスモード"を設定して下さい。"共通バスアクセス"に設定されている状態での DMAC の起動は禁止としています。

17.5.4.1 マスタリード転送

(1) マスタリードモード

マスタリードモードには、EOP イネーブルモードと EOP ディセーブルモードがあります。

(a) EOP イネーブルモード

UDC2STSET <eopb_enable>を 1(マスタリード EOP イネーブル)に設定時のマスタリード転送について説明します。マスタリード動作は下記のような動作となります。

1. UDFSMWSADR と UDFSMWEADR を設定して下さい。
2. UDFSMSTSET のマスタリード動作に関するビットを設定し、<mr_enable>を 1 にセットして下さい。
3. UDC2AB は、UDC2 の EP へのデータ転送を開始します。UDC2 は USB ホストからの IN トークンに対してデータを転送します。
4. マスタリード転送がマスタリードエンドアドレスまで到達すると、UDC2AB は mr_end_add 割り込みをアサートします。
5. ソフトウエアによる対応が終了したならば、1 へ戻ります。

・ ショートパケットについて

転送サイズ(Master Read End Address - Master Read Start Address ＋ 1)が Max パケットサイズの等倍ではない場合は、最後の IN 転送がショートパケットの転送となります。

例:マスタリード転送サイズ: 139 バイト、Max パケットサイズ 64 バイトの場合

下記の順で転送が行われます

1 回目	→	2 回目	→	3 回目
64 バイト		64 バイト		11 バイト

・ mr_end_add 割り込みについて

mr_end_add 割り込みは、UDC2 EP へのデータ転送が終了した時点で発生します。UDC2 から USB ホストに向かっての全てのデータ転送が終了したことを確認するためには、UDFSMSTSTS<mrepempty>を確認して下さい。

(b) EOP ディゼーブルモード

UDC2STSET <eopb_enable>を 0(マスタリード EOP ディセーブル)に設定時のマスタリード転送について説明します。マスタリード動作は下記のような動作となります。

1. UDFSMWSADR と UDFSMWEADR を設定して下さい。

2. UDFSMSTSET のマスタリード動作に関連するレジスタを設定し、<mr_enable>に 1 をセットして下さい。

3. UDC2AB は、UDC2 の EP へのデータ転送を開始します。UDC2 は USB ホストからの IN トークンに対してデータを転送します。

4. マスタリードエンドアドレスまで到達すると、UDC2AB は mr_end_add 割り込みをアサートします。マスタリード転送にて EP の FIFO が Max パケットサイズに達している場合、USB ホストからの IN トークンに対してデータが転送されますが、達していない場合 FIFO にデータが残り、次回以降の転送に持ち越されます。

5. ソフトウエアによる対応が終了したならば、1 へ戻ります。

注)　UDC2AB を EOF ディセーブルモードで使用する場合、送信すべきデータ列の転送が終了してもショートパケットを送信しません。データ列が Max パケットサイズの等倍のときのみ EOP ディセーブルモードを使用してください。

データ列の合計が Max パケットサイズの等倍であれば構いませんので、例えば、以下のような転送が可能です。

例

１回目マスタリード転送サイズ	:100 バイト
２回目マスタリード転送サイズ	:28 バイト(1 回目+2 回目=128 バイト)
Max パケットサイズ	:64 バイト

といった構成の時は、IN 転送に対して 64 バイト×2 回の転送が行われます。

(2)　マスタリードのアボート処理

マスタリード転送中断(アボート）動作は下記のような動作となります。

1. UDC2 Command レジスタを使用して、該当 EP のステータスをディセーブル状態(EP_Disable)にして下さい。 (もし、EP をディセーブル状態にしないで、アボートした場合、意図していないデータを USB ホストに転送する可能性があります。)

2. マスタリード転送を中止するため、UDFSMSTSET <mr_abort>に 1 (アボート）をセットして下さい。

3. アボート完了を確認するため、UDFSMSTSET< mr_enable>が 0 にディセーブルされるのを確認して下さい。 mr_enable が 1 の間は、次の動作を実行しないで下さい。

   (アボート完了時の転送終了アドレス情報は、MasterReadCurrentAddress レジスタ、Master Read AHB Address レジスタにて確認可能です。)

4. マスタリード転送ブロックを初期化するため、UDFSMSTSET<mr_reset>を 1 (リセット）して下さい。

5. 該当 EP に対して、Command レジスタ (EP_FIFO_Clear)を使用して FIFO を初期化して下さい。

6. Command レジスタ (EP_Enable) を使用して該当 EP をイネーブル状態にして下さい

(3) マスタリード転送時の Max パケットサイズ設定

UDC2AB のマスタリード機能と接続する EP の Max パケットサイズが奇数となる場合、以下のような制限がありますのでご注意下さい。

・ EP の Max パケットサイズを奇数として扱う場合でも、UDFS2EPxMSZ<max_pkt>ビットの設定は偶数として下さい。

注) この設定に関する詳細は、「17.9.2 Appendix B MaxPacketSize 奇数バイト設定関連」を参照してください。

・ UDC2STSET<eopb_enable>を 1 (マスタリード EOP イネーブル)にセットして下さい。
・ 1 回のマスタリード転送で指定する転送サイズ(Master Read End Address - Master Read Start Address ＋ 1) を奇数である Max パケットサイズ以下として下さい。

例

EP の Max パケットサイズ(USB ホストへ伝える値)を 63 バイトとする。

UDFS2EP x MSZ<max_pkt>の設定を 64 バイトとする。

1 回のマスタリード転送で指定する転送サイズを 63 バイト以下とする。

17.5.4.2 マスタライト転送

(1) マスタライト転送シーケンス

マスタライト転送シーケンスは下記のような動作となります:

1. UDFSMWSADR と UDFSMWEADR を設定して下さい。
2. UDFSMSTSET のマスタライト動作に関連するビットを設定し、<mw_enable>に 1 をセットして下さい。
3. UDC2AB は、USB ホストから受信した EP 内のデータに対してマスタライト転送を行います
4. (タイムアウト処理が発生しない状態で)マスタライトエンドアドレスに到達するまで書き込みが終了した場合、mw_end_add 割り込みがアサートされますので、ソフトウエアにより必要な処理を行って下さい。UDC2 が正常なパケットを受信すると 1 へ戻ります。

注) UDC2AB は、UDFSMSTSET<mw_enable>がディセーブル状態で、USB ホストから正常にパケットを受信すると mw_set_add 割り込みをアサートします。

(2) タイムアウト処理

マスタライト転送時、マスタライトエンドアドレスに到達する前に USB ホストからの OUT 転送が停滞してしまった場合、マスタライト転送が終了しません。この場合に備えて、タイムアウト機能を設定することが出来ます。

このタイムアウト機能を利用する場合、タイムアウト時点で UDC2AB 内バッファに格納されているデータは、全て AHB 側に転送されます。

タイムアウト処理は下記のような動作となります。

1. マスタライト転送開始前に UDFSMWTOUT へアクセスし、timeoutset(タイムアウト時間)を設定し<timeout_en>=1 として下さい。

2. 前項の説明のように、マスタライト転送を開始して下さい。

3. タイムアウトが発生した場合、mw_timeout 割り込みがアサートされます。(mw_end_add 割り込みはアサートされません。) この場合は、マスタライトエンドアドレスまでマスタライト転送が完了していません。UDC2AB は UDFSMSTSET<mw_enable>を 0 にクリアします。

4. Master Write Current Address レジスタで、AHB 側へ転送が完了したアドレスを確認する事ができます。

なお、タイムアウト機能をイネーブルとしてマスタライト転送実行中に、タイムアウト用カウンタが進みますが、USB ホストから該当 EP への OUT 転送を受信した時は、カウンタは設定値に戻り、再カウントを開始します(図 17-15)。つまり、タイムアウトするまでの時間は、「マスタライト転送を開始した時点から設定時間まで」ではなく、「マスタライト転送中に、最後に USB ホストから該当 EP へ転送が発生した時から設定時間まで」となります。

タイムアウト機能を使用しない場合は、必ずマスタライト転送開始前に UDFSMWTOUT<timeout_en>=0 として下さい。この場合は設定されたマスタライトエンドアドレスに到達するまで転送が終了しません。

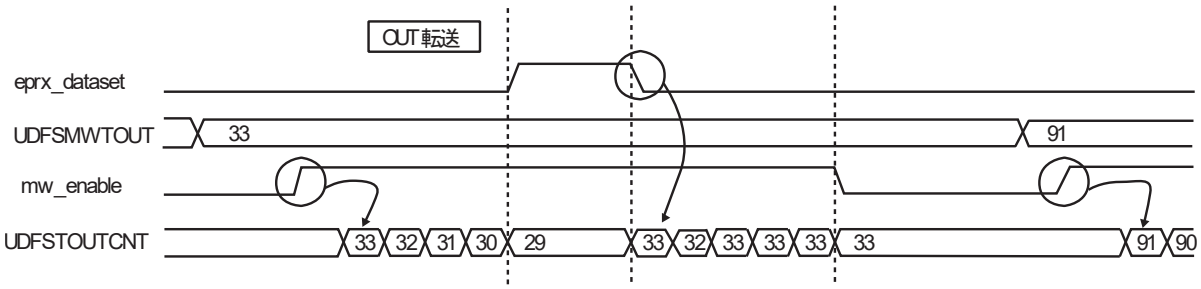


図 17-15 MW タイムアウトカウント例

(3)　マスタライト転送のアボート処理

マスタライト転送中断(アボート）動作は下記のように動作となります。

1. UDC2 の UDFS2CMD を使用して、該当 EP のステータスをディセーブル状態(EP_Disable)にして下さい。

2. マスタライト転送を中止するため、UDFSMSTSET<mw_abort>に 1(アボート)をセットして下さい。

3. アボート完了を確認するため、UDFSMSTSET<mw_enable>が 0 にディセーブルされるのを確認して下さい。<mw_enable>が 1 の間は、次の動作を実行しないで下さい。(アボート完了時の転送終了アドレスの情報は、Master Write Current Address レジスタ、Master Write AHB Address レジスタにて確認可能です。)

4. マスタライト転送ブロックを初期化するため、UDFSMSTSET<mw_reset>を 1(リセット)にして下さい。

5. 該当 EP に対して、UDFS2CMD(EP_FIFO_Clear)を使用して FIFO を初期化して下さい。

6. UDFS2CMD を使用して、該当 EP のステータスをイネーブル状態(EP_Enable)にして下さい。

17.5.5 USB パワーマネージメント制御

USB では通常のパケット転送の他にも、USB バス電源(VBUS)の検出やサスペンド、レジューム等のパワーマネージメントに関する動作が規定されています。本章ではこれら動作時の制御方法について説明を行います。

注) 各動作については必ず USB 2.0 Spec をご覧ください。

17.5.5.1 パワーマネージメント制御信号接続図

パワーマネージメント制御に関する信号の接続図を下記に示します。

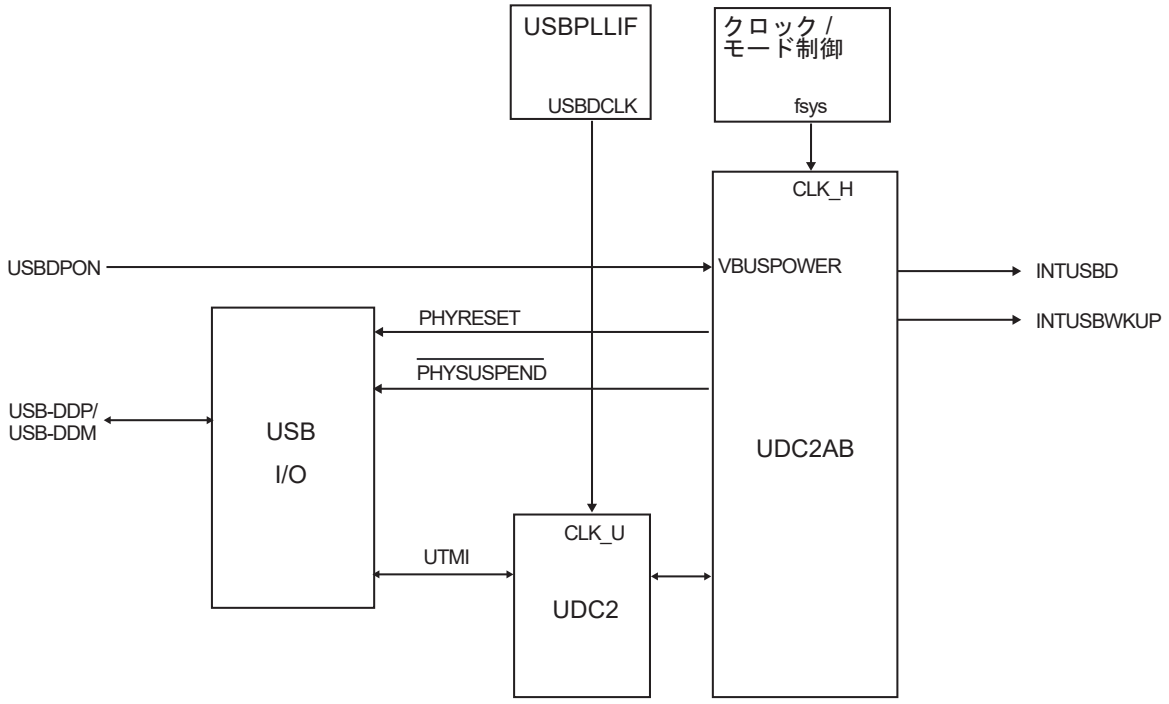


図 17-16 パワーマネージメント制御信号の接続図

17.5.5.2　USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス

(1)　コネクト

CLK_H が動作している場合は INTUSBD(powerdetect)割り込みと UDFSPWCTL<pw_detect>で、UCLK_H が停止している場合は INTUSBDPON 割り込みで USB バス電源(VBUS)のコネクトを検出します。

USB バス電源(VBUS)のコネクト検出後に、以下の手順にて UDC2AB と UDC2 の初期化を行って下さい。

1. UDFSPWCTL <pw_resetb>にてソフトウエアリセットを行って下さい。(<pw_resetb>ビットは自動解除されないのでソフトウエアでクリアして下さい。)

2. UDC2AB レジスタと UDC2 レジスタにアクセスし、必要な初期設定を行って下さい。

3. UDFS2CMD にて USB Ready コマンドを発行して下さい。UDC2 は PHY を通して USB ホストにコネクトを通知します。この状態で UDC2 は USB ホストからの USB_RESET を受け付けることが可能となります。

4. UDC2 は USB ホストからの USB_RESET を検出すると UDC2 内部レジスタの初期化を行い、USB ホストとのエニュメレーションが可能な状態となります。なお、USB_RESET 検出時には usb_reset/usb_reset_end 割り込みが発生します。

(2)　ディスコネクト

CLK_H が動作している場合は INTUSBD(powerdetect)割り込みと UDFSPWCTL<pw_detect>で、CLK_H が停止している場合は INTUSBWKUP 割り込みで USB バス電源(VBUS)のディスコネクトを検出します。

USB バス電源(VBUS)のディスコネクト検出後に、各マスタ転送は自動的には停止しませんので、アボート処理を実施して下さい。その後、UDFSPWCTL <pw_resetb>によりソフトウエアリセットを行って下さい。

17.5.6　USB リセット

USB_RESET は USB ホスト接続時だけではなく、任意のタイミングで受信する可能性があります。

UDC2AB は、UDC2 が USB_RESET を受信すると usb_reset / usb_reset_end 割り込みをアサートし、Default ステートに戻ります。この時、各マスタ転送は自動的に停止することはありません。アボート機能を使用して転送を終了させて下さい。なお、UDC2 のレジスタには USB_RESET によって値が初期化されるものと値を保持するものがあります。

USB_RESET 認識時に UDC2 レジスタの再設定を行う場合は、usb_reset_end 割り込み発生後に行って下さい。これは、UDC2 が usb_reset 信号をデアサートするタイミングで UDC2 レジスタを初期化するためです。

17.5.7 サスペンド、レジューム

17.5.7.1 サスペンド状態への移行

UDC2AB は UDC2 のサスペンド状態の検出を、INTUSBD(suspend_resume)割り込みと、UDFSPWCTL<suspend_x>により行います。

この時、各マスタ転送は自動的に停止しませんので、停止する必要がある場合には各マスタ転送のアボート機能を使用して強制終了して下さい。

ソフトウエアにて必要な処理が終了した後に、PHY をサスペンドする必要がある場合は、UDFSPWCTL<phy_suspend>をセットすることにより、UDC2AB が $\overline{\text{PHYSUSPEND}}$ をアサートし PHY がサスペンド状態となります。

17.5.7.2　サスペンド状態からの復帰(USB ホストからのレジューム)

CLK_H の状態により、サスペンド状態からの復帰(レジューム)の検出は手順で行われます。

レジュームを認識したら、各マスタ転送を再開するために再設定して下さい。

1. CLK_H を停止させるとき

以下に CLK_H を停止させる場合の信号変化と手順を示します。

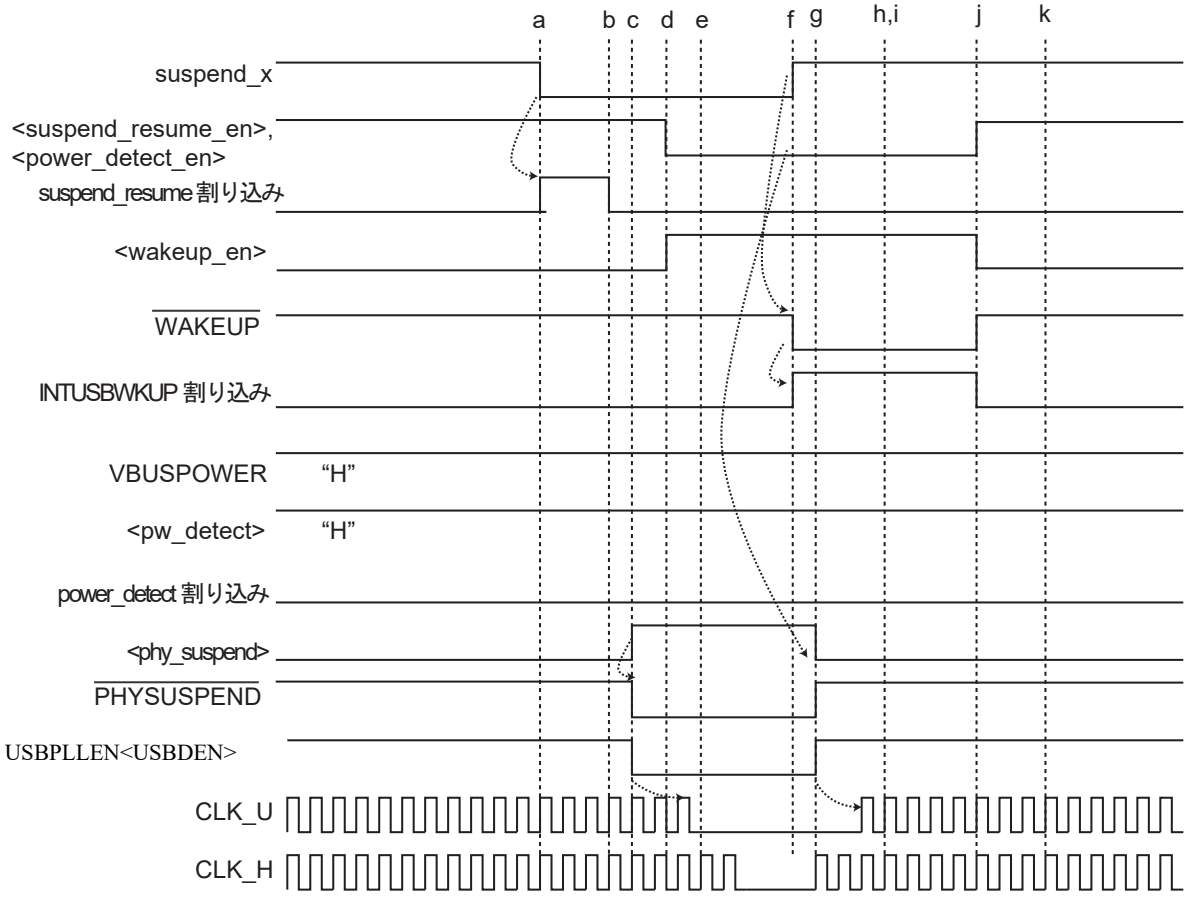


図 17-17 サスペンド、レジューム信号動作 (CLK_H を停止させるとき)

a. USB バス上でサスペンド状態を検出することにより、 UDC2 の suspend_x が 0 にアサートされ、INTUSBD(suspend_resume) 割り込みが発生します。

b. INTUSBD(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。

c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

　USB クロック制御回路の USBPLLEN<USBDEN>を"0"にクリアし、CLK_U を停止させます。

d. UDFSPWCTL<wakeup_en> を "1" にセットします。UDFSINTENB<power_detect_en><suspend_resume_en> を "0" にクリアして、INTUSBD(power_detect, suspend_resumu)割り込みが発生しないようにします。

e. INTUSBWKUP 割り込みで低消費電力モードに移行し、CLK_H を停止させます。

f. USB バス上で、レジュームを検出すると、$\overline{\text{WAKEUP}}$ 出力信号が非同期で、"0"にアサートされます。$\overline{\text{WAKEUP}}$ 出力信号によって INTUSBWKUP 割り込みが発生し、低消費電力モードが解除され、CLK_H の供給が開始します。

g. CLK_H が供給されると、$\overline{\text{PHYSUSPEND}}$ 出力信号が自動的に"1"にデアサート、<phy_suspend>が"0"にクリアされます。

USB クロック制御回路の USBPLLEN<USBDEN>を"1"にセットし、CLK_U を動作させます。

h. 割り込みアサートから 2.5 s 以上経過してから(VBUS 切断時に信号が安定するまでの期間)、UDFSPWCTL<pw_detect> を確認します。UDFSPWCTL<pw_detect>が"1"の場合、$\overline{\text{WAKEUP}}$ アサート原因はレジュームです。UDFSPWCTL<pw_detect>が"0"の場合、$\overline{\text{WAKEUP}}$ アサート原因は VBUS のディスコネクトです。

i. レジュームの場合は、以下のシーケンスを実行します。ディスコネクトの場合は「17.5.7.3 サスペンド状態からのレジューム(ディスコネクト)」のシーケンスを実施します。

j. 割り込み要因と<wakeup_en>をクリアし、$\overline{\text{WAKEUP}}$ 出力信号をデアサートさせます。<suspend_resume_en>を"1"にセットします。

k. サスペンドから復帰します。

2. CLK_H を動作させるとき

以下に CLK_H を動作させるときの信号変化と手順を示します。

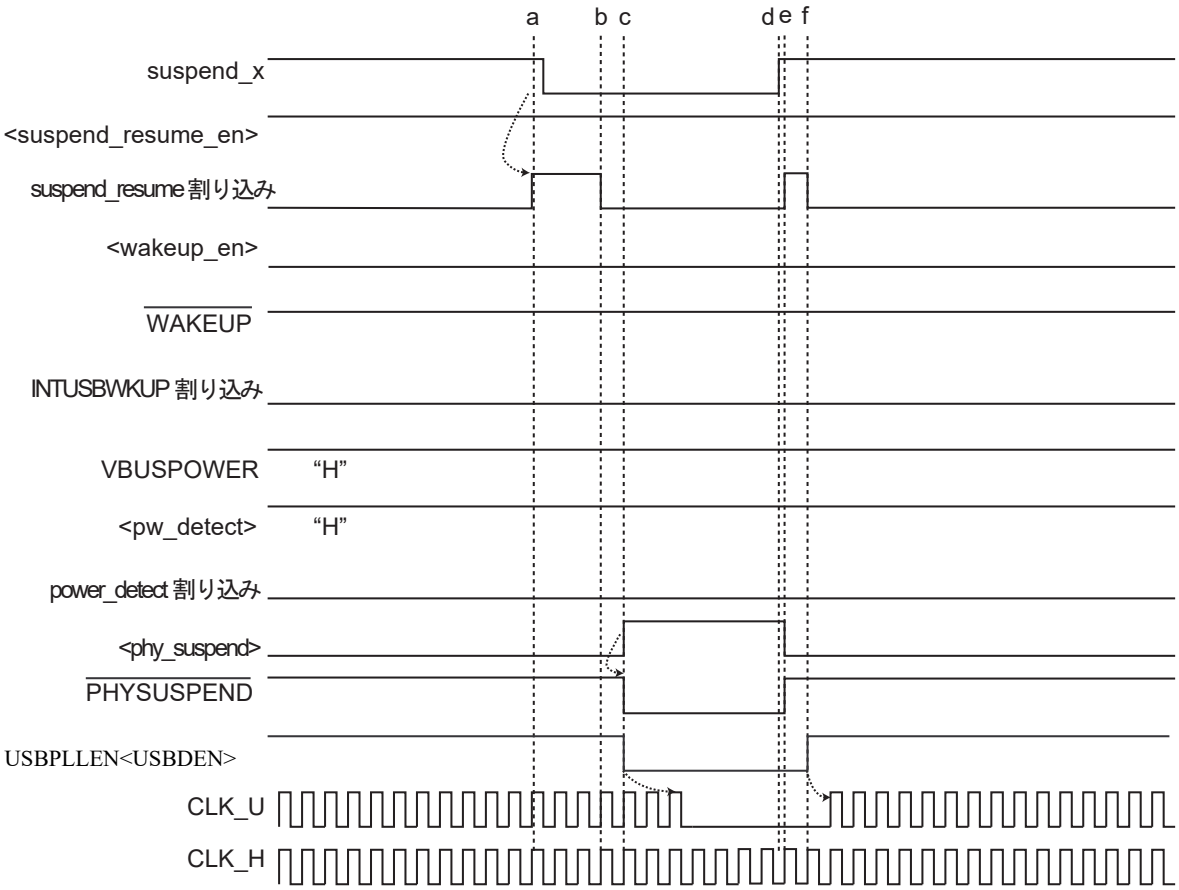


図 17-18 サスペンド、レジューム信号動作 (CLK_H を動作させるとき）

a. USB バス上でサスペンド状態を検出することにより、INTUSBD(suspend_resume) 割り込みが発生する。
b. INTUSBD(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

   USB クロック制御回路の USBPLLEN<USBDEN>を"0"にセットし、CLK_U を停止させます。
d. USB バス上で、レジュームを検出することで、suspend_x が"1"になります。

   また、suspend_x の立ち上がりを検出することによって、PHYSUSPEND 出力信号が"1"にデアサートされます。
e. INTUSBD(suspend_resume)割り込みが発生します。
f. INTUSBD(suspend_resume)割り込みのサービスルーチンで、割り込み要因のクリアを行います。

   USB クロック制御回路の USBPLLEN<USBDEN>を"1"にセットし、CLK_U を動作させます。
g. PHYSUSPEND 出力信号がデアサートされることで、CLK_U の供給が再開されます。

h. サスペンドから復帰します。

17.5.7.3　サスペンド状態からのレジューム(ディスコネクト)

以下にサスペンド状態からのレジューム（ディスコネクト)時の信号変化と手順を示します。

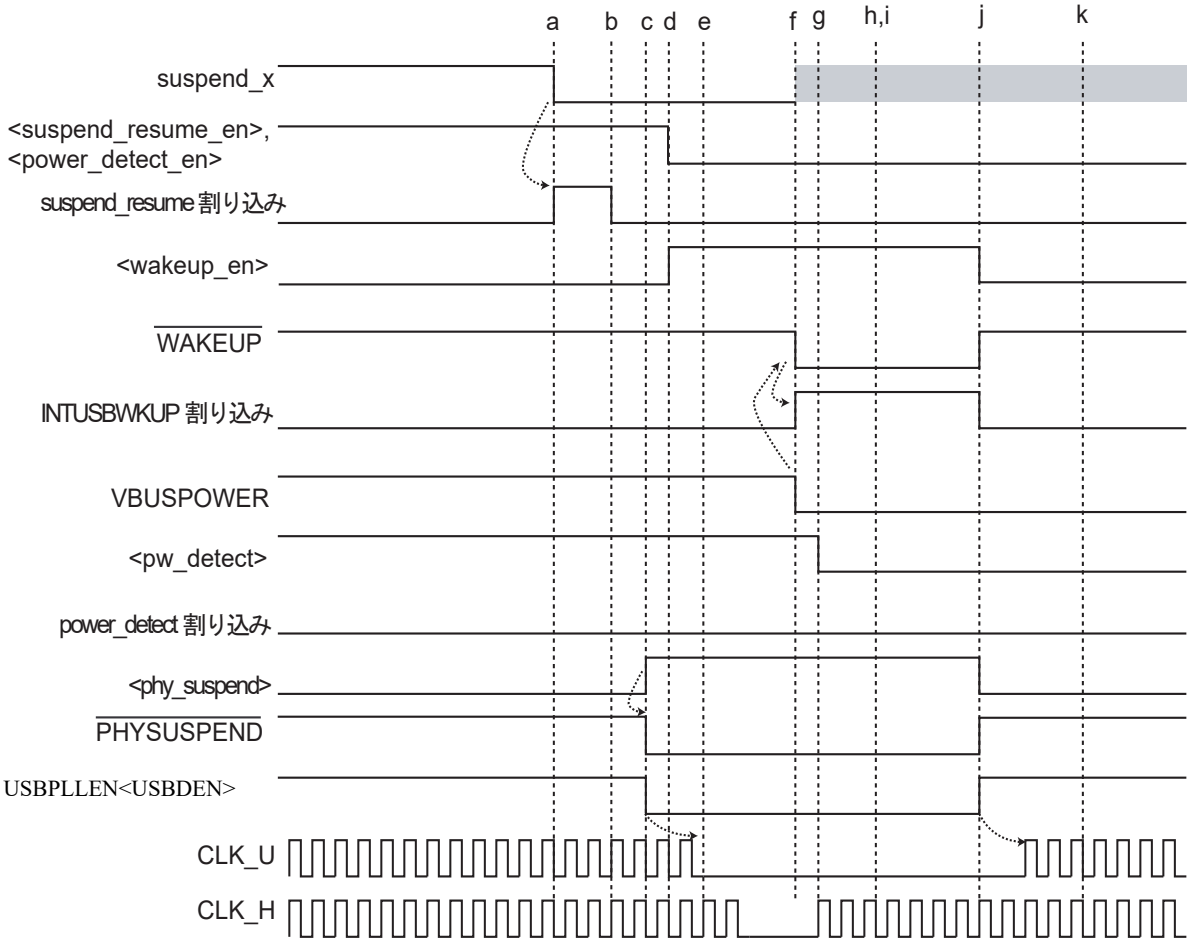


図 17-19 サスペンド、ディスコネクト信号動作 (CLK_H を停止させるとき）

a. USB バス上でサスペンド状態を検出することにより、 UDC2 の suspend_x が 0 にアサートされ、INTUSBD(suspend_resume) 割り込みが発生します。
b. INTUSBD(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

   USB クロック制御回路の USBPLLEN<USBDEN>を"0"にセットし、CLK_U を停止させます。
d. UDFSPWCTL<wakeup_en> を "1" にセットします。UDFSINTENB<power_detect_en><suspend_resume_en>を"0"にクリアして、INTUSBD (power_detect, suspend_resumu)割り込みが発生しないようにします。
e. INTUSBWKUP 割り込みで低消費電力モードに移行し、CLK_H を停止させます。
f. USB バス上で、ディスコネクトを検出すると、VBUSPOWER 端子が"0"になり、WAKEUP 出力信号が非同期で "0"にアサートされます。
g. WAKEUP 出力信号によって、INTUSBWKUP 割り込みが発生し、低消費電力モードが解除され、CLK_H の供給が開始します。

h. 割り込みアサートから 2.5 s 以上経過してから(VBUS 切断時に信号が安定するまでの期間)、UDFSPWCTL<pw_detect>を確認します。UDFSPWCTL<pw_detect>が"1"の場合、$\overline{\text{WAKEUP}}$ アサート原因はレジュームです。UDFSPWCTL<pw_detect>が"0"の場合、$\overline{\text{WAKEUP}}$ アサート原因は VBUS のディスコネクトです。

i. レジュームの場合は、「17.5.7.2 サスペンド状態からの復帰(USB ホストからのレジューム)」のシーケンスを実行します。ディスコネクトの場合は以下のシーケンスを実施します。

j. <phy_suspend>を 0 にクリアして、$\overline{\text{PHYSYSPEND}}$ 出力信号をデアサートします。

USB クロック制御回路の USBPLLEN<USBDEN>を"1"にセットし、CLK_U を動作させます。

また、割り込み要因と<wakeup_en>をクリアし、$\overline{\text{WAKEUP}}$ 出力信号をデアサートさせます。

k. ソフトウエアにて UDFSPWCTL<pw_resetb>をセットし、UDC2AB を初期化します。」

17.5.7.4 サスペンドからのリモートウェイクアップ

以下にサスペンド状態からのリモートウェイクアップ時の信号変化と手順を示します。

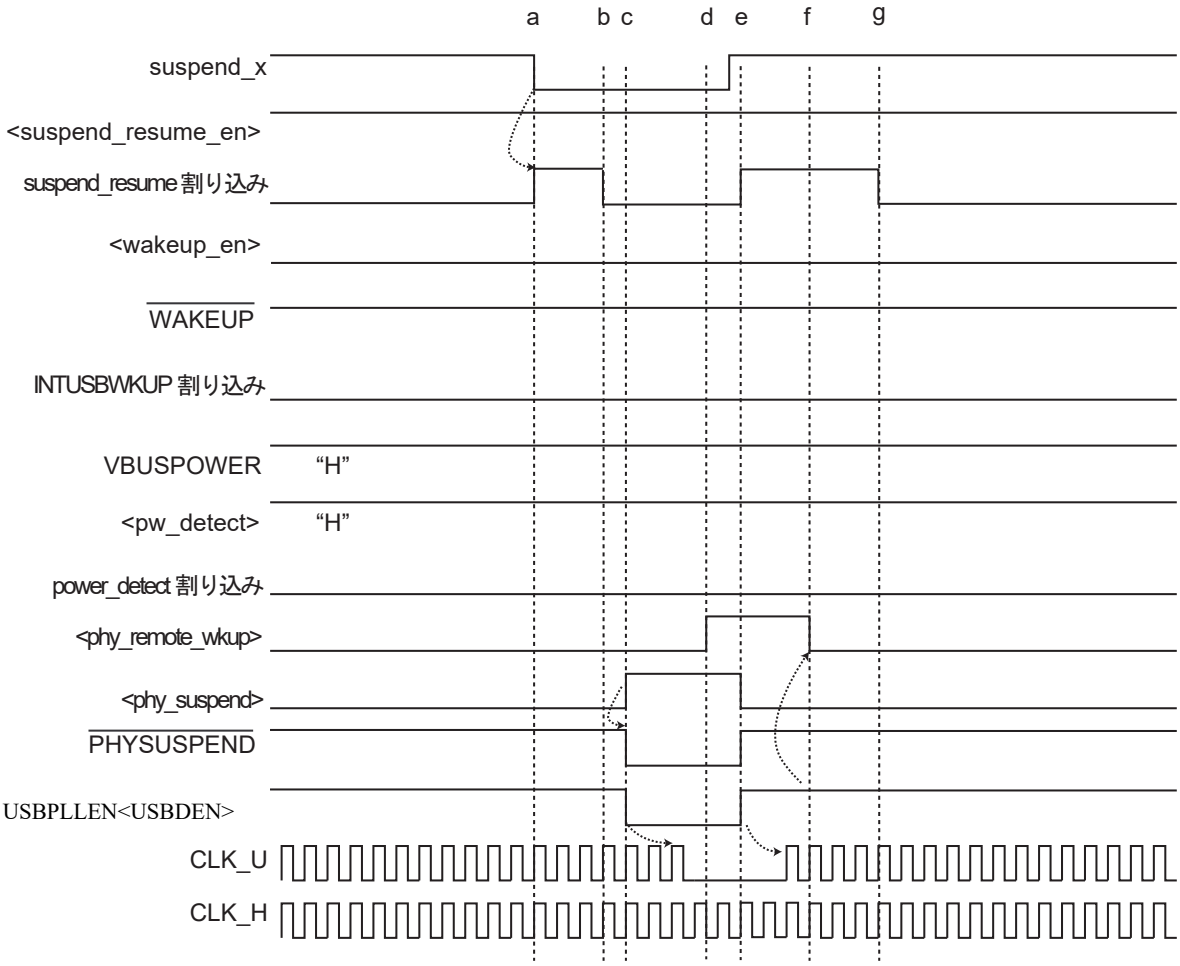


図 17-20 サスペンド、リモートウェイクアップ信号動作

a. USB バス上でサスペンド状態を検出することにより、UDC2 の suspend_x が 0 にアサートされ、INTUSBD(suspend_resume) 割り込みが発生します。

b. INTUSBD(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。

c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

　USB クロック制御回路の USBPLLEN<USBDEN>を"0"にセットし、CLK_U を停止させます。

d. リモートウェイクアップを要求する場合は、UDFSPWCTL<phy_remote_wkup>を"1"にセットします。<phy_remote_wkup>を"1"にセットすることで、UDC2 から USB バス上にリモートウェイクアップ要求が行われます。また、このとき、suspend_x が非同期で"1"にデアサートされます。

e. suspend_x がデアサートされることで、INTUSBD(suspend_resume)割り込みが発生し、PHYSUSPEND 出力信号が"1"にデアサートされます。

f. USB クロック制御回路の USBPLLEN<USBDEN>を"1"にセットし、CLK_U を動作させます。

　CLK_U が動作すると、<phy_remote_wkup> は自動的に"0"にクリアされます。

g. 割り込み要因のクリアを行います。

17.6 USB Device 応答

UDC2 はハードウェアリセット検出時、USB_RESET 検出時、エニュメレーション応答時に UDC2 内部の初期化や各種レジスタの設定を行います。この章では、それぞれの状態での UDC2 の動作および外部からの制御方法を説明します。

1. ハードウェアリセット検出時

   UDC2 は電源投入後必ずハードウェアリセットをかけて下さい。ハードウェアリセット後は、UDC2 は内部レジスタを初期化し、全ての EP は禁止状態(Invalid)になっており、デバイスとしては"Disconnect"状態になっています。

   UDC2 を"Default"状態にするには、"USB_Ready"コマンドを発行して下さい。このコマンドを発行することにより、UDC2 は"Full-Speed"モードとなり、USB-DDP の Pull-Up 抵抗をイネーブルにし、ホストへ"Connect"を通知します。

   この状態では、ホストからの信号は USB_RESET 信号のみ受け付けます。

2. USB_RESET 検出時

   UDC2 は USB 信号上にバスリセット(USB_RESET)を検出すると、内部レジスタの初期化を行い、デバイスとしては "Default"状態となります。この状態では EP0 のみ "Ready"状態となり、ホストとのエニュメレーションが可能な状態となります。

3. "Set_address"リクエスト受信時

   "Set_address"リクエスト受信後に UDFS2ADR<configured> <addressed> <default>に 010 を、<dev_adr>に受信したアドレス値をセットすることにより、UDC2 は"Addressed"状態となります。なお、このレジスタへのセットは、Control 転送の正常終了後(STATUS-Stage 終了後)にセットして下さい。

   なお、この状態では未だ EP0 以外の EP への転送は出来ません。

4. "Set_configuration"、"Set_interface"リクエスト受信時

"Set_configuration"、"Set_interface"リクエスト受信後に UDFS2ADR<configured> <addressed> <default>に 100 をセットすることにより、UDC2 は"Configured"状態となります。

"Configured"状態においては、ステータス設定をした EP について転送を行うことが可能となります。

なお、EP を"Ready"とするには、下記設定を行う必要があります。

・ UDFS2EPxMSZ へのマックスパケットサイズのセット
・ UDFS2EPxSTS への転送モードのセット
・ UDFS2CMD への EP_Reset コマンドの発行

この設定を行うことにより、EP は送受信可能となります。

図 17-21 に Device State Diagram を示します.

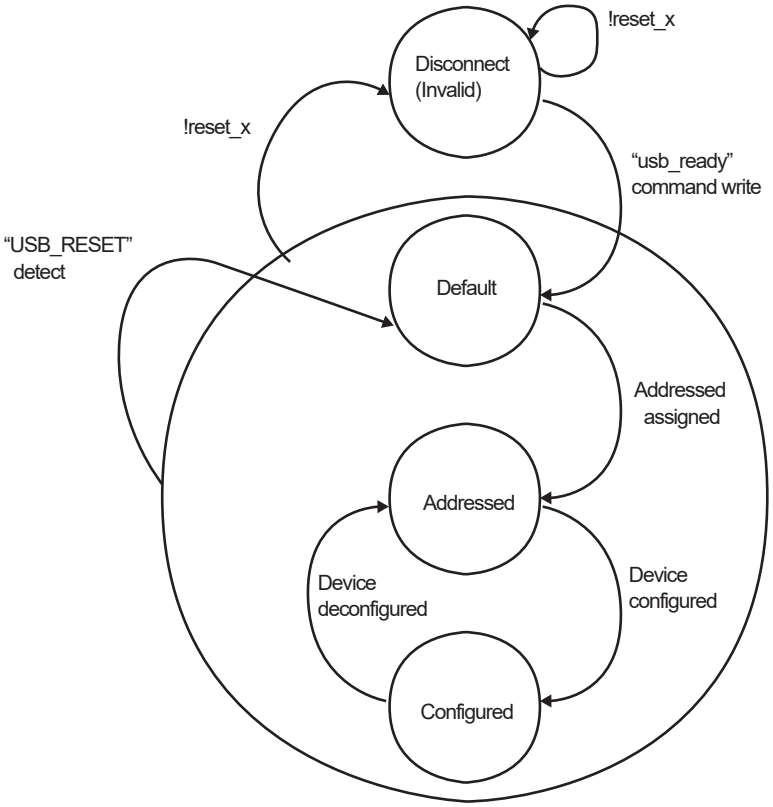


図 17-21 Device state diagram

17.7 各 EP の転送における制御フロー

17.7.1 EP0

EP0 は Control 転送をサポートしており、エニュメレーション等デバイスの制御を行うのに使用します。なお、EP0 はシングルパケットモードのみとなります。

コントロール転送は、SETUP-Stage、DATA-Stage、STATUS-Stage から成り立っています。

また、転送の種類として、大きく以下 3 種類に分類されます:

- Control-RD 転送
- Control-WR 転送 (DATA-Stage 無し)
- Control-WR 転送 (DATA-Stage 有り)

UDC2 は、ハードウェアで 3 つのステージ管理を行います。以下に各転送における流れを示します。

17.7.1.1 Control-RD 転送

以下に Control-RD 転送時の流れを示します。

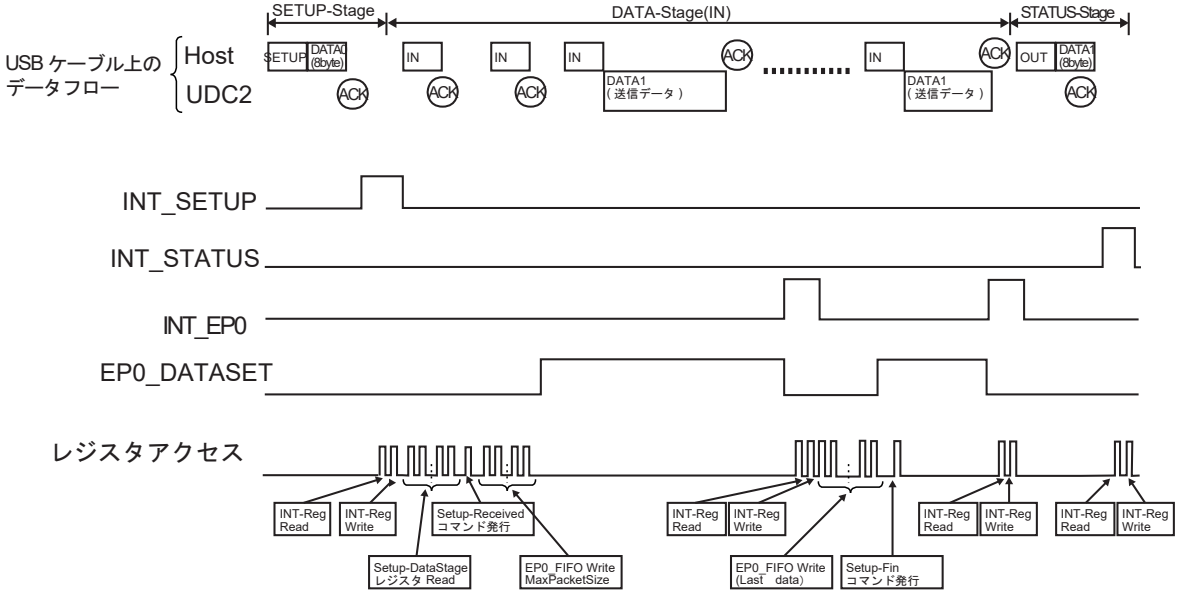


図 17-22 Control-RD 転送における制御フロー

以下の説明では UDFS2EP0MSZ<dset>を"EP0_DATASET フラグ"としています。

(1) SETUP-Stage

UDC2 は、Setup-Token を受信すると、INT_SETUP フラグをアサートします。このフラグをクリアするには、UDFS2INT<i_setup>に 1 をライトして下さい。外部でフラグを束ねている場合は UDFS2INT をリードし、どのフラグがアサートされているかを確認し、該当 bit に 1 をライトして下さい。

次に、Setup-Data 格納レジスタ(bRequest-bmRequestType、wValue、wIndex、wLength レジスタ)をリードし、リクエストを判断して下さい。

最後に、"Setup_Received"コマンドを発行し、SETUP-Stage の終了を UDC2 に知らせます。UDC2 はこのコマンドが発行されるまでは、EP0-FIFO へのデータライトを禁止していますので、このコマンドが発行されるまではホストからの IN-Token に対して "NAK"を返信します。.

(2)　DATA-Stage

IN-Token に対して送信すべきデータを EP0-FIFO へライトします。なお、送信したいデータバイト数が MaxPacketSize より大きい場合は、MaxPacketSize 毎に分割してライトして下さい。ライトデータ数が MaxPacketSize になると、EP0_DATASET フラグがアサートされます。

ホストからの IN-Token に対し正常にデータ送信が終了すると、UDC2 は EP0_DATASET フラグをデアサートし、INT_EP0 をアサートします。送信したいデータが残っている場合、EP0-FIFO へのデータライトを行って下さい。

ライトすべきデータが MaxPacketSize より少ない場合は、EP0 へ"EP_EOP"コマンドを発行することにより、UDC2 にショートパケットであることを通知して下さい。これにより、UDC2 はパケットの終了を認識し、ショートパケットデータを送信します。

最後に、"Setup_Fin"コマンドを発行することにより、UDC2 へ DATA-Stage の終了を知らせます。

(3)　STATUS-Stage

UDC2 は、"Setup_Fin"コマンドが発行されると、STATUS-Stage に対する Handshake を自動で行います。正常に STATUS-Stage が終了すると、INT_STATUS フラグをアサートします。 "Setup_Fin"コマンドが発行される前にホストから STATUS-Stage のパケットを受信すると、UDC2 は"NAK"を返信し、INT_STATUS_NAK フラグをアサートしますので、このフラグがアサートされましたら、"Setup_Fin"コマンドを発行するようにして下さい。

17.7.1.2　Control-WR 転送(DATA-Stage なし)

以下に Control-WR 転送(DATA-Stage 無し)時の流れを示します。

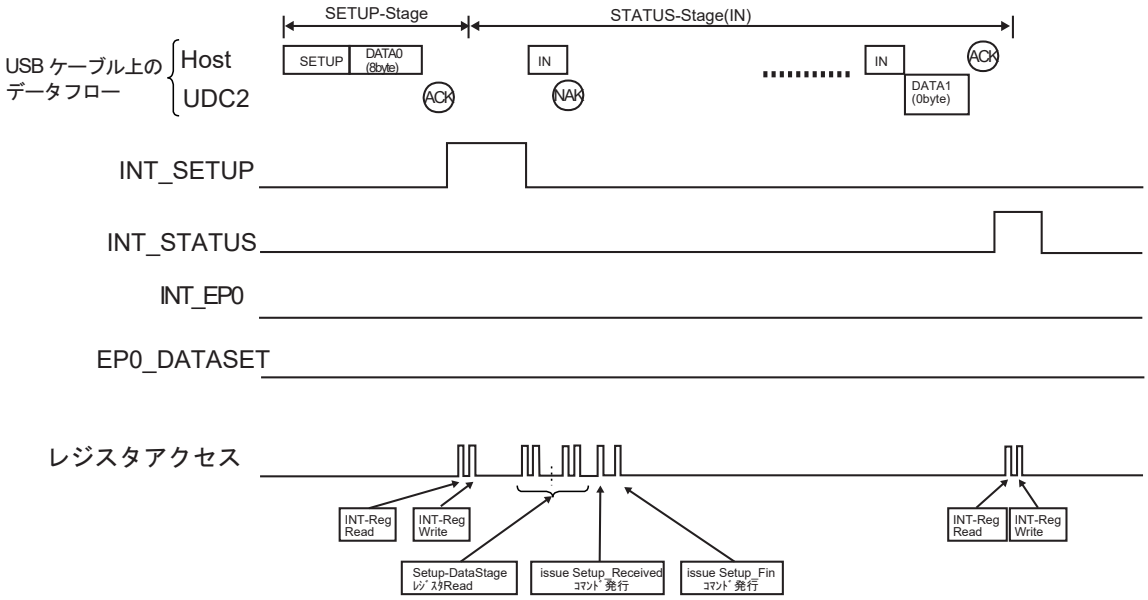


図 17-23 Control-WR 転送(DATA-Stage 無し)における制御フロー

(1) SETUP-Stage

「17.7.1.1 Control-RD 転送」の SETUP-Stage と同様の処理を行って下さい。

(2) STATUS-Stage

"Setup_Received"コマンドを発行した後に、各リクエストに応じて UDC2 へのレジスタアクセスを行って下さい。UDC2 へのレジスタアクセスが全て終了した時に "Setup_Fin"コマンドを発行して下さい。その後の処理は、基本的には「17.7.1.1 Control-RD 転送」の STATUS-Stage と同様です。UDC2 は"Setup_Fin"コマンドが発行されるまで"NAK"を返信しつづけます。

注) 基本的には、「"Setup_Received"コマンドの発行」 → 「"Setup_Fin"コマンドの発行」の間で各リクエストに必要なレジスタアクセスを UDC2 へ行うのですが、Set Address リクエストや Set Feature(TEST_MODE)のように、STATUS-Stage 終了後にレジスタアクセスが必要な場合もあります。各スタンダードリクエストでの処理については「17.7.1.5 スタンダードリクエスト受信時の処理」にて説明しています。

17.7.1.3 Control-WR 転送(DATA-Stage あり)

以下に Control-WR 転送(DATA-Stage 有り)時の流れを示します。

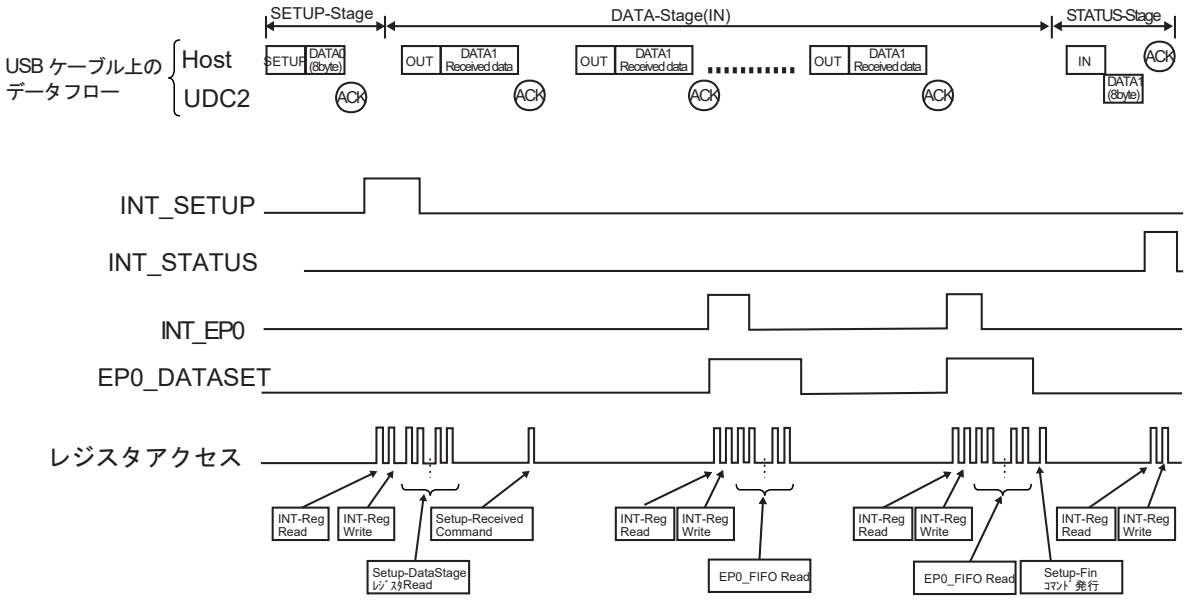


図 17-24 Control-WR 転送(DATA-Stage 有り)における制御フロー

(1) SETUP-Stage

「17.7.1.1 Control-RD 転送」の SETUP-Stage と同様の処理を行って下さい。

(2) DATA-Stage

UDC2 は、ホストからデータを正常に受信すると、EP0_DATASET フラグをアサートし、INT_EP0 フラグをアサートします。このフラグがアサートされたら、受信したデータサイズを EP0_Datasize レジスタで確認した後に UDFS2EP0FIFO からデータをリードするか、EP0_DATASET フラグをポーリングしながら UDFS2EP0FIFO からデータをリードして下さい。

受信データバイト数をリードすると、UDC2 は EP0_DATASET フラグをデアサートします。

(3)　STATUS-Sgage

「17.7.1.1 Control-RD 転送」の STATUS-Stage と同様の処理を行って下さい。

17.7.1.4　INT_STATUS_NAK フラグの使用例

DATA-Stage の無いリクエストの処理では、INT_SETUP フラグのアサートを受けてからクリアをする前に、ホストからの STATUS-Stage を受信して INT_STATUS_NAK フラグがアサートされる可能性があります。このような多重割り込みの状態をなるべく回避したい場合に、データステージの無いリクエストでは INT_STATUS_NAK フラグをマスクする方法があります。その際は、基本的に UDFS2INT<m_status_nak>に 1 をセットし、DATA-Stage の有るリクエスト受信時にだけ 0 をセットする処理を行って下さい。(以下は Control-RD 時の例です。)

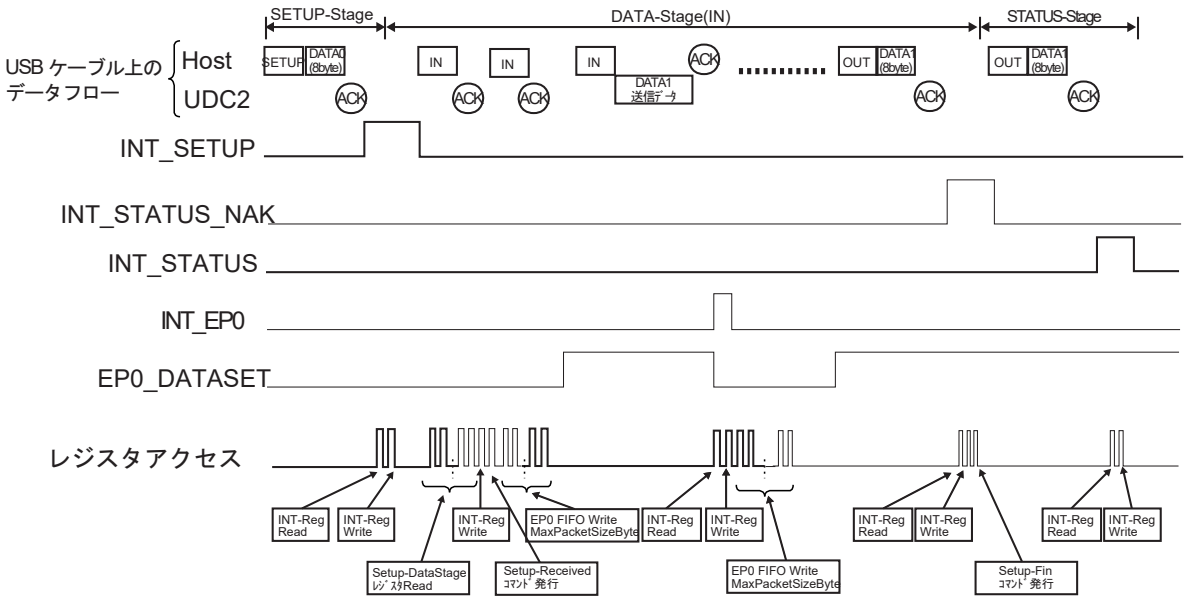


図 17-25 Control-RD 転送における INT_STATUS_NAK フラグの使用例

(1)　SETUP-Stage

INT_SETUP フラグのアサートを受けて、UDFS2INT<i_setup>をクリアして下さい。この時、<i_status_nak>が 1 にセットされている場合にはこの bit もクリアして下さい。

次に、Setup-Data 格納レジスタをリードして DATA-Stage のあるリクエストと判断した場合には、UDFS2INT<m_status_nak>を 0 として下さい。その後、 "Setup_Received"コマンドを発行して下さい。

(2)　DATA-Stage→STATUS-Stage

INT_STATUS_NAK フラグがアサートされると、デバイスも STATUS-Stage に移行する必要があります。UDFS2INT<i_status_nak>をクリアし、その後、"Setup_Fin"コマンドを発行して下さい。また、次からの転送に備えるため再び UDFS2INT<m_status_nak>に 1 をセットして下さい。

17.7.1.5　スタンダードリクエスト受信時の処理

スタンダードリクエスト受信時の UDC2 へのレジスタアクセス例を次項から説明します。各リクエストの説明は、基本的にデバイスのステート(Default, Address, Configured)に分けています。

各リクエスト共通のレジスタアクセスに関しましては、17.7.1.1、17.7.1.2、17.7.1.3 に記載してありますのでそちらを参照して下さい。

ただし、次項からの説明では USB2.0 のスタンダードリクエスト仕様の全内容を記載しているわけではありません。ユーザーの使用方法によってレジスタアクセス方法は異なると思いますので、必ず USB2.0 仕様をご覧下さい。また、説明中の「Recipient」、「Descriptor Types」、「Standard Feature Selectors」、「Test Mode Selectors」等は USB2.0 仕様に記載されていますので、そちらをご覧下さい。

- 「17.7.1.1 Control-RD 転送」に対応するスタンダードリクエスト

  Get Status Get Description Get Configuration

  Get Interface Get Frame
- 「17.7.1.2 Control-WR 転送(DATA-Stage なし)」に対応するスタンダードリクエスト

  Clear Feature Set Feature Set Address

  Set Configuration Set Interface
- 「17.7.1.3 Control-WR 転送(DATA-Stage あり)」に対応するスタンダードリクエスト

  Set Description

注 1) 下線が引かれている箇所は、UDC2 へのレジスタアクセスを説明しています。
注 2) UDFS2CMD へのライトアクセスは、文章の簡略化のために以下のように記述しています。

例 1) UDFS2CMD<ep>へ 0x0、<com>へ 0x4 をライトする場合

→EP0 へ EP-Stall コマンドを発行して下さい

(例 2)UDFS2CMD<ep>へ該当 EP、<com>へ 0x5 をライトする場合

→該当 EP へ EP-Invalid コマンドを発行して下さい

(1) Get Status リクエスト

このリクエストにより、指定された受信側(recipient)のステータスを返信します。.

bmRequestType	bRequest	wValue	wIndex	wLength	Data
1000_0000 1000_0001 1000_0010	GET_STATUS	Zero	Zero Interface EP	Two	Device Interface, or EP Status

- 全ステート共通:

  wIndex で指定された EP/Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

<recipient> = Device : デバイスの情報(表 17-3)を、UDFS2EP0FIFO にライトして下さい。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行して下さい。

<recipient> = EP : wIndex=0(EP0)の場合は、EP0 の情報(表 17-5)を UDFS2EP0FIFO にライトして下さい。wIndex≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行して下さい。

・ Configured state:

<recipient> = Device :　デバイスの情報(表 17-3)を、UDFS2EP0FIFO にライトして下さい。

<recipient> = Interface:　lwIndex で指定された Interface が存在する場合は、インターフェースの情報(表 17-4)を UDFS2EP0FIFO にライトして下さい。

<recipient> = EP :　wIndex で指定された EP が存在する場合は、該当 EP の情報(表 17-5)を UDFS2EP0FIFO にライトして下さい。

表 17-3 Get Status リクエストで返信されるデバイスの情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	Remote Wakeup	Self Powered

RemoteWakeup (D1)　0 の場合はバスパワー、1 の場合はセルフパワーを表します。

SelfPowered (D0)　0 の場合はリモートウェイクアップ機能がディセーブル、1 の場合はイネーブルとなっていることを表します。

表 17-4 Get Status リクエストで返信される Interface の情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

全 bit が 0 となっています。

表 17-5 Get Status リクエストで返信される EP の情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	Halt

Halt (D1)　この bit が 1 の場合は該当 EP が Halt 状態となっていることを表します。

(2) Clear Feature リクエスト

このリクエストにより、特定機能をクリア/ディセーブルします.

bmRequesType	bRequest	wValue	wIndex	wLength	Data
1000_0000 1000_0001 1000_0010	CLEAR_FEATURE	Feature Selector	Zero Interface EP	Zero	None

・ 全ステート共通:

クリア(ディセーブル)できない、または、存在しない Feature Selector(wValue)を指定された場合は EP0 へ EP-Stall コマンドを発行して下さい。

wIndex で指定された EP/Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行して下さい。

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

<recipient> = Device : wValue=1 の場合はユーザー側で DEVICE_REMOTE_WAKEUP 機能をディセーブルして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行して下さい。

<recipient> = EP : wIndex≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行して下さい。
wValue=0 で,wIndex=0(EP0)の場合は EP0 の Halt 状態をクリアするのですが、UDC2 へのレジスタアクセスは必要ありません。

・ Configured state:

<recipient> = Device : wValue=1 の時はユーザー側で DEVICE_REMOTE_WAKEUP 機能をディセーブルして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行して下さい。(注)

<recipient> = EP : wValue=0 で,wIndex≠0(EPx)の場合は、該当 EP へ EP-Reset コマンドを発行して下さい。wValue=0 で,wIndex=0(EP0)の場合は EP0 の Halt 状態をクリアするのですが、UDC2 へのレジスタアクセスは必要ありません。

注) ここでは、「Interface の Feature Selector は存在しない」という USB2.0 仕様の解釈にて、EP0 を Stall 処理としています。仕様の詳細は USB 仕様をご覧下さい。

(3)　Set Feature リクエスト

このリクエストにより、特定機能をセット/イネーブルします。.

BmRequesetType	BRequesdt	wValue	wIndex		wLength	Data
1000_0000 1000_0001 1000_0010	SET_FEATURE	Feature Selector	Zero Interface EP	Test Selector	Zero	None

・　全ステート共通　：

セット(イネーブル）できない、または、存在しない Feature Selector (wValue)を指定された場合は、EP0 へ EP-Stall コマンドを発行して下さい。

wIndex 下位バイトで指定された EP/Interface が存在しない場合は、EP0 へ EP-Stall コマンドを発行して下さい。

注)　標準でないベンダー固有の TestSelector を使用する場合はそれに応じて処理をしてください。

・　Default state:

上記 TEST_MODE 時以外では、USB2.0 仕様ではデバイスの動作に指定はありません。

・　Address state:

<recipient> = Device :　wValue=1 の場合はユーザー側で DEVICE_REMOTE_WAKEUP 機能をディセーブルして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface:　EP0 へ EP-Stall コマンドを発行して下さい。

<recipient> = EP :　wIndex 下位バイト≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行して下さい。
wValue=0 で、 wIndex 下位バイト=0 (EP0)の場合は、EP 0 を Halt 状態として下さい。(注 2)

・　Configured state:

<recipient> = Device :　wValue=1 の場合はユーザー側で DEVICE_REMOTE_WAKEUP 機能をイネーブルにして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface:　EP0 へ EP-Stall コマンドを発行して下さい。(注 1)

<recipient> = EP :　wValue=0 で、wIndex 下位バイト≠0(EPx)の場合は、該当 EP へ EP-Stall コマンドを発行して下さい。
wValue=0 で、wIndex 下位バイト=0(EP0)の場合は、EP0 を Halt 状態として下さい。(注 2)

注 1)　ここでは、「Interface の Feature Selector は存在しない」という USB 仕様の解釈にて、EP0 を Stall 処理としています。仕様の詳細は USB 仕様をご覧下さい。

注 2)　USB2.0 仕様には、"EP0 に対して Halt 機能が実行される必要はない/推奨しない"のような記述があります。よってこの場合に、UDC2 に対して Stall 状態を設定する必要がないというような解釈が可能です。

実際に EP0 を Halt 状態にするためには、ユーザー側にて「Halt 状態」を管理する必要があります

そして「Halt 状態」の時にリクエストを受けた場合に、DATA-Stage/STATUS-Stage で EP0 へ EP-Stall コマンド発行を行うといった処理が必要となります。(仮に EP0 を Stall 状態に設定しても、Setup-Token を受信すると UDC2 は Stall 状態を解除して"ACK"を返信します。)

このように EP0 に対して Set Feature/Clear Feature を受信した場合の処理は、ユーザーの使用方法により異なります。

(4) Set Address リクエスト

このリクエストにより、デバイスアドレスをセットします。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_ADDRESS	Device Address	Zero	Zero	None

本リクエストでは、以下に示すレジスタアクセスを STATUS-Stage 終了後 2ms 以内に行って下さい

(Setup_Fin コマンド発行前に、デバイスアドレスを変更しないで下さい。)

- Default state:

wValue=0 の場合: デフォルトステートを維持します。UDC2 へのレジスタアクセスは必要ありません。

w Value≠0 の場合: UDFS2ADR<dev_adr>に wValue、<configured> <addressed> <default>に 010 をセットして下さい。UDC2 はアドレスステートに入ります。

- Address state:

wValue=0 の場合: UDFS2ADR<dev_adr>に 0x00、<configured> <addressed> <default>に 001 をセットして下さい。UDC2 はデフォルトステートに入ります。

w Value≠0 の場合: UDFS2ADR<dev_adr>に wValue をセットして下さい。UDC2 は新しいデバイスアドレスに設定されます。

- Configured state:

USB2.0 仕様ではデバイスの動作に指定はありません。

(5)　Get Descriptor リクエスト

このリクエストにより、指定されたディスクリプタを返信します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0000	GET_DESCRIPTOR	Descriptor Type and Descriptor Index	Zero or Language ID	Descriptor Length	Descriptor

全ステート共通:

wValue で指定されたディスクリプタ情報を、wLength にて指定されたバイト数分 UDFS2EP0FIFO にライトして下さい。ライトするバイト数が EP0 の MaxPacketSize よりも大きい場合には、複数回に分けてライトする必要があります(詳細は「17.7.1.1 Control-RD 転送」を参照して下さい)。(ディスクリプタの長さが wLength より大きい場合は、ディスクリプタの最初から wLength バイトをライトして下さい。ディスクリプタの長さが wLength より小さい場合は、そのディスクリプタ全てをライトして下さい。)

wValue で指定されたディスクリプタをユーザー側がサポートしない場合は、EP0 へ EP-Stall コマンドを発行して下さい。

(6) Set Descriptor リクエスト

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_DESCRIPTOR	Device Type and Descriptor Index	Language ID or Zero	Descriptor Length	Descriptor

- 全ステート共通:

  本リクエストをサポートしない場合には EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state & Configured state:

  UDC2 が受信したディスクリプタ情報を UDFS2EP0FIFO からリードして下さい。

(7)　Get Configuration リクエスト

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0000	GET_CONFIGURATION	Zero	Zero	One	Configuration Value

- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。

- Address state:

  UDFS2EP0FIFO に 0x00 をライトして下さい。未構成なので 0 を返信する必要があります。

- Configured state:

  現在の Configuration 値を UDFS2EP0FIFO にライトして下さい。

  構成されている状態なので、0 以外の値を返信する必要があります。

(8) Set Configuration リクエスト

このリクエストにより、デバイス構成を設定します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_CONFIGURATION	Configuration Value	Zero	Zero	None

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

wValue = 0 の場合：

- アドレスステートを維持します。UDC2 へのレジスタアクセスは必要ありません。

wValue≠0 で、wValue がディスクリプタに適合する Configuration 値の場合：

- UDFS2ADR<configured> <addressed> <default>に 100 をセットして下さい。

<使用する各 EP に対して>

- UDFS2EPxMSZ<max_pkt>に MaxPacketSize をセットして下さい。
- UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットして下さい。
- 該当 EP に EP-Reset コマンドを発行して下さい。

wValue≠0 で、wValue がディスクリプタに適合しない Configuration 値の場合：

- EP0 へ EP-Stall コマンドを発行して下さい。

・ Configured state:

wValue = 0 の場合.

- UDFS2ADR<configured> <addressed> <default>に 010 をセットして下さい。
- All-EP-Invalid コマンドを発行して下さい。

Value≠0 で、ディスクリプタに適合する Configuration 値の場合：

<使用する各 EP に対して>

- UDFS2EPxMSZ<max_pkt>に MaxPacketSize をセットして下さい。
- UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットして下さい。
- 該当 EP に EP-Reset コマンドを発行して下さい。

<新たに未使用となる各 EP に対して>

- 該当 EP に EP-Invalid コマンドを発行して下さい。

wValue≠0 で、wValue がディスクリプタに適合しない Configuration 値の場合：

- EP0 へ EP-Stall コマンドを発行して下さい。

(9)　Get Interface リクエスト

このリクエストにより、指定された Interface で設定されている Alternate Setting 値を返信します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0001	GET_INTERFACE	Zero	Interface	One	Alternate Setting

- 全ステート共通:

  wIndex で指定された Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

  EP0 へ EP-Stall コマンドを発行して下さい。
- Configured state:

  wIndex で指定された Interface の現在の AlternateSetting 値を、UDFS2EP0FIFO にライトしてください。

(10) Set Interface リクエスト

このリクエストにより、指定された Interface の Alternate Setting 値を設定します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0001	SET_INTERFACE	Alternate Setting	Interface	Zero	None

- 全ステート共通:

  wIndex で指定された Interface が存在しない場合、または wValue で指定された Alternate Setting が存在しない場合は、EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

  EP0 へ EP-Stall コマンドを発行して下さい。
- Configured state:

  <指定された Interface の Alternate Setting で使用する各 EP に対して>
  - UDFS2EP_x_MSZ<max_pkt>に MaxPacketSize をセットして下さい。
  - UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットして下さい。
  - 該当 EP に EP-Reset コマンドを発行して下さい。

  <新たに未使用となる各 EP に対して>
  - 該当 EP に EP-Invalid コマンドを発行してください。

(11) Synch Frame リクエスト

このリクエストにより、EP の同期フレームを設定し報告します。.

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0010	SYNCH_FRAME	Zero	EP	Two	Frame Number

- 全ステート共通:

  wIndex で指定された EP で、このリクエストをサポートしない場合は EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

  EP0 へ EP-Stall コマンドを発行して下さい。
- Configured state:

  wIndex で指定された EP の Frame Number を、UDFS2EP0FIFO にライトして下さい。

17.7.2 EP0 以外の EP

EP0 以外の EP は、Bulk(送信/受信)転送、Interrupt(送信/受信)転送、Isochronous(送信/受信)転送をサポートしており、データの送受信を行うのに使用します。また、デュアルパケットモードをサポートしており、高速なデータ通信が可能となっています。

17.8　サスペンドレジューム状態

UDC2 はホストからの信号状態によりサスペンド状態へと移行します。また、ホストからのレジュームあるいは UDC2 からのレジュームにより、サスペンド状態からの復帰をします。

以下にそれぞれの状態への移行について説明します。

17.8.1　サスペンド状態への移行

通常の状態において、ホストは一定時間ごと(FS: 1ms)に SOF を発行しますが、ホストがデバイスをサスペンド状態にしようとした際には、この SOF をデバイスへ発行しなくなり、USB 信号線上のデータはアイドル状態のまま無変化の状態となります。UDC2 は、PHY からの"line_state"を常にモニタしており、アイドル状態を 3ms 以上連続で検出するとサスペンド状態か USB_RESET かの判断をし、サスペンド状態であれば suspend_x を"Low"にアサートして、サスペンド状態へ入ります。

なお、サスペンド状態では USB クロック制御回路のクロックが供給されなくなりますので、レジスタへのアクセス等は不可能となります。

17.8.2　サスペンド状態からの復帰

サスペンド状態からの復帰には、ホストからのレジューム状態出力による復帰と、UDC2 からのリモートウェイクアップ(レジューム状態出力)による復帰の 2 種類があります。

以下にそれぞれの場合について説明します

17.8.2.1　ホストからのレジュームによる復帰

ホストからのレジューム状態出力により UDC2 は suspend_x を"High"にデアサートして、サスペンドからの復帰を知らせます。

17.8.2.2　UDC2 からのリモートウェイクアップ

リモートウェイクアップはアプリケーションによってはサポートされない場合があり、また、バスエニュメレーション時に USB ホストから許可されている必要があります。システムで許可されていない場合は、"wakeup"をアサートしないで下さい。

システムで許可されている場合、"wakeup"端子をアサートすることにより UDC2 はホストに対しレジューム状態を出力し、レジュームを促します。なお、サスペンド時は USB クロック制御回路からのクロックを停止させているので、ソフトウエアによってクロックを再開させるまで、アサートし続けてください。また、suspend_x が"Low"にアサートされてから 2ms 以上経ってから、リモートウェイクアップするようにしてください。

17.9 USB-Spec2.0 デバイスコントローラ Appendix

17.9.1 Appendix A システム・パワー・マネージメント関連

USB では Bulk 転送などの基本転送以外にも、ホストからのリセットやサスペンドなど、エニュメレーション/パワーコントロールに関係する信号(USB-DDP/USB-DDM)動作が存在します。これらの処理には UDC2 動作の他にも、接続する USB2.0-PHY の仕様やシステムとしての CLK 制御等が関係してきますので、この Appendix で処理の概略を説明します。ただし、各処理の詳細に関しましては必ず Universal Serial Bus Specification(Revision2.0)(USB-Spec2.0)を確認して下さい。

以下に AppendixA で使用する用語について説明します。

1. リセット:

   USB ホスト(以下、ホスト)から USB デバイス(以下、デバイス)を初期化するために行われる USB-DDP/USB-DDM 信号動作です。このリセット終了後にエニュメレーションが行われ、その後、Bulk 転送などの通常転送が始まります。コネクト後には必ずリセットが行われますが、デバイスとしてはその他の任意のタイミングでのリセットにも対応する必要があります。

2. サスペンド

   ホストから 3ms 以上、SOF も含めた USB-DDP/USB-DDM 上の全てのバス・アクティビティがない場合には、デバイスはパワー制御のためサスペンド・モードに入る必要があります。デバイスとしては CLK を停止するなどの処理が必要となります。

3. レジューム

   サスペンド動作から復帰をする場合に行われる USB-DDP/USB-DDM 信号動作です。ホストとデバイスのいずれかから復帰を促すことが可能です。デバイスからのレジュームは"リモート・ウェイクアップ"と呼ばれます。

以下に各動作の説明を示します。なお、( )内の時間は USB2.0 Spec の値です。

17.9.1.1　コネクト/ディスコネクト動作

(1)　コネクト動作

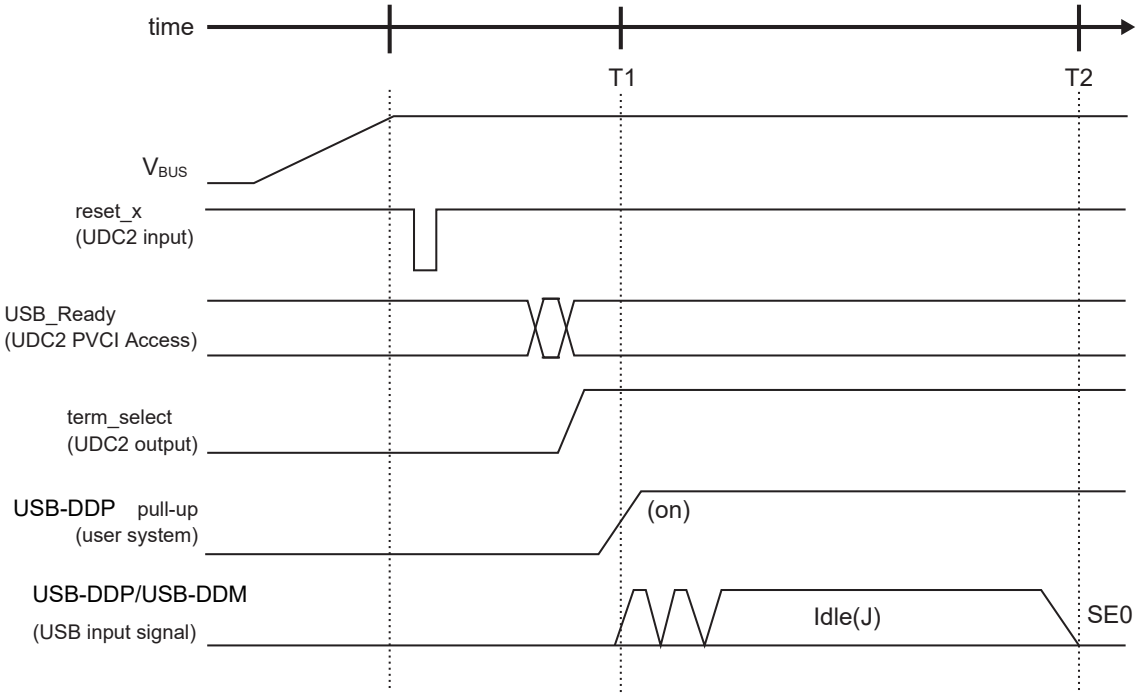


図 17-26 コネクト動作タイミング

- T0: VBUS 検知

  VBUS を検知したら、UDC2 へのシステム・リセット(reset_x 入力)を行って下さい。

  xcvr_sel は"High"、term_select は"Low"となります。

- T1: デバイス・コネクト　(T0 から、100ms 以内)

  デバイスは VBUS 検知(T0)から 100ms 以内に、ホストにコネクト状態を知らせるため USB-DDP のプルアップをイネーブルとする必要があります。よって、システムは VBUS を検知した後に、ホストとの通信が可能となった時点で、UDC2 の UDFS2CMD へアクセスし USB_Ready を設定して下さい。その後、port をソフトウエアで操作して USB-DDP のプルアップをイネーブルにします。

- T2:USB リセット開始　(T1 から、100ms 以上)

(2)　ディスコネクト動作

ディスコネクトを検知した場合には、UDC2 へシステムリセットを行うことを推奨します。

17.9.1.2 リセット動作

ここでの"リセット"は USB2.0-Spec で定義されている"Reset Signaling"を表しています。UDC2 へのシステムリセット(reset_x)とは異なります。

(1) リセット後 FS で動作する場合

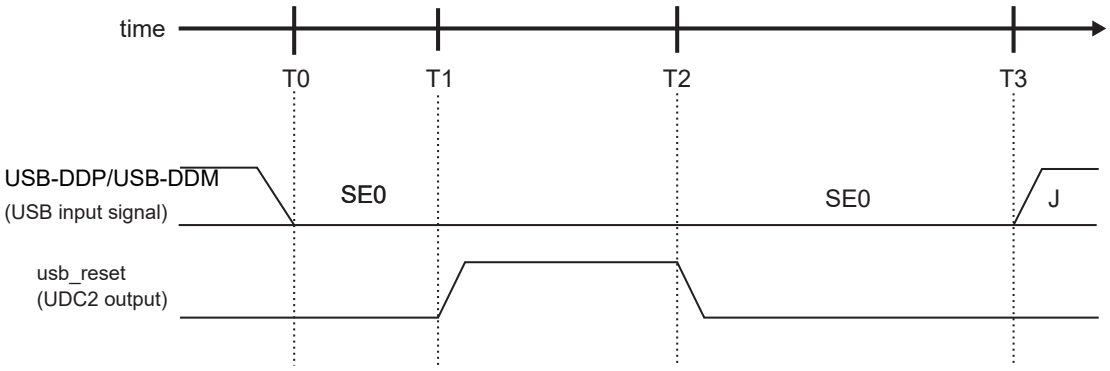


図 17-27 リセット動作タイミング図

- T0: リセット開始

  UDC2 はホストからの" SE0" を認識した時点で、リセットを認識するためのカウントを始めます。

- T1: リセット認識(T0 から 2.5 μs 以上)

  UDC2 は、T0 から約 68 μs 以上の"SE0" を検知すると、ホストからのリセットを認識して、 usb_reset を "High"にします。

- T2: USB reset のデアサート

  UDC2 は、T1 から約 3.5ms 経つと usb_reset を "Low" にします。

- T3: リセット終了(T0 から、10 ms 以上)

  ホストからの"SE0" が終了し idle に入った時点でリセットが終了となります。ホストからのリセット期間は最小で 10ms となります。

(2) リセット時の注意点

- リセット後のレジスタ初期化について

  ホストからのリセットが終了した時点(usb_reset が"High" から "Low"へ変化した時点)で、UDC2 内部レジスタは全て初期化されます。 (各レジスタの初期値は、「17.4 レジスタ 説明」を参照して下さい。)

  usb_reset が "High"の間に設定されたレジスタも初期化されますので、リセット後の各レジスタの再設定はリセット終了後に行って下さい。

- リセット後の DMA 転送 (EP-I/F アクセス）について

  DMA 転送中に、ホストからリセットを受信した場合には、UDFS2EP x STS の初期化に伴いバスアクセス選択が、" 共通バスアクセス" となります。従って、正常に DMA 転送を続けることがてきなくなります。リセット受信時には、DMA コントローラの初期化も行って下さい。

  リセット後にはエニュメレーションが発生しますので、その際に各 EP の設定を行ったうえ、UDFS2CMD の EP_Reset コマンドを用いて EP の初期化を行って下さい。

17.9.1.3　サスペンド動作

(1)　サスペンド動作

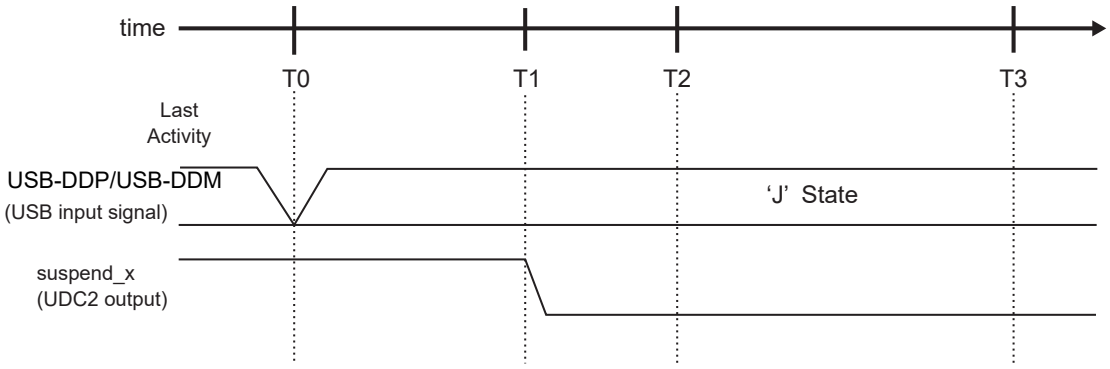


図 17-28 サスペンド動作タイミング

- T0:バスアクティビティの終了

  ホストからの最後のバスアクティビティ(パケットの終わり）を検知した時点で、UDC2 はサスペンドを認識するためにカウントを始めます。

- T1: サスペンド認識(T0 から 3 ms)

  T0 から 3ms 以上の "FS-J"を検知した時、UDC2 はサスペンドを認識して suspend_x を"Low"とします。

- T2: リモートウェイクアップ開始可能(T0 から 5 ms)

  T0 から 5ms 経過した時点で、デバイスからのレジューム(=リモートウェイクアップ）が可能となります。

- T3: サスペンドへの移行 (T0 から 10 ms)

  T0 から 10ms 以内にデバイスとしてサスペンドに入る必要があります。CLK_U を停止させる場合など、デバイスシステムとしてサスペンドに必要な処理を行う場合には、この期間内に行って下さい。

  UDC2 の CLK_U を停止する場合には、USB クロック制御回路を制御しする必要があります。

(2)　サスペンド動作時の注意

- サスペンド中の内部レジスタについて

  サスペンド中、UDC2 は内部レジスタの値や FIFO の中身、各フラグの状態を保持します。レジュームによりサスペンドから復帰した後も同様にサスペンド前の状態を保持しています。

  なお UDC2 の CLK_H が停止している場合、PVC-I/F、EP-I/F を通じて UDC2 内部レジスタへのアクセスすることが不可能になります。

17.9.1.4 レジューム動作

(1) ホストレジューム動作

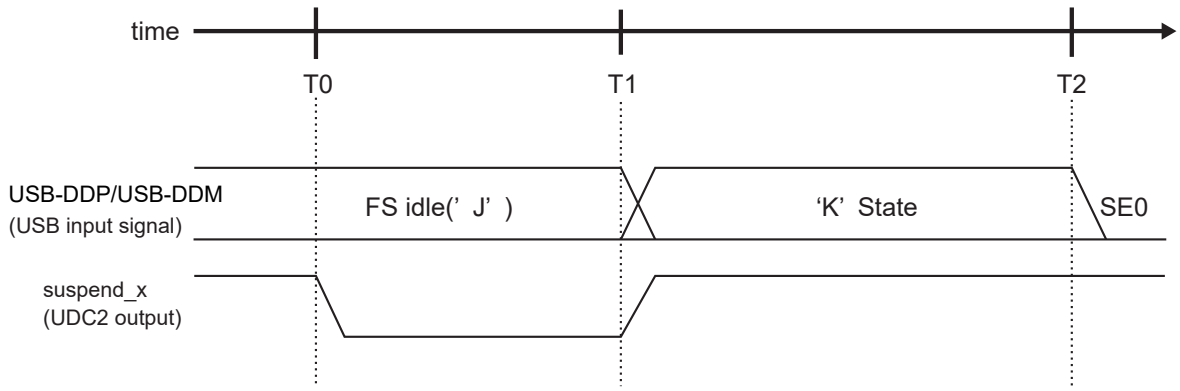


図 17-29 ホストレジューム動作タイミング

- T0: UDC2 の suspend_x 出力が、 "Low"
- T1: ホストレジューム機能(タイミング規定無し)

  ホストはサスペンドから復帰させるため、任意のタイミングでレジューム ("FS-K")を開始します。UDC2 はこの時点で suspend_x を "High"にします。 (UDC2 の CLK_U が停止している状態でも、suspend_x は "High"になります。)

  サスペンド中に UDC2 の CLK_H を停止させている場合、USB クロック制御回路を制御し CLK_H を再開させて下さい。

  UDC2 への CLK 入力を停止する場合には、clk_em を制御する必要があります。
- T2:ホストレジューム終了(T1 から 20 ms 以上)

  ホストからのレジューム ("FS-K")は 20ms 以上続きます。その後、 "SE0"を経てレジュームが終了します。

(2) デバイスレジューム(リモートウェイクアップ)動作

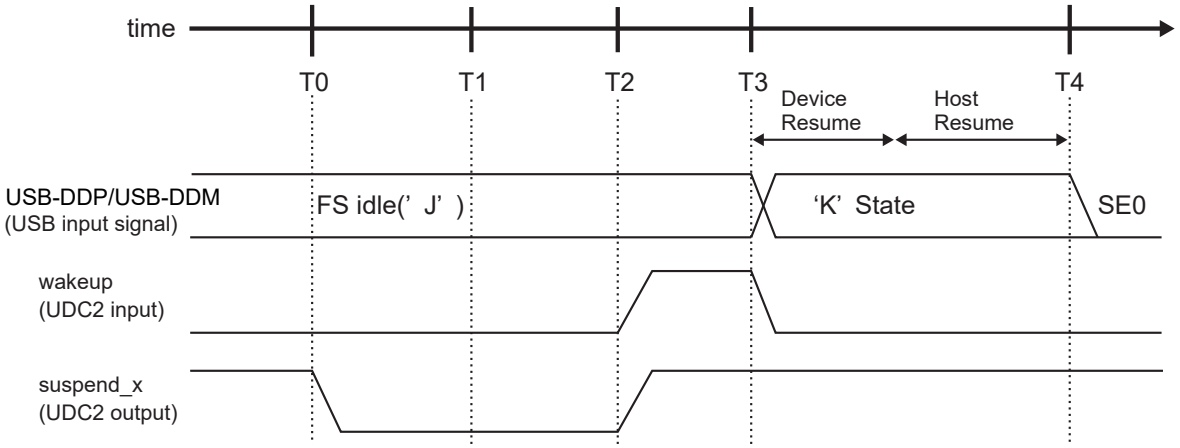


図 17-30 リモートウェイクアップ動作タイミング

- T0: UDC2 の suspend_x 出力が "Low"
- T1: リモートウェイクアップ開始可能 (T0 から 2 ms 以上)

  デバイスからサスペンド復帰をする場合に、UDC2 の wakeup 入力を使用することで、リモートウェイクアップが可能です。ただし、USB-Spec 上、サスペンド開始から 5ms はリモートウェイクアップが禁止されています。サスペンド開始から T0 までに 3ms は経過しているので、T0 から 2ms 以上経ってから wakeup を"H"にして下さい。
- T2: UDC2 への wakeup 入力を "High" (T1 以降)

  任意のタイミングで wakeup を"High"にして下さい。UDC2 はこの時点で suspend_x を"High"にします。(UDC2 への CLK 入力が停止している状態でも、suspend_x は"High"になります。)　また、UDC2 が実際にレジューム("FS-K")を開始するためには、UDC2 へ CLK が入力されている必要があります。その後、CLK が再開されるまで、wakeup を"High"にし続けて下さい。
- T3: デバイスレジューム開始

  UDC2 の CLK_H が再開されると、UDC2 はデバイス・レジューム("FS-K")を開始します。UDC2 のデバイスレジューム期間は約 2ms となっています。ホストはデバイスレジュームを確認するとホスト・レジュームを開始します。
- T4: ホストレジューム終了　(T3 から 20ms 以上)

  ホストからのレジューム("FS-K")は 20ms 以上続きます。その後、"SE0"を経てレジューム動作が終了します。

(3)　レジューム時の注意点

リモートウェイクアップの使用制限について下記の注意点があります。

リモートウェイクアップをデバイスシステムとしてサポートする場合には、Configuration ディスクリプタの中で、デバイスとしてリモートウェイクアップ機能がイネーブルであることをホストに伝えなければいけません。さらに、サポートする場合でも、リモートウェイクアップの使用許可はデフォルトではディセーブルとなっています。ホストからのリクエストによりイネーブルとされるまではこの機能は使用してはいけません。これらの制約を満たしている場合に限り wakeup 入力を使用してのリモートウェイクアップを行って下さい。

この仕様の詳細は 17.8 に記載してありますので、使用する場合は必ず参照して下さい。

17.9.2 Appendix B MaxPacketSize 奇数バイト設定関連

17.9.2.1 UDFS2EPxMSZ の奇数設定について

USB-Spec 上、Isochronous/Interrupt 転送では EP の MaxPacketSize(以下、MPS)を偶数/奇数バイトのどちらかに設定可能です。(Control/Bulk 転送では偶数のみを設定可能です。)

UDC2 では MPS の設定は、UDFS2EP x MSZ<max_pkt>で行います。UDC2 で実装する EP の FIFO 構成としては偶数バイトしかサポートしていないので、通常は MPS も偶数バイトを設定することを推奨します。

もし MPS を奇数バイトとして使用したい場合には、<max_pkt>に奇数バイトに設定することも可能ですが、EP のバスアクセス方法によって、<max_pkt>設定値に表 17-6 のような制限があります。つまり、送信用 EP での直接アクセスでは<max_pkt>に奇数バイトを設定できません。この場合には、<max_pkt>へは偶数バイトを設定し、EP-FIFO へのライトアクセスで最大ライトバイト数を MPS(奇数)に制御する必要があります。(例えば、MPS を 1023 バイトにする場合は、<max_pkt>に 1024 バイトを設定します。)

表 17-6 max_pkt 設定制限

	受信用 EP	送信用 EP
共通バスアクセス(PVCI-I/F)	偶数/奇数を設定可能	偶数/奇数を設定可能
EP 直接アクセス(EP-I/F)	偶数/奇数を設定可能	偶数のみを設定可能.

上記を踏まえて、次項より、各バスアクセス方法に応じた奇数バイトの MPS 設定方法について説明します。

(1) 受信用 EP と共通バスアクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。アクセス方法も奇数/偶数バイトで同じです。

(2) 送信用 EP と共通バスアクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。

但し、<max_pkt>に奇数バイトを設定して、MPS のライトを行う場合には、以下の点に気をつけて共通バスアクセスを行って下さい。

以下は<max_pkt>=5 を設定し、MPS である 5 バイトをライトする場合のアクセス例です。

- 最後の 5 バイト目のアクセスでは、必ず udc_be= 01 として下さい。
- MPS のアクセスなので、UDFS2CMD での EP_EOP コマンドは発行しないで下さい。

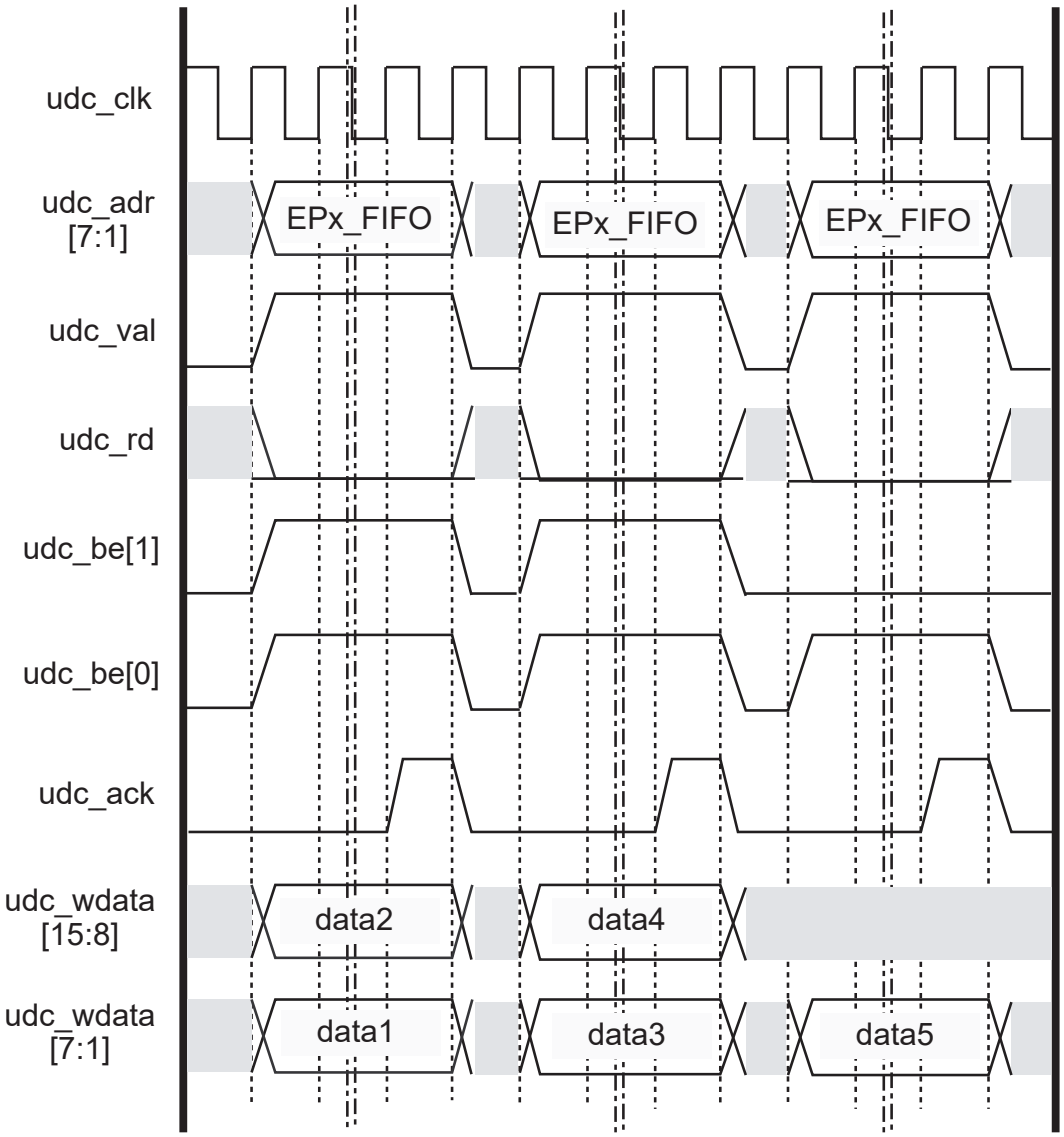


図 17-31 max_pkt=奇数で MPS ライト時のアクセス（共通バスアクセス）

(3)　受信用 EP と EP 直接アクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。アクセス方法も奇数/偶数で同じです。

(4)　送信用 EP と EP 直接アクセス

<max_pkt>に偶数バイトのみを設定可能です。USB 上、EP の MPS を奇数バイトとして動作させる場合は以下のように設定して下さい。

- MPS=1023 で使用する例
  - <max_pkt>=1024 を設定してください。
  - EP への最大ライトアクセスは 1023 バイトとして下さい。(MPS を超える 1024 バイトはライトしないで下さい。)
  - ファームウェアで管理する必要がある EP ディスクリプタの"wMaxPacketSize"は、1023 を設定して下さい。(この値は GetDescriptor リクエストで USB-HOST へ伝える情報です。)

以下は<max_pkt>=1024 を設定し、MPS である 1023 バイトをライトする場合のアクセス例です。

- 最後の 1023 バイト目のアクセスでは、必ず epx_w_be=01 として下さい。

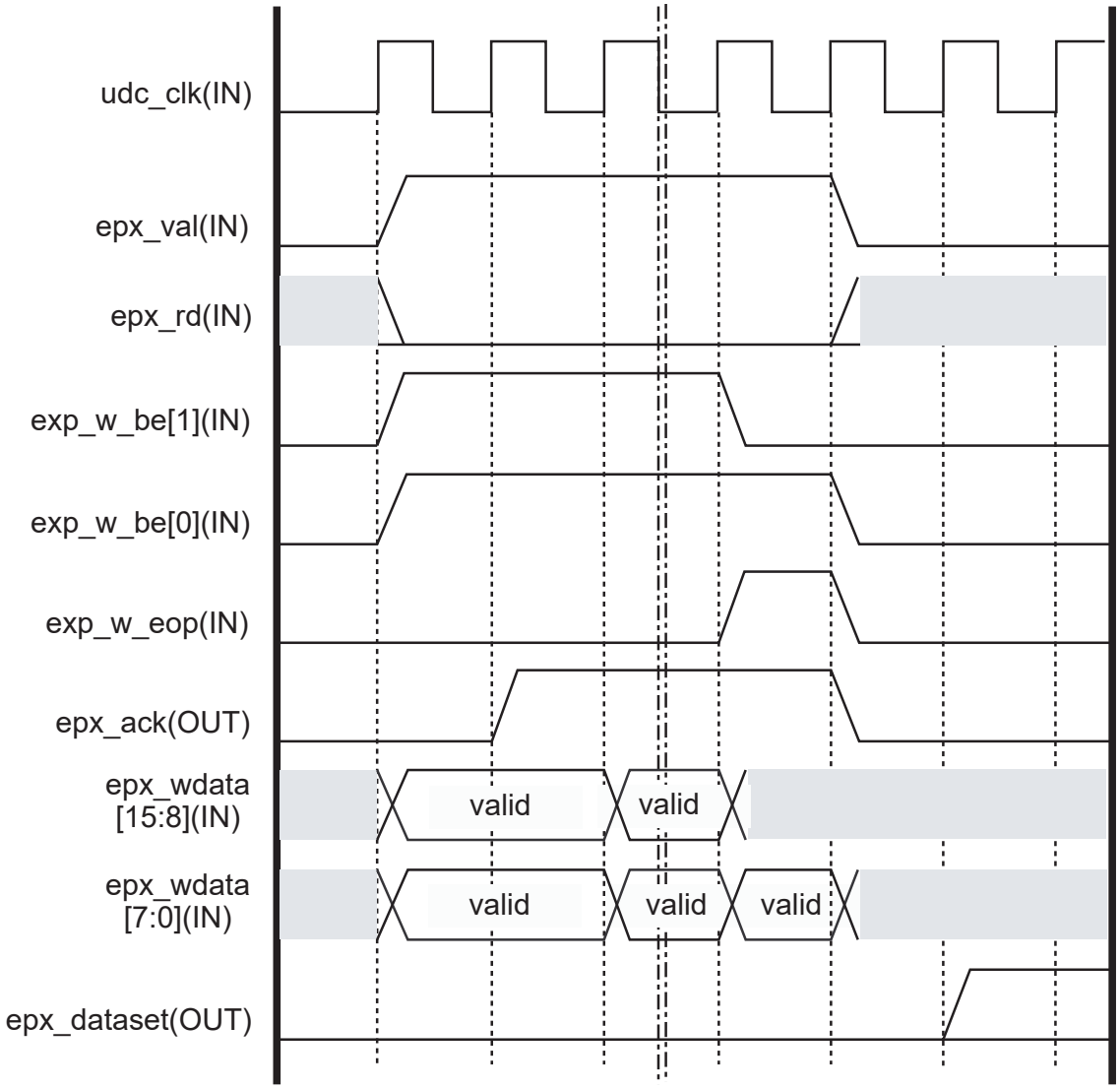


図 17-32 <max_pkt>=偶数で MPS(奇数)ライト時のアクセス (EP 直接アクセス)

17.9.3　Appendix C Isochronous 転送関連

Isochronous 転送ではデータの等時性が重要となるためフレーム毎に転送が発生します。従って、Isochronous 転送を使用する EP(FIFO)へのアクセスも、ある一定のパフォーマンス(スピード)が要求されます。 UDC2 では EP へのアクセス手段として PVCI-I/F か EP-I/F を選択可能です。また、FIFO 構成に関しては Single モードか Dual モードが選択可能となっています。しかし Isochronous 転送を使用する EP に関しては EP-I/F、Dual モードでの使用を推奨します。

17.9.3.1　Isochronous 転送使用 EP へのアクセスの注意点

最大データペイロードサイズは FS で 1023byte です。Dual モードを使用しペイロードサイズ 1023byte の転送を行うためには、2048byte の RAM が必要です。また、FS ではフレームごと(1ms)に転送が行われます。

(使用するペイロードサイズや transaction 数の情報は、UDC2 へのレジスタ設定が必要です。また、これらの情報はホストへ通知する EP のディスクリプタ情報として、ソフトウエアでも管理が必要です。)

17.9.3.2　Isochronous 転送使用 EP へのコマンド制約

Isochronous 転送では他の転送と比較して、handshake, トグル, フレーム内の transaction 数などの制約があるため、実際には、使用すべきコマンドが限られています。Isochronous 転送使用中の EP に対しては基本的にコマンドを使用しないで下さい。ただし、リクエスト処理中には EP_Reset コマンド、 EP_Invalid コマンドを必要に応じて使用して下さい。」

(EP へのアクセス手段として PVCI-IF を使用する場合には「EP_EOP コマンド」を使用します)

(Appendix に関して)

USB の仕様に関係する部分は、必ず USB Specification(Revision 2.0)にて確認して下さい).

第 18 章　リモコン判定機能(RMC)

18.1　概要

搬送波が取り除かれたリモコン信号の受信を行います。

18.1.1　リモコン受信

- サンプリングクロックは低周波クロック(32.768 kHz)とタイマ出力を選択可能
- ノイズキャンセル時間を調整可能
- リーダ検出
- 最大 72bit まで一括受信

18.2　ブロック図

図 18-1 にリモコン判定機能のブロック図を示します。

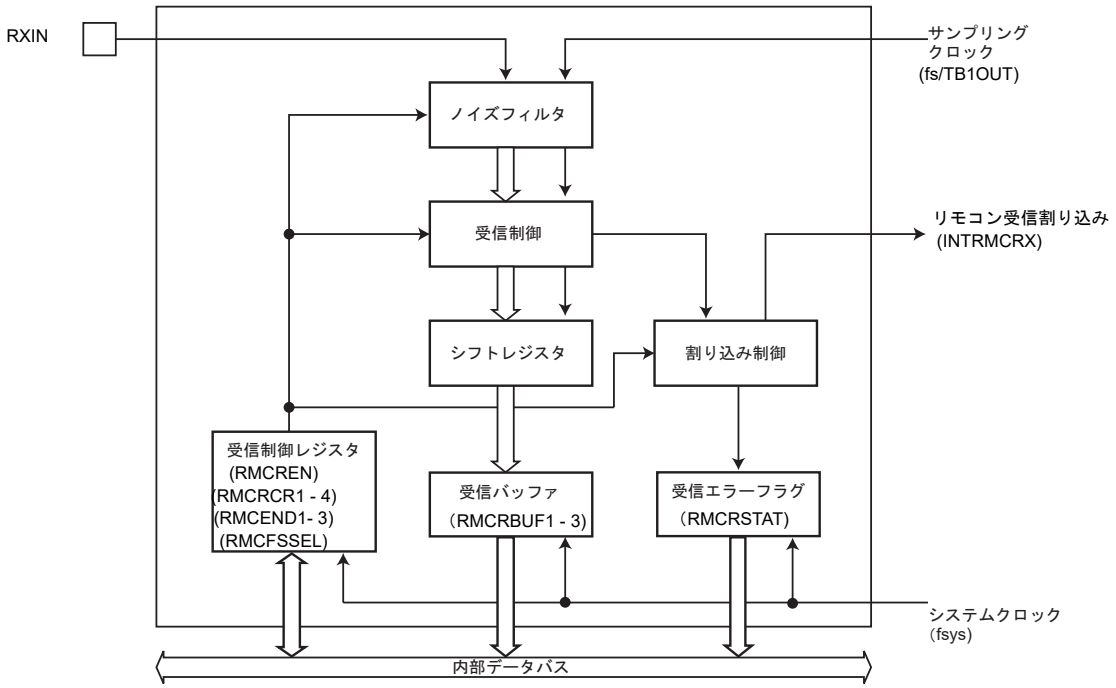


図 18-1 リモコン判定機能ブロック図

18.3　レジスタ説明

18.3.1　レジスター覧

リモコン判定機能の制御レジスタとアドレスは以下のとおりです。

Base Address = 0x400E_7000

レジスタ名		Address(Base+)
リモコンイネーブルレジスタ	RMCEN	0x0000
受信イネーブルレジスタ	RMCREN	0x0004
受信データバッファレジスタ 1	RMCRBUF1	0x0008
受信データバッファレジスタ 2	RMCRBUF2	0x000C
受信データバッファレジスタ 3	RMCRBUF3	0x0010
受信コントロールレジスタ 1	RMCRCR1	0x0014
受信コントロールレジスタ 2	RMCRCR2	0x0018
受信コントロールレジスタ 3	RMCRCR3	0x001C
受信コントロールレジスタ 4	RMCRCR4	0x0020
受信ステータスレジスタ	RMCRSTAT	0x0024
受信終了ビット数レジスタ 1	RMCEND1	0x0028
受信終了ビット数レジスタ 2	RMCEND2	0x002C
受信終了ビット数レジスタ 3	RMCEND3	0x0030
ソースクロック選択レジスタ	RMCFSSEL	0x0034

18.3.2 RMCEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	–	R/W	"1"をライトしてください。
0	RMCEN	R/W	リモコン判定機能動作 0: 禁止 1: 許可 リモコン判定機能の動作を制御します。 リモコン判定機能を使用する場合は、まずこのビットを許可に設定してください。 動作禁止の状態では、イネーブルレジスタを除くリモコン判定機能のすべてのクロックが停止しますので消費電力の低減が可能です。 リモコン判定機能をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

18.3.3　RMCREN(受信イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCREN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	RMCREN	R/W	受信 0: 禁止 1: 許可 受信動作を制御します。 このビットを"1"にすることで受信待ち状態になります。

注)　<RMCREN>ビットは、RMCRCR1, 2, 3 を設定した後に許可してください。

18.3.4 RMCRBUF1(受信データバッファレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCRBUF(受信データ 31 ~ 24 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCRBUF(受信データ 23 ~ 16 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRBUF(受信データ 15 ~ 8 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 7 ~ 0 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCRBUF[31:0]	R	受信データ(31 ビット ~ 0 ビット) 受信した 4 バイト分のデータ(31 ビット ~ 0 ビット)が読めます。

18.3.5 RMCRBUF2(受信データバッファレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCRBUF(受信データ 63 ~ 54 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCRBUF(受信データ 55 ~ 48 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRBUF(受信データ 47 ~ 40 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 39 ~ 32 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCRBUF[63:32]	R	受信データ(63 ビット ~ 32 ビット) 受信した 4 バイト分のデータ(63 ビット ~ 32 ビット)が読めます。

18.3.6　RMCRBUF3(受信データバッファレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 71 ~ 64 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	RMCRBUF[71:64]	R	受信データ(71 ビット ~ 64 ビット) 受信した 1 バイト分のデータ(71 ビット ~ 64 ビット)が読めます。

注)　受信データは、最初に受信したビットがデータバッファレジスタの MSB 側に、最後に受信したビットが LSB (Bit0)に格納されます。 LSB first のリモコン信号を受信した場合、ビットの重みが逆順のデータがレジスタへ格納されますので、ご注意ください。

18.3.7 RMCRCR1(受信コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCLCMAX							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCLCMIN							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLLMAX							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCLLMIN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	RMCLCMAX[7:0]	R/W	リーダ検出の周期期間の上限設定 上限期間の計算式： <RMCLCMAX> × 4/fs[s]
23-16	RMCLCMIN[7:0]	R/W	リーダ検出の周期期間の下限設定 下限期間の計算式： <RMCLCMIN> × 4/fs[s]
15-8	RMCLLMAX[7:0]	R/W	リーダ検出の Low 期間の上限設定 上限期間の計算式 ：<RMCLLMAX> × 4/fs[s]
7-0	RMCLLMIN[7:0]	R/W	リーダ検出の Low 期間の下限設定 下限期間の計算式 ：<RMCLLMIN> × 4/fs[s] RMCRCR2<RMCLD> = 1 のときは、Low 幅が設定値未満の場合データビットと判別します。

注) リーダ検出の設定では以下の関係式を守ってください。

リーダ種類	関係式
Low 幅 + High 幅	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> > <RMCLLMIN[7:0]> <RMCLCMIN[7:0]> > <RMCLLMAX[7:0]>
High 幅のみ	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> = 0x00 <RMCLLMIN[7:0]> = don't care
リーダなし	<RMCLCMAX[7:0]> = 0x00 <RMCLCMIN[7:0]> = don't care <RMCLLMAX[7:0]> = don't care <RMCLLMIN[[7:0]> = don't care

18.3.8　RMCRCR2(受信コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCLIEN	RMCEDIEN	-	-	-	-	RMCLD	RMCPHM
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLL							
リセット後	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	RMCDMAX							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31	RMCLIEN	R/W	リーダ検出割り込み発生の許可 0: 割り込み発生しない 1: 割り込み発生する
30	RMCEDIEN	R/W	リモコン入力立ち下がりエッジ割り込み発生の許可 0:割り込み発生しない 1: 割り込み発生する
29-26	–	R	リードすると"0"が読めます。
25	RMCLD	R/W	リーダありとリーダなしのリモコン信号を両方受信可能なモード設定 0: 禁止 1: 許可
24	RMCPHM	R/W	位相方式のリモコン受信モードの設定 0: 位相方式のリモコン信号を受信しない(周期方式で受信) 1: 周期固定の位相方式のリモコン信号を受信する 　周期が固定の位相方式のリモコン信号の場合は、"1"を設定します。
23-16	–	R	リードすると"0"が読めます。
15-8	RMCLL[7:0]	R/W	Low 幅の検出による受信終了/割り込み発生のタイミングの設定 0000_0000~1111_1110: <RMCLL> × 1/fs[s]で受信終了/割り込み発生 1111_1111: Low 幅検出で受信終了/割り込みの設定をしない
7-0	RMCDMAX[7:0]	R/W	データビットの周期 MAX で受信終了/割り込み発生の設定 0000_0000~1111_1110: <RMCDMAX> × 1/fs[s]で受信終了/割り込み発生 1111_1111: データビットの周期 MAX で受信終了/割り込み発生しない

18.3.9 RMCRCR3(受信コントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	RMCDATH						
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCDATL						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると"0"が読めます。
14-8	RMCDATH[6:0]	R/W	データビットの 3 値判定のしきい値上位設定 しきい値の計算式：<RMCDATH> × 1/fs[s] 位相方式のリモコン信号の 3 値判定の 1.5T と 2T のしきい値の設定をします。 データビットの測定結果がしきい値以上でデータを"10"、しきい値未満でデータ"01"と判別します。
7	-	R	リードすると"0"が読めます。
6-0	RMCDATL[6:0]	R/W	データビットの 0/1 判別および 3 値判定のしきい値下位設定 しきい値の計算式：<RMCDATL> × 1/fs[s] データビットの 0/1 判定のしきい値および、位相方式のリモコン信号の 3 値判定の 1T と 1.5T のしきい値の設定をします。 データビットの 0/1 判定の場合、測定結果がしきい値以上でデータ"1"、しきい値未満でデータ"0"と判別します。 位相方式のリモコン信号の 3 値判定の場合、データビットの測定結果がしきい値以上でデータを"01"、しきい値未満でデータ"00"と判別します。

注) RMCRCR2<RMCPHM> = "0"のとき、<RMCDATH[6:0]>は有効になりません。<RMCPHM> = "1"のときのみ有効となります。

18.3.10　RMCRCR4(受信コントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCPO	-	-	-	RMCNC			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	RMCPO	R/W	リモコン入力信号の極性選択 0: 正極 1: 負極
6-4	–	R	リードすると"0"が読めます。
3-0	RMCNC[3:0]	R/W	ノイズ除去時間の設定 0000: ノイズ除去しない 0001~1111: ノイズ除去 　ノイズ除去時間の計算式：<RMCNC> × 1/fs[s]

18.3.11 RMCRSTAT(受信ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRLIF	RMCLOIF	RMCDMAXIF	RMCEDIF	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRLDR	RMCRNUM						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15	RMCRLIF	R	割り込み要因フラグ 0: リーダ検出割り込みは発生していない 1: リーダ検出割り込みが発生
14	RMCLOIF	R	割り込み要因フラグ 0: Low 幅検出割り込みは発生していない 1: Low 幅検出割り込みが発生
13	RMCDMAXIF	R	割り込み要因フラグ 0: データビット周期 MAX 割り込みは発生していない 1: データビット周期 MAX 割り込みが発生
12	RMCEDIF	R	割り込み要因フラグ 0: 立ち下がりエッジ割り込みは発生していない 1: 立ち下がりエッジが発生
11-8	–	R	リードすると"0"が読めます。
7	RMCRLDR	R	リーダ検出 0: リーダ検出なし 1: リーダ検出あり
6-0	RMCRNUM[6:0]	R	リモコン受信したデータビット数 000_0000:データビットなし(リーダのみ) 000_0001~100_1000: 1~72bit 受信 100_1001~111_1111: 73bit 以上 リモコン受信したデータビット数を示します。データビット数は受信終了後に格納され、受信途中のビット数はモニタすることはできません。

注 1) このレジスタは割り込み発生時に最新状態に更新されます。このレジスタへの書き込み動作は無視されます。

注 2) 73bit 以上のデータを受信しても受信終了の条件を満たす波形が入力されない場合はデータを受信し続けます。このとき、データバッファの内容については保証しません。

18.3.12　RMCEND1(受信終了ビット数レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND1						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND1[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

18.3.13　RMCEND2(受信終了ビット数レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND2						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND2[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

18.3.14 RMCEND3(受信終了ビット数レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND3						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND3[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

注 1) RMCEND1 ~ 3 を設定することで、最大 3 通りの受信ビット数の設定が可能です。
注 2) RMCEND1 ~ 3 はデータビット周期 MAX との組み合わせで使用します。

18.3.15　RMCFSSEL(ソースクロック選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCCLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RMCCLK	R/W	RMC サンプリングクロック選択 0 : 低速クロック(32.768kHz) 1 : タイマ出力(TB1OUT) RMC 機能のサンプリングクロックとして、低速クロック(32.768kHz)かタイマ出力(TB1OUT)を選択することができます。 TB1OUT にて設定できるタイマ出力範囲は 30 ~ 34kHz です。

注)　RMCFSSEL レジスタにてサンプリングクロックを切り替える場合は、RMCEN<RMCEN>で RMC をいったん停止(禁止)させ、再度動作(許可)設定した後、他の RMC 関連レジスタよりも先に設定してください。

18.4 動作説明

18.4.1 リモコン受信

18.4.1.1 サンプリングブロック

リモコン信号のサンプリングは、32.768kHz の低速クロック(fs)で行います。

18.4.1.2 基本動作

リーダを検出すると、RMCRSTAT<RMCRLDR>がセットされます。

この時、RMCRCR2<RMCLIEN>を設定しておくと、リーダ検出時にリーダ検出割り込みが発生します。リーダ割り込み発生時には、RMCRSTAT<RMCRLIF>がセットされます。

リーダ検出後、データビットの 0/1 判定を順次行い、結果を RMCRBUF1, 2, 3 レジスタに最大 72bit まで格納します。RMCRCR2< RMCEDIEN>を設定しておくと、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みが発生します。リモコン入力立ち下がりエッジ割り込み発生時には、RMCRSTAT< RMCEDIF >がセットされます。

受信動作はデータビット周期 MAX の検出および、Low 幅の検出が設定値になったところで終了となり、受信終了/割り込み発生となります。RMCEND1 ～ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定している場合は、データビット周期 MAX 検出までの受信したビット数が一致した場合のみ、受信終了/割込み発生となります。

受信終了時の状態は、リモコン受信ステータスレジスタを読み出すことで知ることができます。

受信終了後、リーダ待ちとなります。

データビットのみのリモコン信号を受信する設定をすると、リーダの検出はせずに最初からデータとして扱い、受信を行います。

受信したデータを読み出す前に、次の受信が終了すると受信データは書き換わります。

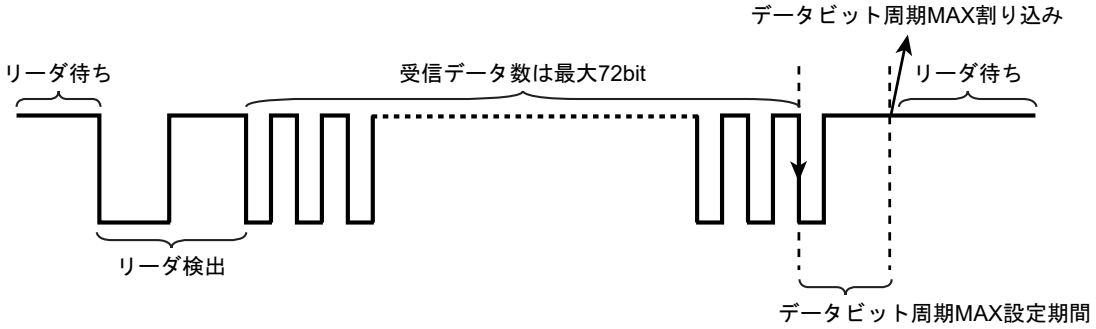


図 18-2 データビットの周期 Max で受信終了の場合

18.4.1.3　リモコン受信の準備

受信を開始する前に、リモコン受信コントロールレジスタ(RMCRCR1, 2, 3, 4)でリモコン受信動作の設定を行います。

(1)　ノイズキャンセル時間の設定

RMCRCR4<RMCNC[3:0]>でノイズキャンセル時間を設定します。

ノイズキャンセルは、サンプリングクロックでリモコン信号をサンプリングした信号に対して行います。サンプリングクロックの立ち上がりエッジごとにサンプリング後のリモコン信号を観測し、現在"High"であれば、<RMCNC>で設定されたサイクル分の"Low"が観測されたときに信号が"Low"に変化したと認識し、現在"Low"であれば、<RMCNC>で設定されたサイクル分の"High"が観測されたとき"High"に変化したと認識します。

次の図は、ノイズキャンセルの設定を<RMCNC[3:0]> = "0011" (3 サイクル)とした場合の動作です。ノイズキャンセル後の信号は、"High"の状態から、"Low"が 3 サイクル観測されたところで"Low"に変化し、"Low"の状態から、"High"が 3 サイクル観測されたところで"High"に変化します。

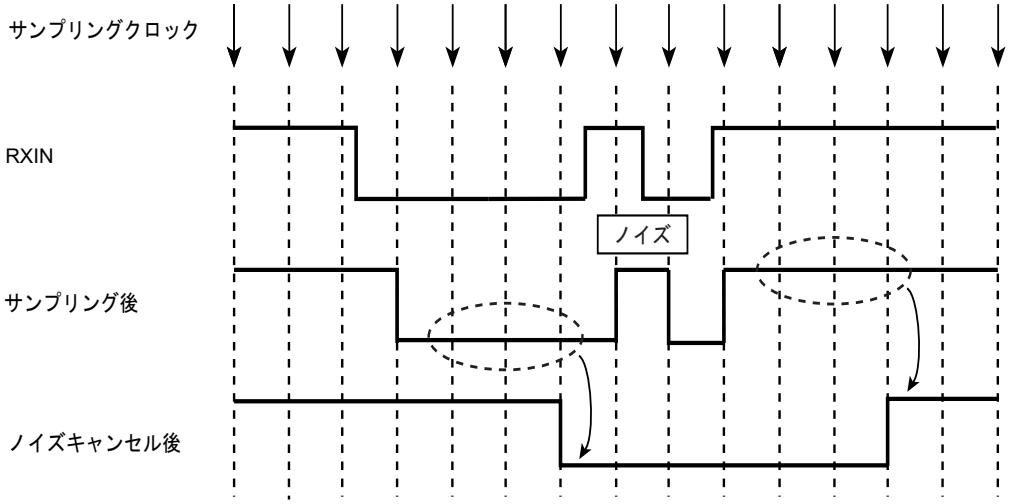


図 18-3 ノイズキャンセル(RMCRCR4<RMCNC[3:0]>="0011"(3 サイクル)の場合)

(2) リーダ検出の設定

リーダ検出の設定は、リーダの周期と Low 幅の値を設定します。RMCRCR1 レジスタの<RMCLLMIN[7:0]>,<RMCLLMAX[7:0]>,<RMCLCMIN[7:0]>,<RMCLCMAX[7:0]>にリーダ検出のための設定を行います。RMCRCR1 レジスタを設定するときは、次の関係で行ってください。

リーダ種類	関係式
Low 幅 + High 幅	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> > <RMCLLMIN[7:0]> <RMCLCMIN[7:0]> > <RMCLLMAX[7:0]>
High 幅のみ	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> = 0000_0000 <RMCLLMIN[7:0]> = don't care
リーダなし	<RMCLCMAX[7:0]> = 0000_0000 <RMCLCMIN[7:0]> = don't care <RMCLLMAX[7:0]> = don't care <RMCLLMIN[7:0]> = don't care

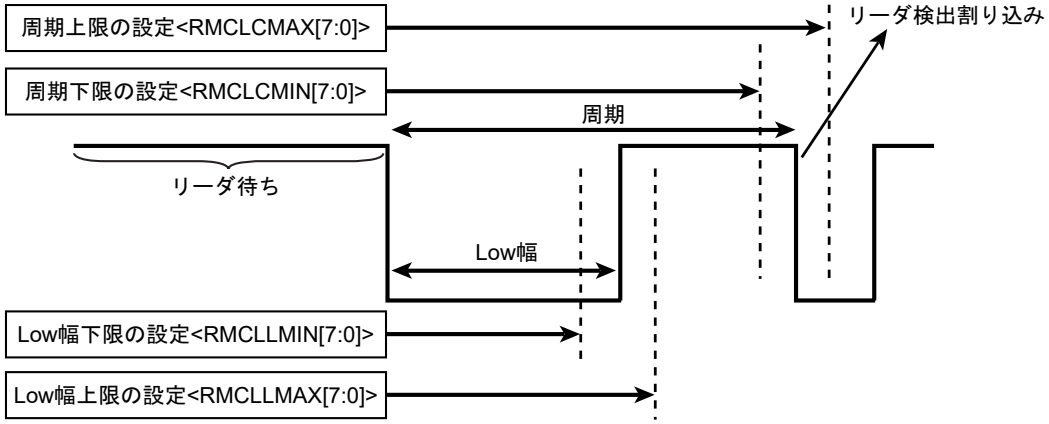


図 18-4 リーダ波形と RMCxRCR1

リーダ検出時に割り込みを発生させたい場合は、RMCRCR2<RMCLIEN>で設定します。リーダなしのリモコン信号については、リーダ検出割り込みの発生はできません。

(3)　データビットの 0/1 判定の設定

同期方式のデータビットの 0/1 判定は立ち下がりエッジの周期に対して行います。以下の 2 種類の判定方法があります。

位相方式のリモコン信号のデータビットの判定は、「18.4.1.8 周期固定の位相方式のリモコン信号の受信」 で説明します。

1. しきい値による判断

   RMCRCR3<RMCDATL[6:0]>でデータビットの 0/1 判定のしきい値を設定します。0/1 判別はしきい値以上でデータ"1"、しきい値未満でデータ"0"となります。

2. 立下りエッジ割り込みによる判断

   RMCRCR2<RMCEDIEN>を"1"にセットすることで、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みを発生させることもできます。リモコン入力立ち下がりエッジ割り込みとタイマを用いることで、ソフトウエア的にリモコン判定を行うことができます。

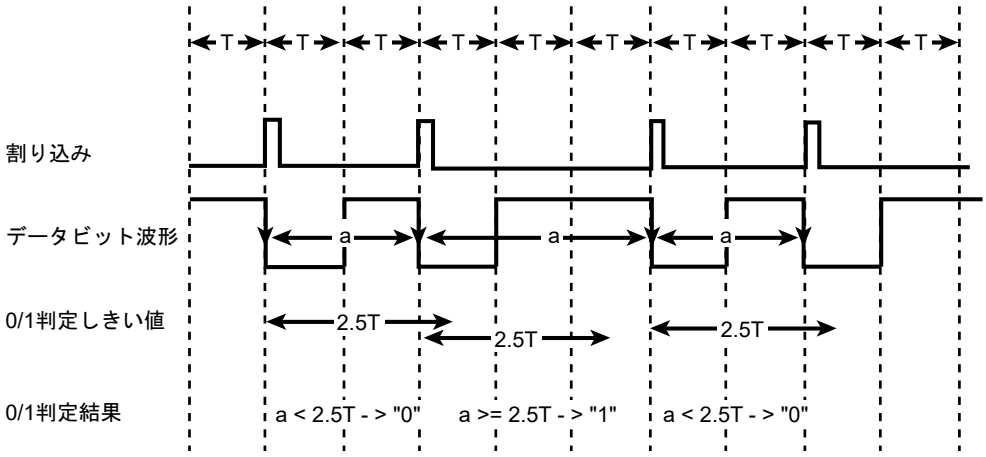


図 18-5 データビットの 0/1 判断の方法(しきい値 2.5T の場合）

(4) 受信終了の設定

受信終了はデータビットの周期 MAX 検出および、Low 幅の検出を設定することで行います。複数の要因を設定した場合は、最初に検出した要因で受信終了となります。受信終了の設定は必ず行うようにしてください。

1. データビットの周期 MAX で受信終了する場合

RMCRCR2<RMCDMAX[7:0]>でデータビット周期 MAX の設定をします。データビットの立ち下がりエッジ周期の値が、<RMCDMAX[7:0]>で設定されたデータビット周期 MAX のしきい値以上のときデータビット周期 MAX 検出で受信終了/割り込み発生となります。割り込み発生後に RMCRSTAT< RMCDMAXIF >がセットされます。

RMCEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定することで、受信ビット数を指定して受信終了を行うことが出来ます。この場合、データビット周期 MAX の発生時の受信したビット数と RMCEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>で設定された受信ビット数が一致した時のみ、データビット周期 MAX 割込みを発生します。受信ビット数は、RMCEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に 3 通り設定することが出来ます。データビット周期 MAX の発生時の受信したビット数が RMCEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に設定した受信ビット数と一致しない場合は、リーダ待ち/受信待ちとなります。

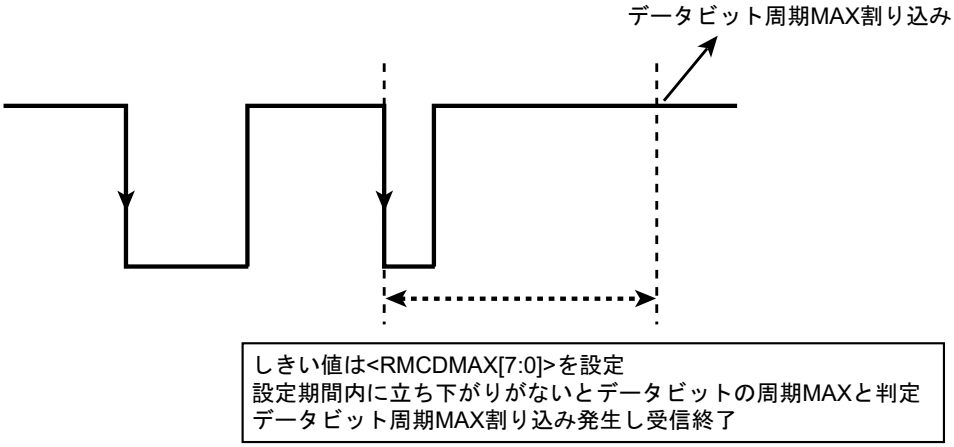


図 18-6 データビットの手記 Max で受信終了する場合

2. Low 幅検出で受信終了する場合

RMCRCR2<RMCLL[7:0]>で Low 幅の検出による受信終了の設定をします。データビットが立ち下がり後、設定期間を超えて Low のままだと Low 幅検出し、受信終了/割り込み発生となります。割り込み発生後に RMCRSTAT<RMCLOIF>に"1"がセットされます。

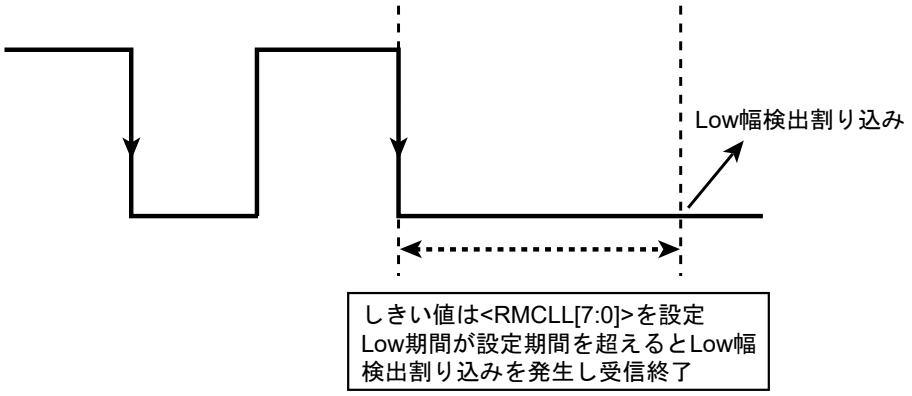


図 18-7 Low 幅検出で受信終了する場合

18.4.1.4　受信許可

RMCRCR1 レジスタ, RMCRCR2 レジスタ, RMCRCR3 レジスタ, RMCRCR4 レジスタの設定終了後、RMCREN<RMCREN>を受信許可に設定することで受信待ち状態になり、リーダを検出すると受信動作を開始します。

注)　受信動作中に RMCRCR1, 2, 3, 4, RMCEND1, 2, 3 レジスタの設定が変更されると正しく受信できない可能性があります。受信許可中に設定変更を行う場合は注意して行ってください。

18.4.1.5　受信の停止

RMCREN<RMCREN>を"0" (受信禁止)に設定すると受信動作を停止します。

受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

18.4.1.6　リーダ待ちの状態でリーダなしのリモコン信号の受信

RMCRCR2<RMCLD>を設定することでリーダありとリーダなしのリモコン信号を両方受信することが可能になります。

RMCRCR2<RMCLD>を設定すると、RMCRCR1<RMCLLMAX[7:0]>以下の Low 幅の信号を受信するとデータと判断し受信を開始し、最終ビットまで受信を行います。

この設定を使用する場合、データビットの 0/1 判定、エラー検出、受信終了の設定はリーダあり/リーダなしデータですべて共通となりますので、受信可能なリモコン信号には制限があります。

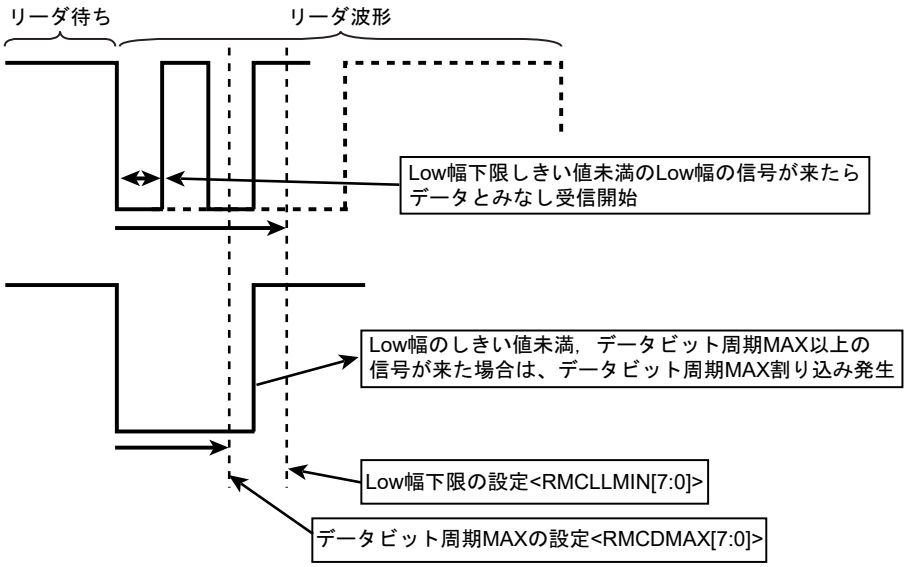


図 18-8 リーダ待ち状態なしでのリーダなしのリモコン信号の場合
(RMCRCR2<RMCLD>="1"の時)

18.4.1.7　Low 幅のみのリーダで始まるリモコン信号の受信

Low 幅のみのリーダで始まるリモコン信号は次図にあるように、リーダが Low 幅のみで始まり、データビットの周期が立ち上がり期間で構成される信号です。データビットの測定を立ち下がりエッジの周期で行う必要があるため、RMCRCR4<RMCPO> = "1"に設定し、反転した信号にして入力します。

リーダの検出の設定は、Low 幅のみのため、RMCRCR1 の設定を、 <RMCLLMAX[7:0]> = "0000_0000", <RMCLCMAX[7:0]> > <RMCLCMIN[7:0]>の関係で設定します。この場合、<RMCLLMIN[7:0]> の値は don't care となります。

データ 0/1 判定の設定は、RMCRCR3<RMCDATL[6:0]>で 0/1 判別のしきい値を設定します。

RMCRCR2 の<RMCDMAX[7:0]>でデータビットの周期 MAX の設定をします。

受信終了の設定は、RMCRCR2 の<RMCDMAX[7:0]>でデータビットの周期 MAX の設定と<RMCLL[7:0]>で Low 幅検出の設定をします。データビットの周期 MAX 検出および、最終ビット後に設定された Low 期間確認後に受信終了/割り込み発生し、リーダ待ちとなります。

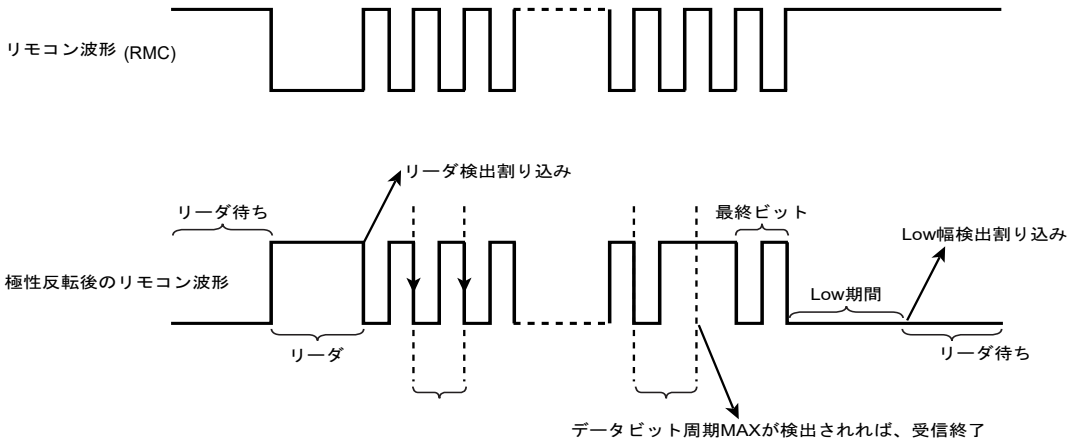


図 18-9 Low 幅のみのリーダで始まるリモコン信号の受信

18.4.1.8 周期固定の位相方式のリモコン信号の受信

周期固定の位相方式のリモコン信号は、データの変化のパターンが 3 通りに分けられます。しきい値を 2 つ設定することでパターンの判別を行い、ハードウエアでリモコンデータに変換を行い、受信終了後、受信データをリモコンデータの形式で RMCRBUF1, 2, 3 に格納します。

周期固定の位相方式のリモコン受信は、RMCRCR2<RMCPHM> = "1"に設定することで有効になります。しきい値の設定は、RMCRCR3<RMCDATL[6:0]>, <RMCDATH[6:0]>で行います。次図にある、3 通りのデータの変化のパターンに対して、2 つのしきい値を決めます。3 通りのパターンはそれぞれ周期 T に対して、1T, 1.5T, 2T となり、しきい値の設定は下表のようになります。

	判別内容	しきい値	設定レジスタ
しきい値 1	パターン 1 とパターン 2	1T~1.5T	RMCRCR3<RMCDATL[6:0]>
しきい値 2	パターン 2 とパターン 3	1.5T~2T	RMCRCR3<RMCDATH[6:0]>

周期固定の位相方式のリモコン信号の判別は、3 通りのデータの変化のパターンと直前の周期のデータが必要です。周期固定の位相方式のリモコン信号は必ず、データ"11"で始まる必要があります。

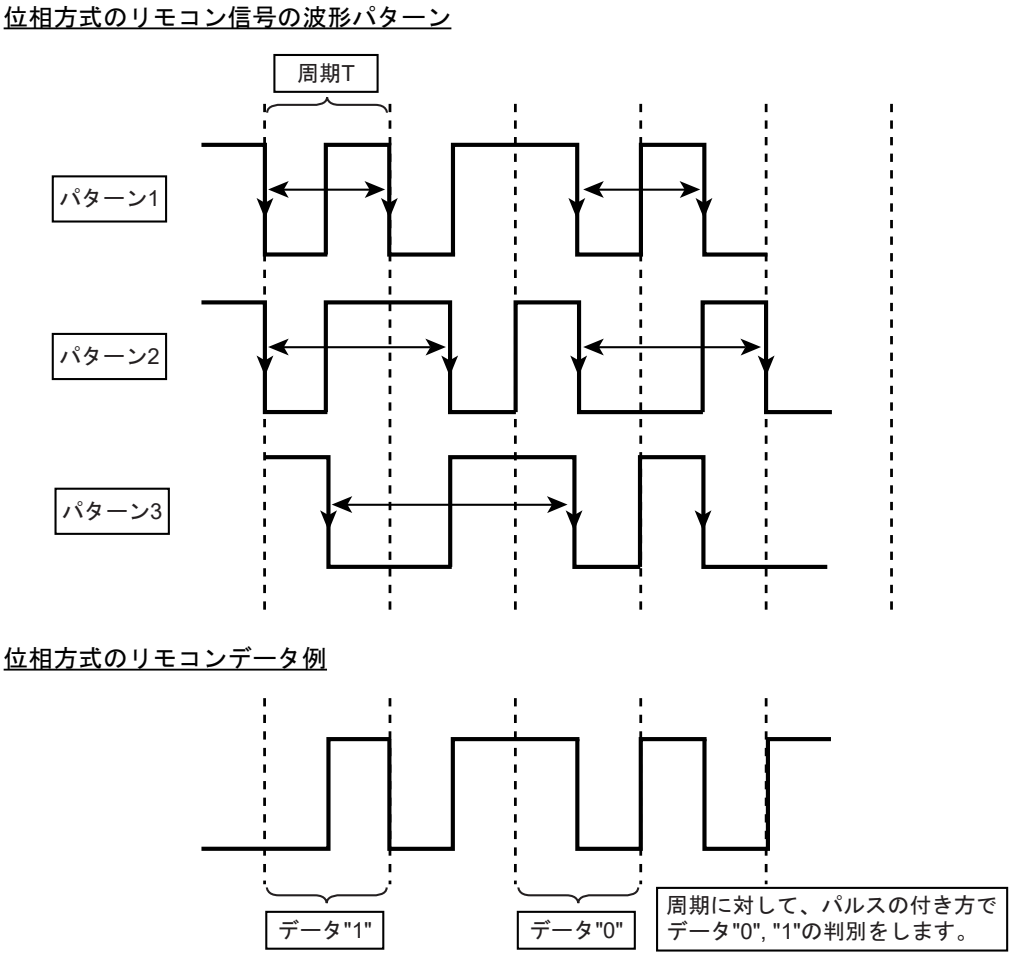


図 18-10 位相固定方式の波形パターンとデータ例

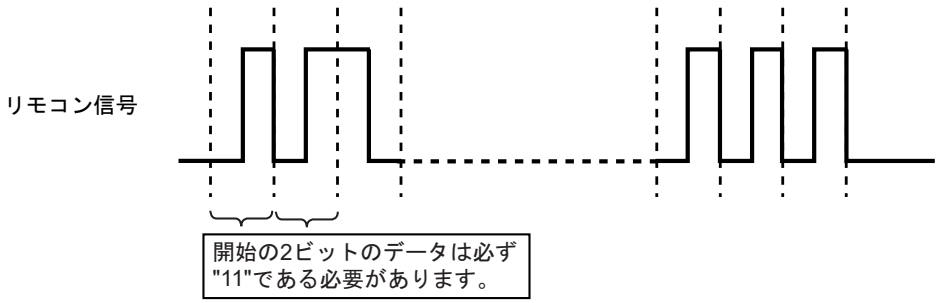


図 18-11 位相方式のリモコン波形例

第 19 章　アナログ/デジタルコンバータ(ADC)

19.1　特徴

TMPM367FDXBG は、12 ビット逐次変換方式アナログ/デジタルコンバータ(AD コンバータ)を 2 ユニット内蔵し、合計 8 チャネルのアナログ入力を有します。

8 チャネルのアナログ入力端子(AINA0 ~ AINA3, AINB0 ~ AINB3)は、入出力ポートと兼用です。

それぞれのユニットを独立して動作可能なシングルユニットモードとインタリーブ制御回路(以下 ADCINTLV)により 2 ユニットの AD 変換開始用トリガ信号を生成し制御するデュアルユニットモードがあります。

デュアルユニットモードには、インタリーブモードとトリガスタートモードが有ります。

各ユニットは ADCINTLV からのトリガ信号を受け、設定されている条件に従い、動作します。

インタリーブモードでは、ADCINTLV へのトリガ入力によってユニット A にトリガ信号を出力した後、設定した時間後にユニット B にトリガ信号を出力します。

トリガスタートモードでは、ADCINTLV への奇数回目のトリガ入力でユニット A へ、偶数回目のトリガ入力でユニット B へトリガ信号を出力します。

これにより各ユニットの変換時間の 1/2 の間隔（最短 0.5μs）で変換結果を得る事も可能です。

12 ビット A/D コンバータは、以下のような特徴があります。

- 通常 AD 変換、最優先 AD 変換の起動
  - ソフトウェアによる起動
  - 外部トリガ入力($\overline{\text{ADTRGA}}$)によるハードウェア起動
  - 16 ビットタイマによる起動(デュアルユニットモードのみ)
- 通常 AD 変換機能の動作モード
  - 固定シングル変換モード
  - スキャンシングル変換モード（シングルユニットモードのみ）
  - 固定リピート変換モード
  - スキャンリピート変換モード（シングルユニットモードのみ）
- 最優先 AD 変換機能の動作モード
  - 固定シングル変換モード（シングルユニットモードのみ）
- 通常 AD 変換終了、最優先 AD 変換終了時、割り込み発生機能
- 通常 AD 変換機能、最優先 AD 変換機能のステータスフラグ。
  - AD 変換結果データ有効を示すフラグ、上書きを示すフラグ
  - AD 変換終了フラグ、AD 変換ビジーフラグ
- AD 監視機能
  - 任意比較条件と一致した場合、割り込みを発生
- AD 変換クロックを fc ~ fc/16 まで制御可能
- スタンバイモードをサポート

19.2　構成

図 19-1、図 19-2 にデュアルユニットモードとシングルユニットモードの使用例別の AD コンバータブロック図を示します。

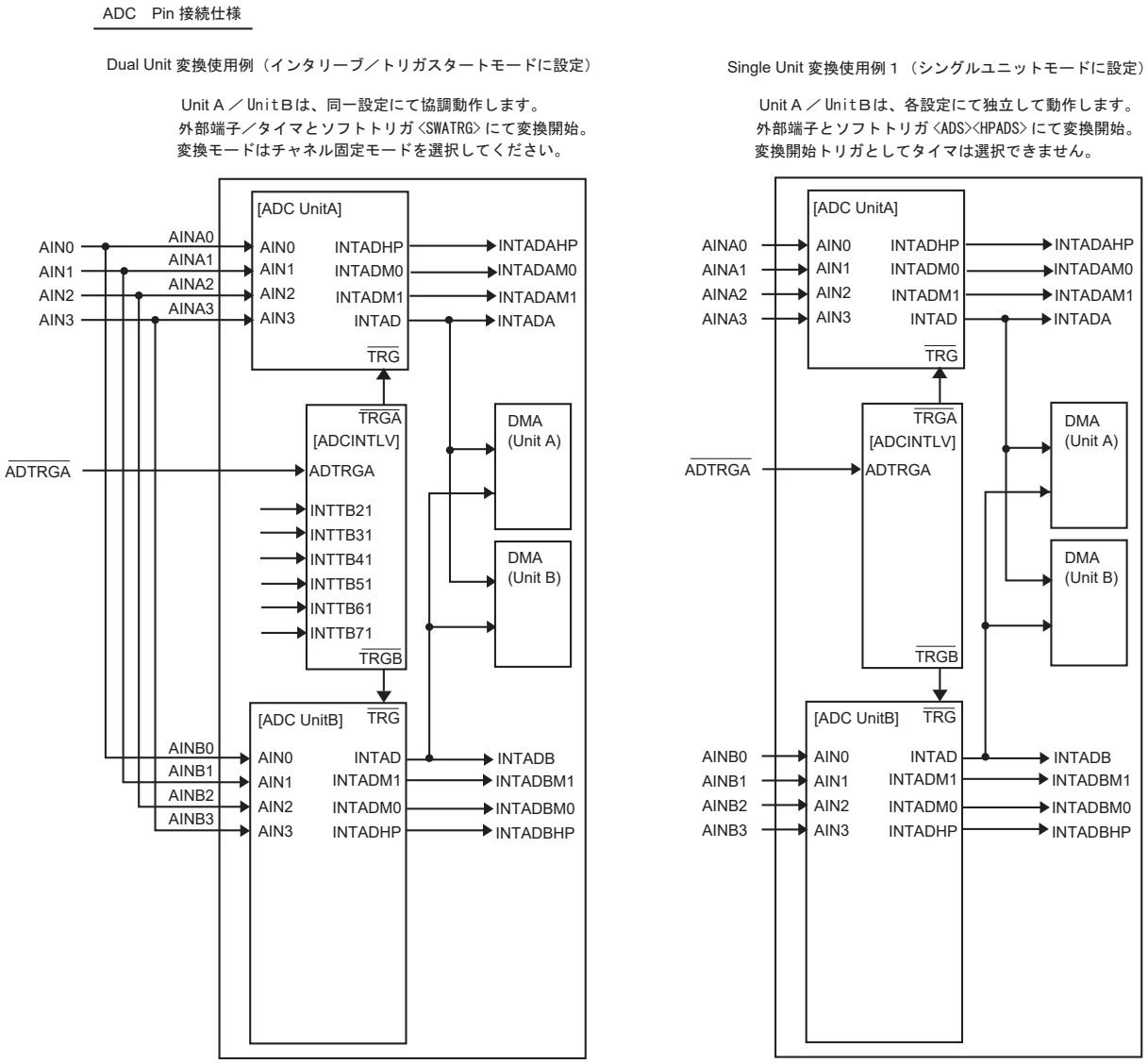


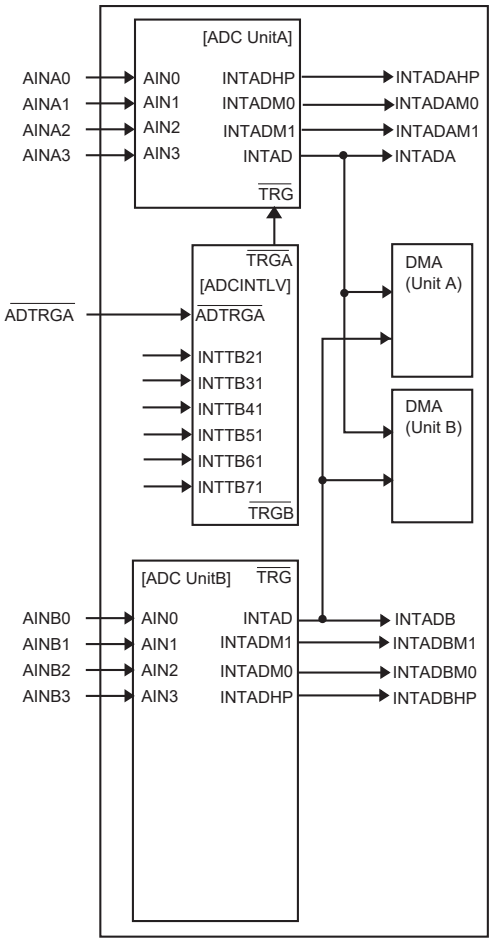
図 19-1 ブロック図 1

ADC　Pin 接続仕様

Single Unit 変換使用例２（インタリーブモードに設定）

Unit A は［ADCINTLV］のトリガ信号 $\overline{\text{TRGA}}$ にて動作

Unit Ｂは<ADS><HPADS> ソフトトリガスタートにて動作



Single Unit 変換使用例３（インタリーブモードに設定）

Unit A は<ADS><HPADS> ソフトトリガスタートにて動作

Unit Ｂは［ADCINTLV］のトリガ信号 $\overline{\text{TRGB}}$ にて動作

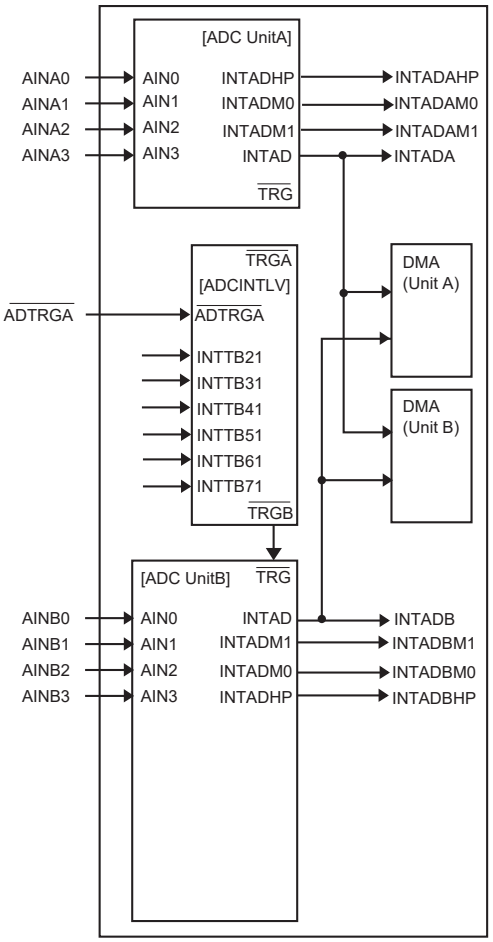


図 19-2 ブロック図 2

図 19-3 に UnitA 単体のブロック図を示します。

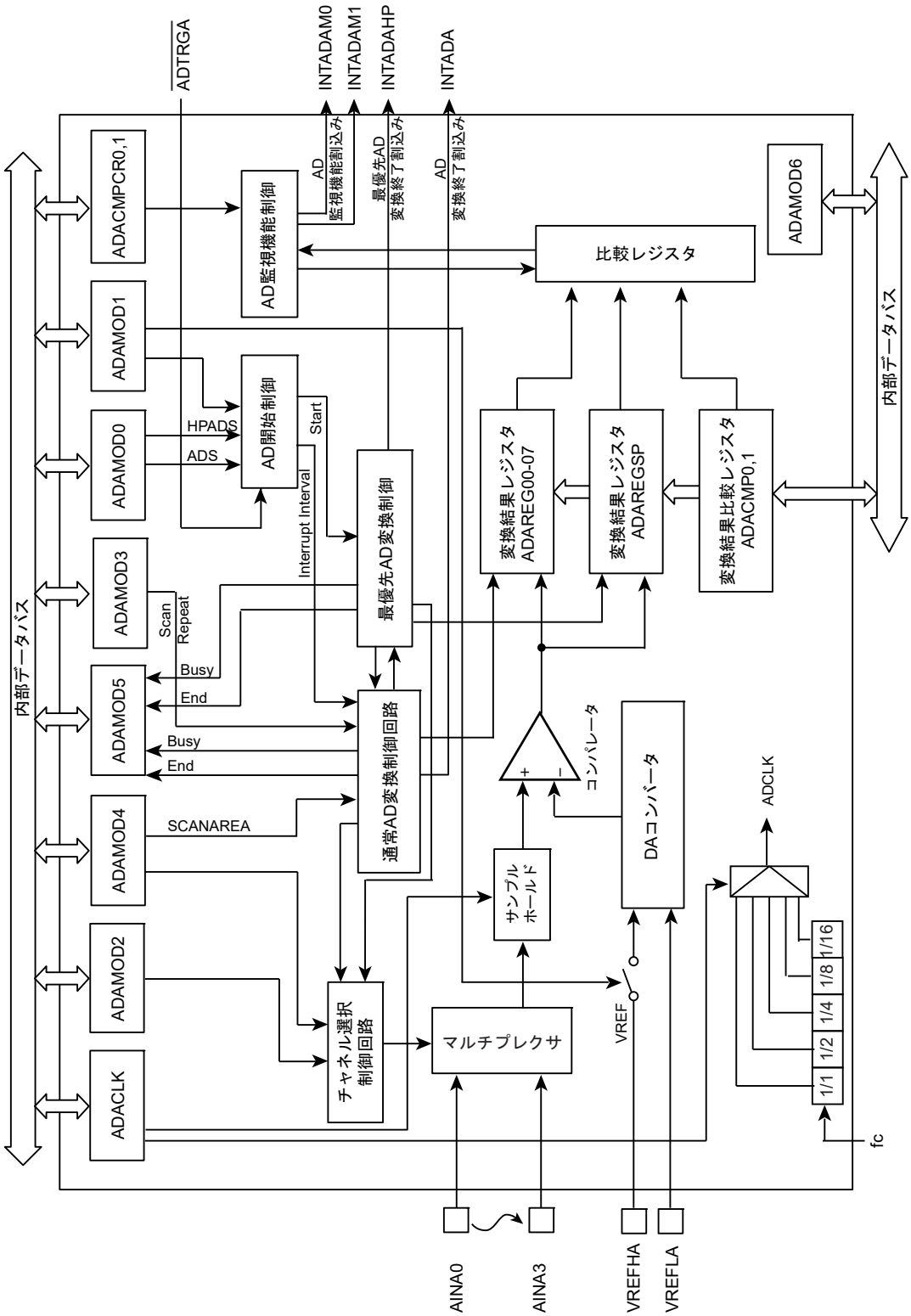


図 19-3 UnitA ブロック図

19.3 レジスタ

19.3.1 レジスター覧

AD 変換機能は、モード設定レジスタ ADAMOD0 ~ ADAMOD6/ADBMOD0 ~ ADBMOD6 の設定により制御します。通常変換結果は、ADAREG00~ADAREG07/ADBREG00 ~ ADBREG8 の各レジスタに格納され、最優先変換結果は ADAREGSP/ADBREGSP に格納されます。

AD 監視機能は、変換結果比較レジスタ ADACMP0~ADACMP1/ADBCMP0~ADBCMP1 の設定値を対象に、監視割り込み設定レジスタ ADACMPCR0~ADACMPCR1/ADBCMPCR0~ADBCMPCR1 の設定により制御します。

ユニット A : Base Address = 0x4005_0000

ユニット B : Base Address = 0x4005_1000

レジスタ名			Address(Base+)
クロック設定レジスタ	ADACLK	ADBCLK	0x0000
モード設定レジスタ 0	ADAMOD0	ADBMOD0	0x0004
モード設定レジスタ 1	ADAMOD1	ADBMOD1	0x0008
モード設定レジスタ 2	ADAMOD2	ADBMOD2	0x000C
モード設定レジスタ 3	ADAMOD3	ADBMOD3	0x0010
モード設定レジスタ 4	ADAMOD4	ADBMOD4	0x0014
モード設定レジスタ 5	ADAMOD5	ADBMOD5	0x0018
モード設定レジスタ 6	ADAMOD6	ADBMOD6	0x001C
Reserved	–	–	0x0020
監視割り込み設定レジスタ 0	ADACMPCR0	ADBCMPCR0	0x0024
監視割り込み設定レジスタ 1	ADACMPCR1	ADBCMPCR1	0x0028
変換結果比較レジスタ 0	ADACMP0	ADBCMP0	0x002C
変換結果比較レジスタ 1	ADACMP1	ADBCMP1	0x0030
変換結果格納レジスタ 0	ADAREG00	ADBREG00	0x0034
変換結果格納レジスタ 1	ADAREG01	ADBREG01	0x0038
変換結果格納レジスタ 2	ADAREG02	ADBREG02	0x003C
変換結果格納レジスタ 3	ADAREG03	ADBREG03	0x0040
変換結果格納レジスタ 4	ADAREG04	ADBREG04	0x0044
変換結果格納レジスタ 5	ADAREG05	ADBREG05	0x0048
変換結果格納レジスタ 6	ADAREG06	ADBREG06	0x004C
変換結果格納レジスタ 7	ADAREG07	ADBREG07	0x0050
変換結果格納レジスタ 8	–	Reserved	0x0054
変換結果格納レジスタ 9	–	Reserved	0x0058
変換結果格納レジスタ 10	–	Reserved	0x005C
変換結果格納レジスタ 11	–	Reserved	0x0060
Reserved	–	–	0x0064
Reserved	–	–	0x0068
Reserved	–	–	0x006C
Reserved	–	–	0x0070
最優先変換結果格納レジスタ	ADAREGSP	ADBREGSP	0x0074

Base Address = 0x4005_2000

レジスタ名		Address(Base+)
Dual Unit Mode 用制御レジスタ 1	ADILVMO1	0x0000
Dual Unit Mode 用制御レジスタ 2	ADILVMO2	0x0004
Dual Unit Mode 用制御レジスタ 3	ADILVMO3	0x0008

注)　"Reserved"表記のアドレスにはアクセスしないでください。

19.3.2 ADACLK/ADBCLK (クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSH				-	ADCLK		
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7-4	ADSH[3:0]	R/W	ADC サンプルホールド時間選択 0000: 10 × <ADCLK> 0001: 20 × <ADCLK> 0010: 30 × <ADCLK> 0011: 40 × <ADCLK> 0100: 80 × <ADCLK> 0101: 160 × <ADCLK> 0110: 320 × <ADCLK> 0111 ~ 1111: Reserved
3	–	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	ADC プリスケーラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101 ~ 111: Reserved

注 1) 4MHz ≤ ADCLK ≤ 40MHz の範囲内で使用してください。例えば、fosc = 12MHz、PLL = 4 逓倍で使用する場合、fc = 48MHz となりますが、この場合は ADACLK/ADBCLK<ADCLK[2:0]> = "000"以外を使用してください。

注 2) <ADCLK > : ADC プリスケーラ出力選択は、AD 変換停止かつ ADAMOD1/ADBMOD1<DACON>="0"で行なってください。

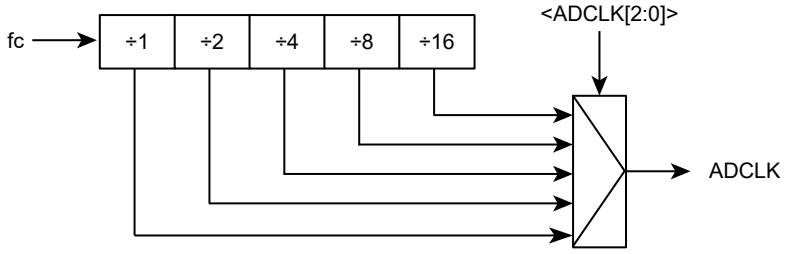


図 19-4 AD 変換クロック(ADCLK)

下表に変換時間を示します。最短変換時間を設定した場合の変換クロック数は 40 クロックです。

ADCLK 選択 <ADCLK[2:0]>	サンプルホールド時間選択<ADSH[3:0]>	変換時間(Tconv)			
		fc=16MHz	fc=48MHz	fc=72MHz	fc=80MHz
000 (fc)	0000（ ADCLK × 10）	2.50 μs	–	–	–
	0001（ADCLK × 20）	3.13 μs	–	–	–
	0010（ADCLK × 30）	3.75 μs	–	–	–
	0011（ADCLK × 40）	4.38 μs	–	–	–
	0100（ADCLK × 80）	6.88 μs	–	–	–
001 (fc/2)	0000（ ADCLK × 10）	5.00 μs	1.67 μs	1.11 μs	1.00 μs
	0001（ADCLK × 20）	6.25 μs	2.01 μs	1.39 μs	1.25 μs
	0010（ADCLK × 30）	7.50 μs	2.50 μs	1.67 μs	1.50 μs
	0011（ADCLK × 40）	8.75 μs	2.92 μs	1.95 μs	1.75 μs
	0100（ADCLK × 80）	–	4.58 μs	3.06 μs	2.75 μs
	0101（ADCLK × 160）	–	7.92 μs	5.28 μs	4.75 μs
	0110（ADCLK × 320）	–	–	9.72 μs	8.75 μs
010 (fc/4)	0000（ ADCLK × 10）	10.00 μs	3.33 μs	2.22 μs	2.00 μs
	0001（ADCLK × 20）	–	4.17 μs	2.78 μs	2.50 μs
	0010（ADCLK × 30）	–	5.00 μs	3.34 μs	3.00 μs
	0011（ADCLK × 40）	–	5.83 μs	3.89 μs	3.50 μs
	0100（ADCLK × 80）	–	9.17 μs	6.12 μs	5.50 μs
	0101（ADCLK × 160）	–	–	–	9.50 μs
011 (fc/8)	0000（ ADCLK × 10）	–	6.67 μs	4.45 μs	4.00 μs
	0001（ADCLK × 20）	–	8.33 μs	5.56 μs	5.00 μs
	0010（ADCLK × 30）	–	10.0 μs	6.67 μs	6.00 μs
	0011（ADCLK × 40）	–	–	7.78 μs	7.00 μs
	0100（ADCLK × 80）	–	–	–	–
100 (fc/16)	0000（ ADCLK × 10）	–	–	8.89 μs	8.00 μs
	0001（ADCLK × 20）	–	–	–	10.00 μs
	0010（ADCLK × 30）	–	–	–	–

注 1)　AD 変換中は、A/D 変換クロック設定を変更しないで下さい。
注 2)　"–"は設定禁止です。<ADCLK>の設定は、変換時間 1μs ~ 10μs の範囲内で使用してください。

19.3.3 ADAMOD0/ADBMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-2	−	R	リードすると"0"が読めます。
1	HPADS	W	シングルユニットモード時、最優先 A/D 変換を開始します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。
0	ADS	W	シングルユニットモード時、通常(ソフト)A/D 変換を開始します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。

注 1) AD 変換をスタートさせる場合、ADAMOD1/ADBMOD1<DACON>="1"に設定してから、ADAMOD0/ADBMOD0<ADS>,<HPADS>にてソフトウエアトリガスタート、またはハードウエアトリガスタートを行ってください。なお、ADAMOD1/ADBMOD1<DACON> = ON("1")の起動後、3μs の安定時間が必要です。

注 2) 最優先 AD 変換<HPADS>と通常 AD 変換<ADS>を同時に開始した場合、最優先 AD 変換が優先して起動します。通常 AD 変換は起動しません。

19.3.4　ADAMOD1/ADBMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DACON	I2AD	RCUT	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7	DACON	R/W	回路 ON/OFF 制御 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の ADC 動作制御　(WFI（Wait For Interrupt）命令実行時の動作を制御します) 0: 停止 1: 動作
5	RCUT	R/W	VREFH-VREFL 間のリファレンス電流を制御します。 0: 変換中のみ通電 1: リセット時以外常時通電
4	–	R	リードすると"0"が読めます。
3	HPADHWS	R/W	最優先 AD 変換を開始するためのハードウエア起動要因です。 0: ADCINTLV（インタリーブ制御回路）のトリガ出力 1: Reserved "0"を書いて下さい。
2	HPADHWE	R/W	ハードウエア要因（ADCINTLV）による最優先 AD 変換開始を制御します。 0: 禁止 1: 許可
1	ADHWS	R/W	通常 AD 変換を開始するためのハードウエア起動要因です。 0: ADCINTLV（インタリーブ制御回路）のトリガ出力 1: Reserved "0"を書いて下さい。
0	ADHWE	R/W	ハードウエア要因（ADCINTLV）による通常 AD 変換開始を制御します。 0: 禁止 1: 許可

注 1)　STOP1/STOP2 モード、または<I2AD>="0"で IDLE モードへ遷移する際に消費電流を低減するには、AD 変換終了後に<DACON>と<RCUT>を"0"に設定した後、スタンバイモードに遷移する命令を実行してください。

注 2)　シングルユニットモード時は、使用するユニットの<HPADHWE>及び<ADHWE>のどちらかのハードウエア起動要因を許可して下さい。ハードウエア起動要因は外部トリガ端子のみです。

注 3)　デュアルユニットモード時は、両ユニットの<ADHWE>を許可に設定して下さい。<HPADHWE>は禁止です。起動要因は、ADILVMO2<TRGASEL>にて選択します。

19.3.5 ADAMOD2/ADBMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HPADCH				ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7-4	HPADCH[3:0]	R/W	最優先 AD 変換時のアナログ入力チャネルを選択します。(表 19-1,表 19-2 参照)
3-0	ADCH[3:0]	R/W	通常 AD 変換時のアナログ入力チャネルを選択します。 (表 19-1,表 19-2 参照)

表 19-1 通常 AD 変換、最優先 AD 変換時の入力チャネル選択(ADAMOD2)

<HPADCH[3:0]>	最優先 AD 変換時の アナログ入力チャネル	<ADCH[3:0]>	通常 AD 変換時の アナログ入力チャネル
0000	AINA0	0000	AINA0
0001	AINA1	0001	AINA1
0010	AINA2	0010	AINA2
0011	AINA3	0011	AINA3

表 19-2 通常 AD 変換、最優先 AD 変換時の入力チャネル選択(ADBMOD2)

<HPADCH[3:0]>	最優先 AD 変換時の アナログ入力チャネル	<ADCH[3:0]>	通常 AD 変換時の アナログ入力チャネル
0000	AINB0	0000	AINB0
0001	AINB1	0001	AINB1
0010	AINB2	0010	AINB2
0011	AINB3	0011	AINB3
0100 ~ 1011	Reserved	0100 ~ 1011	Reserved

19.3.6　ADAMOD3/ADBMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	ITM			-	-	REPEAT	SCAN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-7	–	R	リードすると"0"が読めます。
6-4	ITM[2:0]	R/W	チャネル固定リピート変換モード時の割り込み発生タイミングを設定します。(表 19-3 参照)
3-2	–	R	リードすると"0"が読めます。
1	REPEAT	R/W	リピートモードを設定します。 0 : シングル変換 1 : リピート変換
0	SCAN	R/W	スキャンモードを設定します。 0 : チャネル固定 1 : チャネルスキャン

表 19-3 チャネル固定リピート変換モードの割り込み発生タイミング

<ITM[2:0]>	チャネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"
000	1 回毎、割り込み発生
001	2 回毎、割り込み発生
010	3 回毎、割り込み発生
011	4 回毎、割り込み発生
100	5 回毎、割り込み発生
101	6 回毎、割り込み発生
110	7 回毎、割り込み発生
111	8 回毎、割り込み発生

注 1)　<ITM[2:0]>は、チャネル固定リピートモード(<REPEAT>=1,<SCAN>=0)時のみ有効です。

注 2)　リピート変換中(<REPEAT>=1、チャネル固定、チャネルスキャンの時)、リピート変換を中止する場合、<REPEAT>=0 にクリアします。その場合、<REPEAT>ビット以外は書き換えないでください。

19.3.7 ADAMOD4/ADBMOD4 (モード設定レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SCANAREA				SCANSTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7-4	SCANAREA [3:0]	R/W	チャネルスキャンの範囲を設定します。(表 19-4,表 19-5 参照)
3-0	SCANSTA[3:0]	R/W	チャネルスキャンの先頭チャネルを設定します。(表 19-4,表 19-5 参照)

ADAMOD3/ADBMOD3<SCAN> = "1", <REPEAT> = "0"に設定するとチャネルスキャンシングルモードになり、ADAMOD3/ADBMOD3<SCAN> = "1", <REPEAT> = "1"に設定するとチャネルスキャンリピートモードになります。先ず、チャネルスキャンをスタートさせたいチャネルを選択します。次に、設定したスタートチャネルからスキャンしたいチャネル数を選択します。例えば、ADAMOD4<SCANSTA> = "0001"(AINA01), <SCANAREA>="0010"(3ch スキャン) を設定した場合、AIN01 ~ AIN03(3 チャネル分)のチャネルスキャンを行います。

表 19-4 に<SCANSTA>の設定と<SCANAREA>の設定可能な範囲の関係を示します。

表 19-4 チャネルスキャン設定範囲（ADAMOD4）

<SCANSTA[3:0]>	スタートチャネル	<SCANAREA[3:0]>	設定可能なチャネルスキャン範囲
0000	(AINA0)	0000 ~ 0011	(1ch ~ 4ch)
0001	(AINA1)	0000 ~ 0010	(1ch ~3ch)
0010	(AINA2)	0000 ~ 0001	(1ch ~ 2ch)
0011	(AINA3)	0000	(1ch)

注) 上記以外の設定は禁止です。設定可能な<SCANAREA>を守ってご使用ください。

表 19-5 チャネルスキャン設定範囲(ADBMOD4)

<SCANSTA[3:0]>	スタートチャネル	<SCANAREA[3:0]>	設定可能なチャネルスキャン範囲
0000	(AINB0)	0000 ~ 0011	(1ch ~ 4ch)
0001	(AINB1)	0000 ~ 0010	(1ch ~ 3ch)
0010	(AINB2)	0000 ~ 0001	(1ch ~ 2ch)
0011	(AINB3)	0000	(1ch)

注) 上記以外の設定は禁止です。設定可能な<SCANAREA>を守ってご使用ください。

19.3.8　ADAMOD5/ADBMOD5 (モード設定レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	–	R	リードすると"0"が読めます。
3	HPEOCF	R	最優先 A/D 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
2	HPADBF	R	最優先 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中
1	EOCF	R	通常 A/D 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
0	ADBF	R	通常 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中

注 1)　<EOCF>,<HPEOCF>は、読み出すことにより“0”にクリアされます。

注 2)　STOP1/STOP2 モード、または<I2AD>="0"で IDLE モードへ遷移する際に消費電流を低減するには、AD 変換終了後に<DACON>と<RCUT>を"0"に設定した後、スタンバイモードに遷移する命令を実行してください。

19.3.9 ADAMOD6/ADBMOD6 (モード設定レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-2	–	W	"0"を書いて下さい。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウエアリセットを行います。 <ADCLK>ビットを除くレジスタは、全て初期化されます。

注) ソフトウエアリセットを行なう場合、初期化に 3μs の時間が必要となります。

19.3.10　ADACMPCR0/ADBCMPCR0 (監視割り込み設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	CMPCOND0	ADBIG0	AINS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	–	R	リードすると"0"が読めます。
11-8	CMPCNT0[3:0]	R/W	大小判定カウント数を設定します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP0EN	R/W	A/D 監視機能 0 0: 禁止　（大小判定カウント数はクリア） 1: 許可　（条件成立で AD 監視割り込み INTADAM0/INTADBM0 を発生します）
6	–	R	リードすると"0"が読めます。
5	CMPCOND0	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG0>に設定した状態が連続し、<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込みが発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込みが発生します。<ADBIG0>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込みが発生し、カウントをクリアします。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG0	R/W	大小判定を設定します。 0: 比較レジスタ(ADACMP0/ADBCMP0)より大 1: 比較レジスタ(ADACMP0/ADBCMP0)より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 AINS0[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまればカウンタをプラスします。
3-0	AINS0[3:0]	R/W	比較対象のアナログ入力を設定します。 ADACMPCR0 の場合　ADBCMPCR0 の場合　0110 : Reserved 0000 : AINA0　0000 : AINB0　0111 : Reserved 0001 : AINA1　0001 : AINB1　1000 : Reserved 0010 : AINA2　0010 : AINB2　1001 : Reserved 0011 : AINA3　0011 : AINB3　1010 : Reserved 0100 ~1111: 設定禁止　0100 : Reserved　1011 : Reserved 0101 : Reserved　1100 ~1111:設定禁止

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

19.3.11 ADACMPCR1/ADBCMPCR1 (監視割り込み設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	CMPCOND1	ADBIG1	AINS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT1[3:0]	R/W	大小判定カウント数を設定します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP1EN	R/W	A/D 監視機能 1 0: 禁止　（大小判定カウント数はクリア） 1: 許可　（条件成立で AD 監視割り込み INTADAM1/INTADBM1 を発生します）
6	−	R	リードすると"0"が読めます。
5	CMPCOND1	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG1>に設定した状態が連続し、<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込みが発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込みが発生します。<ADBIG1>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG1>に設定した状態が累積して<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込みが発生し、カウントをクリアします。<ADBIG1>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG1	R/W	大小判定を設定します。 0: 比較レジスタ(ADACMP1/ADBCMP1)より大 1: 比較レジスタ(ADACMP1/ADBCMP1)より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 AINS1[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が<ADBIG1>の設定にあてはまればカウンタをプラスします。
3-0	AINS1[3:0]	R/W	比較対象のアナログ入力を設定します。 ADACMPCR1 の場合　ADBCMPCR1 の場合　0110 : Reserved 0000 : AINA0　0000 : AINB0　0111 : Reserved 0001 : AINA1　0001 : AINB1　1000 : Reserved 0010 : AINA2　0010 : AINB2　1001 : Reserved 0011 : AINA3　0011 : AINB3　1010 : Reserved 0100 ~1111: 設定禁止　0100 : Reserved　1011 : Reserved 0101 : Reserved　1100 ~1111:設定禁止

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

19.3.12　ADACMP0/ADBCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD0CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	–	R	リードすると"0"が読めます。
11-0	AD0CMP[11:0]	R/W	A/D 変換結果比較値を設定します。

注)　本レジスタに設定及び変更する際は、AD 監視機能を禁止（ADACMPCR0/ADBCMPCR0<CMP0EN> = "0", ADACMPCR1/ADBCMPCR1<CMP1EN> = "0")にした状態で行ってください。

19.3.13 ADACMP1/ADBCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD1CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	–	R	リードすると"0"が読めます。
11-0	AD1CMP[11:0]	R/W	A/D 変換結果比較値を設定します。

注) 本レジスタに設定及び変更する際は、AD 監視機能を禁止（ADACMPCR0/ADBCMPCR0<CMP0EN> = "0", ADACMPCR1/ADBCMPCR1<CMP1EN> = "0")にした状態で行ってください。

19.3.14　ADAREG00 ~ ADAREG07/ADBREG00 ~ ADBREG07 (変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADR_MIR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADR_MIR				-	-	ADOVRF_MIR	ADRF_MIR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-20	ADR[11:0]_MIR	R	12 ビットの通常 A/D 変換結果値が格納されます。 AD 変換中に ADREGx レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRF_MIR	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
16	ADRF_MIR	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRF	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 A/D 変換結果値が格納されます。 AD 変換中に ADREGx レジスタをリードすると前回の変換結果がリードされます。

注)　ADR_MIR、ADOVRF_MIR、ADRF_MIR は ADR、ADOVRF、ADRF と同一の値が読み出せます。何れかを一方をご使用ください。

19.3.15 ADAREGSP/ADBREGSP (最優先 AD 変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADSPR_MIR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADSPR_MIR				-	-	ADOVRSPF _MIR	ADSPRF_ MIR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRSPF	ADSPRF	ADSPR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSPR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-20	ADSPR[11:0] _MIR	R	12 ビットの最優先 A/D 変換結果値が格納されます。 AD 変換中に ADAREGSP/ADBREGSP レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRSPF _MIR	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADAREGSP/ADBREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
16	ADSPRF_MIR	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADAREGSP/ADBREGSP レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRSPF	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADAREGSP/ADBREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
12	ADSPRF	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADAREGSP/ADBREGSP レジスタをリードすると"0"にクリアされます。
11-0	ADSPR[11:0]	R	12 ビットの最優先 A/D 変換結果値が格納されます。 AD 変換中に ADAREGSP/ADBREGSP レジスタをリードすると前回の変換結果がリードされます。

注) ADSPR_MIR、ADOVRSPF_MIR、ADSPRF_MIR は ADSPR、ADOVRSPF、ADSPRF と同一の値が読み出せます。何れかを一方をご使用ください。

19.3.16　ADILVMO1 (Dual Unit Mode 用制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SWATRG	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7	SWATRG	W	デュアルユニットモード時のソフトウエアトリガ 0:ゼロ書き込みは無視されます 1:ADCINTLV のトリガ出力開始 リードすると"0"が読めます。
6-0	–	R	リードすると"0"が読めます。

注 1)　デュアルユニットモードで ADILVMO1<SWATRG>使用の際は、ADILMO2<TRGAEN>を"1：Enable"、ADILVMO2<TRGASEL>を"000:soft"に設定してください。

注 2)　トリガ入力に対応するユニット A またはユニット B への出力が完了するまでレジスタの書き換えはおこなわないでください。

19.3.17 ADILVMO2 (Dual Unit Mode 用制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADILV	-	-	TRGASTA	TRGASEL			TRGAEN
リセット後	0	0	0	0	1	1	1	0

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7	ADILV	R/W	デュアルユニットモード時の制御モードを選択します。 0:トリガスタートモード 1:インタリーブモード
6-5	–	R	リードすると"0"が読めます。
4	TRGASTA	R	トリガスタートモード時、次に発生するトリガの出力先を示します。 0:Unit A 1:Unit B その他のモード（インタリーブモード、トリガ機能ディスエーブルモード）では 0 固定です。
3-1	TRGASEL[2:0]	R/W	デュアルユニットモード時のトリガー入力を選択します。 000 : Soft 001 : 外部トリガ 010 : INTTB21（タイマ２の TB2RG1 一致） 011 : INTTB31（タイマ３の TB3RG1 一致） 100 : INTTB41（タイマ４の TB4RG1 一致） 101 : INTTB51（タイマ５の TB5RG1 一致） 110 : INTTB61（タイマ６の TB6RG1 一致） 111 : INTTB71（タイマ７の TB7RG1 一致）
0	TRGAEN	R/W	デュアルユニットモード時のトリガ機能をイネーブルします 0:Disable 1:Enable デュアルユニットモード（トリガスタートモード、インタリーブモード）では 1 をセットします。 シングルユニットモード（トリガ機能ディスエーブルモード）として使用する時には 0 をセットします。

注 1) ADCINTLV 回路の動作中に<ADLIV>の変更、<TRGAEN>="0"の書込みを行うと ADCINTLV 回路の動作は停止します

注 2) ADCINTLV 回路の動作中に<ADLIV> <TRGAEN>以外のレジスタの書き換えは行わないでください。

19.3.18　ADILVMO3 (Dual Unit Mode 用制御レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CORCNT							
リセット後	0	0	1	0	0	1	1	1

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7-0	CORCNT[7:0]	R/W	インタリーブモード用トリガスタート補正カウンタを設定します。 0x00~0xFF までの任意の値を設定します。初期値は 0x27 です。

注 1)　ユニット A 変換開始からユニット B 変換開始までの実際の字変換時間は、1/fc の(レジスタ設定値+1)倍で動作します。したがって fc=80MHz 時の初期状態は、0.5μs=40÷80MHz(初期カウント値:0x28)です。

注 2)　インタリーブモード動作中、ユニット B へのトリガ信号出力前のトリガ入力は禁止です。

19.4 動作説明

本章では、シングルユニットモード時およびデュアルユニットモード時の個々のユニットの動作について説明します。

19.4.1 アナログ変換起動前の注意

AD 変換をスタートさせる場合は、必ず ADAMOD1/ADBMOD1<DACON>に"1"を書き込んだ後、内部回路状態が安定するまでの 3 μs 待ってから ADAMOD0/ADBMOD0<ADS>に"1"を書き込んで下さい。 また本機能を使用しない場合は、ADAMOD1/ADBMOD1<DACON>に"0"を書き込むことにより、アナログ回路の消費電流を抑える事ができます。

19.4.2 AD 変換モード

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

19.4.2.1 通常 AD 変換

通常 AD 変換には次の 4 種類の動作モードが用意されています。動作モードの設定は ADAMOD3/ADBMOD3<REPEAT>,<SCAN>の設定により選択することが出来ます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

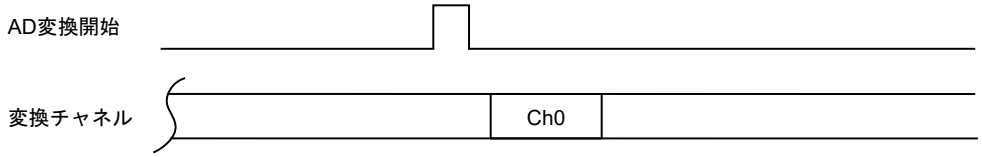
デュアルユニットモード使用時は、チャネル固定シングル変換モード、チャネル固定リピート変換モードのみ使用可能となります。

(1) チャネル固定シングル変換モード

ADAMOD3/ADBMOD3<REPEAT>,<SCAN> に"00"を設定すると、チャネル固定シングル変換モードになります。

このモードでは、ADAMOD2/ADBMOD2<ADCH>で選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADAMOD5/ADBMOD5<EOCF>が"1"にセット、ADAMOD5/ADBMOD5<ADBF>が"0"にクリアされ、INTADA/INTADB の割り込み要求が発生します。<EOCF>は読み出す事により"0"にクリアされます。

以下はチャネル固定シングル変換モードで AINA0 を変換した動作例です。



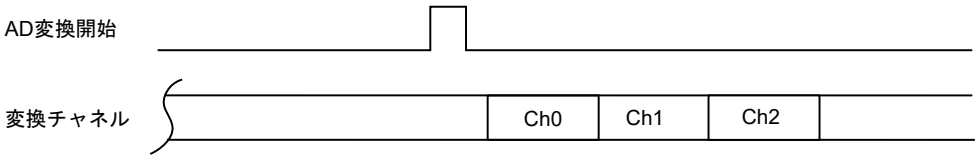
(2) チャネルスキャンシングル変換モード

ADAMOD3/ADBMOD3<REPEAT>,<SCAN> に"01"を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、ADAMOD4/ADBMOD4<SCANSTA>で選択したスタートチャネルから、ADMOD4/ADBMOD4<SCANAREA>で設定したスキャンチャネル範囲の変換を 1 回だけ行い

ます。スキャン変換が終了した後、ADAMOD5/ADBMOD5<EOCF>が"1"にセット、ADAMOD5/ADBMOD5<ADBF>が"0"にクリアされ、INTADA/INTADB の割り込み要求が発生します。<EOCF>は読み出す事で"0"にクリアされます。

以下は AINA0 から AINA2 までをチャネルスキャンシングル変換モードで変換した動作例です。

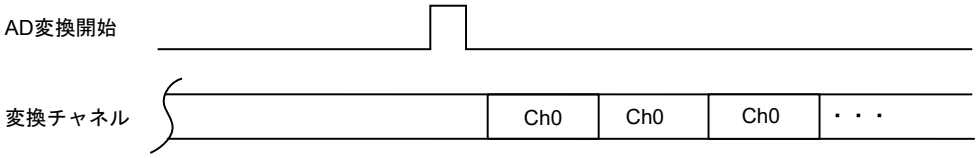


(3)　チャネル固定リピート変換モード

ADAMOD3/ADBMOD3<REPEAT>,<SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

このモードでは、ADAMOD2/ADBMOD2<ADCH>で選択した 1 チャネルの変換を ADAMOD3/ADBMOD3<ITM>で設定した回数分繰り返した後、割り込み要求が発生します(INTADA/INTADB の割り込み要求発生タイミングの選択ができます)。<ITM>で設定した回数分変換が終了した後、ADAMOD5/ADBMOD5<EOCF>が"1"にセットされますが、ADAMOD5/ADBMOD5<ADBF>は"0"にならず"1"を保持します。<EOCF>は読み出す事により"0"にクリアされます。

以下は AINA0 をチャネル固定リピート変換モードで変換した動作例です。

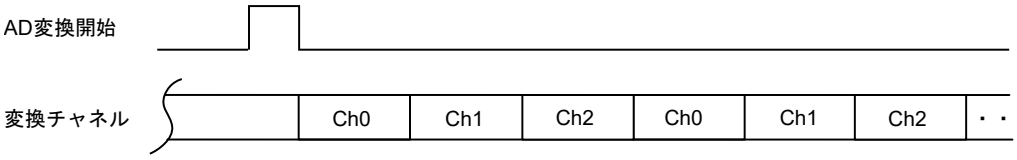


(4)　チャネルスキャンリピート変換モード

ADAMOD3/ADBMOD3<REPEAT>,<SCAN>に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、ADAMOD4/ADBMOD4<SCANSTA>で選択したスタートチャネルから、ADAMOD4/ADBMOD4<SCANAREA>で設定したスキャンチャネル範囲の変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADAMOD5/ADBMOD5<EOCF>が"1"にセットされ、INTADA/INTADB 割り込み要求が発生します。ADAMOD5/ADBMOD5<ADBF>は"0"にならず"1" を保持します。<EOCF>は読み出す事により"0"にクリアされます。

以下は AINA0 ~ AINA2 をチャネルスキャンリピート変換モードで変換した動作例です。



19.4.2.2　最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。最優先 AD 変換が通常 AD 変換時に割り込んだ場合は、最優先 AD 変換終了後に通常 AD 変換を中止したチャネルから再開します。

動作モードはチャネル固定のシングル変換のみです。ADAMOD3/ADBMOD3<REPEAT>, <SCAN>の設定は無効となります。起動条件が成立すると、ADAMOD2/ADBMOD2<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADAHP/INTADBHP)が発生して、ADAMOD5/ADBMOD5<HPEOCF>は"1" にセットされ、<HPADBF>は"0"に戻ります。<HPEOCF>フラグを読み出すと"0"にクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は先に起動していた最優先 AD 変換は無効となり、後から起動した最優先 AD 変換が有効になります。デュアルユニットモード動作時は、最優先変換モードは使用出来ません。

19.4.3 AD 監視機能

チャネル固定リピートモード、スキャンリピートモードの設定時に使用する機能です。

ADACMPCR0/ADBCMPCR0 <CMP0EN>、ADACMPCR1/ADBCMPCR1<CMP1EN>に"1"をセットすると AD 監視機能が有効になります。2 つの 監視機能を同時に有効にすることも可能です。

ADACMPCR0/ADBCMPCR0 を例に説明します（ADACMPCR1/ADBCMPCR1 も同様です）。

ADACMPCR0/ADBCMPCR0<AINS0[3:0]>にて比較対象のアナログ入力、<ADBIG0>にて大・小判定、<CMPCOND0>にて判定カウントの条件、<CMPCNT0[3:0]>にて判定カウント数を設定します。

AD 変換をスタートさせると、1 回の AD 変換が終了する毎に大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウントの条件には、連続方式と累計方式があります。

連続方式は、<ADBIG0>に設定した状態が連続して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADAM0/INTADBM0)が発生します。カウント回数に達した後、更に判定結果が設定結果にあてはまった場合もカウンタをクリアせずに割り込みを発生します。<ADBIG0>に設定した状態と異なる場合のみカウンタ値をクリアします。累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達するとカウンタをクリアし、AD 監視割り込み(INTADAM0/INTADBM0)が発生します。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。なお ADACMPCR0/ADBCMPCR0 レジスタで指定された変換結果格納レジスタの内容が比較対象レジスタの値とイコールの場合は、カウントをプラスせず、AD 監視機能割り込み(INTADAM0/INTADBM0)は発生しません。

この比較動作は対象変換結果格納レジスタへ結果が格納される毎に行われ、カウントも含めた条件が成立すると割り込み(INTADAM0/INTADBM0)が発生します。また、AD 監視機能に割りあてている格納レジスタは通常ではソフトで読み出しは行われませんので、オーバーランフラグ ADAREG/ADBREG<ADOVRF>の該当するレジスタは常にセットされていることになり、変換結果格納フラグ ADAREG/ADBREG<ADRF>もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないで下さい。

1. AINA0 入力をチャネル固定リピート変換に設定し、AD 変換結果比較レジスタ値（0x0888）を比較判定
   - ADAMOD3=0x0002: チャネル固定リピート変換

     AD 変換終了割り込み（INTADA）はディセーブル設定
   - ADACMPCR0 =0x0280: 比較対象チャネル:AINA0、 大小判定:比較レジスタより大、判定カウント条件:連続方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
   - ADACMP0=0x0888: AD 変換結果比較レジスタ（比較値 0x0888）

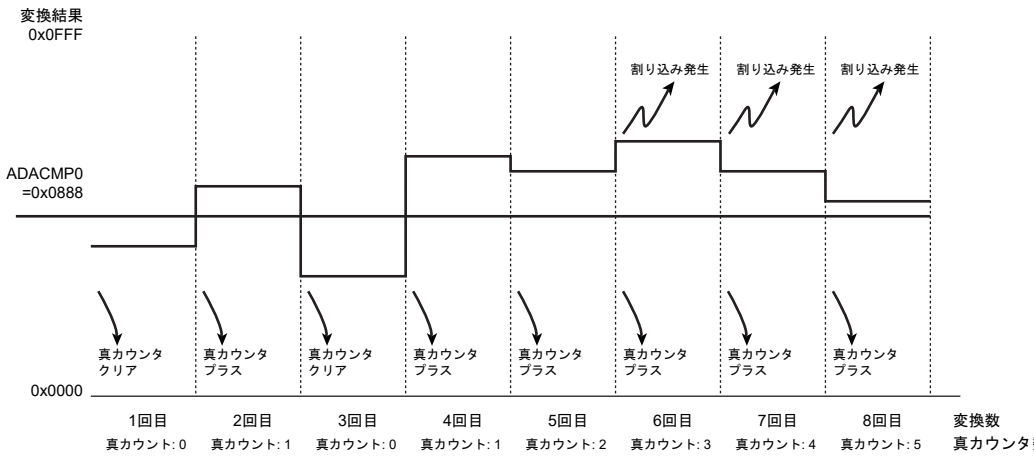


図 19-5 AD 監視機能（チャネル固定リピート、判定カウント連続方式）

2. AINA0 入力をチャネル固定リピート変換に設定し、AD 変換結果比較レジスタ値（0x0888）を比較判定
   - ADAMOD3=0x0002: チャネル固定リピート変換

     AD 変換終了割り込み（INTADA）はディセーブル設定
   - ADACMPCR0 =0x02A0: 比較対象チャネル:AINA0、 大小判定:比較レジスタより大、判定カウント条件:累積方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
   - ADACMP0=0x0888: AD 変換結果比較レジスタ（比較値 0x0888）

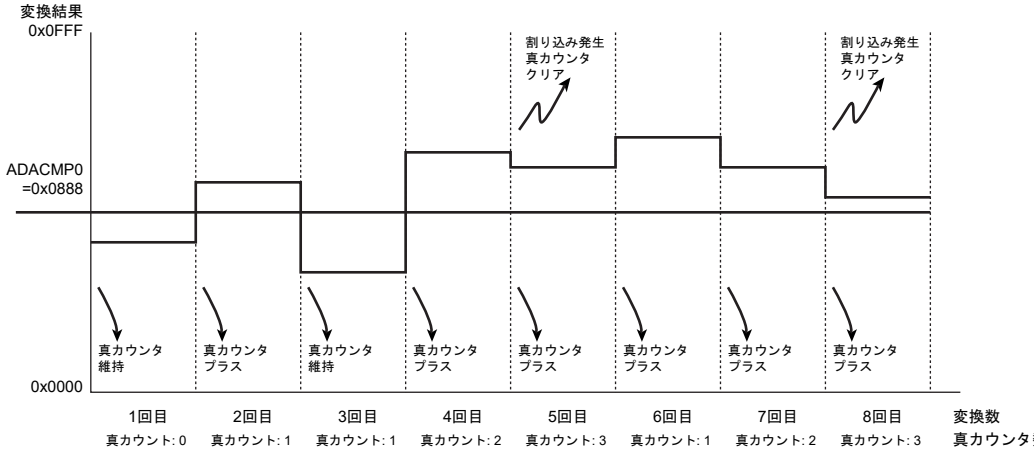


図 19-6 AD 監視機能（チャネル固定リピート、判定カウント累積方式）

19.4.4 入力チャネルの選択

リセット後は ADAMOD3/ADBMOD3<REPEAT>,<SCAN> は"00"に ADAMOD2/ADBMOD2 <ADCH[3:0]> は "0000" に初期化されます。

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時
   - 入力チャネルを固定で使用する場合 (ADAMOD3/ADBMOD3<SCAN> = "0")

     ADAMOD2/ADBMOD2<ADCH>の設定により、アナログ入力 AINA0～AINA3/AINB0～AINB3 端子の中から各 1 チャネルを選択します。
   - 入力チャネルをスキャンで使用する場合(ADAMOD3/ADBMOD3<SCAN> = "1")

     ADAMOD4/ADBMOD4<SCANSTA>にてスタートさせたいチャネルを設定し、ADAMOD4 /ADBMOD4<SCANAREA>にてスキャンさせたいチャネル数を設定することができます。

2. 最優先 AD 変換時

   ADAMOD2/ADBMOD2<HPADCH>の設定により、アナログ入力 AINA0～AINA3/AINB0～AINB3 端子の中から 1 チャネルを選択します。通常 AD 変換中に最優先 AD 変換の起動が掛かると、直ちに通常 AD 変換を中断して最優先 AD 変換の起動が実行されます。最優先 AD 終了後に通常 AD 変換を中断したチャネルから再開します。

19.4.5　AD 変換動作詳細

19.4.5.1　AD 変換の起動

通常 AD 変換は ADAMOD0/ADBMOD0<ADS> に"1"をセットすることにより起動されます。また、最優先 AD 変換は ADAMOD0/ADBMOD0<HPADS> に"1"をセットすることにより起動されます。これをソフトウエア起動と呼びます。

通常 AD 変換は ADAMOD3/ADBMOD3<REPEAT>,<SCAN>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャネル固定のシングル変換のみです。

また、ハードウエア起動ソースにより起動することができます。通常 AD 変換 ADAMOD1/ADBMOD1<ADHWS>、最優先 AD 変換 ADAMOD1/ADBMOD1<HPADHWS>を"0"に設定し使用します。シングルユニットモード時は、外部トリガ端子($\overline{\text{ADTRGA}}$)で起動します。デュアルユニットモードでは、ソフトトリガ、外部トリガ端子($\overline{\text{ADTRGA}}$)、タイマトリガ起動を ADILVMO2<TRGASEL>で選択します。

ハードウエア起動を許可するには、通常 AD 変換では ADAMOD1/ADBMOD1<ADHWE>、最優先 AD 変換では ADAMOD1/ADBMOD1<HPADHWE>に"1"をセットします。

ハードウエア起動が許可された場合でもソフトウエア起動は有効です。

注)　最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。

19.4.5.2　AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADAMOD5/ADBMOD5<ADBF>)に"1"がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ(ADAMOD5/ADBMOD5<HPADBF>)に"1" がセットされます。このとき、通常 AD 変換用の変換終了フラグ ADAMOD5/ADBMOD5<EOCF>と<ADBF>は最優先 AD 変換の開始前の値を保持します。

注)　最優先 AD 変換中に通常 AD 変換を再起動させないでください。（最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません）。

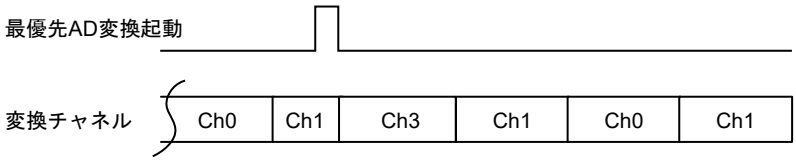
19.4.5.3 通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADAMOD0/ADBMOD0<HPADS>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADAMOD2/ADBMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADAREGSP /ADBREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウエアによる最優先 AD 変換の起動が許可されている場合は、ハードウエア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADAREGSP/ADBREGSP へ格納すると、中断したチャネルから通常 AD 変換を再開します。

例えば、チャネル AINB0~AINB1 までのチャネルリピート変換が起動されており、AINB1 の変換中に<HPADS>に"1"がセットされた場合は AINB1 の変換が中断され、<HPADCH>で指定されたチャネルの変換(下図の場合 AINB3)を行い、結果を ADBREGSP へ格納後に AINB1 からチャネルリピート変換を再開します。



19.4.5.4 リピート変換モードの停止

リピート変換モード(チャネル固定リピートまたはチャネルスキャンリピート変換モード)の動作を停止させたい場合は、ADAMOD3/ADBMOD3<REPEAT>に"0"を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADAMOD5/ADBMOD5<ADBF>は"0"にクリアされます。

19.4.5.5　通常 AD 変換の再起動

通常 AD 変換中に ADAMOD0/ADBMOD0<ADS>に"1"を設定すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに停止されます。この時、通常 AD 変換終了フラグ ADAMOD5/ADBMOD5<EOCF>、AD 変換結果格納フラグ ADAREG00-03/ADBREG00-03<ADOVRF> <ADRF>は"0"にクリアされます。

通常 AD 変換中にハードウェアリソースによる通常 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに停止されます。この時、 <EOCF> <ADOVRF> <ADRF>は"0"にクリアされます。

19.4.5.6　変換終了

(1)　通常 AD 変換の終了

通常 AD 変換が終了すると、AD 変換終了割り込み要求(INTADA/INTADB)が発生します。また、AD 変換結果がレジスタに格納され、通常 AD 変換終了フラグ ADAMOD5/ADBMOD5 <EOCF>及び通常 AD 変換 BUSY フラグ ADAMOD5/ADBMOD5 <ADBF>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCF> <ADBF>の変化タイミングは異なります。

チャネル固定リピート変換モード以外のモードでは、変換結果はチャネルに対応した変換結果レジスタ ADAREG00-03/ADBREG00-03 に格納されます。

チャネル固定リピート変換モードでは、ADAMOD3/ADBMOD3<ITM>に設定した割り込み発生条件に従い ADAREG00/ADBREG00 から最大 ADAREG07/ADBREG07 へと順次格納されます。

モードごとの割り込み要求発生、フラグ変化、変換結果格納レジスタは以下の通りです。

- <u>チャネル固定シングル変換モード</u>

  変換が終了した後、<EOCF>が"1"にセット、<ADBF>が"0"にクリアされ、変換終了割り込み要求が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- <u>チャネルスキャンシングル変換モード</u>

  スキャン変換終了後、<EOCF>が"1"にセット、<ADBF>が"0"にクリアされ、変換終了割り込み要求が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- <u>チャネル固定リピート変換モード</u>

  リピートモードのため<ADBF>は"0"とはならず"1"を保持します。割り込み要求発生タイミングは<ITM>の設定により選択できます。<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。ADAREG04-ADAREG07 は、チャネル固定リピート変換モードでのみ使用可能です。

  a. 1 回変換

     <ITM>を"000"に設定すると、 <ADCH>に設定した 1 チャネルの AD 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に ADAREG00/ADBREG00 に格納されます。格納時点で<EOCF>は"1" になります。

  b. 8 回変換

<ITM>を"111"に設定すると、<ADCH>に設定した 1 チャネルの AD 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は ADAREG00/ADBREG00 から ADAREG07/ADBREG07 に順次格納されます。ADAREG07/ADBREG07 格納後<EOCF>は"1"にセットされ、再び ADAREG00/ADBREG00 から格納を始めます。

・ チャネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとに<EOCF>が"1"にセットされ、INTADA/INTADB 割り込み要求が発生します。 <ADBF>は"0"にならず"1"を保持します。

ADAMOD4/ADBMOD4 <SCANAREA>を"0011" (4 チャネルスキャン)に設定すると ADAMOD4/ADBMOD4<SCANSTA>にて設定したスタートチャネルから 4 チャネルスキャンし最終チャネルの変換終了するごとに<EOCF> は"1"にセットされ、割り込み要求が発生し、再びスタートチャネルから 4 チャネルスキャンします。リピートモードのため<ADBF>は"0"にならず"1"を保持します。

変換結果はチャネルに対応する変換結果レジスタに格納されます。

(2) 最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先 AD 変換終了フラグ ADAMOD5/ADBMOD5 <HPEOCF> が"1"にセット、最優先 AD 変換 BUSY フラグ ADAMOD5/ADBMOD5 <HPADBF> が"0"にクリアされ、最優先変換終了割り込み要求(INTADAHP/INTADBHP)が発生し、されます。

変換結果は最優先 AD 変換結果格納レジスタ ADAREGSP/ADBREGSP に格納されます。

(3) データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。

通常変換が終了すると ADAMOD5/ADBMOD5 <EOCF>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ワードアクセスで読んでください。変換結果格納レジスタ ADAREG00 ~ ADAREG07 / ADBREG00 ~ ADBREG07 の AD 変換結果格納フラグ<ADRF>="1"、オーバーランフラグ<ADOVRF>="0"であれば、正しい変換結果が得られたことになります。

最優先 AD 変換についても同様に使用可能です。

19.4.5.7　割り込み発生タイミングと変換結果格納レジスタ

表 19-6 に AD 変換モード、割り込み発生タイミング、フラグの関係を、表 19-7、表 19-8、表 19-9 にアナログ入力チャネルと変換結果レジスタの対応をまとめます。

表 19-6 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADAMOD3/ADBMOD3)			割り込み発生タイミング	変換ステータスフラグ (ADAMOD5/ADBMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/ <HPEOCF> セットタイミング (注 1)	<ADBF> (割り込み発生後)	<HPADBF> (割り込み発生後)
通常変換	チャネル固定シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	−
				001	2 回変換ごと	変換 2 回終了後	1	−
				010	3 回変換ごと	変換 3 回終了後	1	−
				011	4 回変換ごと	変換 4 回終了後	1	−
				100	5 回変換ごと	変換 5 回終了後	1	−
				101	6 回変換ごと	変換 6 回終了後	1	−
				110	7 回変換ごと	変換 7 回終了後	1	−
				111	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャンシングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャンリピート変換	1	1	−	1 回のスキャン変換終了後	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了後	−	0

注 1)　ADAMOD5/ADBMOD5<EOCF><HPEOCF>はリードすると“0”にクリアされます。

注 2)　リピートモードの時、ADAMOD5/ADBMOD5<ADBF>は割り込みが発生しても"0"にクリアされません。リピート動作を停止する為に、ADAMOD3/ADBMOD3<REPEAT>に"0"を書き込み、AD 変換が終了した時点で<ADBF>は"0"にクリアされます。

表 19-7 アナログ入力チャネルと AD 変換結果レジスタの対応(チャネル固定シングルモード)

チャネル固定シングルモード		
チャネル		格納レジスタ
Unit A	AINA0	ADAREG00
	AINA1	ADAREG01
	AINA2	ADAREG02
	AINA3	ADAREG03
UnitB	AINB0	ADBREG00
	AINB1	ADBREG01
	AINB2	ADBREG02
	AINB3	ADBREG03

表 19-8 アナログ入力チャネルと AD 変換結果レジスタの対応(チャネル固定リピートモード)

チャネル固定リピートモード			
ADAMOD3/ADBMOD3<ITM[2:0]>			格納レジスタ
Unit A	000	1 回毎、割り込み発生	ADAREG00
	001	2 回毎、割り込み発生	ADAREG00 ~ ADAREG01
	010	3 回毎、割り込み発生	ADAREG00 ~ ADAREG02
	011	4 回毎、割り込み発生	ADAREG00 ~ ADAREG03
	100	5 回毎、割り込み発生	ADAREG00 ~ ADAREG04
	101	6 回毎、割り込み発生	ADAREG00 ~ ADAREG05
	110	7 回毎、割り込み発生	ADAREG00 ~ ADAREG06
	111	8 回毎、割り込み発生	ADAREG00 ~ ADAREG07
Unit B	000	1 回毎、割り込み発生	ADBREG00
	001	2 回毎、割り込み発生	ADBREG00 ~ ADBREG01
	010	3 回毎、割り込み発生	ADBREG00 ~ ADBREG02
	011	4 回毎、割り込み発生	ADBREG00 ~ ADBREG03
	100	5 回毎、割り込み発生	ADBREG00 ~ ADBREG04
	101	6 回毎、割り込み発生	ADBREG00 ~ ADBREG05
	110	7 回毎、割り込み発生	ADBREG00 ~ ADBREG06
	111	8 回毎、割り込み発生	ADBREG00 ~ ADBREG07

表 19-9 アナログ入力チャネルと AD 変換結果レジスタの対応(チャネルスキャンシングルモード/リピートモード)

チャネルスキャンシングルモード/リピートモード (例. ADBREG03 ~ 任意のスキャンチャネル幅)					
Unit	<SCANSTA> (スタートチャネル)		<SCANAREA> (スキャンチャネル幅)		格納レジスタ
Unit A	0000	AINA0	0000 ~ 0011	(1ch ~ 4ch)	ADAREG00 ~ ADAREG03
	0001	AINA1	0000 ~ 0010	(1ch ~ 3ch)	ADAREG01 ~ ADAREG03
	0010	AINA2	0000 ~ 0001	(1ch ~ 2ch)	ADAREG02 ~ ADAREG03
	0011	AINA3	0000	(1ch)	ADAREG03
Unit B	0000	AINB0	0000 ~ 0011	(1ch ~ 4ch)	ADBREG00 ~ ADBREG03
	0001	AINB1	0000 ~ 0010	(1ch ~ 3ch)	ADBREG01 ~ ADBREG03
	0010	AINB2	0000 ~ 0001	(1ch ~ 2ch)	ADBREG02 ~ ADBREG03
	0011	AINB3	0000	(1ch)	ADBREG03

19.4.6　デュアルユニットモード

19.4.6.1　デュアルユニットモードの概要

デュアルユニットモードは、2 つ（ユニット A,ユニット B）の AD 変換開始用トリガ信号を生成する ADCINTLV により制御します。トリガ信号のタイミングでそれぞれのユニットに設定されている AD 変換が行われます。デュアルユニットモードは以下 2 つの動作モードがあります。

・インターリーブモード

・トリガスタートモード

トリガ信号のソースとしてソフトウエアトリガ、外部トリガ入力、タイマトリガ入力の何れかを選択できます。

インターリーブモード時は選択されたトリガ入力を元に生成されたトリガ信号がユニット A に出力され、その後、レジスタに設定された時間後ユニット B 用トリガ信号が生成されます。

トリガスタートモード時は選択されたトリガがアクティブとなる毎にユニット A、ユニット B に対して交互にトリガ信号が出力されます。

19.4.6.2　インターリーブモード

インターリーブモードで動作させるには ADILVMO2<ADILV><TRGAEN> に"1"をセットします。また、トリガーソースは、ADILVMO2<TRGASEL>により、ソフトウエアトリガー、タイマートリガー、外部トリガーの何れかを選択します。

トリガーソースとしてソフトウェアトリガを選択した場合、ADILVMO1<SWATRG>に"1"をセットすることにより生成したパルスがトリガソース、すなわちユニット A 用トリガ出力となります。同時にカウンタが動作開始し、ADILVMO3<CORCNT>に設定した値になるとユニット B 用トリガが出力されます。

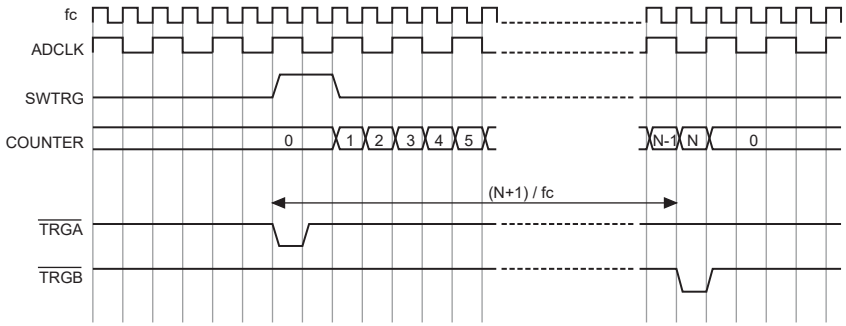


図 19-7 ソフトウェアトリガによるインターリーブ動作 (ADCLK=fc/2)

トリガーソースとしてタイマトリガを選択した場合、ADILVMO2<TRGASEL>で設定したタイマトリガにより生成したパルスがトリガソース、最初のユニット A 用トリガ出力となります。同時にカウンタが動作開始し、ADILVMO3<CORCNT>に設定した値になるとユニット B 用トリガが出力されます。

トリガーソースとして外部トリガを選択した場合、外部トリガがトリガソースおよびユニット A 用トリガ出力となります。同時にカウンタが動作開始し、カウンタが ADILVMO3<CORCNT>に設定した値と一致するとユニット B 用トリガが出力されます。

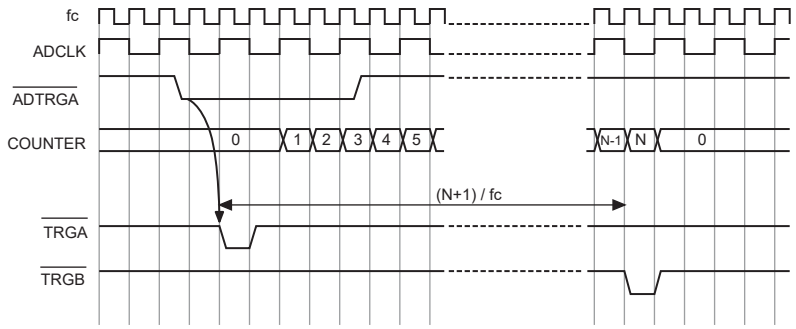


図 19-8 外部トリガによるインターリーブ動作 (ADCLK=fc/2)

19.4.6.3 インターリーブモードの中断/再開

インタリーブモード動作中でユニット B 用トリガ出力後、ユニット A 用トリガ信号が出力される前に下記の停止設定するとユニット B の変換結果が格納され停止します。同様にユニット A 用トリガ出力後、ユニット B 用トリガ信号が出力される前に下記の停止設定するとユニット A のみ変換結果が格納され、ユニット B は変換開始せずに中断します。

- ADILVMO2<ADILV>に"0"をセット
- ADILVMO2<TRGAEN>に"0"をセット

上記レジスタを何れも"1"にセットしたした後、トリガソースとして選択した信号がアクティブとなることにより、インターリーブモードが再開します。

19.4.6.4　トリガスタートモード

トリガスタートモードで動作させるには ADILVMO2<ADILV>に"0"をセット、<TRGAEN>に"1"をセットします。また、トリガーソースは、ADILVMO2<TRGASEL>により、ソフトウエアトリガー、タイマートリガー、外部トリガーの何れかを選択します。

トリガーソースとしてソフトウェアトリガを選択した場合、ADILVMO1<SWATRG>に"1"をセットすることにより生成したパルスがトリガソースとなります。このパルスが生成されるたびにユニット A 用トリガ、ユニット B 用トリガと交互にトリガ信号が出力されます。

トリガーソースとしてタイマトリガを選択した場合、ADILVMO2<TRGASEL>で設定したタイマトリガにより生成したパルスがトリガソースとなり、立下りエッジで変換をスタートします。タイマトリガが生成する度にユニット A 用トリガ、ユニット B 用トリガと交互にトリガ信号が出力されます。

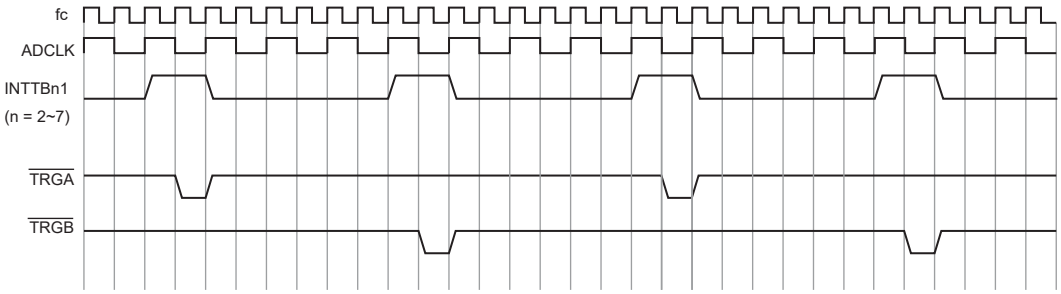


図 19-9 タイマートリガによるトリガスタート動作 (ADCLK=fc/2)

トリガーソースとして外部トリガを選択した場合、外部トリガが入力される度にユニット A 用トリガ、ユニット B 用トリガと交互にトリガ信号が出力されます。

19.4.6.5　デュアルユニットモードの停止と動作中の注意

デュアルユニットモードの動作を停止するには、ADILVMO2<TRGAEN>を"0"に設定します。

また、シングルユニットモード及びデュアルユニットモードの各モードにて、動作中にレジスタの書き換えは、上記停止設定を除き行わないでください。

インターリーブモード動作中、ADCINTLV がユニット B 用トリガ信号を出力する前は、次のトリガーソースの入力は禁止です。また、ユニット A の変換終了前に次のトリガーソースの入力は禁止です。シングルユニットモードと同様、変換中の動作が中断されます。

トリガスタートモード動作中、ユニット A の変換終了前に奇数回目のトリガーソースの入力は禁止です。ユニット B の変換終了前に偶数回目のトリガーソースの入力は禁止です。シングルユニットモードと同様、変換中の動作が中断されます。

チャネル固定リピートモード使用の際は、変換結果読み出し処理中のオーバーラン発生防止のため、割り込み発生タイミング ADAMOD3/ADBMOD3<ITM>の設定とオーバーランフラグ ADAREG00-07/ADBREG00-11<ADOVRF>に注意が必要です。

AIN 端子に対する設計時の注意事項

<AIN 端子に接続する外部信号源の出力インピーダンスに関して>

AIN 端子に接続する信号源の出力インピーダンスは、下記の式の R_{EXAIN} 以下にする必要があります。

-- 出力インピーダンスの許容値算出式 --

AIN 端子に接続する信号源の出力インピーダンスの最大値 : $R_{EXAIN} = Tscyc \div (ADCLK \times C_{ADC} \times \ln(2^{14})) - R_{AIN}$

MCU 情報	Symbol	Min	Typ	Max	単位
A/DC クロック周波数	ADCLK	4	-	40	MHz
総 AIN 入力 MCU 内容量	C_{ADC}	-	-	12.2	pF
AIN MCU 内抵抗	R_{AIN}	-	-	1	kΩ
サンプルホールド期間のサイクル数	Tscyc	10	-	320	Cycle

R_{EXAIN} 最大値一覧表(ADCLK = 40MHz)

Tcsyc	R_{EXAIN}	単位
10	1.1	kΩ
20	3.2	kΩ
30	5.3	kΩ
40	7.5	kΩ
80	15.9	kΩ
160	32.8	kΩ
320	66.6	kΩ

< 安定化容量の付加に関して >

高速 AD 変換が必要で且つ、サンプルホールド期間が外部インピーダンスの許容算出式の条件を満たせない場合、AIN 端子に安定化容量を付加してください。安定化容量に関しては、外部回路に依存するため基板により異なりますが、0.1μF から 1μF 程度の容量を付加し、基板に適した安定化容量となるように調整してください。

この時、付加する容量の位置は AIN 端子のすぐ近くに接続してください。

< サンプルホールド 期間の調整に関して>

一般にサンプルホールド期間をあるていど長く設定することにより、AD コンバータ内部のコンパレータ入力電圧を AIN 端子の電位と等しくすることができるため、変換誤差を小さくすることが出来ます。

ただし長くしすぎることでサンプルホールド回路に保持されている電圧が変動して、誤差が大きくなることもあります。

基板ごとに最適なサンプルホールド時間が異なりますので、基板での確認をお願いいたします。

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力が兼用となっている端子への入力及び出力の変化、出力ポートに設定している他の端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどの対策をして下さい。

第 20 章　デジタルアナログコンバータ(DAC)

20.1　機能概要

TMPM367FDXBG は分解能 10 ビットのデジタルアナログコンバータを 2 チャネル内蔵しています。

- 2 チャネル同期出力
- トリガ機能
- 波形生成機能
- パワーダウン機能

20.2　ブロック図

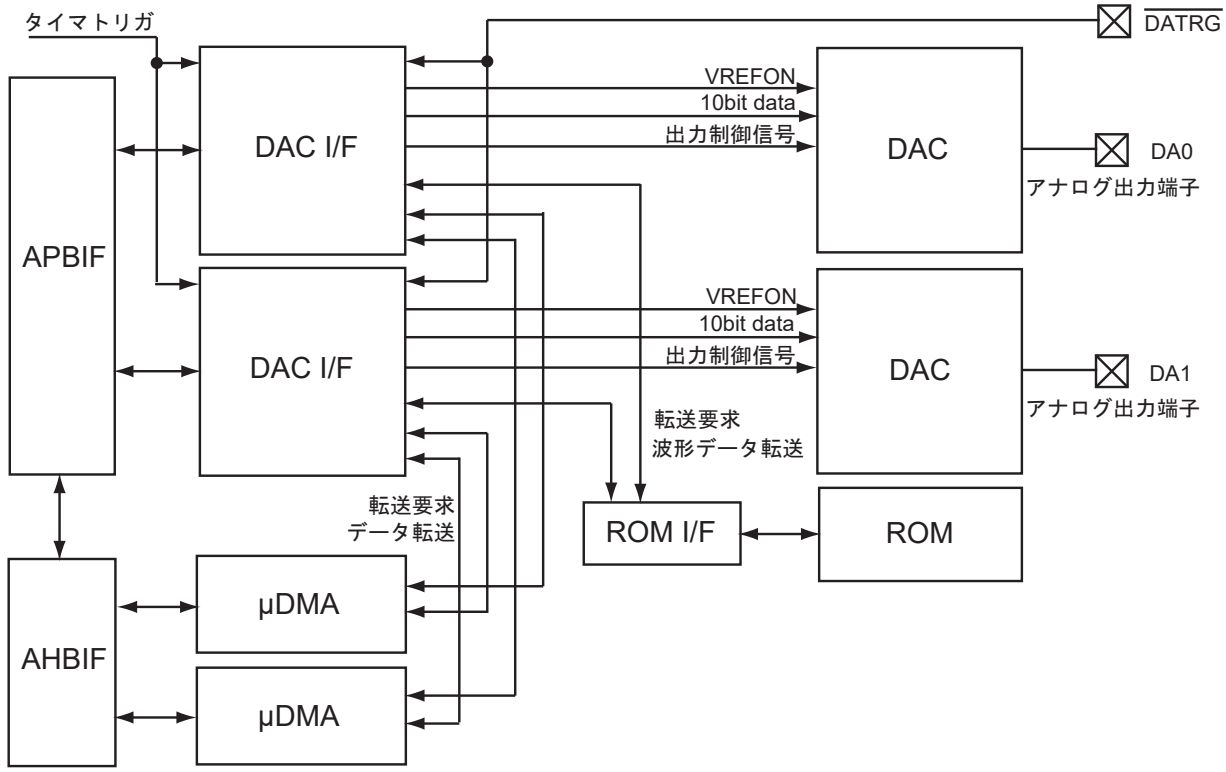


図 20-1 DAC ブロック図

20.3　レジスタ説明

20.3.1　レジスター覧

DA コンバータは、DAC 制御レジスタ DACCNT0/DACCNT1 と VOUTHOLD 調整レジスタ DACVCTL0/DACVCTL1 により制御し、DAC データレジスタ DACREG0/DACREG1 に設定されたデジタル値を元にアナログ電圧値を生成出力します。

波形生成機能を用いる場合は、波形出力制御レジスタ DACDCTL0/DACDCTL1 に条件を設定し、動作モードを選択します。

波形トリガ制御レジスタ DACTCTL0/DACTCTL1 では、DA コンバータの初期化<DACCLR>とソフトウエア出力制御<SWTRG>の起動が可能です。

Channel x	Base Address
Channel0	0x4005_4000
Channel1	0x4005_5000

レジスタ名 (x=0 ~ 1)		Address(Base+)
DAC 制御レジスタ	DACCNTx	0x0000
DAC データレジスタ	DACREGx	0x0004
波形出力制御レジスタ	DACDCTLx	0x0008
波形トリガ制御レジスタ	DACTCTLx	0x000C
VOUTHOLD 調整レジスタ	DACVCTLx	0x0010

20.3.2 DACCNTx (DAC 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VREFON	OP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると 0 が読めます。
1	VREFON	R/W	VREF 制御 0: VREF off 1: VREF on "1"に設定すると VREFH を DAC 回路に接続します。
0	OP	R/W	DAC 動作 0: 停止 1: 動作 DAC 動作を制御します。"1"に設定するとアナログ出力端子に DACREG0/DACREG1 レジスタで設定した電圧を出力します。"0"に設定すると動作が停止し、出力は Hi-Z になります。

20.3.3　DACREGx (DAC データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DAC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DAC		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると 0 が読めます。
15-6	DAC[9:0]	R/W	変換値設定 出力するアナログ電圧値を設定します。出力電圧は以下の式で表されます。 出力電圧 = (AVDD3_DA−AVSS_DA) x <DAC> / 1024 注) 出力電流が 1mA 以下のとき、Vout(min)≦0.2V、Vout(max)≧AVDD3_DA−0.2V　となります。
5-0	−	R	リードすると 0 が読めます。

20.3.4 DACDCTLx (波形出力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	OFFSET			AMPSEL	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	TRGSEL			TRGEN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DMAEN	-	-	-	-	-	WAVE	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	–	R	リードすると 0 が読めます。
20-18	OFFSET[2:0]	R/W	出力波形のオフセット設定 000:0VDD　100:4/8VDD 001:1/8VDD　101:5/8VDD 010:2/8VDD　110:6/8VDD 011:3/8VDD　111:reserved
17-16	AMPSEL[1:0]	R/W	出力波形の振幅設定 00:1/1VDD　10:1/4VDD 01:1/2VDD　11:reserved
15-12	–	R	リードすると 0 が読めます。
11-9	TRGSEL[2:0]	R/W	トリガ選択 000:ソフトウエア　100:INTTB41 (タイマ４の TB4RG1 一致) 001:$\overline{\text{DATRG}}$（外部トリガ端子）　101:INTTB51 (タイマ５の TB5RG1 一致) 010:INTTB21 (タイマ２の TB2RG1 一致)　110:INTTB61 (タイマ６の TB6RG1 一致) 011:INTTB31 (タイマ３の TB3RG1 一致)　111:INTTB71 (タイマ７の TB7RG1 一致)
8	TRGEN	R/W	トリガ機能 0:禁止 1:許可
7	DMAEN	R/W	DMA 許可 0:禁止 1:許可
6-2	-	R	リードすると 0 が読めます。
1-0	WAVE[1:0]	R/W	出力波形選択 00:波形生成無し　10:ノイズ波形 01:三角波　11:正弦波

20.3.5　DACTCTLx (波形トリガ制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DACCLR	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SWTRG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	W	"0"を書いて下さい。
15	DACCLR	W	DAC の初期化制御 0:--- 1:クリア要求 　出力バッファのクリアおよび波形生成回路の初期化を行います。
14-1	–	W	"0"を書いて下さい。
0	SWTRG	W	ソフトウエア出力制御 0:--- 1:出力 　TRGSEL=000 設定時に SWTRG=1 をセットするとデータ転送が行われます。 　注) TRGEN=1 の時のみ書き込み可能。

20.3.6 DACVCTLx (VOUTHOLD 調整レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VHOLDCTB				VHOLDCTF			
リセット後	1	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると 0 が読めます。
7-4	VHOLDCTB	R/W	VOUTHOLD 時間のデータ変更後 基準電位 安定時間 調整レジスタ 0000:設定禁止 0001 ~ 1111:調整値（0x1 ~ 0xF）
3-0	VHOLDCTF	R/W	VOUTHOLD 時間のデータ変更前時間 調整レジスタ 0000:設定禁止 0001 ~ 1111:調整値（0x1 ~ 0xF）

20.4　動作説明

20.4.1　トリガ機能

デジタルアナログコンバータを使用する際はトリガ機能によるアナログ出力値の更新が必要になります。トリガ機能を使用するためには DACDCTLx<TRGSEL>にトリガソースを設定し、<TRGEN>="1"に設定します。設定したトリガが発生すると DAREGx <DAC>の値によりアナログ出力値が更新されます。トリガソースは 16 ビットタイマ、外部トリガ端子、ソフトウエアトリガから選択できます。

20.4.2　mDMA コントローラ連動機能

DACDCTLx= "1"に設定することにより、DACREGx <DAC>へのデータ設定を mDMA コントローラが行います。また、トリガ機能と連動した波形出力も可能です。mDMA コントローラの使用方法については mDMA コントローラの章をご参照ください。

外部トリガと mDMA コントローラを使用して任意の波形を DA0 端子から出力する例を以下に示します。

1. µDMA コントローラの設定を行う。
2. DACCNTx<VREFON>="1", <OP>="1"に設定する。
3. DACTCTLx<DACCLR>="1"に設定する。
4. DACVCTLx<VHOLDCTB>, <VHOLDCTF>に VOUTHOLD 時間を設定する。
5. DACDCTLx<OFFSET>="000", <AMPSEL>="00", <TRGSEL>="001", <TRGEN>="1", <DMAEN>="1", <WAVE>="00"に設定する。

20.4.3　波形生成機能

DACDCTLx <WAVE>に出力波形を設定することにより、正弦波、三角波、ノイズ波形を出力することができます。正弦波または三角波を設定した場合は、DACDCTLx <AMPSEL>, <OFFSET>にそれぞれ出力電圧の振幅とオフセット値を設定することができます。

DACDCTLx <TRGSEL>に設定したトリガが発生すると、一回のトリガ発生に対して一回のデータを DAC データレジスタ DACREGx に設定し、設定値に応じた電圧レベルを出力します。正弦波モードでは、ROM インタフェースを介して ROM テーブルから読み出したデータを設定します。一周期の波形を出力するためには N 回のデータ読み出しが必要になります。

注)　N の値は出力波形の種類により異なります。

表 20-1 正弦波及び三角波の OFFSET/AMPSEL レジスタ設定値

<AMPSEL>	<OFFSET>	出力レベル(min.)	出力レベル(max.)
00	000	AVDD3_DA × 0/8 （注）	AVDD3_DA × 8/8（注）
01 （振幅 50%）	000	AVDD3_DA × 0/8（注）	AVDD3_DA × 4/8
	001	AVDD3_DA × 1/8	AVDD3_DA × 5/8
	010	AVDD3_DA × 2/8	AVDD3_DA × 6/8
	011	AVDD3_DA × 3/8	AVDD3_DA × 7/8
	100	AVDD3_DA × 4/8	AVDD3_DA × 8/8（注）
10 （振幅 25%）	000	AVDD3_DA × 0/8（注）	AVDD3_DA × 2/8
	001	AVDD3_DA × 1/8	AVDD3_DA × 3/8
	010	AVDD3_DA × 2/8	AVDD3_DA × 4/8
	011	AVDD3_DA × 3/8	AVDD3_DA × 5/8
	100	AVDD3_DA × 4/8	AVDD3_DA × 6/8
	101	AVDD3_DA × 5/8	AVDD3_DA × 7/8
	110	AVDD3_DA × 6/8	AVDD3_DA × 8/8（注）

注) 振るスケール、ゼロポイント付近での出力レベルに関しては、電気的特性の DA コンバータの項目を参照してください。

20.4.3.1 正弦波出力

正弦波を出力する場合は DACDCTLx <WAVE>="11"を設定します。波形周期はトリガの発生間隔により決まります。一周期の波形を出力するためには 2048 回のデータ読み出しが必要となるため、周期は"トリガの発生間隔×2048"で算出されます。

16 ビットタイマをトリガとして振幅 50%、オフセット 1/8 の正弦波を DAx 端子から出力する例を以下に示します。

1. DACCNTx <VREFON>="1", <OP>="1"に設定する。
2. DACTCTLx <DACCLR>="1"に設定する。
3. DACVCTLx <VHOLDCTB>, <VHOLDCTF>に VOUTHOLD 時間を設定する。
4. DACDCTLx <OFFSET>="001", <AMPSEL>="01", <TRGSEL>="010", <TRGEN>="1", <DMAEN>="0", <WAVE>="11"に設定する。
5. 16 ビットタイマの割り込み設定を行う。

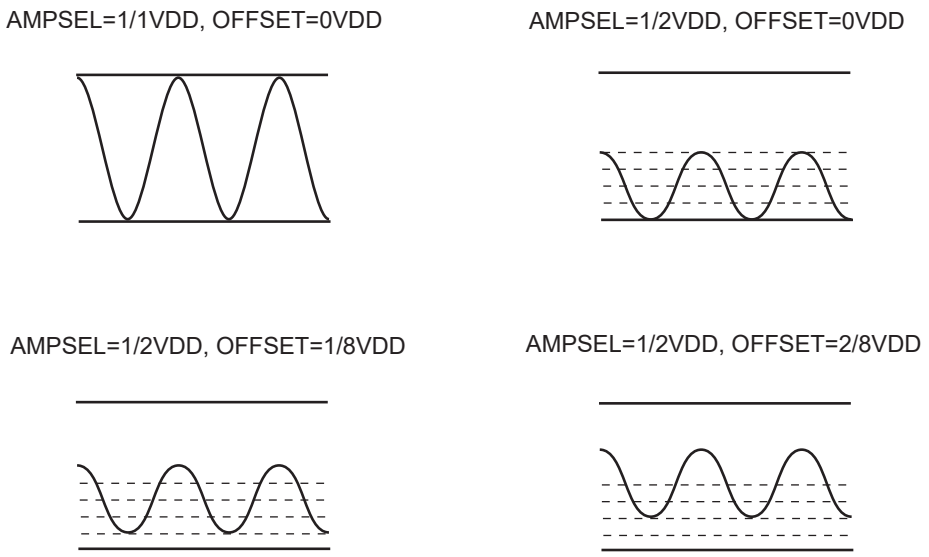


図 20-2 正弦波出力波形

20.4.3.2　三角波出力

三角波を出力する場合は DACDCTLx <WAVE>="01"を設定します。波形周期は設定した振幅とトリガの発生間隔により決まります。周期の算出方法は下記の表の通りです。

16 ビットタイマをトリガとして振幅 50%、オフセット 1/8 の三角波を DAx 端子から出力する例を以下に示します。

1. DACCNTx <VREFON>="1", <OP>="1"に設定する。
2. DACTCTLx <DACCLR>="1"に設定する。
3. DACVCTLx <VHOLDCTB>, <VHOLDCTF>に VOUTHOLD 時間を設定する。
4. DACDCTLx <OFFSET>="001", <AMPSEL>="01", <TRGSEL>="010", <TRGEN>="1", <DMAEN>="0", <WAVE>="01"に設定する。
5. 16 ビットタイマの割り込み設定を行う。

表 20-2 三角波の振幅と波形周期の関係

<AMPSEL>	一周期のデータ読み出し回数	波形周期
00	2046	割り込み間隔×2046
01 （振幅 50%）	1022	割り込み間隔×1022
10 （振幅 25%）	510	割り込み間隔×510

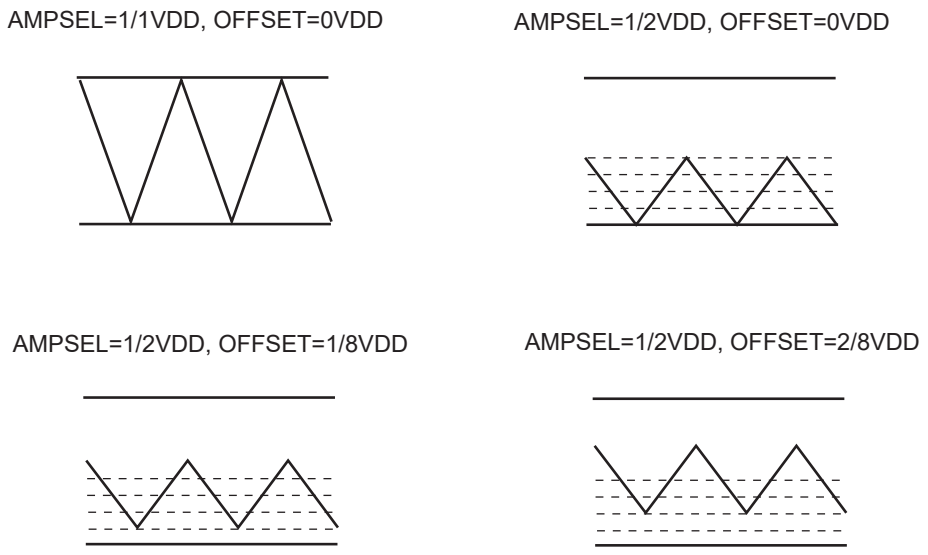


図 20-3 三角波出力波形

20.4.3.3 ノイズ波形出力

DACDCTLx <WAVE>を"10"に設定するとホワイトノイズが出力されます。波形周期はトリガの発生間隔により決まります。一周期の波形を出力するためには 1023 回のデータ読み出しが必要となるため、周期は"トリガの発生間隔 × 1023"で算出されます。

ソフトウエアトリガを使用してノイズ波形を DAx 端子から出力する例を以下に示します。

1. DACCNTx <VREFON>="1", <OP>="1"に設定する。
2. DACTCTLx <DACCLR>="1"に設定する。
3. DACVCTLx <VHOLDCTB>, <VHOLDCTF>に VOUTHOLD 時間を設定する。
4. DACDCTLx <OFFSET>="00", <AMPSEL>="00", <TRGSEL>="000", <TRGEN>="1", <DMAEN>="0", <WAVE>="10"に設定する。
5. 周期的に DACTCTL0x<SWTRG>="1"にする。

20.4.4 低消費電力モード

DACCNTx <VREFON>="0"に設定すると VREF スイッチが OFF し、VREF は VREFL と同電位となるため、消費電流を削減できます。また、DACCTLx <OP>="0"に設定すると DAC 動作は停止し、アナログ出力端子は Hi-Z になります。

低消費電力モードに移行する際は、DACCNTx <OP>="0", <VREFON>="0"に設定してください。

表 20-3 DACCNTx レジスタ設定値とアナログ出力値の関係

レジスタ設定値		アナログ出力値
<OP>	<VREFON>	
0	0	Hi-Z
0	1	Hi-Z
1	0	0V（～0.2V） 注) 電流値による
1	1	DACREGx<DAC>値

20.4.5　VOUTHOLD 時間調整機能

DACVCTL0/DACVCTL1 <VHOLDCTB>, <VHOLDCTF>は波形出力が安定するまでの待ち時間を設定するためのレジスタです。使用条件毎の設定値は、表 20-4 を参照してください。なお、VOUTHOLD 信号が ON の期間中は<VHOLDCTB>, <VHOLDCTF>の書き換えができません。

20.4.6　セットリングタイム

セットリングタイム Tstlng はトリガ信号の立ち上がりから波形出力が安定するまでの時間です。セットリングタイム Tstlng は DACVCTLx <VHOLDCTB>, <VHOLDCTF>の設定値により変化します。

セットリングタイム Tstlng は、最短時間の例で fsys=80MHz, <VHOLDCTF>=0001 (Tctf=25ns), <VHOLDCTB>=1000 (Tctb=200ns)のとき、入力コードの変化量が 16LSB 以内の条件は、最大 1μs、その他条件は最大 3μs です。

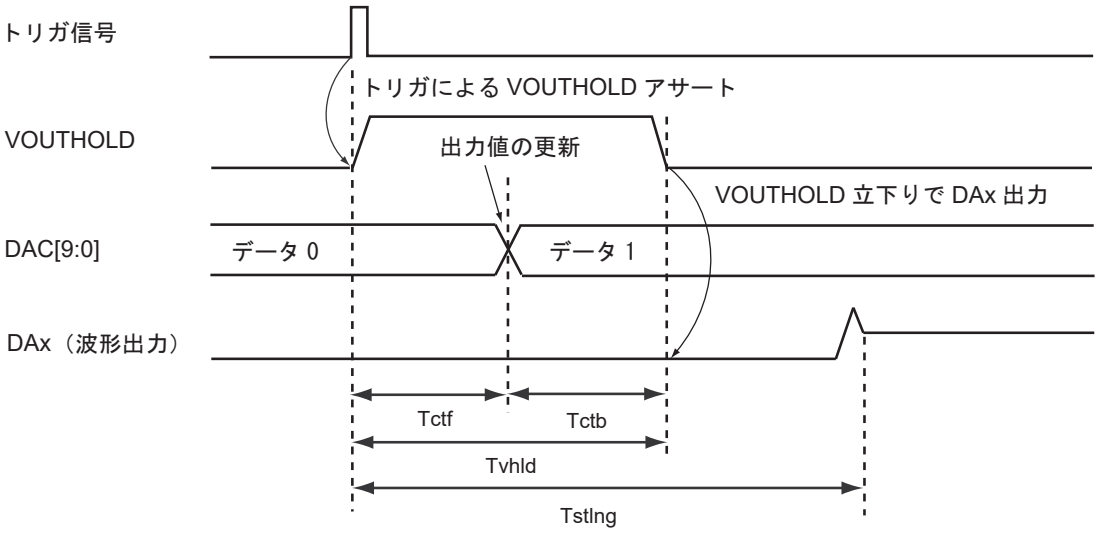


図 20-4 VOUTHOLD およびセットリングタイム

表 20-4 VHOLDCTB/VHOLDCTF レジスタ設定値(min.)

fsys [MHz]	VHOLD タイム (min.)			Tstlng(max.) - Tvhld [μs]	
	<VHOLDCTB>	<VHOLDCTF>	Tvhld [s]	16LSB	max
70<fsys≤80	1000	0001	2/fsys × 9	0.775	2.775
60<fsys≤70	0111	0001	2/fsys × 8		
50<fsys≤60	0110	0001	2/fsys × 7		
40<fsys≤50	0101	0001	2/fsys × 6		
30<fsys≤40	0100	0001	2/fsys × 5		
20<fsys≤30	0011	0001	2/fsys × 4		
10<fsys≤20	0010	0001	2/fsys × 3		
1<fsys≤10	0001	0001	2/fsys × 2		

第 21 章　16 ビット多目的タイマ(MPT)

21.1　概要

TMPM367FDXBG は 16 ビット多目的タイマ(MPT)を 4 チャネル 内蔵しています。

MPT は、次の 3 つの動作モードをもっています。

<タイマ モード>

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG、1 出力) モード
- パルス幅測定(キャプチャ)

<IGBT モード>

- 16 ビットプログラマブル矩形波出力 (PPG、2 出力) モード
- 外部トリガスタート
- 周期一致検出
- 緊急停止機能

<PMD モード>

- 3 相モータコントロールモード

以下の説明中、"x"はチャネル番号を表します。

注)　**MPT1, MPT2, 3 には PMD モードはありません。**

21.2　チャネル別仕様相違点

各チャネル (MPT0-MPT3)はそれぞれ独立に動作します。いずれのチャネルも表 21-1 に示される仕様相違点を除いて同一の動作をします。

表 21-1 MPT のチャネル別仕様相違点

仕　様 / チャネル	外部端子					
	外部クロック/キャプチャトリガ入力端子	タイマフリップフロップ出力端子	IGBT 入力端子	IGBT 出力端子	PMD 入力端子	PMD 出力端子
Channel 0	MTTB0IN	MTTB0OUT	$\overline{\text{GEMG0}}$ MT0IN	MTOUT00 MTOUT10	$\overline{\text{EMG}}$	UO,VO, WO,XO, YO,ZO
Channel 1	MTTB1IN	MTTB1OUT	$\overline{\text{GEMG1}}$ MT1IN	MTOUT01 MTOUT11	-	-
Channel 2	MTTB2IN	MTTB2OUT	$\overline{\text{GEMG2}}$ MT2IN	MTOUT02 MTOUT12	-	-
Channel 3	MTTB3IN	MTTB3OUT	$\overline{\text{GEMG3}}$ MT3IN	MTOUT03 MTOUT13	-	-

21.3　構成

MPT はタイマ、IGBT、PMD の 3 つのモジュールで構成されています。各モジュールはレジスタによって切り替えて使用されます。

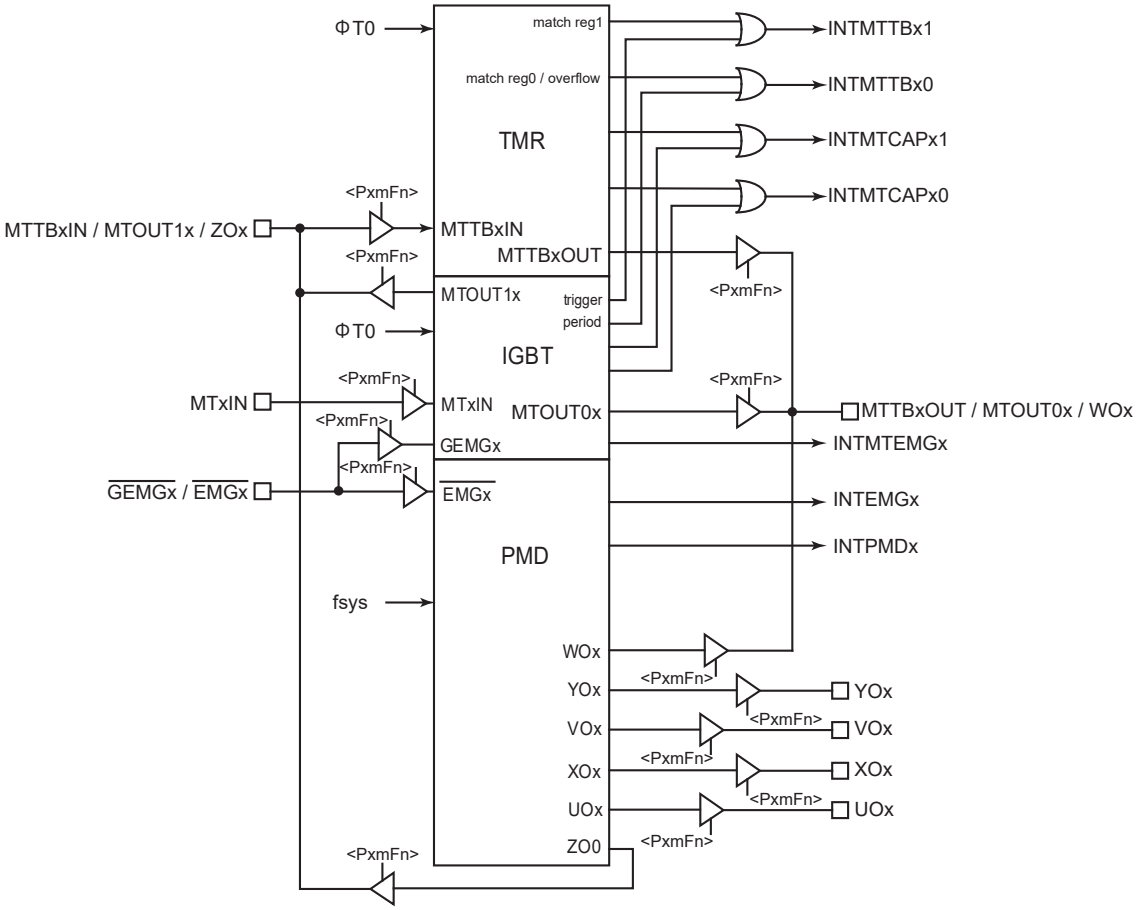


図 21-1 MPTx ブロック図

注)　**MPT1, 2, 3 には PMD モジュールはありません。**

21.4 タイマモードの動作説明

21.4.1 構成

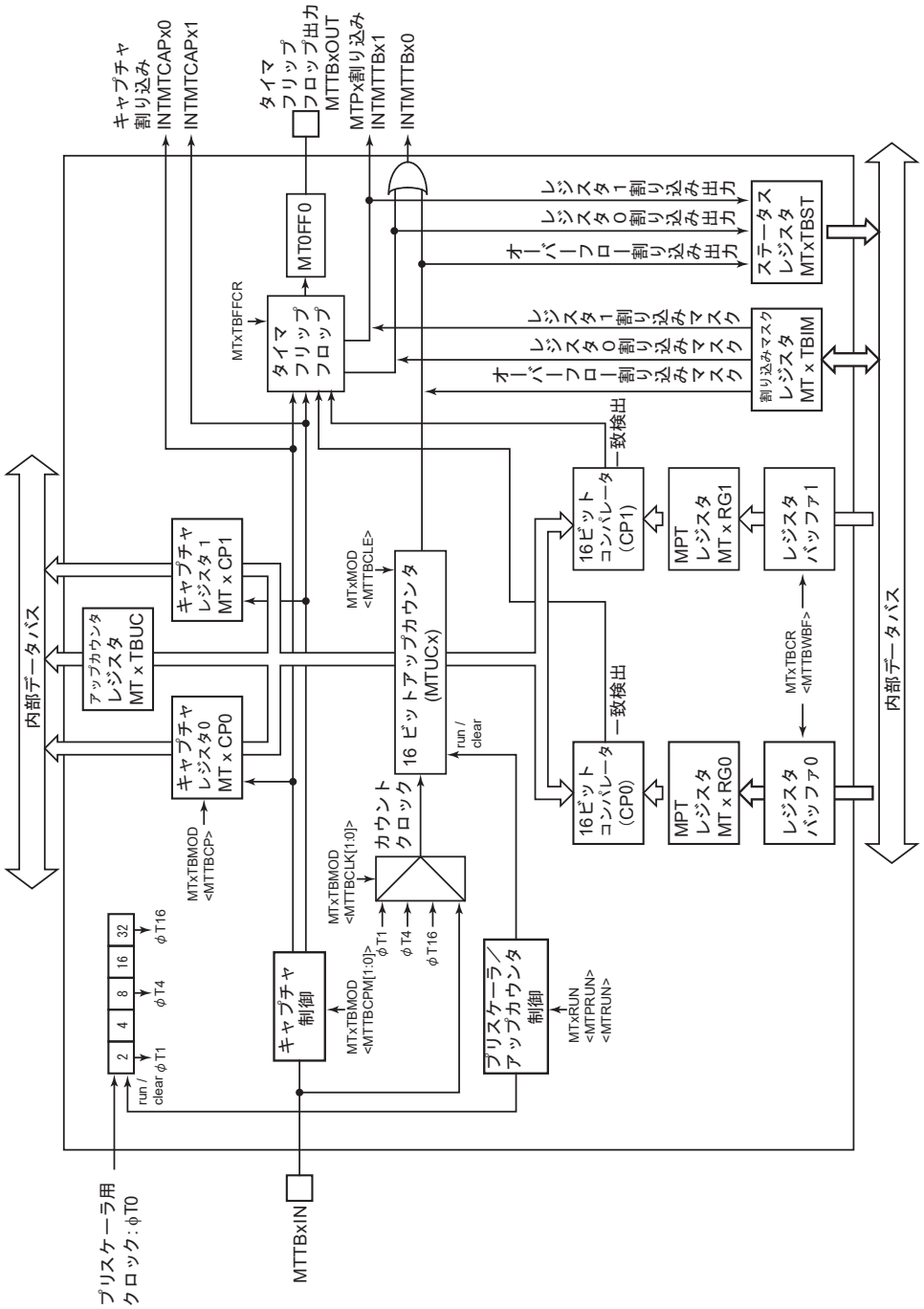


図 21-2 タイマモードブロック図

21.4.2　タイマモードチャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel 0	0x400C_7000
Channel 1	0x400C_7100
Channel 2	0x400C_7200
Channel 3	0x400C_7300

レジスタ名(x=0~3)		Address(Base+)
MPT イネーブルレジスタ	MTxEN	0x0000
MPT RUN レジスタ	MTxRUN	0x0004
MPT コントロールレジスタ	MTxTBCR	0x0008
MPT モードレジスタ	MTxTBMOD	0x000C
MPT フリップフロップ コントロールレジスタ	MTxTBFFCR	0x0010
MPT ステータスレジスタ	MTxTBST	0x0014
MPT 割り込みマスクレジスタ	MTxTBIM	0x0018
MPT アップカウンタレジスタ	MTxTBUC	0x001C
MPT レジスタ	MTxRG0 MTxRG1	0x0020 0x0024
MPT キャプチャレジスタ	MTxCP0 MTxCP1	0x0028 0x002C

21.4.3 MTxEN (MPT イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTEN	MTHALT	-	-	-	-	-	MTMODE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MTEN	R/W	MPT の動作を指定します。 0: 禁止 1: 許可 動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので 消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。
6	MTHALT	R/W	コア Halt(デバッグブレーク)時の動作を指定します。 [TMR 機能] 0:コア Halt 中のクロック停止動作は行いません。 1: コア Halt 中はクロックの動作が停止します。 [IGBT 機能] 0: クロック停止動作および MTOUT0x/MTOUT1x 出力の制御を行いません。 1: コア Halt 中はクロックの動作が停止します。 また、MTxIGEMGCR<IGEMGOC>の設定に従い、MTOUT0x/MTOUT1x 出力の制御を行います。
5-1	-	R	リードすると"0"が読めます
0	MTMODE	R/W	動作モードを指定します。 0: タイマモード 1: IGBT モード

注) **MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可（<MTEN>="1"）にしてください。MPT を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます**

21.4.4　MTxRUN (MPT RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTPRUN	-	MTRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTPRUN	R/W	MPT のプリスケーラ動作を制御します。 0: プリスケーラの動作を停止します。プリスケーラは"0"にクリアされます。 1:プリスケーラの動作を開始します。
1	-	R	リードすると"0"が読めます
0	MTRUN	R/W	MPT のカウント動作を制御します。 0: カウント動作を停止します。カウンタは"0"にクリアされます 1: カウントを開始します。

21.4.5 MTxTBCR (MPT コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTTBWBF	-	-	-	MTI2TB	-	MTTB TRGSEL	MTTBCSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7	MTTBWBF	R/W	ダブルバッファの許可/禁止をします。 0：禁止 1：許可
6-5	-	R/W	"0"をライトしてください。
4	-	R	リードすると"0"が読めます
3	MTI2TB	R/W	IDLE モード時のクロックの動作/停止を制御します。 0：停止 1：動作
2	-	R	リードすると"0"が読めます
1	MTTBTRGSEL	R/W	外部トリガのエッジ選択をします。 0：立ち上がりエッジ 1：立ち下がりエッジ
0	MTTBCSSEL	R/W	カウンタスタートの方法を選択します。 0：ソフトスタート 1：外部トリガ

注 1) **MTxTBCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません。**
注 2) **IGBT モードでは、<MTTBWBF>の設定によらず、ダブルバッファが自動で 許可されます。**

21.4.6　MTxTBMOD (MPT モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	MTTBRSWR	MTTBCP	MTTBCPM		MTTBCLE	MTTBCLK	
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます
6	MTTBRSWR	R/W	ダブルバッファ使用時のタイマレジスタ 0,1 への書き込みタイミングの制御を行います。 0: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片側のみしか出来ていない場合でも、 片方ずつタイマレジスタに書き込みを行うことができます。 1: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方とも出来ていない場合は、 タイマレジスタに書き込みを行うことができません)
5	MTTBCP	W	ソフトウェアキャプチャの制御を行います。 0: カウント値をキャプチャレジスタ 0(MTxCP0)に取り込みます。 1: Don't care
4-3	MTTBCPM[1:0]	R/W	キャプチャタイミングの設定をします。 00: キャプチャ禁止 01: MTTBxIN 端子入力の立ち上がりでキャプチャレジスタ 0（MTxCP0）にカウント値を取り込みます 10: MTTBxIN 端子入力の立ち上がりでキャプチャレジスタ 0（MTxCP0）にカウント値を取り込み、 MTTBxIN 端子入力の立ち下がりでキャプチャレジスタ 1（MTxCP1）にカウント値を取り込みます。 11: キャプチャ禁止
2	MTTBCLE	R/W	MPT のアップカウンタのクリア制御を行います。 0: アップカウンタのクリア禁止 1: タイマレジスタ 1（MTxRG1）との一致でクリア
1-0	MTTBCLK[1:0]	R/W	MPT のタイマカウントクロックを選択します。 00: MTTBxIN 端子入力 01: φT1 10: φT4 11: φT16

注 1)　**MTxTBMOD<MTTBCP>は、リードすると"1"が読み出されます。**

注 2)　**MTxTBMOD はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません。**

21.4.7 MTxTBFFCR (MPT フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	MTTBC1T1	MTTBC0T1	MTTBE1T1	MTTBE0T1	MTTBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-6	-	R	リードすると"11"が読めます
5	MTTBC1T1	R/W	アップカウンタの値がキャプチャレジスタ 1(MTxCP1)に取り込まれたときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
4	MTTBC0T1	R/W	アップカウンタの値がキャプチャレジスタ 1(MTxCP0)に取り込まれたときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
3	MTTBE1T1	R/W	アップカウンタとタイマレジスタ 1(MTxRG1)との一致したときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
2	MTTBE0T1	R/W	アップカウンタとタイマレジスタ 1(MTxRG0)との一致したときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
1-0	MTTBFF0C	R/W	タイマフリップフロップを制御します。 00: MTxFF0 の値を反転します。 01: MTxFF0 を"1"にセットします。 10: MTxFF0 を"0"にクリアします。 11: Don't care リードすると"11"が読めます。

注) **MTxTBFFCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません**

21.4.8　MTxTBST (MPT ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTTBINT TBOF	MTTBINTTB1	MTTBINTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTTBINTTBOF	R	アップカウンタのオーバーフロー割り込み発生のステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。
1	MTTBINTTB1	R	タイマレジスタ 1（MTxRG1）との一致割り込み発生のステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。
0	MTTBINTTB0	R	タイマレジスタ 0（MTxRG0）との一致割り込み発生のステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。

注)　**いずれかの割り込みが発生すると、MTxTBST に該当割り込みのフラグがセットされ、CPU に割り込み発生が通知されます。MTxTBST レジスタをリードすると、フラグは"0"にクリアされます。**

21.4.9 MTxTBIM (MPT 割込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTTBIMOF	MTTBIM1	MTTBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTTBIMOF	R/W	アップカウンタのオーバーフロー割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。
1	MTTBIM1	R/W	タイマレジスタ 1（MTxRG1）とアップカウンタの一致割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。
0	MTTBIM0	R/W	タイマレジスタ 0（MTxRG0）とアップカウンタの一致割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。

注) **MTxTBIM でマスクされていても MTxTBST には割り込み要求が反映されます。**

21.4.10　MTxTBUC (MPT リードキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTUC[15:0]	R	MTxTBUC をリードすると、現在のアップカウンタの値をキャプチャすることができます。

21.4.11　MTxRG0/MTxRG1 (MPT タイマレジスタ)

MTxRG0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG0[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG0[15:0]が一致すると、一致検出割り込み(INTMTTBx0)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [IGBT モード] アップカウンタと MTRG0[15:0]が一致すると、MTOUT0x をアクティブレベルに変化させます。

注 1)　**ハーフワードまたはワードアクセスしてください。**
注 2)　**0<MTxRG0 < MTxRG1≤MTxIRG40≤xFFFF となるように設定してください。**

MTxRG1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG1[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG1[15:0]が一致すると、一致検出割り込み(INTMTTBx1)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [IGBT モード] アップカウンタと MTRG1[15:0]が一致すると、MTOUT0x をインアクティブレベルに変化させます。

注 1) **ハーフワードまたはワードアクセスしてください。**

注 2) **0<MTxRG0 < MTxRG1≤MTxIRG40≤xFFFF となるように設定してください。**

21.4.12　MTxCP0 /MTxCP1 (MPT キャプチャレジスタ)

MTnCP0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

MTnCP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

注)　**タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。**

21.5　回路別の動作説明

21.5.1　プリスケーラ

アップカウンタ MTUCx のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2,fperiph/4、fperiph/8、fperiph/16、fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG SYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは MTxRUN<MTPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 21-2 に示します。

表 21-2 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 <FPSEL>	クロックギア値 <GEAR[2:0]>	プリスケーラクロック選択 <PRCK[2:0]>	プリスケーラ出力クロック機能		
			φT1	φT4	φT16
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.025 μs)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		001 (fperiph/2)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		010 (fperiph/4)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		011 (fperiph/8)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		100 (fperiph/16)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		101 (fperiph/32)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		001 (fperiph/2)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		010 (fperiph/4)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		011 (fperiph/8)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		100 (fperiph/16)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		101 (fperiph/32)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		001 (fperiph/2)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		010 (fperiph/4)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		011 (fperiph/8)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		100 (fperiph/16)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
		101 (fperiph/32)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102.4 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		001 (fperiph/2)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
		010 (fperiph/4)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)
		011 (fperiph/8)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)
		100 (fperiph/16)	fc/2^9 (6.4 μs)	fc/2^{11} (25.6 μs)	fc/2^{13} (102.4 μs)
		101 (fperiph/32)	fc/2^{10} (12.8 μs)	fc/2^{12} (51.2 μs)	fc/2^{14} (204.8 μs)

表 21-2 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 <FPSEL>	クロックギア値 <GEAR[2:0]>	プリスケーラクロック選択 <PRCK[2:0]>	プリスケーラ出力クロック機能		
			φT1	φT4	φT16
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.025 μs)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	fc/2^2 (0.05 μs)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	101 (fc/4)	000 (fperiph/1)	–	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)
		001 (fperiph/2)	–	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	fc/2^3 (0.1 μs)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	fc/2^5 (0.4 μs)
		001 (fperiph/2)	–	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)
		010 (fperiph/4)	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	fc/2^4 (0.2 μs)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	fc/2^5 (0.4 μs)
		001 (fperiph/2)	–	–	fc/2^6 (0.8 μs)
		010 (fperiph/4)	–	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)
		011 (fperiph/8)	–	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)
		100 (fperiph/16)	fc/2^5 (0.4 μs)	fc/2^7 (1.6 μs)	fc/2^9 (6.4 μs)
		101 (fperiph/32)	fc/2^6 (0.8 μs)	fc/2^8 (3.2 μs)	fc/2^{10} (12.8 μs)

注 1) **プリスケーラ出力クロック φTn は、かならず φTn <fsys を満足するように (φTn が fsys よりも遅くなるように) 選択してください。**

注 2) **タイマ動作中はクロックギアの切り替えは行わないでください。**

注 3) **表中"–"は設定禁止です。**

21.5.2　アップカウンタ(MTUC0)

16 ビットのバイナリカウンタです。

・　ソースクロック

ソースクロックは MTxTBMOD<MTTBCLK[1:0]>で設定することができます。

プリスケーラ出力クロック φT1、φT4、φT16、または、MTTBxIN 端子の外部クロックのいずれかを選択できます。

・　カウンタ動作の開始と停止

カウンタ動作は MTxRUN<MTRUN>で行います。<MTRUN>="1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

アップカウンタ MTUCx と、タイマレジスタ MTxRG0、MTxRG1 への設定値とを比較し、一致を検出すると、INTMTTB0x，INTMTTB1x を発生します。

・　カウンタクリアのタイミング

1.　コンペア一致時

MTxTBMOD<MTTBCLE>="1"に設定することで、MTxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。

MTxTBMOD<MTTBCLE>="0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2.　カウンタ停止時

MTxRUN<MTRUN>="0"に設定すると、カウンタが停止するとともにクリアされます。

・　カウンタのオーバーフロー

MTUCx がオーバーフローすると、オーバーフロー割り込み INTMTTB0x が発生します。

21.5.3 タイマレジスタ (MTxRG0、MTxRG1)

アップカウンタ MTUCx と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。

・ 構成

タイマレジスタのうち、MTxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファのイネーブル/ディセーブルを制御は MTxTBCR<MTTBWBF> によって行います。<MTTBWBF>="0" のときディセーブル、 <MTTBWBF>="1" のときイネーブルとなります。

ダブルバッファイネーブル時、MTUCx と MTxRG1 との一致時にレジスタバッファ 0 からタイマレジスタ MTxRG0/1 へデータ転送が行われます。

・ 初期状態

リセット動作により、MTxRG0、MTxRG1 は不定で、ダブルバッファはディセーブルになっています。

・ 設定方法

1. ダブルバッファを使用しない場合

ハーフワードまたはワードアクセスしてください。

2. ダブルバッファを使用する場合

MTxRG0/1 とレジスタバッファ 0/1 は、それぞれ同じアドレスに割り付けられています。

<MTTBWBF> "0" のときは、MTxRG0/1 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<MTTBWBF> "1" のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておき、タイマレジスタにデータを書き込んだ後、<MTTBWBF> "1" に設定し、レジスタバッファへ次のデータを書き込んでください。

21.5.4 キャプチャ制御

アップカウンタ MTUCx の値をキャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、MTxTBMOD<MTTBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタ MTUCx の値をキャプチャレジスタへ取り込むことができ、MTxTBMOD<MTTBCP> に "0" を書き込むたびに、その時点の MTUCx の値をキャプチャレジスタ MTxCP0 へキャプチャします。なお、プリスケーラは、RUN 状態 (MTxRUN<MTPRUN> "1") にしておく必要があります。

21.5.5 キャプチャレジスタ(MTxCAP0、MTxCAP1)

アップカウンタ MTUCx の値をキャプチャするレジスタです。

21.5.6 アップカウンタキャプチャレジスタ(MTxTBUC)

キャプチャ制御回路によるキャプチャ機能の他に、MTxTBUC レジスタを読み出すことにより、アップカウンタ(MTUC0)の現在のカウント値をキャプチャすることができます。

21.5.7　コンパレータ(CP0、CP1)

アップカウンタ(MTUCx)と、タイマレジスタ MTxRG0、MTxRG1 への設定値と比較し、一致を検出します。一致すると INTMTTBx0、INTMTTBx1 を発生します。

21.5.8　タイマフリップフロップ (MTxFF0)

タイマフリップフロップ (MTxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、MTxTBFFCR<MTTBC1T1,MTTBC0T1, MTTBE1T1, MTTBE0T1> によって設定できます。

リセット後、MTxFF0 の値は不定となります。MTxTBFFCR<MTTBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

MTxFF0 の値は、タイマ出力端子 MTTBxOUT 端子 へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタ PxCR、PxFRx により、設定を行う必要があります。

21.5.9　キャプチャ割り込み(INTMTCAPx0、INTMTCAPx1)

キャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングで割込み INTMTCAPx0、INTMTCAPx1 をそれぞれ発生します。割込みの設定は CPU で行います。

21.6 IGBT モードの動作説明

21.6.1 構成

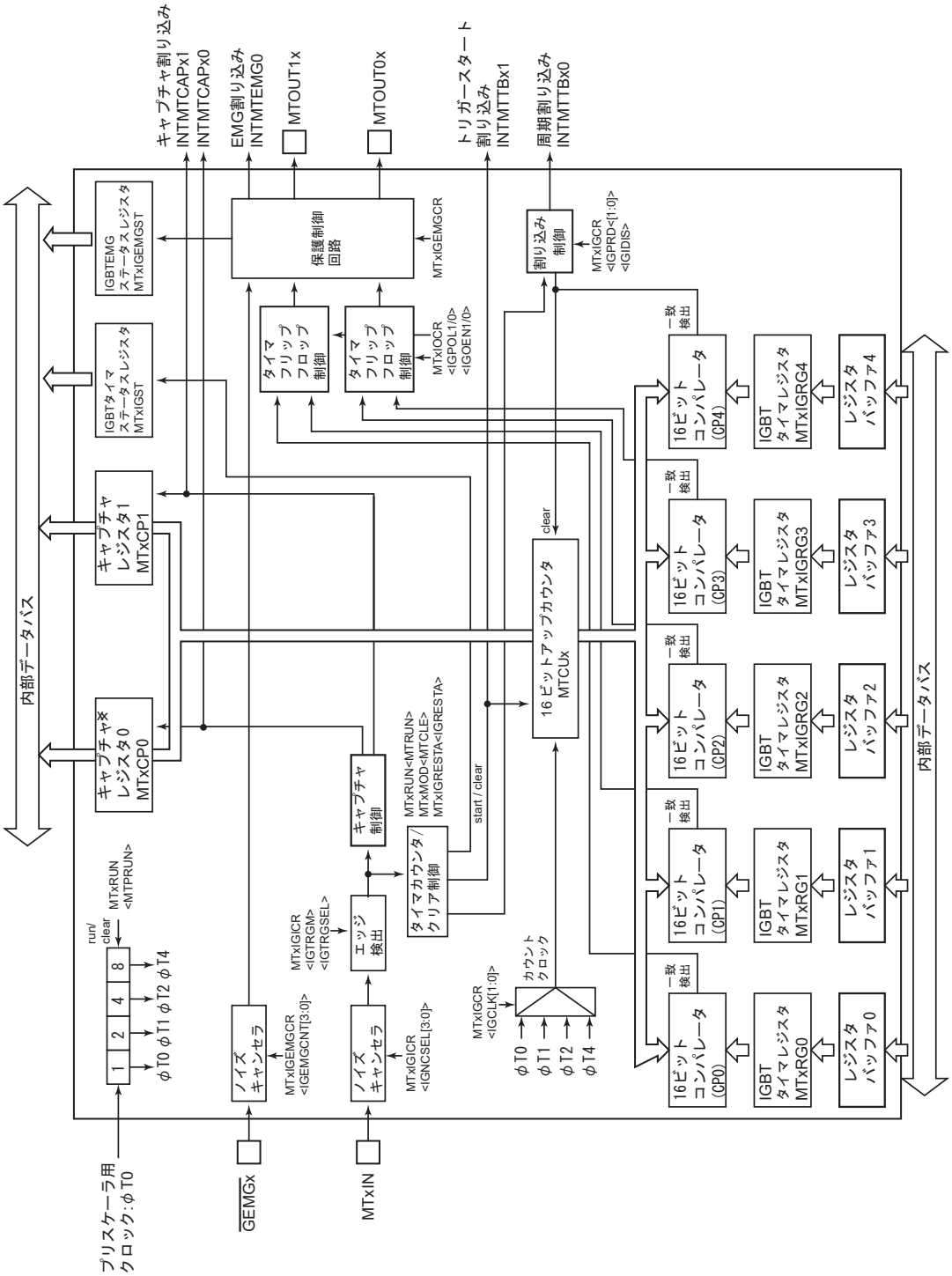


図 21-3 IGBT モードブロック図

21.6.2　IGBT モードチャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel 0	0x400C_7000
Channel 1	0x400C_7100
Channel 2	0x400C_7200
Channel 3	0x400C_7300

レジスタ名(x=0~3)		Address(Base+)
MPT イネーブルレジスタ	MTxEN	0x0000
MPT RUN レジスタ	MTxRUN	0x0004
MPT レジスタ	MTxRG0 MTxRG1	0x0020 0x0024
MPT キャプチャレジスタ	MTxCP0 MTxCP1	0x0028 0x002C
IGBT コントロールレジス	MTxIGCR	0x0030
IGBT タイマリスタートレジスタ	MTxIGRESTA	0x0034
IGBT タイマステータスレジスタ	MTxIGST	0x0038
IGBT 入力コントロールレジスタ	MTxIGICR	0x003C
IGBT 出力コントロールレジスタ	MTxIGOCR	0x0040
IGBT タイマレジスタ 2,3,4	MTxIGRG2 MTxIGRG3 MTxIGRG4	0x0044 0x0048 0x004C
IGBT EMG コントロールレジスタ	MTxIGEMGCR	0x0050
IGBT EMG ステータスレジスタ	MTxIGEMGST	0x0054

21.6.3 MTxEN (MPT イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTEN	MTHALT	-	-	-	-	-	MTMODE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MTEN	R/W	MPT の動作を指定します。 0: 禁止 1: 許可 動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので 消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。
6	MTHALT	R/W	コア Halt(デバッグブレーク)時の動作を指定します。 [TMR 機能] 0:コア Halt 中のクロック停止動作は行いません。 1: コア Halt 中はクロックの動作が停止します。 [IGBT 機能] 0: クロック停止動作および MTOUT0x/MTOUT1x 出力の制御を行いません。 1: コア Halt 中はクロックの動作が停止します。 また、MTxIGEMGCR<IGEMGOC>の設定に従い、MTOUT0x/MTOUT1x 出力の制御を行います。
5-1	-	R	リードすると"0"が読めます
0	MTMODE	R/W	動作モードを指定します。 0: タイマモード 1: IGBT モード

注) **MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可（<MTEN>="1"）にしてください。MPT を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます**

21.6.4　MTxRUN (MPT RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTPRUN	-	MTRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTPRUN	R/W	MPT のプリスケーラ動作を制御します。 0: プリスケーラの動作を停止します。プリスケーラは"0"にクリアされます。 1:プリスケーラの動作を開始します。
1	-	R	リードすると"0"が読めます
0	MTRUN	R/W	MPT のカウント動作を制御します。 0: カウント動作を停止します。カウンタは"0"にクリアされます 1: カウントを開始します。

21.6.5 MTxRG0/MTxRG1 (MPT タイマレジスタ)

MTxRG0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG0[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG0[15:0]が一致すると、一致検出割り込み(INTMTTBx0)が発生します。 また、一致時に MTTBxOUT の反転させることもできます。 [IGBT モード] アップカウンタと MTRG0[15:0]が一致すると、MTOUT0x をアクティブレベルに変化させます。

注 1) **ハーフワードまたはワードアクセスしてください。**

注 2) **0<MTxRG0 < MTxRG1≤MTxIRG40≤xFFFF となるように設定してください。**

MTxRG1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG1[15:0]	R/W	タイマカウント値 [タイマモード] アップカウンタと MTRG1[15:0]が一致すると、一致検出割り込み(INTMTTBx1)が発生します。 また、一致時に MTTBxOUT の反転させせることもできます。 [IGBT モード] アップカウンタと MTRG1[15:0]が一致すると、MTOUT0x をインアクティブレベルに変化させます。

注 1)　**ハーフワードまたはワードアクセスしてください。**

注 2)　**0<MTxRG0 MTxRG1<≤MTxIRG40≤xFFFF となるように設定してください。**

21.6.6 MTxCP0 /MTxCP1 (MPT キャプチャレジスタ)

MTnCP0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

MTnCP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) **タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。**

21.6.7　MTxIGCR (IGBT コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	IGIDIS	IGPRD	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	IGSNGL	IGSTP		IGSTA		IGCLK	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます
10	IGIDIS	R/W	コマンドスタート時の割り込みを制御します。 0: 許可 1: 禁止
9-8	IGPRD[1:0]	R/W	割り込み周期を選択します。 00: 1 周期毎 01: 2 周期毎 10: 4 周期毎 11: Reserved
7	-	R	リードすると"0"が読めます
6	IGSNGL	R/W	IGBT の動作を選択します。 0: 連続動作 1: 単発動作
5-4	IGSTP[1:0]	R/W	停止時の状態を選択します。 00: 出力初期状態でカウント即時停止およびクリア 01: 出力保持状態でカウント即時停止およびクリア 10: 周期時間経過後カウント停止およびクリア 11: Reserved
3-2	IGSTA[1:0]	R/W	スタートモードを選択します 00:コマンドスタートおよびトリガキャプチャ 01: コマンドスタートおよびトリガスタート 10:トリガスタート 11: Reserved
1-0	IGCLK[1:0]	R/W	IGBT のソースクロックを選択します。 00: φT0 01: φT1 10: φT2 11: φT4

注 1)　**MTxIGCR はタイマ動作中(MTxRUN<MTRUN>="1")に設定変更を行ってはいけません。**

注 2)　**周期時間経過後カウント停止およびクリア(MTxIGCR<IGSTP>="10")で MTxRUN<MTRUN>のクリアによるカウンタの停止操作を行った場合、周期割り込みの発生でタイマが停止したことを確認してから、設定の変更、再スタートを行ってください。**

21.6.8 MTxIGRESTA (IGBT タイマ リスタートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IGRESTA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	IGRESTA	W	カウントリスタートを制御します。 0: Don't care 1: リスタート リードすると"0"が読めます。

注) **タイマ動作中に MTxIGRESTA<IGRESTA>に"1"を書き込むことで、タイマカウンタのクリア&リスタートを行うことができます。出力波形の端子状態を確認した上で設定変更を行ってください。**

21.6.9 MTxIGST (IGBT タイマ ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IGST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	IGST	R	カウンタ動作状態 0: 停止 1: 動作

21.6.10　MTxIGICR (IGBT 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGTRGM	IGTRGSEL	-	-	IGNCSEL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7	IGTRGM	R/W	トリガエッジ受け付けモードを制御します。 0: 常時受け付け 1: アクティブレベル出力中受け付け禁止
6	IGTRGSEL	R/W	トリガスタートエッジ/アクティブレベルを選択します。 0: 立ち上がりエッジスタート/"High"レベルアクティブ 1: 立ち下がりエッジスタート/"Low"レベルアクティブ
5-4	-	R	リードすると"0"が読めます
3-0	IGNCSEL[3:0]	R/W	トリガ入力ノイズ除去時間選択 ノイズ除去時間は次の計算式で表されます。 IGNCSEL[3:0] × 16 / fsys 0000: ノイズフィルタを経由しません 0001: ノイズ除去時間 16 / fsys[s] 0010: ノイズ除去時間 32 / fsys[s] 0011: ノイズ除去時間 48 / fsys[s] 0100: ノイズ除去時間 64 / fsys[s] 0101: ノイズ除去時間 80 / fsys[s] 0110: ノイズ除去時間 96 / fsys[s] 0111: ノイズ除去時間 112 / fsys[s] 1000: ノイズ除去時間 128 / fsys[s] 1001: ノイズ除去時間 144 / fsys[s] 1010: ノイズ除去時間 160 / fsys[s] 1011: ノイズ除去時間 176 / fsys[s] 1100: ノイズ除去時間 192 / fsys[s] 1101: ノイズ除去時間 208 / fsys[s] 1110: ノイズ除去時間 224 / fsys[s] 1111: ノイズ除去時間 240 / fsys[s]

注 1)　**MTxIGCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません**

注 2)　**MTxGCR<IGNCSEL[3:0]>は EMG 保護回路禁止の状態(MTxIGEMGCR<IGEMGEN>="0")で行ってください。**

注 3)　**MTxIGCR<IGNCSEL[3:0]>を変更した後、変更したノイズ除去時間に対して十分な時間をとってからタイマをスタート(MTxRUN<MTRUN>="1")してください。**

21.6.11 MTxIGOCR (IGBT 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	IGPOL1	IGPOL0	-	-	IGOEN1	IGOEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます
5	IGPOL1	R/W	MTOUT1x の初期状態を設定します。 0: Low 1: High
4	IGPOL0	R/W	MTOUT0x の初期状態を設定します。 0: Low 1: High
3-2	-	R	リードすると"0"が読めます
1	IGOEN1	R/W	MTOUT1x の出力を制御します。 0: 禁止 1: 許可
0	IGOEN0	R/W	MTOUT0x の出力を制御します。 0: 禁止 1: 許可

注) **MTOUT0x/MTOUT1x 出力端子はタイマが動作中/停止中によらず、IGBT 出力コントロールレジスタ (MTxIGOCR)の内容に応じて変化します。MTxGOCR の設定は動作状況を確認した上で行ってください。**

21.6.12　MTxIGRG2 (IGBT タイマレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG2[15:0]	R/W	タイマカウント値 アップカウンタと IGRG2[15:0]が一致すると、MTOUT1x をアクティブレベルに変化させます。

注 1)　**ハーフワードまたはワードアクセスしてください。**
注 2)　**設定値は 0<MTxIGRG2<MTxIGRG3≤MTxIGRG4≤0xFFFF となるように設定してください。**

21.6.13　MTxIGRG3 (IGBT タイマレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG3[15:0]	R/W	タイマカウント値 アップカウンタと IGRG3[15:0]が一致すると、MTOUT1x をインアクティブレベルに変化させます

注 1)　**ハーフワードまたはワードアクセスしてください。**
注 2)　**設定値は 0<MTxIGRG2<MTxIGRG3≤MTxIGRG4≤0xFFFF となるように設定してください。**

21.6.14 MTxIGRG4 (IGBT タイマレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG4[15:0]	R/W	タイマカウント値 IGBT モードの周期を設定します

注 1) **ハーフワードまたはワードアクセスしてください。**
注 2) **設定値は 0<MTxRG0<MTxRG1≤MTxIGRG4≤0xFFFF となるように設定してください。**
注 3) **設定値は 0<MTxIGRG2<MTxIGRG3≤MTxIGRG4≤0xFFFF となるように設定してください。**

21.6.15　MTxIGEMGCR (IGBT EMG コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGEMGCNT				-	IGEMGRS	IGEMGOC	IGEMGEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-4	IGEMGCNT[3:0]	R/W	GEMG 端子入力ノイズ除去時間選択 ノイズ除去時間は以下の計算式であらわされます IGEMGCNT[3:0]×16 / fsys 0000: ノイズフィルタを経由しません 0001: 入力ノイズ除去時間 16 / fsys[s] 0010: 入力ノイズ除去時間 32 / fsys[s] 0011: 入力ノイズ除去時間 48 / fsys[s] 0100: 入力ノイズ除去時間 64 / fsys[s] 0101: 入力ノイズ除去時間 80 / fsys[s] 0110: 入力ノイズ除去時間 96 / fsys[s] 0111: 入力ノイズ除去時間 112 / fsys[s] 1000: 入力ノイズ除去時間 128 / fsys[s] 1001: 入力ノイズ除去時間 144 / fsys[s] 1010: 入力ノイズ除去時間 160 / fsys[s] 1011: 入力ノイズ除去時間 176 / fsys[s] 1100: 入力ノイズ除去時間 192 / fsys[s] 1101: 入力ノイズ除去時間 208 / fsys[s] 1110: 入力ノイズ除去時間 224 / fsys[s] 1111: 入力ノイズ除去時間 240 / fsys[s]
3	-	R	リードすると"0"が読めます
2	IGEMGRS	W	EMG 保護状態から復帰します。 0: Don't care 1:復帰 （自動的に"0"にクリアされます） （リードすると"0"が読めます）
1	IGEMGOC	R/W	EMG 保護時の MTOUT0x/MTOUT1x 極性を設定します。 0: インアクティブレベル 1: ハイ・インピーダンス
0	IGEMGEN	R/W	EMG 保護回路の動作を制御します。 0: 禁止 1: 許可

注)　**MTxIGEMGCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません**

21.6.16 MTxIGEMGST (IGBT EMG ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IGEMGIN	IGEMGST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	IGEMGIN	R	ノイズ除去後の EMG 入力状態 0: Low 1: High
0	IGEMGST	R	EMG 保護状態 0: 通常動作中 1: 保護中 リードすることにより、EMG 保護の状態を知ることができます。

21.7　回路別の動作説明

21.7.1　プリスケーラ

アップカウンタ MTUCx のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック　φT0 は CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2,fperiph/4、fperiph/8、fperiph/16、fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは MTxRUN<MTPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し 、"0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 21-3 に示します。

表 21-3 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 <FPSEL>	クロックギア値 <GEAR[2:0]>	プリスケーラクロック選択 <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT0	φT1	φT2	φT4
0 (fgear)	000 (fc)	000 (fperiph/1)	fc (0.0125 μs)	$fc/2^1$ (0.025 μs)	$fc/2^2$ (0.05 μs)	$fc/2^3$ (0.1 μs)
		001 (fperiph/2)	$fc/2^1$ (0.025 μs)	$fc/2^2$ (0.05 μs)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)
		010 (fperiph/4)	$fc/2^2$ (0.05 μs)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)
		011 (fperiph/8)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)
		100 (fperiph/16)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)
		101 (fperiph/32)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)
	100 (fc/2)	000 (fperiph/1)	$fc/2^1$ (0.025 μs)	$fc/2^2$ (0.05 μs)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)
		001 (fperiph/2)	$fc/2^2$ (0.05 μs)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)
		010 (fperiph/4)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)
		011 (fperiph/8)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)
		100 (fperiph/16)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)
		101 (fperiph/32)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)
	101 (fc/4)	000 (fperiph/1)	$fc/2^2$ (0.05 μs)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)
		001 (fperiph/2)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)
		010 (fperiph/4)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)
		011 (fperiph/8)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)
		100 (fperiph/16)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)
		101 (fperiph/32)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)	$fc/2^{10}$ (12.8 μs)
	110 (fc/8)	000 (fperiph/1)	$fc/2^3$ (0.1 μs)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)
		001 (fperiph/2)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)
		010 (fperiph/4)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)
		011 (fperiph/8)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)
		100 (fperiph/16)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)	$fc/2^{10}$ (12.8 μs)
		101 (fperiph/32)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)	$fc/2^{10}$ (12.8 μs)	$fc/2^{11}$ (25.6 μs)
	111 (fc/16)	000 (fperiph/1)	$fc/2^4$ (0.2 μs)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)
		001 (fperiph/2)	$fc/2^5$ (0.4 μs)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)
		010 (fperiph/4)	$fc/2^6$ (0.8 μs)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)
		011 (fperiph/8)	$fc/2^7$ (1.6 μs)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)	$fc/2^{10}$ (12.8 μs)
		100 (fperiph/16)	$fc/2^8$ (3.2 μs)	$fc/2^9$ (6.4 μs)	$fc/2^{10}$ (12.8 μs)	$fc/2^{11}$ (25.6 μs)
		101 (fperiph/32)	$fc/2^9$ (6.4 μs)	$fc/2^{10}$ (12.8 μs)	$fc/2^{11}$ (25.6 μs)	$fc/2^{12}$ (51.2 μs)

表 21-3 プリスケーラ出力クロック分解能(fc = 80MHz)

ペリフェラルクロック選択 <FPSEL>	クロックギア値 <GEAR[2:0]>	プリスケーラクロック選択 <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT0	φT1	φT2	φT4
1 (fc)	000 (fc)	000 (fperiph/1)	fc (0.0125 μs)	fc/2^1 (0.025 μs)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)
		001 (fperiph/2)	fc/2^1 (0.025 μs)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)
		010 (fperiph/4)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)
		011 (fperiph/8)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)
		100 (fperiph/16)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)
		101 (fperiph/32)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^1 (0.025 μs)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)
		001 (fperiph/2)	fc/2^1 (0.025 μs)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)
		010 (fperiph/4)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)
		011 (fperiph/8)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)
		100 (fperiph/16)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)
		101 (fperiph/32)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)
	101 (fc/4)	000 (fperiph/1)	–	–	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)
		001 (fperiph/2)	–	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)
		010 (fperiph/4)	fc/2^2 (0.05 μs)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)
		011 (fperiph/8)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)
		100 (fperiph/16)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)
		101 (fperiph/32)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	–	fc/2^3 (0.1 μs)
		001 (fperiph/2)	–	–	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)
		010 (fperiph/4)	–	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)
		011 (fperiph/8)	fc/2^3 (0.1 μs)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)
		100 (fperiph/16)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)
		101 (fperiph/32)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	–	–
		001 (fperiph/2)	–	–	–	fc/2^4 (0.2 μs)
		010 (fperiph/4)	–	–	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)
		011 (fperiph/8)	–	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)
		100 (fperiph/16)	fc/2^4 (0.2 μs)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)
		101 (fperiph/32)	fc/2^5 (0.4 μs)	fc/2^6 (0.8 μs)	fc/2^7 (1.6 μs)	fc/2^8 (3.2 μs)

注 1)　**プリスケーラ出力クロック φTn は、かならず φTn≤ fsys を満足するように (φTn が fsys よりも遅くなるように) 選択してください。**

注 2)　**タイマ動作中はクロックギアの切り替えは行わないでください**

注 3)　**表中"–"は設定禁止です。**

21.7.2 アップカウンタ(MTUCx)

16 ビットのバイナリカウンタです。

・ ソースクロック

ソースクロックは MTxIGCR<IGCLK[1:0]>で設定することができます。

プリスケーラ出力クロック φT0、φT1、φT2、φT4、のいずれかを選択できます。

・ カウンタ動作の開始と停止

カウンタ動作は MTxRUN<MTRUN>で行います。<MTRUN>="1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

また MTxIGRESTA<IGRESTA>="1"に設定することで、カウンタのクリアを行い 0 からカウントアップを始めます。

・ カウンタクリアのタイミング

1. コンペア一致時

アップカウンタ（MTUCx）の値と MTxIGRG4 とのコンペア一致とともにカウンタのクリアをすることができます。

2. カウンタ停止時

Mx0RUN<MTRUN>="0"に設定すると、カウンタが停止するとともにクリアされます。

3. カウンタリスタート時

MTxIGRESTA<IGRESTA>="1"に設定すると、カウンタのクリアを行い 0 からカウントアップを始めます。

4. トリガスタートモード時

トリガスタートモード時、MTxIN の端子が設定されたクリア停止レベルであるときカウンタはクリア停止します。

・ カウントアップ&クリア動作

ソースクロックに φT0 を選択した場合とそれ以外（φT1、φT2、φT4）を選択した場合の、カウント&クリア動作及び設定周期はそれぞれ以下のようになります。

1. ソースクロック φT0 を選択時

ソースクロックに φT0 を選択した場合、一致カウントとクリアカウントでソースクロック 2 クロック分が必要となります。そのため設定周期は M+1 となります。

2. ソースクロック φT0 以外選択時

ソースクロックに φT1、φT2、φT4 を選択した場合、一致カウントとクリアカウントでソースクロック 1 クロック分が必要となります。そのため設定周期は M となります。

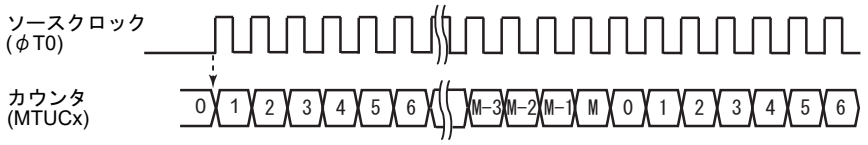


図 21-4 ソースクロック φT0 を選択時のカウントアップ/クリア動作

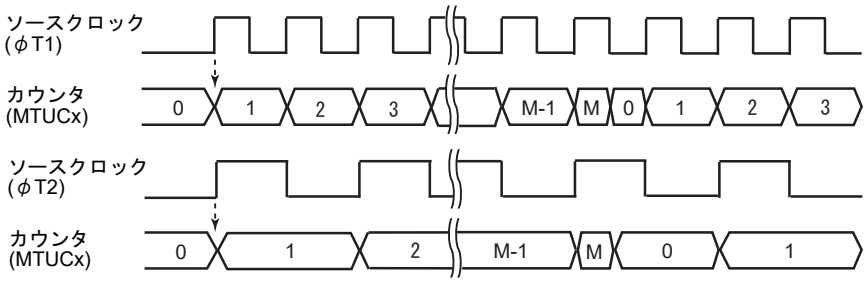


図 21-5 ソースクロック φT1, φT2, φT4 を選択時のカウントアップ/クリア動作

21.7.3　周期設定レジスタ (MTxIGRG4)

PPG 出力の周期を設定するレジスタです。ダブルバッファ構成になっており、データ更新タイミングは MTxIGRG4 とアップカウンタ MTUCx が一致しカウンタがクリアされた次の周期になります。このときレジスタバッファ 4 からタイマレジスタ MTxIGRG4 へデータ転送がおこなわれます。

21.7.4　タイマレジスタ (MTxRG0, MTxRG1, MTxIGRG2, MTxIGRG3, MTxIGRG4)

アップカウンタ MTUCx と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。タイマレジスタ、MTxRG0/1、MTxIGRG2/3 はダブルバッファ構成になっており、レジスタバッファとペアになっています。MTxIGRG4 とアップカウンタ MTUCx が一致しカウンタがクリアされたのと同時にデータ更新されます。このときレジスタバッファ 2/3 からタイマレジスタ MTxIGRG2/3 へデータ転送がおこなわれます。

IGBT モード時は、MTxRG0/1 は常にダブルバッファ構成になっています。

- タイマレジスタ(MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3)、周期レジスタ(MTxIGRG4)の WR/RD 動作

  1. WR 時

     タイマ停止時は、上記レジスタに直接書き込むことができます。タイマ動作中は各々のレジスタバッファに一度ラッチされ、MTxIGRG4 とアップカウンタ MTUCx の一致でカウンタがクリアされたのと同時にデータが更新されます。

  2. RD 時

     現時点での 16bit コンパレータと比較対象となっているレジスタの値を読み出します。レジスタバッファの値を読みだすことはできません。

注)　**ハーフワードまたはワードアクセスしてください。**

21.7.5　キャプチャ制御

コマンドスタートおよびトリガキャプチャモードに設定すると MTxIN 端子の立ち上がりエッジと立ち下がりエッジでアップカウンタ値(MTUCx)をそれぞれキャプチャレジスタ MTxCP0、MTxCP1 にキャプチャします。

21.7.6 キャプチャレジスタ(MTxCAP0, MTxCAP1)

アップカウンタ MTUCx の値をキャプチャするレジスタです。

21.7.7 コンパレータ(CP0, CP1, CP2, CP3, CP4)

アップカウンタ(MTUCx)と、タイマレジスタ MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3、MTxIGRG4 への設定値とを比較し、一致を検出します。

21.7.8 MTOUT0x, MTOUT1x 出力制御

アップカウンタとタイマレジスタの一致信号で MTOUT0x、MTOUT1x 出力を制御します。

出力端子の初期状態の設定は MTxIGOCR<IGPOL0,1>で行います。リセット後の初期状態は Low となっており、MTxIGOCR<IGPOL0,1>=0 で初期状態 Low、1 で初期状態 High から出力します。出力制御は MTxIGOCR<IGOEN0,1>で行います。リセット後は禁止状態であり、使用する場合に MTxIGOCR<IGOEN0,1>=1 に設定してください。

21.7.9 キャプチャ割り込み(INTMTCAPx0,INTMTCAPx1)

キャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングで割込み INTMTCAPx0、INTMTCAPx1 をそれぞれ発生します。割込みの設定は CPU で行います。

21.7.10 トリガスタート割り込み(INTMTTBx1)

コマンドスタート＆トリガスタートモードもしくはトリガスタートモードのスタート方式を選択したとき、MTxIGCR<IGTRGSEL>で指定されたエッジが入力され、カウントがスタートした時にトリガ割り込みが発生します。なお、トリガキャプチャモード時のトリガエッジでは INTMTTBx1 割り込みは発生しません。また緊急出力停止中もスタートトリガで割り込みが発生します。

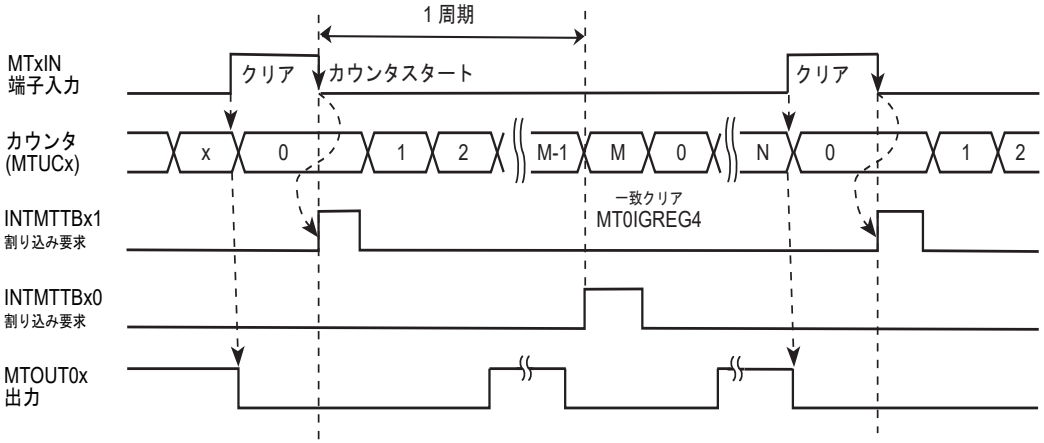


図 21-6 トリガスタート割り込み動作

21.7.11 周期割り込み(INTMTTBx0)

コマンドスタート＆トリガキャプチャモードもしくはコマンドスタート＆トリガスタートモードのスタート方式を選択したとき、コマンドスタートでカウント開始時点、およびカウンタ周期設定値

(MTxIGREG4) までカウントが進みカウンタが一致された時点 (周期設定値と一致し周期終了) で発生します。また、緊急出力停止中も周期との一致で割り込みが発生します。また割り込みの周期の選択は、MTxIGCR<IGPRD[1:0]>で 1 周期毎、2 周期毎、4 周期毎に設定できます。

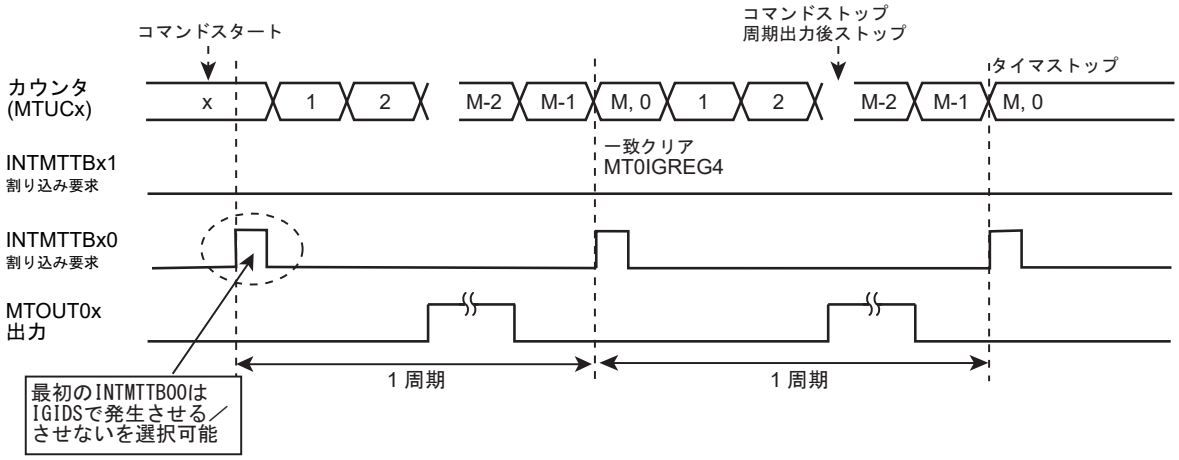


図 21-7 周期割り込み動作

コマンドスタートでカウント開始時点に発生する割り込みについては、コマンドスタート割り込み制御レジスタ MTxIGCR<IGIDIS>にて許可/禁止をおこないます。なお、コマンドスタート時 (MTxRUN<MTRUN>に "1"を書き込み時) 、MTxIN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTBx0 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTBx1 が発生します。

21.7.12　基本動作

MTOUT0x 端子、MTOUT1x 端子からそれぞれ PPG を出力します。

タイマレジスタ (MTxRG0/1, MTxIGRG2/3/4) で設定されたデータと 16 ビットアップカウンタとの比較により波形を制御します。

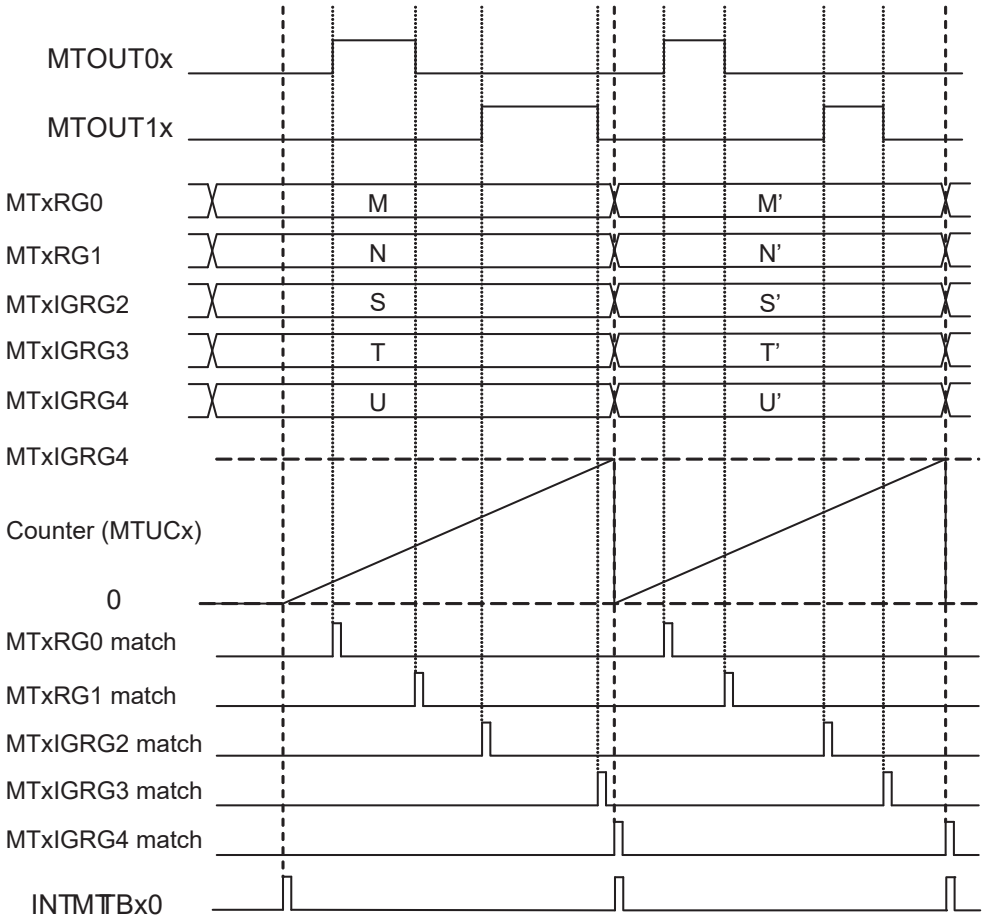


図 21-8 IGBT モード基本タイミング

21.7.13 スタート方式

IGBT モードでは、3 つのスタートモードを選択できます。

21.7.13.1 コマンドスタート＆トリガキャプチャモード

MTxRUN<MTRUN> に "1" を書き込むことによりカウントアップをスタートします。そしてカウンタが設定された周期に達するとカウンタはクリアされます。このとき MTxIGCR<IGSNGL>で連続モードが設定されていると再びカウントアップを始め、単発モードが設定されているとそこでカウントを停止します。

周期に達する前に MTxIGRESTA<IGRESTA>に"1" を書き込むとそこでカウンタはクリアされカウントアップを継続します。

また、MTxIN 端子への入力の立ち上がり、立ち下がり時のカウント値をキャプチャレジスタに格納することができます。

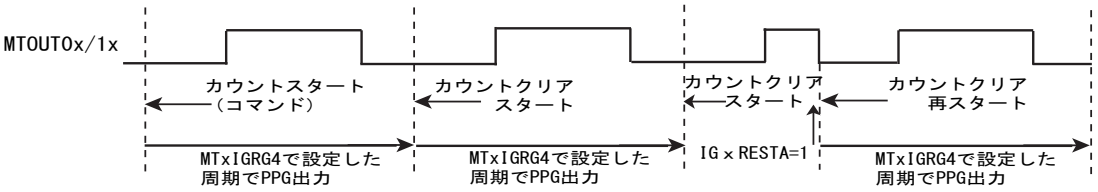


図 21-9 コマンドスタート時の連続モード

コマンドスタート＆トリガキャプチャモードでカウントをスタートすると MTxIN 端子入力の立ち上がりエッジと立ち下がりエッジでのカウンタ値をそれぞれキャプチャレジスタ MTxCAP0、MTxCAP1 にキャプチャします。キャプチャ動作が行われた時にそれぞれ INTMTCAPx0、INTMTCAPx1 が発生します。

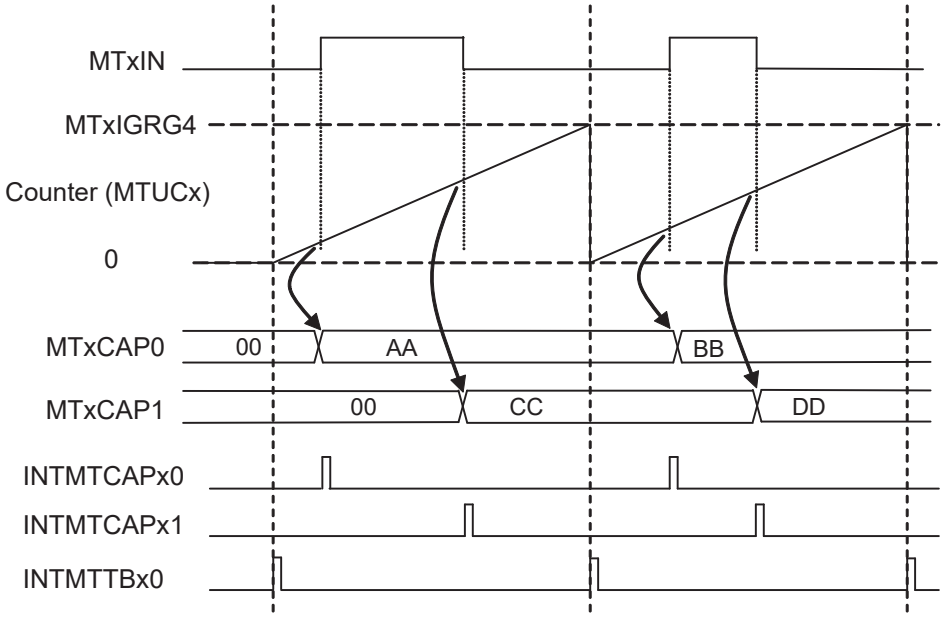


図 21-10 キャプチャ動作

21.7.13.2　コマンドスタート＆トリガスタートモード

MTxRUN<MTRUN> に "1" を書き込むことでカウントアップをスタートします。そして MTxIN 端子入力にトリガ入力がない場合は前記コマンドスタート&キャプチャモードと同様な動きをしますが、MTxIN 端子に MTxIGICR<IGTRGSEL>で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。なお、コマンドスタート時 (MTxRUN<MTRUN>に"1" を書き込み時) MTxIN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTBx1 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTBx1 が発生します(コマンドスタートよりもトリガ入力のほうが優先されます)。

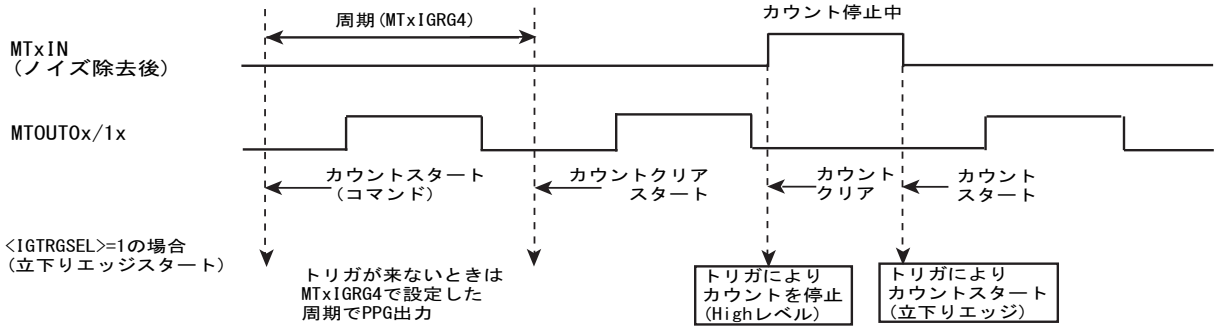


図 21-11 コマンドスタートとトリガスタート

21.7.13.3 トリガスタートモード

MTxIGICR<IGTRGSEL> で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。

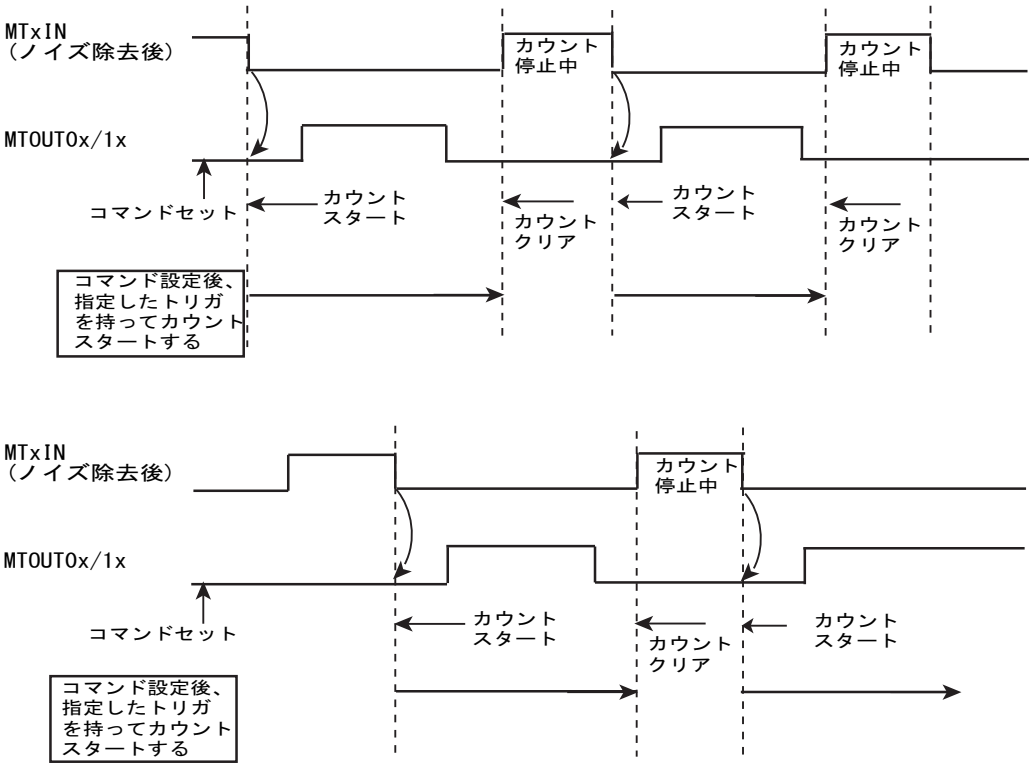


図 21-12 トリガスタート

21.7.14 単発/連続出力モード

IGBT 出力端子を連続で出力するか単発で出力するかを設定することができます。

21.7.14.1 連続出力モード

タイマスタート時(MTxRUN<MTRUN>="1")に MTxIGCR<IGSNGL>="0"にすると連続出力モードになります。連続出力モードは連続して設定された波形を出力するモードです。

21.7.14.2 単発出力モード

タイマスタート時(MTxRUN<MTRUN>="1")に MTxIGCR<IGSNGL>="1"にすると単発出力モードになります。単発出力モードは 1 周期を出力後にカウントを停止します。

トリガスタートの場合はトリガが入力されるまでカウントは停止し、指定されたトリガの入力でカウントがスタートし、1 周期を出力後にカウントを停止します。再度トリガスタートをかける場合は、MTxRUN<MTRUN>="1"を設定してください。

21.7.15 停止方式

MTxRUN<MTRUN>を"0"にすると MTxIGCR<IGSTP[1:0]>の設定に従って、出力状態の選択、タイマの停止を行います。

21.7.15.1　出力初期状態でカウント停止

MTxIGCR<IGSTP[1:0]> が "00" の場合、カウントは即停止し、MTOUT0x/1x の出力は、MTxIGOCR<IGPOL[1:0]> で設定した初期値になります。

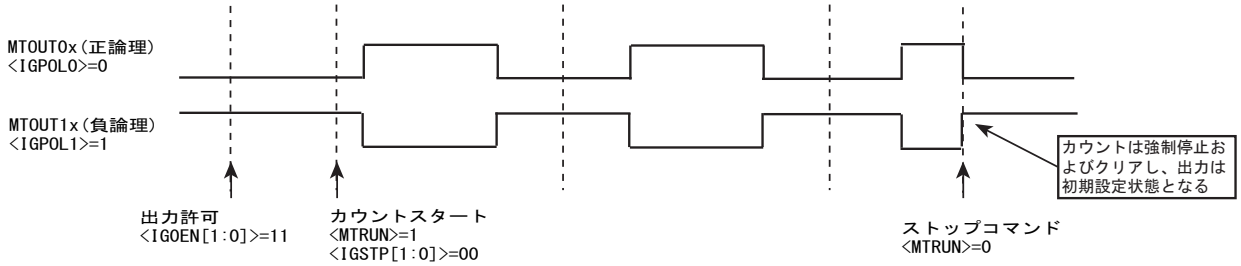


図 21-13 出力初期状態でカウント停止

21.7.15.2　出力保持状態でカウント停止

<IGSTP[1:0]>が "01" の場合、カウントは即停止し、MTOUT0x/1x の出力はそのときの状態を保持します。

再スタートする場合は MTxRUN<MTRUN>="1" に設定し再スタートします。このとき出力は初期値 (<IGPOL0>、<IGPOL1>の設定値) になってから再スタートします。

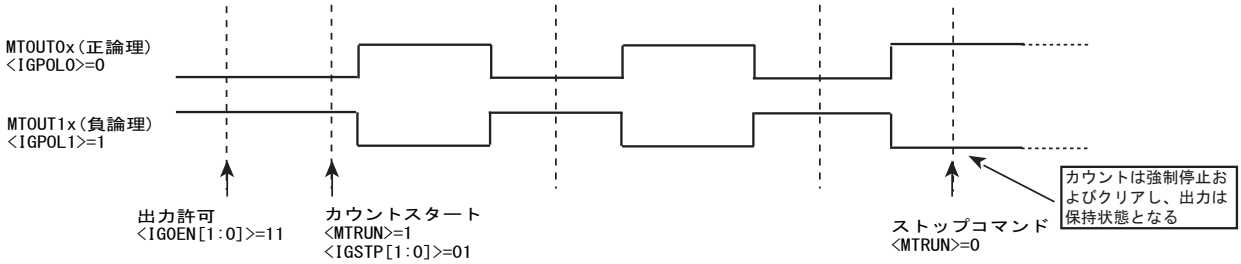


図 21-14 出力保持状態でカウント停止

21.7.15.3　周期終了後に初期状態でカウント停止

<IGSTP[1:0]> が "10" の場合、カウントは出力されている周期の出力が完了するまでカウント動作し、周期終了後、カウンタは停止します。 ただし、周期終了までの間にトリガ入力にストップレベルが入力されると、そこでカウンタは停止します。

タイマの再設定するときは、周期終了後にカウントが停止したことを確認してから、タイマの再設定をおこなってください。

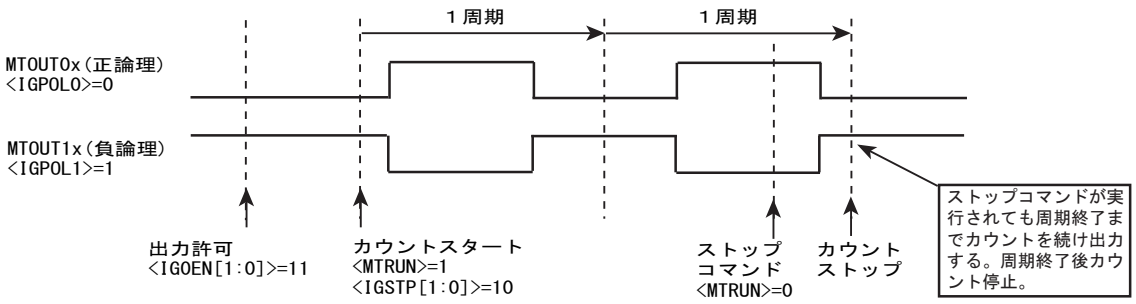


図 21-15 周期終了後に初期状態でカウント停止

21.7.16 トリガ入力

21.7.16.1 トリガ入力の論理

MTxIN 入力が有効になる条件を、MTxIGICR<IGTRGSEL>で選択します。

- <IGTRGSEL>=0 ：立ち上がりエッジ検出でカウントスタート
  "High" レベル中カウントアップ、"Low" レベル中カウント停止
- <IGTRGSEL>=1 ：立ち下がりエッジ検出でカウントスタート
  "Low" レベル中カウントアップ、" High" レベル中カウント停止

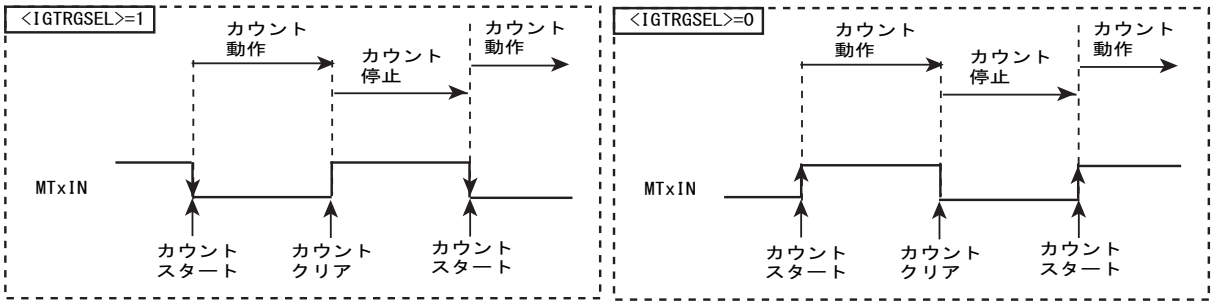


図 21-16 トリガ入力の論理

周期ストップモード中はトリガによるストップは受け付けますが、スタートは受け付けません
(周期中にストップトリガを受け付けるとその時点で出力は初期値となりカウンタは停止します)。

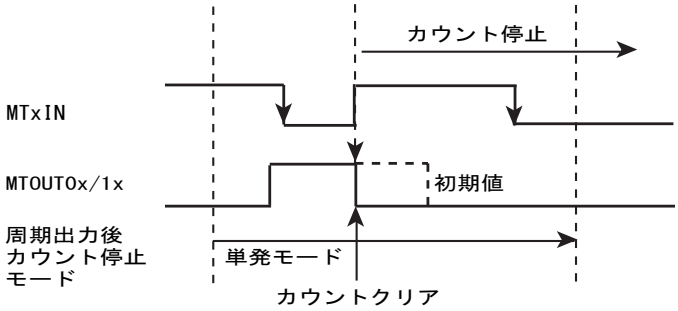


図 21-17 周期ストップモード中のトリガ受け付け

21.7.16.2　トリガ常時受け付け/アクティブ中受付禁止

PPG 出力中に常時 MTxIN 端子からのトリガを受け付けるか、PPG 出力がアクティブ中はトリガ受付を禁止するかを MTxIGICR<IGTRGM> により選択できます。設定は、MTxIGOCR <IGOEN [1:0]>で出力許可に設定してある端子のみに有効です。

<IGTRGM>="0"の場合、MTOUT0x/1x のアクティブ/ ノンアクティブの出力状態にかかわらず MTxIN 端子からのトリガ入力を常時受け付け、タイマのスタート/ クリア停止を行うとともに、MTOUT0x/1x の出力がノンアクティブ状態となります。

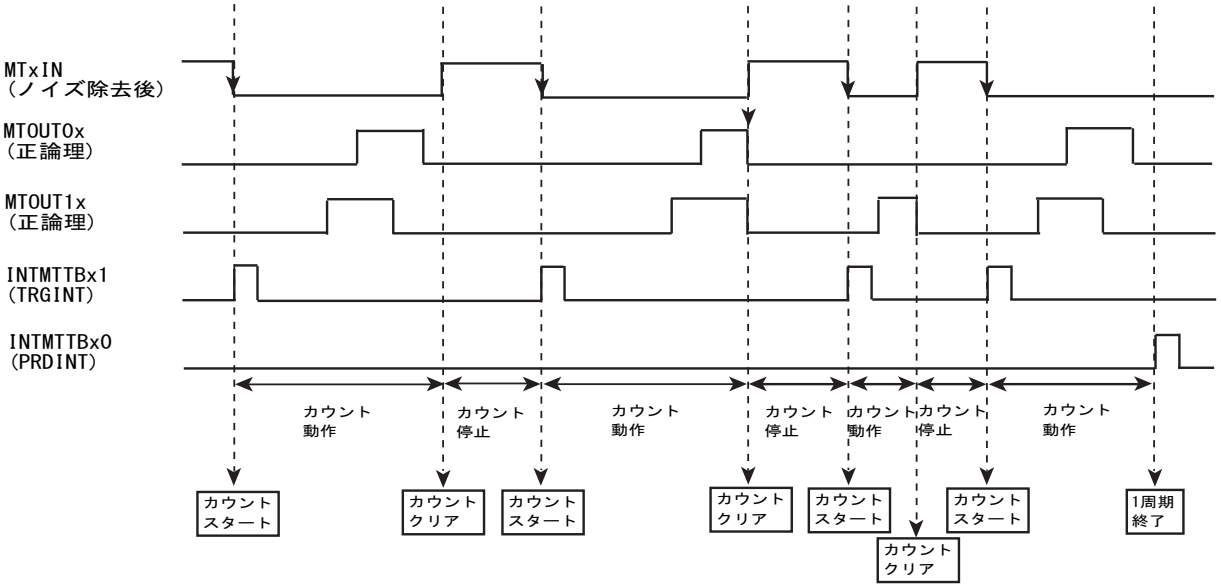


図 21-18 トリガ常時受け付け

<IGTRGM>="1"の場合、MTOUT0x/1x 出力が非アクティブ状態の時に入力されたエッジは受け付けられ、カウントクリア、停止します。

MTOUT0x/1x 出力がアクティブ状態で入力された場合、カウントはすぐに停止せず、出力が非アクティブ状態になるまでカウント継続します。非アクティブ状態になったときにトリガ信号のレベルが動作しないレベルであればカウントクリア停止し、次のスタートトリガを待ちます。

MTOUT0x/1x の両方出力許可で動作させる場合は両方の出力が非アクティブ状態でなければトリガは受け付けられません。

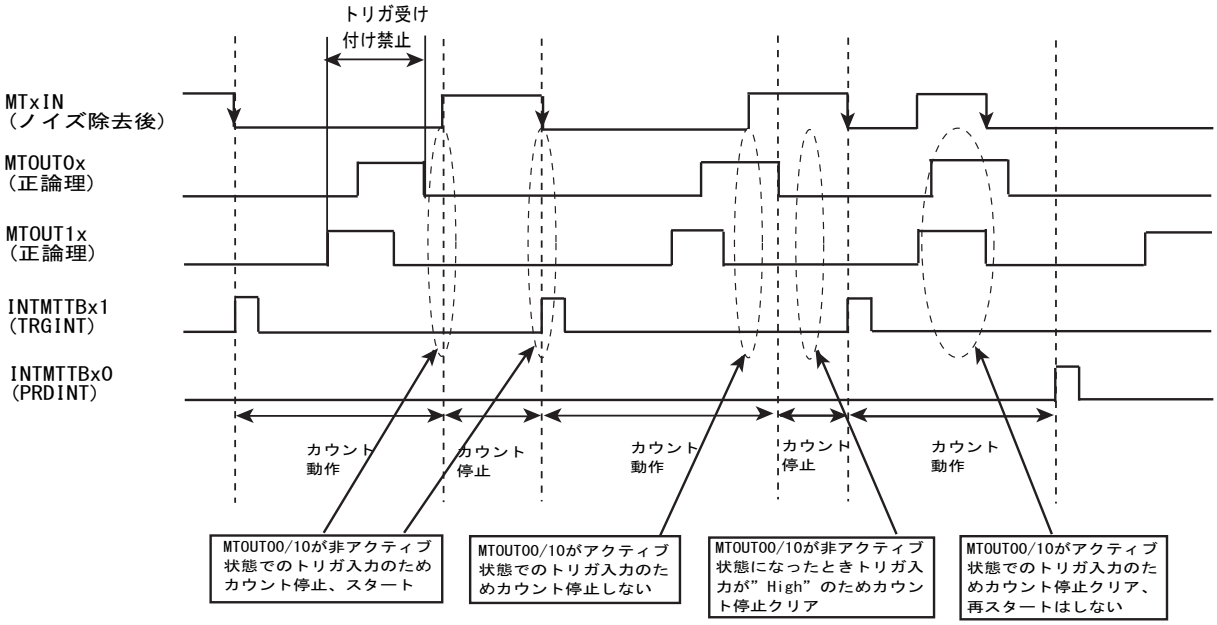


図 21-19 アクティブ中トリガ受付禁止

21.7.17 緊急停止機能

21.7.17.1 動作説明

MTxIGEMGCR<IGEMGEN>="1"にすることで、緊急停止機能が許可（GEMGx 端子の入力の許可）されます。

GEMGx 端子に Low レベル入力が検知されると、MTxIGEMGCR<IGEMGOC>の設定に従い、MTOUT0x/ MTOUT1x 波形を初期状態(IGPOL0、IGPOL1 の設定)もしくはハイ・インピーダンスにし、GEMGx 割り込みを発生します。

なおこの機能は MTOUT0x/ MTOUT1x 出力を禁止するだけでカウントは停止しませんので、GEMG 割り込み処理ルーチン内でタイマ停止の処理を行ってください。

21.7.17.2 緊急停止モニタ

緊急出力停止状態になると MTxIGEMGST<IGEMGST>が"1"にセットされます。IGEMGST をリードしたとき、"1"の場合は緊急出力停止中であることを示します。

21.7.17.3 GEMG 割り込み

緊急出力停止入力が受け付けられると GEMG 割り込み(INTMTEMGx)を発生します。処理を割り込みによって行うときは事前に INTMTEMGx 割り込みを許可しておいてください。

また GEMGx 端子の状態が"Low"の状態で緊急出力停止状態を解除しても再び割り込みが発生し緊急出力停止状態になります。

21.7.17.4 緊急出力停止状態の解除

緊急出力停止状態を解除するときは GEMGx 端子の入力が High の状態を確認し、MTxRUN<MTRUN>を"0"にし、タイマ動作が停止したことを確認(MTxIGST<IGST>=0)した後で、MTxIGEMGCR<IGEMGRS>="1"を書き込むことにより、緊急停止状態が解除されます。

停止時の状態選択レジスタにて MTxIGCR<IGSTP[1:0]>="01"もしくは、"10"に設定している場合、MTxIGEMGCR<IGEMGRS>="1"を書き込む前に、MTxIGOCR<IGPOL[1:0]>で初期状態設定を行ってください。

21.7.18　ノイズキャンセラ

外部入力端子である MTxIN、GEMGx へ入力される信号はデジタルノイズキャンセラによりノイズが除去されます。

デジタルノイズキャンセラはそれぞれ MTxIGICR<IGNCSEL[3:0]>、MTxIGEMGCR <IGEMGCNT[3:0]> の設定によりノイズ除去時間を選択できます。

21.8 モータ制御回路（PMD：Programmable Motor Driver）の動作説明

TMPM367FDXBG はモータ制御回路（PMD）を 1 チャネル内蔵しています。

本製品の PMD は 1 シャントセンサレスモータ制御を実現する為に通電出力制御や、DC 過電圧検出入力を追加し、モータ制御を可能としています。

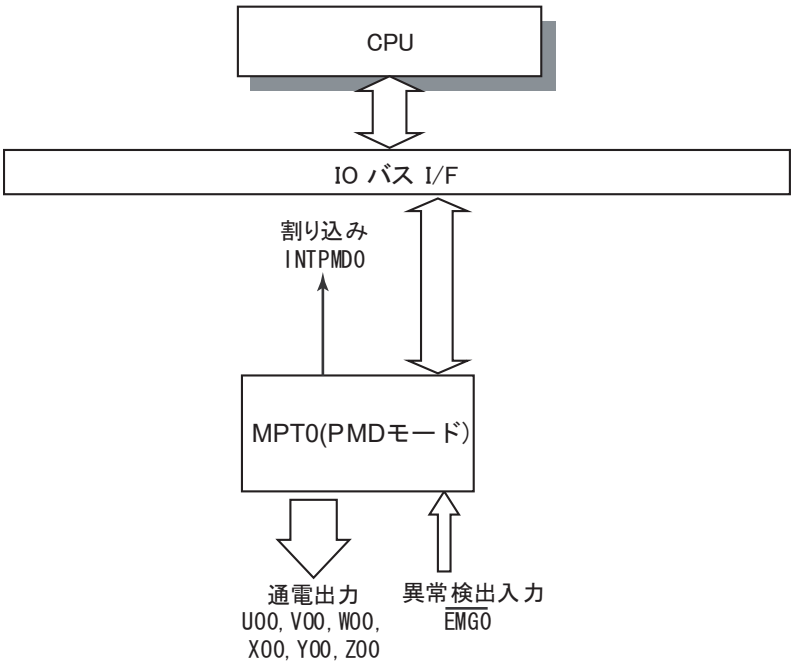


図 21-20 モータ制御関連ブロック図

21.8.1　PMD 回路への入出力信号

モータ制御回路のチャネル別の入力信号及び出力信号は以下の通りです。

表 21-4 入出力信号一覧

CH	端子名	PMD 信号名	機能
PMD0	PG7/UO0	UO 0	U 相出力
	PG6/XO0	XO 0	X 相出力
	PG5/VO0	VO 0	V 相出力
	PG4/YO0	YO 0	Y 相出力
	PG3/WO0	WO 0	W 相出力
	PG2/ZO0	ZO 0	Z 相出力
	PG1/$\overline{\text{EMG0}}$	EMG0	異常検出入力信号

21.8.2 構成

PMD（プログラマブルモータドライバ）回路は波形生成回路から成り、パルス幅変調回路、通電制御回路、保護制御回路、デッドタイム制御回路で構成されています。

- パルス幅変調回路は PWM 周波数が等しい 3 相の独立した PWM 波形を生成します。
- 通電制御回路は U、V、W 相の各上下相の出力パターンを決定します。
- 保護制御回路では異常検出入力による緊急出力停止を行ないます。
- デッドタイム制御回路では上下相の切り替え時の短絡を防止します。

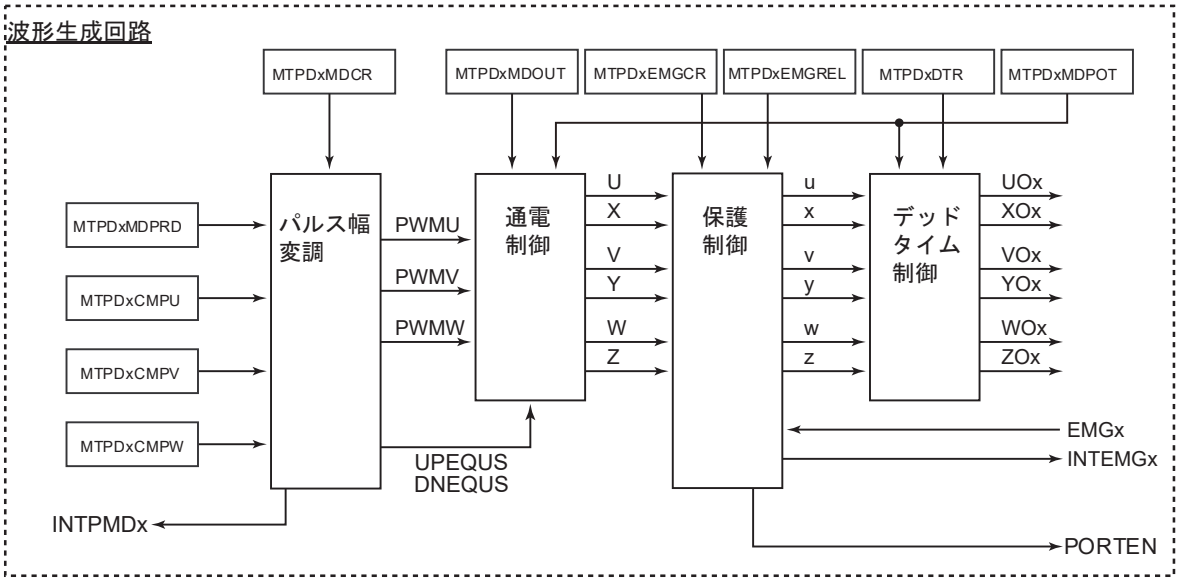


図 21-21 PMD 回路概略図

21.8.3　レジスタ説明

21.8.3.1　チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

Base address = 0x400F_6000

レジスタ名		Address(Base+)
PMD イネーブルレジスタ	MTPDMDEN	0x0000
ポート出力モードレジス	MTPDPORTMD	0x0004
PMD 制御レジスタ	MTPDMDCR	0x0008
PWM カウンタステータスレジスタ	MTPDCNTSTA	0x000C
PWM カウンタレジスタ	MTPDMDCNT	0x0010
PWM 周期レジスタ	MTPDMDPRD	0x0014
PWM コンペア U レジスタ	MTPDCMPU	0x0018
PWM コンペア V レジスタ	MTPDCMPV	0x001C
PWM コンペア W レジスタ	MTPDCMPW	0x0020
Reserved	–	0x0024
PMD 出力制御レジスタ	MTPDMDOUT	0x0028
PMD 出力設定レジスタ	MTPDMDPOT	0x002C
EMG 解除レジスタ	MTPDEMGREL	0x0030
EMG 制御レジスタ	MTPDEMGCR	0x0034
EMG ステータスレジスタ	MTPDEMGSTA	0x0038
Reserved	–	0x003C
Reserved	–	0x0040
デッドタイムレジスタ	MTPDDTR	0x0044
Reserved	–	0x0048
Reserved	–	0x004C
Reserved	–	0x0050
Reserved	–	0x0054
Reserved	–	0x0058
Reserved	–	0x005C
Reserved	–	0x0060
Reserved	–	0x007C

21.8.3.2 MTPDMDEN(PMD イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PWMEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	PWMEN	R/W	波形合成機能の許可/禁止を制御します。 0: 禁止 1: 許可 ポートを機能出力（PWM 出力）として設定している場合、<PWMEN>="0"（禁止）にすると出力ポートはハイ・インピーダンスになります。 出力ポート極性等、<PWMEN>以外の初期設定を行った後に、<PWMEN>="1"(許可)を設定して下さい。

21.8.3.3 MTPDPORTMD(ポート出力モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PORTMD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	-	R/W	"0"をライトしてください。
0	PORTMD	R/W	PORT 制御の設定 0: ハイ・インピーダンス 1: PMD 出力 <PORTMD>の設定により外部 PORT に対して全相 6 端子のポート出力制御信号を出力します。ハイ・インピーダンス選択時にツールブレイクが発生した場合、外部出力ポートをハイ・インピーダンスにします。それ以外の場合は PMD 出力に従います。 注 1)MTPDMDEN<PWMEN>=0 時は出力ポートの設定によらず出力ハイ・インピーダンスにします。 注 2)外部ポート出力制御は PMDxEMGMD の設定により EMG 入力時にも行なわれます。

21.8.3.4　MTPDMDCR (PMD 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PWMCK	SYNTMD	DTYMD	PINT	INTPRD		PWMMD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます
6	PWMCK	R/W	PWM 周期延長モードを指定します。 0: 通常周期 1: 4 倍周期 通常設定時、PWM カウンタは分解能 12.5ns@fsys=80MHz で動作します。 ※ノコギリ波 12.5ns、三角波 25ns 4 倍周期設定時、PWM カウンタは分解能 50ns@2bit カウンタ(fsys=80MHz 動作)で動作します。 ※ノコギリ波 50ns、三角波 100ns
5	SYNTMD	R/W	U,V,W 相のポート出力設定を行ないます。※表 21-6 参照
4	DTYMD	R/W	DUTY モードの選択を行います。 0: U 相共通 1: 3 相独立 デューティの設定を PMDxCMPU/V/W の３相独立で行うか、PMDxCMPU レジスタの設定を３相共通で用いるかの選択を行います。
3	PINT	R/W	PWM モード 1（三角波)のときの PWM 割り込みタイミングの選択を行います。 0: PWM カウンタ MDCNT ＝"1"のとき(最小)割り込み要求 1: PWM カウンタ MDCNT ＝ MTPDMDPRD<MDPRD>のとき(最大)割り込み要求 PWM モード 1(三角波)のときの割り込み発生タイミングを、PWM カウンタ MDCNT が"1"(最小)となった時に発生するか、MTPDMDPRD<MDPRD>(最大)となった時に発生するかを選択できます。 <INTPRD>で PWM 割り込み周期に 0.5 周期ごとが選択されていた場合、本レジスタとは関係なく、PWM カウンタ MDCNT が"1"(最小)になった時と<MDPRD>(最大)となった時の両方で割り込みが発生します。 また、PWM モード 0(ノコギリ波)では、本レジスタとは関係なく、PWM カウンタ MDCNT が<MDPRD>(最大)となった時に割り込みが発生します。
2-1	INTPRD	R/W	PWM 割り込み周期の選択を行います。 00: ＰＷＭ 0.5 周期毎に割り込み(PWM モード 1 (三角波)のみ設定可能です) 01: ＰＷＭ 1 周期毎に割り込み 10: ＰＷＭ 2 周期毎に割り込み 11: ＰＷＭ 4 周期毎に割り込み PWM 割り込みの発生する頻度を PWM 周期 0.5 周期/1 周期/2 周期/4 周期に 1 回から選択します。
0	PWMMD	R/W	PWM キャリア波形を指定します。 0: PWM モード 0（エッジ PWM、ノコギリ波） 1: PWM モード 1（センター PWM、三角波）

21.8.3.5 MTPDCNTSTA(PWM カウンタステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UPDWN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	UPDWN	R	PWM カウンタフラグ 0: アップカウント中 1: ダウンカウント中 PWM カウンタがアップカウント中かダウンカウント中かを示します。 PWM モード 0(ノコギリ波)を選択した場合、常に"0"が読み出されます。

21.8.3.6 MTPDMDCNT(PWM カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MDCNT	R	PWM 周期をカウントする 16bit のレジスタで読み出し専用です。 MTPDMDCR<PWMCK>="0"の時、PWM カウンタ値の分解能は PWM モード 0(ノコギリ波) 12.5ns@fsys=80MHz、、PWM モード 1(三角波)25ns@fsys=80MHz です。<PWMCK>="1"の時、PWM モード 0(ノコギリ波) 50ns@fsys=80MHz、、PWM モード 1(三角波)100ns@fsys=80MHz です。

21.8.3.7　MTPDMDPRD(PWM 周期レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MDPRD	R/W	PWM 周期を設定します。 分解能は、PWM モード 0 (ノコギリ波) 12.5ns@fsys=80MHz、PWM モード 1 (三角波) 25ns@fsys=80MHz です。MTPDMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 50ns@fsys=80MHz、PWM モード 1 (三角波)　100ns@fsys=80MHz です。 <MDPRD>は PWM 周期を設定するレジスタで、ダブルバッファ構成になっています。したがって、PWM カウンタ動作中でも変更することができます。レジスタからラッチへの転送タイミングは、PWM カウンタ MDCNT が MTPDMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期としたとき(MTPDMCR<INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。 <MDPRD>には 0x10 以上の値を設定してください。0x10 未満の値を設定した場合、0x10 が設定されたものとして動作します(レジスタには設定した値が入ります)。 リード時はレジスタの値(バスから設定したデータ)をリードします。

注)　**ハーフワードまたはワードアクセスしてください。**

21.8.3.8 MTPDCMPU (PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPU							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPU							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPU	R/W	PWM パルス幅の設定をします。 分解能は、PWM モード 0 (ノコギリ波) 12.5ns@fsys=80MHz、PWM モード 1 (三角波) 25ns@fsys=80MHz です。MTPDMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 50ns@fsys=80MHz、PWM モード 1 (三角波)　100ns@fsys=80MHz です。 <CMPU>は、U 相に出力するパルス幅を決定する比較レジスタです。PWM カウンタ MDCNT と大小比較しパルス幅を決定します。 <CMPU>はダブルバッファ構成となっています。したがって、PWM カウンタ動作中でも変更することができます。バッファからレジスタへの転送タイミングは、PWM カウンタ MDCNT が MTPDMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期とした時　(MTPDMCR <INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。 リード時はバッファの値(バスから設定したデータ)をリードします。

注)　**ハーフワードまたはワードアクセスしてください。**

21.8.3.9　MTPDCMPV (PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPV							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPV							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPV	R/W	PWM パルス幅の設定をします。 分解能は、PWM モード 0 (ノコギリ波) 12.5ns@fsys=80MHz、PWM モード 1 (三角波) 25ns@fsys=80MHz です。MTPDMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 50ns@fsys=80MHz、PWM モード 1 (三角波)　100ns@fsys=80MHz です。 <CMPV>は、U 相に出力するパルス幅を決定する比較レジスタです。PWM カウンタ MDCNT と大小比較しパルス幅を決定します。 <CMPV>はダブルバッファ構成となっています。したがって、PWM カウンタ動作中でも変更することができます。バッファからレジスタへの転送タイミングは、PWM カウンタ MDCNT が MTPDMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期とした時　(MTPDMCR <INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。 リード時はバッファの値(バスから設定したデータ)をリードします。

注)　**ハーフワードまたはワードアクセスしてください。**

21.8.3.10 MTPDCMPW (PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPW							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPW							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPW	R/W	PWM パルス幅の設定をします。 分解能は、PWM モード 0 (ノコギリ波) 12.5ns@fsys=80MHz、PWM モード 1 (三角波) 25ns@fsys=80MHz です。MTPDMDCR<PWMCK>を"1"に設定した場合、PWM モード 0 (ノコギリ波) 50ns@fsys=80MHz、PWM モード 1 (三角波) 100ns@fsys=80MHz です。 <CMPW>は、U 相に出力するパルス幅を決定する比較レジスタです。PWM カウンタ MDCNT と大小比較しパルス幅を決定します。 <CMPW>はダブルバッファ構成となっています。したがって、PWM カウンタ動作中でも変更することができます。バッファからレジスタへの転送タイミングは、PWM カウンタ MDCNT が MTPDMDPRD <MDPRD>と一致時に転送されます。割り込みタイミングを 0.5 周期とした時 (MTPDMCR <INTPRD>="00")は、PWM カウンタ MDCNT が"1"または<MDPRD>と一致した時に転送されます。 リード時はバッファの値(バスから設定したデータ)をリードします。

注) **ハーフワードまたはワードアクセスしてください。**

21.8.3.11　MTPDMDOUT(PMD 出力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	WPWM	VPWM	UPWM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	WOC		VOC		UOC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます
10	WPWM	R/W	UVW 相出力の制御を行います。 0: H/L 出力 1: PWM 出力 詳細は表 21-6 を参照してください。
9	VPWN	R/W	
8	UPWN	R/W	
7-6	-	R	リードすると"0"が読めます。
5-4	WOC[1:0]	R/W	UVW 相出力の制御を行います。 詳細は表 21-6 を参照してください。
3-2	VOC[1:0]	R/W	
1-0	UOC[1:0]	R/W	

注)　**ハーフワードまたはワードアクセスしてください。**

21.8.3.12 MTPDMDPOT (PMD 出力設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	POLH	POLL	PSYNCS	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます
3	POLH	R/W	上相の出力ポート極性を選択します。 0: ロー・アクティブ 1: ハイ・アクティブ ※MTPDMDEN<PWMEN>=0 の状態で選択を行って下さい
2	POLL	R/W	下相の出力ポート極性を選択します。 0: ロー・アクティブ 1: ハイ・アクティブ ※MTPDMDEN<PWMEN>=0 の状態で選択を行って下さい。
1-0	PSYNCS	R/W	U,V,W 相出力設定のポート出力反映時のタイミングを選択します。 00: 書き込み時に反映 01: PWM カウンタ MDCNT ="1"(最小) の時、反映 10: PWM カウンタ MDCNT = MTPDMDPRD<MDPRD>(最大)の時、反映 11: PWM カウンタ MDCNT ="1"(最小)および MTPDMDPRD<MDPRD>(最大)の時、反映 ※MTPDMDEN<PWMEN>="0"の状態で選択を行って下さい

21.8.3.13　MTPDEMGREL (EMG 解除レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EMGREL							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-0	EMGREL[7:0]	W	EMG 禁止コードを書き込みます。 <EMGREL[7:0]>に"0x5A"→"0xA5"に設定した後、MTPDEMGCR<EMGEN>に"0"を設定することにより、EMG 機能を禁止することが出来ます

注)　**MTPDEMGREL<EMGREL[7]0]>への"0x5A"書き込みから MTPDEMGCR<EMGEN>の設定まで、3 命令を連続して行う必要があります。**

21.8.3.14 MTPDEMGCR (EMG 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	EMGCNT			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	INHEN	EMGMD		-	EMGRS	EMGEN
リセット後	0	0	1	1	1	0	0	1

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます
11-8	EMGCNT[3:0]	R/W	異常検出入力のノイズ除去時間を設定します。 ノイズ除去時間は以下の計算式で表されます。 EMGCNT[3:0]×16/fsys 0000: ノイズフィルタを経由しません 0001: 入力ノイズ除去時間 16 / fsys[s] 0010: 入力ノイズ除去時間 32 / fsys[s] 0011: 入力ノイズ除去時間 48 / fsys[s] 0100: 入力ノイズ除去時間 64 / fsys[s] 0101: 入力ノイズ除去時間 80 / fsys[s] 0110: 入力ノイズ除去時間 96 / fsys[s] 0111: 入力ノイズ除去時間 112 / fsys[s] 1000: 入力ノイズ除去時間 128 / fsys[s] 1001: 入力ノイズ除去時間 144 / fsys[s] 1010: 入力ノイズ除去時間 160 / fsys[s] 1011: 入力ノイズ除去時間 176 / fsys[s] 1100: 入力ノイズ除去時間 192 / fsys[s] 1101: 入力ノイズ除去時間 208 / fsys[s] 1110: 入力ノイズ除去時間 224 / fsys[s] 1111: 入力ノイズ除去時間 240 / fsys[s]
7-6	-	R	リードすると"0"が読めます
5	INHEN	R/W	ツールブレイク時の PMD 出力の状態を選択します。 0: PMD 出力継続 1: ハイ・インピーダンス 初期状態ではハイ・インピーダンスとなっています。
4-3	EMGMD	R/W	EMG 保護モード選択 00:全相オン/PORT 出力 ハイ・インピーダンス 01: 全相オフ/PORT 出力 ハイ・インピーダンス 10: 全相オン/PORT 出力 許可 11: 全相オフ/PORT 出力 ハイ・インピーダンス ※オン=PWM 出力(出力制御なし)　オフ=Low(ハイアクティブ(POLL/H=1)時) EMG 発生時に、全相（上相および下相） 6 端子の PWM 出力をオン/オフさせます。 また、EMG 発生時の PORT 出力の許可/禁止制御を行ないます。
2	-	R/W	"0"をライトしてください。
1	EMGRS	R/W	EMG 保護状態から復帰します。 0: − 1: 保護状態からの復帰 MTPDMDOUT<WPWM><VPWM><UPWM><WOC[1:0]><VOC[1:0]><UOC[1:0]>に 0 を設定後、<EMGRS>に"1"を設定する事により EMG 保護状態から復帰します。 この bit はリードすると常に 0 が読まれます。
0	EMGEN	R/W	EMG 保護回路の許可/禁止を設定します。 0: 禁止 1: 許可 "1"を設定する事により EMG 保護回路が動作状態となります。初期状態では許可となっています。 禁止するときは MTPDEMGREL<EMGREL>に"0x5A"→"0xA5"を順に設定した後、<EMGEN>に"0"を設定します。（3 命令を連続して行います。）

注)　**MTPDxEMG<EMGRS>で EMG 保護状態から復帰する場合、MTPDEMGSTA<EMGI>をリードして、異常検出入力のレベルが"H"になっていることを確認してください。**

21.8.3.15 MTPDEMGSTA (EMG ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EMGI	EMGST
リセット後	0	0	0	0	0	0	-	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	EMGI	R	異常状態入力のレベルモニタ 0: 異常状態入力のレベルが"L" 1: 異常状態入力のレベルが"H"
0	EMGST	R	EMG 保護の状態モニタ 0: 通常動作中 1: EMG 保護中

21.8.3.16　MTPDDTR (デッドタイムレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DTR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-0	DTR[7:0]	R/W	デッドタイムを設定します。 デッドタイムは以下の計算式で表されます。 100nsec x <DTR[7:0]> (fsys=80MHz)

注)　**MTPDDTR<DTR[7:0]>は MTPDMDEN<PWMEN>="1"の状態では変更しないでください。**

21.9 回路別の動作説明

21.9.1 パルス幅変調回路

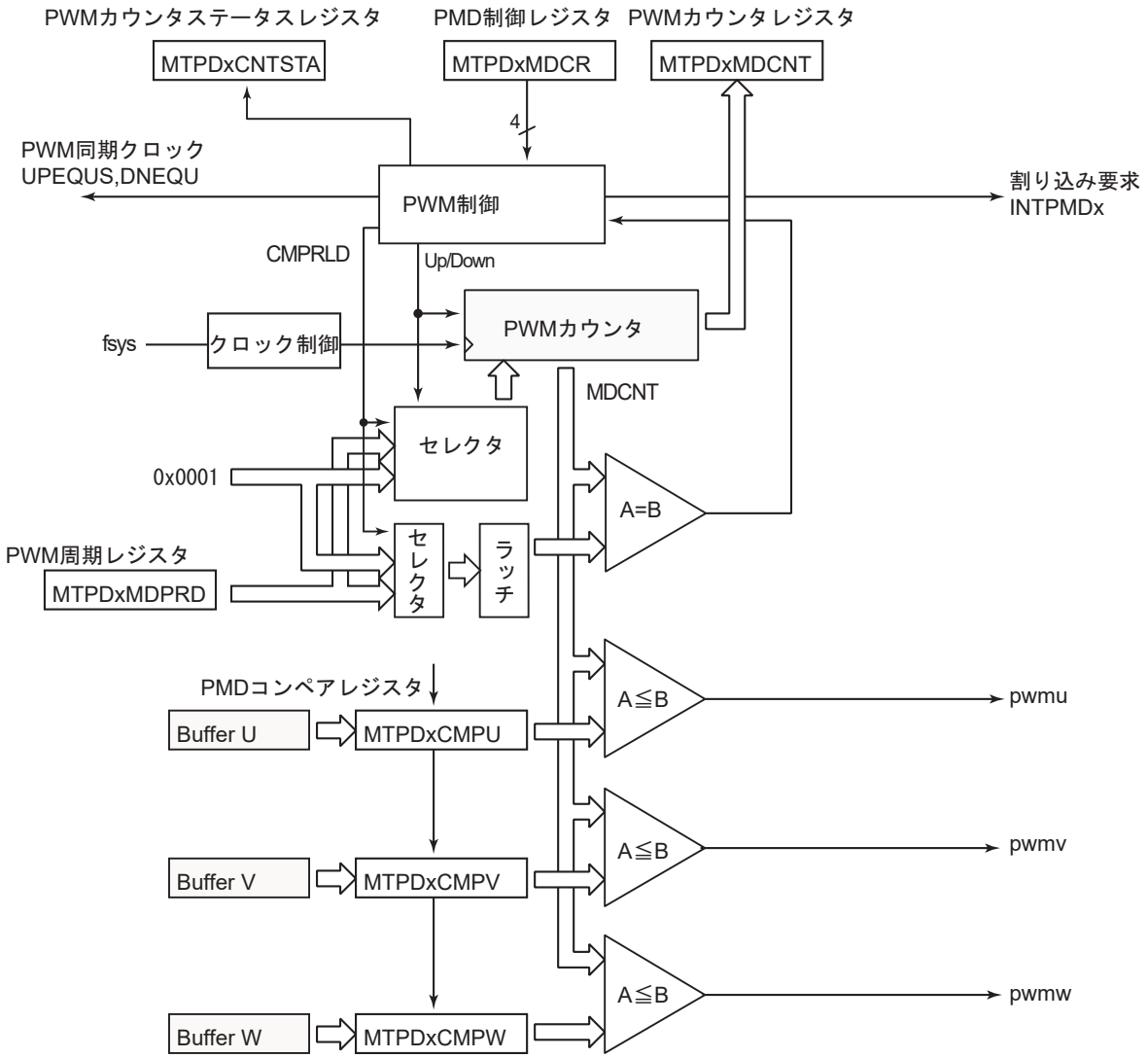


図 21-22 パルス幅変調回路概略図

パルス幅変調回路は、16bit のアップ/ダウンカウンタである PWM カウンタ MDCNT を持ち、PWM モード 0(ノコギリ波)では 12.5ns@fsys=80MHz の分解能で、PWM モード 1(三角波)では 25ns@fsys=80MHz の分解能で PWM キャリアを生成します。また、MTPDMDCR<PWMCK>="1"とすることで、PWM モード 0(ノコギリ波)では 50ns@fsys=80MHz の分解能で、PWM モード 1(三角波)では 100ns@fsys=80MHz の分解能で PWM キャリアを生成します。

PWM キャリアの波形モードは PWM モード 0 としてエッジ PWM（ノコギリ波)、モード 1 としてセンター PWM（三角波）を選択可能です。

1. PWM 周期設定

MTPDMDPRD<MDPRD>レジスタにより PWM 周期を決定します。

MTPDMDPRD レジスタはラッチをもち、ダブルバッファ構成となります。レジスタの値は、PWM 周期に同期して(PWM カウンタ MDCNT が<MDPRD>と一致した時)、コンパレータ入力(ラッチ)に転送されます。MTPDMDCR<INTPRD>を"00"に設定することで PWM 半周期毎の更新も選択できます。

$$\text{のこぎり波PWM : MDPRDレジスタ設定} = \frac{\text{発振周波数[Hz]}}{\text{PWM周波数[Hz]}}$$

$$\text{三角波変調PWM : MDPRDレジスタ設定値} = \frac{\text{発振周波数[Hz]}}{\text{PWM周波数[Hz] x 2}}$$

2. コンペア機能

3 相の PWM コンペアレジスタ（PMDxCMPU/V/W）の値と、PWM カウンタ MDCNT が生成する搬送波とをコンパレータで大小比較して所望のデューティの PWM 波形を生成します。

各相の PWM コンペアレジスタはバッファを持ち、ダブルバッファ構成となります。バッファの値は PWM 周期に同期して（内部カウンタ値が<MDPRD>と一致時)、PWM コンペアレジスタにロードされます。MTPDMDCR<INTPRD>を"00"に設定することで PWM 半周期でのロードも選択できます。

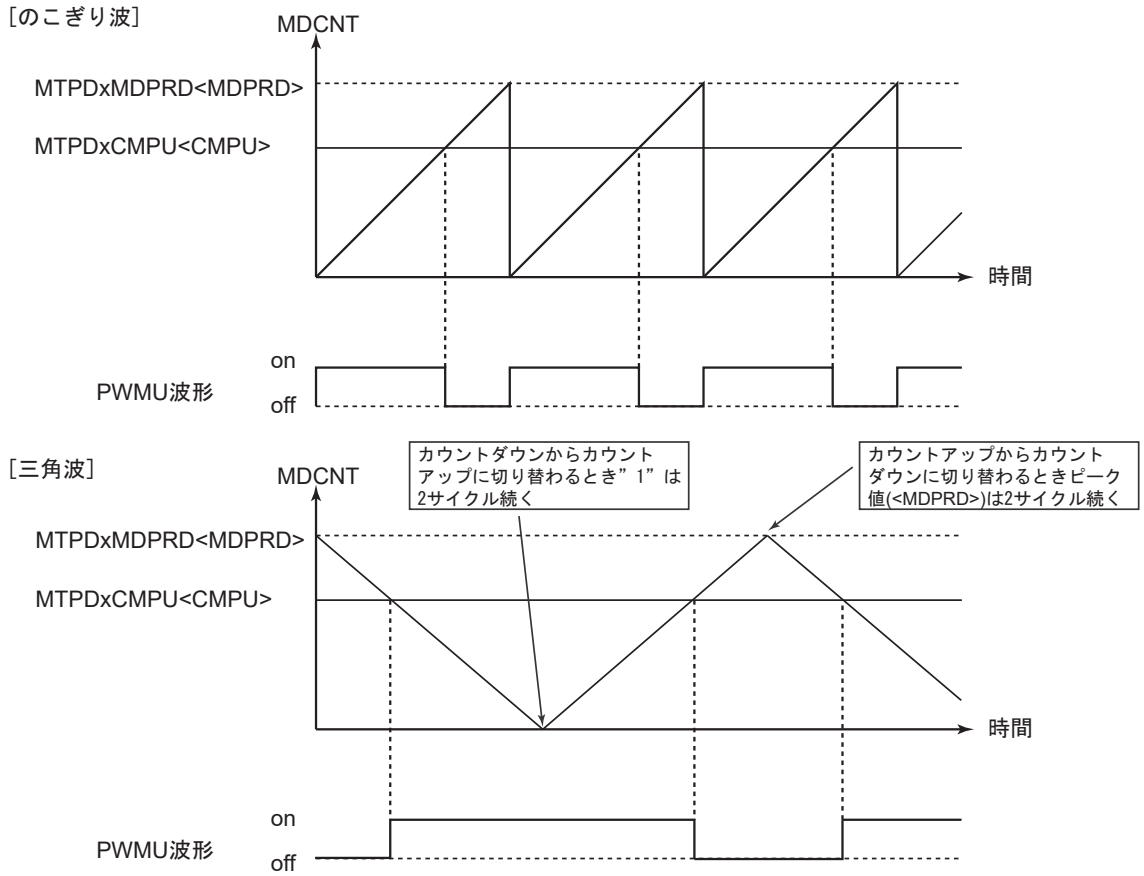


図 21-23 PWM 波形

3. 波形モード

2 種類の 3 相 PWM の生成方法を選択できます。

1. 3 相独立 Duty モード:3 相の PWM コンペアレジスタにそれぞれ独立した値を設定して、3 相の独立した PWM 波形を生成します。これは、正弦波等の任意の駆動波形生成に使用します。

2. 3 相共通 Duty モード：U 相の PWM コンペアレジスタだけに設定し、U 相の設定値で 3 相同一の PWM 波形を生成します。これは、DC モータの矩形波駆動に使用します。

4. 割り込み処理

パルス幅変調回路ではＰWM波形に同期してＰWM割り込み要求を発生します。PWM 割り込みの頻度は PWM 周期半周期に 1 回、1 周期に 1 回、2 周期に 1 回、4 周期に 1 回を選択する事ができます。

21.9.2 通電制御回路

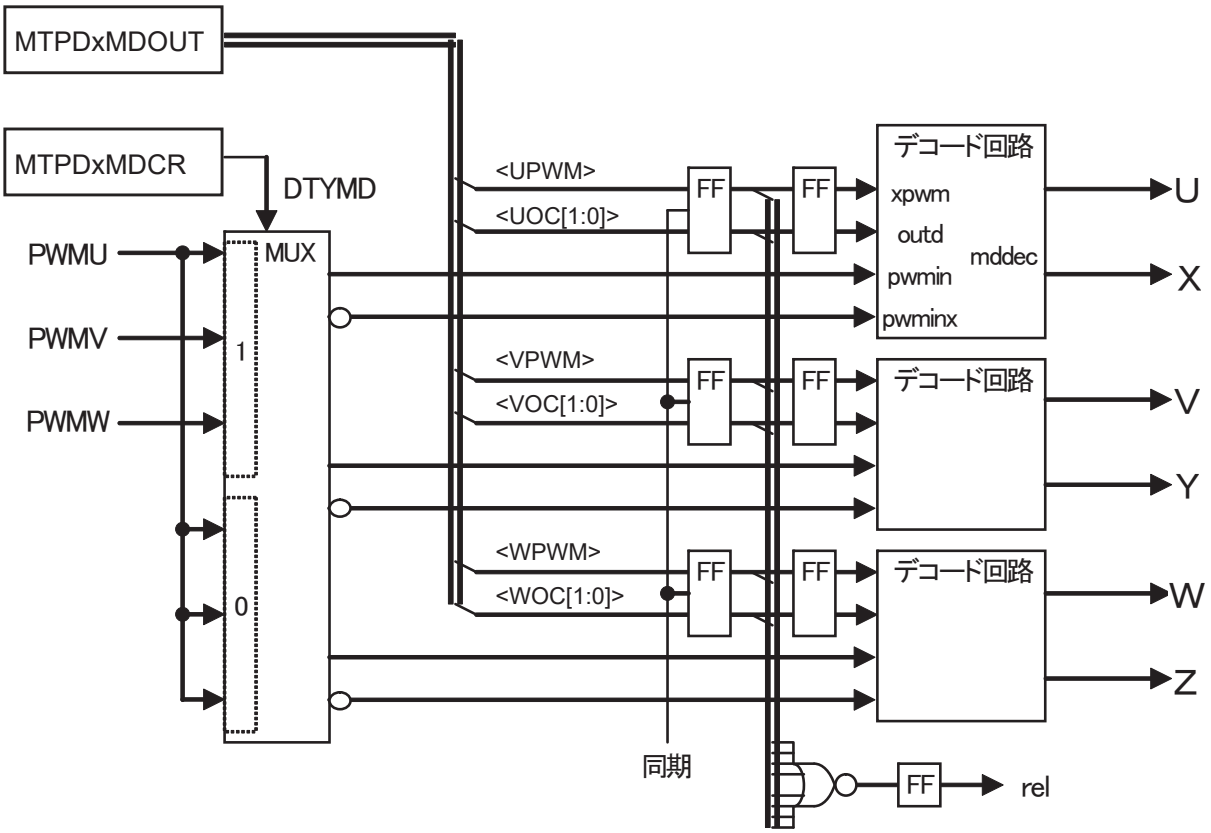


図 21-24 通電制御回路概略図

PMD 出力レジスタ（MTPDMDOUT）に設定された内容により、出力ポートの制御を行います。設定内容は、ポート出力時の同期信号の選択とポート出力設定に分けられます。ポート出力設定はダブルバッファ構成であり、更新タイミングは PWM への同期更新と非同期更新を選択できます。

6 本のポートの出力設定は、それぞれ独立にアクティブ/インアクティブの設定を MTPDMDPOT <POLH><POLL>により行います。さらに、U,V,W の 3 相それぞれに、PWM 出力と H、L 出力との選択を MTPDMDOUT <WPWM><VPWM><UPWM>により設定します。PWM 出力を選択すると PWM 波形が、H、L 出力を選択すると H 固定または L 固定の出力が得られます。MTPDMDOUT によるポ

ート出力設定と PMD 制御レジスタ（MTPDMDCR）の極性設定によって得られる端子出力の関係については、「表 21-6 UOC,VOC,WOC 及び UPWN，VPWN，WPWM の各ビットの設定によるポート出力」を参照してください。

なお、1 シャント電流の検出は下記のように設定することで対応可能です。

表 21-5 1 シャント電流の検出設定一覧

	通常	U 相 PWM シフト	V 相 PWM シフト	W 相 PWM シフト
CMPU	duty_U	MTPDMDPRD <MDPRD>-duty_U	duty_U	duty_U
CMPV	duty_V	duty_V	MTPDMDPRD <MDPRD>D-duty_V	duty_V
CMPW	duty_W	duty_W	duty_W	MTPDMDPRD <MDPRD>-duty_W
<UOC>	11	00	11	11
<VOC>	11	11	00	11
<WOC>	11	11	11	00

表 21-6 UOC,VOC,WOC 及び UPWN，VPWN，WPWM の各ビットの設定によるポート出力

MTPDxMDCR<SYNTMD>=0

極性ハイアクティブ（MTPDxMDPOT<POLH><POLL>="11"）

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> <UOC[0]> (下相)	0：H/L 出力		1： PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	L	L	$\overline{PWM}$	PWM
0	1	L	H	L	PWM
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{PWM}$

MTPDxMDCR<SYNTMD>=0

極性ローアクティブ（MTPDxMDPOT<POLH><POLL>="00"）

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> <UOC[0]> (下相)	0：H/L 出力		1： PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	H	H	PWM	$\overline{PWM}$
0	1	H	L	H	$\overline{PWM}$
1	0	L	H	$\overline{PWM}$	H
1	1	L	L	$\overline{PWM}$	PWM

MTPDxMDCR<SYNTMD>=1

極性ハイアクティブ（MTPDxMDPOT<POLH><POLL>="11"）

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> <UOC[0]> (下相)	0：H/L 出力		1： PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	L	L	$\overline{PWM}$	PWM
0	1	L	H	L	$\overline{PWM}$
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{PWM}$

MTPDxMDCR<SYNTMD>=1

極性ローアクティブ（MTPDxMDPOT<POLH><POLL>="00"）

MDOUT 出力制御		MTPDxMDOUT <WPWM><VPWM><UPWM> H/L/PWM 出力選択			
<WOC[1]> <VOC[1]> <UOC[1]> (上相)	<WOC[0]> <VOC[0]> <UOC[0]> (下相)	0：H/L 出力		1： PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	H	H	PWM	$\overline{PWM}$
0	1	H	L	H	PWM
1	0	L	H	$\overline{PWM}$	H
1	1	L	L	$\overline{PWM}$	PWM

21.9.3 保護制御回路

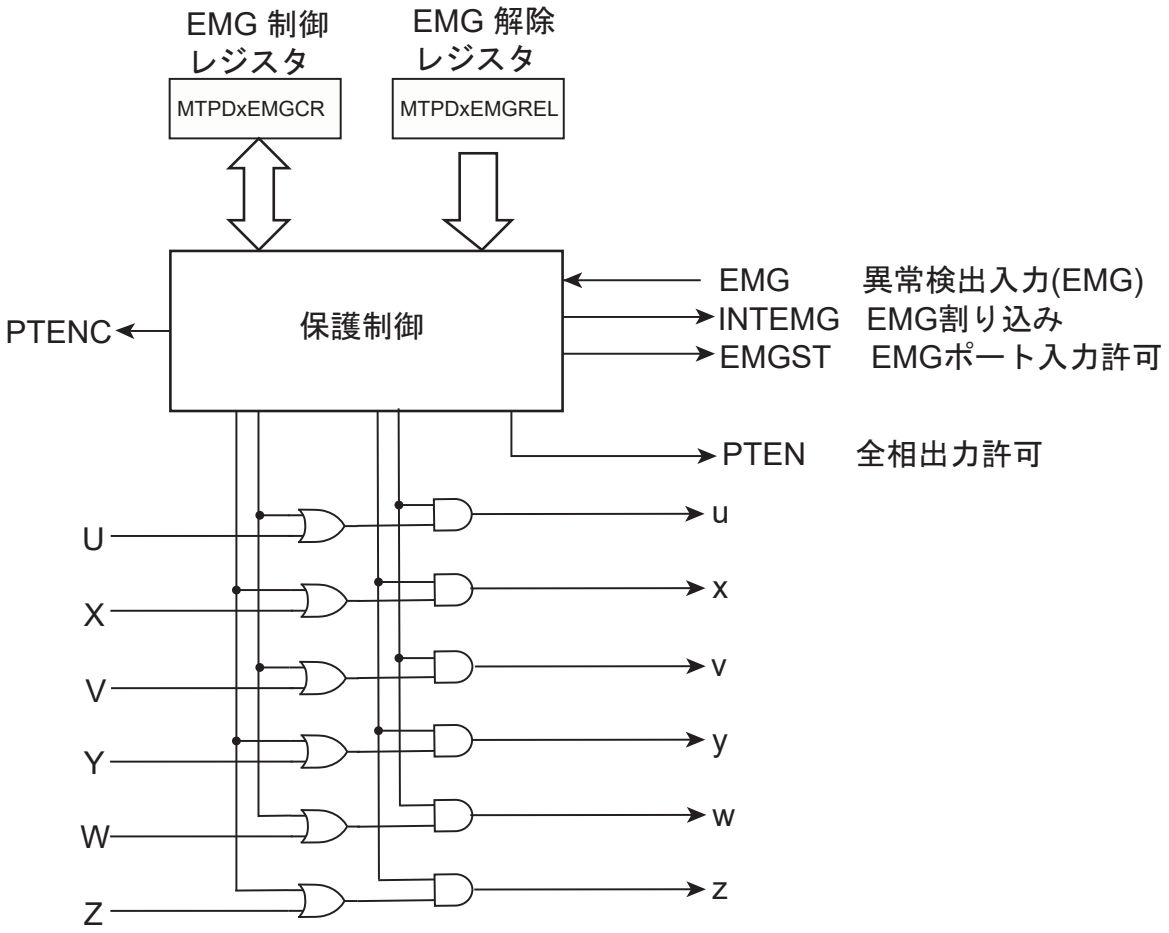


図 21-25 保護制御回路概略図

保護制御回路は EMG 保護制御とポート出力禁止部から構成され、異常検出入力が Low レベルになると動作します。EMG 保護回路は緊急停止用の保護回路であり、異常検出入力があった場合（Hihg レベル→Low レベル）、直ちに 6 本の PWM 出力を禁止し(MTPDEMGCR<EMGMD>の設定によります)、EMG 割り込み（INTEMG）を発生します。

また<EMGMD>の設定により、外部出力ポートをハイ・インピーダンスに設定する制御信号を出力します。

ツールブレイクによる PMD 停止制御時も同様に 6 本の PWM 出力を禁止します、但し<EMGMD>の設定によります。ツールブレイク時は MTPDPORTMD<PORTMD>の設定により、外部出力ポートのハイ・インピーダンス制御を選択することが出来ます。

また、MTPDEMGSTA<EMGST>をリードした時、" 1 "の場合は EMG 保護状態であることを示します。

EMG 保護状態の時は、ポート出力を全てインアクティブに設定(MTPDMDOUT <WPWM><VPWM><UPWM><WOC[1:0]><VOC[1:0]><UOC[1:0]>="0")後、MTPDEMGCR<EMGRS>に"1"を設定することにより EMG 保護状態から復帰することができます。

また、EMG 機能を禁止するには EMG 禁止コードレジスタ（MTPDEMGREL<EMGREL[7:0]>）に 0x5A と 0xA5 を順番に設定後、MTPDEEMGCR<EMGEN>に"0"を設定します（3 命令連続して行います。）。但し、異常検出入力が Low レベルに落ちている間は、復帰処理を行っても無視されます。MTPDEMGSTA<EMGI>をリードし、異常検出入力のレベルが High レベルになったことを確認してから復帰処理をしてください。

EMG 保護回路を禁止するには<EMGREL[7:0]>に所定のキーコード 0x5A、0xA5 を設定する事ではじめて可能になり、誤って EMG 保護回路を禁止する事を防止します。

21.9.4　デッドタイム回路

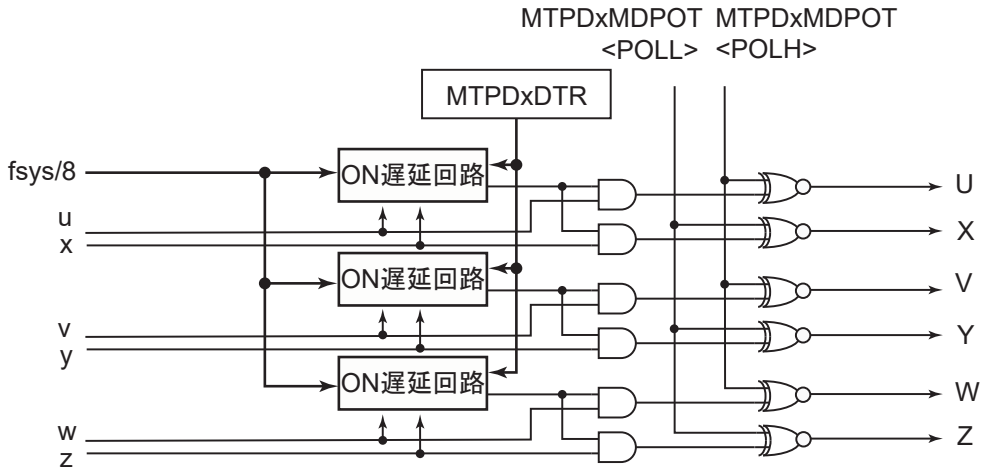


図 21-26 デッドタイム回路概略図

デッドタイム回路はデッドタイム部と出力極性切替部から構成されます。

U,V,W のそれぞれの相において、上下相が逆転する場合に上下相が短絡するのを回避するため、デッドタイムカウンタによりオン時間を遅延させます。遅延時間は、8bit の値により 100ns @ fsys=80MHz の分解能で設定が可能です。遅延時間はデッドタイムレジスタ（MTPDDTR<DTR>）に設定します。

出力極性切替回路は、上相・下相をそれぞれに対してハイアクティブ/ローアクティブを PTPDxMDPOT<POLH><POLL>により設定します。

第 22 章　エンコーダ入力回路 (ENC)

22.1　概要

エンコーダ入力回路は、エンコーダモード、センサモード (2 種類)、タイマモードの 4 つの動作モードに対応しています。また、以下の機能を有しています。

- インクリメンタルエンコーダおよびホール IC センサ対応（センサ信号を直接入力可能）
- 汎用 24 ビットタイマ機能
- 4 逓倍 (6 逓倍) 回路内蔵
- 回転方向検出回路内蔵
- カウンタ (24 ビット) 内蔵
- コンペア許可／禁止設定可能
- 割り込み出力 1 本
- 入力信号についてデジタルノイズフィルタ内蔵

22.2　チャネル別相違点

TMPM367FDXBG は、エンコーダ入力回路を内蔵しています。インクリメンタルエンコーダの信号を直接入力し、モータの絶対位置を容易に得ることができます。

いづれのチャネルも表 22-1 に示される使用相違点を除いて同一の動作をします。

表 22-1 チャネル別仕様相違点

チャネル	入力端子			エンコーダ入力割り込み
	A 相	B 相	Z 相	
チャネル 0	PF7 / ENCA	PF6 / ENCB	PF5 / ENCZ	INTENC

22.3　ブロック図

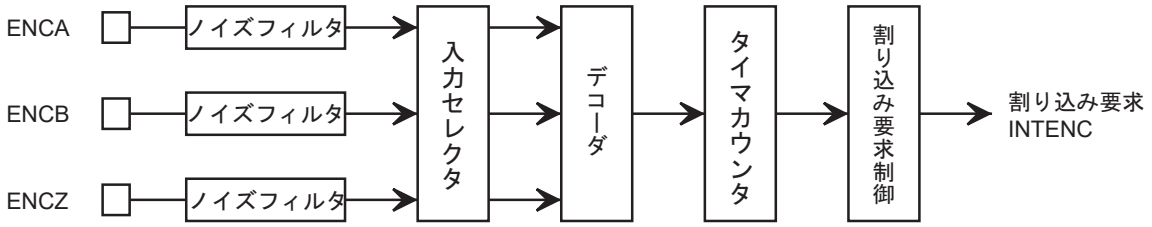


図 22-1 エンコーダ入力回路ブロック図

22.4　レジスタ説明

22.4.1　レジスター覧

エンコーダ入力回路の制御レジスタとアドレスは以下のとおりです。

Base Address = 0x400F_7000

レジスタ名		Address(Base+)
入力制御レジスタ	ENTNCR	0x0000
カウンタリロードレジスタ	ENRELOAD	0x0004
比較レジスタ	ENINT	0x0008
カウンタレジスタ	ENCNT	0x000C

22.4.2 ENTNCR(入力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	MODE		P3EN
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP	REVERR	UD	ZDET	SFTCAP	ENCLR	ZESEL	CMPEN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ZEN	ENRUN	NR		INTEN	ENDEV		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	–	R	リードすると"0"が読めます。
18-17	MODE[1:0]	R/W	エンコーダ入力モード設定 00：エンコーダモード 01：センサモード(イベントカウント) 10：センサモード(タイマカウント) 11：タイマモード
16	P3EN	R/W	2 相 / 3 相入力選択 (センサモード時)　(注 1) 0：2 相入力 1：3 相入力 入力信号の数を設定します
15	CMP	R	コンペア発生フラグ 0：- 1：コンペア発生 (RD でクリア) コンペアが実施されると <CMP> が "1" にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットに値を書き込んでも何も起こりません。
14	REVERR	R	反転エラーフラグ (センサモード(タイマカウント)時) (注 2) 0：- 1：エラー発生 (RD でクリア) センサモード (タイマカウント) 時、反転エラーが発生すると <REVERR> が "1" にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットに値を書き込んでも何も起こりません。 エンコーダモード、センサモード（イベントカウント）およびタイマモードの場合、このビットは意味を持ちません。
13	UD	R	エンコーダ回転方向 0：CCW 方向 (インクリメンタルからエンコーダ信号の A 相が B 相に対して 90 度進んでいる状態) 1：CW 方向 (インクリメンタルからエンコーダ信号の A 相が B 相に対して 90 度遅れている状態) モータが CW 方向に回転しているときは "1" 、CCW 方向に回転しているときは "0" がセットされます。 また、<ENRUN> = "0" のときは常に "0" がセットされます。

Bit	Bit Symbol	Type	機能
12	ZDET	R	Z 相通過検出 0 : Z 非検出 1 : Z 検出 <ENRUN> = "0" → "1" 変化後の Z 相入力 (ENCZ) の最初の検出エッジ (インクリメンタル型エンコーダ信号の Z 相の立ち上がりエッジ (CW 方向)、もしくは立ち下がりエッジ (CCW 方向)) のタイミングで "1" がセットされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットの動作は <ZEN> の値とは無関係です。 センサモード (イベントカウント) およびセンサモード (タイマカウント) の場合、このビットは常に "0" です。
11	SFTCAP	W	ソフトキャプチャ実行 (タイマモード/センサモード(タイマカウント)時) 0 : - 1 : ソフトキャプチャ <SFTCAP> に "1" が書き込まれると、エンコーダカウンタの値をキャプチャし、ENCNT レジスタに格納します。 "0" を書き込んでも何も起こりません。また、リードすると"0"が読めます。 エンコーダモードおよびセンサモード (イベントカウント) の場合、このビットは意味を持たず、"1" を書き込んでも何も起こりません。
10	ENCLR	W	エンコーダパルスカウンタクリア 0 : - 1 : クリア <ENCLR> に "1" が書き込まれると、エンコーダカウンタは 0 クリアされます。クリアされた後は、再びカウントを始めます。"0" を書き込んでも何も起こりません。また、リードすると"0"が読めます。
9	ZESEL	R/W	ENCZ の使用エッジ選択(タイマモード時) 0 : 立ち上がりエッジ 1 : 立ち下がりエッジ タイマモード時、外部トリガとして使用する ENCZ 入力のエッジを選択します。 他のモードの場合、このビットは意味を持ちません
8	CMPEN	R/W	コンペアイネーブル 0 : コンペア実行しない 1 : コンペア実行する <CMPEN> に "1" が書き込まれると、エンコーダカウンタのカウンタ値と ENINT レジスタ値のコンペアを実施します。<CMPEN> に "0" が書き込まれると、コンペアを実施しません。
7	ZEN	R/W	Z 相イネーブル(エンコーダモード/タイマモード時) 0 : 禁止 1 : 許可 他のモードの場合、このビットは意味を持ちません。 <エンコーダモード時> ENCZ 入力によるエンコーダカウンタのクリアを設定 : <ZEN> = "1" のとき、CW 方向に回転しているときは ENCZ の立ち上がりエッジを検出してエンコーダカウンタが 0 クリアされ、CCW 方向に回転しているときは ENCZ の立ち下がりエッジを検出してエンコーダカウンタが 0 クリアされます。ENCLK (A 相、B 相信号を 4 逓倍したクロック) タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダカウンタはカウント動作を行わず 0 クリアされます。(クリア優先) <タイマモード時> ENCZ 入力を外部トリガとして使用するかどうかを設定 : <ZEN> = "1" のとき、<ZESEL> で指定された ENCZ 入力のエッジ 検出で、エンコーダカウンタの値をキャプチャ、およびエンコーダカウンタを 0 クリアします。
6	ENRUN	R/W	エンコーダ動作イネーブル 0 : 禁止 1 : 許可 <ENRUN> = 1 で、<ZDET> を 0 クリアするとともにエンコーダ動作をイネーブルします。 <ENRUN> = 0 で、エンコーダ動作をディセーブルにします。 エンコーダの動作を停止した際 (<ENRUN> ビットを "1" → "0")、クリアされるカウンタおよびフラグと、クリアされないカウンタおよびフラグが存在します。

Bit	Bit Symbol	Type	機能
5-4	NR[1:0]	R/W	ノイズフィルタ 00：ノイズフィルタなし 01：31/fsys 未満のパルスはノイズとして除去 (387.5ns@80MHz) 10：63/fsys 未満のパルスはノイズとして除去 (787.5ns@80MHz) 11：127/fsys 未満のパルスはノイズとして除去 (1587ns@80MHz) デジタルノイズフィルタでノイズとして除去するパルスの幅を設定します。
3	INTEN	R/W	エンコーダ割り込みイネーブル 0：禁止 1：許可 <INTEN> = 1 で割り込み信号の発生をイネーブルにし、<INTEN> = 0 で割り込み信号の発生をディセーブルにします。
2-0	ENDEV[2:0]	R/W	エンコーダパルス分周比 000：1 分周 100：16 分周 001：2 分周 101：32 分周 010：4 分周 110：64 分周 011：8 分周 111：128 分周 エンコーダパルスの分周比を設定します。 この設定に従ってエンコーダパルスが分周され、イベント割り込みの発生周期として使用されます。

注 1)　エンコーダモード、タイマモードの場合は、必ず　<P3EN> = "0" に設定してください。
注 2)　モードを変更した後は、必ず最初にフラグをリードし、クリアしてください。

動作モードは <MODE[1:0]>、<P3EN>、 <ZEN>により決定し、全部で 8 種類の設定があります。

動作モードの設定表を以下に示します。

<MODE[1:0]>	<ZEN>	<P3EN>	入力端子	モード
00	0	0	A, B	エンコーダモード
	1		A,B,Z	エンコーダモード (Z 使用)
01	0	0	U,V	センサモード (イベントカウント , 2 相入力)
		1	U,V,W	センサモード (イベントカウント , 3 相入力)
10	0	0	U,V	センサモード (タイマカウント , 2 相入力)
		1	U,V,W	センサモード (タイマカウント , 3 相入力)
11	0	0	-	タイマモード
	1		Z	タイマモード (Z 使用)

<ENRUN> と各信号の状態を以下に示します。

カウンタ／フラグ	<ENRUN> = 0 時 (リセット解除後)	<ENRUN> = 1 時 (動作中)	<ENRUN> = 0 時 (停止中)	<ENRUN> = 0 時 対象フラグ／カウンタの クリア手段
エンコーダカウンタ	0x000000	カウント動作	停止時の値を保持	ソフトクリア (<ENCLR> = 1 WR)
ノイズフィルタ カウンタ	000_0000	カウントアップ動作	カウントアップ動作 (常時フィルタリング)	リセットのみ
エンコーダパルス 分周カウンタ	0x00	カウントダウン動作	停止してクリア	<ENRUN> = 0 時はクリア
コンペアフラグ <CMP>	0	コンペア時 "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
反転エラーフラグ <REVERR>	0	エラー発生で "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
Z 検出フラグ <ZDET>	0	Z 検出で "1" セット	クリア	<ENRUN> = 0 時はクリア
回転方向ビット <UD>	0	方向検出で "0" / "1" セット	クリア	<ENRUN> = 0 時はクリア

22.4.3 ENRELOAD(カウンタリロードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	RELOAD[15:0]	R/W	エンコーダカウンタの周期（4 逓倍(6 逓倍)後）設定 0x0000 ~ 0xFFFF Z 相使用する場合　: 1 回転分のカウントパルス数を設定 Z 相使用しない場合 : 1 回転分のカウントパルス数−1 を設定 エンコーダカウンタの周期 (4 逓倍後) を設定します。 エンコーダカウンタが UP カウントをおこなっていた場合、カウンタの値が<RELOAD[15:0]> の値と等しくなったら、次の ENCLK タイミングで 0 クリアされます。DOWN カウントをおこなっていた場合、カウンタの値が "0" になった次の ENCLK のタイミングで、<RELOAD[15:0]> の値がエンコーダカウンタにロードされます。

エンコーダモード時のみ使用

22.4.4　ENINT(比較レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能		
31-24	–	R	リードすると"0"が読めます。		
23-0	INT[23:0]	R/W	カウンタ比較値設定		
			エンコーダモード時	エンコーダのパルス位置割り込み発生位置設定	0x0000 ~ 0xFFFF
				<CMPEN> = 1 のときエンコーダカウンタと <INT[15:0]> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であれば割り込み要求 (INTENCx) が発生します。 ただし、<ZEN> = 1 のときは、<ZDET> = 1 になるまでの間の一致については割り込み要求は発生しません。	
			センサモード時 (イベントカウント)	エンコーダのパルス位置割り込み発生位置設定	0x0000 ~ 0xFFFF
				<CMPEN> = 1 のとき、エンコーダカウンタと <INT[15:0]> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であれば割り込み要求 (INTENCx) が発生します。 <ZEN> の値には影響しません。	
			センサモード時 (タイマカウント)	パルス未検出時間異常判定割り込み発生位置設定	0x000000 ~ 0xFFFFFF
				<CMPEN> = 1 のとき、内部カウンタ値が <INT[23:0]> の値と一致すると、パルス未検出時間異常エラーと判定され、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であれば割り込み要求 (INTENCx) が発生します。 <ZEN> の値には影響しません。	
			タイマモード時	タイマコンペア割り込み発生位置設定	0x000000 ~ 0xFFFFFF
				<CMPEN> = 1 のとき、内部カウンタ値が <INT[23:0]> の値と一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = 1 であればタイマコンペア割り込み要求 (INTENCx) が発生します。 <ZEN> の値には影響しません。	

<INT[23:16]>はセンサモード(タイマカウント)、タイマモード時のみ使用

22.4.5 ENCNT(カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能		
31-24	−	R	リードすると"0"が読めます。		
23-0	CNT[23:0]	R/W	エンコーダカウンタ/キャプチャ値		
			エンコーダモード時	エンコーダパルスのカウント値	0x0000 ~ 0xFFFF
				エンコーダパルスのカウント値を読み出すことができます。 エンコーダモード時、エンコーダカウンタは、エンコーダパルス (ENCLK) を UP もしくは DOWN カウントします。 CW 方向に回転しているときは UP カウントを行い、カウンタ値が <RELOAD[15:0]> と等しくなったとき、次の ENCLK タイミングで 0 クリアされます。 CCW 方向に回転しているときは DOWN カウントを行い、カウント値が "0" のとき、次の ENCLK タイミングで <RELOAD[15:0]> の値がカウンタにロードされます。	
			センサモード時 (イベントカウント)	エンコーダパルスのカウント値	0x0000 ~ 0xFFFF
				エンコーダパルスのカウント値を読み出すことができます。 センサモード (イベントカウント) 時、エンコーダカウンタは、エンコーダパルス(ENCLK) を UP もしくは DOWN カウントします。 CW 方向に回転しているときは UP カウントを行い、カウンタ値が 0xFFFF までカウントすると、次の ENCLK タイミングで 0 クリアされます。 CCW 方向に回転しているときは DOWN カウントを行い、カウント値が "0" のとき、次の ENCLK タイミングで 0xFFFF がカウンタにロードされます。	
			センサモード時 (タイマカウント)	パルス検出時間の値 もしくは ソフトキャプチャ値	0x000000 ~ 0xFFFFFF
				エンコーダパルス (ENCLK) によりエンコーダカウンタをキャプチャした値、もしくは、 <SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。キャプチャした値はシステムリセットでクリアされます。また、<ENCLR> = 1 を書き込んでカウンタをクリアした後、ソフトキャプチャすることによりクリアすることも可能です。 センサモード (タイマカウント) 時、エンコーダカウンタは、fsys で UP カウントし、フリーランで動作します。エンコーダパルス (ENCLK) を検出すると 0 クリアされます。0xFFFFFF までカウントすると自動的に 0 クリアされます。	
			タイマモード時	内部カウンタのキャプチャ値もしくは ソフトキャプチャ値	0x000000 ~ 0xFFFFFF
				<SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。<ZEN> = 1 のときは、<ZESEL> で指定された Z 相の検出エッジでもキャプチャされます。キャプチャした値はリセットでクリアされます。<ENCLR> = 1 を書き込んでカウンタをクリアした後にソフトキャプチャすることにより、クリアすることも可能です。 タイマモード時、エンコーダカウンタは、fsys で UP カウントし、フリーランで動作します。0xFFFFFF までカウントすると自動的に 0 クリアされます。	

<CNT[23:16]>はセンサモード(タイマカウント)、タイマモード時のみ使用。(エンコーダモード、センサモード(イベントカウント)時は常に"0"が READ されます。)

22.5　動作説明

22.5.1　エンコーダモード

高速位置センサ対応 (位相判定) で、AB エンコーダ入力および ABZ エンコーダ入力に対応しています。

- イベント検出 (回転パルス) → 割り込み発生
- イベントカウント → 一致割り込み発生(移動量測定)
- 回転方向検出
- アップダウンカウント(動作中随時変更可能)
- カウンタ周期設定可能

22.5.2　センサモード

低速位置センサ対応 (零クロス判定) で、UV ホールセンサ入力および UVW ホールセンサ入力に対応しています。

イベントカウントモードとタイマカウントモード (fsys でカウント) の 2 種類があります。

22.5.2.1　イベントカウントモード

- イベント検出 (回転パルス) → 割り込み発生
- イベントカウント → 一致割り込み発生(移動量測定)
- 回転方向検出

22.5.2.2　タイマカウントモード

- イベント検出 (回転パルス) → 割り込み発生
- タイマカウント
- 回転方向検出
- キャプチャ機能 → イベントキャプチャ(イベント間隔測定)→ 割り込み発生
  ソフトキャプチャ
- 未検出時間によるエラー (タイマコンペア) → 一致割り込み発生
- 反転検出エラー → 回転方向変化によるエラーフラグ

22.5.3　タイマモード

汎用 24 ビットタイマとして使用できます。

- 24 ビットアップカウンタ
- カウンタクリア制御(ソフトクリア、タイマクリア、外部トリガ、フリーランカウント)
- コンペア機能 → 一致割り込み発生
- キャプチャ機能 → 外部トリガキャプチャ→ 割り込み発生
  ソフトキャプチャ

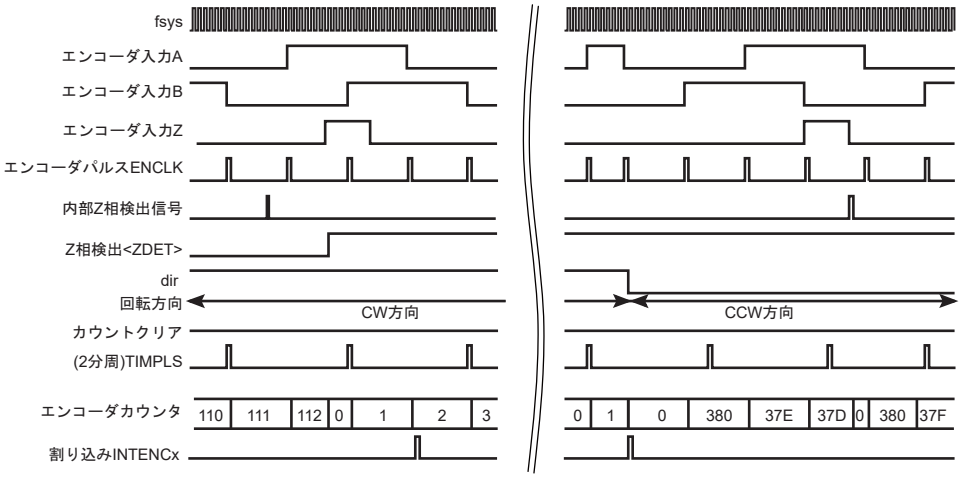
22.6 機能

22.6.1 モード動作概要

22.6.1.1 エンコーダモード

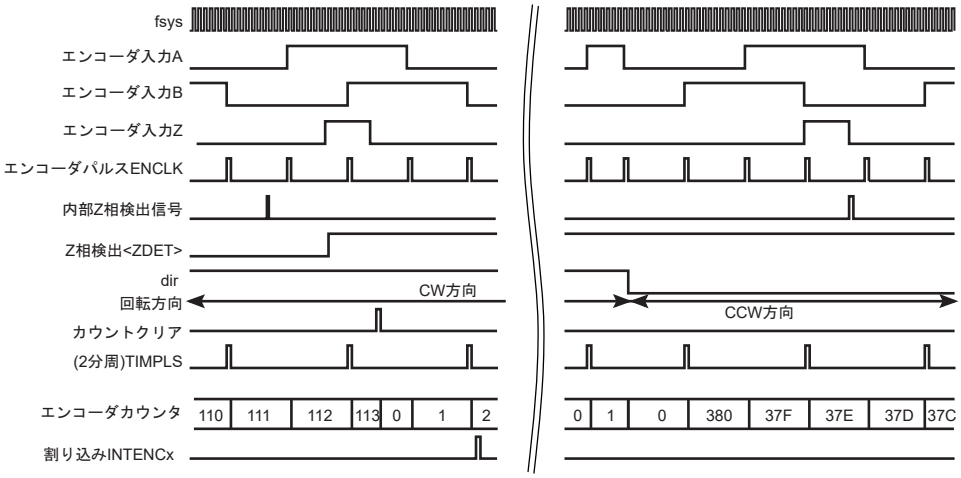
1. ENTNCR<ZEN> = 1 のとき

(ENRELOAD<RELOAD[15:0]> = 0x0380、ENINT<INT[15:0]> = 0x0002)



2. ENTNCR<ZEN> = 0 のとき

(ENRELOAD<RELOAD[15:0]> = 0x0380、ENINT<INT[15:0]> = 0x0002)

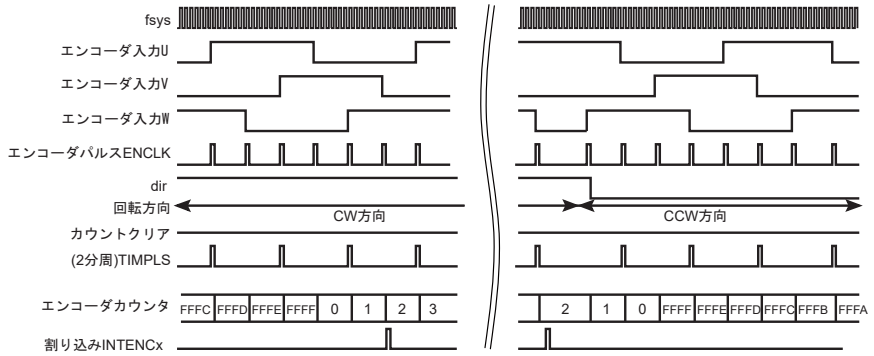


- インクリメンタルエンコーダ入力を A、B、Z 相に接続します。A、B 信号を 4 逓倍して、エンコーダパルス数のカウントを行います。
- CW 方向 (A 相が B 相に対して 90 度進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が ENRELOAD<RELOAD[15:0]> と等しくなったとき、次の ENCLK でカウンタが 0 クリアされます。

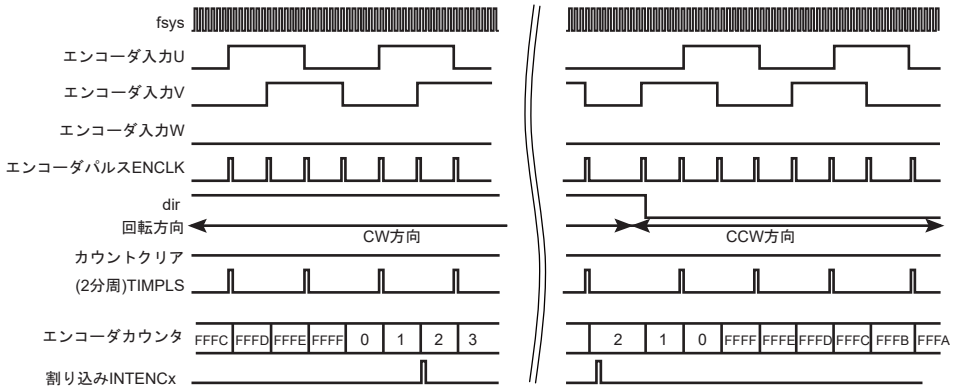
- CCW 方向 (A 相が B 相に対して 90 度遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が 0x0000 と等しくなったとき、次の ENCLK でカウンタに ENRELOAD<RELOAD[15:0]> の値がセットされます。
- さらに、ENTNCR<ZEN> = 1 の場合は、CW 方向に回転しているときは Z 相の立ち上がりエッジでカウンタが 0 クリアされます。CCW 方向に回転しているときは Z 相の立ち下がりエッジでカウンタが 0 クリアされます。ENCLK と Z 相検出のタイミングが同時になったときは、カウント動作を行わず、0 クリアされます。
- ENTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ENTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- ENTNCR<CMPEN> = 1 のとき、ENINT<INT[15:0]> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。ただし、ENTNCR<ZEN> = 1 の場合、ENTNCR<ZDET> = 0 の期間の一致では割り込みを発生しません。
- <ZDET>、<UD> は、ENTNCR<ENRUN> = 0 のときは 0 クリアされます。

22.6.1.2　センサモード (イベントカウント)

1. ENTNCR<P3EN> = 1 のとき (ENINT<INT[15:0]> = 0x0002)



2. ENTNCR<P3EN> = 0 のとき (ENINT<INT[15:0]> = 0x0002)

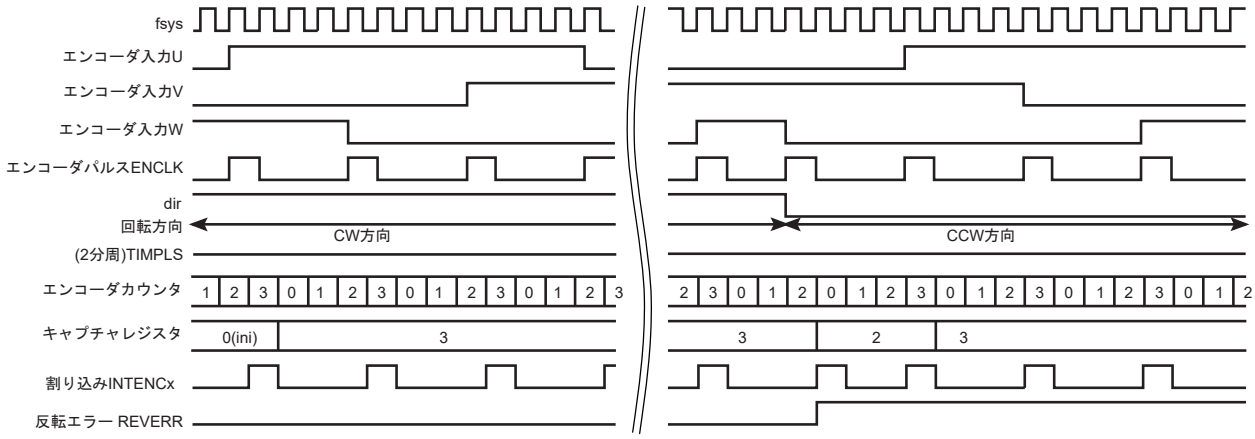


- ホールセンサ入力を U、V、W 相に接続します。ENTNCR<P3EN> = 0 の場合は U、V 信号を 4 逓倍、ENTNCR<P3EN> = 1 の場合は U、V、W 信号を 6 逓倍して、ホールセンサパルス数のカウントを行います。

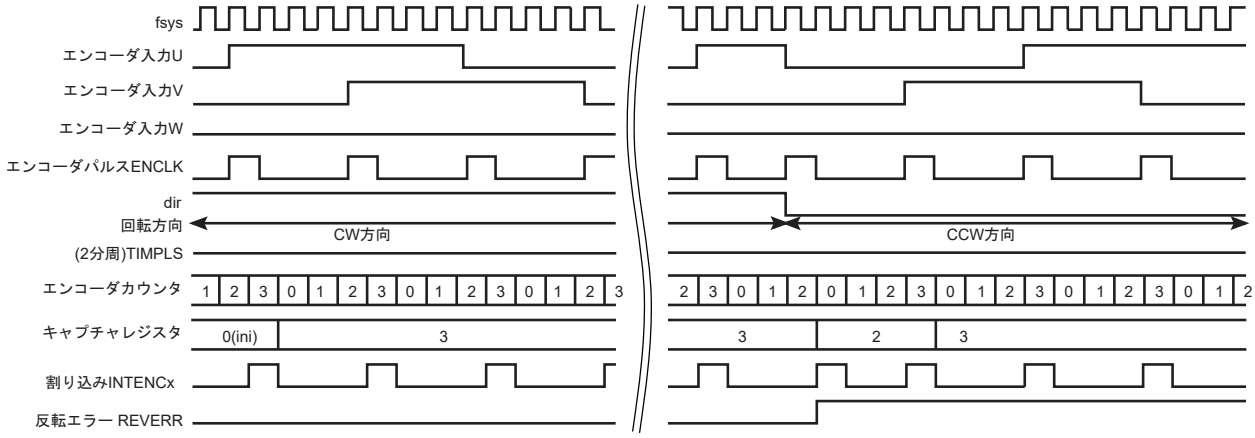
- CW 方向 (U 相が V 相、V 相が W 相に対して 90 度進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が 0xFFFF と等しくなったとき、次の ENCLK でカウンタが 0 クリアされます。
- CCW 方向 (U 相が V 相、V 相が W 相に対して 90 度遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が 0x0000 と等しくなったとき、次の ENCLK でカウンタに 0xFFFF がセットされます。
- ENTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ENTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- ENTNCR<CMPEN> = 1 のとき、ENINT<INT[15:0]> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- ENTNCR<UD> は ENTNCR<ENRUN> = 0 のときは 0 クリアされます。

22.6.1.3 センサモード (タイマカウント)

1. ENTNCR<P3EN> = 1 のとき (ENINT<INT[23:0]> = 0x000002)



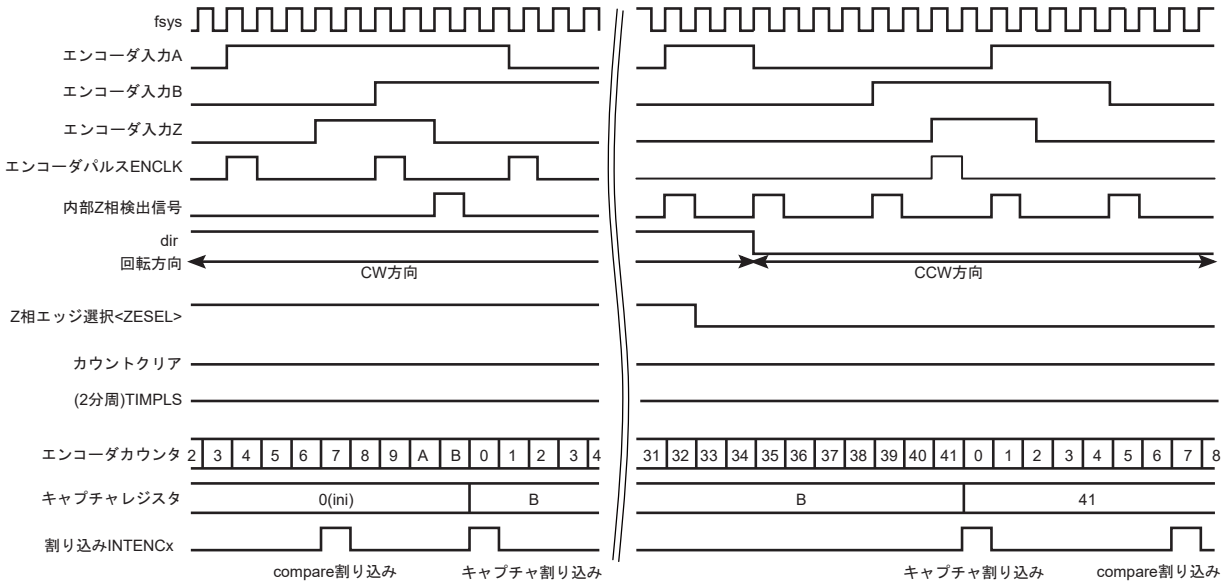
2. ENTNCR<P3EN> = 0 のとき (ENINT<INT[23:0]> = 0x000002)



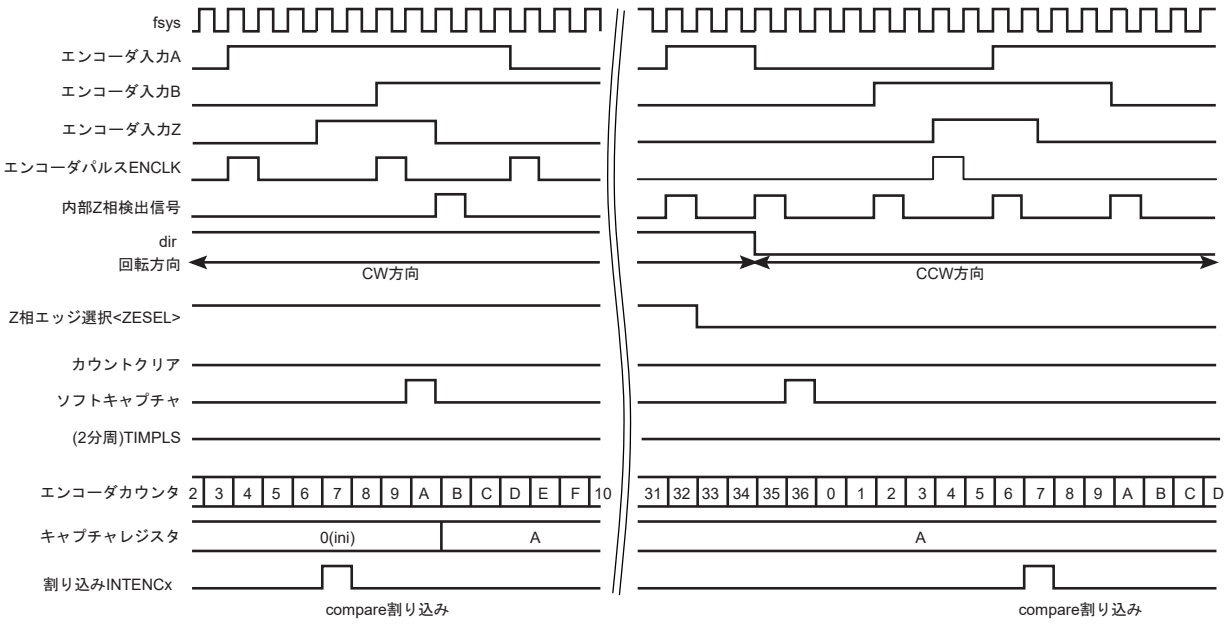
- ホールセンサ入力を U、V、W 相に接続します。ENTNCR<P3EN> = 0 の場合は U、V 信号を 4 逓倍、ENTNCR<P3EN> = 1 の場合は U、V、W 信号を 6 逓倍して、ホールセンサパルス幅のカウントを行います。
- カウンタは常に Up カウントを行い、ENCLK でカウンタが 0 クリアされます。また、カウンタ値が 0xFFFFFF と等しくなったとき、カウンタが 0 クリアされます。
- ENTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ENCLK により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENCNT から読み出すことができます。
- ENTNCR<SFTCAP> に "1" が書き込まれると、発生時のカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENCNT から読み出すことができます。
- ENTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- ENTNCR<CMPEN> = 1 のとき、ENINT<INT[23:0]> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- ENTNCR<UD> は ENTNCR<ENRUN> = 0 のときは 0 クリアされます。
- 回転方向が変化した場合は ENTNCR<REVERR> = 1 にセットされます。フラグは読み出すことでクリアされます。
- ENCNT の値 (キャプチャ値) は、ENTNCR<ENRUN> の値にかかわらず保持されます。ENCNT のクリア要因はリセットのみです。

22.6.1.4　タイマモード

1. ENTNCR<ZEN> = 1 のとき (ENINT<INT[23:0]> = 0x000006)



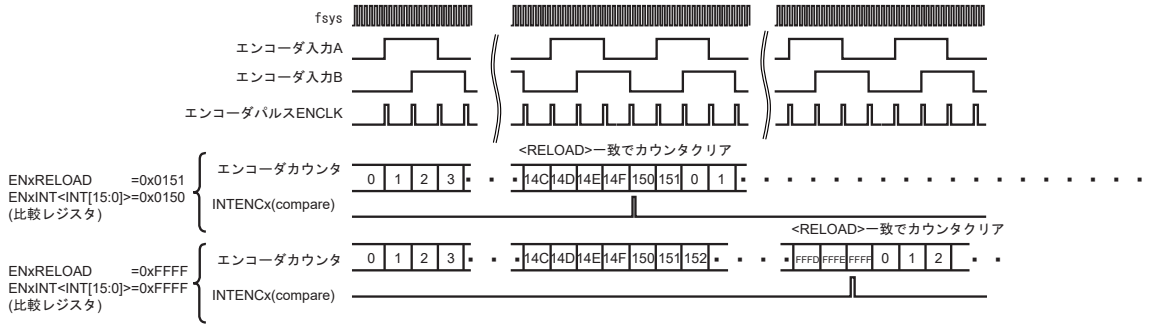
2. ENTNCR<ZEN> = 0 のとき (ENINT<INT[23:0]> = 0x000006)



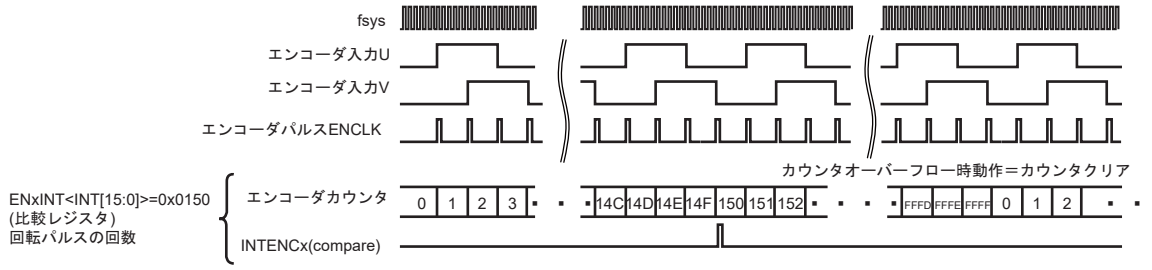
- ENTNCR<ZEN> = 1 のとき、Z 入力端子を外部トリガとして使います。ENTNCR<ZEN> = 0 のとき、外部入力は使用しません。
- カウンタは常に Up カウントを行います。ENTNCR<ZEN> = 1 の場合、ENTNCR<ZESEL> = 0 のときは Z 相の立ち上がりエッジでカウンタが 0 クリアされ、ENTNCR<ZESEL> = 1 のときは Z 相の立ち下がりエッジでカウンタが 0 クリアされます。また、エンコーダカウンタ値が 0xFFFFFF と等しくなったとき、カウンタが 0 クリアされます。
- ENTNCR<ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- Z 相検出により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENCNT から読み出すことができます。
- ENTNCR<SFTCAP> に "1" が書き込まれると、発生時のエンコーダカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENCNT から読み出すことができます。
- ENTNCR<UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- ENTNCR<CMPEN> = "1" のとき、ENINT<INT[23:0]> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。
- ENTNCR<UD> は ENTNCR<ENRUN> = "0" のときは 0 クリアされます。
- ENCNT の値 (キャプチャ値)　は、ENTNCR<ENRUN>の値にかかわらず保持されます。ENCNT のクリア要因はリセットのみです。

22.6.2　カウンタおよび割り込み発生動作　ENTNCR<CMPEN> = 1 のとき

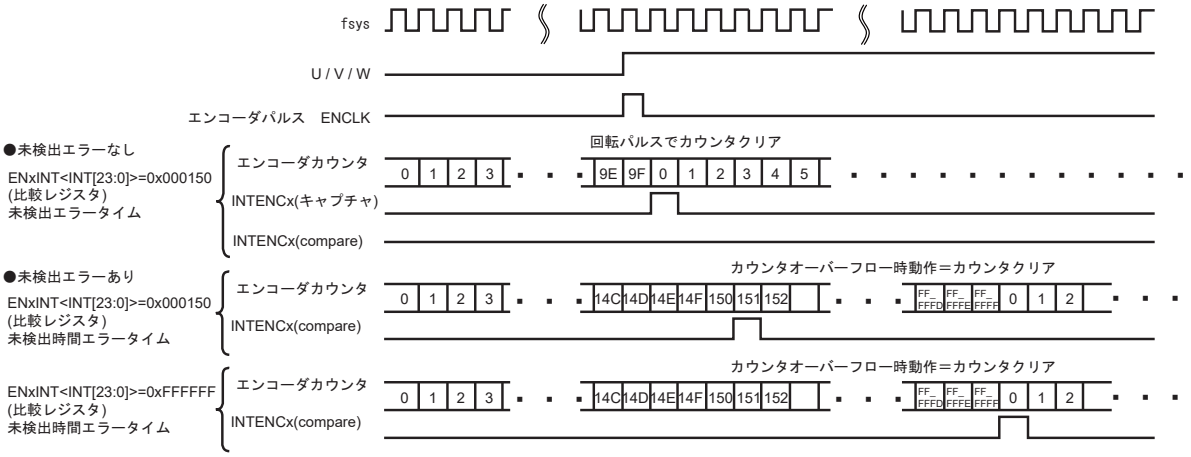
22.6.2.1　エンコーダモード



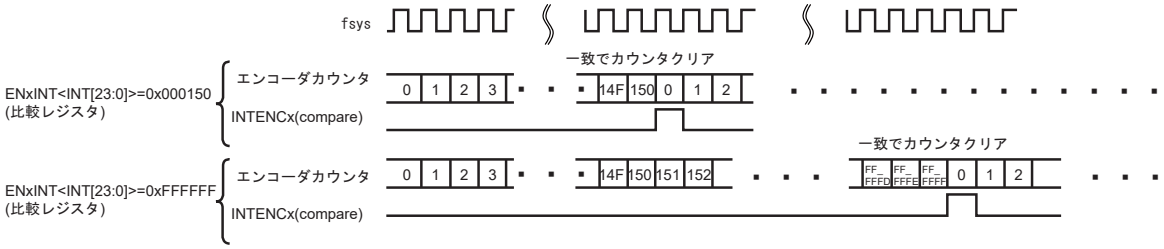
22.6.2.2　センサモード (イベントカウント)



22.6.2.3　センサモード (タイマカウント)



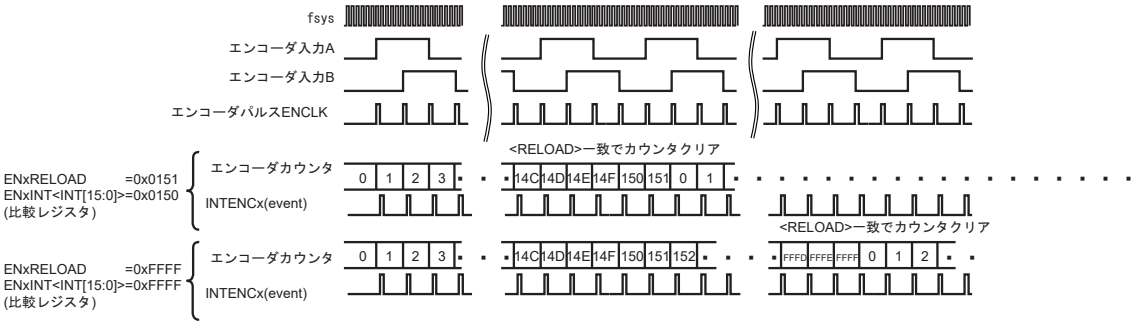
22.6.2.4 タイマモード



22.6.3　カウンタおよび割り込み発生動作　ENTNCR<CMPEN> = 0 のとき

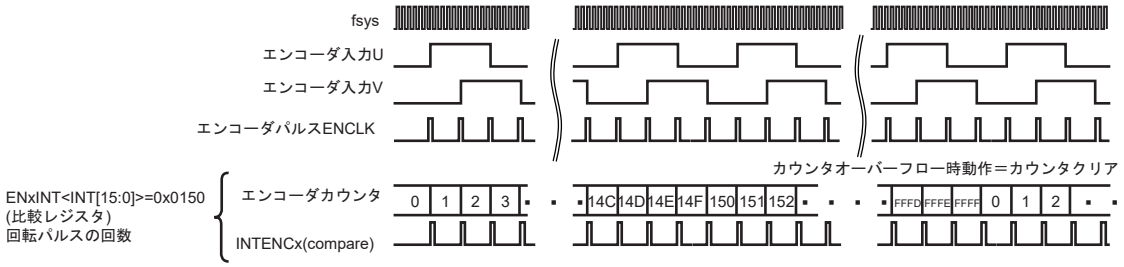
22.6.3.1　エンコーダモード

ENTNCR<ENDEV[2:0]>="000"

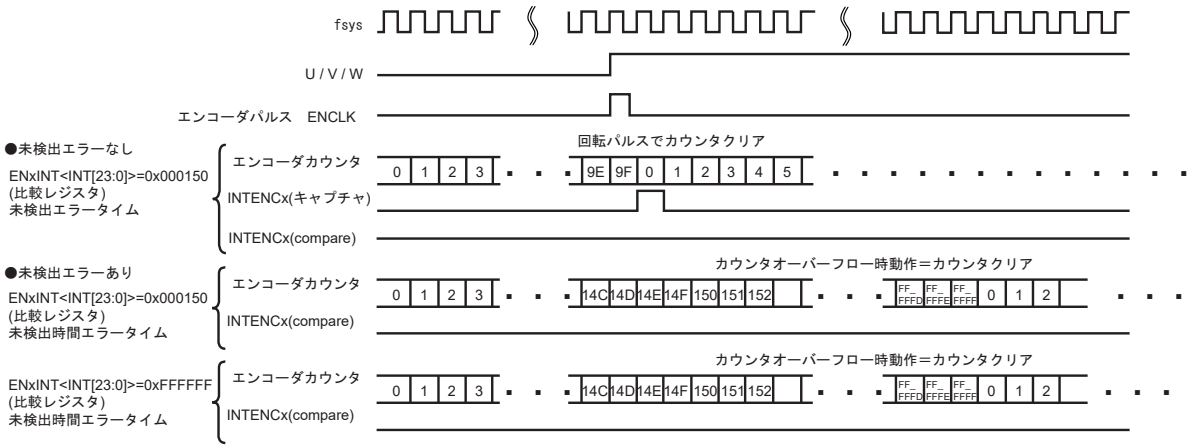


22.6.3.2　センサモード (イベントカウント)

ENTNCR<ENDEV[2:0]>="000"



22.6.3.3　センサモード (タイマカウント)

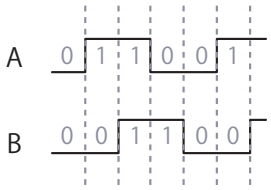
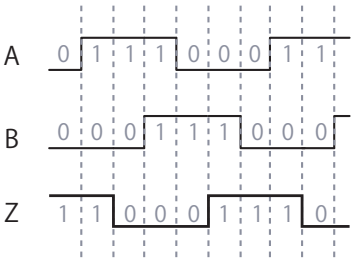
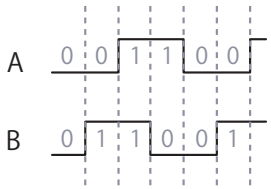
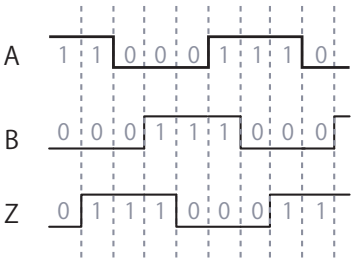


22.6.3.4 タイマモード

22.6.4　エンコーダ回転方向

A,B,Z 相の位相を判定します。

この回路は 2 相 (A,B) ／3 相 (A,B,Z) 入力兼用で使用します。3 相入力時は ENTNCR<P3EN> = 1 に設定します。

	2 相入力時	3 相入力時
CW 方向		
CCW 方向		

22.6.5 カウンタ回路

カウンタ回路は、24bit のアップダウンカウンタを内蔵し、カウンタの制御を行います。

22.6.5.1 動作概要

動作モードにより、カウント動作、クリア、リロードを制御します。カウンタの制御を表 22-2 に示します。

表 22-2 カウンタの制御

モード <MODE[1:0]>	<ZEN>	<P3EN>	入力端子	カウント	動作	カウンタ クリア条件	カウンタ リロード条件	カウンタ動作 可能範囲 (リロード値)
エンコーダモード 00	0	0	A,B	エンコーダパルス (ENCLK)	UP	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致	-	0x0000~<RELOAD>
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
	1		A,B,Z		UP	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致 [3]Z トリガ	-	
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (イベントカウント) 01	0	0	U,V		UP	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	0x0000~0xFFFF
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
		1	U,V,W		UP	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (タイマカウント) 10	0	0	U,V	fsys	UP	[1]<ENCLR> = 1 WR [2]0xFFFFFF ÇýàÍív	-	0x000000~0xFFFFFF
		1	U,V,W		UP	[3] エンコーダパルス (ENCLK)	-	
タイマモード 11	0	×	-		UP	[1]<ENCLR> = 1 WR [2] 0xFFFFFF と一致 [3]<INT[23:0]>と一致	-	0x000000 ~ 0xFFFFFF
	1		Z		UP	[1]<ENCLR> = 1 WR [2] 0xFFFFFF と一致 [3] <INT[23:0]>と一致 [4]Z トリガ	-	

注) カウンタの値は、ENTNCR<ENRUN> = 0 を書き込んでもクリアされません。また、再度<ENRUN> = 1 とすると、停止時のカウンタ値からカウントを再開します。カウンタ値をクリアする場合は、<ENCLR> = 1 を書き込むことでソフトクリアしてください。

22.6.6　割り込み

割り込みには、イベント (分周パルス、キャプチャ) 割り込み、未検出時間異常割り込み、タイマコンペア割り込み、キャプチャ割り込みがあります。

22.6.6.1　動作概要

ENTNCR<INTEN> = 1 のとき、カウンタ値およびエンコーダパルスにより割り込みを発生します。

割り込みの要因は、動作モードおよび ENTNCR<CMPEN>、<ZEN> の設定により以下の 6 種類があります。表 22-3 に割り込み要因を示します。

表 22-3 割り込み要因

	割り込み要因	説明	モード	割り込み出力	Status フラグ
1	イベントカウント割り込み	<CMPEN> = 1 のとき、イベント (回転パルス) の発生をカウントするカウンタを使用し、設定回数 (= <INT[15:0]>) カウントされたことを通知します。	エンコーダモード および センサモード (イベントカウント)	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
2	イベント割り込み (分周パルス)	イベント (エンコーダパルス) の発生を、<ENDEV> の設定により 1 分周 ~ 128 分周して、通知します。		<INTEN> = 1 時	なし
3	イベント割り込み (キャプチャ割り込み)	イベント (エンコーダパルス) の発生およびイベント (回転パルス) でキャプチャが行われたことを通知します。	センサモード (タイマカウント)	<INTEN> = 1 時	なし
4	未検出時間異常割り込み	<CMPEN> = 1 のとき、fsys でカウントしイベント (エンコーダパルス) でクリアするカウンタを使用し、イベントがある一定時間 (=<INT[23:0]>) 以上発生しないことを通知します。		<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
5	タイマコンペア割り込み	<CMPEN> = 1 のとき、タイマで設定時間 (=<INT[23:0]>) カウントしたことを通知します。	タイマモード	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
6	キャプチャ割り込み	外部トリガ (ENCZ 入力) でキャプチャが行われたことを通知します。		<INTEN> = 1 時	なし

センサモード (タイマカウント) およびタイマモード時は、エンコーダカウンタのキャプチャ動作が可能です。

キャプチャした値は、ENCNT から読み出すことができます。

センサモード (タイマカウント) 時は、イベント発生 (エンコーダパルス) により、カウンタの値がキャプチャされます。ENTNCR<SFTCAP> に "1" を書き込むことにより、ソフトキャプチャも可能です。

タイマモード時は、ENTNCR<SFTCAP> に "1" を書き込むことにより、ソフトキャプチャが可能です。ENTNCR<ZEN> = 1 設定時は、ENCZ 入力を使用して、ENTNCR<ZESEL> に従ったエッジでの外部トリガキャプチャも可能です。

第 23 章　リアルタイムクロック(RTC)

23.1　RTC の機能概略

1. 時計機能(時間, 分, 秒)
2. カレンダー機能(月日, 週, うるう年)
3. 24 時間計と 12 時間計(AM/PM)のいずれかを選択可能
4. +/−30 秒補正機能(ソフトウエアによる補正)
5. 割り込み発生

23.2　ブロック図

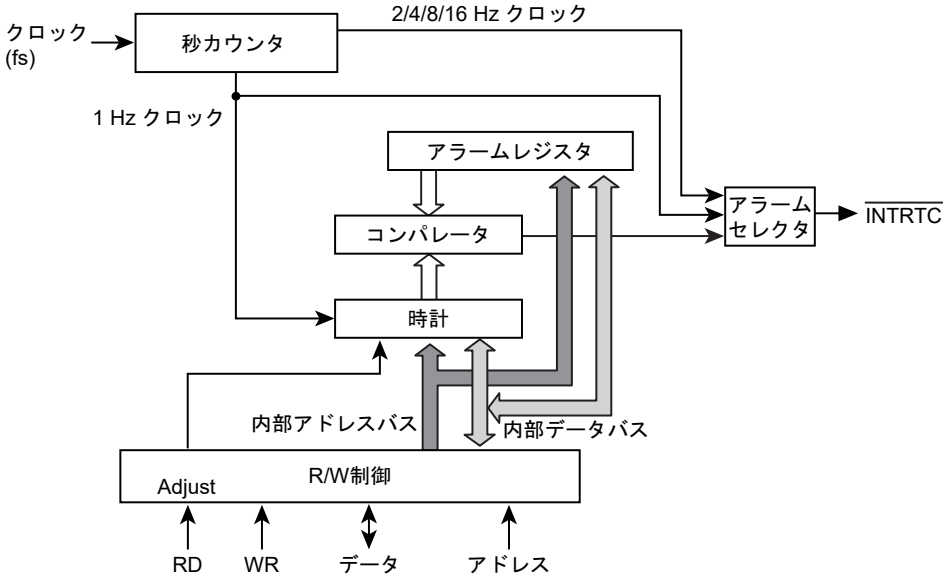


図 23-1 RTC ブロック図

注 1)　西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2)　うるう年について

うるう年は、4 で割り切れる年ですが、例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

23.3　レジスタ説明

23.3.1　レジスター覧

RTC 関連のレジスタとアドレスを以下に示します。

RTC には PAGE0(時計機能)と PAGE1(アラーム機能)の 2 つの機能があり、一部のレジスタを共用しています。PAGE の選択は、RTCPAGER<PAGE>で行います。

Base Address = 0x400C_C000

レジスタ名		Address(Base+)
秒桁レジスタ(PAGE0 のみ)	RTCSECR	0x0000
分桁レジスタ	RTCMINR	0x0001
時間桁レジスタ	RTCHOURR	0x0002
− (注 1)	−	0x0003
曜日桁レジスタ	RTCDAYR	0x0004
日桁レジスタ	RTCDATER	0x0005
月桁レジスタ(PAGE0) 24 時間時計、12 時間時計の選択レジスタ(PAGE1)	RTCMONTHR	0x0006
年桁レジスタ(PAGE0) うるう年レジスタ(PAGE1)	RTCYEARR	0x0007
PAGE レジスタ	RTCPAGER	0x0008
− (注 1)	−	0x0009
− (注 1)	−	0x000A
− (注 1)	−	0x000B
リセットレジスタ	RTCRESTR	0x000C
Reserved	−	0x000D
− (注 1)	−	0x000E
− (注 1)	−	0x000F

注 1)　リードすると"0"が読めます。また、書き込みは無視されます。
注 2)　"Reserved"表記のアドレスにはアクセスしないでください。

23.3.2　コントロールレジスタ

リセット動作により下記レジスタが初期化されます。

- RTCPAGER<PAGE>, <ADJUST>, <INTENA>
- RTCRESTR<RSTALM><RSTTMR>, <DIS16HZ>, <DIS1HZ>, <DIS2HZ>, <DIS4HZ>, <DIS8HZ>

これ以外の時計機能に関するレジスタはリセット動作が行なわれても初期化されません。

RTC を使用する際には各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

時計データの設定, 秒補正, 時計リセットを行う場合注意が必要です。後述の「23.4.3 低消費電力モードへ遷移する場合」を参照してください。

表 23-1 PAGE0 (時計機能)レジスタ

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	–	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁
RTCMINR	–	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁
RTCHOURR	–	–	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁
RTCDAYR	–	–	–	–	–	曜日設定			曜日桁
RTCDATER	–	–	20 日	10 日	8 日	4 日	2 日	1 日	日桁
RTCMONTHR	–	–	–	10 月	8 月	4 月	2 月	1 月	月桁
RTCYEARR	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁(西暦下 2 桁)
RTCPAGER	割り込み 許可	–	–	秒補正 設定	時計許可	アラーム 許可	–	PAGE 設定	PAGE レジスタ
RTCRESTR	1 Hz 許可	16 Hz 許可	時計 リセット	アラーム リセット	–	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセット レジスタ

注) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

表 23-2 PAGE1 (アラーム機能)レジスタ

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	–	–	–	–	–	–	–	–	–
RTCMINR	–	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁
RTCHOURR	–	–	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁
RTCDAYR	–	–	–	–	–	曜日設定			アラーム曜日桁
RTCDATER	–	–	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁
RTCMONTHR	–	–	–	–	–	–	–	24/12	24 時間クロックモード
RTCYEARR	–	–	–	–	–	–	うるう年設定		うるう年モード
RTCPAGER	割り込み 許可	–	–	秒補正 設定	時計許可	アラーム 許可	–	PAGE 設定	PAGE レジスタ
RTCRESTR	1 Hz 許可	16 Hz 許可	時計 リセット	アラーム リセット	–	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセット レジスタ

注 1) **PAGE1 の RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。**

注 2) **PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCDATER, RTCMONTHR, RTCYEARR および PAGE1 の RTCYEARR(うるう年)レジスタのリード動作は 2 回行い、比較処理を行ってください。**

23.3.3　レジスタ詳細

23.3.3.1　RTCSECR(秒桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	SE						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	–	R	リードすると"0"が読めます。
6-0	SE	R/W	秒桁設定 000_0000 : 00 秒　001_0000 : 10 秒　010_0000 : 20 秒 000_0001 : 01 秒　001_0001 : 11 秒　・ 000_0010 : 02 秒　001_0010 : 12 秒　011_0000 : 30 秒 000_0011 : 03 秒　001_0011 : 13 秒　・ 000_0100 : 04 秒　001_0100 : 14 秒　100_0000 : 40 秒 000_0101 : 05 秒　001_0101 : 15 秒　・ 000_0110 : 06 秒　001_0110 : 16 秒　101_0000 : 50 秒 000_0111 : 07 秒　001_0111 : 17 秒　・ 000_1000 : 08 秒　001_1000 : 18 秒　・ 000_1001 : 09 秒　001_1001 : 19 秒　101_1001 : 59 秒

注)　上記以外の設定はしないでください。

23.3.3.2　RTCMINR(分桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	MI						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	–	R	リードすると"0"が読めます。
6-0	MI	R/W	分桁設定 000_0000 : 00 分　001_0000 : 10 分　010_0000 : 20 分　11_1111 : don't care (PAGE1 のみ) 000_0001 : 01 分　001_0001 : 11 分　・ 000_0010 : 02 分　001_0010 : 12 分　011_0000 : 30 分 000_0011 : 03 分　001_0011 : 13 分　・ 000_0100 : 04 分　001_0100 : 14 分　100_0000 : 40 分 000_0101 : 05 分　001_0101 : 15 分　・ 000_0110 : 06 分　001_0110 : 16 分　101_0000 : 50 分 000_0111 : 07 分　001_0111 : 17 分　・ 000_1000 : 08 分　001_1000 : 18 分　・ 000_1001 : 09 分　001_1001 : 19 分　101_1001 : 59 分

注)　上記以外の設定はしないでください。

23.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))

(1) 24 時間クロックモード(RTCMONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	–	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 00_0000 : 00 時　01_0000 : 10 時　10_0000 : 20 時 00_0001 : 01 時　01_0001 : 11 時　10_0001 : 21 時 00_0010 : 02 時　01_0010 : 12 時　10_0010 : 22 時 00_0011 : 03 時　01_0011 : 13 時　10_0011 : 23 時 00_0100 : 04 時　01_0100 : 14 時 00_0101 : 05 時　01_0101 : 15 時　11_1111 : don't care (PAGE1 のみ) 00_0110 : 06 時　01_0110 : 16 時 00_0111 : 07 時　01_0111 : 17 時 00_1000 : 08 時　01_1000 : 18 時 00_1001 : 09 時　01_1001 : 19 時

注) 上記以外の設定はしないでください。

(2) 12 時間クロックモード(RTCMONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	–	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (AM)　(PM) 00_0000 : 00 時　10_0000 : 00 時　11_1111 : don't care (PAGE1 のみ) 00_0001 : 01 時　10_0001 : 01 時 00_0010 : 02 時　10_0010 : 02 時 00_0011 : 03 時　10_0011 : 03 時 00_0100 : 04 時　10_0100 : 04 時 00_0101 : 05 時　10_0101 : 05 時 00_0110 : 06 時　10_0110 : 06 時 00_0111 : 07 時　10_0111 : 07 時 00_1000 : 08 時　10_1000 : 08 時 00_1001 : 09 時　10_1001 : 09 時 01_0000 : 10 時　11_0000 : 10 時 01_0001 : 11 時　11_0001 : 11 時

注) 上記以外の設定はしないでください。

23.3.3.4　RTCDAYR(曜日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WE		
リセット後	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-3	–	R	リードすると"0"が読めます。
2-0	WE	R/W	曜日桁設定 000 : 日曜日　111 : don't care (PAGE1 のみ) 001 : 月曜日 010 : 火曜日 011 : 水曜日 100 : 木曜日 101 : 金曜日 110 : 土曜日

注)　上記以外の設定はしないでください。

23.3.3.5　RTCDATER(日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	DA					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	–	R	リードすると"0"が読めます。
5-0	DA	R/W	日桁設定 01_0000 : 10 日　10_0000 : 20 日　11_0000 : 30 日 00_0001 : 01 日　01_0001 : 11 日　10_0001 : 21 日　11_0001 : 31 日 00_0010 : 02 日　01_0010 : 12 日　10_0010 : 22 日 00_0011 : 03 日　01_0011 : 13 日　10_0011 : 23 日　11_1111 : don't care (PAGE1 のみ) 00_0100 : 04 日　01_0100 : 14 日　10_0100 : 24 日 00_0101 : 05 日　01_0101 : 15 日　10_0101 : 25 日 00_0110 : 06 日　01_0110 : 16 日　10_0110 : 26 日 00_0111 : 07 日　01_0111 : 17 日　10_0111 : 27 日 00_1000 : 08 日　01_1000 : 18 日　10_1000 : 28 日 00_1001 : 09 日　01_1001 : 19 日　10_1001 : 29 日

注 1)　上記以外の設定はしないでください。
注 2)　2 月 30 日など、存在しない日は設定しないでください。

23.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	MO				
リセット後	0	0	0	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-5	–	R	リードすると"0"が読めます。
4-0	MO	R/W	月桁設定 0_0001 : 1 月　0_0111 : 7 月 0_0010 : 2 月　0_1000 : 8 月 0_0011 : 3 月　0_1001 : 9 月 0_0100 : 4 月　1_0000 : 10 月 0_0101 : 5 月　1_0001 : 11 月 0_0110 : 6 月　1_0010 : 12 月

注)　上記以外の設定はしないでください。

23.3.3.7 RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MO0
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
7-1	–	R	リードすると"0"が読めます。
0	MO0	R/W	0 : 12 時間 1 : 24 時間

注)　RTC 動作時(RTCPAGER<ENATMR> = "1")には、RTCMONTHR<MO0>を操作しないでください。

23.3.3.8　RTCYEARR(年桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	YE							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-0	YE	R/W	年桁設定 0000_0000 : 00 年　0001_0000 : 10 年　0110_0000 : 60 年 0000_0001 : 01 年　・　・ 0000_0010 : 02 年　0010_0000 : 20 年　0111_0000 : 70 年 0000_0011 : 03 年　・　・ 0000_0100 : 04 年　0011_0000 : 30 年　1000_0000 : 80 年 0000_0101 : 05 年　・　・ 0000_0110 : 06 年　0100_0000 : 40 年　1001_0000 : 90 年 0000_0111 : 07 年　・　・ 0000_1000 : 08 年　01001_0000 : 50 年　・ 0000_1001 : 09 年　・　1001_1001 : 99 年

注)　上記以外の設定はしないでください。

23.3.3.9　RTCYEARR(うるう年レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	LEAP	
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
7-2	–	R	リードすると"0"が読めます。
1-0	LEAP	R/W	00 : 現在の年(今年)がうるう年 01 : 現在がうるう年から 1 年目 10 : 現在がうるう年から 2 年目 11 : 現在がうるう年から 3 年目

23.3.3.10 RTCPAGER(PAGE レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	INTENA	-	-	ADJUST	ENATMR	-	-	PAGE
リセット後	0	0	0	0	不定	不定	0	0

Bit	Bit Symbol	Type	機能
7	INTENA	R/W	INTRTC 0: 禁止 1: 許可
6-5	−	R	リードすると"0"が読めます。
4	ADJUST	R/W	[ライト] 0: Don't care 1: ADJUST 要求セット 秒を補正します。要求は秒カウンタのカウントアップ時にサンプリングされ、秒が 0~29 秒の場合秒桁のみ "0" になります。また、30~59 秒のときは分を桁上げして秒を"0"にします。 [リード] 0: ADJUST 要求なし 1: ADJUST 要求あり "1"の場合 ADJUST 実行中を示し、"0"で処理が終了したことを示します。
3	ENATMR	R/W	時計 0: 禁止 1: 許可
2	ENAALM	R/W	ALARM 0:禁止 1:許可
1	−	R	リードすると"0"が読めます。
0	PAGE	R/W	PAGE 設定 0:Page0 が選択されます。 1:Page1 が選択されます。

注 1) このレジスタはリードモディファイライトできません。

注 2) <ENATMR>割り込み許可ビットと、<INTENA>の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。(時計許可と割り込み許可の設定間に時間差を設ける。)
また、<ENATMR>の設定を変更する際には、<INTENA>を禁止してから行ってください。

(例)現時刻設定

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	0	0	0	時計許可
RTCPAGER	←	1	0	0	0	1	0	0	0	割り込み許可

23.3.3.11　RTCRESTR(リセットレジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	DIS2HZ	DIS4HZ	DIS8HZ
リセット後	1	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
7	DIS1HZ	R/W	1 Hz 割り込み 0: 許可 1: 禁止
6	DIS16HZ	R/W	16 Hz 割り込み 0: 許可 1: 禁止
5	RSTTMR	R/W	[ライト] 0: Don't care 1: 秒カウンタリセット 　秒カウンタをリセットします。要求は低速クロックでサンプリングされます。 [リード] 0: リセット要求なし 1: リセット要求あり 　"1"の場合リセット実行中を示し、"0"で処理が終了したことを示します。
4	RSTALM	R/W	0: Don't care 1: アラームリセット 　アラームレジスタ(分、時、日、週桁レジスタ)を初期化します。 　初期化後は、00 分、00 時、01 日、日曜日になります。
3	–	R	リードすると"0"が読めます。
2	DIS2HZ	R/W	2 Hz 割り込み 0: 許可 1: 禁止
1	DIS4HZ	R/W	4 Hz 割り込み 0: 許可 1: 禁止
0	DIS8HZ	R/W	8 Hz 割り込み 0: 許可 1: 禁止

注)　このレジスタはリードモディファイライトできません。

アラーム、1Hz 割り込み、2Hz 割り込み、4Hz 割り込み、8Hz 割り込み、16Hz 割り込み、で使用する場合の<DIS1HZ>, <DIS2HZ>, <DIS4HZ>, <DIS8HZ>, <DIS16HZ>, RTCPAGER <ENAALM>の設定を以下に示します。

表 23-3 割り込みソース信号の選択

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割り込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1 Hz
1	0	1	1	1	0	2 Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16 Hz
その他						割り込みは発生しません。

23.4 動作説明

RTC 内部には 32.768 kHz の信号から 1 Hz の信号を発生する秒カウンタが内蔵されており、このカウンタの動作を考慮して使用する必要があります。

23.4.1 時計データをリードする場合

1. 1 Hz 割り込みを利用する

   秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1 Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2 度読みを利用する

   時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

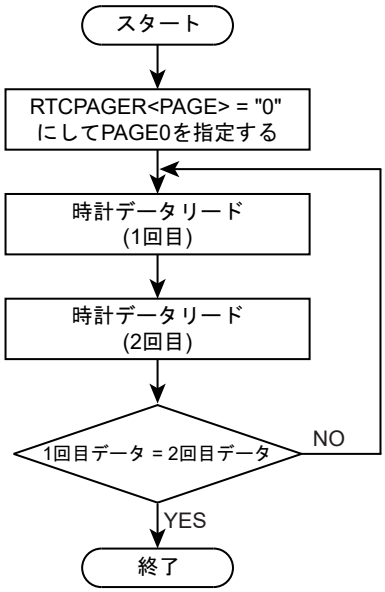


図 23-2 時計データのリードフロー

23.4.2 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

1. 1 Hz 割り込みを利用する

   秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1Hz 割り込みを待って、次の 1 s カウントアップまでの間にデータをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

   秒カウンタをリセットした後にデータをライトします。

カウンタリセット後に 1 Hz 割り込みを許可した場合、1 秒後に 1 Hz 割り込みが発生しますので、1 秒以内に時間設定を行うようにしてください。

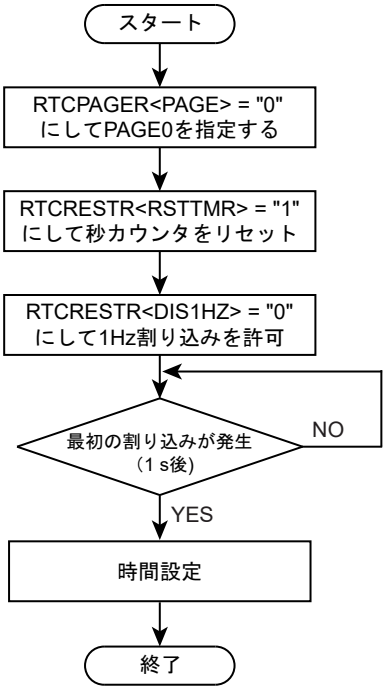


図 23-3 データライトのフロー

3. 時計を禁止する

RTCPAGER<ENATMR>に"0"をライトすると、時計は禁止となって桁上げは禁止されます。

1 Hz 割り込み発生後に時計を停止し(このとき秒カウンタは動作を継続)、次の 1 Hz 割り込みが発生する前(1 s 以内)に再度時計データを設定し時計を許可してください。

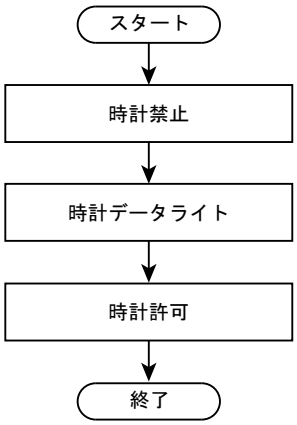


図 23-4 時計を禁止するフローチャート

23.4.3 低消費電力モードへ遷移する場合

時計データの設定, 秒補正, 時計リセット後にシステムクロックが停止するモード(SLEEP モード)へ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. 時計データの変更または<ADJUST>, <RSTTMR>操作後に 1 秒割り込みの発生を待つ。
2. 時計データの変更または<ADJUST>, <RSTTMR>操作後、時計レジスタ値<ADJUST>/<RSTTMR>の値を Read し、反映を確認する。

23.5 アラーム機能の説明

RTCPAGER<PAGE>に"1"をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。

INTRTC 割り込み信号は立ち下がりエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、"立下りエッジ"に設定してください。

23.5.1 アラームレジスタと時計の一致で割り込みを発生させる

PAGE1 のアラームレジスタと PAGE0 の時計の内容が一致したとき INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

まず、アラーム禁止状態で、初期化を行います。アラームの初期化は RTCRESTR<RSTALM>に"1"をライトすることにより行われ、アラーム分桁、アラーム時桁、アラーム日桁、アラーム曜日桁は 00 分、00 時、01 日、日曜日になります。

PAGE1 のアラーム分桁、アラーム時桁、アラーム日桁、アラーム曜日桁の設定を行い、RTCPAGER<ENAALM>でアラームを許可します。

最後に RTCPAGER<INTENA>で割り込みを許可します。

例えば、月曜日 5 時正午(12:00)にアラーム割り込みを発生させるプログラムを下記に示します。

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	0	0	1	アラーム禁止、PAGE1 設定
RTCRESTR	←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR	←	0	0	0	0	0	0	0	1	月曜日
RTCDATER	←	0	0	0	0	0	1	0	1	5 日
RTCHOURR	←	0	0	0	1	0	0	1	0	12 時設定
RTCMINR	←	0	0	0	0	0	0	0	0	00 分設定
RTCPAGER	←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

アラーム設定は、低速クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまで最大 fs の 1 クロック分(約 30μs)の遅れが生じることがあります。

注) 繰り返し設定(例えば、毎週水曜 12 時 00 分といった場合)を行う場合、アラーム一致時に発生する INTRTC の割り込みルーチン内で、次回アラームの設定を行う必要があります。

第 24 章　パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入時にパワーオンリセット信号を発生します。

電源電圧とは、DVDD3 を指しています。

24.1　構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータ、LVD リセット回路およびパワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧を基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

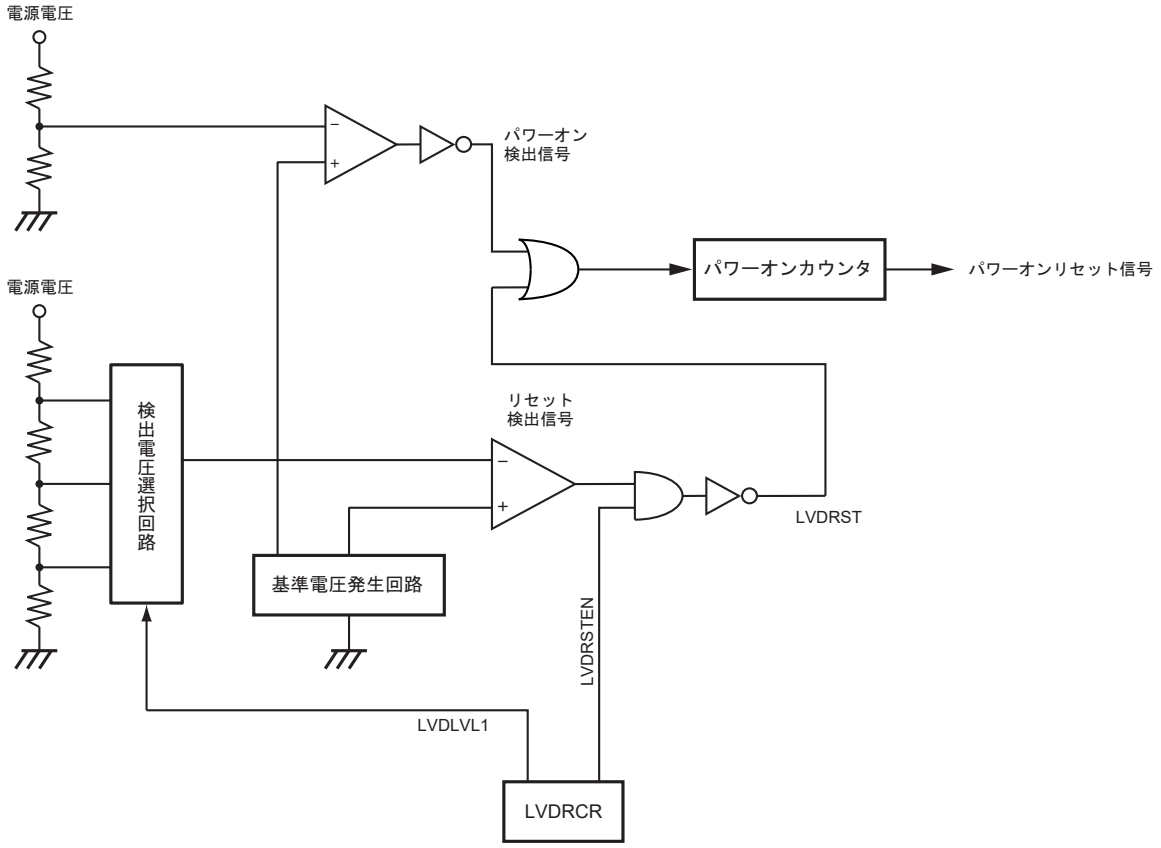


図 24-1 パワーオンリセット回路

LVD リセット回路のレジスタ LVDRCR は、電圧検出回路(LVD)の章を参照願います。

24.2　機能

電源投入時、電源電圧が解除電圧以下の間、パワーオン検出信号が発生されます。パワーオン検出信号が解除されるのは、DVDD3 が 2.3 ± 0.2 V を超えるタイミングです。

パワーオン検出信号が解除され、さらにリセット検出信号も解除されるとパワーオンカウンタ回路が動作し待機時間(約 0.8ms)後にパワーオンリセット信号が解除されます。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

リセット端子入力を使用しない場合、パワーオンリセット信号解除までに電源電圧を推奨動作範囲まで上昇させてください。電源電圧が推奨動作範囲に到達しない場合、TMPM367FDXBG は正常に動作することができません。

注)　電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

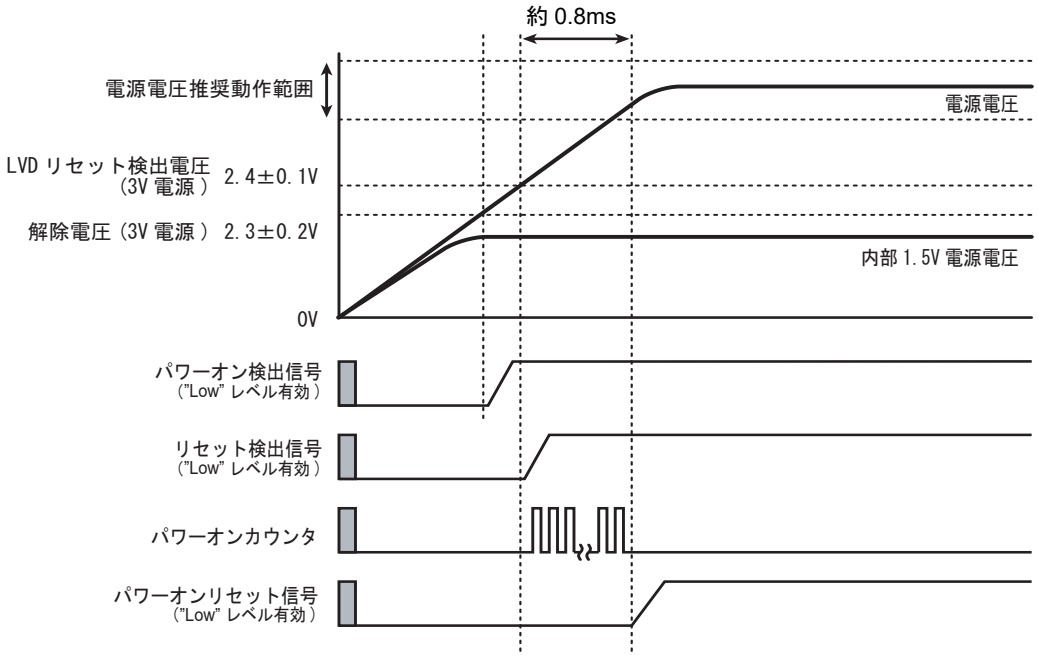


図 24-2 パワーオンリセット動作タイミング

第 25 章　電圧検出回路(LVD)

電圧検出回路は、電源電圧の低下あるいは上昇を検出して、リセット信号あるいは割り込み信号を発生します。

電源電圧とは、DVDD3 を指しています。

注)　電源電圧の変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

25.1　構成

電圧検出回路は、基準電圧発生回路、検出電圧選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧が検出電圧を上回る、あるいは下回るとリセット信号あるいは割り込み信号を発生します。

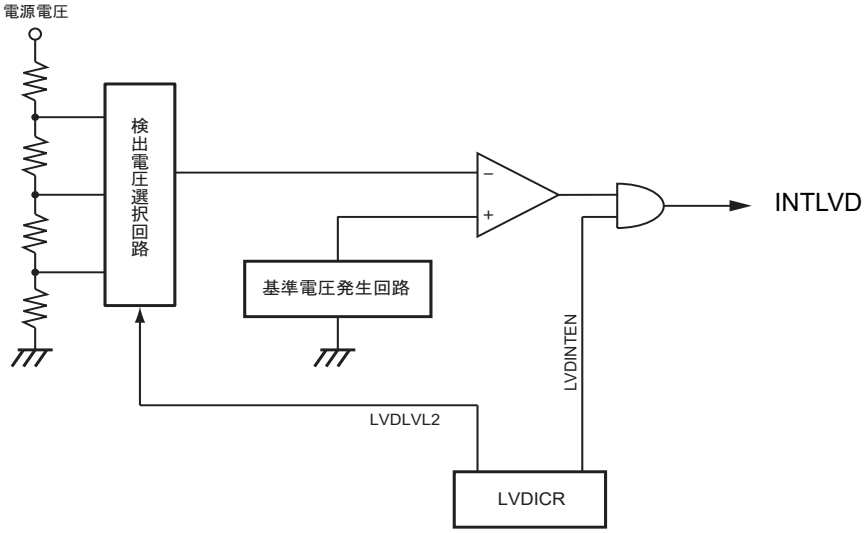


図 25-1 LVD ブロック図　(LVD 割り込み回路のみ)

LVD リセット回路のブロック図は、パワーオンリセット回路の章を参照願います。

25.2　レジスタ説明

25.2.1　レジスター覧

Base Address = 0x400F_4000

レジスタ名		Address(Base+)
LVD リセット制御レジスタ	LVDRCR	0x0000
LVD 割り込み制御レジスタ	LVDICR	0x0004
LVD ステータスレジスタ	LVDSR	0x0008

25.2.2　LVDRCR (LVD リセット制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	-	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	LVDRSTEN	–	LVDLVL1			LVDEN1
リセット後	0	0	1	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31 - 6	–	R	リードすると"0"が読めます。
5	LVDRSTEN	R/W	LVDRST 信号の出力 0: 禁止 1: 許可
4	–	R	リードすると"0"が読めます。
3 - 1	LVDLVL1[2:0]	R/W	検出電圧 000: 2.4 ± 0.1V 001: 2.5 ± 0.1V 010: 2.6 ± 0.1V 011: 2.7 ± 0.1V 100: 2.8 ± 0.1V 101: 2.9 ± 0.1V 110: Reserved 111: Reserved
0	LVDEN1	R/W	電圧検出動作 0: 禁止 1: 許可

注)　LVDRCR はパワーオンリセットで初期化されます。

25.2.3 LVDICR (LVD 割り込み制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	-	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	LVDINTEN	INTSEL	LVDLVL2			LVDEN2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 6	–	R	リードすると"0"が読めます。
5	LVDINTEN	R/W	INTLVD 信号の出力 0: 禁止 1: 許可
4	INTSEL	R/W	割り込み発生条件 0: 電源電圧低下時に設定電圧よりも下がった場合のみ 1: 電源電圧低下時に設定電圧よりも下がった場合および上昇時に設定電圧よりも上がった場合
3 - 1	LVDLVL2[2:0]	R/W	検出電圧 000: 2.80± 0.1V 001: 2.85 0± 0.1V 010: 2.90 ± 0± 0.1V 011: 2.95 ± 0± 0.1V 100: 3.00 ± 0± 0.1V 101: 3.05 ± 0± 0.1V 110: 3.10 ± 0± 0.1V 111: 3.15 ± 0± 0.1V
0	LVDEN2	R/W	電圧検出動作 0: 禁止 1: 許可

注) LVDICR はパワーオンリセット、LVD リセット、リセット端子によるリセットで初期化されます。

25.2.4　LVDSR (ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	–	–	–	–	LVDST2	LVDST1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 2	–	R	リードすると"0"が読めます。
1	LVDST2	R	LVDLVL2 電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
0	LVDST1	R	LVDLVL1 電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下

注)　LVDSR はパワーオンリセット、LVD リセット、リセット端子によるリセットで初期化されます。

25.3 動作説明

25.3.1 検出電圧の選択と電圧検出動作の許可

LVDICR で検出電圧の選択と検出動作の許可、出力条件の選択と出力の許可を設定します。LVDICR はパワーオンリセットと LVD リセット、リセット端子によるリセットで初期化されます。

LVDICR<LVDLVL2[2:0]>で検出電圧を選択し、LVDICR<LVDEN2>を"1"にセットすると電圧検出動作が許可されます。

注) 電源電圧が検出電圧より低い状態で電圧検出動作を許可した場合、その時点で INTLVD が発生します。

25.3.2 電圧低下の検出

電源電圧が設定された検出電圧レベルを下回ると、INTLVD を発生しします。LVDICR<INTSEL>を"1"にセットして、電源電圧が設定された検出電圧を上回ると、INTLVD を発生します。

電圧低下が検出され INTLVD が発生されるためにはある程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いと INTLVD が発生しない場合があります。

電源電圧が 2.7V より下がった場合の動作は保証できません。電源電圧を一度 0V まで下げてから電源投入を行ってください。

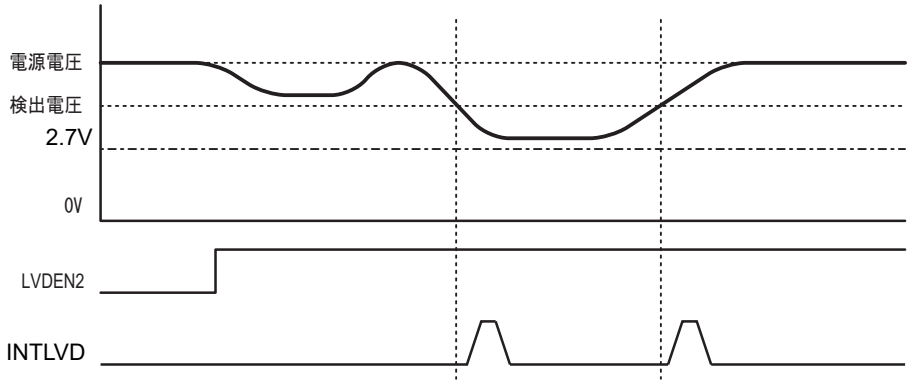


図 25-2 電圧検出タイミング

第 26 章　周波数検知回路(OFD)

周波数検知回路(OFD)はクロック周波数の異常を検出する回路です。OFD を使用することで、高調波、低調波、停止といったクロックの異常を検出することができます。

OFD は、基準となるクロックを用いて対象のクロックを観測し、異常を検出するとリセットを発生します。TMPM367FDXBG では、基準クロックは内蔵高速発振器クロック 2 (f_{IHOSC2})、検出対象クロックは内部高速発振器クロック 1 (f_{IHOSC1})と外部高速発振器クロック(f_{EHOSC})の自動切り換え式です。

注)　いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

26.1　構成

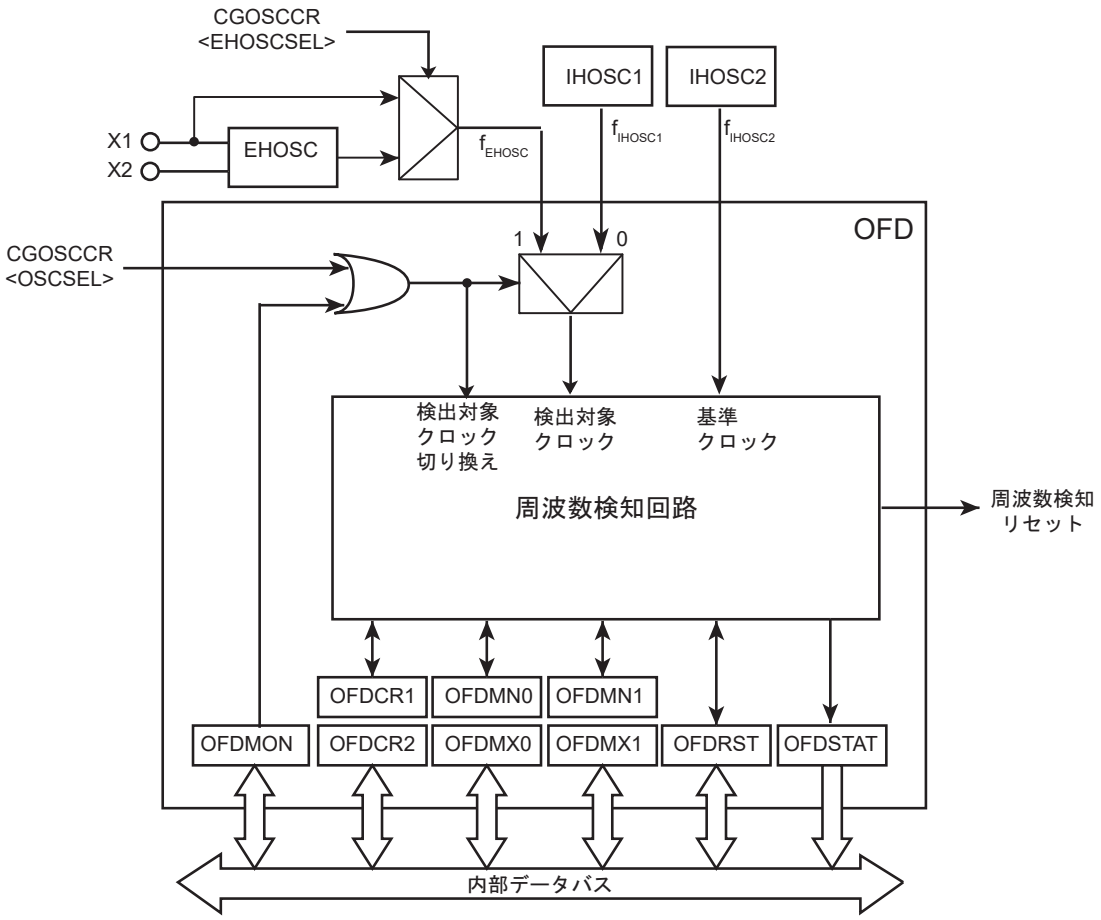


図 26-1 周波数検知回路ブロック図

26.2　レジスタ説明

26.2.1　レジスター覧

Base Address = 0x400F_1000

レジスタ名		Address(Base+)
制御レジスタ 1	OFDCR1	0x0000
制御レジスタ 2	OFDCR2	0x0004
検知周波数下限値レジスタ 0（IHOSC1）	OFDMN0	0x0008
検知周波数下限値レジスタ 1（EHOSC）	OFDMN1	0x000C
検知周波数上限値レジスタ 0（IHOSC1）	OFDMX0	0x0010
検知周波数上限値レジスタ 1（EHOSC）	OFDMX1	0x0014
リセット制御レジスタ	OFDRST	0x0018
ステータスレジスタ	OFDSTAT	0x001C
外部高速発振器クロックモニタレジスタ	OFDMON	0x0020

注)　"Reserved"表記のアドレスにはアクセスしないでください。

26.2.1.1　OFDCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	OFDWEN[7:0]	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 0xF9 を設定すると、OFDCR1 以外のレジスタへの書き込みができるようになります。 0x06、0xF9 以外の値を書いた場合、0x06 が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

26.2.1.2 OFDCR2(制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 0x00、0xE4 以外の値の書き込みは無効で値は変化しません。

26.2.1.3　OFDMN0(検知周波数下限値レジスタ０)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMN0
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8-0	OFDMN0[8:0]	R/W	内部高速発振器の検知周波数の下限値を設定します

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

26.2.1.4　OFDMN1(検知周波数下限値レジスタ１)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8-0	OFDMN1[8:0]	R/W	外部高速発振器の検知周波数の下限値を設定します

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

26.2.1.5 OFDMX0(検知周波数上限値レジスタ０)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMX0
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8-0	OFDMX0[8:0]	R/W	内部高速発振器の検知周波数の上限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

26.2.1.6 OFDMX1(検知周波数上限値レジスタ１)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMX1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8-0	OFDMX1[8:0]	R/W	外部高速発振器の検知周波数の上限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

26.2.1.7　OFDRST(リセット制御レジスタ）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDRSTEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	OFDRSTEN	R/W	リセット発生制御 0: 禁止 1: 許可

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

26.2.1.8 OFDSTAT(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OFDBUSY	FRQERR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	OFDBUSY	R	OFD 動作状態 0: 停止中 1: 動作中
0	FRQERR	R	異常検知フラグ 0: 異常でない 1: 異常

26.2.1.9　OFDMON(外部高速発振器クロックモニタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDMON
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	OFDMON	R/W	検出対象クロック選択を制御します 0: 通常監視モード 　CGOSCCR<OSCSEL>で選択された fosc の元クロックを検出対象とします 1: モニタモード 　IHOSC1 にてシステム動作中に EHOSC を検出対象とし発振状態をモニタします

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

26.3 動作説明

26.3.1 設定

リセットにより、OFDCR1 以外のレジスタには書き込みができない状態になります。OFDCR1 に"0xF9"を書き込むことにより、OFDCR1 以外のレジスタに書き込みができるようになります。

検知する周波数の範囲は、それぞれクロックごとに対象の OFDMX と OFDMN で設定します。OFDRST でリセット発生の許可/禁止を設定し、OFDCR2 に"0xE4"を書き込むと動作を開始します。

誤書き込み防止のため、すべてのレジスタの設定後、OFDCR1 に"0x06"を設定し書込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

26.3.2 動作

動作開始から検知開始まで検知周期 2 周期分の時間が必要です。検知動作中かどうかは、OFDSTAT<OFDBSY>で確認することができます。検知周期は 256/基準クロック周波数です。

システムクロックを外部高速発振クロック EHOSC に切り換える前にモニタ機能にて発振状態を確認してから切り換える事ができます。その際はリセットの発生を禁止し、OFDSTAT<FRQERR>で状態を確認して下さい。OFDSTAT<OFDBSY>が動作中になってから OFDSTAT<FRQERR>の状態が有効になるまで検知周期 2 周期分の時間が必要です。

リセットの発生が許可されている場合、検出対象クロックが OFDMN, OFDMX で設定した周波数範囲を超えると周波数検知回路 OFD はリセットを発生します。OFD が異常を検知してからリセットを発生するまで検知周期 2 周期分の時間が必要です。周波数検知回路 OFD が発生するリセットでは周波数検知回路 OFD 自身はリセットされず検知動作を継続します。従いまして、周波数検知回路が発生するリセットにより fosc は内部高速発振クロック IHOSC1 に初期化されますが、検知対象クロックを IHOSC1 に自動的に切り換え検知動作を継続します。検知対象クロックが IHOSC1 の時に OFD がリセットを発生した場合は、正常な周波数範囲に復帰するまでリセットを発生し続けます。OFD が発振正常を検知してからリセット解除までに検知周期 2 周期分の時間が必要です。

注) リセットの要因は複数あります。クロックジェネレータレジスタの CGRSTFLG で要因を確認することができます。CGRSTFLG については例外の章を参照してください。

26.3.3　検知周波数

検知周波数には、基準クロックの発振精度によって、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の間の周波数では、検出されるかどうかは未確定です。

検知周波数上限値、下限値は、検出対象クロックと基準クロックの最大誤差より計算します。

OFDMX、OFDMN を決める時の計算結果の丸め方により、検出範囲と非検出範囲の上限値、下限値が下記のように変わります。検出対象となるクロックのばらつきに応じて選択してください。

- OFDMX を切上げ、OFDMN を切捨てた場合

  検出対象クロックに対して、非検出範囲の上限が高くなり、非検出範囲の下限が低くなります。

- OFDMX を切捨て、OFDMN を切上げた場合

  検出対象クロックに対して、非検出範囲の上限が低くなり、非検出範囲の下限が高くなります。

基準クロック誤差を±5%、検出対象クロック誤差±3%(非検出範囲)を許容する場合の OFDMN/OFDMX の設定値の算出方法を以下に示します。この例では、OFDMX を切上げ、OFDMN を切り捨てます。

検出対象クロック	10MHz ± 3%	Max.10.3MHz	-------- ③
		Min. 9.7MHz	-------- ②
基準クロック	10MHz ± 5%	Max.10.5MHz	-------- ⑥
		Min. 9.5MHz	-------- ⑤

OFDMX = ③ ÷ ⑤ × 64 = 69.39...= 70 (小数点以下切上げ) = 0x46

OFDMN = ② ÷ ⑥ × 64 = 59.12... = 59 (小数点以下切捨て) = 0x3B

このときの検出範囲は以下のように求められます。

① = ⑤ × OFDMN ÷ 64 = 8.76

④ = ⑥ × OFDMX ÷ 64 = 11.5

また、このときの非検出範囲は以下のようになります。

⑦ = ⑤ × OFDMX ÷ 64 = 10.4

⑧ = ⑥ × OFDMN ÷ 64 = 9.68

よって、レジスタ OFDMX に 0x46、OFDMN に 0x3B を設定すると、11.5MHz 以上と 8.76MHz 以下の発振周波数を検知した場合、周波数検知リセットを発生します。

また、9.68MHz から 10.4MHz の発振周波数を検知した場合、周波数検知リセットは発生しません。

図 26-2 に、このときの検出範囲/非検出範囲を示します。

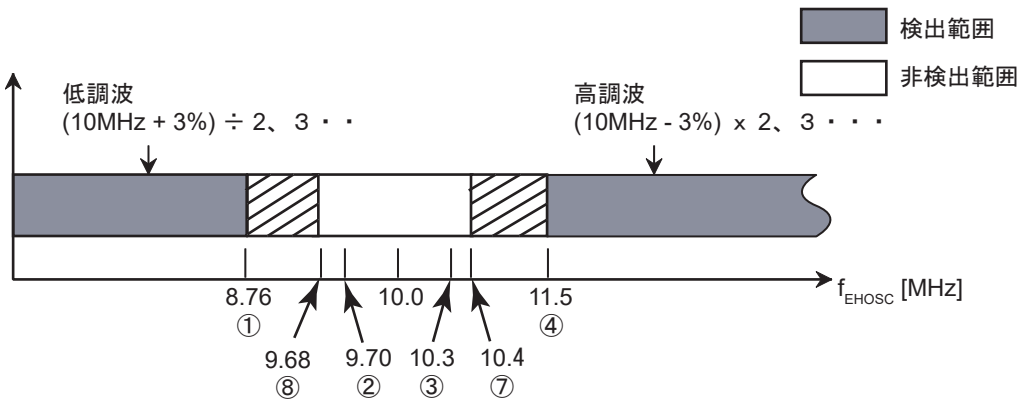


図 26-2 検出周波数範囲例(10MHz の場合)

26.3.4 使用可能な動作モード

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。他のモードに遷移する際は、周波数検知回路を停止させてください。

26.3.5　動作手順例

周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、CGRSTFLG でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い、動作を許可します。このときリセット出力は禁止しておきます。

検知開始を待って、OFDSTAT で異常検知フラグを確認し、異常がなければ外部発振クロックに切り替えます。

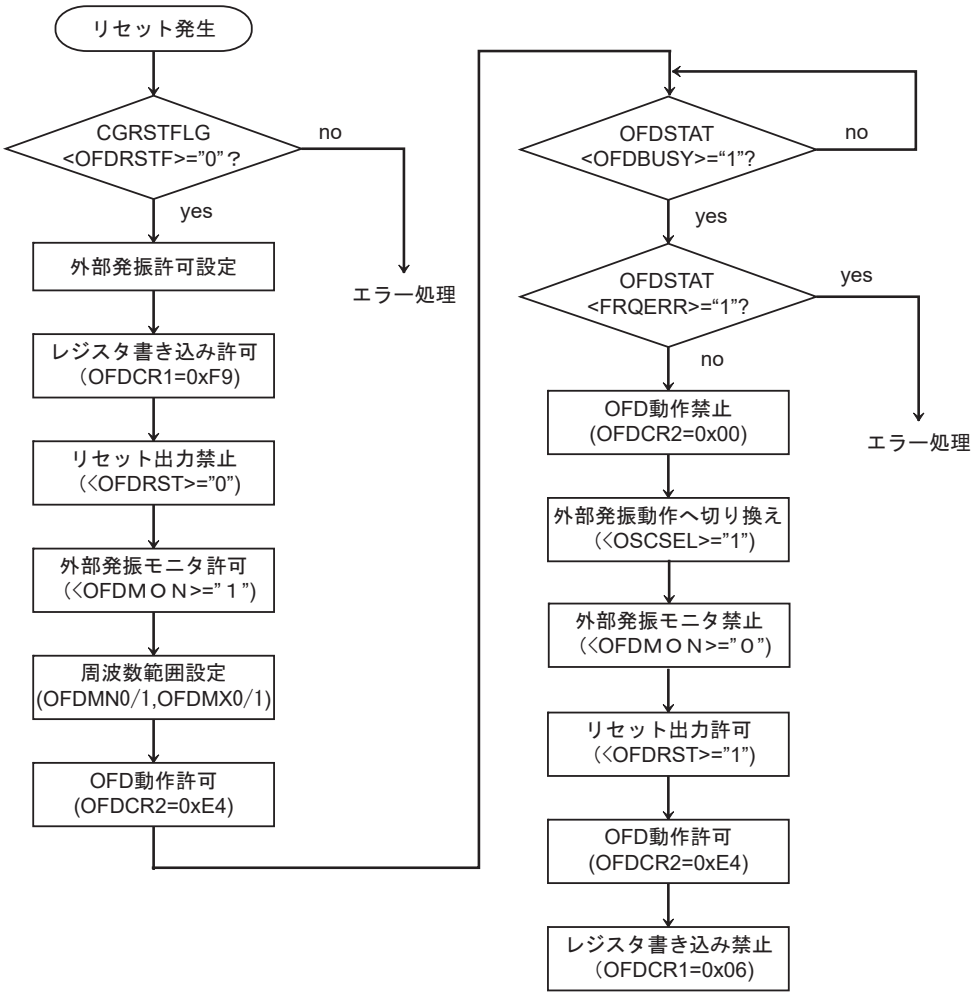


図 26-3 動作手順例

第 27 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　本製品にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

27.1　構成

図 27-1 にウォッチドッグタイマのブロック図を示します。

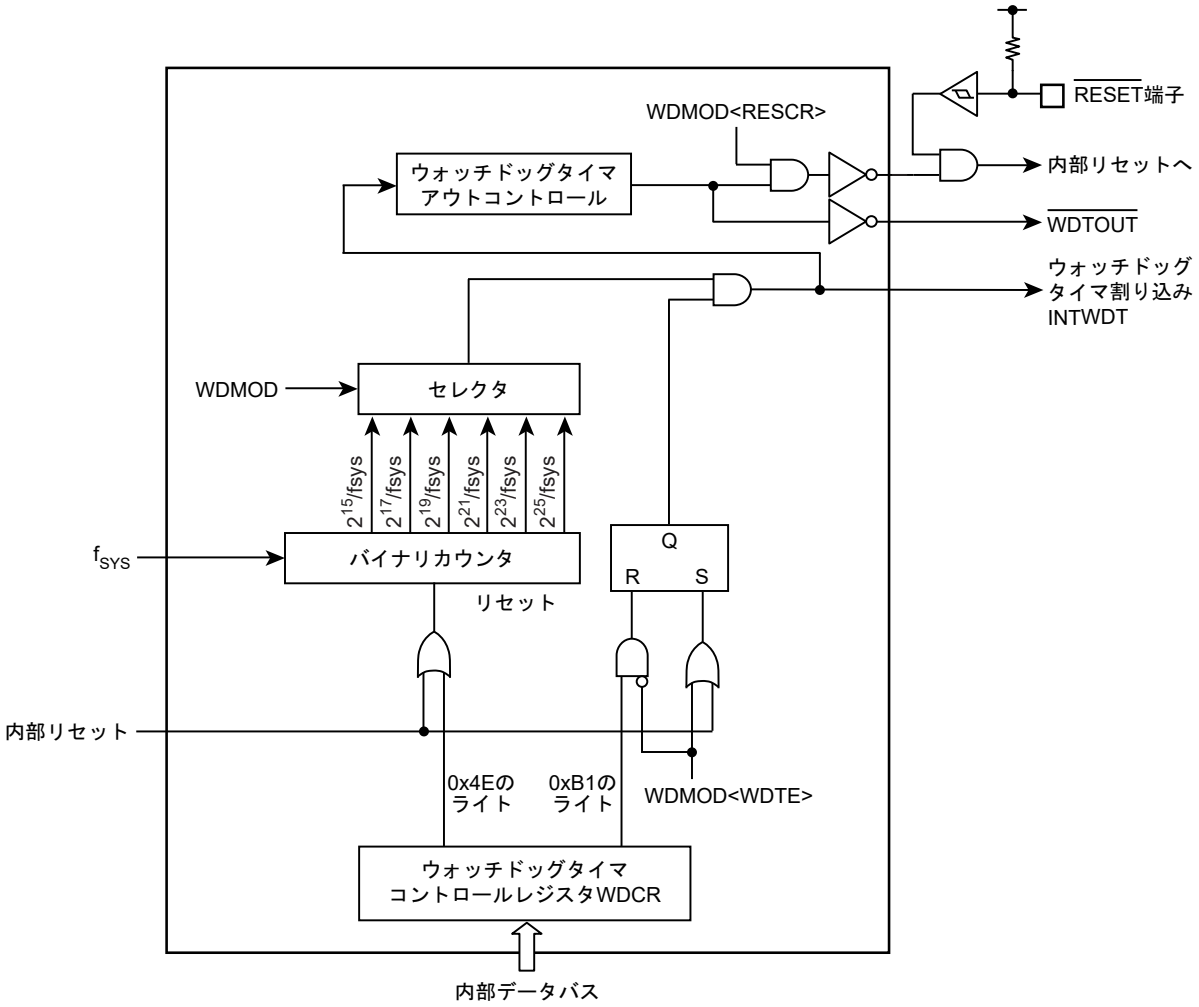


図 27-1 ウォッチドッグタイマのブロック図

27.2　レジスター覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x400F_2000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

27.2.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択(表 27-1 を参照) 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	–	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	–	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

表 27-1 ウォッチドッグタイマの検出時間 (fc = 80MHz)

クロックギア値 CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.41 ms	1.64 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms
100 (fc/2)	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms
101 (fc/4)	1.64 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s
110 (fc/8)	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s
111 (fc/16)	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s

27.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

27.3　動作説明

27.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　本製品にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

27.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP1 mode
- STOP2 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

27.4 暴走検出時の動作

27.4.1 INTWDT 割り込み発生の場合

図 27-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

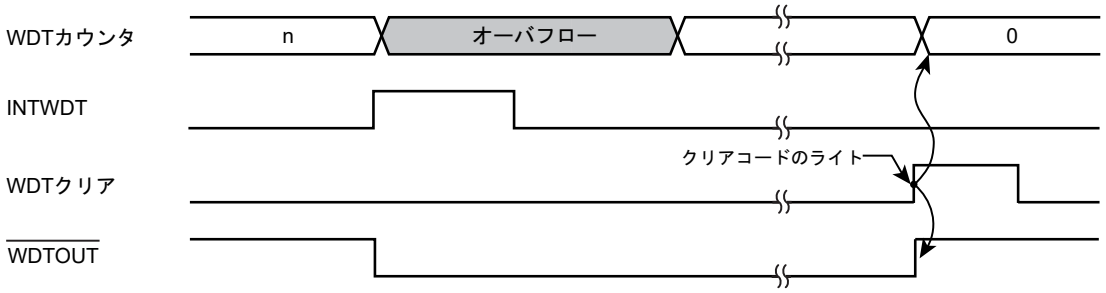


図 27-2 INTWDT 割り込み発生

27.4.2　内部リセット発生の場合

図 27-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック f_{SYS} と内蔵高速発振器のクロック f_{OSC} の関係は、$f_{SYS} = f_{OSC}$ となります。

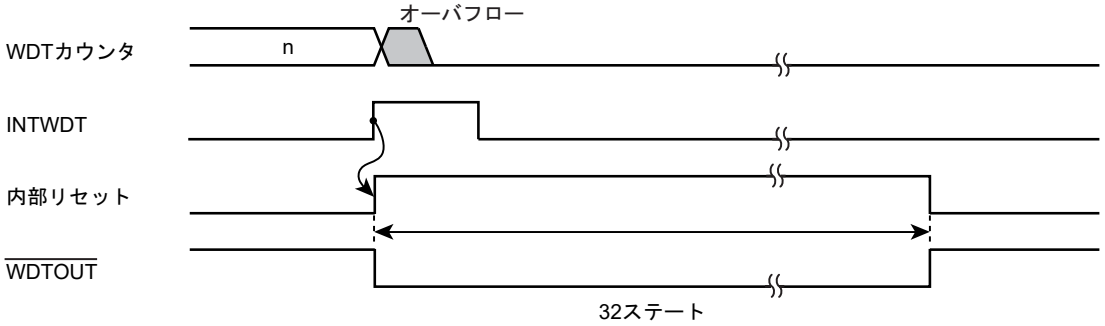


図 27-3 内部リセット発生

27.5 コントロールレジスタ

ウォッチドッグタイマ(WDT)は、2 つのコントロールレジスタ(WDMOD, WDCR)によって制御されています。

27.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP[2:0]>

   ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

   リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

   暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。

   ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

   WDTOUT を内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1"に初期化されますので、バイナリカウンタのオーバフローにより内部リセットが発生します。

27.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

27.5.3　設定例

27.5.3.1　ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	−	−	−	−	−	−	−	<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード(0xB1)を書き込みます。

27.5.3.2　イネーブル制御

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	−	−	−	−	−	−	−	<WDTE>に"1"を設定します。

27.5.3.3　ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード(0x4E)を書き込みます。

27.5.3.4　ウォッチドッグタイマ検出時間の設定

検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

		7	6	5	4	3	2	1	0
WDMOD	←	1	0	1	1	−	−	−	−

第 28 章　Flash 動作説明

Flash 機能について、ハードウエアの構成およびその動作を説明します。

28.1　フラッシュメモリ

28.1.1　特長

1. メモリ容量

TMPM367FDXBG はフラッシュメモリを搭載しています。メモリ容量と構成は下記の表のとおりです。

各ブロック個別に書き込みを行うことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2. 書き込み/消去時間

書き込みはページ単位で行います。1 ページは 128 ワードです。

1 ページあたりの書き込み時間は、ワード数にかかわらず 1.25ms (Typ.)です。

消去時間は 1 ブロックあたり 0.1 sec (Typ.)です。

1 チップあたりの書き込み時間、消去時間は以下のようになります。

製品	メモリ容量	ブロック構成			ワード数	書き込み時間	消去時間
		128 KB	64 KB	32 KB			
TMPM367FDXBG	512 KB	3	1	2	128	1.28 sec	0.4 sec

注)　上記の値は理論時間を表しており、データ転送時間などは含まれていません。 チップ当たりの時間はユーザーの書き替え方法により異なります。

3. プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードには以下の 2 種類のモードがあります。

a. ユーザーブートモード

ユーザー独自の書き替え方法をサポート

b. シングルブートモード

シリアル転送 (当社オリジナル) での書き替え方法をサポート

4. 書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

5. プロテクト/セキュリティ機能

本デバイスでは、ライタでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するライト/消去プロテクトは、コマンド (ソフトウエア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウエア) には対応できません。プロテクト、セキュリティ機能の詳細については、「プロテクト/セキュリティ機能」の章を参照してください。

注)　パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

28.1.2 フラッシュ部ブロック図

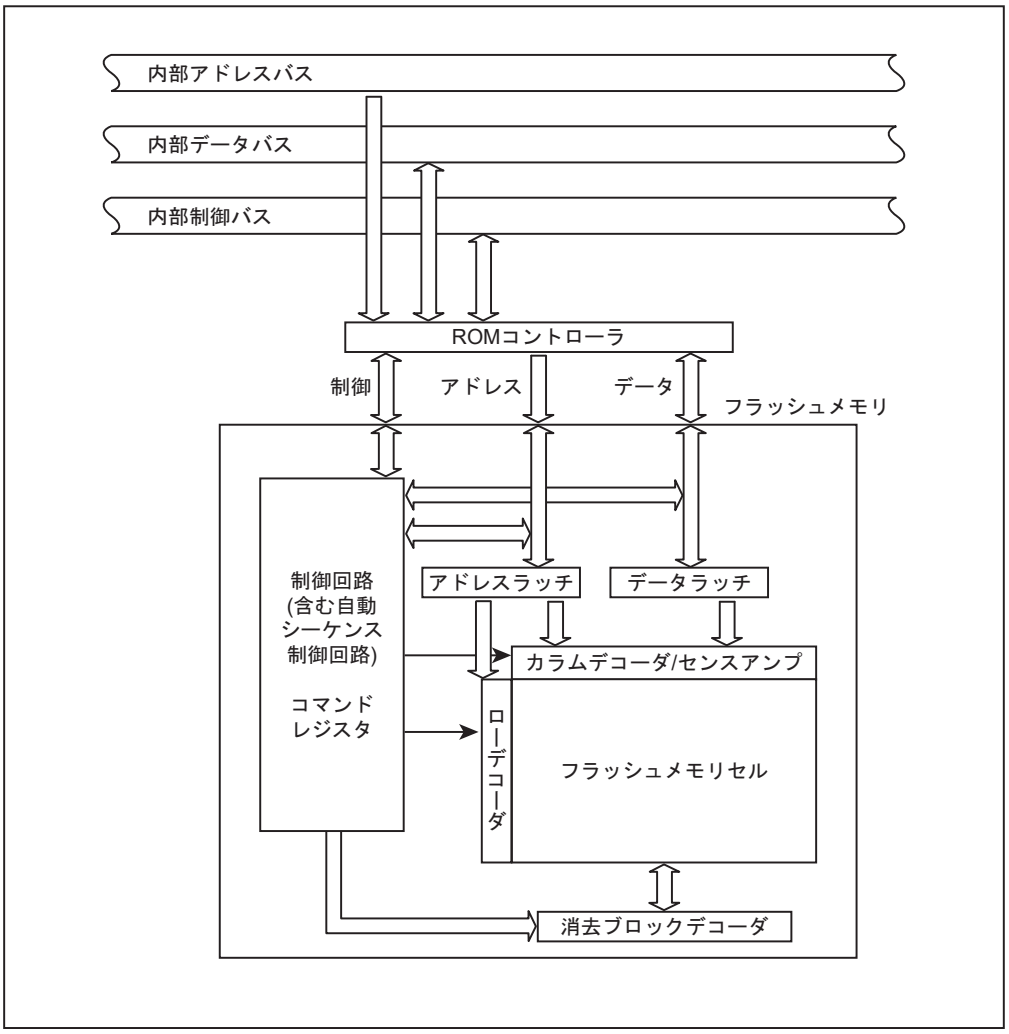


図 28-1 フラッシュ部ブロック図

28.2　動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3 通りの動作状態(モード)が存在します。

表 28-1 動作モード説明

動作モード名		動作の内容
シングルチップモード		リセット解除後、内蔵のフラッシュメモリから起動します。
	ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
	ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート A0 が"1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード		リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。 シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表 28-1 でプログラムが可能なフラッシュメモリの動作モードは ユーザーブートモード, シングルブートモードの 2 つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この 2 つをオンボードプログラミングモードと定義します。

シングルチップ、 シングルブートの各動作モードは、リセット状態で $\overline{\text{BOOT}}$ (PB6)端子のレベルを外部で設定することにより決定されます。

表 28-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$ (PB6)
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

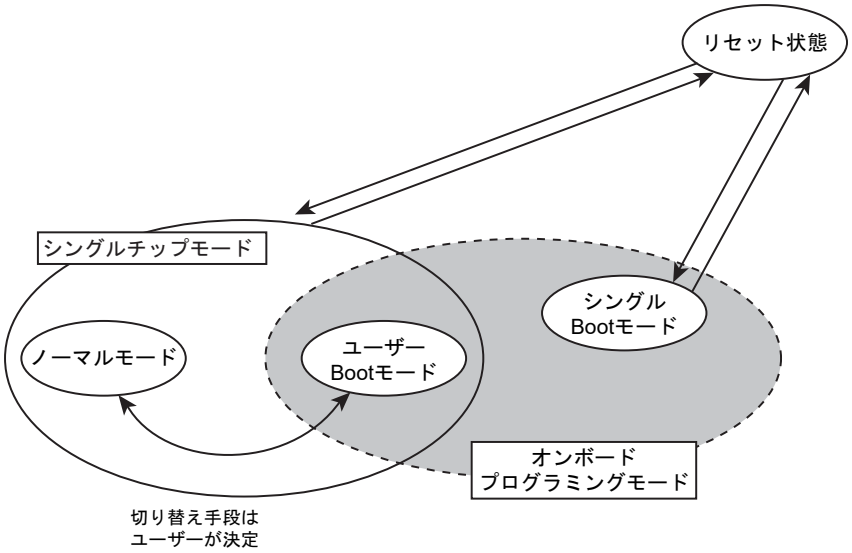


図 28-2 モード遷移図

28.2.1 リセット

リセットについては「リセット動作」の章を参照してください。

注) 内蔵フラッシュの自動プログラム/消去動作中にハードウエアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

28.2.2 ユーザーブートモード(シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

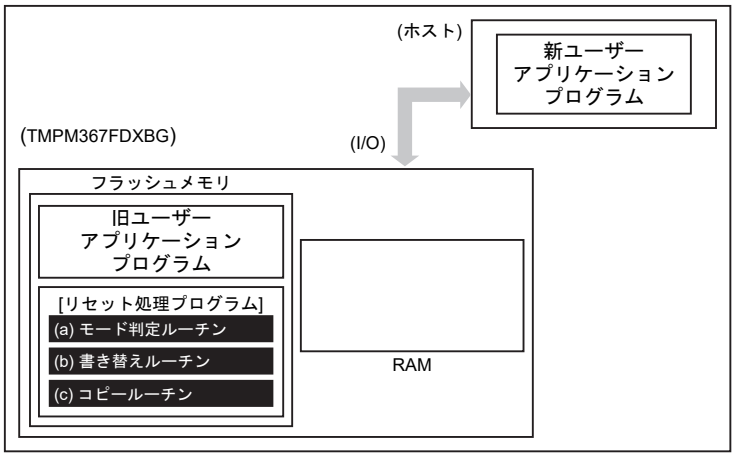
書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「28.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

28.2.2.1　(1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

(1)　Step-1

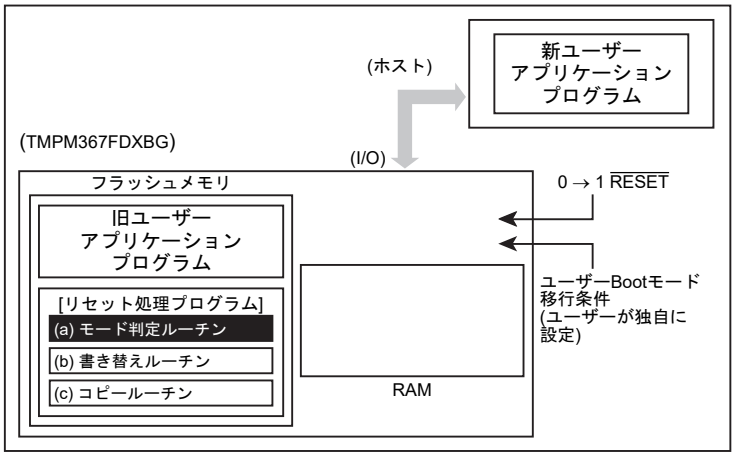
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



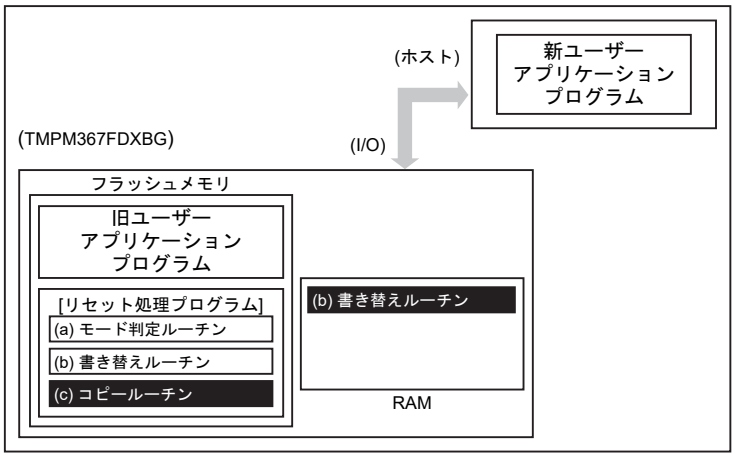
(2) Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



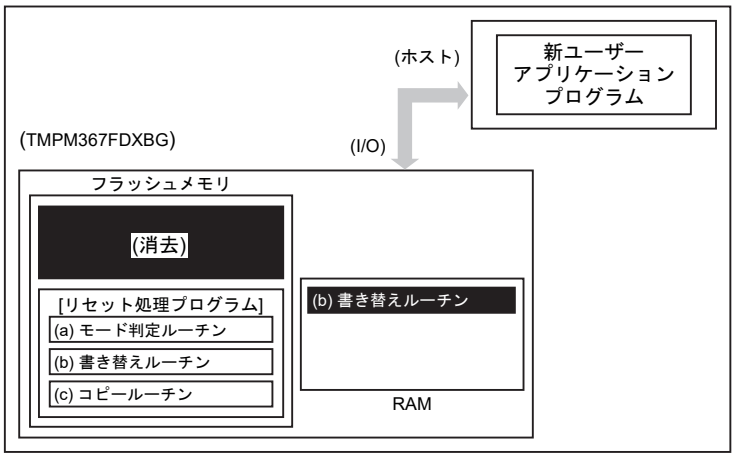
(3) Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内部 RAM にコピーします。



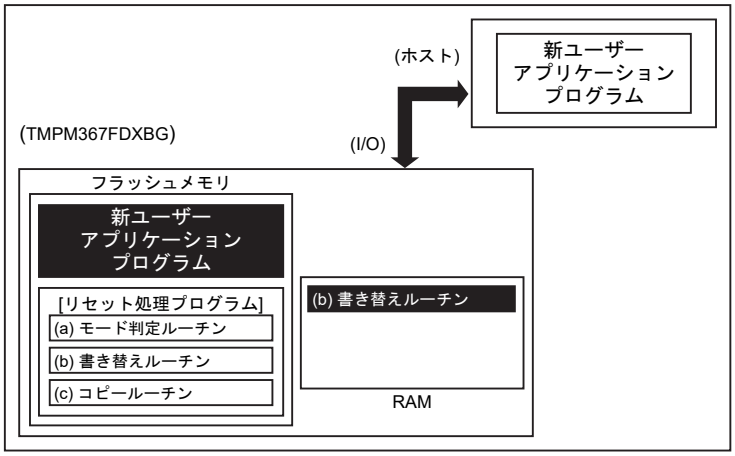
(4)　Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



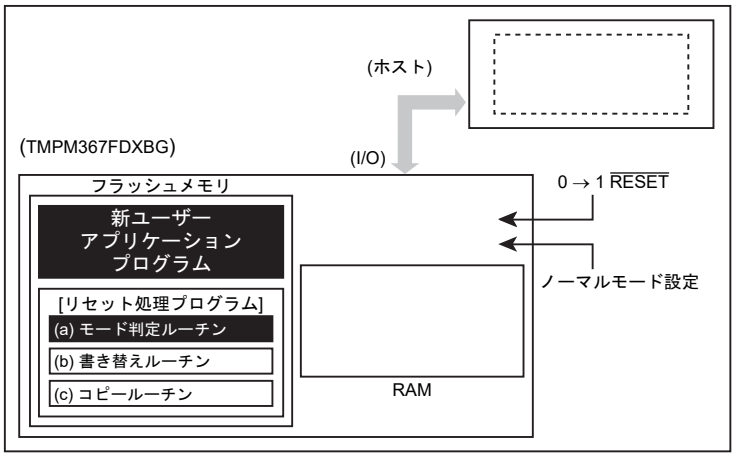
(5)　Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(6) Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



28.2.2.2　(1-B)書き換えルーチンを外部から転送する手順例

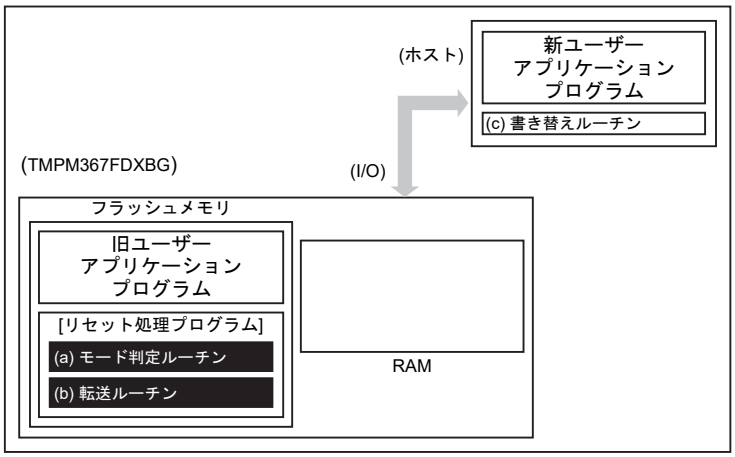
(1)　Step-1

ユーザーは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:　書き替え動作に移るためのプログラム
(b) 転送ルーチン:　書き替えプログラムを外部から取り込むためのプログラム

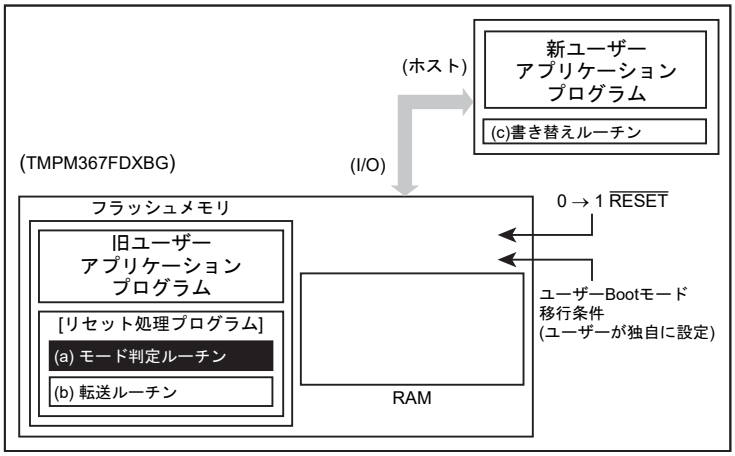
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン:　書き替えを行うためのプログラム



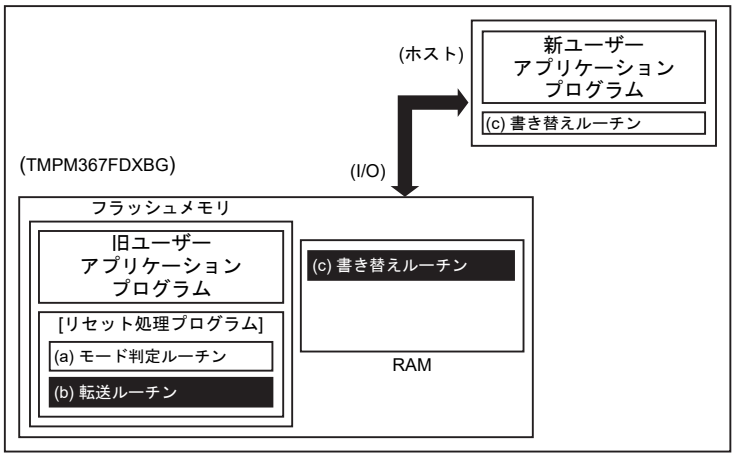
(2) Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



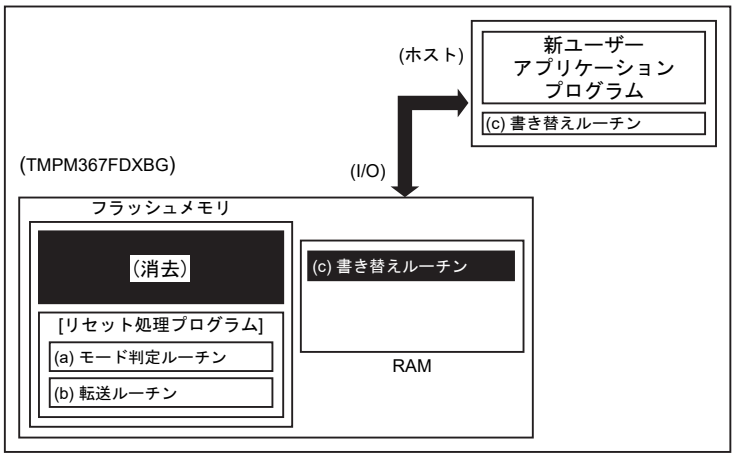
(3) Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内部 RAM にロードします。



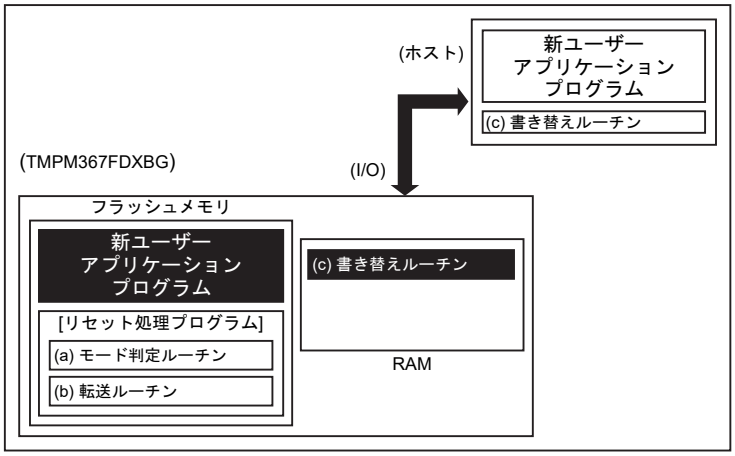
(4)　Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



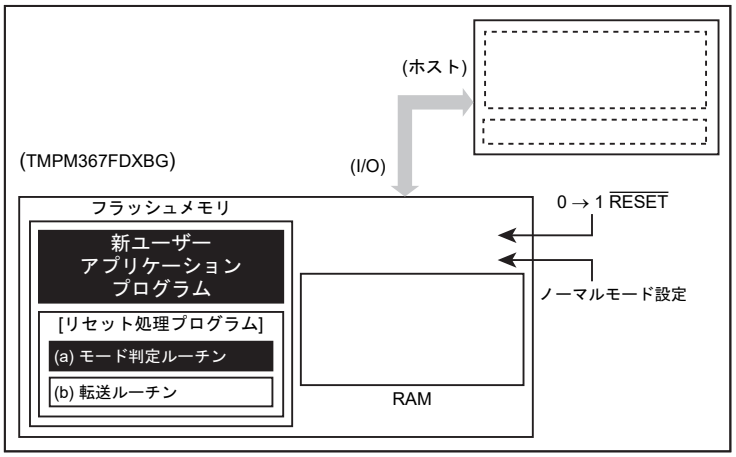
(5)　Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(6) Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



28.2.3　シングルブートモード

内蔵ブート ROM (マスク ROM)を起動して、ブート ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクタテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリはブート ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO0) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。

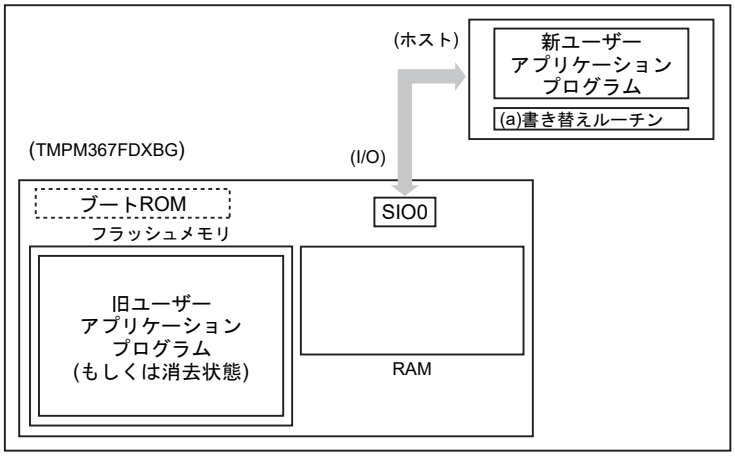
RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、ブート ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

28.2.3.1　(2-A)内蔵ブート ROM の書き替えアルゴリズムを利用する場合

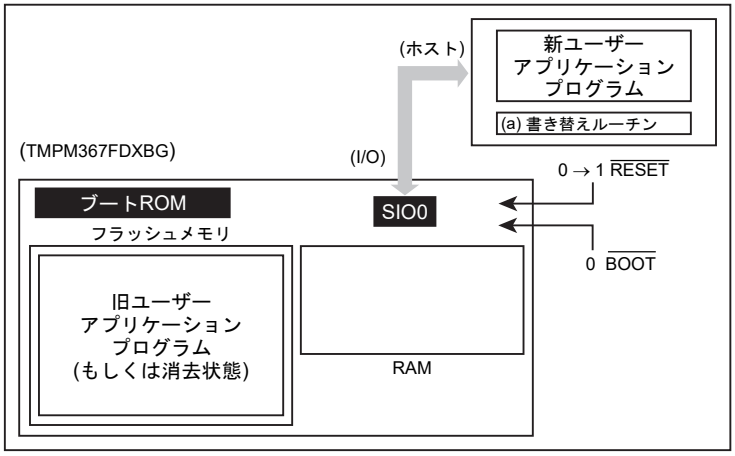
(1)　Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本デバイスの SIO (SIO0)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



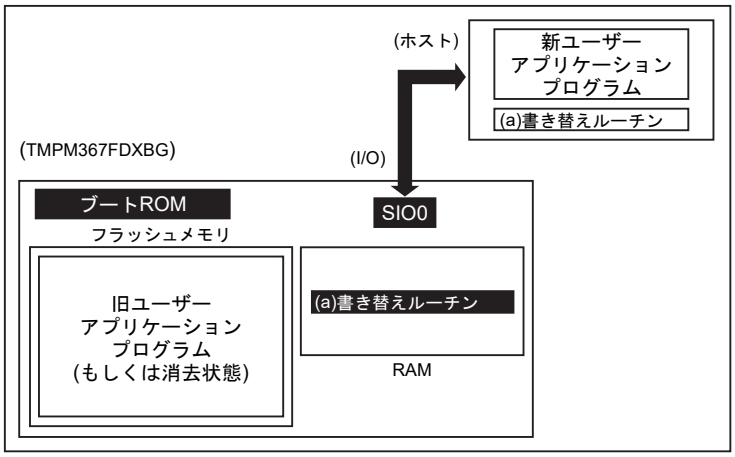
(2) Step-2

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



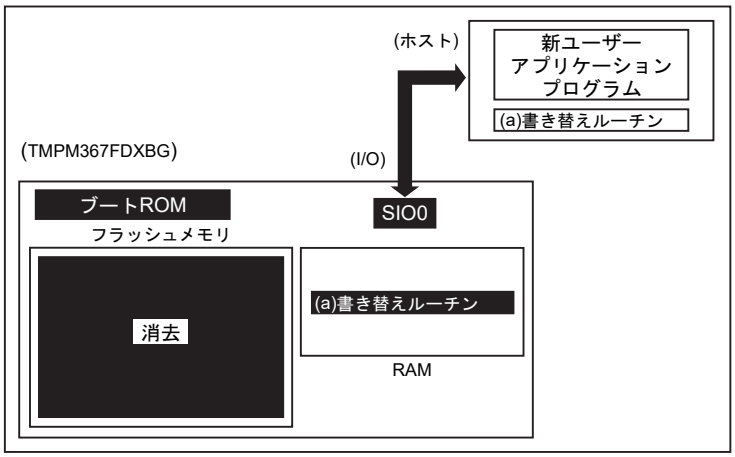
(3) Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。書き換えルーチンを転送するアドレスの範囲については、「28.2.5 メモリマップ」を参照してください。



(4)　Step-4

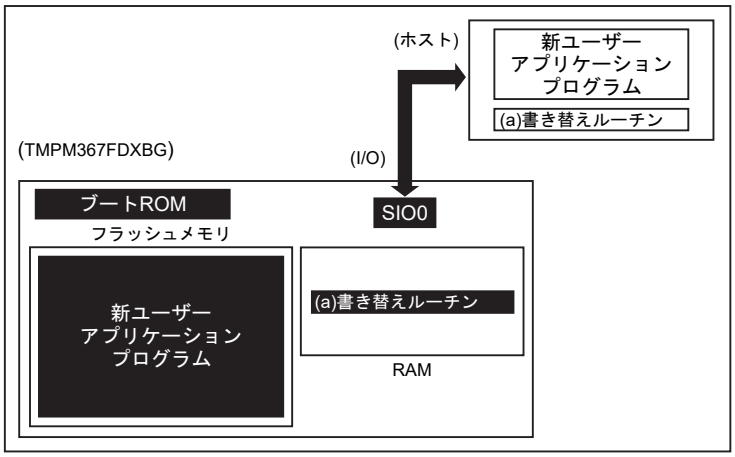
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



(5)　Step-5

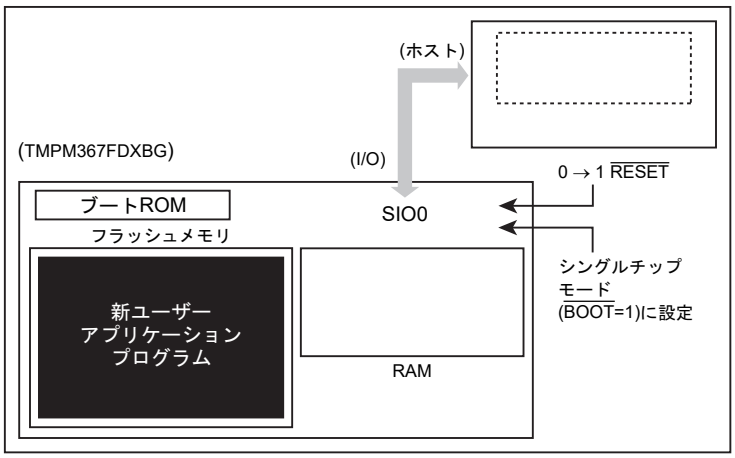
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーシションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



(6) Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプリケーションプログラムを実行します。



28.2.4 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$(PB6) = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、 $\overline{\text{BOOT}}$ (PB6)端子をあらかじめ上記条件に設定します。その後リセット解除を行うとシングルブートモードで起動します。

28.2.5 メモリマップ

図 28-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_27FF 番地にはブート ROM (マスク ROM) がマッピングされます。

内蔵フラッシュメモリと RAM のマッピングは以下のとおりです。

製品	Flash サイズ	RAM サイズ	Flash アドレス (シングルチップ/シングルブートモード)	RAM アドレス
TMPM367FDXBG	512 KB	128 KB	0x0000_0000 ~ 0x0007_FFFF 0x3F80_0000 ~ 0x3F87_FFFF	0x2000_0000 ~ 0x2001_FFFF(注)

注) TMPM367FDXBG では 0x2000_0800 から RAM の最終番地の範囲に RAM 転送プログラムを格納してください。

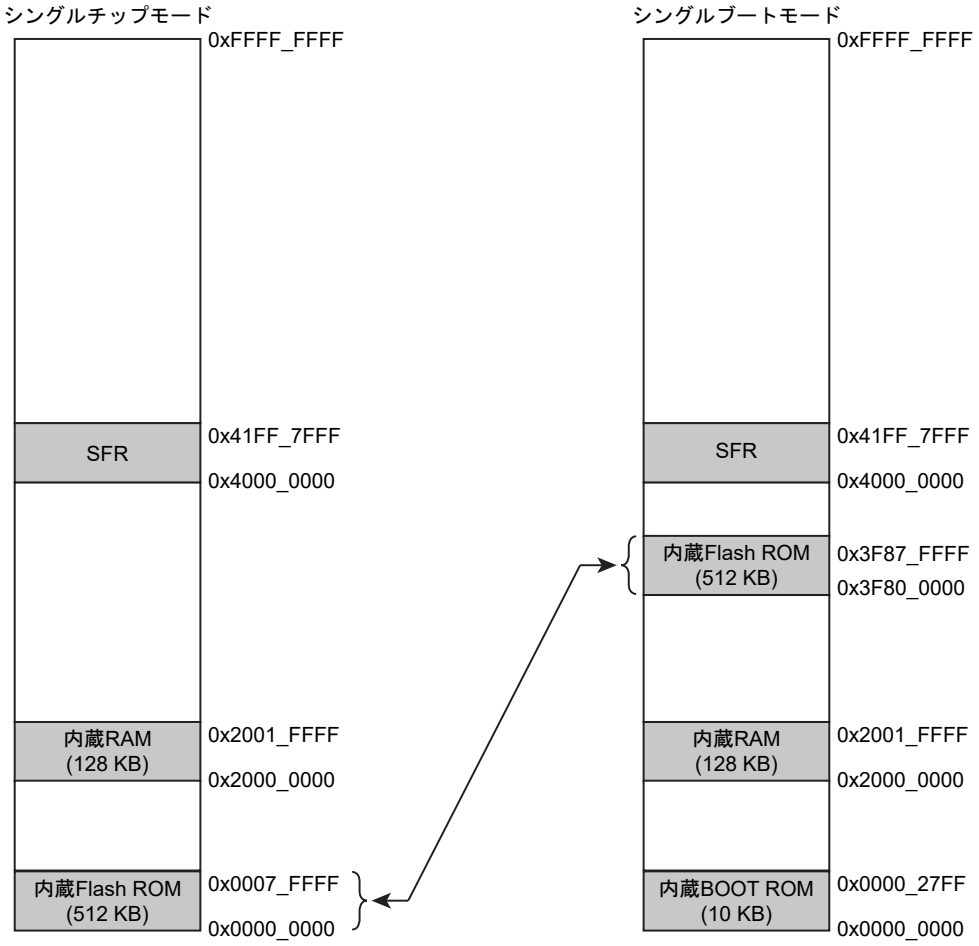


図 28-3 メモリマップの比較(TMPM367FDXBG)

28.2.6 インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。

USB ブートモードは、USB ポートによるインタフェースをサポートします。このモードでもオンボードプログラミングと同様のインタフェースモードに対応しています。

各インタフェース仕様を下記に示します。

- UART で通信する場合

  通信チャネル: SIO0

  シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト

  データ長: 8 ビット

  パリティビット: なし

  STOP ビット: 1 ビット

  ボーレート: 任意のボーレート

- I/O インタフェースモードで通信する場合

  通信チャネル: SIO0

  シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト

  同期信号 (SCLK0): 入力モード

  ハンドシェイク端子: 出力モード PE0

  ボーレート: 任意のボーレート

- USB ブートモードで通信する場合

  通信ポート：USB-DDP、USB-DDM

  Full-Speed 通信のみ対応

  転送モード：コントロール/バルク

  USB クロック:48MHz(fosc=8/12/16MHz 水晶(PLL)または外部入力)

表 28-3 端子の接続

端子		インタフェース		
		UART	I/O インタフェースモード	USB
電源系端子	DVDD3A	o	o	o
	DVSSA	o	o	o
	DVDD3B	o	o	o
	DVSSB	o	o	o
	AVSSA	o	o	o
	AVDD3A	o	o	o
	AVDD3B	o	o	o
	AVSSB	o	o	o
	AVDD3_DA	o	o	o
	AVSS_DA	o	o	o
	RVDD3	o	o	o

表 28-3 端子の接続

端子		インタフェース		
		UART	I/O インタフェースモード	USB
モード設定端子	MODE	LOW 固定		
	PE5	o (="L"入力)	o (="L"入力)	o (="H"入力)
	PK0	×	×	o (Vbus 接続判定) (注 1)
	$\overline{\text{BOOT}}$ (PB6)	o	o	o
	X1	-	-	o (8/12/16 MHz)
	PK2	×	×	o (USB_ECLK)
リセット端子	$\overline{\text{RESET}}$	o	o	o
通信端子	PE0	×	o (出力モード) (注 2)	o (出力モード、 アクティブハイ) (注 3)
	PE1	o (RXD0, 入力モード)	o (RXD0, 入力モード)	o (入力モード) (注 4)
	PE2	o (TXD0, 出力モード)	o (TXD0, 出力モード)	o (入力モード) (注 4)
	PE3	×	o (SCLK0,入力モード)	o (入力モード) (注 4)
	USB-DDP	×	×	o
	USB-DDM	×	×	o

注 1)　BOOT モードでは未使用です
注 2)　I/O インタフェースモード時にハンドシェイク信号として使用します。
注 3)　外部 SW にて USB-DDP 端子を Pull-Up するための制御端子として使用します。
注 4)　USB ブートモードでの USB クロックを設定します。設定については下記を参照してください。

PE3	PE2	PE1	fosc (MHz)	PLL	USB クロック
0	0	0	8	6 逓倍	8MHz x 6 逓倍 = 48MHz
0	0	1	12	4 逓倍	12MHz x 4 逓倍 = 48MHz
0	1	0	-	-	USB_ECLK 端子
0	1	1	-	-	USB_ECLK 端子
1	0	0	16	3 逓倍	16MHz x 3 逓倍 = 48MHz
1	0	1	-	-	Reserved
1	1	0	-	-	USB_ECLK 端子
1	1	1	-	-	USB_ECLK 端子

28.2.7 データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 28-4, 表 28-6 ~ 表 28-7 に示します。「28.2.10 ブートプログラム動作説明」とあわせてお読みください。

表 28-4 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

28.2.8 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵 Flash ROM に対して表 28-5 のように制約がつきます。

表 28-5 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_07FF 番地は BOOT_ROM のワークエリアになります。 RAM 転送のプログラムの格納アドレスについては「28.2.5 メモリマップ」を参照してください。
内蔵 ROM	以下の番地はソフトなどの ID 情報や password の格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F87_FFF0 ~ 0x3F87_FFFF

28.2.9 ブートプログラムの転送フォーマット

各コマンドのブートプログラムの転送フォーマットを示します。「28.2.10 ブートプログラム動作説明」とあわせて参照してください。

28.2.9.1　RAM 転送

表 28-6 ブートプログラムの転送フォーマット[RAM 転送の場合]

	転送バイト数	コントローラ → 本デバイスの転送データ	ボーレート	本デバイス → コントローラへの転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合: 0x86 I/O インタフェースの場合: 0x30	指定されたボーレート (注 1)	–
	2 バイト目	–		シリアル動作モードに対する ACK 応答 ・UART の場合 正常(設定可能)の場合: 0x86 (ボーレートの設定が不可能と判断した場合は動作停止) ・I/O インタフェースの場合 正常の場合:0x30
	3 バイト目	動作コマンドデータ(0x10)		–
	4 バイト目	–		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
	5 バイト目 ~ 16 バイト目	PASS WORD データ(12 バイト) 0x3F87_FFF4 ~ 0x3F87_FFFF		–
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		–
	18 バイト目	–		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		–
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		–
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		–
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		–
	23 バイト目	RAM 格納バイト数 15 ~ 8		–
	24 バイト目	RAM 格納バイト数 7 ~ 0		–
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		–
	26 バイト目	–		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
	27 バイト目 ~ m バイト目	RAM 格納データ		–
	m + 1 バイト目	27 ~ m バイト値の CHECK SUM 値		–
	m + 2 バイト目	–		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合:0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
RAM	m + 3 バイト目	–		JUMP RAM 格納開始アドレス

注 1)　I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2)　異常応答後は、動作コマンド(3 バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

注 3)　19 バイト目~25 バイト目のデータについては、「28.2.5 メモリマップ」を参照し、各製品にあった RAM 上のアドレスから RAM の最終番地の領域内に納まるようにプログラムしてください。

28.2.9.2 フラッシュメモリチップ消去およびプロテクトビット消去

表 28-7 ブートプログラムの転送フォーマット
[フラッシュメモリチップ消去およびプロテクトビット消去の場合]

	転送バイト数	コントローラ → 本デバイスの転送データ	ボーレート	本デバイス → コントローラへの転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合: 0x86 I/O インタフェースの場合: 0x30	指定されたボーレート (注 1)	–
	2 バイト目	–		シリアル動作モードに対する ACK 応答 正常(設定可能)の場合 ・UART の場合: 0x86 ・I/O インタフェースの場合: 0x30 (ボーレートの設定が不可能と判断した場合は動作停止)
	3 バイト目	動作コマンドデータ(0x40)		–
	4 バイト目	–		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8
	5 バイト目~16 バイト目	0x3F87_FFF0 が 0xFF 以外の場合 PASSWORD データ(12 バイト) 0x3F87_FFF4 ~ 0x3F87_FFFF 0x3F87_FFF0 が 0xFF の場合 ダミーデータ(12 バイト)		–
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		–
	18 バイト目	–		CHECK SUM 値に対する ACK 応答(注 2) 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8
	19 バイト目	消去イネーブルコマンドデータ(0x54)		–
	20 バイト目	–		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0xX8
	21 バイト目	–		消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C
	22 バイト目	(次の動作コマンドデータ待ち)		–

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

28.2.10　ブートプログラム動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、1.RAM 転送コマンド~2.フラッシュメモリチップ消去およびプロテクトビット消去に記載してありますので、参照してください。

1. RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_07FF)を除くアドレスが使用可能です。使用可能なアドレスについては、「28.2.5 メモリマップ」を参照してください。

実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボートプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、28.3 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

注)　パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

2. フラッシュメモリチップ消去および プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。このコマンドは、パスワードの照合を行うかどうか選択が可能です。

28.2.10.1 RAM 転送コマンド

データ転送フォーマットは表 28-6 を参照してください。

1. 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (SC0MOD0<RXE> = 0) にしています。

   ・ UART で通信を行いたい場合

   コントローラからターゲットボードへは、UART の設定で、所望のボーレートで データを 0x86 にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。

   ・ I/O インタフェースで通信を行いたい場合

   コントローラからターゲットボードへは、同期式の設定で、所望のボーレート÷16 でデータを 0x30 にして送信してください。2 バイト目も同様に、所望のボーレート÷16 にしてください。所望のボーレートで転送するのは、3 バイト目(動作コマンドデータ)からにしてください。

   I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。従って、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート÷16 で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。従って、ACK 応答データの通信異常 ACK (bit 3) (0xX8) はありません。

2. 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 0x86 を I/O インタフェースと判定された場合 0x30 を送信します。

   ・ UART と判定された場合

   ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、SC0BRCR の値を書き替え、0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。受信を許可(SC0MOD0<RXE> = 1)するタイミングは、送信バッファにデータ(0x86)を書き込む前に行っています。

   ・ I/O インタフェースと判定された場合

   I/O インタフェースの設定になるように SC0MOD0, SC0CR の値を書き替え、SC0BUF に 0x30 を書き込み、SCLK0 信号を待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート÷16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可 (SC0MOD0<RXE> = 1) するタイミングは、送信バッファにデータ(0x30)を書き込む前に行っています。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ(0x10)になります。

4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

   次に、3 バイト目の受信データが、表 28-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ(12 バイト)になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM367FDXBG	0x3F87_FFF4 ~ 0x3F87_FFFF

6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

   次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

   最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

   - 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。
   - 5 バイト目 ~ 16 バイト目のパスワードデータの照合がすべて一致しない場合。

   上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。

8. 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。格納アドレスの開始アドレスは偶数アドレスにしてください。

9. 23 バイト目, 24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。

10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

11. 26 バイト目の送信データは、19 バイト目 ~ 25 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

    次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目 ~ 24 バイト目までの受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

    - 19 バイト目 ~ 25 バイト目のデータは「28.2.5 メモリマップ」を参照し、各製品にあった RAM 上のアドレスから RAM の最終番地の領域内に納まるようにプログラムしてください。

    上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

12. 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。

13. m + 1 バイト目の受信データは、CHECK SUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

14. m + 2 バイト目の送信データは、27 バイト目 ~ m + 1 バイト目のデータに対する ACK 応答データ(CHECK SUM に対する ACK 応答)になります。最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

    次に、m + 1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ m バイト目までの受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

15. m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 0x10 を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

28.2.10.2　フラッシュメモリチップ消去およびプロテクトビット消去コマンド

データ転送フォーマットは表 28-7 を参照してください。

1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。

2. コントローラ → デバイス

   3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリチップ消去コマンドデータ(0x40)になります。

3. デバイス → コントローラ

   4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。

   最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

   次に、3 バイト目の受信データが、表 28-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x40 をエコーバック送信します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

4. 5 バイト目~16 バイト目の受信データは、消去パスワード要否選択エリア(0x3F87_FFF0)のデータ内容により内容が異なります。

   0x3F87_FFF0 が 0xFF 以外の場合、消去パスワードが必要となり、5 バイト目~16 バイト目はパスワードデータ(12 バイト)になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM367FDXBG	0x3F87_FFF4 ~ 0x3F87_FFFF

   0x3F87_FFF0 が 0xFF の場合、パスワードは不要となり、5 バイト目~16 バイト目はダミーデータとなります。

5. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

6. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"4" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

   次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算

(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit0) 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ(bit 0) 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。
- 5 バイト目 ~ 16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。

7. コントローラ → デバイス

19 バイト目の受信データは消去イネーブルコマンドデータ(0x54)になります。

8. デバイス → コントローラ

20 バイト目の送信データは、19 バイト目の消去イネーブルコマンドデータに対する ACK 応答データになります。

最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

次に、19 バイト目の受信データが、消去イネーブルコマンドデータに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

9. デバイス → コントローラ

21 バイト目の送信データが正常に終了したかどうかを示します。

正常に終了した時は、終了コード(0x4F)を返します。

消去 Error が起きた場合は、エラーコード(0x4C)を返します。

10. 22 バイト目の受信データは、次の動作コマンドデータになります。

28.2.10.3　ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 28-8 から表 28-11 に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 28-8 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注)　UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 28-9 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0xX8 (注)	動作コマンドデータに受信エラーが発生した。
0xX1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注)　上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 28-10 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注)　上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1 (N = RAM 転送コマンドデータ[7:4])となります。

表 28-11 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

28.2.10.4　シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート÷16 で 1 バイト目を 0x30 にして送信してください。図 28-4 にそれぞれの場合の波形を示します。

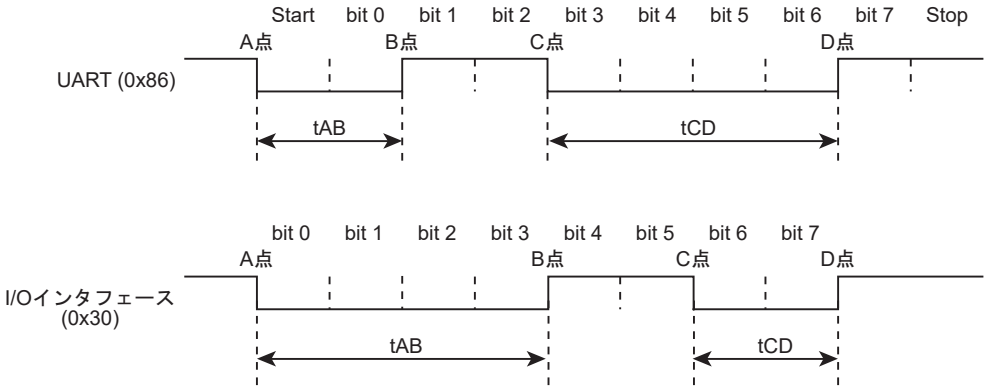


図 28-4 シリアル動作モード判定データ

ブートプログラムは、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86, 0x30)を受信禁止状態にして、図 28-5 に示すフローチャートで、図 28-4 の tAB, tAC と、tAD の時間を求めています。図 28-5 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート÷16 にして送信してください。

図 28-5 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L" レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、tAB > tCD であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり, B 点と D 点の立ち上がりを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。tAB > tCD が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

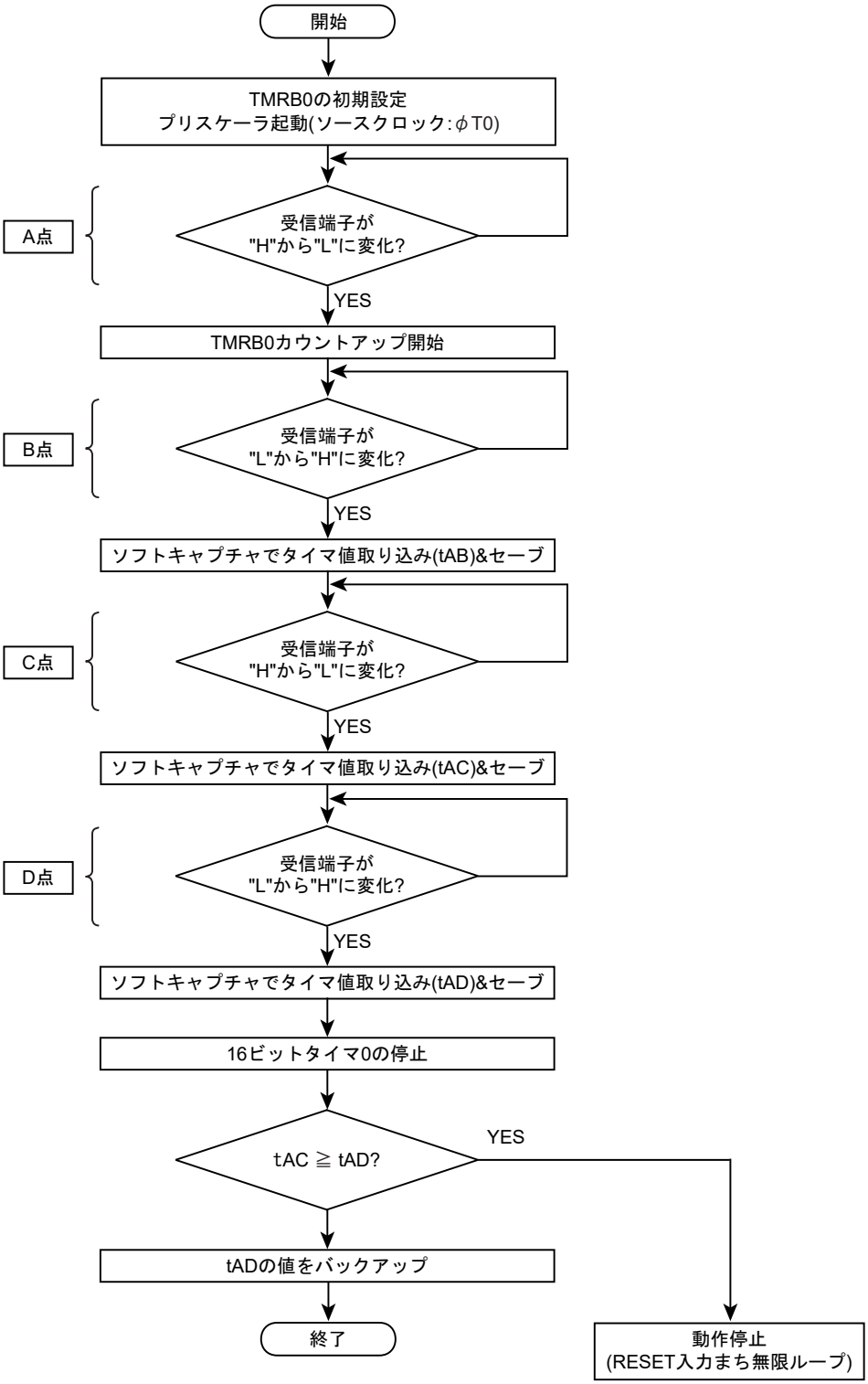


図 28-5 シリアル動作モード受信フローチャート

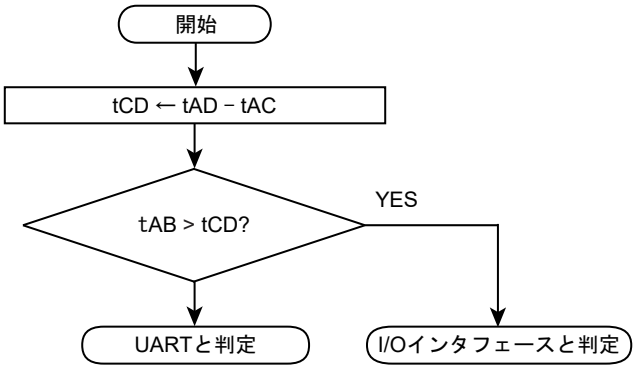


図 28-6 シリアル動作モード判定フローチャート

28.2.10.5 パスワードについて

動作コマンドによりパスワードの確認方法が異なります。パスワード領域はコマンドによらず共通で、以下の通りです。セキュリティ機能が有効な状態でもパスワードの参照は行います。

製品	パスワード領域
TMPM367FDXBG	0x3F87_FFF4 ~ 0x3F87_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドの場合

パスワードが消去データ(0xFF)の場合、容易にパスワードの推測が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値をおくことを推奨します。

図 28-7 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

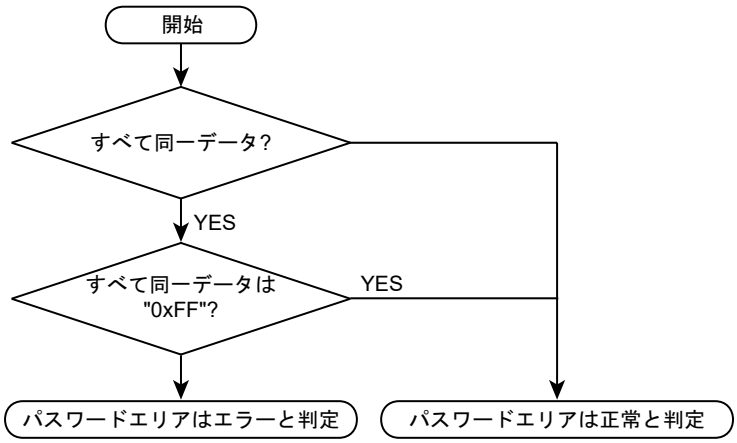


図 28-7 パスワードエリアチェックフローチャート

(2)　フラッシュメモリチップ消去およびプロテクトビット消去の場合

消去パスワード要否の選択エリアのデータによってパスワードの確認をするかどうかが決まります。消去パスワード要否の選択エリアは以下の通りです。

製品	消去パスワード要否の選択エリア
TMPM367FDXBG	0x3F87_FFF0

図 28-8 に示すように、選択エリアの値が 0xFF 以外の場合パスワードの確認を行います。

パスワードエリアのデータがすべて同一データの場合、エラーと判定し 17 バイト目の CHECK SUM 値に対する ACK 応答は"0x41"を送信します。

次に 5 バイト目~16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

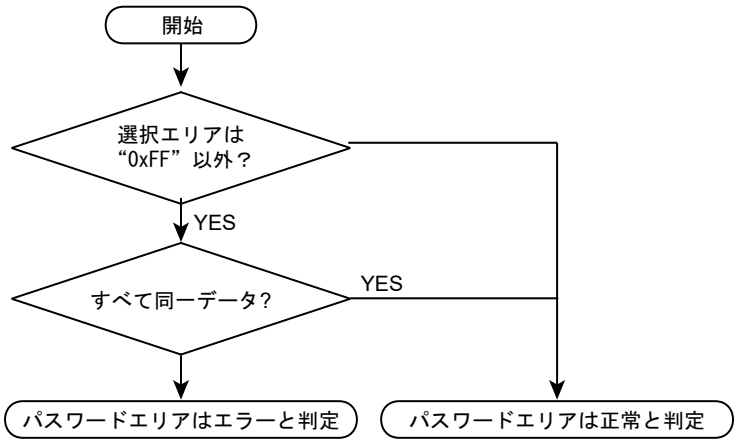


図 28-8 パスワードエリアチェックフローチャート

28.2.10.6　CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

28.2.11　ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

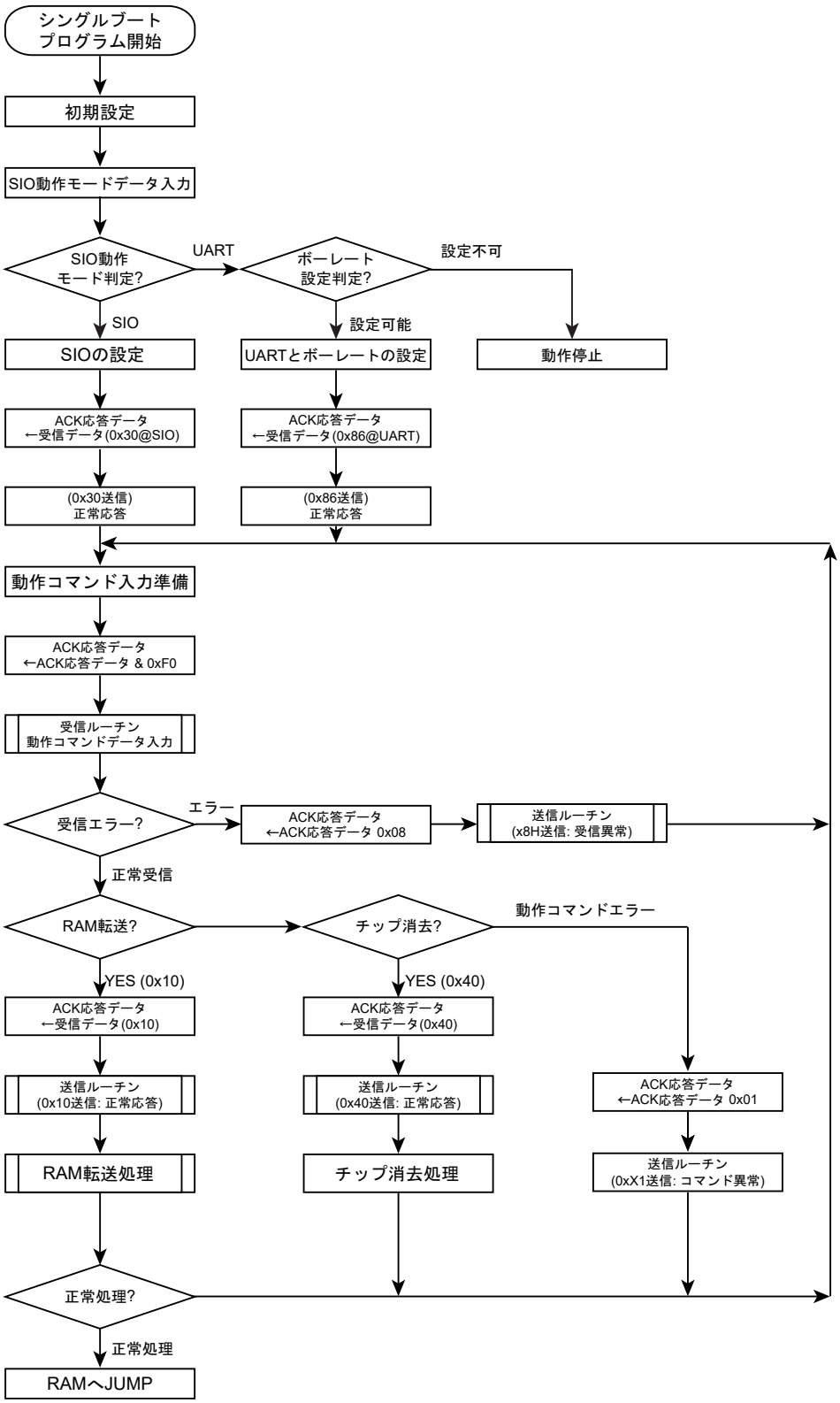


図 28-9 ブートプログラム全体フローチャート

28.2.12 USB ブート

28.2.12.1 ブート シーケンス

USB BOOT のシーケンスを以下の表に示します。

表 28-12 USB Boot シーケンス表

USB ブートプロトコル		
PC		TMPM367FDXBG
Start USB BOOT Protocol	→ ←	 Response
Send Password	→	
Confirm Password	→ ←	 Response
Send Boot Information	→	
Confirm Boot Information	→ ←	 Response
Plane Data	→	
Send Sum Data	→	
Confirm Sum Data	→ ←	 Response
Flash 消去プロトコル		
Start Flash Erase Protocol	→ ←	 Response
Send Password	→	
Confirm Password	→ ←	 Response
Run Flash Erase	→ ←	 Response

28.2.12.2　USB ブートコマンド

USB ブートコマンド一覧を以下に示します。

表 28-13 USB　ブートコマンド一覧

			Start USB Boot Protocol	Send Password	Confirn Password	Send Boot Information	Confirm Boot Information
bmRequestType	1byte	Vendor Class	in	out	in	out	in
bRequest	1byte	Command	0x18	0x20	0x28	0x30	0x38
wValue	2byte	0x0000	-	-	-	-	-
wIndex	2byte	Sequence ID	any data	Same as Start Protocol	Same as Start Protocol	Same as Start Protocol	Same as Start Protocol
wLength	2byte	Data Lengh	1	12	1	6	1
Data Stage	0 - 64 byte		0x18: OK 0x19: NG	Password[0]	0x28:OK 0x29:NG	RAM アドレス <31:24>	0x38:OK 0x39:NG
				Passwoed[1]		RAM アドレス <23:16>	
				Password[2]		RAM アドレス <15:8>	
				Password[3]		RAM アドレス <7:0>	
				Password[4]		Transfer Size<15:8>	
				Password[5]		Transfer Size<7:0>	
				Password[6]			
				Password[7]			
				Password[8]			
				Password[9]			
				Password[10]			
				Password[11]			

			Send Sum Datal	Confirm Sum Data	Start Flash Erase Protocol	Run Flash Erase
bmRequestType	1byte	Vendor Class	out	in	in	in
bRequest	1byte	Command	0x40	0x48	0x58	0x68
wValue	2byte	0x0000	-	-	-	-
wIndex	2byte	Sequence ID	Same as Start Protocol	Same as Start Protocol	any data	Same as Start Protocol
wLength	2byte	Data Lengh	1	1	1	1
Data Stage	0 - 64 byte		Sum Data	0x48: OK 0x49: NG	0x58:OK 0x59:NG	0x68: OK 0x69: NG

28.2.13 ディスクリプタ

USB ブートモードで使用するディスクリプタ情報を下記の表に示します。

表 28-14 Device ディスクリプタ

Offset	Filed	value	Description
0	bLentgh	0x12	18 バイト
1	bDescripotType	0x01	デバイスディスクリプタ
2	bcdUSB	0x00	USB version2.0
3		0x02	
4	bDeviceClass	0x00	デバイスクラス未使用
5	bDeviceSubClass	0x00	サブコマンド未使用
6	bDeviceProtocol	0x00	プロトコル未使用
7	bMaxPacketSize0	0x40	EP0 最大パケットサイズ 64 バイト
8	idVendor	0x30	ベンダ ID
9		0x09	
10	idProduct	0x59	プロダクト ID
11		0x65	
12	bcdDevice	0x00	デバイスバージョン(v0.1)
13		0x01	
14	iManufacture	0x00	製造者名を示すストリングディスクリプタのインデック値
15	iProduct	0x00	製品名を示すストリングディスクリプタのインデック値
16	iSerialNumber	0x00	製品のシリアル番号を示すストリングディスクリプタのインデック値
17	bNumConfigurations	0x01	構成は 1 つ

表 28-15 Configuration ディスクリプタ

Offset	Filed	value	Description
0	bLentgh	0x09	9 バイト
1	bDescripotType	0x02	コンフィグレーションディスクリプタ
2	bTotal Lenght	0x20	コンフィグレーション＋＋エンドポイントの各ディスクリプタを合わせた長さ(32 バイト)
3		0x00	
4	bNumInterfaces	0x01	インタフェースは 1 つ
5	bConfigurationValue	0x01	構成番号 1
6	iConfiguration	0x00	このコンフィグレーション名を示すストリングディスクリプタのインデックス値(未使用)
7	bmAttributes	0x80	バス電源
8	MaxPower	0x31	最大消費電力(49mA)

表 28-16 Interface ディスクリプタ

Offset	Filed	value	Description
0	bLentgh	0x09	9 バイト
1	bDescripotType	0x04	インタフェースディスクリプタ
2	bInterdfaceNumber	0x00	インタフェース番号
3	bAlternateSetting	0x00	代替え設定番号 0
4	bNumEndpoints	0x02	エンドポイントは 2 つ
5	bInterfaceClass	0xFF	
6	bInterfaceSubClass	0x00	
7	bInterfaceProtocol	0x50	BulkOnly プロトコル
8	iInterface	0x00	このインタフェース名を示すストリングディスクリプタのインデックス値(未使用)

表 28-17 Bulk-In Endpoint ディスクリプタ

Offset	Filed	value	Description
0	bLentgh	0x07	7 バイト
1	bDescripotType	0x05	エンドポイントディスクリプタ
2	bEndpointAddress	0x81	EP1 は IN
3	bmAttributes	0x02	バルク転送
4	wMaxPacketSize	0x40	ペイロード 64 バイト
5		0x00	
6	bInterval	0x00	(バルク転送のため、無視される)

表 28-18 Bulk-Out Endpoint ディスクリプタ

Offset	Filed	value	Description
0	bLentgh	0x07	7 バイト
1	bDescripotType	0x05	エンドポイントディスクリプタ
2	bEndpointAddress	0x02	EP2 は OUT
3	bmAttributes	0x02	バルク転送
4	wMaxPacketSize	0x40	ペイロード 64 バイト
5		0x00	
6	bInterval	0x00	(バルク転送のため、無視される)

28.3　オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPU によりソフトウエア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM 上で実行してください。

28.3.1　フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。CPU とのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(ワード)のデータ転送命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 28-19 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

28.3.1.1　ブロック構成

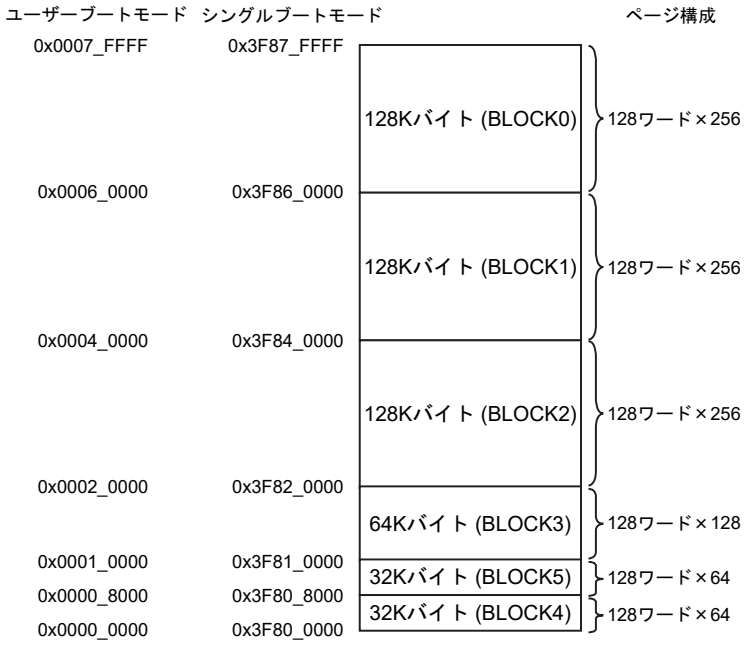


図 28-10 ブロック構成(TMPM367FDXBG)

28.3.1.2 基本動作

このフラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウエアリセットを除いて例外が発生した場合、リードモードに移りません。自動動作中はデバックポート接続時のデバッグ例外とリセットを除いて、すべての例外を発生させないでください。ハードウエアリセットを除いて例外が発生した場合、リードモードに移行しません。

(1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPU リセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述する Read/リセットコマンド(ソフトウエアリセット)もしくはハードウエアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- Read/リセットコマンド および Read コマンド(ソフトウエアリセット)

  ID-Read コマンドを実行した場合、マクロは自動的には Read モードに復帰せず、その状態で停止します。このような状態から Read モードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルしたい場合にも、Read/リセットコマンドを使用します。Read コマンドは、フラッシュメモリの任意のアドレスに 0x0000_00F0 データを 32 ビット (ワード) のデータ転送命令を実行してリードモードに復帰するコマンドです。

  Read/リセットコマンドは第 3 バスライトサイクル終了後にリードモードになります。

(2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します (コマンドシーケンス参照) 。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

フラッシュメモリに対する 32 ビット(ワード)のデータ転送命令を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスサイクルで構成されています。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。

注 1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。

注 2) 各バスライトサイクルは連続して、32 ビット(ワード)のデータ転送命令で行って下さい。各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスは実施しないで下さい。また、すべての割り込み(デバックポート接続時は、デバッグ例外を除く)を発生させないでください。

各バスライトサイクルおよび、各コマンドシーケンスの実行中にフラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンサがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性があります。

注 3)　コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY_BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。

注 4)　コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、一度リードモードに戻して下さい。

28.3.1.3　コマンド説明

(1)　自動ページプログラム

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、ページごとの書き込みとなります。1 ページは、128 ワードです。1 ページ 128 ワードの場合アドレス[31:9]が同じで、先頭アドレス[8:0] = 0 、最後のアドレス[8:0] = 0x1FF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)は FCFLCS<RDY_BSY>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウエアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであってもページに対して 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第 3 バスライトサイクル終了から開始します。第 5 バスライトサイクル以降は、第 4 バスライトサイクルで指定した次のアドレス(第 4 バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は 32 ビット単位で行います)。第 4 バスサイクル以降のコマンドライトは必ず 32 ビット(ワード)のデータ転送命令を使用してください。このとき 32 ビット(ワード)のデータ転送命令はワード境界をまたいだ位置へ実施しないでください。第 5 バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第 4 バスライトサイクルのアドレス入力はページの先頭アドレスにしてください。この時"0"データセルにしたくない箇所は入力データを"1"にしてコマンドライトします。例えば、あるページの先頭アドレスの書き込みをしない場合、第 4 バスライトサイクルのデータ入力を 0xFFFFFFFF としてコマンドライトします。

第 3 バスライトサイクルを実行すると自動プログラム動作中となります。このことは FCFLCS<RDY_BSY>をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウエアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1 ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時に FCFLCS<RDY_BSY> = "1" となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります(1 回の自動ページプログラムコマンドで書き込めるサイズは 1 ページです)。ページを跨ったデータ入力の自動ページプログラムはできません。

ライト/消去プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことはFCFLCS<RDY_BSY>をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはハードウエアリセットでデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注) 自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウエアリセットが無効になります。

(2) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動チップ消去動作は、FCFLCS<RDY_BSY>をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウエアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがライト/消去プロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはハードウエアリセットでデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

(3) 自動ブロック消去(Block 単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FCFLCS<RDY_BSY>をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウエアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。ハードウエアリセットを用いてデバイスをリセットしてください。

(4) 自動プロテクトビットプログラム(Block 単位)

本デバイスはプロテクトビットを内蔵しBlock単位で設定することができます。Blockとプロテクトビットの関係は表28-23にあります。自動プロテクトビットプログラムは1ビット単位で実行します。ビットの指定は第7バスライトサイクルのPBAで行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態はFCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY_BSY>をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウエアリセットを用います。この場合、プロ

テクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。すべてのプロテクトビットをプログラムした後は、FCFLCS レジスタのすべての<BLPRO>ビットが"1"になっています。これ以降はすべての Block に対し、ライト/消去はできません。

注)　自動プロテクトビットプログラム第 7 バスライトサイクルでは、ソフトウエアリセットが無効になります。FCFLCS<RDY_BSY> は、第 7 バスライトサイクル入力後から、FCFLCS<RDY_BSY> = "0"となります。

(5)　自動プロテクトビット消去

セキュリティビットとプロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。FCSECBIT<SECBIT> = 1 の場合、FCFLCS レジスタのすべての<BLPRO>が"1"か、それ以外の値かで動作が決まります。自動プロテクトビット消去コマンド実施前に必ず FCFLCS<BLPRO>の値を確認してください。セキュリティの詳細については「プロテクト/セキュリティ機能」の章を参照してください。

- FCFLCS<BLPRO> = all "1" (すべてのプロテクトビットがプログラムされている) の場合

  自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第 7 バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FCFLCS<RDY_BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FCFLCS = 0x00000001 となります。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第 7 バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウエアリセットでデバイスをリセットする必要があります。この場合リードモードに復帰後、FCFLCS<BLPRO>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去あるいは自動ブロック消去を実行する必要があります。

- FCFLCS<BLPRO> ≠ all "1" (すべてのプロテクトビットがプログラムされていない)の場合

  プロテクトビットを消去することで、プロテクトの状態を解除することができます。本デバイスでは、表 28-23 のように Block 単位でプロテクトビットをプログラムするのに対して消去は 4 ビットをまとめて行います。消去を行いたいプロテクトビットの指定は第 7 バスライトサイクルで行います。各ブロックのプロテクトビットの状態は後で説明する FCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY_BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FCFLCS<BLPRO>の消去選択したプロテクトビットの値が"0"となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウエアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

注)　FCFLCS<RDY_BSY>ビットは自動動作中"0"、自動動作終了後"1"になります。

(6)　ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることができます。第 4 バスライトサイクル以降でのアドレス[15:14]の値によりロードされるデータが異なります(データ入力値は 0x00 推奨)。第 5 バスライトサイクル以降で任意のフラッシュメモリエリアの読み出しを行うと ID の値が読み出されます。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。 リードモードへの復帰は Read/リセットコマンドまたはハードウエアリセットで行います。

28.3.1.4 フラッシュコントロール/ステータスレジスタ

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000, 0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024 ~ 0x0FFF

注) "Reserved"表記のアドレスにはアクセスしないでください。

(1) FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	–	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	–	R	リードすると"0"が読めます。
0	RDY_BSY	R	Ready/Busy (注 1) 0: 自動動作中 1:自動動作終了 自動動作の状態を認識する方法として、RDY_BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウエアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウエアリセットで復帰してください。この場合のリセットについては、「28.2.1 リセット」を参照してください。

注 2) プロテクト状態に対応した値になります。

(2)　FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティビット設定可能

注)　本レジスタは、コールドリセットおよび低消費電力モードの STOP2 解除で初期化されます。

28.3.1.5 コマンドシーケンス一覧

各コマンドの、アドレスとデータを表 28-20 に示します。

Read コマンドの第 2 バスサイクル, Read/リセットコマンドの第 4 バスサイクル, ID-Read コマンドの第 5 バスサイクル以外はすべて" バスライトサイクル"です。バスライトサイクルは 32 ビット (ワード) のデータ転送命令で実施します。(表では、データの下位 8 ビットのデータのみ示しています。)

アドレスの詳細は、表 28-21 を参照してください。「コマンド」と記載された、Addr[15:8]に下記の値を使用します。

注) 全バスサイクル, アドレスビット[1:0]へは常に"0"を設定して下さい。

表 28-20 内部 CPU によるフラッシュメモリアクセス

コマンドシーケンス	第 1 バスサイクル	第 2 バスサイクル	第 3 バスサイクル	第 4 バスサイクル	第 5 バスサイクル	第 6 バスサイクル	第 7 バスサイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
Read/リセット	0x54XX	0xAAXX	0x54XX	RA	–	–	–
	0xAA	0x55	0xF0	RD	–	–	–
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページプログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動ブロック消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビットプログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
  PD: プログラムデータ(32 ビットデータ)
  第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

28.3.2　バスライトサイクル時のアドレスビット構成

表 28-21 は「表 28-20 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。「"0"推奨」は適宜変更可能です。

<table>
<tr><th>アドレス</th><th>Addr
[31:19]</th><th>Addr
[18]</th><th>Addr
[17]</th><th>Addr
[16]</th><th>Addr
[15]</th><th>Addr
[14]</th><th>Addr
[13:11]</th><th>Addr
[10]</th><th>Addr
[9]</th><th>Addr
[8]</th><th>Addr
[7:0]</th></tr>
<tr><td rowspan="2">通常
コマンド</td><td colspan="11">通常のバスライトサイクルアドレス設定</td></tr>
<tr><td>フラッシュ領域</td><td colspan="2">"0"推奨</td><td colspan="6">コマンド</td><td>Addr[1:0] = "0"固定、
他ビットは"0"推奨</td></tr>
<tr><td rowspan="2">ID-READ</td><td colspan="11">IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)</td></tr>
<tr><td>フラッシュ領域</td><td colspan="2">"0"推奨</td><td colspan="2">ID アドレス</td><td colspan="6">Addr[1:0] = "0"固定、他ビットは"0"推奨</td></tr>
<tr><td rowspan="2">ブロック
消去</td><td colspan="11">BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)</td></tr>
<tr><td colspan="5">ブロックアドレス(表 28-21)</td><td colspan="6">Addr[1:0] = "0"固定、他ビットは"0"推奨</td></tr>
<tr><td rowspan="2">Auto ページ
プログラム</td><td colspan="11">PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)</td></tr>
<tr><td colspan="10">ページアドレス</td><td>Addr[1:0] = "0"固定、
他ビットは"0"推奨</td></tr>
<tr><td rowspan="2">プロテクト
ビットプロ
グラム</td><td colspan="11">PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)</td></tr>
<tr><td>フラッシュ領域</td><td>プロテクト
ビット選択
(表 28-22)</td><td colspan="6">"0"固定</td><td>プロテクト
ビット選択
(表 28-22)</td><td colspan="2">Addr[1:0] = "0"固定、
他ビットは"0"推奨</td></tr>
<tr><td rowspan="2">プロテクト
ビット消去</td><td colspan="11">PBA: プロテクトビットアドレス(プロテクトビット消去の第 7 バスライトサイクルアドレス設定)</td></tr>
<tr><td>フラッシュ領域</td><td>プロテクト
ビット選択
(表 28-23)</td><td colspan="6">"0"固定</td><td colspan="3">Addr[1:0] = "0"固定、
他ビットは"0"推奨</td></tr>
</table>

ブロックアドレスには、消去するブロックに含まれる任意のアドレスを指定します。

表 28-21 ブロックアドレス表

TMPM367FDXBG

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
4	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32
5	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
3	0x0001_0000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	64
2	0x0002_0000 ~ 0x0003_FFFF	0x3F82_0000 ~ 0x3F83_FFFF	128
1	0x0004_0000 ~ 0x0005_FFFF	0x3F84_0000 ~ 0x3F85_FFFF	128
0	0x0006_0000 ~ 0x0007_FFFF	0x3F86_0000 ~ 0x3F87_FFFF	128

注)　第 1 バスサイクルから第 5 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 28-22 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス					
		アドレス [18]	アドレス [17]	アドレス [16:11]	アドレス [10]	アドレス [9]	アドレス [8]

TMPM367FDXBG

Block0	<BLPRO[0]>	0	0	"0"固定	0	0	"0"推奨
Block1	<BLPRO[1]>	0	0		0	1	
Block2	<BLPRO[2]>	0	0		1	0	
Block3	<BLPRO[3]>	0	0		1	1	
Block4	<BLPRO[4]>	0	1		0	0	
Block5	<BLPRO[5]>	0	1		0	1	

表 28-23 プロテクトビット消去アドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス [18:17]	
		アドレス[18]	アドレス[17]
Block3 ~ 0	<BLPRO[3:0]>	0	0
Block5 ~ 4	<BLPRO[5:4]>	0	1

注) プロテクトビット消去コマンドは、プロテクトビット単位での消去はできません。

表 28-24 ID-Read コマンド第 4 バスライトサイクルの ID アドレス(IA)とその後の 32 ビット転送命令で読み出せるデータ

IA[15:14]	ID[7:0]	Code
00	0x98	メーカーコード
01	0x5A	デバイスコード
10	Reserved	–
11	0x10	マクロコード

28.3.2.1　フローチャート

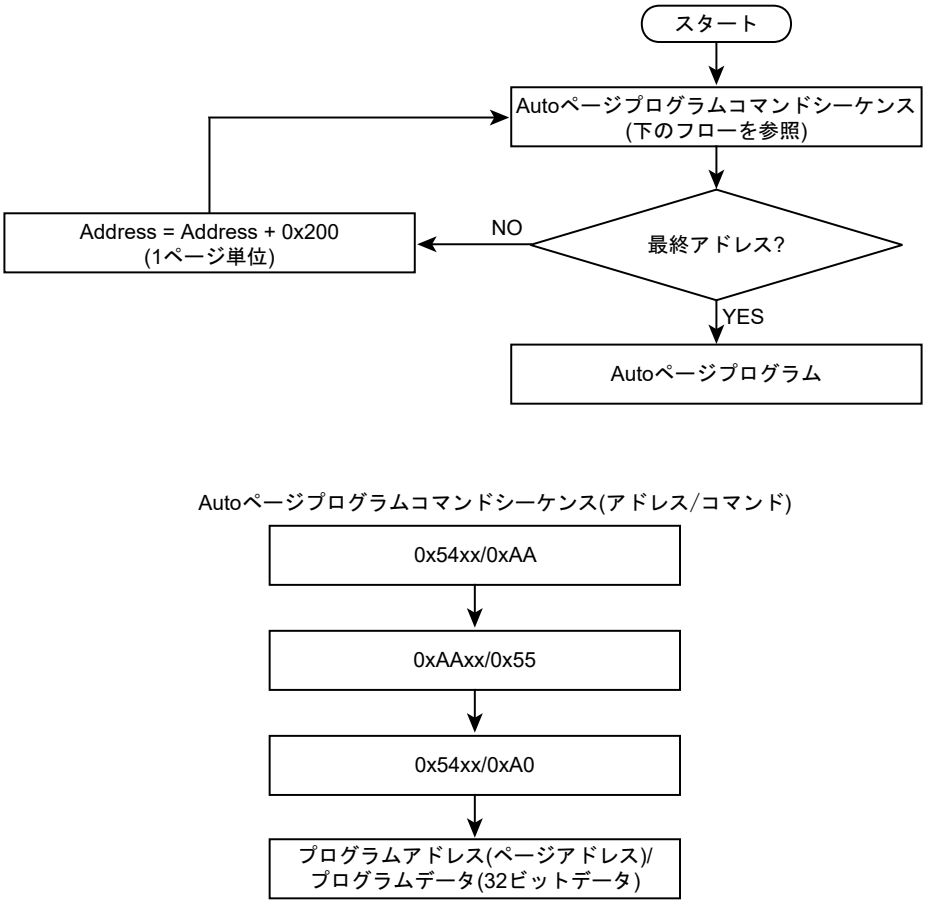


図 28-11 自動プログラム

注)　0x54xx は 0x55xx でもコマンドシーケンスを実行します。

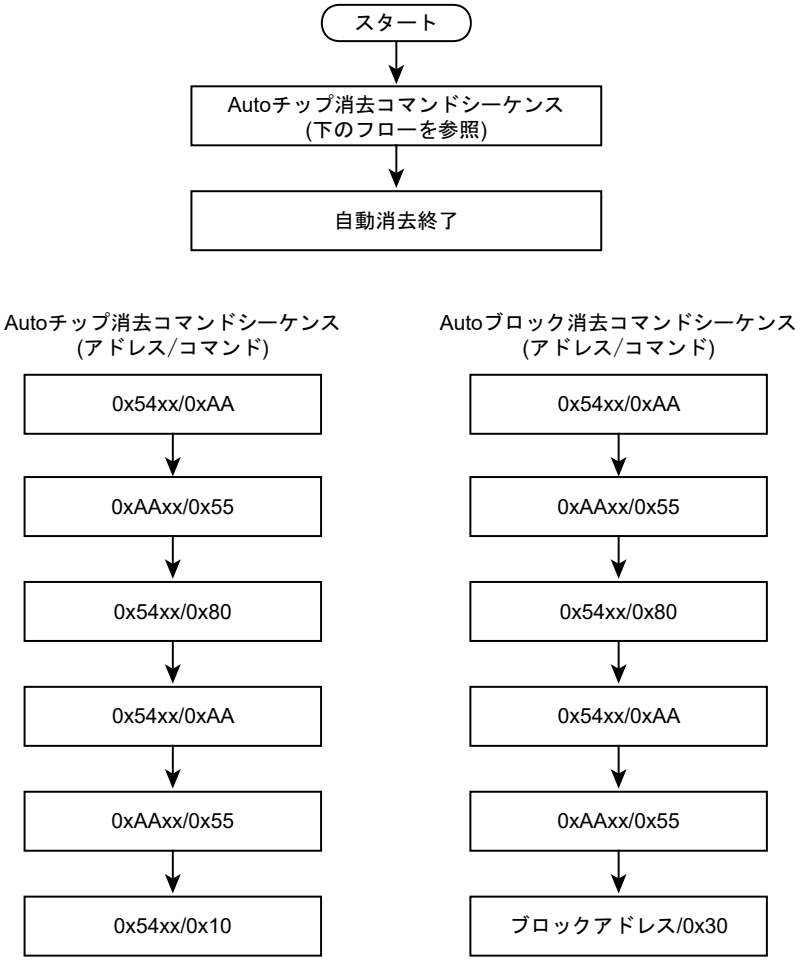


図 28-12 自動消去

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

第 29 章　プロテクト/セキュリティ機能

29.1　概要

本製品は内蔵 ROM (Flash)のライト/消去をプロテクトする機能、およびライタでの内蔵 ROM (Flash)領域を読み出し禁止に設定できるセキュリティ機能を内蔵しています。セキュリティ機能はデバッグ機能の使用制限も行います。プロテクト/セキュリティ機能として、次の 2 つの機能をもっています。

- 内蔵 ROM (Flash)のライト/消去プロテクト
- セキュリティ機能

29.2　特長

29.2.1　内蔵 ROM (Flash)のライト/消去プロテクト

内蔵フラッシュは、ブロック単位で書き込みと消去の動作を禁止することができます。この機能をライト/消去プロテクトと呼びます。

ライト/消去プロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを"1"にします。プロテクトビットを"0"にすることによりブロックプロテクトを解除することができます。(プログラム方法については、「Flash 動作説明」の章をご覧ください。)

プロテクトビットは、FCFLCS<BLPRO[5:0]>でモニタすることができます。

29.2.2　セキュリティ機能

内蔵フラッシュに対してのデータの読み出しの制限および、デバッグ機能を制限することができます。この機能をセキュリティ機能と呼びます。

セキュリティ機能が有効になる条件を、以下に示します。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. ライト/消去プロテクト用のすべてのプロテクトビット(FCFLCS<BLPRO>)が"1"にセットされている。

セキュリティ機能が有効な状態の制限内容を、表 29-1 に示します。

表 29-1 セキュリティ機能有効時の制限内容

項目	内容
1) ROM 領域のデータの読み出し	CPU からの読み出しは可能です。
2) デバッグポート	JTAG/SW, トレースの通信ができなくなります。
3) フラッシュに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。また、ライト/消去プロテクト用のプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

29.3　レジスタ

29.3.1　レジスター覧

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000, 0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024 ~ 0x0FFF

注)　"Reserved"表記のアドレスにはアクセスしないでください。

29.3.2 FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	−	R	リードすると"0"が読めます。
21-16	BLPRO5 − BLPRO0	R	Block5 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	−	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy フラグ(注 1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は"0"を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり"1"を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは"0"出力を継続します。ハードウエアリセットにより"1"に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウエアリセットで復帰してください。この場合のリセットについては、「Flash 動作説明」のリセット動作を参照してください。

注 2) プロテクト状態に対応した値が読めます。

29.3.3　FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0: セキュリティ機能設定不可 1: セキュリティ機能設定可能

注)　本レジスタは、コールドリセットおよび低消費電力モードの STOP2 解除で初期化されます。

29.4 設定/解除方法

29.4.1 内蔵 ROM (Flash)のライト/消去プロテクト

プロテクトビットの書き込みと消去はコマンドシーケンスを用いて行います。

プロテクトビットの書き込みは 1 ブロックごと、消去は Block0~3 と Block4~5 の 2 つの単位で行います。

全 Block すべてのプロテクトビットが"1"でかつ、FCSECBIT<SECBIT>が"1"の場合、セキュリティ機能が有効になっているので注意が必要です。この状態でプロテクトビットの消去を行うと、チップ消去を行った上でプロテクトビットすべてを消去します。このため、FCSECBIT<SECBIT>を"0"にしてからプロテクトビットの消去を行う必要があります。

コマンドシーケンスの詳細は「Flash 動作説明」の章を参照してください。

29.4.2 セキュリティビット

セキュリティ機能を有効にする FCSECBIT<SECBIT>は電源投入時のリセットで"1"にセットされます。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

注) 上記 1, 2 の書き込みは 32bit 転送命令で行ってください。

第 30 章　デバッグインタフェース

30.1　仕様概要

TMPM367FDXBG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA[3:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細に関しましては ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

30.2　SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, $\overline{\text{TRST}}$)をサポートしています。

30.3　ETM

データ信号 4pin (TRACEDATA[3:0])と クロック信号 1pin (TRACECLK)および、1pin(SWV)によるトレース出力をサポートしています。

30.4　Pin Functions

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子と兼用される汎用ポートのうち、PA1/PA2 端子は JTAG デバッグポート機能とシリアルワイヤデバッグポート機能で、PA0 端子は JTAG デバッグポート機能と SWV トレース出力機能となります。

表 30-1 SWJ-DP,ETM デバッグ機能

SWJ-DP 端子名	汎用 ポート名	JTAG デバッグ機能		SW デバッグ機能	
		I / O	説明	I / O	説明
TMS / SWDIO	PA1	Input	JTAG Test Mode Selection	I / O	Serial Wire Data Input/Output
TCK / SWCLK	PA2	Input	JTAG Test Check	Input	Serial Wire Clock
TDO / SWV	PA0	Output	JTAG Test Data Output	(Output)(注)	(Serial Wire Viewer Output)
TDI	PA3	Input	JTAG Test Data Input	-	-
$\overline{\text{TRST}}$	PA4	Input	JTAG Test $\overline{\text{RESET}}$	-	-
TRACECLK	PA5	Output	TRACE Clock Output		
TRACEDATA0	PA6	Output	TRACE DATA Output0		
TRACEDATA1	PA7	Output	TRACE DATA Output1		
TRACEDATA2	PB0	Output	TRACE DATA Output2		
TRACEDATA3	PB1	Output	TRACE DATA Output3		

注)　SWV 機能を許可した場合

リセット解除後、PA0/ PA1/ PA2/ PA3/ PA4 はデバッグポート端子となりますが、その他のデバッグインタフェース端子は汎用ポートです。必要に応じてデバッグ端子を使用する設定を行ってください。

低消費電力モードを使用する場合には以下の注意事項に留意してください。

注)　PA1 と PA0 が機能設定(PA1:TMS/SWDIO,PA0:TDO/SWV)の場合、CGSTBYCR<DRVE>ビットの状態によらず、STOP モード中も出力が有効な状態で保持されます。

表 30-2 にデバッグインタフェースの端子情報とリセット解除後のポートの設定をまとめます。

表 30-2 デバッグインタフェース端子とリセット解除後のポート設定

ポート名 (ビット名)	デバッグ機能	リセット解除後のポートの設定値					
		機能 (PxFR)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)	オープン ドレイン (PxOD)
PA1	TMS/SWDIO	1	1	1	1	0	0
PA2	TCK/SWCLK	1	1	0	0	1	0
PA0	TDO/SWV	1	0	1	0	0	0
PA3	TDI	1	1	0	1	0	0
PA4	$\overline{\text{TRST}}$	1	1	0	1	0	0
PA5	TRACECLK	0	0	0	0	0	0
PA6	TRACEDATA0	0	0	0	0	0	0
PA7	TRACEDATA1	0	0	0	0	0	0
PB0	TRACEDATA2	0	0	0	0	0	0
PB1	TRACEDATA3	0	0	0	0	0	0

30.5 ホールトモード中の周辺機能

Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

30.6　デバッグツールとの接続

30.6.1　接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注)　デバックツールを接続した状態で STOP1/STOP2 モード時の消費電流測定は行なわないでください。

30.6.2　デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後、ユーザプログラムでデバッグインターフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御ができなくなります。再度デバッグツールを接続するためには何らかの方法で汎用ポートをデバッグインターフェース機能に変更する仕組みを準備しておく必要がありますので注意してください。

表 30-3 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	$\overline{\text{TRST}}$	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[3:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	×	×
JTAG+SW ($\overline{\text{TRST}}$ なし)	×（注）	o	o	o	o	×	×
JTAG+TRACE	o	o	o	o	o	o	o
SW	×	×	×	o	o	×	×
SW+SWV	×	×	o	o	o	×	×

o：イネーブル ×：ディセーブル(汎用ポートとして使用可能)
注) $\overline{\text{TRST}}$が割り当てられている端子は、$\overline{\text{TRST}}$を選択して、オープンにするか"High"レベルを入力してください。

第 31 章　JTAG インタフェース

31.1　仕様概要

TMPM367FDXBG には、Joint Test Action Group (JTAG) 規格に適合するインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE Std 1149.1 ・ 1990(Includes IEEE Std 1149.1a ・ 1993)) が使われています。

本章では、バウンダリスキャン、インタフェースで使われるピンと信号に触れながら、このインタフェースについて説明しています。

1. JTAG 規格バージョン

   IEEE Standard 1149.1・1990 (Includes IEEE Standard 1149.1a・1993)

2. JTAG 命令

   標準命令 (BYPASS, SAMPLE/PRELOAD, EXTEST)

   HIGHZ 命令

   CLAMP 命令

   但し、TMPM367FDXBG は JTAG 動作中、内部回路リセットが起動しているため SAMPLE/RELOAD 命令は機能しません

3. IDCODE

   なし

4. バウンダリスキャンレジスタ(BSR)対象外端子
   a. 発振回路 (X1, X2)
   b. DAC 出力端子 (DA0, DA1)
   c. JTAG 制御端子 (BSC)
   d. 電源/GND (AD コンバータと DA コンバータ基準電源端子を含む)
   e. TEST 端子 (FTEST3)
   f. 機能端子 ($\overline{\text{RESET}}$)
   g. 制御端子 (MODE)

注)　アナログ入力端子への入力レベルに注意してください。

31.2　信号の要約と接続例

JTAG インタフェース信号は次のとおりです。

- TDI　JTAG シリアルデータ入力
- TDO　JTAG シリアルデータ出力
- TMS　JTAG テストモード選択
- TCK　JTAG シリアルクロック入力
- $\overline{\text{TRST}}$　JTAG テストリセット入力
- BSC　ICE/JTAG テスト選択入力(準拠イネーブル信号)
  0: ICE, 1: JTAG

JTAG 対応の開発ツールを、JTAG インタフェースに接続し、デバッグをサポートします。

デバッグに関しては、使用する開発ツールの仕様を確認してください

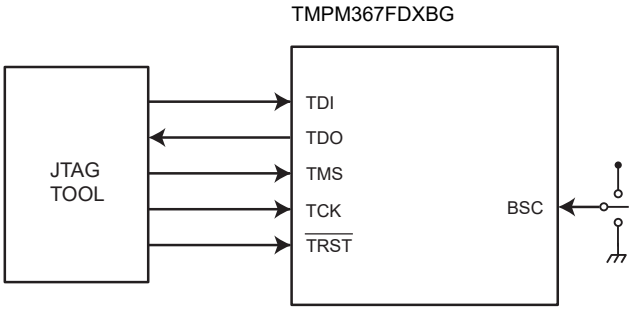


図 31-1 JTAG 開発ツールとの接続例

モード設定端子(BSC)	動作モード
0	Boundary Scan Mode 以外の時は 0 にしてください。 通常の Debug Mode として使用できます。 (注)ただし、内部 BOOT 起動時は Debug 出来ません。
1	Boundary Scan Mode として使用できます。

31.3 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC) 、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことです。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TCK, TMS, TDI, TDO および $\overline{\text{TRST}}$ という 5 種類の信号が使われます 。

JTAG バウンダリスキャンメカニズム (本章では「JTAG メカニズム」と呼びます) により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムそのものには、プロセッサ自体をテストする機能はありません。

31.4 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが TMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは 表 31-1.に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされるとき、TMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

31.5　命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 31-1 の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 31-1 JTAG の命令レジスタのビット構成

命令コード (MSB → LSB)	命令	選択されるデータレジスタ
0000	EXTEST	Boundary scan register
0001	SAMPLE/PRELOAD	Boundary scan register
0100 ~ 1110	Reserved	Reserved
0010	HIGHZ	Bypass register
0011	CLAMP	Bypass register
1111	BYPASS	Bypass register

命令レジスタのフォーマットは図 31-2 のとおりです。

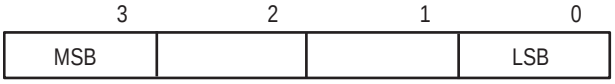


図 31-2 命令レジスタ

命令コードは、最下位ビットから命令ジレスタにシフトされます。

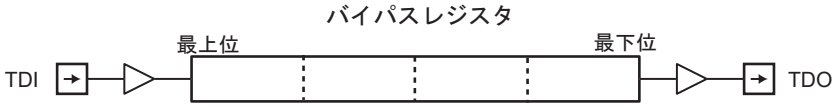


図 31-3 命令レジスタのシフト方向

バイパスレジスタは 1 ビット幅です。TAP コントロ−ラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は 図 31-4 のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

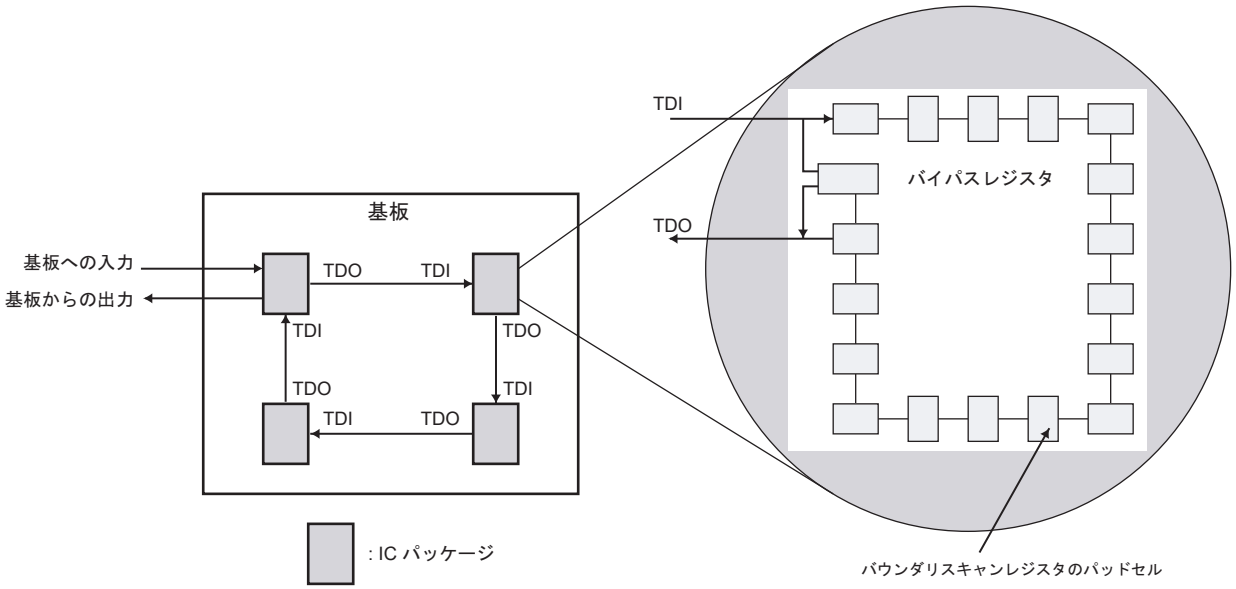


図 31-4 バイパスレジスタの機能

31.6　バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMPM367FDXBG の入出力があります。 TMPM367FDXBG のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、単一の 231 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、 TMPM367FDXBG の入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

31.7　テストアクセスポート(TAP)

テストアクセスポート (TAP) は、5 個の信号ピン $\overline{\text{TRST}}$、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 31-5 のように、 データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

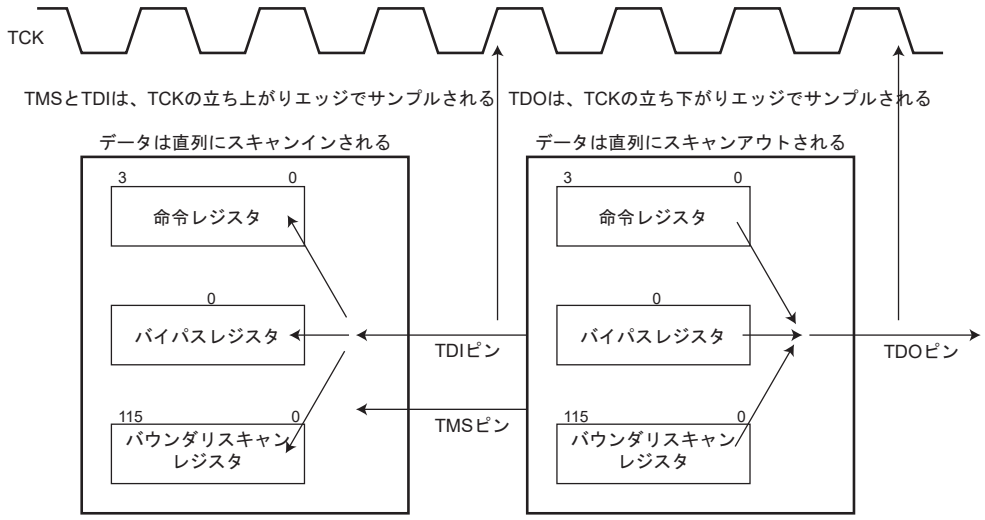


図 31-5 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

31.8　TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

31.9 TAP コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

$\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続けます。TMS をアサート状態に保てば、リセット状態が保たれます。

31.10 コントローラの状態

図 31-6 に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

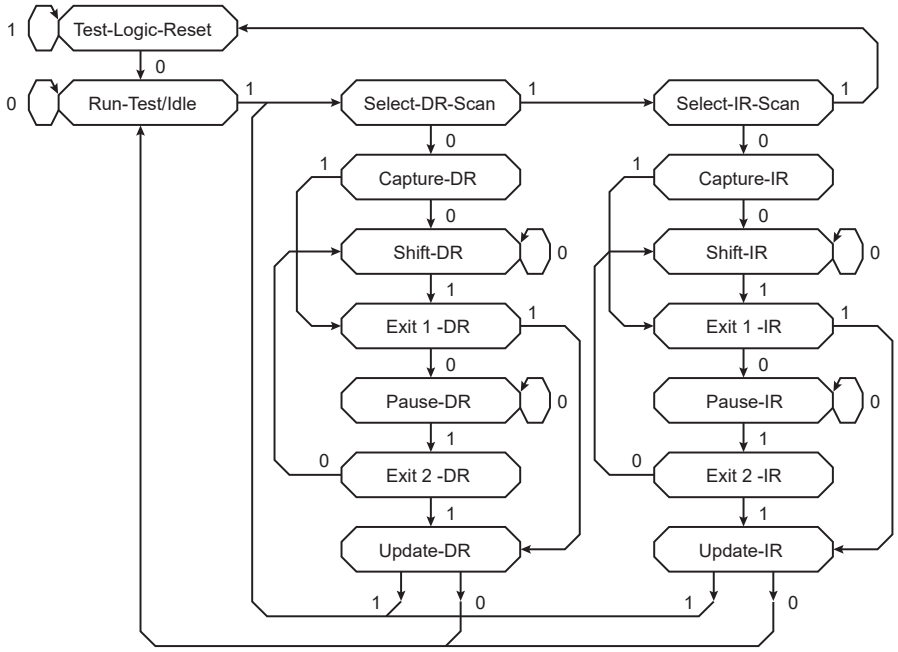


図 31-6 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 31-6 の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR) 、命令レジスタ (IR) を表します。

- Test-Logic-Reset

  TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。

  TMS が 1 の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に 0 を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。

- Run-Test/Idle

  Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。

  TMS が 0 の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に 1 を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。

- Select-DR-Scan

  Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。

  TAP コントローラが Select-DR-Scan 状態のとき TMS に 0 を入力すると Capture-DR 状態に遷移します。TMS に 1 を入力すると命令カラムの Select-IR-Scan 状態に遷移します。

- Select-IR-Scan

  Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。

  TAP コントローラが Select-IR-Scan 状態のとき、TMS に 0 を入力すると Capture-IR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。

- Capture-DR

  TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタがパラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。

  TAP コントローラが Capture-DR 状態のとき TMS に 0 を入力すると、Shift-DR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Shift-DR

  TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。

  TAP コントローラが Shift-DR 状態のとき、TMS が 0 のあいだ Shift-DR 状態を保持します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Exit 1-DR

  Exit 1-DR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 1-DR 状態のとき、TMS に 0 を入力すると Pause-DR 状態に遷移します。TMS に 1 を入力すると Update-DR 状態に遷移します。

- Pause-DR

  Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。

  TAP コントローラが Pause-DR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-DR 状態に遷移します。

- Exit 2-DR

  Exit 2-DR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 2-DR 状態のとき、TMS に 0 を入力すると、Shift-DR 状態に戻ります。TMS に 1 を入力すると Update-DR 状態に遷移します。

- Update-DR

  Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することはなく、この状態でのみデータを出力します。

  TAP コントローラが Update-DR 状態のとき TMS に 0 を入力すると Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると Select-DR-Scan 状態に遷移します。

- Capture-IR

  Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは"0001"です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。

TAP コントローラが Capture-IR 状態のとき TMS に 0 を入力すると Shift-IR 状態に遷移します。TMS に 1 を入力すると Exit 1-IR 状態に遷移します。

・ Shift-IR

Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。

TAP コントローラが Shift-IR 状態のとき TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると、Exit 1-IR 状態に遷移します。

・ Exit 1-IR

Exit 1-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-IR 状態のとき TMS に 0 を入力すると、Pause-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

・ Pause-IR

Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

TAP コントローラが Pause-IR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-IR 状態に遷移します。

・ Exit 2-IR

Exit 2-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-IR 状態のとき、TMS に 0 を入力すると、Shift-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

・ Update-IR

Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

TAP コントローラが Update-IR 状態のとき、TMS に 0 を入力すると、Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると、Select-DR-Scan 状態に遷移します。

31.11　バウンダリスキャン順序

プロセッサ信号に対するバウンダリスキャン順序は、下表のとおりです。

TDI → 1 (PA5)→ 2(PA6)→ − →69(PI4)→70($\overline{\text{NMI}}$)→TDO

表 31-2 TMPM367FDXBG プロセッサのピンに対する JTAG スキャン順序

番号	端子名	番号	端子名	番号	端子名
	TDI				
1	PA5	21	PB4	41	PE6
2	PA6	22	PB3	42	PE5
3	PA7	23	PB2	43	PE4
4	PB0	24	PG7	44	PE3
5	PB1	25	PG6	45	PE2
6	PL3	26	PG5	46	PE1
7	PL2	27	PG4	47	PE0
8	PL1	28	PG3	48	PI3
9	PL0	29	PG2	49	PI2
10	PK0	30	PG1	50	PI1
11	PK1	31	PG0	51	PI0
12	PK2	32	PF7	52	PI7
13	PK3	33	PF6	53	PI6
14	PK4	34	PF5	54	PI5
15	PH0	35	PF4	55	PI4
16	PH1	36	PF3	56	$\overline{\text{NMI}}$
17	PH2	37	PF2	57	TDO
18	PH3	38	PF1		
19	PB6	39	PF0		
20	PB5	40	PE7		

31.12 JTAG コントローラセルでサポートしている命令

この項では、TMPM367FDXBG の JTAG コントローラセルでサポートしている命令について説明します。

1. EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを 図 31-7 にしめします。

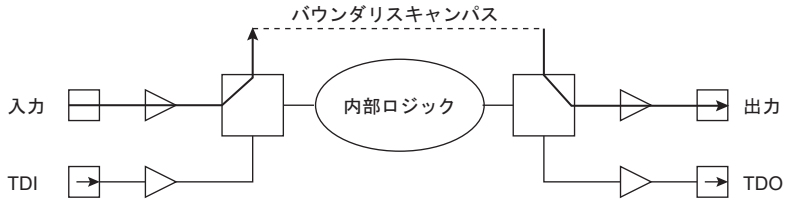


図 31-7 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします 。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

2. SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行

します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 31-8 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

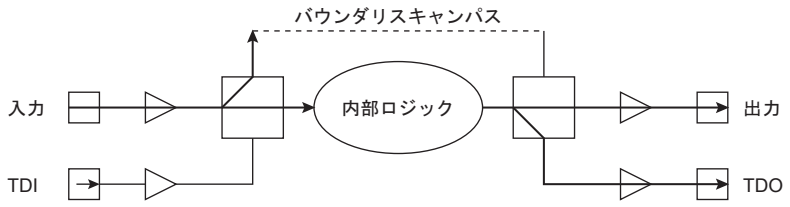


図 31-8 SAMPLE が選択されているときのテストデータの流れ

PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 31-9 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

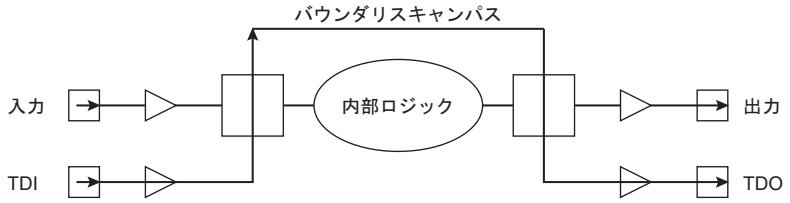


図 31-9 PRELOAD が選択されているときのテストデータの流れ

3. BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 31-10 に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

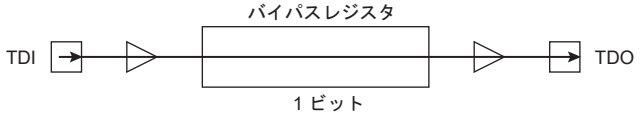


図 31-10 BYPASS レジスタが選択されているときのテストデータの流れ

4. CLAMP 命令

CLAMP は Preload 命令によって設定されたバウンダリスキャンレジスタの値を出力し、かつバイパス動作を行います。

CLAMP 命令は TDI と TDO 間に Bypass レジスタを選択します。

5. HIGHZ 命令

HIGHZ 命令 は内部論理回路からの出力を Disable 状態にします。HIGHZ 命令が実行されると、3 ステート出力をハイ・インピーダンス状態にします。

HIGHZ 命令も TDI と TDO 間に Bypass レジスタを選択します。

・ 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

1. アナログ入力端子への入力レベルに注意してください。

2. JTAG 回路のリセット解除は下記の 2 種類のどちらかの手順を選択してください。

$\overline{\text{TRST}}$ をアサートして JTAG 回路を初期化後デアサート

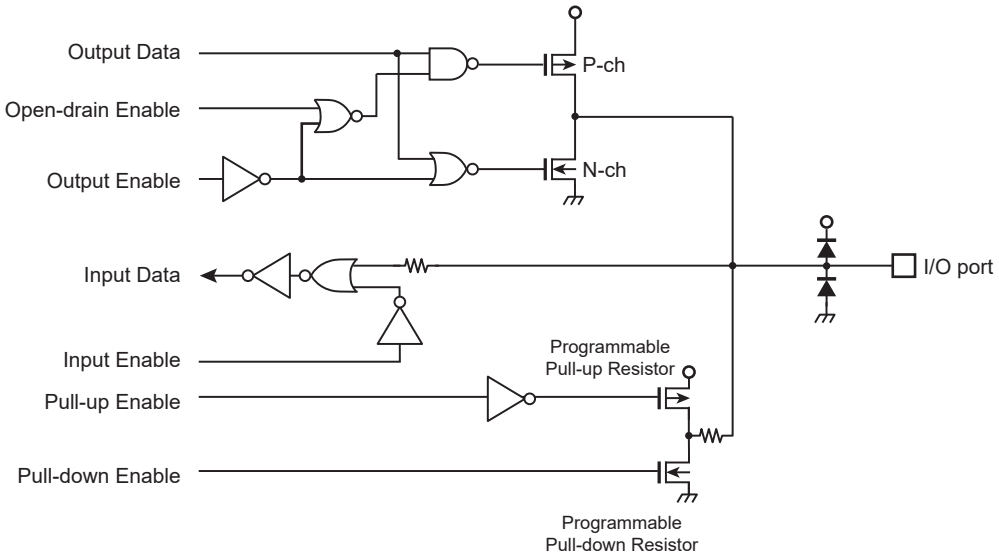
TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

第 32 章　ポート部等価回路図

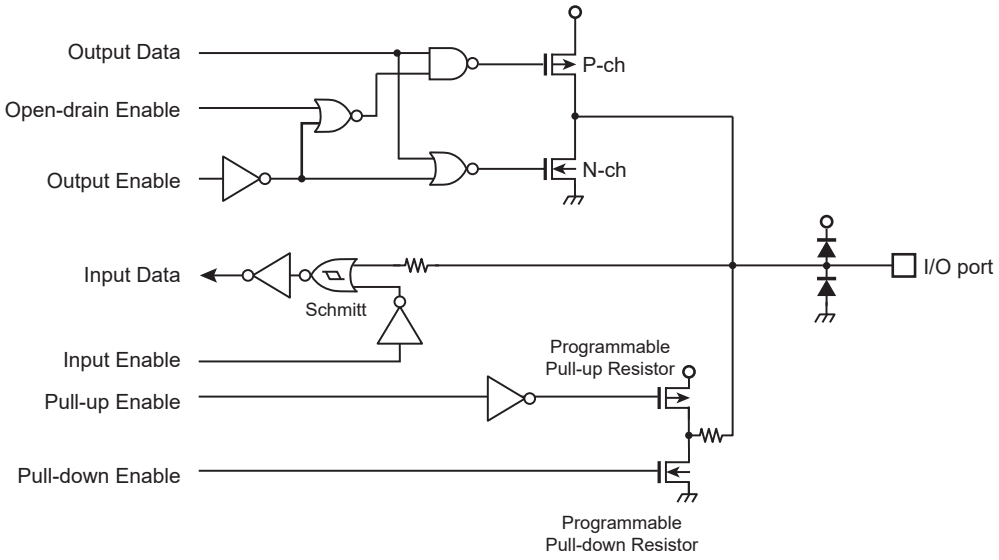
基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。X2, XT2 のダンピング抵抗値は、図中に typ.値を記入しています。

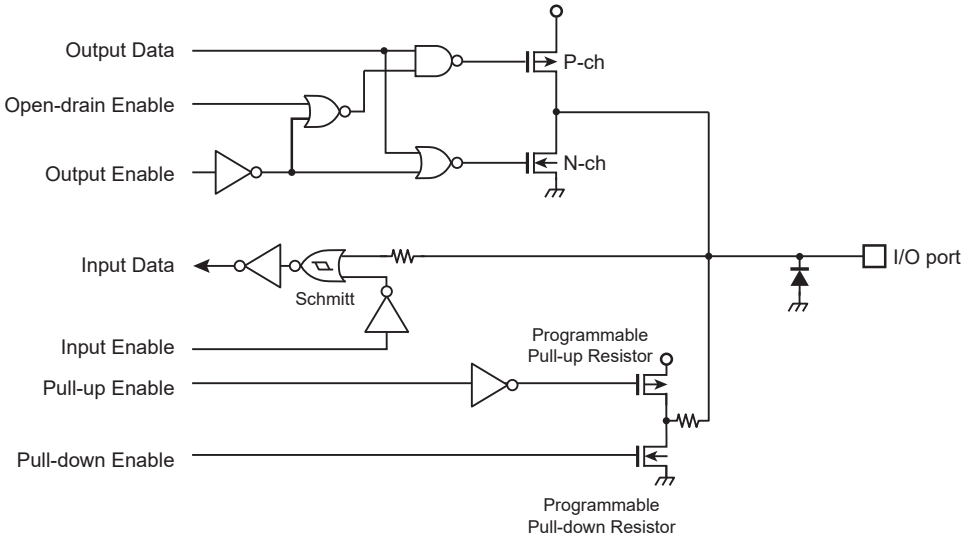
32.1　PB4,PK2



32.2　PA0-7,PB0-3,PB5,PE0-7,PF0-7,PG0-7,PH0-3,PK1,PK3-4,PL0-3

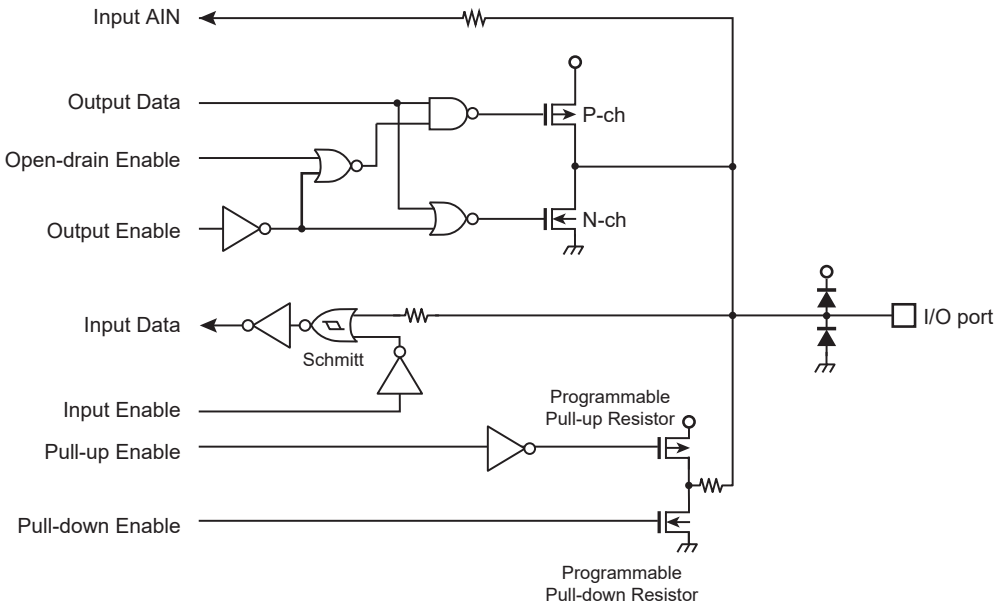


32.3　PK0

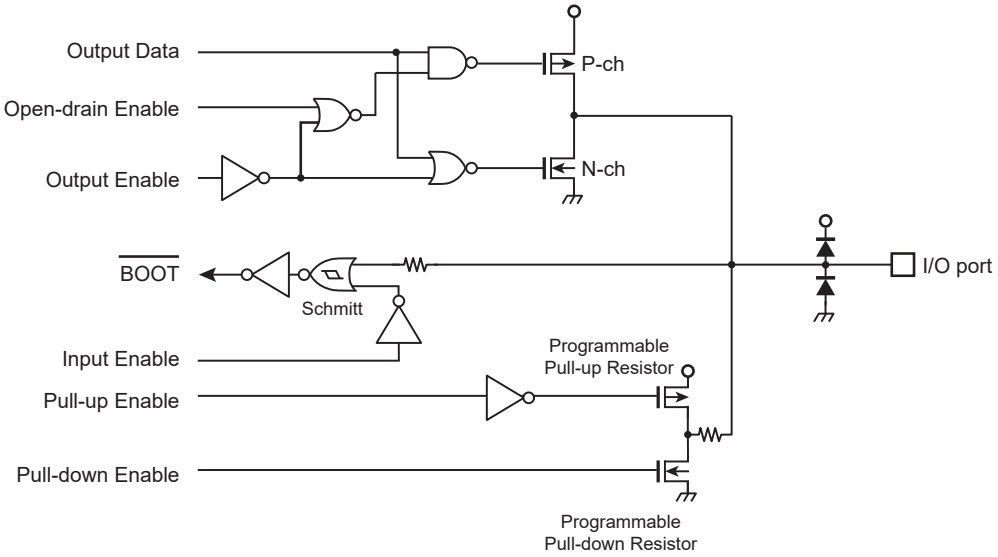


注）入力端子として使用時のみ 5V 入力が可能です。

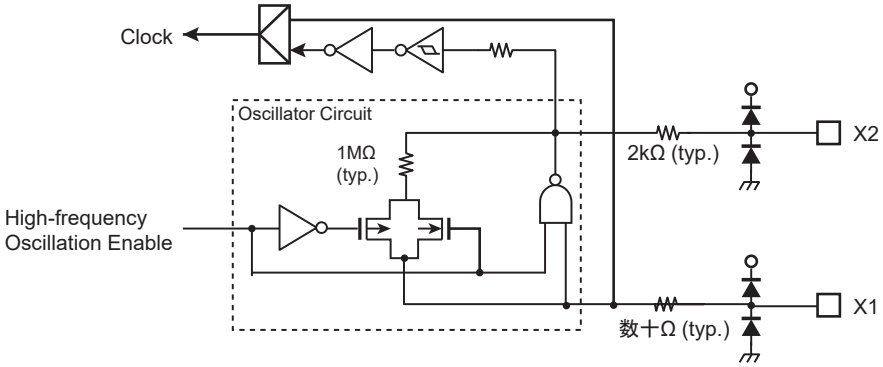
32.4　PI0-7



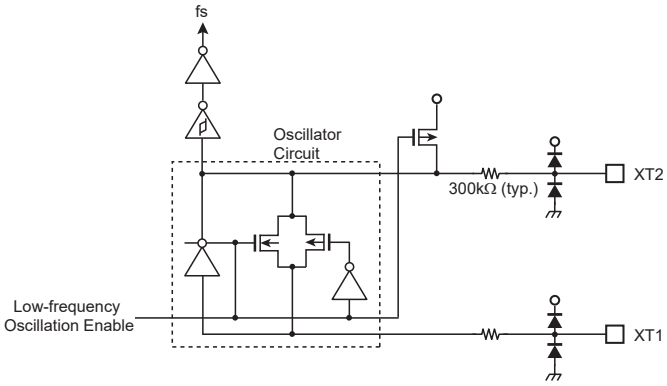
32.5 PB6



32.6 X1,X2

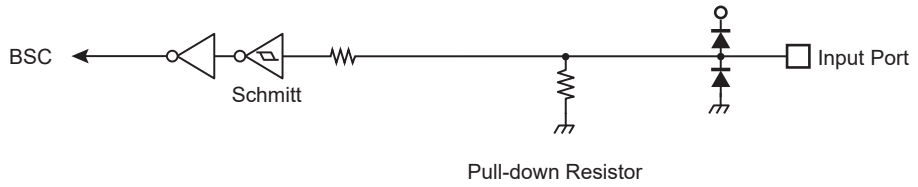


32.7 XT1,XT2

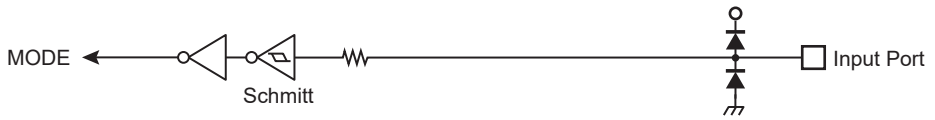


32.8　$\overline{\text{RESET}}$,$\overline{\text{NMI}}$

32.9　BSC

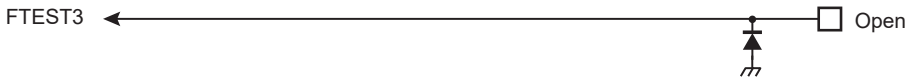


32.10　MODE



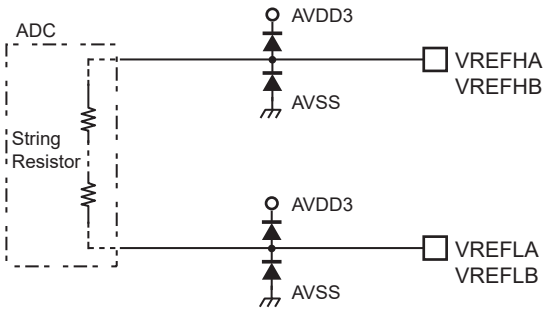
(Note)MODE pin is fixed to GND.

32.11　FTEST3



(Note)FTEST3 pin is fixed to Open.

32.12 VREFHA,VREFHB,VREFLA,VREFLB



第 33 章　電気的特性

33.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3A/B	−0.3 to 3.9	V
		RVDD3	−0.3 to 3.9	
		AVDD3A/B	−0.3 to 3.9	
		AVDD3_DA	−0.3 to 3.9	
入力電圧	下記端子を除く	V_{IN1}	−0.3 ~ VDD + 0.3	V
入力電圧	PK0	V_{IN2}	−0.3 ~ 5.5	
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	−5	
	合計	ΣI_{OH}	-50	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−55 ~ 125	°C
動作温度	Flash W/E 時を除く	T_{OPR}	−40 ~ 85	°C
	Flash W/E 時		0 ~ 70	

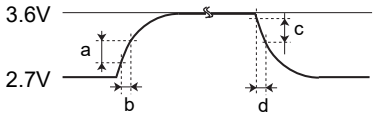
注)　**絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。**

33.2　DC 電気的特性 (1/2)

DVDD3A = DVDD3B=RVDD3 = AVDD3A = AVDD3B = AVDD3_DA = 2.7 V ~ 3.6 V
DVSSA = DVSSB = AVSSA = AVSSB = VREFLA = VREFLB = AVSS_DA = 0V, Ta = −40 ~ 85 °C

項目		記号	条件		Min.	Typ. (注 1)	Max.	単位
電源電圧	DVDD3A DVDD3B AVDD3A,AVDD3B RVDD3	VDD	f_{OSC} = 8 ~ 16 MHz fsys = 1 ~ 80 MHz fs = 30 ~ 34 kHz	USB 使用無	2.7	−	3.6	V
				USB 使用有	3	−	3.45	V
低レベル入力電圧	PB4, PK2	V_{IL1}	2.7 V ≤ VDD ≤ 3.6 V		−0.3	−	0.2 VDD	V
	PA0-7, PB0-6 PE0-7, PF0-7, PG0-7,PH0-3, PI0-7 PK1,3-4, PL0-3 $\overline{RESET}$, $\overline{NMI}$, MODE X1, BSC	V_{IL2}						
	PK0	V_{IL3}						
高レベル入力電圧	PB4, PK2	V_{IH1}	2.7 V ≤ VDD ≤ 3.6 V		0.8 VDD	−	VDD + 0.3	V
	PA0-7, PB0-6 PE0-7, PF0-7, PG0-7,PH0-3, PI0-7 PK1,3-4, PL0-3 $\overline{RESET}$, $\overline{NMI}$, MODE X1, BSC	V_{IH2}						
	PK0	V_{IH3}					5.5	
低レベル出力電圧		V_{OL}	I_{OL} = 2 mA		−	−	0.4	V
高レベル出力電圧		V_{OH}	I_{OH} = −2 mA		2.4	−	VDD	V
入力リーク電流		I_{LI1}	0.0 ≤ V_{IN} ≤ VDD		−	0.02	±5	μA
出力リーク電流		I_{LO}	0.2 ≤ V_{IN} ≤ VDD -0.2		−	0.05	±10	
リセットプルアップ抵抗		RRST	−		−	50	75	kΩ
シュミット入力幅		VTH1	2.7 V ≤ VDD ≤ 3.6 V		0.3	0.6	−	V
プログラマブルプルアップ/ダウン抵抗		PKH	−		−	50	75	kΩ
動作範囲内電源変動レート		VRS	RVDD3 = DVDD3A		−	−	6	mV/μs
		VFS			−	−	-18	
Pin 容量(電源端子を除く)		C_{IO}	fc = 1 MHz		−	−	10	pF
低レベル出力電流		I_{OL1}	1 端子ごと		−	−	2	mA
		ΣI_{OL}	全端子(全ポート)		−	−	35	mA
高レベル出力電流		I_{OH1}	1 端子ごと		−	−	-2	mA
		ΣI_{OH}	全端子(全ポート)		−	−	-35	mA

注 1)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD3A = DVDD3B = RVDD3 = AVDD3A = AVDD3B = 3.3 V の値です。
注 2)　DVDD3A, DVDD3B, AVDD3A, AVDD3B, AVDD3_DA, RVDD3 は同電位で使用してください。
注 3)　VRS, VFS の変動は電気的特性に対して厳しい箇所で測定してください。



VRS = a / b, VFS = c / d

33.3 DC 電気的特性 (2/2)

DVDD3A = DVDD3B=RVDD3 = AVDD3A = AVDD3B = AVDD3_DA = 2.7 V ~ 3.6 V, Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL (注 2) ギア比 1/1	I_{DD}	fsys = 80 MHz	−	60	88	mA
IDLE (注 3)			−	43	72	
STOP1		−	−	1.0	18	
STOP2		−	−	18	110	μA

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3A = DVDD3B = AVDD3 = RVDD3 = 3.3 V の値です。

注 2) I_{DD} NORMAL の測定条件:
実行プログラム: ドライストン V2.1 (内蔵 FLASH 動作)
周辺機能はすべて停止

注 3) I_{DD} IDLE の測定条件:
周辺機能はすべて停止
I_{DD} には DVDD3A, DVDD3B, AVDD3, RVDD3 に流れる電流が含まれます。

33.4　12 ビット A/D コンバータ変換特性

DVDD3A = RVDD3 = AVDD3A = AVDD3B = 2.7 V ~ 3.6 V
DVSSA = AVSSA = AVSSB = VREFLA = VREFLB = 0V, Ta = −40 ~ 85 °C

項目		記号	条件	Min.	Typ.	Max	単位
アナログ基準電圧(+)		VREFH	−	AVDD3 -0.3	−	AVDD3	V
アナログ入力電圧		VAIN	−	VREFL	−	VREFH	V
アナログ基準電圧電源電流	AD 変換時	IREF	−	−	1.5	2.3	mA
	AD 非変換時		−	−	0.02	0.1	μA
消費電流			−	−	1.5	2.5	mA
積分非直線性誤差		−	AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 30 pF 変換時間 ≥ 1.0 μs	−	5	6	LSB
微分非直線性誤差				−	3	6	
ゼロスケール誤差				−	3	6	
フルスケール誤差				−	4	9	
総合誤差				−	7	9	
積分非直線性誤差		−	AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1μF 変換時間 ≥ 1.0 μs	−	5	6	
微分非直線性誤差				−	3	6	
ゼロスケール誤差				−	3	6	
フルスケール誤差				−	4	8	
総合誤差				−	7	8	
積分非直線性誤差		−	AIN 負荷抵抗 ≤ 5 kΩ AIN 負荷容量 ≥ 0.1μF 変換時間 ≥ 1.0 μs	−	5	6	
微分非直線性誤差				−	3	6	
ゼロスケール誤差				−	3	6	
フルスケール誤差				−	4	8	
総合誤差				−	7	8	
変換時間		Tconv	−	1.0	−	10	μs

注 1)　1LSB = (VREFH − VREFL)/4096 [V]
注 2)　AD コンバータ単体動作の時の特性です。

33.5　10 ビット D/A コンバータ変換特性

DVDD3A = RVDD3 = AVDD3_DA = 2.7 V ~ 3.6 V
DVSSA = AVSS_DA = 0V, Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max	単位
消費電流	IAVDD3_DA	−	−	350	550	μA
セトリングタイム	Tset	−	−	−	3	μs
			−	−	1(注 2)	
出力電流	IOUT	−	−	−	± 1000	μA
出力電圧範囲	VOUT	AVSS_DA = 0V	+ 0.3	−	AVDD3_DA - 0.3	V
総合誤差	TERR	−	−	−	2	LSB

注 1)　出力端子(DA0,DA1)の外付け容量は 1ch あたり 30pF(max)としてください。
注 2)　直前の設定値に対して ± 16LSB 以内の変化
注 3)　1LSB = (AVDD3_DA − AVSS_DA)/1024 [V]
注 4)　2ch を同時に動作させた時の相対精度は保証していません。

33.6　AC 電気的特性

33.6.1　AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3A, 0.8 × AVDD3A
- 出力レベル: Low = 0.2 × DVDD3A, 0.2 × AVDD3A
- 入力レベル: DC 電気的特性の、低レベル入力電圧/高レベル入力電圧参照
- 負荷容量: CL = 30pF

33.6.2　シリアルチャネル (SIO/UART)

33.6.2.1　I/O インタフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1)　SCLK 入力モード

[データ入力]

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	–	83.3	–	50	–	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	–	83.3	–	50	–	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	–	166.6	–	100	–	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t_{SRD}	30	–	30	–	30	–	
SCLK 立ち上がり/立ち下がり (注 1) → 入力 Data 保持	t_{HSR}	x + 30	–	50.8	–	42.5	–	

[データ出力]

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	–	107.5 (注 3)	–	82.5 (注 3)	–	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	–	107.5 (注 3)	–	82.5 (注 3)	–	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	–	215	–	165	–	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	–	0 (注 2)	–	0 (注 2)	–	
SCLK 立ち上がり/立ち下がり (注 1) → Output Data 保持	t_{OHS}	$t_{SCY}/2$	–	107.5	–	82.5	–	

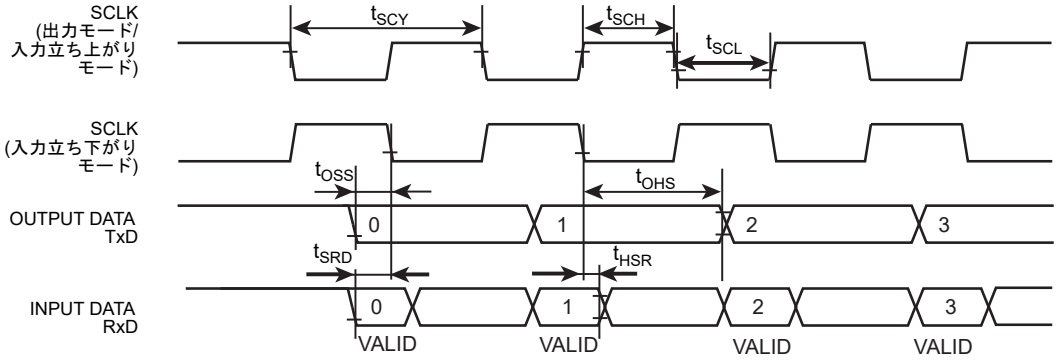
注 1)　SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2)　計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3)　t_{OSS} がマイナスにならない最小値を示しています。

(2) SCLK 出力モード

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	4x	–	83.3	–	50	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	t_{SCY}/2 - 20	–	21.6	–	5	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	t_{SCY}/2 - 20	–	21.6	–	5	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	–	45	–	45	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	0	–	



33.6.3　シリアルバスインタフェース (I2C/SIO)

33.6.3.1　I2C モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min.	Max	Min.	Max	Min.	Max	
SCL クロック周波数	t_{SCL}	0	–	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;\ STA}$	–	–	4.0	–	0.6	–	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	–	–	4.7	–	1.3	–	μs
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	–	–	4.0	–	0.6	–	μs
再スタートコンディション セットアップ時間	$t_{SU;\ STA}$	(注 5)	–	4.7	–	0.6	–	μs
データ保持時間(入力) (注 3, 4)	$t_{HD;\ DAT}$	–	–	0.0	–	0.0	–	μs
データセットアップ時間	$t_{SU;\ DAT}$	–	–	250	–	100	–	ns
ストップコンディションセットアップ時間	$t_{SU;\ STO}$	–	–	4.0	–	0.6	–	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	(注 5)	–	4.7	–	1.3	–	μs

注 1)　SCL クロック LOW 幅(出力): $(2^{n-1} + 58)/x$

注 2)　SCL クロック HIGH 幅(出力): $(2^{n-1} + 14)/x$

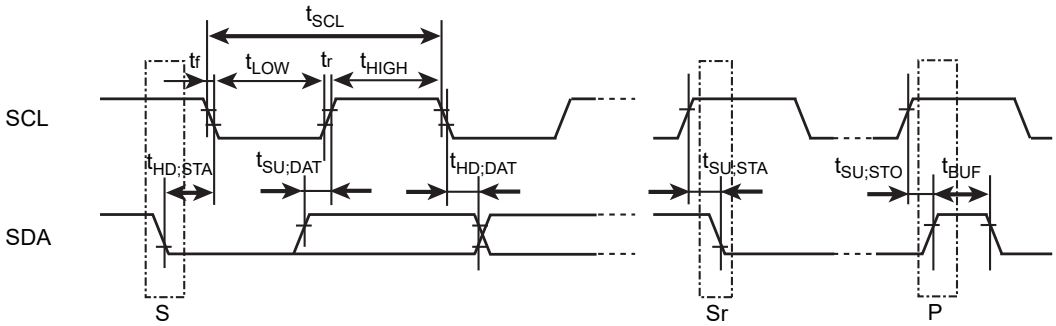
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意願います。

注 3)　データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4)　フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5)　ソフトウェアに依存します。

注 6)　フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

33.6.3.2 クロック同期式 8 ビット SIO モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SCK 入力モード(SCK デューティ 50%の場合)

[データ入力]

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
SCK クロック High 幅(入力)	t_{SCH}	4x	–	83.3	–	50	–	ns
SCK クロック Low 幅(入力)	t_{SCL}	4x	–	83.3	–	50	–	
SCK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	–	166.6	–	100	–	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	30 - x	–	9.2	–	17.5	–	
SCK 立ち上がり→ 入力 Data 保持	t_{HSR}	2x + 30	–	71.7	–	55.0	–	

[データ出力]

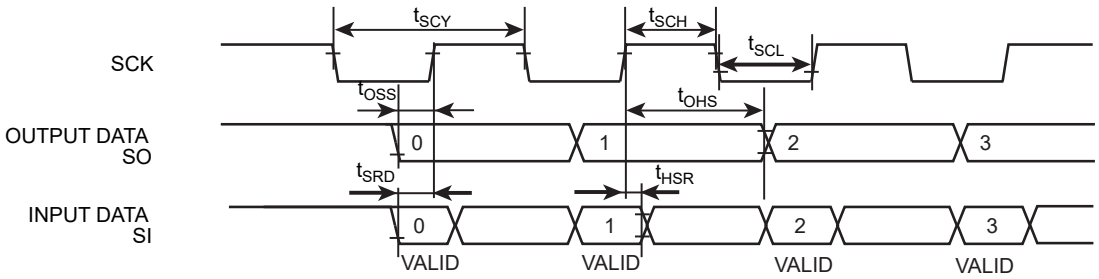
項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
SCK クロック High 幅(入力)	t_{SCH}	4x	–	107.5 (注 2)	–	82.5 (注 2)	–	ns
SCK クロック Low 幅(入力)	t_{SCL}	4x	–	107.5 (注 2)	–	82.5 (注 2)	–	
SCK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	–	215	–	165	–	
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 3x - 45$	–	0 (注 1)	–	0 (注 1)	–	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 + x$	–	128.3	–	95	–	

注 1) 計算値がマイナスにならない範囲の SCK 周期で使用してください。
注 2) t_{OSS} がマイナスにならない最小値を示しています。

(2)　SCK 出力モード(SCK デューティ 50%の場合)

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
SCK 周期(プログラマブル)	t_{SCY}	16x（注 1）	–	333.3	–	200	–	ns
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 20$（注 2）	–	146.6	–	80	–	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 20$	–	146.6	–	80	–	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	x + 45	–	65.8	–	57.5	–	
SCK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	0	–	

注 1)　自動ウエイト後の SCK 周期は 14x になります。
注 2)　自動ウエイト後の t_{OSS} は、$t_{SCY}/2$ -x -20 になる場合があります。



33.6.4 同期式シリアルインタフェース (SSP)

33.6.4.1 AC 測定条件

表中の計算式に使われる"T"は内部プリスケーラ入力クロック fsys 周期を示します。

- 出力レベル: High = 0.7 × DVDD3A, Low = 0.3 × DVDD3A
- 入力レベル: High = 0.9 × DVDD3A, Low = 0.1 × DVDD3A
- 負荷容量：CL=30pF

注) 表中の "計算式" は DVDD3A=2.7V ~ 3.6V の範囲での規定を示します。

10MHz タイプ@ch0/1

項目	記号	計算式		fsys=48MHz (m=6,n=16)	fsys=80MHz (m=8, n=24)	単位
		Min.	Max			
SPxCLK 周期 (マスタ)	T_m	(m)T ただし、100ns 以上	–	125 (8MHz)	100 (10MHz)	ns
SPxCLK 周期 (スレーブ)	T_s	(n)T ただし、300ns 以上	–	333 (3MHz)	300 (3.3MHz)	
SPxCLK 立ち上がり時間	t_r	–	15	15	15	
SPxCLK 立ち下がり時間	t_f	–	15	15	15	
マスタモード時 SPxCLK 低レベルパルス幅	t_{WLM}	(m)T/2 - 15	–	47.5	35	
マスタモード時 SPxCLK 高レベルパルス幅	t_{WHM}	(m)T/2 - 15	–	47.5	35	
スレーブモード時 SPxCLK 低レベルパルス幅	t_{WLS}	(n)T/2 - 15	–	151.7	135	
スレーブモード時 SPxCLK 高レベルパルス幅	t_{WHS}	(n)T/2 - 15	–	151.7	135	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ有効	t_{ODSM}	–	15	15	15	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ保持	t_{ODHM}	(m)T/2 - 15	–	47.5	35	
マスタモード時 入力データ有効 → SPxCLK 立ち上がり/立ち下がり	t_{IDSM}	30	–	30	30	
マスタモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHM}	0	–	0	0	
マスタモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	110 to 140	85 to 115	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ有効	t_{ODSS}	–	(3T) + 40	102.5	77.5	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHS}	(n)T/2 + (2T)	–	208.3	175	
スレーブモード時 入力データ有効 → SPxCLK 立ち上がり/立ち下がり	t_{IDSS}	10	–	10	10	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHS}	(3T) + 15	–	77.5	52.5	
スレーブモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T +10	–	343.3	310	

20MHz タイプ@ch2

項目	記号	計算式		fsys=48MHz (m=4,n=12)	fsys=80MHz (m=4, n=12)	単位
		Min.	Max			
SPxCLK 周期 (マスタ)	T_m	(m)T ただし、50ns 以上	–	83.3 (12MHz)	50 (20MHz)	ns
SPxCLK 周期 (スレーブ)	T_s	(n)T ただし、150ns 以上	–	250 (4MHz)	150 (6.6MHz)	
SPxCLK 立ち上がり時間	t_r	–	10	10	10	
SPxCLK 立ち下がり時間	t_f	–	10	10	10	
マスタモード時 SPxCLK 低レベルパルス幅	t_{WLM}	(m)T/2 - 10	–	31.6	15	
マスタモード時 SPxCLK 高レベルパルス幅	t_{WHM}	(m)T/2 - 10	–	31.6	15	
スレーブモード時 SPxCLK 低レベルパルス幅	t_{WLS}	(n)T/2 - 10	–	115	65	
スレーブモード時 SPxCLK 高レベルパルス幅	t_{WHS}	(n)T/2 - 10	–	115	65	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ有効	t_{ODSM}	–	10	10	10	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ保持	t_{ODHM}	(m)T/2 - 10	–	31.6	15	
マスタモード時 入力データ有効 → SPxCLK 立ち上がり/立ち下がり	t_{IDSM}	15	–	15	15	
マスタモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHM}	0	–	0	0	
マスタモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	68 to 98	35 to 65	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ有効	t_{ODSS}	–	(3T) + 30	92.5	67.5	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHS}	(n)T/2 + (2T)	–	166.6	100	
スレーブモード時 入力データ有効 → SPxCLK 立ち上がり/立ち下がり	t_{IDSS}	10	–	10	10	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHS}	(3T) + 15	–	77.5	52.5	
スレーブモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T + 10	–	260	160	

注)　通信ボーレートクロックは以下の条件範囲で設定する必要があります。

・　マスタモード時

$m = (\langle CPSDVSR\rangle \times (1 + \langle SCR\rangle)) = fsys/f_{SPxCLK}$

<CPSDVR>は偶数のみが設定可能です。また m の範囲は $65024 \geq m \geq 2$ となります。

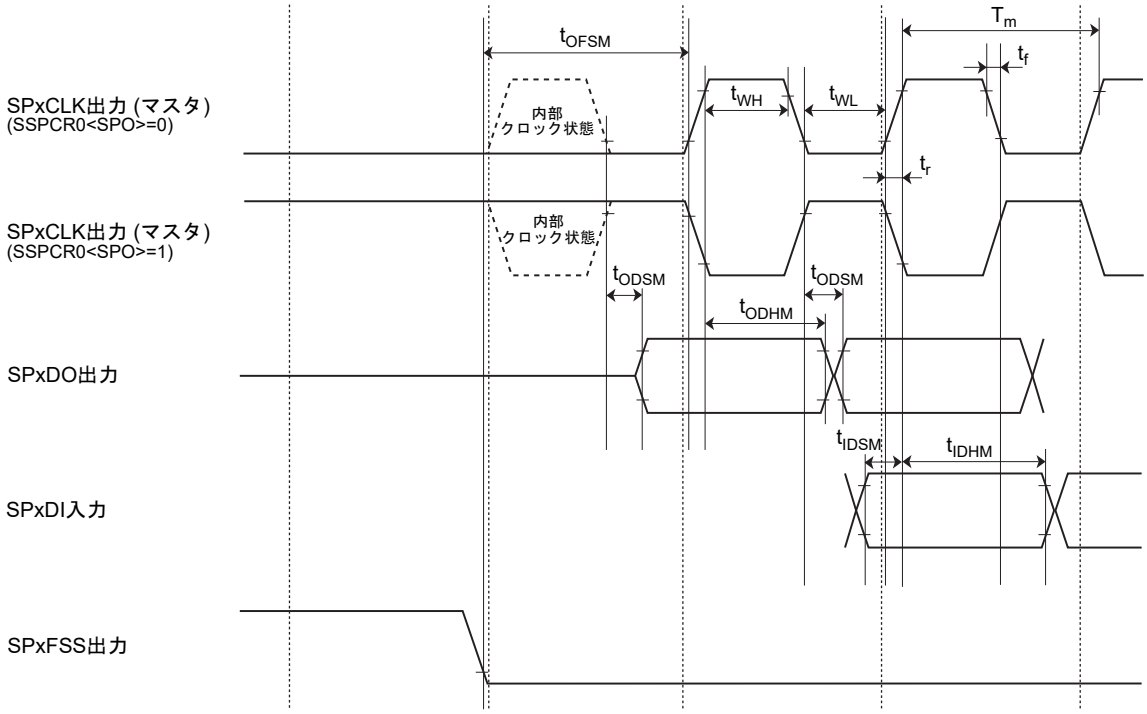
・　スレーブモード

$n = fsys/f_{SPxCLK}\ (65024 \geq n \geq 12)$

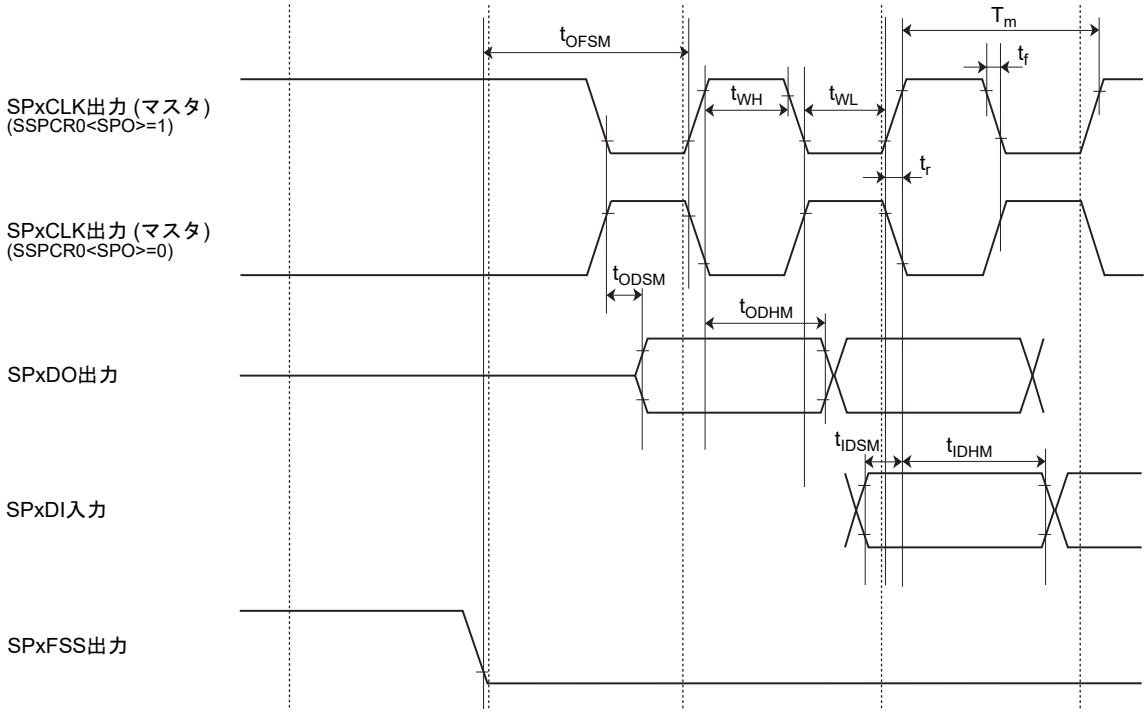
33.6.4.2 SSP の SPI モード (マスタ)

- fsys ≥ 2 × f_{SPxCLK} (最大)
- fsys ≤ 65024 × f_{SPxCLK}(最小)

(1) マスタ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



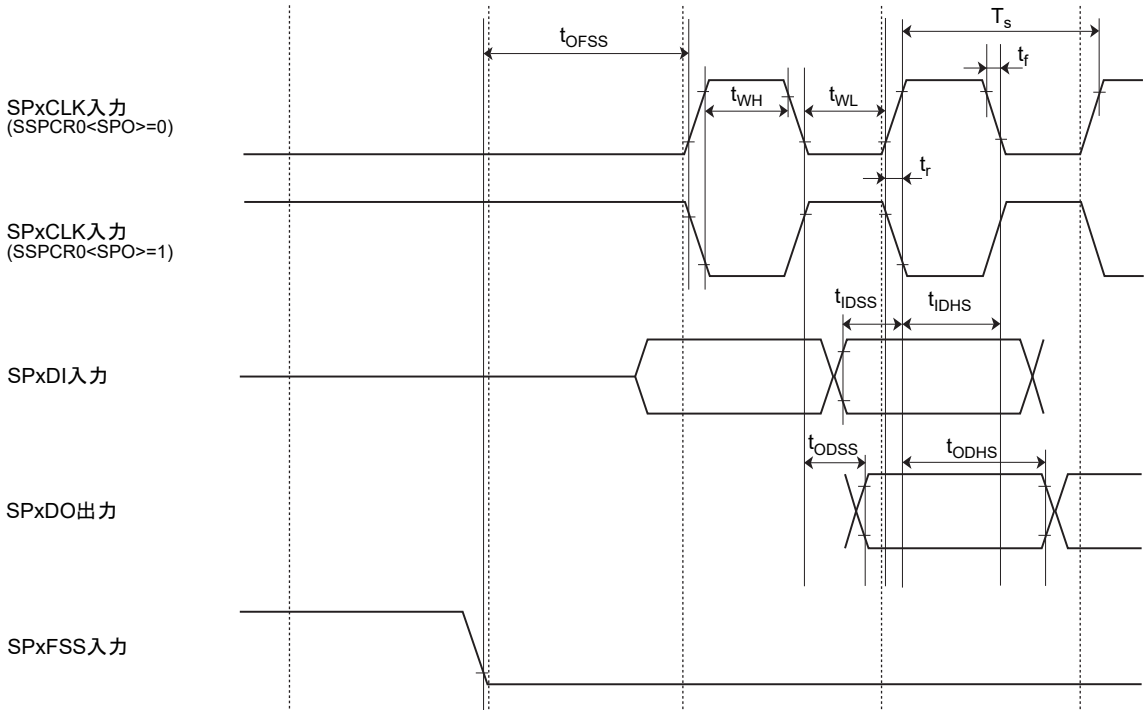
(2) マスタ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)



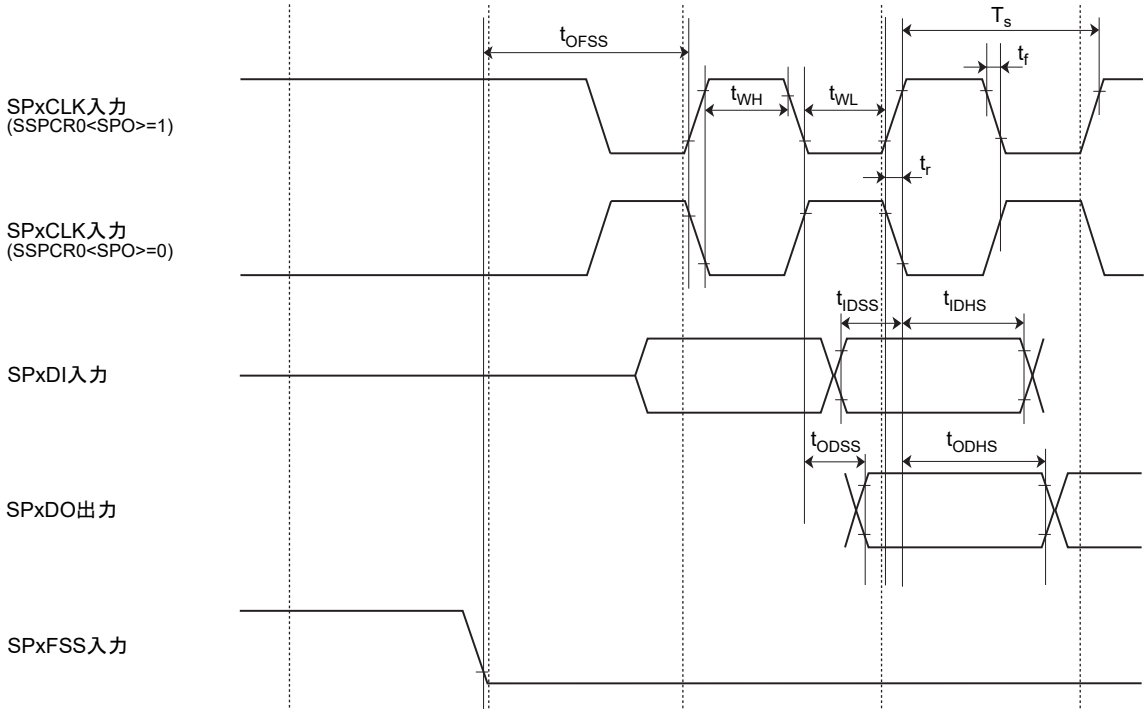
33.6.4.3　SSP の SPI モード (スレーブ)

- fsys ≥ 12 × f_{SPxCLK} (最大)
- fsys ≤ 65024 × f_{SPxCLK} (最小)

(3) スレーブ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



(4) スレーブ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)


SPxCLK入力
(SSPCR0<SPO>=1)
SPxCLK入力
(SSPCR0<SPO>=0)
SPxDI入力
SPxDO出力
SPxFSS入力
tOFSS
tWH
tWL
Ts
tf
tr
tIDSS
tIDHS
tODSS
tODHS

33.6.5　イベントカウンタ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	–	141.7	–	125	–	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	–	141.7	–	125	–	ns

33.6.6　キャプチャ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
低レベルパルス幅	t_{CPL}	2x + 100	–	141.7	–	125	–	ns
高レベルパルス幅	t_{CPH}	2x + 100	–	141.7	–	125	–	ns

33.6.7　外部割り込み

表中の x はシステムクロック fsys の周期を表します。

1. STOP1,STOP2 解除割り込み以外

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
INT0 ~ D 低レベルパルス幅	t_{INTAL}	x + 100	–	120.8	–	112.5	–	ns
INT0 ~ D 高レベルパルス幅	t_{INTAH}	x + 100	–	120.8	–	112.5	–	

2. STOP1 解除割り込み

項目	記号	Min.	Max	単位
$\overline{NMI}$, INT0 ~ B,D 低レベルパルス幅	t_{INTBL}	100	–	μs
INT0 ~ B,D 高レベルパルス幅	t_{INTBH}	100	–	

3. STOP2 解除割り込み

項目	記号	Min.	Max	単位
$\overline{NMI}$,INT0 ~ B,D 低レベルパルス幅	t_{INTCL}	1	–	ms
INT0 ~ B,D 高レベルパルス幅	t_{INTCH}	1	–	

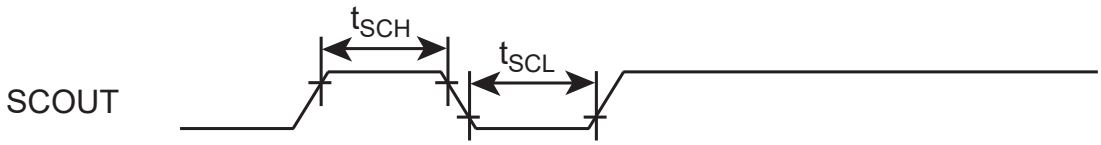
33.6.8 $\overline{\text{NMI}}$

項目	記号	Min.	Max	単位
$\overline{\text{NIM}}$ 低レベルパルス幅	t_{INTCL}	100	–	ns

33.6.9 SCOUT

項目	記号	計算式		48 MHz		80 MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
高レベルパルス幅	t_{SCH}	0.5T – 5	–	5.4	–	1.25	–	ns
低レベルパルス幅	t_{SCL}	0.5T – 5	–	5.4	–	1.25	–	ns

注)　表中の T は SCOUT 出力波形の周期を示します。



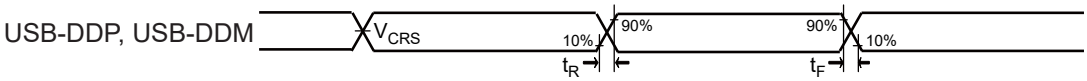
33.6.10　ADC, DAC トリガ入力

項目	記号	計算式		48MHz		80MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
低レベルパルス幅	T_{ADL}	2/fsys + 20	–	62	–	45	–	ns
高レベルパルス間隔	T_{ADH}	2/fsys + 20	–	62	–	45	–	

33.6.11　USB タイミング(フルスピード)

DVDD3B = 3.0 V ~ 3.45V @ $f_{USBDCLK}$ = 48MHz

項目	記号	Min.	Max	単位
USB-DDP, USB-DDM 立ち上り時間	t_R	4	20	ns
USB-DDP, USB-DDM 立ち下がり時間	t_F	4	20	
出力信号交差電圧	V_{CRS}	1.3	2.0	V



33.6.12 外部バスインタフェース AC 特性

33.6.12.1 AC 測定条件

- DVDD3A=2.7 ~ 3.6V
- 出力レベル: High = 0.7 × DVDD3A,Low = 0.3 × DVDD3A
- 入力レベル: High = 0.7 × DVDD3A,Low = 0.3 × DVDD3A
- 負荷容量: CL = 30pF

33.6.12.2　マルチプレクスバスモード

変数条件 : ALE = 1, RWS = 1, TW = 2, RWH = 1, CSH =1 @tsys=tcyc=20.8ns

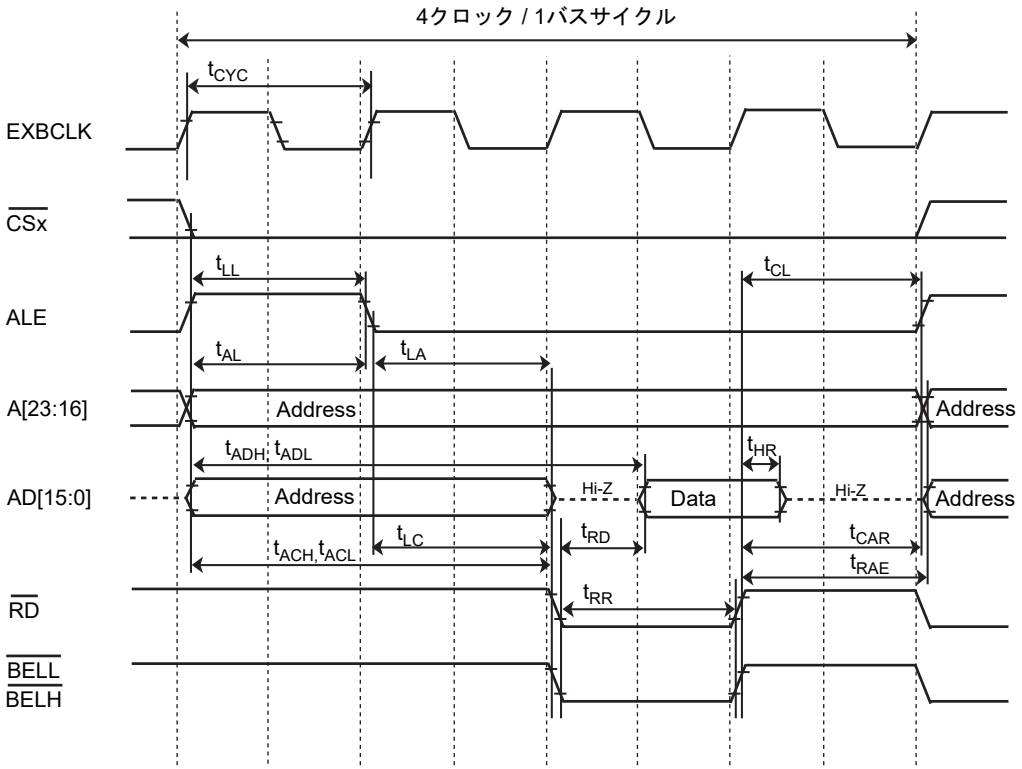
ALE = 1, RWS = 1, TW = 3, RWH = 1, CSH =1 @tsys=tcyc=12.5ns

- ALE : ALE 幅のサイクル数 (ALE = 1 + n ; n = 0, 1, 2, 4)
- RWS : $\overline{RD}$, $\overline{WR}$ における立下りまでのセットアップサイクル挿入 (TW = 0, 1, 2, 4)
- TW : 内部ウェイトサイクル挿入 (TW = 0 ~ 15)
- RWH : $\overline{RD}$, $\overline{WR}$ のリカバリサイクル挿入 (RWH = 0 ~ 6, 8)
- CSH : $\overline{CSx}$ のリカバリサイクル挿入 (CSH = 0, 1, 2, 4)

項目	記号	計算式		48MHz		80MHz		単位
		Min.	Max	Min.	Max	Min.	Max	
システムクロック周期 (x)	t_{SYS}	x	–	20.8	–	12.5	–	ns
外部バスクロック (EXBCLK)	t_{CYC}	x	–	20.8	–	12.5	–	
A[23:0]有効 → ALE 立ち下がり	t_{AL}	x (1+ALE)-15	–	26.6	–	10	–	
ALE 立ち下がり → A[23:0]保持	t_{LA}	x (1+RWS)-7	–	34.6	–	18	–	
ALE High パルス幅	t_{LL}	x (1+ALE)-15	–	26.6	–	10	–	
ALE 立ち下がり → $\overline{RD}$, $\overline{WR}$ 立ち下がり	t_{LC}	x (1+RWS)-7	–	34.6	–	18	–	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x (1+RWH+CSH)-15	–	47.5	–	22.5	–	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → A[23:16]保持	t_{CAR}	x (1+RWH+CSH)-15	–	47.5	–	22.5	–	
A[15:0]有効 → D[15:0]入力 A[23:16]有効 → D[15:0]入力	t_{ADL} t_{ADH}	–	x (3+ALE+RWS+TW)-45	–	100.8	–	55	
A[15:0]有効 → $\overline{RD}$, $\overline{WR}$ 立下がり A[23:16]有効 → $\overline{RD}$, $\overline{WR}$ 立下がり	t_{ACL} t_{ACH}	x (2+ALE+RWS)-19	–	64.3	–	31	–	
$\overline{RD}$ 立ち下がり → D[15:0]入力	t_{RD}	–	x (1+TW)-35	–	27.5	–	15	
$\overline{RD}$ Low パルス幅	t_{RR}	x (1+TW)-12	–	50.4	–	38	–	
$\overline{RD}$ 立ち上がり → D[15:0]保持	t_{HR}	0	–	0	–	0	–	
$\overline{RD}$ 立ち上がり→ A[23:0]出力	t_{RAE}	x (1+RWH+CSH)-15	–	47.4	–	22.5	–	
$\overline{WR}$ Low パルス幅	t_{WW}	x (1+TW)-15	–	47.4	–	35	–	
D[15:0]有効 → $\overline{WR}$ 立ち上がり	t_{DW}	x (1+TW)-15	–	47.4	–	35	–	
$\overline{WR}$ 立ち上がり → D[15:0]保持	t_{WD}	x (1+RWH)-10	–	31.6	–	15	–	

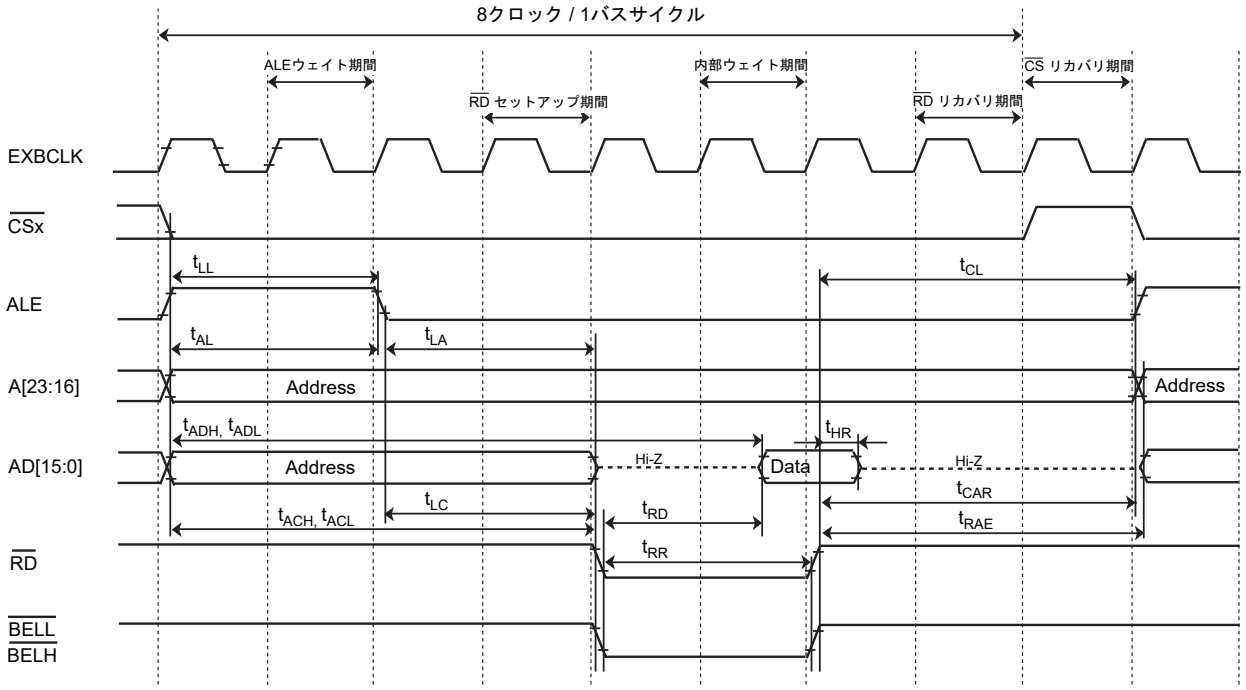
1. リードサイクル (最短サイクル)

(サイクル拡張無し、ALE ウエイト無し、RD セットアップ無し、内部ウエイト無し、CS リカバリ無し、RD リカバリ無し)



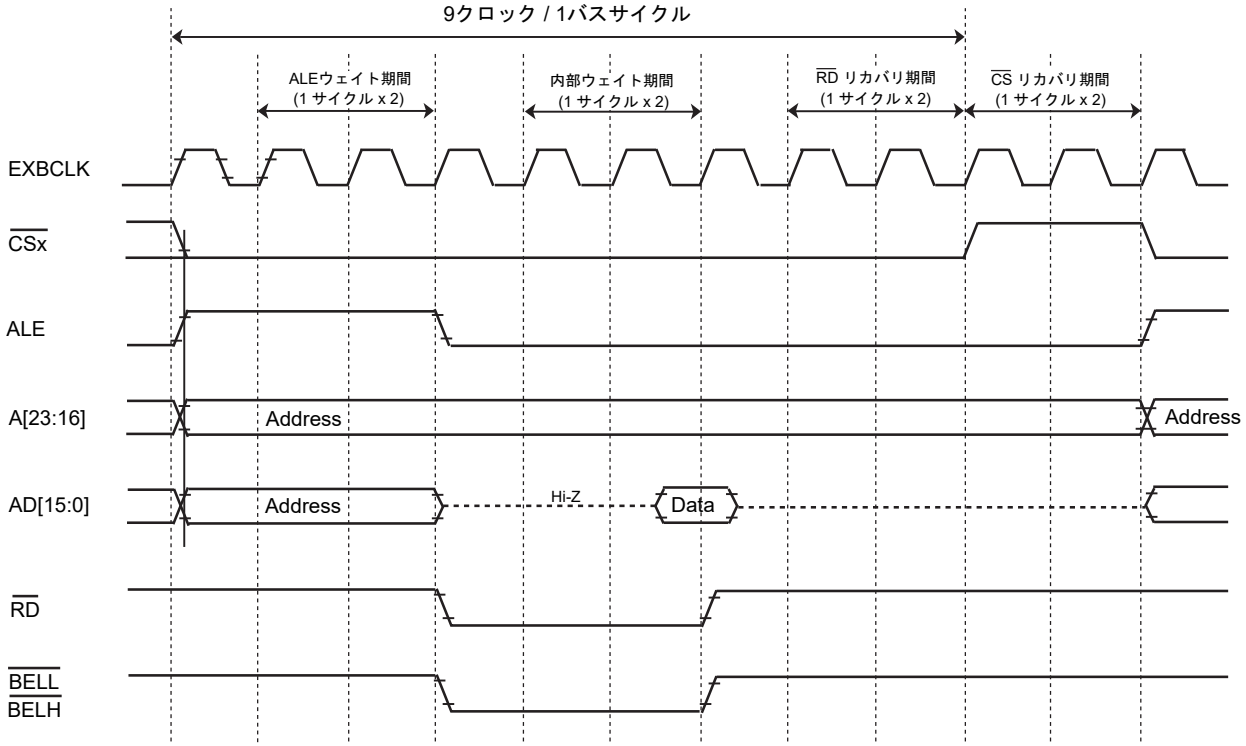
2. リードサイクル (8 クロック/ 1 バスサイクル)

(サイクル拡張無し、ALE ウエイト=1 サイクル、RD セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



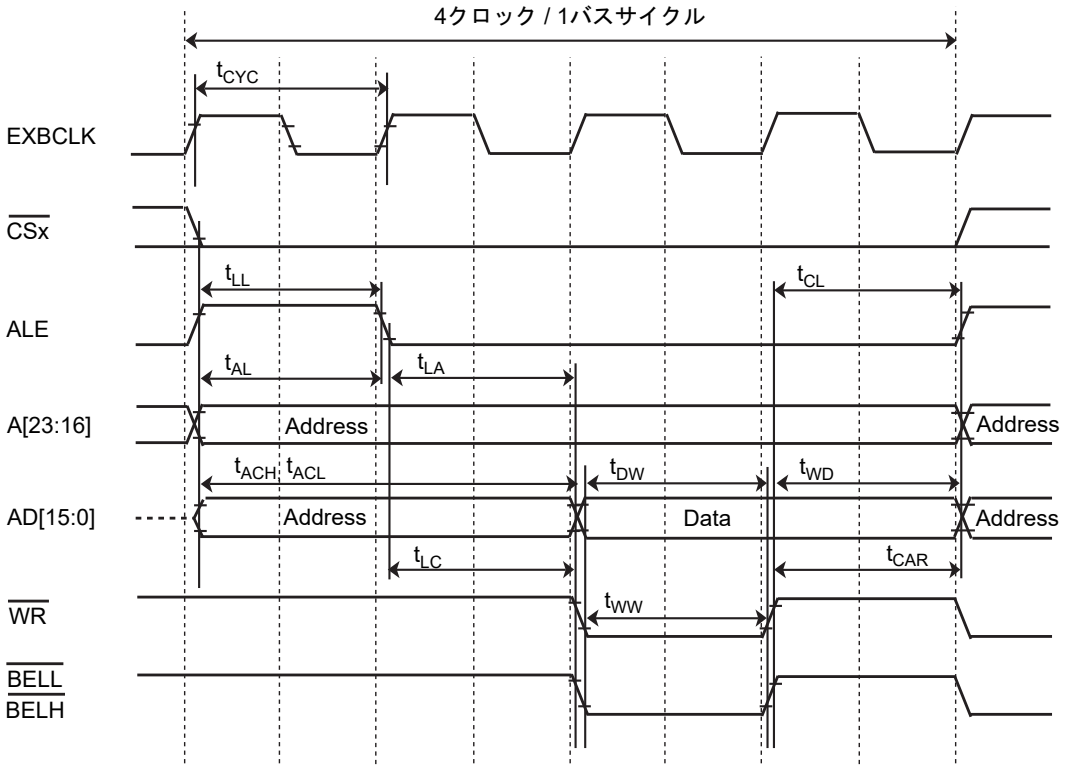
3. リードサイクル (9 クロック/ 1 バスサイクル)

(サイクル拡張=2 倍、ALE ウエイト=1 サイクル、RD セットアップ=無し、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



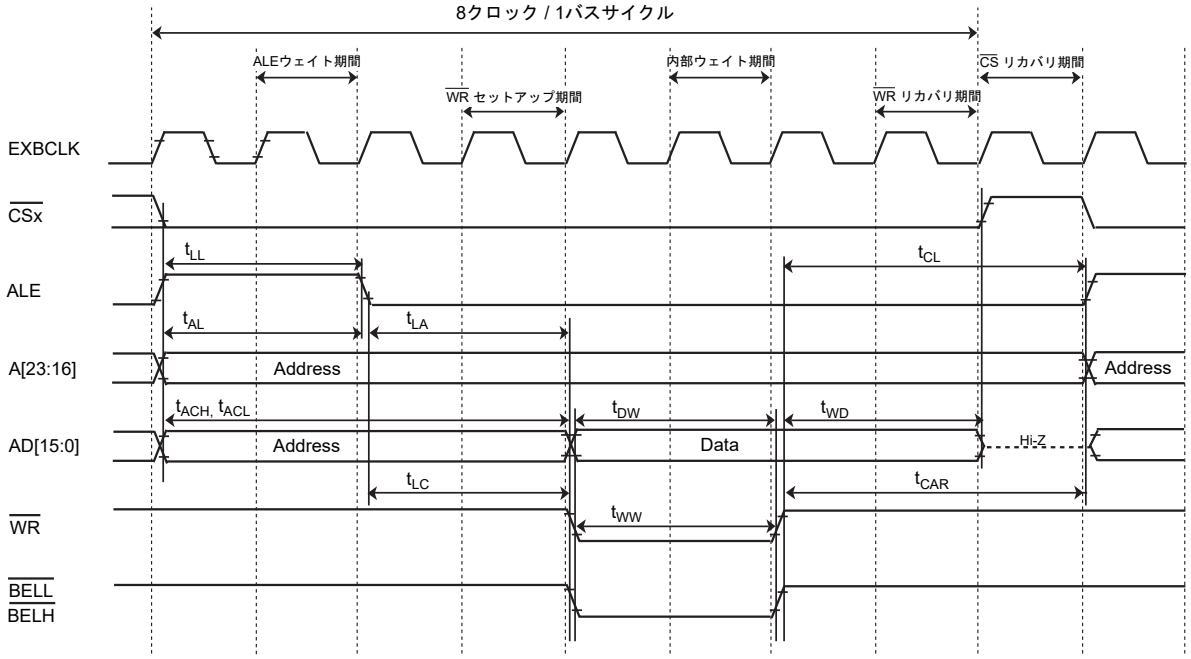
4. ライトサイクル (最短サイクル)

(サイクル拡張無し、WR セットアップ無し、内部ウエイト無し、CS リカバリ無し、WR リカバリ無し)



5. ライトサイクル (8 クロック/ 1 バスサイクル)

(サイクル拡張無し、ALE ウエイト=1 サイクル、WR セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)



33.6.13　デバッグ通信

33.6.13.1　AC 測定条件

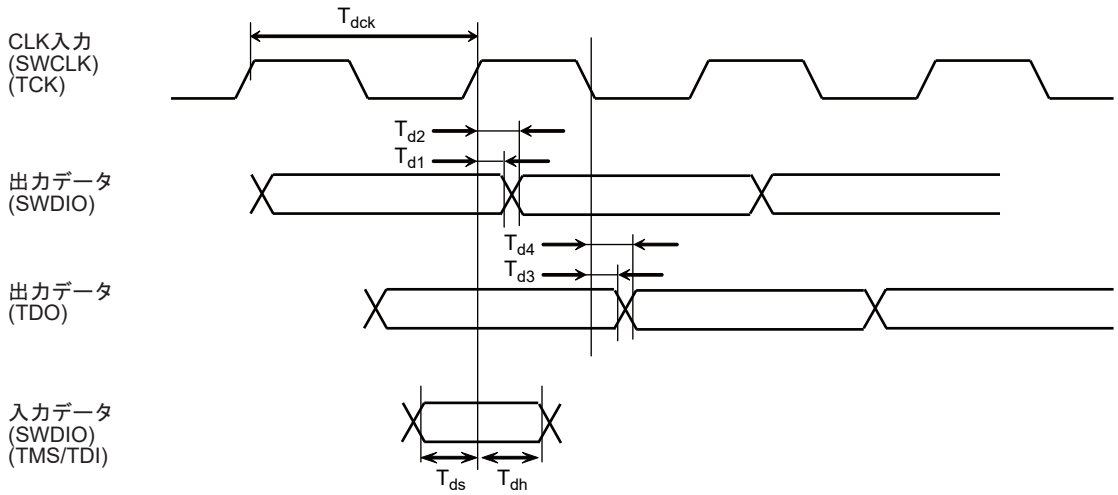
- 出力レベル: High = 0.8 × DVDD3A, Low = 0.2 × DVDD3A
- 入力レベル: Low = 0.8 × DVDD3A, Low = 0.2 × DVDD3A
- 負荷容量: CL = 30pF

33.6.13.2　SWD インタフェース

項目	記号	Min.	Max	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち上がり → 出力データ保持	T_{d1}	4	–	
CLK 立ち上がり → 出力データ有効	T_{d2}	–	30	
入力データ有効 → CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	

33.6.13.3　JTAG インタフェース

項目	記号	Min.	Max	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち下がり → 出力データ保持	T_{d3}	4	–	
CLK 立ち下がり → 出力データ有効	T_{d4}	–	50	
入力データ有効 → CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	



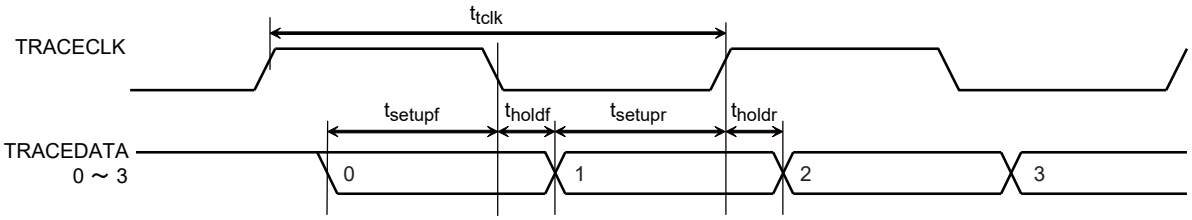
33.6.14 ETM トレース

33.6.14.1 AC 測定条件

- 出力レベル: High = 0.5 × DVDD3A、Low = 0.5 × DVDD3A
- 入力レベル: High = 0.8 × DVDD3A、Low = 0.2 × DVDD3A
- 負荷容量: CL = 30pF

33.6.14.2 ETM トレース

項目	記号	Min.	Max	単位
TRACECLK 周期	t_{tclk}	25	–	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	t_{setupr}	2	–	
TRACECLK 立ち上がり → TRACEDATA 保持	t_{holdr}	1	–	
TRACEDATA 有効 ← TRACECLK 立ち下がり	t_{setupf}	2	–	
TRACECLK 立ち下がり → TRACEDATA 保持	t_{holdf}	1	–	



33.6.15 内蔵発振回路特性

項目	記号	条件	Min.	Typ.	Max	単位
発振周波数	IHOSC	Ta = -40 to 85°C	9.7	10.0	10.3	MHz

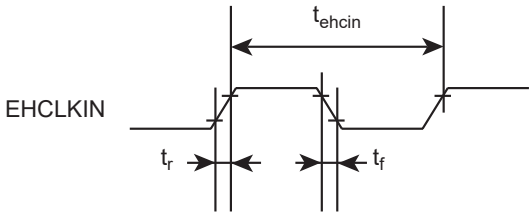
注) 発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

33.6.16 外部発振子

項目	記号	条件	Min.	Typ.	Max	単位
高周波発振	EHOSC	Ta = -40 to 85°C	8	–	16	MHz

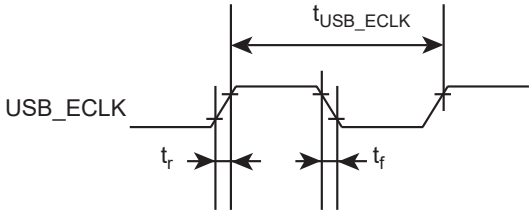
33.6.17　外部クロック入力

項目	記号	Min.	Typ.	Max	単位
クロック周波数	t_{ehcin}	8	–	16	MHz
クロック Duty	–	–	50	–	%
クロック立ち上がり時間	t_r	–	–	10	ns
クロック立ち下がり時間	t_f	–	–	10	ns



33.6.18　USB 外部クロック入力

項目	記号	Min.	Typ.	Max	単位
クロック周波数	t_{USB_ECLK}	8	–	48	MHz
クロック Duty	–	–	50	–	%
クロック立ち上がり時間	t_r	–	–	4	ns
クロック立ち下がり時間	t_f	–	–	4	ns



33.6.19　フラッシュ特性

項目	条件	Min.	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	Ta = 0 ~ 70°C	–	–	100	回

33.7 発振回路

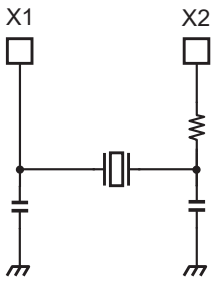


図 33-1 高周波発振回路例

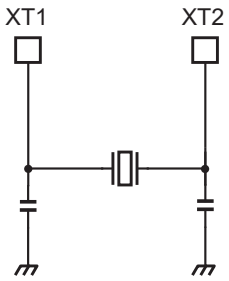


図 33-2 低周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

33.7.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

33.7.2 水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。

京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

33.7.3 プリント基板の設計に関する注意

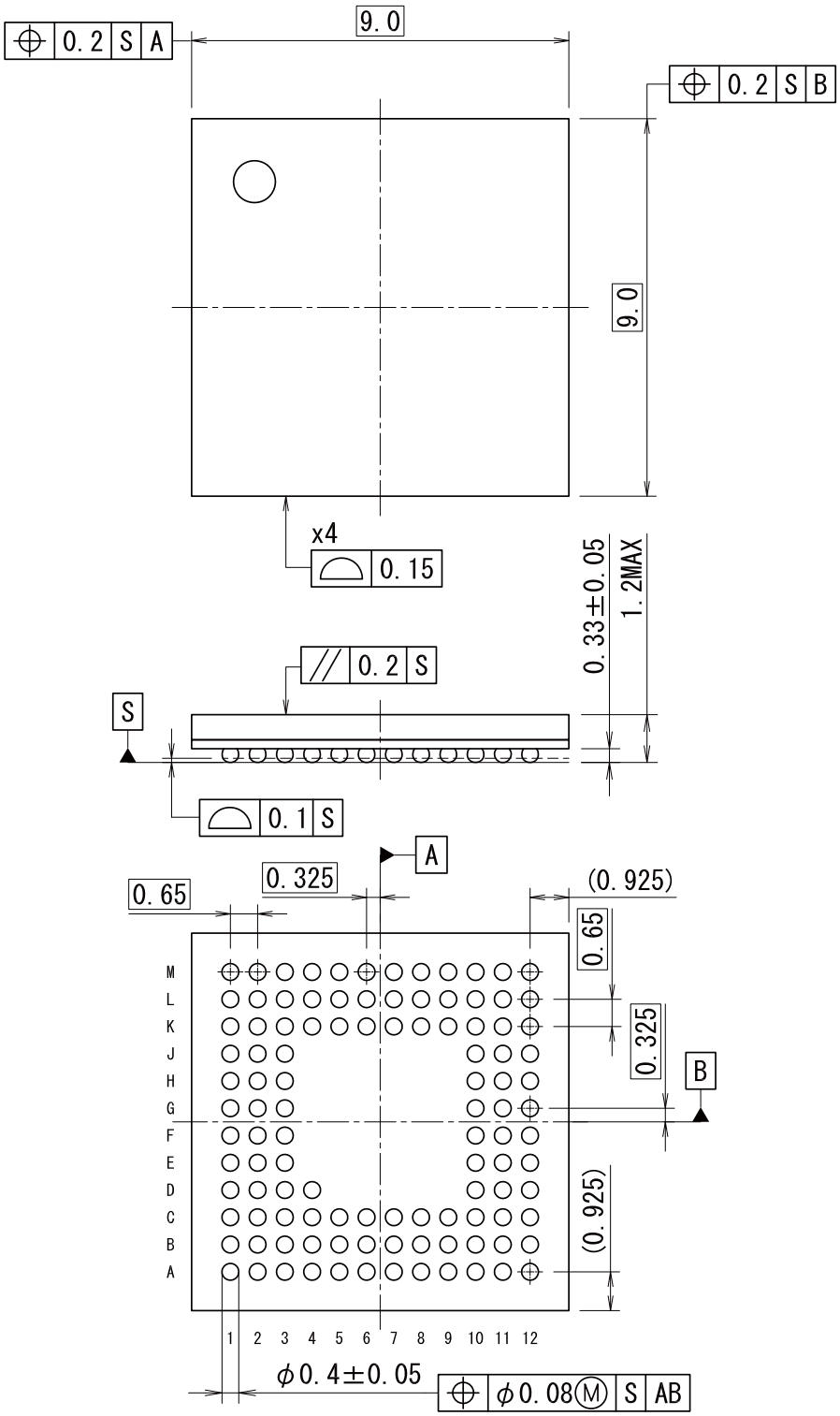
水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

第 34 章　パッケージ寸法図

パッケージ型名：P-TFBGA109-0909-0.65-001

Unit: mm

外形寸法図



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。