

TOLL パッケージ
アプリケーションノート

目次

TOLL パッケージ	1
アプリケーションノート	1
目次	2
1.1. TOLL パッケージラインアップ	3
2. 製品性能改善	3
2.1. DTMOSVIデバイス性能.....	3
2.2. 4 端子パッケージの効果	4
2.2.1. 4 端子パッケージ構造、駆動メカニズム	4
2.2.2. 4 端子パッケージ スイッチング損失低減効果.....	5
3. TOLL パッケージ実装	6
3.1. パッケージ寸法と参考パッド寸法.....	6
3.2. 端子間距離	8
3.3. TOLL パッケージ実装信頼性.....	8
3.3.1. 試験条件、断面観察方法.....	8
3.3.2. 実装信頼性 試験結果	9
4. TOLL パッケージ放熱設計	10
4.1. 放熱方法.....	10
4.2. 基板パッドとサーマルビアの最適設計.....	10
4.2.1. 放熱評価用基板仕様.....	10
4.2.2. 放熱評価環境.....	12
4.2.3. 放熱評価結果.....	13
4.2.4. 基板(放熱パッド)設計指針	14
製品取り扱い上のお願い.....	15

1. TOLL パッケージ紹介

TOLL パッケージはサーバー、テレコム、データセンターなど産業用電源に代表される高効率を要求される用途に開発された面実装パッケージです。

これまで産業用電源向け高耐圧 MOSFET の主力パッケージとして、TO-247 や TO-220 など端子リードの長い自立パッケージが主に使用されてきましたが、端子リードの寄生インダクタンスにより、搭載 MOSFET の性能が制限される問題点がありました。また、さらなるセットの電力密度向上、低コスト化などのニーズに答えるため、様々な SMD(Surface Mount Device)パッケージがリリースされてきましたが、パッケージの放熱性や実装信頼性などに課題があったため採用が限定されていました。

弊社 TOLL パッケージはこれらの課題を解決する面実装タイプの高効率、大電流アプリケーション向けパッケージです。弊社最新世代スーパージャンクション MOSFET プロセス DTMOSVIシリーズを搭載することで、お客様のセットの電力密度向上、性能改善、低コスト化に貢献致します。

1.1. TOLL パッケージラインアップ

高性能 DTMOSVIシリーズを搭載した 5 製品をラインアップしました。表 1.1 に TOLL パッケージのラインアップを示します。

表 1.1 TOLL パッケージラインアップ

品番	パッケージ	絶対最大定格		ドレイン-ソース間 オン抵抗 $R_{DS(ON) \max}$ @ $V_{GS}=10 \text{ V}$ (Ω)	ゲート 入力 電荷量 Q_g typ. (nC)	ゲート・ ドレイン間 電荷量 Q_{gd} typ. (nC)	入力容量 C_{iss} typ. (pF) @ $V_{DS}=300\text{V}$	従来シリーズ (DTMOSIV D2PAK) 品番
		ドレイン・ ソース間 電圧 V_{DSS} (V)	ドレイン 電流 (DC) I_D (A)					
TK065U65Z	TOLL	650	38	0.065	62	17	3650	
TK090U65Z	TOLL	650	30	0.090	47	12	2780	
TK110U65Z	TOLL	650	24	0.110	40	11	2250	
TK155U65Z	TOLL	650	18	0.155	29	8	1635	TK20G60W
TK190U65Z	TOLL	650	15	0.190	25	7.1	1370	TK16G60W

2. 製品性能改善

2.1. DTMOSVIデバイス性能

弊社最新世代スーパージャンクション MOSFET プロセス DTMOSVI(Deep Trench MOSFET 第 6 世代)は業界トップクラスの $R_{DS(ON)} \times Q_{gd}$ 性能を実現しています。図 2-1 に示す通り、弊社前世代品 DTMOSIV-H に対し $R_{DS(ON)} \times Q_{gd}$ を約 40% 低減しており、競合他社高性能シリーズ品(A 社 1, 2)と比べても優位な特性を確認しています。

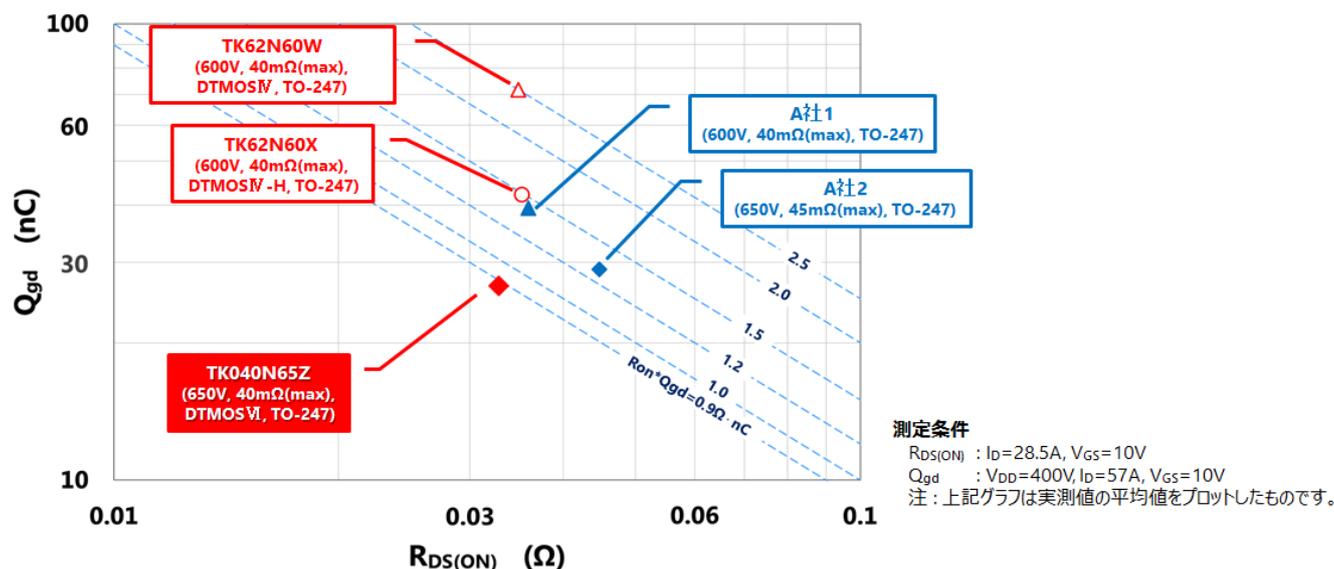


図 2-1 $Q_{gd} - R_{DS(ON)}$ 特性比較

業界最高レベルの $R_{DS(ON)} \times Q_{gd}$ 特性を達成することにより、図 2-2 に示す通り、弊社前世代品、及び競合他社高性能シリーズ品(A社3)に比べて高効率な電源を実現します。

テスト条件: 1.6kW電源 (PFC回路)
 出力電圧: 12V DC
 外付けゲート抵抗: $R_g = 10\Omega$
 スwitchング周波数: $f_{sw} = 66\text{kHz}$

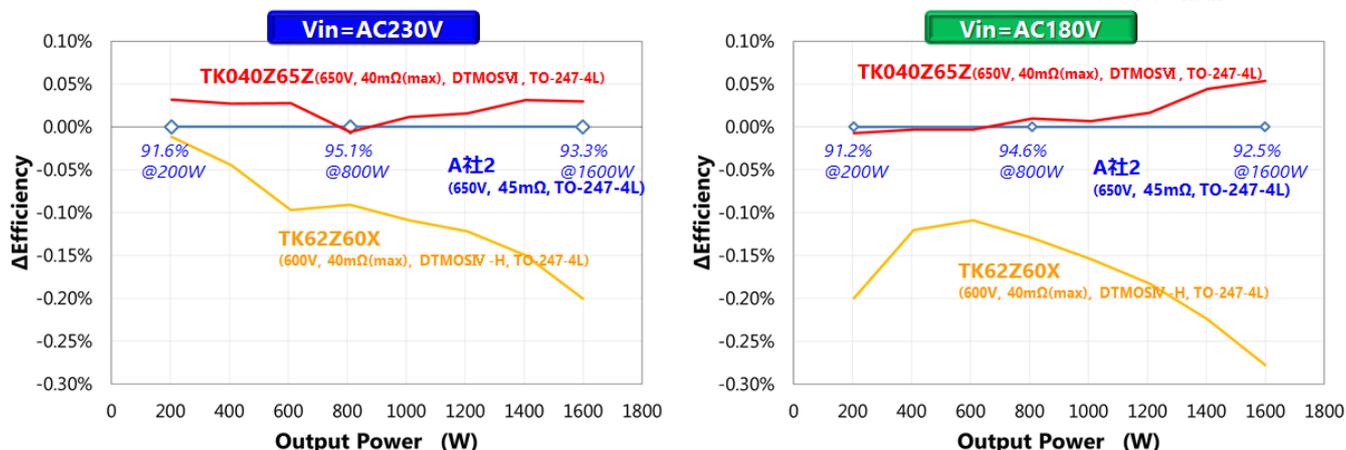


図 2-2 効率比較データ 1.6kW 電源

2.2.4 端子パッケージの効果

2.2.1.4 端子パッケージ構造、駆動メカニズム

図 2.3 に TOLL パッケージの内部回路構成図とパッケージ外観図を示します。TOLL パッケージはソース端子をソース 1、ソース 2 に分離した 4 端子タイプになっており、2 ピンのソース 2 端子をゲート信号のリターン用として使用し、3~8 ピンのソース 1 端子をドレイン-ソース電流経路とするよう配線パターンを接続することができます。

3 端子タイプのパッケージと 4 端子タイプである TOLL パッケージのスイッチング時の駆動概略図を図 2-4 に示します。3 端子タイプパッケージでは急峻な傾きのドレイン電流とソースワイヤのインダクタンス成分が、MOSFET のドライブ電圧 (V_{GS}) を減少させる電圧降下 (V_{LS}) を発生させます。よって、実際の MOSFET チップに印加されるゲート電圧 V_{GS} はパッケージのゲート端子とソース端子間に印加されるゲート電圧 V_{DRV} から V_{LS} を引いた $V_{DRV} - V_{LS}$ が印加されます。これに対し TOLL パッケージでは駆動回路用にソース端子を分離することで、ソースインダクタンス成分による電圧降下 (V_{LS}) の影響を軽減し、MOSFET チップの高速スイッチング性能を最大限引き出すことができます。

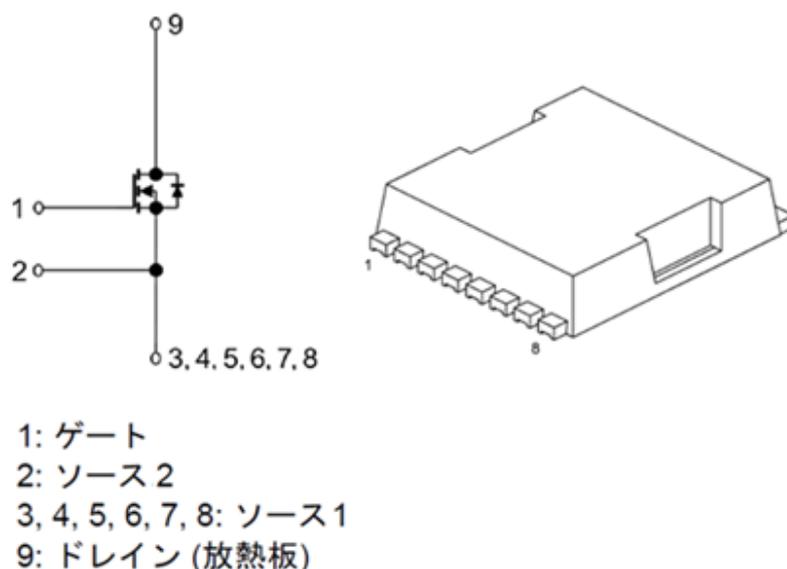


図 2-3 TOLL パッケージピン配置、外観

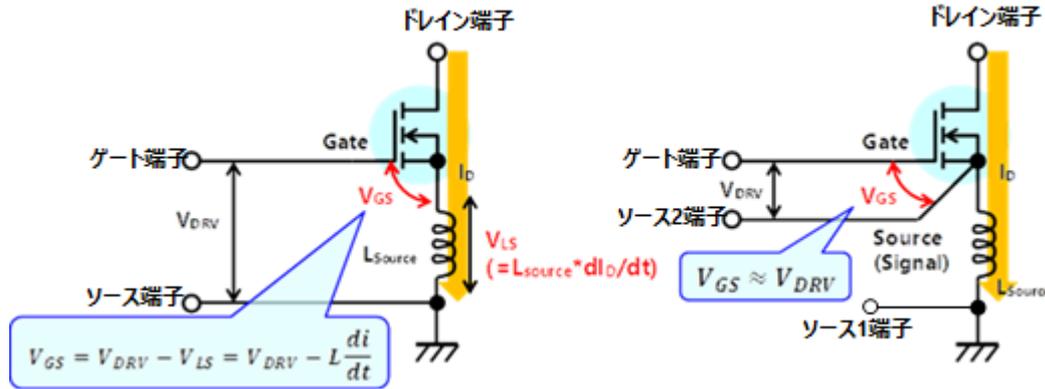


図 2-4 4 端子パッケージ駆動概略図

2.2.2.4 4 端子パッケージ スイッチング損失低減効果

図 2-5, 2-6 はソースラインをゲート信号ラインとパワーラインに分けていない 3 端子タイプの TO-247 パッケージ (TK090N65Z) と分けた 4 端子タイプの TOLL パッケージ (TK090U65Z) の L 負荷スイッチング波形を比較しています。搭載チップは同一です。

図 2-5 のターンオン波形より、前述の通りソースインダクタンスに起因する逆起電力 (V_{LS}) の影響を軽減することで、ターンオン損失 E_{on} は 68% 改善することを確認しています。また、図 2-6 のターンオフ波形においても、同様にターンオフ損失 E_{off} は 56% 改善しています。

また、ターンオフ波形のゲート電圧発振の振幅が大幅に小さくなっていることを確認しました。この発振波形はソースインダクタンスに起因する逆起電力によるもので、ソースラインをゲート信号ラインとパワーラインに分けることで小さくすることが可能です。このゲート電圧の発振はセットの電磁ノイズに影響するため、TOLL パッケージを採用することでお客様の機器の低ノイズ化にも貢献します。

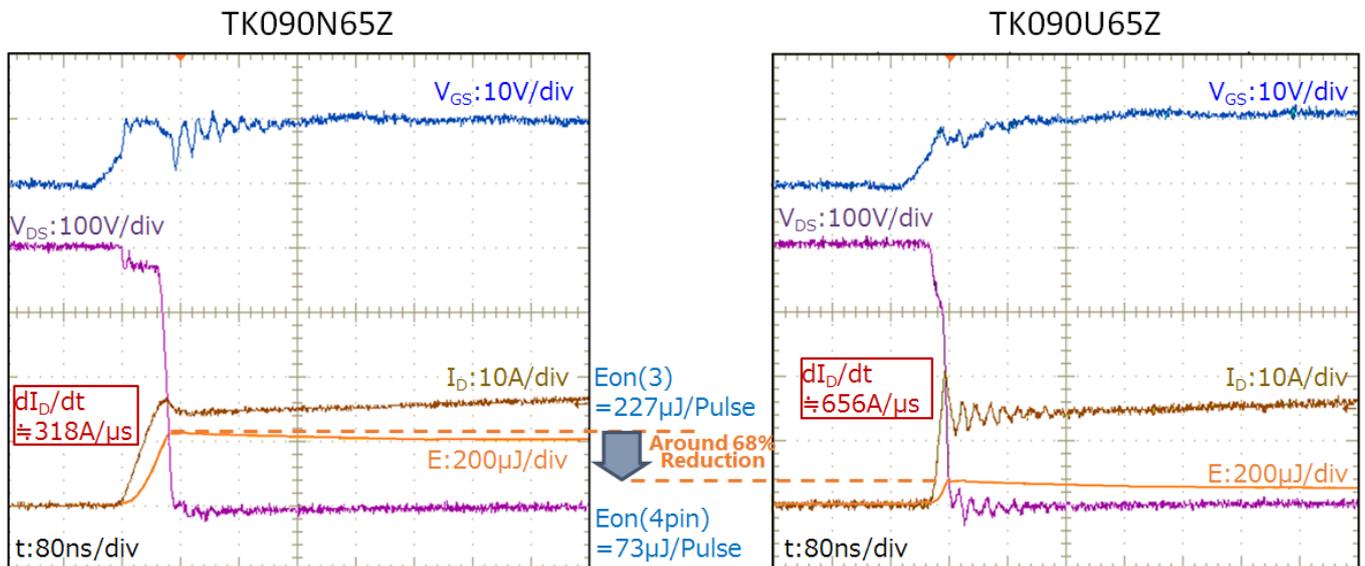


図 2-5 L 負荷 ターンオン波形比較 (TO-247 TK090N65Z vs TOLL TK090U65Z)

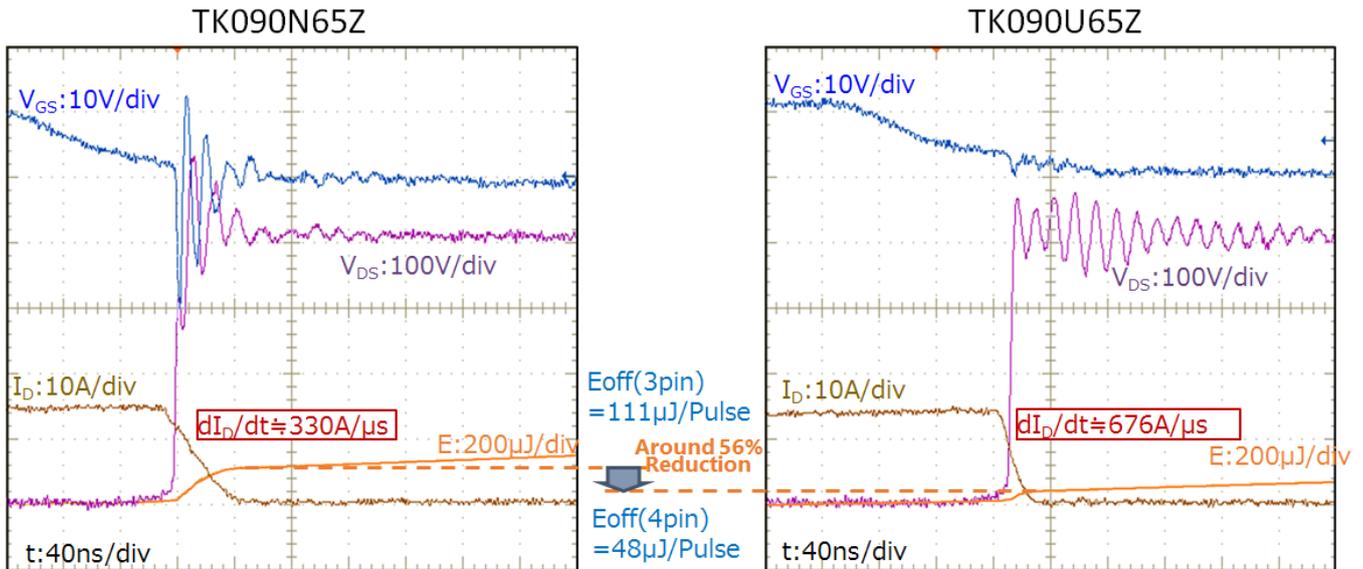


図 2-6 L 負荷 ターンオフ波形比較(TO-247 TK090N65Z vs TOLL TK090U65Z)

3. TOLL パッケージ実装

3.1. パッケージ寸法と参考パッド寸法

図 3-1 にパッケージ寸法図、図 3-2 に参考パッド寸法を示します。この参考パッド寸法は後述する(3-3)弊社実装信頼性試験の基板パターンとして使用されます。ドレインパッド面にサーマルビアを配置することで熱を基板の各層、裏面まで分散させ、放熱性を向上させることができます(詳細は 4 項をご参照ください)。また、弊社 TOLL パッケージは他社 TOLL パッケージと互換性を有しており、図 3-3、3-4 のように共通のパッド寸法にてご使用いただけます。(実際にご使用いただく際は、お客様が使用される基板、及び動作条件において十分に評価、検証の上でご使用ください。)

単位 : mm

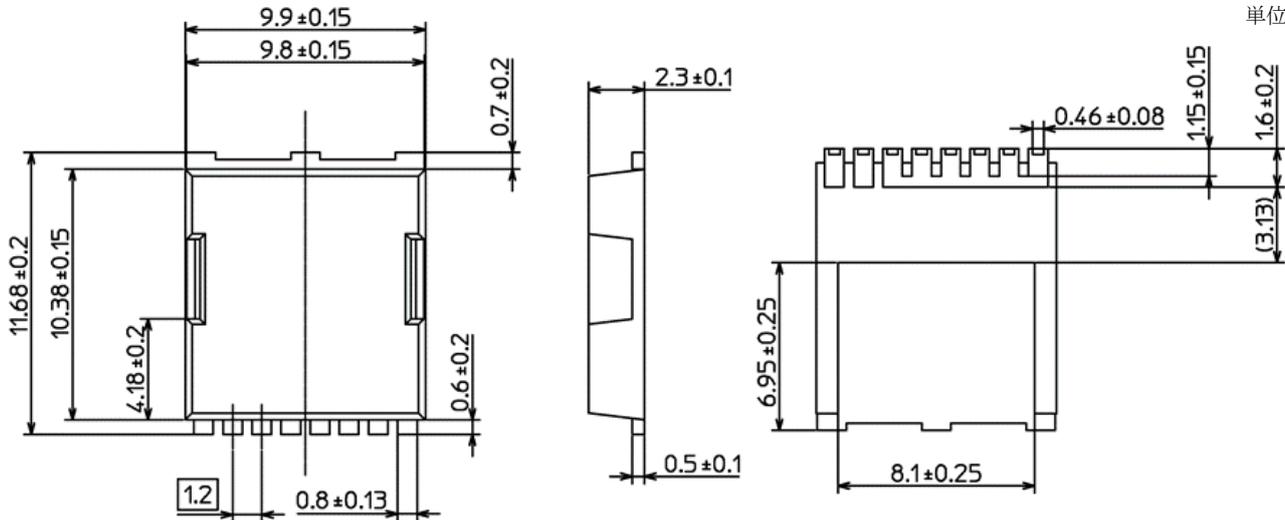


図 3-1 TOLL パッケージ寸法図

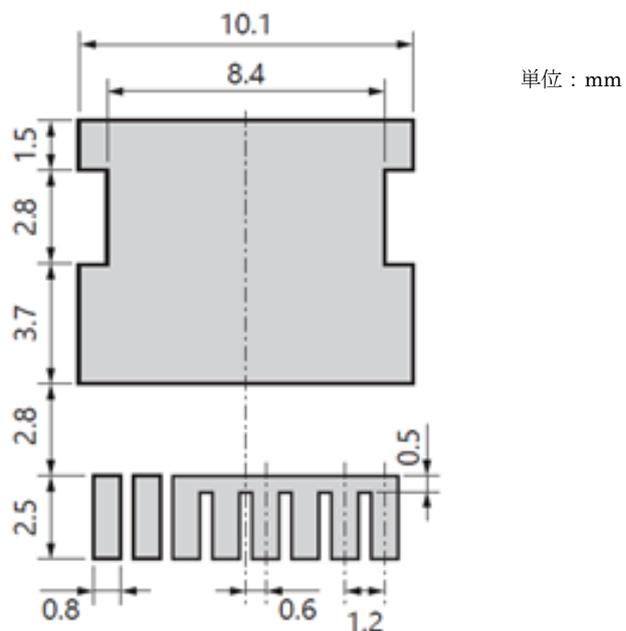


図 3-2 参考パッド寸法図

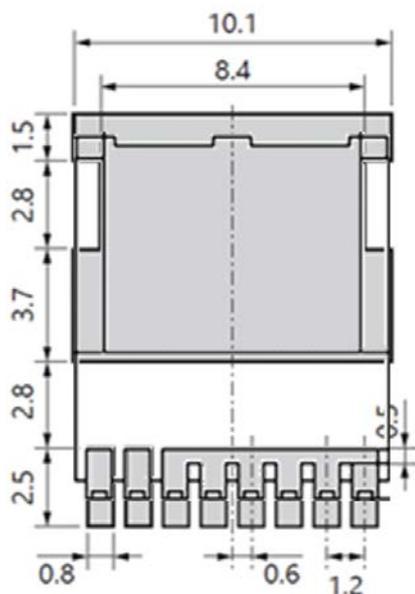


図 3-3 参考パッド寸法+弊社 TOLL パッケージ
(裏面と参考パッド寸法を重ねた場合)

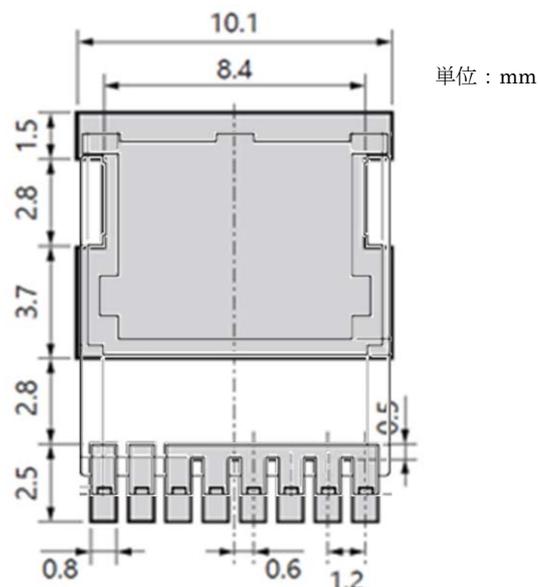


図 3-4 参考パッド寸法+他社(A社)TOLL パッケージ
(裏面と参考パッド寸法を重ねた場合)

3.2. 端子間距離

弊社 TOLL パッケージはドレインとソース間に 3.13 mmの端子間距離を設けています。これは自立タイプの TO-247 の 2.795mm より広く、十分な端子間距離を確保できます(図 3-5 参照)。端子間距離の観点からも、自立タイプの TO-247 から面実装タイプへの置換として TOLL パッケージは最適なパッケージです。

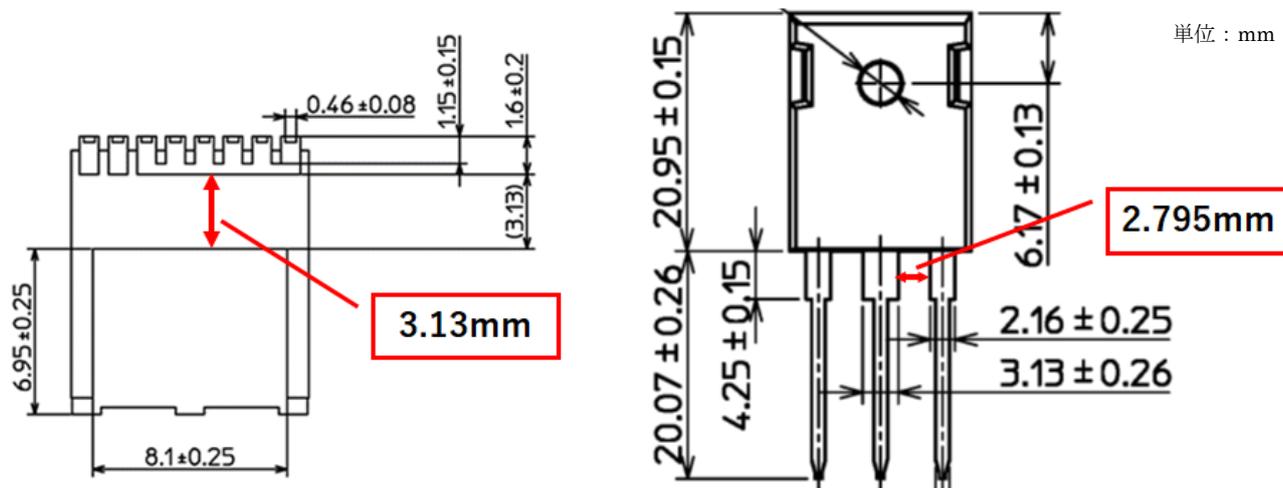


図 3-5 ドレイン-ソース端子間寸法比較(TOLL vs TO-247)

3.3. TOLL パッケージ実装信頼性

TOLL パッケージの実装信頼性を明らかにするため、弊社では以下の基板、実装条件、試験条件にて実装信頼性試験を実施しました。参考のため同一基板、実装/試験条件にて他社(B社)製 TOLL パッケージと実装信頼性試験結果を比較しました。

3.3.1. 試験条件、断面観察方法

以下表 3-1 に弊社 TOLL パッケージの実装信頼性試験条件、実装基板組成、サイズ、実装半田材料などを示します。

表 3-1 :実装信頼性試験 前処理及び試験条件

	条件
前処理	基板実装前に MOSFET 単体状態で 105℃,100%, 8 時間条件下で放置
実装条件	クリームはんだ 150±50µm(仕上がり 70~100µm) SAC305 加熱処置温度 ピーク温度:230~235℃, 予備加熱条件 160~180℃(60~120s)
温度サイクル	-55℃⇔125℃ 1 サイクル/1 時間
サイクル数	~1000 サイクル
実装基板	基板材質 : FR-4 ガラス転移点温度 Tg : 140℃ 層数 : 4 層(Cu 2oz) 基板サイズ : 25.4mm×25.4mm×1.6mm 半田ステンシル厚 : 100µm 実装半田材 : SAC305

また、図 3-6 にパッケージ断面観察方向および断面観察箇所を示します。ゲート端子 1pin を切断しリード実装半田の劣化、クラックの有無及びその程度を観察しました。また、5pin 近傍を切断しパッケージ中央内部のチップとリードフレーム間のマウント半田の劣化、クラックの有無及びその程度を観察しました。

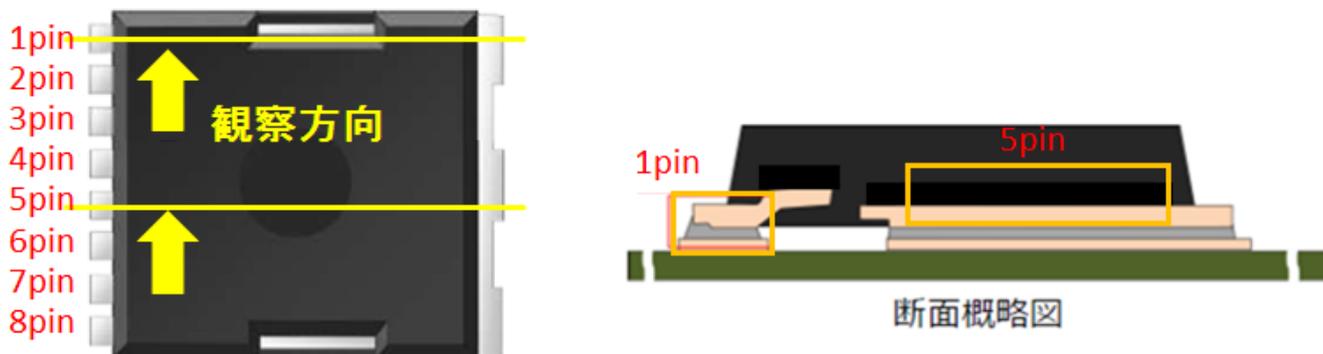


図 3-6 : TOLL パッケージ断面観察方向、断面観察箇所

3.3.2. 実装信頼性 試験結果

以下、表 3-2 は弊社 TOLL パッケージ及び他社(B 社)の弊社実装条件および試験条件における実装信頼性試験結果を示します。弊社試験条件、基板条件において、弊社 TOLL パッケージは 1000 サイクル@-55~125℃試験実施後において、特性変動や大きな実装半田クラックは確認されませんでした。一方、競合 B 社は 1000 サイクルにおいて、実装半田のクラックを複数箇所を確認し、実装半田クラックの範囲も広範囲に及んでいることを確認しました。また、他社(B 社)TOLL パッケージ内部のチップ-Cu フレーム間のマウント半田にも半田クラックが発生していることを確認しました。本結果から弊社 TOLL パッケージは他社(B 社)に比べ、同一環境において実装信頼性が高いことを確認しました。(但し、本結果は弊社信頼性試験条件、基板条件での結果であり、ご使用の際は実際にお客様の使用基板及び条件において十分評価、確認の上ご使用いただけますようお願いいたします。)

表 3-2 TOLL パッケージ実装信頼性試験結果@1000 サイクル(他社(B 社)と比較)

		弊社 TOLL		他社(B 社) TOLL	
1000 サイク ル	1pin				
	1pin 拡大				
	5pin 内部				

4. TOLL パッケージ放熱設計

4.1. 放熱方法

TOLL パッケージなど面実装製品は、図 4-1 のように FR-4 などの実装基板にパッケージを実装し、基板の裏面に放熱(絶縁)シートを介して放熱フィンを接着するケースが一般的です。その場合、特に大電力を扱い、高効率が要求される TOLL パッケージでは消費電力も大きくなるため、実装基板の Cu パッドのサイズ、サーマルビアの数などの基板パッド設計が放熱性に大きく影響します。

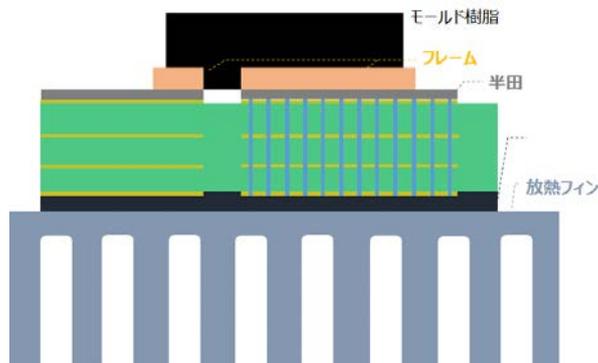


図 4-1: TOLL パッケージ推奨基板実装イメージ

4.2. 基板パッドとサーマルビアの最適設計

TOLL パッケージの実装基板のパッドサイズ及びサーマルビアのデザインに関して設計指針を明らかにするため、弊社放熱評価用基板を用いサーマルビア数、Cu パッドサイズなどの条件を変え、印加電力に対する表面温度(T_c)の測定評価を実施しました。また、基板デザインによる放熱効果を定量的に示しました。

4.2.1. 放熱評価用基板仕様

表 4-1 に TOLL パッケージの放熱評価を実施した 1 インチ基板仕様を示し、実装面、裏面及び実装写真を図 4-2 に、基板断面イメージ図、寸法を図 4-3 に示します。基板については、ドレインパッドサイズ、サーマルビア有無、サーマルビア数などを振った計 5 パターン(以下表 4-2)を作成、準備しました。また、今回ビア径は 0.3mm で統一しています。

表 4-1: 放熱評価用基板仕様

ランドパターン	5条件
PCB基板サイズ	25.4mm×25.4mm×1.6mm
PCB基板層数	4層
基板材質	FR-4, $T_g=140^{\circ}\text{C}$
層材質/厚み	Cu 2oz

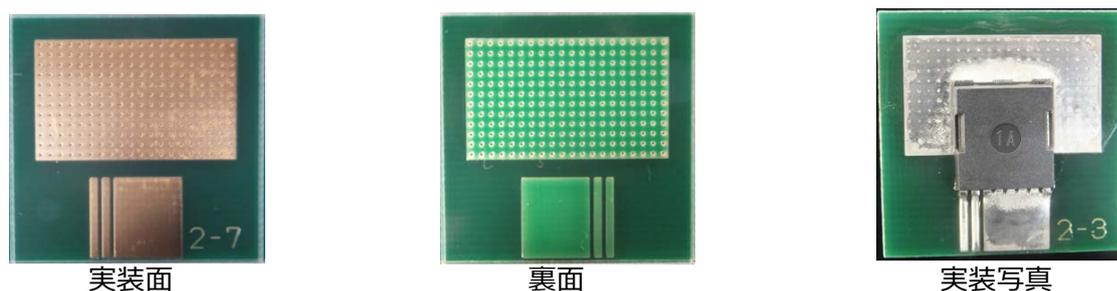


図 4-2: 実装面、裏面及び実装写真

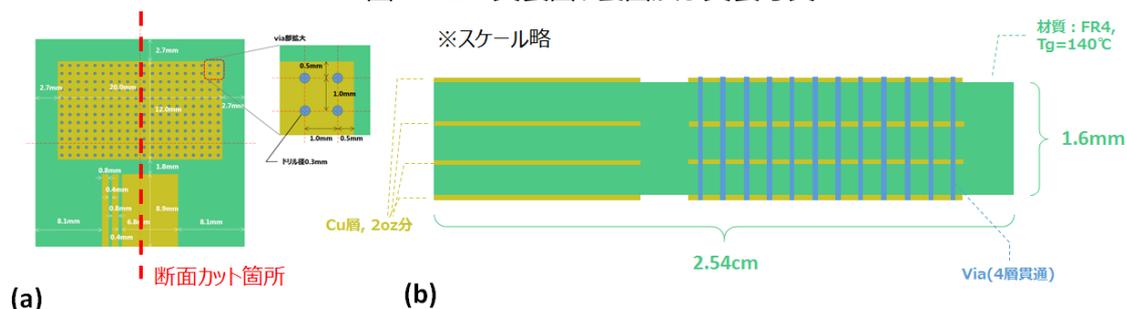
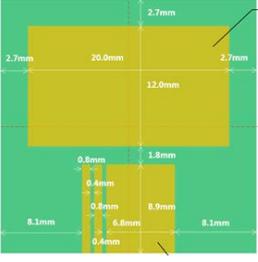
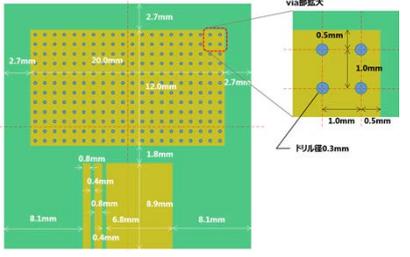
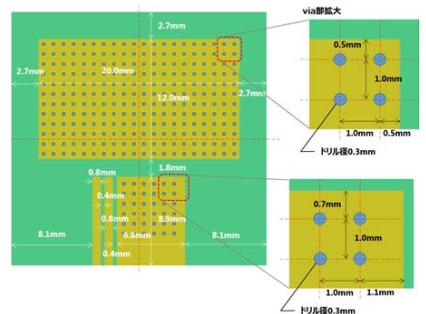
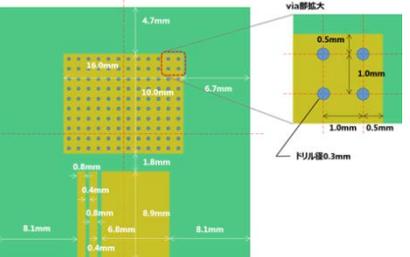
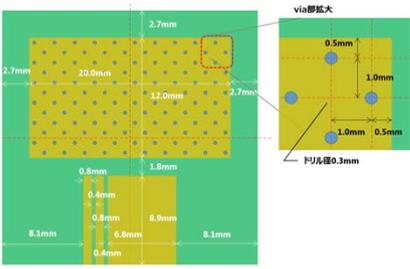


図 4-3 基板断面図及び寸法

表 4-2 各基板 Cu パターン ドレインパッドサイズ、サーマルビアデザイン、数

パターン	寸法	ドレインパッドサイズ	ドレインビア	ドレインビア数	備考
1		大	無	0	
2		大	全面	240pcs	
3		大	全面	240pcs	ソースビア追加 (数: 36pcs)
4		小	全面	120pcs	
5		大	全面	120pcs	ドレインビア 間隔拡大

4.2.2. 放熱評価環境

放熱評価において、製品(TOLL パッケージ)に印加する電力は DC 電源を用い、電力印加時間は十分 T_c が飽和するまでとし、今回は 300 秒に設定しました。300 秒経過後のデバイス表面温度(T_c)の測定にはサーモグラフィを使用しました。放熱フィンには空冷ファンで冷却し、アルミ板にて基板端(2mm)を押さえ放熱フィンに固定しました(図 4-4 参照)。

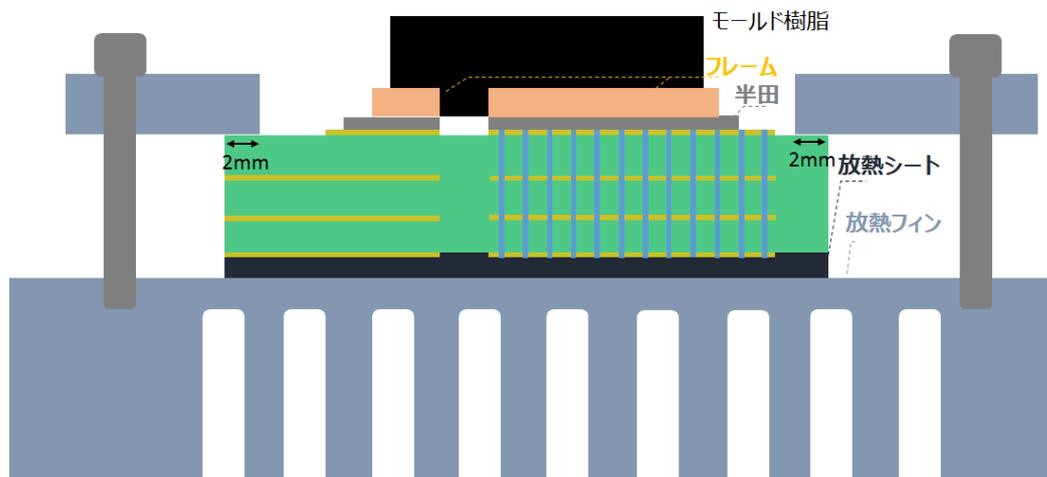


図 4-4 放熱シート、放熱フィン設置方法

放熱フィンと基板の間には放熱シート(1 インチ、マックエイト、CW-200、厚さ 3mm(typ)、材質：サーコン TR(UL84V-0))を挟み、絶縁性と放熱性を確保しました。

またゲート、ドレイン、ソースの配線は、なるべく配線からの放熱影響を少なくするため、以下図 4-5 のように各端子パッドの端に端子を半田接着し、デバイスからの距離を確保しています。また図のようにドレイン端子寄りのモールド樹脂表面にて最も温度が高くなるポイント(チップ直上)にて温度を観測しました。

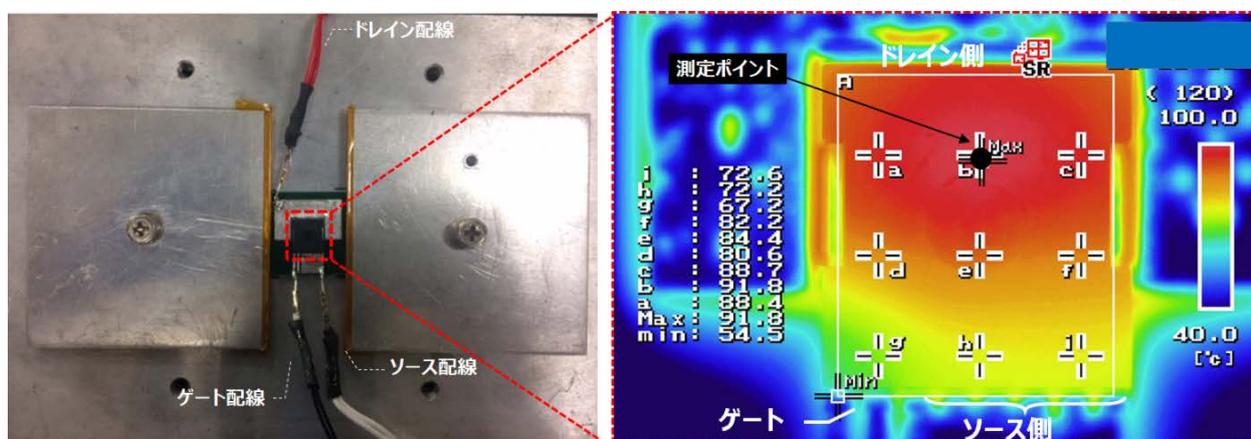


図 4-5 T_c (ケース温度)測定方法/ポイント

4.2.3. 放熱評価結果

各パターンの基板を用いた印加電力(Pin)に対する最高表面温度箇所(測定ポイント)のケース温度($T_c(\text{Max})$)の測定結果を図 4-6 に示します。尚、デバイス破壊を防ぐため T_c の上限としては 100℃前後までとしました。

パターン 1 とパターン 2 はサーマルビア有無の差であり、デバイス損失：10W の場合では、パターン 1 で計算上 $T_c=131^\circ\text{C}$ 相当、パターン 2 で実測 $T_c=66^\circ\text{C}$ となり、サーマルビアの有無で放熱性に大きく差が出る結果となりました。

また、パターン 3 は、パターン 2 のソースパッドにもサーマルビアを設けた基板になっており、パターン 2 よりも放熱性が改善されており、デバイス損失：18W にて T_c 約 3℃低減を確認しました($100.1^\circ\text{C}\Rightarrow 97.1^\circ\text{C}$)。

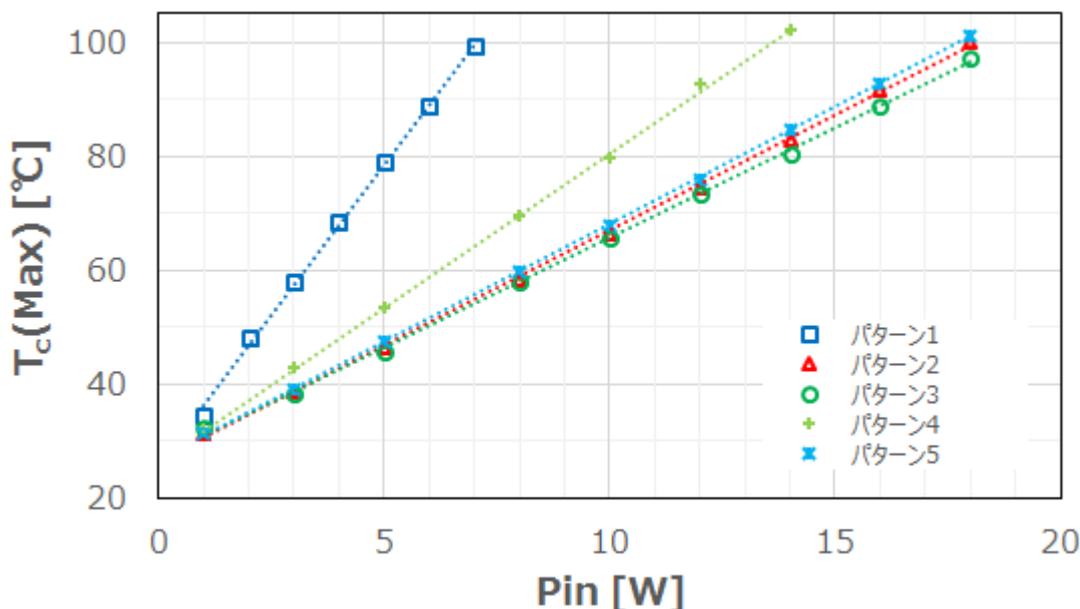


図 4-6 : $T_c(\text{Max})$ - Pin 特性

図 4-7 に Pin=14W におけるドレインパッドビア数- $T_c(\text{Max})$ の結果を示します。

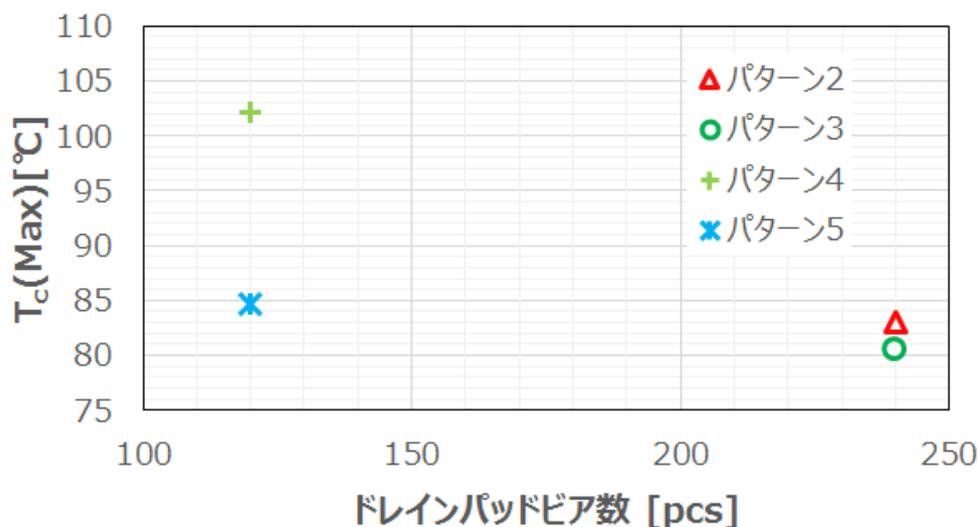


図 4-7 : $T_c(\text{Max})$ @Pin=14W - ドレインパッドビア数

パターン 2 はドレインパッドビア数:240pcs、パターン 5 は同一パッドサイズにおけるドレインパッドビア数：120pcs ですが、ドレインパッドビア数が 2 倍となっても T_c 低減は 1.6℃@Pin=14W にとどまり、サーマルビア数増加による放熱効果が飽和していることを確認しました。

パターン 4,5 は同じドレインビア 数(120pcs)におけるドレインパッドサイズ 大、小のパターンですが、同じサーマルビアの数を入れる場合はドレインパッドを大きく取ったパターン 5 の方が、 T_c が 17.5℃@Pin=14W 低いことがわかりました。

一方、実使用上を考えるとドレインパッドサイズを拡大するには、基板内の他部品、パターンとの沿面距離確保を考える必要もあり、放熱性とスペースを考慮したパターン設計を行う必要があります。

4.2.4. 基板(放熱パッド)設計指針

4.2.3 の放熱評価結果から、TOLL パッケージの実装基板のパッド、サーマルビアの設計指針としては

- スペース、沿面距離が許される範囲でドレインパッドを大きく確保する
- サーマルビア数は多いほうが良いが、放熱効果は飽和するため必要最低数の見極めが必要
- ソースパッドサーマルビアの配置も放熱性改善に効果あり

となります。

今回の弊社放熱評価結果はあくまで放熱の傾向を示すものであり、絶対値は基板の組成、条件、ヒートシンクのサイズなどにより変化することをご理解いただきますようお願いいたします。

製品取り扱い上のお願

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことを願います。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。