

お客様各位

2021-9-1

東芝デバイス&ストレージ株式会社  
東芝デバイスソリューション株式会社

〒212-8520 神奈川県川崎市幸区堀川町 580-1

Tel: 044-548-2200

Fax: 044-548-8965

## 非同期シリアル通信機能に関する誤記について

平素より東芝マイクロコントローラーをご使用頂き、誠にありがとうございます。

弊社マイコンに内蔵されております非同期シリアル通信機能(UART、または FUART)、50%デューティモード付き非同期シリアル通信回路(UART)の送信割り込み発生タイミングで、データシート、リファレンスマニュアルの記載に誤記が発見されました。

大変ご迷惑をおかけ致しますが、本文章をご確認頂きますようお願い申し上げます。

本件のご不明な点につきましては、弊社営業担当までお問い合わせいただきますようお願い申し上げます。

—記—

## 1. 対象製品

TMPM342FYXBG	TMPM440FEXBG	TMPA900CMXBG
TMPM343F10XBG	TMPM440F10XBG	TMPA901CMXBG
TMPM343FDXBG	TMPM461F10FG	TMPA910CRAXBG
TMPM366F20AFG	TMPM461F15FG	TMPA910CRBXXBG
TMPM366FWFG	TMPM462F10FG	TMPA911CRXBG
TMPM366FYFG	TMPM462F15FG	TMPA912CMXBG
TMPM366FDFG	TMPM46BF10FG	TMPA913CHXBG
TMPM366FWXBG	TMPM4G6FDFG	
TMPM366FYXBG	TMPM4G6FEFG	
TMPM366FDXBG	TMPM4G6F10FG	
TMPM367FDFG	TMPM4G7FDFG	
TMPM367FDXBG	TMPM4G7FEFG	
TMPM368FDFG	TMPM4G7F10FG	
TMPM368FDXBG	TMPM4G8FDFG	
TMPM369FDFG	TMPM4G8FDXBG	
TMPM369FDXBG	TMPM4G8FEFG	
TMPM36BF10FG	TMPM4G8FEXBG	
TMPM36BFYFG	TMPM4G8F10FG	
TMPM381FWDFG	TMPM4G8F10XBG	
TMPM381FWFG	TMPM4G8F15FG	
TMPM383FSEFG	TMPM4G8F15XBG	
TMPM383FSUG	TMPM4G9FDFG	
TMPM383FWEFG	TMPM4G9FDXBG	
TMPM383FWUG	TMPM4G9FEFG	
TMPM3V4FSEFG	TMPM4G9FEXBG	
TMPM3V4FSUG	TMPM4G9F10FG	
TMPM3V4FWEFG	TMPM4G9F10XBG	
TMPM3V4FWUG	TMPM4G9F15FG	
TMPM3V6FWDFG	TMPM4G9F15XBG	
TMPM3V6FWFG		

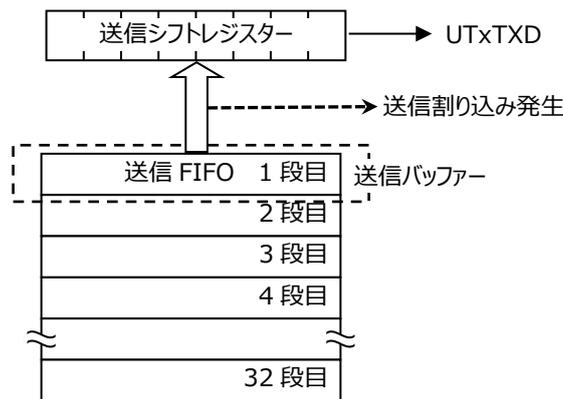
## 2. 詳細

送信割り込みの発生タイミングは以下となります。

なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

### 2.1. 送信 FIFO 未使用時

送信バッファ(送信 FIFO 1 段目)から送信シフトレジスタにデータが転送されたときに(送信バッファに空きができたとき)送信割り込みが発生します。



#### 2.1.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファへの書き込みタイミングを通知するため、送信バッファが空になったタイミングで発生します。送信割り込みは送信バッファに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

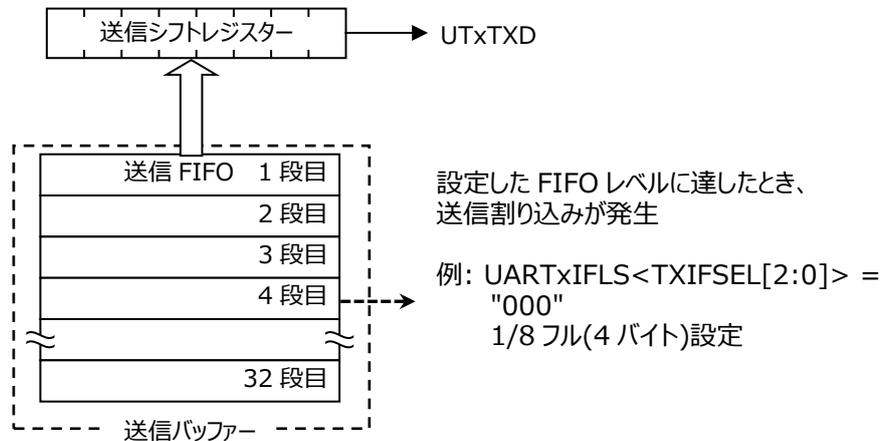
また、送信を終了する場合は、最終送信データがシフトレジスタに転送され、送信バッファが空になった際に最後の送信割り込みが発生します。送信バッファに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファにデータを書き込んでください。

連続してデータを送信する場合は、次項の送信 FIFO を利用したデータ転送を推奨致します。

## 2.2. 送信 FIFO 使用時

送信動作により送信 FIFO の格納段数が UARTxIFLS<TXIFSEL[2:0]>であらかじめ設定した FIFO レベルに達すると送信割り込みが発生します。



### 2.2.1. 送信割り込み発生タイミング

送信 FIFO 使用時は、設定した FIFO レベルに達したときに送信割り込み発生します。

例えば、UARTxIFLS<TXIFSEL[2:0]> = "000" (1/8 フル 4 バイト設定)の場合、送信 FIFO に格納されたデータが 4 段目に達したときに送信割り込みが発生します。

送信割り込みは設定した FIFO レベルを超えるデータが送信 FIFO に格納されるとクリアされ、設定した FIFO レベルに達すると再度発生します。

## 3. 誤記内容

製品により送信割り込み発生タイミングの記載内容が異なり、各製品に対する誤記掲載箇所の章番号を以下表に示します。なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

誤記に対する修正、追記内容は、以降の「4. 誤記修正・追記内容」で説明し、全ての対象製品で共通の記載内容となります。

### 3.1. 記載タイプ A

#### 3.1.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM342FYXBG	16.4.7
TMPM366F20AFG(注)	15.4.7
TMPM366FWFG、TMPM366FYFG、TMPM366FDFG、TMPM366FWXBG、 TMPM366FYXBG、TMPM366FDXBG	16.4.7
TMPM367FDFG、TMPM367FDXBG、TMPM368FDFG、TMPM368FDXBG、 TMPM369FDFG、TMPM369FDXBG	13.4.7
TMPM36BFYFG、TMPM36BF10FG	13.4.7
TMPA900CMXBG、TMPA901CMXBG、TMPA910CRAXBG、TMPA910CRBxBG、 TMPA911CRXBG、TMPA912CMXBG、TMPA913CHXBG	3.13.1.1 (7)

注) 非同期シリアル通信機能(UART)章です。

#### タイプ A

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブ레이크エラー 割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

## 3.2. 記載タイプ B(1)

### 3.2.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM461F10FG、TMPM461F15FG、TMPM462F10FG、TMPM462F15FG	14.4.6.2

#### タイプ B(1)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時： 送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時： STOP ビット送信開始時(MSB データ転送後) に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時： STOP ビット受信後
	FIFO 使用時： 設定した FIFO がフルとなるで一の STOP ビット受信後

## 3.3. 記載タイプ B(2)

### 3.3.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM343FDXBG、TMPM343F10XBG、TMPM366F20AFG(注)	16.4.6.2
TMPM381FWFG、TMPM381FWDFG、 TMPM383FSUG、TMPM383FSEFG、TMPM383FWUG、TMPM383FWEFG、 TMPM3V4FSUG、TMPM3V4FSEFG、TMPM3V4FWUG、TMPM3V4FWEFG、 TMPM3V6FWFG、TMPM3V6FWDFG	11.4.6.2
TMPM440FEXBG、TMPM440F10XBG	26.4.6.2

注) 50%デューティモード付き非同期シリアル通信回路(UART)章です。

### タイプ B(2)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	FIFO がフルになった時の STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	FIFO 未使用時: 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時: STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時: STOP ビット受信後
	FIFO 使用時: 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

## 3.4. 記載タイプ B(3)

### 3.4.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM4G6FDFG、TMPM4G6FEFG、TMPM4G6F10FG、TMPM4G7FDFG、 TMPM4G7FEFG、TMPM4G7F10FG、TMPM4G8FDFG、TMPM4G8FDXBG、 TMPM4G8FEFG、TMPM4G8FEXBG、TMPM4G8F10FG、TMPM4G8F10XBG、 TMPM4G8F15FG、TMPM4G8F15XBG、TMPM4G9FDFG、TMPM4G9FDXBG、 TMPM4G9FEFG、TMPM4G9FEXBG、TMPM4G9F10FG、TMPM4G9F10XBG、 TMPM4G9F15FG、TMPM4G9F15XB	リファレンスマニュアル(注) 高精度非同期シリアル通信 回路(FUART-B) 3.8.2

注) 本文章の UARTxIFLS を **[FURTxIFLS]** に、UARTxICR を **[FURTxICR]** に、UARTxFR を **[FURTxFR]** に読み替えてください。

#### タイプ B(3)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時(それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

## 3.5. 記載タイプ C

### 3.5.1. 対象製品と対象箇所の章番号

製品名	TD 記載箇所章番号
TMPM46BF10FG	19.4.6.2

#### タイプ C

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー割り込み	FIFO がフルになった時の STOP ビット受信後
ブ레이크エラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA の MSB データを送信した後
受信割り込み	STOP ビット受信後

## 4. 誤記修正・追記内容

製品により送信割り込みの割り込み発生タイミングの記載が異なりますが、共通して正しい記載内容は以下となります。

### 4.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファへの書き込みタイミングを通知するため、送信バッファが空になったタイミングで発生します。送信割り込みは送信バッファに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

また、送信を終了する場合は、最終送信データがシフトレジスタに転送され、送信バッファが空になった際に最後の送信割り込みが発生します。送信バッファに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファにデータを書き込んでください。

以上