TOSHIBA

32 ビット RISC マイクロコントローラ
TX00 シリーズ

TMPM061FWFG

東芝デバイス＆ストレージ株式会社

©2013-2023
Toshiba Electronic Devices & Storage Corporation

****
Arm,CortexおよびThumbはArm Limited(またはその子会社)のUSまたはその他の国における
登録商標です。 All rights reserved.
****

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

   電源投入時、本資料に掲載されている製品の内部は不定状態となります。

   このため、リセットが有効となるまで、端子の状態は不定となります。

   外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

   また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

   本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

   未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

   リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

改訂履歴

日付	版	改訂理由
2012/02/08	Tentative 1	First Release of Tentative
2012/07/03	Tentative 2	Contents Revised
2013/07/29	1	First Release
2014/03/10	2	Contents Revised
2015/10/02	3	Contents Revised
2018/10/25	4	Contents Revised
2023/07/31	5	Contents Revised

目　次

はじめに(本仕様書での SFR 表記に関する注意点)

TMPM061FWFG

1.1 機能概要....1
1.2 ブロック図....4
1.3 ピン配置図(Top view)....5
1.4 ピン名称と機能....6
1.5 電源の種類と供給端子....11

第 2 章　製品情報

2.1 16 ビットタイマ/イベントカウンタ(TMRB)....13
2.2 16 ビットタイマ A (TMR16A)....13
2.3 シリアルチャネル(SIO/UART)....14
2.4 アナログ/デジタルコンバータ(ADC)....15
2.4.1 使用できない機能....15
2.4.2 変換チャネル....15
2.5 ΔΣ 型アナログ/デジタルコンバータ(DSADC)....16

第 3 章　プロセッサコア

3.1 コアに関する情報....17
3.2 構成可能なオプション....17
3.3 例外/割り込み....18
3.3.1 割り込み本数....18
3.3.2 SysTick....18
3.3.3 SYSRESETREQ....18
3.3.4 LOCKUP....18
3.4 イベント....18
3.5 電力管理....18

第 4 章　メモリマップ

4.1 メモリマップ....21
4.2 バス構成....23
4.3 周辺機能ベースアドレス一覧....24

第 5 章　リセット動作

5.1　コールドリセット....26
5.2　ウォームリセット....26
5.3　リセット解除後....26

第 6 章　クロック/モード制御

6.1　特長....27
6.2　レジスタ説明....28
6.2.1　レジスタ一覧....28
6.2.2　CGSYSCR(システムコントロールレジスタ)....28
6.2.3　CGOSCCR(発振コントロールレジスタ)....29
6.2.4　CGSTBYCR(スタンバイコントロールレジスタ)....31
6.2.5　CGEHCLKSEL(外部高速クロックセレクトレジスタ)....32
6.2.6　CGCKSEL (システムクロックセレクトレジスタ)....32
6.3　クロック制御....33
6.3.1　クロックの種類....33
6.3.2　リセット動作による初期値....33
6.3.3　クロック系統図....34
6.3.4　ウォーミングアップ機能....35
6.3.5　システムクロック....36
6.3.5.1　システムクロックの切り替え
6.3.5.2　SLOW、STOP、SLEEP モードへ遷移する際の注意
6.3.5.3　システムクロックの設定方法
6.3.6　プリスケーラクロック....40
6.3.7　クロックの端子出力機能....40
6.4　動作モードとモード遷移....42
6.4.1　モード状態遷移....42
6.5　動作モード....43
6.5.1　NORMAL モード....43
6.5.2　SLOW モード....43
6.6　低消費電力モード....43
6.6.1　IDLE モード....43
6.6.2　SLEEP モード....44
6.6.3　STOP モード....44
6.6.4　低消費電力モードの選択....44
6.6.5　各モードにおける動作状態....46
6.6.6　低消費電力モードの解除....47
6.6.7　ウォーミングアップ....48
6.6.8　モード遷移によるクロック動作....49
6.6.8.1　NORMAL → STOP → NORMAL 動作モード遷移
6.6.8.2　NORMAL → SLEEP → NORMAL 動作モード遷移
6.6.8.3　SLOW → STOP → SLOW 動作モード遷移
6.6.8.4　SLOW → SLEEP → SLOW 動作モード遷移

第 7 章　例外

7.1　概要....51
7.1.1　種類....51
7.1.2　処理の流れ....52
7.1.2.1　例外要求と検出
7.1.2.2　例外の処理と割り込み処理ルーチンへの分岐(横取り)
7.1.2.3　割り込み処理ルーチンの発行
7.1.2.4　例外からの復帰
7.2　リセット例外....56

7.3 マスク不能割り込み(NMI) 56
7.4 SysTick 56
7.5 割り込み 57
7.5.1 要因 57
7.5.1.1 経路
7.5.1.2 割り込み要因の発生
7.5.1.3 割り込み要因の伝達
7.5.1.4 外部割込み端子を使用する際の注意
7.5.1.5 要因一覧
7.5.1.6 アクティブレベル
7.5.2 処理詳細 61
7.5.2.1 処理の流れ
7.5.2.2 準備
7.5.2.3 検出(クロックジェネレータ)
7.5.2.4 検出(CPU)
7.5.2.5 CPU の処理
7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)
7.6 例外/割り込み関連レジスタ 66
7.6.1 レジスタ一覧 66
7.6.2 NVIC レジスタ 67
7.6.2.1 SysTick 制御およびステータスレジスタ
7.6.2.2 SysTick リロード値レジスタ
7.6.2.3 SysTick 現在値レジスタ
7.6.2.4 SysTick 較正値レジスタ
7.6.2.5 割り込みイネーブルセットレジスタ
7.6.2.6 割り込みイネーブルクリアレジスタ
7.6.2.7 割り込み保留セットレジスタ
7.6.2.8 割り込み保留クリアレジスタ 1
7.6.2.9 割り込み優先度レジスタ
7.6.2.10 アプリケーション割り込みおよびリセット制御レジスタ
7.6.2.11 システムハンドラ優先度レジスタ
7.6.2.12 システムハンドラ制御および状態レジスタ
7.6.3 クロックジェネレータレジスタ 76
7.6.3.1 CGIMCGA(CG 割り込みモードコントロールレジスタ A)
7.6.3.2 CGIMCGB(CG 割り込みモードコントロールレジスタ B)
7.6.3.3 CGICRCG(CG 割り込み要求クリアレジスタ)
7.6.3.4 CGRSTFLG(リセットフラグレジスタ)

第 8 章 入出力ポート

8.1 ポート機能 81
8.1.1 機能一覧 81
8.2 レジスタ概略説明 83
8.2.1 PxDATA：データレジスタ 83
8.2.2 PxCR：コントロールレジスタ 83
8.2.3 PxFRn：ファンクションレジスタ n 84
8.2.4 PxOD：オープンドレインコントロールレジスタ 85
8.2.5 PxPUP：プルアップコントロールレジスタ 85
8.2.6 PxPDN：プルダウンコントロールレジスタ 86
8.2.7 PxIE：入力コントロールレジスタ 86
8.3 レジスタ一覧 87
8.4 ポート機能詳細 88
8.4.1 ポート A 88
8.4.2 ポート B 88
8.4.3 ポート C 89
8.4.4 ポート D 89
8.4.5 ポート E 90
8.4.6 ポート F 90
8.4.7 ポート G 91
8.4.8 ポート H 91
8.4.9 ポート I 92
8.4.10 ポート J 92
8.4.11 ポート K 93
8.5 ポート回路図 94

8.5.1 ポートタイプ一覧....94
8.5.2 タイプ FT1....94
8.5.3 タイプ FT2....96
8.5.4 タイプ FT3....97
8.5.5 タイプ FT4....98
8.5.6 タイプ FT5....99
8.5.7 タイプ FT6....100
8.5.8 タイプ FT7....101
8.5.9 タイプ FT8....102
8.5.10 タイプ FT9....103
8.5.11 タイプ FT10....104
8.6 付録 (ポート設定一覧)....105
8.6.1 入出力ポートの設定....105
8.6.2 入力専用ポートの設定....105
8.6.3 出力専用ポートの設定....105
8.6.4 周辺機能の入出力端子として使用する場合の設定....106
8.6.4.1 ポート A 設定
8.6.4.2 ポート B 設定
8.6.4.3 ポート C 設定
8.6.4.4 ポート D 設定
8.6.4.5 ポート E 設定
8.6.4.6 ポート F 設定
8.6.4.7 ポート G 設定
8.6.4.8 ポート H 設定
8.6.4.9 ポート I 設定
8.6.4.10 ポート J 設定
8.6.4.11 ポート K 設定

第 9 章 16 ビットタイマ/イベントカウンタ(TMRB)

9.1 概要....115
9.2 構成....116
9.3 レジスタ説明....117
9.3.1 レジスタ一覧....117
9.3.2 TBxEN(イネーブルレジスタ)....118
9.3.3 TBxRUN(RUN レジスタ)....119
9.3.4 TBxCR(コントロールレジスタ)....120
9.3.5 TBxMOD(モードレジスタ)....121
9.3.6 TBxFFCR(フリップフロップコントロールレジスタ)....122
9.3.7 TBxST(ステータスレジスタ)....123
9.3.8 TBxIM(割り込みマスクレジスタ)....124
9.3.9 TBxUC(アップカウンタキャプチャレジスタ)....125
9.3.10 TBxRG0(タイマレジスタ 0)....126
9.3.11 TBxRG1(タイマレジスタ 1)....126
9.3.12 TBxCP0(キャプチャレジスタ 0)....127
9.3.13 TBxCP1(キャプチャレジスタ 1)....127
9.4 動作説明....128
9.4.1 プリスケーラ....128
9.4.2 アップカウンタ(UC)....128
9.4.2.1 ソースクロック
9.4.2.2 動作開始と停止
9.4.2.3 カウンタのクリア
9.4.2.4 オーバフロー
9.4.3 タイマレジスタ(TBxRG0, TBxRG1)....129
9.4.4 キャプチャ制御....129
9.4.5 キャプチャレジスタ(TBxCP0, TBxCP1)....130
9.4.6 アップカウンタキャプチャレジスタ(TBxUC)....130
9.4.7 コンパレータ(CP0, CP1)....130
9.4.8 タイマフリップフロップ(TBxFF0)....130
9.4.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)....130
9.5 モード別動作説明....131
9.5.1 インタバルタイマモード....131
9.5.2 イベントカウンタモード....131
9.5.3 PPG (プログラマブル矩形波)出力モード....132

9.5.4 プログラマブル矩形波(PPG)外部トリガ出力モード....134
9.6 キャプチャ機能を利用した応用例....136
9.6.1 周波数測定....136
9.6.2 パルス幅測定....138

第 10 章 16 ビットタイマ A (TMR16A)

10.1 概要....141
10.2 構成....141
10.3 レジスタ説明....142
10.3.1 レジスター覧....142
10.3.2 レジスタ詳細....142
10.3.2.1 T16AxEN (イネーブルレジスタ)
10.3.2.2 T16AxRUN (RUN レジスタ)
10.3.2.3 T16AxCR (コントロールレジスタ)
10.3.2.4 T16AxRG (タイマレジスタ)
10.3.2.5 T16AxCP (キャプチャレジスタ)
10.4 動作説明....146
10.4.1 タイマ動作....146
10.4.2 T16AxOUT の制御....146
10.4.3 リードキャプチャ....146
10.4.4 自動停止....147

第 11 章 シリアルチャネル(SIO/UART)

11.1 概要....149
11.2 構成....150
11.3 レジスタ説明....151
11.3.1 レジスター覧....151
11.3.2 SCxEN (イネーブルレジスタ)....152
11.3.3 SCxBUF (バッファレジスタ)....153
11.3.4 SCxCR (コントロールレジスタ)....154
11.3.5 SCxMOD0 (モードコントロールレジスタ 0)....155
11.3.6 SCxMOD1 (モードコントロールレジスタ 1)....156
11.3.7 SCxMOD2 (モードコントロールレジスタ 2)....157
11.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ),
SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)....159
11.4 動作モード....161
11.5 データフォーマット....162
11.5.1 データフォーマット一覧....162
11.5.2 パリティ制御....163
11.5.2.1 送信
11.5.2.2 受信
11.5.3 STOP ビット長....163
11.6 クロック制御....164
11.6.1 プリスケーラ....164
11.6.2 シリアルクロック生成回路....164
11.6.2.1 ボーレートジェネレータ
11.6.2.2 クロック選択回路
11.6.3 送信/受信バッファ....168
11.6.3.1 構成
11.6.3.2 送信/受信バッファ
11.7 ステータスフラグ....169
11.8 エラーフラグ....169
11.8.1 OERR フラグ....169
11.8.2 PERR フラグ....169
11.8.3 FERR フラグ....170
11.9 受信....171

11.9.1 受信カウンタ....171
11.9.2 受信制御部....171
11.9.2.1 I/O インタフェースモードの場合
11.9.2.2 UART モードの場合
11.9.3 受信動作....171
11.9.3.1 受信バッファの動作
11.9.3.2 I/O インタフェースモード、クロック出力モードでの受信
11.9.3.3 受信データの読み出し
11.9.3.4 ウェイクアップ機能
11.9.3.5 オーバランエラー
11.10 送信....174
11.10.1 送信カウンタ....174
11.10.2 送信制御部....174
11.10.2.1 I/O インタフェースモードの場合
11.10.2.2 UART モードの場合
11.10.3 送信動作....174
11.10.3.1 送信バッファの動作
11.10.3.2 I/O インタフェースモード、クロック出力モードでの送信
11.10.3.3 アンダランエラー
11.11 ハンドシェーク機能....176
11.12 赤外線キャリア付き信号出力....177
11.13 割り込み/エラー発生タイミング....178
11.13.1 受信割り込み....178
11.13.2 送信割り込み....178
11.13.3 エラー発生....179
11.13.3.1 UART モード
11.13.3.2 I/O インタフェースモード
11.14 ソフトリセット....179
11.15 モード別動作説明....180
11.15.1 モード 0 (I/O インタフェースモード)....180
11.15.1.1 送信
11.15.1.2 受信
11.15.1.3 送受信(全二重)
11.15.2 モード 1 (7 ビット UART モード)....191
11.15.3 モード 2 (8 ビット UART モード)....191
11.15.4 モード 3 (9 ビット UART モード)....192
11.15.4.1 ウェイクアップ機能
11.15.4.2 プロトコル

第 12 章 シリアルバスインタフェース(I2C/SIO)

12.1 概要....195
12.2 構成....195
12.3 I2C バスモード時のデータフォーマット....196
12.4 レジスタ説明....197
12.4.1 レジスター覧....197
12.5 I2C バスモード時のレジスタ....198
12.5.1 SBIxCR0(コントロールレジスタ 0)....198
12.5.2 SBIxCR1(コントロールレジスタ 1)....198
12.5.3 SBIxCR2(コントロールレジスタ 2)....200
12.5.4 SBIxSR(ステータスレジスタ)....201
12.5.5 SBIxBR0(ボーレートレジスタ 0)....202
12.5.6 SBIxDBR(データバッファレジスタ)....202
12.5.7 SBIxI2CAR(I2C バスアドレスレジスタ)....203
12.6 I2C バスモード時の制御....204
12.6.1 動作モードの設定....204
12.6.2 シリアルクロック....204
12.6.2.1 クロックソース
12.6.2.2 クロック同期化
12.6.3 アクノリッジメントモードの指定....205
12.6.4 転送ビット数の選択....205
12.6.5 スレーブアドレスとアドレス認識モードの設定....206

12.6.6 マスタ/スレーブの選択 206
12.6.7 トランスミッタ/レシーバの選択 206
12.6.7.1 マスタモード時
12.6.7.2 スレーブモード時
12.6.8 バスビジーモニタ 206
12.6.9 割り込みサービス要求と解除 207
12.6.10 アービトレーションロスト検出モニタ 207
12.6.11 スレーブアドレス一致検出モニタ 208
12.6.12 ジェネラルコール検出モニタ 209
12.6.13 最終受信ビットモニタ 209
12.6.14 データバッファレジスタ(SBIxDBR) 209
12.6.15 ボーレートレジスタ(SBIxBR0) 209
12.6.16 ソフトウエアリセット 209
12.7 I2C バスモード時のデータ転送手順 210
12.7.1 デバイスの初期化 210
12.7.2 スタートコンディション, スレーブアドレスの発生 210
12.7.3 1 ワードのデータ転送 211
12.7.3.1 マスタモードの場合(<MST> = "1")
12.7.3.2 スレーブモードの場合(<MST> = "0")
12.7.4 ストップコンディションの発生 216
12.7.5 再スタートの手順 217
12.8 SIO モード時のコントロールレジスタ 219
12.8.1 SBIxCR0(コントロールレジスタ 0) 219
12.8.2 SBIxCR1(コントロールレジスタ 1) 220
12.8.3 SBIxDBR(データバッファレジスタ) 221
12.8.4 SBIxCR2(コントロールレジスタ 2) 222
12.8.5 SBIxSR(ステータスレジスタ) 223
12.8.6 SBIxBR0(ボーレートレジスタ 0) 224
12.9 SIO モード時の制御 225
12.9.1 シリアルクロック 225
12.9.1.1 クロックソース
12.9.1.2 シフトエッジ
12.9.2 転送モード 226
12.9.2.1 8 ビット送信モード
12.9.2.2 8 ビット受信モード
12.9.2.3 8 ビット送受信モード
12.9.2.4 送信終了時の最終ビット保持時間

第 13 章 10 ビットアナログ/デジタルコンバータ(ADC)

13.1 概要 231
13.2 構成 231
13.3 レジスタ説明 232
13.3.1 レジスター覧 232
13.3.2 ADCLK (変換クロック設定レジスタ) 233
13.3.3 ADMOD0 (モードコントロールレジスタ 0) 234
13.3.4 ADMOD1 (モードコントロールレジスタ 1) 235
13.3.5 ADMOD2 (モードコントロールレジスタ 2) 236
13.3.6 ADMOD3 (AD モードコントロールレジスタ 3) 238
13.3.7 ADMOD4 (モードコントロールレジスタ 4) 239
13.3.8 ADMOD5 (AD モードコントロールレジスタ 5) 240
13.3.9 ADREGn (変換結果レジスタ n: n = 0~11) 241
13.3.10 ADREGSP (変換結果レジスタ SP) 242
13.3.11 ADCMP0 (変換結果比較レジスタ 0) 243
13.3.12 ADCMP1 (変換結果比較レジスタ 1) 243
13.4 動作説明 244
13.4.1 アナログ基準電圧 244
13.4.2 AD 変換モード 244
13.4.2.1 通常 AD 変換
13.4.2.2 最優先 AD 変換
13.4.3 AD 監視機能 245
13.4.4 入力チャネルの選択 246
13.4.5 AD 変換動作詳細 246

13.4.5.1 AD 変換の起動
13.4.5.2 AD 変換動作
13.4.5.3 通常 AD 変換中の最優先変換要求
13.4.5.4 リピート変換モードの停止
13.4.5.5 通常 AD 変換の再起動
13.4.5.6 変換終了
13.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

第 14 章 24 ビット ΔΣ 型アナログ/デジタルコンバータ(DSADC)

14.1 特徴.....251
14.2 ブロック図.....252
14.3 レジスタ説明.....253
14.3.1 レジスター一覧.....253
14.3.2 レジスタ詳細.....253
14.3.2.1 DSADCLK (変換クロック設定レジスタ)
14.3.2.2 DSADCR0（コントロールレジスタ 0)
14.3.2.3 DSADCR1（コントロールレジスタ 1)
14.3.2.4 DSADCR2（コントロールレジスタ 2)
14.3.2.5 DSADCR3（コントロールレジスタ 3)
14.3.2.6 DSADCR4（コントロールレジスタ 4)
14.3.2.7 DSADADJ(補正レジスタ)
14.3.2.8 DSADST(変換ステータスレジスタ)
14.3.2.9 DSADRES(変換結果レジスタ)
14.4 動作説明.....260
14.4.1 起動および停止手順.....260
14.4.1.1 起動
14.4.1.2 停止
14.4.2 変換クロック(ADCLK).....262
14.4.2.1 変換時間
14.4.2.2 低消費電力モードへの遷移
14.4.3 変換モード.....262
14.4.4 変換開始.....262
14.4.5 変換ステータス.....262
14.4.6 変換停止.....263
14.4.7 変換終了.....263
14.4.8 変換結果.....263
14.5 同期スタート機能.....264
14.5.1 起動.....264
14.5.2 停止.....265
14.6 変換開始補正機能.....265

第 15 章 温度センサ(TEMP)

15.1 概要.....267
15.2 構成.....267
15.3 レジスタ説明.....269
15.3.1 レジスター一覧.....269
15.3.2 レジスタ詳細.....269
15.3.2.1 TEMPEN (イネーブルレジスタ)
15.3.2.2 TEMPCR（コントロールレジスタ）
15.4 動作説明.....271
15.4.1 起動.....271
15.4.2 停止.....271

第 16 章 リアルタイムクロック(RTC)

16.1 RTC の機能概略.....273

16.2 ブロック図.....273
16.3 レジスタ説明.....274
16.3.1 レジスター一覧.....274
16.3.2 コントロールレジスタ.....274
16.3.3 レジスタ詳細.....276
16.3.3.1 RTCSECR(秒桁レジスタ(PAGE0 のみ))
16.3.3.2 RTCMINR(分桁レジスタ(PAGE0/1))
16.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))
16.3.3.4 RTCDAYR(曜日桁レジスタ(PAGE0/1))
16.3.3.5 RTCDATER(日桁レジスタ(PAGE0/1))
16.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0 のみ))
16.3.3.7 RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ(PAGE1 のみ))
16.3.3.8 RTCYEARR(年桁レジスタ(PAGE0 のみ))
16.3.3.9 RTCYEARR(うるう年レジスタ(PAGE1 のみ))
16.3.3.10 RTCPAGER(PAGE レジスタ(PAGE0/1))
16.3.3.11 RTCRESTR(リセットレジスタ(PAGE0/1))
16.3.3.12 RTCPROTECT(プロテクトレジスタ)
16.3.3.13 RTCADJCTL(補正機能制御レジスタ)
16.3.3.14 RTCADJDAT(補正値レジスタ)
16.4 時計データのリード/ライト.....285
16.4.1 時計データをリードする場合.....285
16.4.2 時計データをライトする場合.....285
16.4.3 低消費電力モードへ遷移する場合.....287
16.5 アラーム機能.....288
16.5.1 時計を用いた使用方法.....288
16.5.2 1, 2, 4, 8, 16 Hz 周期でアラームを出力する場合.....289
16.6 クロック補正機能.....290
16.7 1Hz クロック出力機能.....290

第 17 章 LCD ドライバ

17.1 構成.....292
17.2 レジスタ説明.....293
17.2.1 レジスター一覧.....293
17.2.2 レジスタ詳細.....294
17.2.2.1 LCDEN (イネーブルレジスタ)
17.2.2.2 LCDCR1 (コントロールレジスタ 1)
17.2.2.3 LCDCR2 (コントロールレジスタ 2)
17.2.2.4 LCDBUF00 (バッファレジスタ 00)
17.2.2.5 LCDBUF01 (バッファレジスタ 01)
17.2.2.6 LCDBUF02 (バッファレジスタ 02)
17.2.2.7 LCDBUF03 (バッファレジスタ 03)
17.2.2.8 LCDBUF04 (バッファレジスタ 04)
17.2.2.9 LCDBUF05 (バッファレジスタ 05)
17.2.2.10 LCDBUF06 (バッファレジスタ 06)
17.2.2.11 LCDBUF07 (バッファレジスタ 07)
17.2.2.12 LCDBUF08 (バッファレジスタ 08)
17.2.2.13 LCDBUF09 (バッファレジスタ 09)
17.2.2.14 LCDBUF10 (バッファレジスタ 10)
17.2.2.15 LCDBUF11 (バッファレジスタ 11)
17.2.2.16 LCDBUF12 (バッファレジスタ 12)
17.2.2.17 LCDBUF13 (バッファレジスタ 13)
17.2.2.18 LCDBUF14 (バッファレジスタ 14)
17.2.2.19 LCDBUF15 (バッファレジスタ 15)
17.2.2.20 LCDBUF16 (バッファレジスタ 16)
17.2.2.21 LCDBUF17 (バッファレジスタ 17)
17.2.2.22 LCDBUF18 (バッファレジスタ 18)
17.2.2.23 LCDBUF19 (バッファレジスタ 19)
17.3 動作説明.....307
17.3.1 LCD 表示制御.....307
17.3.2 リセット発生時の動作.....307
17.3.3 SLEEP,STOP モード時の動作.....308
17.3.4 SLOW モード時の動作.....308
17.3.5 フェイルセーフ機能.....308
17.3.6 LCD 駆動方式 (LCDCR1<DUTY>).....309

17.3.7 フレーム周波数 (LCDCR1<SLF>)....310
17.3.8 ブリーダ抵抗の内部/外部切り替え制御....311
17.3.9 内部ブリーダ低抵抗の接続時間の選択 (LCDCR2<LRSE>)....311
17.3.10 内部ブリーダ高抵抗の選択 (LCDCR2<BRH>)....313
17.3.11 LCD 表示動作....314
17.3.12 表示データの設定....315
17.4 LCD ドライバ制御例....316
17.4.1 初期設定....316
17.4.2 表示データの格納....316
17.4.3 駆動出力例....319

第 18 章 電圧検出回路(LVD)

18.1 構成....325
18.2 レジスタ説明....326
18.2.1 レジスター覧....326
18.2.2 LVDICR (LVD-INT 制御レジスタ)....326
18.2.3 LVDSR (ステータスレジスタ)....327
18.3 動作説明....328
18.3.1 検出電圧の選択と電圧検出動作の許可....328
18.3.2 電圧低下の検出....328

第 19 章 ウォッチドッグタイマ(WDT)

19.1 構成....329
19.2 レジスタ....330
19.2.1 レジスター覧....330
19.2.1.1 WDMOD(ウォッチドッグタイマモードレジスタ)
19.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)
19.3 動作説明....332
19.3.1 基本動作....332
19.3.2 動作モードと動作状態....332
19.3.3 暴走検出時の動作....332
19.3.3.1 INTWDT 割り込み発生の場合
19.3.3.2 内部リセット発生の場合
19.4 ウォッチドックタイマの制御....333
19.4.1 ディセーブル制御....333
19.4.2 イネーブル制御....333
19.4.3 ウォッチドッグタイマのクリア制御....333
19.4.4 ウォッチドッグタイマ検出時間の設定....333

第 20 章 フラッシュメモリ動作説明

20.1 フラッシュメモリの特長....335
20.1.1 メモリ容量と構成....335
20.1.2 機能....336
20.1.3 動作モード....336
20.1.3.1 モードの説明
20.1.3.2 モードの決定
20.1.4 メモリマップ....337
20.1.5 プロテクト/セキュリティ機能....338
20.1.5.1 プロテクト機能
20.1.5.2 セキュリティ機能
20.1.6 レジスタ....340
20.1.6.1 レジスター覧
20.1.6.2 FCFLCS(フラッシュコントロールレジスタ)
20.1.6.3 FCSECBIT(セキュリティビットレジスタ)
20.2 フラッシュメモリ詳細....342

20.2.1 機能....342
20.2.2 フラッシュメモリの動作モード....342
20.2.3 コマンド実行方法....342
20.2.4 コマンド説明....343
20.2.4.1 自動ページプログラム
20.2.4.2 自動チップ消去
20.2.4.3 自動ブロック消去
20.2.4.4 自動プロテクトビットプログラム
20.2.4.5 自動プロテクトビット消去
20.2.4.6 ID-Read
20.2.4.7 Read コマンド、Read/リセットコマンド (ソフトウエアリセット)
20.2.5 コマンドシーケンス....346
20.2.5.1 コマンドシーケンス一覧
20.2.5.2 バスライトサイクル時のアドレスビット構成
20.2.5.3 ブロックアドレス(BA)
20.2.5.4 プロテクトビットの指定(PBA)
20.2.5.5 ID-Read のコード(IA, ID)
20.2.5.6 コマンドシーケンス例
20.2.6 フローチャート....351
20.2.6.1 自動プログラム
20.2.6.2 自動消去
20.3 シングルブートモードによる書き替え方法....353
20.3.1 モード設定....353
20.3.2 インタフェース仕様....353
20.3.3 メモリの制約について....354
20.3.4 動作コマンド....354
20.3.4.1 RAM 転送
20.3.4.2 フラッシュメモリチップ消去および プロテクトビット消去
20.3.5 コマンドによらず共通の動作....355
20.3.5.1 シリアル動作モード判定
20.3.5.2 ACK 応答データ
20.3.5.3 パスワード判定
20.3.5.4 CHECK SUM の計算方法
20.3.6 RAM 転送の転送フォーマット....361
20.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット....363
20.3.8 ブートプログラム全体フローチャート....365
20.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順....366
20.3.9.1 Step-1
20.3.9.2 Step-2
20.3.9.3 Step-3
20.3.9.4 Step-4
20.3.9.5 Step-5
20.3.9.6 Step-6
20.4 ユーザブートモードによる書き替え方法....369
20.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例....369
20.4.1.1 Step-1
20.4.1.2 Step-2
20.4.1.3 Step-3
20.4.1.4 Step-4
20.4.1.5 Step-5
20.4.1.6 Step-6
20.4.2 (1-B)書き替えルーチンを外部から転送する手順例....373
20.4.2.1 Step-1
20.4.2.2 Step-2
20.4.2.3 Step-3
20.4.2.4 Step-4
20.4.2.5 Step-5
20.4.2.6 Step-6

第 21 章 デバッグインタフェース

21.1 仕様概要....377
21.2 デバッグインタフェース端子....377
21.3 リセットベクタブレーク....377
21.4 デバッグインタフェース端子を汎用ポートとして使用する際の注意....377
21.5 デバッグイネーブル端子....378

21.6 ホールトモード中の周辺機能.....379
21.7 デバッグツールとの接続.....379

第 22 章 電気的特性

22.1 絶対最大定格.....381
22.2 DC 電気的特性(1/3).....382
22.3 DC 電気的特性(2/3).....383
22.4 DC 電気的特性(3/3).....383
22.5 10 ビット AD コンバータ変換特性.....384
22.6 24 ビット ΔΣ 型 AD コンバータ変換特性.....384
22.7 温度センサ特性.....385
22.8 LCD 特性.....385
22.9 AC 電気的特性.....386
22.9.1 AC 測定条件.....386
22.9.2 シリアルチャネル(SIO/UART).....386
22.9.2.1 I/O インタフェースモード
22.9.3 シリアルバスインタフェース(I2C/SIO).....388
22.9.3.1 I2C モード
22.9.3.2 クロック同期式 8 ビット SIO モード
22.9.4 イベントカウンタ.....390
22.9.5 キャプチャ.....390
22.9.6 外部割り込み.....390
22.9.7 SCOUT 端子 AC 特性.....391
22.9.8 デバッグ通信.....391
22.9.9 フラッシュ特性.....392
22.9.10 内蔵高速発振特性.....392
22.10 発振回路.....393
22.10.1 セラミック発振子.....393
22.10.2 水晶発振子.....393

第 23 章 ポート等価回路図

23.1 ポート.....396
23.2 アナログ端子.....397
23.3 制御端子.....397
23.4 クロック.....398

第 24 章 パッケージ寸法図

CMOS 32 ビット マイクロコントローラ

TMPM061FWFG

TMPM061FWFG は、Arm® 社Cortex®-M0 コアを内蔵した 32 ビット RISC マイクロプロセッサです。機能概要と特長は次のとおりです。

1.1 機能概要

1. Arm 社製 Cortex-M0 コアを使用

   Cortex-M0 は Cortex-M シリーズの中で最も小さいコアでありながら以下の性能を実現します。

   a. コード効率を最大限に高めた Thumb®−2 命令セット

   b. 高性能化と低消費電力化を同時に実現

   【高性能化】

   ・32 ビット乗算(32 × 32 = 32 ビット)を 1 クロックで実行

   【低消費電力化】

   ・低消費電力ライブラリを使用した最適化設計

   ・プロセッサコアの動作を停止させるスタンバイ機能

   c. リアルタイム制御に向いた高速割り込み応答

   ・実行時間の長い命令は割り込みで中断可能

   ・スタックへの PUSH をハードウエアで自動的に実行

2. エンディアン：リトルエンディアン

3. 内蔵プログラムメモリ/データメモリ
   - 内蔵 Flash ROM：128KB
   - 内蔵 RAM：8KB

4. 電力演算エンジン(Power Calculation Engine：PCE)：電力演算用 DSP 機能

5. 16 ビットタイマ(TMRB)：2 チャネル
   - インタバルタイマモード
   - イベントカウンタモード
   - プログラマブル矩形波出力モード
   - キャプチャ機能
   - タイマ同期モード

6. 16 ビットタイマ(TMR16A)：7 チャネル

7. シリアルチャネル(SIO/UART)：4 チャネル

   UART/クロック同期式モード選択可能
   - 1 チャネルは使用ポートを選択可能
   - 3 チャネルはキャリア出力機能あり

8. シリアルバスインタフェース(I2C/SIO)：1 チャネル

I2C バスモード/クロック同期式モード選択可能

9. 10 ビット AD コンバータ(ADC)：1 ユニット
   - チャネル固定/スキャンモード
   - シングル/リピートモード
   - AD 監視機能 2ch
   - 変換時間

     16.2μsec (AVDD = 2.7 ~ 3.6V)

     32.4μsec (AVDD = 1.8 ~ 3.6V)

10. 24 ビット ΔΣ 型 AD コンバータ：3 ユニット
    - サンプリング周波数：3KHz, 6KHz
    - 入力電位：-0.375 ~ +0.375V
    - プログラマブルゲインアンプ(PGA)：×1, ×2, ×4, ×8, ×16 選択可能
    - 変換モード：シングルモード、リピートモード
    - 変換開始補正機能
    - ユニット間同時スタート機能

11. 温度センサ(TEMP)

12. リアルタイムクロック(RTC)：1 チャネル
    - 時計機能(時間、分、秒)
    - カレンダ機能(月日、週、うるう年)
    - 補正機能(ソフトウエアによる補正)

13. LCD ドライバ(LCDD)
    - LCD 直接駆動可能(40seg × 4com)
    - 1/4, 1/3, 1/2 デューティー、スタティック駆動選択
    - ブリーダ抵抗内蔵(外部ブリーダ抵抗を使用可能)

14. 電圧検知回路(LVD)

15. ウォッチドッグタイマ(WDT)：1 チャネル

    リセットまたはマスク不能割り込み(NMI)発生

16. 割り込み機能：優先順位を 4 レベルで設定可能
    - 内部 28 本
    - 外部 4 本

17. 入出力ポート(PORT)：64 端子

    3 端子は 5V トレラント入力対応

18. スタンバイ機能

    スタンバイモード：IDLE, SLOW, SLEEP, STOP

19. クロックギア機能：高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

20. 最大動作周波数：16 MHz

21. 動作電圧範囲：1.8 ~ 3.6 V

2.9 ~ 3.6V：ΔΣ 型 ADC を使用可能

2.2 ~ 3.6V：LCDD を使用可能

2.7 ~ 3.6V：Flash への書き込み可能

22. 温度範囲

- −40 ~ 85°C (Flash W/E 時以外)
- 0 ~ 70°C (Flash W/E 時)

23. パッケージ

LQFP100 (14 mm × 14 mm, 0.5 mm ピッチ)

1.2 ブロック図

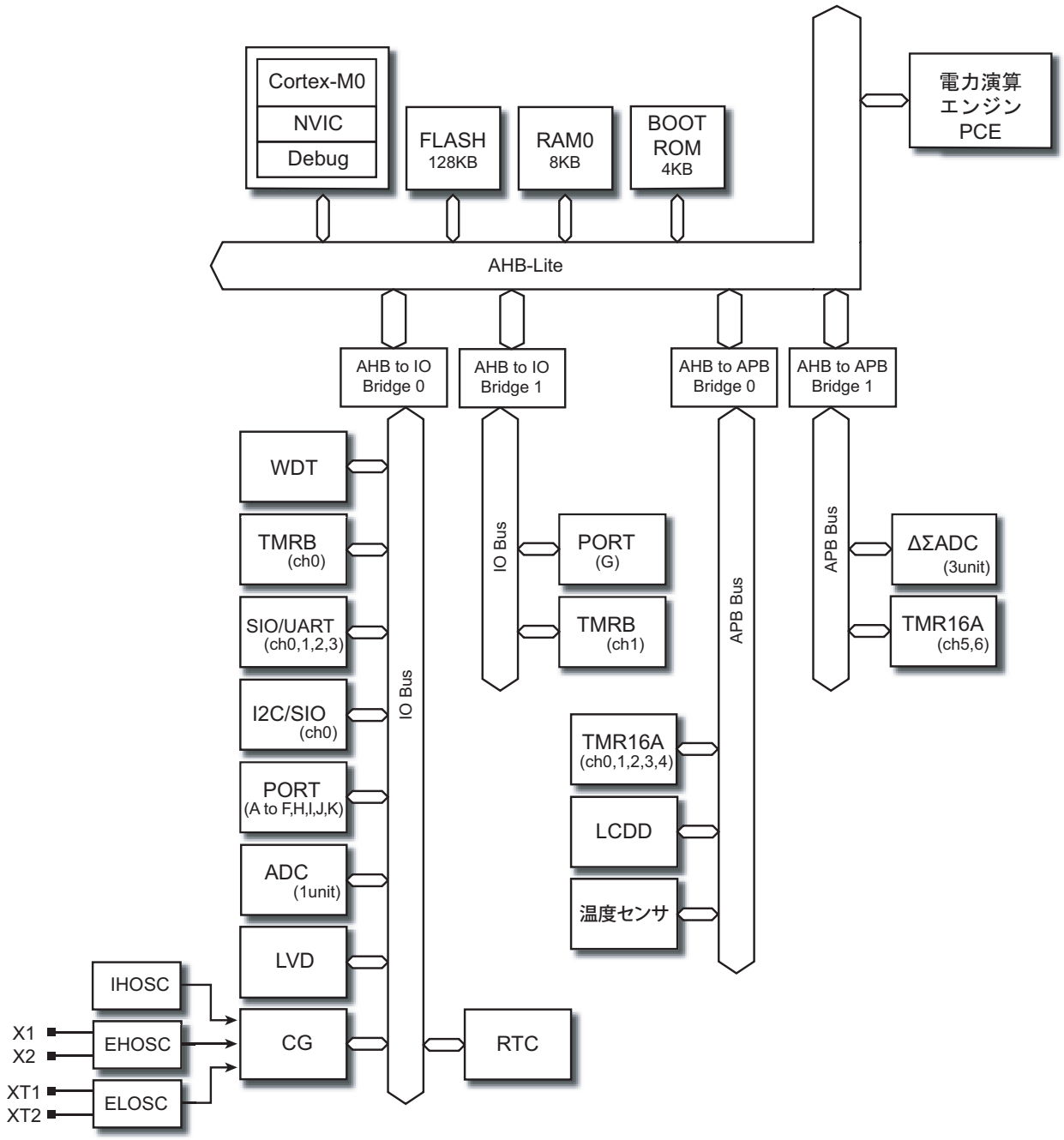


図 1-1 TMPM061FWFG ブロック図

1.3 ピン配置図(Top view)

TMPM061FWFG のピン配置図は、図 1-2 のとおりです。

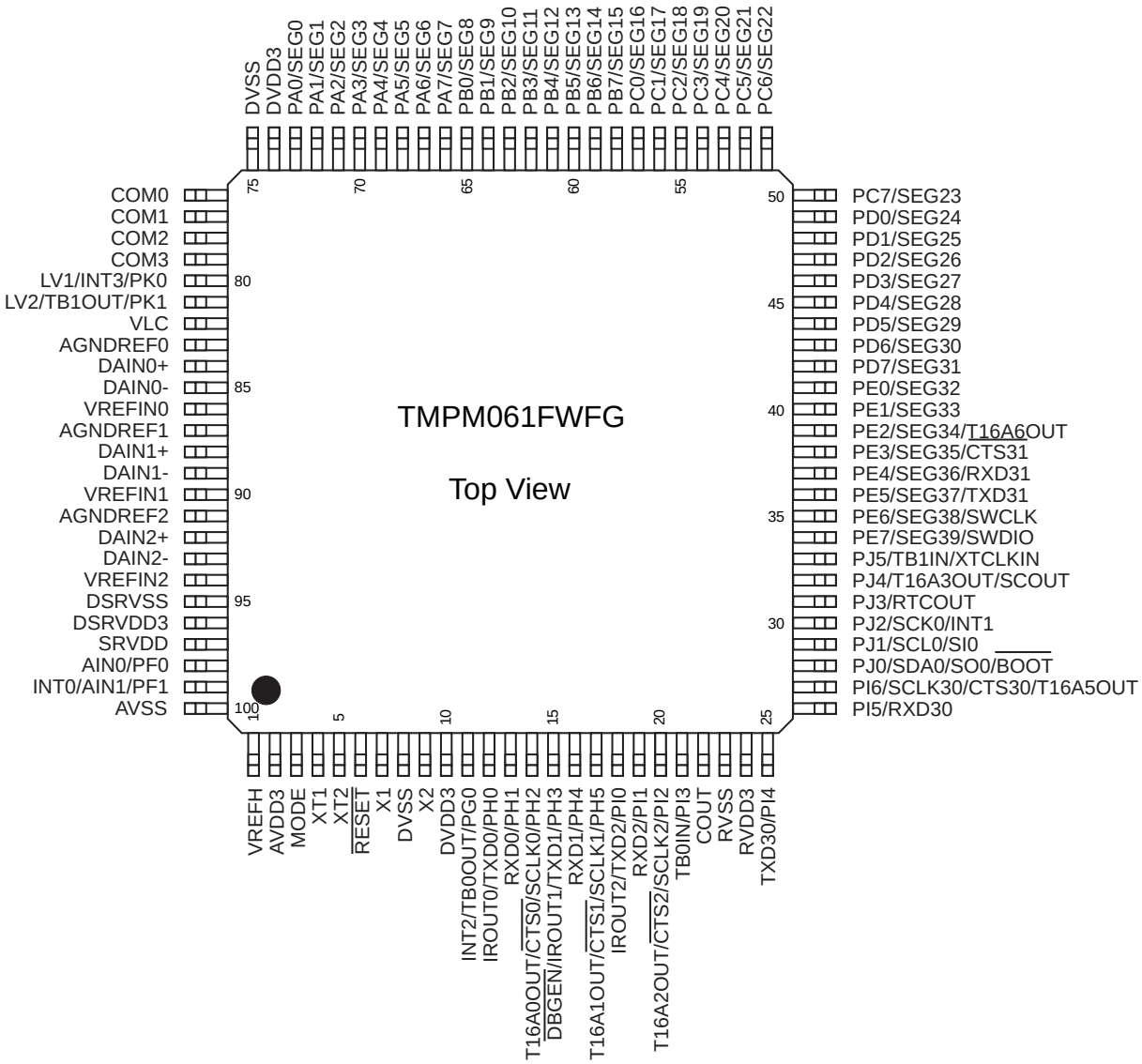


図 1-2 ピン配置図

1.4 ピン名称と機能

TMPM061FWFG の入出力ピン名称と機能は以下のとおりです。

表 1-1 ピン名称と機能<ピン番号順> (1/6)

分類	ピン番号	記号	入出力	機能
電源	1	VREFH	−	10bit AD コンバータ用基準電源端子(注 1)
電源	2	AVDD3	−	10bit AD コンバータ用電源端子(注 1)(注 3)
制御	3	MODE	入力	モード端子 (注)必ず GND に接続してください。
クロック	4	XT1	入力	低速発振子接続端子
クロック	5	XT2	出力	低速発振子接続端子
制御	6	$\overline{\text{RESET}}$	入力	リセット入力端子 (注)プルアップおよびノイズフィルタ付きです。
クロック	7	X1	入力	高速発振子接続端子 高速クロック入力端子
電源	8	DVSS	−	GND 端子
クロック	9	X2	出力	高速発振子接続端子
電源	10	DVDD3	−	電源端子(注 3)
機能	11	PG0 TB0OUT INT2	入出力 出力 入力	入出力ポート タイマ B 出力端子 外部割り込み端子
機能	12	PH0 TXD0 IROUT0	入出力 出力 出力	入出力ポート SIO 送信端子 キャリアパルス付き出力端子
機能	13	PH1 RXD0	入出力 入力	入出力ポート SIO 受信端子
機能	14	PH2 SCLK0 $\overline{\text{CTS0}}$ T16A0OUT	入出力 入出力 入力 出力	入出力ポート SIO クロック端子 SIO ハンドシェーク用端子 タイマ 16A 出力端子
機能	15	PH3 TXD1 IROUT1 $\overline{\text{DBGEN}}$	入出力 出力 出力 入力	入出力ポート SIO 送信端子 キャリアパルス付き出力端子 デバッグイネーブル端子 (注)$\overline{\text{RESET}}$ 信号の立ちあがりで"Low"をサンプリングするとデバッグ機能からの機能切り替えができなくなります。
機能	16	PH4 RXD1	入出力 入力	入出力ポート SIO 受信端子

表 1-1 ピン名称と機能<ピン番号順> (2/6)

分類	ピン番号	記号	入出力	機能
機能	17	PH5 SCLK1 $\overline{\text{CTS1}}$ T16A1OUT	入出力 入出力 入力 出力	入出力ポート SIO クロック端子 SIO ハンドシェーク用端子 タイマ 16A 出力端子
機能	18	PI0 TXD2 IROUT2	入出力 出力 出力	入出力ポート SIO 送信端子 キャリアパルス付き出力端子 (注)$\overline{\text{RESET}}$ 端子が"Low"の間、PI0 端子が"Low"にならないようにしてください。
機能	19	PI1 RXD2	入出力 入力	入出力ポート SIO 受信端子
機能	20	PI2 SCLK2 $\overline{\text{CTS2}}$ T16A2OUT	入出力 入出力 入力 出力	入出力ポート SIO クロック端子 SIO ハンドシェーク用端子 タイマ 16A 出力端子
機能	21	PI3 TB0IN	入出力 入力	入出力ポート タイマ B キャプチャ入力端子
電源	22	COUT	−	レギュレータ出力端子 RVSS との間に 1μF のコンデンサを接続してください。
電源	23	RVSS	−	GND 端子
電源	24	RVDD3	−	電源端子(注 3)
機能	25	PI4 TXD30	入出力 出力	入出力ポート SIO モード送信端子
機能	26	PI5 RXD30	入出力 入力	入出力ポート(5V トレラント入力)(注 7) SIO モード受信端子
機能	27	PI6 SCLK30 $\overline{\text{CTS30}}$ T16A5OUT	入出力 入出力 入力 出力	入出力ポート(5V トレラント入力)(注 7) SIO クロック端子 SIO ハンドシェーク用端子 タイマ 16A 出力端子
機能	28	PJ0 SDA0 SO0 $\overline{\text{BOOT}}$	入出力 入出力 出力 入力	入出力ポート I2C モード送受信端子 SIO モード送信端子 BOOT モード端子 (注)$\overline{\text{RESET}}$ 信号の立ち上がりで"Low" をサンプリングしてシングルブートモードになります。
機能	29	PJ1 SCL0 SI0	入出力 入出力 入力	入出力ポート I2C モードクロック端子 SIO モード受信端子
機能	30	PJ2 SCK0 INT1	入出力 入出力 入力	入出力ポート(5V トレラント入力)(注 7) SIO モードクロック端子 外部割り込み端子
機能	31	PJ3 RTCOUT	入出力 出力	入出力ポート RTC 出力端子

表 1-1 ピン名称と機能<ピン番号順> (3/6)

分類	ピン番号	記号	入出力	機能
機能	32	PJ4 T16A3OUT SCOUT	入出力 出力 出力	入出力ポート タイマ 16A 出力端子 システムクロック出力端子
機能	33	PJ5 TB1IN XTCLKIN	入力 入力 入力	入力ポート タイマ B キャプチャ入力端子 低速クロック入力端子
機能/ デバッグ	34	PE7 SEG39 SWDIO	入出力 出力 入出力	入出力ポート LCD セグメント出力端子 デバッグ用端子
機能/ デバッグ	35	PE6 SEG38 SWCLK	入出力 出力 入力	入出力ポート LCD セグメント出力端子 デバッグ用端子
機能	36	PE5 SEG37 TXD31	入出力 出力 出力	入出力ポート LCD セグメント出力端子 SIO 送信端子
機能	37	PE4 SEG36 RXD31	入出力 出力 入力	入出力ポート LCD セグメント出力端子 SIO 受信端子
機能	38	PE3 SEG35 SCLK31 $\overline{\text{CTS31}}$	入出力 出力 入出力 入力	入出力ポート LCD セグメント出力端子 SIO クロック端子 SIO ハンドシェーク用端子
機能	39	PE2 SEG34 T16A6OUT	入出力 出力 出力	入出力ポート LCD セグメント出力端子 タイマ 16A 出力端子
機能	40	PE1 SEG33	入出力 出力	入出力ポート LCD セグメント出力端子
機能	41	PE0 SEG32	入出力 出力	入出力ポート LCD セグメント出力端子
機能	42	PD7 SEG31	入出力 出力	入出力ポート LCD セグメント出力端子
機能	43	PD6 SEG30	入出力 出力	入出力ポート LCD セグメント出力端子
機能	44	PD5 SEG29	入出力 出力	入出力ポート LCD セグメント出力端子
機能	45	PD4 SEG28	入出力 出力	入出力ポート LCD セグメント出力端子
機能	46	PD3 SEG27	入出力 出力	入出力ポート LCD セグメント出力端子
機能	47	PD2 SEG26	入出力 出力	入出力ポート LCD セグメント出力端子
機能	48	PD1 SEG25	入出力 出力	入出力ポート LCD セグメント出力端子

表 1-1 ピン名称と機能<ピン番号順> (4/6)

分類	ピン番号	記号	入出力	機能
機能	49	PD0 SEG24	入出力 出力	入出力ポート LCD セグメント出力端子
機能	50	PC7 SEG23	入出力 出力	入出力ポート LCD セグメント出力端子
機能	51	PC6 SEG22	入出力 出力	入出力ポート LCD セグメント出力端子
機能	52	PC5 SEG21	入出力 出力	入出力ポート LCD セグメント出力端子
機能	53	PC4 SEG20	入出力 出力	入出力ポート LCD セグメント出力端子
機能	54	PC3 SEG19	入出力 出力	入出力ポート LCD セグメント出力端子
機能	55	PC2 SEG18	入出力 出力	入出力ポート LCD セグメント出力端子
機能	56	PC1 SEG17	入出力 出力	入出力ポート LCD セグメント出力端子
機能	57	PC0 SEG16	入出力 出力	入出力ポート LCD セグメント出力端子
機能	58	PB7 SEG15	入出力 出力	入出力ポート LCD セグメント出力端子
機能	59	PB6 SEG14	入出力 出力	入出力ポート LCD セグメント出力端子
機能	60	PB5 SEG13	入出力 出力	入出力ポート LCD セグメント出力端子
機能	61	PB4 SEG12	入出力 出力	入出力ポート LCD セグメント出力端子
機能	62	PB3 SEG11	入出力 出力	入出力ポート LCD セグメント出力端子
機能	63	PB2 SEG10	入出力 出力	入出力ポート LCD セグメント出力端子
機能	64	PB1 SEG9	入出力 出力	入出力ポート LCD セグメント出力端子
機能	65	PB0 SEG8	入出力 出力	入出力ポート LCD セグメント出力端子
機能	66	PA7 SEG7	入出力 出力	入出力ポート LCD セグメント出力端子
機能	67	PA6 SEG6	入出力 出力	入出力ポート LCD セグメント出力端子
機能	68	PA5 SEG5	入出力 出力	入出力ポート LCD セグメント出力端子
機能	69	PA4 SEG4	入出力 出力	入出力ポート LCD セグメント出力端子

表 1-1 ピン名称と機能<ピン番号順> (5/6)

分類	ピン番号	記号	入出力	機能
機能	70	PA3 SEG3	入出力 出力	入出力ポート LCD セグメント出力端子
機能	71	PA2 SEG2	入出力 出力	入出力ポート LCD セグメント出力端子
機能	72	PA1 SEG1	入出力 出力	入出力ポート LCD セグメント出力端子
機能	73	PA0 SEG0	入出力 出力	入出力ポート LCD セグメント出力端子
電源	74	DVDD3	−	電源端子(注 3)
電源	75	DVSS	−	GND 端子
機能	76	COM0	出力	LCD コモン出力端子
機能	77	COM1	出力	LCD コモン出力端子
機能	78	COM2	出力	LCD コモン出力端子
機能	79	COM3	出力	LCD コモン出力端子
機能	80	PK0 INT3 LV1	入出力 入力 −	入出力ポート 外部割り込み端子 ブリーダ抵抗接続端子
機能	81	PK1 TB1OUT LV2	入出力 出力 −	入出力ポート タイマ B 出力端子 ブリーダ抵抗接続端子
電源	82	VLC	−	LCD 電源端子(注 3)
電源	83	AGNDREF0	−	24bit ΔΣ 型 AD コンバータ用 GND 端子(注 4)(注 5)
機能	84	DAIN0+	入力	24bit ΔΣ 型 AD コンバータアナログ入力端子
機能	85	DAIN0-	入力	24bitΔΣ 型 AD コンバータアナログ入力端子
電源	86	VREFIN0	−	24bit ΔΣ 型 AD コンバータ用電源端子(注 4)(注 5)
電源	87	AGNDREF1	−	24bit ΔΣ 型 AD コンバータ用電源端子(注 4)(注 5)
機能	88	DAIN1+	入力	24bit ΔΣ 型 AD コンバータアナログ入力端子
機能	89	DAIN1-	入力	24bit ΔΣ 型 AD コンバータアナログ入力端子
電源	90	VREFIN1	−	24bit ΔΣ 型 AD コンバータ用電源端子(注 4)(注 5)
電源	91	AGNDREF2	−	24bit ΔΣ 型 AD コンバータ用電源端子(注 4)(注 5)
機能	92	DAIN2+	入力	24bit ΔΣ 型 AD コンバータアナログ入力端子
機能	93	DAIN2-	入力	24bit ΔΣ 型 AD コンバータアナログ入力端子

表 1-1 ピン名称と機能<ピン番号順> (6/6)

分類	ピン番号	記号	入出力	機能
電源	94	VREFIN2	−	24bit ΔΣ 型 AD コンバータ用電源端子(注 4)(注 5)
電源	95	DSRVSS	−	基準電圧回路用電源端子(注 6)
電源	96	DSRVDD3	−	アンプ用電源端子(注 6)
電源	97	SRVDD	−	基準電圧回路用電源端子(注 6)
機能	98	PF0 AIN0	入出力 入力	入出力ポート 10bit AD コンバータアナログ入力端子
機能	99	PF1 AIN1 INT0	入出力 入力 入力	入出力ポート 10bit AD コンバータアナログ入力端子 外部割り込み端子
電源	100	AVSS	−	10bit AD コンバータ用基準電源端子(注 2)

注 1) 10bit AD コンバータを使用しない場合も電源に接続してください。
注 2) 10bit AD コンバータを使用しない場合も GND に接続してください。
注 3) DVDD3, AVDD3, RVDD3, DSRVDD3, SRVDD, VLC は同電圧で使用してください。
注 4) 24bit ΔΣ 型 AD コンバータを使用する場合、下記のとおり端子処理を行ってください。
VREFINx に基準電源の接続はしない。
AGNDREFx は DVSS と同じレベルに接続。
VREFINx と AGNDREFx の間に 1μF のコンデンサを接続。
注 5) 24bit ΔΣ 型 AD コンバータを使用しない場合、下記のとおり端子処理を行ってください。
AGNDREFx は DVSS に接続
注 6) DSADC、温度センサともしない場合、基準電圧回路に関し下記のとおり端子処理を行ってください。
DSRVDD3、SRVDD は DVDD3 に接続
DSRVSS は DVSS に接続
注 7) 入力端子として使用時のみ、5V 入力が可能な端子です。
オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

1.5 電源の種類と供給端子

表 1-2 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
AVDD3	1.8 ~ 3.6V	2	1pin ~ 2pin, 98pin ~ 100pin
DVDD3		8, 74	3pin ~ 82pin
SRVDD		97	95pin ~ 97pin
VREFIN0	-	86	83 ~ 86 pin
VREFIN1		90	87 ~ 90 pin
VREFIN2		94	91 ~ 94 pin

第 2 章　製品情報

本章では、周辺機能に関し製品固有の情報についてまとめます。周辺機能の章と合わせてご使用ください。

2.1　16 ビットタイマ/イベントカウンタ(TMRB)

TMPM061FWFG は、2 チャネルの TMRB を内蔵しています。製品固有の機能として以下のものがあります。

1. キャプチャトリガ として使用するタイマフリップフロップ出力

   16 ビットタイマ A(TMR16A)の出力を TMRB のキャプチャトリガとして使用することができます。

   - T16A3OUT → TMRB0
   - T16A6OUT → TMRB1

2. タイマ同期モードのスタートトリガ

   チャネル間の同期スタートが可能です。

   - TMRB0 → TMRB0, TMRB1 を同時スタート

表 2-1 に TMRB の仕様相違点をまとめます。

表 2-1 TMRB のチャネル別仕様相違点(n: チャネル番号)

チャネル	端子 (ポート/ピン番号)		タイマ間トリガ機能	
	外部クロック/キャプチャトリガ入力端子 TBnIN	タイマフリップフロップ出力端子 TBnOUT	キャプチャトリガ	同期スタートトリガチャネル
TMRB0	PI3 (21)	PG0 (11)	T16A3OUT	–
TMRB1	PJ5 (33)	PK1 (81)	T16A6OUT	TMRB0

2.2　16 ビットタイマ A (TMR16A)

TMPM061FWFG は 7 チャネルの TMR16A を内蔵していますが、チャネル 4 には一致割り込みと矩形波の端子への出力がありません。

表 2-2 に TMR16A の矩形波出力端子をまとめます。

表 2-2 TMR16A の使用端子(n: チャネル番号)

チャネル	T16AnOUT 出力端子
TMR16A0	PH2 (14)
TMR16A1	PH5 (17)
TMR16A2	PI2 (20)
TMR16A3	PJ4 (32)
TMR16A4	-
TMR16A5	PI6 (27)
TMR16A6	PE2 (39)

2.3　シリアルチャネル(SIO/UART)

TMPM061FWFG は 4 チャネルの SIO を内蔵しています。製品固有の機能として以下のものがあります。

1. 転送クロックとして使用するタイマのフリップフロップ出力

   UART モードでは、タイマのフリップフロップ出力を転送クロックとして使用することができます。

   - T16A0OUT → SIO0, SIO1
   - T16A1OUT → SIO2, SIO3

2. キャリアとして使用するタイマの出力

   タイマ出力を使用してキャリア付きの送信を行うことができます。ただし、SIO3 にはこの機能はありません。

   - T16A4OUT→ SIO0, SIO1, SIO2

表 2-3 に SIO の仕様相違点をまとめます。

SIO3 は使用するポートを選択することができます。必ずどちらか一方を有効とするようにしてください。また、SIO3 には IROUTn(キャリア付き送信)の機能はありません。

表 2-3 SIO のチャネル別仕様相違点(n: チャネル番号)

チャネル	端子 (ポート/ピン番号)			タイマ出力	
	TXDn IROUTn	RXDn	SCLKn $\overline{\text{CTSn}}$	クロックとして使用	キャリアパルスとして使用
SIO0	PH0 (12)	PH1 (13)	PH2 (14)	T16A0OUT	T16A4OUT
SIO1	PH3 (15)	PH4 (16)	PH5 (17)		
SIO2	PI0 (18)	PI1 (19)	PI2 (20)	T16A1OUT	
SIO3	PI4 (25)	PI5 (26)	PI6 (27)		
	PE5 (36)	PE4 (37)	PE3 (38)		-

2.4 アナログ/デジタルコンバータ(ADC)

2.4.1 使用できない機能

TMPM061FWFG では ADC の以下の機能は使用できません。関連するレジスタの設定は行わないでください。

機能	レジスタ
最優先変換	ADMOD2, ADREGSP
AD 監視機能	ADMOD3, ADMOD5, ADCMP0, ADCMP1
AD 変換のハードウエアによる起動	ADMOD4 <ADHTG> <ADHS> <HADHTG> <HADHS>

2.4.2 変換チャネル

TMPM061FWFG では ADC の入力チャネルとして 0～3 の 4 チャネルを使用します。各チャネルに入力されるアナログ信号は以下の通りです。

表 2-4 ADC 入力

チャネル	入力
チャネル 0	AIN0 端子(PF0/98pin)
チャネル 1	AIN1 端子(PF1/99pin)
チャネル 2	温度センサ出力
チャネル 3	ΔΣADC 基準電圧回路(BGR)出力

変換チャネルは ADMOD0<SCAN>、ADMOD1<ADSCN> <ADCH>で指定します。使用可能な設定を表 2-5 に示します。

表 2-5 通常変換のチャネル選択

		ADMOD1<ADCH[3:0]>				
		0000	0001	0010	0011	0100 ~ 1111
ADMOD0 <SCAN>=0	チャネル固定	AIN0	AIN1	AIN2	AIN3	設定不可
ADMOD0 <SCAN>=1	ADMOD1<ADSCN>=00 4 チャネルスキャン	AIN0	AIN0~AIN1	AIN0~AIN2	AIN0~AIN3	
	ADMOD1<ADSCN>=01 8 チャネルスキャン	AIN0	AIN0~AIN1	AIN0~AIN2	AIN0~AIN3	
	ADMOD1<ADSCN>=10 12 チャネルスキャン	AIN0	AIN0~AIN1	AIN0~AIN2	AIN0~AIN3	

2.5　ΔΣ 型アナログ/デジタルコンバータ(DSADC)

TMPM061FWFG は 3 ユニットの DSADC を内蔵しています。

DSADC の同期スタート機能における、マスタユニットとスレーブユニットの割り当ては以下の通りです。

表 2-6 マスタ/スレーブ割り当て

マスタ	スレーブ
ユニット 0	ユニット 1 ユニット 2

第 3 章　プロセッサコア

TX00 シリーズには、高性能・低消費電力な 32 ビットプロセッサコア(Arm 社 Cortex-M0 コア)が内蔵されています。プロセッサコアの動作については、Arm 社からリリースされる"テクニカルリファレンスマニュアル(TRM)"を参照してください。ここでは、製品固有の情報について説明します。

3.1　コアに関する情報

TMPM061FWFG で使用している Cortex-M0 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、Arm 社の下記 URL より"Cortex-M series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM061FWFG	r0p0-03

3.2　構成可能なオプション

Cortex-M0 コアは、一部の機能について実装するかどうかを選択することができます。TMPM061FWFG での構成は以下のとおりです。

構成可能なオプション	実装
割り込み本数	32 本
エンディアン	リトルエンディアン
SysTick タイマ	あり
ウォッチポイントコンパレータ	2 本
ブレークポイントコンパレータ	4 本
ホールトデバッグ	あり
乗算器	高速

注)　高速乗算器は、32bit×32bit の演算を 1 クロックで行い、結果の下位 32bit を生成します。

3.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

3.3.1　割り込み本数

Cortex-M0 コアは割り込み本数を仕様に合わせて構成することができます。

TMPM061FWFG の割り込み本数は 32 本です。

3.3.2　SysTick

TMPM061FWFG には SysTick タイマを実装しています。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

3.3.3　SYSRESETREQ

Cortex-M0 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM061FWFG では SYSRESETREQ 信号が出力されると他のリセット要因と同様の動作になります。

注)　SLOW モードでは<SYSRESETREQ>によるリセットは使用しないでください。

3.3.4　LOCKUP

回復不能な例外が発生すると Cortex-M0 コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM061FWFG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

3.4　イベント

Cortex-M0 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM061FWFG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.5　電力管理

Cortex-M0 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM061FWFG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

第 4 章　メモリマップ

4.1　メモリマップ

TMPM061FWFG のメモリマップは、Arm Cortex-M0 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M0 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。TMPM061FWFG は、Cortex-M3 コアと同様のビットバンド機能を有しており、SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域は、アクセスするとハードフォールトが発生します。また、"Reserved"領域とベンダ固有領域はアクセスしないでください。

TMPM061FWFG のメモリマップを図 4-1 に示します。

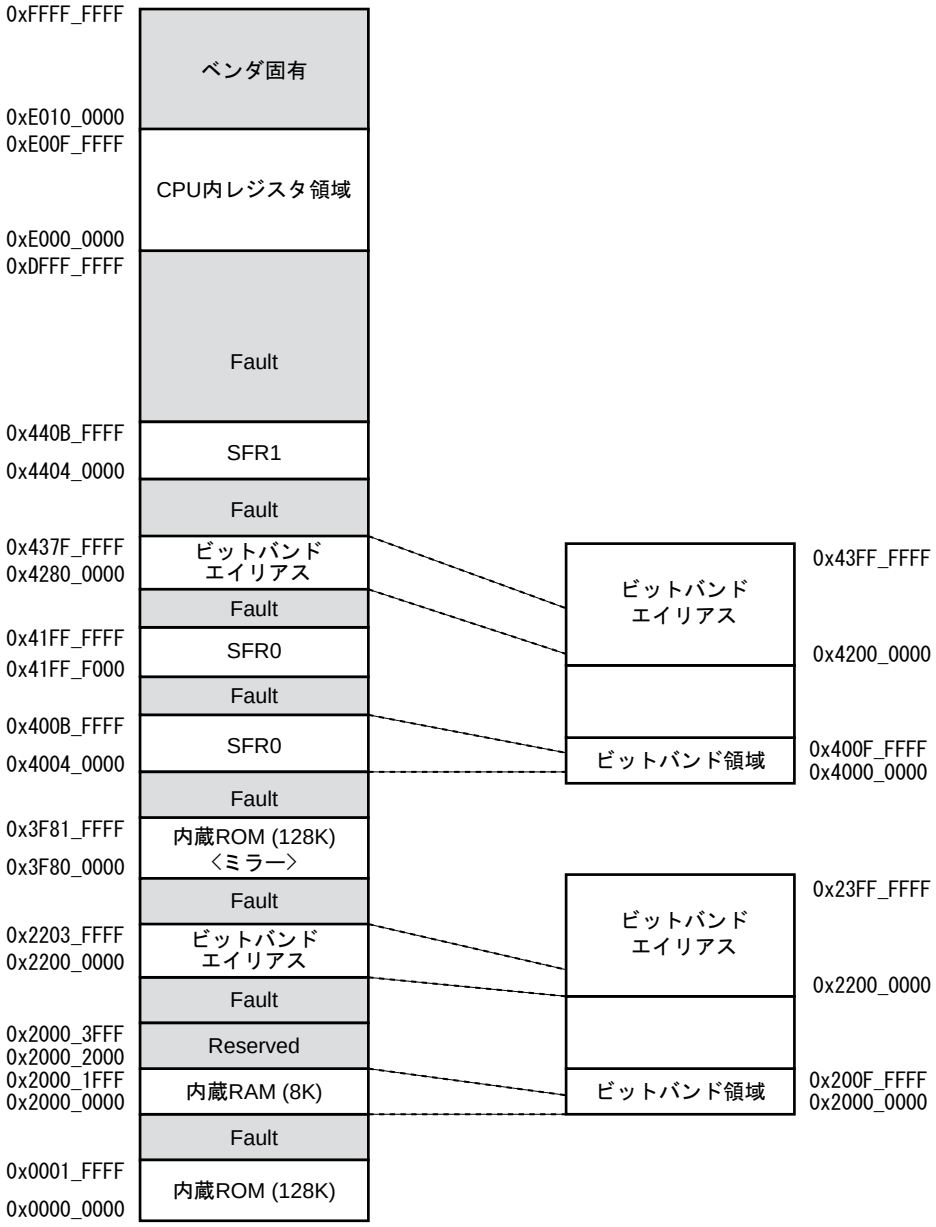

0xFFFF_FFFF
ベンダ固有
0xE010_0000
0xE00F_FFFF
CPU内レジスタ領域
0xE000_0000
0xDFFF_FFFF
Fault
0x440B_FFFF
SFR1
0x4404_0000
Fault
0x437F_FFFF
0x4280_0000
ビットバンド
エイリアス
Fault
0x41FF_FFFF
0x41FF_F000
SFR0
Fault
0x400B_FFFF
0x4004_0000
SFR0
Fault
0x3F81_FFFF
0x3F80_0000
内蔵ROM (128K)
〈ミラー〉
Fault
0x2203_FFFF
0x2200_0000
ビットバンド
エイリアス
Fault
0x2000_3FFF
0x2000_2000
Reserved
0x2000_1FFF
0x2000_0000
内蔵RAM (8K)
Fault
0x0001_FFFF
0x0000_0000
内蔵ROM (128K)
ビットバンド
エイリアス
0x43FF_FFFF
0x4200_0000
ビットバンド領域
0x400F_FFFF
0x4000_0000
ビットバンド
エイリアス
0x23FF_FFFF
0x2200_0000
ビットバンド領域
0x200F_FFFF
0x2000_0000

図 4-1 メモリマップ

4.2 バス構成

TMPM061FWFG にはバスマスタとして Cortec-M0 コアと PCE が存在します。

スレーブは内蔵 ROM、内蔵 RAM、内蔵 BOOT ROM、AHB-Lite バスから APB バスへのブリッジ 0/1、AHB-Lite バスから IO バスへのブリッジ 0/1 が存在します。「0」の番号のブリッジは SFR0 領域、「1」の番号のブリッジは SFR1 領域に割り当てられており、周辺機能はブリッジを介していずれかの APB バスまたは IO バスに接続されます。

コアおよび PCE からスレーブへのアクセスは、同一スレーブに対するものでない限り同時に実行が可能です。

注) PCE から内蔵 BOOT ROM にアクセスすることはできません。

図 4-2 にバス構成を示します。

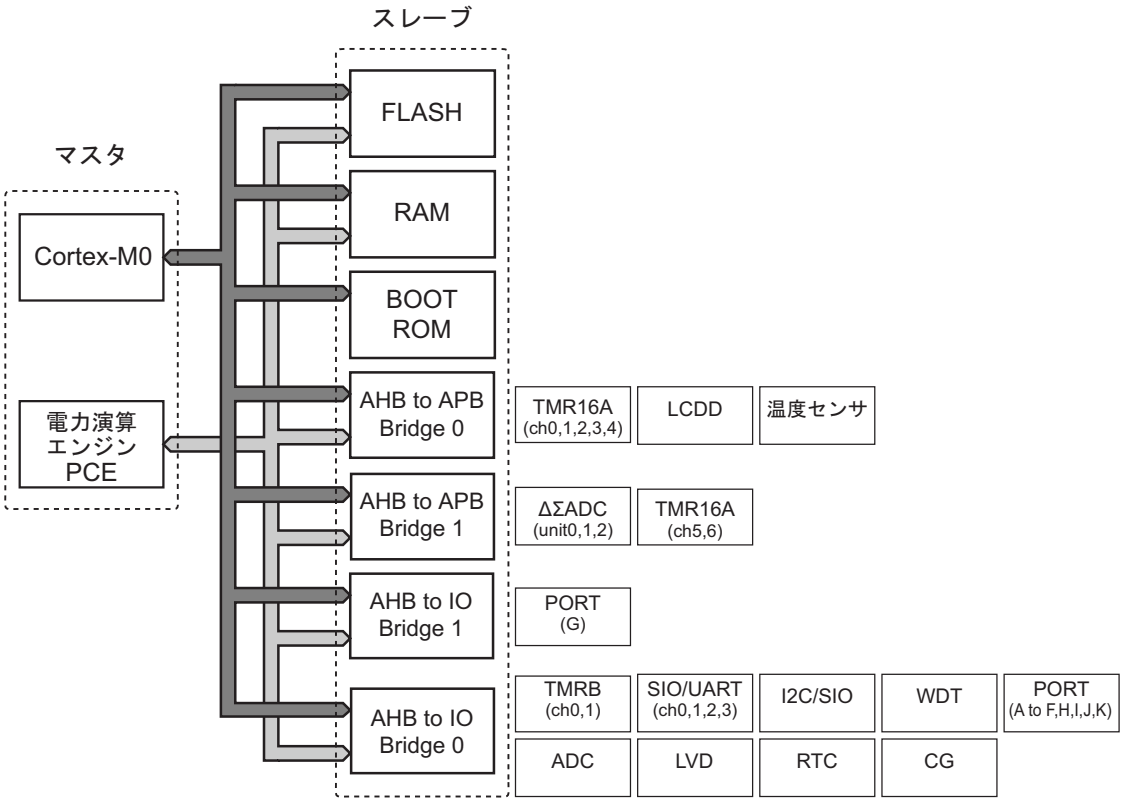


図 4-2 バス構成

4.3　周辺機能ベースアドレス一覧

周辺機能のベースアドレスを示します。周辺機能によっては、チャネルにより SFR0 領域と SFR1 領域に分かれて配置されていますのでご注意ください。

SFR 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス	領域
クロック/モード制御(CG)		0x400F_3000	SFR0
ポート	PORTA	0x400C_0000	SFR0
	PORTB	0x400C_0100	SFR0
	PORTC	0x400C_0200	SFR0
	PORTD	0x400C_0300	SFR0
	PORTE	0x400C_0400	SFR0
	PORTF	0x400C_0500	SFR0
	PORTG	0x440C_0600	SFR1
	PORTH	0x400C_0700	SFR0
	PORTI	0x400C_0800	SFR0
	PORTJ	0x400C_0900	SFR0
	PORTK	0x400C_0A00	SFR0
16 ビットタイマ/ イベントカウンタ(TMRB)	ch0	0x400C_4000	SFR0
	ch1	0x440C_4100	SFR1
16 ビットタイマ A (TMR16A)	ch0	0x4008_D000	SFR0
	ch1	0x4008_E000	SFR0
	ch2	0x4008_F000	SFR0
	ch3	0x4009_0000	SFR0
	ch4	0x4009_1000	SFR0
	ch5	0x4409_2000	SFR1
	ch6	0x4409_3000	SFR1
シリアルチャネル(SIO/UART)	ch0	0x400E_1000	SFR0
	ch1	0x400E_1100	SFR0
	ch2	0x400E_1200	SFR0
	ch3	0x400E_1300	SFR0
シリアルバスインタフェース(I2C/SIO)		0x400E_0000	SFR0
アナログ/デジタルコンバータ(ADC)		0x400F_C000	SFR0
ΔΣ 型アナログ/デジタル コンバータ (DSADC)	unit0	0x4406_7000	SFR1
	unit1	0x4406_8000	SFR1
	unit2	0x4406_9000	SFR1
温度センサ(TEMP)		0x4005_D000	SFR0
リアルタイムクロック(RTC)		0x400C_C000	SFR0
LCD ドライバ(LCD)		0x4006_E000	SFR0
電圧検出回路(LVD)		0x400F_4000	SFR0
ウォッチドッグタイマ(WDT)		0x400F_2000	SFR0
フラッシュ/デバッグ(FC)		0x41FF_F000	SFR0

第 5 章　リセット動作

リセットの種類として以下のものがあります。

- リセット端子($\overline{\text{RESET}}$)
- ウォッチドッグタイマ(WDT)
- アプリケーションおよびリセット制御レジスタ<SYSRESETREQ> (CPU)

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG にはリセットごとに要因に対応するビットがセットされます。詳細は例外の章を参照してください。

ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ(WDT)」の章を参照してください。

<SYSRESETREQ>によるリセットについては"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

注 1)　リセット動作を行うと内蔵 RAM のデータは保証されません。
注 2)　SLOW モードでは<SYSRESETREQ>によるリセットは使用しないでください。

5.1　コールドリセット

電源投入は $\overline{\text{RESET}}$ 端子を"Low"にした状態で行ってください。

電源投入の際には、内蔵レギュレータの安定のための時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間として約 1ms 必要です。内蔵レギュレータが安定するための十分な時間 $\overline{\text{RESET}}$ 端子に"Low"を入力する必要があります。内部リセット信号が解除されるのは、$\overline{\text{RESET}}$ 端子が"High"になってから約 1.6ms 後です。

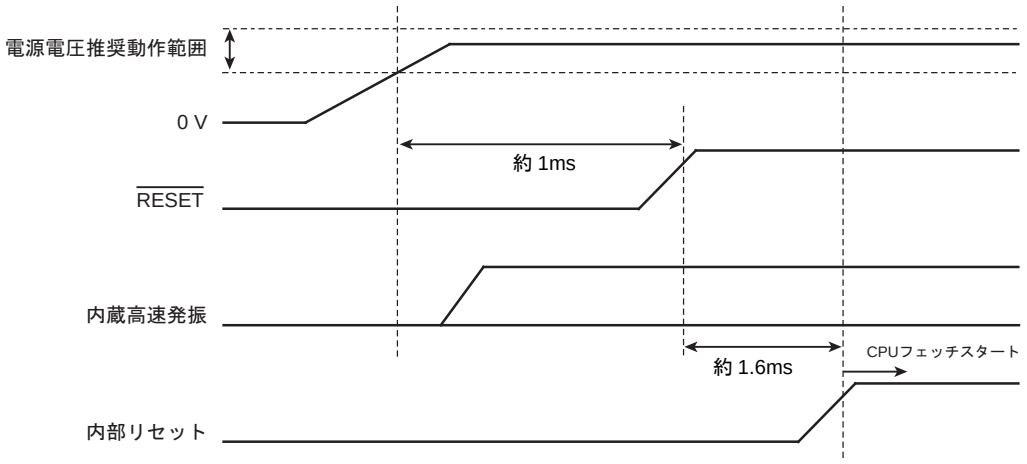


図 5-1 コールドリセットシーケンス

注）電源再投入時にも、必ず上記シーケンスで行って下さい。

5.2　ウォームリセット

TMPM061FWFG にリセットをかけるには、電源電圧が推奨動作範囲内で $\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 クロック間"Low"にしてください。RESET 端子が"High"になってから約 1.6ms 後に内部リセットが解除されます。

WDT および<SYSRESETREQ>によるリセットでは、内部高周波発振約 30 クロックで内部リセットが解除されます。

5.3　リセット解除後

リセットにより、コアおよび周辺機能のすべての制御レジスタが初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロックの設定を行ってください。

第 6 章　クロック/モード制御

6.1　特長

クロック/モード制御ブロックでは、クロックギアやプリスケーラクロックの選択、発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケーラクロックの制御
- ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

6.2　レジスタ説明

6.2.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ章」の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
外部高速クロックセレクトレジスタ	CGEHCLKSEL	0x000C
システムクロックセレクトレジスタ	CGCKSEL	0x0010

6.2.2　CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	FPSEL1	FPSEL0	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23	−	R/W	"0"を書いてください。
22-21	−	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック選択 0: 動作 1: 停止 AD コンバータ、ΣΔAD コンバータへのクロック供給を停止させることが可能です。 リセット後はクロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-18	−	R	リードすると"0"が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: fs 01: fsys/2 10: fsys 11: φT0 SCOUT 端子から出力するクロックを設定します。
15-14	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
13	FPSEL1	R/W	プリスケーラ用クロック選択 1 0: ϕT0 1: fsys
12	FPSEL0	R/W	プリスケーラ用クロック選択 0 0: fgear 1: fc fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	−	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロックを選択します。
7-3	−	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択(注) 000: fc　100: fc/2 001: Reserved　101: fc/4 010: Reserved　110: fc/8 011: Reserved　111: fc/16

注)　SysTick タイマ使用時は、fc/16 は選択できません。

6.2.3　CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUPT							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUPT				WUPSEL2	HOSCON	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	WUPTL		-	-	EHCLKEN	LOSCSEL	XTEN	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	-	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUPT[11:0]	R/W	ウォーミングアップカウンタ設定値(注 1) 16 ビットのウォーミングアップタイマの、上位 12 ビットのカウント値を設定します。
19	WUPSEL2	R/W	ウォームアップクロック選択(注 2) 0: 内部高速発振(f_{IHOSC}) 1: 外部高速発振(f_{EHOSC}) ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。 STOP/SLEEP モードを使用する場合、STOP/SLEEP モードに移行する前に<OSCSEL>で選択したクロックと同じクロックを設定してください。

Bit	Bit Symbol	Type	機能
18	HOSCEN	R/W	外部高速発振器選択 0: X1/X2 (f_{EHOSC})を使用しない 1: X1/X2 (f_{EHOSC})を使用する 外部高速発振器(X1/X2)を使用する場合は"1"を設定してください。
17	OSCSEL	R/W	高速発振器の切り替え 0: 内部(f_{IHOSC}) 1: 外部(f_{EHOSC}) 高速発振器を切り替えます。外部発振器に切り替え後、内部発振器の停止により、消費電力を抑えることができます。
16	XEN2	R/W	内部高速発振器の動作選択(注 3) 0: 停止 1: 発振
15-14	WUPTL[1:0]	R/W	ウォーミングアップカウンタ設定値(注 1) 高速発振選択時は"00"を設定してください
13-12	−	R/W	"0"をライトしてください。
11	EHCLKEN	R/W	外部高速クロック入力許可 0: 禁止 1: 許可
10	LOSCSEL	R/W	低速クロックの選択 0: 低速発振器入力(f_{ELOSC}) 1: 低速クロック入力($f_{ELCLKIN}$)
9	XTEN	R/W	外部低速発振器の動作選択 0: 停止 1: 発振
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-4	−	R/W	必ず"0011"を設定してください。
3	WUPSEL1	R/W	ウォームアップクロック選択 0: 高速 1: 低速 ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。 高速クロックを選択した場合、<WUPSEL2>を参照してください。 低速クロックを選択した場合、CGOSCCR<LOSCSEL>で選択されたクロックでカウントします。
2	−	R/W	"0"をライトしてください。
1	WUEF	R	ウォーミングアップタイマステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイマの状態を確認できます。
0	WUEON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 リードすると"0"が読めます。

注 1)　ウォーミングアップ時間の設定については「6.3.4 ウォーミングアップ機能」を参照してください。
注 2)　外部高速クロック入力($f_{EHCLKIN}$)をウォーミングアップクロックに使用することはできません。
注 3)　内部高速発振器(f_{IHOSC})を使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

6.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	RXTEN	RXEN
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	–	R	リードすると"0"が読めます。
19-17	–	R/W	"0"を書いてください。
16	DRVE	R/W	STOP モード中の端子状態制御 0: 端子をドライブしません 1: 端子をドライブします
15-10	–	R	リードすると"0"が読めます。
9	RXTEN	R/W	STOP モード解除後の自動低速発振 0: 停止 1: 発振 システムクロックとして低速発振器を使用していない場合の、STOP 解除時の低速発振器の動作を指定します。
8	RXEN	R/W	STOP モード解除後の自動高速発振 0: 停止 1: 発振 システムクロックとして高速発振器を使用していない場合の、STOP 解除時に高速発振器の動作を指定します。OSCCR<OSCSEL>の設定により、内部高速発振または外部高速発振が有効になります。
7-3	–	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP 010: SLEEP 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved

6.2.5　CGEHCLKSEL(外部高速クロックセレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	1	1	1	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	EHCLKSEL
リセット後	0	0	0	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-12	–	R/W	"0111"を書いてください。
11	–	R	リードすると"0"が読めます。
10-1	–	R/W	"0100001111"を書いてください。
0	EHCLKSEL	R/W	外部高速クロック選択 0: CGOSCCR<OSCSEL>で選択されたクロックを使用 1: 外部高速クロック入力を使用

6.2.6　CGCKSEL (システムクロックセレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	SYSCK	SYSCKFLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	SYSCK	R/W	システムクロック選択 0: 高速 1: 低速
0	SYSCKFLG	R	システムクロックステータス 0: 高速 1: 低速

6.3 クロック制御

6.3.1 クロックの種類

クロックの一覧を以下に示します。

f_{EHOSC}	: 外部高速発振クロック、X1、X2 端子に接続する発振子より入力されるクロック
$f_{EHCLKIN}$	: 外部高速クロック、X1 から入力する高速クロック
f_{IHOSC}	: 内部高速発振クロック、内部高速発振器より入力されるクロック
fs	: 外部低速発振クロック、XT1、XT2 端子に接続する発振子より入力されるクロック
$f_{ELCLKIN}$	: 外部低速クロック、PJ5(33pin)から入力する低速クロック
fosc	: f_{EHOSC} または f_{IHOSC} のどちらか選択されたクロック
fc	: CGEHCLKSEL<EHCLKSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択された分周クロック
fsys	: CGCKSEL<SYSCK>で選択されたクロック(システムクロック)
fperiph	: CGSYSCR<FPSEL0>で選択されたプリスケーラ用クロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

高速クロック fc、プリスケーラクロック φT0 は以下のように分周することが可能です。

高速クロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

6.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
外部低速発振器	: 停止
高速クロックギア	: fc (分周なし)

リセット動作によりすべてのクロックの設定が f_{IHOSC} と同じになります。

$fc = f_{IHOSC}$

$fsys = fc (= f_{IHOSC})$

$fperiph = fc (= f_{IHOSC})$

$\phi T0 = fperiph (= f_{IHOSC})$

6.3.3　クロック系統図

クロック系統図を図 6-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

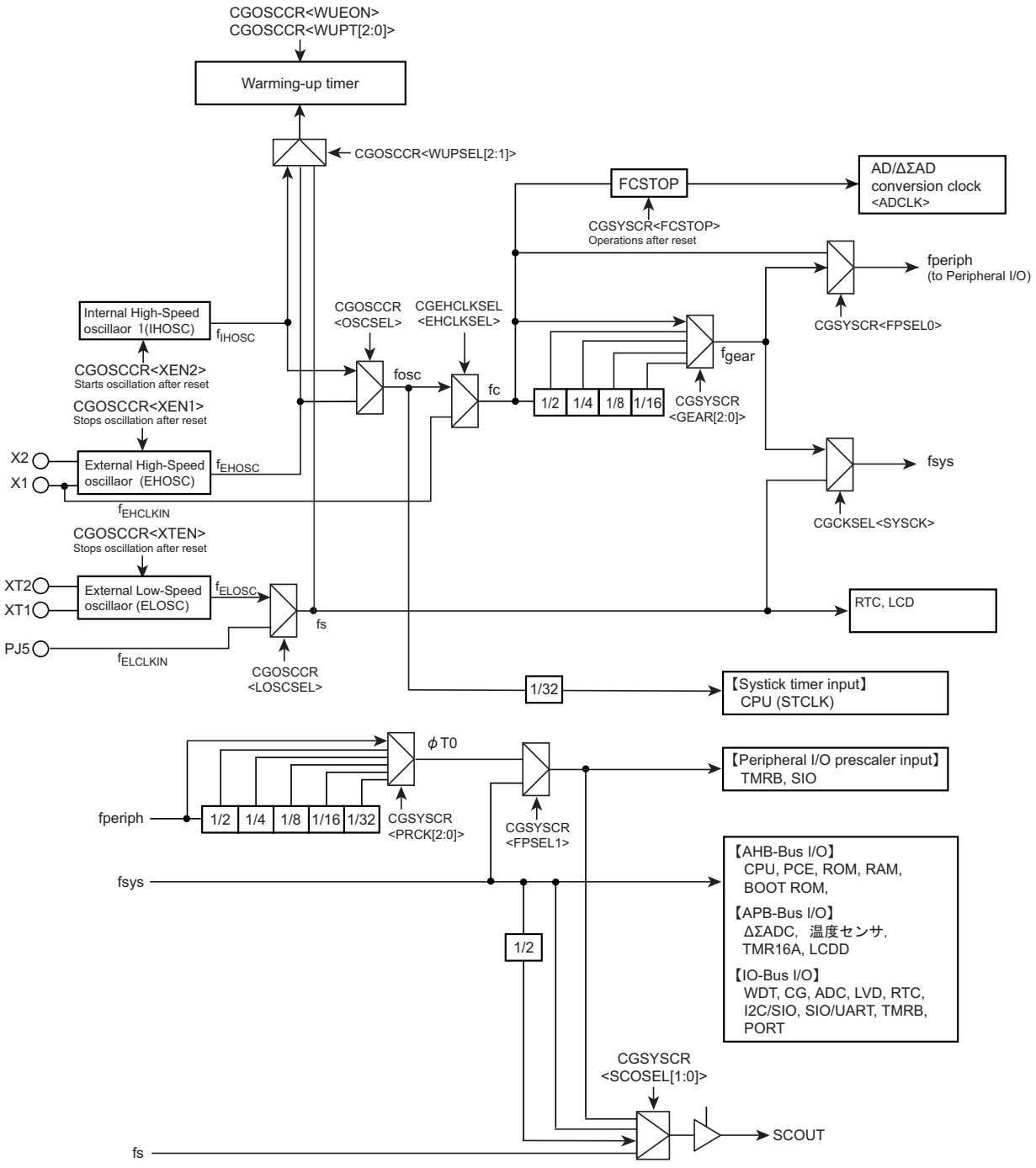


図 6-1 クロック系統図

6.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。発振が安定している外部クロックなどを使用する場合にはウォーミングアップを行う必要はありません。

ウォーミングアップ機能はまた、STOP/SLEEP モードからの復帰の際にも使用されます。この場合には、低消費電力モードからの復帰割り込みが発生すると自動的にタイマがカウントを開始し、設定された時間のカウント終了後、システムクロックが出力され CPU が動作を開始します。

注) ウォーミングアップタイマ動作中に低消費電力モードに遷移しないでください。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR <WUPSEL2> <WUPSEL1>で選択します。

   注) 外部高速クロック入力($f_{EHCLKIN}$)をウォーミングアップクロックに使用することはできません。$f_{EHCLKIN}$ をシステムクロックとして使用する際は、ウォーミングアップクロックは f_{IOSC}(内部高速発振)を指定してください。

2. ウォーミングアップカウンタ設定値の算出

   CGOSCCR<WUPT[11:0]><WUPTL[1:0]>は、低速クロックでのカウント時は<WUPT>および<WUPTL>を使用し、高速クロックでのカウント時は<WUPT>を使用します。高速クロック使用時、<WUPTL>は"00"を設定してください。

   設定値は以下の計算式から算出し、下位 4 ビットを切り捨てて設定します。

   注) スタンバイモードへ遷移する場合、カウント値が CGOSCCR<WUPT><WUPTL>に反映されているのを確認してから WFI 命令を実行してください。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

   注) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

   高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9\text{C}40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUPT[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認

ソフトウエア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

以下に、ウォーミングアップ機能の設定例を示します。

表 6-1 ウォーミングアップ機能設定例

CGOSCCR<WUPT> = "0x9C4"	:ウォーミングアップ時間設定
CGOSCCR<WUPT> リード	: ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
CGOSCCR<XEN2> = "1"	: 高速発振(fosc)イネーブル
CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマスタート
CGOSCCR<WUEF>リード	: "0" (終了)になるまでウェイト

6.3.5　システムクロック

システムクロックの源振として、内部高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)、外部低速発振クロック(発振子接続またはクロック入力)が使用可能です。

内部高速発振は、発振周波数精度が要求される場合には使用しないでください。

源振		周波数
内部高速発振(f_{IHOSC})		10MHz
外部高速発振	発振子(f_{EHOSC})	8 ~ 16MHz
	クロック入力($f_{EHCLKIN}$)	
外部低速発振	発振子(f_{ELOSC})	30 ~ 34kHz
	クロック入力($f_{ELCLKIN}$)	

システムクロックは高速発振使用時は CGSYSCR<GEAR>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

クロックギアの設定による動作周波数例を表 6-2 に示します。

表 6-2 システムクロック周波数

fosc 周波数 (MHz)	クロックギア(CG)				
	1/1	1/2	1/4	1/8	1/16
8	8	4	2	1	-
10	10	5	2.5	1.25	-
16	16	8	4	2	1

↑リセット後の初期設定

注)　SysTick 使用時は 1/16 は使用しないでください。

6.3.5.1 システムクロックの切り替え

システムクロックの切り替えについて図 6-2 に示します。

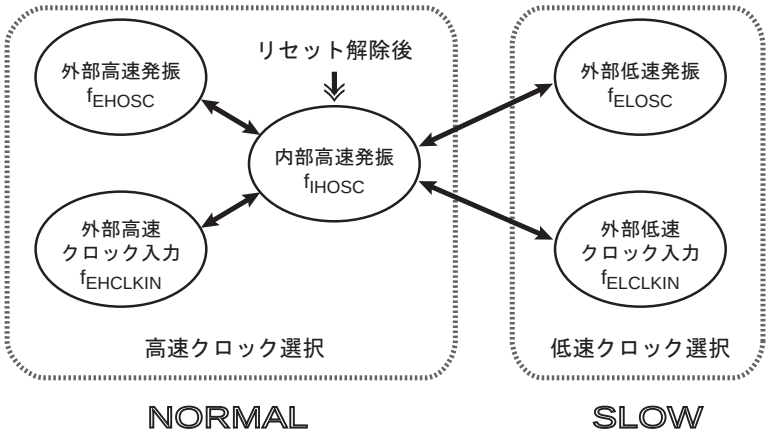


図 6-2 システムクロックの切り替え

リセット解除後は内部高速発振クロックがシステムクロックとなっています。高速クロックとして内部高速発振クロックのほかに、外部高速発振クロックまたは外部高速クロックが選択できます。低速クロックとして外部低速発振クロックまたは外部低速クロックが選択できます。外部高速発振クロックと外部高速クロックの間でのクロック切り替えおよび、外部低速発振クロックと外部低速クロックの間でのクロック切り替えはできません。

6.3.5.2 SLOW、STOP、SLEEP モードへ遷移する際の注意

外部高速発振クロックおよび外部高速クロック使用時、SLOW、STOP または SLEEP への遷移はできません。CGOSCCR<OSCSEL>でシステムクロックを内部高速発振クロックに切り替えてから遷移してください。

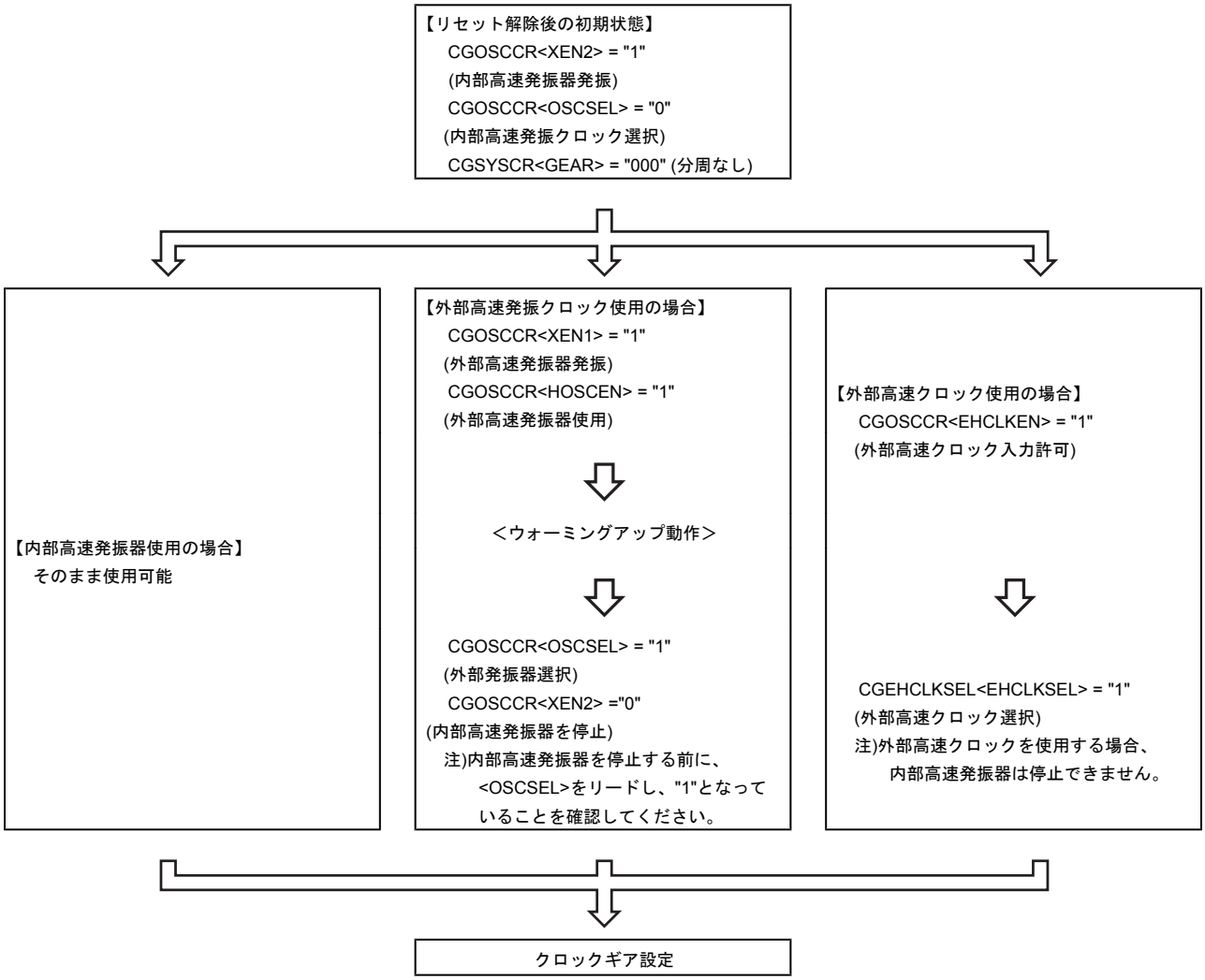
6.3.5.3 システムクロックの設定方法

システムクロックの選択は CGOSCCR、CGEHCLKSEL で行います。クロック選択後、必要に応じてクロックギアの設定を CGSYSCR で行います。

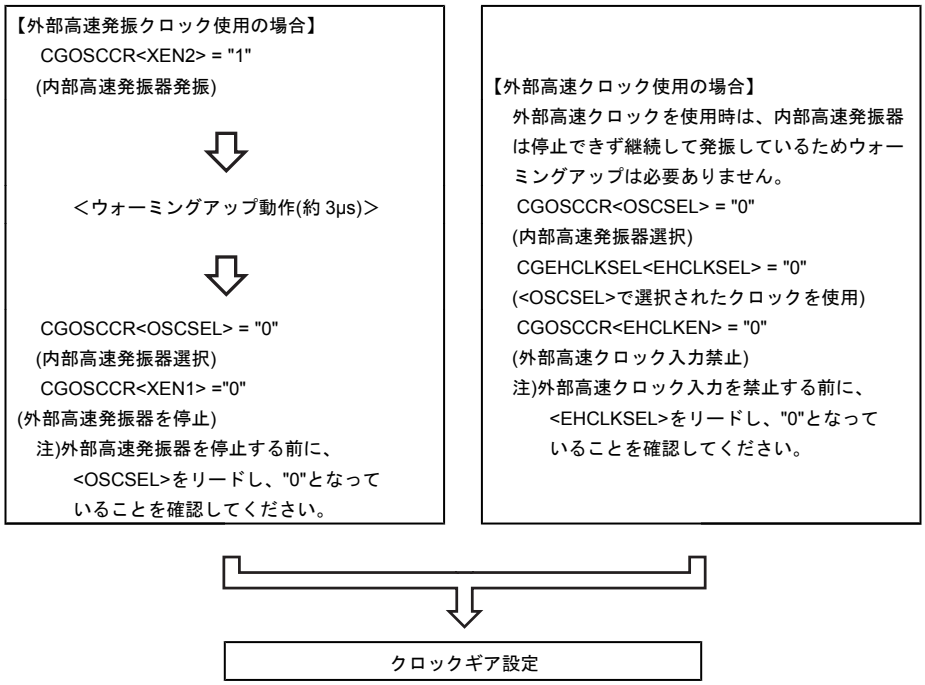
以下にクロックの設定手順を示します。

低速クロックをシステムクロックとする場合、NORMAL モードで低速クロックの設定を行ってから SLOW モードへ遷移します。

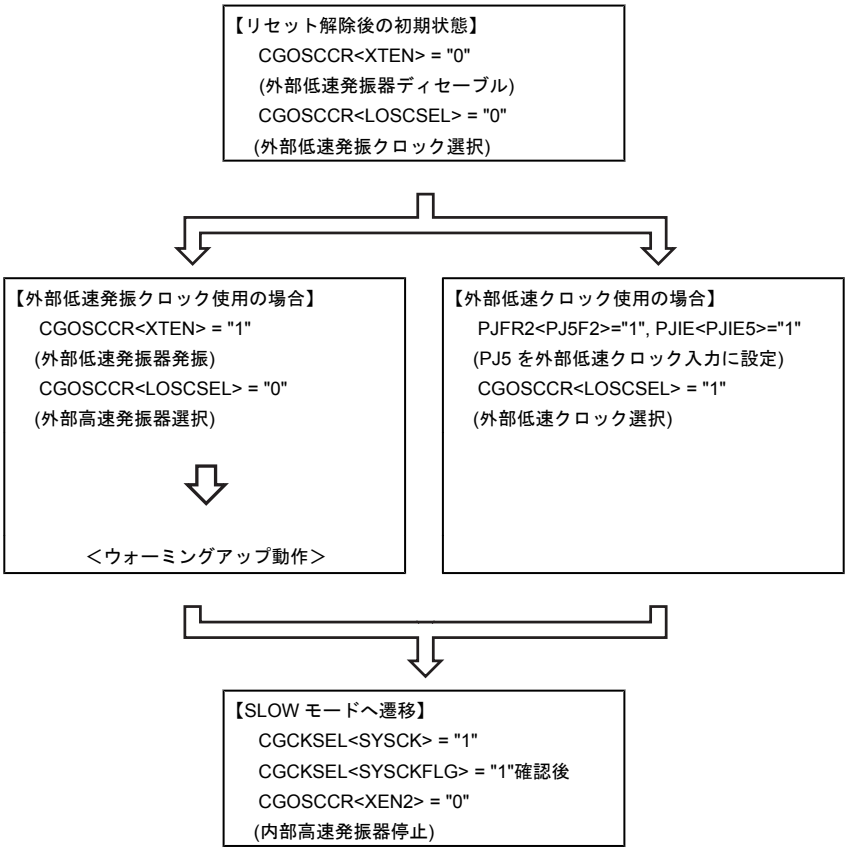
1．高速クロック設定手順(初期設定)



2．高速クロック設定手順(外部発振から内部発振への切り替え)



３．低速クロック設定手順



6.3.6　プリスケーラクロック

周辺機能(TMRB,SIO) には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL0>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

また fsys に低速クロック fs を使用している場合、CGSYSCR<FPSEL1>で fsys を選択することでプリスケーラクロックに fs を使用することができます。

注)　クロックギアを使用する場合、周辺機能の各ブロックのプリスケーラ出力 φTn は、φTn ≤ fsys/2 を満足するように時間設定(φTn が fsys よりも遅くなるように)してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

6.3.7　クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロックの 2 分周 fsys/2、システムクロック fsys、プリスケーラクロック φT0 を SCOUT 端子から出力できます。

ポート J 関連レジスタ PJCR<PJ4C>＝"1", PJFR2<PJ4F2>＝"1" に設定することにより、PJ4 は SCOUT 出力端子になります。出力クロックの選択は CGSYSCR<SCOSEL[1:0]>によって設定します。

表 6-3 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 6-3 モード別 SCOUT 出力状態

モード / SCOUT 選択 CGSYSCR	NORMAL	SLOW	低消費電力モード		
			IDLE	SLEEP	STOP
<SCOSEL[1:0]> = "00"	fs クロックを出力します				
<SCOSEL[1:0]> = "01"	fsys/2 クロックを出力します				
<SCOSEL[1:0]> = "10"	fsys クロックを出力します			"0"または"1"に固定されます	
<SCOSEL[1:0]> = "11"	φT0 クロックを出力します				

注 1) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。
注 2) SCOUT に fsys を選択している場合、クロックギアの切り替え時、出力波形に乱れが生じます。

6.4　動作モードとモード遷移

6.4.1　モード状態遷移

動作モードとして NORMAL モードと SLOW モードがあります。NORMAL モードはシステムクロックに高速クロックを使用し、SLOW モードは低速クロックを使用します。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、SLEEP モード、STOP モードがあります。

低速クロックを使用しない場合は SLOW/SLEEP モードは使用できません。

図 6-3 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

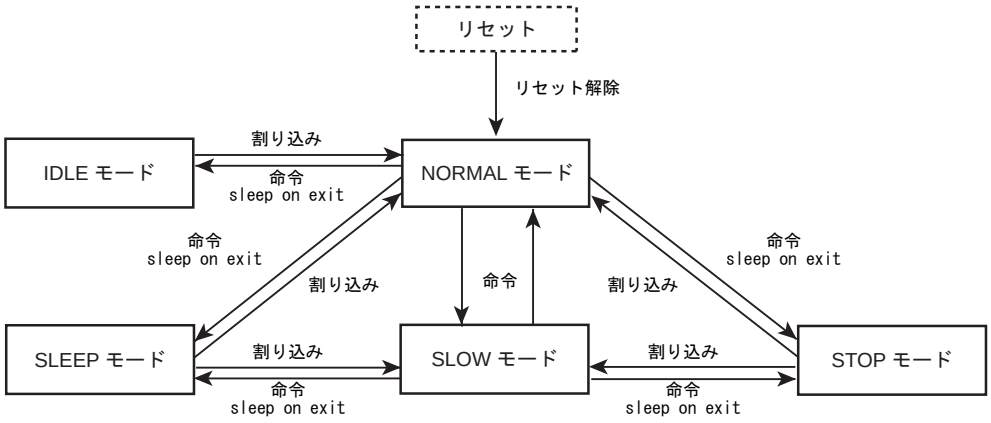


図 6-3 モード状態遷移図

注)　外部高速発振クロック(f_{EHOSC})、外部高速クロック($f_{EHCLKIN}$)使用時は、STOP/SLLEP モードに遷移することができません。内部高速発振クロック(f_{IHOSC})に切り替えてから遷移してください。

6.5 動作モード

動作モードには NORMAL モードと SLOW モードがあります。NORMAL, SLOW モードの特徴は次のとおりです。

6.5.1 NORMAL モード

CPU コアおよび周辺機能を高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。低速クロックを動作させる事も可能です。

6.5.2 SLOW モード

高速クロックを停止させ、CPU コア、周辺機能を低速クロックで動作させるモードです。NORMAL モードに比べ消費電力を低減することができます。

SLOW モードでは動作可能な周辺機能が限られます。使用できる周辺機能は I/O ポート(PORT)、電力演算エンジン(PCE)、タイマ(TMRB、TMR16A)、ウォッチドッグタイマ(WDT)、リアルタイムクロック(RTC)、LCD ドライバ、電圧検出回路(LVD)、温度センサ(TEMP)です。

注 1) SLOW モードでは動作可能な周辺機能以外は SLOW モードへ遷移する前に停止してください。
注 2) SLOW モードでは、Cortex-M0 コアの NVIC レジスタのアプリケーション割り込みおよびリセットレジスタ <SYSRESETREQ>によるリセットは使用しないでください

6.6 低消費電力モード

低消費電力モードには、IDLE, SLEEP, STOP モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。
注 2) 本製品は、Cortex-M0 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。
注 3) ウォーミングアップタイマ動作中に低消費電力モードへ遷移しないでください。
注 4) 外部高速発振クロック(f_{EHOSC})、外部高速クロック($f_{EHCLKIN}$)使用時は、STOP/SLLEP モードに遷移することができません。内部高速発振クロック(f_{IHOSC})に切り替えてから遷移してください。
注 5) LCD ドライバを SLEEP モードで使用するためには、SLOW モードから SLEEP モードに遷移する必要があります。

IDLE, SLEEP, STOP モードの特長は次のとおりです。

6.6.1 IDLE モード

プロセッサコアのクロックが停止するモードです。周辺機能は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)

- 16 ビットタイマ(TMR16A)
- シリアルチャネル(SIO/UART)
- シリアルバスインタフェース(I2C/SIO)
- アナログ/デジタルコンバータ(ADC)
- ウォッチドッグタイマ(WDT)

6.6.2　SLEEP モード

高速クロックが停止するモードです。低速クロックで動作する RTC のカウンタは動作を継続します。

SLEEP モードが解除されると、SLEEP モードへ移行する直前の動作モードへ復帰し、動作を開始します。

6.6.3　STOP モード

STOP モードでは、内部発振器も含めてすべてのクロックが停止します。

STOP モードが解除されると、STOP モードへ移行する直前の動作モードへ復帰し、動作を開始します。STOP モード解除のウォーミングアップ時間として、200μs 以上を設定してください。

STOP モードでは CGSTBYCR<DRVE>の設定により端子のドライブ状態を保持することができます。STOP モード時の端子状態を表 6-4 に示します。

表 6-4 STOP モード時の端子状態

使用方法	機能	ポート	設定	入出力	<DRVE> = 0	<DRVE> = 1
ポート	SWCLK	PE6	PEFR2<PE6F2>=1, PEIE<PE6IE>=1 または $\overline{\text{DBGEN}}$ = "0"でリセット解除	入力	o	
	SWDIO	PE7	PEF21<PE7F2>=1,PECR<PE7C>=1, PEIE<PE7IE>=1 または $\overline{\text{DBGEN}}$ = "0"でリセット解除	入力	o	
				出力	データ有効時はイネーブル データ無効時はディセーブル	
	INT0 INT1 INT2 INT3	PF1 PJ2 PG0 PK0	PxFRn<PxmFn>=1 PxIE<PxmIE>=1	入力	o	
	上記以外の機能端子または汎用入出力として使用		PxIE<PxmIE>=1	入力	×	o
			PxCR<PxmC>=1	出力	×	o
ポート以外	$\overline{\text{RESET}}$, MODE			入力専用	o	
	COM0,COM1,COM2,COM3			出力専用	o	
	X1,XT1			入力専用	×	
	X2,XT2			出力専用	"High"レベル固定	

o :入力または出力がイネーブルであることを示します。
× :入力または出力がディセーブルであることを示します。

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

6.6.4　低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 6-5 に<STBY[2:0]>の設定より選択されるモードを示します。

表 6-5 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP	001
SLEEP	010
IDLE	011

注) 上記の設定以外は行わないでください。

6.6.5　各モードにおける動作状態

各モードにおける動作状態を表 6-6 に示します。

表 6-6 各動作モードにおける動作状態

	NORMAL			IDLE			SLOW		SLEEP		
Block	内部高速発振器使用 (f_{IHOSC})	外部高速発振器使用 (f_{EHOSC})	外部高速クロック使用 ($f_{EHCLKIN}$)	内部高速発振器使用 (f_{IHOSC})	外部高速発振器使用 (f_{EHOSC})	外部高速クロック使用 ($f_{EHCLKIN}$)	外部低速発振器使用 (f_{ELOSC})	外部低速クロック使用 ($f_{ELCLKIN}$)	外部低速発振器使用 (f_{ELOSC})	外部低速クロック使用 ($f_{ELCLKIN}$)	STOP
内部高速発振器	o	Δ	o(注 1)	o	Δ	o(注 1)	Δ(注 2)		−		−
外部高速発振器	Δ	o	Δ	Δ	o	Δ	Δ(注 2)		−		−
外部低速発振器	Δ	Δ	Δ	Δ	Δ	Δ	o	Δ	o	Δ	−
CG	o			o			o		o		−
プロセッサコア	o			−			o(注 6)		−		−
電力演算エンジン	o			o			o		−		−
IO ポート	o			o			o		o		o(注 3)
SIO/UART	o			Δ			#(注 5)		−		−
I2C/SIO	o			Δ			#(注 5)		−		−
TMRB	o			Δ			o		−		−
TMR16A	o			Δ			o		−		−
WDT	o			Δ(注 7)			o		−		−
ADC	o			Δ			#(注 5)		−		−
ΔΣADC	o			o			#(注 5)		−		−
RTC	o			o			o		o		−
LCD ドライバ	o			o			o		o(注 4)		−
温度センサ	o			o			o		o		−
LVD	o			o			o		o		o

o : 対象のモード中に動作が可能

− : 対象のモードに移行すると自動的にモジュールへのクロックが停止

: 対象のモード中にソフトウエアにてモジュールを停止する必要あり

Δ : 対象のモード中にソフトウエアにてモジュールの動作/停止の選択が可能

注 1)　外部高速クロック使用時は内部高速クロックは停止できません。

注 2)　NORMAL モードから SLOW モードに移行した場合、高速発振器(EHOSC, IHOSC)は自動では発振停止しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振停止してください。SLOW モードから MORMAL モードに移行する前に、高速発振器(EHOSC, IHOSC)は自動では発振開始しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振開始してください。

注 3)　CGSTBYCR<DRVE>の設定に依存します。

注 4)　LCD ドライバを SLEEP モードで使用するためには、SLOW モードから SLEEP モードに遷移する必要があります。

注 5)　SLOW モードでは ADC,ΔΣADC,SIO/UART,I2C/SIO は停止してください。

注 6)　SLOW モードでは SysTick タイマは使用できません。

注 7)　IDLE モード中はプロセッサコアによるウォッチドッグタイマのクリアができませんので注意してください。

6.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み, マスク不能割り込み(NMI), リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 6-7 に示します。

表 6-7 解除ソースと解除可能なモード

解除ソース		低消費電力モード		
		IDLE	SLEEP	STOP
割り込み	INT0 to 3 (注 1), INTLVD	o	o	o
	INTRTC	o	o	×
	その他の割り込み	o	×	×
SysTick 割り込み		o	×	×
マスク不能割り込み (INTWDT)		o	×	×
RESET (RESET 端子)		o	o	o

o： 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

×： 解除に使用できません

注 1) 低消費電力モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

注 2) 低消費電力モードへ移行する場合は、プロセッサコアで復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。

- 割り込み要求による解除

  割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があります。

- SysTick 割り込みによる解除

  SysTick 割り込みは IDLE モードでのみ使用可能です。

- マスク不能割り込み(NMI)による解除

  WDT 割り込み(INTWDT)は IDLE モードでのみ使用可能です。

- リセットによる解除

  $\overline{\text{RESET}}$ 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

  STOP モードの解除にリセットを使用する場合、自動ウォーミングアップが行われないため、発振器動作が安定するまでリセット信号を有効に保ってください。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

6.6.7　ウォーミングアップ

モード遷移時、内部発振器の安定のためウォーミングアップが必要な場合があります。

STOP モードから NORMAL/SLOW モードへの遷移および、SLEEP モードから NORMAL モードへの遷移では、自動的にウォーミングアップ用カウンタが起動され、ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP/ SLEEP モードに移行する命令を実行する前に、CGOSCCR<WUPSEL2><WUPSEL1>でウォーミングアップする発振器の選択および、CGOSCCR<WUPT><WUPTL>でウォーミングアップ時間の設定を行ってください。

注)　外部高速クロック入力($f_{EHCLKIN}$)をウォーミングアップクロックに使用することはできません。

NORMAL モードから SLOW/SLEEP モードの遷移の場合、低速発振クロックがディセーブルの状態であれば低速クロックをイネーブルにした上で発振器の安定のためのウォーミングアップが必要になります。この場合、ソフトウエアでウォーミングアップを起動してください。

同様に、SLOW モードから NORMAL モードの遷移の場合で高速発振クロックがディセーブルの場合、高速クロックをイネーブルにし、ウォーミングアップを起動してください。

各動作モード遷移時におけるウォーミングアップの有無を表 6-8 に示します。

表 6-8 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → SLEEP	(注 1)
NORMAL → SLOW	(注 1)
NORMAL → STOP	不要
IDLE → NORMAL	不要
SLEEP → NORMAL	CGOSCCR<WUPSEL2>で選択されるクロックで自動ウォーミングアップ
SLEEP → SLOW	不要
SLOW → NORMAL	(注 2)
SLOW → SLEEP	不要
SLOW → STOP	不要
STOP → NORMAL(注 3)	CGOSCCR<WUPSEL2>で選択されるクロックで自動ウォーミングアップ
STOP → SLOW(注 3)	CGOSCCR<LOSCSEL>で選択されるクロックで自動ウォーミングアップ

注 1)　低速発振クロックがディセーブルの場合、イネーブルにした上でソフトウエアでウォーミングアップを起動する必要があります。

注 2)　高速発振クロックがディセーブルの場合、イネーブルにした上でソフトウエアでウォーミングアップを起動する必要があります。

注 3)　STOP モード解除のウォーミングアップ時間として、200μs 以上を設定してください。

6.6.8 モード遷移によるクロック動作

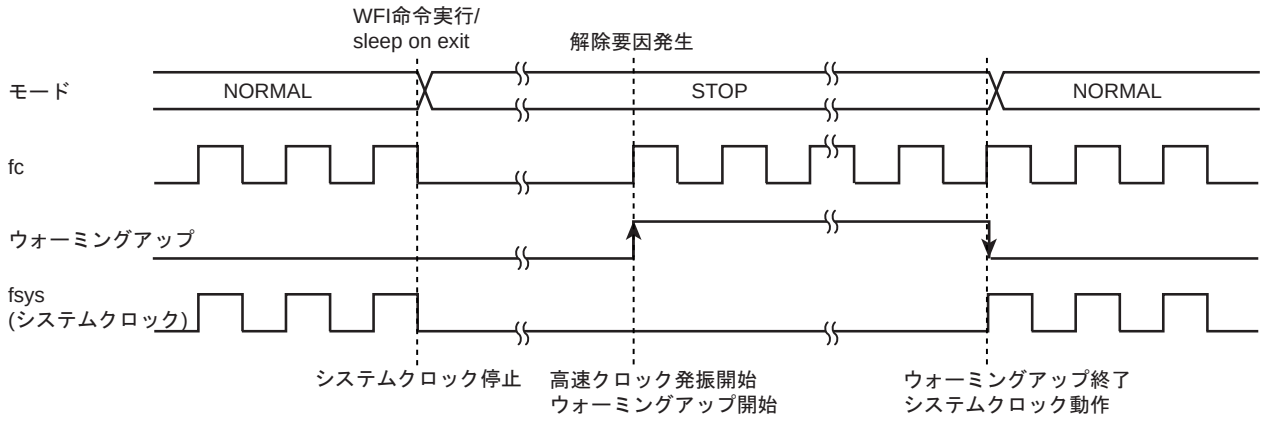
モード遷移の際の、クロック動作について以下に示します。

6.6.8.1 NORMAL → STOP → NORMAL 動作モード遷移

STOP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP モードへ遷移する前にウォーミングアップ時間の設定と、CGOSCCR<OSCSEL>で選択したクロックとウォーミングアップタイマのクロックが同じになるように設定を行ってください。

注) 外部高速発振クロック(f_{EHOSC})、外部高速クロック($f_{EHCLKIN}$)使用時は、STOP/SLLEP モードに遷移することができません。内部高速発振クロック(f_{IHOSC})に切り替えてから遷移してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。

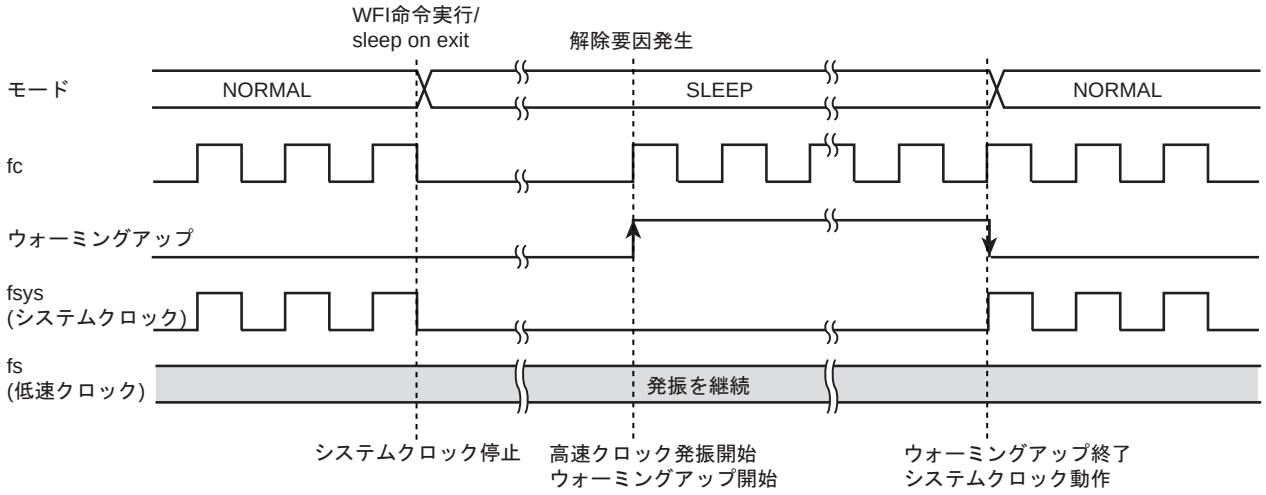


6.6.8.2 NORMAL → SLEEP → NORMAL 動作モード遷移

SLEEP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。SLEEP モードへ遷移する前にウォーミングアップ時間の設定と CGOSCCR<OSCSEL>で選択したクロックとウォーミングアップタイマのクロックが同じになるように設定を行ってください。

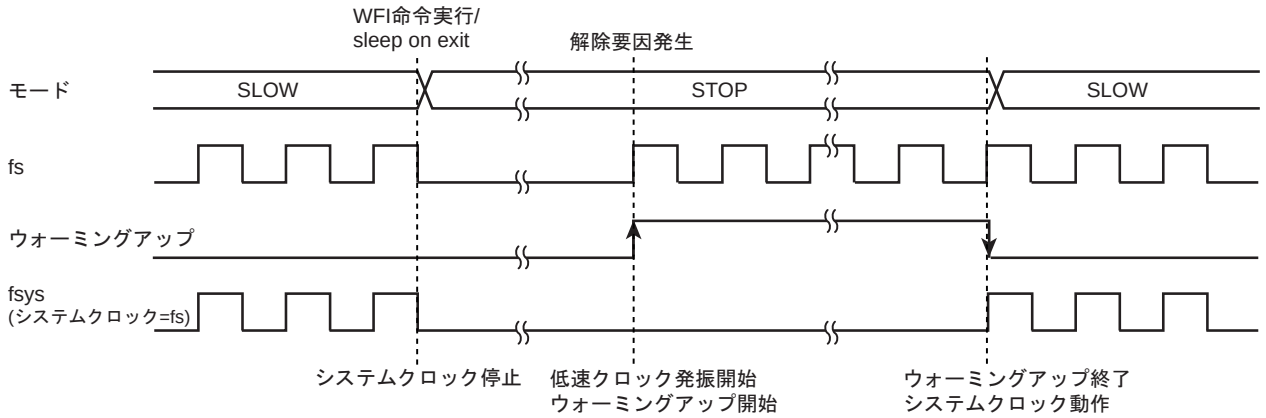
注) 外部高速発振クロック(f_{EHOSC})、外部高速クロック($f_{EHCLKIN}$)使用時は、STOP/SLLEP モードに遷移することができません。内部高速発振クロック(f_{IHOSC})に切り替えてから遷移してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。



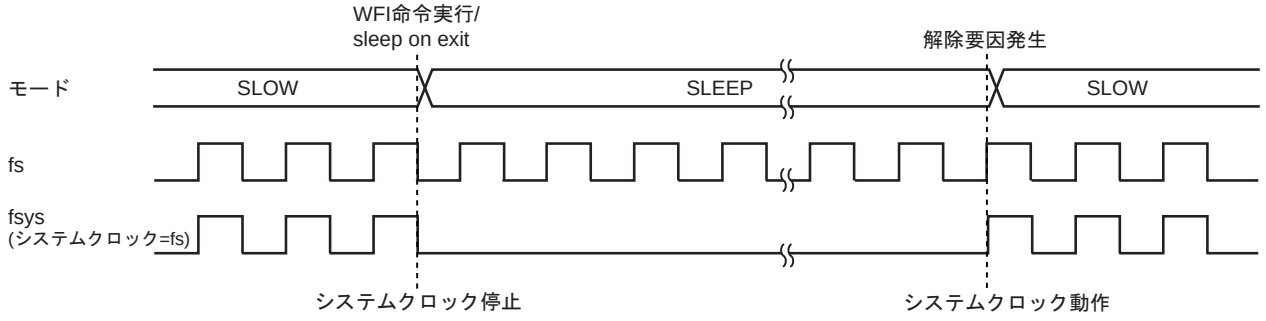
6.6.8.3　SLOW → STOP → SLOW 動作モード遷移

ウォーミングアップは自動的に起動します。STOP モードへ遷移する前にウォーミングアップ時間の設定を行ってください。



6.6.8.4　SLOW → SLEEP → SLOW 動作モード遷移

低速クロックは SLEEP モード中も発振を継続しているため、ウォーミングアップの必要はありません。



第 7 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"テクニカルリファレンスマニュアル"もご覧ください。

7.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

7.1.1　種類

例外には以下のようなものがあります。

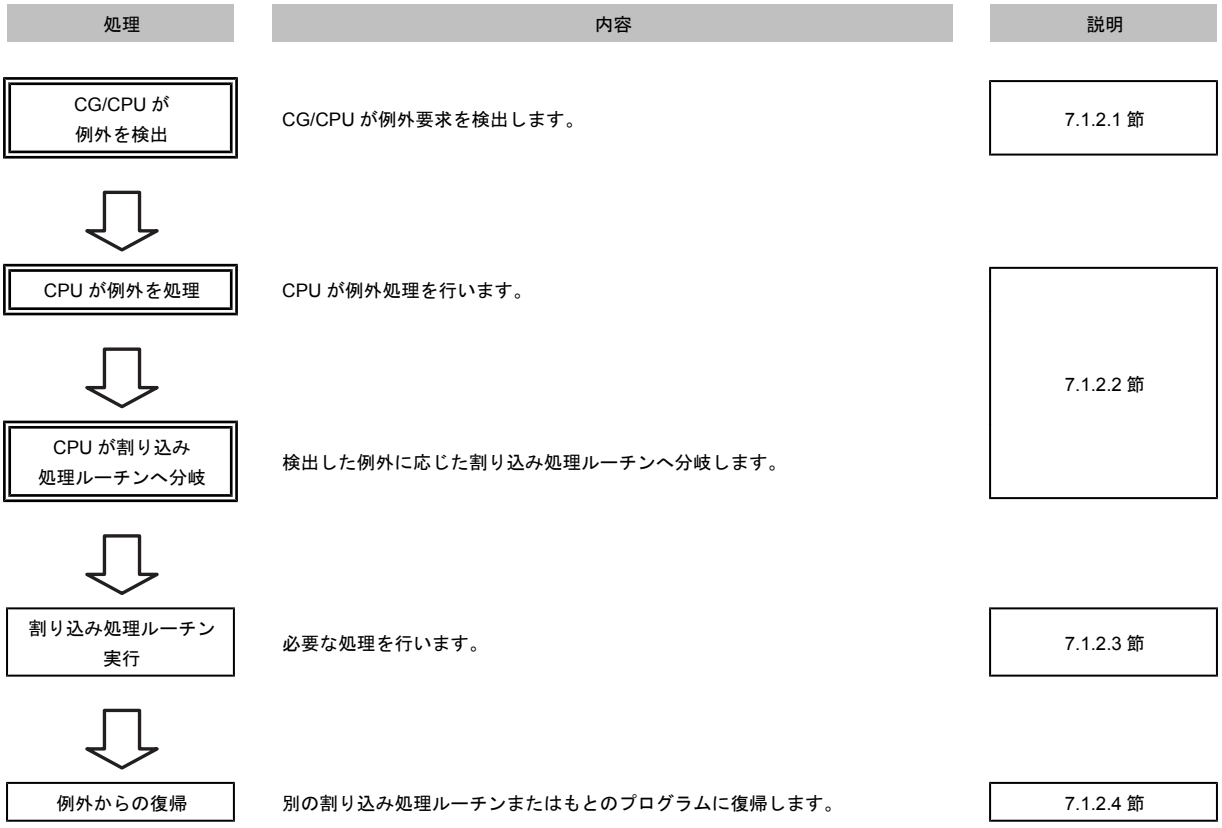
それぞれの例外の詳細な内容は、"テクニカルリファレンスマニュアル"をご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- SVCall (スーパバイザコール)
- PendSV
- SysTick
- 外部割り込み

7.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。



7.1.2.1　例外要求と検出

(1)　例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, SYSRESETREQ
2	マスク不能割り込み	−2	WDT
3	ハードフォールト	−1	他の例外・割り込み以外の要因による動作不可
4~10	予約	−	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12~13	予約	−	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.1.5 要因一覧」を参照してください。

(3) 優先度の設定

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>ビットに設定します。

<PRI_n>は、2 ビットの構成で、0 ~ 3 の優先度を設定可能です。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

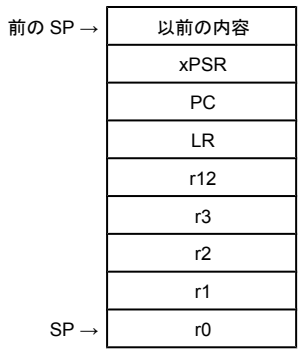
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムカウンタ(PC)
- プログラムステータスレジスタ(xPSR)
- r0 ~ r3
- r12
- リンクレジスタ(LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2)　割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3)　後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10 ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30 ~ 0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(PC, xPSR, r0～r3, r12, LR)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2　リセット例外

リセット例外には、以下の 3 種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- WDT によるリセット例外

  WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章を参照してください。

- SYSRESETREQ によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。

7.3　マスク不能割り込み(NMI)

WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

7.4　SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

注)　本製品では、外部参照クロックとして fosc (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

7.5 割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

7.5.1 要因

7.5.1.1 経路

割り込み要求の経路を図 7-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

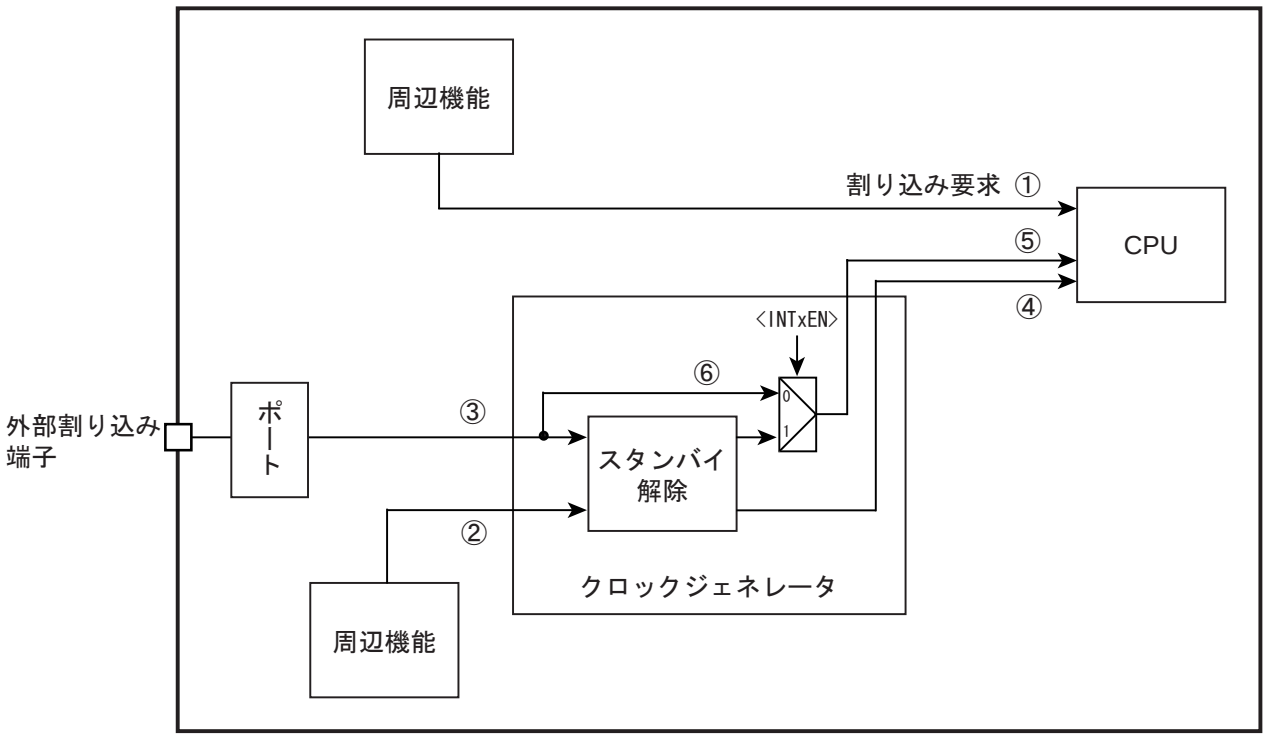


図 7-1 割り込みの経路

7.5.1.2　割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子, 周辺機能, NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部端子からの割り込み

  外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み

  周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。

  詳細は各章をご覧ください。
- 割り込みの強制的な保留

  割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

7.5.1.3　割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

7.5.1.4　外部割込み端子を使用する際の注意

外部割込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割込み端子からの入力信号は、入力ディセーブル(PxIE<PxmIE>="0")の場合"High"となります。また、外部割込みをスタンバイ解除要因として使用しない場合（「図 7-1 割り込みの経路」の⑥ の経路)、外部割込み端子からの入力信号がそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を"Low"レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

7.5.1.5 要因一覧

割り込みの要因一覧を表 7-2 に示します。

表 7-2 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモードコントロールレジスタ
0	INTPCE	PCE		
1	INTDSAD0	ΔΣ 型 ADC0 変換終了		
2	INTDSAD1	ΔΣ 型 ADC1 変換終了		
3	INTDSAD2	ΔΣ 型 ADC2 変換終了		
4	INTLVD	LVD 割り込み	↑	CGIMCGA
5	INT0	割り込み端子 0	↑、↓、High、Low	
6	INT1	割り込み端子 1		
7	INT2	割り込み端子 2		
8	INT3	割り込み端子 3		CGIMCGB
9	INTRX0	シリアル受信(channel.0)		
10	INTTX0	シリアル送信(channel.0)		
11	INTRX1	シリアル受信(channel.1)		
12	INTTX1	シリアル送信(channel.1)		
13	INTRX2	シリアル受信(channel.2)		
14	INTTX2	シリアル送信(channel.2)		
15	INTRX3	シリアル受信(channel.3)		
16	INTTX3	シリアル送信(channel.3)		
17	INTSBI	シリアルバスインタフェース		
18	INTTB0	16-bit TMRB コンペア一致 0		
19	INTTB1	16-bit TMRB コンペア一致 1		
20	INTCAP00	16-bit TMRB インプットキャプチャ 0 (ch0)		
21	INTCAP01	16-bit TMRB インプットキャプチャ 1 (ch0)		
22	INTCAP10	16-bit TMRB インプットキャプチャ 0 (ch1)		
23	INTCAP11	16-bit TMRB インプットキャプチャ 1 (ch1)		
24	INTT16A0	16-bit TMR16A コンペア一致 (ch0)		
25	INTT16A1	16-bit TMR16A コンペア一致 (ch1)		
26	INTT16A2	16-bit TMR16A コンペア一致 (ch2)		
27	INTT16A3	16-bit TMR16A コンペア一致 (ch3)		
28	INTT16A5	16-bit TMR16A コンペア一致 (ch5)		
29	INTT16A6	16-bit TMR16A コンペア一致 (ch6)		
30	INTRTC	時計タイマ	↓	CGIMCGB
31	INTAD	通常 AD 変換終了割り込み		

7.5.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は"High"レベル、"Low"レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 7-2 で指定されているとおりに設定してください。

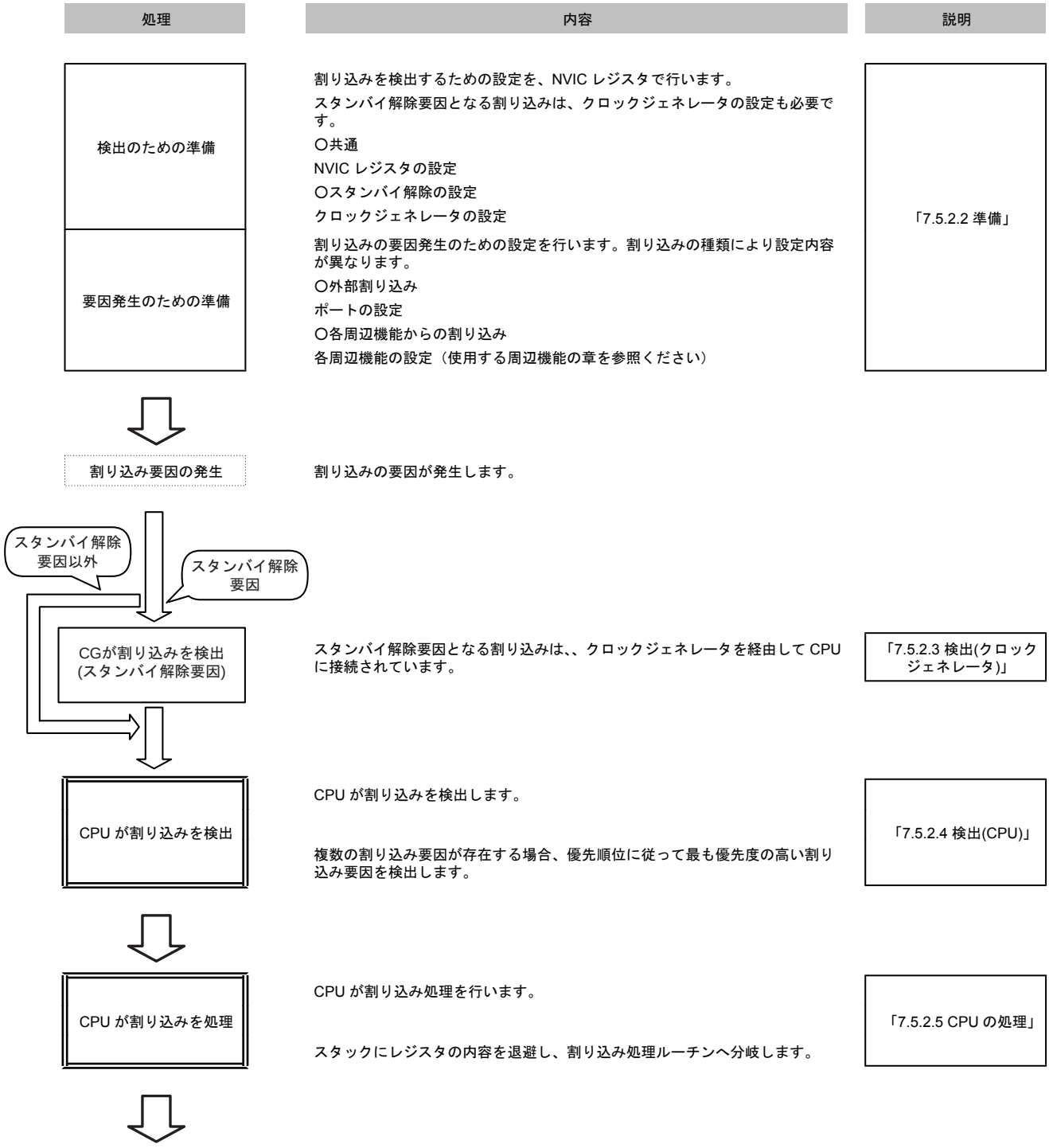
クロックジェネレータで検出された割り込みは、"High" レベル信号で CPU に通知されます。

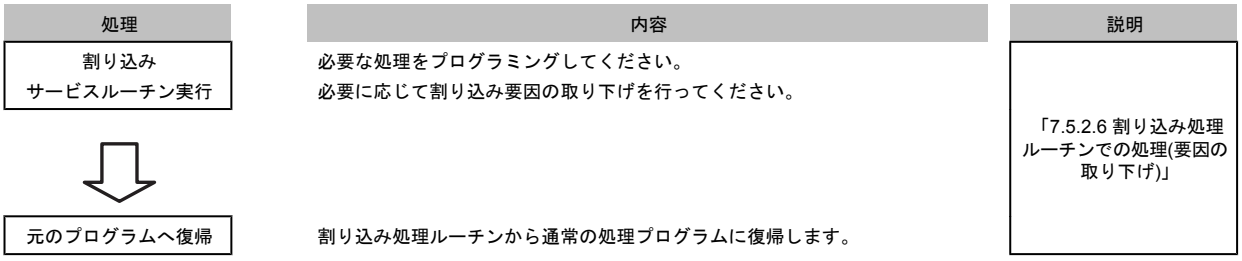
7.5.2 処理詳細

7.5.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。





7.5.2.2　準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1)　CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

(2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

<PRI_n>は 2 ビットで、0～3 の優先度が設定可能です。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

NVIC レジスタ		
<PRI_n>	←	「優先度」

注) 「n」は該当する例外/割り込みの番号を示します。

(3) 要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「7.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.3 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。また、「7.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7)　CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注) 「m」は該当ビットを示します。

7.5.2.3　検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

7.5.2.4 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M0 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

7.6　例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

7.6.1　レジスター覧

NVIC レジスタ　　Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ	0x0100
割り込みイネーブルクリアレジスタ	0x0180
割り込み保留セットレジスタ	0x0200
割り込み保留クリアレジスタ	0x0280
割り込み優先度レジスタ	0x0400 ~ 0x0430
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ　　Base Address = 0x400F_3000

レジスタ名		Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0020
CG 割り込みモードコントロールレジスタ B	CGIMCGB	0x0024
CG 割り込み要求クリアレジスタ	CGICRCG	0x0014
リセットフラグレジスタ	CGRSTFLG	0x001C

7.6.2 NVIC レジスタ

7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	–	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	–	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック (fosc/32) (注) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では、外部参照クロックとして fosc (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

7.6.2.2　SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

7.6.2.3　SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

7.6.2.4 SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	1	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	–	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値(注)

注) 本製品では較正用の値は準備していません。

7.6.2.5 割り込みイネーブルセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込み 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.6　割り込みイネーブルクリアレジスタ

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[31:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.7 割り込み保留セットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.8　割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.9　割り込み優先度レジスタ

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31　24	23　16	15　8	7　0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28

Cortex-M0 コアでは、優先度は 2 ビットで設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3		–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2		–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1		–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0		–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	PRI_3	R/W	割り込み番号 3 優先度
29-24	–	R	リードすると"0"が読めます。
23-22	PRI_2	R/W	割り込み番号 2 優先度
21-16	–	R	リードすると"0"が読めます。
15-14	PRI_1	R/W	割り込み番号 1 優先度
13-8	–	R	リードすると"0"が読めます。
7-6	PRI_0	R/W	割り込み番号 0 優先度
5-0	–	R	リードすると"0"が読めます。

7.6.2.10 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-3	–	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 　このビットは自身の動作によりクリアされます。 　スタックの再初期化はアプリケーションで行う必要があります。
0	–	R	リードすると"0"が読めます。

注 1)　本製品はリトルエンディアン固定です。

注 2)　本製品では、SYSRESETREQ が出力されるとリセットが発生します。リセットにより<SYSRESETREQ>はクリアされます。

7.6.2.11　システムハンドラ優先度レジスタ

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12

Cortex-M0 コアでは、優先度は 2 ビットで設定することができます。

以下に、代表として割り込み番号 12~15 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_15		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_14		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_13		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_12		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	PRI_15	R/W	SysTick 優先度
29-24	−	R	リードすると"0"が読めます。
23-22	PRI_14	R/W	PendSV 優先度
21-16	−	R	リードすると"0"が読めます。
15-14	PRI_13	R/W	予約
13-8	−	R	リードすると"0"が読めます。
7-6	PRI_12	R/W	予約
5-0	−	R	リードすると"0"が読めます。

7.6.2.12 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14-0	−	R	リードすると"0"が読めます。

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

7.6.3　クロックジェネレータレジスタ

7.6.3.1　CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT2 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT2 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定値が読まれます。
24	INT3EN	R/W	INT2 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT1 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT1 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定値が読まれます。
16	INT2EN	R/W	INT1 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG1[2:0]	R/W	INT0 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT0 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT1EN	R/W	INT0 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INTLVD スタンバイ解除要求のアクティブ状態を設定 (注)必ず"011"を設定してください。 011: 立ち上がりエッジ
3-2	EMST0[1:0]	R	INTLVD スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT0EN	R/W	INTLVD 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.2 CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	−	R/W	任意の値をライトしてください。
27-25	−	R	リードすると"0"が読めます。
24	−	R/W	"0"を書いてください。
23	−	R	リードすると"0"が読めます。
22-20	−	R/W	任意の値をライトしてください。
19-17	−	R	リードすると"0"が読めます。
16	−	R/W	"0"を書いてください。
15	−	R	リードすると"0"が読めます。
14-12	EMCG5[2:0]	R/W	INTRTC スタンバイ解除要求のアクティブ状態を設定 (注)必ず"010"を設定してください 010: 立ち下がりエッジ
11-10	EMST5[1:0]	R	INTRTC スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT5EN	R/W	INTRTC 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT3 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST4[1:0]	R	INT3 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT4EN	R/W	INT3 解除入力 0:ディセーブル 1: イネーブル

注 1)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.3 CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INTLVD 0_0001: INT0 0_0010: INT1 0_0011: INT2 0_0100: INT3 0_0101: INTRTC 0_0110 ~ 1_1111: 設定禁止 リードすると"0"が読めます。

7.6.3.4 CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	DBGRSTF	-	WDTRSTF	-	PINRSTF
端子リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます。
5	−	R/W	"0"をライトしてください。
4	DBGRSTF	R/W	デバッグリセットフラグ(注 1) 0: 0 ライト 1: SYSRESETREQ によるリセットによるリセットフラグ
3	−	R/W	"0"をライトしてください。
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT リセットによるリセットフラグ
1	−	R	"0"をライトしてください。
0	PINRSTF	R/W	$\overline{\text{RESET}}$ 端子フラグ 0: 0 ライト 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ

注 1)　CPU の NVIC 内にある、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットのセットにより発生したリセットであることを示します。

注 2)　本レジスタは自動的にはクリアされませんので、"0"を書いてクリアしてください。

第 8 章　入出力ポート

8.1　ポート機能

8.1.1　機能一覧

ポートは、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 8-1 にポート機能の一覧を示します。

表 8-1 ポート機能一覧(ポート A ~ ポート K)

ポート	端子名	入出力	Schmitt 入力	ノイズ フィルタ	機能端子名
ポート A					
	PA0	I/O	o	–	SEG0
	PA1	I/O	o	–	SEG1
	PA2	I/O	o	–	SEG2
	PA3	I/O	o	–	SEG3
	PA4	I/O	o	–	SEG4
	PA5	I/O	o	–	SEG5
	PA6	I/O	o	–	SEG6
	PA7	I/O	o	–	SEG7
ポート B					
	PB0	I/O	o	–	SEG8
	PB1	I/O	o	–	SEG9
	PB2	I/O	o	–	SEG10
	PB3	I/O	o	–	SEG11
	PB4	I/O	o	–	SEG12
	PB5	I/O	o	–	SEG13
	PB6	I/O	o	–	SEG14
	PB7	I/O	o	–	SEG15
ポート C					
	PC0	I/O	o	–	SEG16
	PC1	I/O	o	–	SEG17
	PC2	I/O	o	–	SEG18
	PC3	I/O	o	–	SEG19
	PC4	I/O	o	–	SEG20
	PC5	I/O	o	–	SEG21
	PC6	I/O	o	–	SEG22
	PC7	I/O	o	–	SEG23
ポート D					
	PD0	I/O	o	–	SEG24
	PD1	I/O	o	–	SEG25
	PD2	I/O	o	–	SEG26
	PD3	I/O	o	–	SEG27
	PD4	I/O	o	–	SEG28
	PD5	I/O	o	–	SEG29
	PD6	I/O	o	–	SEG30
	PD7	I/O	o	–	SEG31

表 8-1 ポート機能一覧(ポート A ~ ポート K)

ポート	端子名	入出力	Schmitt 入力	ノイズ フィルタ	機能端子名
ポート E					
	PE0	I/O	o	−	SEG32
	PE1	I/O	o	−	SEG33
	PE2	I/O	o	−	SEG34/T16A6OUT
	PE3	I/O	o	−	SEG35/SCLK31/$\overline{\text{CTS31}}$
	PE4	I/O	o	−	SEG36/RXD31
	PE5	I/O	o	−	SEG37/TXD31
	PE6	I/O	o	−	SEG38/SWCLK
	PE7	I/O	o	−	SEG39/SWDIO
ポート F					
	PF0	I/O	o	−	AIN0
	PF1	I/O	o	o(INT0のみ)	AIN1/INT0
ポート G					
	PG0	I/O	o	o(INT2のみ)	TB0OUT/INT2
ポート H					
	PH0	I/O	o	−	TXD0/IROUT0
	PH1	I/O	o	−	RXD0
	PH2	I/O	o	−	SCLK0/$\overline{\text{CTS0}}$/T16A0OUT
	PH3	I/O	o	−	TXD1/IROUT1
	PH4	I/O	o	−	RXD1
	PH5	I/O	o	−	SCLK1/$\overline{\text{CTS1}}$/T16A1OUT
ポート I					
	PI0	I/O	o	−	TXD2/IROUT2
	PI1	I/O	o	−	RXD2
	PI2	I/O	o	−	SCLK2/$\overline{\text{CTS2}}$/T16A2OUT
	PI3	I/O	o	−	TB0IN
	PI4	I/O	o	−	TXD30
	PI5	I/O	o	−	RXD30
	PI6	I/O	o	−	SCLK30/$\overline{\text{CTS30}}$/T16A5OUT
ポート J					
	PJ0	I/O	o	−	SDA0/SO0
	PJ1	I/O	o	−	SCL0/SI0
	PJ2	I/O	o	o(INT1のみ)	SCK0/INT1
	PJ3	I/O	o	−	RTCOUT
	PJ4	I/O	o	−	T16A3OUT/SCOUT
	PJ5	I	o	−	TB1IN/XTCLKIN
ポート K					
	PK0	I/O	o	o	INT3
	PK1	I/O	o	−	TB1OUT

注)　ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

8.2 レジスタ概略説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタはすべて 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では、8 ビットのポートの場合を示しています。各ポートにおけるレジスタ構成および初期値についてはそれぞれのポートの章を参照してください。

注) 以下の説明で"x"はポート名を、"n"はファンクション番号を示します。

8.2.1 PxDATA：データレジスタ

ポートのデータ読み込み、データ書き込みを行います。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7	Px6	Px5	Px4	Px3	Px2	Px1	Px0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7-Px0	R/W	ポート x データレジスタ

8.2.2 PxCR：コントロールレジスタ

出力の制御を行います。

入力の制御は PxIE で設定してください。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7C	Px6C	Px5C	Px4C	Px3C	Pxx2C	Px1C	Px0C
リセット後	0	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7C-Px0C	R/W	出力 0: 禁止 1: 許可

8.2.3　PxFRn：ファンクションレジスタ n

機能設定を行ないます。

"1"をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7Fn	Px6Fn	Px5Fn	Px4Fn	Px3Fn	Px2Fn	Px1Fn	Px0Fn
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7Fn-Px0Fn	R/W	0: PORT 1: 機能

8.2.4 PxOD：オープンドレインコントロールレジスタ

プログラマブルオープンドレインの制御を行います。

プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7OD	Px6OD	Px5OD	Px4OD	Px3OD	Px2OD	Px1OD	Px0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	Px7OD-Px0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

8.2.5 PxPUP：プルアップコントロールレジスタ

プログラマブルプルアップを制御します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7UP	Px6UP	Px5UP	Px4UP	Px3UP	Px2UP	Px1UP	Px0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	Px7UP-Px0UP	R/W	プルアップ 0: 禁止 1: 許可

8.2.6　PxPDN：プルダウンコントロールレジスタ

プログラマブルプルダウンを制御します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7DN	Px6DN	Px5DN	Px4DN	Px3DN	Px2DN	Px1DN	Px0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7DN-Px0DN	R/W	プルダウン 0: 禁止 1: 許可

8.2.7　PxIE：入力コントロールレジスタ

入力の制御を行ないます。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7IE	Px6IE	Px5IE	Px4IE	Px3IE	Px2IE	Px1IE	Px0IE
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7IE-Px0IE	R/W	入力 0: 禁止 1: 許可

8.3 レジスター覧

ポート	Base Address
ポート A	0x400C_0000
ポート B	0x400C_0100
ポート C	0x400C_0200
ポート D	0x400C_0300
ポート E	0x400C_0400
ポート F	0x400C_0500
ポート G	0x440C_0600
ポート H	0x400C_0700
ポート I	0x400C_0800
ポート J	0x400C_0900
ポート K	0x400C_0A00

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA	PFDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR	PFCR
ファンクションレジスタ 1	0x0008	PAFR1	PBFR1	PCFR1	PDFR1	PEFR1	PFFR1
ファンクションレジスタ 2	0x000C	-	-	-	-	PEFR2	-
ファンクションレジスタ 3	0x0010	-	-	-	-	PEFR3	-
オープンドレインコントロールレジスタ	0x0028	PAOD	PBOD	PCOD	PDOD	PEOD	PFOD
プルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP	PFPUP
プルダウンコントロールレジスタ	0x0030	PAPDN	PBPDN	PCPDN	PDPDN	PEPDN	PFPDN
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE	PFIE

レジスタ名	Address (Base+)	ポート G	ポート H	ポート I	ポート J	ポート K
データ レジスタ	0x0000	PGDATA	PHDATA	PIDATA	PJDATA	PKDATA
出力コントロールレジスタ	0x0004	PGCR	PHCR	PICR	PJCR	PKCR
ファンクションレジスタ 1	0x0008	PGFR1	PHFR1	PIFR1	PJFR1	PKFR1
ファンクションレジスタ 2	0x000C	PGFR2	PHFR2	PIFR2	PJFR2	-
ファンクションレジスタ 3	0x0010	-	PHFR3	PIFR3	-	-
オープンドレインコントロールレジスタ	0x0028	PGOD	PHOD	PIOD	PJOD	PKOD
プルアップコントロールレジスタ	0x002C	PGPUP	PHPUP	PIPUP	PJPUP	PKPUP
プルダウンコントロールレジスタ	0x0030	PGPDN	PHPDN	PIPDN	PJPDN	PKPDN
入力コントロールレジスタ	0x0038	PGIE	PHIE	PIIE	PJIE	PKIE

8.4　ポート機能詳細

レジスタの構成、初期値、ファンクションレジスタの機能割り当てを示します。

ビット 31～8 および表中の網掛けのビットはリードすると"0"が読め、ライトは意味を持ちません。

8.4.1　ポート A

	7	6	5	4	3	2	1	0
PADATA	0	0	0	0	0	0	0	0
PAIE	0	0	0	0	0	0	0	0
PACR	0	0	0	0	0	0	0	0
PAPUP	0	0	0	0	0	0	0	0
PAPDN	0	0	0	0	0	0	0	0
PAOD	0	0	0	0	0	0	0	0
PAFR1	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	0	0	0	0	0	0	0	0

注)　LCD セグメント出力として使用する際、PAFR1 を"1"、その他のレジスタは"0"として使用してください。

8.4.2　ポート B

	7	6	5	4	3	2	1	0
PBDATA	0	0	0	0	0	0	0	0
PBIE	0	0	0	0	0	0	0	0
PBCR	0	0	0	0	0	0	0	0
PBPUP	0	0	0	0	0	0	0	0
PBPDN	0	0	0	0	0	0	0	0
PBOD	0	0	0	0	0	0	0	0
PBFR1	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	0	0	0	0	0	0	0	0

注)　LCD セグメント出力として使用する際、PBFR1 を"1"、その他のレジスタは"0"として使用してください。

8.4.3 ポート C

	7	6	5	4	3	2	1	0
PCDATA	0	0	0	0	0	0	0	0
PCIE	0	0	0	0	0	0	0	0
PCCR	0	0	0	0	0	0	0	0
PCPUP	0	0	0	0	0	0	0	0
PCPDN	0	0	0	0	0	0	0	0
PCOD	0	0	0	0	0	0	0	0
PCFR1	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	0	0	0	0	0	0	0	0

注) LCD セグメント出力として使用する際、PCFR1 を"1"、その他のレジスタは"0"として使用してください。

8.4.4 ポート D

	7	6	5	4	3	2	1	0
PDDATA	0	0	0	0	0	0	0	0
PDIE	0	0	0	0	0	0	0	0
PDCR	0	0	0	0	0	0	0	0
PDPUP	0	0	0	0	0	0	0	0
PDPDN	0	0	0	0	0	0	0	0
PDOD	0	0	0	0	0	0	0	0
PDFR1	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
	0	0	0	0	0	0	0	0

注) LCD セグメント出力として使用する際、PDFR1 を"1"、その他のレジスタは"0"として使用してください。

8.4.5　ポート E

	7	6	5	4	3	2	1	0
PEDATA	0	0	0	0	0	0	0	0
PEIE	1	1	0	0	0	0	1 (注 3)	1 (注 3)
PECR	1	0	0	0	0	0	1 (注 3)	0
PEPUP	1	0	0	0	0	0	1 (注 3)	0
PEPDN	0	1	0	0	0	0	0	1 (注 3)
PEOD	0	0	0	0	0	0	0	0
PEFR1	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG32
	0	0	0	0	0	0	0	0
PEFR2	SWDIO	SWCLK	TXD31	RXD31	SCLK31	T16A6OUT	-	-
	1	1	0	0	0	0	1 (注 2)	1 (注 2)
PEFR3					$\overline{\text{CTS31}}$			
					0			

注 1)　LCD セグメント出力として使用する際、PEFR1 を"1"、その他のレジスタは"0"として使用してください。
注 2)　"0"を設定してください。
注 3)　必要に応じて設定を変更してください。

8.4.6　ポート F

アナログ入力機能として使用する際は初期値のままで使用してください。

	7	6	5	4	3	2	1	0
PFDATA							0	0
PFIE							0	0
PFCR							0	0
PFPUP							0	0
PFPDN							0	0
PFOD							0	0
PFFR1							INT0	
							0	

注)　STOP 以外のモードでは、PxIE で入力許可設定であれば PxFRn の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

8.4.7 ポート G

	7	6	5	4	3	2	1	0
PGDATA								0
PGIE								0
PGCR								0
PGPUP								0
PGPDN								0
PGOD								0
PGFR1								TB0OUT
								0
PGFR2								INT2
								0

注) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

8.4.8 ポート H

	7	6	5	4	3	2	1	0
PHDATA			0	0	0	0	0	0
PHIE			0	0	0	0	0	0
PHCR			0	0	0	0	0	0
PHPUP			0	0	0	0	0	0
PHPDN			0	0	0	0	0	0
PHOD			0	0	0	0	0	0
PHFR1			SCLK1	RXD1	TXD1	SCLK0	RXD0	TXD0
			0	0	0	0	0	0
PHFR2			$\overline{\text{CTS1}}$		IROUT1	$\overline{\text{CTS0}}$		IROUT0
			0		0	0		0
PHFR3			T16A1OUT			T16A0OUT		
			0			0		

注) PH3 は $\overline{\text{DBGEN}}$ 機能と兼用で、$\overline{\text{RESET}}$ 端子が"Low"の期間に入力およびプルアップが許可となっています。

8.4.9　ポート I

	7	6	5	4	3	2	1	0
PIDATA		0	0	0	0	0	0	0
PIIE		0	0	0	0	0	0	0
PICR		0	0	0	0	0	0	0
PIPUP		0	0	0	0	0	0	0
PIPDN		0	0	0	0	0	0	0
PIOD		0	0	0	0	0	0	0
PIFR1		SCLK30	RXD30	TXD30	TB0IN	SCLK2	RXD2	TXD2
		0	0	0	0	0	0	0
PIFR2		$\overline{\text{CTS30}}$				$\overline{\text{CTS2}}$		IROUT2
		0				0		0
PIFR3		T16A5OUT				T16A2OUT		
		0				0		

注 1)　PI0 は、$\overline{\text{RESET}}$ 端子が"Low"の期間に入力およびプルアップが許可となっています。

注 2)　PI5、PI6 は入力端子として使用時のみ、5V 入力が可能な端子です。
オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

8.4.10　ポート J

	7	6	5	4	3	2	1	0
PJDATA			0	0	0	0	0	0
PJIE			0	0	0	0	0	0
PJCR				0	0	0	0	0
PJPUP				0	0	0	0	0
PJPDN				0	0	0	0	0
PJOD				0	0	0	0	0
PJFR1			TB1IN	T16A3OUT	RTCOUT	SCK0	SCL0/SI0	SDA0/SO0
			0	0	0	0	0	0
PJFR2			XTCLKIN	SCOUT		INT1		
			0	0		0		

注 1)　PJ0 は $\overline{\text{BOOT}}$ 機能と兼用で、$\overline{\text{RESET}}$ 端子が"Low"の期間に入力およびプルアップが許可となっています。

注 2)　PJ5 は入力専用端子です。

注 3)　STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

注 4)　PJ2 は入力端子として使用時のみ、5V 入力が可能な端子です。
オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

8.4.11 ポート K

LCD のブリーダ抵抗を接続する際は初期値のままで使用してください。

	7	6	5	4	3	2	1	0
PKDATA							0	0
PKIE							0	0
PKCR							0	0
PKPUP							0	0
PKPDN							0	0
PKOD							0	0
PKFR1							TB1OUT	INT3
							0	0

注) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFRn の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

8.5　ポート回路図

8.5.1　ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

各端子に使用されているポートタイプは「8.6 付録 (ポート設定一覧)」に記載しています。

表 8-2 機能一覧

Type	機能入出力					Pull-up	Pull-down	アナログ
	入出力	イネーブル信号の有無		STOP モード中動作				
		入力	出力	入力	出力			
FT1	入出力	−	−	−	−	R	R	−
FT2	入出力	−	o	o	o	EnR	EnR	−
FT3	入出力	−	o	−	−	R	R	−
FT4	入力(int)	−	−	o	−	R	R	−
FT5	入力	−	−	−	−	R	R	o
FT6	入出力	o	o	−	o	R	R	−
FT7	入力	−	−	o	−	R	R	−
FT8	入出力	−	−	−	o	R	R	−
FT9	入出力	−	o	−	o	R	R	−
FT10	出力(LCD)	−	−	−	o	R	R	−

int: 割り込み入力
−: なし/禁止
o: 有り/許可
R: リセット中は強制的に禁止
EnR: リセット中は強制的に許可

8.5.2　タイプ FT1

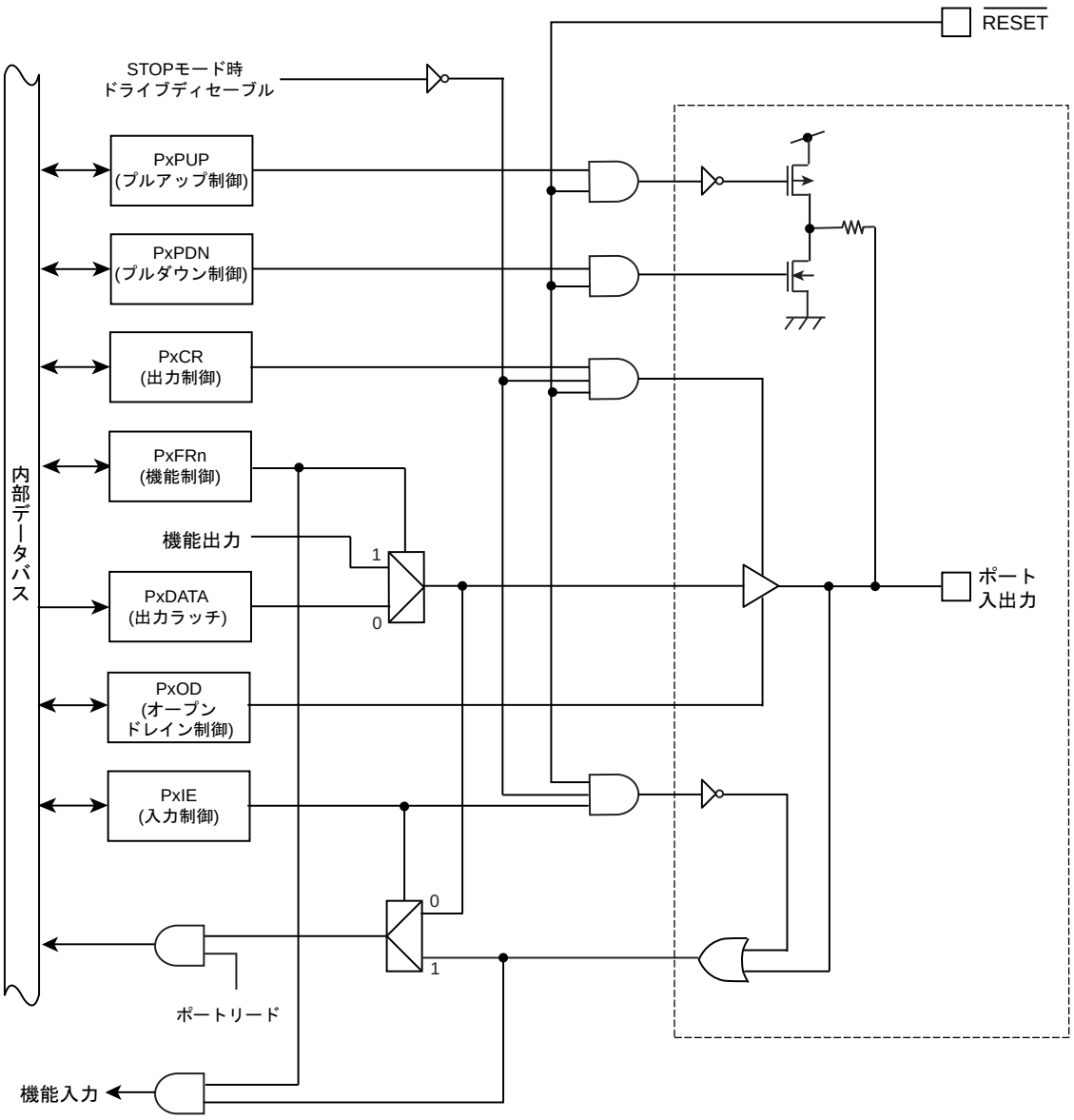


図 8-1 ポートタイプ FT1

8.5.3　タイプ FT2

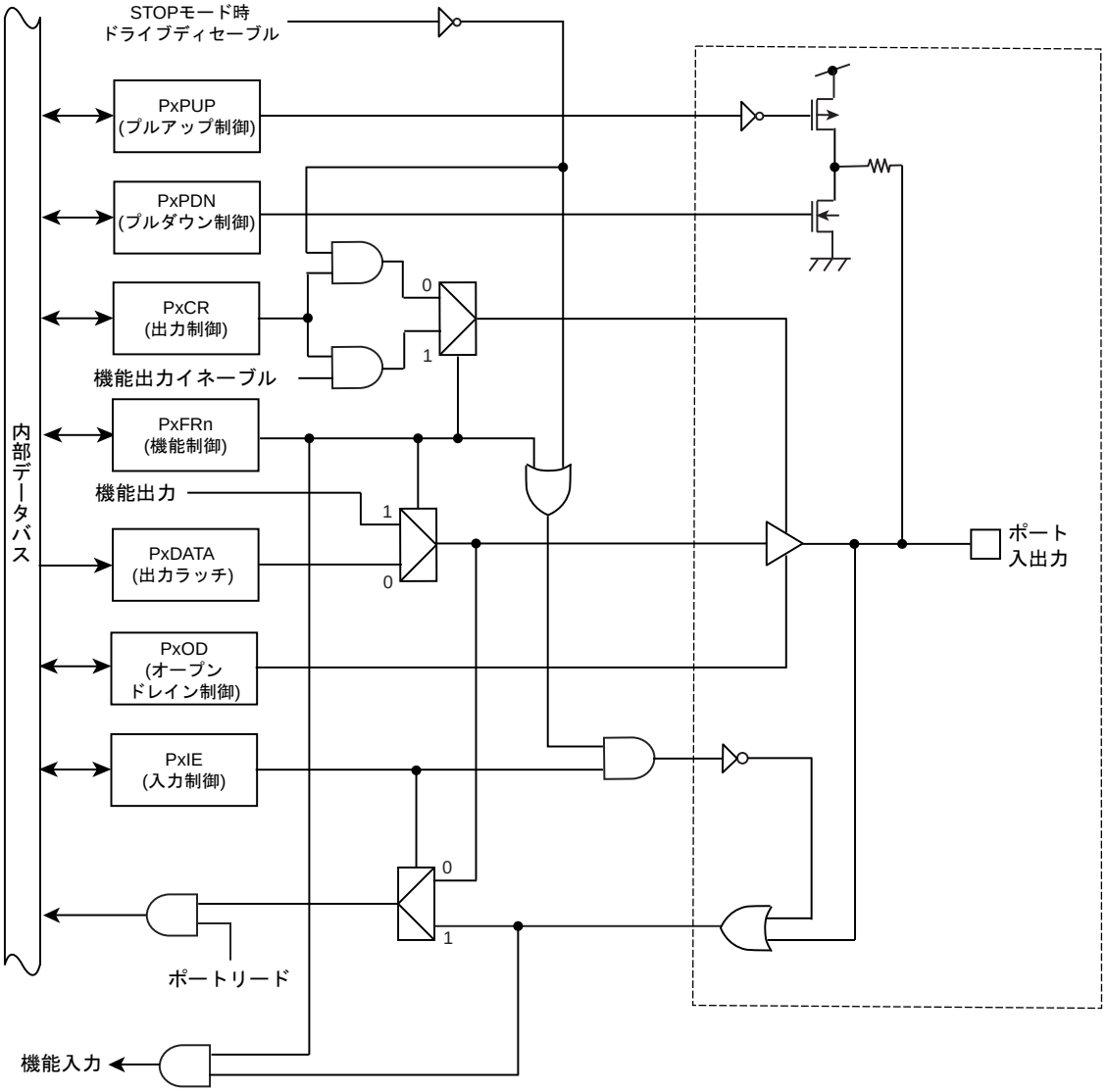


図 8-2 ポートタイプ FT2

8.5.4 タイプ FT3

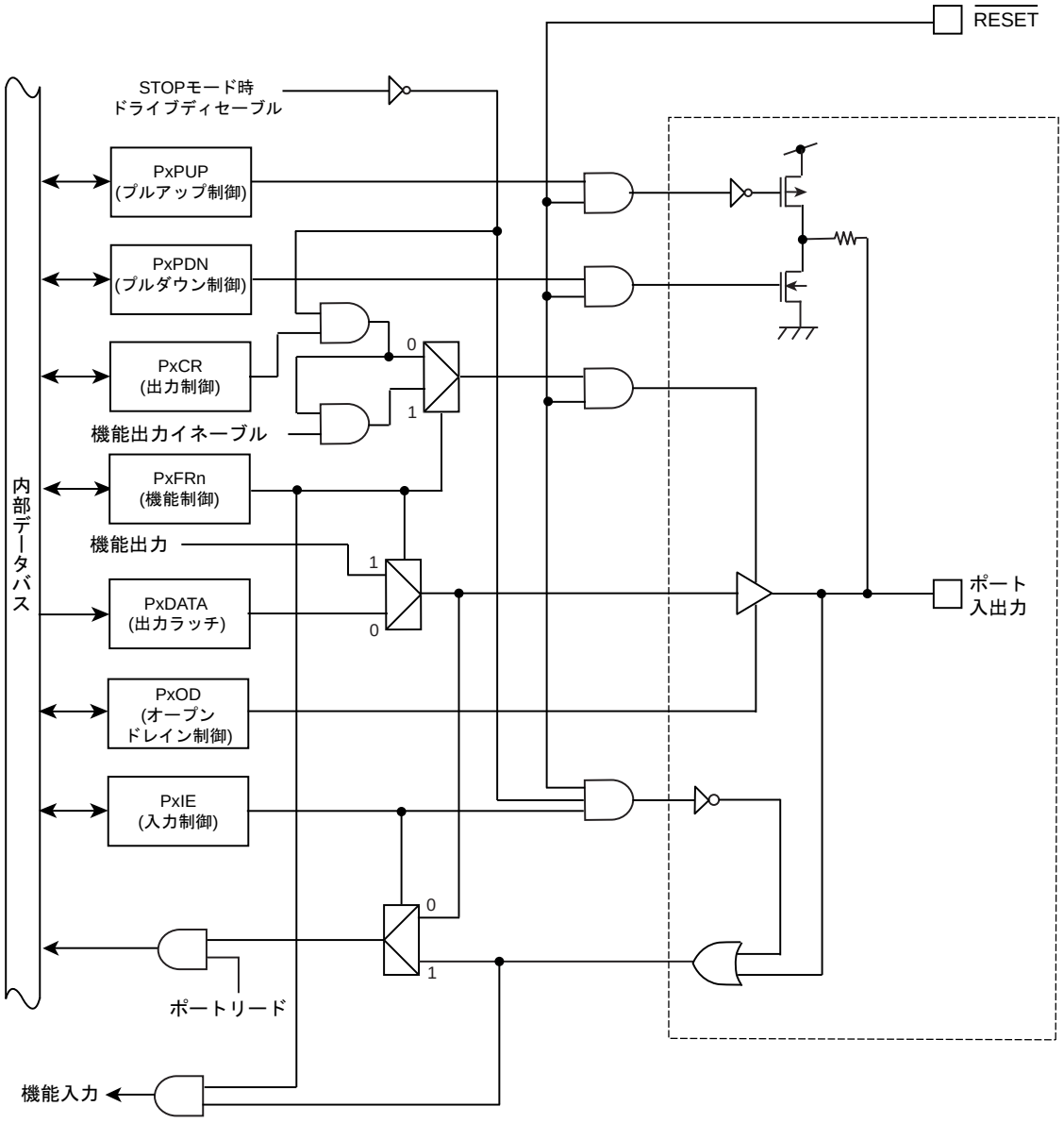


図 8-3 ポートタイプ FT3

8.5.5　タイプ FT4

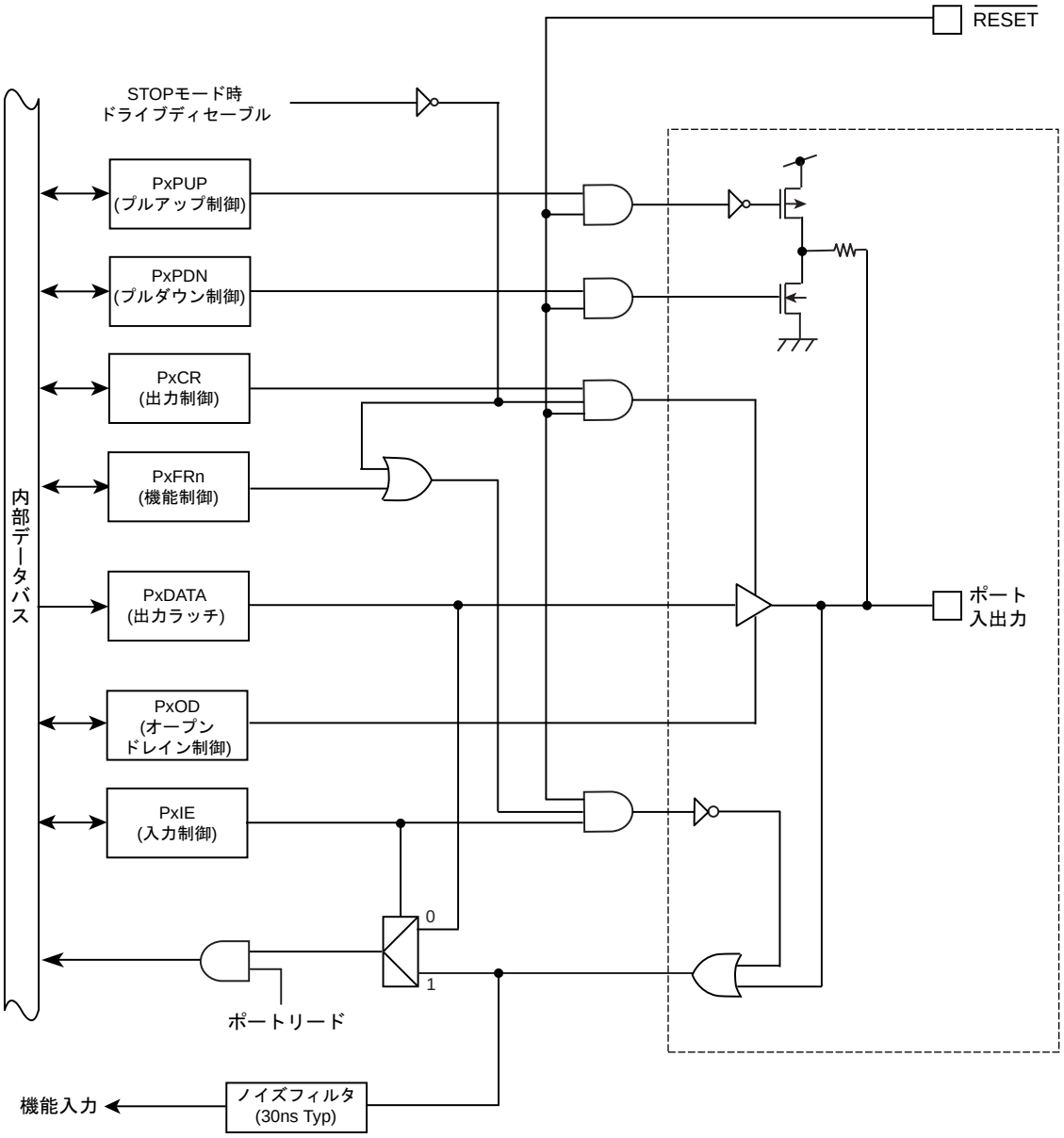


図 8-4 ポートタイプ FT4

8.5.6 タイプ FT5

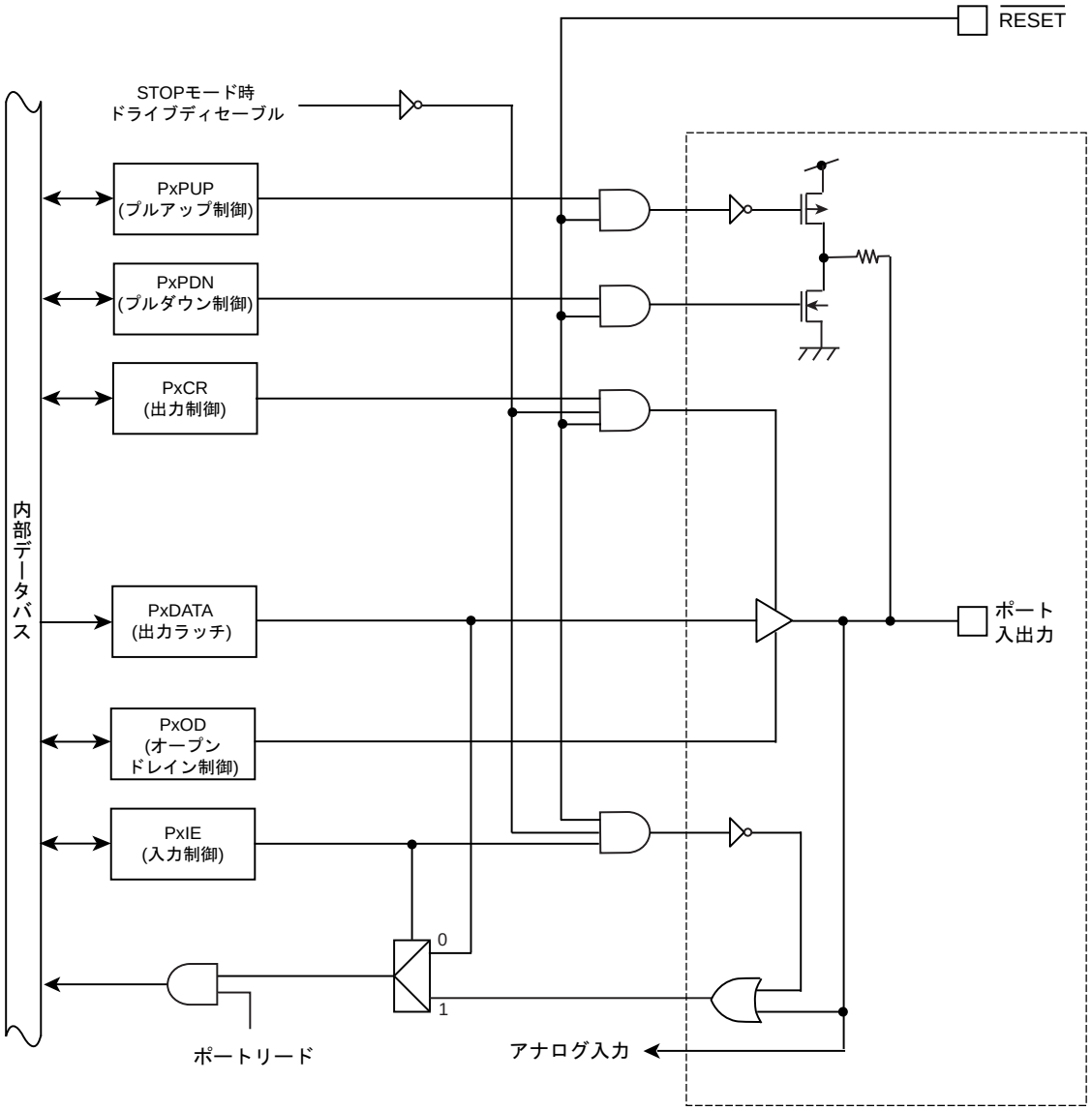


図 8-5 ポートタイプ FT5

8.5.7　タイプ FT6

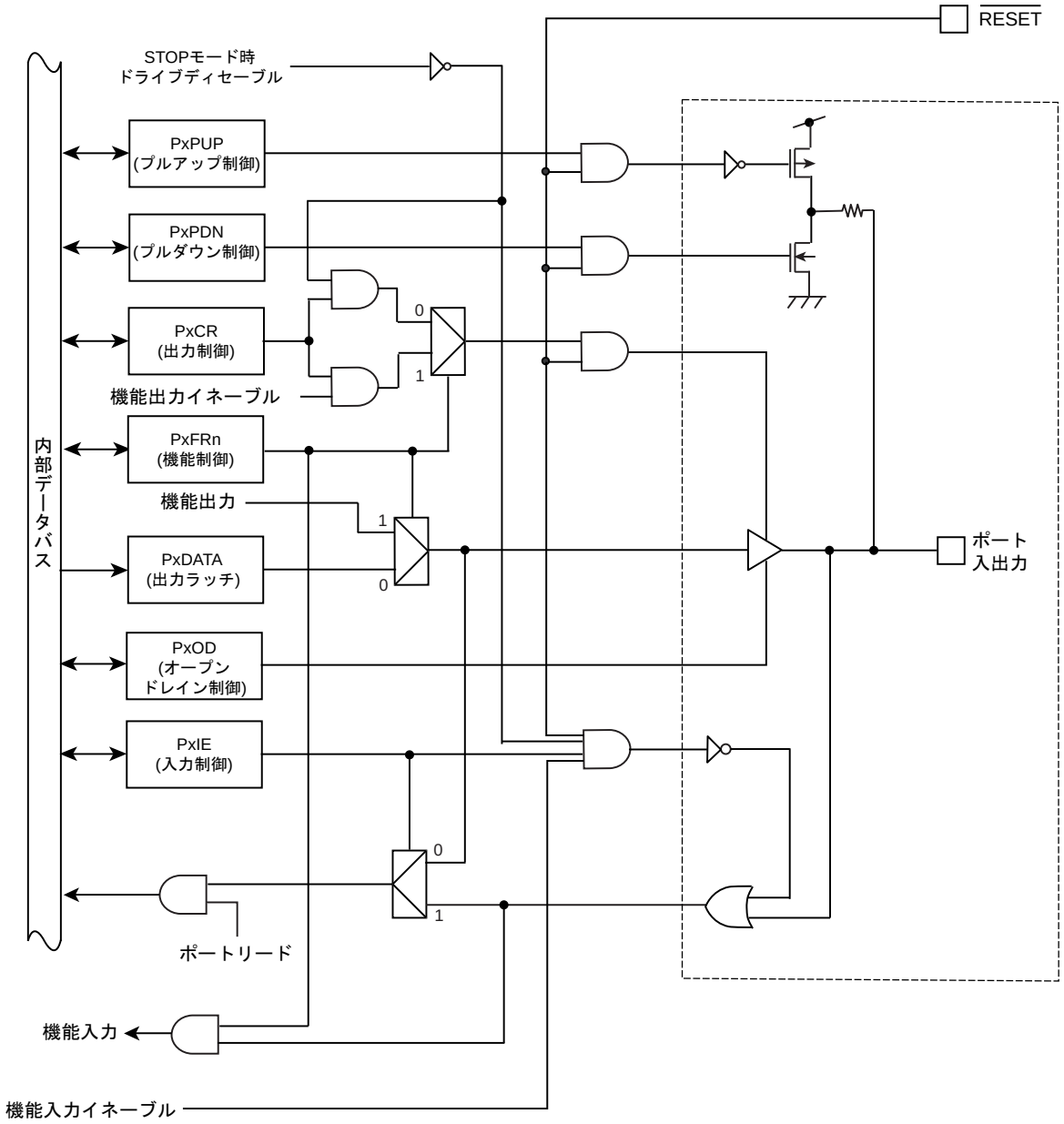


図 8-6 ポートタイプ FT6

8.5.8 タイプ FT7

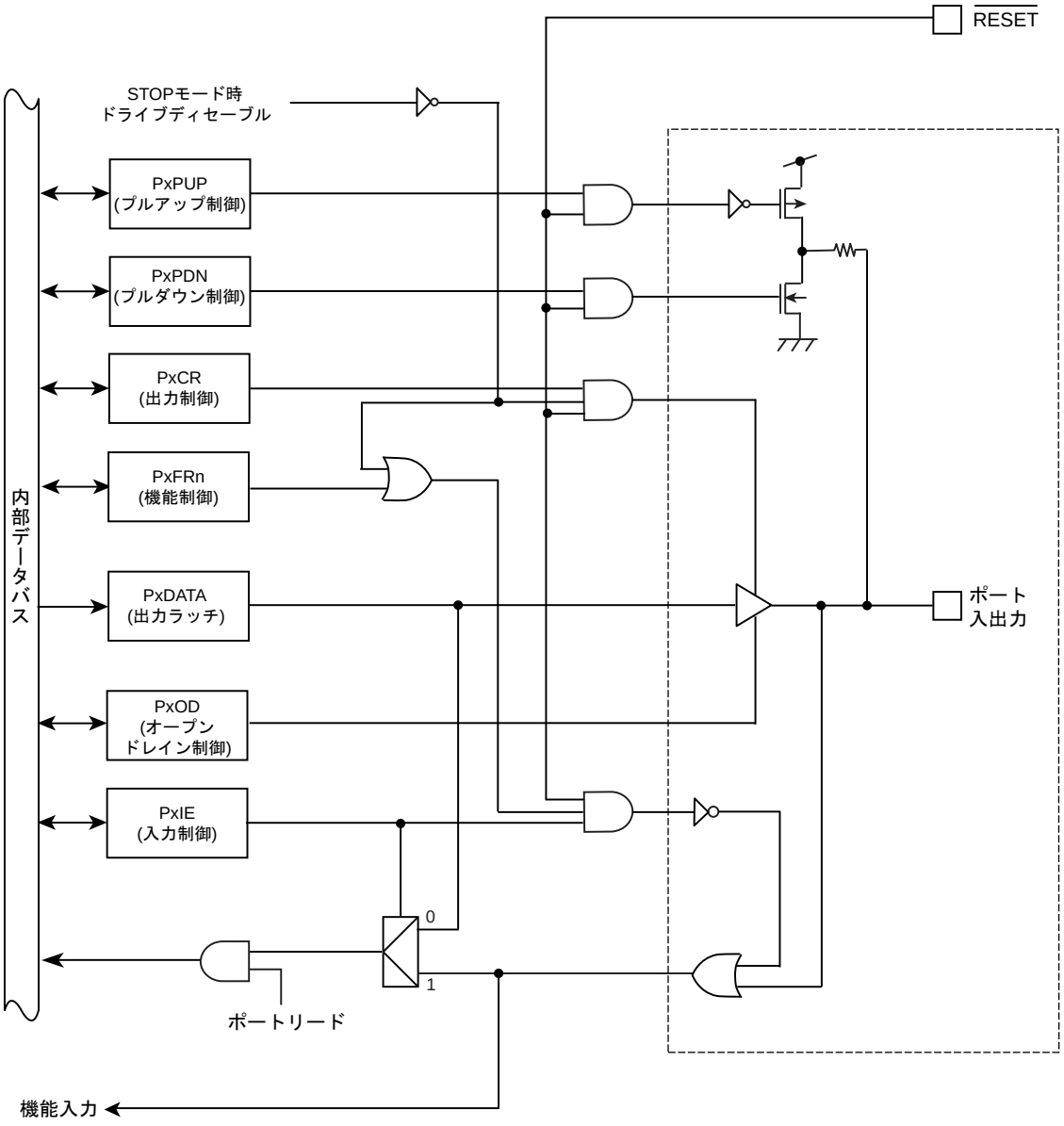


図 8-7 ポートタイプ FT7

8.5.9　タイプ FT8

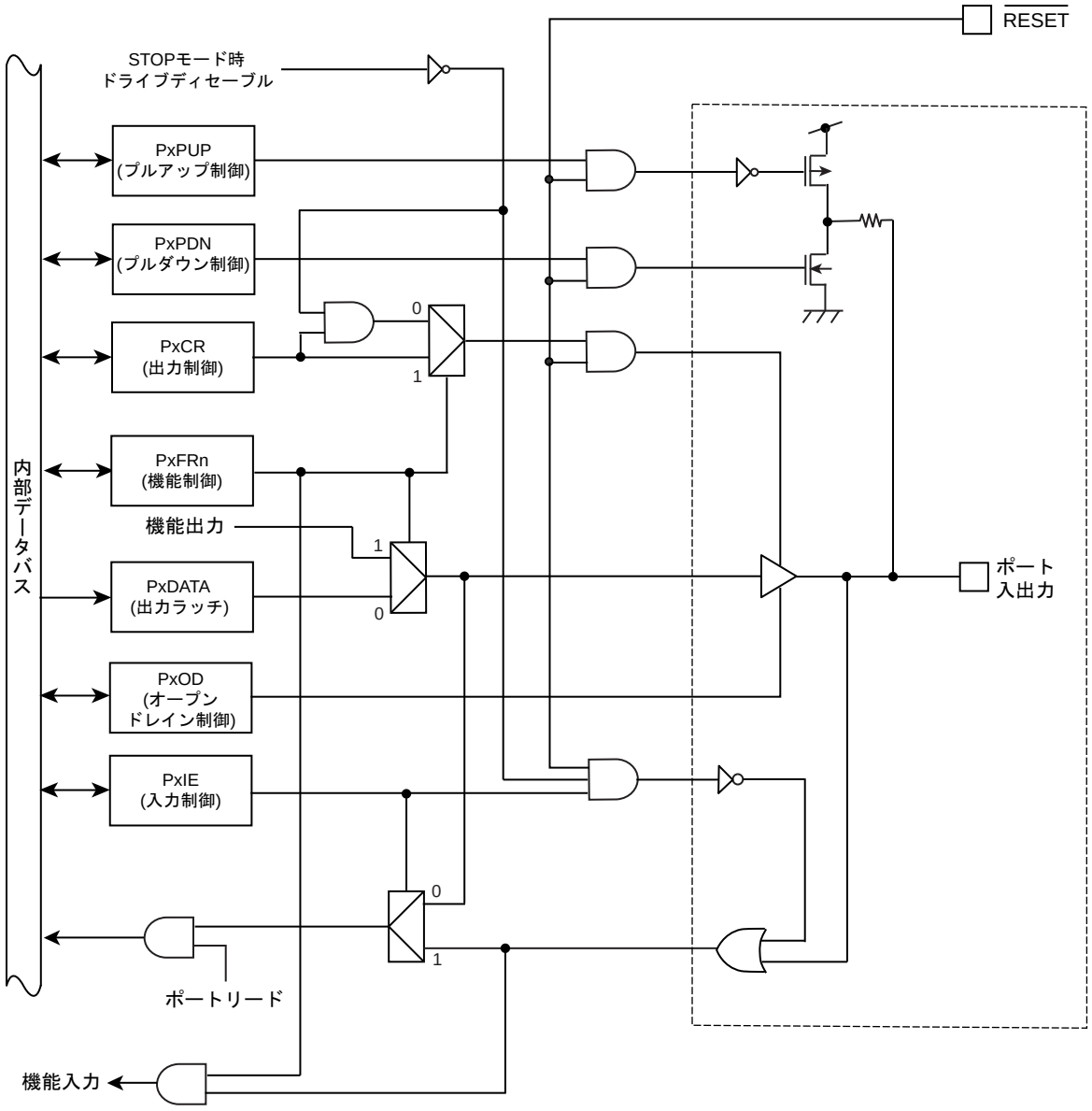


図 8-8 ポートタイプ FT8

8.5.10 タイプ FT9

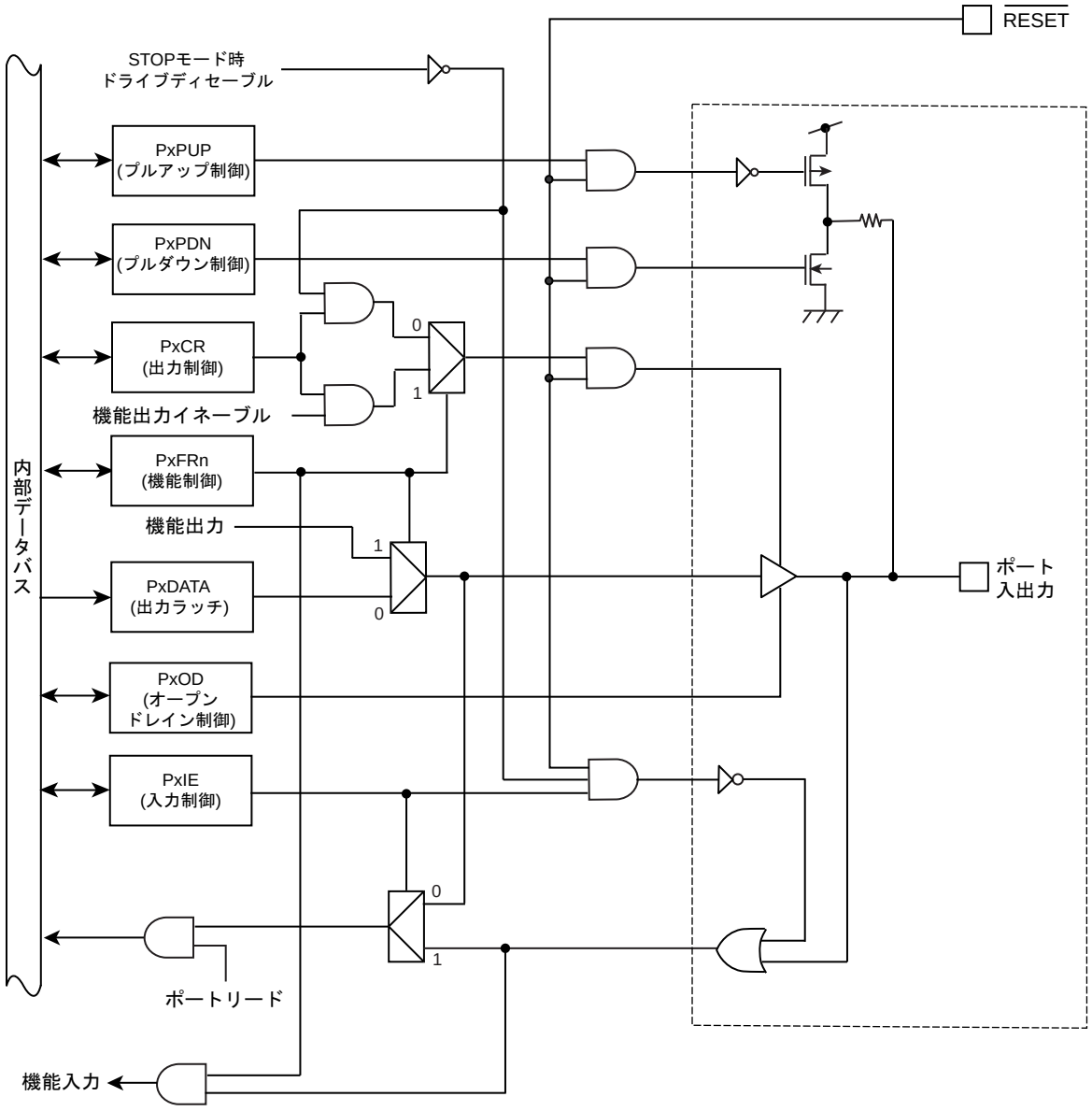


図 8-9 ポートタイプ FT9

8.5.11　タイプ FT10

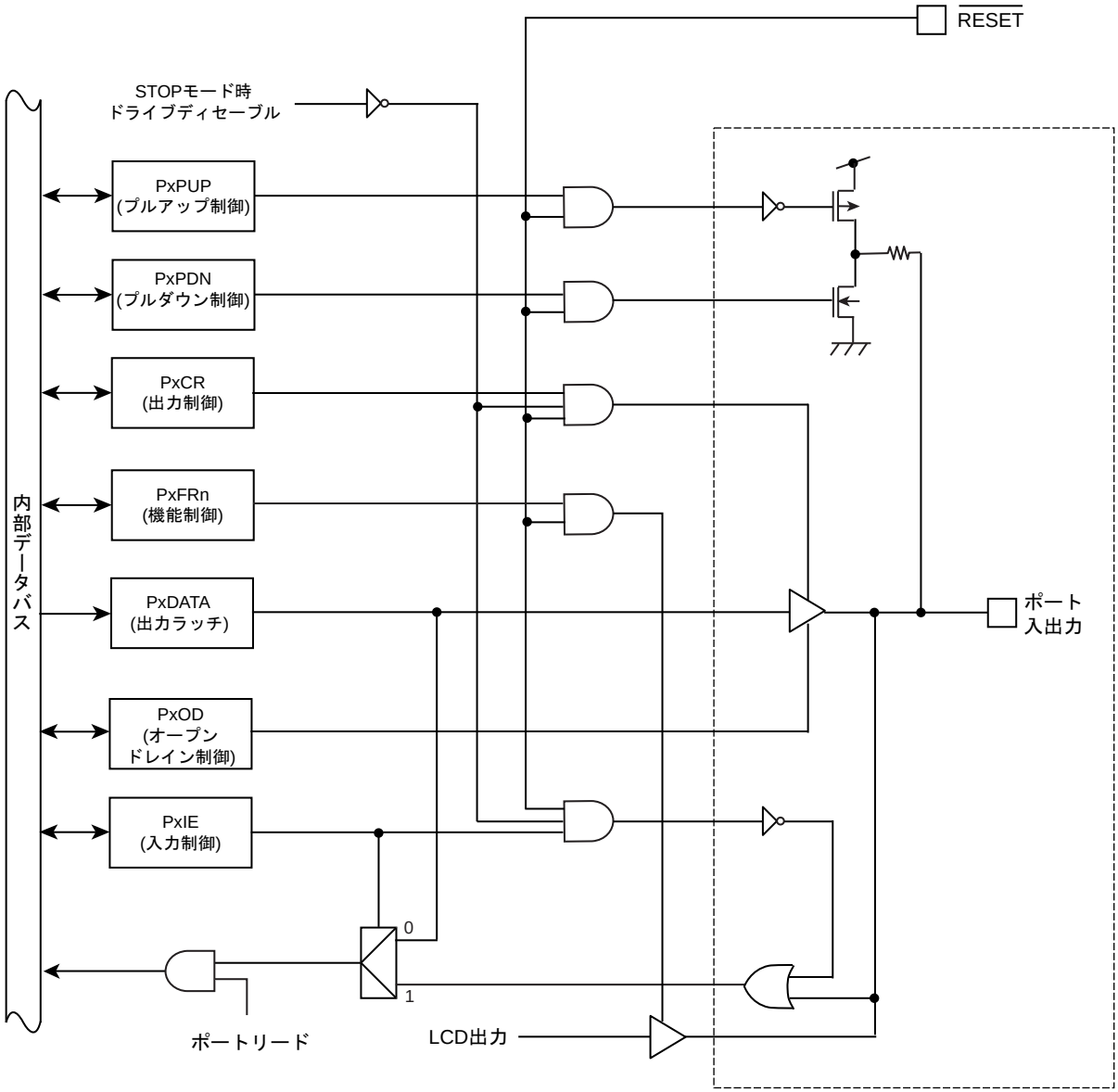


図 8-10 ポートタイプ FT10

8.6 付録 (ポート設定一覧)

端子ごとにポートレジスタに設定する値を示します。

レジスタ名の下に記載されている"0"、"1"は設定値を示し、"x"は任意に設定可能であることを示します。

8.6.1 入出力ポートの設定

入出力ポートを入力ポート、出力ポートとして使用する場合は、下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px CR	Px FRn	Px OD	Px PUP	Px PDN	Px IE
Pxn	-	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0

8.6.2 入力専用ポートの設定

入力専用ポートは下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px FRn	Px OD	Px PUP	Px PDN	Px IE
Pxn	-	入力ポート		0	x	x	x	1

8.6.3 出力専用ポートの設定

出力専用ポートは下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px CR	Px FRn	Px OD	Px PUP	Px PDN
Pxn	-	出力ポート		1	0	x	x	x
		出力ポート(Hi-Z 出力)		0	0	x	x	x

8.6.4　周辺機能の入出力端子として使用する場合の設定

周辺機能として使用する場合の設定を示します。

ほとんどの端子は、リセット解除後のポートレジスタの初期状態はすべて"0"で入出力は禁止されています。リセット解除後に特定の機能に設定される端子については、該当する機能の「初期設定」欄に"o"を記載しています。

PxFRn の欄は、設定の必要なファンクションレジスタを示します。

表中の網掛けのビットはリードすると"0"が読め、ライトは意味を持ちません。

8.6.4.1　ポート A 設定

端子名	ポートタイプ	機能	初期設定	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	FT10	SEG0(出力)		0	PA0FR1	0	0	0	0
PA1	FT10	SEG1(出力)		0	PA1FR1	0	0	0	0
PA2	FT10	SEG2(出力)		0	PA2FR1	0	0	0	0
PA3	FT10	SEG3(出力)		0	PA3FR1	0	0	0	0
PA4	FT10	SEG4(出力)		0	PA4FR1	0	0	0	0
PA5	FT10	SEG5(出力)		0	PA5FR1	0	0	0	0
PA6	FT10	SEG6(出力)		0	PA6FR1	0	0	0	0
PA7	FT10	SEG7(出力)		0	PA7FR1	0	0	0	0

8.6.4.2 ポート B 設定

端子名	ポート タイプ	機能	初期 設定	PB CR	PB FRn	PB OD	PB PUP	PB PDN	PB IE
PB0	FT10	SEG8(出力)		0	PB0 FR1	0	0	0	0
PB1	FT10	SEG9(出力)		0	PB1 FR1	0	0	0	0
PB2	FT10	SEG10(出力)		0	PB2 FR1	0	0	0	0
PB3	FT10	SEG11(出力)		0	PB3 FR1	0	0	0	0
PB4	FT10	SEG12(出力)		0	PB4 FR1	0	0	0	0
PB5	FT10	SEG13(出力)		0	PB5 FR1	0	0	0	0
PB6	FT10	SEG14(出力)		0	PB6 FR1	0	0	0	0
PB7	FT10	SEG15(出力)		0	PB7 FR1	0	0	0	0

8.6.4.3　ポート C 設定

端子名	ポート タイプ	機能	初期 設定	PC CR	PC FRn	PC OD	PC PUP	PC PDN	PC IE
PC0	FT10	SEG16(出力)		0	PC0 FR1	0	0	0	0
PC1	FT10	SEG17(出力)		0	PC1 FR1	0	0	0	0
PC2	FT10	SEG18(出力)		0	PC2 FR1	0	0	0	0
PC3	FT10	SEG19(出力)		0	PC3 FR1	0	0	0	0
PC4	FT10	SEG20(出力)		0	PC4 FR1	0	0	0	0
PC5	FT10	SEG21(出力)		0	PC5 FR1	0	0	0	0
PC6	FT10	SEG22(出力)		0	PC6 FR1	0	0	0	0
PC7	FT10	SEG23(出力)		0	PC7 FR1	0	0	0	0

8.6.4.4　ポート D 設定

端子名	ポート タイプ	機能	初期 設定	PD DR	PD FRn	PD OD	PD PUP	PD PDN	PD IE
PD0	FT10	SEG24(出力)		0	PD0 FR1	0	0	0	0
PD1	FT10	SEG25(出力)		0	PD1 FR1	0	0	0	0
PD2	FT10	SEG26(出力)		0	PD2 FR1	0	0	0	0
PD3	FT10	SEG27(出力)		0	PD3 FR1	0	0	0	0
PD4	FT10	SEG28(出力)		0	PD4 FR1	0	0	0	0
PD5	FT10	SEG29(出力)		0	PD5 FR1	0	0	0	0
PD6	FT10	SEG30(出力)		0	PD6 FR1	0	0	0	0
PD7	FT10	SEG31(出力)		0	PD7 FR1	0	0	0	0

8.6.4.5 ポート E 設定

端子名	ポートタイプ	機能	初期設定	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
PE0	FT10	SEG32(出力)		0	PE0FR1	0	0	0	0
PE1	FT10	SEG33(出力)		0	PE1FR1	0	0	0	0
PE2	FT10	SEG34(出力)		0	PE2FR1	0	0	0	0
	FT1	T16A6OUT(出力)		1	PE2FR2	x	x	x	0
PE3	FT10	SEG35(出力)		0	PE3FR1	0	0	0	0
	FT1	SCLK31(入力)		0	PE3FR2	x	x	x	1
		SCLK31(出力)		1	PE3FR2	x	x	x	0
	FT1	$\overline{\text{CTS31}}$(出力)		1	PE3FR3	x	x	x	0
PE4	FT10	SEG36(出力)		0	PE4FR1	0	0	0	0
	FT1	RXD31(入力)		0	PE4FR2	x	x	x	1
PE5	FT10	SEG37(出力)		0	PE5FR1	0	0	0	0
	FT1	TXD31(入力)		1	PE5FR2	x	x	x	0
PE6	FT10	SEG38(出力)		0	PE6FR1	0	0	0	0
	FT2	SWCLK(入力)	o	0	PE6FR2	0	0	1	1
PE7	FT10	SEG39(出力)		0	PE7FR1	0	0	0	0
	FT2	SWDIO(入出力)	o	1	PE7FR2	0	1	0	1

8.6.4.6　ポート F 設定

端子名	ポート タイプ	機能	初期 設定	PF CR	PF FRn	PF OD	PF PUP	PF PDN	PF IE
PF0	FT5	AIN0	o	0	0	0	0	0	0
PF1	FT5	AIN1	o	0	0	0	0	0	0
	FT4	INT0（入力）		0	PF1 FR1	x	x	x	1

8.6.4.7　ポート G 設定

端子名	ポート タイプ	機能	初期 設定	PG CR	PG GRn	PG OD	PG PUP	PG PDN	PG IE
PG0	FT1	TB0OUT(出力)		1	PG0 GR0	x	x	x	0
	FT4	INT2（入力）		0	PG0 GR1	x	x	x	1

8.6.4.8 ポート H 設定

端子名	ポートタイプ	機能	初期設定	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	FT1	TXD0(出力)		1	PH0 FR1	x	x	x	0
	FT1	IROUT0(出力)		1	PH0 FR2	x	x	x	0
PH1	FT1	RXD0(入力)		0	PH1 FR1	x	x	x	1
PH2	FT1	SCLK0(入力)		0	PH2 FR1	x	x	x	1
	FT1	SCLK0(出力)		1	PH2 FR1	x	x	x	0
	FT1	$\overline{\text{CTS0}}$(出力)		1	PH2 FR2	x	x	x	0
	FT1	T16A0OUT(出力)		1	PH2 FR3	x	x	x	0
PH3	FT1	TXD1(出力)		1	PH3 FR1	x	x	x	0
	FT1	IROUT1(出力)		1	PH3 FR2	x	x	x	0
PH4	FT1	RXD1(入力)		0	PH4 FR1	x	x	x	1
PH5	FT1	SCLK1(入力)		0	PH5 FR1	x	x	x	1
	FT1	SCLK1(出力)		1	PH5 FR1	x	x	x	0
	FT1	$\overline{\text{CTS1}}$(出力)		1	PH5 FR2	x	x	x	0
	FT1	T16A1OUT(出力)		1	PH5 FR3	x	x	x	0

8.6.4.9　ポート I 設定

端子名	ポート タイプ	機能	初期 設定	PI CR	PI FRn	PI OD	PI PUP	PI PDN	PI IE
PI0	FT1	TXD2(出力)		1	PI0 FR1	x	x	x	0
	FT1	IROUT2(出力)		1	PI0 FR2	x	x	x	0
PI1	FT1	RXD2(入力)		0	PI1 FR1	x	x	x	1
PI2	FT1	SCLK2(入力)		0	PI2 FR1	x	x	x	1
	FT1	SCLK2(出力)		1	PI2 FR1	x	x	x	0
	FT1	$\overline{\text{CTS2}}$(出力)		1	PI2 FR2	x	x	x	0
	FT1	T16A2OUT(出力)		1	PI2 FR3	x	x	x	0
PI3	FT1	TB0IN(入力)		0	PI3 FR1	x	x	x	1
PI4	FT1	TXD30(出力)		1	PI4 FR1	x	x	x	0
PI5	FT1	RXD30(入力)		0	PI5 FR1	x	x	x	1
PI6	FT1	SCLK30(入力)		0	PI6 FR1	x	x	x	1
	FT1	SCLK30(出力)		1	PI6 FR1	x	x	x	0
	FT1	$\overline{\text{CTS30}}$(出力)		1	PI6 FR2	x	x	x	0
	FT1	T16A5OUT(出力)		1	PI6 FR3	x	x	x	0

8.6.4.10 ポート J 設定

端子名	ポートタイプ	機能	初期設定	PJ CR	PJ FRn	PJ OD	PJ PUP	PJ PDN	PJ IE
PJ0	FT1	SDA0(入出力)		1	PJ0 FR1	1	x	x	1
		SO0(出力)		1	PJ0 FR1	x	x	x	0
PJ1	FT1	SCL0(入出力)		1	PJ0 FR1	1	x	x	1
		SI0(入力)		0	PJ0 FR1	x	x	x	1
PJ2	FT1	SCK0(入力)		0	PJ2 FR1	x	x	x	1
		SCK0(出力)		1	PJ2 FR1	x	x	x	0
	FT4	INT1(入力)		0	PJ2 FR2	x	x	x	1
PJ3	FT1	RTCOUT(出力)		1	PJ3 FR1	x	x	x	0
PJ4	FT1	T16A3OUT(出力)		1	PJ4 FR1	x	x	x	0
	FT1	SCOUT(出力)		1	PJ4 FR2	x	x	x	0
PJ5	FT1	TB1IN(入力)			PJ5 FR1				1
	FT1	XTCLKIN(入力)			PJ5 FR2				1

8.6.4.11　ポート K 設定

端子名	ポート タイプ	機能	初期 設定	PK CR	PK FRn	PK OD	PK PUP	PK PDN	PK IE
PK0	FT5	LV1(入力)	o	0	0	0	0	0	0
	FT4	INT3(入力)		0	PK0 FR1	x	x	x	1
PK1	FT5	LV2(入力)	o	0	0	0	0	0	0
	FT1	TB1OUT(出力)		1	PK1 FR1	x	x	x	0

第 9 章　16 ビットタイマ/イベントカウンタ(TMRB)

9.1　概要

TMRB は、次の動作モードをもっています。

- インタバルタイマモード
- イベントカウンタモード
- プログラマブル矩形波出力 (PPG) モード
- プログラマブル矩形波出力 (PPG) 外部トリガ出力モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 周波数測定
- パルス幅測定

以下の説明中、"x"はチャネル番号を表します。

9.2　構成

TMRB は、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

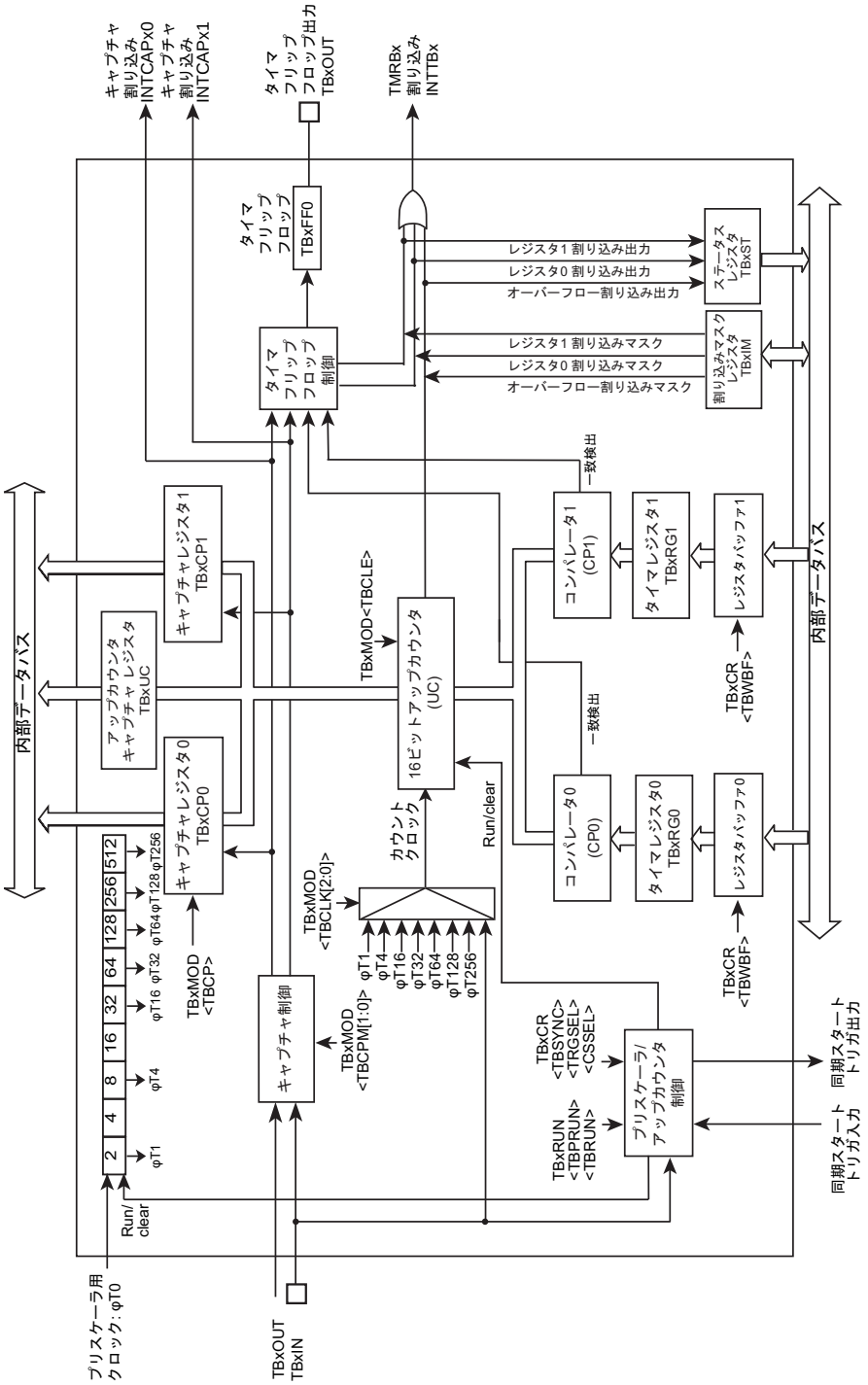


図 9-1 TMRB ブロック図

9.3 レジスタ説明

9.3.1 レジスター一覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

9.3.2　TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行ないます。
5-0	–	R	リードすると"0"が読めます。

9.3.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

9.3.4　TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	−	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	−	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	−	R/W	"0"を書いてください。
1	TRGSEL	R/W	外部トリガエッジ選択 0: 立ち上がり 1:立ち下がり 外部トリガ(TBxIN)でのカウントスタート選択時のカウントスタートのエッジを選択します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

9.3.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	–	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: Reserved 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxFF0↑ TBxFF0↓ TBxFF0 の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxFF0 の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注) TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

9.3.6　TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

9.3.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフロー割り込み要求フラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致(TBxRG1)割り込み要求フラグ 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致(TBxRG0)割り込み要求フラグ 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。
注 2) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。
注 3) フラグをクリアするためには TBxST をリードしてしてください。

9.3.8　TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致(TBxRG1)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　TBxRG1 との一致割り込み要求をマスクする／しないを設定します。
0	TBIM0	R/W	一致(TBxRG0)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　TBxRG0 との一致割り込み要求をマスクする／しないを設定します。

注)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

9.3.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作中に TBxUC をリードすると、アップカウンタの値をキャプチャします。

9.3.10　TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

9.3.11　TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

9.3.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

9.3.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

9.4　動作説明

9.4.1　プリスケーラ

アップカウンタのソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

9.4.2　アップカウンタ(UC)

16 ビットのバイナリカウンタです。

9.4.2.1　ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN 入力のいずれかを選択できます。

9.4.2.2　動作開始と停止

カウンタのスタート方法には、ソフトスタート、外部トリガスタート、同期スタートがあります。

1. ソフトスタート

   <TBRUN> に "1"を設定することでカウントを開始します。"0"でカウント停止と同時にアップカウンタのクリアを行います。

2. 外部トリガスタート

   外部トリガカウントスタートモードでは、外部信号でタイマのカウントスタートが可能となります。

   TBxCR<CSSEL>に"1"を設定することで外部トリガスタートモードとなります。この状態で、<TBRUN>に"1"を設定するとトリガ待ち状態となり、TBxIN の立ちあがりまたは立ち下がりでカウントを開始します。

   TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

   - <TRGSEL> = "0"：TBxIN の立上りエッジが選択されます。
   - <TRGSEL> = "1"：TBxIN の立下がりエッジが選択されます。

   <TBRUN> に "0"を設定することでカウント停止と同時にアップカウンタのクリアを行います。

3. 同期スタート

   タイマ同期モードでは、タイマ間のスタートの同期を取ることが可能となります。PPG 出力モードにてタイマ同期モードを使用することによりモータ等の駆動に応用が可能です。

製品によってマスタとなるチャネルとスレーブとなるチャネルの組み合わせは決まっています。本製品でのマスタとスレーブの組み合わせは「製品情報」の章を参照ください。

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのソフトウエアまたは外部トリガによるスタートに同期してカウント開始および停止します。スレーブチャネルの TBxRUN <TBPRUN, TBRUN>ビットの設定は不要です。マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

なお、外部トリガカウントモードとタイマ同期モードが同時に設定されている場合は、タイマ同期モードが優先されます。

9.4.2.3 カウンタのクリア

アップカウンタは以下のタイミングでクリアされます。

1. TBxRG1 との一致時

   TBxMOD<TBCLE> = "1"に設定することで、アップカウンタと TBxRG1 との一致でカウンタをクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. アップカウンタ停止時

   TBxRUN<TBRUN> = "0"に設定すると、アップカウンタが停止するとともにクリアされます。

9.4.2.4 オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTBx が発生します。

9.4.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタと比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、タイマレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値が書き込まれます。

9.4.4 キャプチャ制御

アップカウンタの値をキャプチャレジスタ TBxCP0、TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができます。TBxMOD<TBCP> に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ TBxCP0 へキャプチャします。

9.4.5　キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタの値をキャプチャするレジスタです。

9.4.6　アップカウンタキャプチャレジスタ(TBxUC)

カウンタ動作中に TBxUC レジスタをリードすると、アップカウンタの現在のカウント値がキャプチャされその値が読みだされます。カウント停止中は最後にキャプチャした値が保持されます。

9.4.7　コンパレータ(CP0, CP1)

アップカウンタと、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

9.4.8　タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアされます。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

9.4.9　キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にアップカウンタの値をラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。

9.5 モード別動作説明

9.5.1 インタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注) X; Don't care、*; 任意の値、-; Don't change

9.5.2 イベントカウンタモード

入力クロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウエアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
該当ポートを TBxIN に割り付けます。										
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	0	0	0	入力クロックを TBxIN にします。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBxMOD	←	X	0	-	-	-	-	-	-	ソフトウエアキャプチャを行います。

注) X; Don't care、*; 任意の値、-; Don't change

9.5.3　PPG (プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) に反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。

ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

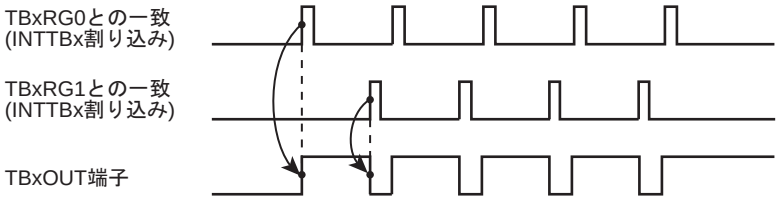


図 9-2 プログラマブル矩形波(PPG)出力波形例

16 ビット PPG モードでは、ダブルバッファをイネーブルにすることにより、アップカウンタと TBxRG1 との一致で、レジスタバッファ 0/1 の値が TBxRG0/1 へ転送されます。

これにより、TBxRG0/1 の更新タイミングを意識せずに、周波数、デューティを変更することができます。

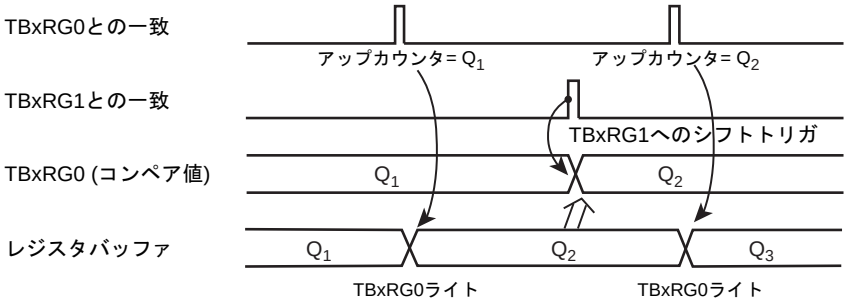


図 9-3 ジスタバッファの動作

このモードのブロック図を示します。

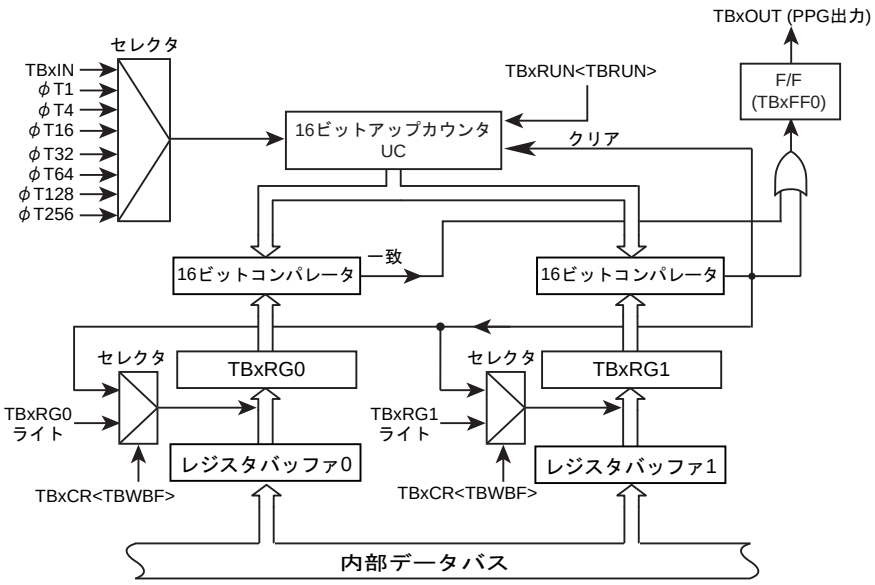


図 9-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。
	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	0	0	0	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
						(*** = 001 ~ 111)				
該当ポートを TBxOUT に割り付けます。										
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注) X; Don't care、*; 任意の値、-; Don't change

9.5.4　プログラマブル矩形波(PPG)外部トリガ出力モード

PPG(プログラマブル矩形波)出力モードを外部トリガカウントスタートモードで動作させることで、ソフトウエアでは処理が間に合わない短いディレイタイムの PPG 波形を出力することができます。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり）の例を以下に示します。

16 ビットアップカウンタが停止している状態で、TBxIN 端子の立ち上がりでカウントアップするように TBxCR<CSSEL>を"1"に TBxCR<TRGSEL>を"0"に設定しておきます。

TBxRG0 には、外部トリガからのディレイタイム(d)を設定します。TBxRG1 にはディレイタイム(d)とワンショットパルスの幅(p)を加算した値(d)+(p)を設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

TBxRUN<TBPRUN>、<TBRUN>を"1"にセットし、アップカウンタをスタートできる状態にします。

この状態で、TBxIN に外部トリガパルスが入力されると、外部トリガパルスの立ち上がりで、アップカウンタがスタートします。アップカウンタの値が(d)になると TBxRG0 と一致し、TBxFF0 が反転、"High"レベルになります。アップカウンタの値が(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、"Low"レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアするか、TBxRUN<TBPRUN><TBRUN>でアップカウンタの動作を停止します。

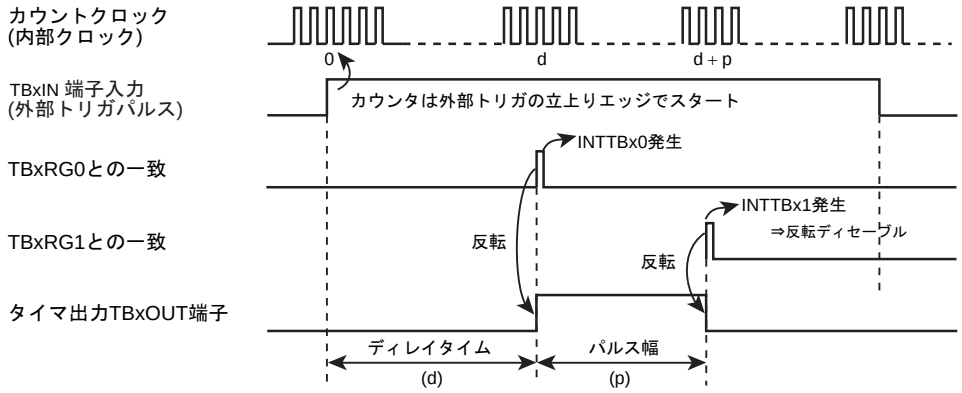


図 9-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

TBxIN 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]										
該当ポートを TBxIN に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3ms/φT1)
TBxRG0	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3+2)ms/φT1)
TBxRG1	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。TBxFF0 を"0"にクリアします。
TBxMOD	←	X	1	0	0	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にします。アップカウンタの取り込みをディセーブルにします。
該当ポートを TBxOUT に割り付けます。										
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します。
[INTTBx 割り込みサービスルーチンでの処理] 出力ディセーブル										
TBxFFCR	←	X	X	–	–	0	0	–	–	TBxFF0 反転トリガ設定をクリアします。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。

注) X; Don't care、*; 任意の値、-; Don't change

9.6　キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、多くの応用が可能です。

以下にキャプチャを利用した応用例を示します。

1. 周波数測定
2. パルス幅測定

9.6.1　周波数測定

外部から入力されるクロックの周波数測定を行う例を示します。

ここでは TMRBm を 16 ビットインタバルタイマで、TMRBn を 16 ビットイベントカウンタモードで使用します。

TMRBn の 16 ビットアップカウンタを外部から入力されるクロックにてフリーランニングでカウントアップさせておくため、TBnMOD<TBCLK>を"000"に、TBnRUN<TBPRUN>、<TBRUN>を"1"に設定します。

TBmFF0 が TBmRG0/1 と一致したときに反転するように TBmFFCR<TBE1T1>、<TBE0T1>を"1"に設定します。

TBmFF0 の立ち上がりで TBnCP0 にアップカウンタの値を取り込み、TBmOUT の立下りで TBnCP1 でアップカウンタの値を取り込むように TBxMOD<TBCPM>を"11"に設定します。

TBmRG0 と TBmRG1 に外部クロック数をカウントする測定時間を設定し、TMRBm を動作させます。

TMRBm のアップカウンタが TBmRG0 と一致すると TBmFF0 が立ち上がり、TBnCP0 に TMRBn のアップカウンタの値が取り込まれます。また、TMRBm のアップカウンタが TBmRG1 と一致すると TBmFF0 が立ち下がり、TBnCP1 に TMRBn のアップカウンタの値が取り込まれます。

周波数は INTTBm で、(TBnCP1-TBnCP0)を TBmRG1 と TBmRG0 の時間差で割ることで求めます。

例えば、TBmRG1 と TBmRG0 の時間差が 0.5 s で、TBnCP0 と TBnCP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

TBmFF0 の変化タイミングにより、TBnCP1-TBnCP0 がマイナスになることがあります。TBnCP1-TBnCP0 の値にあわせて補正を行ってください。

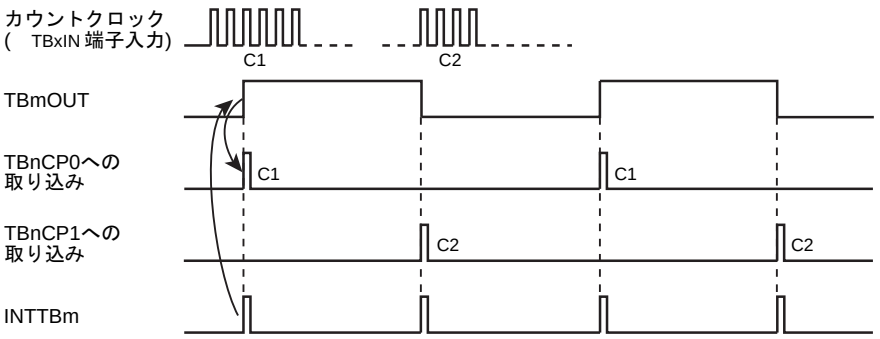


図 9-6 周波数測定

TBxIN 端子に周波数測定を行うパルスを入力した場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBmFF0 でのキャプチャ設定										
該当ポートを TBxIN に割り付けます。										
TBmEN	←	1	X	X	X	X	X	X	X	TMRBm モジュールを起動します。
TBmRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBnEN	←	1	X	X	X	X	X	X	X	TMRBn モジュールを起動します。
TBnRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBmCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBmRG0	←	*	*	*	*	*	*	*	*	外部クロック測定時間 1 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmRG1	←	*	*	*	*	*	*	*	*	外部クロック測定時間 2 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmFFCR	←	X	X	0	0	1	1	1	0	TBmFF0 反転トリガをクリアし、TBmRG0/1 との一致で反転するように設定します。
TBnMOD	←	0	1	1	1	0	0	0	0	TBmFF0 の立ち上がり/立下りでアップカウンタの内容を取り込み、アップカウンタのクリアディセーブル、入力クロックを TBxIN にします。
TBmIM	←	X	X	X	X	X	1	0	1	TBmRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBm 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBnRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBmRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
[INTTBm 割り込みサービスルーチンでの処理]										
TBmFFCR	←	X	X	−	−	0	0	−	−	TBmFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTB m割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBnCP0/1 を読み出し、周波数を計算します。										

注)　X; Don't care、*; 任意の値、-; Don't change

9.6.2　パルス幅測定

外部から入力されるパルスの"High"レベル幅測定を行う例を示します。

TBxIN 端子の立ち上がりでアップカウンタの値を TBxCP0 に、立下りで TBxCP1 に取り込むように TBxMOD<TBCPM>を"10"に設定します。

割り込み INTCAPx1 を許可しておきます。

TMRBx を動作させます。

TBxIN 端子に外部パルスの立ち上がりが入力されると、TBxCP0 にアップカウンタの値が取り込まれます。TBxIN 端子に外部パルスの立下りが入力されると TBxCP1 にアップカウンタの値が取り込まれるとともに割り込み INTCAPx1 が発生します。

割り込みサービスルーチンの中で TBxCP1 と TBxCP0 の差を求め、プリスケーラ出力クロックの周期をかけることで、外部パルスの"High"レベル幅を求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、アップカウンタの最大カウント時間を越えるパルス幅の測定を行う場合は、補正を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、割り込み INTCAPx0 も許可し、「図 9-7 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

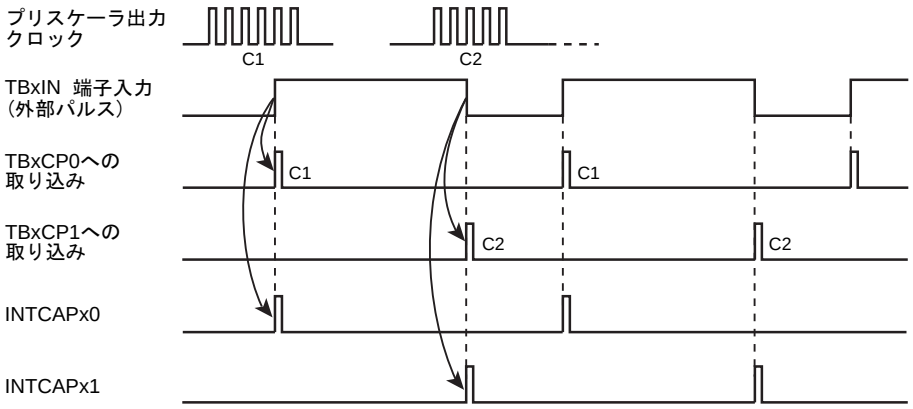


図 9-7 パルス幅測定

TBxIN 端子に入力される外部パルスの"High"レベル幅を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN でのキャプチャ設定										
該当ポートを TBxIN に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
TBxMOD	←	X	1	1	0	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にし、TBxIN 端子への立ち上がりで TBxCP0 へ、TBxIN 端子への立下りで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	TMRBx を起動します。
[INTCAPx1 割り込みサービスルーチンでの処理]　"High"レベル幅を計算する										
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、"High"レベル幅を計算する。										

注)　X; Don’t care、*; 任意の値、-; Don't change

第 10 章　16 ビットタイマ A (TMR16A)

10.1　概要

TMR16A には以下の機能があります。

- 一致割り込み
- 矩形波出力
- リードキャプチャ

以下の説明中、"x"はチャネル番号を表します。

10.2　構成

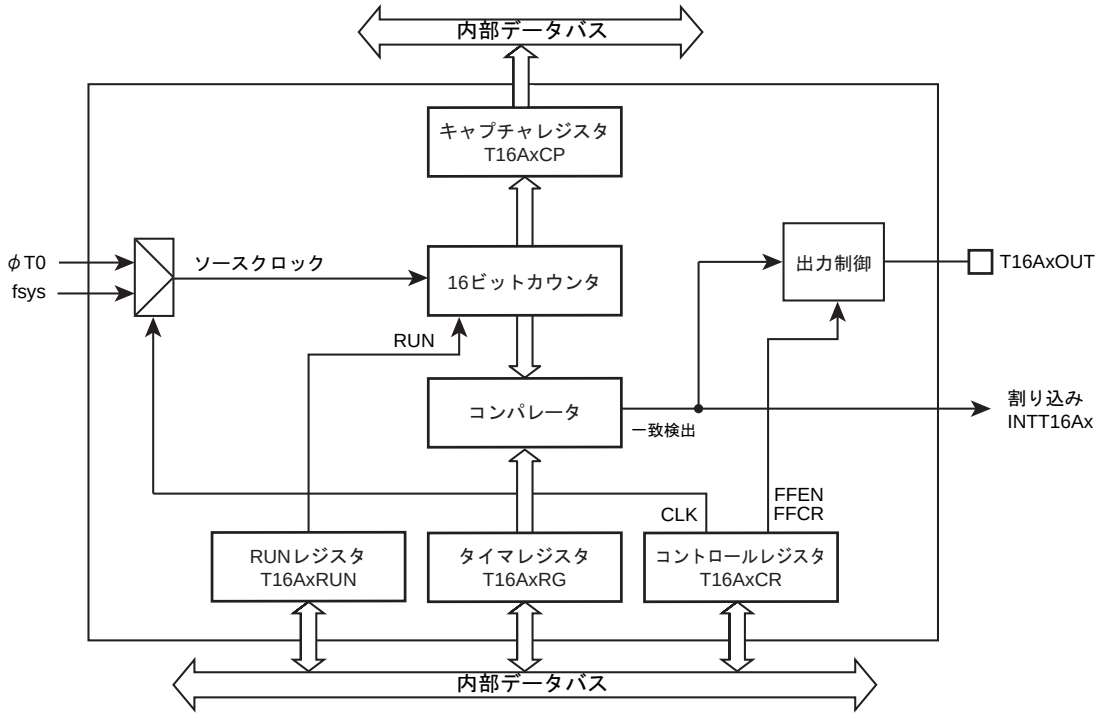


図 10-1 TMR16A ブロック図

10.3　レジスタ説明

10.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	T16AxEN	0x0000
RUN レジスタ	T16AxRUN	0x0004
コントロールレジスタ	T16AxCR	0x0008
タイマレジスタ	T16AxRG	0x000C
キャプチャレジスタ	T16AxCP	0x0010

注)　T16ARUN<RUN>が"1"の状態で T16AxEN、T16AxCR、T16AxRG、T16AxCP の書き換えをしないでください。

10.3.2　レジスタ詳細

10.3.2.1　T16AxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HALT	I2T16A
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	HALT	R/W	デバッグホールト中の動作 0: 動作 1: 停止 デバッグホールト中の動作を指定します。"1"を設定するとデバッグホールトにより動作を停止します。
0	I2T16A	R/W	IDLE モード中の動作 0: 停止 1: 動作 IDLE モード中の動作を指定します。"1"を設定することで IDLE モード中も動作を継続します。

10.3.2.2 T16AxRUN (RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	RUN	R/W	カウンタ動作 0: 停止 1: 動作

10.3.2.3 T16AxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	UCCR	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FFEN	-	FFCR		-	-	-	CLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15	UCCR	R/W	"1"をライトしてください。
14-8	−	R	リードすると"0"が読めます。
7	FFEN	R/W	T16AxOUT の反転 0: 禁止 1: 許可 "1"を設定すると、カウンタと T16ARG との一致により T16AxOUT を反転します。
6	−	R	リードすると"0"が読めます。
5-4	FFCR[1:0]	W	T16AxOUT の制御 00: Invert 01: Set 10: Clear 11: No operation このビットに書き込むことで、ソフトウエアにより T16AxOUT を制御できます。 このビットはリードすると"11"が読めます。
3-1	−	R	リードすると"0"が読めます。
0	CLK	R/W	ソースクロック 0: fsys 1: ΦT0 ソースクロックを選択します。

10.3.2.4　T16AxRG (タイマレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RG[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RG[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	RG[15:0]	R/W	カウンタと比較する値を設定します。

注)　"0x0000"は設定できません。

10.3.2.5 T16AxCP (キャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CP[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CP[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	CP[15:0]	R/W	カウンタ値 [リード] 現在のカウンタの値が読めます。 [ライト] カウンタ値を設定します。カウンタは、T16AxRG<RG>との一致でのみクリアされますので、動作開始前に"0x0000"をライトしてクリアしてください。

10.4　動作説明

10.4.1　タイマ動作

1. 準備

   T16AxCR<UCCR>に"1"を設定します。

   T16AxCR<CLK>でソースクロックを選択します。"0"で fsys、"1"で ΦT0 が選択されます。T16AxRG<RG>にカウント値を設定します。

2. カウンタ動作

   カウンタ動作開始前に T16AxCP<CP>に"0x0000"を設定してカウンタをクリアします。

   T16AxRUN<RUN>に"1"を設定するとカウントアップを開始します。カウンタの値と T16AxRG<RG>に設定された値が一致すると、カウンタは"0x0000"にクリアされ、カウントアップを継続します。

3. 一致割り込みの発生

   カウンタの値と T16AxRG の値が一致すると一致割り込み INTT16Ax を出力します。

4. 停止

   T16AxRUN<RUN>に"0"を設定するとカウントを停止します。カウンタの値はそのまま保持します。次にカウント動作を開始(<RUN>に"1"を設定) する前にカウンタをクリアしてください。

注) T16AxCR、T16AxRG、T16AxCP の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

10.4.2　T16AxOUT の制御

T16AxOUT はレジスタ設定またはカウンタと T16AxRG との一致により変化します。

T16AxOUT の初期状態は"0"です。

1. ソフトウエアによる制御

   T16AxCR<T16AFFC>の設定により"1"セット、"0"クリア、反転が可能です。

   T16AxCR の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

2. カウンター致による反転

   T16ACR<FFEN>を"1"にすることにより、T16AxRG とカウント値の一致で T16AxOUT が反転します。カウンタが停止した際は、T16AxOUT の状態は保持されます。

10.4.3　リードキャプチャ

T16AxCP を読み出すことにより、カウンタの現在の値をキャプチャすることができます。

10.4.4 自動停止

T16AxEN の設定により、以下の場合に TMR16A を自動停止することができます。

1. IDLE モード遷移時

   T16AEN<I2T16A>の設定により、IDLE モード中の TMR16A の動作を指定します。

   "1"の設定で、IDLE モードに遷移すると自動的にカウントアップを停止します。IDLE モードから元のモードへ遷移するとカウントアップを再開します。

2. デバッグホールト中

   T16AEN<HALT>の設定により、コアがデバッグホールト状態での TMR16A の動作を指定します。

   "0"の設定で、デバッグホールトに遷移すると自動的にカウントアップを停止します。コアのデバッグホール状態が解除されるとカウントアップを再開します。

第 11 章　シリアルチャネル(SIO/UART)

11.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- 同期通信モード(I/O インタフェースモード)
- 非同期通信モード(UART モード)

特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/2、1/8、1/32、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能 (UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- バッファ

  ダブルバッファ構成で使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインタバル時間設定が可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウェイクアップ機能
  - $\overline{\text{CTSx}}$ 端子を用いたハンドシェーク機能
- 赤外線キャリア付き信号出力

以下の説明中、"x"はチャネル番号をあらわします。

11.2　構成

図 11-1 にシリアルチャネルのブロック図を示します。

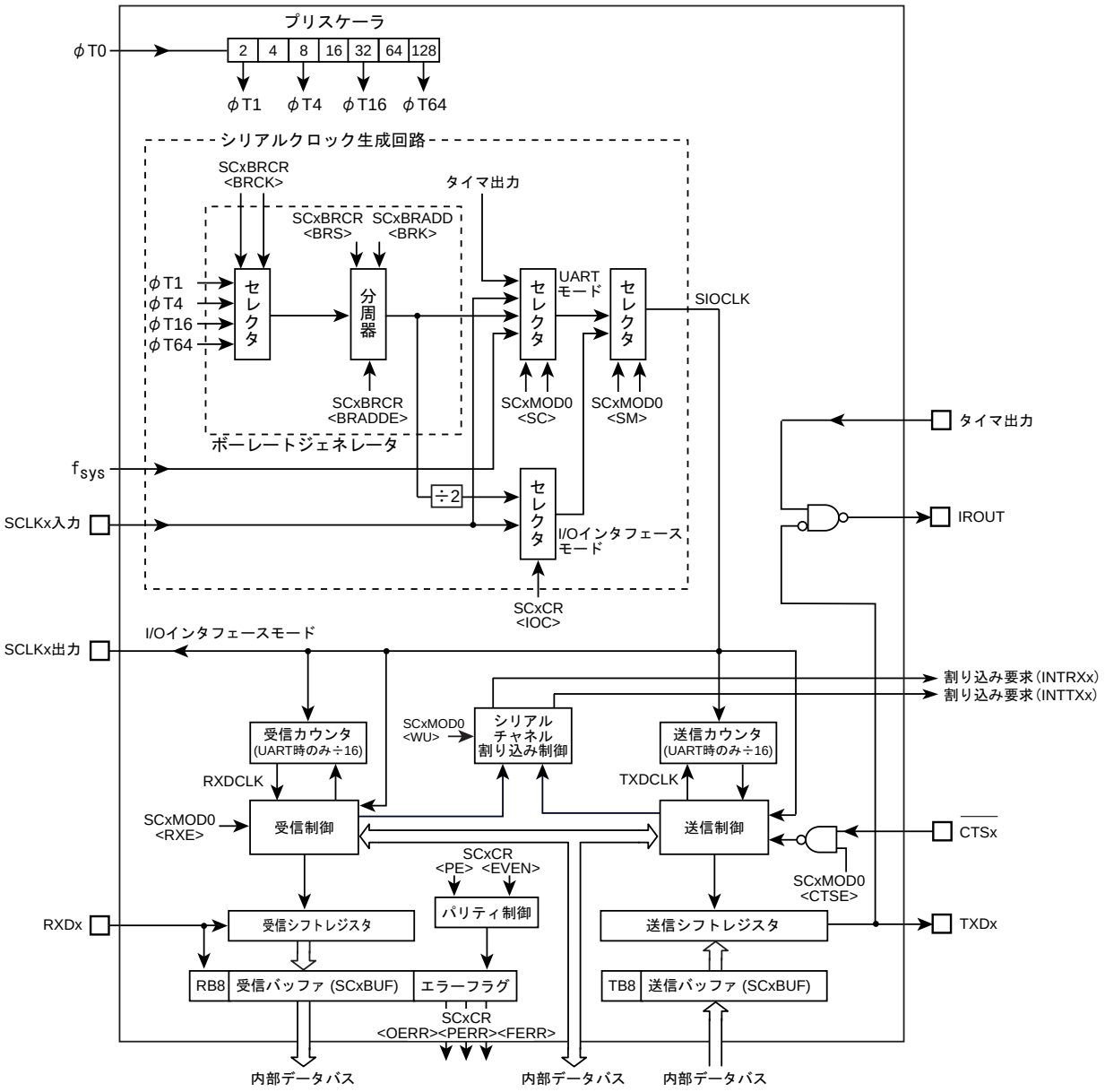


図 11-1 シリアルチャネルブロック図

11.3 レジスタ説明

11.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x= チャネル番号)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C

注) 送信中、受信中にコントロールレジスタを書き換えないでください。

11.3.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルのすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

11.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファ、読み出し時は受信バッファとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファ [リード] RB：受信用バッファ

11.3.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加(UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダランエラー (注) 0: エラーではない 1: エラー
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) 0: SCLKx 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は High レベルからスタートします(立ち上がりモード)。 1: SCLKx 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は Low レベルからスタートします。(立ち下りモード) クロック出力モードのときは"0"を設定してください。
0	IOC	R/W	クロック選択(I/O インタフェース用) 0: ボーレートジェネレータ 1: SCLKx 端子入力

注)　エラーフラグ(OERR, PERR, FERR)は読み出すとクリアされます。

11.3.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェーク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェーク機能の制御を行います。 イネーブルにすると $\overline{\text{CTS}}$ 端子を用いたハンドシェーク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART 用) 00: タイマ出力 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック(SCLKx 端子入力) (I/O インタフェースモード時の転送クロックは、コントロールレジスタ(SCxCR)で選択します。)

注 1) <RXE>ビットは、各モードレジスタ(SCxMOD0, SCxMOD1, SCxMOD2)を設定してから許可してください。

注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

11.3.6　SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインタバル時間(I/O インタフェース用) 000: なし 001: 1 x SCLK 010: 2 x SCLK 011: 4 x SCLK 100: 8 x SCLK 101: 16 x SCLK 110: 32 x SCLK 111: 64 x SCLK I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファが許可されている時に連続転送のインターバル時間を指定します。
0	–	R/W	"0"をライトしてください。

注 1)　<TXE>ビットは、すべての設定を行った後に許可してください。
注 2)　送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

11.3.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first I/O インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、 受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路は初期状態に なります。
(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>, <RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
</table></td></tr>
</table>

注 1)　転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。
注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

11.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

ボーレートジェネレータの分周値は、下記の 2 つのレジスタで設定します。

SCxBRCR

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φT1 01: φT4 10: φT16 11: φT64
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

SCxBRADD

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 11-1 にまとめます。

表 11-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1)　N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 3)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

注 4)　"K"値に"0"を設定することはできません。

11.4 動作モード

表 11-2 にモードとデータフォーマットをまとめます。

表 11-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、IO を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK はクロック入力/出力モードのいずれでも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

11.5　データフォーマット

11.5.1　データフォーマット一覧

図 11-2 にデータフォーマットを示します。

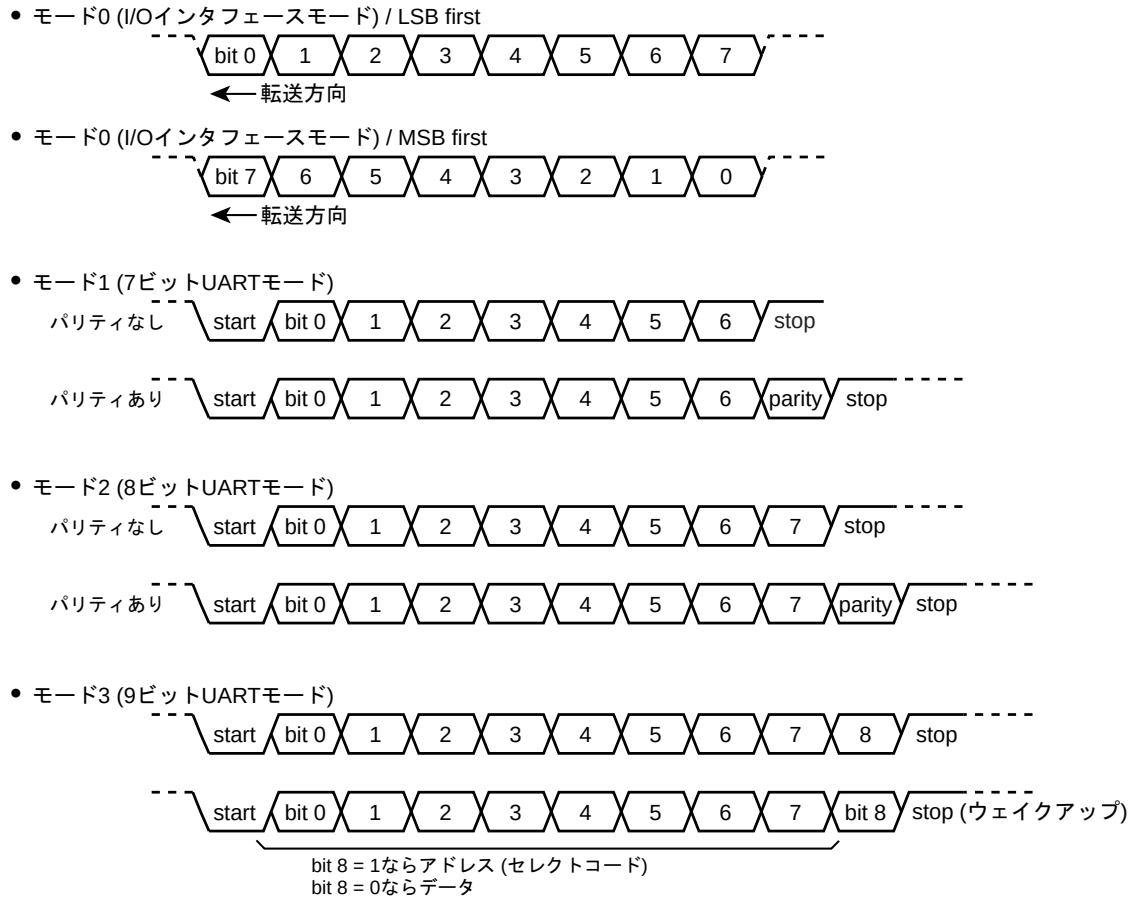


図 11-2 データフォーマット

11.5.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

11.5.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

11.5.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

11.5.3 STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

11.6　クロック制御

シリアルクロック(SIOCLK)生成回路をに示します。シリアルクロックの設定は、AC 電気的特性を満足することを確認の上行ってください

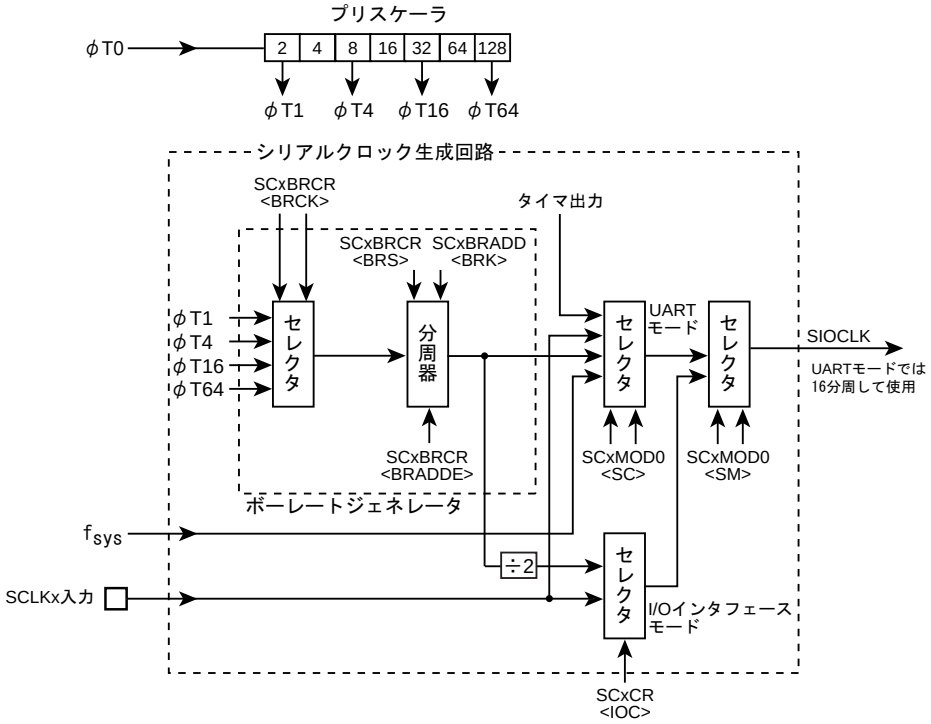


図 11-3 シリアルクロック生成回路

11.6.1　プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 2 / 8 / 32 / 128 分周のクロックを生成します。

プリスケーラの入力クロック φT0 は、クロック/モード制御部の CGSYSCR レジスタで選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

11.6.2　シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

11.6.2.1　ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1)　ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 2 / 8 / 32 / 128 分周から選択します。入力クロックの選択は SCxBRCR<BRCK>で行います。

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
IO インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を φTx とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・ N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・ N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(N - K)}{N}}$$

11.6.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1) I/O インタフェースモードの転送クロック

表 11-3 に I/O インタフェースモードで可能なクロックを示します。

表 11-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
IO インタフェース モード	クロック出力 モード	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2 分周
	クロック入力 モード	立ち上がり	SCLKx 端子入力 立ち上がりエッジ
		立下り	SCLKx 端子入力 立ち下がりエッジ

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2)　UART モードの転送クロック

表 11-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 11-4 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLKx 端子入力

SCLKx 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

TMRB の出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマプリスケーラクロックϕT1(2分周)を選択した場合)

(タイマ出力反転2回で1クロック周期となる)

TMR16A の出力を使用する場合、カウンタと T16AxRG の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「T16AxRG 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{T16AxRG} \times 2) \times 16}$$

(タイマ出力反転2回で1クロック周期となる)

11.6.3　送信/受信バッファ

11.6.3.1　構成

送信/受信バッファの構成を図 11-4 に示します。

バッファを使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

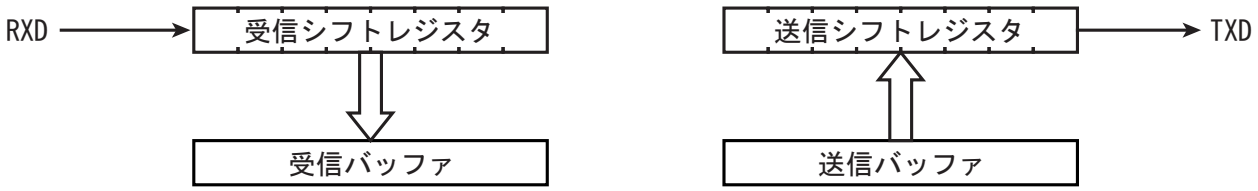


図 11-4 バッファの構成

11.6.3.2　送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 11-5 にモードとバッファ構成の関係をまとめます。

表 11-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

11.7 ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

11.8 エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART	オーバランエラー	パリティエラー	フレーミングエラー
IO インタフェース (クロック入力モード)	オーバランエラー	アンダランエラー (ダブルバッファ使用時)	"0"固定
		"0"固定 (ダブルバッファ未使用時)	
IO インタフェース (クロック出力モード)	不定	不定	"0"固定

11.8.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

11.8.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注)　I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダランフラグをクリアしてください。

11.8.3　FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

11.9 受信

11.9.1 受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

11.9.2 受信制御部

11.9.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCLKx 端子へ出力されるクロックの立ち上がりで RXDx 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLKx 端子の立ち上がり/立ち下がりエッジでシリアル受信データ RXDx 端子をサンプリングします。

11.9.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

11.9.3 受信動作

11.9.3.1 受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

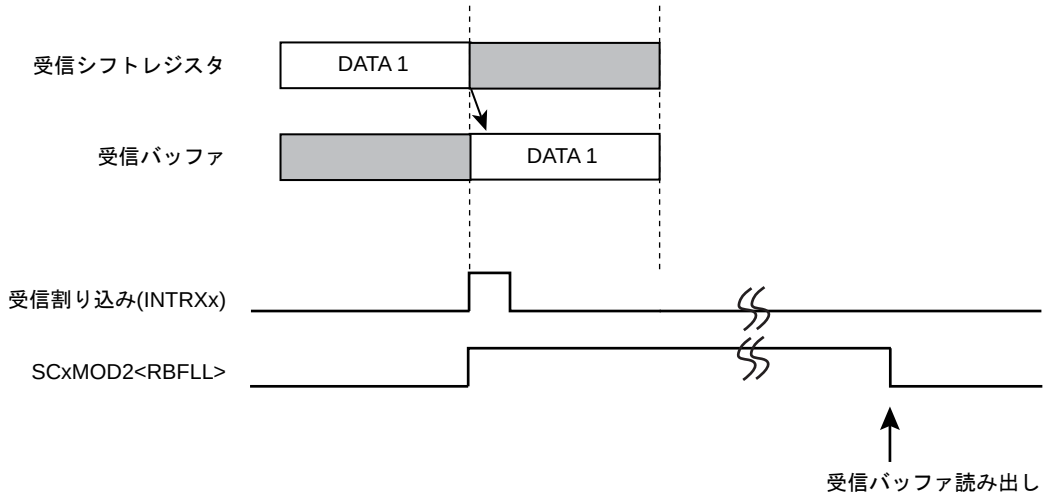


図 11-5 受信バッファの動作

11.9.3.2　I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファにすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファの使用状況によって変わります。

(1)　シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェークが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2)　ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

11.9.3.3　受信データの読み出し

受信バッファ (SCxBUF) からデータを読み出します。

この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

11.9.3.4　ウェイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

11.9.3.5 オーバランエラー

受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよびSCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) IO インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

11.10　送信

11.10.1　送信カウンタ

送信カウンタは 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

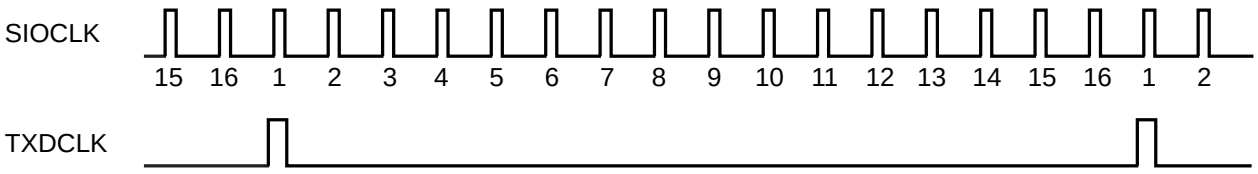


図 11-6 UART モード送信クロックの生成

11.10.2　送信制御部

11.10.2.1　I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCLKx 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXDx 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCLKx 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXDx 端子へ出力します。

11.10.2.2　UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

11.10.3　送信動作

11.10.3.1　送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ (SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

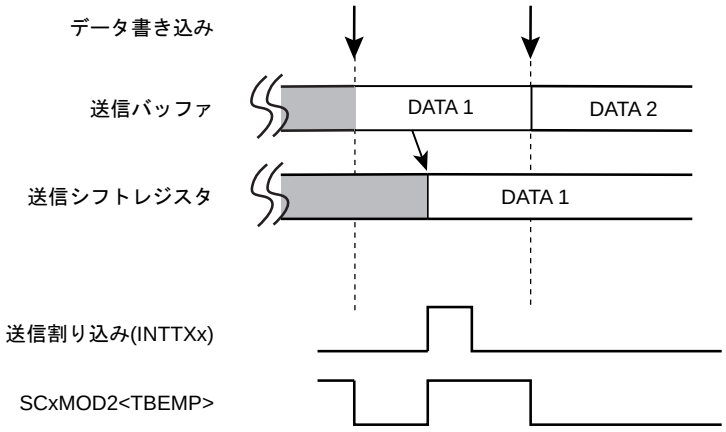


図 11-7 送信バッファの動作(ダブルバッファ有効時)

11.10.3.2 I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダランエラーは発生しません。

バッファ使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェークが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

11.10.3.3 アンダランエラー

I/O インタフェースモードのクロック入力モード時、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダランエラーになり、SCxCR<PERR>に"1"がセットされます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) IO インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダランフラグをクリアしてください。

11.11　ハンドシェーク機能

ハンドシェーク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェーク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTSx}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTSx}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1)　送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合、送信終了後に停止します。
注 2)　$\overline{\text{CTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェーク機能を構築できます。

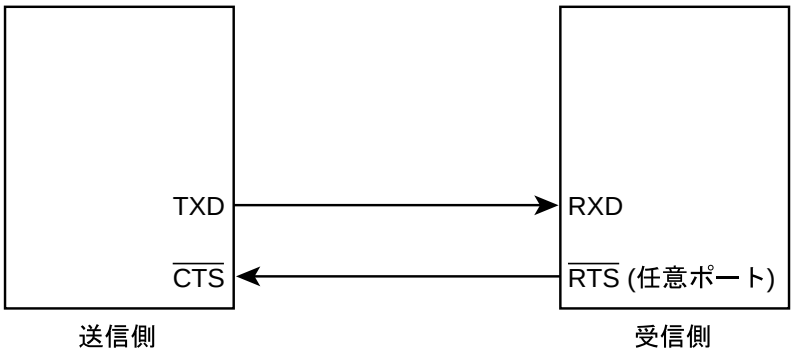


図 11-8 ハンドシェーク機能接続

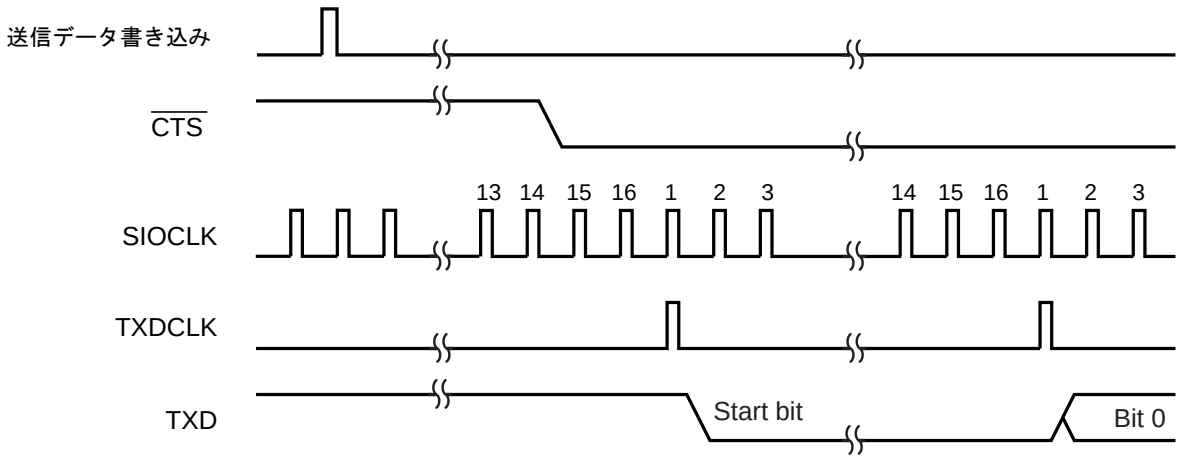


図 11-9 $\overline{\text{CTS}}$ 信号のタイミング

11.12 赤外線キャリア付き信号出力

IROUT 端子より赤外線キャリア付き信号を出力することができます。

IROUT 信号は、タイマ出力信号(TBxOUT 等)と TXD 信号から生成します。パルス生成に使用できるタイマは製品により異なりますので、「製品情報」の章で確認してください。

タイマは所望の周期のパルス出力を生成するよう設定します。

IROUT 端子が割り当てられているポートのファンクションレジスタ(PxFRn)で機能設定を IROUT に指定し、コントロールレジスタ(PxCR)で出力を許可します。

SIO は、タイマからのパルスを受けて TXD 信号と合成し IROUT 端子に出力します。タイマ出力と、TXD 信号は非同期であるため、TXD 信号の変化時にはキャリアの周期に乱れが生じます。



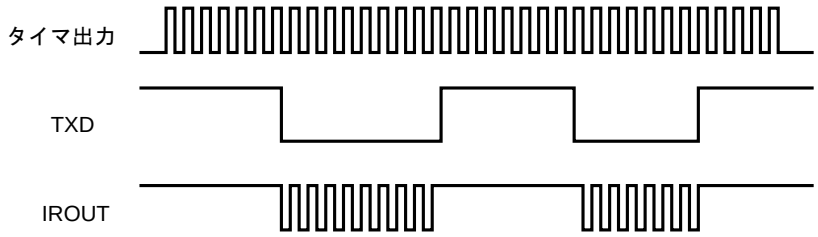


図 11-10 赤外線キャリア付き信号出力

11.13　割り込み/エラー発生タイミング

11.13.1　受信割り込み

受信動作のデータの流れと読み出しの経路を図 11-11 に示します。

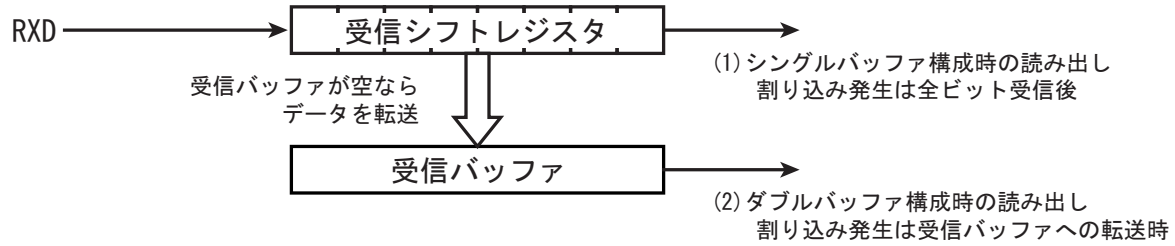


図 11-11 受信バッファ構成図

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	−	・最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第 1 ストップビットの中央付近	・最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注)　オーバランエラー成立時は割り込みは発生しません。

11.13.2　送信割り込み

送信動作のデータの流れと読み出しの経路を図 11-12 に示します。

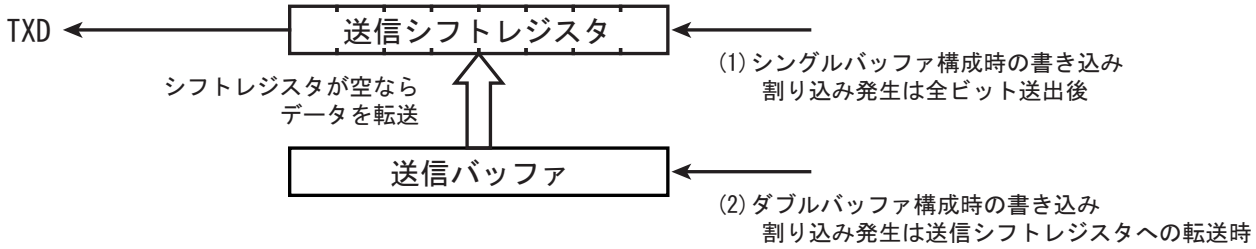


図 11-12 送信バッファ構成図

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時	

注) ダブルバッファ有効の場合、送信バッファ書き込みによってバッファからシフトレジスタへデータが転送された場合も割り込みが発生します。

11.13.3 エラー発生

11.13.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	判定：パリティビットの中央付近 フラグ変化：ストップビットの中央付近

11.13.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダランエラー	次回の SCLKx 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダランエラーフラグは意味を持ちません。

11.14 ソフトリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR <OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。その他の状態は保持されます。

11.15　モード別動作説明

11.15.1　モード 0 (I/O インタフェースモード)

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

11.15.1.1　送信

(1)　クロック出力モード

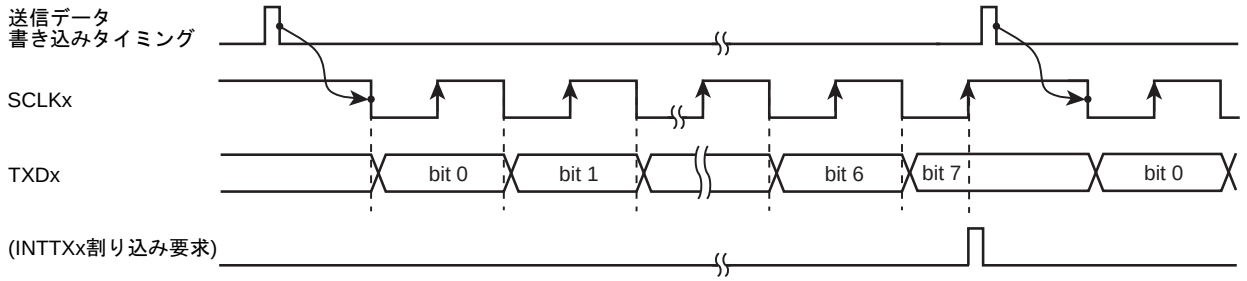
・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むたびに、データが TXDx 端子から、クロックが SCLKx 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

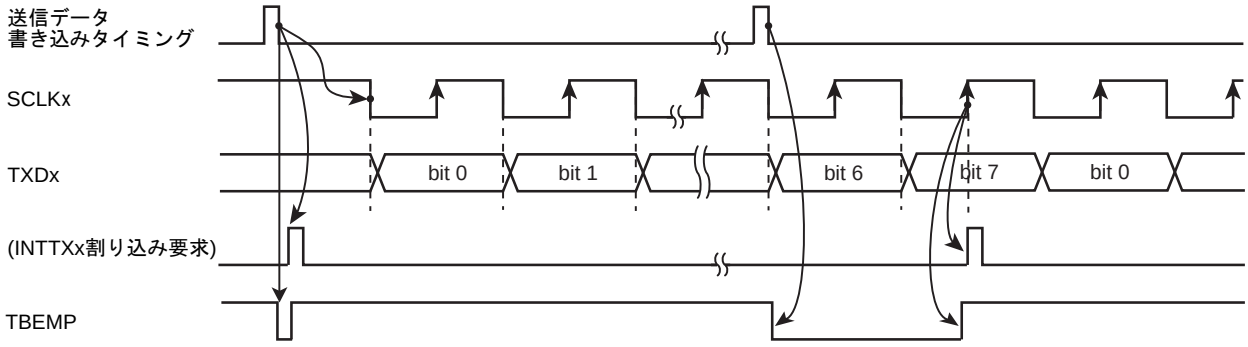
・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信停止の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

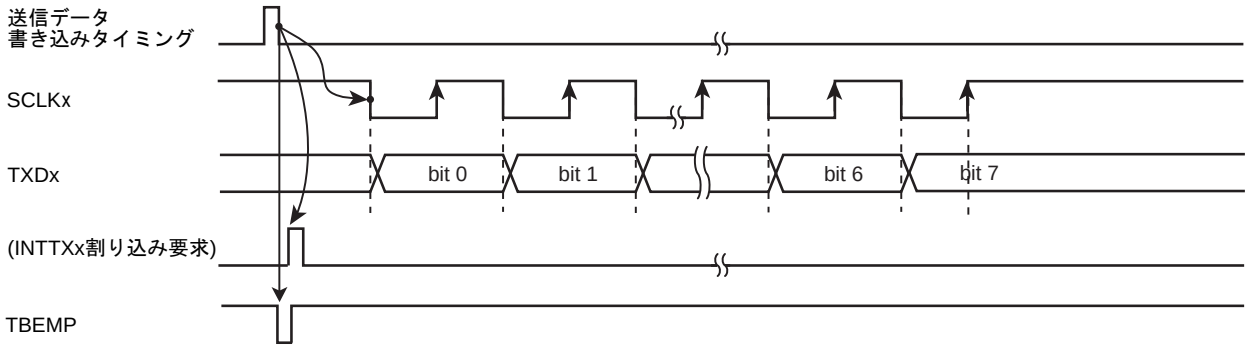
シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 11-13 I/O インタフェースモード送信動作(クロック出力モード)

(2)　クロック入力モード

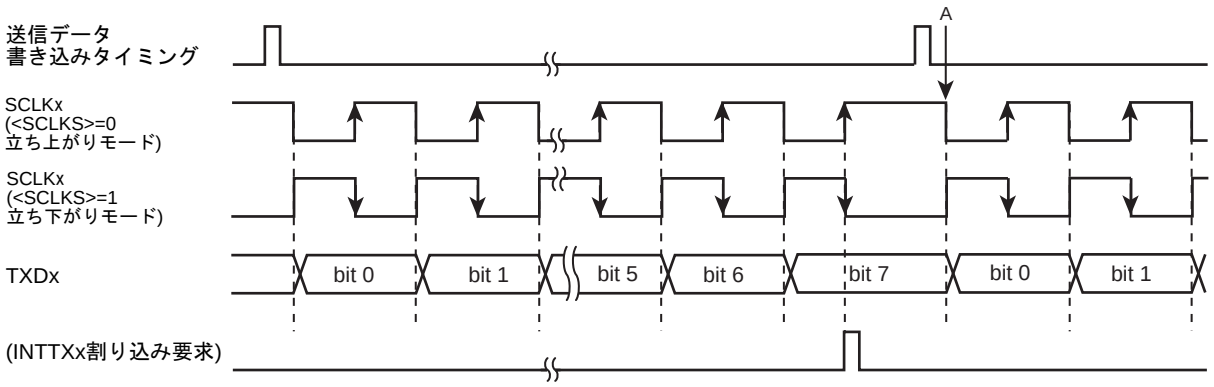
・　ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 11-14 に示す A 点までに書き込んでください。

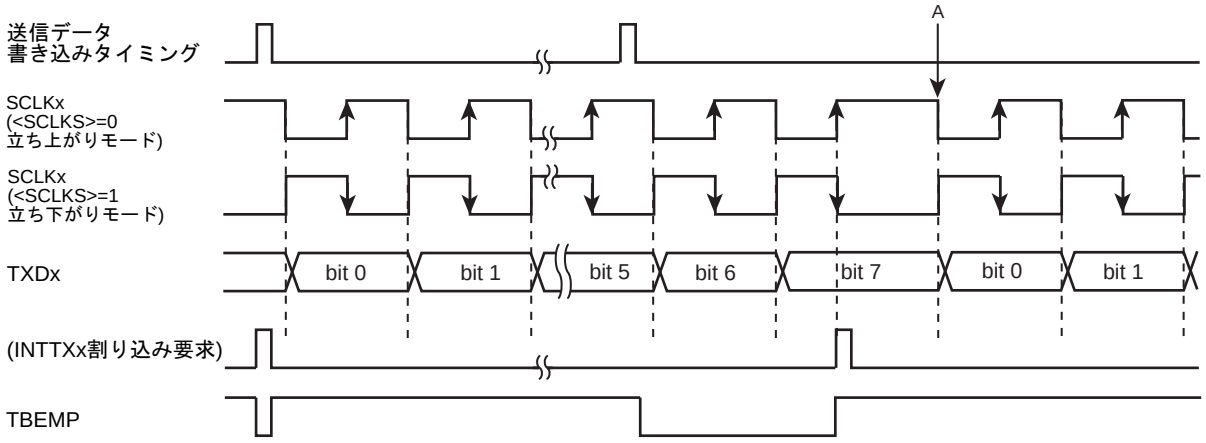
・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP>が"1"にセットされ、割り込み(INTTXx)が発生します。

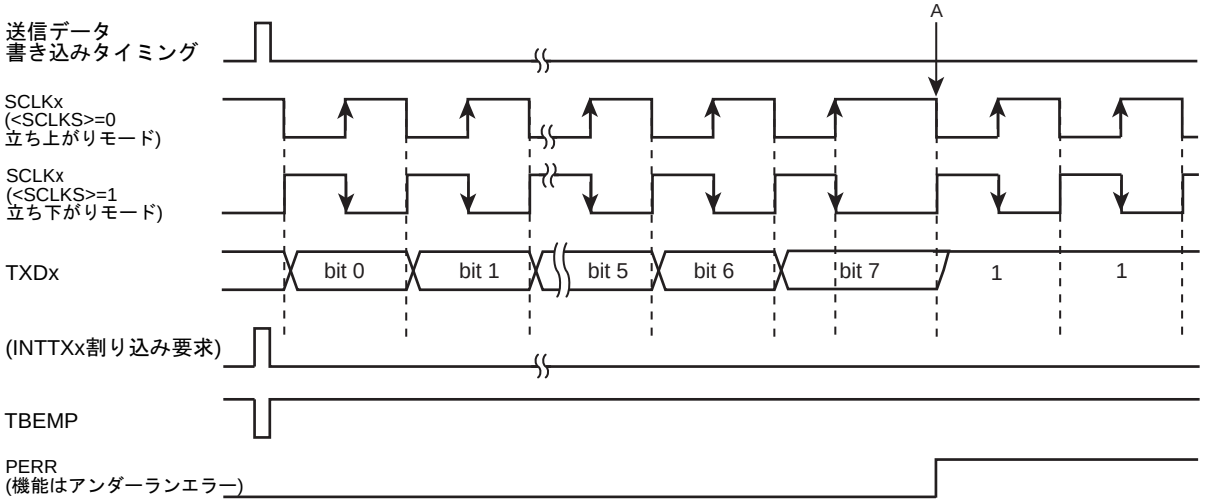
送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがない場合)

図 11-14 I/O インタフェースモード送信動作(クロック入力モード)

11.15.1.2　受信

(1)　クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCLKx 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

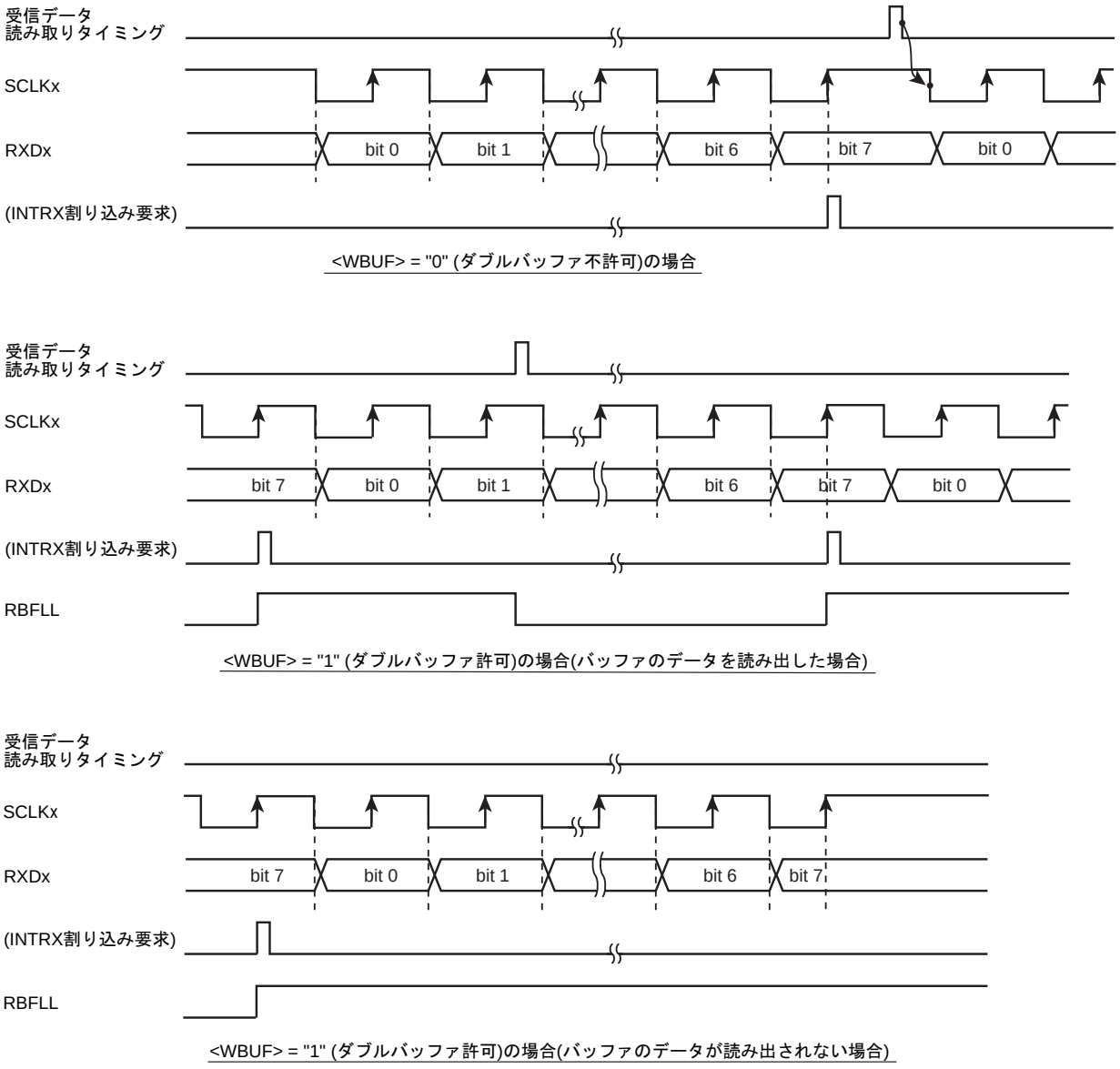
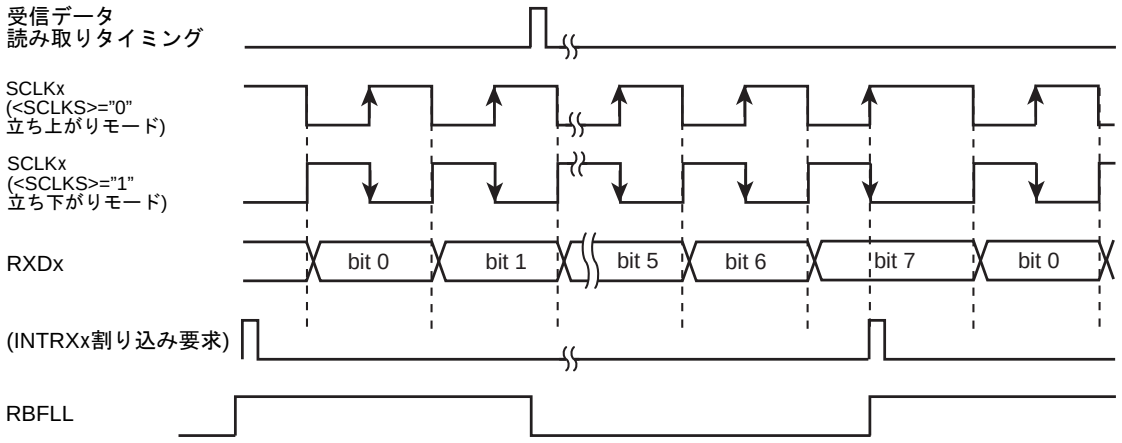


図 11-15 I/O インタフェースモード受信動作(クロック出力モード)

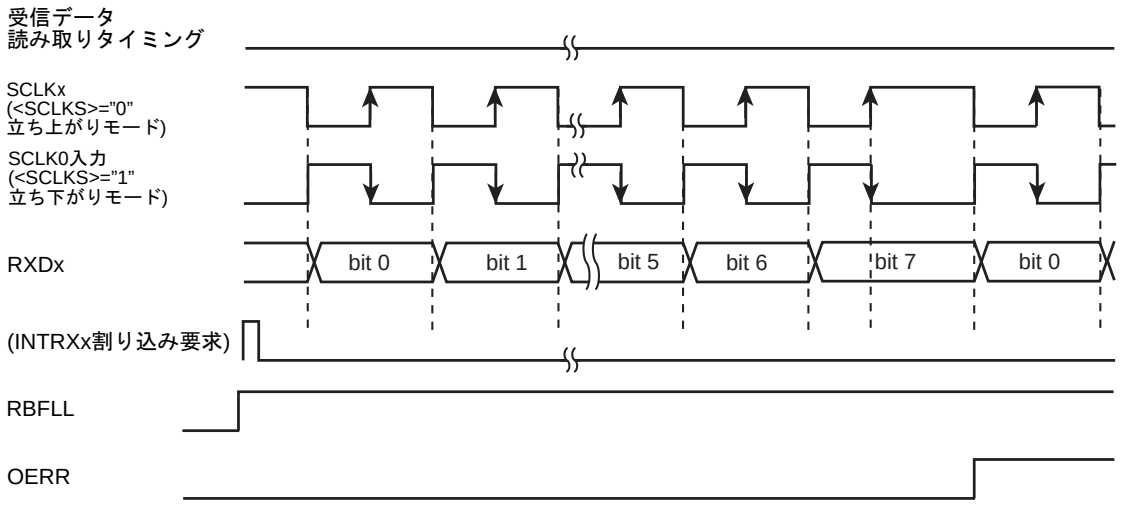
(2)　クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 11-16 I/O インタフェースモード受信動作(クロック入力モード)

11.15.1.3 送受信(全二重)

(1) クロック出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXDx 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態でクロック出力は停止します。

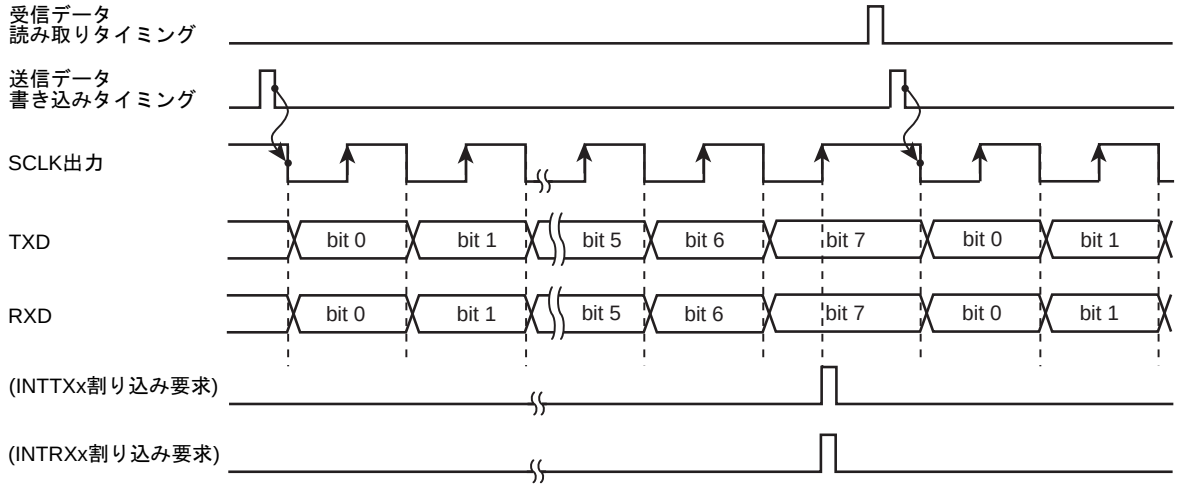
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

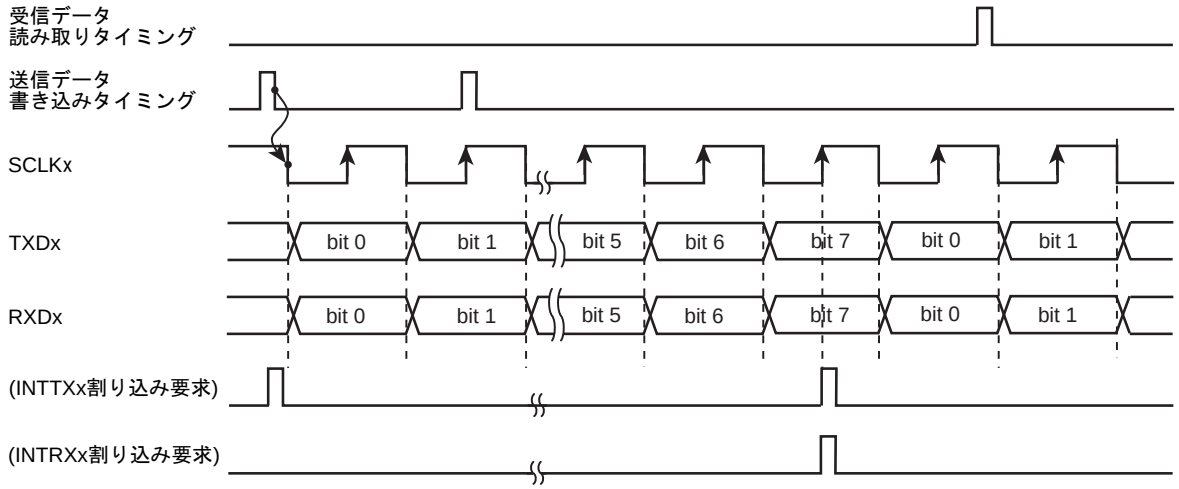
送信バッファにデータを書き込むとクロック出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXDx 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

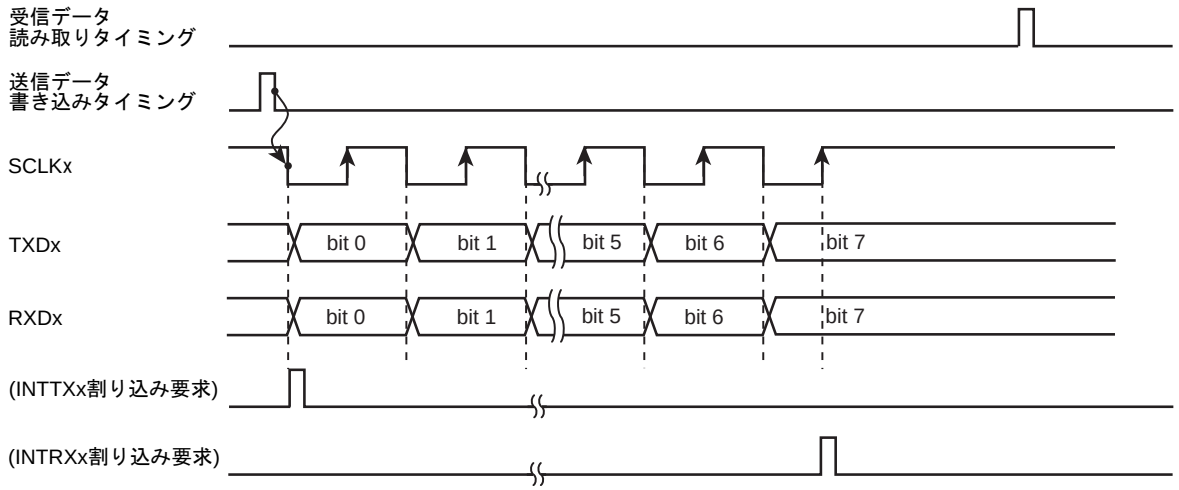
この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合

図 11-17 I/O インタフェースモード送受信動作(クロック出力モード)

(2) クロック入力モード

・ 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 11-18 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 11-18 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。また、次のフレームのクロック入力までに送信バッファへ転送データが書き込まれていない場合はアンダランエラーが発生し 8 ビット分のダミーデータ(0xFF)を送出します。

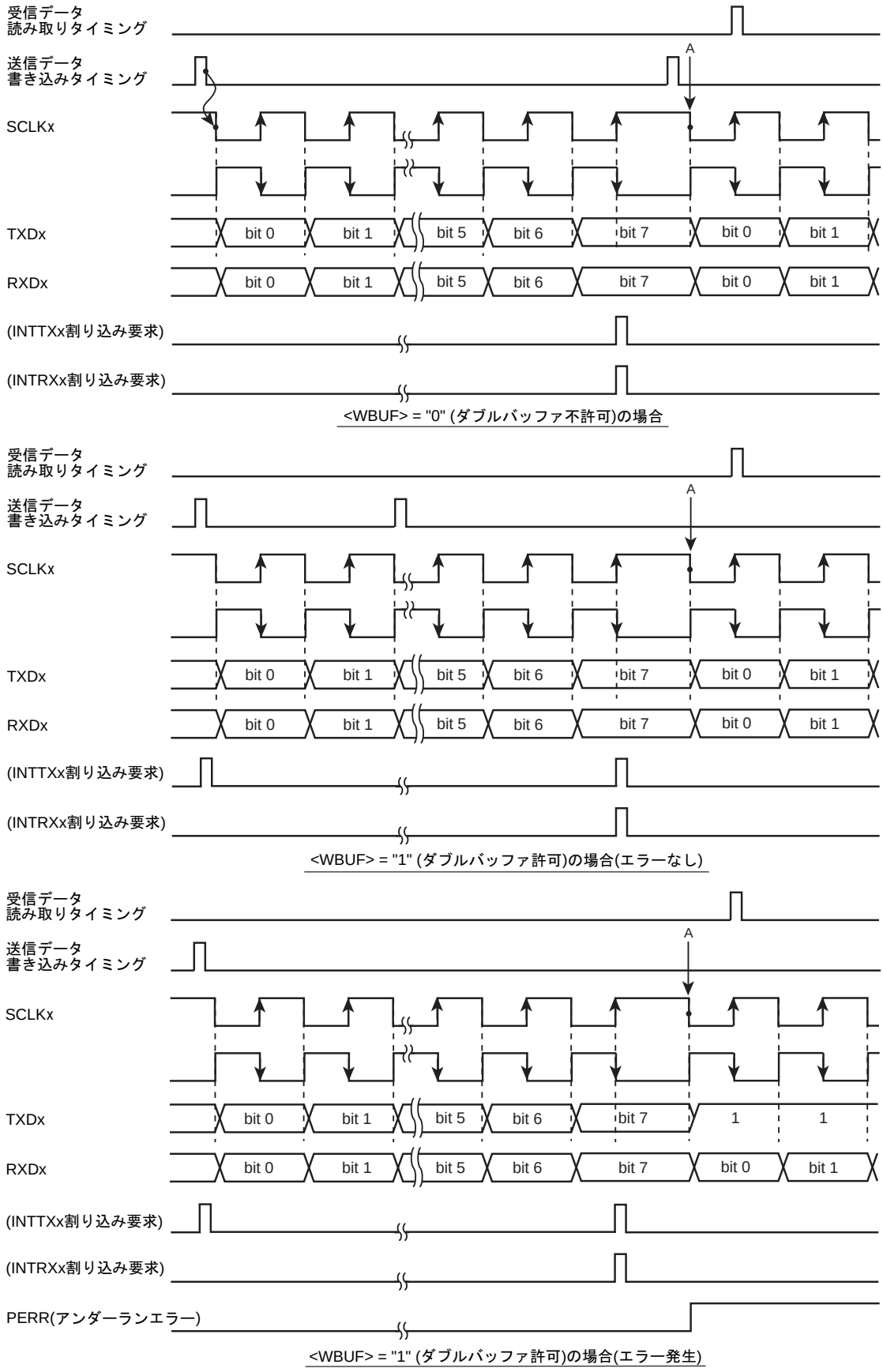


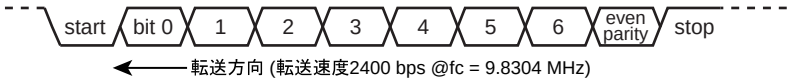
図 11-18 I/O インタフェースモード送受信動作(クロック入力モード)

11.15.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ(SCxMOD0 <SM[1: 0]>)を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



転送方向 (転送速度2400 bps @fc = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

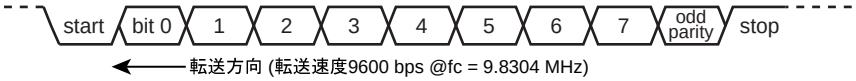
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

11.15.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



転送方向 (転送速度9600 bps @fc = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

11.15.4　モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

11.15.4.1　ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注)　スレーブコントローラの TXDx 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

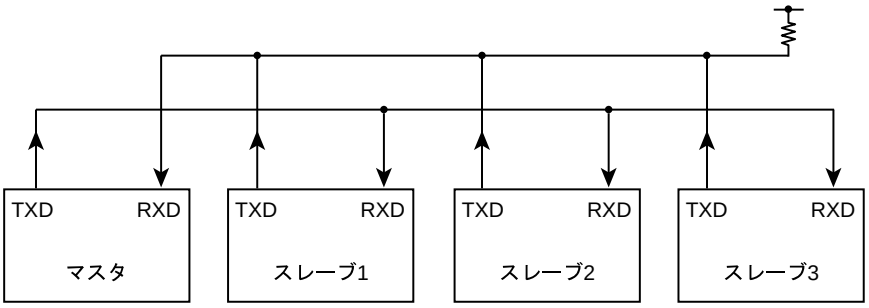
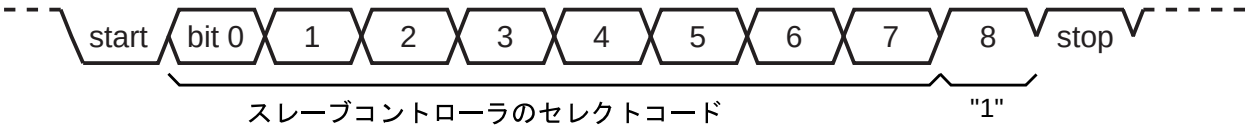


図 11-19 ウェイクアップ機能によるシリアルリンク

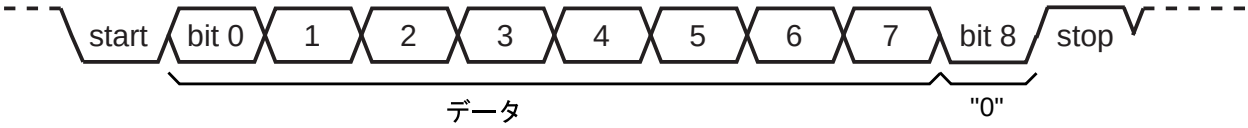
11.15.4.2　プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。

5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 12 章　シリアルバスインタフェース(I2C/SIO)

12.1　概要

シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I2C バスモード(マルチマスタ)
- クロック同期式 8 ビット SIO モード

以下の説明中、"x"はチャネル番号をあらわします。

12.2　構成

図 12-1 に I2C/SIO のブロック図を示します。

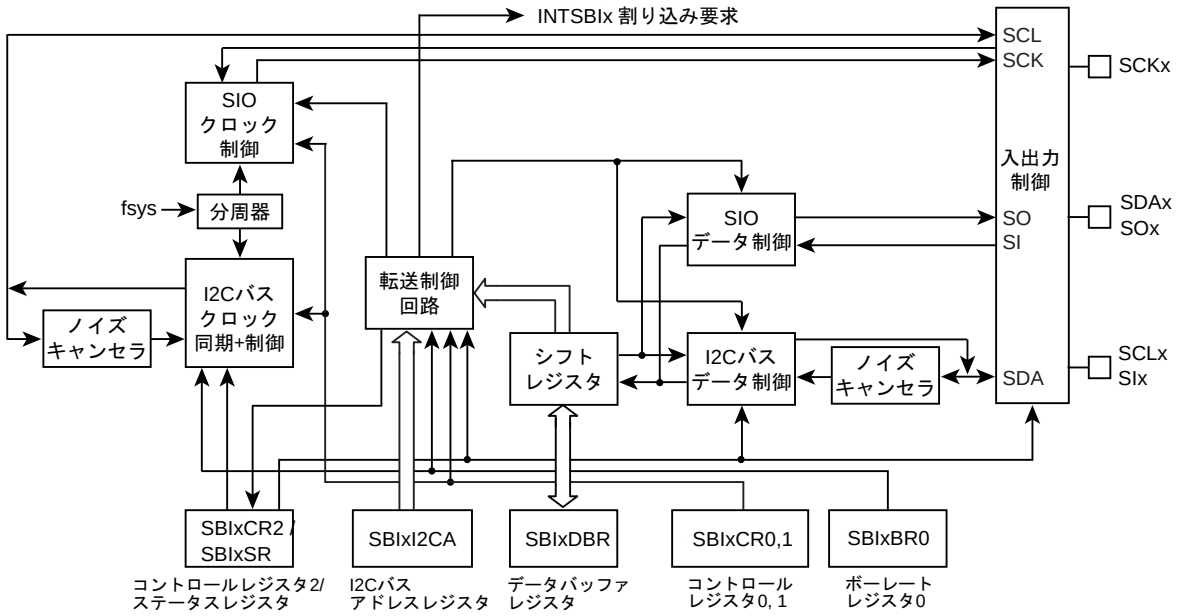
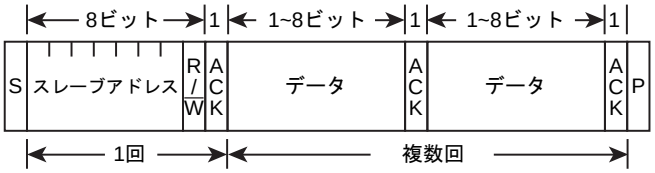


図 12-1 シリアルバスインタフェースブロック図

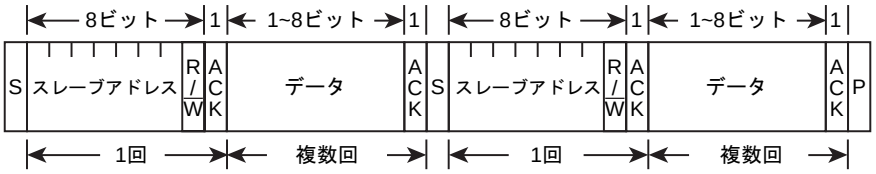
12.3　I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 12-2 に示します。

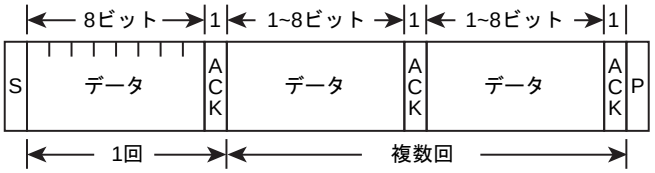
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注)　$\overline{S}$: スタートコンディション
R/$\overline{W}$: 方向ビット
ACK : アクノリッジビット
P : ストップコンディション

図 12-2 I2C バスモード時のデータフォーマット

12.4 レジスタ説明

12.4.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
コントロールレジスタ 0	SBIxCR0	0x0000
コントロールレジスタ 1	SBIxCR1	0x0004
データバッファレジスタ	SBIxDBR	0x0008
I2C バスアドレスレジスタ	SBIxI2CAR	0x000C
コントロールレジスタ 2	SBIxCR2(ライト時)	0x0010
ステータスレジスタ	SBIxSR(リード時)	
ボーレートレジスタ 0	SBIxBR0	0x0014

12.5　I2C バスモード時のレジスタ

シリアルバスインタフェース を I2C バスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

12.5.1　SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、一番最初に<SBIEN>に"1"を設定してください。 <SBIEN>を"1"に設定することで SBI に関連するレジスタのリード、ライトが可能になります。 動作禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルバスインタフェース回路を一旦動作させた後に動作禁止にした場合は、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

12.5.2　SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>BC[2:0]</td><td>R/W</td><td>転送ビット数の選択(注 1)
<table>
<tr><th rowspan="2"><BC></th><th colspan="2"><ACK> = 0 のとき</th><th colspan="2"><ACK> = 1 のとき</th></tr>
<tr><th>クロック数</th><th>データ長</th><th>クロック数</th><th>データ長</th></tr>
<tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr>
<tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr>
<tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr>
<tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr>
<tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr>
<tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr>
<tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr>
<tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr>
</table></td></tr>
<tr><td>4</td><td>ACK</td><td>R/W</td><td>マスタモード
0: アクノリッジメントのためのクロックを発生しない
1: アクノリッジメントのためのクロックを発生する
スレーブモード
0:アクノリッジメントのためのクロックをカウントしない
1:アクノリッジメントのためのクロックをカウントする</td></tr>
<tr><td>3</td><td>-</td><td>R</td><td>リードすると"1"が読めます。</td></tr>
<tr><td>2-1</td><td>SCK[2:1]</td><td>R/W</td><td rowspan="2">SCL クロック出力の周波数選択<SCK[2:0]>@ライト　(注 2)
<table>
<tr><td>000</td><td>n = 5</td><td rowspan="8">システムクロック: fsys
クロックギア: fc/1
周波数 = $\frac{fsys}{2^n + 72}$ [Hz]</td></tr>
<tr><td>001</td><td>n = 6</td></tr>
<tr><td>010</td><td>n = 7</td></tr>
<tr><td>011</td><td>n = 8</td></tr>
<tr><td>100</td><td>n = 9</td></tr>
<tr><td>101</td><td>n = 10</td></tr>
<tr><td>110</td><td>n = 11</td></tr>
<tr><td>111</td><td>Reserved</td></tr>
</table></td></tr>
<tr><td>0</td><td>SCK[0]</td><td>W</td></tr>
<tr><td></td><td>SWRMON</td><td>R</td><td>ソフトウエアリセット状態モニタ
0:ソフトウエアリセット中
1:ソフトウエアリセット中ではない</td></tr>
</table>

注 1)　SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。

注 2)　SCL ラインクロックの周波数については、「12.6.2 シリアルクロック」を参照してください。

注 3)　<SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。

注 4)　読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

注 5)　マスタモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

12.5.3　SBIxCR2(コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: レシーバ 1: トランスミッタ
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBIx 割り込み要求解除 0: − 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 1) 00: ポートモード(シリアルバスインタフェースの入力/出力禁止) (注 2) 01: SIO モード 10: I2C バスモード (注 3) 11: Reserved
1-0	SWRST[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。 ライトの際、<SBIM[1:0]> は"10" の I2C バスモードを指定してください。

注 1)　通信中は動作モードを切り替えないでください。

注 2)　ポートモードへの切り替えは、SDAx 端子/SCL 端子、SOx 端子/SIx 端子/SCKx 端子が"High"になっていることを確認してから行ってください。

注 3)　ポートモードから I2C バスモードの切り替えは、SDAx 端子/SCLx 端子が"High"になっていることを確認してから行ってください。

注 4)　SBIxCR2 は SBIxSR と同じアドレスに割り当てられています。したがってリードモディファイライトによる操作はできません。

12.5.4 SBIxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBIx 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ジェネラルコール検出時もセットされます。)
1	ADO	R	ジェネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

12.5.5　SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

12.5.6　SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1)　送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2)　SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、リードモディファイライトによる操作はできません。

12.5.7 SBIxI2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1) <ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2) スレーブモード時 SBIxI2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

12.6　I2C バスモード時の制御

12.6.1　動作モードの設定

SBIxCR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するときは、<SBIM[1:0]>を"10"に設定してください。

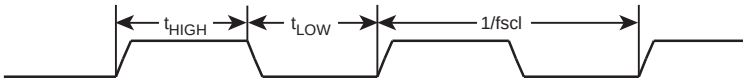
注 1)　ポートモードへの切り替えは、SDAx 端子/SCL 端子、SOx 端子/SIx 端子/SCLKx 端子が"High"になっていることを確認してから行ってください。

注 2)　ポートモードから I2C バスモードの切り替えは、SDAx 端子/SCLx 端子が"High"になっていることを確認してから行ってください。

12.6.2　シリアルクロック

12.6.2.1　クロックソース

SBIxCR1 <SCK[2:0]>で、マスタモード時に SCLx 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$t_{LOW} = 2^{n-1}/fsys + 58/fsys$
$t_{HIGH} = 2^{n-1}/fsys + 14/fsys$
$fscl = 1/(t_{LOW} + t_{HIGH})$
$= \frac{fsys}{2^n + 72}$

SBIxCR1<SCK[2:0]>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 12-3 クロックソース

注)　通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。SCL クロック出力の周波数が規格の上限を超えないように SBIxCR1<SCK>を設定してください。

12.6.2.2　クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

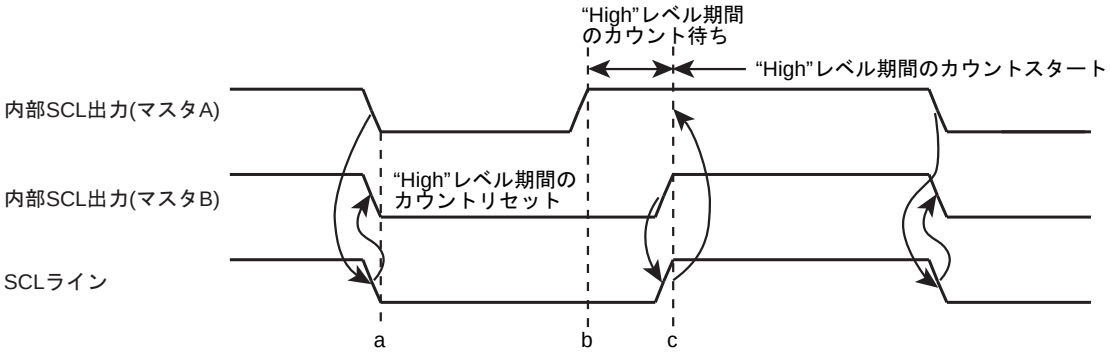


図 12-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後,"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

12.6.3 アクノリッジメントモードの指定

SBIxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。

マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。

スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。

トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。

レシーバモードのときはアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引きアクノリッジ信号を発生します。また、同様に、スレーブモードでジェネラルコールを受信した場合にも、アクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。
<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを付加しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

12.6.4 転送ビット数の選択

SBIxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

12.6.5　スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBIxI2CAR<ALS>に"0"を設定し、SBIxI2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

12.6.6　マスタ/スレーブの選択

SBIxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。

なお、<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

12.6.7　トランスミッタ/レシーバの選択

SBIxCR2<TRX> を"1"に設定すると、トランスミッタとして動作します。

<TRX>を"0"に設定すると、レシーバとして動作します。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウエアによって設定されることはありません。

アドレッシングフォーマットで使用するときには、<TRX>は下記のように設定されます。

12.6.7.1　マスタモード時

マスタモード時は、スレーブアドレスと方向ビットを送信後、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、下記のように<TRX>が設定されます。アクノリッジが返ってこないときは、以前の状態を保ちます。

- 送信した方向ビットが"1"の場合、<TRX>は"0"に設定されます。
- 送信した方向ビットが"0"の場合、<TRX>は"1"に設定されます。

12.6.7.2　スレーブモード時

スレーブモード時は、アドレッシングフォーマットでデータ転送を行う場合に、下記の条件が成立するとマスタデバイスの送ってくる方向ビットにあわせ、<TRX>が設定されます。

- 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき
- ジェネラルコールを受信したとき

<TRX>は下記のように設定されます。

- 受信した方向ビットが"1"の場合、<TRX>は"1"に設定されます。
- 受信した方向ビットが"0"の場合、<TRX>は"0"に設定されます。

12.6.8　バスビジーモニタ

SBIxSR<BB>を読み出すことで、バスの状態を知ることができます。

<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ、ストップコンディションを検出すると"0"にクリアされます。

<BB>が"1"のときをバスビジー状態、<BB>が"0"のときをバスフリー状態と呼びます。

マスタデバイスは、バスフリーの状態でのみスタートコンディションを発生することができます。スタートコンディションを発生する前には、必ず<BB>が"0"であることを確認してください。

<BB>が"1"の状態でスタートコンディションを発生すると、スタートコンディションは発生せず、アービトレーションロストが発生します。

12.6.9 割り込みサービス要求と解除

割り込み要求(INTSBIx)が発生すると、SBIxCR2<PIN>が"0"にクリアされ、割り込みサービス要求状態になります。<PIN>が"0"の間、SCL 端子を"Low"レベルにします。

<PIN>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"1"にセットされます。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

<PIN>が"1"にセットされると SCL 端子が開放されます。<PIN>が"1"にセットされてから SCL 端子が開放されるまで t_{LOW} の時間がかかります。

注) マスタモードでアービトレーションロストが発生した時、スレーブアドレスが一致しなかった場合は,<PIN>は"0"にクリアされません。(INTSBIx は発生します。)

12.6.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。

b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。

マスタ B のこの状態を"アービトレーションロスト"と呼びます。アービトレーションロストが発生したマスタ B は、SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。

もし、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

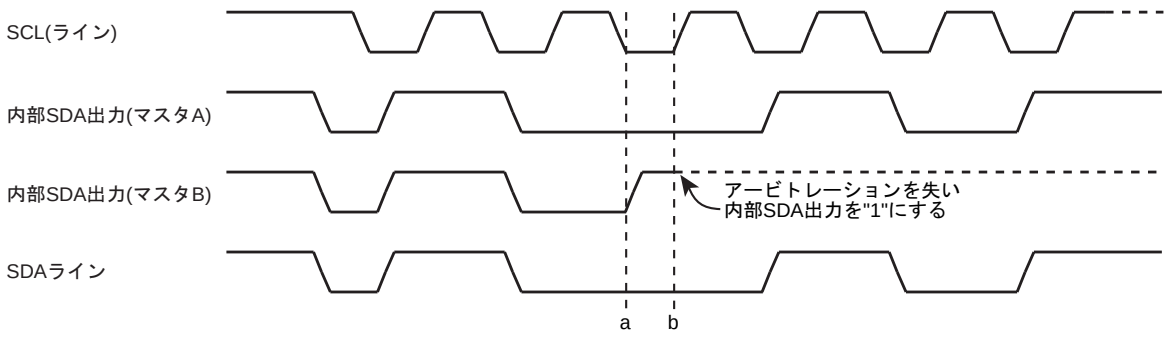


図 12-5 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIxSR<AL> が"1"にセットされます。

アービトレーションロストが発生すると、SBIxSR<MST, TRX>は"0"にクリアされ、スレーブレシーバモードになり、SCL クロックの出力を停止します。

スレーブアドレス転送中にアービトレーションロストが発生したデバイスは、通常のスレーブデバイスのように、他のマスタが送信するスレーブアドレスを受信します。

受信したスレーブアドレスが、SBIxI2CAR<SA>と一致した場合、<PIN>が"0"にクリアされ、INTSBIx が発生します。一致しなかった場合、<PIN>は"1"のままですが、INTSBIx が発生します。

<AL>は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと"0"にクリアされます。

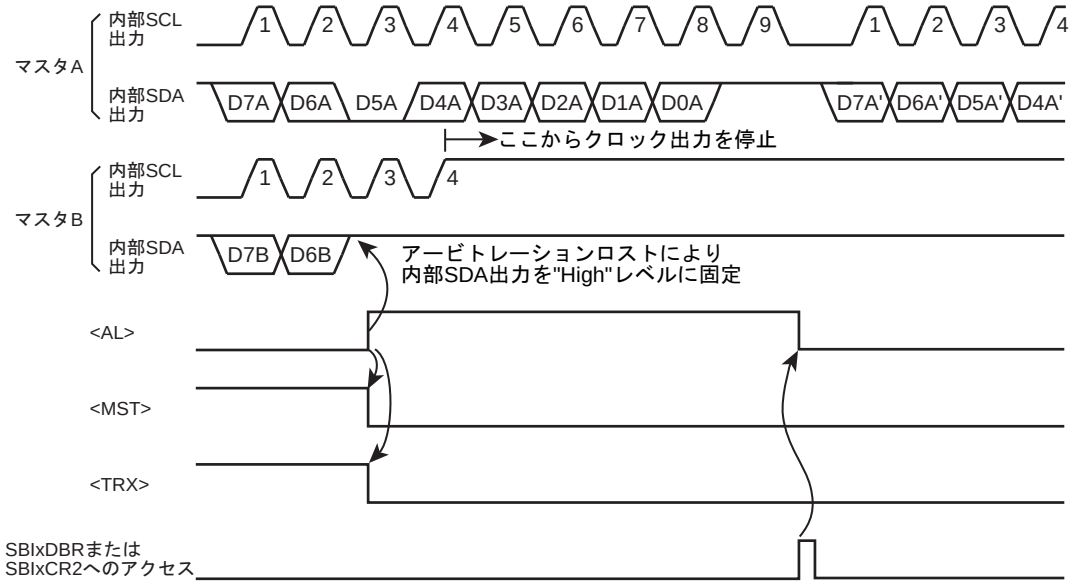


図 12-6 マスタ B の場合の例(D7A=D7B,D6A=D6B)

12.6.11　スレーブアドレス一致検出モニタ

SBIxSR<AAS>は、スレーブモード時、アドレス認識モード(SBIxI2CAR<ALS> = "0")のとき、ジェネラルコールまたは SBIxI2CAR<SA>にセットした値と同じスレーブアドレスを受信すると、"1"にセットされます。

フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。

<AAS> は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"0"にクリアされます。

12.6.12 ジェネラルコール検出モニタ

SBIxSR<ADO>は、スレーブモード時、ジェネラルコール(スタートコンディション後の 8 ビットのデ ータがすべて"0")を受信したとき、"1"にセットされます。

バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

12.6.13 最終受信ビットモニタ

SBIxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBIx 割り込み要求発生直後に SBIxSR<LRB> を読み出すと、ACK 信号が読み出されます。

12.6.14 データバッファレジスタ(SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時に、SBIxDBR にスレーブアドレスと方向ビットを設定後、スタートコンディションを発生しすることで、スレーブデバイスに対し、スレーブアドレスと方向ビットを送信することができます。

12.6.15 ボーレートレジスタ(SBIxBR0)

SBIxBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

12.6.16 ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIxCR2<SWRST[1:0]> へ、最初に"10"、次に"01" をライトすると、ソフトウエアリセットが発生します。ライトの際、SBIxCR2<SBIM[1:0]> は"10" の I2C バスモードを指定してください。ソフトウエアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"00"にクリアされます。

注) ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

12.7　I2C バスモード時のデータ転送手順

12.7.1　デバイスの初期化

最初に SBIxCR1<ACK, SCK[2:0]>を設定します。SBIxCR1[7:5]には、"0"を書き込んでください。

次に SBIxI2CAR にスレーブアドレス<SA[6:0]>と<ALS> (アドレッシングフォーマット時、<ALS> = "0")を設定します。

それから、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBIxCR2<MST, TRX, BB>に"0", <PIN>に"1", <SBIM[1:0]>に"10", ビット 1, 0 に"0"を書き込み、初期状態をスレーブレシーバモードにします。

注)　シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	0	X	0	X	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	←	X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注)　X; Don't care

12.7.2　スタートコンディション, スレーブアドレスの発生

スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(SBIxSR<BB> = "0")を確認します。次に、SBIxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、SBIxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。

スタートコンディションの発生に次いで、SCLx 端子から 9 発の SCL クロックを出力します。

最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。

9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIx 割り込み要求が発生し、<PIN> = "0"にされます。

<PIN> = "0" の間、SCL 端子を"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIx 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> が変化します。

注)　スレーブアドレスを出力するために SBIxDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

```
                          7  6  5  4  3  2  1  0
Reg.          ←  SBIxSR
Reg.          ←  Reg. e 0x20
if Reg.       ≠  0x00                              バスがフリー状態になるまで確認します。
Then
SBIxCR1       ←  X  X  X  1  0  X  X  X           アクノリッジメントモードに設定します。
SBIxDBR       ←  X  X  X  X  X  X  X  X           目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2       ←  1  1  1  1  1  0  0  0           スタートコンディションの発生を行います。
```

INTSBIx 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

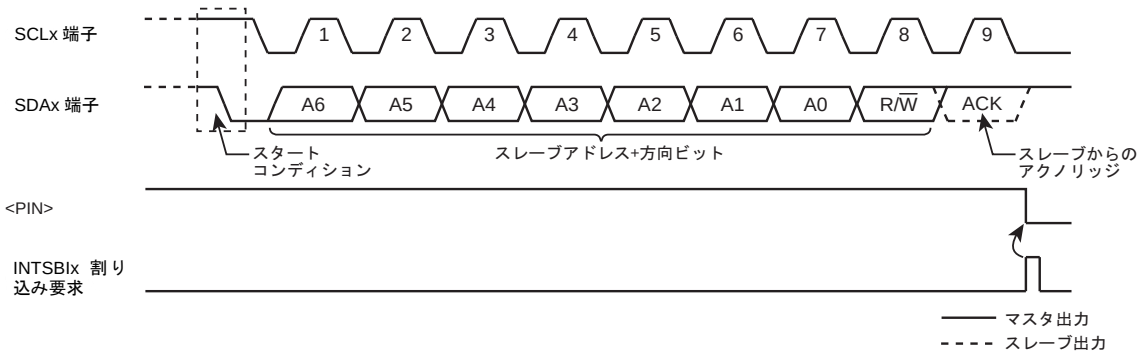


図 12-7 スタートコンディションとスレーブアドレスの発生

12.7.3 1 ワードのデータ転送

1 ワード転送終了の INTSBIx 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

12.7.3.1 マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1) トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。

次に転送するデータのビット数が 8 ビットのとき SBIxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>を設定し、転送データを SBIxDBR に書き込みます。

データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用の SCL クロックが発生され、SDA 端子から 1 ワードのデータが転送されます。

転送終了後 INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。

複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTSBIx 割り込み

```
if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBIxCR1     ←  X  X  X  X  0  X  X  X     転送ビット数および ACK を設定します。
SBIxDBR     ←  X  X  X  X  X  X  X  X     転送データを書き込みます。
割り込み処理終了
```

注)　X; Don’t care

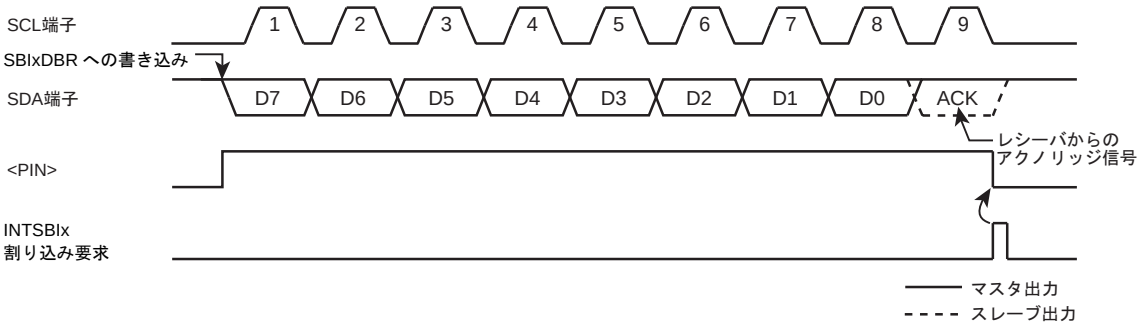


図 12-8 <BC[2:0]>="000",<ACK>="1"の場合（トランスミッタモード）

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIxDBR から受信データを読み出します。8 ビット以外のときは<BC[2:0]>を設定し、SCL 端子を解放するために SBIxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。

データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用の SCL クロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"Low"レベルに引きます。SBIxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

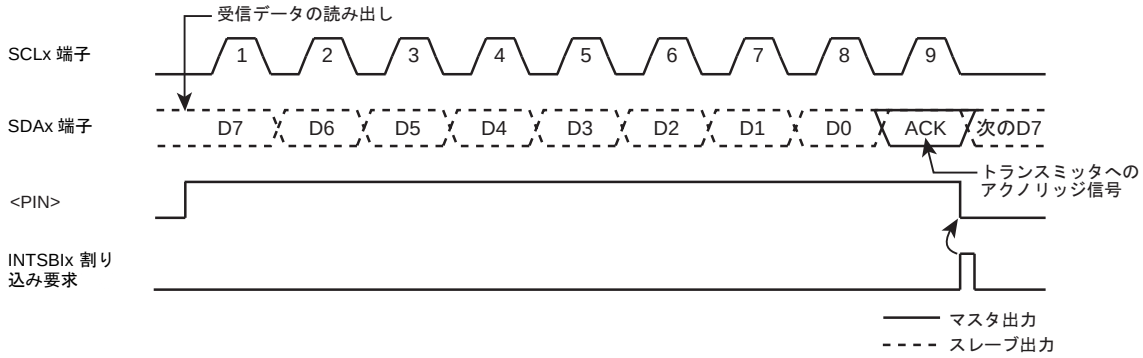


図 12-9 <BC[2:0]>="000",<ACK>="1"のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

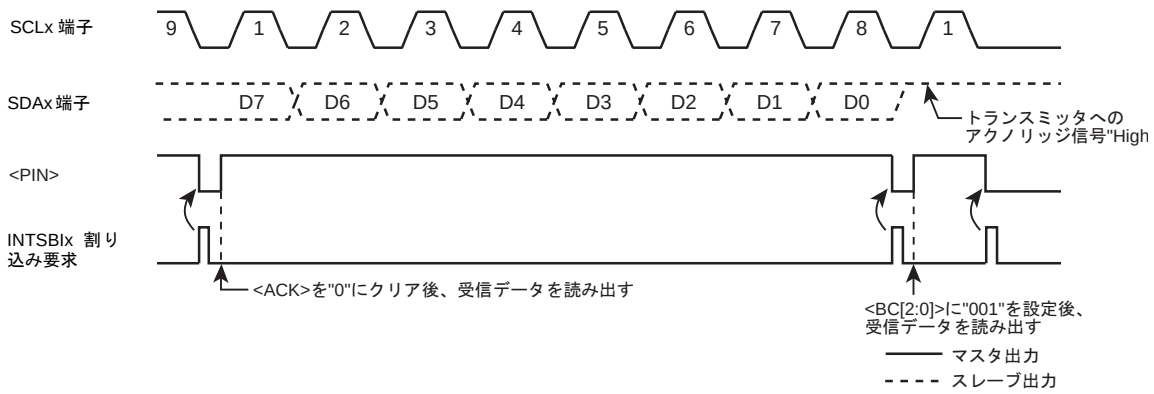


図 12-10 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTSBIx 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	SBIxDBR								ダミーデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 1~(N − 2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	SBIxDBR								1~(N − 2)回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 (N − 1)回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	SBIxDBR								(N − 1)回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	1	0	0	X	X	X	1 ビット転送にします。
Reg.	←	SBIxDBR								N 回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

12.7.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはジェネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはジェネラルコールを受信した後のデータ転送終了時に INTSBIx 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIx 割り込み要求が発生します。INTSBIx 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"Low"レベルに引きます。SBIxDBR にデータを書き込む、SBIxDBR からデータを読み出す、または<PIN>に"1"を設定すると SCLx 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBIxSR<AL>, <TRX>, <AAS>, <ADO>をテストし、場合分けを行います。「表 12-1 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTSBIx 割り込み

if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行

SBIxCR1	←	X	X	X	1	0	X	X	X	送信ビット数を設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データをセットします。

注)　X; Don't care

表 12-1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはジェネラルコールを受信	<PIN>を"1"にセットするために SBIxDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはジェネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを SBIxDBR から読み出します。

12.7.4　ストップコンディションの発生

SBIxSR<BB> = "1"のときに、SBIxCR2<MST, TRX, PIN> に"1" 、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDAx 端子が立ち上がり、ストップコンディションが発生します。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

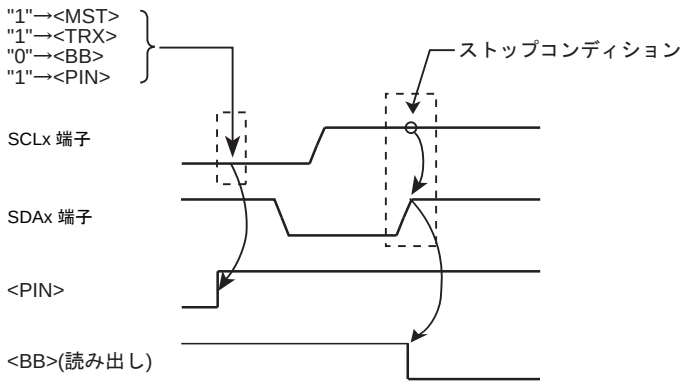


図 12-11 ストップコンディションの発生

12.7.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDAx 端子は"High"レベルを保ち、SCLx 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「12.7.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 µs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1) <MST> = "0"の状態の時に<MST> = "0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if SBIxSR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if SBIxSR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
Then										
4.7 µs Wait										
SBIxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注) X; Don't care

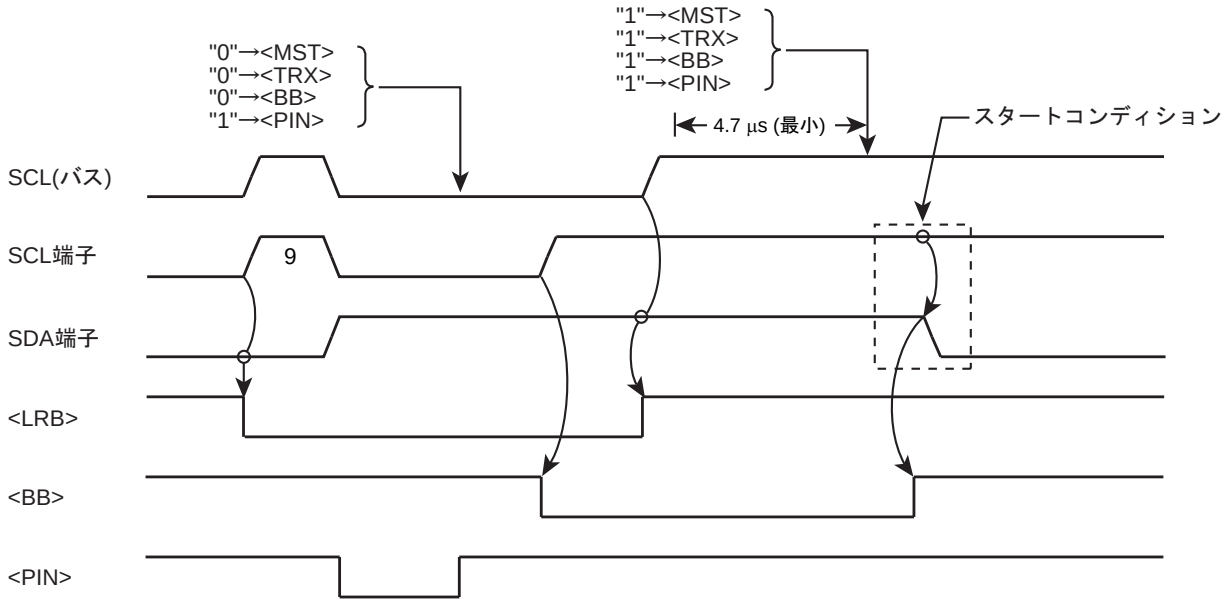


図 12-12 再スタートを発生する場合のタイミングチャート

マルチマスタで使用する際の注意点

マルチマスタで使用している際に通信がロックした場合に備え、ソフトウエアによるリカバリ対策を用意願います。

リカバリ処理例

1. 送信開始と共にタイムアウト検知用のタイマカウントを開始
2. 一定時間内にシリアルインタフェース割り込み（INTSBIx）が発生せず、タイムアウトとなった場合、通信がロックしたと判断
3. シリアルバスインタフェースのソフトウエアリセットを実行し通信ロックを解除
4. 送信タイミングの調整処理(注)
5. 送信データを再送信

注）再送信タイミングが重ならないよう、デバイス毎に送信タイミングを調整してください。

12.8 SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

12.8.1 SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

12.8.2　SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード
3	-	R	リードすると"1"が読めます。
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1)

000	n = 3	システムクロック: fsys クロックギア: fc/1 周波数 = $\frac{fsys/2}{2^n}$ [Hz]
001	n = 4	
010	n = 5	
011	n = 6	
100	n = 7	
101	n = 8	
110	n = 9	
111	–	外部クロック

注 1)　<SCK[0]>ビットは、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBIxCR2 レジスタ、SBIxSR レジスタでも同様な記載をしています

注 2)　転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

12.8.3 SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注) SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライトによる操作はできません。

12.8.4　SBIxCR2(コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1)　ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

注 2)　通信中は動作モードを切り替えないでください。

注 3)　ポートモードへの切り替えは、SDAx 端子/SCL 端子、SOx 端子/SIx 端子/SCKx 端子が"High"になっていることを確認してから行ってください。

注 4)　SBIxCR2 は SBIxSR と同じアドレスに割り当てられています。したがってリードモディファイライトによる操作はできません。

12.8.5 SBIxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注)	1(注)	1(注)	1(注)	0	0	1(注)	1(注)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注)

注) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

12.8.6　SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

12.9 SIO モード時の制御

12.9.1 シリアルクロック

12.9.1.1 クロックソース

SBIxCR1 <SCK[2:0]> により、次の選択ができます。

(1) 内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCKx 端子より外部に出力されます。なお、転送開始時、SCKx 端子出力は"High"レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

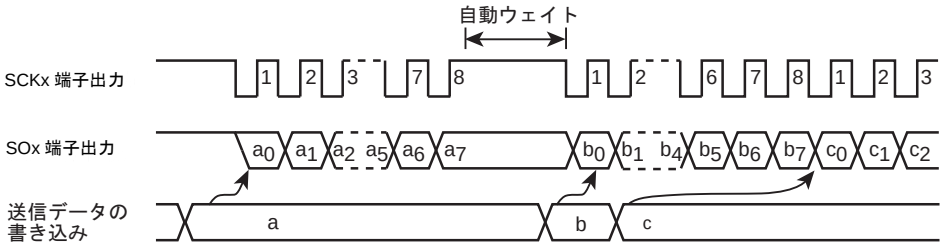


図 12-13 自動ウェイト機能

(2) 外部クロック(<SCK[2:0]> = "111")

外部から SCKx 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの"High"レベル、"Low"レベル幅は下記に示すパルス幅が必要です。

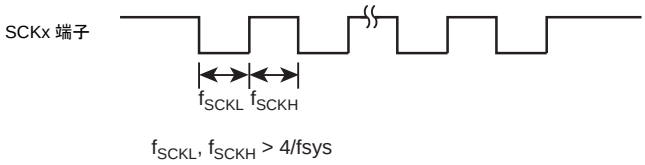


図 12-14 外部クロック入力時の最大転送周波数

12.9.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

  シリアルクロックの前縁(SCKx 端子入出力の立ち下がりエッジ)でデータをシフトします。

- 後縁シフト

　シリアルクロックの後縁(SCKx 端子入出力の立ち上がりエッジ)でデータをシフトします。

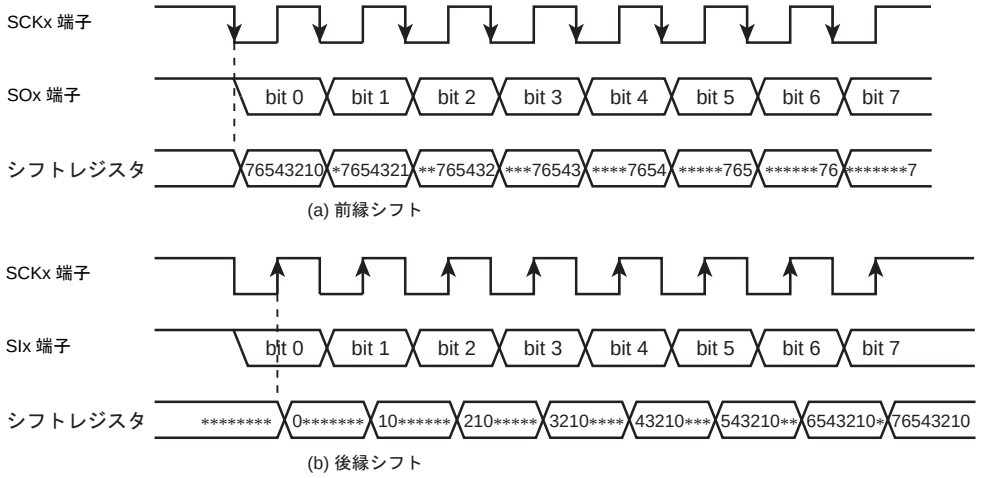


図 12-15 シフトエッジ

12.9.2　転送モード

SBIxCR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

12.9.2.1　8 ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIxDBR に書き込みます。

送信データの書き込み後、SBIxCR1<SIOS> = "1"を書き込むことにより送信が開始されます。送信データは、SBIxDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIxDBR が空になりますので、 次の送信データを要求する INTSBIx(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIxDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIxDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIxSR<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIxSR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH> = "1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	0	0	0	X	X	X	送信モードをセットします。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	←	1	0	0	0	0	X	X	X	送信を開始します。

INTSBIx 割り込み

SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

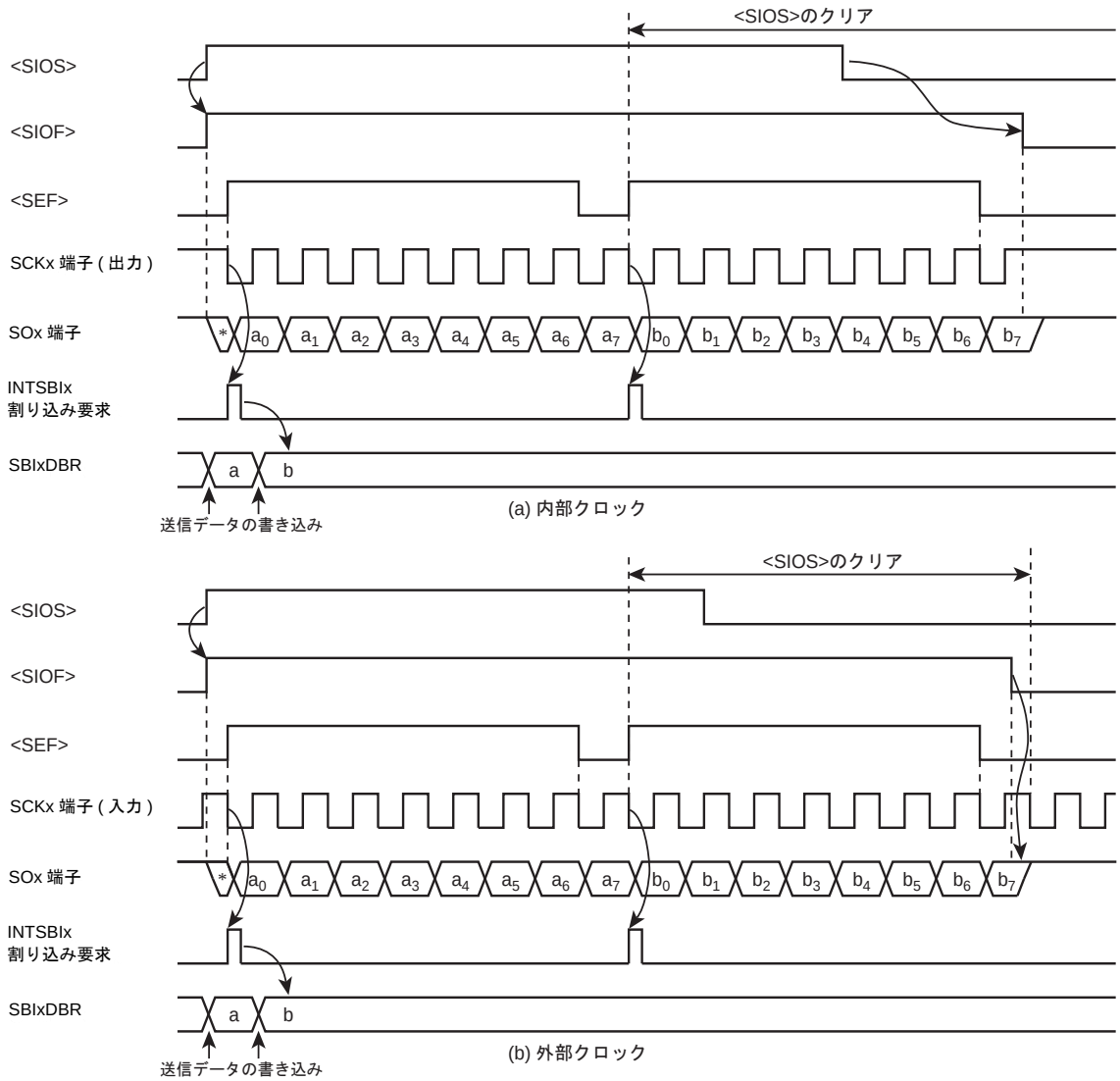


図 12-16 送信モード

例: <SIOS> の送信終了指示(外部クロックの場合)のプログラム例

```
                                7  6  5  4  3  2  1  0
if SBIxSR<SIOF> ≠ 0                                        転送の終了を確認します。
Then
if SCK ≠ 1                                                 ポートをモニタし、SCKx 端子が"1"になったことを確認
                                                           します。
Then
SBIxCR1          ←  0  0  0  0  0  1  1  1                <SIOS> = 0 を設定し送信を終了します。
```

12.9.2.2　8 ビット受信モード

コントロールレジスタに受信モードをセットした後、SBIxCR1<SIOS> = "1" を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBIxDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIx (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIxDBR から読み出します。

内部クロック動作の場合、受信データが SBIxDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか、<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、受信データが全ビット揃い、SBIxDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。 受信終了の確認のあと最終受信データを読み出します。<SIOINH> = "1" を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は"0"になります (受信データは無効になりますので読み出す必要はありません)。

注)　転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

```
                    7  6  5  4  3  2  1  0
SBIxCR1      ←      0  1  1  1  0  X  X  X      受信モードをセットします。

SBIxCR1      ←      1  0  1  1  0  X  X  X      受信を開始します。
```

INTSBIx 割り込み

```
Reg.         ←      SBIxDBR                     受信データを取り込みます。
```

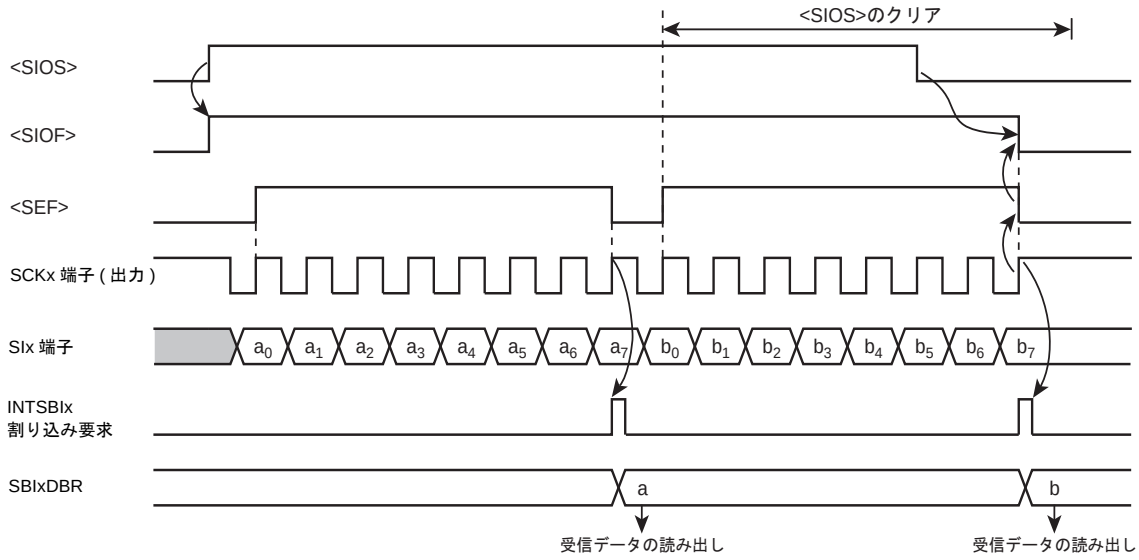


図 12-17 受信モード(例: 内部クロック)

12.9.2.3 8 ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIxDBR に書き込みます。その後、SBIxCR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIxDBR へ受信データが転送され、INTSBIx 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIxDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCKx の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBIxCR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIxDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

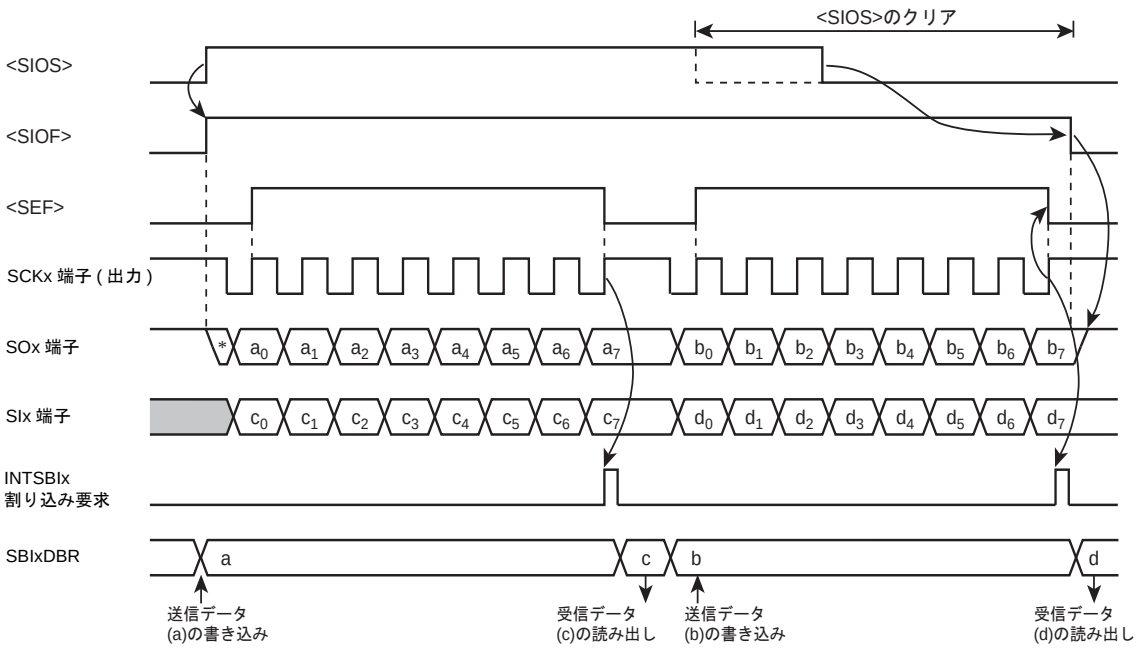


図 12-18 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBIx 割り込み

Reg.	←	SBIxDBR								受信データを取り込みます。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

12.9.2.4　送信終了時の最終ビット保持時間

SBIxCR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下のようになります。送信モード、送受信モードとも同様です。

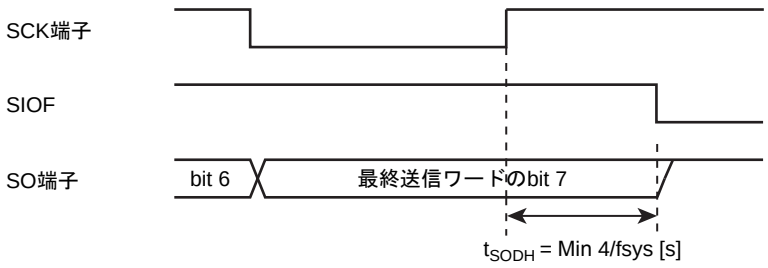


図 12-19 送信終了時の最終ビット保持時間

第 13 章　10 ビットアナログ/デジタルコンバータ(ADC)

13.1　概要

TMPM061FWFG は、10 ビット逐次変換方式アナログ/デジタルコンバータ (ADC) を内蔵しています。

使用可能なチャネルと設定については、「製品情報」の章を参照してください。

13.2　構成

図 13-1 に AD コンバータのブロック図を示します。

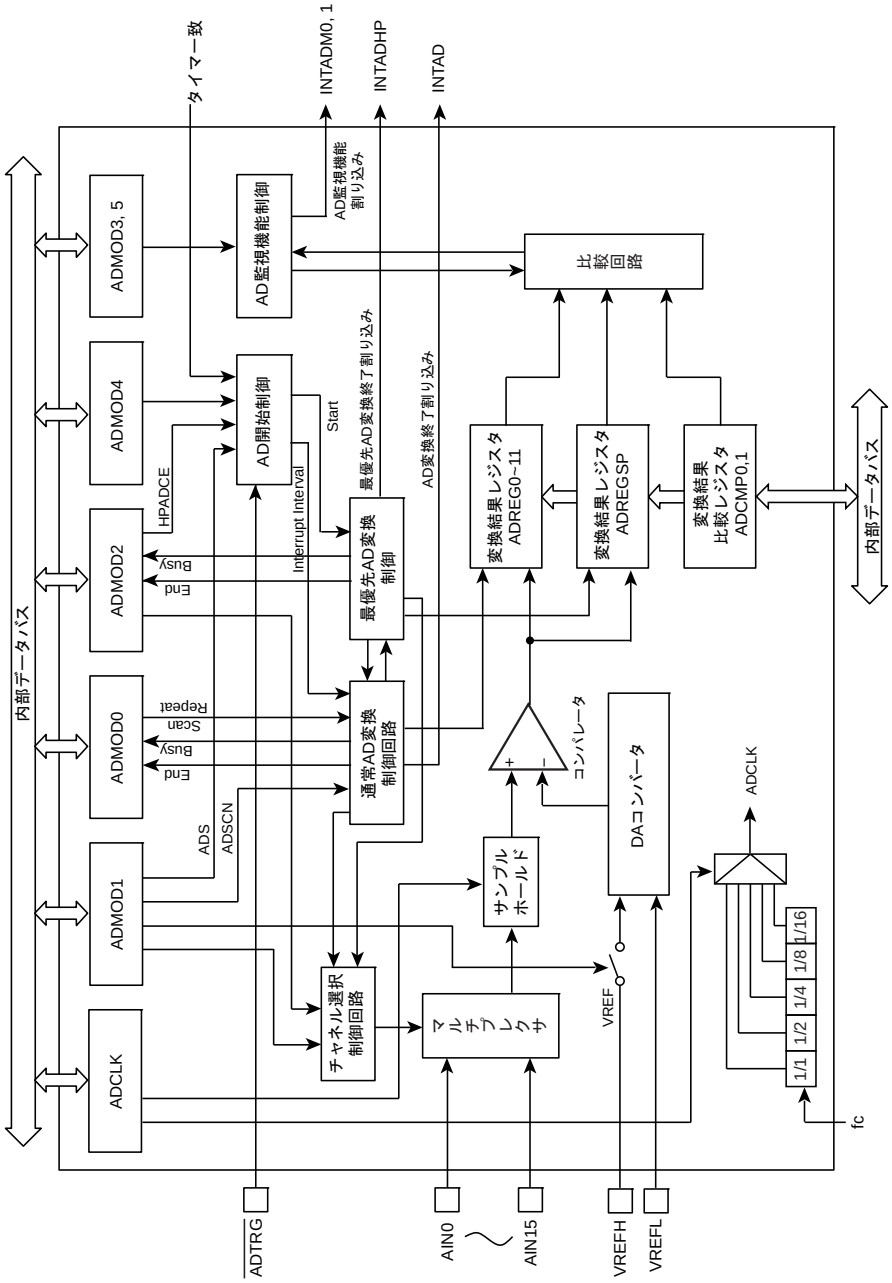


図 13-1 10 ビット AD コンバータのブロック図

13.3　レジスタ説明

13.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
変換クロック設定レジスタ	ADCLK	0x0000
モードコントロールレジスタ 0	ADMOD0	0x0004
モードコントロールレジスタ 1	ADMOD1	0x0008
モードコントロールレジスタ 2	ADMOD2	0x000C
モードコントロールレジスタ 3	ADMOD3	0x0010
モードコントロールレジスタ 4	ADMOD4	0x0014
モードコントロールレジスタ 5	ADMOD5	0x0018
変換結果レジスタ 0	ADREG0	0x0030
変換結果レジスタ 1	ADREG1	0x0034
変換結果レジスタ 2	ADREG2	0x0038
変換結果レジスタ 3	ADREG3	0x003C
変換結果レジスタ 4	ADREG4	0x0040
変換結果レジスタ 5	ADREG5	0x0044
変換結果レジスタ 6	ADREG6	0x0048
変換結果レジスタ 7	ADREG7	0x004C
変換結果レジスタ 8	ADREG8	0x0050
変換結果レジスタ 9	ADREG9	0x0054
変換結果レジスタ 10	ADREG10	0x0058
変換結果レジスタ 11	ADREG11	0x005C
変換結果レジスタ SP	ADREGSP	0x0060
変換結果比較レジスタ 0	ADCMP0	0x0064
変換結果比較レジスタ 1	ADCMP1	0x0068

13.3.2 ADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCC		-	-	-	ADCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	ADCC[1:0]	R/W	変換クロック数選択 00: 35.5 変換クロック 01: 42 変換クロック 10: 68 変換クロック 11: 81 変換クロック
5-3	−	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	AD 変換クロック選択(注1)(注2) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101-111: Reserved

注1) AD 変換中に、AD 変換クロック設定を変更しないで下さい。

注2) AD 変換クロックADCLKは、必ずADCLK ≤ fsysを満足するように選択してください。

変換クロック数は以下の条件を満たすように設定してください。

VREFH AVDD	変換時間
2.7 ~ 3.6V	16.2 μs 以上
1.8 ~ 3.6V	32.4 μs 以上

13.3.3　ADMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EOCFN	ADBFN	-	ITM		REPEAT	SCAN	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	EOCFN	R	通常 AD 変換終了フラグ 0: 変換前または変換中 1: 終了 このビットは ADMOD0 をリードすると"0"にクリアされます。
6	ADBFN	R	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
5	−	R	リードすると"0"が読めます。
4-3	ITM[1:0]	R/W	チャネル固定リピート変換モード時の割り込み指定 00: 1 回変換するごとに割り込み発生 01: 4 回変換するごとに割り込み発生 10: 8 回変換するごとに割り込み発生 11: 設定禁止 この設定はチャネル固定リピートモード(<REPEAT> ="1"、<SCAN> = "0")のときのみ有効です。
2	REPEAT	R/W	リピートモード指定 0: シングル変換モード 1: リピート変換モード
1	SCAN	R/W	スキャンモード指定 0: チャネル固定モード 1: チャネルスキャンモード チャネルスキャンモードを指定した場合は ADMOD1<ADSCN>でスキャンするチャネル数を指定してください。
0	ADS	W	AD 変換スタート 0: Don't care 1: 変換開始 モード設定を行ってから変換を開始してください。 このビットはリードすると常に"0"が読み出されます。

13.3.4 ADMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREFON	I2AD	ADSCN		ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	VREFON	R/W	VREF 印加制御(注) 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の動作設定 0: 停止 1: 動作
5-4	ADSCN[1:0]	R/W	チャネルスキャンモード時の動作選択 00: 4 チャネルスキャン 01: 8 チャネルスキャン 10: 12 チャネルスキャン 11: Reserved ADMOD0<SCAN>でチャネルスキャンモードを選択した際の動作を選択します。<ADCH>の設定により変換するチャネルが決まります。下表に変換チャネルを示します。
3-0	ADCH[3:0]	R/W	アナログ入力チャネル選択(下表参照)

注) AD 変換をスタートさせる場合は、必ず<VREFON>に"1"を書き込んだ後、内部基準電圧が安定するまでの 3μs 待ってから、ADMOD0<ADS>に"1"を書き込んでください。

アナログ入力チャネル選択

		<ADCH[3:0]>							
		0000	0001	0010	0011	0100	0101	0110	0111
ADMOD0 <SCAN>=0	チャネル固定	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7
ADMOD0 <SCAN>=1	<ADSCN>=00 4 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN4	AIN4~ AIN5	AIN4~ AIN6	AIN4~ AIN7
	<ADSCN>=01 8 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7
	<ADSCN>=10 12 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7

		<ADCH[3:0]>							
		1000	1001	1010	1011	1100	1101	1110	1111
ADMOD0 <SCAN>=0	チャネル固定	AIN8	AIN9	AIN10	AIN11	AIN12	AIN13	AIN14	AIN15
ADMOD0 <SCAN>=1	<ADSCN>=00 4 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN4	AIN4~ AIN5	AIN4~ AIN6	AIN4~ AIN7
	<ADSCN>=01 8 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7
	<ADSCN>=10 12 チャネルスキャン	AIN0~ AIN8	AIN0~ AIN9	AIN0~ AIN10	AIN0~ AIN11	-	-	-	-

13.3.5　ADMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EOCFHP	ADBFHP	HPADCE	-	HPADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	EOCFHP	R	最優先 AD 変換終了フラグ(注) 0: 変換前または変換中 1: 終了
6	ADBFHP	R	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
5	HPADCE	W	最優先変換の起動 0: Don't care 1: 変換開始 読み出しは常に 0 が読めます。
4	−	R/W	0 をライトしてください。
3-0	HPADCH[3:0]	R/W	最優先変換起動時の変換チャネル選択(下表参照)

注)　ADMOD2 レジスタを読み出すと"0"にクリアされます。

最優先変換のチャネル選択

HPADCH[3:0]	0000	0001	0010	0011	0100	0101	0110	0111
変換チャネル	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7

HPADCH[3:0]	1000	1001	1010	1011	1100	1101	1110	1111
変換チャネル	AIN8	AIN9	AIN10	AIN11	AIN12	AIN13	AIN14	AIN15

13.3.6　ADMOD3 (AD モードコントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ADOBIC0	ADREGS0				ADOBSV0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	0 をライトしてください。
6	−	R	リードすると"0"が読めます。
5	ADOBIC0	R/W	AD 監視機能割り込み 0 の設定 0:変換結果レジスタの値が、変換結果比較レジスタ 0 の値より小さい場合割り込み発生 1: 変換結果レジスタの値が、変換結果比較レジスタ 0 の値より大きい場合割り込み発生
4-1	ADREGS0[3:0]	R/W	AD 監視機能 0 使用時に、比較対象とする変換結果レジスタの選択(下表参照)
0	ADOBSV0	R/W	AD 監視機能 0 0: 無効 1: 有効

<ADREGS0[3:0]>	比較される AD 変換結果レジスタ	<ADREGS0[3:0]>	比較される AD 変換結果レジスタ
0000	ADREG0	0100	ADREG4
0001	ADREG1	0101	ADREG5
0010	ADREG2	0110	ADREG6
0011	ADREG3	0111	ADREG7
-	-	1xxx	ADREGSP

13.3.7 ADMOD4 (モードコントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HADHS	HADHTG	ADHS	ADHTG	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	HADHS	R/W	最優先 AD 変換のハードウエア起動ソース選択 0: 外部トリガ 1: タイマー致割り込み(注 1)
6	HADHTG	R/W	最優先 AD 変換のハードウエア起動 0: 無効 1: 有効
5	ADHS	R/W	通常 AD 変換のハードウエア起動ソース(注 2) 0: 外部トリガ 1: タイマー致割り込み(注 1)
4	ADHTG	R/W	通常 AD 変換のハードウエア起動 0: 無効 1: 有効
3-2	−	R	リードすると"0"が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウエアリセットします。(注 3)

注 1) 起動ソースの詳細は「製品情報」の章を参照してください。

注 2) 最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換のハードウエア起動ソースとして外部トリガを設定できません。

注 3) ソフトウエアリセットをかけると、ADCLK<ADCLK>以外のレジスタの内容はすべて初期化されます。

13.3.8　ADMOD5 (AD モードコントロールレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ADOBIC1	ADREGS1				ADOBSV1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます。
5	ADOBIC1	R/W	AD 監視機能割り込み 1 の設定 0: 変換結果レジスタの値が、変換結果 比較レジスタ 1 の値より小さい場合割り込み発生 1: 変換結果レジスタの値が、変換結果比較レジスタ 1 の値よりより大きい場合割り込み発生
4-1	ADREGS1[3:0]	R/W	AD 監視機能 1 使用時に、比較対象とする変換結果レジスタの選択(下表参照)
0	ADOBSV1	R/W	AD 監視機能 1 0: 無効 1: 有効

<ADREGS1[3:0]>	比較される AD 変換結果レジスタ	<ADREGS1[3:0]>	比較される AD 変換結果レジスタ
0000	ADREG0	0100	ADREG4
0001	ADREG1	0101	ADREG5
0010	ADREG2	0110	ADREG6
0011	ADREG3	0111	ADREG7
−	−	1xxx	ADREGSP

13.3.9 ADREGn (変換結果レジスタ n: n = 0~11)

ADREG0 ~ ADREG11 まで変換結果レジスタは 12 あり、すべて同様の構成です。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRn							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRn		-	-	-	-	OVRn	ADRnRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-6	ADRn[9:0]	R	AD 変換結果 変換結果が格納されます。変換チャネルと結果レジスタの関係は 13.4.5.7 章の表 13-2、表 13-3 を参照してください。
5-2	–	R	リードすると"0"が読めます。
1	OVRn	R	オーバランフラグ 0: 発生していない 1: 発生した <ADRn>を読み出す前に変換結果が上書きされると"1"がセットされます。 このビットは読み出すと"0"にクリアされます。
0	ADn0RF	R	AD 変換結果格納フラグ 0:変換結果が格納されていない 1: 変換結果が格納された 変換結果が格納されると"1"がセットされます。 このビットは変換結果を読み出すと"0"にクリアされます

注) 本レジスタはハーフワードまたはワードアクセスしてください。

13.3.10　ADREGSP (変換結果レジスタ SP)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRSP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRSP		-	-	-	-	OVRSP	ADRSPRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-6	ADRSP[9:0]	R	AD 変換結果 最優先 AD 変換の結果が格納されます。
5-2	−	R	リードすると"0"が読めます。
1	OVRSP	R	オーバランフラグ 0: 発生していない 1: 発生した <ADRSP>を読み出す前に変換結果が上書きされると"1"がセットされます。 このビットは読み出すと"0"にクリアされます。
0	ADRSPRF	R	AD 変換結果格納フラグ 0:変換結果が格納されていない 1: 変換結果が格納された 変換結果が格納されると"1"がセットされます。 このビットは変換結果を読み出すと"0"にクリアされます。

注)　本レジスタはハーフワードまたはワードアクセスしてください。

13.3.11 ADCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADCOM0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCOM0		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-6	ADCOM0[9:0]	R/W	AD 監視機能 0 が有効な時、ADMOD3<ADREGS0>で指定された変換結果レジスタの値と比較する値を設定します。
5-0	–	R	リードすると"0"が読めます。

注) 本レジスタへの書き込みは、AD 監視機能 0 が無効な状態(ADMOD3<ADBSV0> = "0")で行ってください。

13.3.12 ADCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADCOM1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCOM1		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-6	ADCOM1[9:0]	R/W	AD 監視機能 1 が有効な時、ADMOD5<ADREGS1>で指定された変換結果レジスタの値と比較する値を設定します。
5-0	–	R	リードすると"0"が読めます。

注) 本レジスタへの書き込みは、AD 監視機能 1 が無効な状態(ADMOD5<ADBSV1>="0")で行ってください

13.4　動作説明

13.4.1　アナログ基準電圧

アナログ基準電圧の"High"レベル側を VREFH 端子に、"Low"レベル側を VREFL 端子に印加します。

AD 変換をスタートさせる場合は、必ず<VREFON>に"1"を書き込んだ後、内部基準電圧が安定するまでの 3 μs 待ってから、ADMOD0<ADS>に"1"を書き込んで変換を開始してください。

ADC を使用しない場合、ADMOD1<VREFON>に"0"を書き込むことにより、VREFH－VREFL 間のスイッチを OFF し、アナログ回路の消費電流を抑えることができます。

13.4.2　AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

通常 AD 変換には 4 つの動作モードがあります。

13.4.2.1　通常 AD 変換

通常 AD 変換には、次の 4 つの動作モードが用意されており、ADMOD0<REPEAT> <SCAN>の設定により選択ができます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

チャネルスキャンモード(ADMOD0 <SCAN>="1")を選択した場合、ADMOD1<ADSCN>で以下のようにチャネルスキャンのモードを選択することができます。

- ４チャネルスキャンモード
- ８チャネルスキャンモード
- １２チャネルスキャンモード

4 つの変換モードについて以下に説明します。

(1)　チャネル固定シングル変換モード

ADMOD0<REPEAT, SCAN>に"00"を設定すると、チャネル固定シングル変換モードになります。

このモードでは、選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCFN>が"1"、ADMOD0<ADBFN>が"0"となり、変換終了割り込み要求(INTAD)が発生します。<EOCFN>は読み出すことにより"0"にクリアされます。

(2)　チャネルスキャンシングル変換モード

ADMOD0<REPET, SCAN> に"01"を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCFN>が"1"にセット、ADMOD0<ADBFN>が"0"にされ、変換終了割り込み要求(INTAD)が発生します。<EOCFN>は読み出すことで 0 にクリアされます。

(3) チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した 1 チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCFN>が"1"にセットされます。ADMOD0<ADBFN>は"0"にクリアされず"1"を保持します。変換終了割り込み要求(INTAD)発生タイミングは ADMOD0<ITM>の設定により選択できます。<EOCFN>がセットされるタイミングも割り込みのタイミングに連動します。

<EOCFN>は読み出すことにより 0 にクリアされます。

(4) チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に"11"を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0<EOCFN>が"1"にセットされ、変換終了割り込み要求(INTAD)が発生します。ADMOD0<ADBFN>は"0"にクリアされず"1"を保持します。<EOCFN>は読み出すことにより"0"にクリアされます。

13.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。

動作モードはチャネル固定のシングル変換のみです。ADMOD0<REPEAT, SCAN>の設定は関係ありません。起動条件が成立すると、ADMOD2<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生して、ADMOD2<EOCFHP>は 1 にセットされ、<ADBFHP>は 0 に戻ります。EOCFHP フラグは読み出すとクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

13.4.3 AD 監視機能

AD 監視機能を 2 チャネル持っています。

ADMOD3<ADOBSV0>, ADMOD5<ADOBSV1>に"1"をセットすると AD 監視機能が有効になり、ADMOD3<ADREGS0>, ADMOD5<ADREGS1>で指定された変換結果レジスタの内容が比較レジスタの値より大または小(ADMOD3<ADOBIC0>, ADMOD5<ADBIC1>で大か小は指定)になると AD 監視機能割り込み要求(INTADM0,INTADM1)が発生します。この比較動作は該当変換結果レジスタへ結果が格納されるごとに行われます。

AD 監視機能に割り当てている変換結果レジスタの変換結果を読み出さないで連続的に使用した場合、変換結果が上書きされ変換結果格納フラグ<ADRxRF>およびオーバランフラグ<OVRx>はセットされたままとなります。

13.4.4　入力チャネルの選択

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時
   - アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = "0")

     ADMOD1<ADCH>の設定により、アナログ入力端子の中から 1 チャネルを選択します。
   - アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = "1")

     ADMOD1 <ADCH><ADSCN>の設定により、スキャンモードを選択します。

2. 最優先 AD 変換時

   ADMOD2<HPADCH>の設定により、アナログ入力端子の中から 1 チャネルを選択します。

13.4.5　AD 変換動作詳細

13.4.5.1　AD 変換の起動

通常 AD 変換は ADMOD0<ADS> に"1"をセットすることにより起動されます。また、最優先 AD 変換は ADMOD2<HPADCE> に"1"をセットすることにより起動されます。

通常 AD 変換は ADMOD0<REPEAT,SCAN>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャネル固定のシングル変換のみです。

通常 AD 変換は ADMOD4<ADHS>、最優先 AD 変換は ADMOD4<HADHS>で選択されるハードウエア起動ソースにより起動することができます。<ADHS>、<HADHS>が"0"の場合は、$\overline{\text{ADTRG}}$ 端子より立ち下がりエッジの入力により起動され、このビットが"1" の場合、タイマの一致で起動されます。

ハードウエア起動を許可するには、通常 AD 変換では ADMOD4<ADHTG>、最優先 AD 変換では ADMOD4<HADHTG>に"1"をセットします。

ハードウエア起動が許可された場合でもソフトウエア起動は有効です。

注 1)　製品により $\overline{\text{ADTRG}}$ 端子を持たないものがあります。
注 2)　最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。
注 3)　トリガとなるタイマについては、"製品情報"の章を参照してください。

13.4.5.2　AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADMOD0<ADBFN>)に"1"がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ(ADMOD2<ADBFHP>)に 1 がセットされます。このとき、通常 AD 変換用の BUSY フラグ ADMOD0<ADBFN>と通常 AD 変換用の変換終了フラグ ADMOD0<EOCFN>は最優先 AD 変換の開始前の値を保持します

注)　最優先 AD 変換中に通常 AD 変換を再起動させないでください

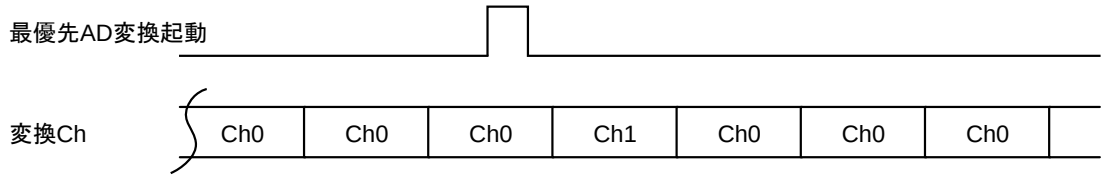
13.4.5.3 通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADMOD2<HPADCE>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウエアによる最優先 AD 変換の起動が許可されている場合は、ハードウエア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断したチャネルから通常 AD 変換を再開します。

例えば チャネル 0 のチャネルリピート変換中に<HPADCE>に"1"がセットされた場合は、AIN0 の変換が中断され<HPADCH>で指定されたチャネルの変換(下図の場合 AIN1)を行い、結果を ADREGSP へ格納後にチャネルリピート変換を再開します。



13.4.5.4 リピート変換モードの停止

リピート変換モード(チャネル固定リピートまたはチャネルスキャンリピート変換モード)の動作を停止させたい場合は、ADMOD0<REPEAT> に"0"を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBFN> は"0"にクリアされます。

13.4.5.5 通常 AD 変換の再起動

通常 AD 変換実行中に通常 AD 変換を再起動する場合はソフトウエアリセット(ADMOD3<ADRST>)を行ってから起動してください。ハードウエアによる通常 AD 変換の再起動は行わないでください。

13.4.5.6 変換終了

(1) 通常 AD 変換の終了

通常 AD 変換が終了すると、変換終了割り込み要求(INTAD)が発生します。また、AD 変換結果がレジスタに格納され、AD 変換終了を示す ADMOD0<EOCFN> と変換中を示す ADMOD0<ADBFN>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCFN><ADBFN>の変化タイミングは異なります。

各モードでの変換結果格納レジスタは、表 13-2、表 13-3 を参照してください。

モードごとの割り込み要求発生、フラグ変化は以下の通りです。

・ チャネル固定シングル変換モード

変換が終了した後、ADMOD0<EOCFN>が"1"にセット、ADMOD0<ADBFN>が"0"にクリアされ、変換終了割り込み要求が発生します。

・ チャネルスキャンシングル変換モード

スキャン変換が終了した後、ADMOD0<EOCFN>が"1"、ADMOD0<ADBFN>が"0"となり、変換終了割り込み要求が発生します。

・ チャネル固定リピート変換モード

ADMOD0<ADBFN>は"0"とはならず"1"を保持します。割り込み要求発生タイミングは ADMOD0<ITM>の設定により選択できます。割り込みが発生するタイミングで ADMOD0<EOCFN>もセットされます。

・ チャネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとに ADMOD0<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBFN>は"0"にならず"1"を保持します。

(2)　最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生し、最優先 AD 変換終了を示す ADMOD2<EOCFHP> が"1"にセットされます。

変換結果は ADREGSP に格納されます。

(3)　データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。変換が終了すると ADMOD0<EOCFN>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ハーフワードまたはワードアクセスで読んでください。<OVRx> = "0"、<ADRxRF> = "1"であれば、正しい変換結果が得られたことになります。

13.4.5.7　割り込み発生タイミングと変換結果格納レジスタ

表 13-1 に、変換モードと割り込み発生タイミングとフラグの関係を、表 13-2 および表 13-3 に変換結果レジスタについてまとめます。

表 13-1 AD 変換モードと割り込み発生タイミング, フラグ動作の関係

変換モード		スキャン/リピートモード設定			割り込み発生タイミング	ADMOD0<EOCFN>/ ADMOD2<EOCFHP> セットタイミング (注)	ADMOD0	ADMOD2
		ADMOD0 <REPEAT>	ADMOD0 <SCAN>	ADMOD0 <ITM>			<ADBFN> (割り込み発生後)	<ADBFHP>
通常変換	チャネル固定 シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定 リピート変換	1	0	00	1 回変換ごと	変換 1 回終了後	1	−
				01	4 回変換ごと	変換 4 回終了後	1	−
				10	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャン シングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャン リピート変換	1	1	−	1 回のスキャン変換終了ごと	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了	−	0

注) ADMOD0<EOCFN>,ADMOD2<EOCFHP>はリードするとクリアされます。

表 13-2 結果格納レジスタ(チャネル固定リピート変換モード)

<ITM[1:0]>	格納レジスタ
00 1 回変換ごとに割り込み発生	ADREG0
01 4 回変換ごとに割り込み発生	ADREG0 ~ ADREG3
10 8 回変換ごとに割り込み発生	ADREG0 ~ ADREG7

表 13-3 結果格納レジスタ(チャネル固定リピートモード以外)

ADMOD1 <ADCH[3:0]>	ADMOD0 <SCAN>=0		ADMOD0 <SCAN>=1					
	チャネル固定		<ADSCN>=00 4 チャネルスキャン		<ADSCN>=00 8 チャネルスキャン		<ADSCN>=00 12 チャネルスキャン	
	変換チャネル	格納レジスタ	変換チャネル	格納レジスタ	変換チャネル	格納レジスタ	変換チャネル	格納レジスタ
0000	AIN0	ADREG0	AIN0	ADREG0	AIN0	ADREG0	AIN0	ADREG0
0001	AIN1	ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1
0010	AIN2	ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2
0011	AIN3	ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3
0100	AIN4	ADREG4	AIN4	ADREG4	AIN0~AIN4	ADREG0 ~ ADREG4	AIN0~AIN4	ADREG0 ~ ADREG4
0101	AIN5	ADREG5	AIN4~AIN5	ADREG4 ~ ADREG5	AIN0~AIN5	ADREG0 ~ ADREG5	AIN0~AIN5	ADREG0 ~ ADREG5
0110	AIN6	ADREG6	AIN4~AIN6	ADREG4 ~ ADREG6	AIN0~AIN6	ADREG0 ~ ADREG6	AIN0~AIN6	ADREG0 ~ ADREG6
0111	AIN7	ADREG7	AIN4~AIN7	ADREG4 ~ ADREG7	AIN0~AIN7	ADREG0 ~ ADREG7	AIN0~AIN7	ADREG0 ~ ADREG7
1000	AIN8	ADREG0	AIN8	ADREG0	AIN8	ADREG0	AIN0~AIN8	ADREG0 ~ ADREG8
1001	AIN9	ADREG1	AIN8~AIN9	ADREG0 ~ ADREG1	AIN8~AIN9	ADREG0 ~ ADREG1	AIN0~AIN9	ADREG0 ~ ADREG9
1010	AIN10	ADREG2	AIN8~AIN10	ADREG0 ~ ADREG2	AIN8~AIN10	ADREG0 ~ ADREG2	AIN0~AIN10	ADREG0 ~ ADREG10
1011	AIN11	ADREG3	AIN8~AIN11	ADREG0 ~ ADREG3	AIN8~AIN11	ADREG0 ~ ADREG3	AIN0~AIN11	ADREG0 ~ ADREG11
1100	AIN12	ADREG4	AIN12	ADREG4	AIN8~AIN12	ADREG0 ~ ADREG4	-	-
1101	AIN13	ADREG5	AIN12~AIN13	ADREG4 ~ ADREG5	AIN8~AIN13	ADREG0 ~ ADREG5	-	-
1110	AIN14	ADREG6	AIN12~AIN14	ADREG4 ~ ADREG6	AIN8~AIN14	ADREG0 ~ ADREG6	-	-
1111	AIN15	ADREG7	AIN12~AIN15	ADREG4 ~ ADREG7	AIN8~AIN15	ADREG0 ~ ADREG7	-	-

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力が兼用となっている端子への入力及び端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

第 14 章　24 ビット ΔΣ 型アナログ/デジタルコンバータ(DSADC)

DSADC の基準電圧回路(BGR)は温度センサと共通に使用しており、使用するためには温度センサの制御レジスタ(TEPEN)の設定も必要です。

14.1　特徴

DSADC には、以下のような特徴があります。

- 変換スタート
  ソフトウエアによる変換スタート
- 変換モード
  - シングル変換
  - リピート変換
- ステータスフラグ
  - 変換結果格納フラグ
  - オーバランフラグ
  - 変換終了フラグ
  - 変換中フラグ
- 変換クロックを分周可能
  fc/1、fc/2、fc/4、fc/8
- 変換終了割り込みを出力
- 変換開始補正機能
- ユニット間同時スタート機能

DSADC を使用する場合、下記のとおり端子処理を行ってください。

- VREFINx に基準電源の接続はしない
- AGNDREFx は DVSS と同じレベルに接続
- VREFINx と AGNDREFx の間に 1μF のコンデンサを接続

DSADC を使用しない場合、下記のとおり端子処理を行ってください。

- AGNDREFx は DVSS と同じレベルに接続

また、温度センサも使用しない場合、基準電圧回路に関し下記のとおり端子処理を行ってください。

- DSRVDD3、SRVDD は DVDD3 に接続
- DSRVSS は DVSS に接続

14.2　ブロック図

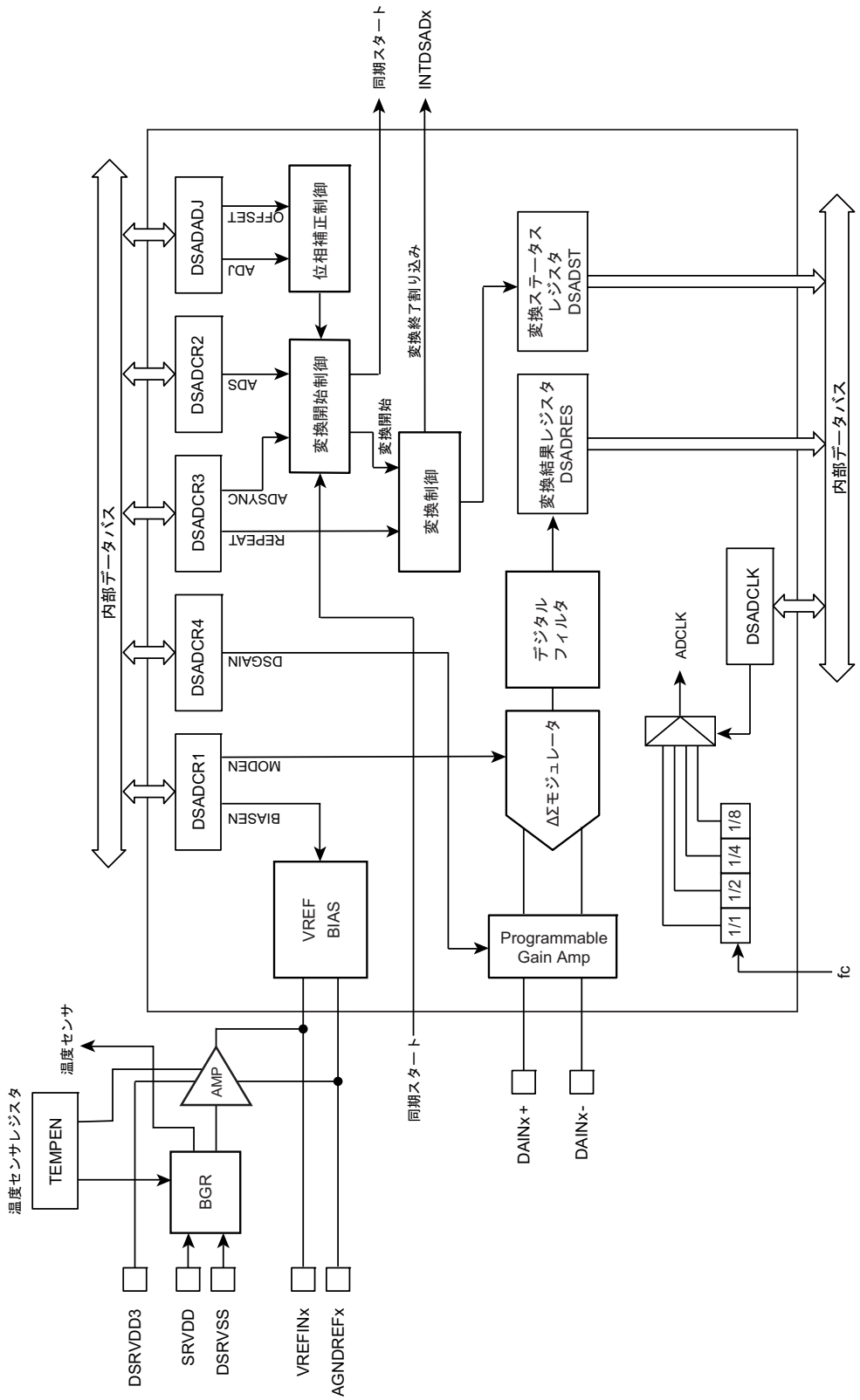


図 14-1 24 ビット ΔΣ 型 AD コンバータブロック図

14.3 レジスタ説明

14.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
クロック設定レジスタ	DSADCLK	0x0000
コントロールレジスタ 0	DSADCR0	0x0004
コントロールレジスタ 1	DSADCR1	0x0008
コントロールレジスタ 2	DSADCR2	0x000C
コントロールレジスタ 3	DSADCR3	0x0010
コントロールレジスタ 4	DSADCR4	0x0014
補正レジスタ	DSADADJ	0x0030
変換ステータスレジスタ	DSADST	0x0040
変換結果レジスタ	DSADRES	0x0044

14.3.2 レジスタ詳細

14.3.2.1 DSADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	ADCLK		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	AD 変換クロック選択 000: fc/1 001: fc/2 010: fc/4 011: fc/8 100-111: 設定禁止

注 1) <ADCLK[2:0]>レジスタの変更は、AD 変換停止時で DSADCR1<BIASEN>および<MODEN>が"0" の状態で行ってください。

注 2)　同期スタート機能を使用する場合、すべてのユニットで同じ変換クロックを選択してください。

14.3.2.2　DSADCR0（コントロールレジスタ 0）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	−	リードすると"0"が読めます。
1-0	ADRST	W	ソフトウエアリセット(注) "10"、"01"の順にライトすることでソフトウエアリセットが発生します。内部回路と DSADCLK 以外のレジスタは初期化されます。

注)　DSADCR1<BIASEN> = "1"のときのみ有効です。

14.3.2.3 DSADCR1（コントロールレジスタ 1）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BIASEN	MODEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	–	リードすると"0"が読めます。
1	BIASEN	R/W	バイアス制御 0：停止 1：動作
0	MODEN	R/W	モジュレータ制御 0：停止 1：動作

14.3.2.4 DSADCR2（コントロールレジスタ 2）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	–	リードすると"0"が読めます。
0	ADS	W	変換開始 1: 変換開始 "1"を設定すると変換を開始します。"0"の書き込みは意味を持ちません。 リードすると"0"が読めます。

14.3.2.5　DSADCR3（コントロールレジスタ 3）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	ADSYNC
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	REPEAT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	−	リードすると"0"が読めます。
8	ADSYNC	R/W	同期モード 0: 個別動作 1: 同期動作 "1"を設定すると、複数ユニットで同時に変換スタートします。(注)
7-1	−	R	リードすると"0"が読めます。
0	REPEAT	R/W	変換モード 0: シングル変換 1: 連続変換 変換モードを選択。連続変換動作中にシングル変換に変更した場合、変換は自動的に停止します。

注)　スレーブとして使用するユニットのみ"1"を設定してください。マスタとなるユニットは"0"で使用します。本製品でのマスタとスレーブの割り当ては、「製品情報」の章を参照してください。

14.3.2.6 DSADCR4（コントロールレジスタ 4）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DSGAIN		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	−	リードすると"0"が読めます。
2-0	DSGAIN[2:0]	R/W	ゲインアンプ設定 000: ×1 001: ×2 010: ×4 011: ×8 100: ×16 101-111: Reserved

14.3.2.7 DSADADJ(補正レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	OFFSET							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	OFFSET							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ADJ
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	OFFSET	R/W	変換開始補正時間 DSADCR2<ADS>に"1"を設定してから、変換を開始するまでの時間を設定します。 <OFFSET>×1/fsys 分の遅延がつきます。
15-1	−	R	リードすると"0"が読めます。
0	ADJ	R/W	変換開始補正 0: 補正しない 1: 補正する "1"を設定すると、変換開始の設定から<OFFSET>で設定した遅延後に変換を開始します。

14.3.2.8　DSADST(変換ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	EOCF	R	変換終了フラグ(注) 0: 変換終了していない 1: 変換終了
0	ADBF	R	変換中フラグ 0: 変換していない 1: 変換中

注)　このビットは、本レジスタを読み出すとクリアされます。

14.3.2.9 DSADRES(変換結果レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADR[23:16]							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADR[15:8]							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR[7:0]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADOVR	ADRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	ADR[23:0]	R	変換結果 変換結果が 2 の補数表現の値で格納されます。 変換中にリードすると前回の変換結果がリードされます。
7-2	-	R	リードすると"0"が読めます。
1	ADOVR	R	オーバランフラグ(注) 0: 発生していない 1: 発生した <ADR>を読み出す前に変換結果が上書きされると"1"がセットされます。
0	ADRF	R	変換結果格納フラグ(注) 0: 変換結果が格納されていない 1: 変換結果が格納された 変換結果が<ADR>に格納されると"1"がセットされます。

注) このビットは本レジスタを読み出すと"0"にクリアされます。

14.4　動作説明

14.4.1　起動および停止手順

DSADC の使用を開始する場合、また低消費電力モードに遷移するなど停止をする場合の手順を説明します。設定が必要なレジスタを以下に示します。

レジスタ	ビット	制御対象
TEMPEN	EN0, EN1	基準電圧回路(注)
CGSYSCR	FCSTOP	DSADC、ADC へのクロック供給
DSADCLK	DSADCLK	変換クロックの分周
DSADCR4	DSGAIN	ゲイン設定
DSADCR1	BIASEN, MODEN	バイアス回路、モジュレータ回路動作

注)　基準電圧回路は温度センサと共通に使用します。

14.4.1.1　起動

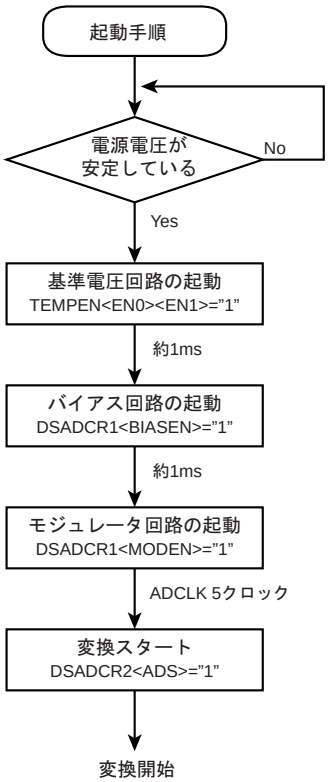


図 14-2 起動手順

電源電圧が安定した状態で、以下の順序で操作を行ってください。

1. 基準電圧回路の起動

   TEMPEN<EN0><EN1>に"1"を設定し、1ms 以上の安定化時間を確保します。

TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

2. バイアス回路の起動

   DSADCR1<BIASEN>に"1"を設定し、1ms 以上の安定化時間を確保します。

   <BIASEN>を設定する前に変換クロックを供給してください。変換クロックについては「1.4.2 変換クロック(ADCLK)」を参照してください。

3. モジュレータ回路の起動

   DSADCR1<MODEN>を"1"に設定します。

   その後、ADCLK 5 クロック後より変換が可能になります。

   変換モード(DSADCR3<REPEAT>)、ゲイン設定(DSADCR4<DSGAIN>)は、変換開始前に設定してください。

14.4.1.2 停止

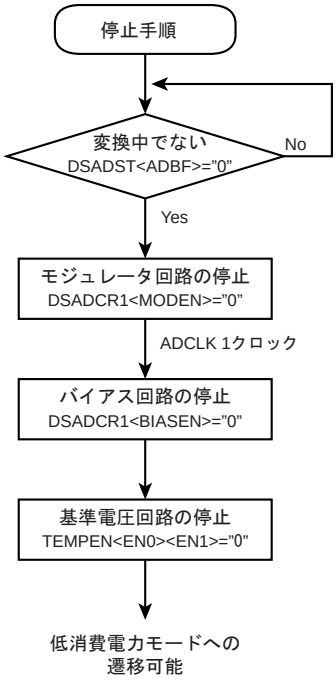


図 14-3 停止手順

変換が終了している状態(DSADST<ADBF>="0")で、以下の順序で操作を行ってください。

1. モジュレータ回路の停止

   DSADCR1<MODEN>を"0"に設定します。

2. バイアス回路の停止

   モジュレータ回路停止から ADCLK 1 クロック以上経過後に DSADCR1<BIASEN>に"0"を設定します。

3. 基準電圧生成回路の停止

TEMPEN<EN0><EN1>に"0"を設定します。

注) 基準電圧回路は温度センサと共用しています。温度センサ使用中は TEMPEN<EN0>は停止("0"設定)しないでください。

14.4.2　変換クロック(ADCLK)

DSADC に供給される変換クロックは逐次比較 ADC と共通で、リセット解除後は動作しています。このクロックは CGSYSCR<FCSTOP>で停止することができます。また、DSADCLK で分周することができます。

変換クロックの周波数変更または停止は、DSADC が停止した状態(DSADCR1<BIASEN><MODEN>がともに"0"）で行ってください。

同期スタート機能を使用する場合、すべてのユニットで同じ変換クロックを選択してください。

14.4.2.1　変換時間

変換時間は、ADCLK の周波数を f_{ADCLK} とすると以下の計算式で求められます。

$$\text{変換時間} = 1 / f_{ADCLK} \times 2640 + \text{固定遅延時間 [s]}$$

固定遅延時間は、シングル変換および、リピート変換の 1 回目では 673 から 675 クロック、リピート変換の 2 回目以降では 0 クロックです。

例えば、fc=16MHz にて fc/1 選択時で、2 回目以降の場合 変換時間は 165μs となります。

14.4.2.2　低消費電力モードへの遷移

SLOW モードに遷移する際は、「14.4.1 起動および停止手順」の停止手順にて DSADC を停止し、CGSYSCR<FCSTOP>で DSADC に供給されるクロックを停止してください。

STOP,SLEEP モードに遷移する場合、停止手順にて DSADC を停止してください。DSADC に供給されるクロックは自動的に停止します。

14.4.3　変換モード

変換モードは、1 回のみ変換するシングルモードと連続して変換するリピートモードの 2 種類で、DSADCR3<REPEAT>で設定します。

14.4.4　変換開始

DSADCR2<ADS>に"1"を設定することで変換を開始します。

14.4.5　変換ステータス

変換状態は DSADST で確認することができます。

変換動作中は DSADST<ADBF>が"1"になり、変換が終了すると DSADST<EOCF>が"1"になります。<EOCF>は、DSADST をリードするとクリアされます。

リピート変換の場合、動作中 DSADST<ADBF>は"1"を保持し、リピート変換を終了したときに"0"にクリアされます。

14.4.6 変換停止

シングルモードの場合、変換が終了すると DSADC は自動的に停止します。

リピートモード時に変換を停止する場合、DSADCR3<REPEAT>に"0"を設定すると実行中の変換を中断し DSADC は停止します。この際、変換終了割り込みは発生しません。

注) <REPEAT>に"0"を設定してリピート変換を終了する際、DSADCR3 の他のビットを書き換えないでください。

14.4.7 変換終了

変換が終了すると変換終了割り込みを発生します。変換結果が DSADRES<ADR>に格納され、DSADRES<ADRF>に"1"が設定されます。

割り込みを使用しない場合、DSADST<EOCF>をポーリングしてください。<EOCF>が"1"であれば変換が終了しています。

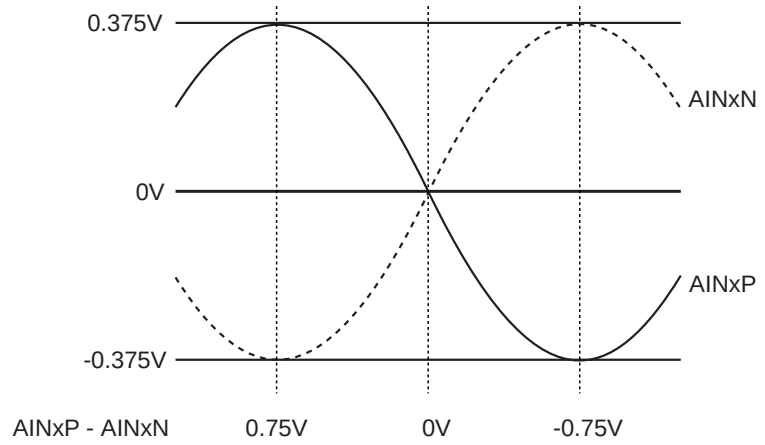
<ADR>に結果が設定されたのち、読みだされる前に次の結果が書き込まれた場合、<ADOVR>に"1"が設定されます。<ADRF>と<ADOVR>は DSREG をリードするとクリアされます。

14.4.8 変換結果

AINxP と AINxN の入力レンジが-0.375V～0.375V であるため、入力振幅の最大値は±0.75V となります。このときの変換結果は以下のとおりです。

注) VREFINx = 2.75V の場合の値です。

AINxP - AINxN	変換結果
0.75V	0x4FC2BF
0V	0x000000
-0.75V	0xB03D41



14.5　同期スタート機能

マスタとなるユニットの変換開始と同時にスレーブとなるユニットの変換を開始することができます。本製品でのマスタとスレーブの割り当ては、「製品情報」の章を参照してください。

14.5.1　起動

同期スタート機能を使用する際の設定手順を示します。

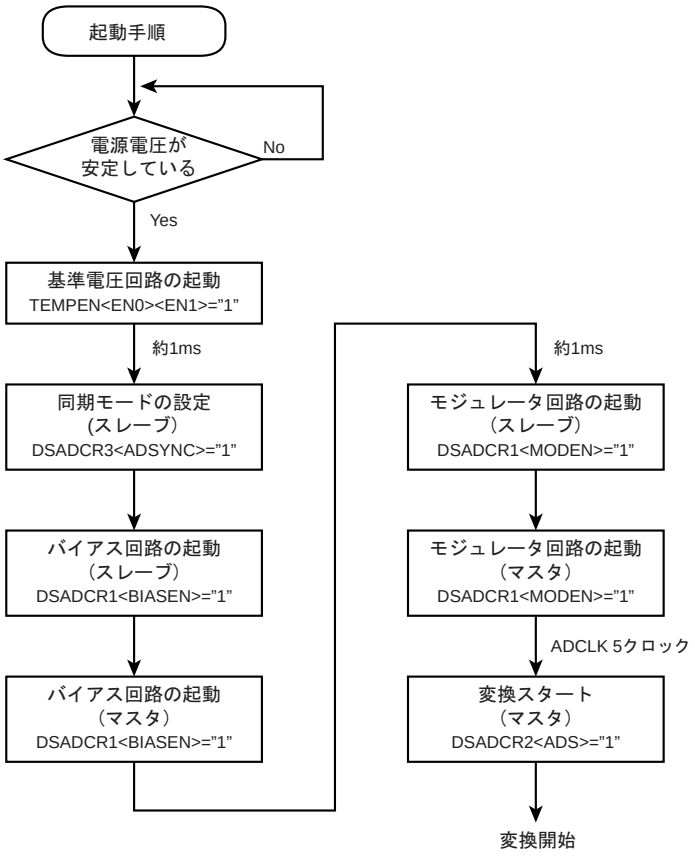


図 14-4 同期動作設定手順

1. 基準電圧回路の起動

   TEMPEN<EN0><EN1>に"1"を設定し、1ms 以上の安定化時間を確保します。

   TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

2. 同期動作の設定

   同期スタート機能を使用する際は、スレーブユニットの DSADCR3<ADSYNC>を"1"、マスタユニットの<ADSYNC>設定を"0"として使用してください。

3. バイアス回路の起動

   DSADCR1<BIASEN>に"1"を設定し、1ms 以上の安定化時間を確保します。<BIASEN>はスレーブ側を最初に設定し、最後にマスタを設定してください。

   <BIASEN>を設定する前にそれぞれのモジュールの変換クロックを供給してください。変換クロックについては「1.4.2 変換クロック(ADCLK)」を参照してください。

4. モジュレータ回路の起動

DSADCR1<MODEN>を"1"に設定します。<MODEN>はスレーブ側を最初に設定し、最後にマスタを設定してください。

その後、ADCLK 5 クロック後より変換が可能になります。

変換モード(DSADCR3<REPEAT>、ゲイン設定(DSADCR4<DSGAIN>)は、各ユニットの設定が有効です。変換開始前にユニットごとに設定してください。

14.5.2 停止

シングル変換モードでは、各ユニットの変換終了のタイミングで DSADC は停止します。

リピート変換モードでは、以下の方法で停止してください。

- スレーブのみ停止する場合

  スレーブの変換モードの変更(DSADCR3<REPEAT>を"0")またはソフトリセットによりスレーブを停止します。

  マスタは変換を継続します。
- マスタのみ停止する場合

  スレーブの DSADCR3<ADSYNC>を"0"として同期動作設定を解除した後、マスタを、変換モードの変更またはソフトリセットにより停止します。

  スレーブは変換を継続します。
- マスタ、スレーブとも停止する場合

  スレーブ、マスタの順にそれぞれ変換モードの変更またはソフトリセットにより停止します。

14.6 変換開始補正機能

変換開始補正機能を用いて、DSADCR2<ADS>に"1"を設定してから変換が開始するまでに遅延をつけることができます。

DSADADJ<ADJ>に"1"を設定するとこの機能が有効になります。遅延時間は DSADADJ<OFFSET>で設定します。<OFFSET>×1/fsys の遅延時間経過後、ADCLK に同期して変換がスタートします。

同期動作の場合、各ユニットの<OFFSET>に所望の遅延時間を設定することができます。マスタの<ADS>に"1"を設定してから各ユニットの<OFFSET>に設定された時間後に変換を開始します。

<ADS>に"1"を設定してから変換開始までの間は<OFFSET>の値を書き換えないでください。

第 15 章　温度センサ(TEMP)

15.1　概要

温度センサにより相対温度を計測できます。

温度センサは、基準電圧回路(BGR)の電圧を受けて温度に対応した電圧を出力します。出力された電圧は、アナログ/デジタルコンバータ(ADC)のチャネル 2ΔΣ 変換方式アナログ/デジタルコンバータ(DSADC)のユニット D に入力されており、AD 変換によりデジタル値として温度に対応する値を得ることができます。

注)　基準電圧回路(BGR)は ΔΣ 変換方式アナログ/デジタルコンバータ (DSADC)と共用しています。

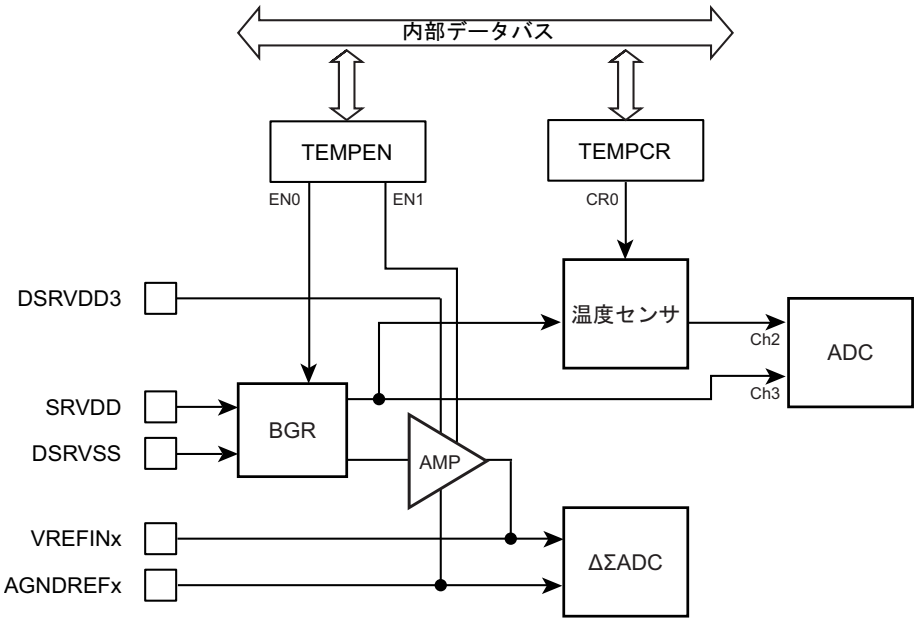
温度変化による温度センサ出力電圧の差には直線性があるため、複数の温度条件でのデータを取得することで相対的な温度を計測することができます。

ADC のチャネル 3 には BGR の電圧(1V)が入力されています。電源電圧の変動するシステムでは、BGR 電圧を AD 変換した結果から相対的に電源電圧を知ることができます。

温度センサ、DSADC を使用しない場合、基準電圧回路に関し下記のとおり端子処理を行ってください。

- DSRVDD3、SRVDD は DVDD3 に接続
- DSRVSS は DGND に接続

15.2　構成



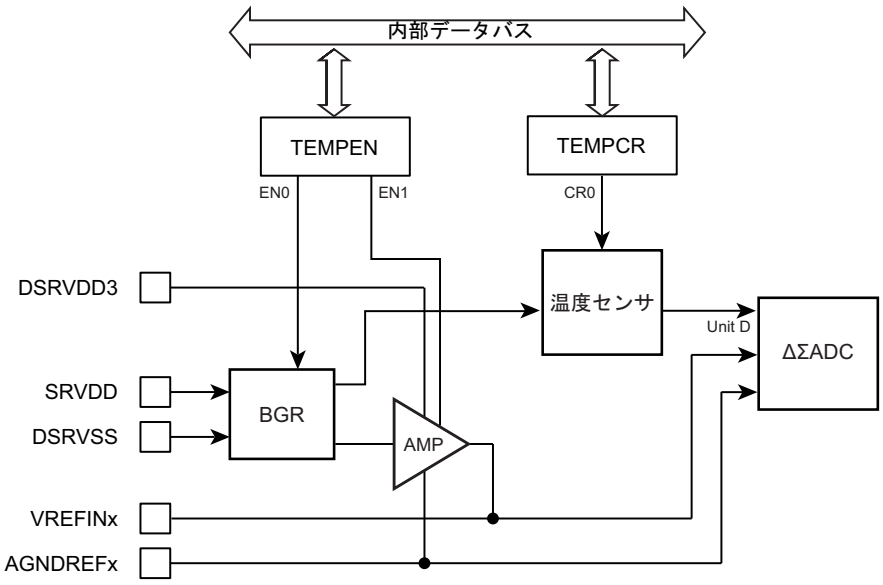


図 15-1 温度センサ構成

15.3 レジスタ説明

15.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TEMPEN	0x0000
コントロールレジスタ	TEMPCR	0x0004

15.3.2 レジスタ詳細

15.3.2.1 TEMPEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EN1	EN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	EN1	R/W	AMP 動作(注 1)(注 2) 0: 無効 1: 有効 ΔΣADC 用 AMP の有効/無効を設定します。
0	EN0	R/W	BGR 動作 0: 無効 1: 有効 基準電圧回路の有効/無効を設定します。

注) TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

注 1) TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

注 2) ΔΣADC で基準電圧を VREFINx に印加する場合、AMP は有効にしないでください。

15.3.2.2　TEMPCR（コントロールレジスタ）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CR0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	−	リードすると"0"が読めます。
0	CR0	R/W	温度センサ動作 0: 無効 1: 有効 温度センサの有効/無効を設定します。

15.4 動作説明

15.4.1 起動

電源電圧が安定した状態で、以下の順序で操作を行ってください。

1. 基準電圧回路の起動

   TEMPEN<EN0>に"1"を設定し、1ms 以上の安定化時間を確保します。

2. 温度センサの起動

   TEMPCR<CR0>を"1"に設定します。

   約 10μs 後より出力電圧が有効になります。

15.4.2 停止

電源電圧が安定した状態で、以下の順序で操作を行ってください。

1. 温度センサの停止

   TEMPCR<CR0>を"0"に設定します。

2. 基準電圧生成回路の停止

   TEMPEN<EN0>に"0"を設定します。

注) 基準電圧回路は ΔΣADC と共用しています。ΔΣADC 使用中は TEMPEN<EN0>は停止("0"設定)しないでください。

第 16 章　リアルタイムクロック(RTC)

16.1　RTC の機能概略

1. 時計機能(時間, 分, 秒)
2. カレンダ機能(月日, 週, うるう年)
3. 24 時間計と 12 時間計(AM/PM)のいずれかを選択可能
4. +/−30 秒補正機能(ソフトウエアによる補正)
5. アラーム機能($\overline{\text{ALARM}}$ 端子を持つ製品のみ)
6. アラーム割り込み
7. クロック補正機能
8. 1Hz クロック出力機能

16.2　ブロック図

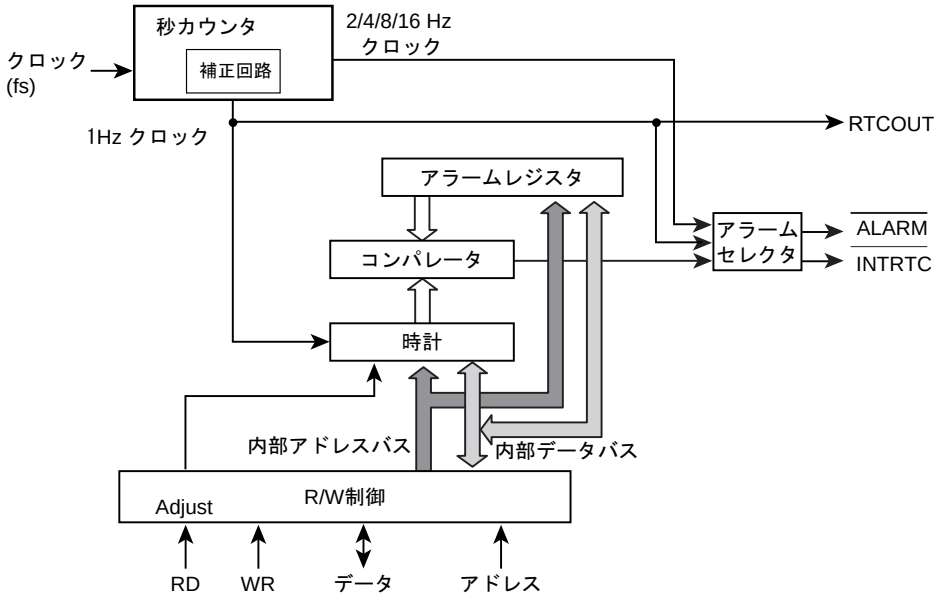


図 16-1 RTC ブロック図

注 1)　西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2)　うるう年について

うるう年は、4 で割り切れる年ですが、例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

16.3　レジスタ説明

16.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

RTC には PAGE0(時計機能)と PAGE1(アラーム機能)の 2 つの機能があり、一部のレジスタを共用しています。PAGE の選択は、RTCPAGER<PAGE>で行います。

レジスタ名		Address(Base+)
秒桁レジスタ(PAGE0 のみ)	RTCSECR	0x0000
分桁レジスタ	RTCMINR	0x0001
時間桁レジスタ	RTCHOURR	0x0002
− (注)	−	0x0003
曜日桁レジスタ	RTCDAYR	0x0004
日桁レジスタ	RTCDATER	0x0005
月桁レジスタ(PAGE0)	RTCMONTHR	0x0006
24 時間時計、12 時間時計の選択レジスタ(PAGE1)		
年桁レジスタ(PAGE0)	RTCYEARR	0x0007
うるう年レジスタ(PAGE1)		
PAGE レジスタ	RTCPAGER	0x0008
− (注)	−	0x0009
− (注)	−	0x000A
− (注)	−	0x000B
リセットレジスタ	RTCRESTR	0x000C
− (注)	−	0x000D
プロテクトレジスタ	RTCPROTECT	0x000E
補正機能制御レジスタ	RTCADJCTL	0x000F
補正値レジスタ	RTCADJDAT	0x0010, 0x0011

注)　リードすると"0"が読めます。また、書き込みは無視されます。

16.3.2　コントロールレジスタ

リセット動作により下記レジスタが初期化されます。

- RTCPAGER<PAGE>, <ADJUST>, <INTENA>
- RTCRESTR
- RTCPROTECT
- RTCADJCTL
- RTCADJDAT

これ以外の時計機能に関するレジスタはリセット動作が行なわれても初期化されません。

RTC を使用する際には各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

時計データの設定, 秒補正, 時計リセットを行う場合注意が必要です。後述の「16.4.3 低消費電力モードへ遷移する場合」を参照してください。

表 16-1 PAGE0 (時計機能)レジスタ

Symbol	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR		–	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁
RTCMINR		–	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁
RTCHOURR		–	–	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁
RTCDAYR		–	–	–	–	–	曜日設定			曜日桁
RTCDATER		–	–	20 日	10 日	8 日	4 日	2 日	1 日	日桁
RTCMONTHR		–	–	–	10 月	8 月	4 月	2 月	1 月	月桁
RTCYEARR		80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁(西暦下 2 桁)
RTCPAGER		割り込み許可	–	–	秒補正設定	時計許可	アラーム許可	–	PAGE 設定	PAGE レジスタ
RTCRESTR		1 Hz 許可	16 Hz 許可	時計リセット	アラームリセット	–	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセットレジスタ
RTCPROTECT		プロテクトコード設定								補正機能レジスタ書き込み制御
RTCADJCTL		–	–	–	–	補正基準時間設定			補正許可	補正機能制御
RTCADJDAT		補正値								補正値

注) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

表 16-2 PAGE1 (アラーム機能)レジスタ

Symbol	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR		–	–	–	–	–	–	–	–	–
RTCMINR		–	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分析
RTCHOURR		–	–	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁
RTCDAYR		–	–	–	–	–	曜日設定			アラーム曜日桁
RTCDATER		–	–	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁
RTCMONTHR		–	–	–	–	–	–	–	24/12	24 時間クロックモード
RTCYEARR		–	–	–	–	–	–	うるう年設定		うるう年モード
RTCPAGER		割り込み許可	–	–	秒補正設定	時計許可	アラーム許可	–	PAGE 設定	PAGE レジスタ
RTCRESTR		1 Hz 許可	16 Hz 許可	時計リセット	アラームリセット	–	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセットレジスタ
RTCPROTECT		プロテクトコード設定								補正機能レジスタ書き込み制御
RTCADJCTL		–	–	–	–	補正基準時間設定			補正許可	補正機能制御
RTCADJDAT		補正値								補正値

注 1) PAGE1 の RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

注 2) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCDATER, RTCMONTHR, RTCYEARR および PAGE1 の RTCYEARR(うるう年)レジスタのリード動作は 2 回行い、比較処理を行ってください。

16.3.3　レジスタ詳細

16.3.3.1　RTCSECR(秒桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	SE						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	−	R	リードすると"0"が読めます。
6-0	SE	R/W	秒桁設定 000_0000 : 00 秒　001_0000 : 10 秒　010_0000 : 20 秒 000_0001 : 01 秒　001_0001 : 11 秒　・ 000_0010 : 02 秒　001_0010 : 12 秒　011_0000 : 30 秒 000_0011 : 03 秒　001_0011 : 13 秒　・ 000_0100 : 04 秒　001_0100 : 14 秒　100_0000 : 40 秒 000_0101 : 05 秒　001_0101 : 15 秒　・ 000_0110 : 06 秒　001_0110 : 16 秒　101_0000 : 50 秒 000_0111 : 07 秒　001_0111 : 17 秒　・ 000_1000 : 08 秒　001_1000 : 18 秒　・ 000_1001 : 09 秒　001_1001 : 19 秒　101_1001 : 59 秒

注)　上記以外の設定はしないでください。

16.3.3.2　RTCMINR(分桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	MI						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	−	R	リードすると"0"が読めます。
6-0	MI	R/W	分桁設定 000_0000 : 00 分　001_0000 : 10 分　010_0000 : 20 分 000_0001 : 01 分　001_0001 : 11 分　・ 000_0010 : 02 分　001_0010 : 12 分　011_0000 : 30 分 000_0011 : 03 分　001_0011 : 13 分　・ 000_0100 : 04 分　001_0100 : 14 分　100_0000 : 40 分 000_0101 : 05 分　001_0101 : 15 分　・ 000_0110 : 06 分　001_0110 : 16 分　101_0000 : 50 分 000_0111 : 07 分　001_0111 : 17 分　・ 000_1000 : 08 分　001_1000 : 18 分　・ 000_1001 : 09 分　001_1001 : 19 分　101_1001 : 59 分 111_1111 : アラーム機能で分桁を比較しない

注)　上記以外の設定はしないでください。

16.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))

(1) 24 時間クロックモード(RTCMONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 00_0000 : 00 時　01_0000 : 10 時　10_0000 : 20 時 00_0001 : 01 時　01_0001 : 11 時　10_0001 : 21 時 00_0010 : 02 時　01_0010 : 12 時　10_0010 : 22 時 00_0011 : 03 時　01_0011 : 13 時　10_0011 : 23 時 00_0100 : 04 時　01_0100 : 14 時 00_0101 : 05 時　01_0101 : 15 時 00_0110 : 06 時　01_0110 : 16 時 00_0111 : 07 時　01_0111 : 17 時 00_1000 : 08 時　01_1000 : 18 時 00_1001 : 09 時　01_1001 : 19 時 11_1111 : アラーム機能(PAGE1)で時間桁を比較しない

注) 上記以外の設定はしないでください。

(2) 12 時間クロックモード(RTCMONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (AM)　(PM) 00_0000 : 00 時　10_0000 : 00 時 00_0001 : 01 時　10_0001 : 01 時 00_0010 : 02 時　10_0010 : 02 時 00_0011 : 03 時　10_0011 : 03 時 00_0100 : 04 時　10_0100 : 04 時 00_0101 : 05 時　10_0101 : 05 時 00_0110 : 06 時　10_0110 : 06 時 00_0111 : 07 時　10_0111 : 07 時 00_1000 : 08 時　10_1000 : 08 時 00_1001 : 09 時　10_1001 : 09 時 01_0000 : 10 時　11_0000 : 10 時 01_0001 : 11 時　11_0001 : 11 時 111_1111 : アラーム機能(PAGE1)で時間桁を比較しない

注) 上記以外の設定はしないでください。

16.3.3.4　RTCDAYR(曜日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WE		
リセット後	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-3	−	R	リードすると"0"が読めます。
2-0	WE	R/W	曜日桁設定 000 : 日曜日 001 : 月曜日 010 : 火曜日 011 : 水曜日 100 : 木曜日 101 : 金曜日 110 : 土曜日 111 : アラーム機能で曜日桁を比較しない

注)　上記以外の設定はしないでください。

16.3.3.5　RTCDATER(日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	DA					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	DA	R/W	日桁設定 01_0000 : 10 日　10_0000 : 20 日　11_0000 : 30 日 00_0001 : 01 日　01_0001 : 11 日　10_0001 : 21 日　11_0001 : 31 日 00_0010 : 02 日　01_0010 : 12 日　10_0010 : 22 日 00_0011 : 03 日　01_0011 : 13 日　10_0011 : 23 日 00_0100 : 04 日　01_0100 : 14 日　10_0100 : 24 日 00_0101 : 05 日　01_0101 : 15 日　10_0101 : 25 日 00_0110 : 06 日　01_0110 : 16 日　10_0110 : 26 日 00_0111 : 07 日　01_0111 : 17 日　10_0111 : 27 日 00_1000 : 08 日　01_1000 : 18 日　10_1000 : 28 日 00_1001 : 09 日　01_1001 : 19 日　10_1001 : 29 日 11_1111 : アラーム機能で日桁を比較しない

注 1)　上記以外の設定はしないでください。
注 2)　2 月 30 日など、存在しない日は設定しないでください。

16.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	MO				
リセット後	0	0	0	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-5	–	R	リードすると"0"が読めます。
4-0	MO	R/W	月桁設定 0_0001 : 1 月　0_0111 : 7 月 0_0010 : 2 月　0_1000 : 8 月 0_0011 : 3 月　0_1001 : 9 月 0_0100 : 4 月　1_0000 : 10 月 0_0101 : 5 月　1_0001 : 11 月 0_0110 : 6 月　1_0010 : 12 月

注)　上記以外の設定はしないでください。

16.3.3.7 RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MO0
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
7-1	–	R	リードすると"0"が読めます。
0	MO0	R/W	0 : 12 時間 1 : 24 時間

注)　RTC 動作時(RTCPAGER<ENATMR> = "1")には、RTCMONTHR<MO0>を操作しないでください。

16.3.3.8　RTCYEARR(年桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	YE							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-0	YE	R/W	年桁設定 0000_0000 : 00 年　0001_0000 : 10 年　0110_0000 : 60 年 0000_0001 : 01 年　・　・ 0000_0010 : 02 年　0010_0000 : 20 年　0111_0000 : 70 年 0000_0011 : 03 年　・　・ 0000_0100 : 04 年　0011_0000 : 30 年　1000_0000 : 80 年 0000_0101 : 05 年　・　・ 0000_0110 : 06 年　0100_0000 : 40 年　1001_0000 : 90 年 0000_0111 : 07 年　・　・ 0000_1000 : 08 年　01001_0000 : 50 年　・ 0000_1001 : 09 年　・　1001_1001 : 99 年

注)　上記以外の設定はしないでください。

16.3.3.9　RTCYEARR(うるう年レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	LEAP	
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
7-2	−	R	リードすると"0"が読めます。
1-0	LEAP	R/W	00 : 現在の年(今年)がうるう年 01 : 現在がうるう年から 1 年目 10 : 現在がうるう年から 2 年目 11 : 現在がうるう年から 3 年目

16.3.3.10 RTCPAGER(PAGE レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	INTENA	-	-	ADJUST	ENATMR	ENAALM	-	PAGE
リセット後	0	0	0	0	不定	不定	0	0

Bit	Bit Symbol	Type	機能
7	INTENA	R/W	INTRTC 0: 禁止 1: 許可
6-5	−	R	リードすると"0"が読めます。
4	ADJUST	R/W	[ライト] 0: Don't care 1: ADJUST 要求セット 秒を補正します。要求は秒カウンタのカウントアップ時にサンプリングされ、秒が 0~29 秒の場合秒桁のみ "0" になります。また、30~59 秒のときは分を桁上げして秒を"0"にします。 [リード] 0: ADJUST 要求なし 1: ADJUST 要求あり "1"の場合 ADJUST 実行中を示し、"0"で処理が終了したことを示します。
3	ENATMR	R/W	時計 0: 禁止 1: 許可
2	ENAALM	R/W	ALARM 0: 禁止 1: 許可
1	−	R	リードすると"0"が読めます。
0	PAGE	R/W	PAGE 設定 0:Page0 が選択されます。 1:Page1 が選択されます。

注 1) このレジスタはリードモディファイライトできません。

注 2) <ENATMR>割り込み許可ビットと、<INTENA>の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。(時計許可と割り込み許可の設定間に時間差を設ける。)
また、<ENATMR><ENAALM>の設定を変更する際には、<INTENA>を禁止してから行ってください。

(例)現時刻、アラーム設定

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	1	0	0	時計、アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

16.3.3.11　RTCRESTR(リセットレジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	DIS2HZ	DIS4HZ	DIS8HZ
リセット後	1	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
7	DIS1HZ	R/W	1 Hz 割り込み 0: 許可 1: 禁止
6	DIS16HZ	R/W	16 Hz 割り込み 0: 許可 1: 禁止
5	RSTTMR	R/W	[ライト] 0: Don't care 1: 秒カウンタリセット 秒カウンタをリセットします。要求は低速クロックでサンプリングされます。 [リード] 0: リセット要求なし 1: リセット要求あり "1"の場合リセット実行中を示し、"0"で処理が終了したことを示します。
4	RSTALM	R/W	0:Don't care 1: アラームリセット アラームレジスタ(分, 時, 日, 週桁レジスタ)を初期化します。 初期化後は、00 分, 00 時, 01 日, 日曜日になります。
3	−	R	リードすると"0"が読めます。
2	DIS2HZ	R/W	2 Hz 割り込み 0: 許可 1: 禁止
1	DIS4HZ	R/W	4 Hz 割り込み 0: 許可 1: 禁止
0	DIS8HZ	R/W	8 Hz 割り込み 0: 許可 1: 禁止

注)　このレジスタはリードモディファイライトできません。

アラーム、1Hz 割り込み、2Hz 割り込み、4Hz 割り込み、8Hz 割り込み、16Hz 割り込み、で使用する場合の<DIS1HZ>,<DIS2HZ>,<DIS4HZ>,<DIS8HZ>,<DIS16HZ>の設定を以下に示します。

表 16-3 割り込みソース信号の選択

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割り込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1 Hz
1	0	1	1	1	0	2 Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16 Hz
その他						割り込みは発生しません。

16.3.3.12 RTCPROTECT(プロテクトレジスタ)

	7	6	5	4	3	2	1	0
bit symbol	RTCPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
7-0	RTCPROTECT	R/W	補正機能レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで RTCADJCTR および RTCAJDAT レジスタへの書き込みができなくなります。

16.3.3.13 RTCADJCTL(補正機能制御レジスタ)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	AJSEL			AJEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
7-4	–	R	リードすると"0"が読めます。
3-1	AJSEL	R/W	補正基準時間設定 000: 1 秒 001: 10 秒 010: 20 秒 011: 30 秒 100: 1 分 101 - 111: Reserved 補正を行う際の基準時間を設定します。
0	AJEN	R/W	補正機能制御 0 : 補正機能無効 1 : 補正機能有効

16.3.3.14　RTCADJDAT(補正値レジスタ)

	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	ADJDAT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADJDAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
15-9	−	R	リードすると"0"が読めます。
8-0	ADJDAT	R/W	補正値 0_0000_0000 : 補正なし 0_0000_0001 : 32768 + 1 0_0000_0010 : 32768 + 2 ・ 0_1111_1110 : 32768 + 254 0_1111_1111 : 32768 + 255 1_0000_0000 : 32768 - 256 1_0000_0001 : 32768 - 255 ・ 1_1111_1110 : 32768 - 2 1_1111_1111 : 32768 - 1 1 秒に対する補正値を設定します。ビット 8 が符号を示しており、"0"がプラス、"1"がマイナスを表します。ビット 7 ~ 0 で補正値を指定します。

16.4 時計データのリード/ライト

RTC 内部には 32.768 kHz の信号から 1 Hz の信号を発生する秒カウンタが内蔵されており、このカウンタの動作を考慮して使用する必要があります。

16.4.1 時計データをリードする場合

1. 1 Hz 割り込みを利用する

   秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1 Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2 度読みを利用する

   時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

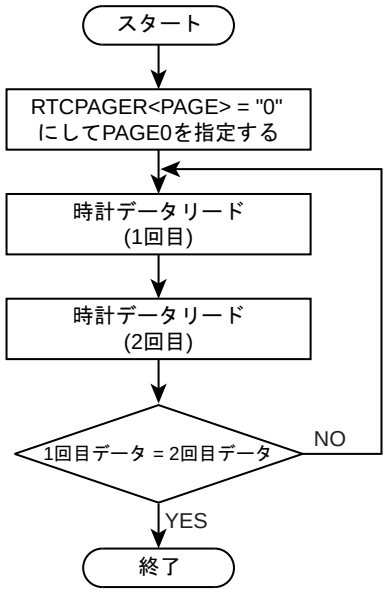


図 16-2 時計データのリードフロー

16.4.2 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

1. 1 Hz 割り込みを利用する

   秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1Hz 割り込みを待って、次の 1 s カウントアップまでの間にデータをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

   秒カウンタをリセットした後にデータをライトします。

カウンタリセット後に 1 Hz 割り込みを許可した場合、1 秒後に 1 Hz 割り込みが発生しますので、1 秒以内に時間設定を行うようにしてください。

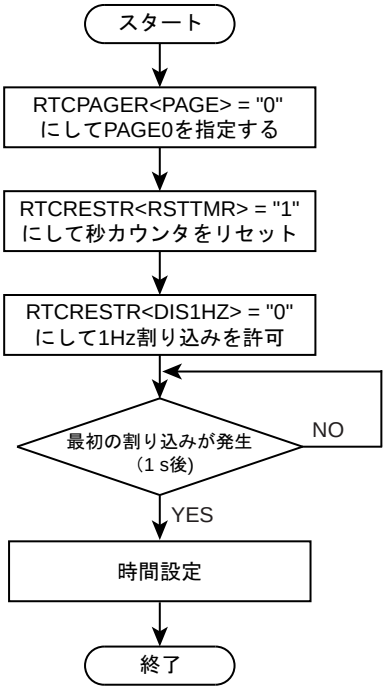


図 16-3 データライトのフロー

3. 時計を禁止する

RTCPAGER<ENATMR>に"0"をライトすると、時計は禁止となって桁上げは禁止されます。

1 Hz 割り込み発生後に時計を停止し(このとき秒カウンタは動作を継続)、次の 1 Hz 割り込みが発生する前(1 s 以内)に再度時計データを設定し時計を許可してください。

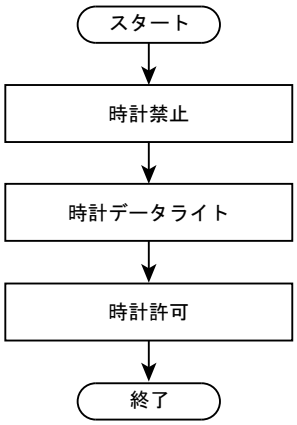


図 16-4 時計を禁止するフローチャート

16.4.3 低消費電力モードへ遷移する場合

時計データの設定, 秒補正, 時計リセット後にシステムクロックが停止するモード(SLEEP モード)へ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. 時計データの変更または<ADJUST>, <RSTTMR>操作後に 1 秒割り込みの発生を待つ。

2. 時計データの変更または<ADJUST>, <RSTTMR>操作後、時計レジスタ値<ADJUST>/<RSTTMR>の値を Read し、反映を確認する。

16.5　アラーム機能

RTCPAGER<PAGE>に"1"をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。$\overline{\text{ALARM}}$ 端子を持つ製品では、以下の信号のいずれかを出力できます。

1. アラームレジスタと時計の一致時、"Low"パルスを出力
2. 1 , 2, 4, 8, 16Hz のいずれかの周期の"Low"パルスを出力

いずれの場合も、低速クロック 1 周期分のパルスを出力します。また、同時に INTRTC 割り込みの要求を出力します。INTRTC 割り込み信号は、立ち下がりエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、"立ち下がりエッジ"に設定してください。

16.5.1　時計を用いた使用方法

PAGE1 のアラームレジスタと PAGE0 の時計の内容が一致したときに $\overline{\text{ALARM}}$ 端子に"Low"パルスを出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

まずアラーム禁止状態で、初期化を行います。アラームの初期化は RTCRESTR<RSTALM>に"1"をライトすることにより行われ、アラーム分桁, アラーム時桁, アラーム日桁, アラーム曜日桁は 00 分, 00 時, 01 日, 日曜日になります。

PAGE1 のアラーム分桁，アラーム時桁，アラーム日桁，アラーム曜日桁の設定を行い、RTCPAGER<ENAALM>でアラームを許可します。

最後に RTCPAGER<INTENA>で割り込みを許可します。

月曜日 5 日正午(12:00)にアラームを出力させる場合のプログラムを下記に示します。

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	0	0	1	アラーム禁止, PAGE1 設定
RTCRESTR	←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR	←	0	0	0	0	0	0	0	1	月曜日
RTCDATER	←	0	0	0	0	0	1	0	1	5 日
RTCHOURR	←	0	0	0	1	0	0	1	0	12 時設定
RTCMINR	←	0	0	0	0	0	0	0	0	00 分設定
RTCPAGER	←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

アラームレジスタを設定する際、設定値をすべて"1"とするとその項目については比較を行いません。たとえば、上記の例でアラーム日桁とアラーム曜日桁を"11_1111"および"111"とした場合、毎日正午(12:00)にアラームを出力することができます。

アラーム設定は、低速クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 fs の 1 クロック分(約 30 μs)の遅れが生じることがあります。

16.5.2 1, 2, 4, 8, 16 Hz 周期でアラームを出力する場合

RTCPAGER<ENAALM> = "0" とし、 RTCRESTR<DIS1HZ>, <DIS2HZ>, <DIS4HZ> <DIS8HZ>, <DIS16HZ>のいずれかのビットに"0"を設定後、RTCPAGER<INTENA> = "1"を設定すると $\overline{\text{ALARM}}$ 端子に設定した周期での低速クロック 1 周期分の"Low"パルスを出力します。また、同時に INTRTC 割り込みを出力します。

16.6　クロック補正機能

クロック補正機能を用いて時計の進みや遅れを高精度に補正できます。

図 16-5 の T1 は 1 秒を示し、fs（32768Hz）により 32768 回カウントして 1 秒を生成しています。クロック補正は、補正基準時間(Tall)のうちの 1 秒(T2)のカウント数を調整することで行います。補正基準時間は、RTCADJCTL<AJSEL>にて 1 秒、10 秒、20 秒、30 秒、1 分から選択します。T2 のカウント値は RTCADJDAT<ADJDAT>により、32768-255 から 32768+256 まで調整可能です。

記号	内容	説明
Tall	補正基準時間	RTCADJCTL<AJSEL>にて 1 秒、10 秒、20 秒、30 秒、1 分から選択
T1	1 秒	fs にて 32768 カウント
T2	補正対象の秒	32768 カウントに対し、RTCADJDAT<ADJDAT>の設定により補正

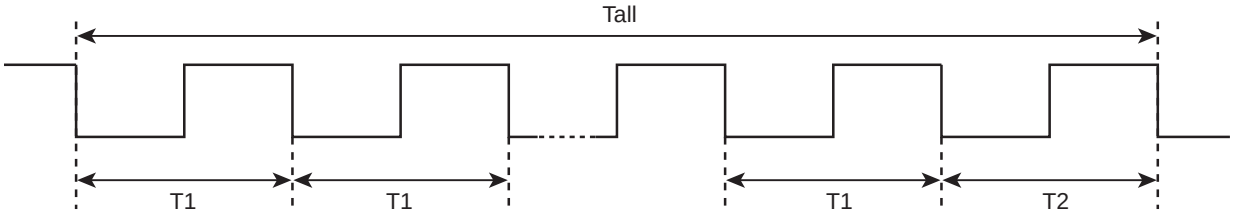


図 16-5 クロック補正

補正機能関連レジスタ RTCADJCTL および RTCADJDAT は、RTCPROTECT レジスタにて書き込みを禁止することができます。初期状態では、RTCPROTECT は"0xC1"で書き込み許可の状態です。RTCPROTECT に"0xC1"以外の値を設定することで RTCADJCTL,RTCADJDAT への書き込みが禁止されます。

16.7　1Hz クロック出力機能

RTCOUT 端子より 1Hz クロックを出力することができます。このクロックはデューティが 50%に整形されていますが、クロック補正機能を使用している場合はデューティに補正分の誤差を含みます。

第 17 章　LCD ドライバ

TMPM061FWFG は、液晶表示器(LCD)を直接駆動するドライブおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

1. セグメント出力端子　：40 本　(SEG39 ~ SEG0)
2. コモン出力端子　：4 本　(COM3 ~ COM0)

ほかに駆動用電源端子として VLC 端子、外部ブリーダ抵抗接続端子として LV1, LV2 端子があります。

注)　スタティック、1/3、1/2 デューティで使用する場合、未使用のコモン出力端子はオープンにしてください。(バイアス電圧が出力されます)。

直接駆動が可能な LCD は、次の 5 種類です。

1. 1/4 デューティ(1/3 バイアス)　LCD 最大 160 画素 (8 セグメント× 20 桁)
2. 1/3 デューティ(1/3 バイアス)　LCD 最大 120 画素 (8 セグメント× 15 桁)
3. 1/3 デューティ(1/2 バイアス)　LCD 最大 120 画素 (8 セグメント× 15 桁)
4. 1/2 デューティ(1/2 バイアス)　LCD 最大 80 画素 (8 セグメント× 10 桁)
5. スタティック　LCD 最大 40 画素(8 セグメント× 5 桁)

17.1　構成

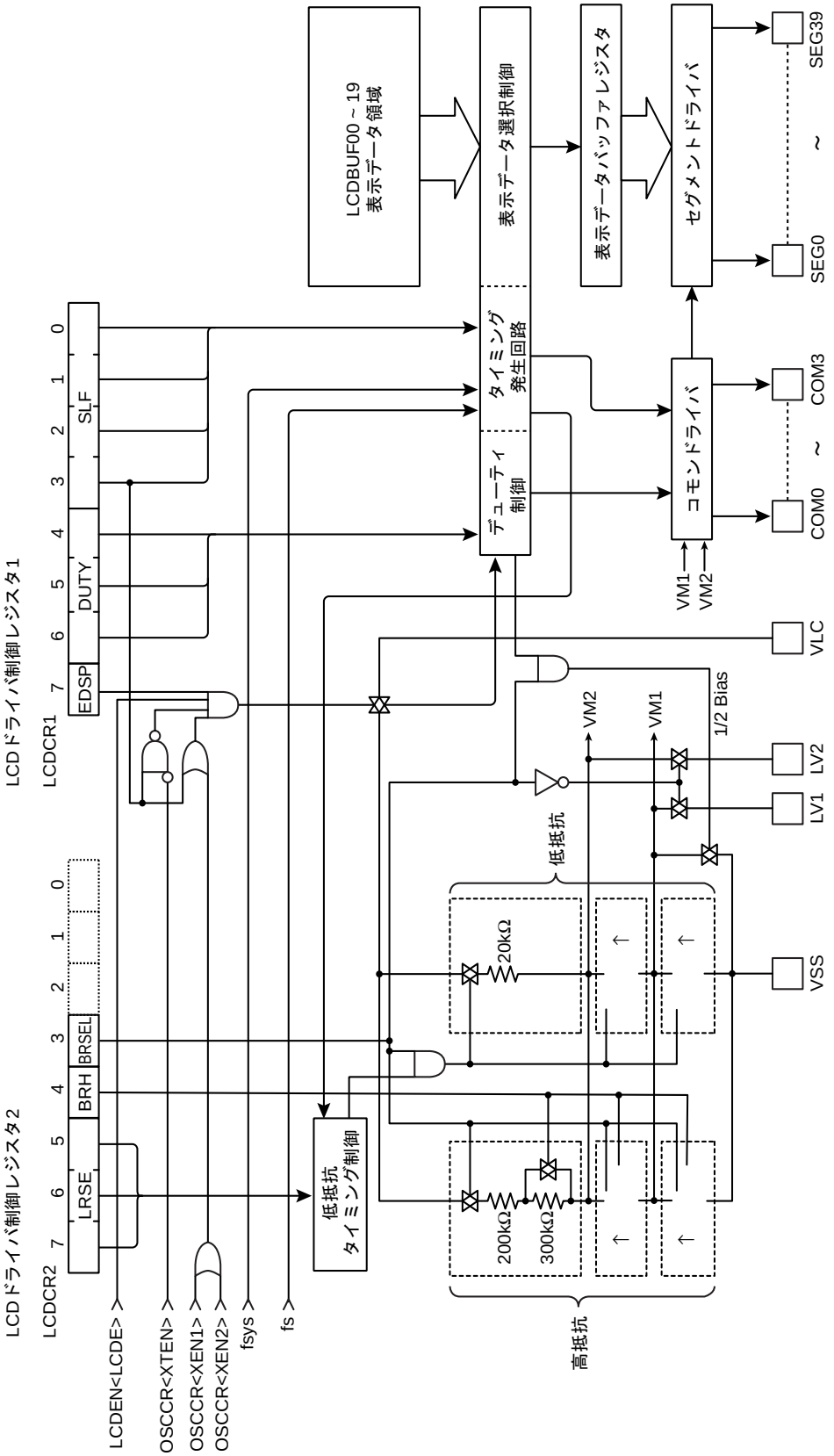


図 17-1 LCD ドライバ

17.2 レジスタ説明

17.2.1 レジスター覧

制御レジスタとアドレスを示します。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	LCDEN	0x0000
制御レジスタ 1	LCDCR1	0x0004
制御レジスタ 2	LCDCR2	0x0008
バッファレジスタ 00	LCDBUF00	0x000C
バッファレジスタ 01	LCDBUF01	0x0010
バッファレジスタ 02	LCDBUF02	0x0014
バッファレジスタ 03	LCDBUF03	0x0018
バッファレジスタ 04	LCDBUF04	0x001C
バッファレジスタ 05	LCDBUF05	0x0020
バッファレジスタ 06	LCDBUF06	0x0024
バッファレジスタ 07	LCDBUF07	0x0028
バッファレジスタ 08	LCDBUF08	0x002C
バッファレジスタ 09	LCDBUF09	0x0030
バッファレジスタ 10	LCDBUF10	0x0034
バッファレジスタ 11	LCDBUF11	0x0038
バッファレジスタ 12	LCDBUF12	0x003C
バッファレジスタ 13	LCDBUF13	0x0040
バッファレジスタ 14	LCDBUF14	0x0044
バッファレジスタ 15	LCDBUF15	0x0048
バッファレジスタ 16	LCDBUF16	0x004C
バッファレジスタ 17	LCDBUF17	0x0050
バッファレジスタ 18	LCDBUF18	0x0054
バッファレジスタ 19	LCDBUF19	0x0058

17.2.2　レジスタ詳細

17.2.2.1　LCDEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	LCDE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	LCDE	R/W	LCD ドライバ動作 0: 禁止 1: 動作 LCD ドライバの動作を指定します。LCD ドライバを使用する場合は、まず<LCDE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く LCD ドライバのすべてのクロックが停止しますので消費電力の低減が可能です。 LCD ドライバを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

17.2.2.2 LCDCR1 (コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EDSP	DUTY			SLF			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	EDSP	R/W	LCD 表示制御 0: 表示 Blanking 1: 表示 Enable (Blanking 解除)
6-4	DUTY	R/W	LCD 駆動方式の設定 000: 1/4 デューティ (1/3 バイアス) 001: 1/3 デューティ (1/3 バイアス) 010: 1/3 デューティ (1/2 バイアス) 011: 1/2 デューティ (1/2 バイアス) 100: スタティック 101: Reserved 110: Reserved 111: Reserved
3-0	SLF	R/W	ベース周波数の選択(注) 0000: $fsys/2^{18}$ 0001: $fsys/2^{17}$ 0010: $fsys/2^{16}$ 0011: $fsys/2^{15}$ 0100: $fsys/2^{14}$ 0101: Reserved 0110: Reserved 0111: Reserved 1000: $fs/2^{9}$ 1001: $fs/2^{8}$ 1010 - 1111: Reserved

注) SLOW モード時は fsys ベースの周波数("0000" ~ "0100")を選択しないでください。これらが選択された場合、コモン、セグメント出力端子から想定しないフレーム周波数のパルスが出力されます。

17.2.2.3　LCDCR2 (コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LRSE			BRH	BRSEL	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-5	LRSE	R/W	内部ブリーダ低抵抗の接続時間の選択 LCDCR1<SLF>の設定により、以下のようになります。
4	BRH	R/W	内部ブリーダ高抵抗の選択 0: 200kΩ (Typ.) 1: 500kΩ (Typ.)
3	BRSEL	R/W	ブリーダ抵抗の内部/外部切り替え 0: 外部ブリーダ抵抗を使用 1: 内部ブリーダ抵抗を使用
2-0	−	R	リードすると"0"が読めます。

	LCDCR1<SLF>						
	0000	0001	0010	0011	0100	1000	1001
000:	接続なし						
001:	2^{11}/fsys	2^{10}/fsys	2^{9}/fsys	2^{8}/fsys	2^{7}/fsys	2^{2}/fs	2/fs
010:	2^{12}/fsys	2^{11}/fsys	2^{10}/fsys	2^{9}/fsys	2^{8}/fsys	2^{3}/fs	2^{2}/fs
011:	2^{13}/fsys	2^{12}/fsys	2^{11}/fsys	2^{10}/fsys	2^{9}/fsys	2^{4}/fs	2^{2}/fs
100:	2^{14}/fsys	2^{13}/fsys	2^{12}/fsys	2^{11}/fsys	2^{10}/fsys	2^{5}/fs	2^{4}/fs
101:	2^{15}/fsys	2^{14}/fsys	2^{13}/fsys	2^{12}/fsys	2^{11}/fsys	2^{6}/fs	2^{5}/fs
110:	常時接続						
111:	Reserved						

注)　<LRSE>,<BRH>の設定は、<BRSEL>で内部ブリーダ抵抗を選択したときのみ有効です。

17.2.2.4 LCDBUF00 (バッファレジスタ 00)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG1				SEG0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG1	R/W	SEG1 データ SEG1 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG0	R/W	SEG0 データ SEG0 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.5 LCDBUF01 (バッファレジスタ 01)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG3				SEG2			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG3	R/W	SEG3 データ SEG3 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG2	R/W	SEG2 データ SEG2 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.6　LCDBUF02 (バッファレジスタ 02)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG5				SEG4			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG5	R/W	SEG5 データ SEG5 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG4	R/W	SEG4 データ SEG4 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.7　LCDBUF03 (バッファレジスタ 03)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG7				SEG6			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG7	R/W	SEG7 データ SEG7 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG6	R/W	SEG6 データ SEG6 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.8 LCDBUF04 (バッファレジスタ 04)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG9				SEG8			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG9	R/W	SEG9 データ SEG9 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG8	R/W	SEG8 データ SEG8 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.9 LCDBUF05 (バッファレジスタ 05)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG11				SEG10			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG11	R/W	SEG11 データ SEG11 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG10	R/W	SEG10 データ SEG10 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.10　LCDBUF06 (バッファレジスタ 06)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG13				SEG12			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG13	R/W	SEG13 データ SEG13 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG12	R/W	SEG12 データ SEG12 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.11　LCDBUF07 (バッファレジスタ 07)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG15				SEG14			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG15	R/W	SEG15 データ SEG15 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG14	R/W	SEG14 データ SEG14 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.12 LCDBUF08 (バッファレジスタ 08)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG17				SEG16			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG17	R/W	SEG17 データ SEG17 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG16	R/W	SEG16 データ SEG16 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.13 LCDBUF09 (バッファレジスタ 09)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG19				SEG18			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG19	R/W	SEG19 データ SEG19 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG18	R/W	SEG18 データ SEG18 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.14　LCDBUF10 (バッファレジスタ 10)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG21				SEG20			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG21	R/W	SEG21 データ SEG21 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG20	R/W	SEG20 データ SEG20 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.15　LCDBUF11 (バッファレジスタ 11)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG23				SEG22			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG23	R/W	SEG23 データ SEG23 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG22	R/W	SEG22 データ SEG22 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.16 LCDBUF12 (バッファレジスタ 12)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG25				SEG24			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG25	R/W	SEG25 データ SEG25 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG24	R/W	SEG24 データ SEG24 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.17 LCDBUF13 (バッファレジスタ 13)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG27				SEG26			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG27	R/W	SEG27 データ SEG27 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG26	R/W	SEG26 データ SEG26 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.18　LCDBUF14 (バッファレジスタ 14)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG29				SEG28			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG29	R/W	SEG29 データ SEG29 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG28	R/W	SEG28 データ SEG28 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.19　LCDBUF15 (バッファレジスタ 15)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG31				SEG30			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG31	R/W	SEG31 データ SEG31 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG30	R/W	SEG30 データ SEG30 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.20 LCDBUF16 (バッファレジスタ 16)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG33				SEG32			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	SEG33	R/W	SEG33 データ SEG33 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG32	R/W	SEG32 データ SEG32 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.21 LCDBUF17 (バッファレジスタ 17)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG35				SEG34			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	SEG35	R/W	SEG35 データ SEG35 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG34	R/W	SEG34 データ SEG34 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.22　LCDBUF18 (バッファレジスタ 18)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG37				SEG36			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG37	R/W	SEG37 データ SEG37 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG36	R/W	SEG36 データ SEG36 の COM3,COM2,COM1,COM0 のデータを設定します。

17.2.2.23　LCDBUF19 (バッファレジスタ 19)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SEG39				SEG38			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	SEG39	R/W	SEG39 データ SEG39 の COM3,COM2,COM1,COM0 のデータを設定します。
3-0	SEG38	R/W	SEG38 データ SEG38 の COM3,COM2,COM1,COM0 のデータを設定します。

17.3 動作説明

17.3.1 LCD 表示制御

LCDCR1<EDSP>を"1"に設定すると、LCD ドライバのパワースイッチが ON になり、VLC 電圧が LCD ドライバに印加されることで LCD ドライバが表示 Enable となります。<EDSP>を"0"に設定すると、LCD ドライバのパワースイッチが OFF になり VLC 電圧が遮断されることで LCD ドライバは表示 Blanking となります。

<EDSP>が"1"の際の LCD 接続端子の状態は、設定により以下のようになります。

1. コモン出力端子

   コモン出力端子は LCDCR1<EDSP>のみで制御されます。

LCDCR1 <EDSP>	コモン出力端子 COM0,COM1,COM2,COM3
0	"Low"レベル
1	コモン出力

2. 外部ブリーダ抵抗端子

   外部ブリーダ抵抗端子は汎用入出力ポートとの兼用端子です。外部ブリーダ抵抗として使用する場合、LCDCR2<BRSEL>に"0"を設定します。ポートの制御レジスタの設定は不要です。

LCDCR2 <BRSEL>	外部ブリーダ抵抗端子 LV1,LV2
1	入出力ポート
0	外部ブリーダ抵抗

3. セグメント出力端子

   セグメント出力端子は汎用入出力ポートとの兼用端子です。該当するファンクションレジスタ PxFRn に"1"を設定することでセグメント出力として機能します。PxFRn 以外のポートレジスタの設定は不要です。

PxFRn	PxCR	外部ブリーダ抵抗端子 LV1,LV2
0	0	汎用ポート
0	1	
1	0	セグメント出力
1	1	-

注)"x"はポート番号, "n"はファンクションレジスタ番号

17.3.2 リセット発生時の動作

リセット時、LCDCR1<EDSP>は"0"に初期化されますので、LCD ドライバのパワースイッチが自動的に OFF になり、VLC 電圧は遮断されます。このときコモン出力端子は"Low"レベルに固定されますが、入出力ポート/セグメント出力の兼用端子はポート入力(ハイインピーダンス)となります。よって外部からのリセット時間が長くなる場合は、LCD 表示が滲むなどの影響を与える場合があります。

17.3.3　SLEEP,STOP モード時の動作

LCDCR1<EDSP>が"1"の状態で SLEEP モードまたは STOP モードに遷移した場合以下のようになります。

注) SLEEP モードで LCD を使用する場合、SLEEP モードへの遷移は SLOW モードから行ってください。
NORMAL モードから SLEEP モードへ遷移した場合は表示は Blanking となります。

・ SLEEP モード

コモン端子、セグメント端子は SLEEP モードに遷移する前の状態を保持し、表示が継続されます。

・ STOP モード

STOP モードに遷移すると LCDCR1 <EDSP>は自動的に"0"に初期化され、表示は Blanking となります。STOP モードからの復帰後、再表示するには LCDCR1<EDSP>を"1"に設定する必要があります。

17.3.4　SLOW モード時の動作

NORMAL と SLOW の両モードで LCD を使用する場合、LCDCR1<SLF>は fs ベースの周波数("1000" ,"1001")を選択することを推奨します(モード遷移の前後で LCDCR1<SLF>の設定を変更する必要が無いため)。

NORMAL モードで fsys ベースの周波数を使用した場合、SLOW モードに切り替える前に一度 LCDCR1<EDSP>を"0"に設定し、SLOW モードに切り替えた後、LCDCR1<SLF>を fs ベースの周波数に切り替えるとともに LCDCR1<EDSP>を"1"に設定する必要があります。SLOW モードから NORMAL モードに切り替えるときも同様に、NORMAL モードに切り替える前に LCDCR1<EDSP>を"0"に設定し、NORMAL モードに切り替えた後、LCDCR1<SLF>を fsys ベースの周波数に切り替えるとともに LCDCR1<EDSP>を"1"に設定する必要があります。

17.3.5　フェイルセーフ機能

以下のような場合には表示ができませんのでご注意ください。

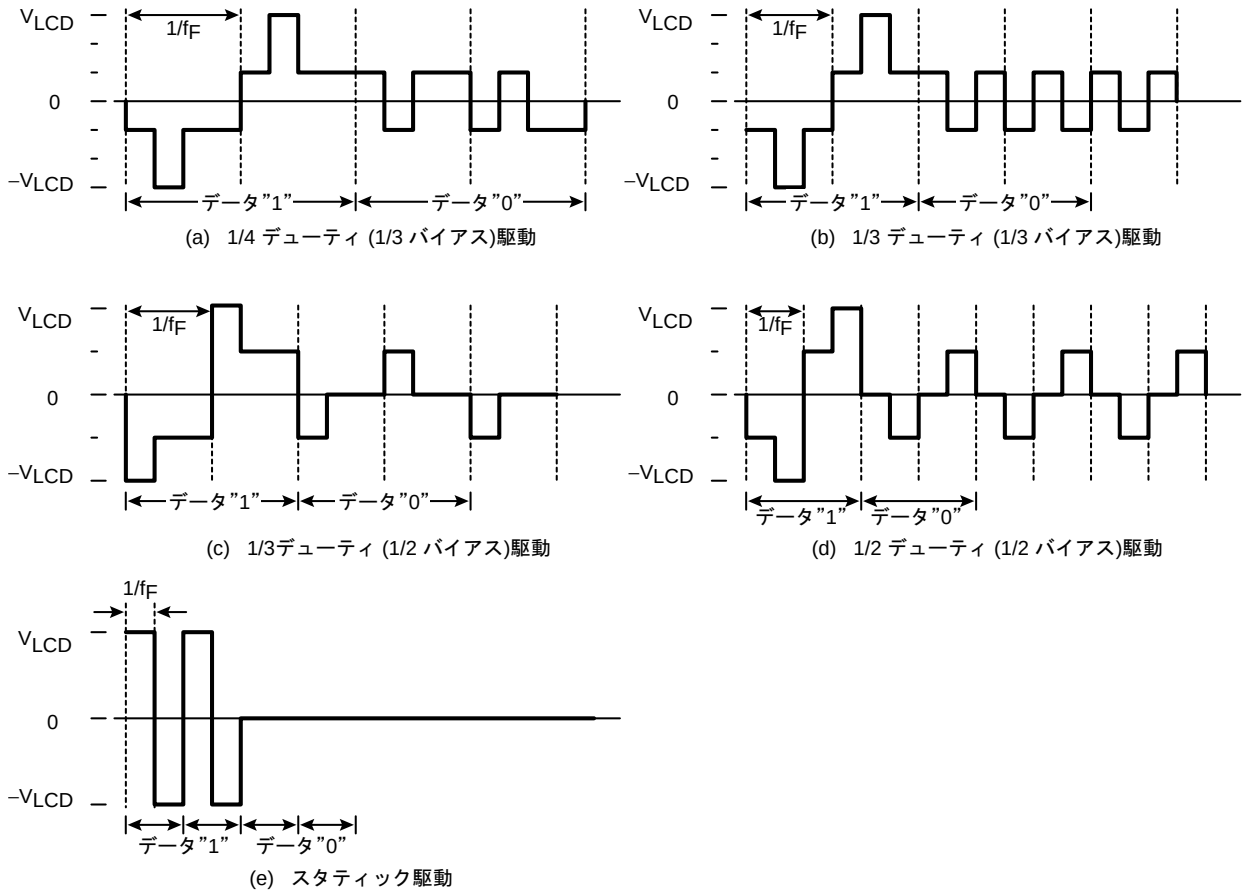
1. LCDCR1<EDSP>が"1"のときに LCDEN<LCDE>を"0"に設定すると、表示 Blanking となります。この状態で再び LCDEN<LCDE>を"1"に設定すると表示 Enable となります。

2. LCDCR1<SLF>を"0000"～"0110"設定で使用する場合は、あらかじめ高周波クロックを動作(OSCCR<XEN1>="1" または OSCCR<XEN2>="1")させ、発振が十分安定してから LCDCR1<EDSP>を"1"に設定してください。 高周波クロックが停止した状態では LCDCR1<EDSP>を"1"に設定しても、表示 Enable にはなりません(LCDCR1<EDSP>は"1"に書き変わりますが LCD ドライバは表示 Blanking と同じ状態になります)。

3. LCDCR1<SLF>を"1000"または"1001"の設定で使用する場合は、あらかじめ低周波クロックを動作(OSCCR<XTEN>="1")させ、発振が十分安定してから LCDCR1<EDSP>を"1"に設定してください。 低周波クロックが停止した状態では LCDCR1<EDSP>を"1"に設定しても、表示 Enable にはなりません(LCDCR1<EDSP>は"1"に書き変わりますが LCD ドライバは表示 Blanking と同じ状態になります)。

17.3.6 LCD 駆動方式 (LCDCR1<DUTY>)

LCD の駆動方式は、LCDCR1<DUTY>により、5 種類の選択ができます。



(a) 1/4 デューティ (1/3 バイアス)駆動

(b) 1/3 デューティ (1/3 バイアス)駆動

(c) 1/3デューティ (1/2 バイアス)駆動

(d) 1/2 デューティ (1/2 バイアス)駆動

(e) スタティック駆動

注 1) f_F: フレーム周波数

注 2) V_{LCD3}: LCD 駆動電圧($=V_{LC}-V_{SS}$)

図 17-2 LCD 駆動波形 (COM - SEG 端子間電位差)

17.3.7　フレーム周波数 (LCDCR1<SLF>)

フレーム周波数(f_F)は駆動方式とベース周波数により表 17-1 のように設定されます。ベース周波数は、LCDCR1<SLF>によって選択します。

表 17-1 フレーム周波数設定

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	Static
0000	$fsys / 2^{18}$	$fsys / 2^{18}$	$(4 / 3) \times fsys / 2^{18}$	$(4 / 2) \times fsys / 2^{18}$	$fsys / 2^{18}$
	(fsys = 16 MHz)	61	81	122	61
0001	$fsys / 2^{17}$	$fsys / 2^{17}$	$(4 / 3) \times fsys / 2^{17}$	$(4 / 2) \times fsys / 2^{17}$	$fsys / 2^{17}$
	(fsys = 16 MHz)	122	163	244	122
	(fsys = 8 MHz)	61	81	122	61
0010	$fsys / 2^{16}$	$fsys / 2^{16}$	$(4 / 3) \times fsys / 2^{16}$	$(4 / 2) \times fsys / 2^{16}$	$fsys / 2^{16}$
	(fsys = 8 MHz)	122	163	244	122
	(fsys = 4 MHz)	61	81	122	61
0011	$fsys / 2^{15}$	$fsys / 2^{15}$	$(4 / 3) \times fsys / 2^{15}$	$(4 / 2) \times fsys / 2^{15}$	$fsys / 2^{15}$
	(fsys = 4 MHz)	122	163	244	122
	(fsys = 2 MHz)	61	81	122	61
0100	$fsys / 2^{14}$	$fsys / 2^{14}$	$(4 / 3) \times fsys / 2^{14}$	$(4 / 2) \times fsys / 2^{14}$	$fsys / 2^{14}$
	(fsys = 2 MHz)	122	163	244	122
	(fsys = 1 MHz)	61	81	122	61
1000	$fs / 2^{9}$	$fs / 2^{9}$	$(4 / 3) \times fs / 2^{9}$	$(4 / 2) \times fs / 2^{9}$	$fs / 2^{9}$
	(fs = 32.768 kHz)	64	85	128	64
1001	$fs / 2^{8}$	$fs / 2^{8}$	$(4 / 3) \times fs / 2^{8}$	$(4 / 2) \times fs / 2^{8}$	$fs / 2^{8}$
	(fs = 32.768 kHz)	128	171	256	128

注)　fsys: ギアクロック周波数 [Hz], fs: 低周波クロック周波数 [Hz]

17.3.8 ブリーダ抵抗の内部/外部切り替え制御

LCD のバイアス電圧はブリーダ抵抗によって生成されます。ブリーダ抵抗は、外部もしくは内部のいずれかを選択することができます。

内部ブリーダ抵抗を使用する場合は LCDCR2<BRSEL>を"1"に設定してください。この場合、入出力ポート/ 外部ブリーダ抵抗接続の兼用端子は、入出力ポートとして利用できます。

外部ブリーダ抵抗を使用する場合は LCDCR2<BRSEL>を"0"に設定し、ブリーダ外部接続端子(LV1, LV2)に抵抗を外付けしてください。この場合、入出力ポート/ 外部ブリーダ抵抗接続の兼用端子は、外部ブリーダ抵抗接続端子としてのみ利用できます。

接続方法については図 17-4 参照してください。

17.3.9 内部ブリーダ低抵抗の接続時間の選択 (LCDCR2<LRSE>)

内部ブリーダ抵抗は、高抵抗および低抵抗の 2 系統によって構成されます。高抵抗と低抵抗はバイアス毎に並列接続されており、このうち低抵抗はアナログスイッチが併設されていますので LCDCR2<LRSE>によってブリーダ低抵抗の接続時間を調整することができます。アナログスイッチが ON の期間は高抵抗に対し低抵抗が並列接続され見かけ上の抵抗値が低くなることで LCD ドライバの駆動能力を上げることができます。

基本的に低抵抗の接続時間を長くすると LCD パネルの駆動能力は高くなりますが、その分消費電力が大きくなります。逆に接続時間を短くすると駆動能力は低くなりますが、消費電力は、少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な設定値に調整してください。

表 17-2 に 1 フレームに対するブリーダ低抵抗の接続時間比率およびブリーダ抵抗全体に流れる消費電流の目安を示します。

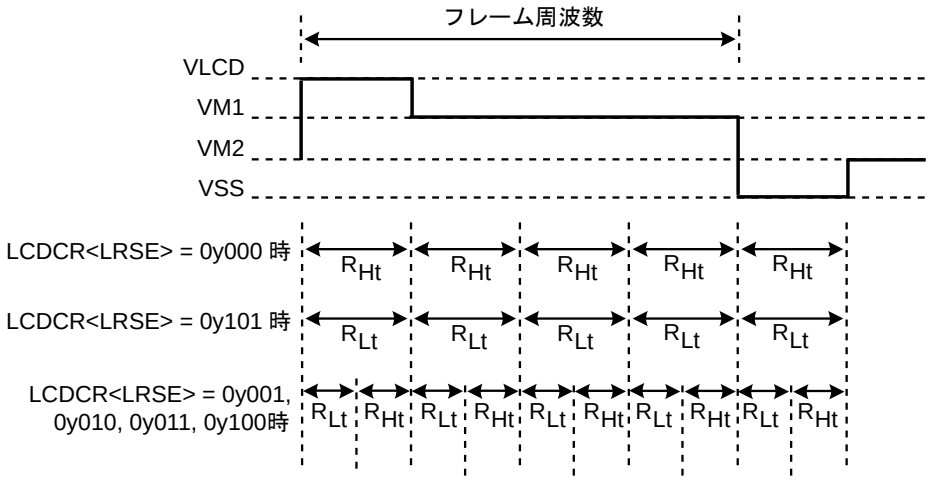
図 17-3 に 1/4 デューティ 1/3 バイアス場合のブリーダ抵抗の制御タイミングを示します。

BRH の設定については「17.3.10 内部ブリーダ高抵抗の選択 (LCDCR2<BRH>)」を参照してください。

表 17-2 ブリーダ低抵抗の接続時間比率およびブリーダ抵抗全体に流れる消費電流の目安

LCDCR2 <LRSE>		1/4 デューティ (1/3 バイアス)		1/3 デューティ (1/3 バイアス)		1/3 デューティ (1/2 バイアス)		1/2 デューティ (1/2 バイアス)	
		BRH="1"	BRH="0"	BRH="1"	BRH="0"	BRH="1"	BRH="0"	BRH="1"	BRH="0"
000	低抵抗 接続時間比率	0% (常時高抵抗)		0% (常時高抵抗)		0% (常時高抵抗)		0% (常時高抵抗)	
	ブリーダ電流	2μA	5μA	2μA	5μA	3μA	7.5μA	3μA	7.5μA
001	低抵抗 接続時間比率	3.13%		2.34%		2.34%		1.56%	
	ブリーダ電流	3.56μA	6.56μA	3.17μA	6.17μA	4.76μA	9.26μA	4.17μA	8.67μA
010	低抵抗 接続時間比率	6.25%		4.69%		4.69%		3.13%	
	ブリーダ電流	5.13μA	8.13μA	4.34μA	7.34μA	6.52μA	11.02μA	5.34μA	9.84μA
011	低抵抗 接続時間比率	12.5%		9.38%		9.38%		6.25%	
	ブリーダ電流	8.25μA	11.25μA	6.69μA	9.69μA	10.03μA	14.53μA	7.69μA	12.19μA
100	低抵抗 接続時間比率	25%		18.75%		18.75%		12.5%	
	ブリーダ電流	14.5μA	17.5μA	11.38μA	14.38μA	17.06μA	21.56μA	12.38μA	16.88μA
101	低抵抗 接続時間比率	50%		37.5%		37.5%		25%	
	ブリーダ電流	27μA	30μA	20.75μA	23.75μA	31.13μA	35.63μA	21.75μA	26.25μA
110	低抵抗 接続時間比率	100% (常時低抵抗接続)		100% (常時低抵抗接続)		100% (常時低抵抗接続)		100% (常時低抵抗接続)	
	ブリーダ電流	52μA	55μA	52μA	55μA	78μA	82.5μA	78μA	82.5μA

注)　ブリーダ抵抗の消費電流値は目安です。実際の電流値は LCD の負荷や、抵抗値の製造ばらつきなどによって変動する場合があります。



ブリーダ低抵抗ONタイミング

R_{Lt} ：低抵抗が接続されてる期間（高抵抗と低抵抗が並列接続されている期間）

R_{Ht} ：低抵抗が接続されていない期間（高抵抗のみが接続されている期間）

図 17-3 LCDCR2<LRSE>によるブリーダ抵抗の選択(1/4 デューティ 1/3 バイアスの場合)

17.3.10 内部ブリーダ高抵抗の選択 (LCDCR2<BRH>)

内部ブリーダの高抵抗は LCDCR2<BRH>によって抵抗値を 2 段階 (500kΩ (Typ.) または 200kΩ (Typ.))の中から選択することができます。基本的に抵抗値が低い方が LCD パネルの駆動能力は高くなりますが、その分消費電力が大きくなります。抵抗値が高い方が駆動能力は低くなりますが、消費電力は、少なくなります。

低抵抗の抵抗値については 20kΩ 固定となります。低抵抗は高抵抗に対しアナログスイッチを介して並列に接続されていますので、LCDCR2<LRSE>の設定により見かけ上の抵抗値は表 17-3 のようになります。

例えば BRH が"1"のとき、低抵抗が接続されている期間は合成抵抗 19.23kΩ が選択され、接続されない期間は高抵抗 500kΩ が選択されることになります。

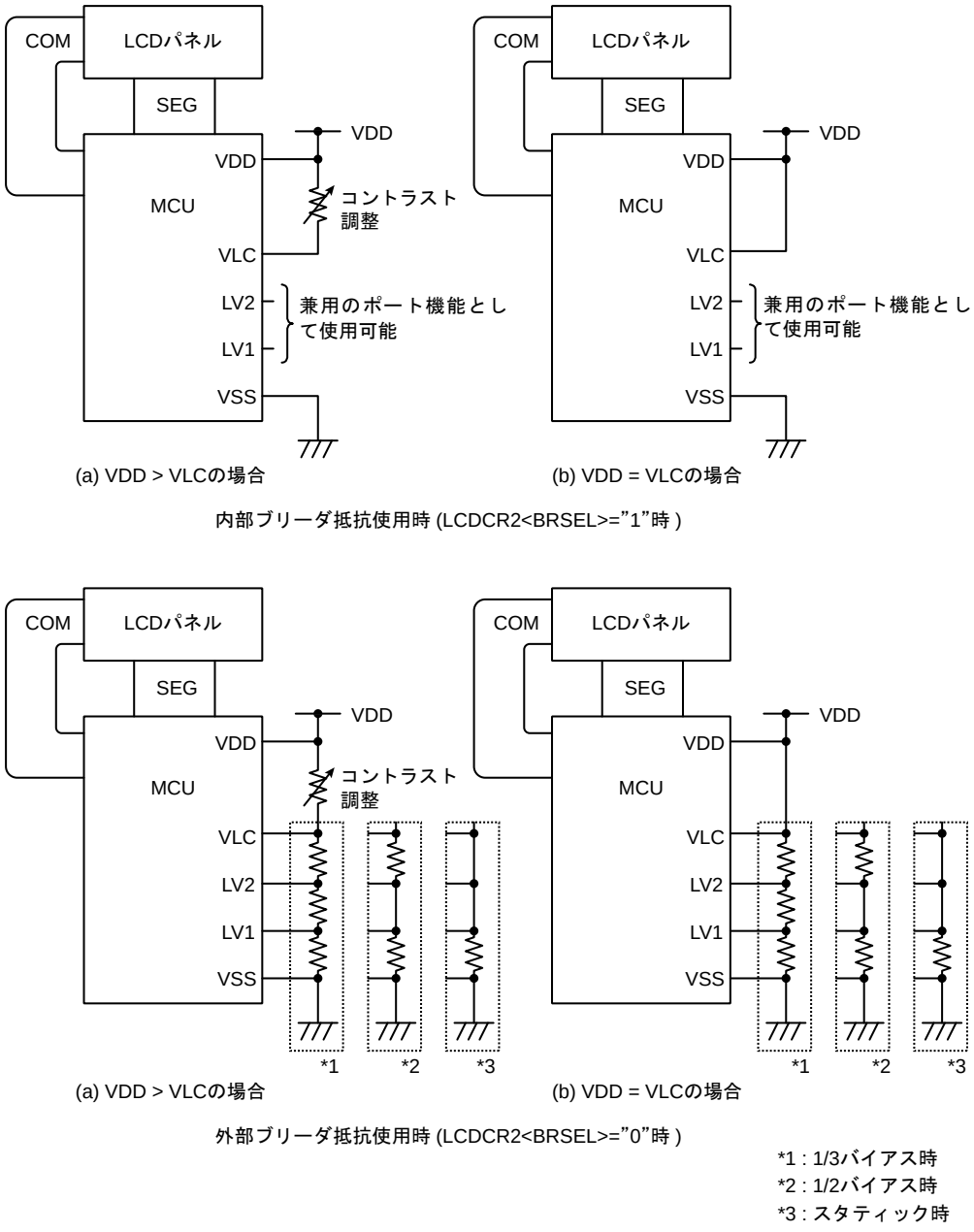
表 17-3 ブリーダ抵抗値

LCDCR2<BRH>	低抵抗が 接続されていない時	低抵抗が 接続されている時
1	500kΩ (Typ.)	19.23kΩ (Typ.)
0	200kΩ (Typ.)	18.18kΩ (Typ.)

17.3.11　LCD 表示動作

LCD 駆動電圧 V_{LCD} は、VLC−VSS 端子間の電位差(V_{LC}−V_{SS})により与えられます。LCD は、セグメント出力とコモン出力の電位差が±VL_{CD} のとき点灯し、それ以外のときは消灯します。

動作電圧は、VLC ≤ VDD となるように接続してください。図 17-4 に電源の接続例を示します。



*1 : 1/3バイアス時
*2 : 1/2バイアス時
*3 : スタティック時

図 17-4 接続例

注 1)　CPU の動作電圧と LCD 駆動電圧が同一の場合、VLC 端子は VDD 端子に接続してください。

注 2)　リセット時、コモン出力は"Low"レベルとなりますが、入出力ポート/セグメント出力の兼用端子はハイインピーダンスとなります。従って、入出力ポート/セグメント出力の兼用端子をセグメントとして使用し、かつ外部からのリセット入力が著しく長くなる場合は、LCD 表示が滲むなどの悪影響を及ぼす恐れがあります。また、入出力ポート / 外部ブリーダ抵抗接続 の兼用端子は、外部ブリーダ抵抗接続端子に設定されます。

17.3.12 表示データの設定

表示データは、バッファレジスタ LCDBUF00 ~ LCDBUF19 に格納します。

バッファレジスタに格納された表示データは、ハードウエアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えるのみで行うことができます。表 17-5 に、表示データ領域と SEG/COM 端子の対応を示します。

LCD は、表示データが"1"のとき点灯し、"0"のとき消灯します。

リセット時、バッファレジスタのデータは"0"に初期化されます。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。(表 17-4 参照)。

表 17-4 表示データの格納に使用するビット

駆動方式	ビット 7/3	ビット 6/2	ビット 5/1	ビット 4/0
1/4 デューティ	COM3	COM2	COM1	COM0
1/3 デューティ	-	COM2	COM1	COM0
1/2 デューティ	-	-	COM1	COM0
スタティック	-	-	-	COM0

注) - : 表示データの格納に使用しないビット

表 17-5 LCD 表示データ領域

レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	Read/ Write	初期値
LCDBUF00	SEG1				SEG0				R/W	(0000 0000)
LCDBUF01	SEG3				SEG2				R/W	(0000 0000)
LCDBUF02	SEG5				SEG4				R/W	(0000 0000)
LCDBUF03	SEG7				SEG6				R/W	(0000 0000)
LCDBUF04	SEG9				SEG8				R/W	(0000 0000)
LCDBUF05	SEG11				SEG10				R/W	(0000 0000)
LCDBUF06	SEG13				SEG12				R/W	(0000 0000)
LCDBUF07	SEG15				SEG14				R/W	(0000 0000)
LCDBUF08	SEG17				SEG16				R/W	(0000 0000)
LCDBUF09	SEG19				SEG18				R/W	(0000 0000)
LCDBUF10	SEG21				SEG20				R/W	(0000 0000)
LCDBUF11	SEG23				SEG22				R/W	(0000 0000)
LCDBUF12	SEG25				SEG24				R/W	(0000 0000)
LCDBUF13	SEG27				SEG26				R/W	(0000 0000)
LCDBUF14	SEG29				SEG28				R/W	(0000 0000)
LCDBUF15	SEG31				SEG30				R/W	(0000 0000)
LCDBUF16	SEG33				SEG32				R/W	(0000 0000)
LCDBUF17	SEG35				SEG34				R/W	(0000 0000)
LCDBUF18	SEG37				SEG36				R/W	(0000 0000)
LCDBUF19	SEG39				SEG38				R/W	(0000 0000)
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0		

17.4　LCD ドライバ制御例

17.4.1　初期設定

初期設定のフローチャートを、図 17-5 に示します。

(プログラム例)　1/4 デューティ 1/3 バイアス、LCD フレーム周波数 fsys/2^{18} [Hz] 、内部ブリーダ抵抗、ブリーダ低抵抗の接続時間 2^{15}/fsys、ブリーダ高抵抗 200kΩ で LCD ドライバを動作させる場合。

```
LCDEN       ←   0x01     ; <LCDE> = "1"
LCDCR1      ←   0x00     ; LCD 駆動方法、ベース周波数の設定
LCDCR2      ←   0x28     ;ブリーダ低抵抗の接続時間、ブリーダ高抵抗の設定
PxFRn<PxmFn>←   0x1      ; PxFRn レジスタの設定
                         (x; ポート番号, n; ファンクションレジスタ番号, m;ビット番号)
:               :
:               :        ; 表示データの初期値設定
LCDCR1      ←   0x80     ; 表示 Enable
```

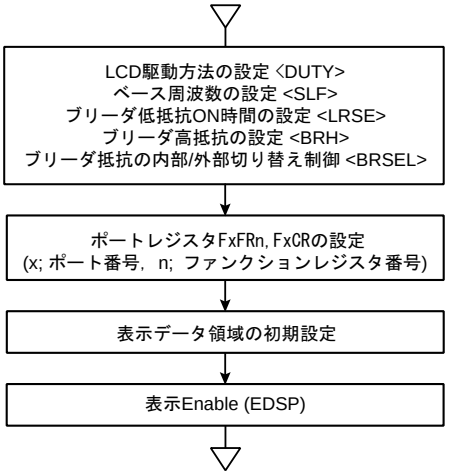


図 17-5 LCD ドライバの初期設定

17.4.2　表示データの格納

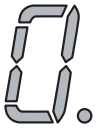
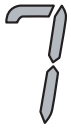
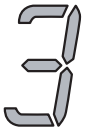
通常、表示データはプログラムメモリ(ROM)に固定データとして用意しておき、転送命令により、表示データ領域に格納します。

(例 1)1/4 デューティ 1/3 バイアスの LCD を用いて、数字表示を行う場合の表示データの例を表 17-6 に示します。COM 端子および SEG 端子の接続方法は図 17-6 の例を用います。



図 17-6 COM, SEG 端子接続例 (1/4 デューティ)

表 17-6 表示データ (1/4 デューティ)の例

数字	表示	表示データ	数字	表示	表示データ
0		11011111	5		10110101
1		00000110	6		11110101
2		11100011	7		00000111
3		10100111	8		11110111
4		00110110	9		10110111

(例 2) 1/2 デューティ LCD を用いて、表 17-6 と同様の数字表示を行う場合の表示データの例を表 17-7 に示します。COM 端子および SEG 端子の接続方法は図 17-7 の例を用います。

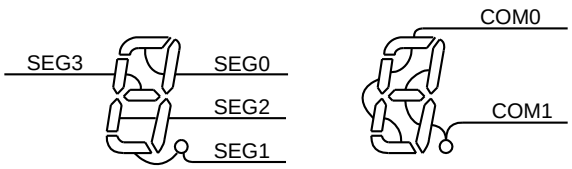


図 17-7 COM, SEG 端子接続例

表 17-7 表示データ (1/2 デューティ)の例

数字	表示データ		数字	表示データ	
	上位アドレス	下位アドレス		上位アドレス	下位アドレス
0	**01**11	**01**11	5	**11**10	**01**01
1	**00**10	**00**10	6	**11**11	**01**01
2	**10**01	**01**11	7	**01**10	**00**11
3	**10**10	**01**11	8	**11**11	**01**11
4	**11**10	**00**10	9	**11**10	**01**11

注)　*: Don’t care

17.4.3 駆動出力例

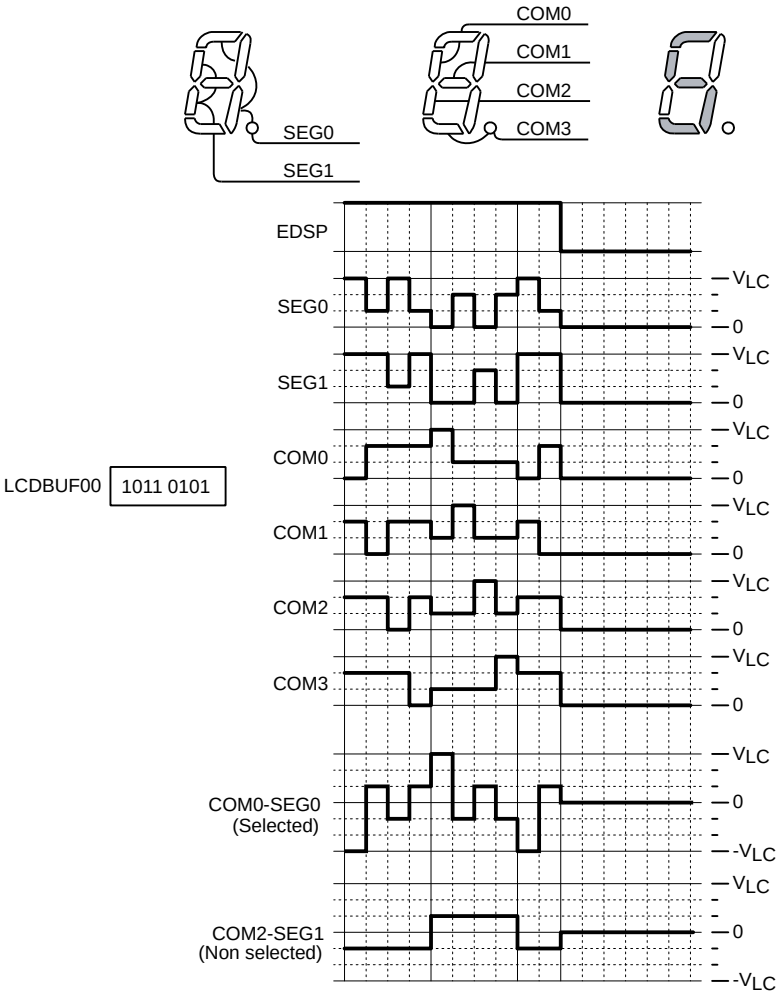


図 17-8 1/4 デューティ (1/3 バイアス) 駆動

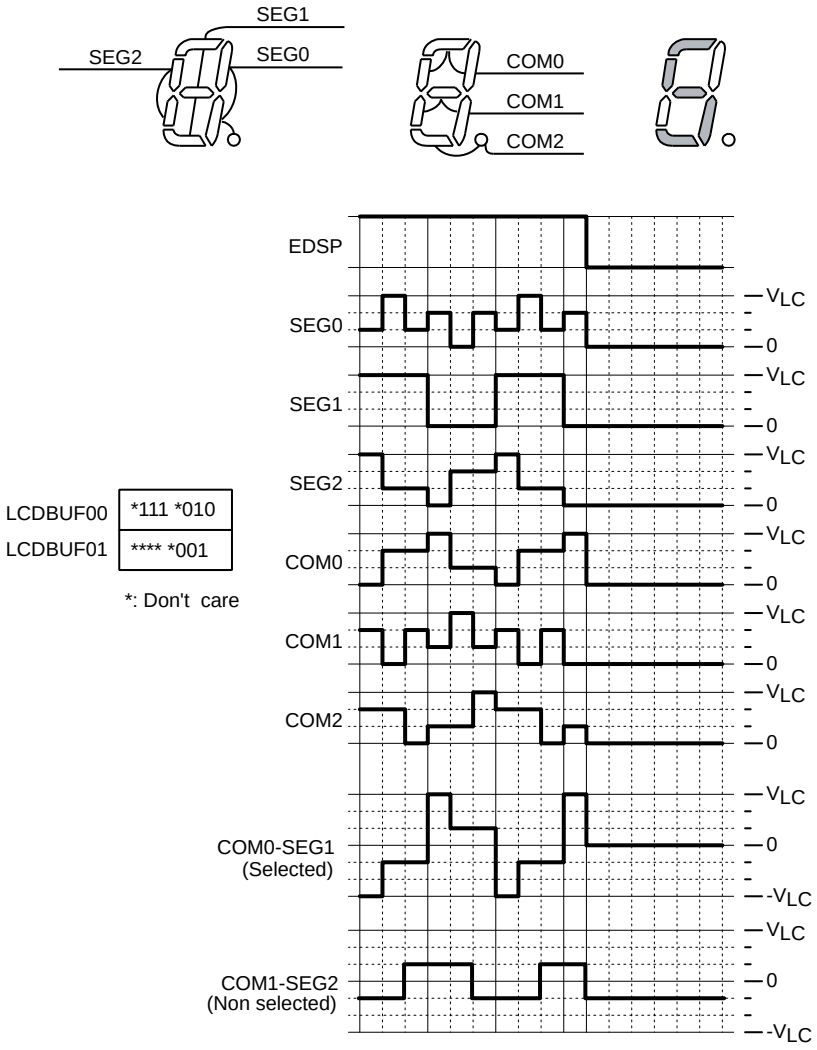


図 17-9 1/3 デューティ (1/3 バイアス) 駆動

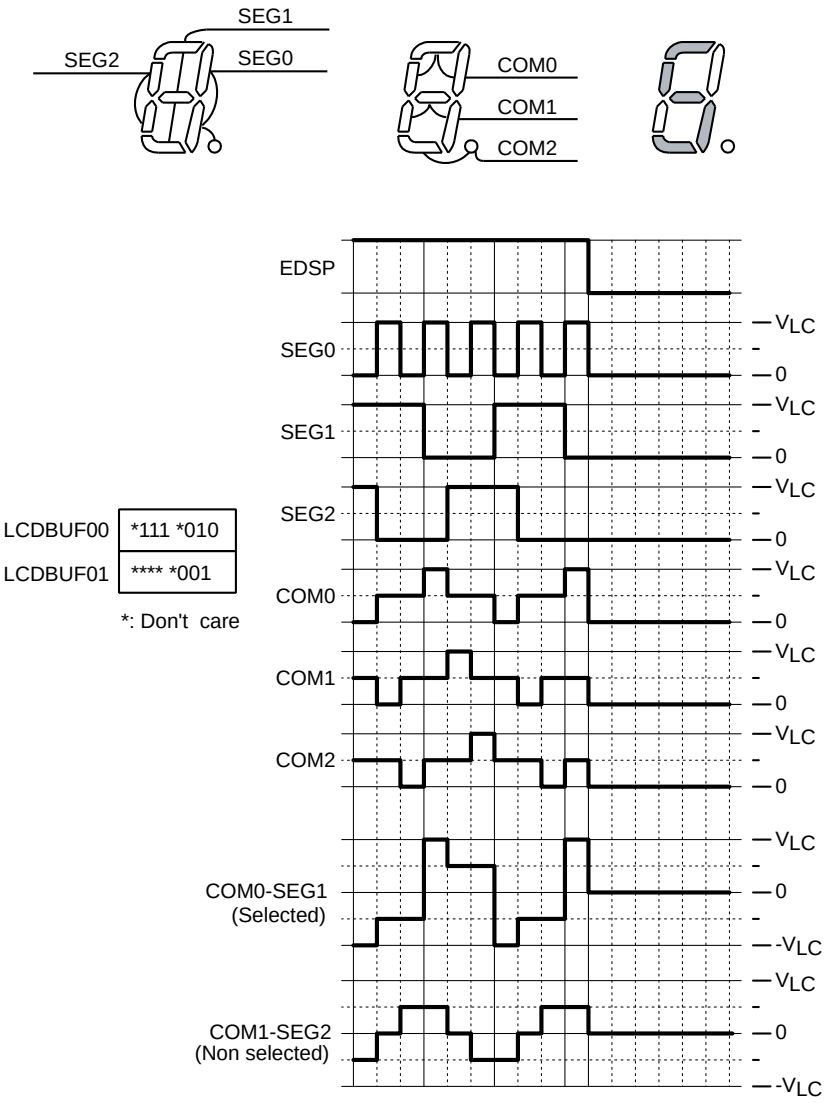


図 17-10 1/3 デューティ (1/2 バイアス) 駆動

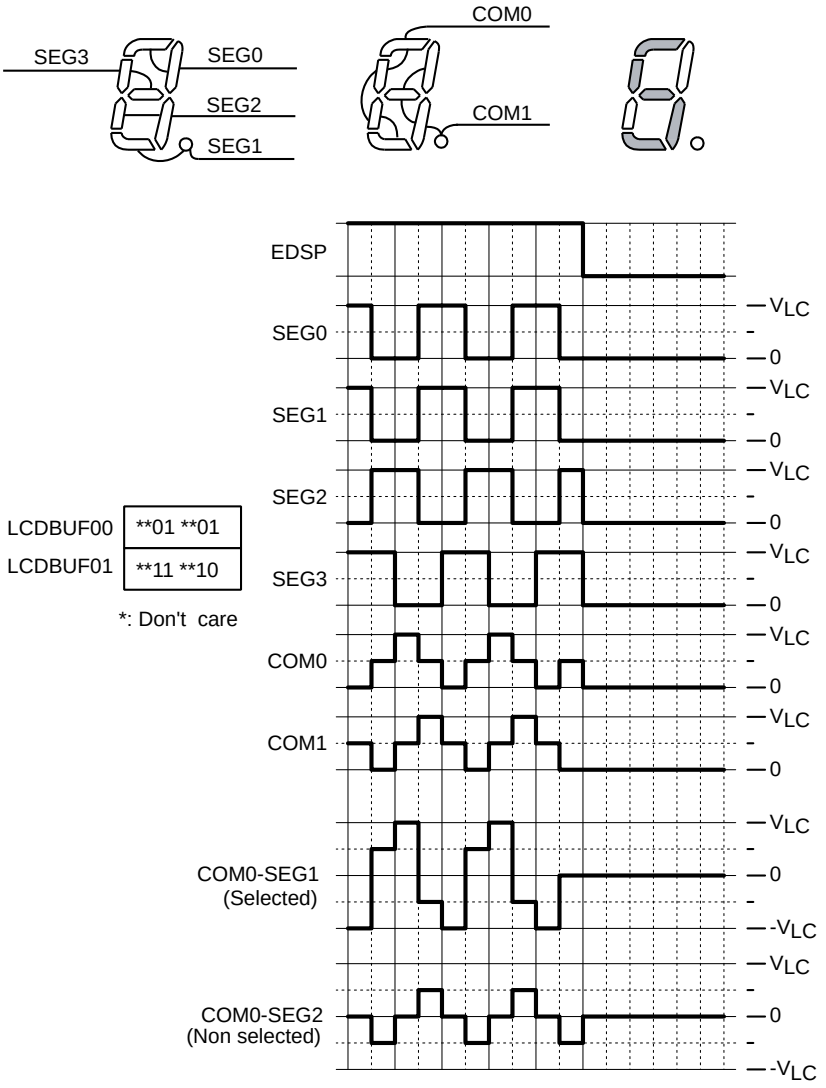


図 17-11 1/2 デューティ (1/2 バイアス) 駆動

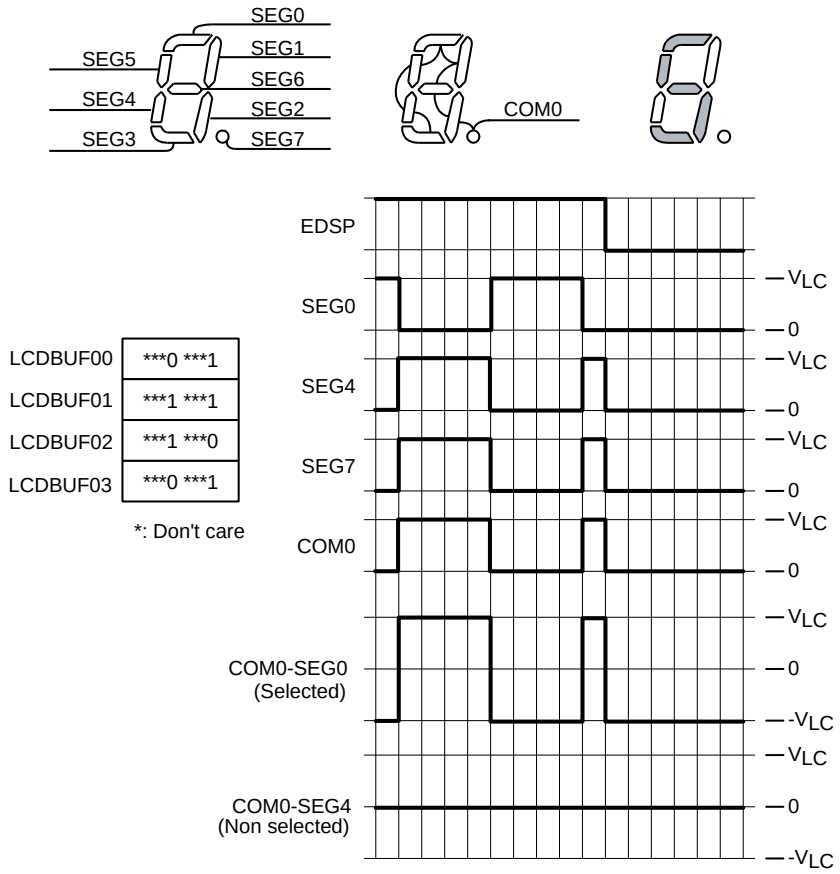


図 17-12 スタティック駆動

第 18 章　電圧検出回路(LVD)

電圧検出回路は、電源電圧の低下あるいは上昇を検出して、割り込み信号を発生します。

電源電圧とは、RVDD3 を指しています。

注)　電源電圧の変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

18.1　構成

電圧検出回路は、基準電圧発生回路、検出電圧選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧が検出電圧を上回る、あるいは下回ると割り込み信号を発生します。

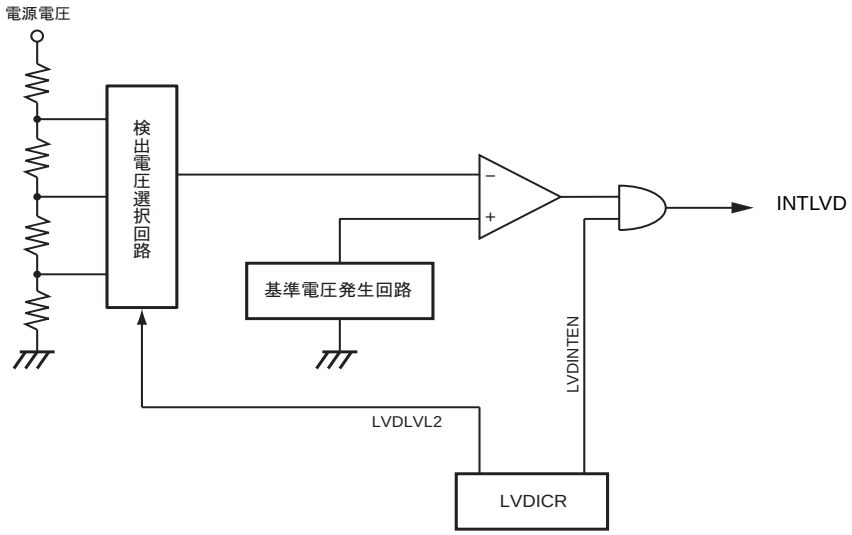


図 18-1 LVD ブロック図　(LVD 割り込み回路のみ)

18.2　レジスタ説明

18.2.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
LVD-INT 制御レジスタ	LVDICR	0x0004
LVD ステータスレジスタ	LVDSR	0x0008

18.2.2　LVDICR (LVD-INT 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	-	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	−	−	LVDINTEN	INTSEL	LVDLVL2			LVDEN2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 6	−	R	リードすると"0"が読めます。
5	LVDINTEN	R/W	INTLVD 信号の出力 0: 禁止 1: 許可
4	INTSEL	R/W	INT 発生条件 0: 電源電圧低下時に設定電圧よりも下がった場合のみ 1: 電源電圧低下時に設定電圧よりも下がった場合および上昇時に設定電圧よりも上がった場合
3 - 1	LVDLVL2[2:0]	R/W	検出電圧 000: 2.80 ± 0.2V 001: 2.85 ± 0.2V 010: 2.90 ± 0.2V 011: 2.95 ± 0.2V 100: 3.00 ± 0.2V 101: 3.05 ± 0.2V 110: 3.10 ± 0.2V 111: 3.15 ± 0.2V
0	LVDEN2	R/W	電圧検出動作 0: 禁止 1: 許可

注)　LVDICR は、リセット端子によるリセットで初期化されます。

18.2.3 LVDSR (ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	–	–	–	–	LVDST2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 2	–	R	リードすると"0"が読めます。
1	LVDST2	R	LVDLVL2 電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
0	-	R	リードすると不定が読めます。

注) LVDSR はリセット端子によるリセットで初期化されます。

18.3　動作説明

18.3.1　検出電圧の選択と電圧検出動作の許可

LVDICR で検出電圧の選択と検出動作の許可、出力条件の選択と出力の許可を設定します。LVDICR はリセット端子によるリセットで初期化されます。

LVDICR<LVDLVL2[2:0]>で検出電圧を選択し、LVDICR<LVDEN2>を"1"にセットすると電圧検出動作が許可されます。

注)　電源電圧が検出電圧より低い状態で電圧検出動作を許可した場合、その時点で INTLVD が発生します。

18.3.2　電圧低下の検出

電源電圧が設定された検出電圧レベルを下回ると、INTLVD を発生しします。LVDICR<INTSEL>を"1"にセットして、電源電圧が設定された検出電圧を上回ると、INTLVD を発生します。

電圧低下が検出され INTLVD が発生されるためにはある程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いと INTLVD が発生しない場合があります。

電源電圧が 1.8V より下がった場合の動作は保証できません。電源電圧を一度 0V まで下げてから電源投入を行ってください。

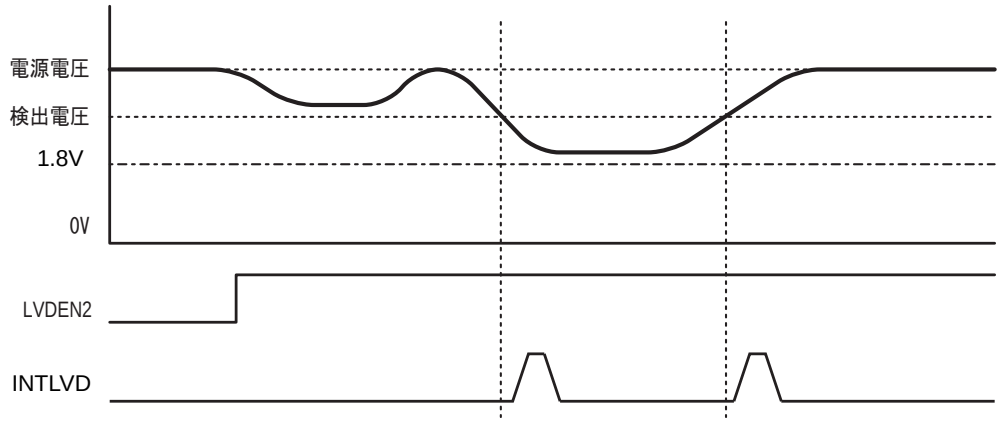


図 18-2 電圧検出タイミング

第 19 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　TMPM061FWFG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

19.1　構成

図 19-1 にウォッチドッグタイマのブロック図を示します。

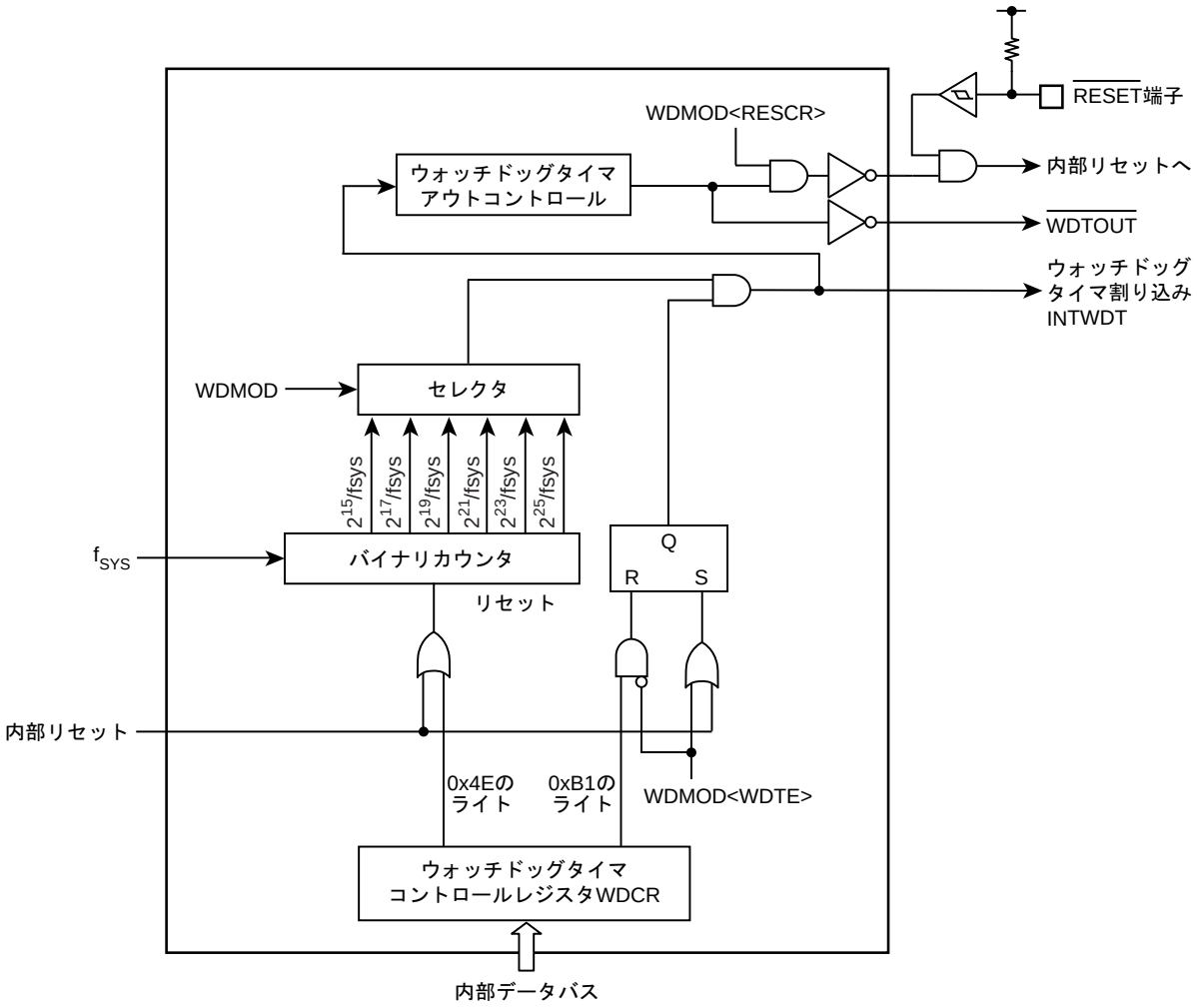


図 19-1 ウォッチドッグタイマのブロック図

19.2　レジスタ

19.2.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

19.2.1.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可 暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。 ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。
6-4	WDTP[2:0]	R/W	検出時間の選択 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

19.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

19.3　動作説明

19.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　TMPM061FWFG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

19.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP mode
- SLEEP mode
- SLOW mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

19.3.3　暴走検出時の動作

19.3.3.1　INTWDT 割り込み発生の場合

図 19-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注)　TMPM061FWFG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

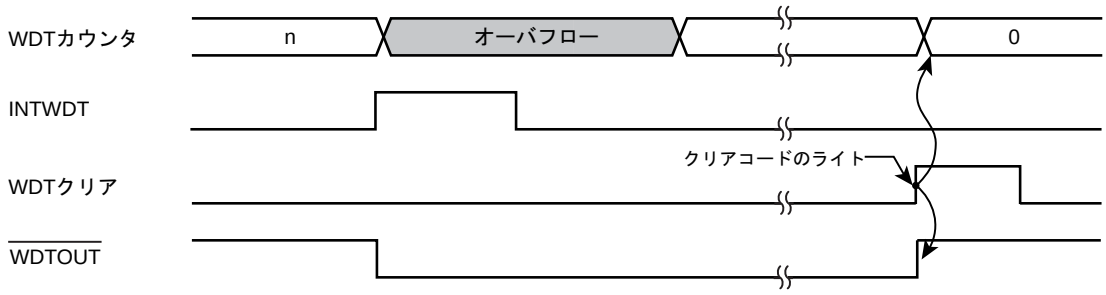


図 19-2 INTWDT 割り込み発生

19.3.3.2 内部リセット発生の場合

図 19-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間リセットを行います。

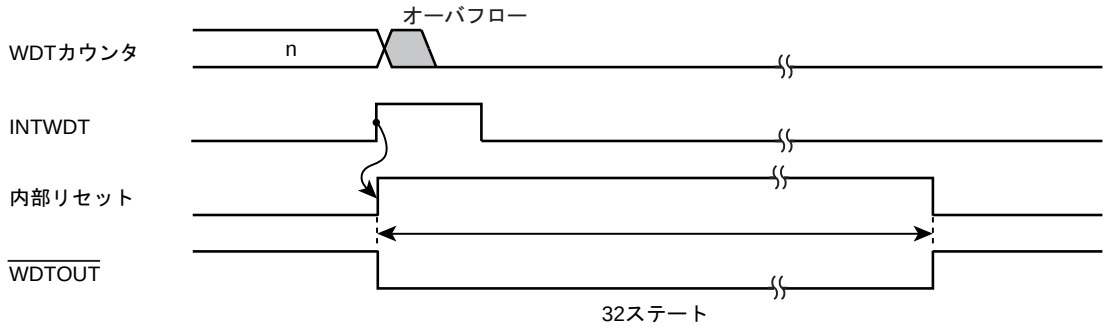


図 19-3 内部リセット発生

19.4 ウォッチドックタイマの制御

19.4.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

19.4.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

19.4.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

19.4.4 ウォッチドッグタイマ検出時間の設定

検出時間を WDMOD<WDTP[2:0]>に設定します。

例えば、検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

第 20 章　フラッシュメモリ動作説明

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

20.1　フラッシュメモリの特長

20.1.1　メモリ容量と構成

TMPM061FWFG の内蔵するフラッシュメモリの容量と構成は、表 20-1 および図 20-1 のとおりです。

表 20-1 メモリ容量と構成

メモリ容量	ブロック構成				1 ページのワード数	ページ数	書き込み時間		消去時間	
	128 KB	64 KB	32 KB	16 KB			1 ページ	全エリア	ブロック消去	チップ消去
128 KB	–	–	4	–	32	1024	1.25ms	1.28 sec	0.1sec	0.2 sec

注)　上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザの書き替え方法により異なります。

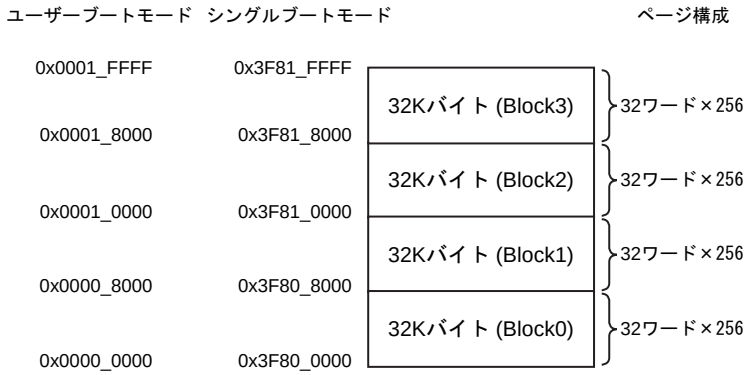


図 20-1 ブロック構成

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

- ページ

  1 ページは 32 ワードで、アドレス[31:7]が同じで、先頭アドレス[6:0] = 0 、最後のアドレス[6:0] = 0x7F のグループです。

- ブロック

  1 ブロックは 32KB で、4 ブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 0.1 sec (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 0.2sec(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「20.1.5 プロテクト/セキュリティ機能」を参照してください

20.1.2　機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、 チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

20.1.3　動作モード

20.1.3.1　モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザブートモードがあります。モード遷移図を図 20-2 に示します。

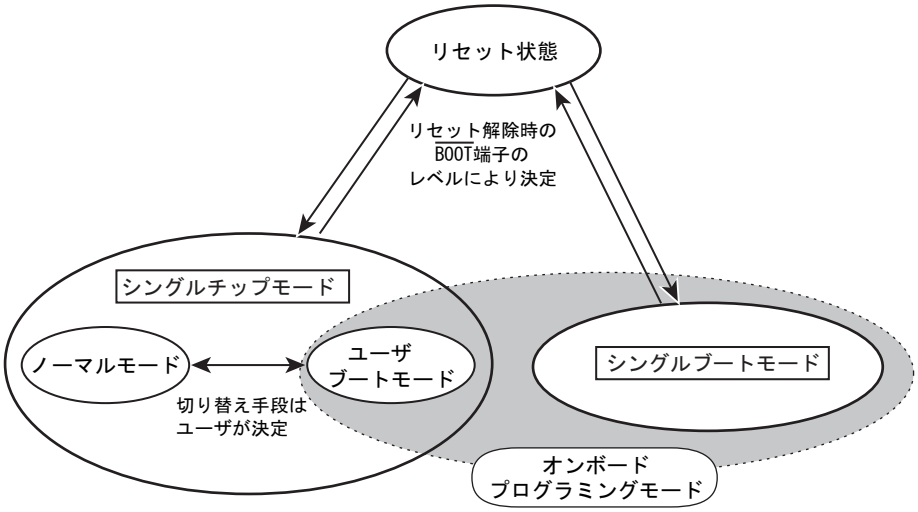


図 20-2 モード遷移図

(1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の 2 つのモードがあります。

- ノーマルモード

  ユーザのアプリケーションプログラムを実行するモードです。
- ユーザブートモード

  ユーザのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザブートモードの切り替えはユーザが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザブートモードというように自由に設計することが可能です。ユーザはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。　シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3) オンボードプログラミングモード

ユーザのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザブートモードとシングルブートモードです。この 2 つをオンボードプログラミングモードと定義します。

20.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの $\overline{\text{BOOT}}$ 端子の状態により決定されます。

表 20-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

20.1.4 メモリマップ

図 20-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

FLASH サイズ	RAM サイズ	FLASH アドレス	RAM アドレス
128 KB	16 KB	0x0000_0000 ~ 0x0001_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F81_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_3FFF

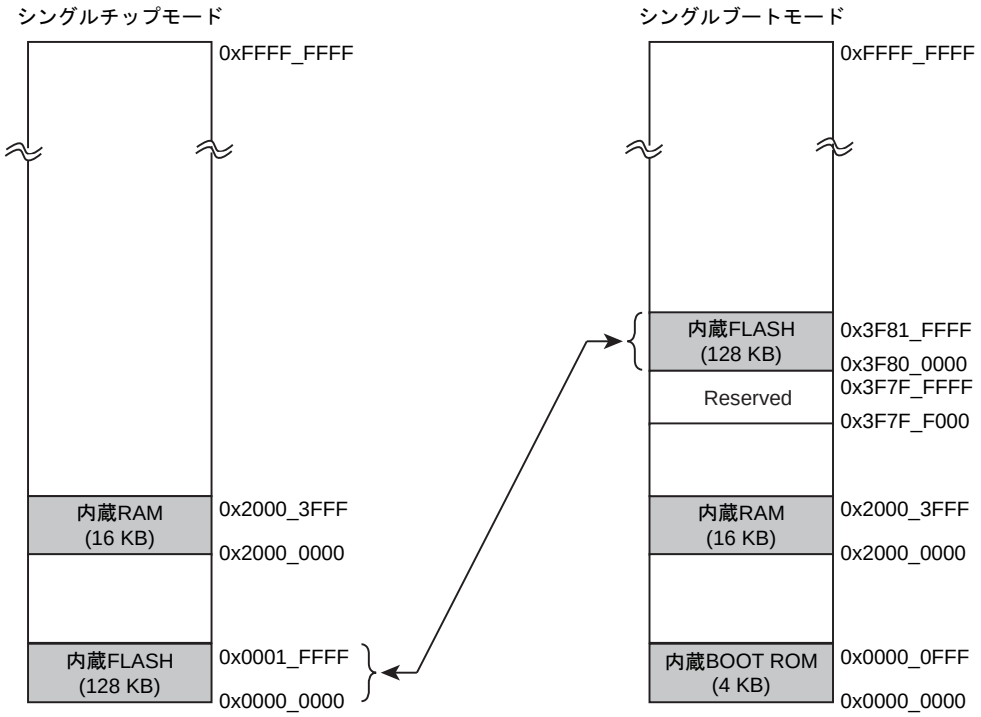


図 20-3 メモリマップの比較

20.1.5　プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの 2 つの機能を持っています。

1. プロテクト機能

   フラッシュメモリへの書き込み、消去をブロック単位で禁止

2. セキュリティ機能

   フラッシュライタによるフラッシュメモリの読み出しの禁止

   デバッグ機能の使用制限

20.1.5.1　プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトは解除されます。プロテクトビットは、FCFLCS <BLPRO[3:0]>でモニタすることができます。

プロテクトビットのプログラムは 1 ビット単位、消去は 4 ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「20.2.4 コマンド説明」の章を参照してください。

20.1.5.2 セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 20-3 に示します。

表 20-3 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. すべてのプロテクトビット(FCFLCS<BLPRO>)が"1"にセットされている。

FCSECBIT <SECBIT>は端子リセット で"1"にセットされます。FCSECBIT <SECBIT>の書き替えは以下の手順で行います。

注) 以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

20.1.6　レジスタ

20.1.6.1　レジスター覧

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
セキュリティビットレジスタ	FCSECBIT	0x0010
フラッシュコントロールレジスタ	FCFLCS	0x0020

20.1.6.2　FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	0	0	(注 2)	(注 2)	(注 2)	(注 2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-20	−	R	リードすると"0"が読めます。
19-16	BLPRO3- BLPRO0	R	Block3 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	−	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注 1)(注 3) 0: Busy(自動動作中) 1: Ready(自動動作終了) 本ビットはフラッシュメモリの状態を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウエアリセットにより "1" に復帰します。

注 1)　コマンド発行は、必ずレディ状態であることを確認してから発行してください。
注 2)　プロテクト状態に対応した値になります。
注 3)　<RDY/BSY>が"0"から"1"に変化後、200μs 以上の時間をあけて Flash メモリにアクセスしてください。

20.1.6.3 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注) 本レジスタは、端子リセットで初期化されます。

20.2　フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。 また、割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

20.2.1　機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 20-4 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

20.2.2　フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

20.2.3　コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「20.2.4 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行された時はコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read コマンドまたは Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read コマンドおよび Read/リセットコマンドをソフトウエアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCFLCS<RDY/BSY>が"0"になります。自動動作が正常終了した時に FCFLCS<RDY/BSY> = "1" となり、リードモードに復帰します。<RDY/BSY>が"0"から"1"に変化後、200μs 以上の時間をあけて Flash メモリにアクセスしてください。

自動動作中は、新たなコマンドシーケンスを受け付けません。

コマンドを実行する際には以下の事項に留意してください。

1. コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY/BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。
3. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行って下さい。
4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないで下さい。また、割り込み/フォールトは発生させないようにしてください。
5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、リードモードに戻して下さい。

20.2.4 コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「20.2.5 コマンドシーケンス」を参照してください。

20.2.4.1 自動ページプログラム

(1) 動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであっても 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります

注 1) 消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

注 2) プロテクトされたブロックへの書き込みはできません。

(2) 実行方法

第 1～第 3 バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降、連続して 1 ページ分のデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

ページの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを"0xFFFFFFFF"として 1 ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

20.2.4.2　自動チップ消去

(1)　動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

(2)　実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

20.2.4.3　自動ブロック消去

(1)　動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

(2)　実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

20.2.4.4 自動プロテクトビットプログラム

(1) 動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「20.1.5 プロテクト/セキュリティ機能」を参照してください。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 7 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、FCFLCS<BLPRO>で確認してください。

20.2.4.5 自動プロテクトビット消去

(1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「20.1.5 プロテクト/セキュリティ機能」を参照してください。

- セキュリティ状態でない場合

  指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は 4 ビット単位で行われます。
- セキュリティ状態の場合

  フラッシュメモリの全アドレスのデータを消去した後、すべてのプロテクトビットを消去します。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 7 バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、FCFLCS<BLPRO>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去およびすべてのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中は FCFLCS<RDY/BSY>が"0"となり、終了後"1"となりリードモードに戻ります。

20.2.4.6　ID-Read

(1)　動作内容

ID-Read コマンドは、フラッシュメモリのタイプ等の情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

(2)　実行方法

第 1 ~ 第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read コマンドまたは Read/リセットコマンドで行います。

20.2.4.7　Read コマンド、Read/リセットコマンド (ソフトウエアリセット)

(1)　動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的にはリードモードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、Read コマンドまたは Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2)　実行方法

Read コマンドでは第 1 バスサイクルが、Read/リセットコマンドでは第 1 ~ 3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

20.2.5　コマンドシーケンス

20.2.5.1　コマンドシーケンス一覧

表 20-5 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外はすべて"「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 20-6 を参照してください。表 20-6 で「コマンド」と記載された、Addr [15:9]に下記の値を使用します。

注 1)　アドレスビット[1:0]へは常に"0"を設定してください。

注 2)　アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。
メモリサイズが 1MB 以下：常に"0"
メモリサイズが 1MB を超える：1MB 以下の領域へのバスライトサイクルでは"0"
1MB を超える領域へのバスライトサイクルでは"1"

表 20-5 コマンドシーケンス

コマンド	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
Read/リセット	0xX55X	0xXAAX	0xX55X	–	–	–	–
	0xAA	0x55	0xF0	–	–	–	–
ID-Read	0xX55X	0xXAAX	0xX55X	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページ プログラム	0xX55X	0xXAAX	0xX55X	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動 ブロック消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビット プログラム	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	0xXX
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)
  第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス(表 20-7 参照)
- PBA: プロテクトビットアドレス(表 20-8 参照)

20.2.5.2　バスライトサイクル時のアドレスビット構成

表 20-6 は「表 20-5 コマンドシーケンス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 20-6 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:15]	Addr [14]	Addr [13:12]	Addr [11:9]	Addr [8:7]	Addr [6:4]	Addr [3:0]

通常コマンド	通常のバスライトサイクルアドレス設定				
	フラッシュ領域	"0"推奨		コマンド	Addr[1:0] = "0"固定、他ビットは"0"推奨
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"推奨	ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨	
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)				
	ブロックアドレス(表 20-7)	Addr[1:0] = "0"固定、他ビットは"0"推奨			
Auto ページプログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)				
	ページアドレス				Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"固定		プロテクトビット選択 (表 20-8)	Addr[1:0] = "0"固定、他ビットは"0"推奨

20.2.5.3　ブロックアドレス(BA)

表 20-7 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

表 20-7 ブロックアドレス表

Block	アドレス (ユーザブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
2	0x0001_8000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	32
3	0x0001_0000 ~ 0x0000_7FFF	0x3F81_0000 ~ 0x3F80_7FFF	32
1	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
0	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32

20.2.5.4　プロテクトビットの指定(PBA)

プロテクトビットは、プログラム時は 1 ビット単位、消去時は 4 ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表 20-8 に示します。アドレス例の、上段はユーザブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

消去は、自動プロテクトビット消去コマンドを実行することで 4 ビットのプロテクトビットがまとめて消去されます。

表 20-8 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス			アドレス例 [31:0]
		アドレス [14:9]	アドレス [8]	アドレス [7]	
Block0	<BLPRO[0]>	"0"固定	0	0	0x0000_0000 0x3F80_0000
Block1	<BLPRO[1]>		0	1	0x0000_0080 0x3F80_0080
Block2	<BLPRO[2]>		1	0	0x0000_0100 0x3F80_0100
Block3	<BLPRO[3]>		1	1	0x0000_0180 0x3F80_0180

20.2.5.5 ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 20-9 に示します。

下表のアドレス例の、上段はユーザブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 20-9 IID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[13:12]	アドレス例[31:0]
メーカーコード	0x98	0y00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	0y01	0x0000_1000 0x3F80_1000
−	Reserved	0y10	−
マクロコード	0x33	0y11	0x0000_3000 0x3F80_3000

20.2.5.6　コマンドシーケンス例

(1)　ユーザブートモード

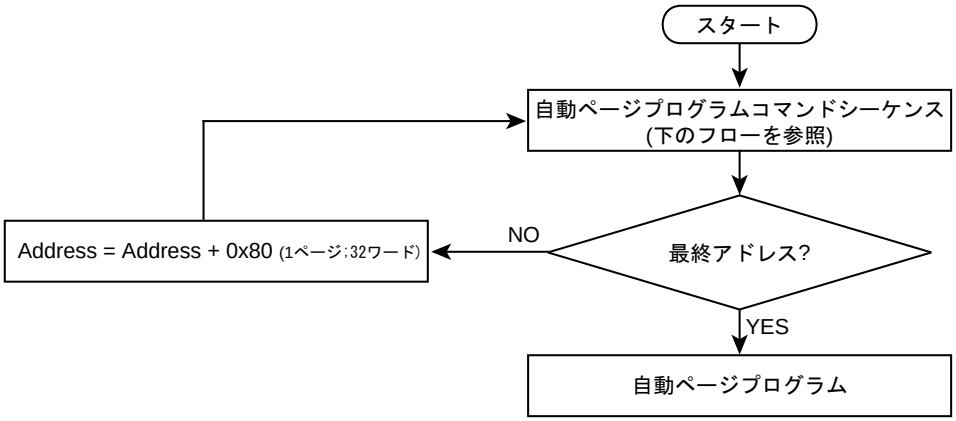
コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x0000_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	–	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	–	–	–	–
ID-Read	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

(2)　シングルブートモード

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x3F80_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–	–	–	–
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	–	–	–	–
ID-Read	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

20.2.6 フローチャート

20.2.6.1 自動プログラム



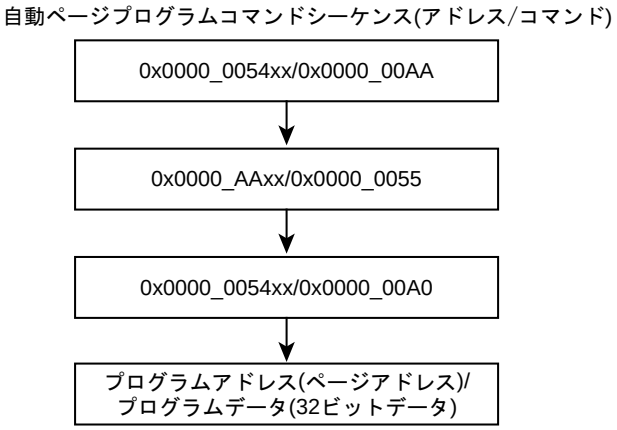


図 20-4 自動プログラムフローチャート

20.2.6.2　自動消去

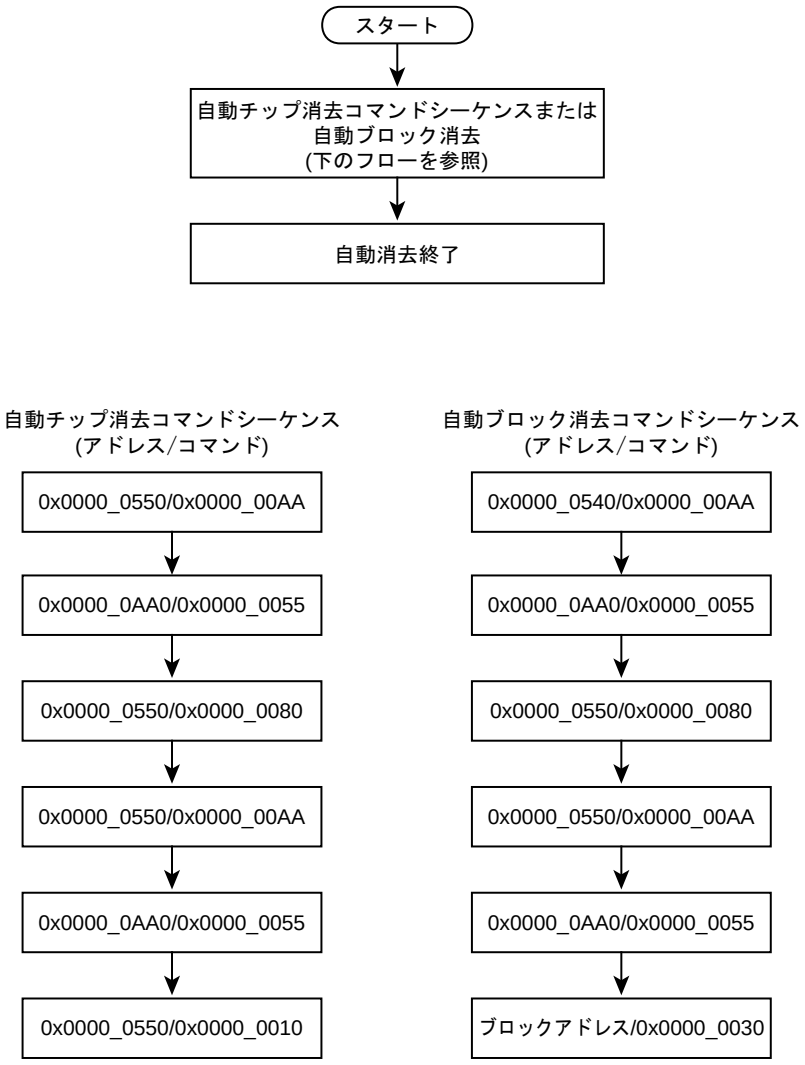


図 20-5 自動消去フローチャート

20.3 シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

20.3.1 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$ = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、$\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

20.3.2 インタフェース仕様

シングルブートモードでの SIO/UART 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

  通信チャネル: チャネル 0

  シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト

  データ長: 8 ビット

  パリティビット: なし

  STOP ビット: 1 ビット

  ボーレート: 任意のボーレート

- I/O インタフェースモードで通信する場合

  通信チャネル: チャネル 0

  シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト

  同期信号 (SCLK0): 入力モード,クロック立ち上がりエッジ設定

  ハンドシェーク端子: PH3 (出力モード)

  ボーレート: 任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「20.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB)を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは ΦT1(fc/2)で動作します。

I/O インタフェースモードのハンドシェーク端子は、受信待ちのときに"Low"、送信中は"High"を出力します。通信プロトコルに従って、ハンドシェーク端子の状態を確認して通信を行ってください。

ブートプログラムで使用する端子を表 20-10 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 20-10 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
モード設定端子	$\overline{\text{BOOT}}$	o	o
リセット端子	$\overline{\text{RESET}}$	o	o
通信端子	TXD0 (PH0)	o	o
	RXD0 (PH1)	o	o
	SCLK0 (PH2)	×	o (入力モード)
	PH3	×	o (出力モード)

o;必要、×;不要

20.3.3　メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 20-11 のような制約がありますのでご注意ください。

表 20-11 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 プログラムは 0x2000_0400 から RAM の最終番地に格納してください。 プログラムの開始アドレスは偶数アドレスでなければいけません。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F81_FFF0 ~ 0x3F81_FFFF

注)　パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

20.3.4　動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 20-12 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

20.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザプログラムの実行を開始します。ユーザプログラム領域として、ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。実行開始アドレスは偶数アドレスでなければいけません。

この RAM 転送機能により、ユーザ独自のオンボートプログラミング制御を行うことができます。ユーザプログラムでオンボードプログラミングを実行するためには、20.2.5 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

20.3.4.2 フラッシュメモリチップ消去および プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。

注) コマンドが正常に終了しても、不正終了の ACK を返す場合があります。この場合、再度消去の確認を行ってください。

20.3.5 コマンドによらず共通の動作

ブートプログラム実行において、共通に行われる動作について説明します。

20.3.5.1 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート÷16 で 1 バイト目を 0x30 にして送信してください。図 20-6 にそれぞれの場合の波形を示します。

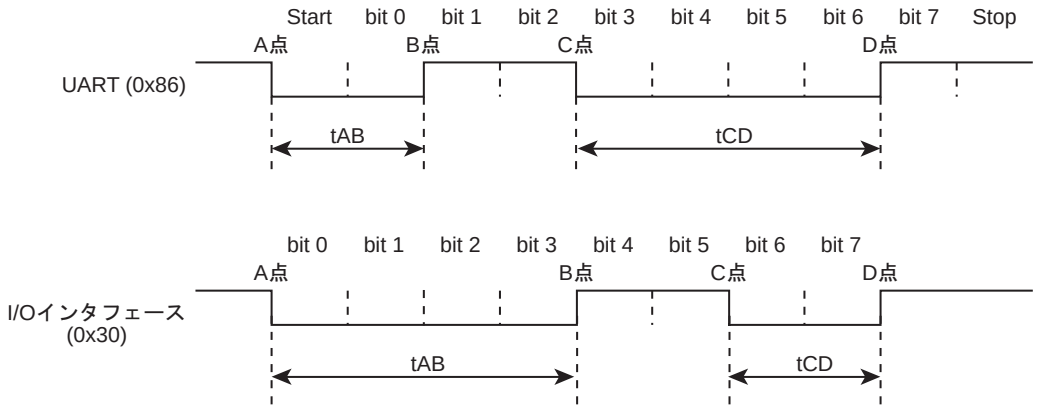


図 20-6 シリアル動作モード判定データ

ブートプログラムは図 20-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86, 0x30)を、16 ビットタイマ(TMRB)を用いて図 20-6 の tAB, tAC と、tAD の時間から求めています。図 20-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート÷16 にして送信してください。

図 20-8 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、tAB > tCD であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり, B 点と D 点の立ち上がりを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。tAB > tCD が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

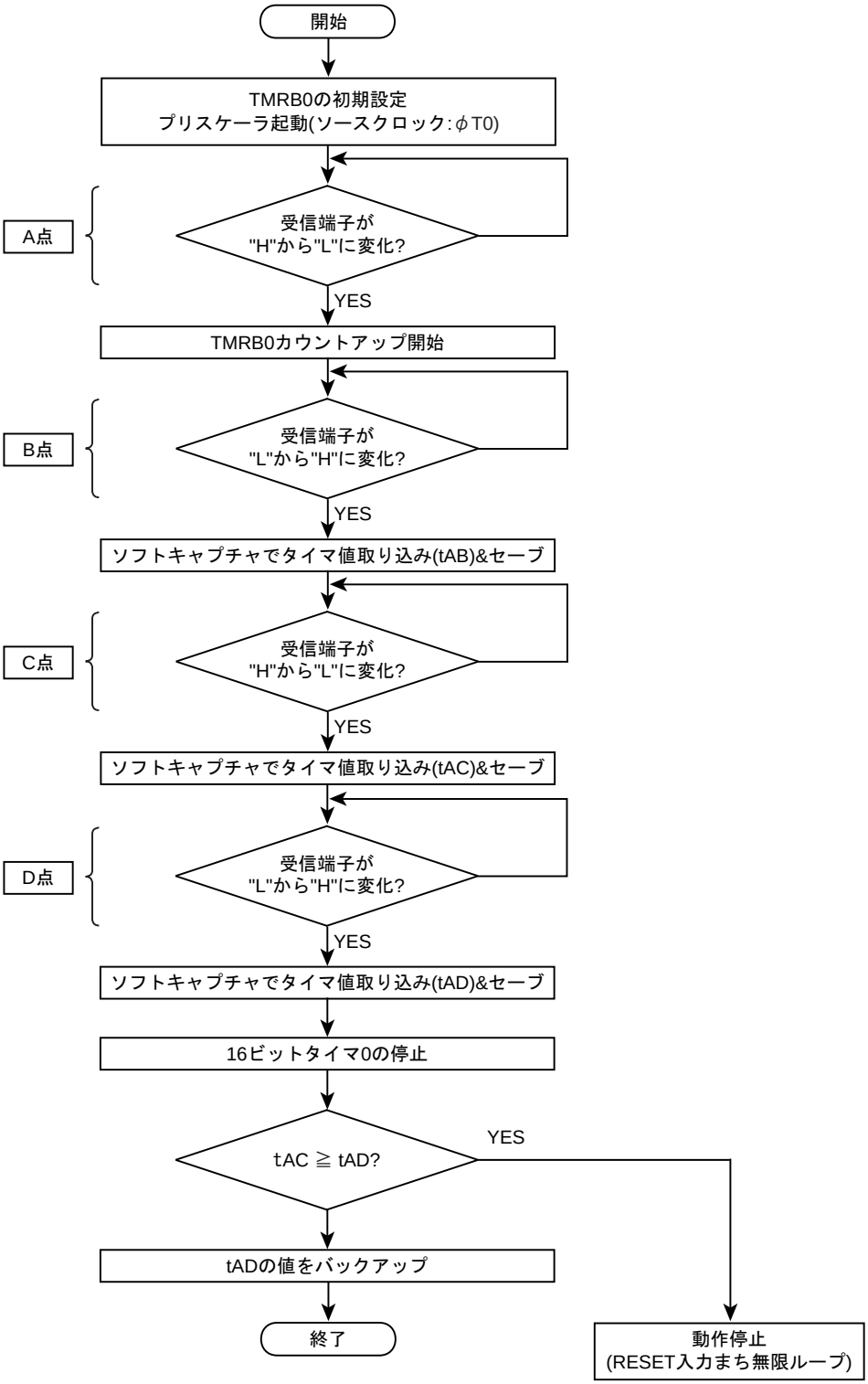


図 20-7 シリアル動作モード受信フローチャート

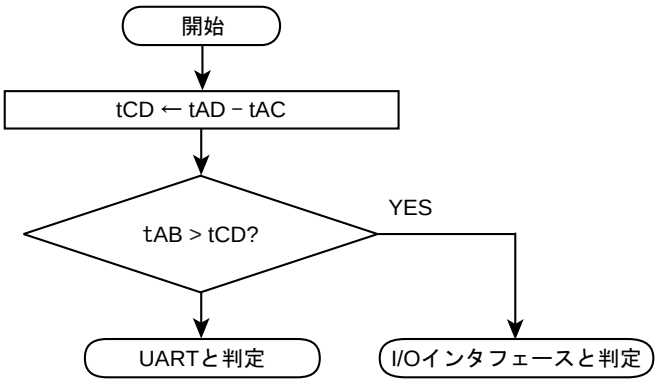


図 20-8 シリアル動作モード判定フローチャート

20.3.5.2　ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 20-13 から表 20-16 に各受信データに対する ACK 応答データを示します。

表 20-14 から表 20-16 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 20-13 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注)　UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 20-14 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注)　上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 20-15 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注)　上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 20-16 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

20.3.5.3 パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定データおよびパスワードとして使用します。

領域	アドレス
パスワード要否判定	0x3F81_FFF0 (1byte)
パスワード領域	0x3F81_FFF4 ~ 0x3F81_FFFF (12byte)

RAM 転送コマンドでは、要否判定データにかかわらずパスワード判定を行い、フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドでのパスワード判定

図 20-9 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

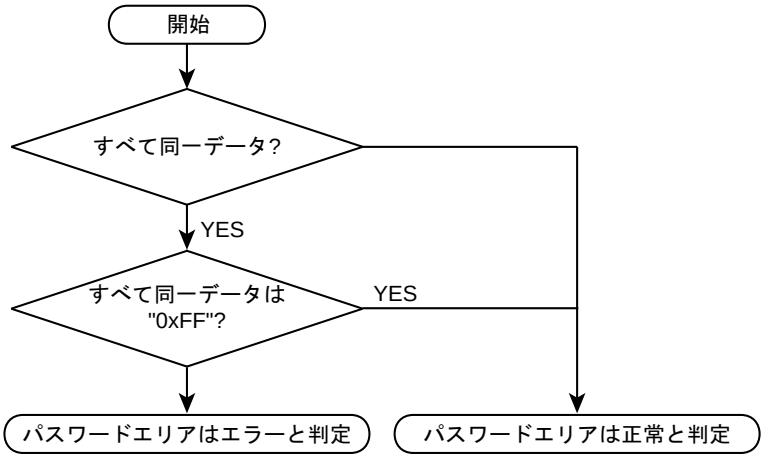


図 20-9 パスワードエリアチェックフローチャート

(2)　フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

図 20-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照は行います。

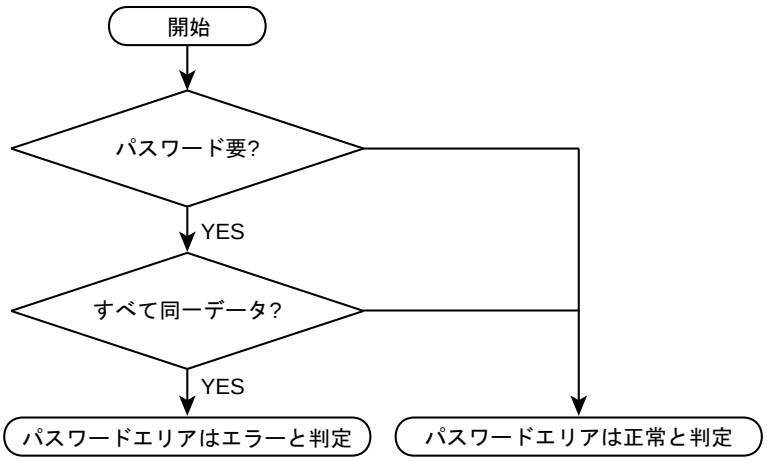


図 20-10 パスワードエリアチェックフローチャート

20.3.5.4　CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

20.3.6 RAM 転送の転送フォーマット

RAM 転送コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TMPM061FWFG へ

転送方向「C←T」: TMPM061FWFG からコントローラへ

転送バイト数	転送方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「20.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
		[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合:0x30	送信バッファにデータ(0x30)を書き込み、SCLK クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x10)	RAM 転送コマンドデータ(0x10)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 20-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。RAM 転送の場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FF04 ~ 0x3F81_FF0F	パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「20.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~ 0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。

転送 バイト数	転送 方向	転送データ	内容
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は 20.3.5.4 を参照してください
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。
19	C→T	RAM 格納開始アドレス 31 ~ 24	ブロック転送における格納先の RAM の開始アドレスを送信してください。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地の範囲で指定してください。RAM の開始アドレスは偶数アドレスでなければいけません。
20	C→T	RAM 格納開始アドレス 23 ~ 16	
21	C→T	RAM 格納開始アドレス 15 ~ 8	
22	C→T	RAM 格納開始アドレス 7 ~ 0	
23	C→T	RAM 格納バイト数 15 ~ 8	ブロック転送するバイト数を送信してください。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください
24	C→T	RAM 格納バイト数 7 ~ 0	
25	C→T	19 ~ 24 バイト目の CHECK SUM 値	19 バイト目から 24 バイト目の CHECK SUM 値を送信してください。
26	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、25 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
27~m	C→T	RAM 格納データ	RAM に格納するデータを、23 バイト目から 24 バイト目に指定されたバイト数分送信してください。
m+1	C→T	27 ~ m バイト値の CHECK SUM 値	27 バイト目 ~ m バイト目の CHECK SUM 値を送信してください。
m+2	C←T	CHECK SUM 値に対する ACK 応答 正常の場合:0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、m + 1 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
–	–	–	m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

20.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TMPM061FWFG

転送方向「C←T」: コントローラ←TMPM061FWFG

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「20.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
		[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合:0x30	送信バッファにデータ(0x30)を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x40)	フラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 20-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。フラッシュメモリチップ消去およびプロテクトビット消去の場合、0x40 をエコーバック送信します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FF04 ~ 0x3F81_FF0F	パスワード要否選択が「否」の場合、ダミーデータです。 パスワード要否選択が「要」の場合、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「20.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~ 0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「20.3.5.4 CHECK SUM の計算方法」を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、最初に 5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。
19	C→T	消去イネーブルコマンドデータ(0x54)	消去イネーブルコマンドデータ(0x54)を送信してください。
20	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0x58	最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x58 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。 次に、19 バイト目の受信データが、消去イネーブルコマンドに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
21	C→T	消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C	正常に終了した時は、終了コード(0x4F)を返します。 消去 Error が起きた場合は、エラーコード(0x4C)を返します。
–	–	–	次の動作コマンドデータ待ち状態になります。

20.3.8 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

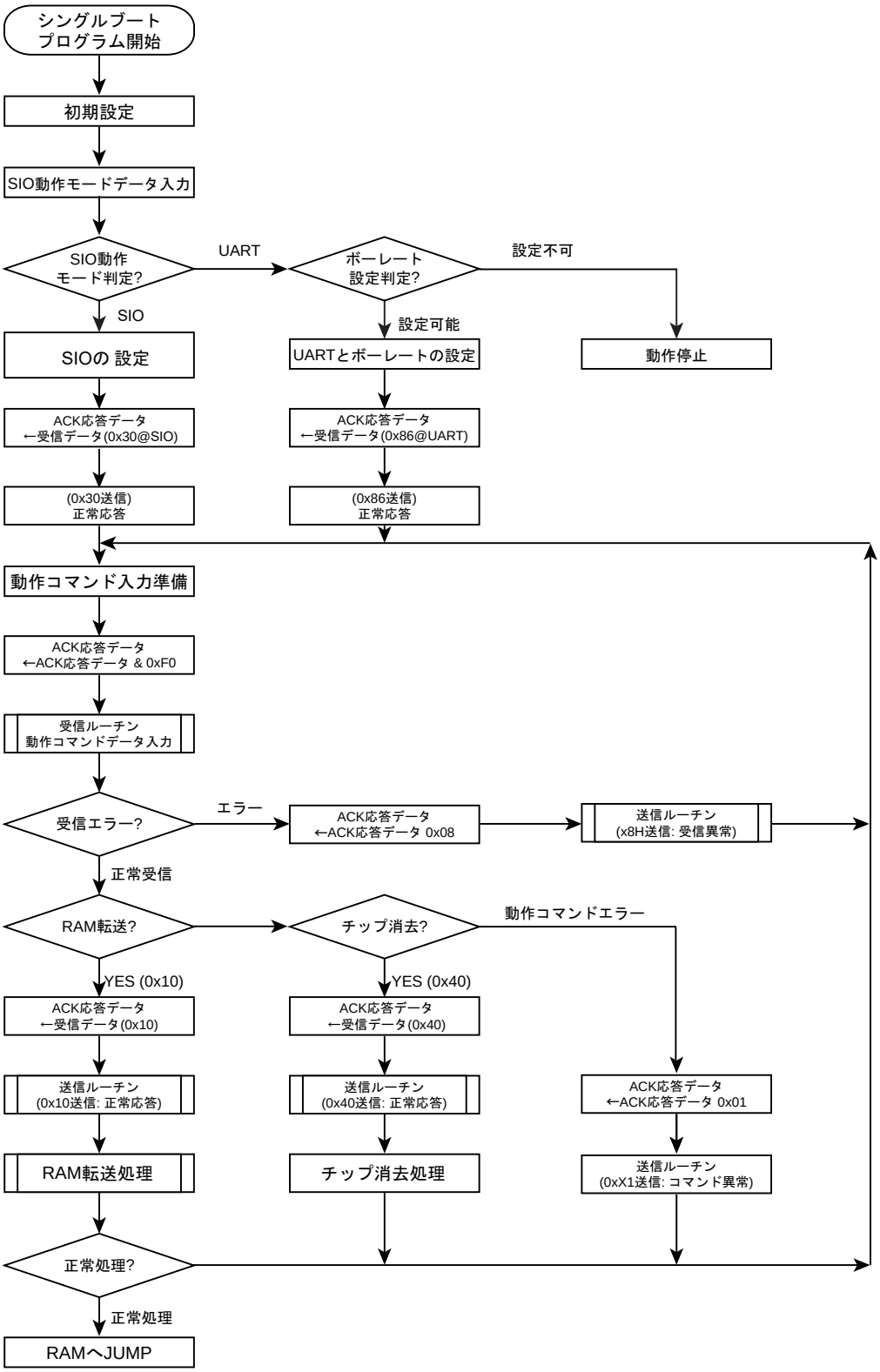


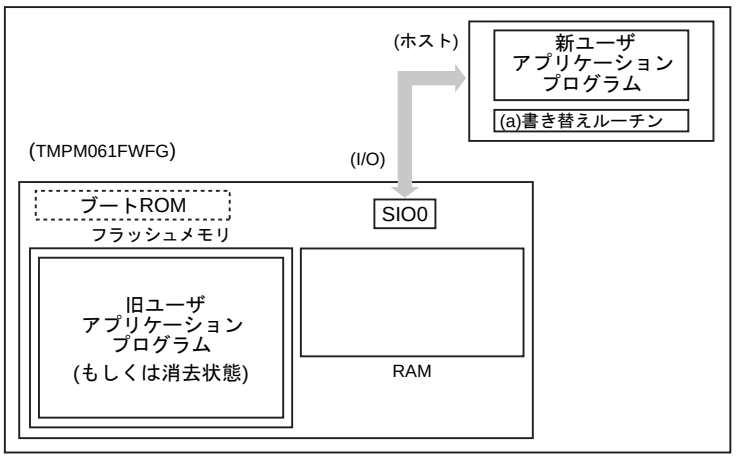
図 20-11 ブートプログラム全体フローチャート

20.3.9　内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

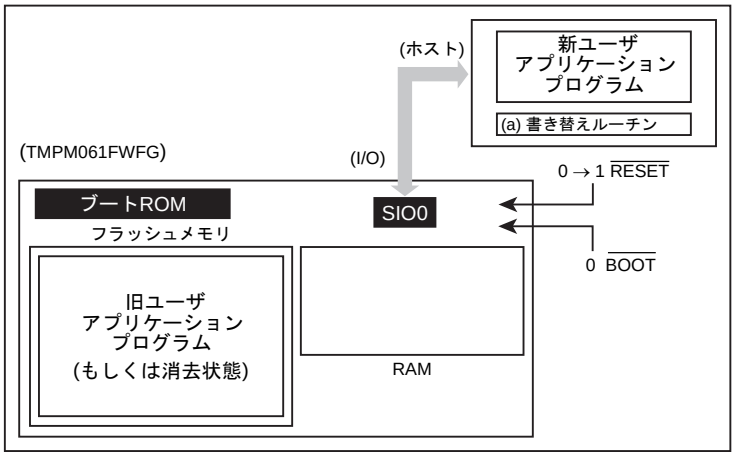
20.3.9.1　Step-1

フラッシュメモリの状態は旧バージョンのユーザプログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0)を経由して行いますので、ボード上で本デバイスの SIO (SIO0)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



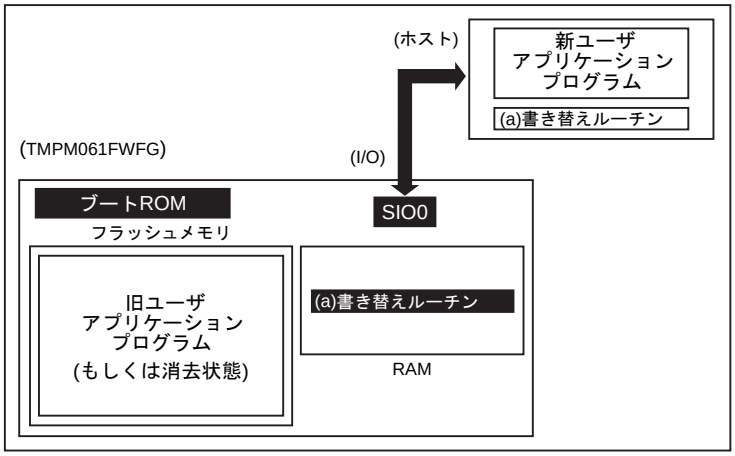
20.3.9.2　Step-2

シングルブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。シングルブートモードの手順に従い、SIO0　を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



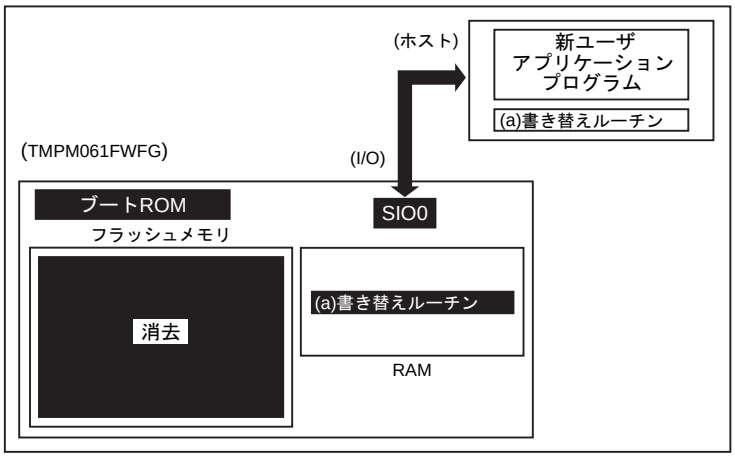
20.3.9.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



20.3.9.4 Step-4

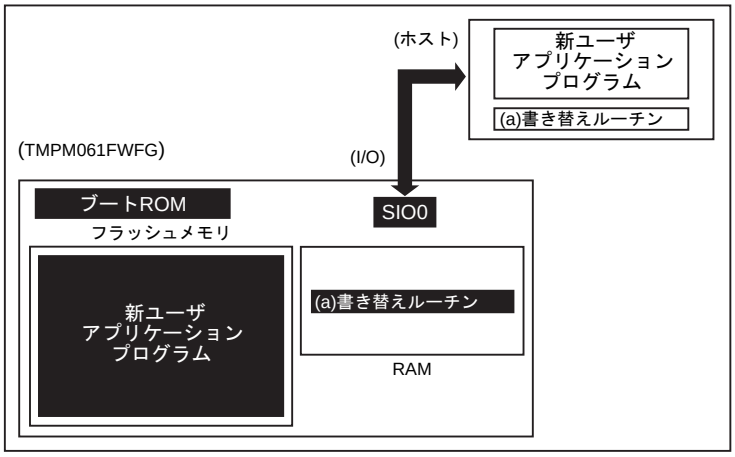
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



20.3.9.5　Step-5

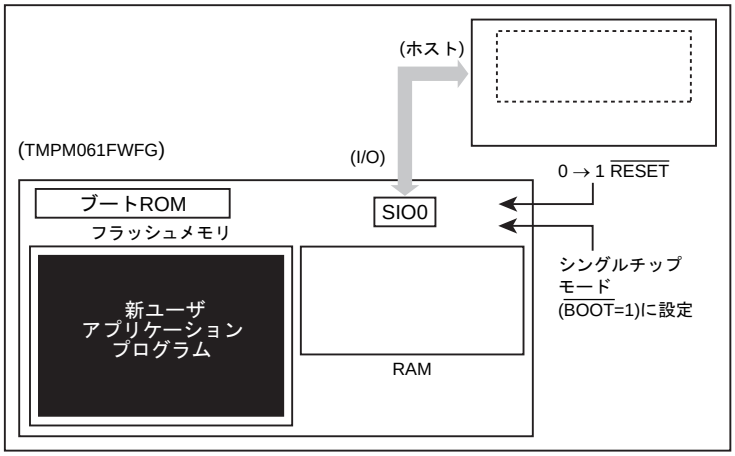
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザ独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



20.3.9.6　Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザアプリケーションプログラムを実行します。



20.4 ユーザブートモードによる書き替え方法

ユーザブートモードは、ユーザ独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザブートモードに移行する必要があります。従 って、条件判定を行うプログラムをユーザアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザのシステムセット条件に合わせて独自に構築してください。また、ユーザブートモード移行後に使用するユーザ独自のフラッシュメモリ書き替えルーチンも同様にユーザアプリケーションの中にあらかじめ組み込んでおき、ユーザブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザブートモードでも、割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

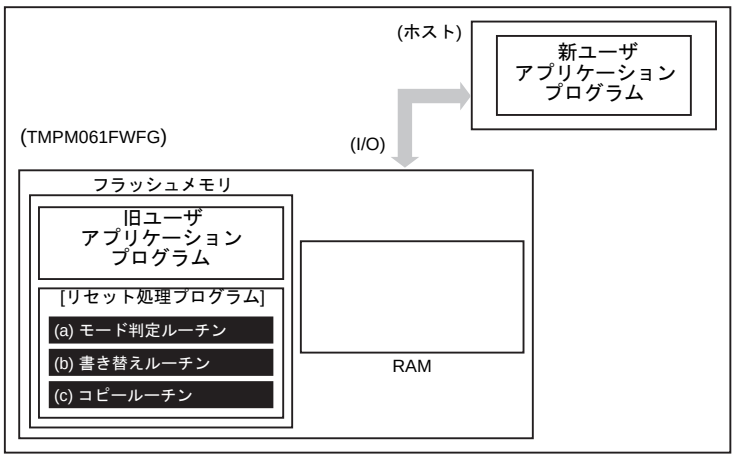
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下(1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「20.2 フラッシ ュメモリ詳細」を参照してください。

20.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

20.4.1.1 Step-1

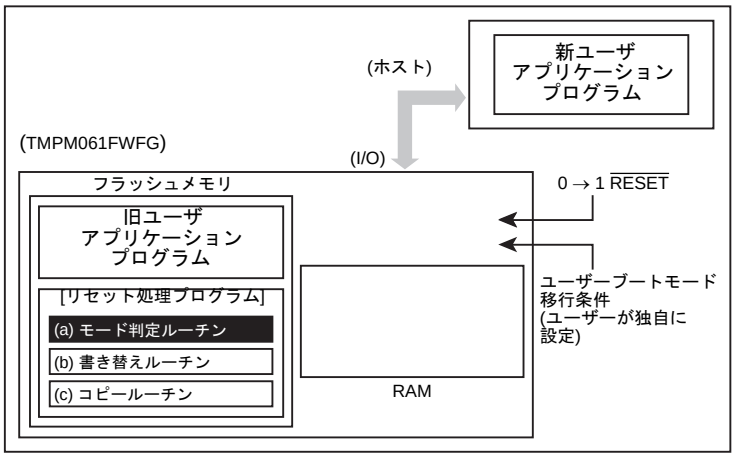
ユーザは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



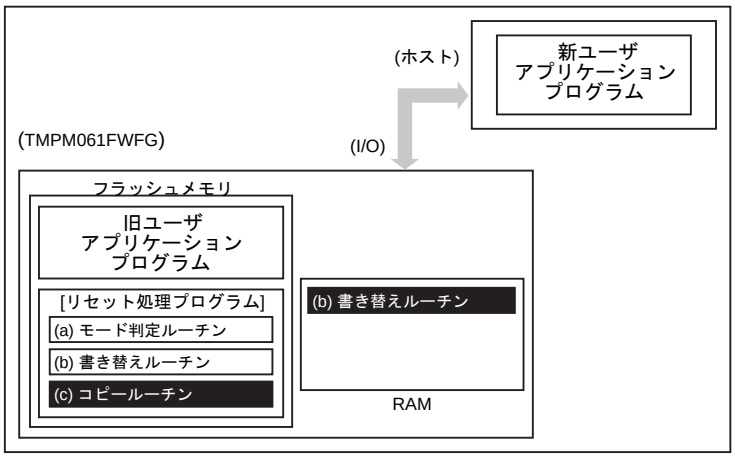
20.4.1.2　Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムにおいてユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。



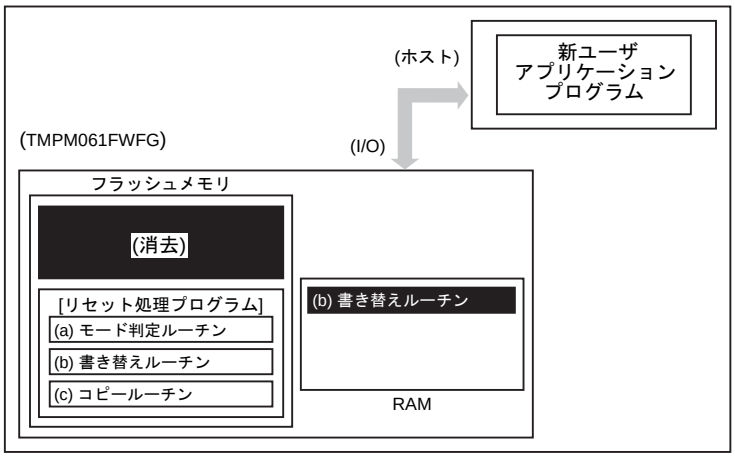
20.4.1.3　Step-3

ユーザブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



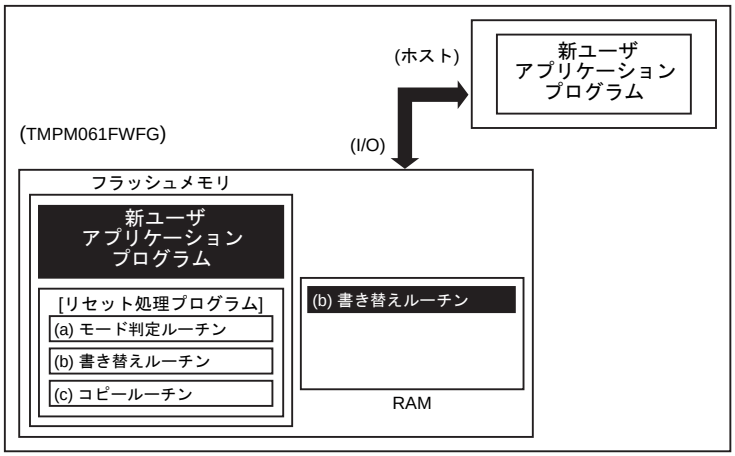
20.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



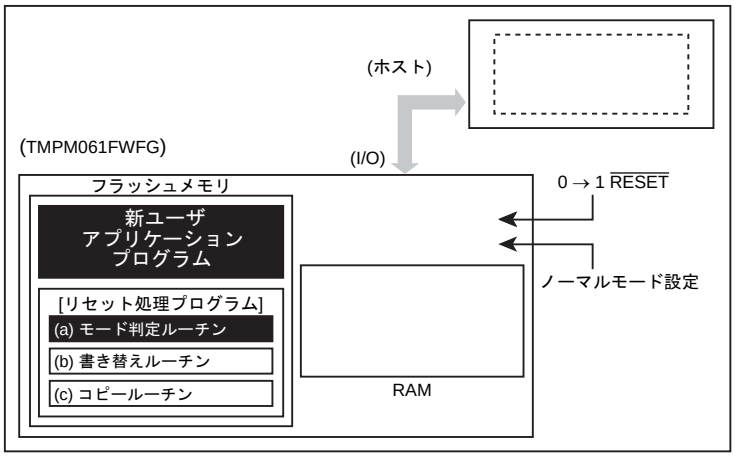
20.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。



20.4.1.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



20.4.2 (1-B)書き替えルーチンを外部から転送する手順例

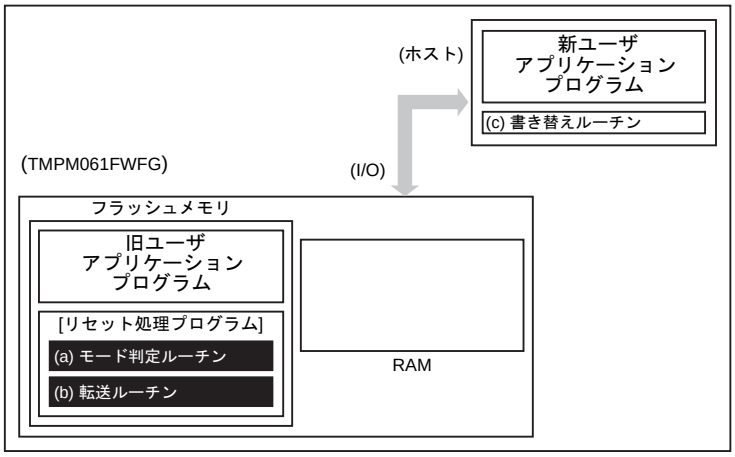
20.4.2.1 Step-1

ユーザは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム
(b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

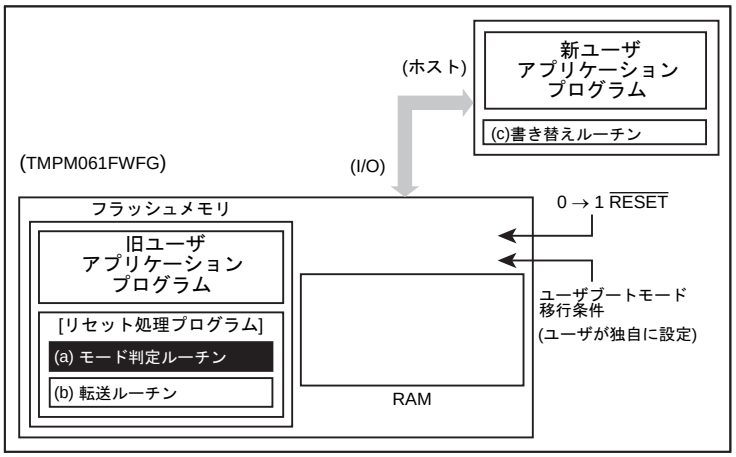
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン: 書き替えを行うためのプログラム



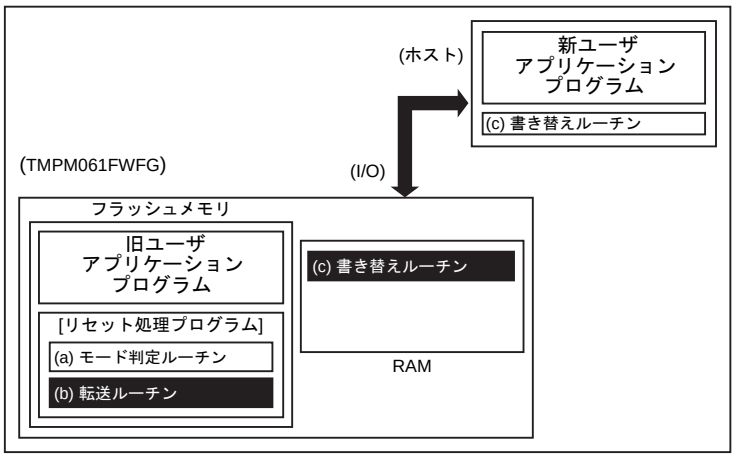
20.4.2.2　Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモ ードに移ります。



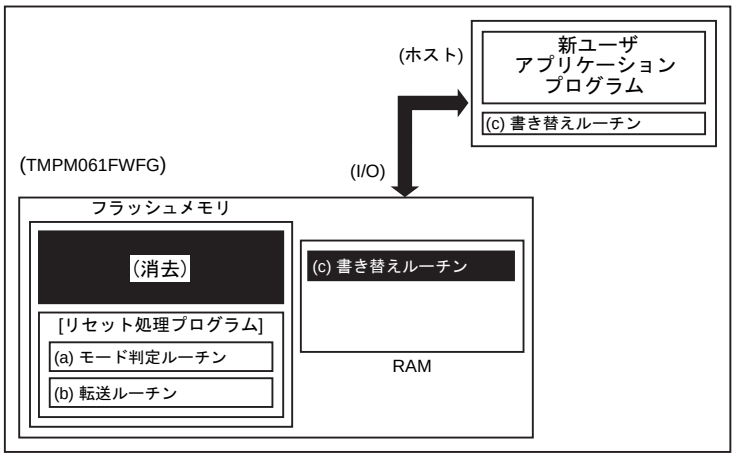
20.4.2.3　Step-3

ユーザブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



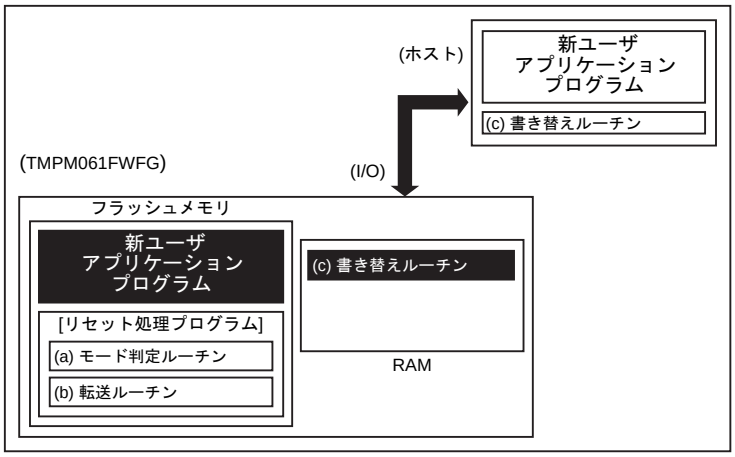
20.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



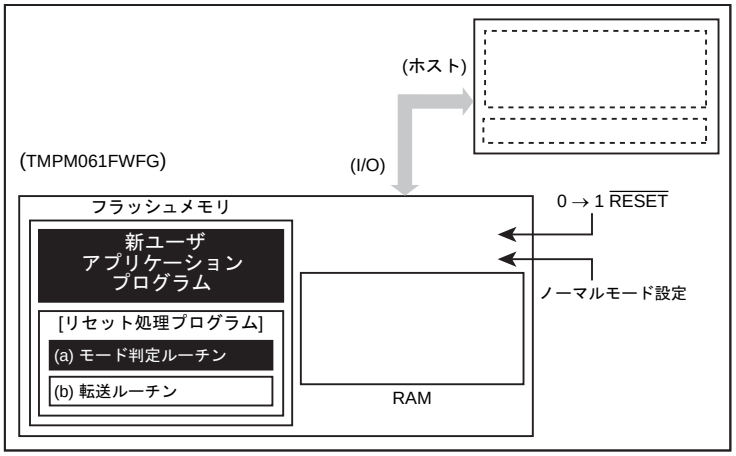
20.4.2.5 Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。



20.4.2.6 Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。


(ホスト)
(TMPM061FWFG)
(I/O)
フラッシュメモリ
新ユーザ
アプリケーション
プログラム
[リセット処理プログラム]
(a) モード判定ルーチン
(b) 転送ルーチン
RAM
0 → 1 RESET
ノーマルモード設定

第 21 章　デバッグインタフェース

21.1　仕様概要

TMPM061FWFG は、デバッグツールと接続するためのデバッグインタフェースとして SW-DP (Serial Wire Debug Port)ユニットを搭載しています。SW-DP は、シリアルワイヤデバッグポート(SWCLK, SWDIO)をサポートしています。

SW-DP の詳細に関しては Arm 社からリリースされる"テクニカルリファレンスマニュアル"を参照してください。

21.2　デバッグインタフェース端子

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子は、リセット解除後デバッグ機能が有効な状態です。必要に応じて設定を変更してください。

表 21-1 にデバッグインタフェース端子のリセット解除後の設定をまとめます。

表 21-1 デバッグインタフェース端子とリセット解除後のポート設定

デバッグ機能	リセット解除後のポートの設定値				
	機能 (PxFRn)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)
SWCLK	1	1	0	0	1
SWDIO	1	1	1	1	0

21.3　リセットベクタブレーク

TMPM061FWFG は、$\overline{\text{RESET}}$ 端子からのリセットが有効な間デバッグツールとの通信が禁止されています。リセットベクタでブレークをかける場合、リセット解除後にデバッグツールからブレークの設定を行い、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットをセットして再度リセットを発生させてください。

21.4　デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御ができなくなります。再度デバッグツールを接続するためには何らかの方法で汎用ポートをデバッグインタフェース機能に変更する仕組みを準備しておく必要がありますので注意してください。

21.5　デバッグイネーブル端子

TMPM061FWFG にはデバッグイネーブル端子($\overline{\text{DBGEN}}$)が準備されています。デバッグイネーブル端子は、デバッグツールとの通信を確実に行うために使用します。

デバッグイネーブル端子はリセット中入力が有効になっており、リセット信号の立ちあがりで"Low"がサンプリングされるとデバッグイネーブル状態となって機能がデバッグインタフェースに固定されます。この状態は、次の端子リセットまで保持されます。

デバッグツールはリセット解除後にプロセッサコアと通信を行いますので、ユーザプログラムでリセット解除後早い時期にデバッグインタフェース端子のポート設定を変更するような場合に有効です。

デバッグイネーブルのリセット解除後の状態は以下のレジスタでモニタできます。

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
デバッグイネーブルモニタレジスタ	FCDBGEN	0x005C

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	EN0
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	EN0	R	デバッグインタフェース端子状態のモニタ 0: SWCLK0, SWDIO0 は機能変更可能 1: SWCLK0, SWDIO0 は機能変更不可 リセット解除時の $\overline{\text{DBGEN0}}$ 端子が"Low"の場合"1"が設定されます。

21.6 ホールトモード中の周辺機能

Cortex-M0 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。また、16 ビットタイマ(TMRB および TMR16A)はホールトモード時に動作するかどうかを指定することができます。その他の周辺機能は動作を続けます。

21.7 デバッグツールとの接続

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

第 22 章　電気的特性

22.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3	−0.3 ~ 3.9	V
		AVDD3	−0.3 ~ 3.9	
		RVDD3	−0.3 ~ 3.9	
		DSRVDD3	−0.3 ~ 3.9	
		SRVDD	−0.3 ~ 3.9	
		VLC	−0.3 ~ 3.9	
電圧保持用キャパシタ端子		COUT	−0.3 ~ 3.0	V
入力電圧	下記端子を除く	V_{IN}	−0.3 ~ DVDD3 + 0.3	V
	PI5, PI6, PJ2		-0.3 ~ 5.5	
	DAIN0+, DAIN0-, DAIN1+, DAIN1-, DAIN2+, DAIN3-		-0.375 ~ DSRVDD3 + 0.3	
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	−5	
	合計	ΣI_{OH}	50	
消費電力(Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−40 ~ 125	°C
動作温度	Flash W/E 時を除く	T_{OPR}	−40 ~ 85	°C
	Flash W/E 時		0 ~ 70	

注)　絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

22.2　DC 電気的特性(1/3)

Ta = −40 ~ 85 °C

項目		記号	条件		Min	Typ. (注 1)	Max	単位
電源電圧	DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC (注 2) DVSS = AVSS = RVSS = DSRVSS = 0V	DVDD3 AVDD3 RVDD3 DSRVDD3 VLC	fc = 8 ~ 16MHz fsys = 1 ~ 16 MHz fs = 30 ~ 34 kHz		1.8	−	3.6	V
		SRVDD			2.9		3.6	
低レベル入力電圧	PF0,PF1	V_{IL1}	1.8 V ≦ AVDD3 ≦ 3.6 V		−0.3	−	0.2 AVDD3	V
	PA0~7, PB0~7, PC0~7, PD0~7, PE0~7, PF0~1, PG0, PH0~5, PI0~6, PJ0~5, PK0~1 $\overline{\text{RESET}}$, MODE	V_{IL2}	1.8 V ≦ DVDD3 ≦ 3.6 V				0.2 DVDD3	
高レベル入力電圧	PF0,PF1	V_{IH1}	1.8 V ≦ AVDD3 ≦ 3.6 V		0.8 AVDD3	−	AVDD3 + 0.3	V
	PA0~7, PB0~7, PC0~7, PD0~7, PE0~7, PF0~1, PG0, PH0~5, PI0~4, PJ0~1, PJ3~5, PK0~1 $\overline{\text{RESET}}$, MODE	V_{IH2}	1.8 V ≦ DVDD3 ≦ 3.6 V		0.8 DVDD3		DVDD3 + 0.3	
	PI5, PI6, PJ2	V_{IH3}			0.9 DVDD3		5.5	
低レベル出力電圧		V_{OL}	I_{OL} = 2 mA	DVDD3 ≧ 2.7 V AVDD3 ≧ 2.7 V	−	−	0.4	V
			I_{OL} = 0.5 mA	DVDD3 ≧ 1.8 V AVDD3 ≧ 1.8 V			0.2	
高レベル出力電圧		V_{OH}	I_{OH} = −2 mA	DVDD3 ≧ 2.7 V	2.4	−	DVDD3	V
				AVDD3 ≧ 2.7 V			AVDD3	
			I_{OH} = −0.5 mA	DVDD3 ≧ 1.8 V	1.5		DVDD3	
				AVDD3 ≧ 1.8 V			AVDD3	
入力リーク電流		I_{LI}	0.0 ≦ V_{IN} ≦ DVDD3 0.0 ≦ V_{IN} ≦ AVDD3		−	0.02	±5	μA
出力リーク電流		I_{LO}	0.2 ≦ V_{IN} ≦ DVDD3 − 0.2 0.2 ≦ V_{IN} ≦ AVDD3 − 0.2		−	0.05	±10	
リセットプルアップ抵抗		RRST	DVDD3 = 1.8 V ~ 3.6 V		−	50	150	kΩ
プログラマブルプルアップ/ダウン抵抗		PKH	DVDD3 = 1.8 V ~ 3.6 V AVDD3 = 1.8 V ~ 3.6 V		−	50	150	kΩ
Pin 容量(電源端子を除く)		C_{IO}	fc = 1 MHz		−	−	10	pF

注 1)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = DSRVDD3 = SRVDD = VLC = 3.3 V の値です。
注 2)　DVDD3, AVDD3, RVDD3, DSRVDD3, SRVDD, VLC は同電圧で使用してください。

22.3 DC 電気的特性(2/3)

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1.8 V ~ 3.6 V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
低レベル出力電流	I_{OL}	1 端子ごと	−	−	2	mA
	ΣI_{OL}	全端子	−	−	35	mA
高レベル出力電流	I_{OH}	1 端子ごと	−	−	−2	mA
	ΣI_{OH}	全端子	−	−	-35	mA

注) DVDD3, AVDD3, RVDD3, DSRVDD3, SRVDD, VLC は同電圧で使用してください。

22.4 DC 電気的特性(3/3)

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1.8 V ~ 3.6 V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注 1)	Max	単位
NORMAL (注 2)	I_{DD}	fsys = 16 MHz	−	6.5	9.45	mA
		fsys = 10 MHz	−	4	7.45	
IDLE (注 3)		fsys = 16 MHz	−	2.2	3.4	
		fsys = 10 MHz	−	1.5	2.6	
SLOW		fs = 32.768 kHz	−	300	1000	μA
SLEEP			−	15	350	
STOP		−	−	14	300	

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 3.3 V の値です。

注 2) I_{DD} NORMAL の測定条件:
実行プログラム: ドライストン V2.1 (内蔵 FLASH 動作)
AD コンバータの基準電圧、ΔΣ 型 AD コンバータ、温度センサ、LCD のブリーダ抵抗、入出力 I/O の電流は含みません。

注 3) I_{DD} IDLE の測定条件:
周辺機能はすべて停止
I_{DD} には DVDD3, AVDD3, RVDD3, DSRVDD3, SRVDD, VLC に流れる電流が含まれます。

22.5　10 ビット AD コンバータ変換特性

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1,8 V ~ 3.6 V
AVSS = DVSS = 0V, Ta = -40 ~ 85 °C

項目		記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)		VREFH	−	1.8	2.7	3.6	V
アナログ入力電圧		VAIN	−	AVSS	−	VREFH	V
アナログ基準電圧電源電流	AD 変換時	IREF	DVSS = AVSS	−	0.4	0.55	mA
	AD 非変換時			−	0.05	10	μA
微分非直線性誤差		−	AVDD = 1.8V AVSS = 0.0V VREFH = 1.8V	−	±3	±4	LSB
積分非直線性誤差				−	±3	±4	
ゼロ誤差				−	±3	±4	
フルスケール誤差				−	±3	±4	
総合誤差				−	±3	±4	
微分非直線性誤差		−	AVDD = 3.0V AVSS = 0.0V VREFH = 3.0V	−	±2	±3	
積分非直線性誤差				−	±2	±3	
ゼロ誤差				−	±2	±3	
フルスケール誤差				−	±2	±3	
総合誤差				−	±2	±3	

注 1)　1LSB = (VREFH − AVSS)/1024 [V]
注 2)　AD コンバータ単体動作の時の特性です。

22.6　24 ビット ΔΣ 型 AD コンバータ変換特性

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 2.9 V ~ 3.6 V
DSRVSS = DVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	dsVREFIN	-	-	2.75	-	V
アンプ消費電流(3unit 共通)	$dsAMPI_{CC}$	-	-	0.5	1.0	m A
変換消費電流(1unit あたり)	$dsADI_{CC}$	-	-	1.4	2.5	mA
SNDR	dsSNDR	GAIN = ×1 変換時間 ≥ 330μs	-	84	-	dB
入力レンジ	AINP AINN		−0.375	−	0.375	V
入力インピーダンス	dsinp		−	49.5 (注 2)	−	kΩ
変換時間	Tconvds	−	165	−	−	μs

注 1)　AD コンバータ単体の特性です。
注 2)　AINN = 0V での値です。

22.7 温度センサ特性

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1.8 V ~ 3.6 V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
基準電圧生成回路消費電流(注 1)	$BGRI_{CC}$	–	–	0.2	0.5	mA
温度センサ消費電流	$TEMPI_{CC}$	–	–	0.7	1.0	mA
相対誤差(注 2)	–	Ta = -20 ~ 85 °C	–	–	±3	℃
		Ta = -40 ~ 85 °C	–	–	±5	

注 1) 基準電圧生成回路消費電流は、温度センサと共通に使用します。

注 2) 30°C および 60°C で測定した結果を用いて直線近似した場合の、温度センサ単体での設計保証値です。

22.8 LCD 特性

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1.8 V ~ 3.6 V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
LCD 駆動用電源端子	VLC	表示イネーブル時	2.2	–	3.6	V
		表示 Blanking 時	1.8	–	3.6	
内蔵ブリーダ抵抗値	RH1	–	–	500	–	kΩ
	RH2		–	200	–	
	RL		–	20	–	

22.9　AC 電気的特性

22.9.1　AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- 出力レベル：High = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 入力レベル： DC 電気的特性の、低レベル入力電圧/高レベル入力電圧参照
- 負荷容量：CL = 30pF

22.9.2　シリアルチャネル(SIO/UART)

22.9.2.1　I/O インタフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1)　SCLK 入力モード

[入力]

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	250	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	250	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	500	−	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり(注)	t_{SRD}	30	−	30	−	
SCLK 立ち上がり → Input Data 保持/立ち下がり(注)	t_{HSR}	x + 30	−	92.5	−	

[出力]

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	250	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	250	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	500	−	
Output Data ← SCLK 立ち上がり/立ち下がり(注)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	17.5	−	
SCLK 立ち上がり → Output Data 保持/立ち下がり(注)	t_{OHS}	$t_{SCY}/2$	−	250	−	

注)　SCLK 立ち上がり/立ち下がり；SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

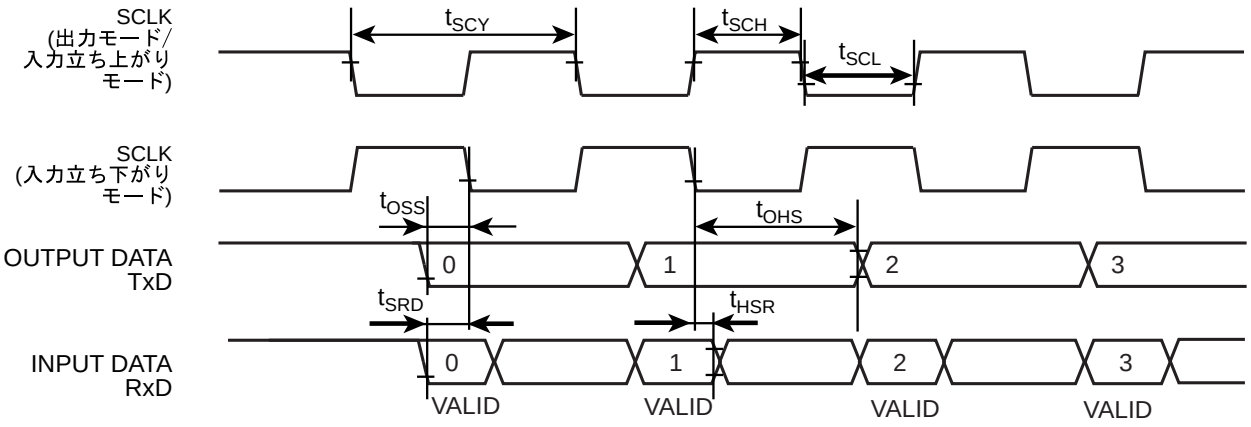
(2) SCLK 出力モード

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 2.7 ~ 3.6V

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCLK 周期(プログラマブル)	t_{SCY}	4x	–	250	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 30$	–	95	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 30$	–	95	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	–	45	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1.8 V

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCLK 周期(プログラマブル)	t_{SCY}	4x	–	250	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 30$	–	95	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 70$	–	55	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	90	–	90	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	



22.9.3　シリアルバスインタフェース(I2C/SIO)

22.9.3.1　I2C モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0	−	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;STA}$	−	−	4.0	−	0.6	−	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	−	−	4.7	−	1.3	−	μs
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	−	−	4.0	−	0.6	−	μs
再スタートコンディション セットアップ時間	$t_{SU;STA}$	ソフト (注 5)	−	4.7	−	0.6	−	μs
データ保持時間(入力) (注 3, 4)	$t_{HD;DAT}$	−	−	0.0	−	0.0	−	μs
データセットアップ時間	$t_{SU;DAT}$	−	−	250	−	100	−	ns
ストップコンディションセットアップ時間	$t_{SU;STO}$	−	−	4.0	−	0.6	−	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	ソフト (注 5)	−	4.7	−	1.3	−	μs

注 1)　SCL クロック LOW 幅(出力): $(2^{n-1} + 58)/x$

注 2)　SCL クロック HIGH 幅(出力): $(2^{n-1} + 14)/x$

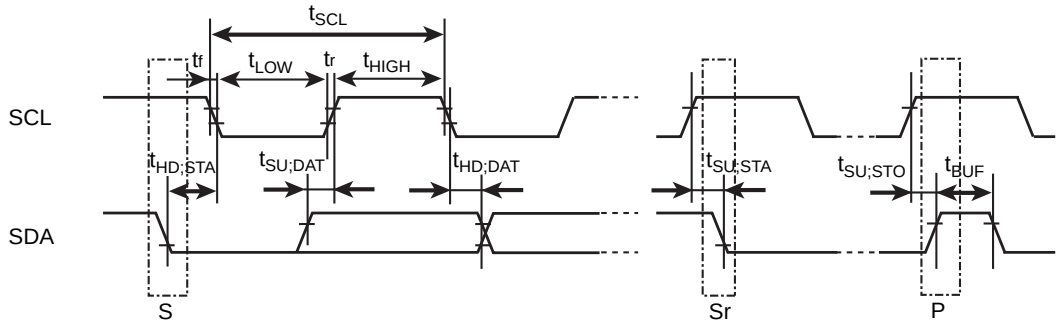
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意願います。

注 3)　データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4)　フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5)　ソフトウエアに依存します。

注 6)　フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

22.9.3.2 クロック同期式 8 ビット SIO モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SCK 入力モード(SCK デューティ 50%の場合)

[入力]

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	t_{SCH}	4x	−	250	−	ns
SCK クロック Low 幅(入力)	t_{SCL}	4x	−	250	−	
SCK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	500	−	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	30 − x	−	-32.5	−	
SCK 立ち上がり → Input Data 保持	t_{HSR}	2x + 30	−	155	−	

[出力]

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	t_{SCH}	4x	−	250	−	ns
SCK クロック Low 幅(入力)	t_{SCL}	4x	−	250	−	
SCK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	500	−	
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	17.5	−	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 + x$	−	312.5	−	

(2) SCK 出力モード(SCK デューティ 50%の場合)

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 2.7 ~ 3.6V

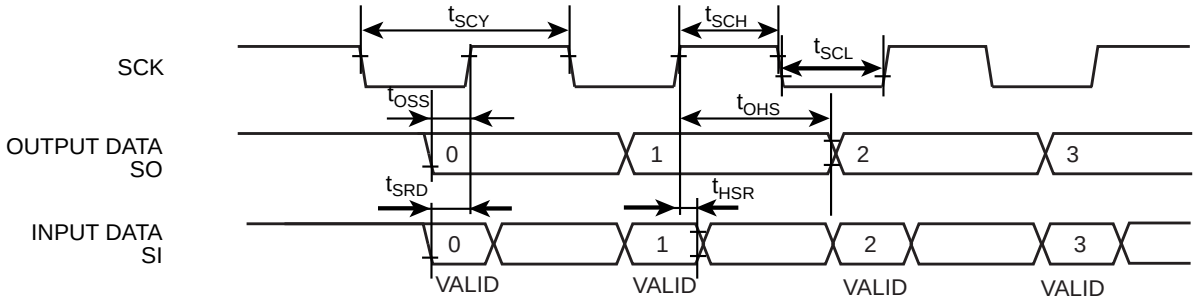
項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	t_{SCY}	16x (注 1)	−	1000	−	ns
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 30$ (注 2)	−	470	−	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 30$	−	470	−	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	x + 45	−	107.5	−	
SCK 立ち上がり → Input Data 保持	t_{HSR}	0	−	0	−	

DVDD3 = AVDD3 = RVDD3 = DSRVDD3 = SRVDD = VLC = 1.8V

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	t_{SCY}	16x (注 1)	−	1000	−	ns
Output Data ← SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 30$ (注 2)	−	470	−	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 70$	−	430	−	
有効 Data 入力 ← SCK 立ち上がり	t_{SRD}	x + 90	−	152.5	−	
SCK 立ち上がり → Input Data 保持	t_{HSR}	0	−	0	−	

注 1) 自動ウエイト後の SCK 周期は 14x になります。

注 2) 自動ウエイト後の t_{OSS} は、$t_{SCY}/2 - x - 30$ になることがあります。



22.9.4　イベントカウンタ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	225	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	225	−	ns

22.9.5　キャプチャ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	2x + 100	−	225	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	225	−	ns

22.9.6　外部割り込み

表中の x はシステムクロック fsys の周期を表します。

1. STOP 解除割り込み以外

項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
INT0~3 低レベルパルス幅	t_{INTAL}	x + 100	−	162.5	−	ns
INT0~3 高レベルパルス幅	t_{INTAH}	x + 100	−	162.5	−	ns

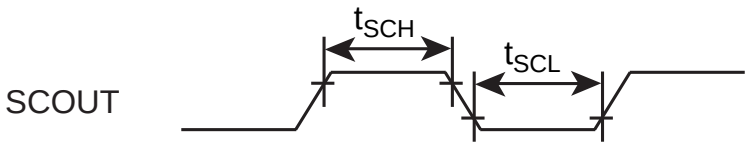
2. STOP 解除割り込み

項目	記号	Min	Max	単位
INT0~3 低レベルパルス幅	t_{INTBL}	100	−	ns
INT0~3 高レベルパルス幅	t_{INTBH}	100	−	ns

22.9.7 SCOUT 端子 AC 特性

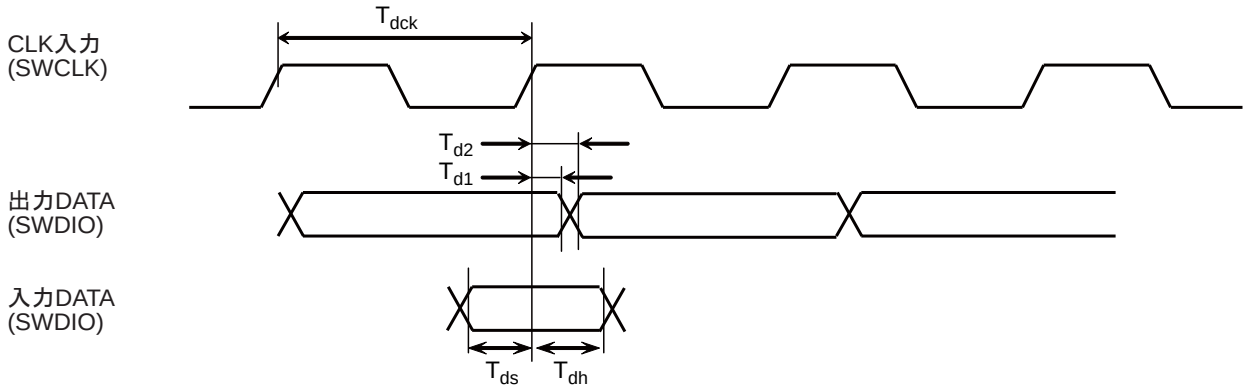
項目	記号	計算式		16 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	0.5T − 5	−	26.25	−	ns
低レベルパルス幅	t_{SCL}	0.5T − 5	−	26.25	−	ns

注) 表中の「T」は SCOUT 出力波形の周期を示します。



22.9.8 デバッグ通信

項目	記号	Min	Max	単位
CLK 周期	T_{dck}	100	−	ns
CLK 立ち上がり →出力 データ保持	T_{d1}	4	−	ns
CLK 立ち上がり → 出力データ有効	T_{d2}	−	30	ns
入力データ有効 ← CLK 立ち上がり	T_{ds}	20	−	ns
CLK 立ち上がり→入力データ保持	T_{dh}	15	−	ns



22.9.9　フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	DVDD3 = RVDD3 = 2.7V ~ 3.6V Ta = 0 ~ 70 °C	–	–	100	回

22.9.10　内蔵高速発振特性

項目	記号	Min	Typ	Max	単位
発振周波数	IHOSC	9	10	11	MHz

22.10 発振回路

発振子の接続回路例を以下に示します。

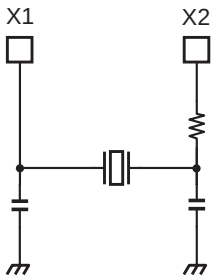


図 22-1 高周波発振回路例

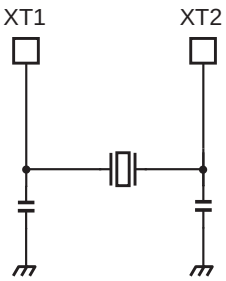


図 22-2 低周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

22.10.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

22.10.2 水晶発振子

本製品はセイコーインスツル株式会社製水晶発振子を用いて評価しています。

セイコーインスツル株式会社の製品詳細につきましては、同社ホームページを参照してください。

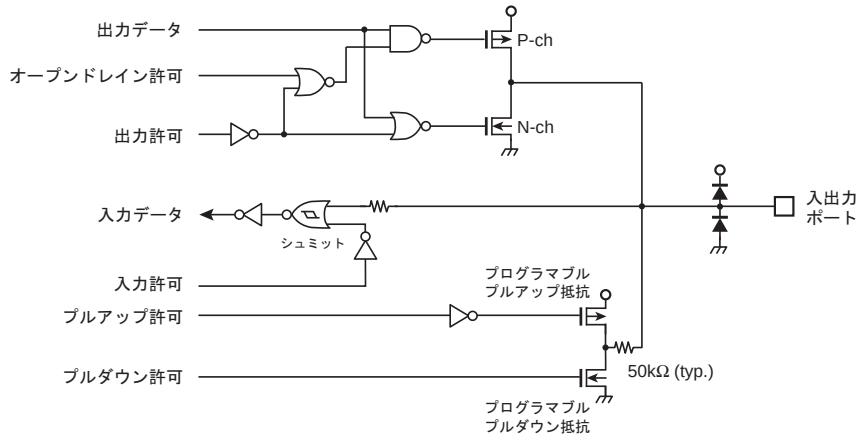
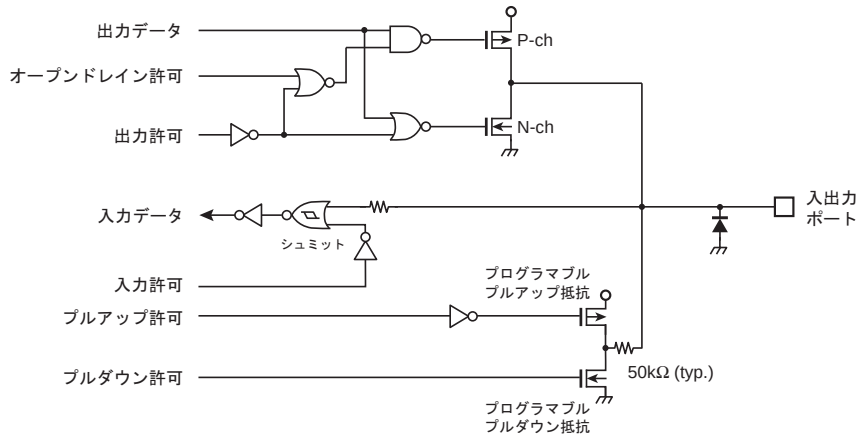
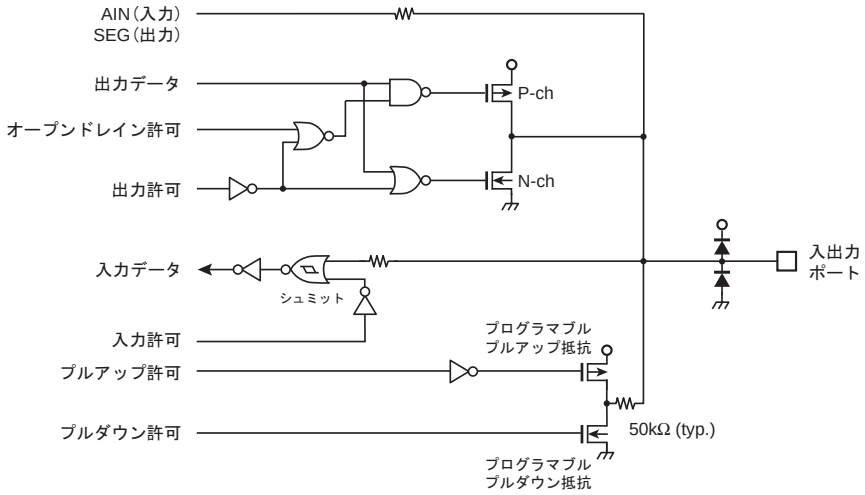
第 23 章　ポート等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

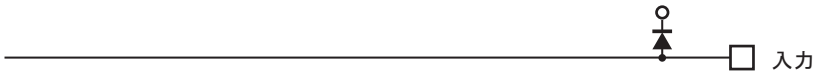
入力保護抵抗は、数十 Ω～数百 Ω 程度です。X2 のダンピング抵抗値は、図中に typ.値を記入しています。

注)　図中の数値の記載のない抵抗は、入力保護抵抗を示します。

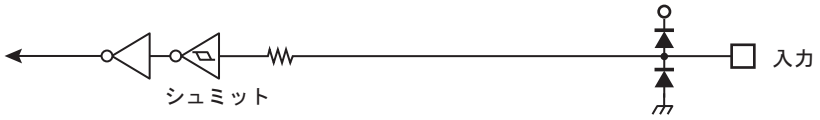
23.1　ポート

PE0~5(ポートタイプ FT1) PE6,7(ポートタイプ FT2) PF1(ポートタイプ FT4) PG0 PH0~5 PI0~4 PJ0~1, 3~4 PK0(ポートタイプ FT4) PK1(ポートタイプ FT1)	
PI5, PI6, PJ2	 注)入力端子として使用時のみ 5V 入力が可能です。
PA0~7 PB0~7 PC0~7 PD0~7 PE0~7(ポートタイプ FT10) PF0 PF1(ポートタイプ FT5) PK0,1(ポートタイプ FT5)	
PJ5	

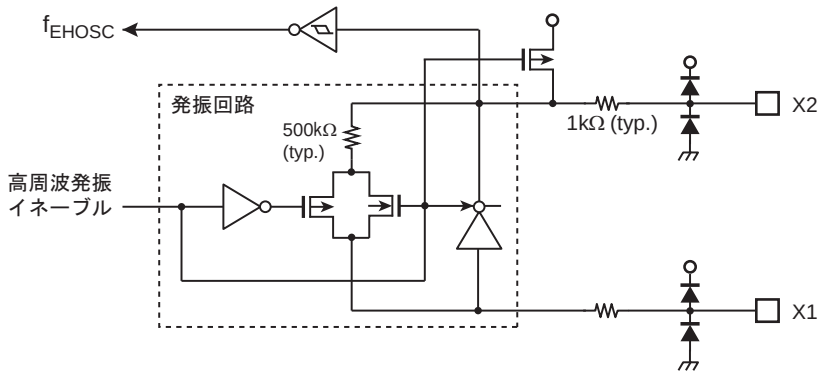
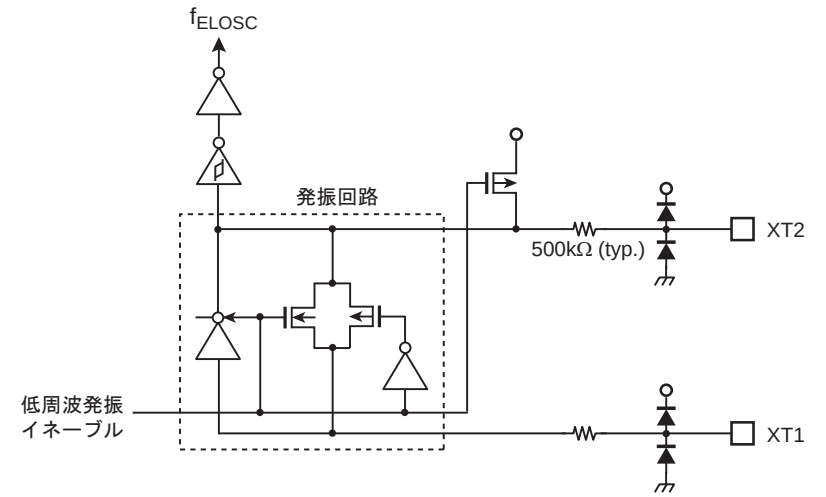
23.2 アナログ端子

COM0, COM1, COM2, COM3	
DAIN0+, DAIN0-, DAIN1+, DAIN1-, DAIN2+, DAIN2-,	

23.3 制御端子

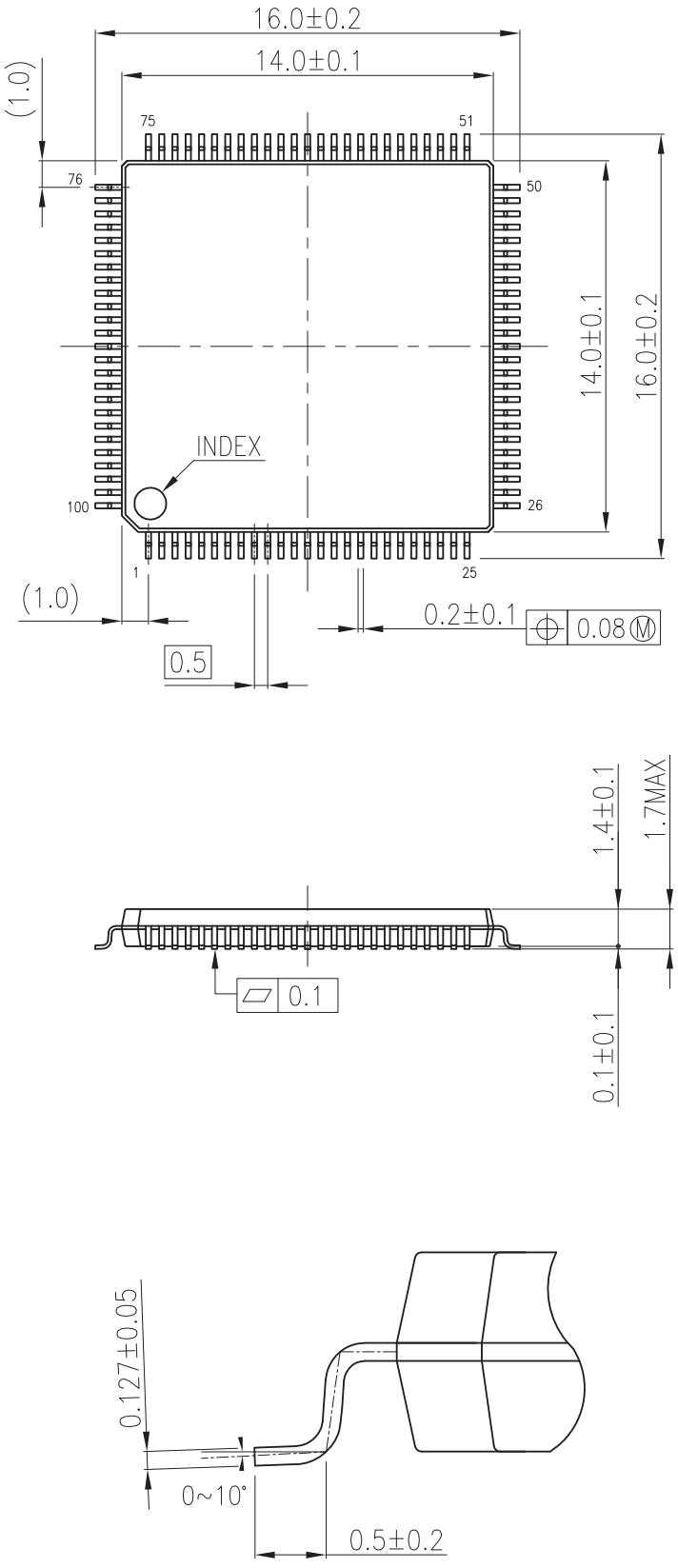
MODE	 必ず GND に接続してください
$\overline{\text{RESET}}$	

23.4　クロック

X1、X2	
XT1, XT2	

第 24 章　パッケージ寸法図

パッケージ型名：LQFP100-P-1414-0.50G



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。