TOSHIBA

32 ビット RISC マイクロコントローラ
TX03 シリーズ

TMPM375FSDMG

株式会社 東芝

セミコンダクター & ストレージ社

©2026 Toshiba Corporation

****
ARM, Cortex および Thumb はARM Limited(またはその子会社)のEUまたはその他の国における
登録商標です。All rights reserved.
****

製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

   電源投入時、本資料に掲載されている製品の内部は不定状態となります。

   このため、リセットが有効となるまで、端子の状態は不定となります。

   外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

   また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

   本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

   未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

   リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2013/06/04	1	First Release
2013/09/02	2	Contents Revised
2014/10/17	3	Contents Revised
2021/10/15	4	Contents Revised
2022/03/31	5	Contents Revised
2022/06/01	6	Contents Revised
2023/07/21	7	Contents Revised

目　次

はじめに(本仕様書での SFR 表記に関する注意点)

TMPM375FSDMG

1.1 機能概要....1
1.2 ブロック図....4
1.3 ピン配置図(Top view)....5
1.4 ピン名称と機能....6
1.4.1 ポート順....6
1.5 電源の種類と供給端子....8

第 2 章　プロセッサコア

2.1 コアに関する情報....9
2.2 構成可能なオプション....9
2.3 例外/割り込み....10
2.3.1 割り込み本数....10
2.3.2 割り込み優先度ビット数....10
2.3.3 SysTick....10
2.3.4 SYSRESETREQ....10
2.3.5 LOCKUP....10
2.3.6 補助フォールトステータスレジスタ....10
2.4 イベント....11
2.5 電力管理....11
2.6 排他アクセス....11

第 3 章　メモリマップ

3.1 メモリマップ....13
3.1.1 TMPM375FSDMG メモリマップ....13
3.2 SFR 領域詳細....14

第 4 章　リセット動作

4.1 コールドリセット時....18
4.1.1 パワーオンリセット回路によるリセット(RESET 端子を使用しない場合)....18
4.1.2 RESET 端子によるリセット....19
4.2 ウォームリセット時....20
4.2.1 リセット期間....20
4.3 リセット解除後....20

第 5 章　クロック/モード制御

5.1　特長.....21
5.2　レジスタ説明.....22
5.2.1　レジスタ一覧.....22
5.2.2　CGSYSCR(システムコントロールレジスタ).....23
5.2.3　CGOSCCR(発振コントロールレジスタ).....24
5.2.4　CGSTBYCR(スタンバイコントロールレジスタ).....26
5.2.5　CGPLLSEL(PLL セレクトレジスタ).....27
5.3　クロック制御.....28
5.3.1　クロックの種類.....28
5.3.2　リセット動作による初期値.....28
5.3.3　クロック系統図.....29
5.3.4　クロック逓倍回路(PLL).....30
5.3.4.1　安定時間
5.3.4.2　PLL 設定シーケンス
5.3.5　ウォーミングアップ機能.....32
5.3.6　システムクロック.....34
5.3.7　プリスケーラクロック.....35
5.4　モードとモード遷移.....36
5.4.1　モード状態遷移.....36
5.5　動作モード.....36
5.5.1　NORMAL モード.....36
5.6　低消費電力モード.....37
5.6.1　IDLE モード.....37
5.6.2　STOP モード.....38
5.6.3　低消費電力モードの選択.....39
5.6.4　各モードにおける動作状態.....39
5.6.5　低消費電力モードの解除.....40
5.6.6　ウォーミングアップ.....42
5.6.7　モード遷移によるクロック動作.....43
5.6.7.1　NORMAL → STOP → NORMAL 動作モード遷移

第 6 章　内蔵高速発振調整機能

6.1　構成.....45
6.2　レジスタ説明.....46
6.2.1　レジスタ一覧.....46
6.2.2　TRMOSCPRO (プロテクトレジスタ).....46
6.2.3　TRMOSCEN (イネーブルレジスタ).....47
6.2.4　TRMOSCINIT (初期トリミング値モニタレジスタ).....48
6.2.5　TRMOSCSET (トリミング値設定レジスタ).....49
6.3　動作説明.....50
6.3.1　概要.....50
6.3.2　調整範囲.....50
6.3.3　TMRB を使用した内蔵発振周波数測定.....50

第 7 章　例外

7.1　概要.....51
7.1.1　種類.....51
7.1.2　処理の流れ.....52
7.1.2.1　例外要求と検出
7.1.2.2　例外の処理と割り込み処理ルーチンへの分岐(横取り)
7.1.2.3　割り込み処理ルーチンの発行
7.1.2.4　例外からの復帰

7.2 リセット例外....58
7.3 マスク不能割り込み(NMI)....58
7.4 SysTick....59
7.5 割り込み....60
7.5.1 要因....60
7.5.1.1 経路
7.5.1.2 割り込み要因の発生
7.5.1.3 割り込み要因の伝達
7.5.1.4 外部割込み端子を使用する際の注意
7.5.1.5 要因一覧
7.5.1.6 アクティブレベル
7.5.2 処理詳細....64
7.5.2.1 処理の流れ
7.5.2.2 準備
7.5.2.3 検出(クロックジェネレータ)
7.5.2.4 検出(CPU)
7.5.2.5 CPU の処理
7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)
7.6 例外/割り込み関連レジスタ....70
7.6.1 レジスタ一覧....70
7.6.2 NVIC レジスタ....71
7.6.2.1 SysTick 制御およびステータスレジスタ
7.6.2.2 SysTick リロード値レジスタ
7.6.2.3 SysTick 現在値レジスタ
7.6.2.4 SysTick 較正値レジスタ
7.6.2.5 割り込みイネーブルセットレジスタ 1
7.6.2.6 割り込みイネーブルクリアレジスタ 1
7.6.2.7 割り込み保留セットレジスタ 1
7.6.2.8 割り込み保留クリアレジスタ 1
7.6.2.9 割り込み優先度レジスタ
7.6.2.10 ベクタテーブルオフセットレジスタ
7.6.2.11 アプリケーション割り込みおよびリセット制御レジスタ
7.6.2.12 システムハンドラ優先度レジスタ
7.6.2.13 システムハンドラ制御および状態レジスタ
7.6.3 クロックジェネレータレジスタ....84
7.6.3.1 CGIMCGA(CG 割り込みモードコントロールレジスタ A)
7.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)
7.6.3.3 CGNMIFLG(NMI フラグレジスタ)
7.6.3.4 CGRSTFLG(リセットフラグレジスタ)

第 8 章 デジタルノイズフィルタ回路(DNF)

8.1 構成....89
8.2 レジスタ説明....90
8.2.1 レジスタ一覧....90
8.2.1.1 NFCKCR(ノイズフィルタ制御レジスタ)
8.2.1.2 NFENCR(ノイズフィルタ許可レジスタ)
8.3 動作説明....93
8.3.1 構成....93
8.3.2 動作....93
8.3.3 使用可能な動作モード....93
8.3.4 STOP モードを使用する場合の注意点....93
8.3.5 最小ノイズ除去時間....93

第 9 章 入出力ポート

9.1 ポート機能....95
9.1.1 機能一覧....95
9.1.2 ポートレジスタ概略説明....96
9.1.3 STOP モード中のポート状態....97
9.2 ポート機能詳細....98
9.2.1 ポート B (PB3 ~ PB6)....98

9.2.1.1 ポート B レジスタ一覧
9.2.1.2 PBDATA (ポート B データレジスタ)
9.2.1.3 PBCR (ポート B 出力コントロールレジスタ)
9.2.1.4 PBFR1 (ポート B ファンクションレジスタ 1)
9.2.1.5 PBFR2 (ポート B ファンクションレジスタ 2)
9.2.1.6 PBFR3 (ポート B ファンクションレジスタ 3)
9.2.1.7 PBFR4 (ポート B ファンクションレジスタ 4)
9.2.1.8 PBFR5 (ポート B ファンクションレジスタ 5)
9.2.1.9 PBOD (ポート B オープンドレインコントロールレジスタ)
9.2.1.10 PBPUP (ポート B プルアップコントロールレジスタ)
9.2.1.11 PBPDN (ポート B プルダウンコントロールレジスタ)
9.2.1.12 PBIE (ポート B 入力コントロールレジスタ)
9.2.2 ポート E (PE0 ~ PE2)....109
9.2.2.1 ポート E レジスタ一覧
9.2.2.2 PEDATA (ポート E データレジスタ)
9.2.2.3 PECR (ポート E 出力コントロールレジスタ)
9.2.2.4 PEFR1 (ポート E ファンクションレジスタ 1)
9.2.2.5 PEFR2 (ポート E ファンクションレジスタ 2)
9.2.2.6 PEFR3 (ポート E ファンクションレジスタ 3)
9.2.2.7 PEFR4 (ポート E ファンクションレジスタ 4)
9.2.2.8 PEFR5 (ポート E ファンクションレジスタ 5)
9.2.2.9 PEOD (ポート E オープンドレインコントロールレジスタ)
9.2.2.10 PEPUP (ポート E プルアップコントロールレジスタ)
9.2.2.11 PEPDN (ポート E プルダウンコントロールレジスタ)
9.2.2.12 PEIE (ポート E 入力コントロールレジスタ)
9.2.3 ポート F (PF0)....118
9.2.3.1 ポート F レジスタ一覧
9.2.3.2 PFDATA (ポート F データレジスタ)
9.2.3.3 PFCR (ポート F 出力コントロールレジスタ)
9.2.3.4 PFFR1 (ポート F ファンクションレジスタ 1)
9.2.3.5 PFFR2 (ポート F ファンクションレジスタ 2)
9.2.3.6 PFFR4 (ポート F ファンクションレジスタ 4)
9.2.3.7 PFFR5 (ポート F ファンクションレジスタ 5)
9.2.3.8 PFOD (ポート F オープンドレインコントロールレジスタ)
9.2.3.9 PFPUP (ポート F プルアップコントロールレジスタ)
9.2.3.10 PFPDN (ポート F プルダウンコントロールレジスタ)
9.2.3.11 PFIE (ポート F 入力コントロールレジスタ)
9.2.4 ポート G (PG0 ~ PG6)....127
9.2.4.1 ポート G レジスタ一覧
9.2.4.2 PGDATA (ポート G データレジスタ)
9.2.4.3 PGCR (ポート G 出力コントロールレジスタ)
9.2.4.4 PGFR1 (ポート G ファンクションレジスタ 1)
9.2.4.5 PGFR2 (ポート G ファンクションレジスタ 2)
9.2.4.6 PGOD (ポート G オープンドレインコントロールレジスタ)
9.2.4.7 PGPUP (ポート G プルアップコントロールレジスタ)
9.2.4.8 PGPDN (ポート G プルダウンコントロールレジスタ)
9.2.4.9 PGIE (ポート G 入力コントロールレジスタ)
9.2.5 ポート J (PJ6 ~ PJ7)....133
9.2.5.1 ポート J レジスタ一覧
9.2.5.2 PJDATA (ポート J データレジスタ)
9.2.5.3 PJCR (ポート J 出力コントロールレジスタ)
9.2.5.4 PJOD (ポート J オープンドレインコントロールレジスタ)
9.2.5.5 PJPUP (ポート J プルアップコントロールレジスタ)
9.2.5.6 PJPDN (ポート J プルダウンコントロールレジスタ)
9.2.5.7 PJIE (ポート J 入力コントロールレジスタ)
9.2.6 ポート K (PK0 ~ PK1)....137
9.2.6.1 ポート K レジスタ一覧
9.2.6.2 PKDATA (ポート K データレジスタ)
9.2.6.3 PKCR (ポート K 出力コントロールレジスタ)
9.2.6.4 PKOD (ポート K オープンドレインコントロールレジスタ)
9.2.6.5 PKPUP (ポート K プルアップコントロールレジスタ)
9.2.6.6 PKPDN (ポート K プルダウンコントロールレジスタ)
9.2.6.7 PKIE (ポート K 入力コントロールレジスタ)
9.2.7 ポート M (PM0~PM1)....141
9.2.7.1 ポート M レジスタ一覧
9.2.7.2 PMDATA (ポート M データレジスタ)
9.2.7.3 PMCR (ポート M 出力コントロールレジスタ)
9.2.7.4 PMOD (ポート M オープンドレインコントロールレジスタ)
9.2.7.5 PMPUP (ポート M プルアップコントロールレジスタ)
9.2.7.6 PMPDN (ポート M プルダウンコントロールレジスタ)
9.2.7.7 PMIE (ポート M 入力コントロールレジスタ)
9.3 ポート回路図....145
9.3.1 ポートタイプ一覧....145
9.3.2 Type FT1....146

9.3.3 Type FT2 147
9.3.4 Type FT3 148
9.3.5 Type FT4 149
9.3.6 Type FT5 150
9.3.7 Type FT6 151
9.4 付録(ポート設定一覧) 152
9.4.1 ポート B 設定 152
9.4.2 ポート E 設定 153
9.4.3 ポート F 設定 153
9.4.4 ポート G 設定 154
9.4.5 ポート J 設定 155
9.4.6 ポート K 設定 155
9.4.7 ポート M 設定 155

第 10 章 16 ビットタイマ/イベントカウンタ(TMRB)

10.1 概要 157
10.2 チャネル別仕様相違点 158
10.3 構成 159
10.4 レジスタ説明 161
10.4.1 チャネル別レジスター覧 161
10.4.2 TBxEN(イネーブルレジスタ) 162
10.4.3 TBxRUN(RUN レジスタ) 163
10.4.4 TBxCR(コントロールレジスタ) 164
10.4.5 TBxMOD(モードレジスタ) 165
10.4.6 TBxFFCR(フリップフロップコントロールレジスタ) 166
10.4.7 TBxST(ステータスレジスタ) 167
10.4.8 TBxIM(割り込みマスクレジスタ) 168
10.4.9 TBxUC(アップカウンタキャプチャレジスタ) 169
10.4.10 TBxRG0(タイマレジスタ 0) 170
10.4.11 TBxRG1(タイマレジスタ 1) 170
10.4.12 TBxCP0(キャプチャレジスタ 0) 171
10.4.13 TBxCP1(キャプチャレジスタ 1) 171
10.5 回路別の動作説明 172
10.5.1 プリスケーラ 172
10.5.2 アップカウンタ(UC) 176
10.5.3 タイマレジスタ(TBxRG0, TBxRG1) 176
10.5.4 キャプチャ制御 176
10.5.5 キャプチャレジスタ(TBxCP0, TBxCP1) 177
10.5.6 アップカウンタキャプチャレジスタ(TBxUC) 177
10.5.7 コンパレータ(CP0, CP1) 177
10.5.8 タイマフリップフロップ(TBxFF0) 177
10.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1) 177
10.6 モード別動作説明 178
10.6.1 16 ビットインタバルタイマモード 178
10.6.2 16 ビットイベントカウンタモード 178
10.6.3 16 ビット PPG (プログラマブル矩形波)出力モード 179
10.6.4 外部トリガ PPG(プログラマブル矩形波)出力モード 181
10.7 キャプチャ機能を利用した応用例 182
10.7.1 外部トリガパルスからのワンショットパルス出力 182
10.7.2 パルス幅測定 184

第 11 章 シリアルチャネル(SIO/UART)

11.1 概要 185
11.2 チャネル別仕様相違点 186
11.3 構成 187
11.4 レジスタ説明 188

11.4.1 チャネル別レジスター一覧....188
11.4.2 SCxEN (イネーブルレジスタ)....189
11.4.3 SCxBUF (バッファレジスタ)....190
11.4.4 SCxCR (コントロールレジスタ)....191
11.4.5 SCxMOD0 (モードコントロールレジスタ 0)....193
11.4.6 SCxMOD1 (モードコントロールレジスタ 1)....194
11.4.7 SCxMOD2 (モードコントロールレジスタ 2)....195
11.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)....197
11.4.9 SCxFCNF (FIFO コンフィグレジスタ)....199
11.4.10 SCxRFC (受信 FIFO コンフィグレジスタ)....201
11.4.11 SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)....202
11.4.12 SCxRST (受信 FIFO ステータスレジスタ)....203
11.4.13 SCxTST (送信 FIFO ステータスレジスタ)....204
11.5 動作モード....205
11.6 データフォーマット....206
11.6.1 データフォーマット一覧....206
11.6.2 パリティ制御....207
11.6.2.1 送信
11.6.2.2 受信
11.6.3 STOP ビット長....207
11.7 クロック制御....208
11.7.1 プリスケーラ....208
11.7.2 シリアルクロック生成回路....208
11.7.2.1 ボーレートジェネレータ
11.7.2.2 クロック選択回路
11.7.3 送信/受信バッファと FIFO....212
11.7.3.1 構成
11.7.3.2 送信/受信バッファ
11.7.3.3 送信バッファの初期化
11.7.3.4 FIFO
11.8 ステータスフラグ....213
11.9 エラーフラグ....213
11.9.1 OERR フラグ....214
11.9.2 PERR フラグ....214
11.9.3 FERR フラグ....214
11.10 受信....216
11.10.1 受信カウンタ....216
11.10.2 受信制御部....216
11.10.2.1 I/O インタフェースモードの場合
11.10.2.2 UART モードの場合
11.10.3 受信動作....216
11.10.3.1 受信バッファの動作
11.10.3.2 受信 FIFO の動作
11.10.3.3 I/O インタフェースモード、クロック出力モードでの受信
11.10.3.4 受信データの読み出し
11.10.3.5 ウエイクアップ機能
11.10.3.6 オーバランエラー
11.11 送信....221
11.11.1 送信カウンタ....221
11.11.2 送信制御部....221
11.11.2.1 I/O インタフェースモードの場合
11.11.2.2 UART モードの場合
11.11.3 送信動作....221
11.11.3.1 送信バッファの動作
11.11.3.2 送信 FIFO の動作
11.11.3.3 I/O インタフェースモード、クロック出力モードでの送信
11.11.3.4 I/O インターフェースモード時の最終ビット出力後の TXDx 端子の状態
11.11.3.5 アンダーランエラー
11.11.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間
11.12 ハンドシェイク機能....226
11.13 割り込み/エラー発生タイミング....227
11.13.1 受信割り込み....227
11.13.1.1 シングルバッファ/ダブルバッファ構成の場合
11.13.1.2 FIFO 使用の場合
11.13.2 送信割り込み....228

11.13.2.1 シングルバッファ/ダブルバッファ構成の場合
11.13.2.2 FIFO 使用の場合
11.13.3 エラー発生....229
11.13.3.1 UART モード
11.13.3.2 IO インタフェースモード
11.14 ソフトリセット....229
11.15 モード別動作説明....230
11.15.1 モード 0 (IO インタフェースモード)....230
11.15.1.1 送信
11.15.1.2 受信
11.15.1.3 送受信(全二重)
11.15.2 モード 1 (7 ビット UART モード)....241
11.15.3 モード 2 (8 ビット UART モード)....241
11.15.4 モード 3 (9 ビット UART モード)....242
11.15.4.1 ウェイクアップ機能
11.15.4.2 プロトコル

第 12 章 シリアルバスインタフェース(I2C/SIO)

12.1 構成....246
12.2 レジスタ説明....247
12.2.1 チャネル別レジスター覧....247
12.3 I2C バスモード時のデータフォーマット....248
12.4 I2C バスモード時のコントロールレジスタ....249
12.4.1 SBICR0(コントロールレジスタ 0)....249
12.4.2 SBICR1(コントロールレジスタ 1)....250
12.4.3 SBICR2(コントロールレジスタ 2)....252
12.4.4 SBISR(ステータスレジスタ)....253
12.4.5 SBIBR0(ボーレートレジスタ 0)....254
12.4.6 SBIDBR(データバッファレジスタ)....255
12.4.7 SBII2CAR(I2C バスアドレスレジスタ)....256
12.5 I2C バスモード時の制御....257
12.5.1 シリアルクロック....257
12.5.1.1 クロックソース
12.5.1.2 クロック同期化
12.5.2 アクノリッジメントモードの指定....258
12.5.3 転送ビット数の選択....258
12.5.4 スレーブアドレスとアドレス認識モードの設定....258
12.5.5 動作モード....259
12.5.6 トランスミッタ/レシーバの選択....259
12.5.7 マスタ/スレーブの選択....259
12.5.8 スタート/ストップコンディションの発生....260
12.5.9 割り込みサービス要求と解除....260
12.5.10 アービトレーションロスト検出モニタ....261
12.5.11 スレーブアドレス一致検出モニタ....262
12.5.12 ゼネラルコール検出モニタ....262
12.5.13 最終受信ビットモニタ....263
12.5.14 データバッファレジスタ(SBIDBR)....263
12.5.15 ボーレートレジスタ(SBIBR0)....263
12.5.16 ソフトウエアリセット....263
12.6 I2C バスモード時のデータ転送手順....264
12.6.1 デバイスの初期化....264
12.6.2 スタートコンディション, スレーブアドレスの発生....264
12.6.2.1 マスタモードの場合
12.6.2.2 スレーブモードの場合
12.6.3 1 ワードのデータ転送....266
12.6.3.1 マスタモードの場合(<MST> = "1")
12.6.3.2 スレーブモードの場合(<MST> = "0")
12.6.4 ストップコンディションの発生....271
12.6.5 再スタートの手順....271
12.7 マルチマスタで使用する際の注意点....273
12.8 SIO モード時のコントロールレジスタ....274

12.8.1 SBICR0(コントロールレジスタ 0)....274
12.8.2 SBICR1(コントロールレジスタ 1)....275
12.8.3 SBIDBR(データバッファレジスタ)....276
12.8.4 SBICR2(コントロールレジスタ 2)....277
12.8.5 SBISR(ステータスレジスタ)....278
12.8.6 SBIBR0(ボーレートレジスタ 0)....279
12.9 SIO モード時の制御....280
12.9.1 シリアルクロック....280
12.9.1.1 クロックソース
12.9.1.2 シフトエッジ
12.9.2 転送モード....282
12.9.2.1 8 ビット送信モード
12.9.2.2 8 ビット受信モード
12.9.2.3 8 ビット送受信モード
12.9.2.4 送信終了時の最終ビット保持時間

第 13 章 12 ビットアナログ/デジタルコンバータ

13.1 機能と特徴....287
13.2 ブロック図....287
13.3 レジスタ一覧....288
13.4 レジスタ詳細....290
13.4.1 ADxCLK (変換クロック設定レジスタ)....290
13.4.2 ADxMOD0 (モード設定レジスタ 0)....291
13.4.3 ADxMOD1 (モード設定レジスタ 1)....292
13.4.4 ADxMOD2 (モード設定レジスタ 2)....293
13.4.5 ADxMOD3 (モード設定レジスタ 3)....294
13.4.6 ADxCMPCR0(監視割り込み設定レジスタ 0)....295
13.4.7 ADxCMPCR1(監視割り込み設定レジスタ 1)....296
13.4.8 ADxCMP0(変換結果比較レジスタ 0)....297
13.4.9 ADxCMP1(変換結果比較レジスタ 1)....297
13.4.10 ADxREG0(変換結果格納レジスタ 0)....298
13.4.11 ADxREG1(変換結果格納レジスタ 1)....299
13.4.12 ADxREG2(変換結果格納レジスタ 2)....300
13.4.13 ADxREG3(変換結果格納レジスタ 3)....301
13.4.14 ADxREG4(変換結果格納レジスタ 4)....302
13.4.15 ADxREG5(変換結果格納レジスタ 5)....303
13.4.16 ADxREG6(変換結果格納レジスタ 6)....304
13.4.17 ADxREG7(変換結果格納レジスタ 7)....305
13.4.18 ADxREG8(変換結果格納レジスタ 8)....306
13.4.19 ADxREG9(変換結果格納レジスタ 9)....307
13.4.20 ADxREG10(変換結果格納レジスタ 10)....308
13.4.21 ADxREG11(変換結果格納レジスタ 11)....309
13.4.22 PMD トリガ用プログラムレジスタ....310
13.4.22.1 ADxPSEL6 ~ ADxPSEL11(PMD トリガ用プログラム番号選択レジスタ 6 ~ 11)
13.4.22.2 ADxPINTS0 ~ 5(PMD トリガ用割り込み選択レジスタ 0 ~ 5)
13.4.22.3 ADxPSET0 ~ 5(PMD トリガ用プログラム選択レジスタ 0 ~ 5)
13.4.23 ADxTSET03 / ADxTSET47 / ADxTSET811(タイマトリガ用プログラムレジスタ) 327
13.4.24 ADxSSET03 / ADxSSET47 / ADxSSET811(ソフトウエアトリガ用プログラムレジスタ)....331
13.4.25 ADxASET03 / ADxASET47 / ADxASET811(常時変換用プログラムレジスタ)....335
13.5 動作説明....339
13.5.1 アナログ基準電圧....339
13.5.2 AD 変換開始....339
13.5.3 AD 監視機能....340
13.6 AD 変換タイミングチャート....341
13.6.1 ソフトウエア AD 変換....341
13.6.2 常時 AD 変換....342
13.6.3 トリガによる AD 変換開始....343
13.7 使用方法の例....345
13.7.1 PMD1 (3 シャント)、AD コンバータ × 1、順次変換方式....345
13.7.2 PMD1 (1 シャント)、AD コンバータ × 1、順次変換方式....346

第 14 章　モータ制御回路(PMD : Programmable Motor Driver)

14.1　PMD 回路への入出力信号の動作説明.....349
14.2　PMD 回路構成.....350
14.3　PMD レジスタ一覧.....351
14.3.1　PMD1MDEN(PMD イネーブルレジスタ).....352
14.3.2　PMD1PORTMD(ポート出力モードレジスタ).....353
14.3.3　PMD1MODESEL (モード選択レジスタ).....354
14.3.4　パルス幅変調回路.....355
14.3.4.1　PMD1MDCR (PMD コントロールレジスタ)
14.3.4.2　PMD1CNTSTA (PWM カウンタステータスレジスタ)
14.3.4.3　PMD1MDCNT(PWM カウンタレジスタ)
14.3.4.4　PMD1MDPRD(PWM 周期レジスタ)
14.3.4.5　PMD1CMPU (U 相用 PWM コンペアレジスタ)
14.3.4.6　PMD1CMPV (V 相用 PWM コンペアレジスタ)
14.3.4.7　PMD1CMPW (W 相用 PWM コンペアレジスタ)
14.3.5　通電制御回路.....366
14.3.5.1　PMD1MDPOT (PMD 出力設定レジスタ)
14.3.5.2　PMD1MDOUT(PMD 通電制御レジスタ)
14.3.6　保護制御回路.....371
14.3.6.1　保護制御回路(EMG 入力部)
14.3.6.2　PMD1EMGREL (EMG 解除レジスタ)
14.3.6.3　PMD1EMGCR (EMG コントロールレジスタ)
14.3.6.4　PMD1EMGSTA (EMG ステータスレジスタ)
14.3.6.5　保護制御回路(OVV 入力部)
14.3.6.6　PMD1OVVCR (OVV コントロールレジスタ)
14.3.6.7　PMD1OVVSTA (OVV ステータスレジスタ)
14.3.7　デッドタイム回路.....380
14.3.7.1　PMD1DTR (デッドタイムレジスタ)
14.3.8　同期トリガ生成回路.....382
14.3.8.1　PMD1TRGCMP0 (トリガコンペアレジスタ 0)
14.3.8.2　PMD1TRGCMP1 (トリガコンペアレジスタ 1)
14.3.8.3　PMD1TRGCMP2 (トリガコンペアレジスタ 2)
14.3.8.4　PMD1TRGCMP3 (トリガコンペアレジスタ 3)
14.3.8.5　PMD1TRGCR (トリガコントロールレジスタ)
14.3.8.6　PMD1TRGSYNCR (トリガ更新タイミング設定レジスタ)
14.3.8.7　PMD1TRGMD (トリガ出力モード設定レジスタ)
14.3.8.8　PMD1TRGSEL (トリガ出力選択レジスタ)

第 15 章　ベクトルエンジン(VE+)

15.1　概要.....393
15.1.1　特徴.....393
15.1.2　主な機能.....394
15.2　構成.....394
15.2.1　ベクトルエンジンとモータ制御回路および A/D 変換器の関連.....395
15.3　レジスタ説明.....396
15.3.1　レジスタ一覧.....396
15.3.2　VE 制御レジスタ.....398
15.3.2.1　VEEN(ベクトルエンジン動作許可／禁止レジスタ)
15.3.2.2　VECPURUNTRG(CPU 起動トリガ選択レジスタ)
15.3.2.3　VETASKAPP(タスク指定レジスタ)
15.3.2.4　VEACTSCH(動作スケジュール選択レジスタ)
15.3.2.5　VEREPTIME(動作スケジュール繰り返し回数指定レジスタ)
15.3.2.6　VETRGMODE(起動トリガモード設定レジスタ)
15.3.2.7　VEERRINTEN(エラー割り込み許可／禁止設定レジスタ)
15.3.2.8　VECOMPEND(VE 強制終了レジスタ)
15.3.2.9　VEERRDET(エラー検出レジスタ)
15.3.2.10　VESCHTASKRUN(スケジュール動作状態／実行中タスク番号レジスタ)
15.3.2.11　VETMPREG0(テンポラリレジスタ 0)
15.3.2.12　VETMPREG1(テンポラリレジスタ 1)
15.3.2.13　VETMPREG2(テンポラリレジスタ 2)
15.3.2.14　VETMPREG3(テンポラリレジスタ 3)
15.3.2.15　VETMPREG4(テンポラリレジスタ 4)

15.3.2.16 VETMPREG5(テンポラリレジスタ 5)
15.3.3 共通レジスタ 411
15.3.3.1 VETADC(ADC 変換開始ウェイト設定レジスタ)
15.3.4 専用レジスタ 412
15.3.4.1 VEMODE1(タスク制御モードレジスタ)
15.3.4.2 VEFMODE1(フロー制御レジスタ)
15.3.4.3 VETPWM1(PWM 周期レート設定レジスタ)
15.3.4.4 VEOMEGA1(回転速度設定レジスタ)
15.3.4.5 VETHETA1(モータ位相設定レジスタ)
15.3.4.6 VECOS1/VESIN1/VECOSM1/VESINM1(SIN/COS レジスタ)
15.3.4.7 VEIDREF1/VEIQREF1(d 軸/q 軸基準電流値設定レジスタ)
15.3.4.8 VEVD1/VEVQ1(d 軸/q 軸電圧設定レジスタ)
15.3.4.9 VECIDKI1/VECIDKP1/VEVCIQKI1/VECIQKP1(PI 制御係数レジスタ)
15.3.4.10 VEVDIH1/VEVDILH1/VEVQIH1/VEVQILH1(PI 制御積分項保持レジスタ)
15.3.4.11 VEMCTLF1(異常/判定結果保持レジスタ)
15.3.4.12 VEFPWMCHG1(PWM 切り替え速度設定レジスタ)
15.3.4.13 VEMDPRD1(PWM 周期設定レジスタ)
15.3.4.14 VEMINPLS1(最小パルス幅差設定レジスタ)
15.3.4.15 VESECTOR1/VESECTORM1(セクタ情報レジスタ)
15.3.4.16 VEIAO1/VEIBO1/VEICO1(ゼロ電流レジスタ)
15.3.4.17 VEIAADC1/VEIBADC1/VEICADC1(電流 ADC 結果レジスタ)
15.3.4.18 VEVDC1/VEVDCL1(電源電圧レジスタ)
15.3.4.19 VEID1/VEIQ1(d 軸/q 軸電流レジスタ)
15.3.4.20 VECMPU1/ VECMPV1/ VECMPW1(PWM DUTY レジスタ)
15.3.4.21 VEOUTCR1(6 相出力制御レジスタ)
15.3.4.22 VETRGCRC1(同期トリガ補正量設定レジスタ)
15.3.4.23 VETRGCMP01/VETRGCMP11(トリガタイミング設定レジスタ)
15.3.4.24 VETRGSEL1(同期トリガ指定レジスタ)
15.3.4.25 VEEMGRS1(EMG 復帰設定レジスタ)
15.4 動作説明 458
15.4.1 スケジュール管理 458
15.4.1.1 スケジュール制御
15.4.1.2 起動制御
15.4.2 タスク概要 461
15.4.2.1 電流制御(タスク 5)
15.4.2.2 SIN/COS 演算(タスク 6)
15.4.2.3 出力電圧変換(座標軸変換/相変換)
15.4.2.4 出力制御
15.4.2.5 トリガ生成(タスク 1)
15.4.2.6 入力処理
15.4.2.7 入力電流変換(相変換/座標軸変換)
15.4.2.8 その他タスク
15.5 VE チャネルと PMD および ADC の組み合わせ 476

第 16 章 オペアンプ(AMP)

16.1 Configuration 477
16.2 レジスター覧 478
16.2.1 オペアンプ 478
16.2.1.1 AMPCTLD(アンプ D コントロールレジスタ)
16.3 動作 479
16.3.1 Basic Operation 479

第 17 章 エンコーダ入力回路 (ENC)

17.1 概要 481
17.2 チャネル別相違点 481
17.3 ブロック図 481
17.4 レジスタ説明 482
17.4.1 レジスター覧 482
17.4.2 ENTNCR(入力制御レジスタ) 483
17.4.3 ENRELOAD(カウンタリロードレジスタ) 487
17.4.4 ENINT(比較レジスタ) 488

17.4.5 ENCNT(カウンタレジスタ)....489
17.5 動作説明....491
17.5.1 エンコーダモード....491
17.5.2 センサモード....491
17.5.2.1 イベントカウントモード
17.5.2.2 タイマカウントモード
17.5.3 タイマモード....491
17.6 機能....492
17.6.1 モード動作概要....492
17.6.1.1 エンコーダモード
17.6.1.2 センサモード (イベントカウント)
17.6.1.3 センサモード (タイマカウント)
17.6.1.4 タイマモード
17.6.2 カウンタおよび割り込み発生動作 <CMPEN> = 1 のとき....499
17.6.2.1 エンコーダモード
17.6.2.2 センサモード (イベントカウント)
17.6.2.3 センサモード (タイマカウント)
17.6.2.4 タイマモード
17.6.3 カウンタおよび割り込み発生動作 <CMPEN> = 0 のとき....501
17.6.3.1 エンコーダモード
17.6.3.2 センサモード (イベントカウント)
17.6.3.3 センサモード (タイマカウント)
17.6.3.4 タイマモード
17.6.4 エンコーダ回転方向....503
17.6.5 カウンタ回路....504
17.6.5.1 動作概要
17.6.6 割り込み....505
17.6.6.1 動作概要

第 18 章 パワーオンリセット回路(POR)

18.1 構成....507
18.2 機能....508

第 19 章 電圧検出回路(VLTD)

19.1 構成....509
19.2 レジスタ説明....510
19.2.1 レジスター覧....510
19.2.2 VDCR (電圧検出制御レジスタ)....510
19.3 動作説明....511
19.3.1 制御....511
19.3.2 機能....511
19.3.2.1 電圧検出動作の許可／禁止
19.3.2.2 検出電圧レベル選択

第 20 章 周波数検知回路(OFD)

20.1 構成....514
20.2 レジスタ説明....515
20.2.1 レジスター覧....515
20.2.1.1 OFDCR1(周波数検知回路制御レジスタ 1)
20.2.1.2 OFDCR2(周波数検知回路制御レジスタ 2)
20.2.1.3 OFDMNPLLOFF (検知周波数下限値設定レジスタ(PLL OFF 時))
20.2.1.4 OFDMNPLLON (検知周波数下限値設定レジスタ(PLL ON 時))
20.2.1.5 OFDMXPLLOFF (検知周波数上限値設定レジスタ(PLL OFF 時))
20.2.1.6 OFDMXPLLON (検知周波数上限値設定レジスタ(PLL ON 時))
20.3 動作説明....521
20.3.1 設定....521

20.3.2 動作....522
20.3.3 検知周波数....523
20.3.4 使用可能な動作モード....524
20.3.5 動作手順例....524

第 21 章 ウォッチドッグタイマ(WDT)

21.1 構成....525
21.2 レジスタ一覧....526
21.2.1 WDMOD(ウォッチドッグタイマモードレジスタ) 526
21.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)....527
21.3 動作説明....528
21.3.1 基本動作....528
21.3.2 動作モードと動作状態....528
21.4 暴走検出時の動作....529
21.4.1 INTWDT 割り込み発生の場合....529
21.4.2 内部リセット発生の場合....530
21.5 コントロールレジスタ....531
21.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)....531
21.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)....531
21.5.3 設定例....532
21.5.3.1 ディセーブル制御
21.5.3.2 イネーブル制御
21.5.3.3 ウォッチドッグタイマのクリア制御
21.5.3.4 ウォッチドッグタイマ検出時間の設定

第 22 章 フラッシュメモリ動作説明

22.1 フラッシュメモリの特長....533
22.1.1 メモリ容量と構成....533
22.1.2 機能....534
22.1.3 動作モード....534
22.1.3.1 モードの説明
22.1.3.2 モードの決定
22.1.4 メモリマップ....535
22.1.5 プロテクト/セキュリティ機能....536
22.1.5.1 プロテクト機能
22.1.5.2 セキュリティ機能
22.1.6 レジスタ....538
22.1.6.1 レジスタ一覧
22.1.6.2 FCCR(フラッシュ IF コントロールレジスタ)
22.1.6.3 FCSR(フラッシュスタータスレジスタ)
22.1.6.4 FCSECBIT(セキュリティビットレジスタ)
22.1.6.5 FCPSRA(フラッシュプロテクトスタータスレジスタ)
22.2 フラッシュメモリ詳細....541
22.2.1 機能....541
22.2.2 フラッシュメモリの動作モード....541
22.2.3 ハードウエアリセット....541
22.2.4 コマンド実行方法....542
22.2.5 コマンド説明....542
22.2.5.1 自動ページプログラム
22.2.5.2 自動チップ消去
22.2.5.3 自動ブロック消去
22.2.5.4 自動プロテクトビットプログラム
22.2.5.5 自動プロテクトビット消去
22.2.5.6 ID-Read
22.2.5.7 Read コマンド、Read/リセットコマンド (ソフトウエアリセット)
22.2.6 コマンドシーケンス....546
22.2.6.1 コマンドシーケンス一覧
22.2.6.2 バスライトサイクル時のアドレスビット構成
22.2.6.3 ブロックアドレス(BA)
22.2.6.4 プロテクトビットの指定(PBA)

22.2.6.5 ID-Read のコード(IA, ID)
22.2.6.6 コマンドシーケンス例
22.2.7 フローチャート....550
22.2.7.1 自動プログラム
22.2.7.2 自動消去
22.3 シングルブートモードによる書き替え方法....552
22.3.1 モード設定....552
22.3.2 インタフェース仕様....552
22.3.3 メモリの制約について....553
22.3.4 動作コマンド....553
22.3.4.1 RAM 転送
22.3.4.2 フラッシュメモリチップ消去およびプロテクトビット消去
22.3.5 コマンドによらず共通の動作....554
22.3.5.1 シリアル動作モード判定
22.3.5.2 ACK 応答データ
22.3.5.3 パスワード判定
22.3.5.4 CHECK SUM の計算方法
22.3.6 RAM 転送の転送フォーマット....560
22.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット....562
22.3.8 ブートプログラム全体フローチャート....564
22.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順....565
22.3.9.1 Step-1
22.3.9.2 Step-2
22.3.9.3 Step-3
22.3.9.4 Step-4
22.3.9.5 Step-5
22.3.9.6 Step-6
22.4 ユーザーブートモードによる書き替え方法....568
22.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例....568
22.4.1.1 Step-1
22.4.1.2 Step-2
22.4.1.3 Step-3
22.4.1.4 Step-4
22.4.1.5 Step-5
22.4.1.6 Step-6
22.4.2 (1-B)書き替えルーチンを外部から転送する手順例....572
22.4.2.1 Step-1
22.4.2.2 Step-2
22.4.2.3 Step-3
22.4.2.4 Step-4
22.4.2.5 Step-5
22.4.2.6 Step-6

第 23 章 デバッグインタフェース

23.1 仕様概要....577
23.2 SWJ-DP の特長....577
23.3 ETM の特長....577
23.4 端子情報....578
23.5 デバッグツールとの接続....579
23.5.1 接続方法....579
23.5.2 デバッグインタフェース端子を汎用ポートとして使用する場合....579
23.6 ホールトモード中の周辺機能（プログラム実行の一時停止時）....579

第 24 章 ポート部等価回路図

24.1 PB3~6, PE0~2, PG0~6....581
24.2 PJ6~7, PK0~1....581
24.3 PF0....582
24.4 PM0~1....582
24.5 X1, X2....583

24.6 RESET.....583
24.7 MODE.....583
24.8 VREFHB, VREFLB.....583
24.9 VOUT15, VOUT3.....584

第 25 章　電気的特性

25.1 絶対最大定格.....585
25.2 DC 電気的特性 (1/2).....586
25.3 DC 電気的特性 (2/2).....586
25.4 12 ビット A/D コンバータ変換特性.....587
25.5 オペアンプ特性.....587
25.6 AC 電気的特性.....588
25.6.1 AC 測定条件.....588
25.6.2 シリアルチャネル (SIO/UART).....588
25.6.2.1 I/O インターフェースモード
25.6.3 シリアルバスインターフェース (I2C/SIO).....589
25.6.3.1 I2C モード
25.6.3.2 クロック同期式 8 ビット SIO モード
25.6.4 イベントカウンタ.....592
25.6.5 キャプチャ.....592
25.6.6 外部割り込み.....592
25.6.7 デバッグ通信.....593
25.6.7.1 AC 測定条件
25.6.7.2 SWD インタフェース
25.6.7.3 JTAG インタフェース
25.6.8 Flash 特性.....594
25.6.9 内蔵発振回路特性.....594
25.6.10 外部発振子.....594
25.7 発振回路.....595
25.7.1 セラミック発振子.....595

第 26 章　パッケージ寸法図

CMOS 32 ビット マイクロコントローラ

TMPM375FSDMG

TMPM375FSDMG は、ARM ®社 Cortex®-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M3 コアを使用
   a. Thumb®-2 命令で、コード効率の向上を実現
      ・プログラムフロー改善のための新しい 16 ビット命令
      ・性能とコードサイズ向上のための新しい 32 ビット命令
      ・32 ビット/16 ビット混在の命令セットでコード効率を向上
   b. 高性能化と低消費電力化を同時に実現
      【高性能化】
      ・32 ビット乗算(32 × 32 = 32 ビット)を 1 クロックで実行
      ・除算を 2~12 クロックで実行
      【低消費電力化】
      ・低消費電力ライブラリを使用した最適化設計
      ・プロセッサコアの動作を停止させるスタンバイ機能
   c. リアルタイム制御に向いた高速割り込み応答
      ・実行時間の長い命令は割り込みで中断可能
      ・スタックへの PUSH をハードウエアで自動的に実行

2. 内蔵プログラムメモリ/データメモリ
   ・ 内蔵 RAM : 4Kbyte
   ・ 内蔵 FlashROM : 64Kbyte

3. 16 ビットタイマ(TMRB) : 4 チャネル
   ・ 16 ビットインタバルタイマモード
   ・ 16 ビットイベントカウンタモード
   ・ インプットキャプチャ機能
   ・ 16 ビット PPG 出力
   ・ 外部トリガ PPG 出力

4. ウォッチドッグタイマ(WDT) : 1 チャネル
   リセット発生

5. パワーオンリセット回路(POR)

6. 電圧検出回路(VLTD)

7. 周波数検知回路(OFD)

8. ベクトルエンジン(VE+) : 1 ユニット
   - モータ制御用演算機能
   - 1 モータ対応

9. モータ制御回路(PMD) : 1 チャネル
   - 3 相相補 PWM 出力
   - AD コンバータを連動させる同期トリガ生成
   - 緊急停止保護機能(EMG 端子)

10. エンコーダ入力回路(ENC) : 1 チャネル
   - インクリメンタル形エンコーダ対応(AB 信号/ ABZ 信号)
   - 回転方向検出回路
   - 絶対位置検出カウンタ
   - 位置コンペア回路
   - ノイズフィルタ内蔵
   - 3 相センサ入力対応

11. 汎用シリアルインターフェース(SIO/UART) : 2 チャネル
   - UART/クロック同期式モード選択可能(4byte FIFO 内蔵)(1 チャネル)
   - UART モード(4byteFIFO 内蔵)(1 チャネル)

12. シリアルバスインタフェース(I2C/SIO) : 1 チャネル

   I^2C バスモード/クロック同期式モード選択可能

13. 12 ビット AD コンバータ(ADC) : 1 ユニット(アナログ入力 : 4 チャネル)
   - トリガスタート機能 : TMRB 割り込み/ PMD トリガによるスタート可能
   - 常時変換可能
   - AD 監視機能 2チャネル
   - 変換時間 2.0 μs (ADC 変換クロック 40 MHz 時)

14. オペアンプ(AMP) : 1 チャネル

   8 ゲイン選択可能

15. 入出力ポート(PORT) : 21 端子

   入出力端子 : 21 本

16. 割り込み要因
   - 内部 29 要因 : 7 レベルの優先順位設定可能(ウォッチドッグタイマ割り込みを除く)
   - 外部 3 要因 : 7 レベルの優先順位設定可能

17. スタンバイモード

   スタンバイモード : IDLE, STOP

18. クロックジェネレータ(CG)
- PLL 内蔵(4 または 5 逓倍)
- クロックギア機能 : 高速クロックを 1/1, 1/2, 1/4, 1/8,1/16 に分周可能

19. エンディアン

リトルエンディアン

20. 内蔵高速発振回路:10MHz

21. 最大動作周波数 : 40 MHz

22. 動作電圧範囲
- DVDD5B = 4.5 V~5.5 V@fsys = 40 MHz

  全機能動作
- DVDD5B = 3.9 V~4.5 V@fsys = 40 MHz

  除く、12 ビット AD コンバータ特性, AC電気的特性, Flash W/E特性

23. 温度範囲
- −40°C ~ 105°C (Flash W/E およびデバッグ時以外)
- 0°C ~ 70°C (Flash W/E 時およびデバッグ時)

24. パッケージ

SSOP30 (5.6 mm × 9.7 mm, 0.65 mm ピッチ)

1.2 ブロック図

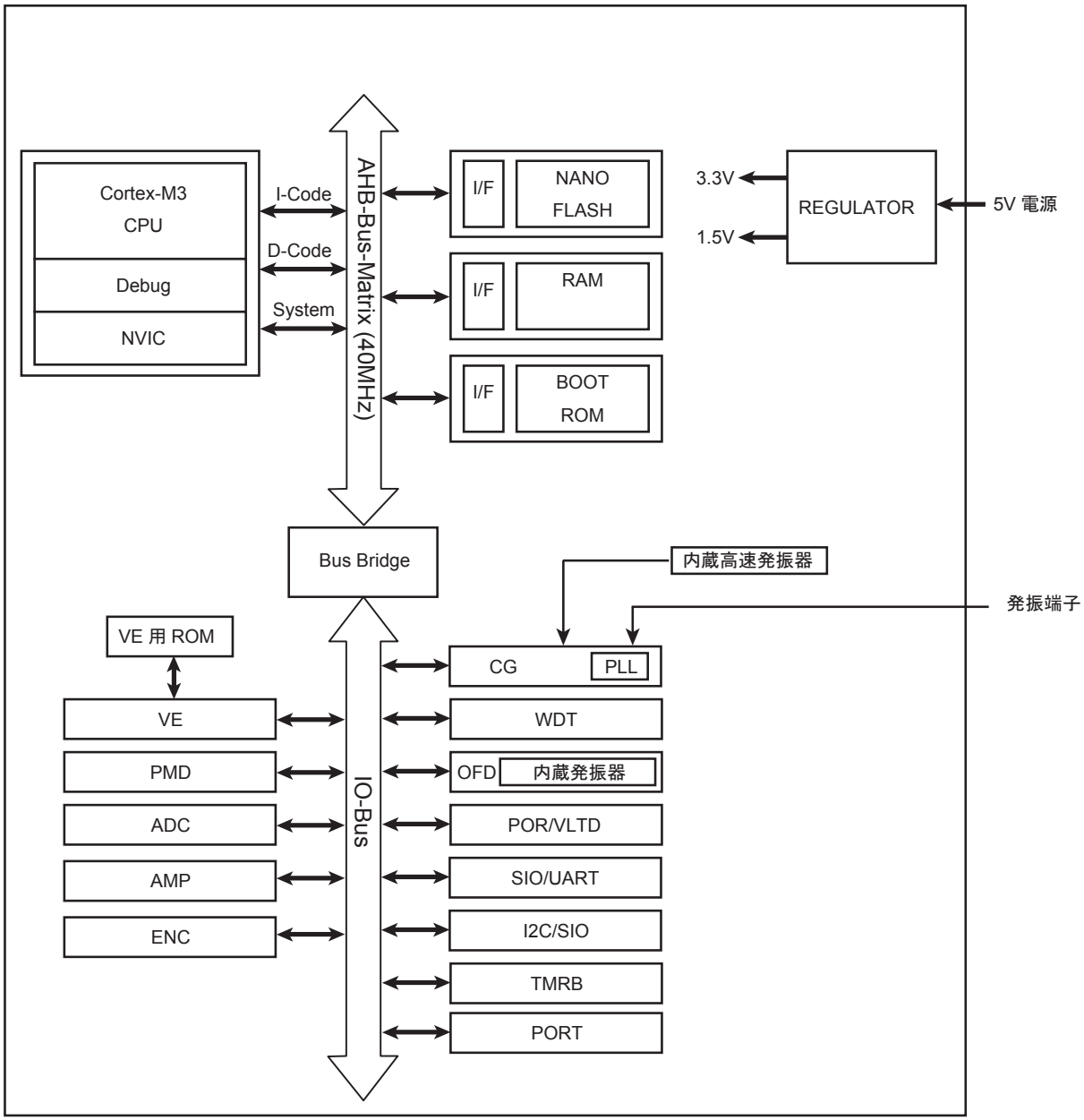


図 1-1 TMPM375FSDMG ブロック図

1.3 ピン配置図(Top view)

TMPM375FSDMG のピン配置図は、下図のとおりです。

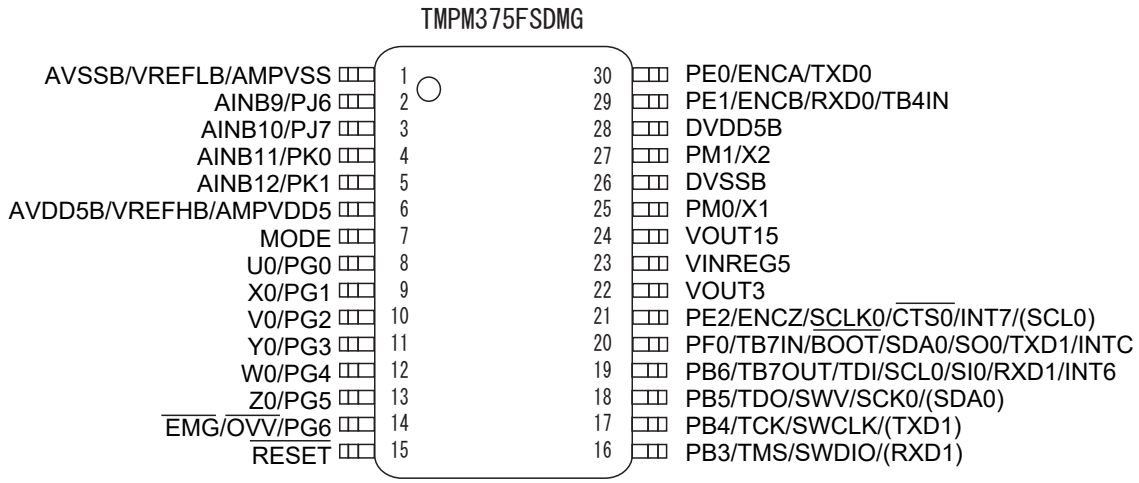


図 1-2 ピン配置図(SSOP30)

1.4 ピン名称と機能

TMPM375FSDMG の入出力ピン名称と機能は、表 1-1 のとおりです。

1.4.1 ポート順

表 1-1 ピン名称と機能<ポート順> (1/2)

PORT	分類	ピン番号	記号	入出力	機能
PORT B	機能/ デバッグ	16	PB3 TMS/SWDIO (RXD1)	入出力 入出力 入力	入出力ポート デバッグ用端子 SIO 受信端子
PORT B	機能/ デバッグ	17	PB4 TCK/SWCLK （TXD1)	入出力 入力 出力	入出力ポート デバッグ用端子 SIO 送信端子
PORT B	機能/ デバッグ	18	PB5 TDO/SWV SCK0 （SDA0）	入出力 出力 入出力 入出力	入出力ポート デバッグ用端子 SIOクロック端子 I2Cデータ送受信端子
PORT B	機能/ デバッグ	19	PB6 TDI SI0/SCL0 TB7OUT INT6 RXD1	入出力 入力 入出力 出力 入力 入力	入出力ポート デバッグ用端子 SIO受信端子、I2Cクロック入出力端子 タイマB出力端子 外部割り込み端子 SIO受信端子
PORT E	機能	30	PE0 TXD0 ENCA	入出力 出力 入力	入出力ポート SIO送信端子 A相入力端子
PORT E	機能	29	PE1 RXD0 ENCB TB4IN	入出力 入力 入力 入力	入出力ポート SIO受信端子 エンコーダ入力端子 タイマ B インプットキャプチャ端子
PORT E	機能	21	PE2 SCLK0 $\overline{\text{CTS0}}$ ENCZ INT7 (SCL0)	入出力 入出力 入力 入力 入力 入出力	入出力ポート SIOクロック端子 SIOハンドシェイク端子 Z相入力端子 外部割り込み端子 I2Cクロック入出力端子
PORT F	機能/ 制御	20	PF0 TB7IN SO0/SDA0 $\overline{\text{BOOT}}$ TXD1 INTC	入出力 入力 入出力 入力 出力 入力	入出力ポート タイマBインプットキャプチャ端子 SIO送信端子、I2Cデータ送受信端子 BOOTモード端子 (注)RESET 信号の立ち上がりでこの端子の"Low" をサンプリングしてシングルブートモードになります。 SIO送信端子 外部割り込み端子
PORT G	機能	8	PG0 U0	入出力 出力	入出力ポート U 相出力端子
PORT G	機能	9	PG1 X0	入出力 出力	入出力ポート X 相出力端子

表 1-1 ピン名称と機能<ポート順> (2/2)

PORT	分類	ピン番号	記号	入出力	機能
PORT G	機能	10	PG2 V0	入出力 出力	入出力ポート V 相出力端子
PORT G	機能	11	PG3 Y0	入出力 出力	入出力ポート Y 相出力端子
PORT G	機能	12	PG4 W0	入出力 出力	入出力ポート W 相出力端子
PORT G	機能	13	PG5 Z0	入出力 出力	入出力ポート Z 相出力端子
PORT G	機能	14	PG6 $\overline{\text{EMG}}$ $\overline{\text{OVV}}$	入出力 入力 入力	入出力ポート 異常検出入力 過電流入力
PORT J	機能	2	PJ6 AINB9	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	3	PJ7 AINB10	入出力 入力	入出力ポート アナログ入力端子
PORT K	機能	4	PK0 AINB11	入出力 入力	入出力ポート アナログ入力端子
PORT K	機能	5	PK1 AINB12	入出力 入力	入出力ポート アナログ入力端子
PORT M	機能 / クロック	25	PM0 X1	入出力 入力	入出力ポート 高速発振子接続端子
PORT M	機能 / クロック	27	PM1 X2	入出力 出力	入出力ポート 高速発振子接続端子
-	制御	7	MODE	入力	モード端子 注)必ず GND に接続してください。
-	機能	15	$\overline{\text{RESET}}$	入力	リセット入力端子 注)プルアップ抵抗およびノイズフィルタ(Typ.条件で約 30ns)付きです。
-	電源	26	DVSSB	−	GND 端子
-	電源	28	DVDD5B	−	電源端子
-	電源	23	VINREG5	−	電源端子
-		24	VOUT15	−	レギュレータ出力端子
-		22	VOUT3	−	レギュレータ出力端子
-	電源 （注 1）	1	AVSSB VREFLB AMPVSS	−	ADコンバータ用GND端子 ADコンバータ用基準電源端子 オペアンプ用GND端子
-	電源 （注 2）	6	AVDD5B VREFHB AMPVDD5	−	ADコンバータ用電源端子 ADコンバータ用基準電源端子 オペアンプ用電源端子

注 1)　ADコンバータおよびオペアンプ回路を使用しない場合でも GNDに接続してください。
注 2)　ADコンバータおよびオペアンプ回路を使用しない場合でも電源に接続してください。

1.5 電源の種類と供給端子

表 1-2 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
DVDD5B	4.5 ~ 5.5V 3.9 ~ 4.5V（注）	28	PB,PE,PF,PG,PM $\overline{\text{RESET}}$,MODE
AVDD5B		6	PJ, PK
VINREG5		23	−

注) 動作保証制約があります。詳細は「電気的特性」の章を参照願います。

表 1-3 出力専用端子

出力専用端子	ピン番号	端子処置
VOUT15	24	内部電源の安定化コンデンサ接続端子です。外部回路への電源供給はできません。DVSSB との間にコンデンサ 3.3μF ~ 4.7μF を接続してください。
VOUT3	22	内部電源の安定化コンデンサ接続端子です。外部回路への電源供給はできません。DVSSB との間にコンデンサ 3.3μF ~ 4.7μF を接続してください。

注) VOUT15,VOUT3 は内蔵レギュレータ出力の安定化のためのコンデンサ接続端子です。

第 2 章　プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア(ARM 社 Cortex-M3 コア)が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。ここでは、製品固有の情報について説明します。

2.1　コアに関する情報

TMPM375FSDMG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より"Cortex-M series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM375FSDMG	r2p1

2.2　構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM375FSDMG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ：2 本 命令コンパレータ：6 本
DWT	コンパレータ：4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

2.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

2.3.1　割り込み本数

Cortex-M3 コアは割り込み本数を 1～240 本の間で任意に構成することができます。

TMPM375FSDMG の割り込み本数は 32 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x00"が読み出されます。

2.3.2　割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3～8 ビットの間で任意に構成することができます。

TMPM375FSDMG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

2.3.3　SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

2.3.4　SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM375FSDMG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

2.3.5　LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM375FSDMG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

2.3.6　補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウエアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM375FSDMG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

2.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM375FSDMG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

2.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM375FSDMG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

2.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM375FSDMG ではこの機能を使用していません。

第 3 章　メモリマップ

3.1　メモリマップ

TMPM375FSDMG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

3.1.1　TMPM375FSDMG メモリマップ

TMPM375FSDMG のメモリマップを図 3-1 に示します。

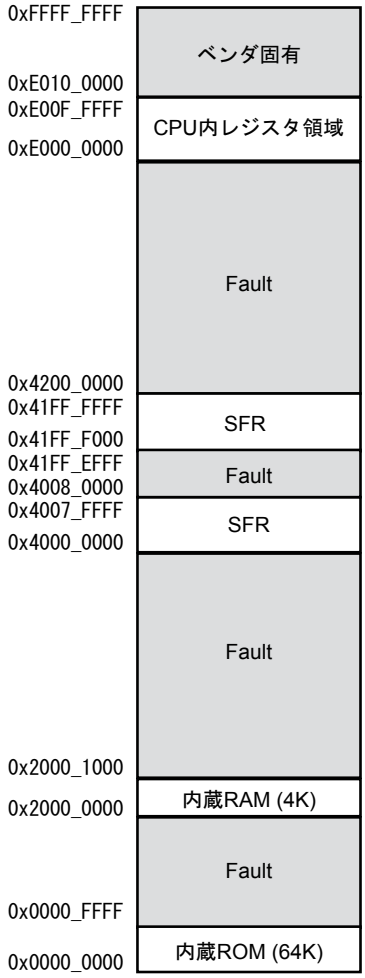


図 3-1 メモリマップ

3.2　SFR 領域詳細

SFR 領域の詳細を表 3-1 に示します。

表 3-1 の Reserved (予約領域)にはアクセスしないでください。また、周辺機能によってはアクセスを制限するアドレスを有する場合があります。詳細は各周辺機能の章を参照してください。

表 3-1 SFR 詳細

Start Address	End Address	Peripheral
0x4000 _ 0000	0x4000 _033F	PORT
0x4000 _ 0340	0x4000_FFFF	Reserved
0x4001_0000	0x4001_01FF	TMRB
0x4001_0200	0x4001_03FF	Reserved
0x4001_0400	0x4001_043F	ENC
0x4001_0440	0x4001_FFFF	Reserved
0x4002_0000	0x4002_007F	I2C/SIO
0x4002_0080	0x4002_00FF	SIO/UART
0x4002_0100	0x4003_01FF	Reserved
0x4003_0200	0x4003_02FF	ADC
0x4003_0300	0x4003_0417	Reserved
0x4003_0418	0x4003_041F	AMP
0x4003_0420	0x4003_FFFF	Reserved
0x4004_0000	0x4004_003F	WDT
0x4004_0040	0x4004_01FF	Reserved
0x4004_0200	0x4004_022F	CG
0x4004_0230	0x4004_02FF	Reserved
0x4004_0300	0x4004_030F	TRM
0x4004_0310	0x4004_07FF	Reserved
0x4004_0800	0x4004_083F	OFD
0x4004_0840	0x4004_08FF	Reserved
0x4004_0900	0x4004_093F	VLTD
0x4004_0940	0x4004_FFFF	Reserved
0x4005_0000	0x4005_01FF	VE
0x4005_0200	0x4005_047F	Reserved
0x4005_0480	0x4005_04FF	PMD
0x4005_0500	0x4005_FFFF	Reserved
0x4006_0000	0x4006_0007	DNF
0x4006_0008	0x4007_FFFF	Reserved
0x4008_0000	0x41FF_EFFF	Hard fault
0x41FF_F000	0x41FF_F03F	FLASH
0x41FF_F040	0x41FF_FFFF	Reserved

表 3-2 ベースアドレス一覧

Peripheral Name	Base Address	SFR
Prot B	0x4000 _0040	PORT
Port E	0x4000_0100	PORT
Port F	0x4000_0140	PORT
Port G	0x4000_0180	PORT
Port J	0x4000_0240	PORT
Port K	0x4000_0280	PORT
Port M	0x4000_0300	PORT
TMRB 0	0x4001_0000	TMRB
TMRB 4	0x4001_0100	TMRB
TMRB 5	0x4001_0140	TMRB
TMRB 7	0x4001_01C0	TMRB
ENC 0	0x4001_0400	ENC
SBI 0	0x4002_0000	SBI
SIO UART 0	0x4002_0080	SIO / UART
SIO UART 1	0x4002_00C0	SIO / UART
ADC	0x4003_0200	ADC
AMP D	0x4003_0418	AMP
WDT	0x4004_0000	WDT
CG	0x4004_0200	CG
OSCTRIM	0x4004_0300	TRM
OFD	0x4004_0800	OFD
LVD	0x4004_0900	LVD
VE	0x4005_0000	VE
PMD 1	0x4005_0480	PMD
DNF	0x4006_0000	DNF

第 4 章　リセット動作

リセットの種類として以下のものがあります。

- パワーオンリセット回路(POR)
- 電圧検出回路(VLTD)
- リセット端子($\overline{\text{RESET}}$)
- ウォッチドッグタイマ(WDT)
- 周波数検知回路(OFD)
- CPU のアプリケーション割り込みおよびリセットレジスタ<SYSRESETREQ>ビット

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG については、例外の章を参照してください。

パワーオンリセット回路、電圧検出回路、ウォッチドッグタイマ、周波数検知回路についてはそれぞれの章を参照してください。

<SYSRESETREQ>によるリセットについては、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

注)　リセット動作を行うと内蔵 RAM のデータは保証されません。

4.1　コールドリセット時

電源投入の際には、内蔵レギュレータ、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。TMPM375FSDMG では、これらの機能の安定のための時間を内部回路が自動的に挿入します。

4.1.1　パワーオンリセット回路によるリセット($\overline{\text{RESET}}$ 端子を使用しない場合)

電源電圧がパワーオンリセットの解除電圧を超えるとパワーオンカウンタが動作を開始し、約 3.2ms 後に内部リセット信号が解除されます。

パワーオンリセット回路の動作については、「パワーオンリセット回路(POR)」の章を参照してください。

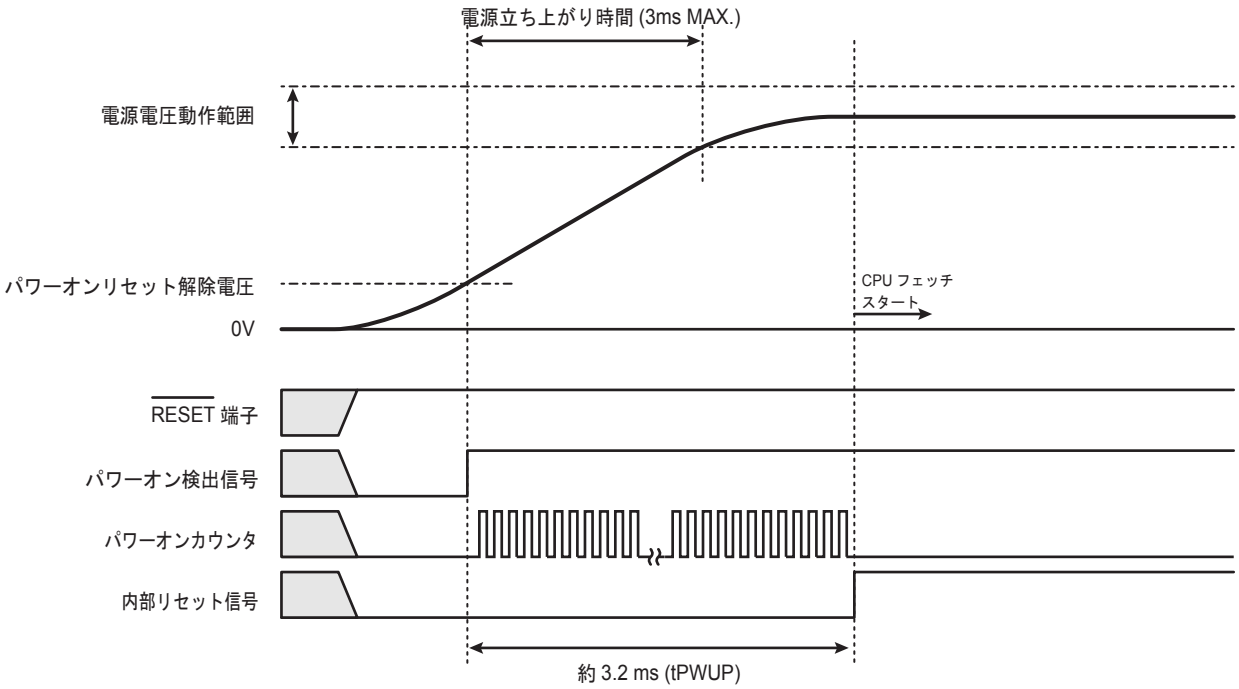


図 4-1 パワーオン回路によるリセット動作

4.1.2 $\overline{\text{RESET}}$ 端子によるリセット

$\overline{\text{RESET}}$ 端子によるリセットは、パワーオンカウンタ動作終了後より有効となります。よって、パワーオンリセット検出信号が"High"になってから 3.2ms 以内に $\overline{\text{RESET}}$ 端子を"High"にした場合、4.1.1 のパワーオンリセットによるリセット動作と同じ動作になります。

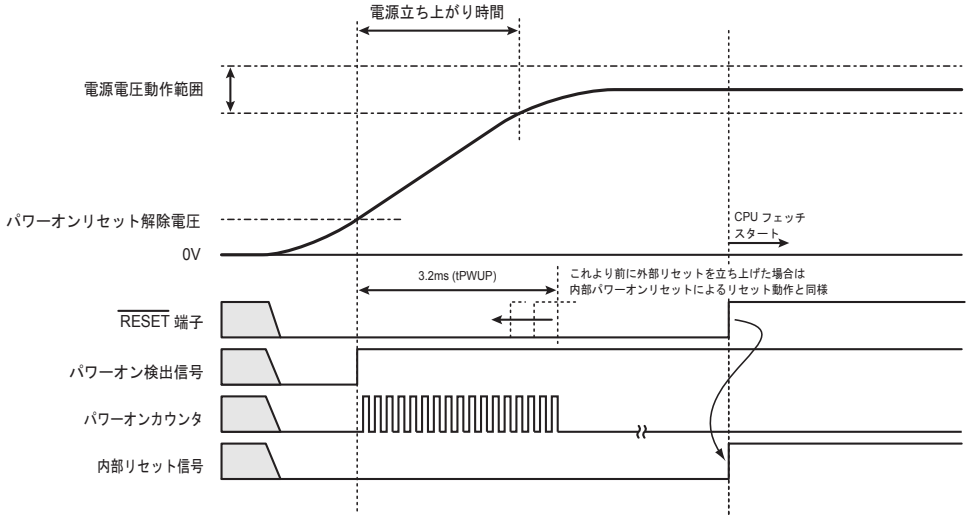


図 4-2 $\overline{\text{RESET}}$ 端子によるリセット動作

4.2　ウォームリセット時

4.2.1　リセット期間

TMPM375FSDMG にリセットをかけるには、電源電圧が動作範囲内であり、$\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 システムクロック間"Low"にしてください。$\overline{\text{RESET}}$ 端子が"High"になってから内部リセットが解除されます。

4.3　リセット解除後

リセット解除後は、Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。コア内部のシステムデバッグコンポーネント(FPB、DWT、ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG および FLASH 関連レジスタの FCSECBIT はコールドリセットでのみ初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逓倍回路の設定を行ってください。

第 5 章　クロック/モード制御

5.1　特長

クロック/モード制御ブロックでは、クロックギアやプリスケーラクロックの選択、PLL(逓倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケーラクロックの制御
- クロック逓倍回路（PLL）の制御
- ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

5.2　レジスタ説明

5.2.1　レジスター覧

CG 関連のレジスタとアドレスを以下に示します。

Base Address = 0x4004_0200

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
Reserved	−	0x0010

5.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-18	−	R	リードすると"0"が読めます。
17-16	−	R/W	"01"をライトしてください。
15-13	−	R	リードすると"0"が読めます。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。
11	−	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph 001: fperiph/2 010: fperiph/4 011: fperiph/8 100: fperiph/16 101: fperiph/32 110: Reserved 111: Reserved 周辺 I/O に供給するプリスケーラクロックを選択します。
7-3	−	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc 001: Reserved 010: Reserved 011: Reserved 100: fc/2 101: fc/4 110: fc/8 111: fc/16

5.2.3　CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				WUPSEL2	HOSCON	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLLON	WUEF	WUEON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	発振器用ウォーミングアップタイマの時間を設定
19	WUPSEL2	R/W	ウォーミングアップタイマ(WUP)のクロック 0: 内部(OSC2) 1:外部(OSC1) ウォーミングアップタイマのクロックソースを選択します。
18	HOSCON	R/W	ポート M/外部高速発振器選択(注) 0: ポート M 1:発振器(X1 / X2) 外部高速発振器(X1 / X2)とポート M のどちらを使用するか選択します。 外部発振器として選択する場合は、ポート M について、PMCR/PMPUP/PMPDN/PMIE=disable に設定してください(リセット後は、全て disable)。
17	OSCSEL	R/W	高速発振器の切り替え 0: 内部(OSC2) 1:外部(OSC1) 高速発振を外部(OSC1)へ切り替えます。切り替え後は高速発振器が外部(OSC1)へ切り替わった事(<OSCSEL> = "1")を確認し、内蔵発振器は速やかに停止してください。また、外部発振器に切り替え後は本ビットの書き替えによる内蔵発振器に切り替えを行わないでください。
16	XEN2	R/W	高速発振器 2 (内部: OSC2) 0: 停止 1:発振 高速発振器 2(OSC2)の動作を選択します。
15-12	−	R/W	"0"をライトしてください。
11-10	−	R	リードすると"0"が読めます。
9	−	R/W	"0"をライトしてください。
8	XEN1	R/W	高速発振器 1 (外部: OSC1) 0: 停止 1:発振 高速発振器 1(OSC1)の動作を選択します。
7-4	−	R	リードすると"0"が読めます。
3	WUPSEL1	R/W	ウォーミングアップタイマ(WUP)のクロック "0"を設定してください。
2	PLLON	R/W	PLL 動作 0:停止 1:発振 PLL(逓倍回路)の動作を選択します。 リセット解除後は停止状態です。PLL を使用する場合はこのビットをセットします。

Bit	Bit Symbol	Type	機能
1	WUEF	R	ウォーミングアップタイマ(WUP)ステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 このビットを読むことでウォーミングアップタイマの動作状態を確認できます。
0	WUEON	W	ウォーミングアップタイマ(WUP)制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 (注)自動ウォーミングアップする低消費電力モード(表 5-6) からの復帰では、本レジスタの設定をする必要はありません。ソフトにて WUP スタートした場合にはウォーミングアップが終了していること(<WUEF> = "0") を確認してからモード遷移するようにしてください。

注) <HOSCON>="1"設定時、ポート M のすべてのレジスタにアクセスできなくなります。(読み出すと常に"0"が読まれます)また、PMDATA,PMOD を除くポート M のレジスタのいずれかが"0"でない場合、<HOSCON>を"1"に設定することはできません。

5.2.4　CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	RXEN
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-18	−	R	リードすると"0"が読めます。
17	−	R/W	"0"をライトしてください。
16	DRVE	R/W	STOP モード中の端子状態制御 0: STOP モード中端子をドライブしません 1: STOP モード中も端子をドライブします
15-10	−	R	リードすると"0"が読めます。
9	−	R/W	"0"をライトしてください。
8	RXEN	R/W	STOP モード解除後の高速発振器の動作選択 "1"を設定してください。
7-3	−	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP 010: Reserved 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved STOP モード起動時には内蔵発振器(OSC2)または外部発振器(OSC1)のうち、システムクロックとして使用していない側の発振器は必ず停止させておいてください。

5.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET1				-	PLLSET0		
リセット後	1	1	0	1	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET0							PLLSEL
リセット後	0	0	0	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-12	PLLSET1[3:0]	R/W	"1101"をライトしてください。
11	−	R	リードすると"0"が読めます。
10-1	PLLSET0[9:0]	R/W	PLL 逓倍数設定 外部周波数 8MHz 使用時は以下の設定をしてください。 5 逓倍: "01_0001_0011" 外部周波数 10MHz 使用時は以下の設定をしてください。 4 逓倍: "01_0000_1111" (注)上記以外の設定は禁止です。
0	PLLSEL	R/W	PLL 選択 0: fosc 1: PLL 使用 PLL で逓倍されたクロック(f_{PLL})をシステムクロック：fc へのクロックソースとするか選択します。 リセット解除後は "fosc"が 選択されているので、PLL を使用する場合は設定が必要です

5.3　クロック制御

5.3.1　クロックの種類

クロックの一覧を以下に示します。

fosc1	: X1, X2 端子より入力されるクロック
fosc2	: 内蔵発振器より入力されるクロック
fosc	: fosc1 または fosc2 どちらか選択されたシステムクロック
f_{PLL}	: PLL により逓倍(5 or 4 逓倍)されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック
fsys	: fgear と同一クロック(システムクロック)
fperiph	: CGSYSCR<FPSEL>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

高速クロック fc と、プリスケーラクロック φT0 は以下のように分周することが可能です。

高速クロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

5.3.2　リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

外部高速発振器(OSC1)	: 停止(X1,X2)
内部高速発振器(OSC2)	: 発振
PLL (逓倍回路)	: 停止
高速クロックギア	: fc (分周なし)

リセット動作により、すべてのクロックの設定が f_{OSC2} と同じになります。

$f_C = f_{OSC2}$
$f_{SYS} = f_C (= f_{OSC2})$
$f_{periph} = f_C (= f_{OSC2})$
$\phi T0 = f_{periph} (= f_{OSC2})$

5.3.3 クロック系統図

クロック系統図を図 5-1 に示します。

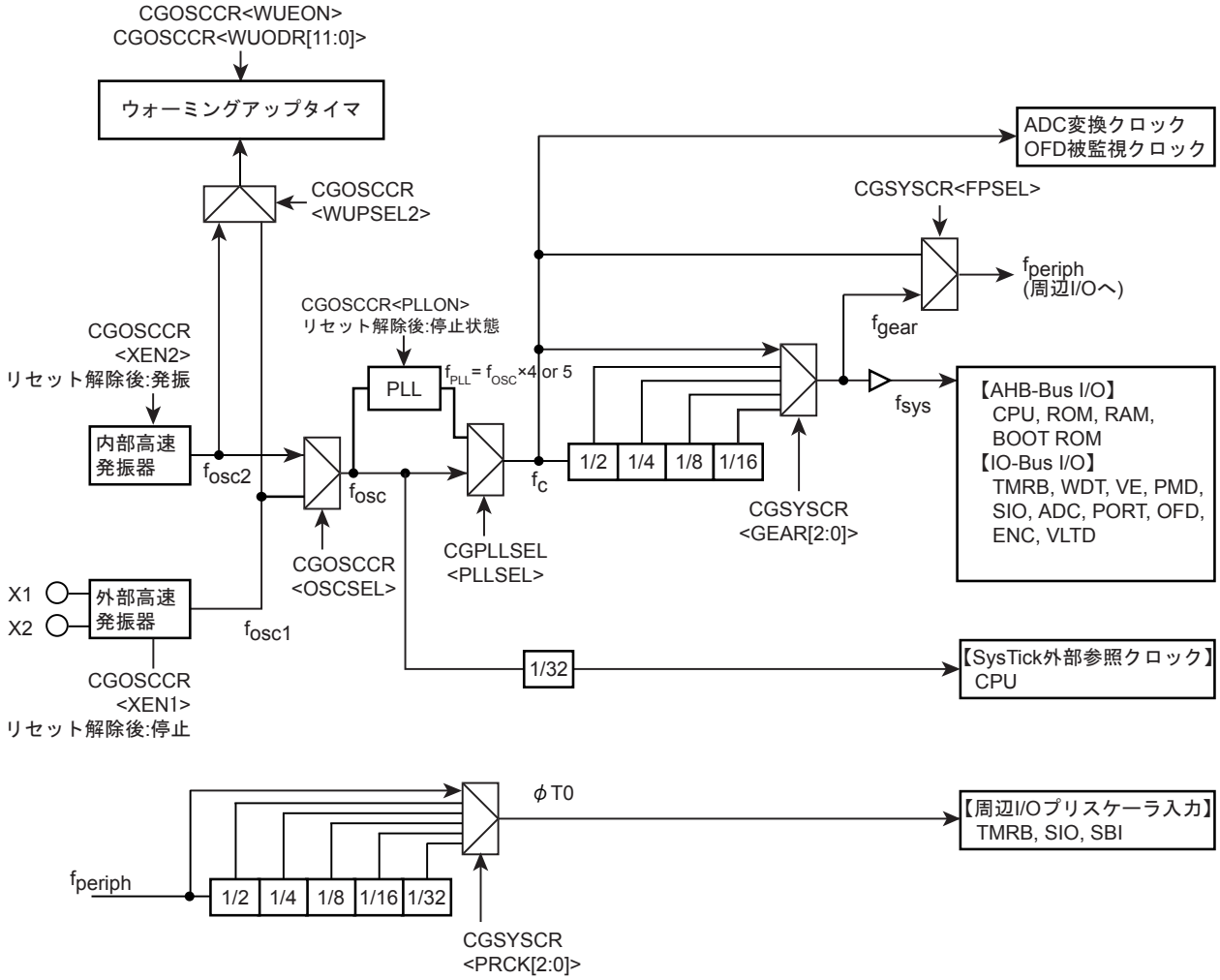


図 5-1 クロック系統図

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

5.3.4　クロック逓倍回路(PLL)

高速発振器の出力クロック fosc を 4 または 5 逓倍した f_{PLL} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

PLL はリセット解除後、ディセーブル状態です。PLL を有効にするためには、CGOSCCR<PLLON>を"1"に設定し、CGPLLSEL<PLLSEL>を"1"に設定することで fosc を 4 または 5 逓倍した f_{PLL} クロックを出力することができます。なお、PLL の動作が安定するまでの時間をウォーミングアップ機能等を用いて確保する必要があります。

5.3.4.1　安定時間

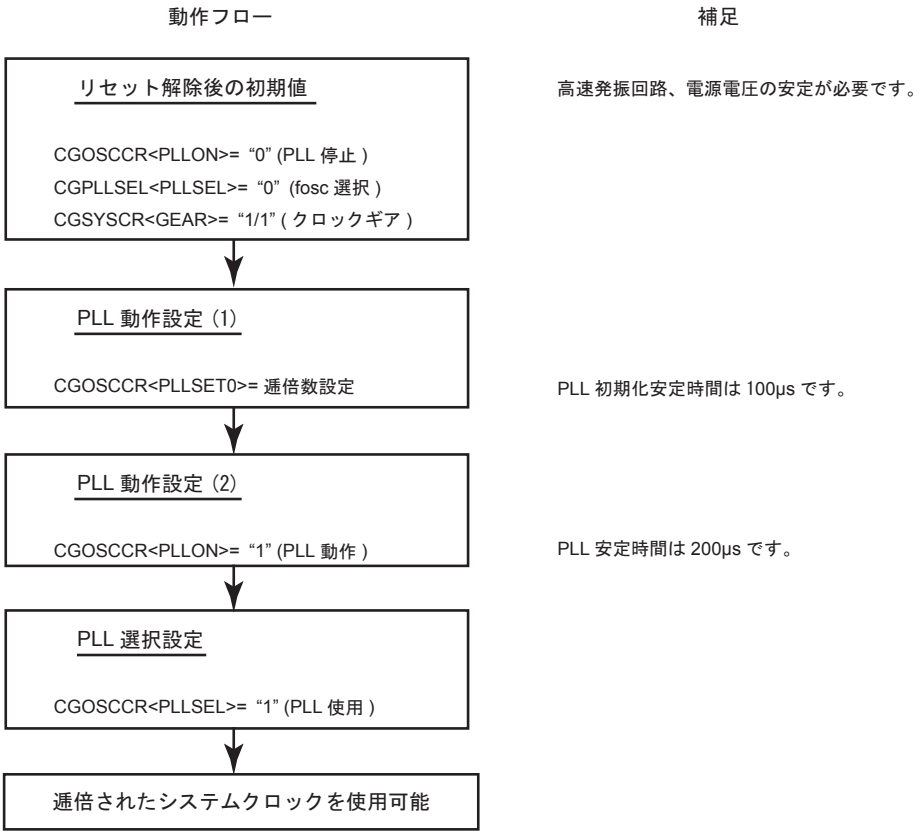
PLL 動作開始および、逓倍値の変更の際にはウォーミングアップ機能等を用いて安定時間を確保する必要があります。

動作を開始するときはロックアップ時間として約 200μs 必要です。

逓倍数の変更を行う場合、まず CGPLLSEL<PLLSEL> = "0"として逓倍クロックを使用しない設定に切り替えた上で<PLLON> を"0"として PLL を停止します。<PLLSET0>の逓倍値を変更し、PLL の初期化時間として約 100μs 経過後に<PLLON>を"1"として PLL の動作を開始します。その後、ロックアップ時間(PLL 安定時間)を確保してください。

5.3.4.2 PLL 設定シーケンス

以下にリセット解除後の PLL 設定シーケンスを示します。



注) PLL を停止する場合は、CGPLLSEL<PLLSEL>="0"を設定後、GPLLSEL<PLLSEL>をリードして"0"となっている事を確認した後に CGOSCCR<PLLON>=”0”（PLL 停止）を設定してください。

注) PLL 逓倍数を変更した場合、PLL 初期化安定時間として 100μs 以上、CGOSCCR<PLLON>= "0"(PLL 停止)を保持する必要があります。

5.3.5　ウォーミングアップ機能

ウォーミングアップ機能は、STOP モード解除時に、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。詳細機能については「5.6.6 ウォーミングアップ」にて説明します。

注)　ウォーミングアップタイマ動作中に、低消費電力モードへ遷移しないでください。

ウォーミングアップ機能は、STOP モードからの復帰の際にも使用されます。この場合には、低消費電力モードからの復帰割り込みが発生すると自動的にタイマがカウントを開始し、設定された時間のカウント終了後、システムクロックが出力され CPU が動作を開始します。

STOP モードでは PLL がディセーブルになるため、復帰の際には内部発振器の安定のほかに、PLL の安定時間も考慮してウォーミングアップ時間を設定してください。

ウォーミングアップ機能の設定方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<WUPSEL1>および<WUPSEL2>で選択します。(<WUPSEL1>は"0"を、<WUPSEL2>は"0"または"1"を設定してください。)

2. ウォーミングアップカウンタ設定値の算出

   ウォーミングアップ時間は CGOSCCR<WUODR[11:0]>により任意の値が設定可能です。

   以下にウォーミングアップ時間の計算式と設定例を示します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

<例>高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9\text{C}40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]>に設定

3. ウォーミングアップの開始および終了確認

   ウォーミングアップタイマのスタートおよび終了確認は、CGOSCCR<WUEON><WUEF>を使用してソフトウエア (命令) により行います。

注)　ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

ウォーミングアップ機能設定例 (外部発振の場合)

CGOSCCR<WUPSEL1> = "0"	:ウォーミングアップタイマクロック設定
CGOSCCR<WUPSEL2> = "1"	:ウォーミングアップタイマクロック設定(1:外部(OSC1))
CGOSCCR<WUODR[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
内部発振器から外部発振器への切り替えは 5.3.6 を参照してください	
CGOSCCR<WUEON>="1"	: ウォーミングアップタイマ(WUP)スタート
CGOSCCR<WUEF>リード	: "0"(WUP 終了)になるまでウエイト

5.3.6　システムクロック

システムクロックは高速クロックのみですが、内部発振器と外部発振器のどちらかを選択して使用します。リセット解除時は内部発振器が有効（発振）となっており、外部発振器は停止しています。高速クロックは分周することができます。

- X1, X2 入力周波数: 8 MHz ~ 10MHz
- 内部発振入力周波数:10MHz
- クロックギア: 1/1, 1/2, 1/4, 1/8, 1/16 (リセット後は 1/1 分周)

表 5-1 高速クロック範囲(単位は MHz)

入力周波数		最低動作周波数	最大動作周波数	リセット後 (PLL = OFF, CG = 1/1)	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
OSC1	8	1	40	8	40	20	10	5	2.5	8	4	2	1	-
	10			10	40	20	10	5	2.5	10	5	2.5	1.25	-
OSC2	10			10	40	20	10	5	2.5	10	5	2.5	1.25	-

注 1)　PLL=ON / OFF は CGOSCCR<PLLON>で設定します。
注 2)　高速クロックの分周の切り替えは、CGSYSCR<GEAR[2:0]>へ値を書き込むことにより実行されます。書き込み後、実際に切り替わるまでに若干の時間を要します。
注 3)　PLL=OFF 時、クロックギアの 1/16 は設定しないでください。
注 4)　SysTick 使用時、クロックギアの 1/16 は設定しないでください。

内部発振器から外部発振器への切り替え手順を以下に示します。

1. PMCR / PMPUP / PMPDN / PMIE の該当ビット = "0"　:PM0, PM1 について禁止(リセット後は、全て禁止)
2. CGOSCCR<WUODR[11:0]> = "ウォーミングアップ時間"　:ウォーミングアップ時間設定
3. CGOSCCR<HOSCON> = "1"　:外部発振使用：PM0, PM1 □ X1, X2
4. CGOSCCR<XEN1> = "1"　: 外部高速発振の発振
5. CGOSCCR<WUPSEL2> = "1"　:ウォーミングアップタイマクロック設定(1:外部(OSC1))
6. CGOSCCR<WUEON>="1"　: ウォーミングアップタイマ(WUP)スタート
   CGOSCCR<WUEF>リード　: "0" (WUP 終了)になるまでウエイト
7. CGOSCCR<OSCSEL> = "1"　:高速発振器を外部発振器(OSC1)に切り替え
8. CGOSCCR<OSCSEL>リード　: 外部発振選択を確認(<OSCSEL> = "1")
9. CGOSCCR<XEN2> = "0"　: 内部発振停止

なお、CGOSCCR<HOSCON> = "1" と設定したあとはポート M の全てのレジスタのアクセスが禁止されるため、ポート M の設定値を変更する事はできません。

5.3.7 プリスケーラクロック

周辺機能 には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

注) クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケーラ出力 φTn は、φTn < fsys を満足するように時間設定(φTn が fsys よりも遅くなるように)してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

5.4　モードとモード遷移

5.4.1　モード状態遷移

動作モードとしてシステムクロックに高速クロックを使用する NORMAL モードがあります。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、STOP モードがあります。

図 5-2 にモード状態遷移図を示します。

WFI 命令、Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

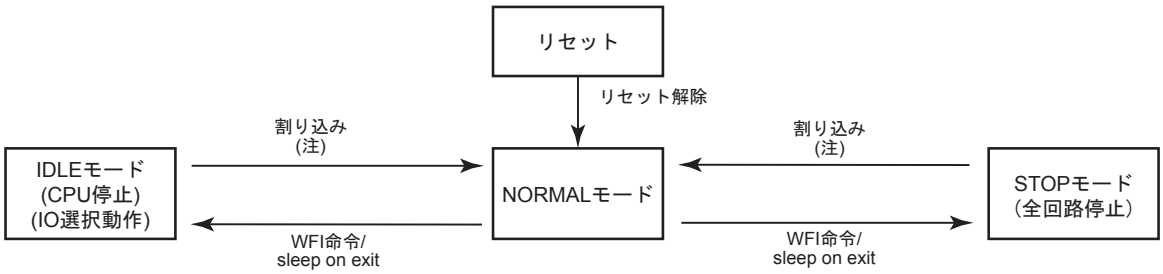


図 5-2 モード状態遷移図

注)　復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP モードに入る前のモード(NORMAL)にて設定する必要があります。ウォーミングアップ時間に関しては、「5.6.6 ウォーミングアップ」を参照してください。

5.5　動作モード

動作モードには NORMAL モードがあります。NORMAL モードの特長は次のとおりです。

5.5.1　NORMAL モード

CPU コアおよび周辺ハードウエアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

5.6 低消費電力モード

低消費電力モードには、IDLE, STOP モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。

注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, STOP モードの特長は次のとおりです。

5.6.1 IDLE モード

CPU のみが停止するモードです。周辺機能は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)
- シリアルチャネル(SIO/UART)
- シリアルバスインタフェース(I2C/SIO)
- ウォッチドッグタイマ(WDT)
- ベクトルエンジン(VE+)

注) ウォッチドッグタイマは IDLE モードへ遷移する前に停止してください。

5.6.2　STOP モード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。

STOP モードが解除されると、STOP モードへ移行する直前の動作モードへ復帰し、動作を開始します。

STOP モードでは、CGSTBYCR<DRVE>の設定により端子の状態を設定することができます。STOP モード時の端子状態を表 5-2 に示します。

表 5-2 STOP モード時の端子状態

	機能	入出力	<DRVE> = 0	<DRVE> = 1
ポート以外	$\overline{\text{RESET}}$, MODE	入力専用	o	
	VOUT15, VOUT3	出力専用	o	
ポート	X1	入力専用	×	
	X2	出力専用	"High"レベル出力	
	TMS TCK TDI	入力	o	
	TDO/SWV	出力	データ有効時はイネーブル データ無効時はディセーブル	
	SWCLK	入力	o	
	SWDIO	入力	o	
		出力	データ有効時はイネーブル データ無効時はディセーブル	
	U0, V0, W0, X0, Y0,Z0	出力	データ有効時はイネーブル データ無効時はディセーブル	
	INT6, INT7, INTC	入力	o	
	上記以外の機能端子または汎用入出力として使用	入力	×	o
		出力	×	o

o :入力または出力がイネーブルであることを示します。
× :入力または出力がディセーブルであることを示します。

5.6.3 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 5-3 に<STBY[2:0]>の設定より選択されるモードを示します。

表 5-3 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP	001
IDLE	011

注) **上記以外の設定は行わないでください。**

5.6.4 各モードにおける動作状態

各モードにおける動作状態を表 5-4 に示します。

IO ポートについては「o」は入出力の有効、「×」は無効を、その他の機能については「o」はクロックが供給されていることを、「×」は供給されていないことを示します。

表 5-4 各動作モードにおける動作状態

ブロック	NORMAL	IDLE	STOP
プロセッサコア	o	×	×
I/O ポート	o	o	* (注 1)
PMD	o	o	×
ENC	o	o	×
OFD	o	o	×
ADC	o	o	×
VE	o	モジュールごとに動作/停止選択可能	×
SIO	o		×
SBI	o		×
TMRB	o		×
WDT	o		×
AMP	o	o	o (注 2)
VLTD	o	o	o (注 2)
POR	o	o	o (注 2)
DNF	o	o	×
CG	o	o	×
PLL	o	o	×
高速発振器(fc)	o	o	×

o : 対象のモード中に動作が可能

× : 対象のモードに移行すると自動的にモジュールへのクロックが停止

注 1) CGSTBYCR<DRVE>の設定によります。

注 2) クロックは供給されていませんが、動作停止しません。

5.6.5　低消費電力モードの解除

低消費電力モードからの解除は、割り込み, リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 5-5 に示します。

表 5-5 解除ソースと解除可能なモード

低消費電力モード			IDLE (プログラマブル)	STOP
解除ソース	割り込み	INT6, 7, C (注 1)	o	o
		INTRX0, 1, INTTX0, 1	o	×
		INTVCNB	o	×
		INTEMG1	o	×
		INTOVV1	o	×
		INTADBPDB	o	×
		INTTB00, 40, 50, 70 INTTB01, 41, 51, 71	o	×
		INTPMD1	o	×
		INTCAP00, 50, 70 INTCAP01, 51, 71	o	×
		INTADBCPA, INTADBCPB	o	×
		INTADBSFT	o	×
		INTADBTMR	o	×
		INTENC0	o	×
		INTSBI0	o	×
	SysTick 割り込み		o	×
	マスク不能割り込み (INTWDT)		o	×
	RESET ($\overline{\text{RESET}}$ 端子)		o	o

o : 解除後、割り込み処理を開始します(RESET は本製品を初期化します)。
× : 解除に使用できません。

注 1) レベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。
注 2) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みで解除が行われる場合があります。
注 3) 各モードからの復帰に必要なウォーミングアップについては「5.6.6 ウォーミングアップ」を参照してください。

・ 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があり、またデジタルノイズフィルタ回路を禁止にする必要があります。

・ マスク不能割り込み(NMI)による解除

マスク不能割り込みの要因には、WDT 割り込み(INTWDT)があります。INTWDT は IDLE モードでのみ使用可能です。

注)　IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

・ リセットによる解除

$\overline{\text{RESET}}$ 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

・ SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

5.6.6　ウォーミングアップ

モード遷移の際には内部発振器(OSC2)の安定のためウォーミングアップが必要な場合があります。

STOP モードから NORMAL モードへの遷移では、自動的にウォーミングアップ用カウンタが起動され、設定されているウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP モードに移行する命令を実行する前に CGOSCCR<WUPSEL1><WUPSEL2>でウォーミングアップする発振器の選択(注 1)および、<WUODR>でウォーミングアップ時間の設定を行ってください。

注 1)　TMPM375FSDMG では、常に CGOSCCR<WUPSEL1>=0 を設定してください。

注 2)　STOP モードでは PLL がディセーブルになるため、STOP モード解除の際には内部発振器の安定のほかに、PLL の安定時間も考慮してウォーミングアップ時間を設定してください。PLL の安定時間は、約 200 μs です。

注 3)　自動ウォーミングアップする低消費電力モードからの復帰では、CGOSCCR<WUEON>の設定をする必要はありません。

各動作モード遷移時におけるウォーミングアップ有無を表 5-6 に示します。

表 5-6 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP	不要
IDLE → NORMAL	不要
STOP → NORMAL	自動ウォーミングアップ

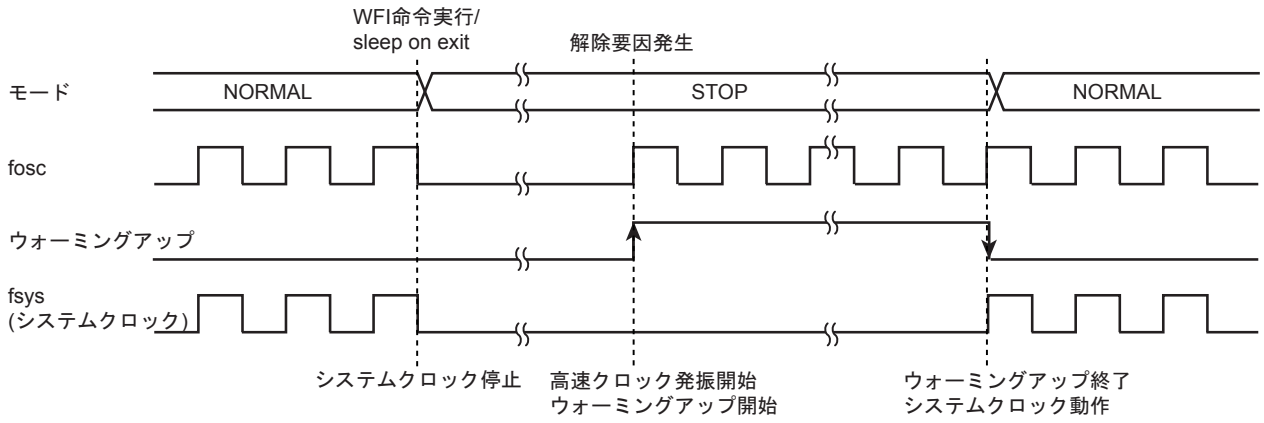
5.6.7 モード遷移によるクロック動作

モード遷移の際の、クロック動作について示します。

5.6.7.1 NORMAL → STOP → NORMAL 動作モード遷移

STOP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP モードへ遷移する前にウォーミングアップ時間の設定を行ってください。

リセットで NORMAL モードへ復帰する場合にはウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。



第 6 章　内蔵高速発振調整機能

TMPM375FSDMG には、内蔵高速発振の周波数を調整する機能があります。

注)　この調整機能は、OFD 用基準クロックには適用されません。

6.1　構成

内蔵高速発振調整機能は、16 ビットタイマ/ イベントカウンタ(TMRB) のパルス幅測定機能を使用して周波数の調整を行います。

図 6-1 に機能ブロック図を示します。

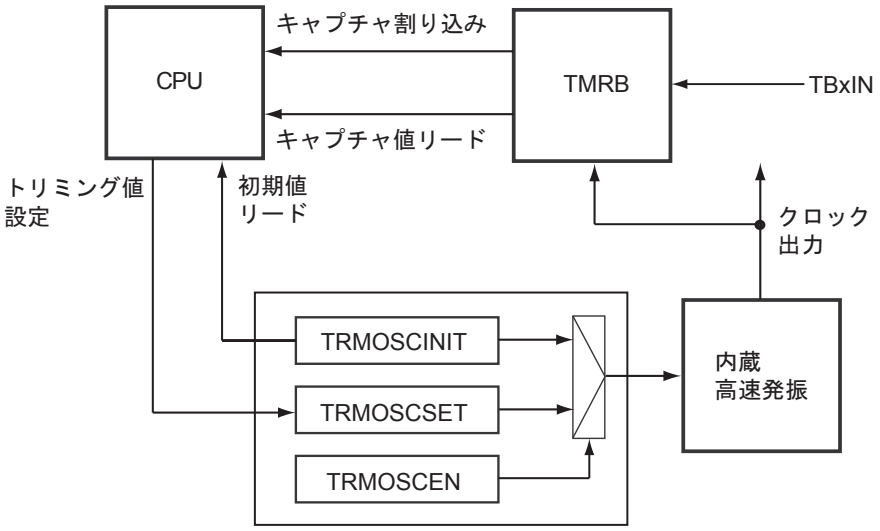


図 6-1 機能ブロック図

6.2　レジスタ説明

6.2.1　レジスター覧

制御レジスタとアドレスを以下に示します。

Base Address = 0x4004 _ 0300

レジスタ名(x=0~7)		Address(Base+)
プロテクトレジスタ	TRMOSCPRO	0x0000
イネーブルレジスタ	TRMOSCEN	0x0004
初期トリミング値モニタレジスタ	TRMOSCINIT	0x0008
トリミング値設定レジスタ	TRMOSCSET	0x000C

6.2.2　TRMOSCPRO (プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PROTECT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	PROTECT[7:0]	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 "0xC1" を設定すると、TRMOSCEN, TRMOSCINIT, TRMOSCSET に書き込みができるようになります。

6.2.3 TRMOSCEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TRIMEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	TRIMEN	R/W	トリミング制御 0 : 禁止 1 : 許可 "1" を設定すると、内蔵発振器のトリミング値が、TRIMOSCINIT で読み出される値から TRMOSCSET に設定した値に切り替わります。

6.2.4　TRMOSCINIT (初期トリミング値モニタ レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	TRIMINITC					
リセット後	0	0	不定					
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TRIMINITF			
リセット後	0	0	0	0	不定			

Bit	Bit Symbol	Type	機能
31-14	−	R	リードすると"0"が読めます。
13-8	TRIMINITC [5:0]	R/W	初期粗トリミング値 出荷時の粗トリミング値が読めます。
7-4	−	R	リードすると"0"が読めます。
3-0	TRIMINITF[3:0]	R/W	初期微トリミング値 出荷時の微トリミング値が読めます。

粗トリミング、微トリミングの具体的な設定と調整値については、「6.3.2 調整範囲」を参照してください。

6.2.5 TRMOSCSET (トリミング値設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	TRIMSETC					
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TRIMSETF			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-14	−	R	リードすると"0"が読めます。
13-8	TRIMSETC [5:0]	R/W	粗トリミング値設定 粗トリミング値を設定します。
7-4	−	R	リードすると"0" が読めます。
3-0	TRIMSETF[3:0]	R/W	微トリミング値設定 微トリミング値を設定します。

粗トリミング、微トリミングの具体的な設定と調整値については、「6.3.2 調整範囲」を参照してください。

6.3　動作説明

6.3.1　概要

周波数の調整は、粗トリミング値と微トリミング値で行います。

出荷時の設定値は、TRMOSCINIT<TRIMINITC> および<TRIMINITF> で確認できます。変更する設定値は、TRMOSCSET<TRIMSETC> および<TRIMSETF> に設定します。TRMOSCEN<TRIMEN> に"1" を設定することで内蔵高速発振器の設定値が切り替わります。

注)　リセット後、TRMOSCSET、TRMOSCEN への書き込みは禁止されています。書き込みを行うためには、TRMOSCPRO<PROTECT> に"0xC1" を設定する必要があります。

6.3.2　調整範囲

粗トリミングは 1.8% ステップで−57.6% ~ +55.8% の調整が可能です。微トリミングは 0.3% ステップで-2.4% ~ +2.1% の調整が可能です。表 6-1 に調整範囲を示します。

注)　1 ステップの値は typ. 条件のものであり、粗トリミングでは±0.2%、微トリミングでは±0.1% 程度の誤差があります。

表 6-1 調整範囲

粗トリミング	
<TRIMSETC>	周波数変化 (typ.)
011111	+55.8%
・	・
000001	+1.8%
000000	±0%
111111	−1.8%
111110	−3.6%
・	・
100000	−57.6%

微トリミング	
<TRIMSETF>	周波数変化 (typ.)
0111	+2.1%
・	・
0001	+0.3%
0000	±0%
1111	−0.3%
1110	−0.6%
・	・
1000	−2.4%

6.3.3　TMRB を使用した内蔵発振周波数測定

内蔵高速発振の周波数を測定するために、TMRB のパルス幅測定機能を使用することができます。TMRB のプリスケーラ用クロック ΦT0 として、内蔵高速発振を選択します。TBxIN から基準となるパルスを入力し、キャプチャ機能を用いてパルスの立ち上がりエッジでアップカウンタ値をキャプチャします。キャプチャ値から算出した TBxIN の周波数と実際の周波数の差から調整値を決定します。

第 7 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M3 テクニカルリファレンスマニュアル"もご覧ください。

7.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

7.1.1　種類

例外には以下のようなものがあります。

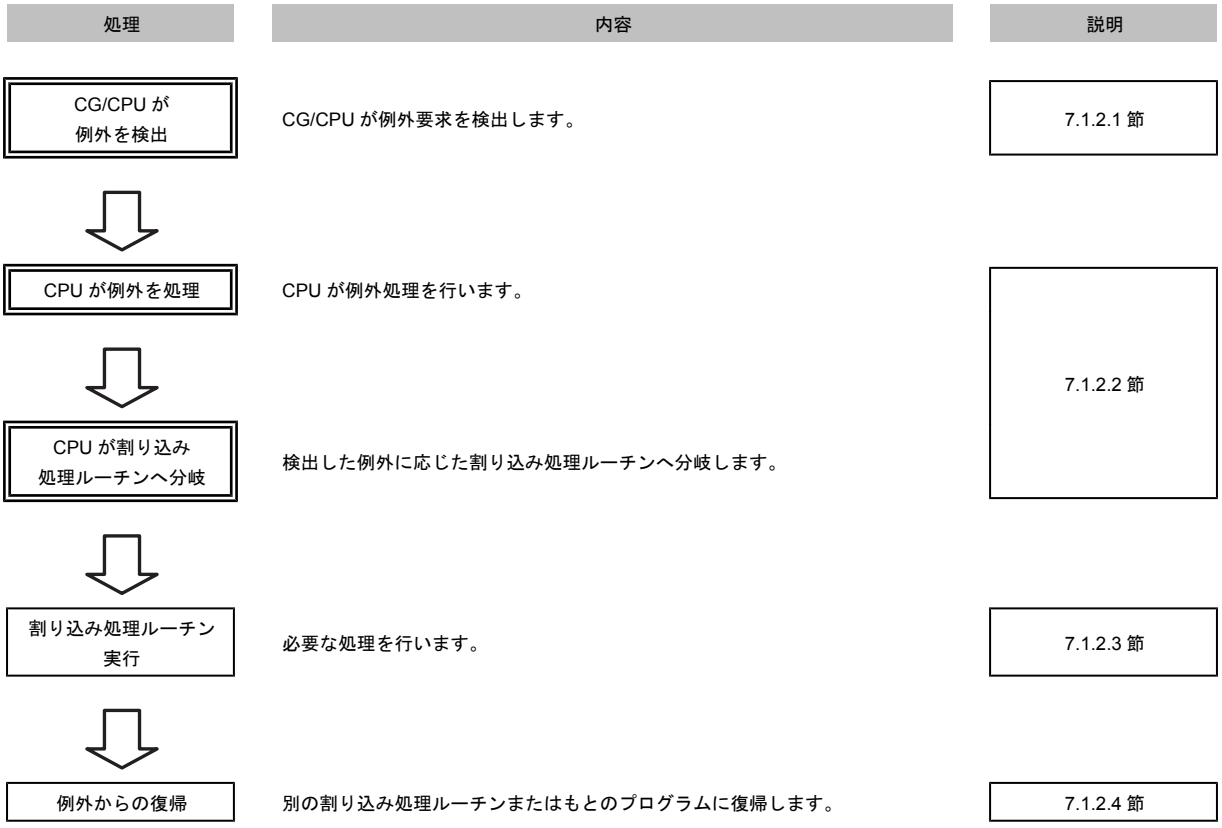
それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル"をご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

7.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。



7.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理, バスフォールト, 用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, POR, VLTD, OFD, SYSRESETREQ
2	マスク不能割り込み	−2	WDT
3	ハードフォールト	−1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	−	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	−	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.1.5 要因一覧」を参照してください。

(3)　優先度の設定

・　優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>ビットに設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注)　本製品では、<PRI_n>ビットは 3 ビットの構成になっています。

・　優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 7-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 7-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注)　<PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。
たとえば、3 ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムカウンタ(PC)
- プログラムステータスレジスタ(xPSR)
- r0 ~ r3
- r12
- リンクレジスタ(LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3　割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(PC, xPSR, r0～r3, r12, LR)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2　リセット例外

リセット例外には、以下の 6 種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- POR によるリセット例外

  POR にリセットを発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください。

- VLTD によるリセット例外

  VLTD にリセットを発生する機能があります。詳細は「電源検出回路」の章をご覧ください。

- OFD によるリセット例外

  OFD にリセットを発生する機能があります。詳細は「周波数検知回路」の章をご覧ください。

- WDT によるリセット例外

  WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- SYSRESETREQ によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。

7.3　マスク不能割り込み(NMI)

WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの CGNMIFLG を参照してください。

7.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正値レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正値レジスタに設定されている値も異なります。

注) 本製品では外部参照クロックとして fosc(CGOSCCR<OSCSEL>で選択されるクロック) を 32 分周したクロックが使用されます。

7.5　割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

7.5.1　要因

7.5.1.1　経路

割り込み要求の経路を図 7-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

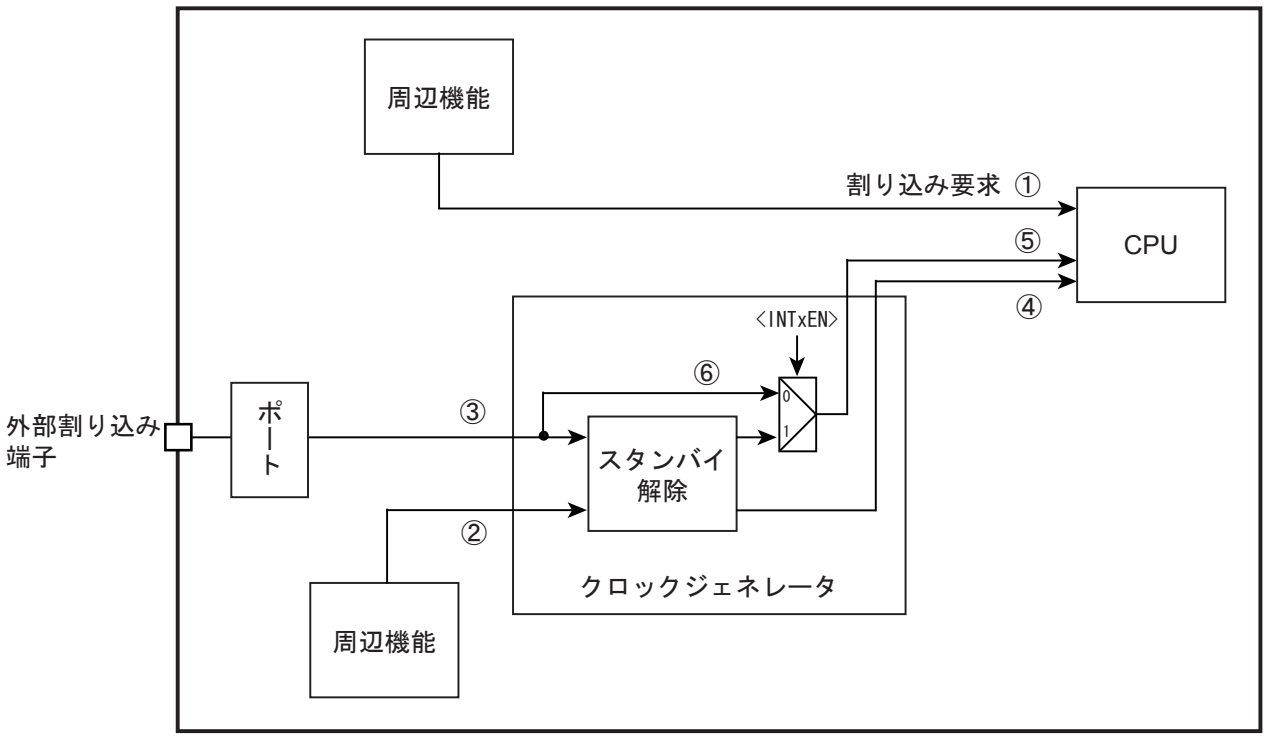


図 7-1 割り込みの経路

7.5.1.2　割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子, 周辺機能, NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

・ 外部端子からの割り込み

外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。

・ 周辺機能の割り込み

周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。

詳細は各章をご覧ください。

・ 割り込みの強制的な保留

割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

7.5.1.3 割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

7.5.1.4 外部割込み端子を使用する際の注意

外部割込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割込み端子からの入力信号は、入力ディセーブル(PxIE<PxmIE>="0")の場合"High"となります。また、外部割込みをスタンバイ解除要因として使用しない場合（「図 7-1 割り込みの経路」の⑥ の経路)、外部割込み端子からの入力信号がそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を"Low"レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

7.5.1.5　要因一覧

割り込みの要因一覧を表 7-3 に示します。

表 7-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
0	INTRX0	シリアル受信(channel0)		
1	INTTX0	シリアル送信(channel0)		
2	INTRX1	シリアル受信(channel1)		
3	INTTX1	シリアル送信(channel1)		
4	INTVCNB	ベクトルエンジン割り込み B		
5	INTEMG1	PMD1 EMG 割り込み		
6	INTOVV1	PMD1 OVV 割り込み		
7	INTADBPDB	ADCB PMD1 トリガ同期変換終了		
8	INTTB00	16bitTMRB0 コンペアー致 0/オーバーフロー		
9	INTTB01	16bitTMRB0 コンペアー致 1		
10	INTTB40	16bitTMRB4 コンペアー致 0/オーバーフロー		
11	INTTB41	16bitTMRB4 コンペアー致 1		
12	INTTB50	16bitTMRB5 コンペアー致 0/オーバーフロー		
13	INTTB51	16bitTMRB5 コンペアー致 1		
14	INTPMD1	PMD1 PWM 割り込み		
15	INTCAP00	16-bit TMRB0 インプットキャプチャ 0		
16	INTCAP01	16-bit TMRB0 インプットキャプチャ 1		
17	INTCAP50	16-bit TMRB5 インプットキャプチャ 5		
18	INTCAP51	16-bit TMRB5 インプットキャプチャ 1		
19	INT6	割り込み端子	「H」/「L」レベル 「↑」/「↓エッジ選択可	CGIMCGA
20	INT7	割り込み端子		
21	INTADBCPA	ADCB 監視割り込み A		
22	INTADBCPB	ADCB 監視割り込み B		
23	INTADBSFT	ADCB ソフトスタート変換終了		
24	INTADBTMR	ADCB タイマ同期変換終了		
25	INTENC0	エンコーダ入力 0 割り込み		
26	INTTB70	16bitTMRB7 コンペアー致 0/オーバーフロー		
27	INTTB71	16bitTMRB7 コンペアー致 1		
28	INTCAP70	16-bit TMRB7 インプットキャプチャ 0		
29	INTCAP71	16-bit TMRB7 インプットキャプチャ 1		
30	INTC	割り込み端子	「H」/「L」レベル 「↑」/「↓エッジ選択可	
31	INTSBI	シリアルバスインタフェース		

7.5.1.6　アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は"High"レベル、"Low"レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタのCGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 7-3 で指定されているとおりに設定してください。

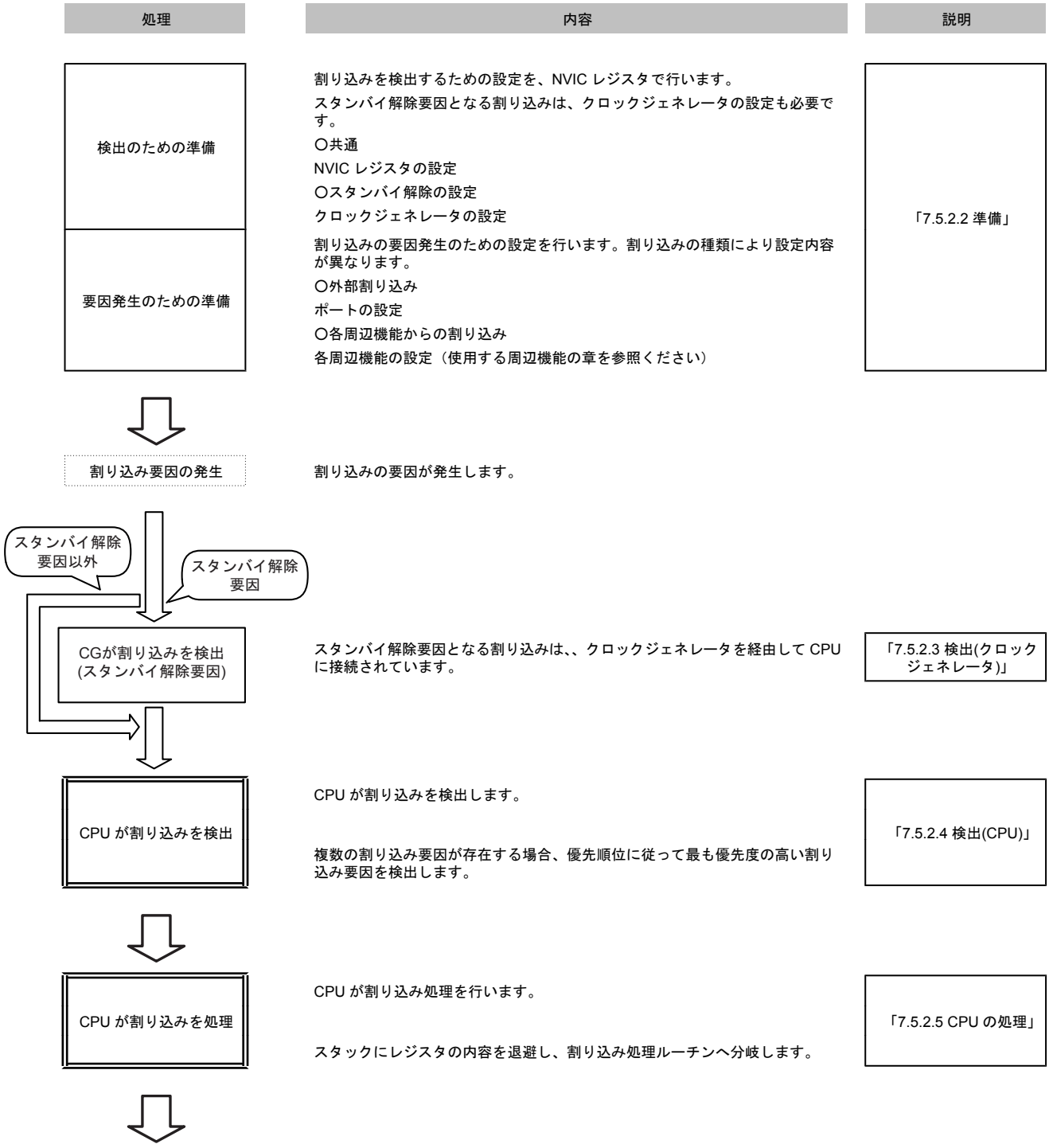
クロックジェネレータで検出された割り込みは、"High"レベル信号で CPU に通知されます。

7.5.2　処理詳細

7.5.2.1　処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
⇩		
元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

7.5.2.2　準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1)　CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。
注 2)　PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2)　CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3) 要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「7.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。また、「7.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7)　CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1) 「m」は該当ビットを示します。
注 2) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

7.5.2.3　検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

7.5.2.4 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

7.6　例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

7.6.1　レジスター覧

NVIC レジスタ　　Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
Reserved	0x0104
Reserved	0x0108
割り込みイネーブルクリアレジスタ 1	0x0180
Reserved	0x0184
Reserved	0x0188
割り込み保留セットレジスタ 1	0x0200
Reserved	0x0204
Reserved	0x0208
割り込み保留クリアレジスタ 1	0x0280
Reserved	0x0284
Reserved	0x0288
割り込み優先度レジスタ	0x0400 ~ 0x0460
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ　　Base Address = 0x4004_0200

レジスタ名		Address
CG 割り込み要求クリアレジスタ	CGICRCG	0x0014
NMI フラグレジスタ	CGNMIFLG	0x0018
リセットフラグレジスタ	CGRSTFLG	0x001C
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0020

注)　"Reserved"表記のアドレスにはアクセスしないでください。

7.6.2 NVIC レジスタ

7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	−	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	−	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック(fosc/32) (注) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では外部参照クロックとして fosc(CGOSCCR<OSCSEL>で選択されるクロック) を 32 分周したクロックが使用されます。

7.6.2.2　SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

7.6.2.3　SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

7.6.2.4 SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	1	1	0	0	0	1	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	−	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値 外部参照クロックで 10 ms をカウントするために使用するリロード値(0xC35)です。(注)

注) マルチショットで使用する場合、この値を-1 して使用してください。

7.6.2.5　割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.6 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[31:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.7　割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注)　割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.8 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「7.5.1.5 要因一覧」を参照してください。

7.6.2.9　割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	–	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	–	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	–	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	–	R	リードすると"0"が読めます。

7.6.2.10 ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	−	R	リードすると"0"が読めます。

注) <TBLOFF[31:30]>は"00"に設定してください。

7.6.2.11　アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	−	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	−	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1)　本製品はリトルエンディアン固定です。

注 2)　本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

7.6.2.12 システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_ED18	PRI_7	PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	−	R	リードすると"0"が読めます。

7.6.2.13　システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	−	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAUL TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	−	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	−	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	−	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

7.6.3　クロックジェネレータレジスタ

7.6.3.1　CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31-23	−	R	リードすると"0"が読めます。
23	−	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INTC スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INTC スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定値が読まれます。
16	INT2EN	R/W	INTC 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。
14-12	EMCG1[2:0]	R/W	INT7 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT7 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT1EN	R/W	INT7 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
6-4	EMCG0[2:0]	R/W	INT6 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST0[1:0]	R	INT6 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT0EN	R/W	INT6 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.2　CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000:INT6　0_1000: reserved 0_0001: INT7　0_1001: reserved 0_0010: INTC　0_1010: reserved 0_0011: reserved　0_1011: reserved 0_0100: reserved　0_1100: reserved 0_0101: reserved　0_1101: reserved 0_0110: reserved　0_1110: reserved 0_ 0111: reserved　0_1111: reserved　0_0011 ~ 1_1111: 設定禁止 リードすると"0"が読めます

7.6.3.3 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1: WDT による NMI 発生

注) <NMIFLG>は読み出すと"0"にクリアされます。

7.6.3.4　CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	OFDRSTF	DBGRSTF	VLTDRSTF	WDTRSTF	PINRSTF	PONRSTF
パワーオンリセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます。
5	OFDRSTF	R/W	OFD リセットフラグ 0: 0 ライト 1: OFD によるリセットによるリセットフラグ
4	DBGRSTF	R/W	デバッグリセットフラグ(注 1) 0: 0 ライト 1: SYSRESETREQ によるリセットによるリセットフラグ
3	VLTDRSTF	R/W	VLTD リセットフラグ 0: 0 ライト 1: VLTD によるリセットフラグ
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT によるリセットフラグ
1	PINRSTF	R/W	RESET 端子フラグ 0: 0 ライト 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ
0	PONRSTF	R/W	パワーオンフラグ 0: 0 ライト 1: 電源投入時のリセットによるリセットフラグ

注 1)　CPU の NVIC 内にある、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットのセットにより発生したリセットであることを示します。

注 2)　本製品はパワーオンリセット回路を内蔵しており、本レジスタはパワーオンリセットでのみ初期化されます。したがって、電源投入時の初期リセット後は<PONRSTF>がセットされますが、2 度目以降のリセットでは<PONRSTF>はセットされません。また、本レジスタは自動的にはクリアされませんので、"0"を書いてクリアしてください。

第 8 章　デジタルノイズフィルタ回路(DNF)

デジタル式のノイズキャンセラ回路により、外部割り込み端子に入力される信号を所定の幅でノイズを除去することができます。

8.1　構成

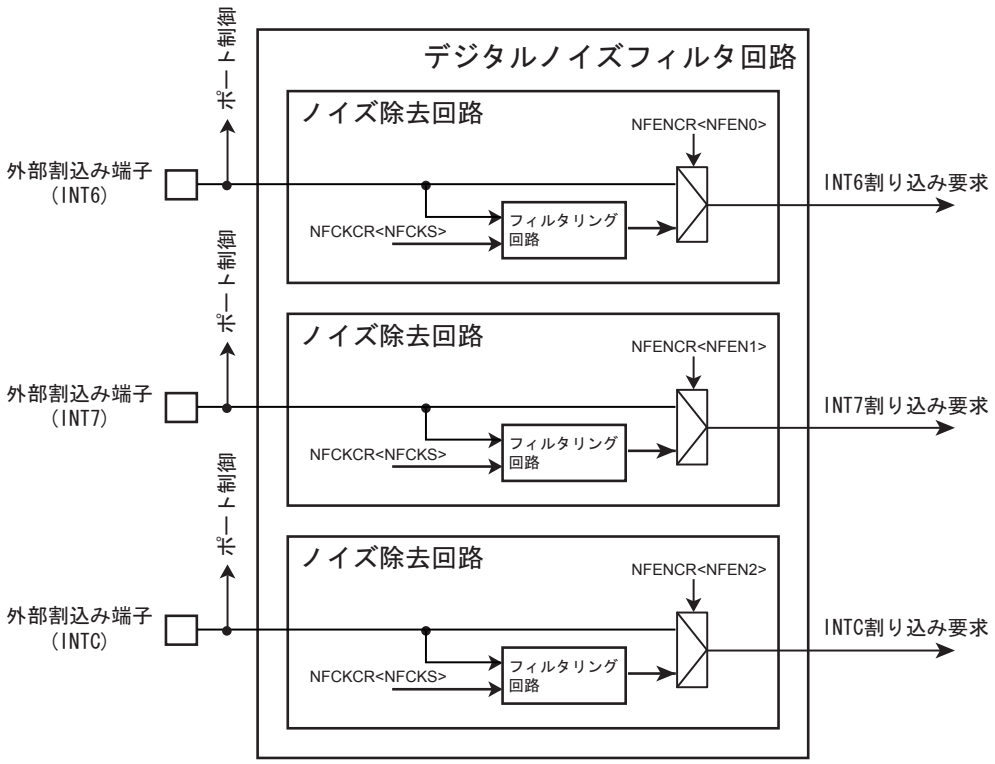


図 8-1 デジタルノイズフィルタ回路図

8.2　レジスタ説明

8.2.1　レジスター覧

Base Address = 0x4006_0000

レジスタ名		Address(Base+)
ノイズフィルタ制御レジスタ	NFCKCR	0x0000
ノイズフィルタ許可レジスタ	NFENCR	0x0004

8.2.1.1 NFCKCR(ノイズフィルタ制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	NFCKS		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-0	NFCKS[2:0]	R/W	ノイズフィルタクロック選択 000: クロック制御回路停止 001: fsys/2 クロック出力 010: fsys/4 クロック出力 011: fsys/8 クロック出力 100: fsys/16 クロック出力 101: fsys/32 クロック出力 110: fsys/64 クロック出力 111: fsys/128 クロック出力

注) NFCKCR<NFCKS>の設定は、NFENCR<NFEN[2:0]>="000"で行なってください。

注) STOP モード解除に外部割込み端子を使用する場合、ノイズフィルタ回路は使用できません。必ず NFENCR レジスタのノイズフィルタ許可ビットを禁止設定にし、NFCKCR レジスタでクロックを停止してください。

8.2.1.2　NFENCR(ノイズフィルタ許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	NFEN2	NFEN1	NFEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	NFENC	R/W	INTC ノイズフィルタ許可 0: 禁止（ノイズ除去前信号出力およびノイズ除去回路カウンタクリア、STOP モード解除時） 1: 許可（ノイズ除去後信号出力）
1	NFEN7	R/W	INT7 ノイズフィルタ許可 0: 禁止（ノイズ除去前信号出力およびノイズ除去回路カウンタクリア、STOP モード解除時） 1: 許可（ノイズ除去後信号出力）
0	NFEN6	R/W	INT6 ノイズフィルタ許可 0: 禁止（ノイズ除去前信号出力およびノイズ除去回路カウンタクリア、STOP モード解除時） 1: 許可（ノイズ除去後信号出力）

注)　fsys より短いパルスに対してノイズ除去動作ができない場合があります。特に fsys の周波数が低い場合にノイズ除去動作が有効とならない場合があります。

注)　外部割込みを許可に設定する前に割り込み要因をクリアし、NFENCR レジスタの対象ビットを許可設定にしてください。

注)　STOP モード解除に外部割込み端子を使用する場合、ノイズフィルタ回路は使用できません。必ず NFENCR レジスタのノイズフィルタ許可ビットを禁止設定にし、NFCKCR レジスタでクロックを停止してください。

8.3 動作説明

8.3.1 構成

ノイズフィルタ回路は、ノイズ除去回路、割り込み要求信号発生回路から構成されています。

外部から入力された信号はノイズ除去回路によって High レベルまたは Low レベルのノイズを除去した後、各外部割り込みごとに CG で立ち上がり/立ち下がり/レベル検出を行ないます。

8.3.2 動作

外部割り込み信号 INTx の High レベル/Low レベル入力ともにノイズを除去します。

ノイズ除去時間は、レベル入力継続時間が NFCKCR<NFCKS>で設定したクロック周期の 7 クロック以下をノイズと判定し、継続時間がクロック周期の 8 クロック以上で有効な信号と判定します。

ただし、7、8 クロックの間の入力信号はエッジタイミングによって判定が異なる場合があります。

8.3.3 使用可能な動作モード

ノイズフィルタ回路は NORMAL モード、IDLE モードのときのみ使用可能です。

8.3.4 STOP モードを使用する場合の注意点

STOP モードを使用する場合、fsys クロックが停止するためノイズフィルタ回路は使用できません。STOP モード解除に外部割込みを使用する場合は割り込み許可ビットを禁止した後に NFENCR レジスタのノイズフィルタ許可/禁止ビットを禁止に設定し、NFCKCR レジスタのノイズフィルタクロックを停止させてください。

8.3.5 最小ノイズ除去時間

ノイズ除去回路は NFCKCR レジスタで設定したクロック周期の 8 クロック以上の期間、High レベル入力または Low レベル入力が入力されていた場合、レベル入力を判定し外部割込み信号を発生します。

表 8-1 最小ノイズ除去時間

NFCKCR<NFCKS>	fsys [MHz]			Unit
	20	32	40	
001	0.7	0.44	0.35	μs
010	1.4	0.88	0.7	
011	2.8	1.75	1.4	
100	5.6	3.5	2.8	
101	11.2	7.0	5.6	
110	22.4	14.0	11.2	
111	44.8	28.0	22.4	

第 9 章　入出力ポート

9.1　ポート機能

9.1.1　機能一覧

TMPM375FSDMG には 21 本のポートがあり、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 9-1 にポート機能の一覧を示します。

表 9-1 ポート機能一覧

ポート	端子名	入出力	Pull-up Pull-down	Schmitt 入力	デジタルノイズフィルタ回路	プログラマブルオープンドレイン	機能端子名
ポート B							
	PB3	入出力	Pull-up / Pull-down	o	−	o	TMS / SWDIO , (RXD1)
	PB4	入出力	Pull-up / Pull-down	o	−	o	TCK / SWCLK , (TXD1)
	PB5	入出力	Pull-up / Pull-down	o	−	o	TDO / SWV , SCK0, (SDA0 / SO0)
	PB6	入出力	Pull-up / Pull-down	o	o(INT6のみ)	o	TDI , SCL0 / SI0 , TB7OUT , INT6, RXD1
ポート E							
	PE0	入出力	Pull-up / Pull-down	o	−	o	TXD0 , ENCA
	PE1	入出力	Pull-up / Pull-down	o	−	o	RXD0 , TB4IN, ENCB
	PE2	入出力	Pull-up / Pull-down	o	o(INT7のみ)	o	SCLK0 , $\overline{\text{CTS0}}$, ENCZ , INT7, (SCL0)
ポート F							
	PF0	入出力	Pull-up / Pull-down	o	o(INTCのみ)	o	TB7IN , SDA0 / SO0 , $\overline{\text{BOOT}}$, INTC, TXD1
ポート G							
	PG0	入出力	Pull-up / Pull-down	o	−	o	U0
	PG1	入出力	Pull-up / Pull-down	o	−	o	X0
	PG2	入出力	Pull-up / Pull-down	o	−	o	V0
	PG3	入出力	Pull-up / Pull-down	o	−	o	Y0
	PG4	入出力	Pull-up / Pull-down	o	−	o	W0
	PG5	入出力	Pull-up / Pull-down	o	−	o	Z0
	PG6	入出力	Pull-up / Pull-down	o	−	o	$\overline{\text{EMG}}$, $\overline{\text{OVV}}$
ポート J							
	PJ6	入出力	Pull-up / Pull-down	o	−	o	AINB9
	PJ7	入出力	Pull-up / Pull-down	o	−	o	AINB10
ポート K							
	PK0	入出力	Pull-up / Pull-down	o	−	o	AINB11
	PK1	入出力	Pull-up / Pull-down	o	−	o	AINB12
ポート M							
	PM0	入出力	Pull-up / Pull-down	o	−	o	X1
	PM1	入出力	Pull-up / Pull-down	o	−	o	X2

o : あり
- : なし

9.1.2　ポートレジスタ概略説明

ポートを使用する際には以下のレジスタを設定する必要があります。

- PxDATA: ポート x データレジスタ

  ポートのデータ読み込み、データ書き込みを行います。

- PxCR: ポート x 出力コントロールレジスタ

  出力の制御を行います。

  入力の制御は PxIE で設定してください。

- PxFRn: ポート x ファンクションレジスタ n

  機能設定を行ないます。

  "1"をセットすることにより割り当てられている機能を使用できるようになります。

- PxOD: ポート x オープンドレインコントロールレジスタ

  プログラマブルオープンドレインの制御を行います。

  プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。

- PxPUP: ポート x プルアップコントロールレジスタ

  プログラマブルプルアップを制御します。

- PxPDN: ポート x プルダウンコントロールレジスタ

  プログラマブルプルダウンを制御します。

- PxIE : ポート x 入力コントロールレジスタ

  入力の制御を行ないます。貫通電流対策のため、初期状態は入力禁止になっています。

9.1.3 STOP モード中のポート状態

STOP モード中の入力と出力の状態を、クロック/モード制御部の CGSTBYCR<DRVE>で制御することができます。

PxIE, PxCR が許可で、<DRVE>を"1"に設定した場合、STOP モード中も入力, 出力が許可となります。<DRVE>を"0"に設定した場合、一部のポートを除き、PxIE, PxCR が許可であっても STOP モード中は入力, 出力が禁止になります。

STOP モード時の端子状態を表 9-2 に示します。

表 9-2 STOP モード時の端子状態

	機能	入出力	<DRVE> = 0	<DRVE> = 1
ポート以外	$\overline{\text{RESET}}$, MODE	入力専用	o	
	VOUT15, VOUT3	出力専用	o	
ポート	X1	入力専用	×	
	X2	出力専用	"High"レベル出力	
	TMS TCK TDI	入力	o	
	TDO/SWV	出力	データ有効時はイネーブル データ無効時はディセーブル	
	SWCLK	入力	o	
	SWDIO	入力	o	
		出力	データ有効時はイネーブル データ無効時はディセーブル	
	U0 V0 W0 X0 Y0 Z0	出力	データ有効時はイネーブル データ無効時はディセーブル	
	INT6, INT7, INTC	入力	o	
	上記以外の機能端子または汎用入出力として使用	入力	×	o
		出力	×	o

o :入力または出力がイネーブルであることを示します。

× :入力または出力がディセーブルであることを示します。

9.2　ポート機能詳細

本章では、各ポートのレジスタの詳細について説明します。

回路構成については、本章では「回路タイプ」のみ記載しています。具体的な回路図は「ポート部等価回路図」章に記載していますので、そちらを参照してください。

9.2.1　ポート B (PB3 ~ PB6)

ポート B はビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にデバッグ通信機能、シリアルバスインタフェース機能(I2C / SIO)、シリアルインターフェース機能(UART)、外部割込み入力機能、16 ビットタイマ出力機能があります。

リセット後 PB3、PB4、PB5、PB6 はデバッグ通信機能になります。

PB3 は TMS または SWDIO 機能で入力・出力・プルアップイネーブル、PB4 は TCK または SWCLK 機能で入力・プルダウンイネーブルとなります。

PB5 は TDO または SWV 機能で出力イネーブル、PB6 は TDI 機能で入力・プルアップイネーブルとなります。

割り込み入力を STOP モード解除に使用する場合、PBFR4 で機能設定にし、PBIE で入力設定をしてください。この設定では、クロック/モード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

注)　STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

9.2.1.1　ポート B レジスター覧

Base Address = 0x4000_0040

レジスタ名		Address(Base+)
ポート B データ レジスタ	PBDATA	0x0000
ポート B 出力コントロールレジスタ	PBCR	0x0004
ポート B ファンクションレジスタ 1	PBFR1	0x0008
ポート B ファンクションレジスタ 2	PBFR2	0x000C
ポート B ファンクションレジスタ 3	PBFR3	0x0010
ポート B ファンクションレジスタ 4	PBFR4	0x0014
ポート B ファンクションレジスタ 5	PBFR5	0x0018
ポート B オープンドレインコントロールレジスタ	PBOD	0x0028
ポート B プルアップコントロールレジスタ	PBPUP	0x002C
ポート B プルダウンコントロールレジスタ	PBPDN	0x0030
ポート B 入力コントロールレジスタ	PBIE	0x0038

9.2.1.2 PBDATA (ポート B データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6	PB5	PB4	PB3	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6-3	PB6-PB3	R/W	ポート B データレジスタ
2-0	−	R	リードすると"0"が読めます。

9.2.1.3 PBCR (ポート B 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6C	PB5C	PB4C	PB3C	-	-	-
リセット後	0	0	1	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6-3	PB6C-PB3C	R/W	出力 0: 禁止 1: 許可
2-0	−	R	リードすると"0"が読めます。

9.2.1.4　PBFR1 (ポート B ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F1	PB5F1	PB4F1	PB3F1	-	-	-
リセット後	0	1	1	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F1	R/W	0: PORT 1: TDI
5	PB5F1	R/W	0: PORT 1: TDO / SWV
4	PB4F1	R/W	0: PORT 1: TCK / SWCLK
3	PB3F1	R/W	0: PORT 1: TMS / SWDIO
2-0	-	R	リードすると"0"が読めます。

9.2.1.5 PBFR2 (ポート B ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F2	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F2	R/W	0: PORT 1: SCL0 / SI0（注）
5-0	-	R	リードすると"0"が読めます。

注) SCL0 は PB6 と PE2 の兼用機能として割り当てられています。各ポートに設定する場合は以下のように設定してください。

SCL0	<PB6F2>	<PE2F5>
PB6	1	0
PE2	0	1
<PB6F2> と<PE2F5> の両方に"1" を設定した場合は PB6 の機能が有効となります。		

9.2.1.6　PBFR3 (ポート B ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F3	PB5F3	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F3	R/W	0: PORT 1: TB7OUT
5	PB5F3	R/W	0: PORT 1: SCK0
4-0	-	R	リードすると"0"が読めます。

9.2.1.7 PBFR4 (ポート B ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F4	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F4	R/W	0: PORT 1: INT6
5-0	-	R	リードすると"0"が読めます。

9.2.1.8　PBFR5 (ポート B ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6F5	PB5F5	PB4F5	PB3F5	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6	PB6F5	R/W	0: PORT 1: RXD1（注）
5	PB5F5	R/W	0: PORT 1: SDA0 / SO0（注）
4	PB4F5	R/W	0: PORT 1: TXD1（注）
3	PB3F5	R/W	0: PORT 1: RXD1（注）
2-0	-	R	リードすると"0"が読めます。

注)　RXD1 は PB6 と PB3、SDA0/SO0 は PB5 と PF0、TXD1 は PB4 と PF0 の兼用機能として割り当てられています。各ポートに設定する場合は以下のように設定してください。

RXD1	<PB6F5>	<PB3F5>
PB6	1	0
PB3	0	1
<PB6F5> と<PB3F5> の両方に"1" を設定した場合には PB6 の機能が有効となります。		

SDA0/SO0	<PF0F2>	<PB5F5>
PF0	1	0
PB5	0	1
<PF0F2> と<PB5F5> の両方に"1" を設定した場合には PF0 の機能が有効となります。		

TXD1	<PF0F5>	<PB4F5>
PF0	1	0
PB4	0	1
<PF0F5> と<PB4F5> の両方に"1" を設定した場合には PF0 の機能が有効となります。		

9.2.1.9　PBOD (ポート B オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6OD	PB5OD	PB4OD	PB3OD	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-3	PB6OD-PB3OD	R/W	0 : CMOS 1 : オープンドレイン
2-0	–	R	リードすると"0"が読めます。

9.2.1.10　PBPUP (ポート B プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6UP	PB5UP	PB4UP	PB3UP	-	-	-
リセット後	0	1	0	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-3	PB6UP-PB3UP	R/W	プルアップ 0: 禁止 1: 許可
2-0	–	R	リードすると"0"が読めます。

9.2.1.11 PBPDN (ポート B プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6DN	PB5DN	PB4DN	PB3DN	-	-	-
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6-3	PB6DN-PB3DN	R/W	プルダウン 0: 禁止 1: 許可
2-0	−	R	リードすると"0"が読めます。

9.2.1.12　PBIE (ポート B 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PB6IE	PB5IE	PB4IE	PB3IE	-	-	-
リセット後	0	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6-3	PB6IE-PB3IE	R/W	入力 0: 禁止 1: 許可
2-0	−	R/W	リードすると"0"が読めます。

9.2.2 ポート E (PE0 ~ PE2)

ポート E はビット単位で入出力の指定ができる 3 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルインタフェース機能(SIO / UART)、シリアルバスインタフェース機能(I2C / SIO)、エンコーダ入力機能、外部割込み入力機能、16 ビットタイマ入力機能があります。

リセット後ファンクションレジスタは汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

ポート E には複数のファンクションレジスタがあります。汎用ポート機能として使用する場合は、全てのファンクションレジスタの該当するビットに"0"を設定してください。汎用ポート機能以外で使用する場合には、ファンクションレジスタの該当ビットに"1"を設定してください。複数のファンクションレジスタを同時に"1"に設定しないでください。

割り込み入力を STOP モード解除に使用する場合、PEFR4 で機能設定にし、PEIE で入力設定をしてください。この設定では、クロック/モード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

注) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

9.2.2.1 ポート E レジスター覧

Base Address = 0x4000_0100

レジスタ名		Address(Base+)
ポート E データ レジスタ	PEDATA	0x0000
ポート E 出力コントロールレジスタ	PECR	0x0004
ポート E ファンクションレジスタ 1	PEFR1	0x0008
ポート E ファンクションレジスタ 2	PEFR2	0x000C
ポート E ファンクションレジスタ 3	PEFR3	0x0010
ポート E ファンクションレジスタ 4	PEFR4	0x0014
ポート E ファンクションレジスタ 5	PEFR5	0x0018
ポート E オープンドレインコントロールレジスタ	PEOD	0x0028
ポート E プルアップコントロールレジスタ	PEPUP	0x002C
ポート E プルダウンコントロールレジスタ	PEPDN	0x0030
ポート E 入力コントロールレジスタ	PEIE	0x0038

9.2.2.2　PEDATA (ポート E データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2	PE1	PE0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-0	PE2-PE0	R/W	ポート E データレジスタ

9.2.2.3　PECR (ポート E 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2C	PE1C	PE0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-0	PE2C-PE0C	R/W	出力 0: 禁止 1: 許可

9.2.2.4 PEFR1 (ポート E ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F1	PE1F1	PE0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	PE2F1	R/W	0: PORT 1: SCLK0
1	PE1F1	R/W	0: PORT 1: RXD0
0	PE0F1	R/W	0: PORT 1: TXD0

9.2.2.5　PEFR2 (ポート E ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F2	PE1F2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	PE2F2	R/W	0: PORT 1: $\overline{\text{CTS0}}$
1	PE1F2	R/W	0: PORT 1: TB4IN
0	–	R	リードすると"0"が読めます。

9.2.2.6 PEFR3 (ポート E ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F3	PE1F3	PE0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	PE2F3	R/W	0: PORT 1: ENCZ
1	PE1F3	R/W	0: PORT 1: ENCB
0	PE0F3	R/W	0: PORT 1: ENCA

9.2.2.7　PEFR4 (ポート E ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	PE2F4	R/W	0: PORT 1: INT7
1-0	−	R	リードすると"0"が読めます。

9.2.2.8 PEFR5 (ポート E ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F5	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	PE2F5	R/W	0: PORT 1: SCL0（注）
1-0	–	R	リードすると"0"が読めます。

注) SCL0 は PB6 と PE2 の兼用機能として割り当てられています。各ポートに設定する場合は以下のように設定してください。

SCL0	<PB6F2>	<PE2F5>
PB6	1	0
PE2	0	1
<PB6F2> と<PE2F5> の両方に"1" を設定した場合は PB6 の機能が有効となります。		

9.2.2.9　PEOD (ポート E オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2OD	PE1OD	PE0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	PE2OD-PE0OD	R/W	0 : CMOS 1 : オープンドレイン

9.2.2.10　PEPUP (ポート E プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2UP	PE1UP	PE0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	PE2UP-PE0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.2.11 PEPDN (ポート E プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2DN	PE1DN	PE0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-0	PE2DN-PE0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.2.12 PEIE (ポート E 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2IE	PE1IE	PE0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-0	PE2IE-PE0IE	R/W	入力 0: 禁止 1: 許可

9.2.3　ポート F (PF0)

ポート F はビット単位で入出力の指定ができる 1 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルバスインタフェース機能(I2C / SIO)、シリアルインターフェース機能(UART)、16 ビットタイマ入力機能、動作モード設定機能があります。

リセット端子に"0"が入力されている期間、PF0 は入力とプルアップがイネーブルになっており、リセット信号の立ち上がりで PF0 が"1"の場合、シングルチップモードになって内蔵 Flash メモリから起動し、PF0 が"0"の場合、シングルブートモードとなって内蔵ブートプログラムから起動します。シングルブートモードの説明は、「Flash 動作説明」の章を参照してください。

リセット後ファンクションレジスタは汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

なお、リセット期間が終了すると PF0 の入力とプルアップは PFIE と PFPUP の初期値に従いディセーブルとなります。

割り込み入力を STOP モード解除に使用する場合、PFFR4 で機能設定にし、PFIE で入力設定をしてください。この設定では、クロック/モード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

注)　STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

9.2.3.1　ポート F レジスター覧

Base Address = 0x4000_0140

レジスタ名		Address(Base+)
ポート F データ レジスタ	PFDATA	0x0000
ポート F 出力コントロールレジスタ	PFCR	0x0004
ポート F ファンクションレジスタ 1	PFFR1	0x0008
ポート F ファンクションレジスタ 2	PFFR2	0x000C
ポート F ファンクションレジスタ 4	PFFR4	0x0014
ポート F ファンクションレジスタ 5	PFFR5	0x0018
ポート F オープンドレインコントロールレジスタ	PFOD	0x0028
ポート F プルアップコントロールレジスタ	PFPUP	0x002C
ポート F プルダウンコントロールレジスタ	PFPDN	0x0030
ポート F 入力コントロールレジスタ	PFIE	0x0038

9.2.3.2 PFDATA (ポート F データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	TypF	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0	R/W	ポート F データレジスタ

9.2.3.3 PFCR (ポート F 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0C	R/W	出力 0: 禁止 1: 許可

9.2.3.4　PFFR1 (ポート F ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0F1	R/W	0: PORT 1: TB7IN

9.2.3.5 PFFR2 (ポート F ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0F2	R/W	0: PORT 1: SDA0/SO0（注）

注) SDA0/SO0 は PB5 と PF0 の兼用機能として割り当てられています。各ポートに設定する場合は以下のように設定してください。

SDA0/SO0	<PF0F2>	<PB5F5>
PF0	1	0
PB5	0	1
<PF0F2> と<PB5F5> の両方に"1" を設定した場合には PF0 の機能が有効となります。		

9.2.3.6　PFFR4 (ポート F ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0F4
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0F4	R/W	0: PORT 1: INTC

9.2.3.7 PFFR5 (ポート F ファンクションレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0F5
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0F5	R/W	0: PORT 1: TXD1（注）

注) TXD1 は PB4 と PF0 の兼用機能として割り当てられています。各ポートに設定する場合は以下のように設定してください。

TXD1	<PF0F5>	<PB4F5>
PF0	1	0
PB4	0	1
<PF0F5> と<PB4F5> の両方に"1" を設定した場合には PF0 の機能が有効となります。		

9.2.3.8　PFOD (ポート F オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0OD	R/W	0 : CMOS 1 : オープンドレイン

9.2.3.9 PFPUP (ポート F プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.3.10 PFPDN (ポート F プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.3.11　PFIE (ポート F 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PF0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	PF0IE	R/W	入力 0: 禁止 1: 許可

9.2.4 ポート G (PG0 ~ PG6)

ポート G はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に三相モータ制御のための入出力端子機能があります。

リセット後ファンクションレジスタは汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

9.2.4.1 ポート G レジスター覧

Base Address = 0x4000_0180

レジスタ名		Address(Base+)
ポート G データ レジスタ	PGDATA	0x0000
ポート G 出力コントロールレジスタ	PGCR	0x0004
ポート G ファンクションレジスタ 1	PGFR1	0x0008
ポート G ファンクションレジスタ 2	PGFR2	0x000C
ポート G オープンドレインコントロールレジスタ	PGOD	0x0028
ポート G プルアップコントロールレジスタ	PGPUP	0x002C
ポート G プルダウンコントロールレジスタ	PGPDN	0x0030
ポート G 入力コントロールレジスタ	PGIE	0x0038

9.2.4.2　PGDATA (ポート G データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6	PG5	PG4	PG3	PG2	PG1	PG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PG6-PG0	R/W	ポート G データレジスタ

9.2.4.3　PGCR (ポート G 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PG6C-PG0C	R/W	出力 0: 禁止 1: 許可

9.2.4.4 PGFR1 (ポート G ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6F1	PG5F1	PG4F1	PG3F1	PG2F1	PG1F1	PG0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	PG6F1	R/W	0: PORT 1: $\overline{\text{EMG}}$
5	PG5F1	R/W	0: PORT 1: Z0
4	PG4F1	R/W	0: PORT 1: W0
3	PG3F1	R/W	0: PORT 1: Y0
2	PG2F1	R/W	0: PORT 1: V0
1	PG1F1	R/W	0: PORT 1: X0
0	PG0F1	R/W	0: PORT 1: U0

9.2.4.5　PGFR2 (ポート G ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6F2	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	PG6F2	R/W	0: PORT 1:$\overline{OVV}$
5-0	−	R	リードすると"0"が読めます。

9.2.4.6 PGOD (ポート G オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6OD	PG5OD	PG4OD	PG3OD	PG2OD	PG1OD	PG0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PG6OD- PG0OD	R/W	0 : CMOS 1 : オープンドレイン

9.2.4.7 PGPUP (ポート G プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6UP	PG5UP	PG4UP	PG3UP	PG2UP	PG1UP	PG0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PG6UP- PG0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.4.8　PGPDN (ポート G プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6DN	PG5DN	PG4DN	PG3DN	PG2DN	PG1DN	PG0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PG6DN-PG0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.4.9　PGIE (ポート G 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6IE	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-0	PG6IE-PG0IE	R/W	入力 0: 禁止 1: 許可

9.2.5 ポート J (PJ6 ~ PJ7)

ポート J はビット単位で入出力の指定ができる 2 ビットの汎用入出力です。汎用入出力ポート機能以外に AD コンバータのアナログ入力端子機能があります。

リセット後ファンクションレジスタは汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

注) ポート J を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

9.2.5.1 ポート J レジスター覧

Base Address = 0x4000_0240

レジスタ名		Address(Base+)
ポート J データレジスタ	PJDATA	0x0000
ポート J 出力コントロールレジスタ	PJCR	0x0004
ポート J オープンドレインコントロールレジスタ	PJOD	0x0028
ポート J プルアップコントロールレジスタ	PJPUP	0x002C
ポート J プルダウンコントロールレジスタ	PJPDN	0x0030
ポート J 入力コントロールレジスタ	PJIE	0x0038

9.2.5.2　PJDATA (ポート J データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7	PJ6	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	PJ7-PJ6	R/W	ポート J データレジスタ
5-0	−	R	リードすると"0"が読めます。

9.2.5.3　PJCR (ポート J 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7C	PJ6C	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	PJ7C-PJ6C	R/W	出力 0: 禁止 1: 許可
5-0	−	R	リードすると"0"が読めます。

9.2.5.4 PJOD (ポート J オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7OD	PJ6OD	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	PJ7OD-PJ6OD	R/W	0 : CMOS 1 : オープンドレイン
5-0	−	R	リードすると"0"が読めます。

9.2.5.5 PJPUP (ポート J プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7UP	PJ6UP	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	PJ7UP-PJ6UP	R/W	プルアップ 0: 禁止 1: 許可
5-0	−	R	リードすると"0"が読めます。

9.2.5.6　PJPDN (ポート J プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7DN	PJ6DN	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	PJ7DN-PJ6DN	R/W	プルダウン 0: 禁止 1: 許可
5-0	−	R	リードすると"0"が読めます。

9.2.5.7　PJIE (ポート J 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7IE	PJ6IE	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	PJ7IE-PJ6IE	R/W	入力 0: 禁止 1: 許可
5-0	−	R	リードすると"0"が読めます。

9.2.6 ポート K (PK0 ~ PK1)

ポート K はビット単位で入出力の指定ができる 2 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に AD コンバータのアナログ入力端子機能があります。

リセット後ファンクションレジスタは汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。

注) ポート K を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

9.2.6.1 ポート K レジスター覧

Base Address = 0x4000_0280

レジスタ名		Address(Base+)
ポート K データレジスタ	PKDATA	0x0000
ポート K 出力コントロールレジスタ	PKCR	0x0004
ポート K オープンドレインコントロールレジスタ	PKOD	0x0028
ポート K プルアップコントロールレジスタ	PKPUP	0x002C
ポート K プルダウンコントロールレジスタ	PKPDN	0x0030
ポート K 入力コントロールレジスタ	PKIE	0x0038

9.2.6.2　PKDATA (ポート K データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1	PK0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PK1-PK0	R/W	ポート K データレジスタ

9.2.6.3　PKCR (ポート K 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-				PK1C	PK0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PK1C-PK0C	R/W	出力 0: 禁止 1: 許可

9.2.6.4 PKOD (ポート K オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1OD	PK0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PK1OD-PK0OD	R/W	0 : CMOS 1 : オープンドレイン

9.2.6.5 PKPUP (ポート K プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1UP	PK0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PK1UP-PK0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.6.6　PKPDN (ポート K プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1DN	PK0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1-0	PK1DN-PK0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.6.7　PKIE (ポート K 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1IE	PK0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1-0	PK1IE-PK0IE	R/W	入力 0: 禁止 1: 許可

9.2.7 ポート M (PM0~PM1)

ポート M はビット単位で入出力の指定ができる 2 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に CGOSCCR<HOSCON>=1 で外部高速発振子接続用端子(X1,X2)になります。

CGOSCCR<HOSCON>=1 となっている間はポート M の各レジスタの書換えはできません。外部高速発振子接続端子として使用する場合の手順は「システムクロック」の章をご参照ください(注 1)。

リセット後ファンクションレジスタは汎用ポートとなり、入力・出力・プルアップ・プルダウンは禁止となります。(注 2)

注 1) PMDATA、PMOD を除く、ポート M のレジスタのいずれかが"0"でない場合、外部高速発振子接続端子への切り替え(CGOSCCR<HOSCON>=1)ができません。

注 2) リセット解除後に選択される高速クロックは内蔵高速クロックです。従って、初期状態ではポート M になります。

9.2.7.1 ポート M レジスター覧

Base Address = 0x4000_0300

レジスタ名		Address(Base+)
ポート M データ レジスタ	PMDATA	0x0000
ポート M 出力コントロールレジスタ	PMCR	0x0004
ポート M オープンドレインコントロールレジスタ	PMOD	0x0028
ポート M プルアップコントロールレジスタ	PMPUP	0x002C
ポート M プルダウンコントロールレジスタ	PMPDN	0x0030
ポート M 入力コントロールレジスタ	PMIE	0x0038

9.2.7.2　PMDATA (ポート M データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1	PM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PM1-PM0	R/W	ポート M データレジスタ

9.2.7.3　PMCR (ポート M 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1C	PM0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PM1C-PM0C	R/W	出力 0: 禁止 1: 許可

9.2.7.4 PMOD (ポート M オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1OD	PM0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PM1OD- PM0OD	R/W	0 : CMOS 1 : オープンドレイン

9.2.7.5 PMPUP (ポート M プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1UP	PM0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1-0	PM1UP- PM0UP	R/W	プルアップ 0: 禁止 1: 許可

9.2.7.6　PMPDN (ポート M プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1DN	PM0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1-0	PM1DN-PM0DN	R/W	プルダウン 0: 禁止 1: 許可

9.2.7.7　PMIE (ポート M 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PM1IE	PM0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1-0	PM1IE-PM0IE	R/W	入力 0: 禁止 1: 許可

9.3 ポート回路図

9.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。

図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 9-3 機能一覧

Type	汎用 ポート	機能	Analog	プルアップ	プルダウン	プログラマブルオープンドレイン	備考
FT1	入出力	入出力	−	R	−	o	
FT2	入出力	入出力	−	R	−	o	イネーブル信号による機能選択あり
FT3	入出力	入出力	−	R	−	o	イネーブル信号による機能選択あり
FT4	入出力	入力 (int)	−	R	−	o	ノイズフィルター付き
FT5	入出力	入出力	o	R	−	−	
FT6	出力	出力	−	NoR	−	o	$\overline{\text{リセット}}$中 $\overline{\text{BOOT}}$ 入力許可

int: 割り込み入力
−: 無し
o: 有り
R: リセット中ディセーブル
NoR: リセットでは制御されない

9.3.2　Type FT1

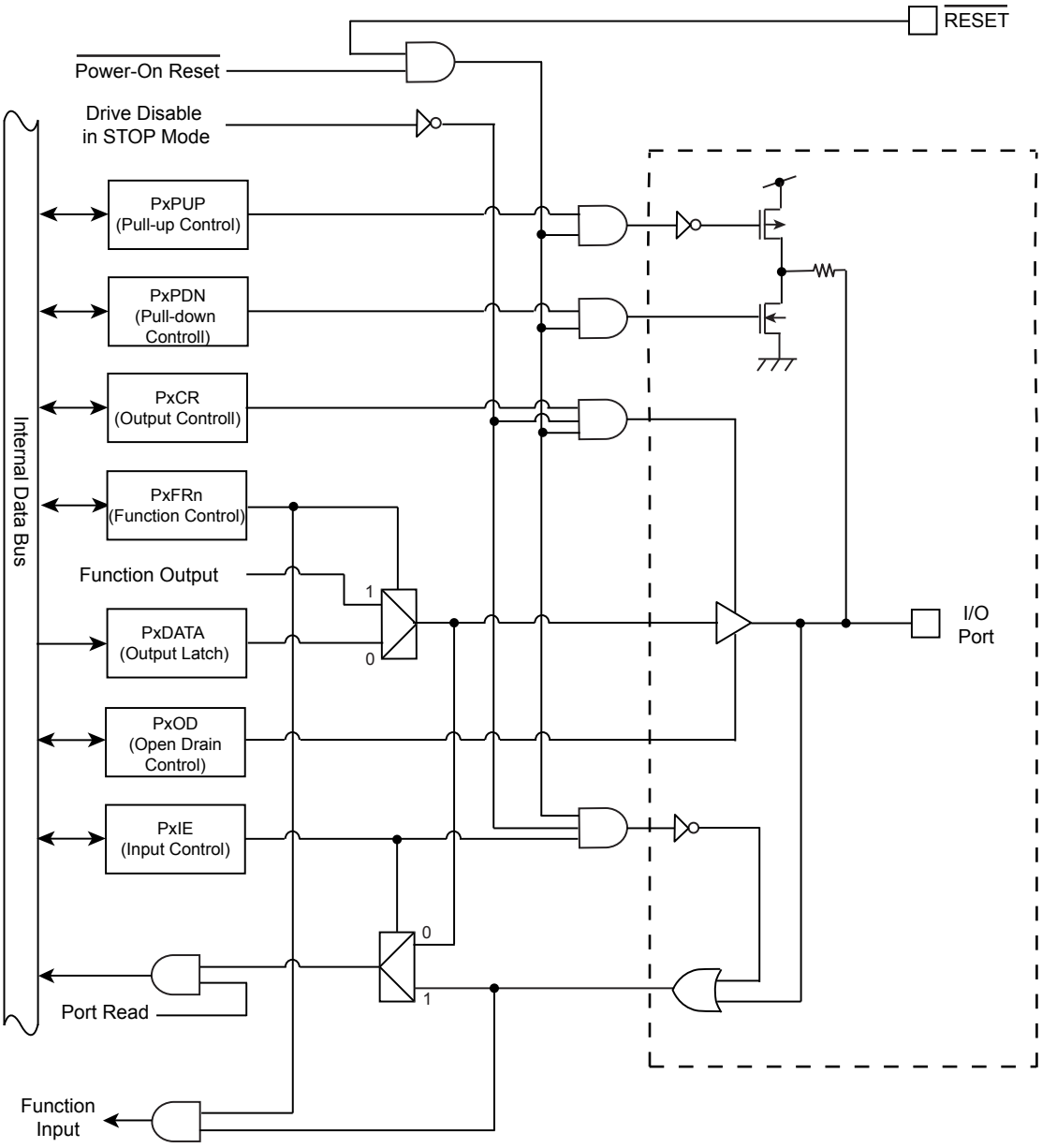


図 9-1 ポート Type FT1

9.3.3 Type FT2

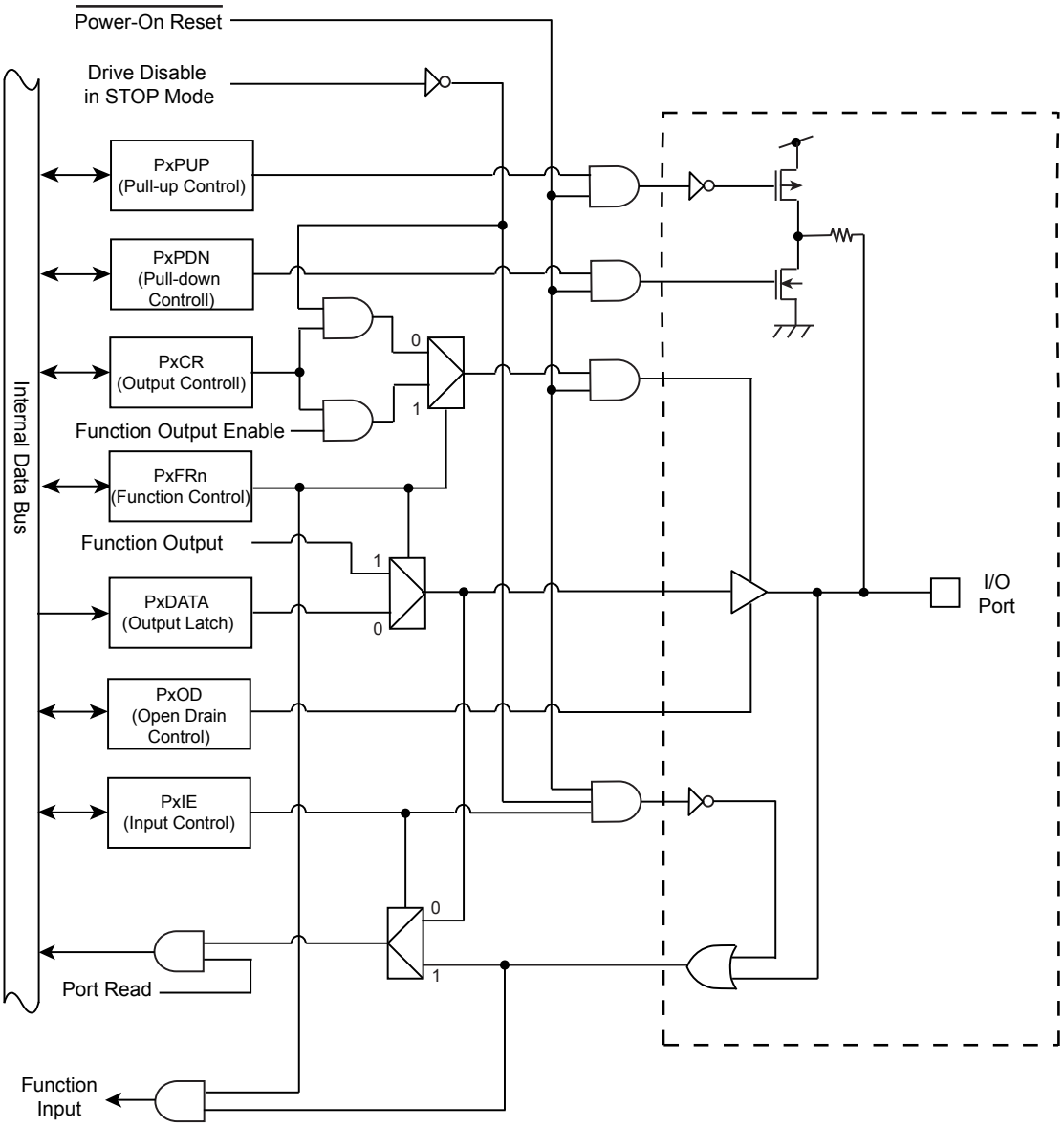


図 9-2 ポート Type FT2

9.3.4　Type FT3

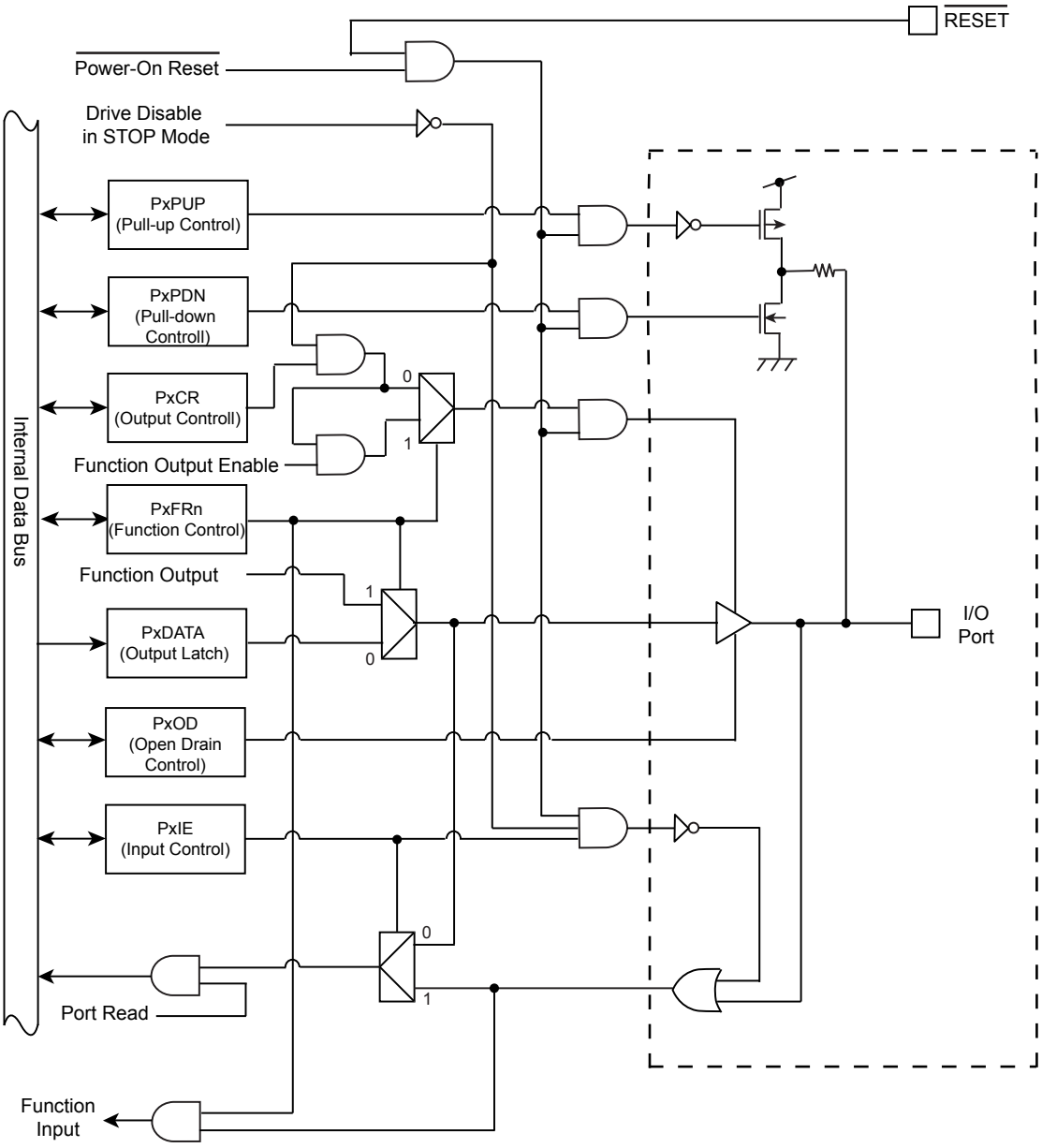


図 9-3 ポート Type FT3

9.3.5 Type FT4

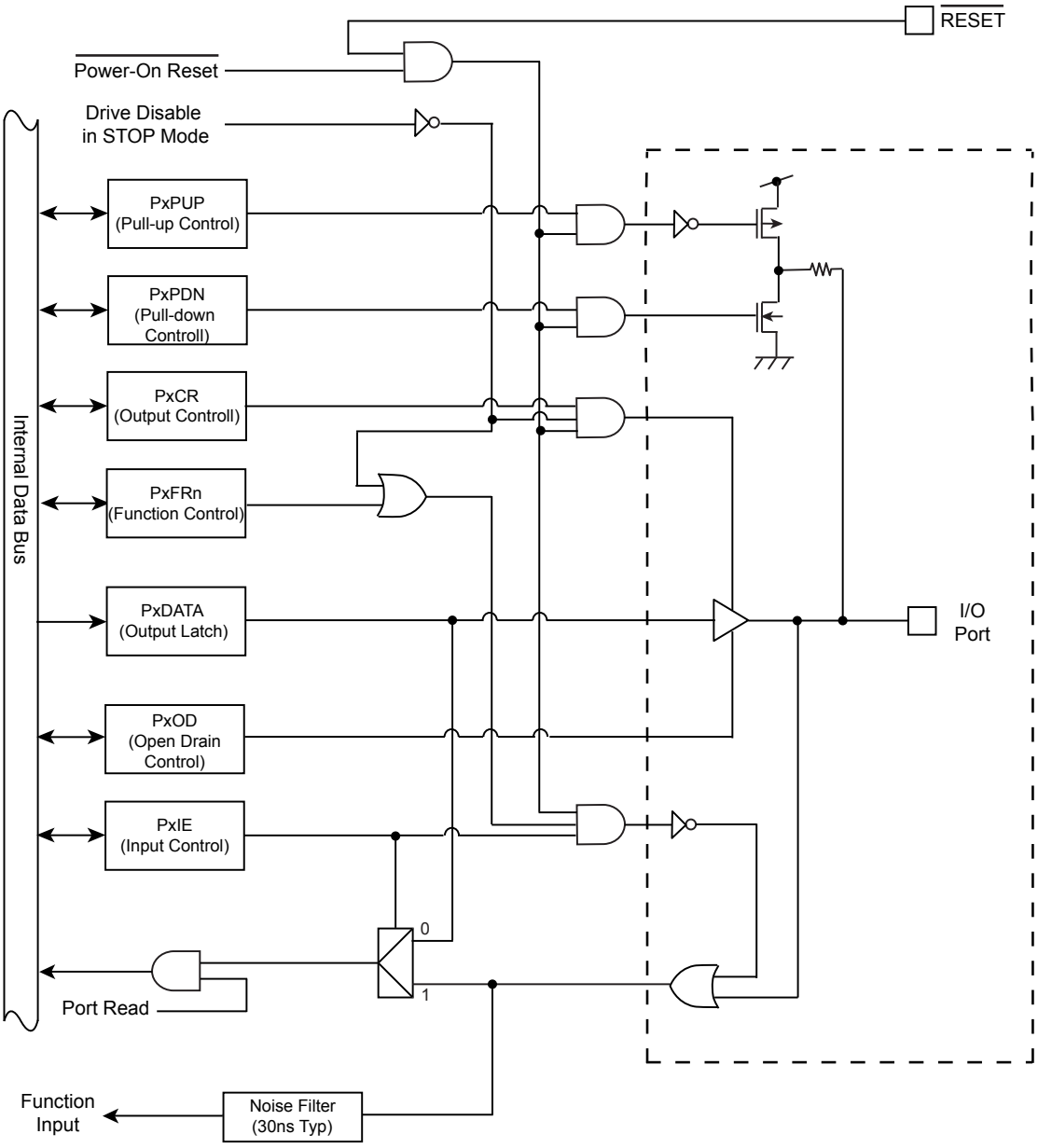


図 9-4 ポート Type FT4

9.3.6　Type FT5

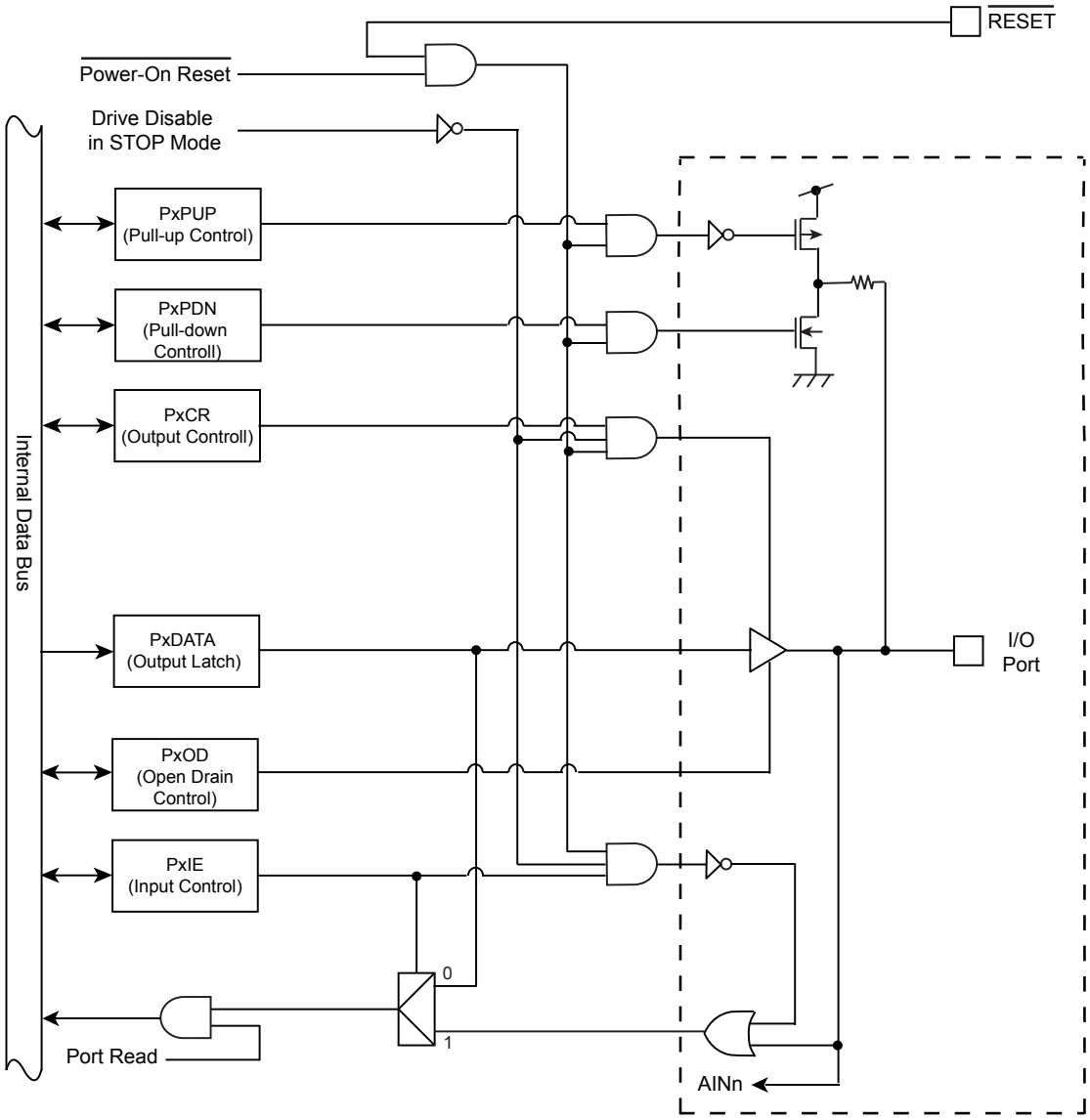


図 9-5 ポート Type FT5

9.3.7 Type FT6

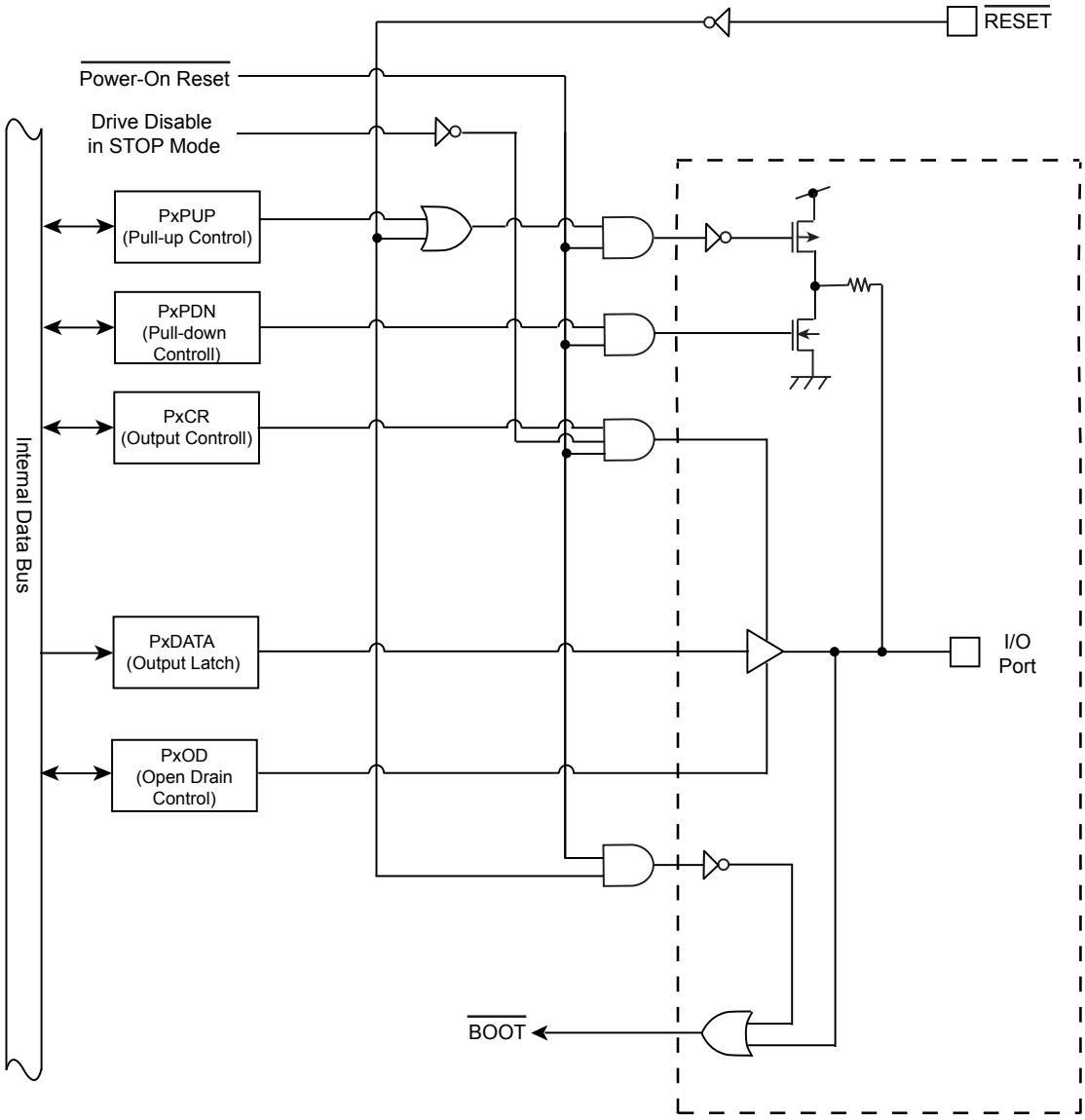


図 9-6 ポート Type FT6

9.4　付録(ポート設定一覧)

機能ごとのレジスタ設定一覧を以下に示します。

初期設定欄に「・」のないポートの初期設定は、すべてのレジスタ設定が"0"となっています。
"x"のビット設定は任意に行ってください。

9.4.1　ポート B 設定

表 9-4 ポート設定一覧(ポート B)

端子名	ポートタイプ	機能	初期設定	PB CR	PB FR1	PB FR2	PB FR3	PB FR4	PB FR5	PB OD	PB PUP	PB PDN	PB IE
PB3	-	入力ポート		0	0	-	-	-	0	x	x	x	1
		出力ポート		1	0	-	-	-	0	x	x	x	0
	FT2	TMS / SWDIO (入出力)	・	1	1	-	-	-	0	0	1	0	1
	FT1	RXD1 (入力)		0	0	-	-	-	1	x	x	x	1
PB4	-	入力ポート		0	0	-	-	-	0	x	x	x	1
		出力ポート		1	0	-	-	-	0	x	x	x	0
	FT2	TCK / SWCLK (入力)	・	0	1	-	-	-	0	0	0	1	1
	FT1	TXD1 (出力)		1	0	-	-	-	1	x	x	x	0
PB5	-	入力ポート		0	0	-	0	-	0	x	x	x	1
		出力ポート		1	0	-	0	-	0	x	x	x	0
	FT2	TDO / SWV (出力)	・	1	1	-	0	-	0	0	0	0	0
	FT1	SCK (入出力)		1	0	-	1	-	0	x	x	x	1
		SO0 (出力)		1	0	-	0	-	1	x	x	x	0
		SDA0 (入出力)		1	0	-	0	-	1	1	x	x	1
PB6	-	入力ポート		0	0	0	0	0	0	x	x	x	1
		出力ポート		1	0	0	0	0	0	x	x	x	0
	FT2	TDI (入力)	・	0	1	0	0	0	0	0	1	0	1
	FT1	SI0 (入力)		0	0	1	0	0	0	x	x	x	1
		SCL0 (入出力)		1	0	1	0	0	0	1	x	x	1
		TB7OUT (出力)		1	0	0	1	0	0	x	x	x	0
	FT4	INT6 (入力)		0	0	0	0	1	0	x	x	x	1
	FT1	RXD1 (入力)		0	0	0	0	0	1	x	x	x	1

9.4.2 ポート E 設定

表 9-5 ポート設定一覧(ポート E)

端子名	ポートタイプ	機能	初期設定	PE CR	PE FR1	PE FR2	PE FR3	PE FR4	PE FR5	PE OD	PE PUP	PE PDN	PE IE
PE0	-	入力ポート		0	0	-	0	-	-	x	x	x	1
		出力ポート		1	0	-	0	-	-	x	x	x	0
	FT1	TXD0 (出力)		1	1	-	0	-	-	x	x	x	0
		ENCA (入力)		0	0	-	1	-	-	x	x	x	1
PE1	-	入力ポート		0	0	0	0	-	-	x	x	x	1
		出力ポート		1	0	0	0	-	-	x	x	x	0
	FT1	RXD0 (入力)		0	1	0	0	-	-	x	x	x	1
		TB4IN (入力)		0	0	1	0	-	-	x	x	x	1
		ENCB (入力)		0	0	0	1	-	-	x	x	x	1
PE2	-	入力ポート		0	0	0	0	0	0	x	x	x	1
		出力ポート		1	0	0	0	0	0	x	x	x	0
	FT1	SCLK0 (入出力)		1	1	0	0	0	0	x	x	x	1
		$\overline{\text{CTS0}}$ (入力)		0	0	1	0	0	0	x	x	x	1
		ENCZ (入力)		0	0	0	1	0	0	x	x	x	1
	FT4	INT7 (入力)		0	0	0	0	1	0	x	x	x	1
	FT1	SCL0 (入出力)		1	0	0	0	0	1	1	x	x	1

9.4.3 ポート F 設定

表 9-6 ポート設定一覧(ポート F)

端子名	ポートタイプ	機能	初期設定	PF CR	PF FR1	PF FR2	PF FR4	PF FR5	PF OD	PF PUP	PF PDN	PF IE
PF0	-	入力ポート		0	0	0	0	0	x	x	x	1
		出力ポート		1	0	0	0	0	x	x	x	0
	FT1	TB7IN (入力)		0	1	0	0	0	x	x	x	1
		SO0 (出力)		1	0	1	0	0	x	x	x	0
		SDA0 (入出力)		1	0	1	0	0	1	x	x	1
	FT4	INTC (入力)		0	0	0	1	0	x	x	x	1
	FT1	TXD1 (出力)		1	0	0	0	1	x	x	x	0

注) PF0 は $\overline{\text{RESET}}$ 端子が"Low"の間 Pull-up と入力が許可になり、$\overline{\text{BOOT}}$ 入力端子として機能します。この場合、ポートタイプは FT6 になります。

9.4.4　ポート G 設定

表 9-7 ポート設定一覧(ポート G)

端子名	ポートタイプ	機能	初期設定	PG CR	PG FR1	PG FR2	PG OD	PG PUP	PG PDN	PG IE
PG0	-	入力ポート		0	0	-	x	x	x	1
		出力ポート		1	0	-	x	x	x	0
	FT2	U0 (出力)		1	1	-	x	x	x	0
PG1	-	入力ポート		0	0	-	x	x	x	1
		出力ポート		1	0	-	x	x	x	0
	FT2	X0 (出力)		1	1	-	x	x	x	0
PG2	-	入力ポート		0	0	-	x	x	x	1
		出力ポート		1	0	-	x	x	x	0
	FT2	V0 (出力)		1	1	-	x	x	x	0
PG3	-	入力ポート		0	0	-	x	x	x	1
		出力ポート		1	0	-	x	x	x	0
	FT2	Y0 (出力)		1	1	-	x	x	x	0
PG4	-	入力ポート		0	0	-	x	x	x	1
		出力ポート		1	0	-	x	x	x	0
	FT2	W0 (出力)		1	1	-	x	x	x	0
PG5	-	入力ポート		0	0	-	x	x	x	1
		出力ポート		1	0	-	x	x	x	0
	FT2	Z0 (出力)		1	1	-	x	x	x	0
PG6	-	入力ポート		0	0	0	x	x	x	1
		出力ポート		1	0	0	x	x	x	0
	FT1	$\overline{\text{EMG}}$ (入力)		0	1	0	x	x	x	1
		$\overline{\text{OVV}}$ (入力)		0	0	1	x	x	x	1

9.4.5 ポート J 設定

表 9-8 ポート設定一覧(ポート J)

端子名	ポートタイプ	機能	初期設定	PJ CR	PJ OD	PJ PUP	PJ PDN	PJ IE
PJ6	-	入力ポート		0	x	x	x	1
		出力ポート		1	x	x	x	0
	FT5	AINB9 (入力)	・	0	0	0	0	0
PJ7	-	入力ポート		0	x	x	x	1
		出力ポート		1	x	x	x	0
	FT5	AINB10 (入力)	・	0	0	0	0	0

9.4.6 ポート K 設定

表 9-9 ポート設定一覧(ポート K)

端子名	ポートタイプ	機能	初期設定	PK CR	PK OD	PK PUP	PK PDN	PK IE
PK0	-	入力ポート		0	x	x	x	1
		出力ポート		1	x	x	x	0
	FT5	AINB11 (入力)	・	0	0	0	0	0
PK1	-	入力ポート		0	x	x	x	1
		出力ポート		1	x	x	x	0
	FT5	AINB12 (入力)	・	0	0	0	0	0

9.4.7 ポート M 設定

表 9-10 ポート設定一覧(ポート M)

端子名	ポートタイプ	機能	初期設定	PM CR	PM OD	PM PUP	PM PDN	PM IE
PM0	-	入力ポート		0	x	x	x	1
		出力ポート		1	x	x	x	0
PM1	-	入力ポート		0	x	x	x	1
		出力ポート		1	x	x	x	0

注) X1, X2 端子機能あり。

第 10 章　16 ビットタイマ/イベントカウンタ(TMRB)

10.1　概要

TMRB は、次の機能をもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 外部トリガプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 外部トリガからのワンショットパルス出力
- パルス幅測定

以下の説明中、"x"はチャネル番号を表します。

10.2　チャネル別仕様相違点

TMPM375FSDMG は、4 チャネルの TMRB を内蔵しています。各チャネルはそれぞれ独立に動作します。いずれのチャネルも表 10-1 に示される仕様相違点を除いて同一の動作をします。

表 10-1 TMRB のチャネル別仕様相違点

仕様 / チャネル	外部端子		割り込み		内部接続
	外部クロック/キャプチャトリガ入力端子	タイマフリップフロップ出力端子	キャプチャ割り込み	TMRB 割り込み	
	信号名	信号名			
TMRB0	-	-	INTCAP00 INTCAP01	INTTB00 INTTB01	TIMPLS (キャプチャトリガ)
TMRB4	TB4IN	-	-	INTTB40 INTTB41	-
TMRB5	-	-	INTCAP50 INTCAP51	INTTB50 INTTB51	INTTB51 (AD 変換開始)
TMRB7	TB7IN	TB7OUT	INTCAP70 INTCAP71	INTTB70 INTTB71	-

10.3 構成

各チャネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

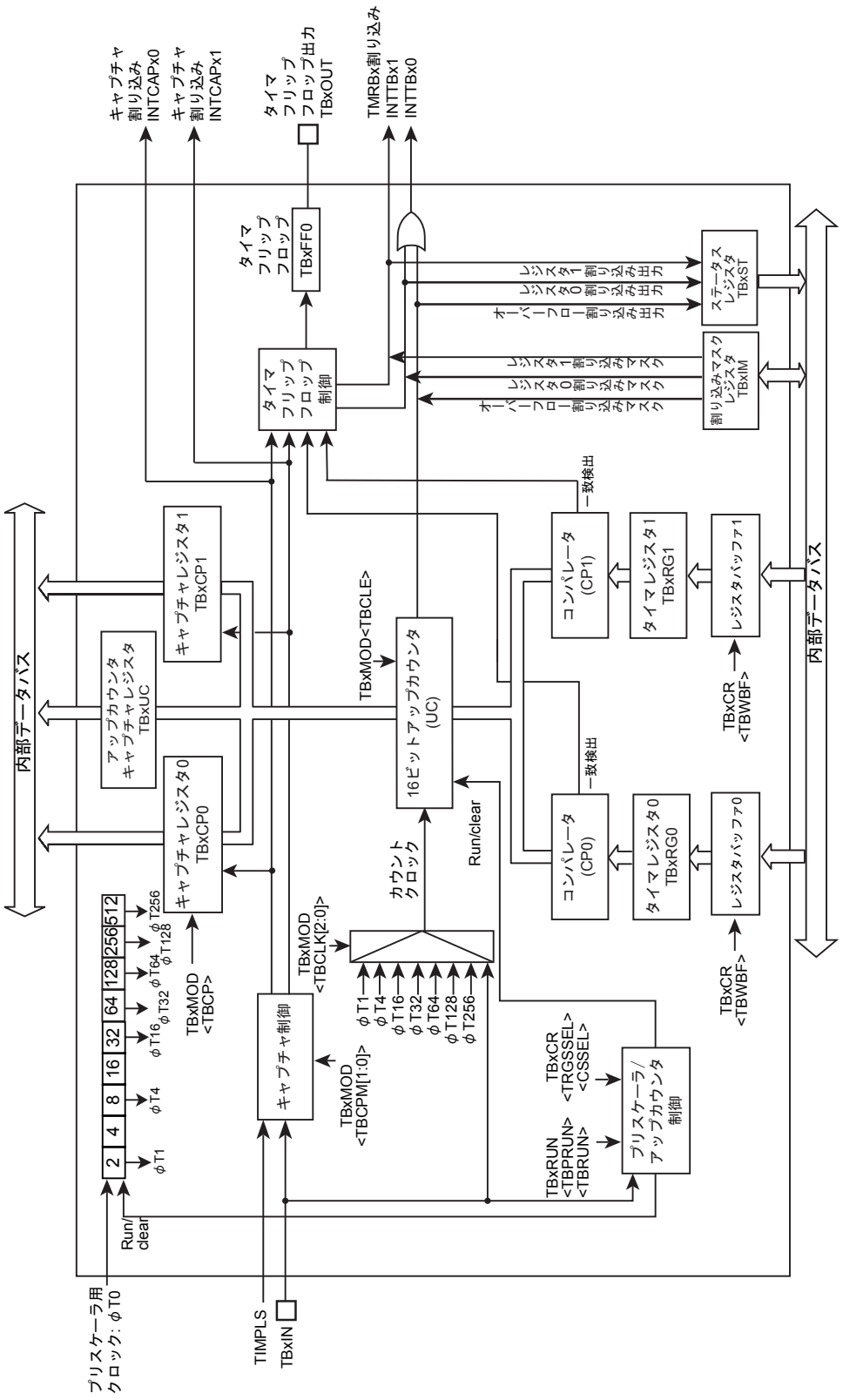


図 10-1 TMRBx ブロック図(x= 0,4,5,7)

10.4 レジスタ説明

10.4.1 チャネル別レジスター覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x4001_0000
Channel4	0x4001_0100
Channel5	0x4001_0140
Channel7	0x4001_01C0

レジスタ名(x=0,4,5,7)		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

10.4.2　TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	ホールトモード時の制御 0: 動作 1: 停止 デバッグホールト中の動作を指定します。"0”を設定するとデバッグホールト中も動作を継続します。
5-0	−	R	リードすると"0"が読めます。

10.4.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注 1) 外部トリガでカウントをスタートさせる場合は、必ず<TBRUN>=1 に設定してください。

注 2) カウンタ停止状態(<TBRUN>="0")でアップカウンタキャプチャレジスタの<TBxUC[15:0]>をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

10.4.4　TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	-	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6-5	−	R/W	"0"をライトしてください。
4	−	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	−	R/W	"0"を書いて下さい。
1	TRGSEL	R/W	外部トリガ選択 0: 立ち上がりエッジ 1:立ち下がりエッジ 外部トリガ選択時（TBxIN 端子への信号）のエッジを選択します。
0	CSSEL	R/W	カウンタスタートの方法選択 0: ソフトスタート 1:外部トリガ

注 1)　TBxCR レジスタはタイマ動作中に変更しないでください。

注 2)　外部トリガによるカウントスタート機能を使用する場合は、<CSSEL>と<TRGSEL>を設定した後、<TBRUN>=<TBPRUN>=1 としてください。

10.4.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBRSWR	R/W	ダブルバッファ使用時のタイマレジスタ 0,1 への書き込みタイミング制御 0: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片側のみしか出来ていない場合でも、 片方ずつタイマレジスタに書き込みを行うことができます。 1: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方とも出来ていない場合は、 タイマレジスタに書き込みを行うことができません。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care “0”を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: TBxIN↑ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込む 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TIMPLS↑ TIMPLS↓ TIMPLS の立ち上がりでキャプチャレジスタ 0(TBxCP0)にカウント値を取り込み、 TIMPLS の立ち下がりでキャプチャレジスタ 1(TBxCP1)にカウント値を取り込む
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注) TBxMOD レジスタはタイマ動作中に変更しないでください。

10.4.6　TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care *リードすると"11" が読めます。

注)　TBxFFCR レジスタはタイマ動作中に変更しないでください。

10.4.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると“1”がセットされます。
1	INTTB1	R	一致フラグ(TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると“1”がセットされます。
0	INTTB0	R	一致フラグ(TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると“1”がセットされます。

注 1) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。 マスク設定されていても、フラグはセットされます。

注 2) フラグは自動的にはクリアされません。クリアするためには本レジスタをリードしてしてください。

10.4.8　TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込みマスク 0:割り込みをマスクしない 1:割り込みをマスクする 　アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致割り込みマスク(TBxRG1) 0:割り込みをマスクしない 1:割り込みをマスクする 　タイマレジスタ 1 (TBxRG1)との一致割り込みをマスクする／しないを設定します。
0	TBIM0	R/W	一致割り込みマスク(TBxRG0) 0:割り込みをマスクしない 1:割り込みをマスクする 　タイマレジスタ 0 (TBxRG0)との一致割り込みをマスクする／しないを設定します。

注)　TBxIM を設定して割り込みをマスクしても TBxST はセットされます。

10.4.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ読み出しによりキャプチャした値 TBxUC をリードすると、現在のアップカウンタの値をキャプチャすることができます。

注) カウンタ動作時に TBxUC をリードすると、リード時のアップカウンタの値をキャプチャしリードすることが出来ます。

10.4.10　TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

10.4.11　TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

10.4.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

10.4.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

10.5　回路別の動作説明

各チャネルは表 10-1 に示される仕様相違点を除いて同一の動作をします。

10.5.1　プリスケーラ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]>で選択された fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 10-2 に示します。

表 10-2 プリスケーラ出力クロック分解能(fc = 40MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			φT1	φT4	φT16
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.05 μs)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)
		001 (fperiph/2)	fc/2^2 (0.10 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		011 (fperiph/8)	fc/2^4 (0.4μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^2 (0.1 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)
		001 (fperiph/2)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		010 (fperiph/4)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		011 (fperiph/8)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		100 (fperiph/16)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		101 (fperiph/32)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		001 (fperiph/2)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		010 (fperiph/4)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		011 (fperiph/8)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		100 (fperiph/16)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
		101 (fperiph/32)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		010 (fperiph/4)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		011 (fperiph/8)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
		100 (fperiph/16)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)	fc/2^{14} (409.6 μs)

表 10-2 プリスケーラ出力クロック分解能(fc = 40MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			φT1	φT4	φT16
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.05 μs)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)
		001 (fperiph/2)	fc/2^2 (0.10 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		011 (fperiph/8)	fc/2^4 (0.4μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)
		001 (fperiph/2)	fc/2^2 (0.10 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		011 (fperiph/8)	fc/2^4 (0.4μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
	101 (fc/4)	000 (fperiph/1)	–	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)
		001 (fperiph/2)	–	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		011 (fperiph/8)	fc/2^4 (0.4μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	fc/2^5 (0.8 μs)
		001 (fperiph/2)	–	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)
		010 (fperiph/4)	–	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		011 (fperiph/8)	fc/2^4 (0.4μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	fc/2^5 (0.8 μs)
		001 (fperiph/2)	–	–	fc/2^6 (1.6 μs)
		010 (fperiph/4)	–	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		011 (fperiph/8)	–	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)

注 1) プリスケーラ出力クロック φTn は、必ず φTn < fsys を満足するように(φTn が fsys よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中"−"は設定禁止です。

表 10-3 プリスケーラ出力クロック分解能(fc = 40MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^6 (1.6 μs)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		010 (fperiph/4)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		011 (fperiph/8)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		100 (fperiph/16)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		001 (fperiph/2)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		010 (fperiph/4)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		011 (fperiph/8)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		100 (fperiph/16)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
		101 (fperiph/32)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		001 (fperiph/2)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		010 (fperiph/4)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		011 (fperiph/8)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
		100 (fperiph/16)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)
		101 (fperiph/32)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)	fc/2^{16} (1638.4 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		001 (fperiph/2)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		010 (fperiph/4)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
		011 (fperiph/8)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)
		100 (fperiph/16)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)	fc/2^{16} (1638.4 μs)
		101 (fperiph/32)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)	fc/2^{16} (1638.4 μs)	fc/2^{17} (3276.8 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		001 (fperiph/2)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
		010 (fperiph/4)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)
		011 (fperiph/8)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)	fc/2^{16} (1638.4 μs)
		100 (fperiph/16)	fc/2^{14} (409.6μs)	fc/2^{15} (819.2 μs)	fc/2^{16} (1638.4 μs)	fc/2^{17} (3276.8 μs)
		101 (fperiph/32)	fc/2^{15} (819.2 μs)	fc/2^{16} (1638.4 μs)	fc/2^{17} (3276.8 μs)	fc/2^{18} (6553.6 μs)

表 10-3 プリスケーラ出力クロック分解能(fc = 40MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^6 (1.6 μs)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		010 (fperiph/4)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		011 (fperiph/8)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		100 (fperiph/16)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^6 (1.6 μs)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		010 (fperiph/4)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		011 (fperiph/8)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		100 (fperiph/16)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^6 (1.6 μs)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		010 (fperiph/4)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		011 (fperiph/8)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		100 (fperiph/16)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^6 (1.6 μs)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		010 (fperiph/4)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		011 (fperiph/8)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		100 (fperiph/16)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^6 (1.6 μs)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^7 (3.2 μs)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)
		010 (fperiph/4)	fc/2^8 (6.4 μs)	fc/2^9 (12.8 μs)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)
		011 (fperiph/8)	fc/2^9 (12.8μs)	fc/2^{10} (25.6 μs)	fc/2^{11} (51.2 μs)	fc/2^{12} (102.4μs)
		100 (fperiph/16)	fc/2^{10} (25.6μs)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^{11} (51.2μs)	fc/2^{12} (102.4 μs)	fc/2^{13} (204.8 μs)	fc/2^{14} (409.6μs)

注 1) プリスケーラ出力クロック φTn は、必ず φTn < fsys を満足するように(φTn が fsys よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中"−"は設定禁止です。

10.5.2　アップカウンタ(UC)

16 ビットのバイナリカウンタです。

・　ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16、φT32, φT64, φT128、φT256、または、TBxIN 入力のいずれかを選択できます。

・　カウンタ動作の開始と停止

カウンタ動作は TBxRUN<TBRUN>で行います。<TBRUN> = "1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

・　カウンタクリアのタイミング

1. コンペア一致時

TBxMOD<TBCLE> = "1"に設定することで、TBxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. カウンタ停止時

TBxRUN<TBRUN> = "0"に設定すると、カウンタが停止するとともにクリアされます。

・　カウンタのオーバフロー

アップカウンタ UC がオーバフローすると、オーバフロー割り込み INTTBx0 が発生します。

10.5.3　タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、<TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

10.5.4　キャプチャ制御

アップカウンタ UC の値をキャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタ UC の値をキャプチャレジスタへ取り込むことができ、TBxMOD<TBCP> に "0" を書き込むたびに、その時点の UC の値をキャプチャレジスタ TBxCP0 へキャプチャします。

10.5.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタ UC の値をキャプチャするレジスタです。

10.5.6 アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

10.5.7 コンパレータ(CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx0 と INTTBx1 を発生します。

10.5.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

10.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

10.6　モード別動作説明

10.6.1　16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定し、INTTBx1 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	0	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
		(*** = 001, 010, 011,100,101,110,111)								
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注)　X; Don't care −; No change

10.6.2　16 ビットイベントカウンタモード

入力クロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウエアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
PORT 関連レジスタ設定										該当ポートを TBxIN になるように設定します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	0	1	0	0	0	0	0	0	入力クロックを TBxIN にします。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
TBxMOD	←	0	0	0	0	0	0	0	0	ソフトウエアキャプチャを行います。

注)　X; Don't care −; No change

10.6.3 16 ビット PPG (プログラマブル矩形波)出力モード

任意周波数, 任意デューティの矩形波 (プログラマブル矩形波)を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ (UC) とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) の反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

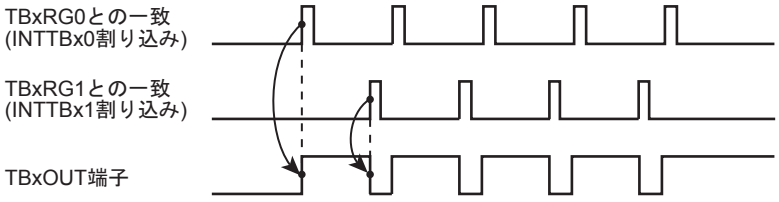


図 10-2 プログラマブル矩形波(PPG)出力波形例

このモードでは、TBxRG0 のダブルバッファをイネーブルにすることにより、TBxRG1 との一致で、レジスタバッファ 0 の値が TBxRG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

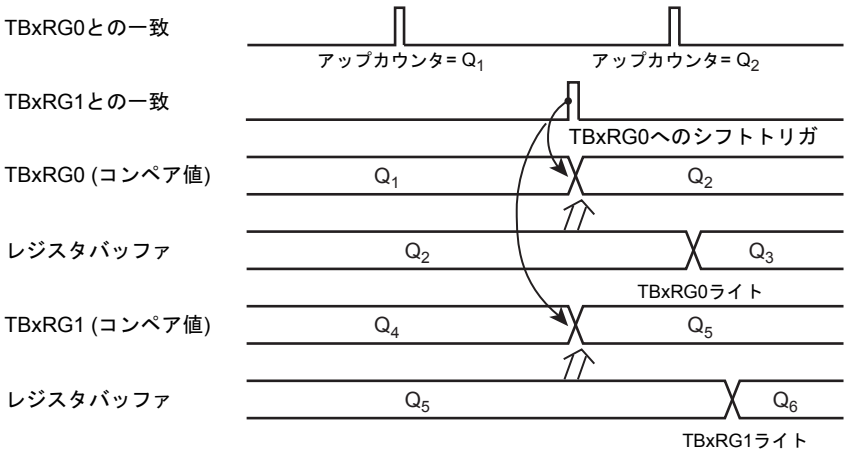


図 10-3 レジスタバッファの動作

このモードのブロック図を示します。

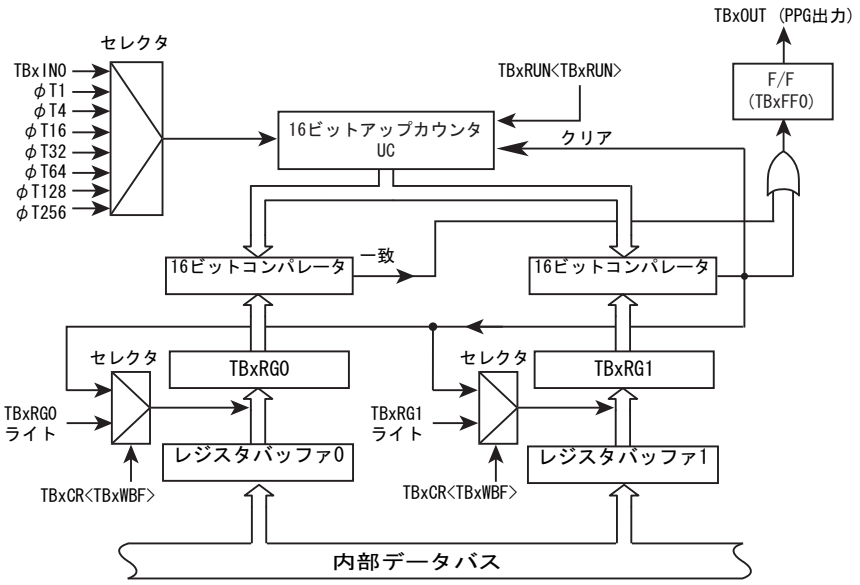


図 10-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	←	0	0	0	X	−	0	0	0	ダブルバッファをディセーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxCR	←	1	0	0	X	−	X	0	0	TBxRG0 のダブルバッファイネーブル
										(INTTBx0 割り込みでデューティ/周期の変更)
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	0	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
					(*** = 001, 010, 011,100,101,110,111)					UC は TBxRG1 との一致でクリアされます。
PORT 関連レジスタ設定										該当ポートを TBxOUT になるように設定します。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注)　X; Don't care
　　−; No change

10.6.4 外部トリガ PPG(プログラマブル矩形波)出力モード

外部トリガカウントスタートを使用すると、小さいディレイでのワンショットパルス出力が可能です。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり）の例を以下に示します。

16 ビットアップカウンタ(UC)が停止状態(TBxRUN<TBRUN>=0)で、TBxIN 端子の立ち上がりでカウントアップするように設定しておきます(TBxCR[1:0] = "01")。タイマレジスタ(TBxRG0）には、ディレイタイム(d)を設定します。タイマレジスタ(TBxRG1)には TBxRG0 の値とワンショットパルスの幅(p)を加算した値(d+p)を設定します。

TBxFFCR<TBE1T1, TBE0T1>に"11"を設定し、UC と TBxRG0 との一致、および、TBxRG1 との一致より、タイマフリップフロップ(TBxFF0)が反転するようにトリガをイネーブルにします。

TBxRUN<TBRUN>を"1"にセットし、外部トリガパルスの立ち上がりで、カウントアップスタートを有効にします。

TBxIN 端子の立ち上がりでワンショットパルスが出力された後、INTTBx1 の割り込み処理でタイマフリップフロップ(TBxFF0)の反転をディセーブルにするか、TBxRUN<TBRUN>を"0"にクリアし、16 ビットアップカウンタの動作を停止します。

なお、文中の(d)、(p)は図 10-5 の d、p と対応しています。

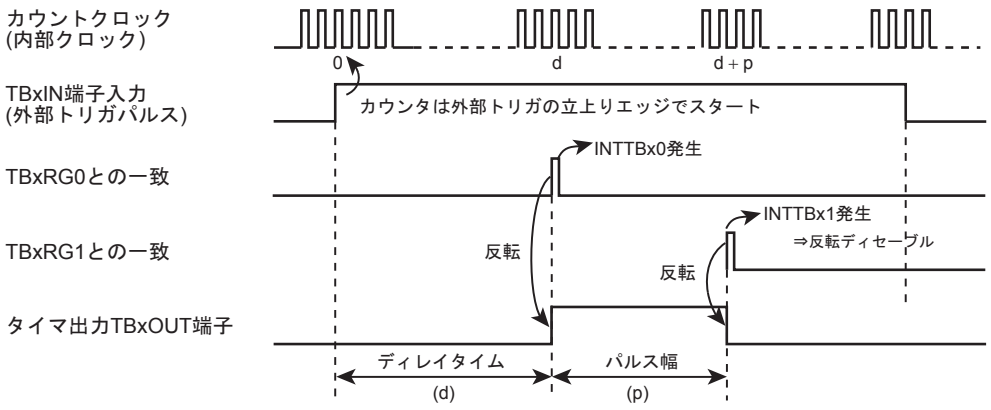


図 10-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

10.7　キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. パルス幅測定

10.7.1　外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC をプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。TBxIN 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxCP0)に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTCAPx0 が発生するように CPU で設定します。この割り込みで、タイマレジスタ(TBxRG0)には、TBxCP0 の値(c)とディレイタイム(d)を加算した値(c + d)を設定します。

タイマレジスタ(TBxRG1)には、TBxRG0 の値とワンショットパルスのパルス幅(p)を加算した値(c + d + p)を設定します。(TBxRG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ(TBxFFCR<TBE1T1, TBE0T1>)に "11" を設定し、UC と TBxRG0 との一致、および、TBxRG1 との一致により、タイマフリップフロップ(TBxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBx0/INTTBx1 の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、図 10-6 の c, d, p と対応しています。

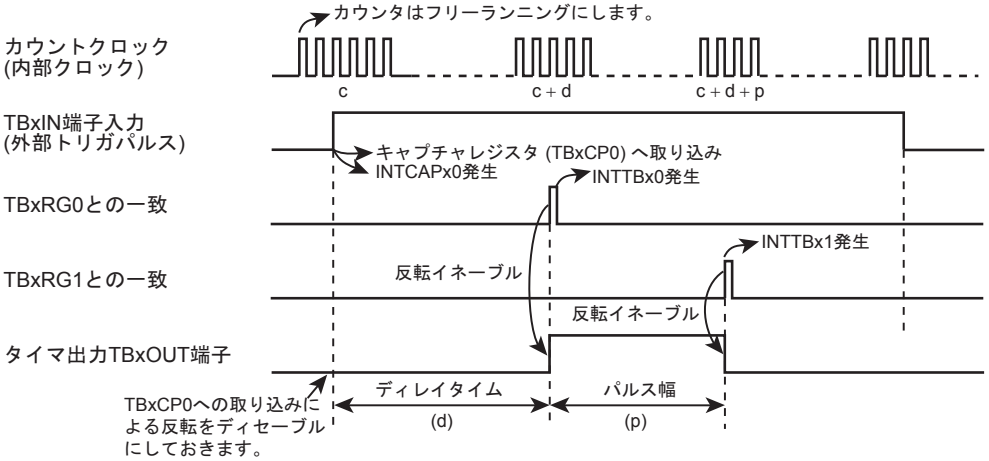


図 10-6 ワンショットパルス出力(ディレイあり)

TBxIN 入力の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに ΦT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN でのキャプチャ設定										
PORT 関連レジスタ設定										該当ポートを TBxIN になるように設定します。
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxMOD	←	0	1	0	1	0	0	0	1	ソースクロックを ΦT1 にし、TBxIN 立ち上がりで TBxCP0 へカウント値を取り込みます。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
PORT 関連レジスタ設定										該当ポートを TBxOUT になるように設定します。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx0 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
[INTCAPx0 割り込みサービスルーチンでの処理]　パルス出力設定										
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + 3μσ/ΦT1)
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + (3+2)ms/ΦT1)
	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	−	−	1	1	−	−	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
[INTTBx1 割り込みサービスルーチンでの処理]　出力ディセーブル										
TBxFFCR	←	X	X	−	−	0	0	−	−	TBxFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを禁止します。

注)　X; Don't care
　　−; No change

ディレイが不要な場合、TBxCP0 への取り込みによって TBxFF0 を反転させ、割り込み INTCAPx0 で TBxCP0 の値(c) にワンショットパルスの幅(p)を加算した値(c + p)を TBxRG1 に設定します。(TBxRG1 の変更は次の一致までに完了してください。) TBxFF0 は、TBxRG1 と UC の一致によって反転するように、反転イネーブルを選択します。また、INTTBx1 割り込みでこれをディセーブルに戻します。

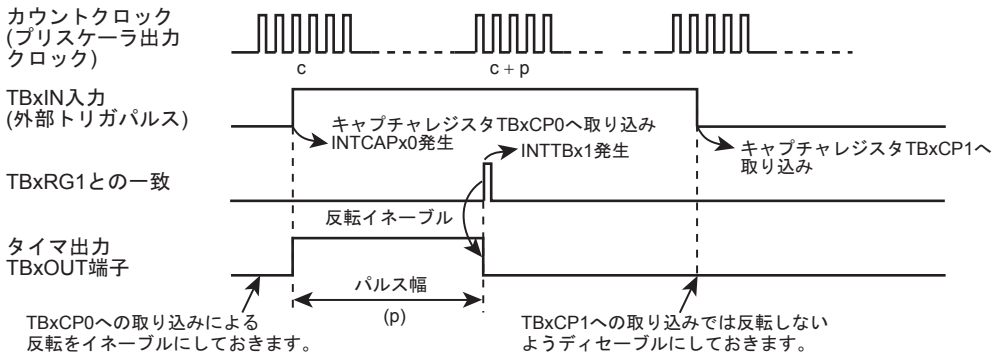


図 10-7 外部トリガパルスのワンショットパルス出力(ディレイなし)

10.7.2　パルス幅測定

キャプチャ機能を用いて、外部パルスの"High"レベル幅を測定することができます。TBxIN 端子より外部パルスを入力し、アップカウンタ (UC) をプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TBxCP0, TBxCP1)に取り込みます。TBxIN 端子の立ち下がりにより、INTCAPx1 が発生するように CPU で設定します。

"High"レベルパルス幅は、TBxCP0 と TBxCP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、クロックソースにより定まる UC の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウエアによる処理を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、図 10-8 における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

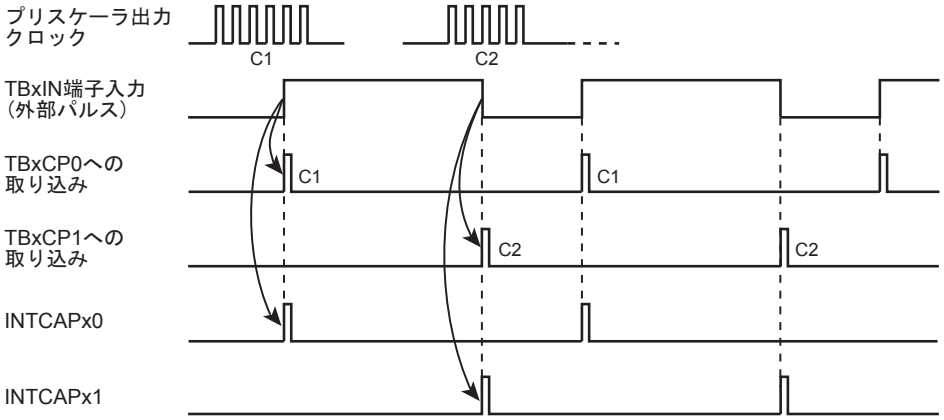


図 10-8 パルス幅測定

第 11 章　シリアルチャネル(SIO/UART)

11.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- 同期通信モード(I/O インタフェースモード)
- 非同期通信モード(UART モード)

特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能(UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
- FIFO

  送受信合わせて 4 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
  - 最終ビット出力後の TXDx 端子の状態を下記から選択可能

    "High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダーランエラーが発生したときの TXDx 端子の状態を下記から選択可能

    "High"保持/"Low"保持
  - クロック入力モード時、TXDx 端子の最終ビットホールド時間を設定可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTSx}}$ 端子を用いたハンドシェイク機能

以下の説明中、"x"はチャネル番号をあらわします。

11.2　チャネル別仕様相違点

TMPM375FSDMG は 2 チャネルの SIO を内蔵しています。

各チャネルはそれぞれ独立に動作します。チャネルごとの使用端子と割り込みを以下にまとめます。

表 11-1 SIO のチャネル別仕様相違点

	端子名			割り込み		シリアルクロック生成タイマ
	TXD	RXD	$\overline{\text{CTS}}$x/SCLKx	受信割り込み	送信割り込み	
チャネル 0	PE0	PE1	PE2	INTRX0	INTTX0	TB4OUT
チャネル 1	PF0	PB6	−	INTRX1	INTTX1	TB4OUT
	PB4	PB3	−			

11.3 構成

図 11-1 に SIO のブロック図を示します。

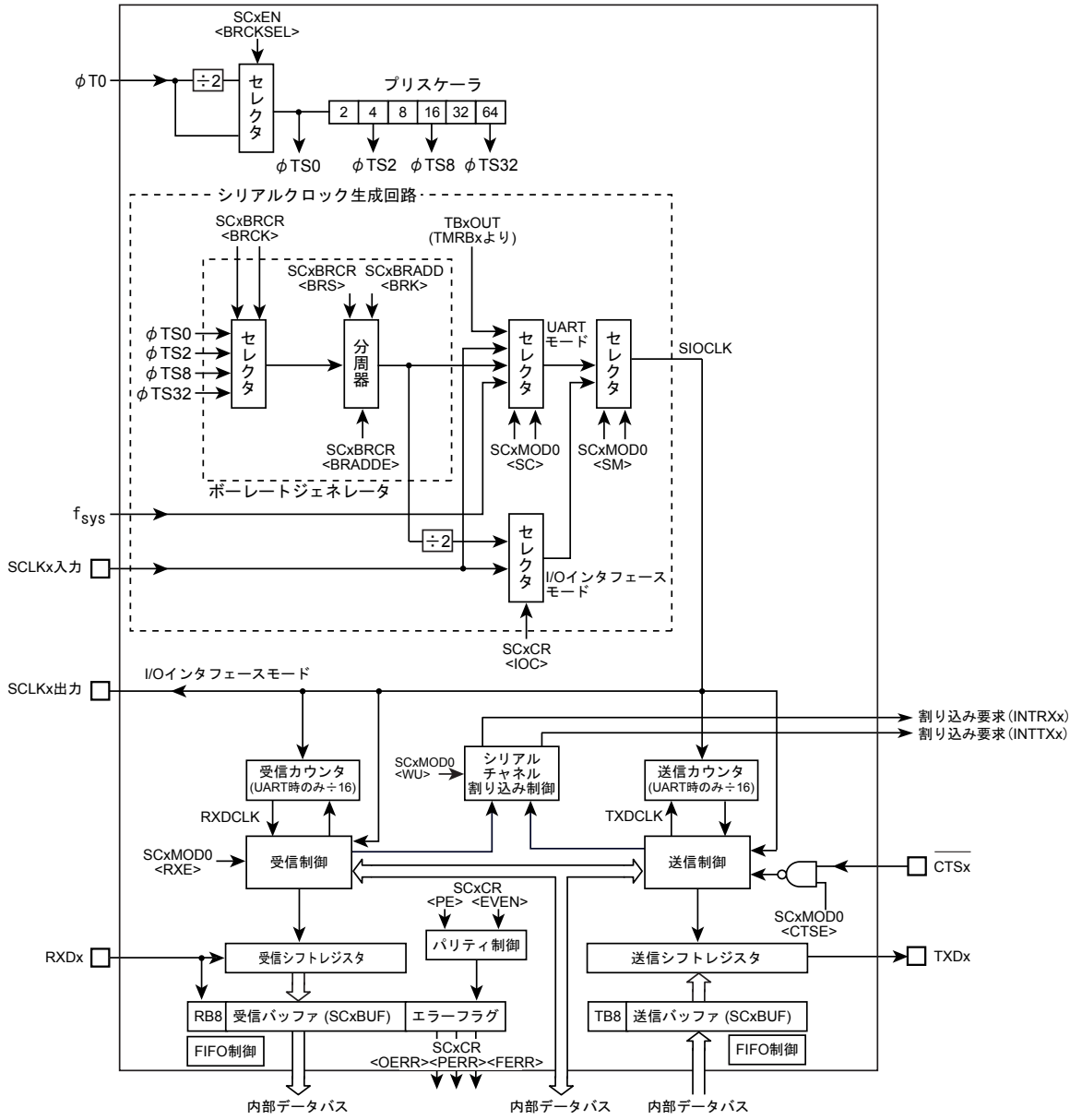


図 11-1 SIO ブロック図

11.4　レジスタ説明

11.4.1　チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel0	0x4002_0080
Channel1	0x4002_00C0

レジスタ名(x=0,1)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030

注 1)　送信中、受信中に制御レジスタを書き換えないでください。

11.4.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入力クロックを選択します。 0: φT0/2 1: φT0
0	SIOE	R/W	SIO 動作 0: 禁止 1: 動作 SIO の動作を指定します。SIO を使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く SIO のすべてのクロックが停止しますので消費電力の低減が可能です。 SIO を一旦動作させた後に動作禁止にした場合は、SCxTFC<TIL[1:0]>を除くレジスタの設定は保持されます。

注) SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2S0>=0 で IDLE モードへの移行(IDLE モード中の動作禁止)した場合は、必ず SCxTFC の再設定を行ってください。

11.4.3　SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファ/ FIFO [リード] RB：受信用バッファ/ FIFO

11.4.4 SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
14-12	EHOLD	R/W	クロック入力モードの TXDx 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fc 100: 32/fc 001: 4/fc 101:64/fc 010: 8/fc 110:128/fc 011: 16/fc 111:Reserved
11	−	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダーランエラーが発生したときの TXDx 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE	R/W	最終ビット出力後の TXDx 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加(UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(IO インタフェース用) 0: SCLKx の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は High レベルからスタートします。 1: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は Low レベルからスタートします。 クロック出力モード時は、"0" を設定してください。
0	IOC	R/W	クロック選択(IO インタフェース用) 0: ボーレートジェネレータ 1: SCLK 端子入力

注)　エラーフラグ(OERR, PERR, FERR)は読み出すとクリアされます。

11.4.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: IO インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART 用) 00: タイマ TBxOUT (表 11-1 を参照) 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック(SCLK 入力) (IO インタフェースモード時の転送クロックは、コントロールレジスタ(SCxCR)で選択します。)

注 1) <RXE>ビットは、各モードレジスタ(SCxMOD0, SCxMOD1, SCxMOD2)を設定してから許可してください。
注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

11.4.6　SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2S0	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	I2S0	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 IO インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。 UART モードの場合は FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(IO インタフェース用) 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK IO インタフェースモードで SCLK 出力の場合に有効なビットです。その他のモードでは意味を持ちません。 IO インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	−	R/W	"0"をライトしてください。

注 1)　<TXE>ビットは、すべての設定を行った後に許可してください。
注 2)　送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。
注 3)　SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2S0>=0 で IDLE モードへの移行(IDLE モード中の動作禁止)した場合は、必ず SCxTFC の再設定を行ってください。

11.4.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first IO インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 IO インタフェースモードの送信(SCLK 出力/入力), 受信(SCLK 出力), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 IO インタフェースモードの受信(SCLK 入力), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>, <RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
</table></td></tr>
</table>

注 1)　転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。
注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

11.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

ボーレートジェネレータの分周値は、下記の 2 つのレジスタで設定します。

SCxBRCR

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K) / 16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φTS0 01: φTS2 10: φTS8 11: φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

SCxBRADD

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K) / 16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 11-2 にまとめます。

表 11-2 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BR0S>の設定	分周値"N"を設定 (注 2) (注 3)	
<BR0K>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1)　N + (16 − K)/16 分周機能を使用する場合、必ず<BR0K>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 3)　IO インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

注 4)　"K"値に"0"を設定することはできません。

11.4.9 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td><RXE>/<TXE>の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。
注 2)　9 ビット UART モードでは FIFO は使用できません。

11.4.10 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ読み出し時に fill レベルを超えている
5-2	−	R	リードすると"0"が読めます。
1-0	RIL[1:0]	R/W	受信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

11.4.11　SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
8	TBCLR	W	送信バッファクリア 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ書き込み時に fill レベルに達していない
5-2	−	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00	Empty	Empty
01	1 バイト	1 バイト
10	2 バイト	Empty
11	3 バイト	1 バイト

注 1)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2)　以下の動作を行った際は、SCxTFC レジスタを再度設定してください。

・SCxEN<SIOE>="0" (SIO 動作停止)

・SCxMOD1<I2S0> = "0" (IDLE モード時動作禁止)設定で、WFI 命令による低消費電力モードへの遷移からの復帰後

11.4.12 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>ビットはバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

11.4.13　SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<TUR>ビットはバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

11.5 動作モード

表 11-3 にモードとデータフォーマットをまとめます。

表 11-3 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (IO インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、IO を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力/出力いずれも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

11.6　データフォーマット

11.6.1　データフォーマット一覧

図 11-2 にデータフォーマットを示します。

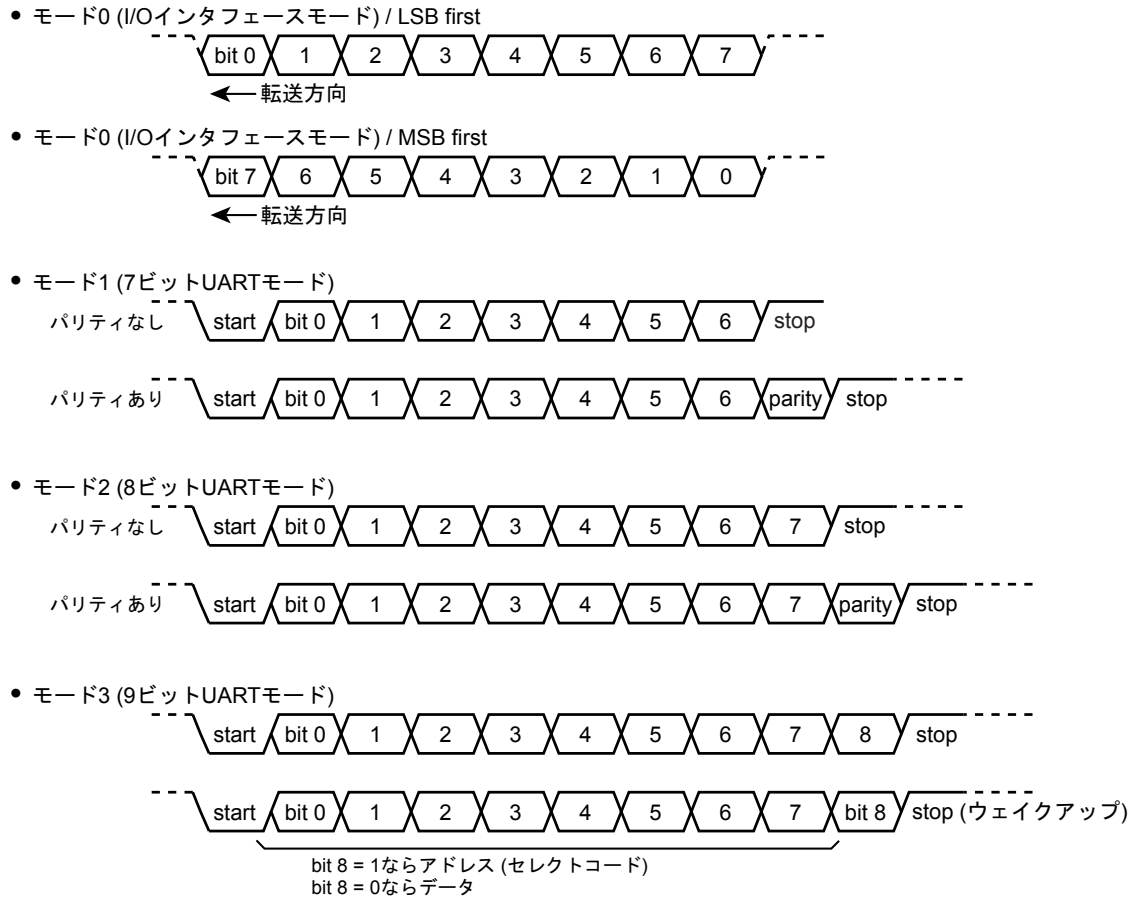


図 11-2 データフォーマット

11.6.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

11.6.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

11.6.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

11.6.3 STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

11.7　クロック制御

シリアルクロック(SIOCLK)生成回路をに示します。シリアルクロックの設定は、AC 電気的特性を満足することを確認の上行ってください

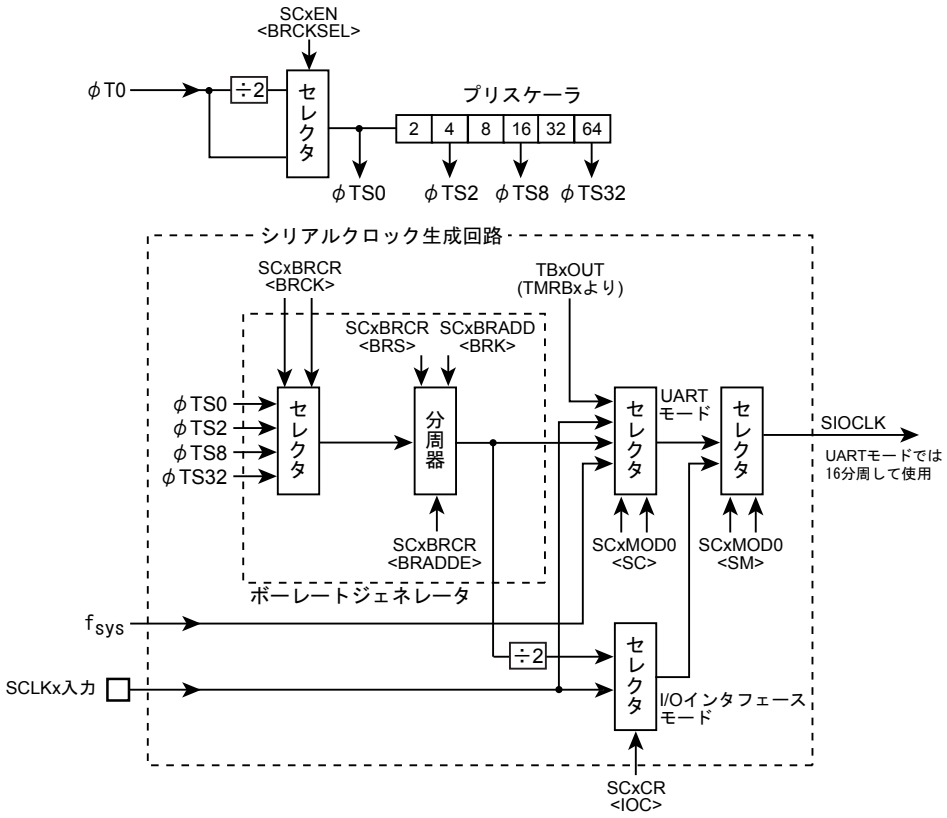


図 11-3 シリアルクロック生成回路

11.7.1　プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 1 / 2/ 4 / 8 / 16 / 32/ 64 / 128 分周のクロックを生成します。

プリスケーラの入力クロック φT0 は、クロック/モード制御部の CGSYSCR レジスタでと

SCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

11.7.2　シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

11.7.2.1　ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>		SCxBRCR<BRCK>		ボーレートジェネレータ入力 φTx
0	φT0/2	00	φTS0	φT0/2
0		01	φTS2	φT0/8
0		10	φTS8	φT0/32
0		11	φTS32	φT0/128
1	φT0	00	φTS0	φT0
1		01	φTS2	φT0/4
1		10	φTS8	φT0/16
1		11	φTS32	φT0/64

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を φTx とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・ N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・ N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

11.7.2.2　クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1)　I/O インタフェースモードの転送クロック

表 11-4 に I/O インタフェースモードで可能なクロックを示します。

表 11-4 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
I/O インタフェース モード	クロック出力 モード	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2 分周
	クロック入力 モード	立ち上がり	SCLKx 端子入力 立ち上がりエッジ
		立下り	SCLKx 端子入力 立ち下がりエッジ

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2) UART モードの転送クロック

表 11-5 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 11-5 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLKx 端子入力

SCLKx 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマプリスケーラクロックϕT1(2分周)を選択した場合)

(タイマフリップフロップ反転2回で1クロック周期となる)

11.7.3　送信/受信バッファと FIFO

11.7.3.1　構成

送信/受信バッファと FIFO の構成を図 11-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

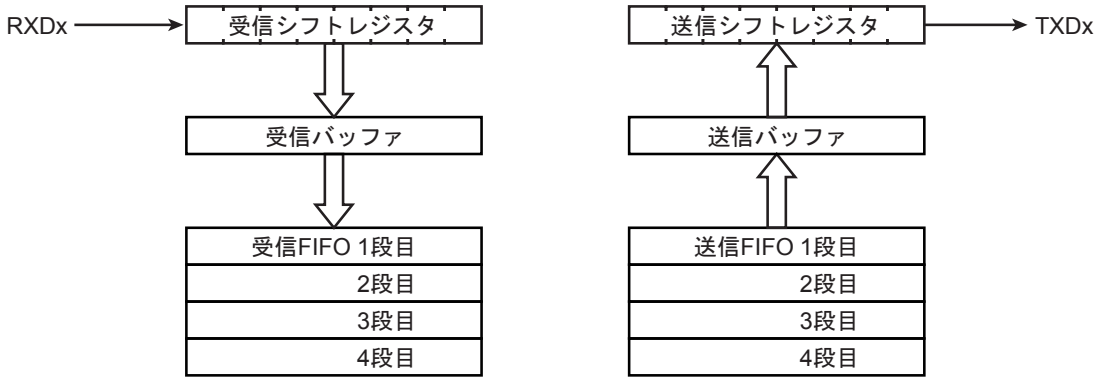


図 11-4 バッファと FIFO の構成

11.7.3.2　送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 11-6 にモードとバッファ構成の関係をまとめます。

表 11-6 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

11.7.3.3 送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注) I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

11.7.3.4 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 11-7 にモードと FIFO 構成の関係をまとめます。

表 11-7 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	432byte	-
半二重送信	"10"	-	432byte
全二重	"11"	216byte	216byte

11.8 ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

11.9 エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART	オーバランエラー	パリティエラー	フレーミングエラー
IO インタフェース (SCLK 入力)	オーバランエラー	アンダーランエラー (ダブルバッファ または FIFO 使用時)	"0"固定
		"0"固定 (ダブルバッファ および FIFO 未使用時)	
IO インタフェース (SCLK 出力)	不定	不定	"0"固定

11.9.1　OERR フラグ

UART モード、IO インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が full（使用バイト数）になるまではフラグはセットされません。

IO インタフェースモードの SCLK 出力の設定では、フラグのセットとともに SCLK 出力が停止します。

注)　IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

11.9.2　PERR フラグ

UART モードではパリティエラーを、IO インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダーランエラーは、IO インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

SCLK 入力の場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

SCLK 出力の場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注)　IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

11.9.3　FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

IO インタフェースモードではこのビットは"0"固定です。

11.10　受信

11.10.1　受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、8 発目でデータをサンプリングします。なお受信信号は、SIOCLK でサンプリングされ 3 回連続一致で有効になるフィルタリング処理をしてから受信データとして扱われます。

11.10.2　受信制御部

11.10.2.1　I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCLKx 端子へ出力されるクロックの立ち上がりで RXDx 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLKx 端子の立ち上がり/立ち下がりエッジでシリアル受信データ RXDx 端子をサンプリングします。

11.10.2.2　UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

11.10.3　受信動作

11.10.3.1　受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

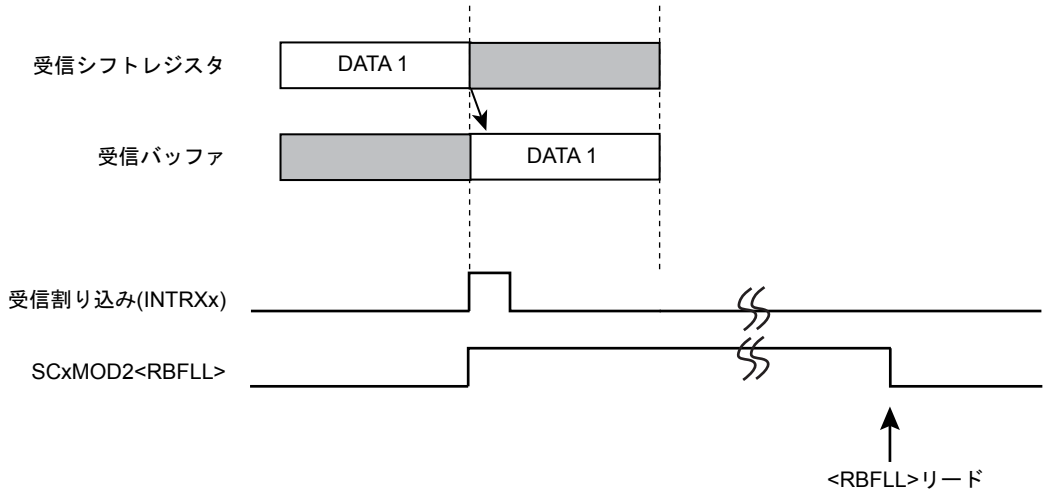


図 11-5 受信バッファの動作

11.10.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>SCxRFC<RIL[4:0]>の設定に従って発生します。

注)　UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "01"	: 転送モードを半二重受信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTCNT><CNFG> = "10111"	: fill レベル到達後の継続受信自動禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC<RIL[1:0]> = "00"	: 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC<RFCS><RFIS> = "01"	: 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

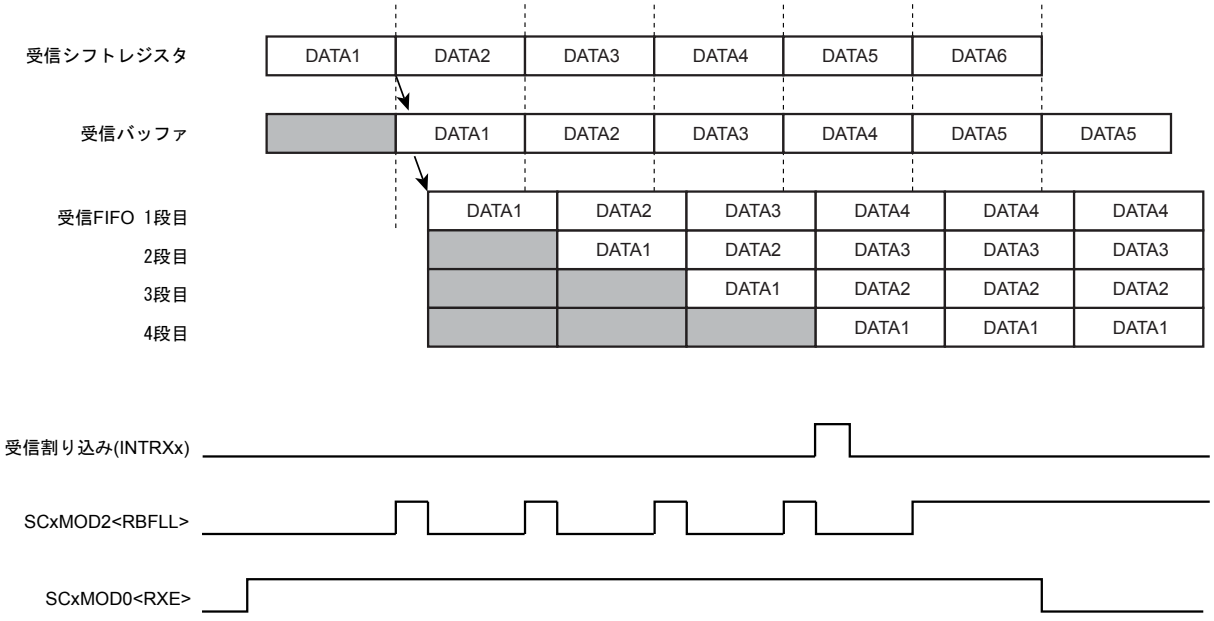


図 11-6 受信 FIFO の動作

11.10.3.3　I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されるとクロック出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0 <RXE>がクリアされ受信動作を停止します。

11.10.3.4　受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリディビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

11.10.3.5　ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

11.10.3.6　オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生してオーバーランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

11.11 送信

11.11.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

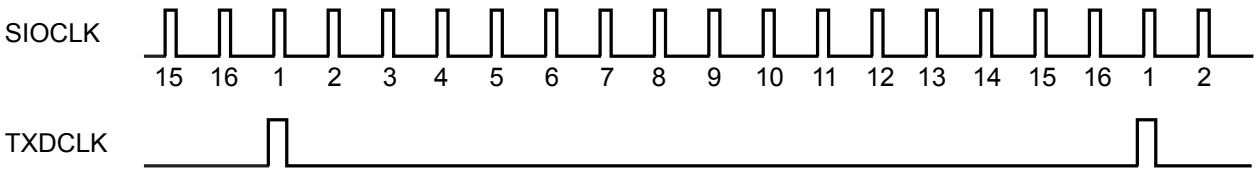


図 11-7 UART モード送信クロックの生成

11.11.2 送信制御部

11.11.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCLKx 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXDx 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCLKx 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXDx 端子へ出力します。

11.11.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

11.11.3 送信動作

11.11.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

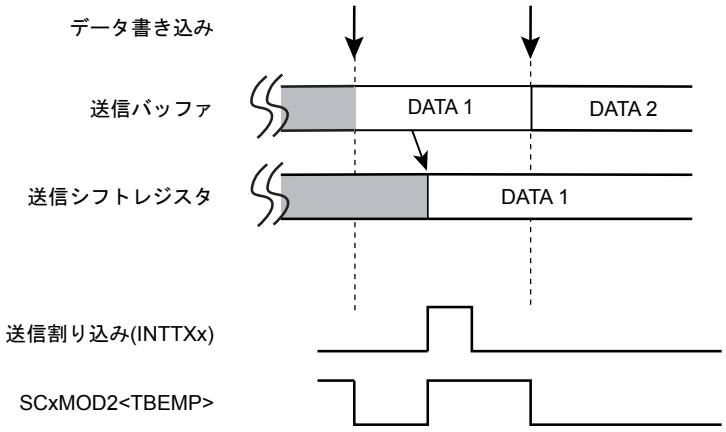


図 11-8 送信バッファの動作(ダブルバッファ有効時)

11.11.3.2　送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP> フラグは"0"にクリアされます。

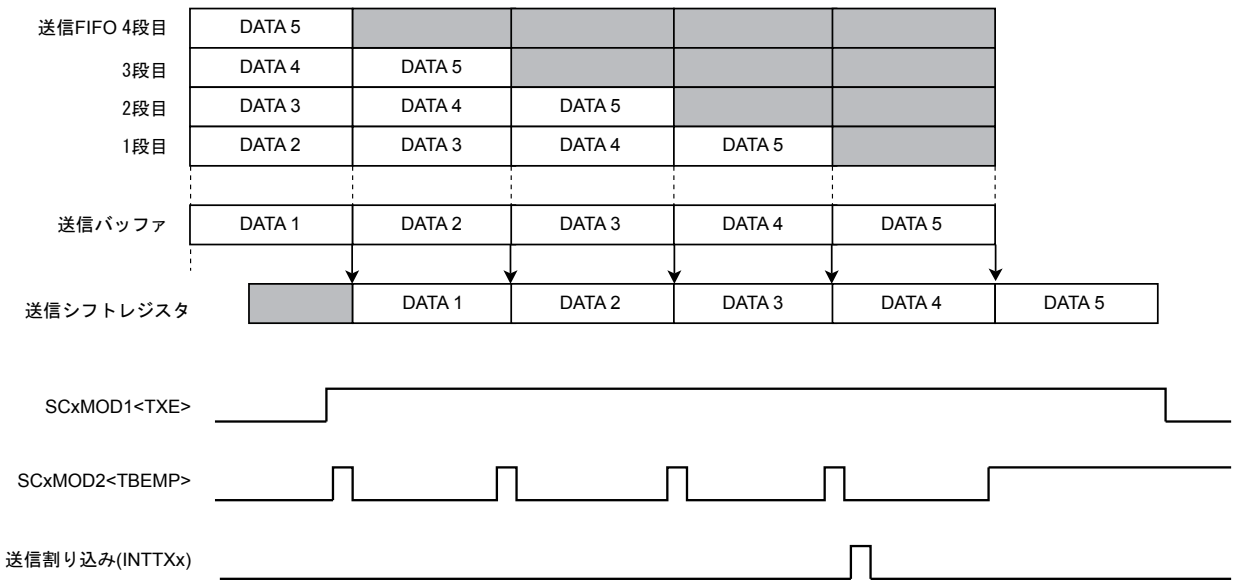
注)　送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半二重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[1:0]> = "00"	: 割り込み発生の fill レベル を 0 に設定
SCxTFC<TFCS[1:0]> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。


送信FIFO 4段目
3段目
2段目
1段目
DATA 5
DATA 4
DATA 5
DATA 3
DATA 4
DATA 5
DATA 2
DATA 3
DATA 4
DATA 5
送信バッファ
DATA 1
DATA 2
DATA 3
DATA 4
DATA 5
送信シフトレジスタ
DATA 1
DATA 2
DATA 3
DATA 4
DATA 5
SCxMOD1<TXE>
SCxMOD2<TBEMP>
送信割り込み(INTTXx)

11.11.3.3　I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1)　シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2)　ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3)　FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

11.11.3.4　I/O インターフェースモード時の最終ビット出力後の TXDx 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の TXDx 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、TXDx 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、TXDx 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、TXDx 端子は最終ビットを保持します。

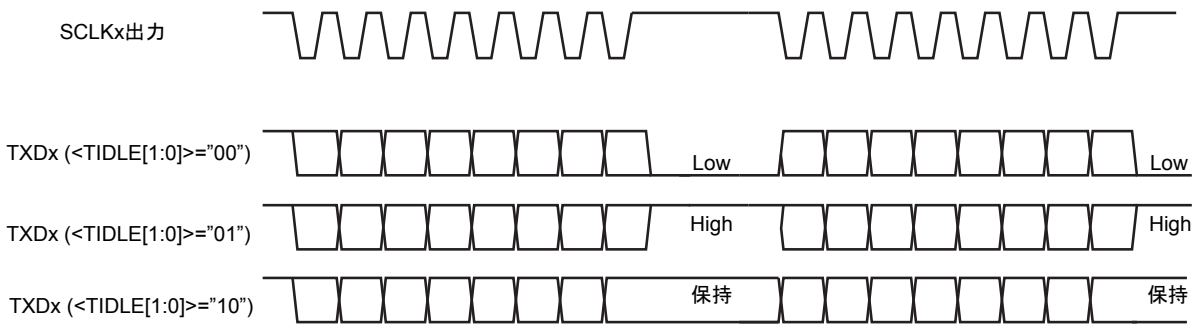


図 11-9 最終ビット出力後の TXDx 端子の状態

11.11.3.5 アンダーランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダーランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダーランエラーが発生したときの TXDx 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、TXDx 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、TXDx 端子はデータ出力期間の間、"High"出力を保持します。

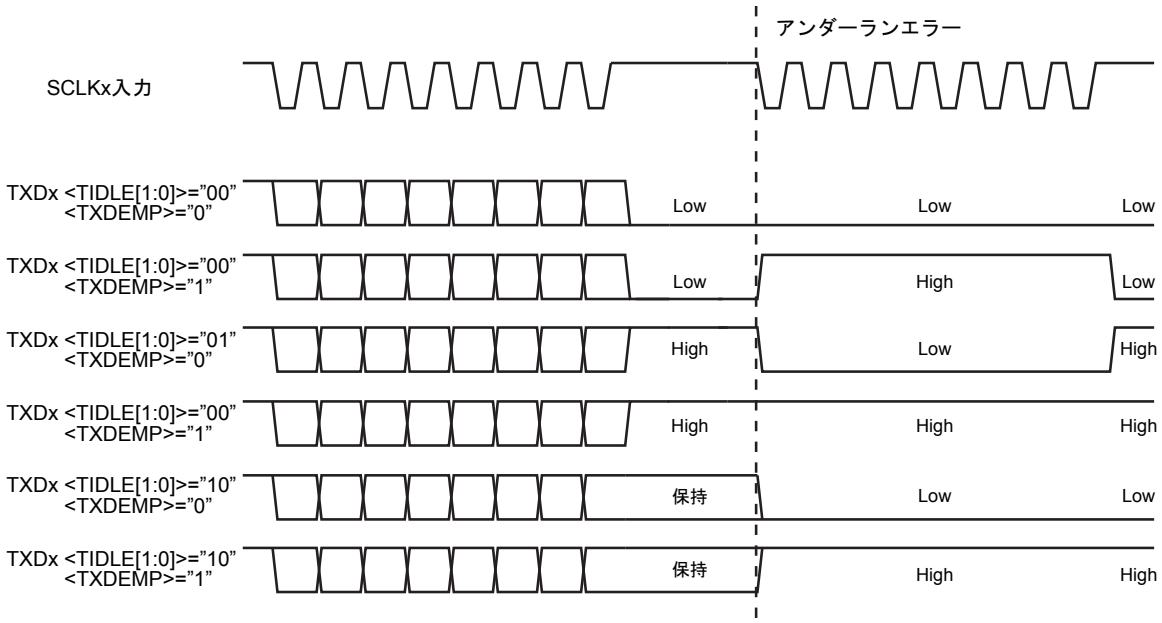


図 11-10 アンダーランが発生したときの TXDx 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

11.11.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間 ≤ SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

11.12　ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1)　送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合、送信終了後に停止します。
注 2)　$\overline{\text{CTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

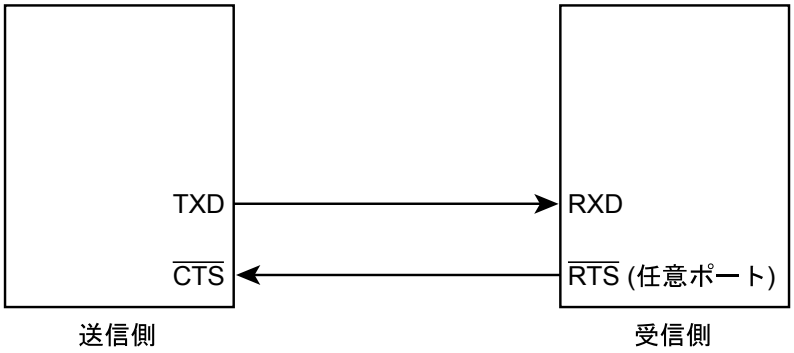


図 11-11 ハンドシェイク機能接続

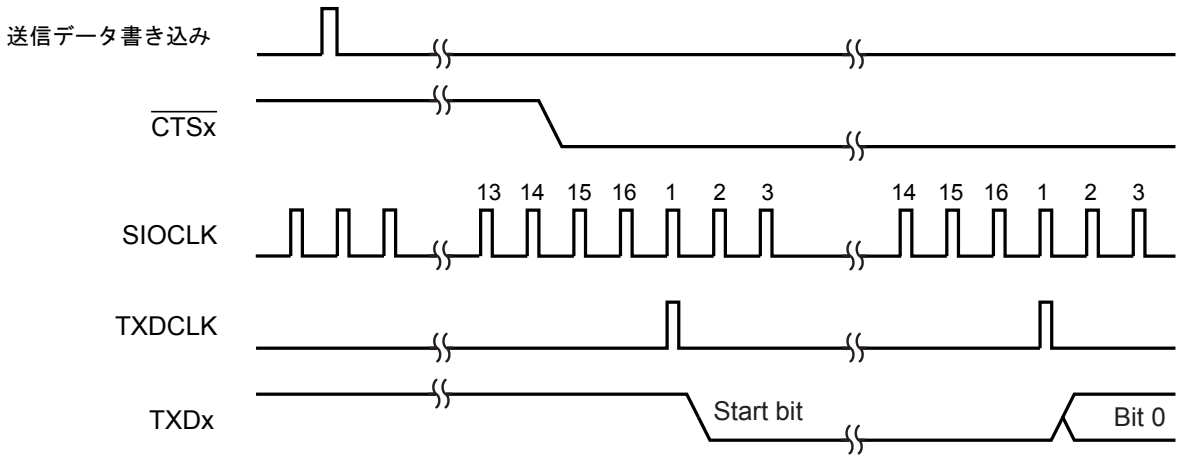


図 11-12 $\overline{\text{CTS}}$ 信号のタイミング

11.13 割り込み/エラー発生タイミング

11.13.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 11-13 に示します。

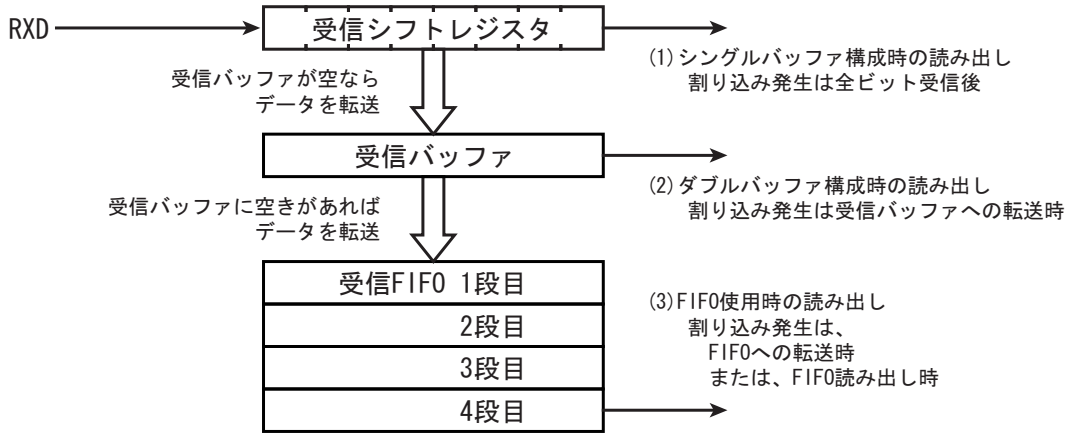


図 11-13 受信バッファ/FIFO 構成図

11.13.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	IO インタフェースモード
シングルバッファ	−	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第１ストップビットの中央付近	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注) オーバーランエラー成立時は割り込みは発生しません。

11.13.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表11-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 11-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信FIFOへ受信データの転送がおこなわれるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信FIFOから受信データをリードしたとき ・受信バッファから受信FIFOへ受信データの転送がおこなわれるとき

11.13.2　送信割り込み

送信動作のデータの流れと読み出しの経路をに示します。

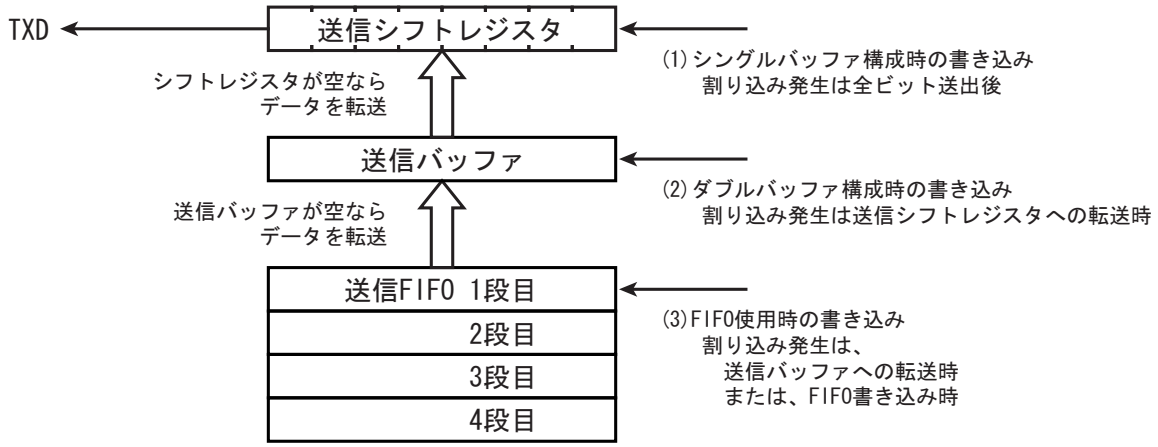


図 11-14 送信バッファ/FIFO 構成図

11.13.2.1　シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	IO インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時	

注)　ダブルバッファ有効の場合、送信バッファ書き込みによってバッファからシフトレジスタへデータが転送された場合も割り込みが発生します。

11.13.2.2　FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 11-9 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 11-9 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信FIFOから送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信FIFOへ送信データをライトしたとき ・送信FIFOから送信バッファへ送信データの転送が行われたとき

11.13.3 エラー発生

11.13.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	パリティビットの中央付近

11.13.3.2 IO インタフェースモード

オーバランエラー	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回 SCLK の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) SCLK 出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

11.14 ソフトリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>, SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR> <PERR> <FERR>が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

11.15　モード別動作説明

11.15.1　モード 0 (IO インタフェースモード)

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

11.15.1.1　送信

(1)　SCLK 出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むたびに、データが TXD 端子から、クロックが SCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信停止の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、SCLK 出力も停止します。

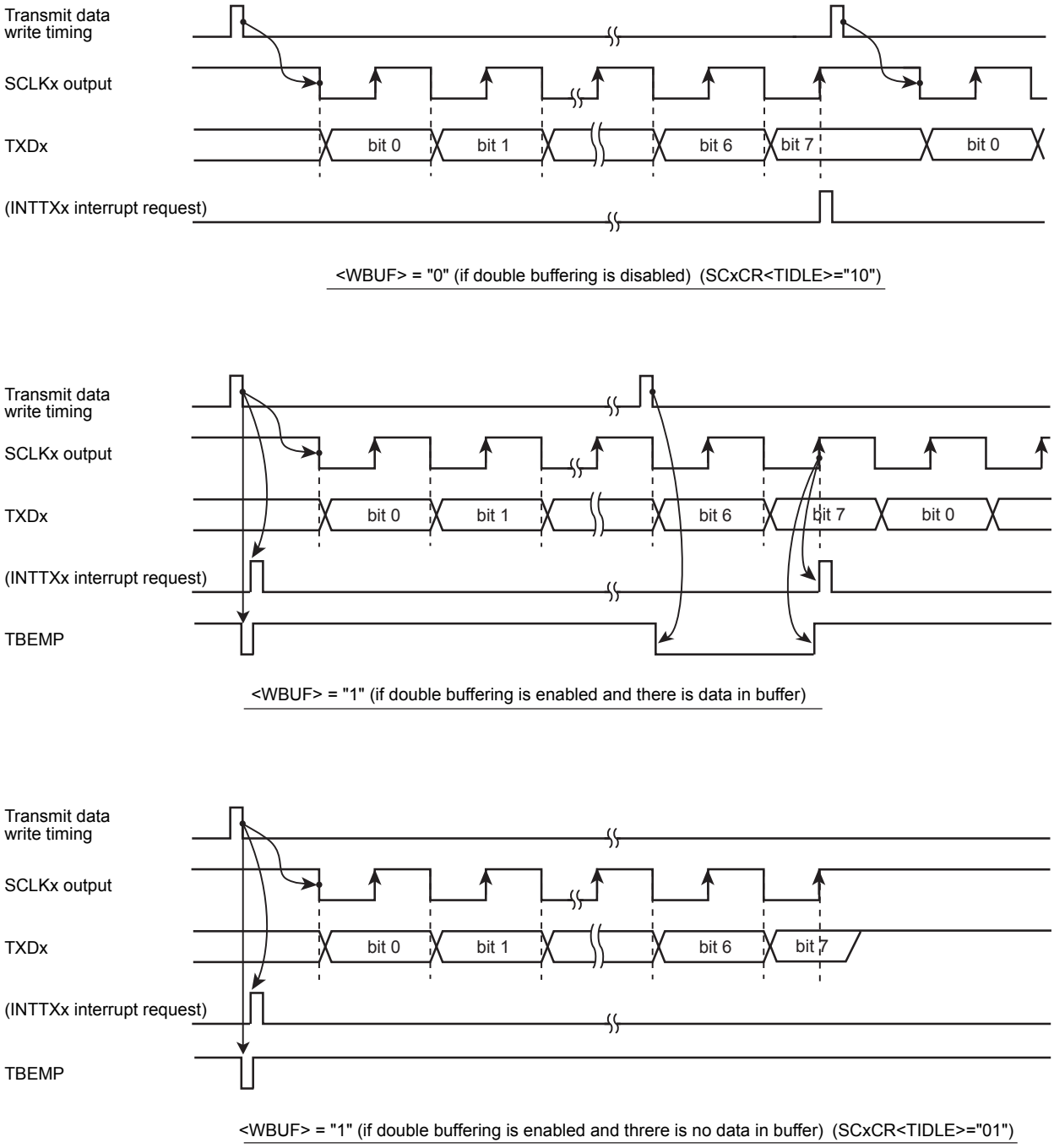


図 11-15 IO インタフェースモード送信動作(SCLK 出力モード)

(2)　SCLK 入力モード

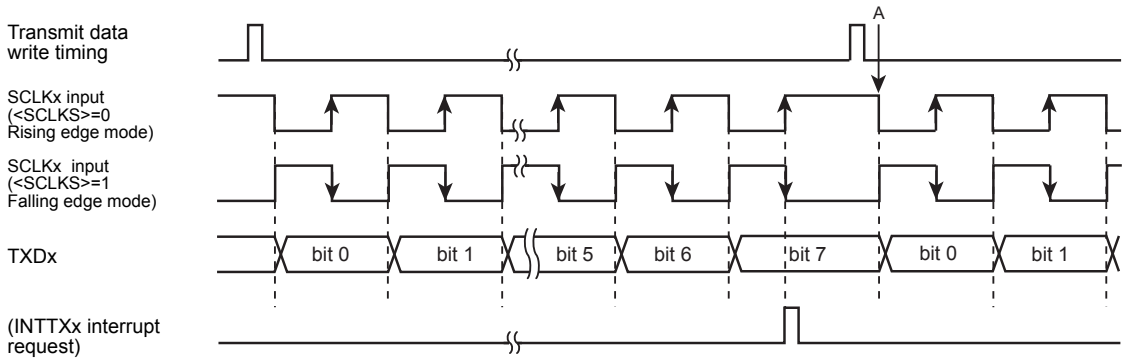
・　ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 11-16 に示す A 点までに書き込んでください。

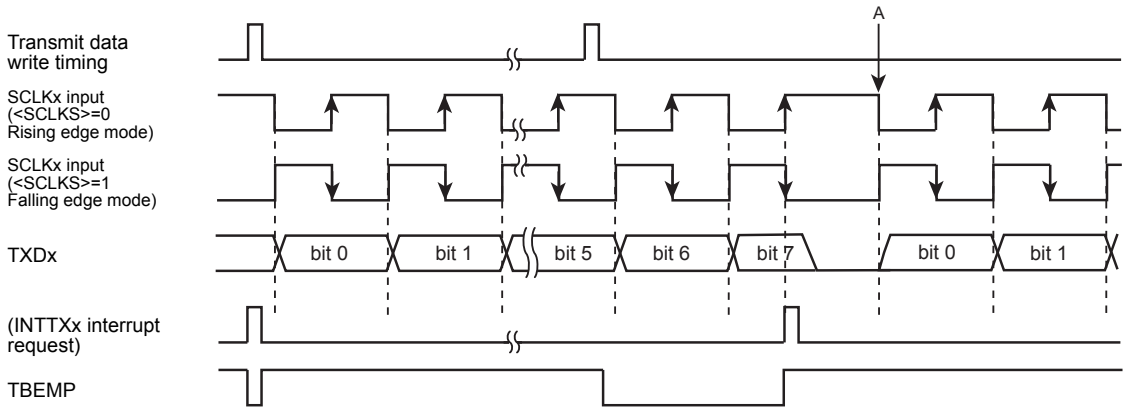
・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

SCLK が入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が"1"にセットされ、割り込み(INTTXx)が発生します。

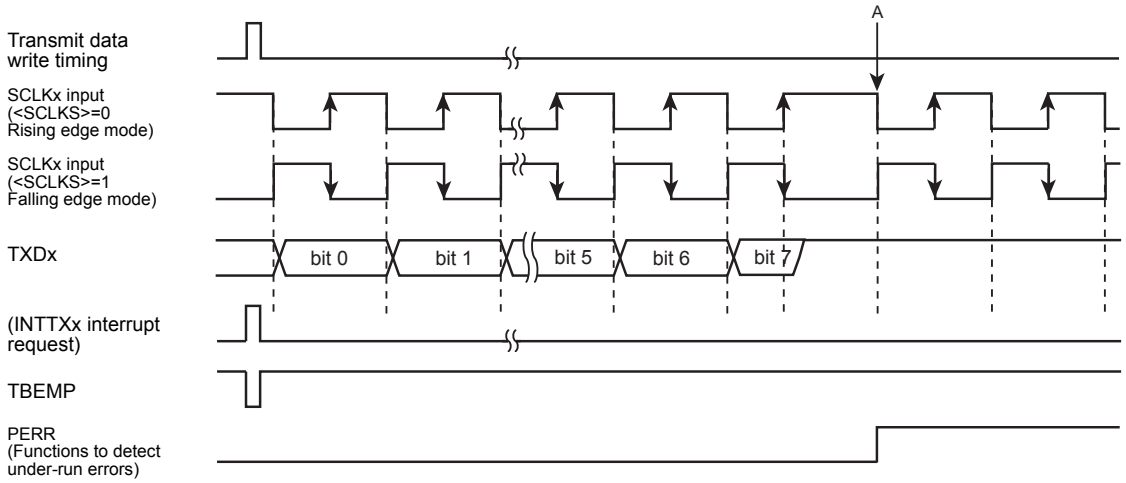
送信バッファにデータが書き込まれていない状態で、SCLK が入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。



<WBUF> = "0" (if double buffering is disabled) (SCxCR<TILDE>="10")



<WBUF> = "1" (if double buffering is enabled and there is data in buffer2) (SCxCR<TILDE>="00")



<WBUF> = "1" (if double buffering is enabled and there is no data in buffer2) (SCxCR<TXDEMP><TILDE>="100")

図 11-16 IO インタフェースモード送信動作(SCLK 入力モード)

11.15.1.2　受信

(1)　SCLK 出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることで SCLK 出力が開始されます。

・　ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

　受信データが読み出されるごとに、SCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

　シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

　受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、SCLK 出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

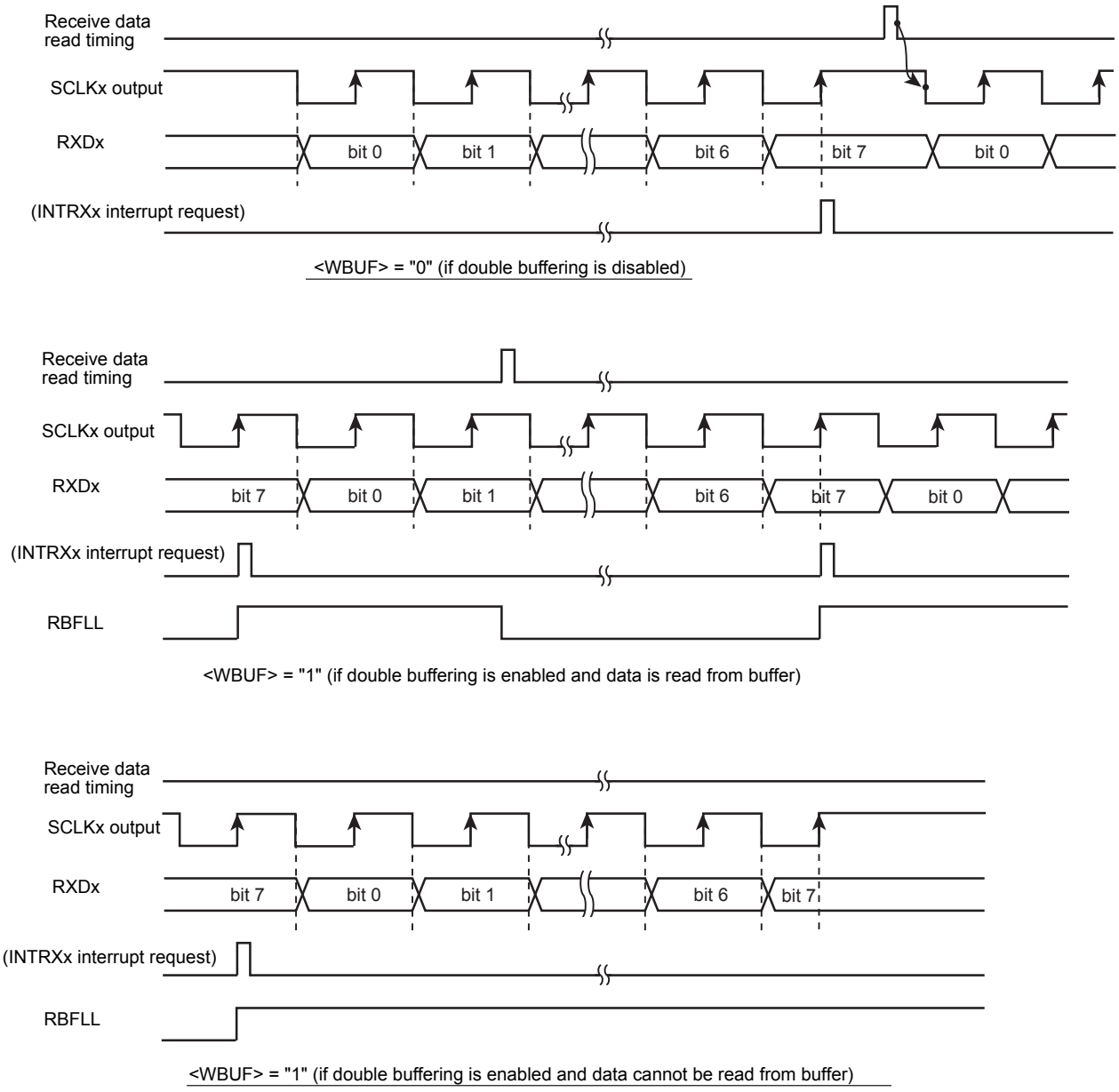


図 11-17 IO インタフェースモード受信動作(SCLK 出力モード)

(2)　SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。

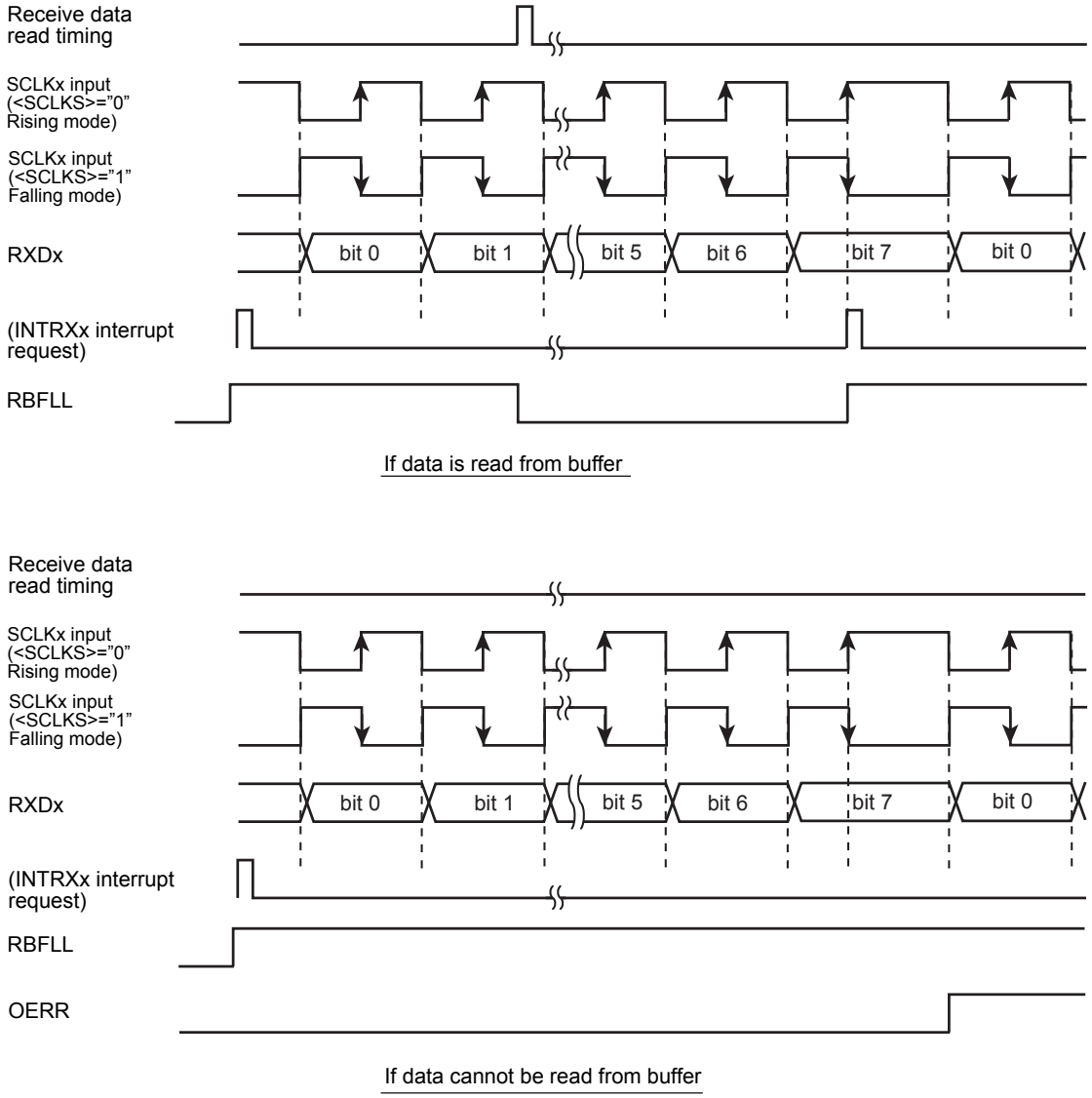


図 11-18 IO インタフェースモード受信動作(SCLK 入力モード)

11.15.1.3 送受信(全二重)

(1) SCLK 出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

SCLK の出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態で SCLK の出力は停止します。

受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

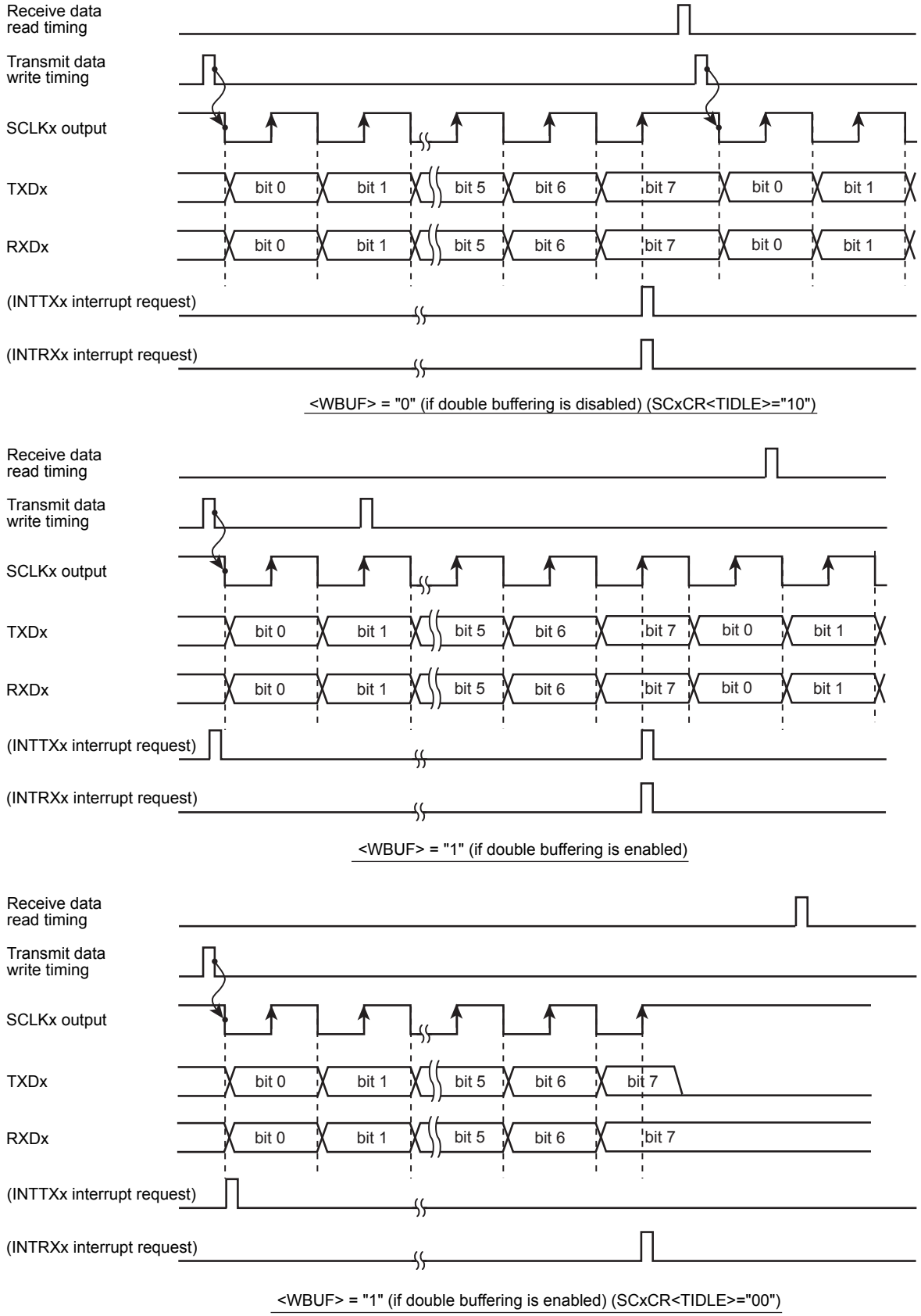


図 11-19 IO インタフェースモード送受信動作(SCLK 出力モード)

(2) SCLK 入力モード

・ 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前にデータを送信バッファへ書き込むようにしてください。(図 11-20 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込むようにしてください。(図 11-20 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームの SCLK が入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダーランエラーが発生します。

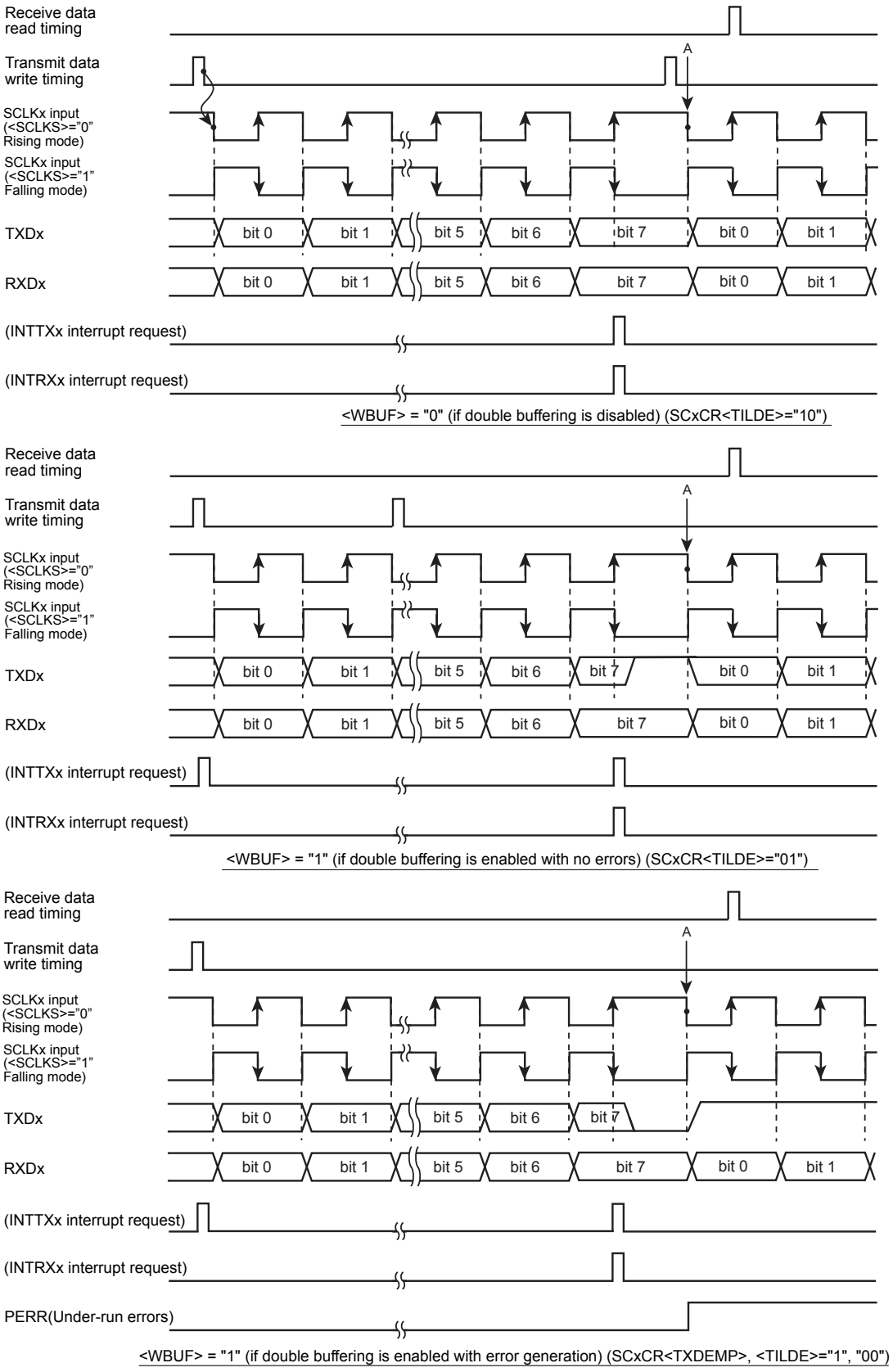


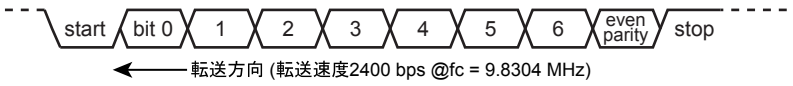
図 11-20 IO インタフェースモード送受信動作(SCLK 入力モード)

11.15.2 モード 1 (7 ビット UART モード)

モードコントロールレジスタ(SCxMOD0 <SM[1: 0]>)を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、コントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN> で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

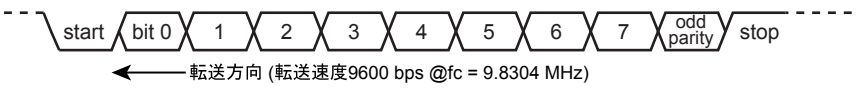
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

11.15.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

11.15.4　モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込み、受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

11.15.4.1　ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注)　スレーブコントローラの TXD 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

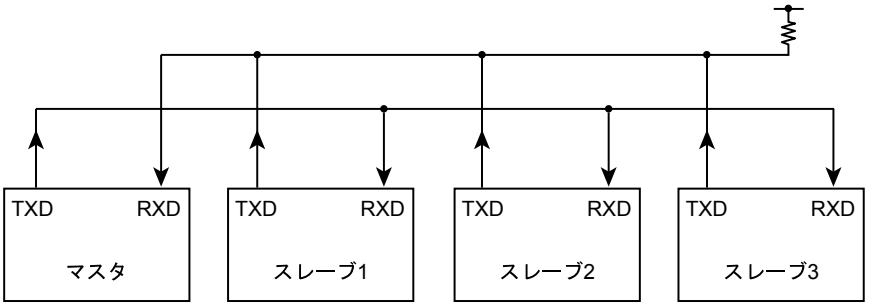


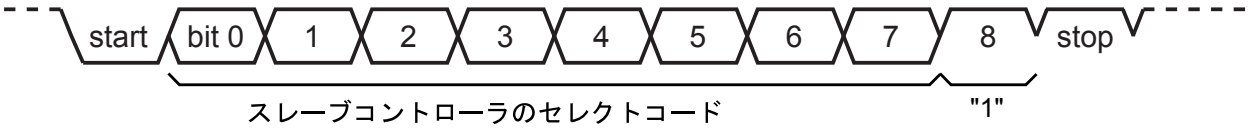
図 11-21 ウェイクアップ機能によるシリアルリンク

11.15.4.2 プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。

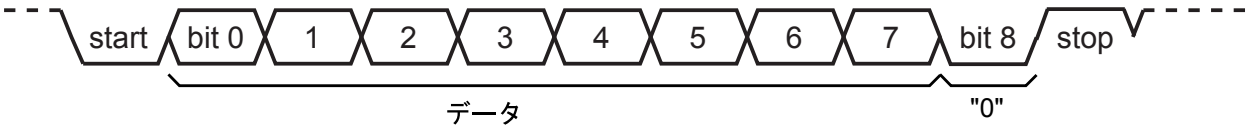
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。

3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。

5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 12 章　シリアルバスインタフェース(I2C/SIO)

シリアルバスインタフェースを 1 チャネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I2C バスモード(マルチマスタ)
- クロック同期式 8 ビット SIO モード

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャネルごとの使用端子とポートの設定は、下記のとおりです。

表 12-1 シリアルバスインタフェース使用時のポート設定

チャネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オープンドレイン コントロール レジスタ設定
SBI	I2C バスモード	SCL0:PB6 SDA0:PF0	PBFR2[6]=1 PFFR2[0]=1	PBCR[6]=1 PFCR[0]=1	PBIE[6]=1 PFIE[0]=1	PBOD[6]=1 PFOD[0]=1
		SCL0:PE2 SDA0:PB5	PEFR5[2]=1 PBFR5[5]=1	PECR[2]=1 PBCR[5]=1	PEIE[2]=1 PBIE[5]=1	PEOD[2]=1 PBOD[5]=1
	SIO モード	SCK0:PB5 SI0:PB6 SO0:PF0	PBFR3[5]=1 PBFR2[6]=1 PFFR2[0]=1	PBCR[6:5]=01(SCK0 出力) PBCR[6:5]=00(SCK0 入力) PFCR[0]=1	PBIE[6:5]=10(SCK0 出力) PBIE[6:5]=11(SCL0 入力) PFIE[0]=0	PBOD[6:5]=xx PFOD[0]=x

注)　x: Don't care

注)　I2C モードは、PB6&PF0 または PE2&PB5 を選択してください。

12.1　構成

構成を図 12-1 に示します。

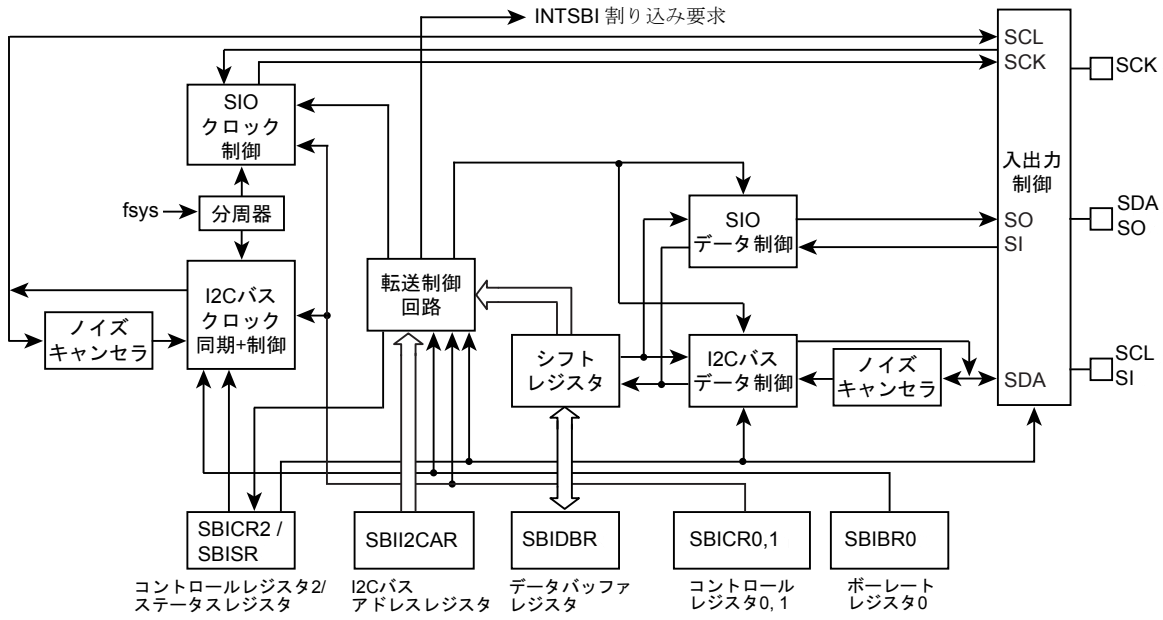


図 12-1 シリアルバスインタフェースブロック図

12.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

下記レジスタは使用するモードによって、機能が異なります。詳細は「12.4 I2C バスモード時のコントロールレジスタ」および「12.8 SIO モード時のコントロールレジスタ」を参照してください。

12.2.1 チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

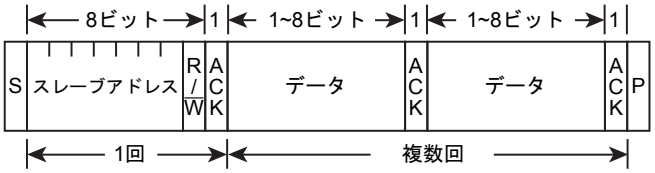
BaseAddress= 0x4002_0000

レジスタ名		Address(Base+)
コントロールレジスタ 0	SBICR0	0x0000
コントロールレジスタ 1	SBICR1	0x0004
データバッファレジスタ	SBIDBR	0x0008
I2C バスアドレスレジスタ	SBII2CAR	0x000C
コントロールレジスタ 2	SBICR2(ライト時)	0x0010
ステータスレジスタ	SBISR(リード時)	
ボーレートレジスタ 0	SBIBR0	0x0014

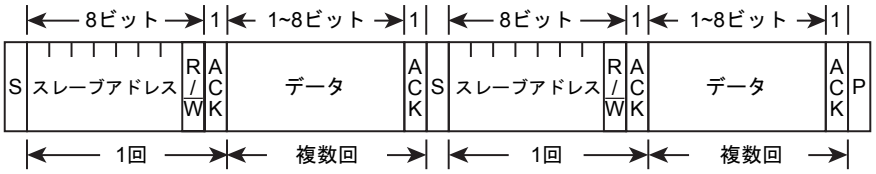
12.3　I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 12-2 に示します。

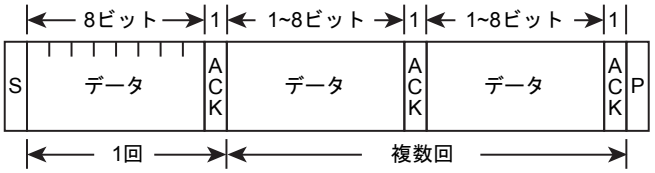
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注)　S : スタートコンディション
　　R/W : 方向ビット
　　ACK : アクノリッジビット
　　P : ストップコンディション

図 12-2 I2C バスモード時のデータフォーマット

12.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェース を I2C バスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

12.4.1 SBICR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBI に関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBICR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

12.4.2　SBICR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1)
4	ACK	R/W	マスターモード 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する スレーブモード 0:アクノリッジメントのためのクロックをカウントしない 1:アクノリッジメントのためのクロックをカウントする
3	-	R	リードすると"1"が読めます。
2-1	SCK[2:1]	R/W	内部 SCL 出力クロックの周波数選択<SCK[2:0]>@ライト　(注 2)
0	SCK[0]	W	
	SWRMON	R	ソフトウエアリセット状態モニタ<SWRMON>@リード 0:ソフトウエアリセット中 1:ソフトウエアリセット中ではない

<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

000	n = 5	385 kHz	システムクロック: fsys (= 40MHz) クロックギア: fc/1 周波数 = $\frac{fsys}{2^n + 72}$ [Hz]
001	n = 6	294 kHz	
010	n = 7	200 kHz	
011	n = 8	122 kHz	
100	n = 9	68 kHz	
101	n = 10	36 kHz	
110	n = 11	19 kHz	
111		reserved	

注 1) SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。

注 2) SCL ラインクロックの周波数については、「12.5.1 シリアルクロック」を参照してください。

注 3) <SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。

注 4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

注 5) **マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立ち下がりによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。**

12.4.3　SBICR2(コントロールレジスタ 2)

このレジスタをリードすると、SBISR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBI 割り込み要求解除 0: − 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注) 00: ポートモード(シリアルバスインタフェースの出力禁止) 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。 詳細は、「12.5.16 ソフトウエアリセット」を参照してください。

注)　通信中はモードを切り替えないでください。 ポートモードへの切り替えはバスフリーを確認してから行ってください。 また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

12.4.4 SBISR(ステータスレジスタ)

このレジスタをライトすると、SBICR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBI 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ゼネラルコールアドレス検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

12.4.5　SBIBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

12.4.6 SBIDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1) 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

12.4.7　SBII2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1)　<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

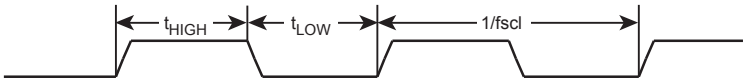
注 2)　スレーブモード時 SBII2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

12.5 I2C バスモード時の制御

12.5.1 シリアルクロック

12.5.1.1 クロックソース

SBICR1 <SCK[2:0]>で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$t_{LOW} = 2^{n-1}/fsys + 58/fsys$
$t_{HIGH} = 2^{n-1}/fsys + 14/fsys$
$fscl = 1/(t_{LOW} + t_{HIGH})$
$= \frac{fsys}{2^n + 72}$

SBICR1<SCK[2:0]>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 12-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意願います。

12.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

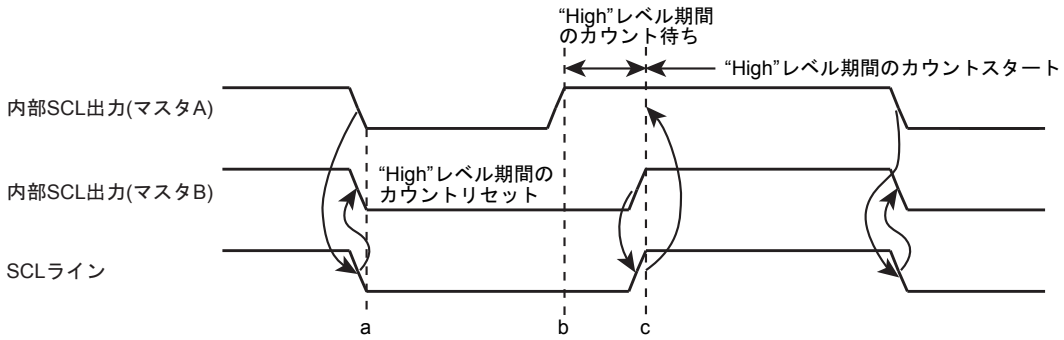


図 12-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後,"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

12.5.2　アクノリッジメントモードの指定

SBICR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDA 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールアドレスを受信した場合にもアクノリッジのためのクロック期間中、SDA 端子を"Low"レベルに引き、アクノリッジ信号を発生します。セカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

12.5.3　転送ビット数の選択

SBICR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

12.5.4　スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBII2CAR<ALS>に"0"を設定し、SBII2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

12.5.5 動作モード

SBICR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するときは、シリアルバスインタフェース端子の状態が"High"になっていることを確認後、<SBIM[1:0]>を"10"に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

12.5.6 トランスミッタ/レシーバの選択

SBICR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- アドレッシングフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが SBII2CAR にセットした値と同じとき
- ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウエアによりマスタデバイスから送られてくる方向ビット(R/$\overline{W}$)が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウエアによって変化することはありません。

12.5.7 マスタ/スレーブの選択

SBICR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

12.5.8　スタート/ストップコンディションの発生

SBISR<BB>が"0"のときに、SBICR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

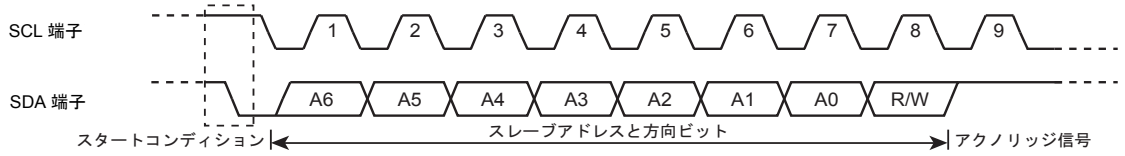


図 12-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

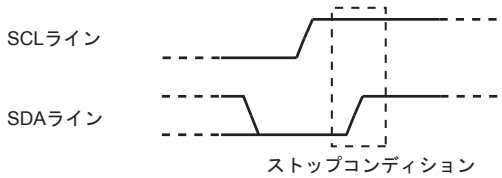


図 12-6 ストップコンディションの発生

また、SBISR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

12.5.9　割り込みサービス要求と解除

マスタモードの時、<BC>と<ACK>によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(INTSBI)が発生します。

スレーブモードの場合は、以下のときに INTSBI が発生します。

- 受信したスレーブアドレスが SBII2CAR<SA[6:0]>に設定されたスレーブアドレスとアクノリッジ信号出力後
- ゼネラルコールを受信した時のアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード(<ALS> = "0")では、受信したスレーブアドレスが SBII2CAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したときに INTSBI が発生します。

割り込み要求(INTSBI)が発生すると、SBICR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでスレーブアドレスと方向ビットの転送中にアービトレーションロストが発生した場合、受信したスレーブアドレスと SBII2CAR<SA>の一致にかかわらず、<PIN>は"0"にクリアされ、INTSBI が発生します。

12.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

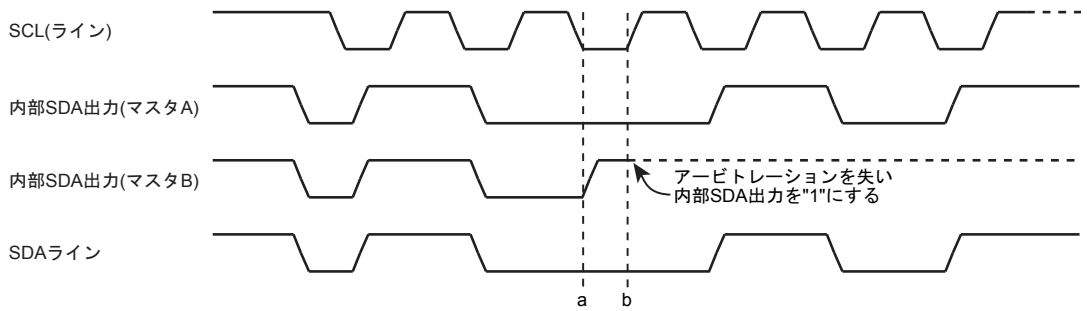


図 12-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBISR<AL> が"1"にセットされます。

アービトレーションロストが発生すると、SBISR<MST>と< TRX>は"0"にクリアされ、スレーブレシーバモードになり、SCL クロックの出力を停止します。スレーブアドレスと方向ビットの転送中にアービトレーションロストが発生したマスタデバイスは、通常のスレーブデバイスのように、他のマスタデバイスが通信するスレーブアドレスを受信します。受信したスレーブアドレスがSBII2CAR<SA>との一致にかかわらず、<PIN>が"0"にクリアされ、INTSBI が発生します。

<AL>は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと"0"にクリアされます。

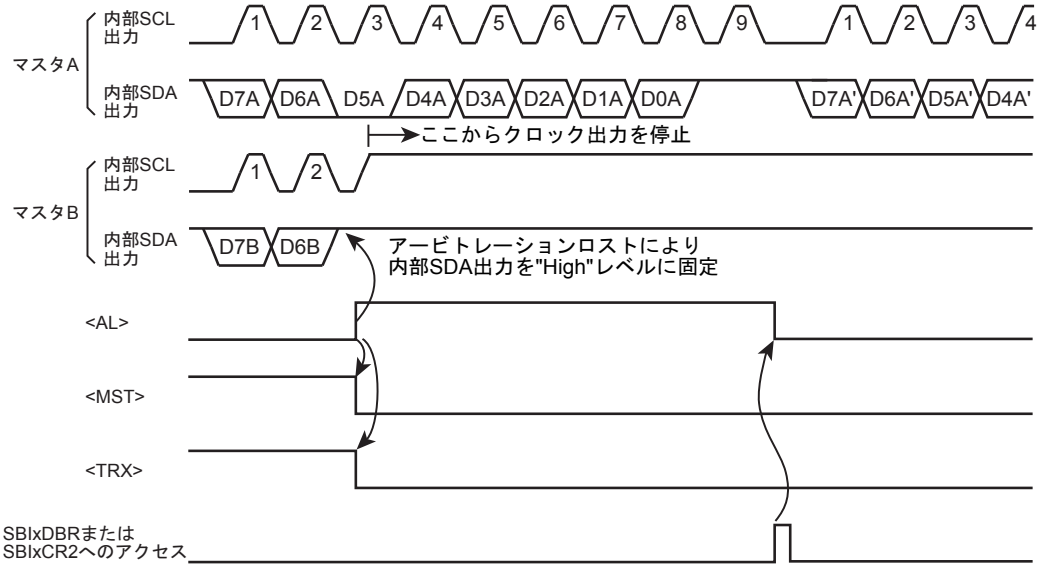


図 12-8 マスタ B の場合の例(D7A=D7B,D6A=D6B)

12.5.11　スレーブアドレス一致検出モニタ

SBISR<AAS>は、スレーブモード時、アドレス認識モード(SBII2CAR<ALS> = "0")のとき、ゼネラルコールアドレスまたは SBII2CAR にセットした値と同じスレーブアドレスを受信すると"1"にセットされます。フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと"0"にクリアされます。

12.5.12　ゼネラルコール検出モニタ

SBISR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

12.5.13 最終受信ビットモニタ

SBISR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBISR<LRB> を読み出すと、ACK 信号が読み出されます。

12.5.14 データバッファレジスタ(SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

12.5.15 ボーレートレジスタ(SBIBR0)

SBIBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

12.5.16 ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2<SWRST[1:0]>へ、最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。ライトの際、SBIxCR2<MST><TRX><BB><PIN>は"0000"、SBIxCR2<SBIM[1:0]> は"10" (I2C バスモード)を指定してください。ソフトウエアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"0"にクリアされます。

注) ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

12.6　I2C バスモード時のデータ転送手順

12.6.1　デバイスの初期化

最初に SBICR1<ACK, SCK[2:0]>を設定します。<ACK>には"1"を設定してアクノリッジメントモードに設定します。SBICR1<BC[2:0]>には、"000"を設定してください。

次に SBII2CAR にスレーブアドレス<SA[6:0]>と<ALS>(アドレッシングフォーマット時には、<ALS> = "0")を設定します。

最後に、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBICR2<MST>< TRX>< BB>に"000", <PIN>に"1", <SBIM[1:0]>に"10", <SWRST[1:0]> に"00"を書き込み、初期状態をスレーブレシーバモードにします。

注)　シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
SBICR1	←	0	0	0	1	0	X	X	X	ACK および SCL クロックの設定をします。
SBII2CAR	←	X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注)　X; Don’t care

12.6.2　スタートコンディション, スレーブアドレスの発生

12.6.2.1　マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB> = "0")を確認します。次に、SBICR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、SBICR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = "0"にされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

注)　スレーブアドレスを出力するために SBIDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

```
                    7  6  5  4  3  2  1  0
Reg.          ←  SBISR
Reg.          ←  Reg. e 0x20
if Reg.       ≠  0x00                          バスがフリー状態になるまで確認します。
Then
SBICR1        ←  X  X  X  1  0  X  X  X        アクノリッジメントモードに設定します。
SBIDBR        ←  X  X  X  X  X  X  X  X        目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2        ←  1  1  1  1  1  0  0  0        スタートコンディションの発生を行います。
```

INTSBI 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

12.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBII2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを"Low"レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = "0"にされます。スレーブモード時は、<PIN> = "0"の間 SCL ラインを"Low"レベルに引きます。

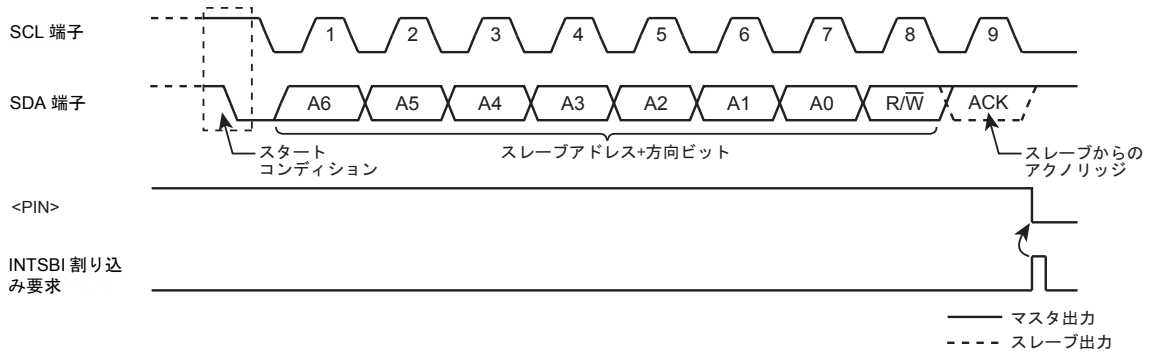


図 12-9 スタートコンディションとスレーブアドレスの発生

12.6.3　1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

12.6.3.1　マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1)　トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを SBIDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTSBI 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTSBI 割り込み

```
if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBICR1      ←  X  X  X  X  0  X  X  X      転送ビット数および ACK を設定します。
SBIDBR      ←  X  X  X  X  X  X  X  X      転送データを書き込みます。
割り込み処理終了
```

注)　X; Don't care

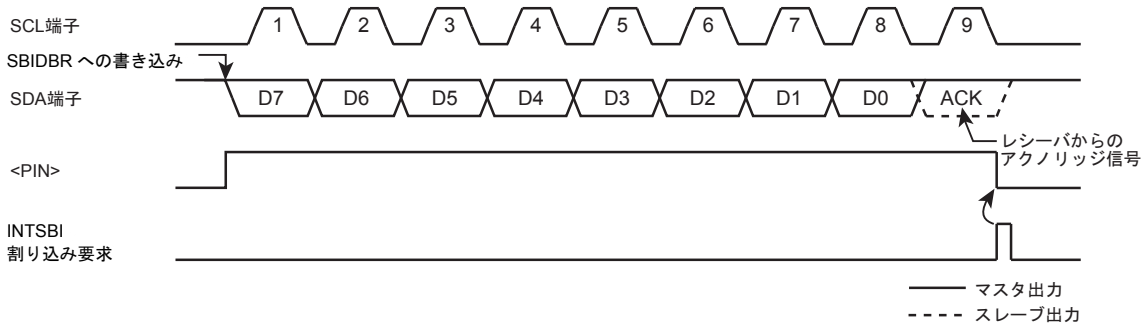


図 12-10 <BC[2:0]>="000",<ACK>="1"の場合（トランスミッタモード）

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>,<ACK>を設定し、SCL ラインを解放するために SBIDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

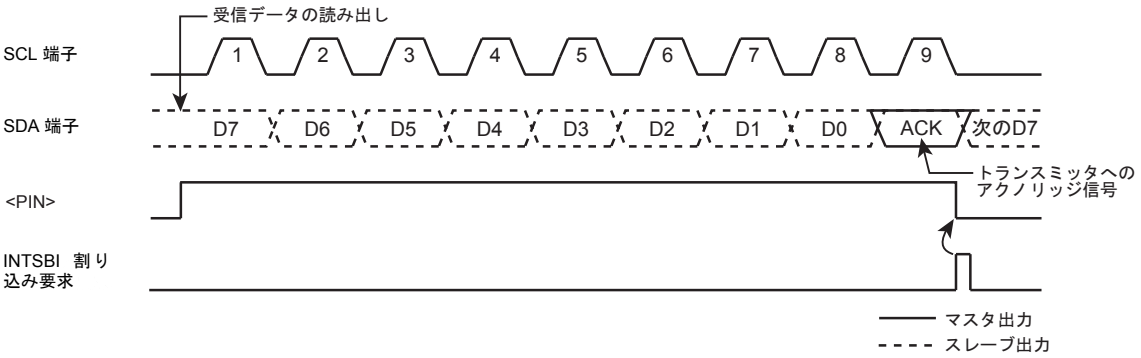


図 12-11 <BC[2:0]>="000",<ACK>="1"のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

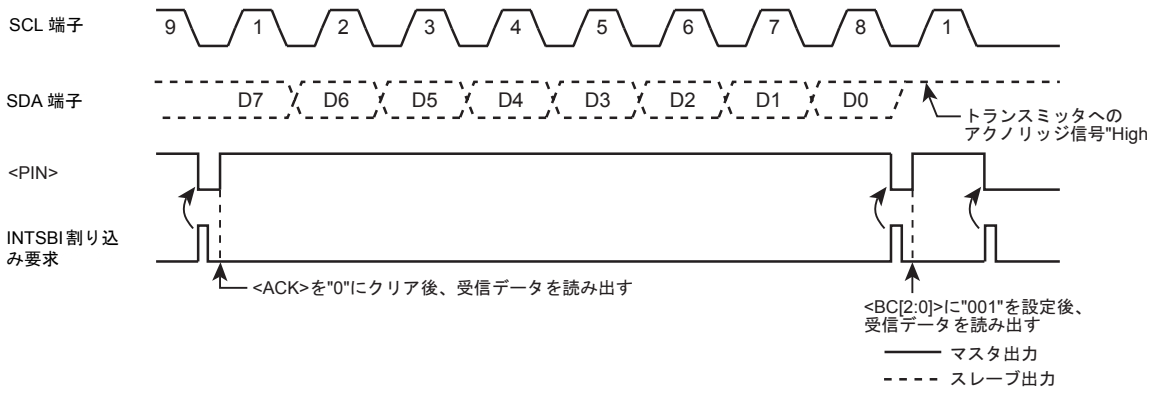


図 12-12 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTSBI 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
SBICR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	SBIDBR								ダミーデータを取り込みます。
割り込み終了										

INTSBI 割り込み(データ受信 1~(N − 2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	SBIDBR								1~(N − 2)回目のデータを取り込みます。
割り込み終了										

INTSBI 割り込み(データ受信 (N − 1)回目)

		7	6	5	4	3	2	1	0	
SBICR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	SBIDBR								(N − 1)回目のデータを取り込みます。
割り込み終了										

INTSBI 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
SBICR1	←	0	0	1	0	0	X	X	X	1 ビット転送のためのクロックを発生します。
Reg.	←	SBIDBR								N 回目のデータを取り込みます。
割り込み終了										

INTSBI 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

12.6.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールアドレスを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールアドレスを受信した後のデータ転送終了時に INTSBI 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると<PIN>が"0"にされ、SCL 端子を"Low"レベルに引きます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出す、または<PIN>に"1"を設定すると SCL 端子が t_{LOW} 後に開放されます。なお、ゼネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR<AL>, <TRX>, <AAS>, <ADO>をテストし、場合分けを行います。「表 12-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTSBI 割り込み

```
if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBICR1    ←  X  X  X  1  0  X  X  X    送信ビット数を設定します。
SBIDBR    ←  X  X  X  X  X  X  X  X    送信データをセットします。
```

注) X; Don't care

表 12-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを SBIDBR から読み出します。

12.6.4 ストップコンディションの発生

SBISR<BB> = "1"のときに、SBICR2<MST, TRX, PIN> に"1" 、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDA 端子が立ち上がり、ストップコンディションが発生します。

		7	6	5	4	3	2	1	0	
SBICR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

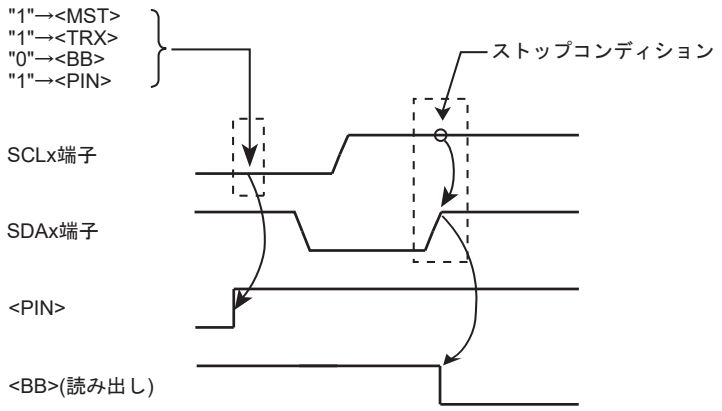


図 12-13 ストップコンディションの発生

12.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBICR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDA 端子は"High"レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR<BB>をテストして"0"になるまで待ち、SCL 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「12.6.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1) <MST> = "0"の状態の時に<MST> = "0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
SBICR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if SBISR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if SBISR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
Then										
4.7 μs Wait										
SBICR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注)　X; Don't care

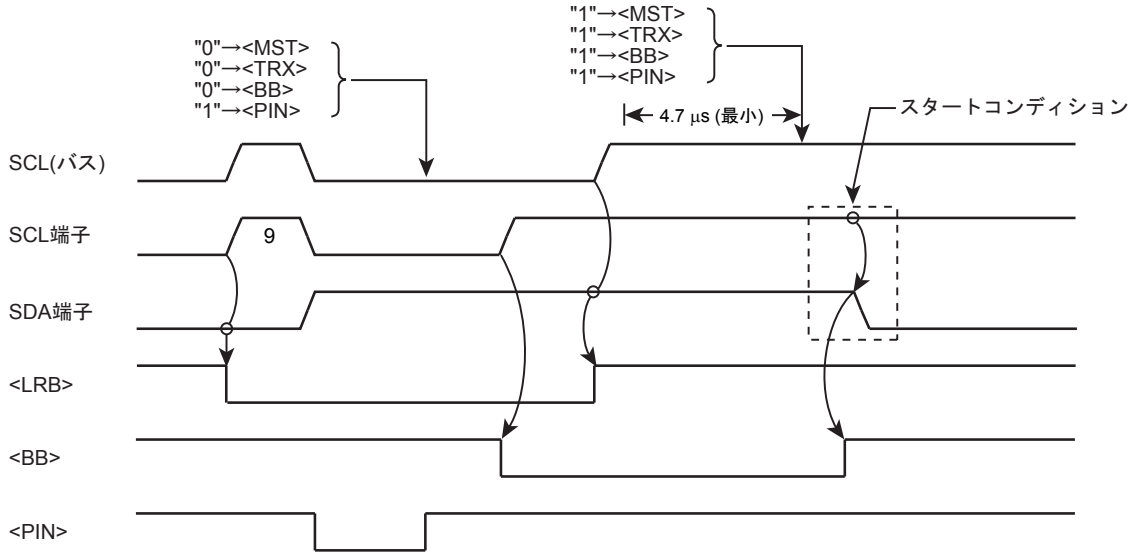


図 12-14 再スタートを発生する場合のタイミングチャート

12.7 マルチマスタで使用する際の注意点

マルチマスタで使用している際に通信がロックした場合に備え、ソフトウェアによるリカバリ対策を用意願います。

リカバリ処理例

1. 送信開始と共にタイムアウト検知用のタイマカウントを開始
2. 一定時間内にシリアルインターフェイス割り込み（INTSBIx）が発生せず、タイムアウトとなった場合、通信がロックしたと判断
3. シリアルバスインターフェースのソフトウェアリセットを実行し通信ロックを解除
4. 送信タイミングの調整処理(注)
5. 送信データを再送信

注) 再送信タイミングが重ならないよう、デバイス毎に送信タイミングを調整してください。

12.8　SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

12.8.1　SBICR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBICR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

12.8.2 SBICR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード
3	-	R	リードすると"1"が読めます。
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1)

000	n = 3	2.5 MHz
001	n = 4	1.25 MHz
010	n = 5	625 kHz
011	n = 6	313 kHz
100	n = 7	156 kHz
101	n = 8	78 kHz
110	n = 9	39 kHz
111	–	外部クロック

システムクロック: fsys (= 40MHz)
クロックギア: fc/1
周波数 = $\frac{fsys/2}{2^n}$ [Hz]

注 1) <SCK[0]>ビットは、リセット後"1"が読み出されますが、SBICR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBICR2 レジスタ、SBISR レジスタでも同様な記載をしています

注 2) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

注 3) マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

12.8.3　SBIDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1)　送信データを書き込み時には、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2)　SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

12.8.4 SBICR2(コントロールレジスタ 2)

このレジスタをリードすると、SBISR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。
注 2) 通信中はモードを切り替えないでください。

12.8.5　SBISR(ステータスレジスタ)

このレジスタをライトすると、SBICR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1)　ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

12.8.6 SBIBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

12.9　SIO モード時の制御

12.9.1　シリアルクロック

12.9.1.1　クロックソース

SBICR1 <SCK[2:0]> により、次の選択ができます。

(1)　内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は"High"レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

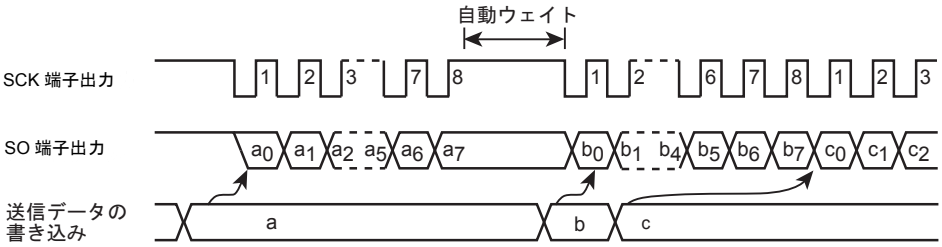
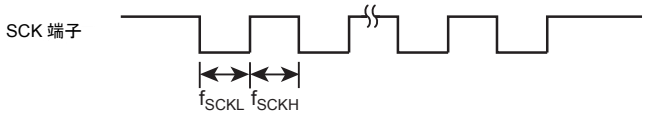


図 12-15 自動ウェイト機能

(2)　外部クロック(<SCK[2:0]> = "111")

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの"High"レベル、"Low"レベル幅は下記に示すパルス幅が必要です。



f_{SCKL}, f_{SCKH} > 4/fsys

図 12-16 外部クロック入力時の最大転送周波数

12.9.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

  シリアルクロックの前縁(SCK 端子入出力の立ち下がりエッジ)でデータをシフトします。

- 後縁シフト

  シリアルクロックの後縁(SCK 端子入出力の立ち上がりエッジ)でデータをシフトします。

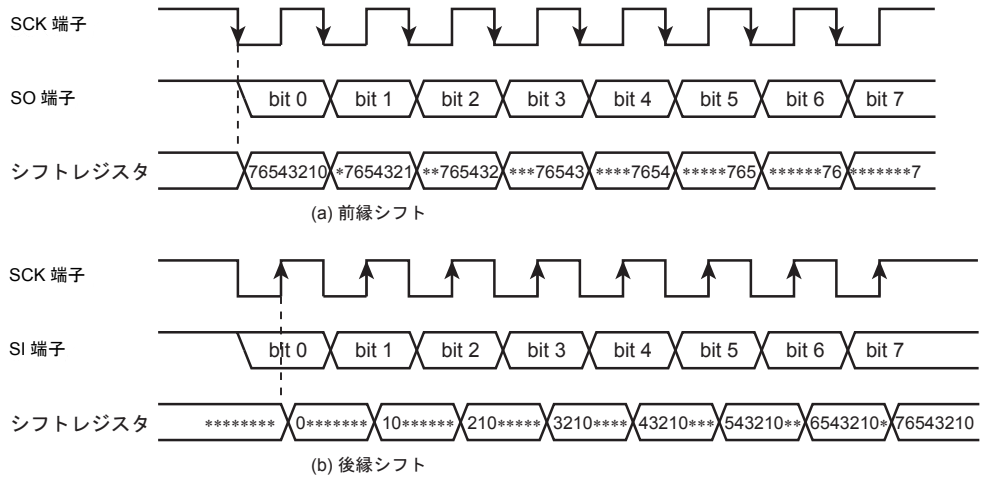


図 12-17 シフトエッジ

12.9.2　転送モード

SBICR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

12.9.2.1　8 ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SBICR1<SIOS> = "1"を書き込むことにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、 次の送信データを要求する INTSBI(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBISR<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBI 割り込みサービスプログラムで<SIOS> = "0"を書き込むか<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBISR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH> = "1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

		7	6	5	4	3	2	1	0	
SBICR1	←	0	1	0	0	0	X	X	X	送信モードをセットします。
SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBICR1	←	1	0	0	0	0	X	X	X	送信を開始します。

INTSBI 割り込み

SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

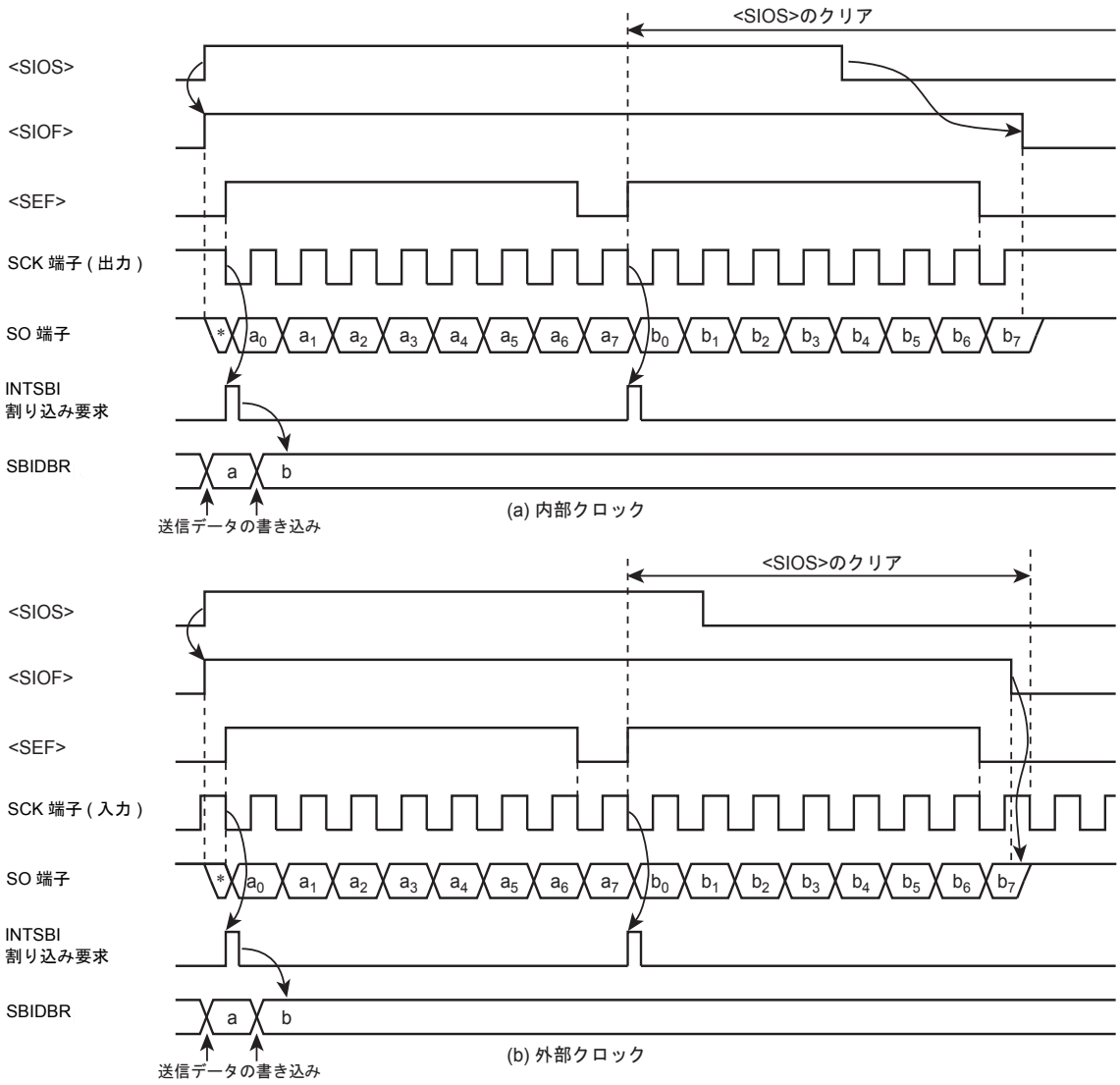


図 12-18 送信モード

例: <SIO> の送信終了指示(外部クロックの場合)のプログラム例

```
                    7  6  5  4  3  2  1  0
if SBISR<SIOF> ≠ 0                              転送の終了を確認します。
Then
if SCK ≠ 1                                      ポートをモニタし、SCK 端子が"1"になったことを確認します。
Then
SBICR1      ←       0  0  0  0  0  1  1  1      <SIOS> = 0 を設定し送信を終了します。
```

12.9.2.2　8 ビット受信モード

コントロールレジスタに受信モードをセットした後、SBICR1<SIOS> = "1" を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBIDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBI (バッファフル)割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIDBR から読み出します。

内部クロック動作の場合、受信データが SBIDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBI 割り込みサービスプログラムで<SIOS> = "0"を書き込むか、<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、受信データが全ビット揃い、SBIDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBISR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。 受信終了の確認のあと最終受信データを読み出します。<SIOINH> = "1" を書き込んだ場合は、ただちに受信を打ち切り、<SIOF>は"0"になります (受信データは無効になりますので読み出す必要はありません)。

注)　転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

		7	6	5	4	3	2	1	0	
SBICR1	←	0	1	1	1	0	X	X	X	受信モードをセットします。
SBICR1	←	1	0	1	1	0	X	X	X	受信を開始します。

INTSBI 割り込み

Reg.	←	SBIDBR	受信データを取り込みます。

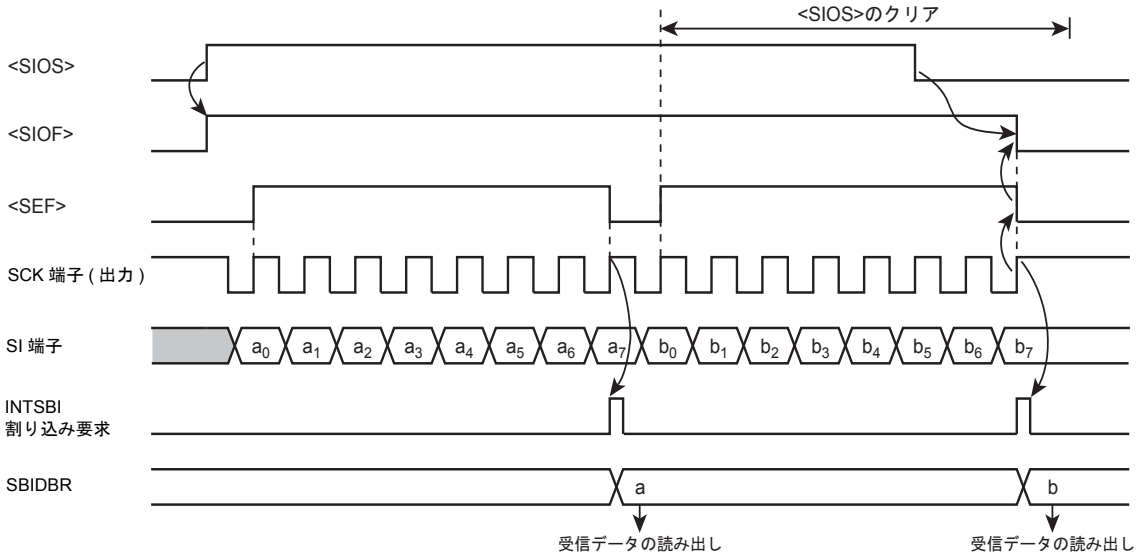


図 12-19 受信モード(例: 内部クロック)

12.9.2.3 8 ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SBICR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTSBI 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBICR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

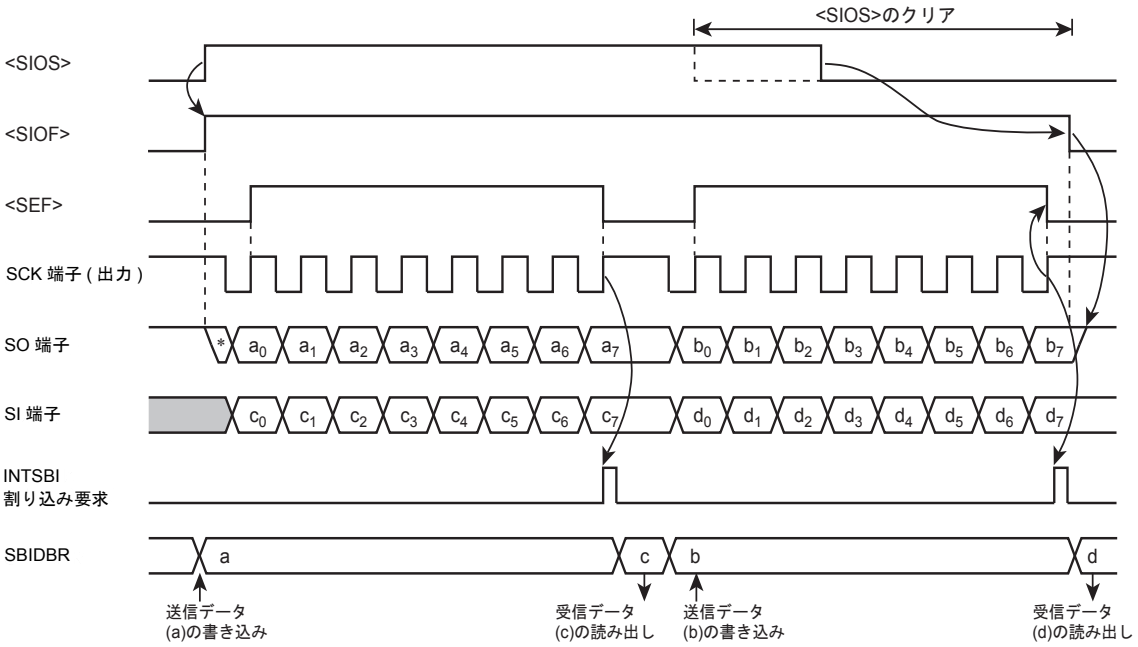


図 12-20 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBICR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBICR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBI 割り込み

Reg.	←	SBIDBR								受信データを取り込みます。
SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

12.9.2.4　送信終了時の最終ビット保持時間

SBICR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下のようになります。送信モード、送受信モードとも同様です。

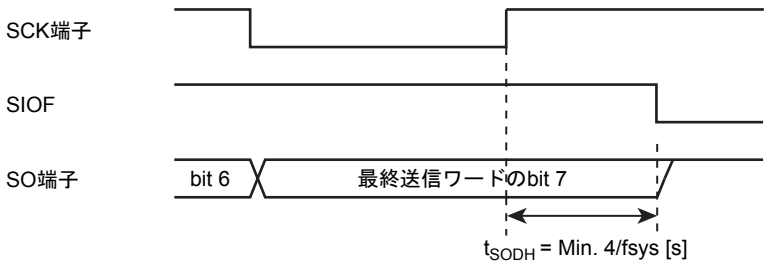


図 12-21 送信終了時の最終ビット保持時間

第 13 章　12 ビットアナログ/デジタルコンバータ

TMPM375FSDMG は、12 ビット逐次変換方式アナログ／デジタルコンバータ (AD コンバータ)を内蔵しています。モーター制御用ベクトルエンジン、および PMD 回路と連携してモーターのベクトル制御を支援します。

AD コンバータユニット B は 5 本のアナログ入力を持っています。4 本はモータ 0 の測定用に使用可能です。この内 1 本は IC 内部でオペアンプの出力に接続されていますので、外部から入力可能なアナログ入力端子は 4 本です。

4 本の外部アナログ入力端子 (AINB9 ~ AINB12) は、入出力専用ポートと兼用です。

13.1　機能と特徴

1. PMD やタイマからのトリガ信号に同期して任意のアナログ入力を変換することができます。
2. ソフトウエア起動、常時起動において任意のアナログ入力を変換する事ができます。
3. AD 変換値レジスタが 12 個あります。
4. トリガ起動によるプログラム終了時に割り込みを発生できます。
5. ソフトウェア起動、常時起動によるプログラム終了時に割り込みを発生できます。
6. AD 監視機能があります。有効時に比較条件と一致した場合は割り込みを発生します。

13.2　ブロック図

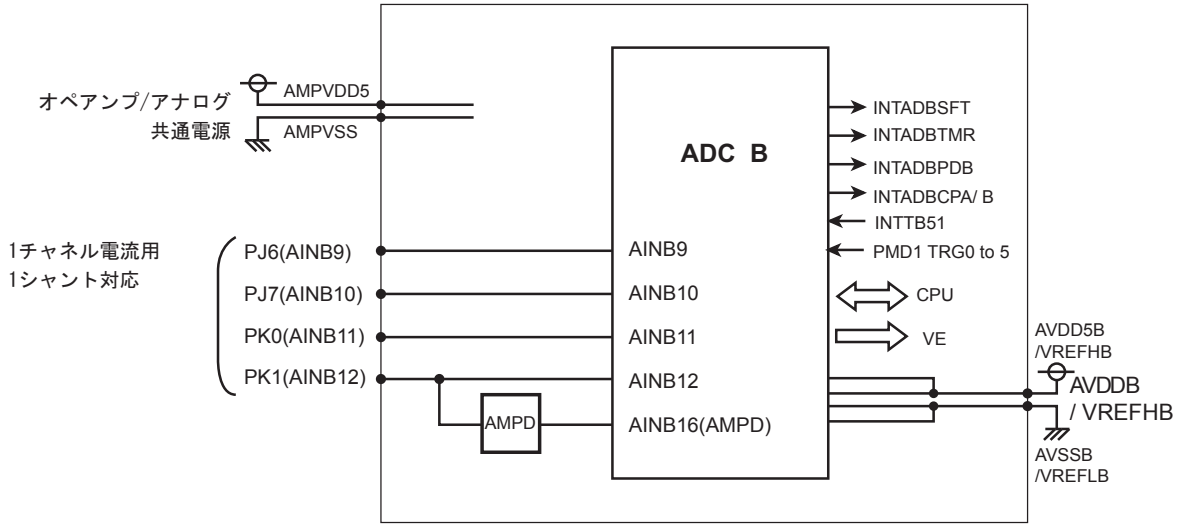


図 13-1 AD コンバータブロック図

13.3　レジスター覧

ユニット	Base Address
ユニット B	0x4003_0200

レジスタ名(x=B)		Address(Base+)
クロック設定レジスタ	ADxCLK	0x0000
モード設定レジスタ 0	ADxMOD0	0x0004
モード設定レジスタ 1	ADxMOD1	0x0008
モード設定レジスタ 2	ADxMOD2	0x000C
監視割り込み設定レジスタ 0	ADxCMPCR0	0x0010
監視割り込み設定レジスタ 1	ADxCMPCR1	0x0014
変換結果比較レジスタ 0	ADxCMP0	0x0018
変換結果比較レジスタ 1	ADxCMP1	0x001C
変換結果格納レジスタ 0	ADxREG0	0x0020
変換結果格納レジスタ 1	ADxREG1	0x0024
変換結果格納レジスタ 2	ADxREG2	0x0028
変換結果格納レジスタ 3	ADxREG3	0x002C
変換結果格納レジスタ 4	ADxREG4	0x0030
変換結果格納レジスタ 5	ADxREG5	0x0034
変換結果格納レジスタ 6	ADxREG6	0x0038
変換結果格納レジスタ 7	ADxREG7	0x003C
変換結果格納レジスタ 8	ADxREG8	0x0040
変換結果格納レジスタ 9	ADxREG9	0x0044
変換結果格納レジスタ 10	ADxREG10	0x0048
変換結果格納レジスタ 11	ADxREG11	0x004C
-	Reserved	0x0050
-	Reserved	0x0054
-	Reserved	0x0058
-	Reserved	0x005C
-	Reserved	0x0060
-	Reserved	0x0064
PMD トリガ用プログラム番号選択レジスタ 6	ADxPSEL6	0x0068
PMD トリガ用プログラム番号選択レジスタ 7	ADxPSEL7	0x006C
PMD トリガ用プログラム番号選択レジスタ 8	ADxPSEL8	0x0070
PMD トリガ用プログラム番号選択レジスタ 9	ADxPSEL9	0x0074
PMD トリガ用プログラム番号選択レジスタ 10	ADxPSEL10	0x0078
PMD トリガ用プログラム番号選択レジスタ 11	ADxPSEL11	0x007C
PMD トリガ用割り込み選択レジスタ 0	ADxPINTS0	0x0080
PMD トリガ用割り込み選択レジスタ 1	ADxPINTS1	0x0084
PMD トリガ用割り込み選択レジスタ 2	ADxPINTS2	0x0088
PMD トリガ用割り込み選択レジスタ 3	ADxPINTS3	0x008C
PMD トリガ用割り込み選択レジスタ 4	ADxPINTS4	0x0090
PMD トリガ用割り込み選択レジスタ 5	ADxPINTS5	0x0094
PMD トリガ用プログラム選択レジスタ 0	ADxPSET0	0x0098
PMD トリガ用プログラム選択レジスタ 1	ADxPSET1	0x009C
PMD トリガ用プログラム選択レジスタ 2	ADxPSET2	0x00A0
PMD トリガ用プログラム選択レジスタ 3	ADxPSET3	0x00A4

レジスタ名(x=B)		Address(Base+)
PMD トリガ用プログラム選択レジスタ 4	ADxPSET4	0x00A8
PMD トリガ用プログラム選択レジスタ 5	ADxPSET5	0x00AC
タイマトリガ用プログラムレジスタ 0 ~ 3	ADxTSET03	0x00B0
タイマトリガ用プログラムレジスタ 4 ~ 7	ADxTSET47	0x00B4
タイマトリガ用プログラムレジスタ 8 ~ 11	ADxTSET811	0x00B8
ソフトウェア トリガ用プログラムレジスタ 0 ~ 3	ADxSSET03	0x00BC
ソフトウェア トリガ用プログラムレジスタ 4 ~ 7	ADxSSET47	0x00C0
ソフトウェア トリガ用プログラムレジスタ 8 ~ 11	ADxSSET811	0x00C4
常時変換用プログラムレジスタ 0 ~ 3	ADxASET03	0x00C8
常時変換用プログラムレジスタ 4 ~ 7	ADxASET47	0x00CC
常時変換用プログラムレジスタ 8 ~ 11	ADxASET811	0x00D0
モード設定レジスタ 3	ADxMOD3	0x00D4

注) "Reserved"表記のアドレスにはアクセスしないでください。

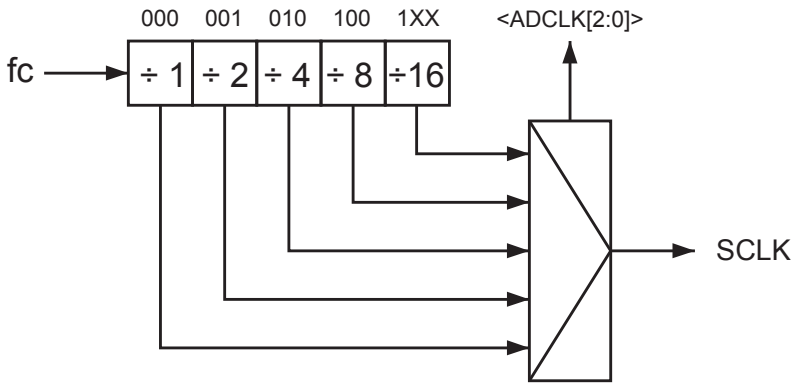
13.4　レジスタ詳細

AD 変換は AD コンバータクロック設定レジスタによって選択されたクロックで実行されます。

13.4.1　ADxCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TSH				ADCLK		
リセット後	0	1	0	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6-3	TSH[3:0]	R/W	"1001"をライトしてください。
2-0	ADCLK[2:0]	R/W	AD 変換クロック(SCLK)選択 000: fc (注 1) 001: fc/2 010: fc/4 011: fc/8 1xx: fc/16



注 1)　SCLK は最大 40MHz です。

注 2)　AD 変換は上記レジスタで選択されたクロックで実行されますが、保証精度を満足する様に変換クロックを選択する必要があります。

注 3)　AD 変換中に、AD 変換クロック設定を変更しないで下さい。

13.4.2 ADxMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DACON	ADSS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	DACON	R/W	DAC 制御 0: OFF 1: ON AD コンバータを使用する時には必ず<DACON>を"1"にセットしてください。
0	ADSS	W	ソフトウエア変換スタート 0: Don't care 1: 変換開始 ADxMOD1<ADEN>を"1"にセットして変換を許可し、<ADSS>を"1"にセットすると AD 変換を開始します。また、PMD トリガ，タイマ割り込み入力でも AD 変換を開始します。PMD トリガのタイミング設定，タイマ割り込みの設定はそれぞれ PMD,タイマの説明をご参照ください。

13.4.3　ADxMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADEN	-	-	-	-	-	-	ADAS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ADEN	R/W	AD 変換許可/禁止 0: 禁止 1: 許可 <ADEN>のセットで AD を変換許可します。この状態の時に<ADAS>の常時 AD 変換許可のセットで AD 変換を開始します。
6-1	−	R	リードすると"0"が読めます。
0	ADAS	R/W	常時 AD 変換許可 0: 変換禁止 1: 変換許可

13.4.4 ADxMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADSFN	ADBFN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	ADSFN	R	ソフトウエア変換フラグ 0: 終了 1: ソフト変換中
0	ADBFN	R	AD 変換 BUSY フラグ 0: 変換停止 1: 変換中 <ADBFN>は AD 変換 Busy フラグで、ソフトウエア変換が開始されると、"1"にセットされ、変換が終了するとフラグが"0"にクリアされます。

13.4.5　ADxMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	RCUT
リセット後	0	0	0	0	0	1	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	PMODE			-	-	-
リセット後	0	1	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-11	−	R/W	"0"をライトしてください。
10	−	R/W	"1"をライトしてください。
9	−	R/W	"0"をライトしてください。
8	RCUT	R/W	ADC 動作制御 2 0: 動作 1: 停止 ADC 使用時は"0" を書いてください。ADC 停止時"1" に設定する事で消費電流を削減できます。
7	−	R/W	"0"をライトしてください。
6	−	R/W	"1"をライトしてください。
5-3	PMODE[2:0]	R/W	"100"をライトしてください。
2-0	−	R/W	"0"をライトしてください。

注)　ADxMOD3<PMODE[2:0]>は必ず"100"に設定してください。その他の bit は初期値の値を変更しないでください。

13.4.6 ADxCMPCR0(監視割り込み設定レジスタ 0)

判定が確定すると割り込み(INTADxCPn)を発生します。(x=B,n=A; A:監視 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	-	ADBIG0	REGS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-8	CMPCNT0[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2 回以上有効 ・ ・ 15: 16 回以上有効 AD 変換結果と ADxCMP0 に設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択します。
7	CMP0EN	R/W	AD 監視機能 0:禁止 1:許可
6-5	-	R	リードすると"0"が読めます。
4	ADBIG0	R/W	大小判定設定 0:比較 REG より大 1:比較 REG より小
3-0	REGS0[3:0]	R/W	比較する AD 変換結果格納レジスタ 0000: ADxREG0 / 0100: ADxREG4 / 1000: ADxREG8 0001: ADxREG1 / 0101: ADxREG5 / 1001: ADxREG9 0010: ADxREG2 / 0110: ADxREG6 / 1010: ADxREG10 0011: ADxREG3 / 0111: ADxREG7 / 1011: ADxREG11

13.4.7　ADxCMPCR1(監視割り込み設定レジスタ 1)

判定が確定すると割り込み(INTADxCPn)を発生します。(x=B,n=B; B:監視 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	-	ADBIG1	REGS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-8	CMPCNT1[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2 回以上有効 ・ ・ 15: 16 回以上有効 AD 変換結果と ADxCMP1 に設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択します。
7	CMP1EN	R/W	A/D 監視機能 0:禁止 1:許可
6-5	-	R	リードすると"0"が読めます。
4	ADBIG1	R/W	大小判定設定 0:比較 REG より大 1:比較 REG より小
3-0	REGS1[3:0]	R/W	比較する AD 変換結果格納レジスタ 0000: ADxREG0　0100: ADxREG4　1000: ADxREG8 0001: ADxREG1　0101: ADxREG5　1001: ADxREG9 0010: ADxREG2　0110: ADxREG6　1010: ADxREG10 0011: ADxREG3　0111: ADxREG7　1011: ADxREG11

13.4.8 ADxCMP0(変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD0CMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP0				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-4	AD0CMP0[11:0]	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3-0	-	R	リードすると"0"が読めます。

13.4.9 ADxCMP1(変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD0CMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP1				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-4	AD0CMP1[11:0]	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3-0	-	R	リードすると"0"が読めます。

13.4.10　ADxREG0(変換結果格納レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR00							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR00				-	-	OVR0	ADR0RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR00[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR0	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG0 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG0 レジスタをリードすると"0"にクリアされます。
0	ADR0RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG0 レジスタをリードすると"0"にクリアされます。

13.4.11 ADxREG1(変換結果格納レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR10				-	-	OVR1	ADR1RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR10[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR1	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG1 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG1 レジスタをリードすると"0"にクリアされます。
0	ADR1RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG1 レジスタをリードすると"0"にクリアされます。

13.4.12　ADxREG2(変換結果格納レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR20							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR20				-	-	OVR2	ADR2RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR20[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR2	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG2 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG2 レジスタをリードすると"0"にクリアされます。
0	ADR2RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG2 レジスタをリードすると"0"にクリアされます。

13.4.13 ADxREG3(変換結果格納レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR30							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR30				-	-	OVR3	ADR3RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR30[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR3	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG3 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG3 レジスタをリードすると"0"にクリアされます。
0	ADR3RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG3 レジスタをリードすると"0"にクリアされます。

13.4.14　ADxREG4(変換結果格納レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR40							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR40				-	-	OVR4	ADR4RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR40[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR4	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG4 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG4 レジスタをリードすると"0"にクリアされます。
0	ADR4RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG4 レジスタをリードすると"0"にクリアされます。

13.4.15 ADxREG5(変換結果格納レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR50							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR50				-	-	OVR5	ADR5RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR50[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR5	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG5 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG5 レジスタをリードすると"0"にクリアされます。
0	ADR5RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG5 レジスタをリードすると"0"にクリアされます。

13.4.16　ADxREG6(変換結果格納レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR60							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR60				-	-	OVR6	ADR6RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR60[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR6	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG6 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG6 レジスタをリードすると"0"にクリアされます。
0	ADR6RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG6 レジスタをリードすると"0"にクリアされます。

13.4.17 ADxREG7(変換結果格納レジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR70							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR70				-	-	OVR7	ADR7RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR70[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR7	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG7 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG7 レジスタをリードすると"0"にクリアされます。
0	ADR7RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG7 レジスタをリードすると"0"にクリアされます。

13.4.18　ADxREG8(変換結果格納レジスタ 8)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR80							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR80				-	-	OVR8	ADR8RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR80[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR8	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG8 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG8 レジスタをリードすると"0"にクリアされます。
0	ADR8RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG8 レジスタをリードすると"0"にクリアされます。

13.4.19 ADxREG9(変換結果格納レジスタ 9)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR90							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR90				-	-	OVR9	ADR9RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR90[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR9	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG9 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG9 レジスタをリードすると"0"にクリアされます。
0	ADR9RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG9 レジスタをリードすると"0"にクリアされます。

13.4.20　ADxREG10(変換結果格納レジスタ 10)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR100							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR100				-	-	OVR10	ADR10RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR100[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR10	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG10 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG10 レジスタをリードすると"0"にクリアされます。
0	ADR10RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG10 レジスタをリードすると"0"にクリアされます。

13.4.21 ADxREG11(変換結果格納レジスタ 11)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR110							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR110				-	-	OVR11	ADR11RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-4	ADR110[11:0]	R	AD 変換結果値格納
3-2	-	R	リードすると"0"が読めます
1	OVR11	R	Over Run フラグ 0：発生なし 1：発生あり ADxREG11 レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADxREG11 レジスタをリードすると"0"にクリアされます。
0	ADR11RF	R	AD 変換結果格納フラグ 0：変換結果なし 1：変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADxREG11 レジスタをリードすると"0"にクリアされます。

13.4.22　PMD トリガ用プログラムレジスタ

本 AD コンバータは PMD 回路が発生するトリガ信号によって AD 変換を開始する事ができます。

PMD トリガ用プログラムレジスタは PMD が発生する 6 種類のトリガによって起動するプログラム番号の設定、プログラム終了時に発生する割り込みの制御、AD 変換の AIN の設定などを行います。

PMD トリガ用プログラムレジスタは 3 種類のレジスタから構成されます。

（x=B : AD コンバータユニット）

- PMD トリガ用プログラム番号選択レジスタ(ADxPSEL6 ~ ADxPSEL11)

  PMD からの 6 本のトリガ信号(PMD1TRG0 ~ 5)に対して、それぞれ起動するプログラム番号(0 ~ 5)を選択するレジスタです。

  ADxPSEL6 ~ ADxPSEL11 が PMD1TRG0 ~ 5 に対応しています。

- PMD トリガ用割り込み選択レジスタ(ADxPINTS0 ~ ADxPINTS5)

  それぞれのプログラム番号ごとにプログラム終了時に発生させる割り込みの有無や種類(INTADxPDB)を選択するレジスタです。

  ADxPINTS0 がプログラム 0 に対応しており、ADxPINT5(プログラム 5)まであります。

- PMD トリガ用プログラム選択レジスタ(ADxPSET0 ~ ADxPSET5)

  プログラム番号(0 ~ 5)に対して、AD 変換する AIN 番号とベクトルエンジンへの通知用に U/V/W の相を設定します。プログラム番号 1 つに対して PMD トリガ用プログラム選択レジスタは 4 組あり、変換結果は、それぞれ変換結果格納レジスタ 0 ~ 3(ADxREG0 ~ 3)に格納されます。

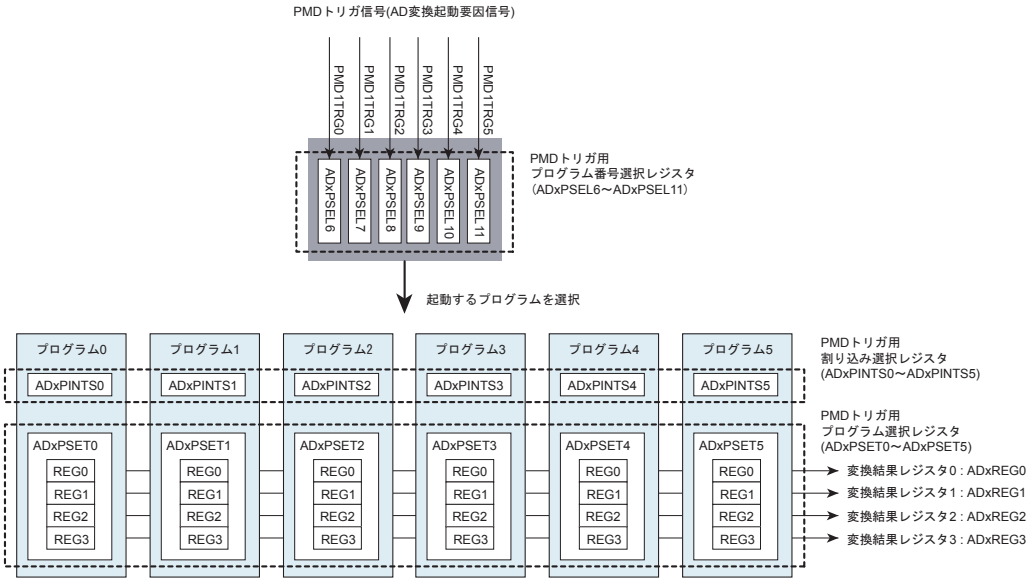


図 13-2 PMD トリガ用プログラムレジスタ

13.4.22.1 ADxPSEL6 ~ ADxPSEL11(PMD トリガ用プログラム番号選択レジスタ 6 ~ 11)

ADxPSEL6：PMD トリガ用プログラム番号選択レジスタ 6

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS6	-	-	-	-	PMDS6		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS6	R/W	PMD1TRG0 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS6[2:0]	R/W	プログラム番号選択(表 13-1 参照)

ADxPSEL7：PMD トリガ用プログラム番号選択レジスタ 7

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS7	-	-	-	-	PMDS7		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS7	R/W	PMD1TRG1 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS7[2:0]	R/W	プログラム番号選択(表 13-1 参照)

ADxPSEL8：PMD トリガ用プログラム番号選択レジスタ 8

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS8	-	-	-	-	PMDS8		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS8	R/W	PMD1TRG2 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS8[2:0]	R/W	プログラム番号選択(表 13-1 参照)

ADxPSEL9：PMD トリガ用プログラム番号選択レジスタ 9

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS9	-	-	-	-	PMDS9		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS9	R/W	PMD1TRG3 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS9[2:0]	R/W	プログラム番号選択(表 13-1 参照)

ADxPSEL10：PMD トリガ用プログラム番号選択レジスタ 10

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS10	-	-	-	-	PMDS10		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS10	R/W	PMD1TRG4 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS10[2:0]	R/W	プログラム番号選択(表 13-1 参照)

ADxPSEL11：PMD トリガ用プログラム番号選択レジスタ 11

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS11	-	-	-	-	PMDS11		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PENS11	R/W	PMD1TRG5 トリガ制御 0:ディセーブル 1:イネーブル
6-3	-	R	リードすると"0"が読めます。
2-0	PMDS11[2:0]	R/W	プログラム番号選択(表 13-1 参照)

表 13-1 プログラム番号選択

<PMDS6[2:0]>~ <PMDS11[2:0]>	
000	プログラム 0
001	プログラム 1
010	プログラム 2
011	プログラム 3
100	プログラム 4
101	プログラム 5
110	reserved
111	reserved

13.4.22.2 ADxPINTS0 ~ 5(PMD トリガ用割り込み選択レジスタ 0 ~ 5)

ADxPINTS0：PMD トリガ用割り込み選択レジスタ 0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL0	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL0[1:0]	R/W	割込み選択 00:割込み出力なし 01:Reserved 10:INTADxPDB 11: 割込み出力なし プログラム 0 に対して、起動する割り込みを選択します。

ADxPINTS1：PMD トリガ用割り込み選択レジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL1	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL1[1:0]	R/W	割込み選択 00:割込み出力なし 01:Reserved 10:INTADxPDB 11: 割込み出力なし プログラム 1 に対して、起動する割り込みを選択します。

ADxPINTS2：PMD トリガ用割り込み選択レジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL2	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL2[1:0]	R/W	割込み選択 00:割込み出力なし 01:Reserved 10:INTADxPDB 11: 割込み出力なし プログラム 2 に対して、起動する割り込みを選択します。

ADxPINTS3：PMD トリガ用割り込み選択レジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL3	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL3[1:0]	R/W	割込み選択 00:割込み出力なし 01:Reserved 10:INTADxPDB 11: 割込み出力なし プログラム 3 に対して、起動する割り込みを選択します。

ADxPINTS4：PMD トリガ用割り込み選択レジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL4	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL4[1:0]	R/W	割込み選択 00:割込み出力なし 01:Reserved 10:INTADxPDB 11: 割込み出力なし プログラム 4 に対して、起動する割り込みを選択します。

ADxPINTS5：PMD トリガ用割り込み選択レジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL5	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	INTSEL5[1:0]	R/W	割込み選択 00:割込み出力なし 01:Reserved 10:INTADxPDB 11: 割込み出力なし プログラム 5 に対して、起動する割り込みを選択します。

13.4.22.3 ADxPSET0 ~ 5(PMD トリガ用プログラム選択レジスタ 0 ~ 5)

各 ADxPSETn（n=0 ~ 5：プログラム番号）は、AD 変換入力端子の選択をする<AINSPnm [4:0]>とベクトルエンジンの相選択をする<UVWISnm[1:0]>および<ENSPnm>を 1 組とした 4 つのセットで構成されます。(m=0 ~ 3)（x ＝ B : AD コンバータユニット）

<ENSPnm>を"1"にセットすると<UVWISnm [1:0]>の 相選択、<AINSPnm[4:0]>の AIN 選択で設定された条件で AD 変換を開始し変換結果レジスタへ格納されます。

ADxREGm ADxPSETn	m=0	m=1	m=2	m=3
n=0	<ENSP00> <UVWIS00> <AINSP00>	<ENSP01> <UVWIS01> <AINSP01>	<ENSP02> <UVWIS02> <AINSP02>	<ENSP03> <UVWIS03> <AINSP03>
n=1	<ENSP10> <UVWIS10> <AINSP10>	<ENSP11> <UVWIS11> <AINSP11>	<ENSP12> <UVWIS12> <AINSP12>	<ENSP13> <UVWIS13> <AINSP13>
n=2	<ENSP20> <UVWIS20> <AINSP20>	<ENSP21> <UVWIS21> <AINSP21>	<ENSP22> <UVWIS22> <AINSP22>	<ENSP23> <UVWIS23> <AINSP23>
n=3	<ENSP30> <UVWIS30> <AINSP30>	<ENSP31> <UVWIS31> <AINSP31>	<ENSP32> <UVWIS32> <AINSP32>	<ENSP33> <UVWIS33> <AINSP33>
n=4	<ENSP40> <UVWIS40> <AINSP40>	<ENSP41> <UVWIS41> <AINSP41>	<ENSP42> <UVWIS42> <AINSP42>	<ENSP43> <UVWIS43> <AINSP43>
n=5	<ENSP50> <UVWIS50> <AINSP50>	<ENSP51> <UVWIS51> <AINSP51>	<ENSP52> <UVWIS52> <AINSP52>	<ENSP53> <UVWIS53> <AINSP53>

表 13-2 AD 変換入力端子の選択

<AINSP00 [4:0]> ~ <AINSP53 [4:0]>	AD コンバータ ユニット B
0_0000	:Reserved
0_0001	:Reserved
0_0010	:Reserved
0_0011	:Reserved
0_0100	:Reserved
0_0101	:Reserved
0_0110	:Reserved
0_0111	:Reserved
0_1000	:Reserved
0_1001	:AINB9
0_1010	:AINA10
0_1011	:AINB11
0_1100	:AINB12
0_1101	:Reserved
0_1110	:Reserved
0_1111	:Reserved
1_0000	:AINB16
1_0001 ~ 1_1111	:Reserved

ADxPSET0：PMD トリガ用プログラム選択レジスタ 0

	31	30	29	28	27	26	25	24
bit symbol	ENSP03	UVWIS03		AINSP03				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP02	UVWIS02		AINSP02				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP01	UVWIS01		AINSP01				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP00	UVWIS00		AINSP00				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP03	R/W	ADxREG3 イネーブル 0:禁止 1:許可
30-29	UVWIS03[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28-24	AINSP03[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
23	ENSP02	R/W	ADxREG2 イネーブル 0:禁止 1:許可
22-21	UVWIS02[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20-16	AINSP02[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
15	ENSP01	R/W	ADxREG1 イネーブル 0:禁止 1:許可
14-13	UVWIS01[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12-8	AINSP01[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
7	ENSP00	R/W	ADxREG0 イネーブル 0:禁止 1:許可
6-5	UVWIS00[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4-0	AINSP00[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照

相選択

00	指定なし
01	U 相
10	V 相
11	W 相

ADxPSET1：PMD トリガ用プログラム選択レジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	ENSP13	UVWIS13		AINSP13				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP12	UVWIS12		AINSP12				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP11	UVWIS11		AINSP11				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP10	UVWIS10		AINSP10				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP13	R/W	ADxREG3 イネーブル 0:禁止 1:許可
30-29	UVWIS13[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
28-24	AINSP13[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
23	ENSP12	R/W	ADxREG2 イネーブル 0:禁止 1:許可
22-21	UVWIS12[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
20-16	AINSP12[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
15	ENSP11	R/W	ADxREG1 イネーブル 0:禁止 1:許可
14-13	UVWIS11[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
12-8	AINSP11[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
7	ENSP10	R/W	ADxREG0 イネーブル 0:禁止 1:許可
6-5	UVWIS10[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
4-0	AINSP10[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照

相選択

00	指定なし
01	U 相
10	V 相
11	W 相

ADxPSET2：PMD トリガ用プログラム選択レジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	ENSP23	UVWIS23		AINSP23				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP22	UVWIS22		AINSP22				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP21	UVWIS21		AINSP21				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP20	UVWIS20		AINSP20				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP23	R/W	ADxREG3 イネーブル 0:禁止 1:許可
30-29	UVWIS23[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28-24	AINSP23[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
23	ENSP22	R/W	ADxREG2 イネーブル 0:禁止 1:許可
22-21	UVWIS22[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20-16	AINSP22[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
15	ENSP21	R/W	ADxREG1 イネーブル 0:禁止 1:許可
14-13	UVWIS21[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12-8	AINSP21[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
7	ENSP20	R/W	ADxREG0 イネーブル 0:禁止 1:許可
6-5	UVWIS20[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4-0	AINSP20[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照

相選択

00	指定なし
01	U 相
10	V 相
11	W 相

ADxPSET3：PMD トリガ用プログラム選択レジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	ENSP33	UVWIS33		AINSP33				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP32	UVWIS32		AINSP32				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP31	UVWIS31		AINSP31				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP30	UVWIS30		AINSP30				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP33	R/W	ADxREG3 イネーブル 0:禁止 1:許可
30-29	UVWIS33[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28-24	AINSP33[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
23	ENSP32	R/W	ADxREG2 イネーブル 0:禁止 1:許可
22-21	UVWIS32[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20-16	AINSP32[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
15	ENSP31	R/W	ADxREG1 イネーブル 0:禁止 1:許可
14-13	UVWIS31[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12-8	AINSP31[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
7	ENSP30	R/W	ADxREG0 イネーブル 0:禁止 1:許可
6-5	UVWIS30[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4-0	AINSP30[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照

相選択

00	指定なし
01	U 相
10	V 相
11	W 相

ADxPSET4：PMD トリガ用プログラム選択レジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	ENSP43	UVWIS43		AINSP43				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP42	UVWIS42		AINSP42				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP41	UVWIS41		AINSP41				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP40	UVWIS40		AINSP40				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP43	R/W	ADxREG3 イネーブル 0:禁止 1:許可
30-29	UVWIS43[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28-24	AINSP43[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
23	ENSP42	R/W	ADxREG2 イネーブル 0:禁止 1:許可
22-21	UVWIS42[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20-16	AINSP42[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
15	ENSP41	R/W	ADxREG1 イネーブル 0:禁止 1:許可
14-13	UVWIS41[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12-8	AINSP41[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
7	ENSP40	R/W	ADxREG0 イネーブル 0:禁止 1:許可
6-5	UVWIS40[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4-0	AINSP40[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照

相選択

00	指定なし
01	U 相
10	V 相
11	W 相

ADxPSET5：PMD トリガ用プログラム選択レジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	ENSP53	UVWIS53		AINSP53				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP52	UVWIS52		AINSP52				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP51	UVWIS51		AINSP51				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP50	UVWIS50		AINSP50				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP53	R/W	ADxREG3 イネーブル 0:禁止 1:許可
30-29	UVWIS53[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
28-24	AINSP53[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
23	ENSP52	R/W	ADxREG2 イネーブル 0:禁止 1:許可
22-21	UVWIS52[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
20-16	AINSP52[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
15	ENSP51	R/W	ADxREG1 イネーブル 0:禁止 1:許可
14-13	UVWIS51[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
12-8	AINSP51[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照
7	ENSP50	R/W	ADxREG0 イネーブル 0:禁止 1:許可
6-5	UVWIS50[1:0]	R/W	相選択(ベクトルエンジン通知用） 下表参照
4-0	AINSP50[4:0]	R/W	AIN 選択 「表 13-2 AD 変換入力端子の選択」を参照

相選択

00	指定なし
01	U 相
10	V 相
11	W 相

13.4.23 ADxTSET03 / ADxTSET47 / ADxTSET811(タイマトリガ用プログラムレジスタ)

本 AD コンバータはタイマ 5(TMRB5)の INTTB51 が発生するトリガ信号によって AD 変換を開始する事ができます。タイマトリガ用プログラムレジスタは 12 個の設定レジスタから構成されます。<ENSTm>を 1 にセットすると ADxTSETm をイネーブルにします。<AINSTm [4:0]>は AIN を選択します。設定レジスタの番号は変換結果レジスタ番号(m=0～11)にそれぞれ対応しています。 ADxTSET0 は変換結果レジスタ 0 に対応し、ADxTSET11(変換値レジスタ 11)まで全部で 12 個あります。タイマトリガによる AD 変換が終了すると割り込み(INTADxTMR)を発生します。(x=B : AD コンバータユニット)

表 13-3 AD 変換入力端子の選択

<AINST0 [4:0]> ~ <AINST11 [4:0]>	AD コンバータ ユニット B
0_0000	:Reserved
0_0001	:Reserved
0_0010	:Reserved
0_0011	:Reserved
0_0100	:Reserved
0_0101	:Reserved
0_0110	:Reserved
0_0111	:Reserved
0_1000	:Reserved
0_1001	:AINB9
0_1010	:AINA10
0_1011	:AINB11
0_1100	:AINB12
0_1101	:Reserved
0_1110	:Reserved
0_1111	:Reserved
1_0000	:AINB16
1_0001 ~ 1_1111	:Reserved

ADxTSET03：タイマトリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENST3	-	-	AINST3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST2	-	-	AINST2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST1	-	-	AINST1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST0	-	-	AINST0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST3	R/W	ADxREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST3[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
23	ENST2	R/W	ADxREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST2[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
15	ENST1	R/W	ADxREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST1[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
7	ENST0	R/W	ADxREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST0[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照

ADxTSET47：タイマトリガ用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENST7	-	-	AINST7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST6	-	-	AINST6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST5	-	-	AINST5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST4	-	-	AINST4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST7	R/W	ADxREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST7[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
23	ENST6	R/W	ADxREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST6[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
15	ENST5	R/W	ADxREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST5[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
7	ENST4	R/W	ADxREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST4[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照

ADxTSET811：タイマトリガ用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENST11	-	-	AINST11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST10	-	-	AINST10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST9	-	-	AINST9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST8	-	-	AINST8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST11	R/W	ADxREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINST11[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
23	ENST10	R/W	ADxREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINST10[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
15	ENST9	R/W	ADxREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINST9[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照
7	ENST8	R/W	ADxREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINST8[4:0]	R/W	AIN 選択 「表 13-3 AD 変換入力端子の選択」を参照

13.4.24 ADxSSET03 / ADxSSET47 / ADxSSET811(ソフトウエアトリガ用プログラムレジスタ)

本 AD コンバータはソフトウエアによって AD 変換を開始する事ができます。ソフトウェアトリガ用のプログラムレジスタは 12 個の設定レジスタから構成されます。<ENSSm>を 1 にセットすると ADxSSETm をイネーブルにします。<AINSSm 4:0>は AIN を選択します。プログラム設定レジスタの番号(m=0 ~ 11)は変換結果レジスタ番号にそれぞれ対応しており、レジスタは全部で 12 個あります。ソフトウェアトリガによる AD 変換が終了すると割り込み(INTADxSFT)を発生します。(x = B : AD コンバータユニット)

表 13-4 AD 変換入力端子の選択

<AINSS0 [4:0]> ~ <AINSS11 [4:0]>	AD コンバータユニット B
0_0000	:Reserved
0_0001	:Reserved
0_0010	:Reserved
0_0011	:Reserved
0_0100	:Reserved
0_0101	:Reserved
0_0110	:Reserved
0_0111	:Reserved
0_1000	:Reserved
0_1001	:AINB9
0_1010	:AINA10
0_1011	:AINB11
0_1100	:AINB12
0_1101	:Reserved
0_1110	:Reserved
0_1111	:Reserved
1_0000	:AINB16
1_0001 ~ 1_1111	:Reserved

ADxSSET03：ソフトウエアトリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENSS3	-	-	AINSS3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS2	-	-	AINSS2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS1	-	-	AINSS1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS0	-	-	AINSS0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS3	R/W	ADxREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS3[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
23	ENSS2	R/W	ADxREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS2[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
15	ENSS1	R/W	ADxREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS1[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
7	ENSS0	R/W	ADxREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS0[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照

ADxSSET47：ソフトウエアトリガ用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENSS7	-	-	AINSS7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS6	-	-	AINSS6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS5	-	-	AINSS5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS4	-	-	AINSS4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS7	R/W	ADxREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS7[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
23	ENSS6	R/W	ADxREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS6[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
15	ENSS5	R/W	ADxREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS5[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
7	ENSS4	R/W	ADxREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS4[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照

ADxSSET811：ソフトウエアトリガ用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENSS11	-	-	AINSS11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS10	-	-	AINSS10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS9	-	-	AINSS9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS8	-	-	AINSS8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS11	R/W	ADxREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSS11[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
23	ENSS10	R/W	ADxREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSS10[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
15	ENSS9	R/W	ADxREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSS9[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照
7	ENSS8	R/W	ADxREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSS8[4:0]	R/W	AIN 選択 「表 13-4 AD 変換入力端子の選択」を参照

13.4.25 ADxASET03 / ADxASET47 / ADxASET811(常時変換用プログラムレジスタ)

本 AD コンバータは常時変換状態に設定する事が出来ます。常時変換用のプログラムレジスタは 12 個の設定レジスタから構成されます。設定レジスタの番号は変換結果レジスタ番号(m=0～11)にそれぞれ対応しています。常時変換用プログラムレジスタの<ENSAm>を 1 にセットすると ADxPSETm をイネーブルにします。<AINSAm [4:0]>は AIN を選択します。レジスタは全部で 12 個あります。(x = B : AD コンバータユニット)

表 13-5 AD 変換入力端子の選択

<AINSA0[4:0]> ~ <AINSA11[4:0]>	AD コンバータ ユニット B
0_0000	:Reserved
0_0001	:Reserved
0_0010	:Reserved
0_0011	:Reserved
0_0100	:Reserved
0_0101	:Reserved
0_0110	:Reserved
0_0111	:Reserved
0_1000	:Reserved
0_1001	:AINB9
0_1010	:AINA10
0_1011	:AINB11
0_1100	:AINB12
0_1101	:Reserved
0_1110	:Reserved
0_1111	:Reserved
1_0000	:AINB16
1_0001 ~ 1_1111	:Reserved

ADxASET03：常時トリガ用プログラムレジスタ 03

	31	30	29	28	27	26	25	24
bit symbol	ENSA3	-	-	AINSA3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA2	-	-	AINSA2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA1	-	-	AINSA1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA0	-	-	AINSA0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA3	R/W	ADxREG3 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA3[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
23	ENSA2	R/W	ADxREG2 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA2[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
15	ENSA1	R/W	ADxREG1 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA1[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
7	ENSA0	R/W	ADxREG0 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA0[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照

ADxASET47：常時変換用プログラムレジスタ 47

	31	30	29	28	27	26	25	24
bit symbol	ENSA7	-	-	AINSA7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA6	-	-	AINSA6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA5	-	-	AINSA5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA4	-	-	AINSA4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA7	R/W	ADxREG7 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA7[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
23	ENSA6	R/W	ADxREG6 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA6[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
15	ENSA5	R/W	ADxREG5 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA5[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
7	ENSA4	R/W	ADxREG4 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA4[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照

ADxASET811：常時変換用プログラムレジスタ 811

	31	30	29	28	27	26	25	24
bit symbol	ENSA11	-	-	AINSA11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA10	-	-	AINSA10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA9	-	-	AINSA9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA8	-	-	AINSA8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA11	R/W	ADxREG11 イネーブル 0:disable 1:enable
30-29	-	R	リードすると"0"が読めます。
28-24	AINSA11[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
23	ENSA10	R/W	ADxREG10 イネーブル 0:disable 1:enable
22-21	-	R	リードすると"0"が読めます。
20-16	AINSA10[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
15	ENSA9	R/W	ADxREG9 イネーブル 0:disable 1:enable
14-13	-	R	リードすると"0"が読めます。
12-8	AINSA9[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照
7	ENSA8	R/W	ADxREG8 イネーブル 0:disable 1:enable
6-5	-	R	リードすると"0"が読めます。
4-0	AINSA8[4:0]	R/W	AIN 選択 「表 13-5 AD 変換入力端子の選択」を参照

13.5 動作説明

13.5.1 アナログ基準電圧

アナログ基準電圧は AD コンバータ ユニット B の VREFHB、VREFLB 端子にそれぞれ High、Low のレベルを入力します。

内蔵のオペアンプと GND は共通で、それぞれ AMPVDD5 と AMPVSS を接続します。

注 1) AD 変換精度への影響を避けるために AD 動作(変換)中は出力ポートとして使用しているポート J/K の出力データを書き換えないようにしてください。

注 2) 電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力が兼用となっている端子への入力および端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の平均値をとるなどして対策してください。

13.5.2 AD 変換開始

AD コンバータはソフトウエアによる起動（ソフトウエアトリガ）または PMD/タイマからのトリガ信号により任意の AD が変換開始します。

- PMD トリガ （13.4.22 PMD トリガ用プログラムレジスタ参照）
- タイマトリガ（タイマ５）（13.4.23 タイマトリガ用プログラムレジスタ参照）
- ソフトトリガ （13.4.24 ソフトウェアトリガ用プログラムレジスタ参照）

これらの起動要因には優先順位があり、

PMD トリガ 0 > … > PMD トリガ 5 > タイマ > ソフトウエア > 常時

上位の起動要因(トリガ)が発生した時は、実行中のAD 変換を中止して直ちに上位のプログラムを実行します。PMD トリガによるAD 変換実行中に上位要因が発生時は、実行中の AD 変換終了後に上位のプログラムに移行します。

起動要因発生から実際の AD 変換実行までには遅れがあります。トリガ要因による AD 変換タイミングと遅延時間を以下に示します。

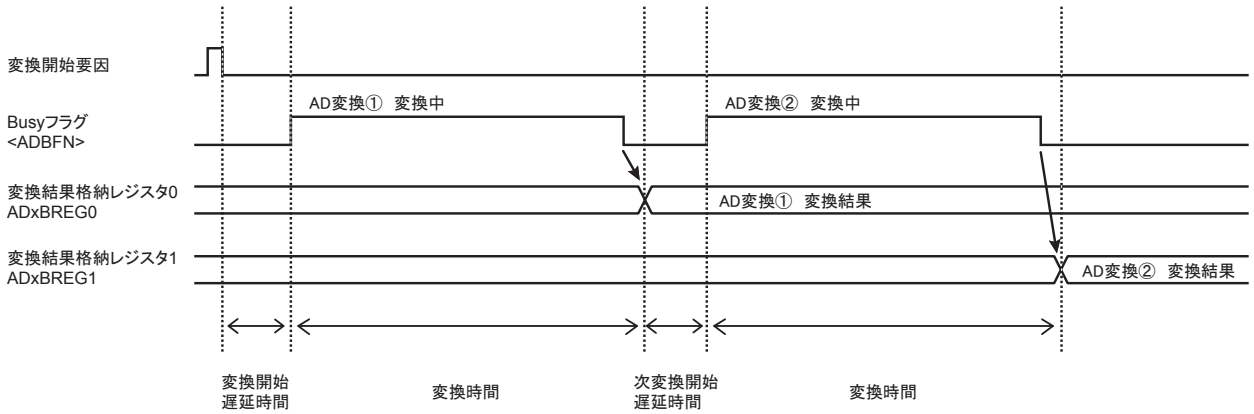


図 13-3 AD 変換開始動作タイミングチャート

表 13-6 AD 変換時間と変換開始遅延時間(SCLK = 40MHz)

		fsys = 40MHz	
	変換開始要因	MIN	MAX
開始遅延時間[μs] (注 1)	PMD	0.225	0.3
	TMRB	0.225	0.5
	ソフトウエア、常時変換	0.25	0.525
AD 変換時間[μs]	−	1.85	
次変換開始遅延時間 [μs] (注 2)	PMD	0.175	0.225
	TMRB、ソフトウエア、常時変換	0.175	0.425

注 1)　変換開始要因発生から AD 変換開始までの時間
注 2)　同一変換開始要因で複数の変換を設定する場合の 2 番目以降の開始遅延時間

13.5.3　AD 監視機能

本 AD コンバータには AD 監視機能があり、監視機能有効時に比較条件と一致した場合、割り込みを発生します。

ADxCMPCR0<CMP0EN>または ADxCMPCR1<CMP1EN>を"1"に設定すると AD 監視機能が有効となり、<REGS0>/<REGS1>で指定された変換結果格納レジスタの内容が比較レジスタの値以上または以下になると AD 監視機能割り込みが発生します（<ADBIG0>/<ADBIG1>で以上、以下を指定)

比較動作は監視機能が設定された変換結果格納レジスタに対し、変換結果が格納されるごとにおこなわれ、条件が成立すると割り込みが発生します。

注 1)　AD 監視機能による比較動作では AD 変換結果格納フラグ<ADR0RF> ~ <ADR11RF>はクリアされません。
注 2)　AD 監視機能は通常の読み出し動作と異なりますので、ソフトによる変換結果読み出しなしに連続して AD 変換がおこなわれる場合は、Over Run フラグ<OVR0> ~ <OVR11>が"1"にセットされます。

13.6 AD 変換タイミングチャート

ソフトウエア AD 変換、常時 AD 変換、PMD トリガ／タイマトリガ受け付け時のタイミングチャートを以下に示します。

13.6.1 ソフトウエア AD 変換

ソフトウエア AD 変換では、ADxSSET03, ADxSSET47, ADxSSET811 でプログラムされた AD 変換が終了時に割り込みが発生します(図 13-4)。

ソフトウエア AD 変換中に ADxMOD1<ADEN> = "0"とした場合、実行中の AD 変換を終了します。このとき、変換途中の結果はレジスタには格納されません(図 13-5)。

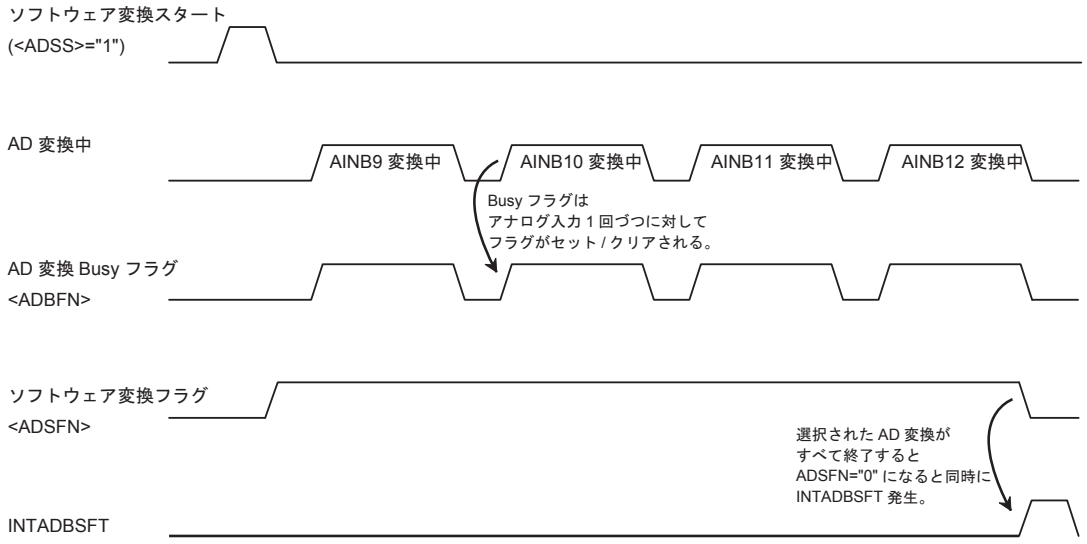


図 13-4 ソフトウェア AD 変換時のタイミングチャート

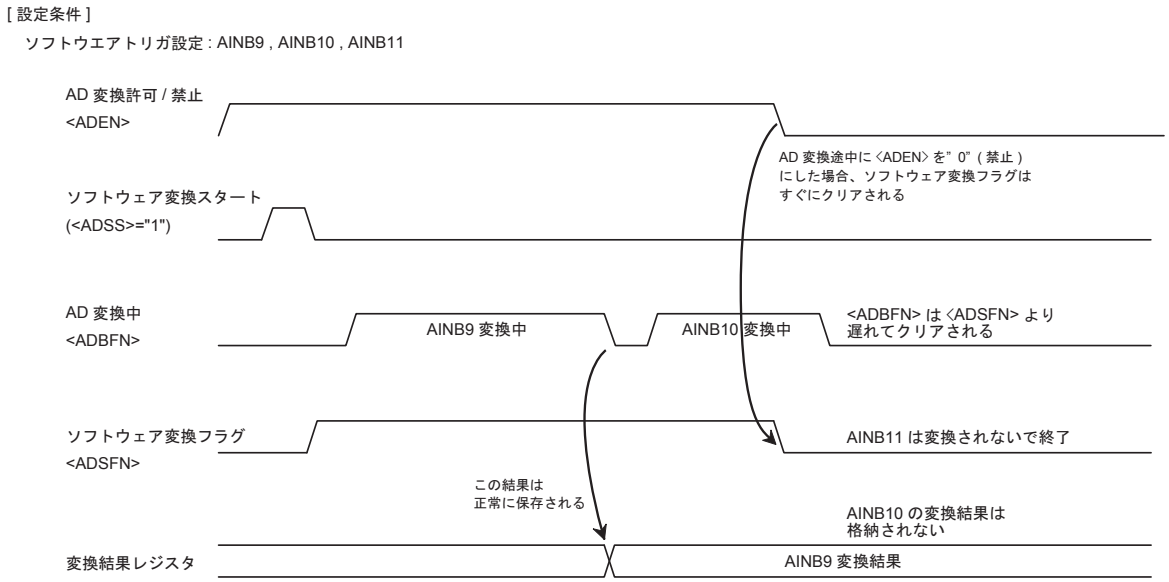


図 13-5 ソフトウェア AD 変換中に<ADEN> = "0"書き込み

13.6.2　常時 AD 変換

常時 AD 変換では、変換結果を読み出す前に次の AD 変換が終了した場合、Over Run フラグが"1"にセットされます。このとき、変換結果レジスタは後続のデータによって上書きされます。OverRun フラグは変換結果を読み出すことにより"0"にクリアされます（図 13-6）。

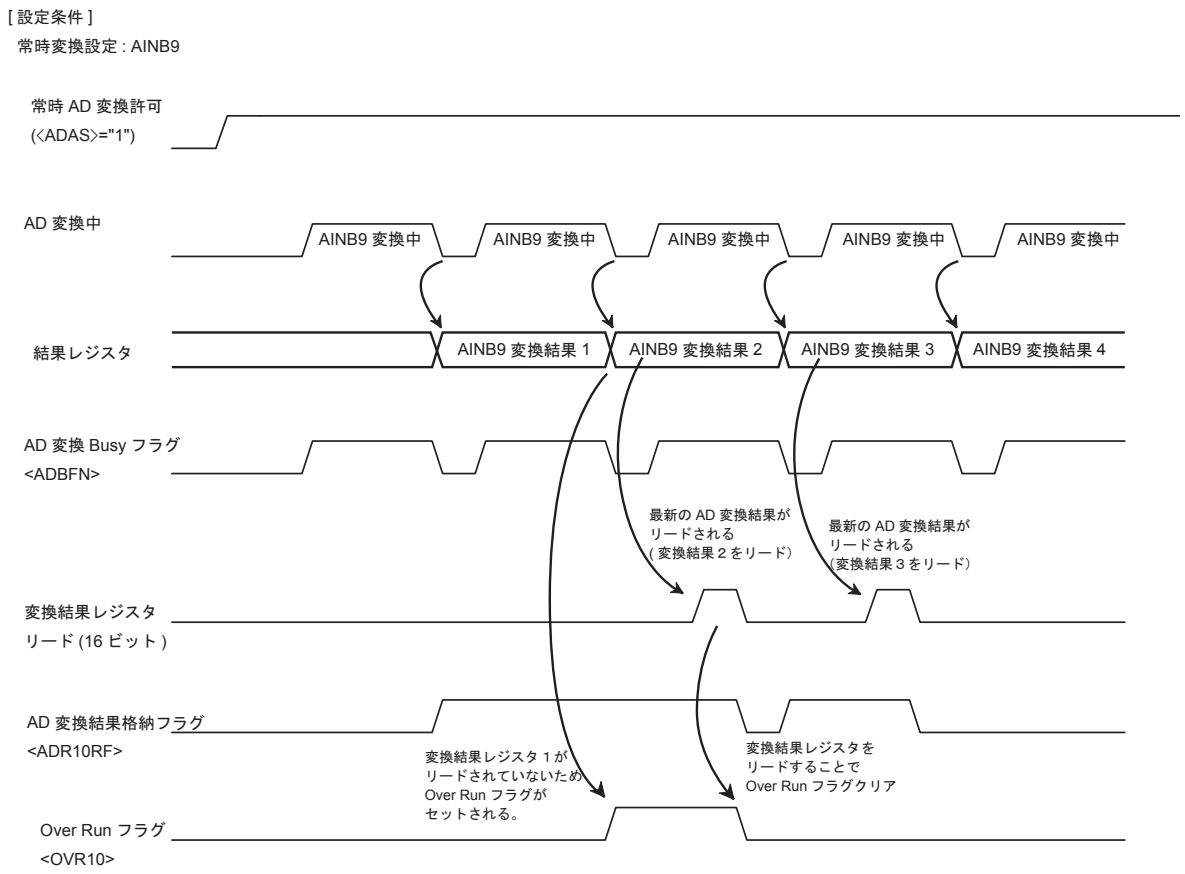


図 13-6 常時 AD 変換時のタイミングチャート

13.6.3 トリガによる AD 変換開始

ソフトウエアAD 変換実行中にPMD トリガが発生した場合、実行中のソフトウエアAD 変換は直ちに中断して PMD トリガによるAD 変換を開始します(図 13-7)。PMD トリガによるAD 変換が終了後、ソフトウエアAD 変換は設定されたプログラムの最初からAD 変換を開始します。タイマトリガが発生した場合も同様です(図 13-8)。

【設定条件】
ソフトウェアトリガ設定：AINB9 , AINB10 , AINB11
PMD トリガ設定：AINB12

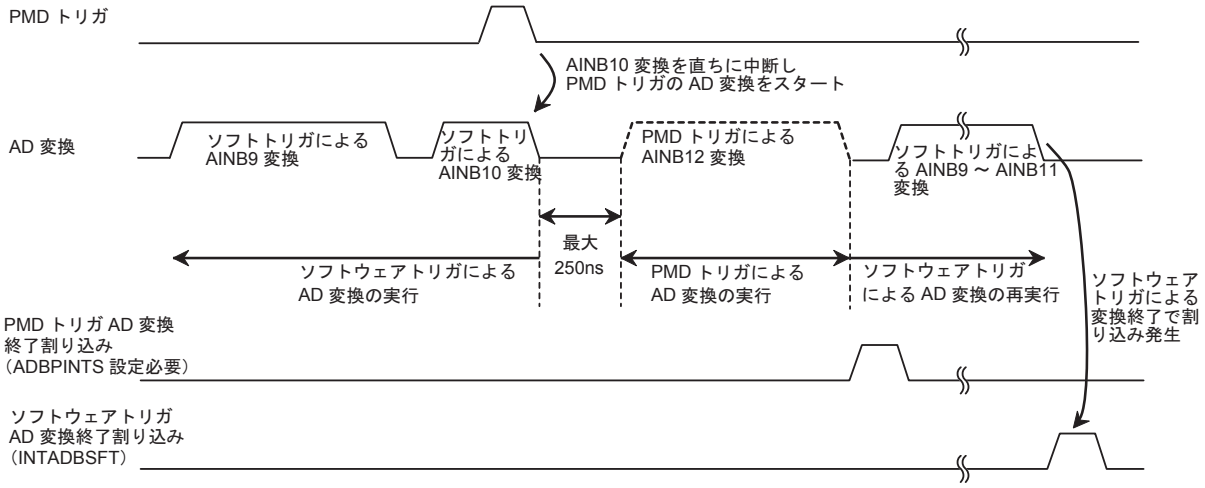


図 13-7 ソフトウエア AD 変換中の PMD トリガ発生

【条件設定】
ソフトウエアトリガ設定: AINB9、AINB10、AINB11
タイマトリガ設定: AINB12

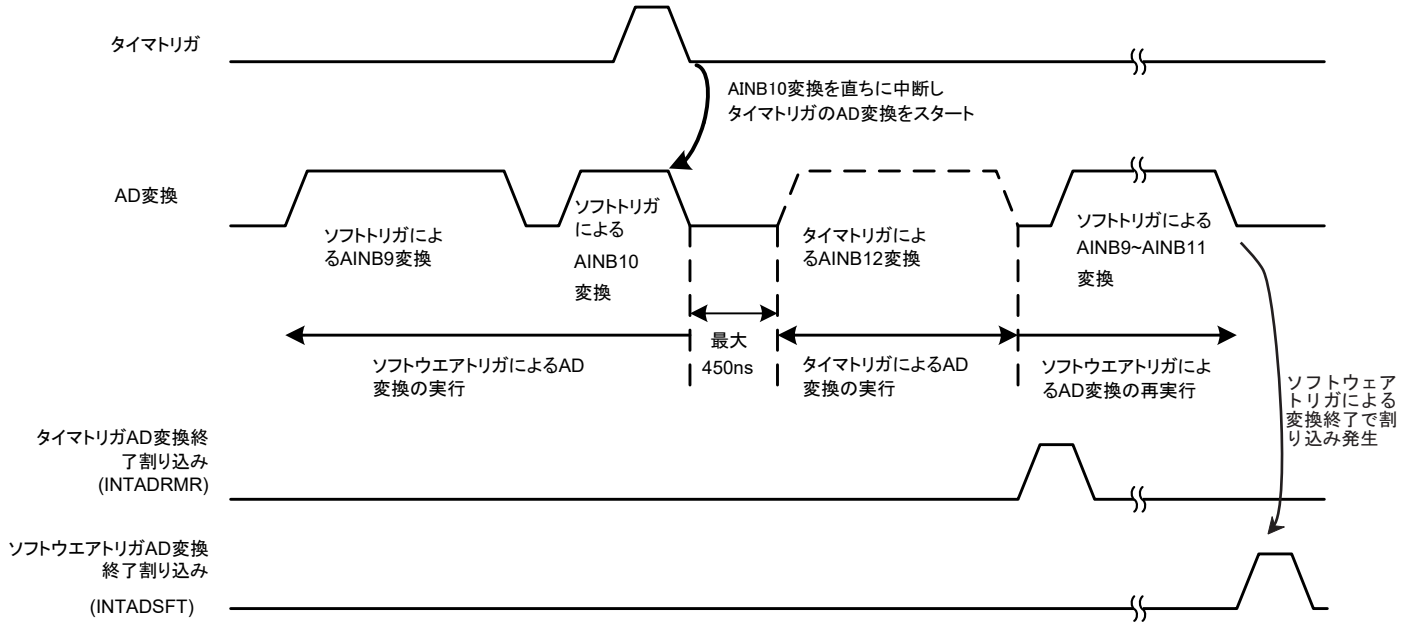


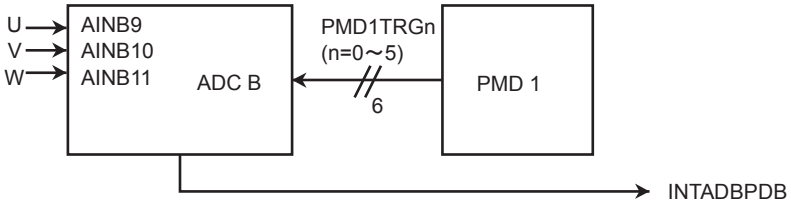
図 13-8 ソフトウエア AD 変換中のタイマ トリガ発生

注) タイマトリガを使用しない場合は、INTTB51を使用しないでください。TB5IM<TBIM1>="1"に設定してください。

13.7 使用方法の例

13.7.1 PMD1 (3 シャント)、AD コンバータ × 1、順次変換方式

PMD1 を 3 シャントで、AD コンバータ（ユニット B）を 1 つ使用した場合の回路図を以下に示します。



この場合の AD コンバータの設定例を以下に示します。

AD コンバータユニット B

Program	0	1	2	3	4	5
reg0	U	V	W	V	W	U
reg1	V	W	U	U	V	W
INT	B	B	B	B	B	B

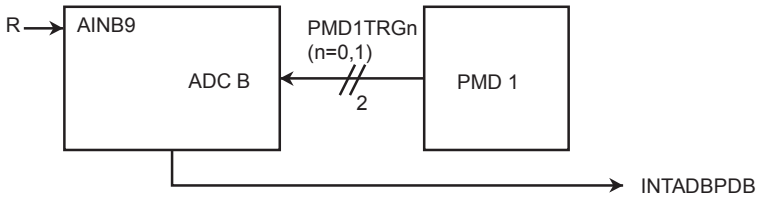
6 本のトリガ入力 PMD1TRG0～5 に対し、ADBPSEL0～5 でそれぞれ 0～5 のプログラム番号を割り付けます。

表中の reg0,1 は ADBPSETn[7:0]および ADBPSETn[15:8]を表します(n：プログラム番号)。表中の「U」、「V」、「W」はモーターの位相を表しており、それぞれの位相が得られる AIN 入力を選択します。

トリガが入力されると reg0、reg1 の順に AD 変換が開始され、それぞれの変換結果が変換結果格納レジスタへ保存され、INTADBPDB 割り込みが出力されます。

13.7.2　PMD1 (1 シャント)、AD コンバータ × 1、順次変換方式

PMD1 を 1 シャントで 1 つ、AD コンバータ を 1 つ使用した場合の回路図を以下に示します。



この場合の AD コンバータの設定例を以下に示します。

AD コンバータユニット B

トリガ	PMD1	PMD1
	0	1
Program	0	1
reg0	R	-
reg1	-	R
INT	-	B

PMD1 から出力される 2 本のトリガ信号に対し、それぞれプログラム番号を割り付けています。

表中の reg0,1 は ADBPSETn[7:0]、ADBPSETn[15:8]を表します(n：プログラム番号)。表中の「R」は抵抗を表しており、接続されている AIN を設定します。

トリガが入力されると AD コンバータ ユニット B の AD 変換が開始し、変換結果が変換結果格納レジスタ 0 と 1 に保存されます。プログラム 0、1 の順で変換が実行され、終了すると INTADBPDB 割り込みを発生します。

第 14 章　モータ制御回路(PMD : Programmable Motor Driver)

TMPM375FSDMG はモータ制御回路(PMD)を 1 チャネル内蔵しています。

本製品の PMD はベクトルエンジン(VE+)やアナログ/デジタルコンバータ(ADC)と連携動作してベクトル制御などの 3 相モータ制御を実現します。パルス幅変調回路、通電制御および同期トリガ生成回路は VE からの指令で動作可能で、同期トリガ生成回路は ADC に変換開始指令ができます。

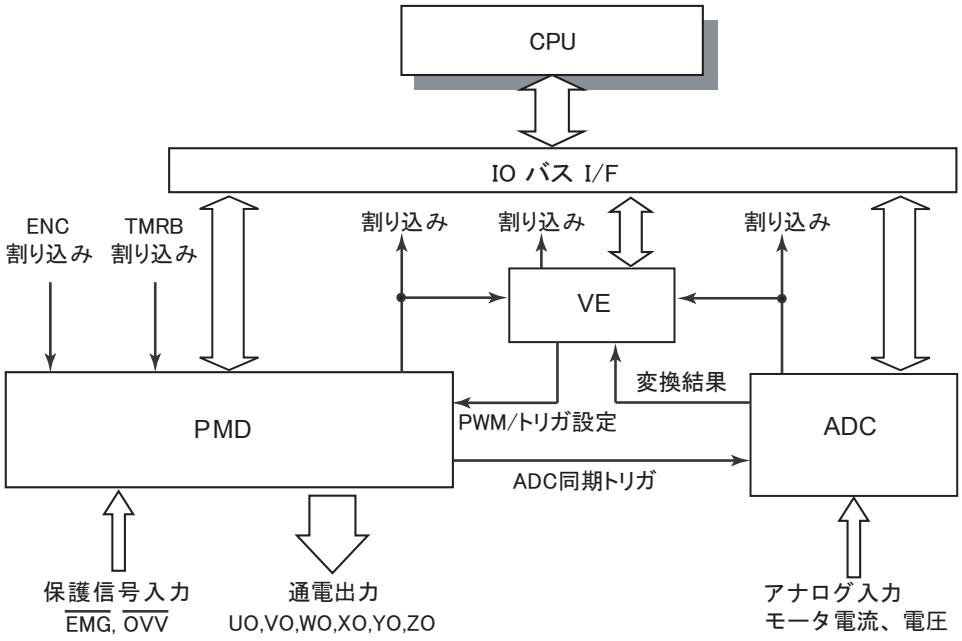


図 14-1 モータ制御関連機能のブロック図

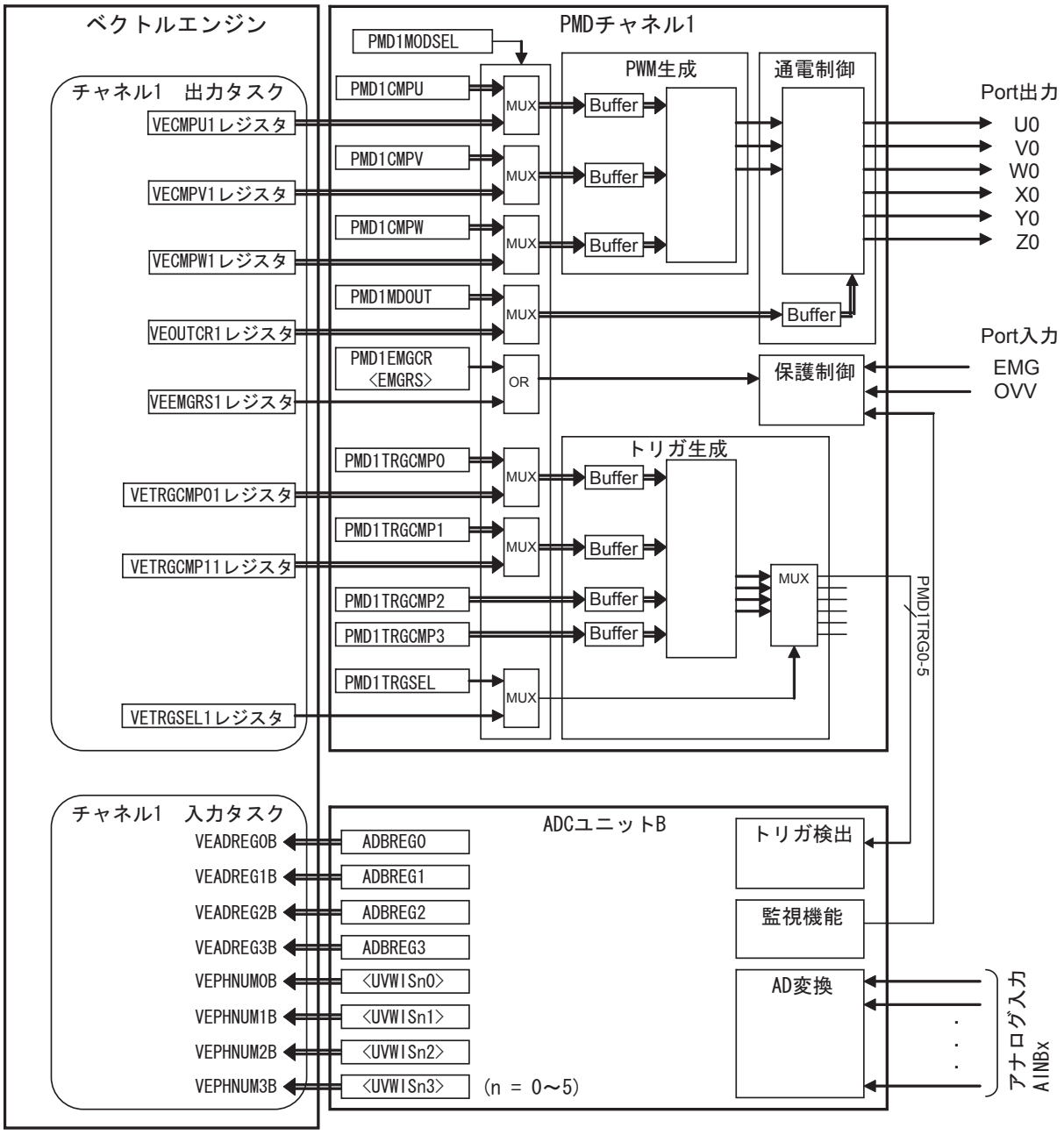


図 14-2 モータ制御回路とベクトルエンジンおよび A/D 変換器の関連図

14.1 PMD 回路への入出力信号の動作説明

モータ制御回路のチャネル別の入力信号および出力信号は以下の通りです。

表 14-1 入出力信号一覧

CH	端子名	PMD 信号名	機能
PMD1	PG6/$\overline{\text{EMG}}$/$\overline{\text{OVV}}$	$\overline{\text{EMG}}$/$\overline{\text{OVV}}$	EMG 状態信号/OVV 状態信号
	PG5/UO	UO	U 相出力
	PG4/XO	XO	X 相出力
	PG3/VO	VO	V 相出力
	PG2/YO	YO	Y 相出力
	PG1/WO	WO	W 相出力
	PG0/ZO	ZO	Z 相出力

14.2　PMD 回路構成

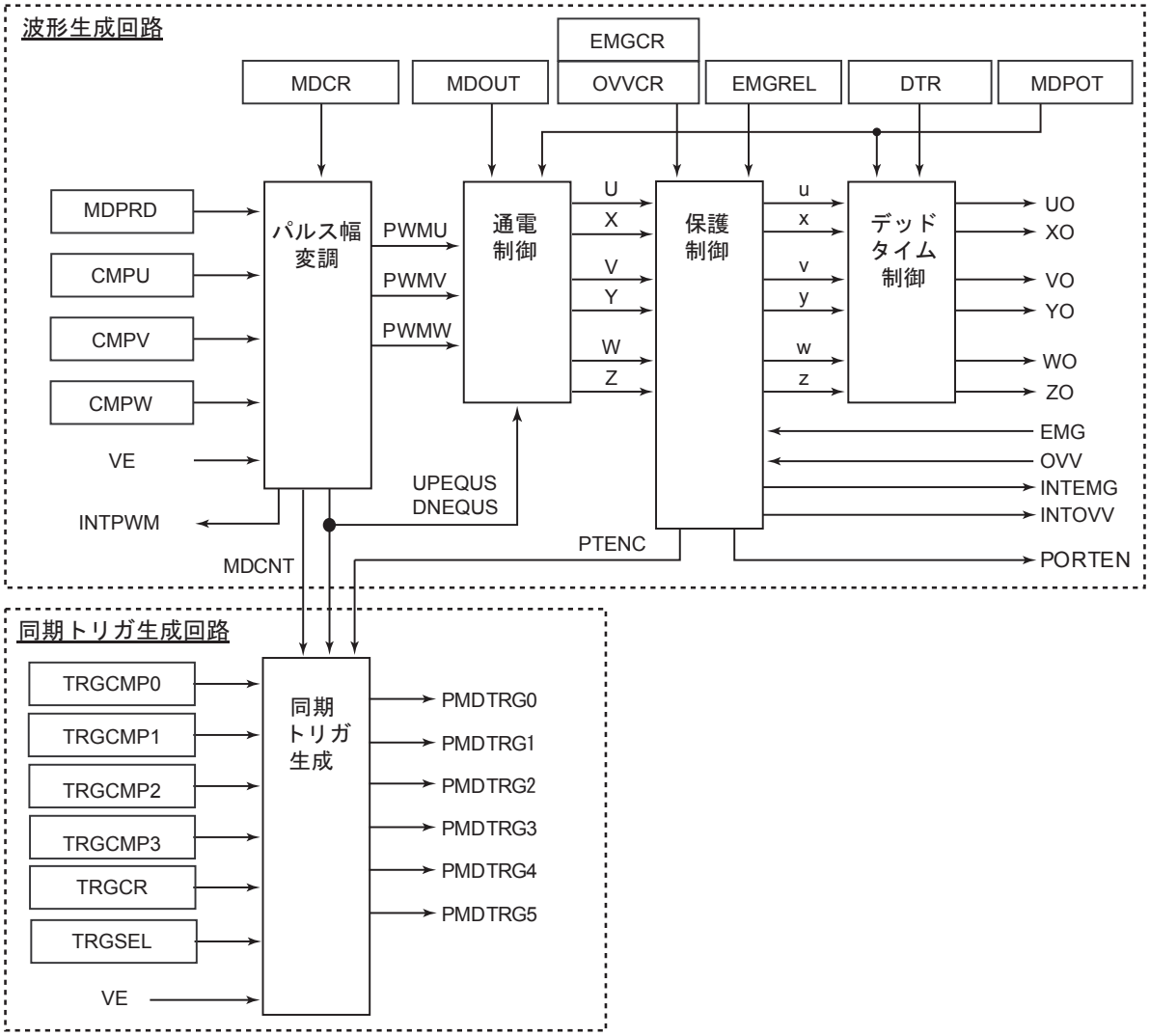


図 14-3 PMD 回路概略図

PMD(プログラマブルモータドライバ)回路は波形生成回路と同期トリガ生成回路の 2 ブロックから成り、波形生成回路はパルス幅変調回路、通電制御回路、保護制御回路、デッドタイム制御回路で構成されています。

- パルス幅変調回路は、PWM キャリアが共通で 3 相の独立した PWM 波形を生成します。
- 通電制御回路は U、V、W 相の各上下相の出力パターンを決定します。
- 保護回路では EMG 入力、OVV 入力による緊急出力停止を行ないます。
- デッドタイム制御回路では上下相の切り替え時の短絡を防止します。
- 同期トリガ生成回路では ADC への同期トリガ信号を生成します。

14.3 PMD レジスター覧

レジスタとアドレスを示します。

Base Address = 0x4005_0480

レジスタ名		Address(Base+)
PMD イネーブルレジスタ	PMD1MDEN	0x0000
ポート出力モードレジスタ	PMD1PORTMD	0x0004
PMD コントロールレジスタ	PMD1MDCR	0x0008
PWM カウンタステータスレジスタ	PMD1CNTSTA	0x000C
PWM カウンタレジスタ	PMD1MDCNT	0x0010
PWM 周期レジスタ	PMD1MDPRD	0x0014
PWM コンペア U レジスタ	PMD1CMPU	0x0018
PWM コンペア V レジスタ	PMD1CMPV	0x001C
PWM コンペア W レジスタ	PMD1CMPW	0x0020
モード選択レジスタ	PMD1MODESEL	0x0024
PMD 通電制御レジスタ	PMD1MDOUT	0x0028
PMD 出力設定レジスタ	PMD1MDPOT	0x002C
EMG 解除レジスタ	PMD1EMGREL	0x0030
EMG コントロールレジスタ	PMD1EMGCR	0x0034
EMG ステータスレジスタ	PMD1EMGSTA	0x0038
OVV コントロールレジスタ	PMD1OVVCR	0x003C
OVV ステータスレジスタ	PMD1OVVSTA	0x0040
デッドタイムレジスタ	PMD1DTR	0x0044
トリガコンペア 0 レジスタ	PMD1TRGCMP0	0x0048
トリガコンペア 1 レジスタ	PMD1TRGCMP1	0x004C
トリガコンペア 2 レジスタ	PMD1TRGCMP2	0x0050
トリガコンペア 3 レジスタ	PMD1TRGCMP3	0x0054
トリガコントロールレジスタ	PMD1TRGCR	0x0058
トリガ出力モード設定レジスタ	PMD1TRGMD	0x005C
トリガ出力選択レジスタ	PMD1TRGSEL	0x0060
トリガ更新タイミング設定レジスタ	PMD1TRGSYNCR	0x0064
Reserved	−	0x0068
Reserved	−	0x006C
Reserved	−	0x0070
Reserved	−	0x0074
Reserved	−	0x0078
Reserved	−	0x007C

注) "Reserved" 領域にはアクセスしないでください。

14.3.1　PMD1MDEN(PMD イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PWMEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	PWMEN	R/W	波形合成機能の許可/禁止を制御。 0: 禁止 1: 許可 注)ポートを機能出力(PWM 出力)として設定している場合、<PWMEN>="0"でポートは出力禁止(ハイインピーダンス)になります。 注)出力ポート極性等、<PWMEN>以外の初期設定を行った後に、<PWMEN>="1"に設定して下さい。

14.3.2 PMD1PORTMD(ポート出力モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PORTMD	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1-0	PORTMD[1:0]	R/W	ツールブレーク時のポート制御の設定 00 : 上相 High-z / 下相 High-z 01 : 上相 High-z / 下相 PMD 出力 10 : 上相 PMD 出力 / 下相 High-z 11 : 上相 PMD 出力 / 下相 PMD 出力 ポートを機能出力(PMW 出力)で使用中にツールブレークが発生した場合の上相(UO/VO/WO)および下相(XO/YO/ZO)のポート出力を設定します。 "High-z"選択時にツールブレークが発生した場合、ポートを出力禁止(ハイインピーダンス)にします。それ以外の場合は PMD 出力に従います。

注 1) <PWMEN>="0" 時は PORTMD の設定に関わらず出力禁止(ハイインピーダンス)になります。

注 2) ポート出力制御は PMD1EMGCR<EMGMD[1:0]> の設定により EMG 入力時にも行なわれます。

14.3.3　PMD1MODESEL (モード選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DCMPEN	-	-	-	MDSEL3	MDSEL2	MDSEL1	MDSEL0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	DCMPEN	R/W	VE レジスタと PMD レジスタの自動切り替え許可 0: 2 レジスタ切り替え禁止 (<MDSEL0>設定のレジスタのみ使用) 1: 2 レジスタ切り替え許可 (PWM カウンタのアップ期間とダウン期間で切り替え) (注) <MDSEL0>="1"の場合に有効 (注) 三角波キャリア選択(PMD1MDCR<PWMMD>="1")時に有効
6-4	-	R	リードすると"0"が読めます。
3	MDSEL3	R/W	モード選択 3 0: バスモード(PMD レジスタ使用: PMD1TRGSEL) 1: VE モード(VE レジスタ使用: VETRGSEL)
2	MDSEL2	R/W	モード選択 2 0: バスモード(PMD レジスタ使用: PMD1TRGCMP0 および PMD1TRGCMP1) 1: VE モード(VE レジスタ使用: VETRGCMP01 および VETRGCMP11)
1	MDSEL1	R/W	モード選択 1 0: バスモード(PMD レジスタ使用: PMD1MDOUT) 1: VE モード(VE レジスタ使用: VEOUTCR1)
0	MDSEL0	R/W	モード選択レジスタ 0 0: バスモード(PMD レジスタ使用: PMD1CMPU,PMD1CMPV および PMD1CMPW) 1: VE モード(VE レジスタ使用: VECMPU1,VECMPV1,VECMPW1 レジスタの選択および VEEMGRS1 レジスタ許可設定)

14.3.4 パルス幅変調回路

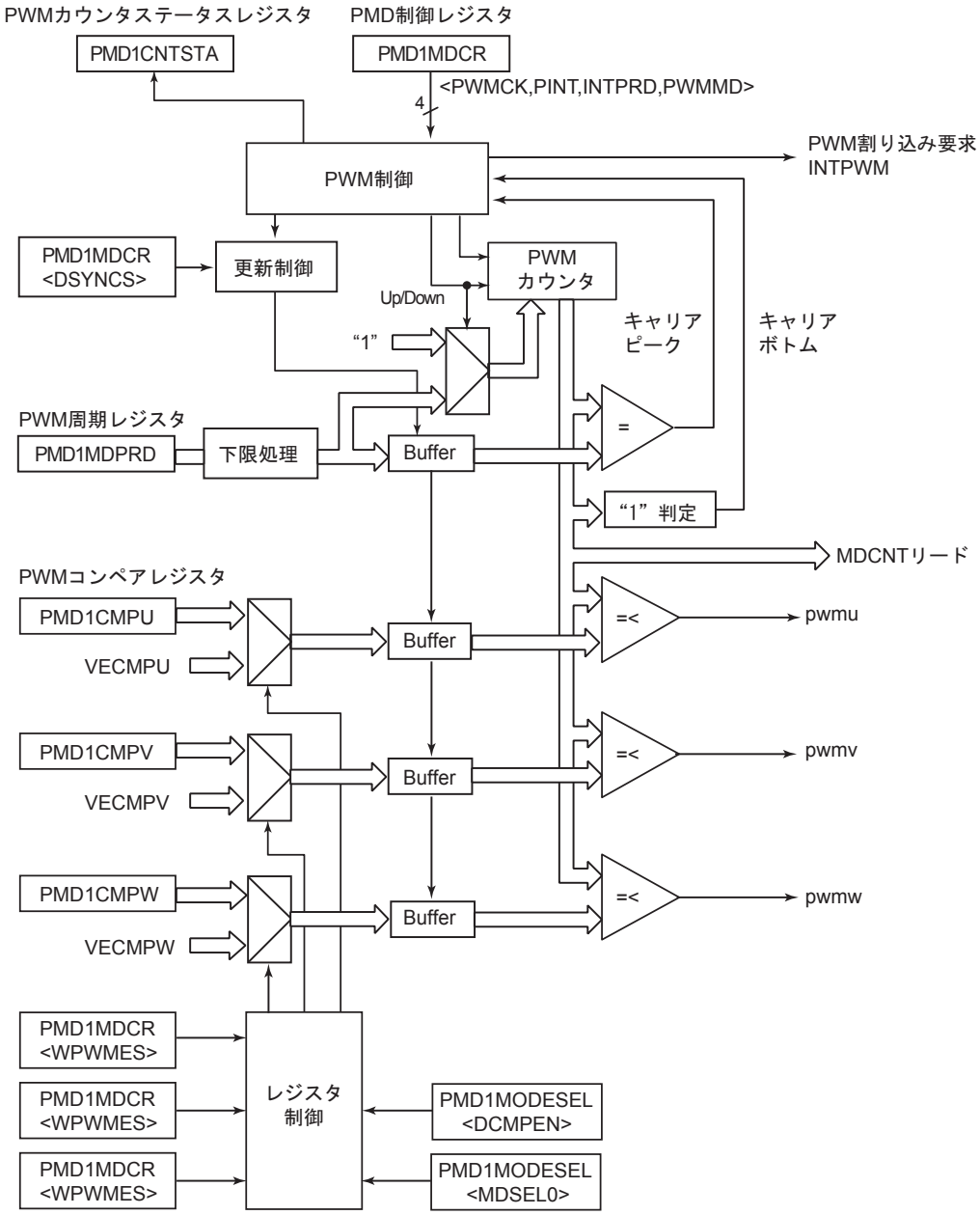


図 14-4 パルス幅変調回路概略図

パルス幅変調回路は、16bit のアップ/ダウンカウンタである PWM カウンタを持ち、25nsec@40MHz の分解能で PWM キャリアを生成します。PWM 周期延長モード<PWMCK="1">にすることにより、PWM カウンタは 100nsec@40MHz の分解能で PWM キャリアを生成します。

PWM キャリアの波形モードは PWM モード 0 としてエッジ PWM(のこぎり波変調)、モード 1 としてセンター PWM(三角波変調)を選択可能です(「図 14-5 PWM 波形」参照)。また、三角波変調ではセンタ PWM の他に立ち下がりエッジ固定と立ち上がりエッジ固定の PWM を相別に選択することができます。(「図 14-6 三角波キャリア PWM のエッジ固定波形」参照)。

1. PWM 周期設定

PMD1MDPRD により PWM 周期を決定します。PMD1MDPRD はダブルバッファ構成であり、後段バッファは PWM 周期で更新されます。PWM 半周期毎の更新も選択できます(「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」参照)。

$$\text{のこぎり波PWM：PMD1MDPRDレジスタ設定} = \frac{\text{発振周波数[Hz]}}{\text{PWM周波数[Hz]}}$$

$$\text{三角波変調ＰWM：PMD1MDPRDレジスタ設定値} = \frac{\text{発振周波数[Hz]}}{\text{PWM周波数[Hz]} \times 2}$$

2. コンペア機能

3 相の PWM コンペアレジスタ(PMD1CMPU/V/W)の値と、PWM カウンタ PMD1MDCNT <MDCNT[15:0]>により生成される PWM キャリアをコンパレータで大小比較して所望のデューティの PWM 波形を生成します。

各相の PWM コンペアレジスタはダブルバッファ構成となります。PWM コンペアレジスタの値は PWM 周期に同期して後段バッファにロードされます。PWM 半周期での更新(半周期毎ロード)も選択できます(「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」参照)。

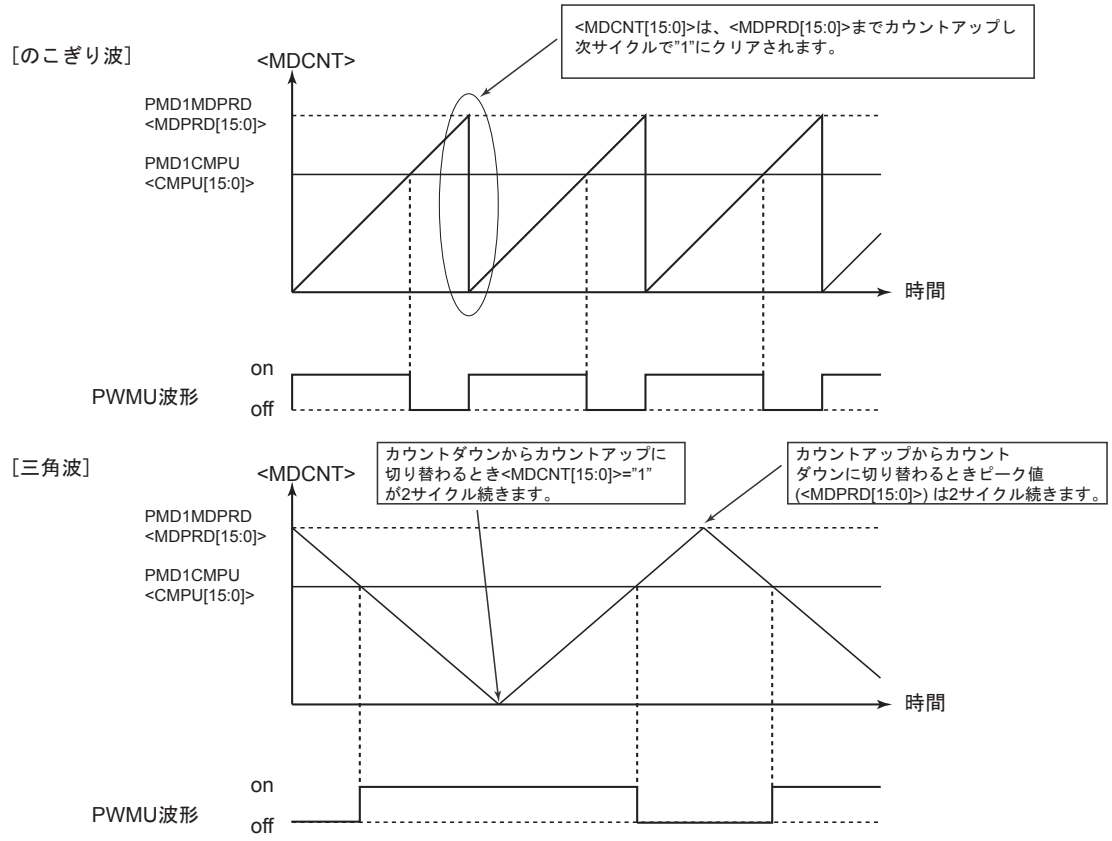
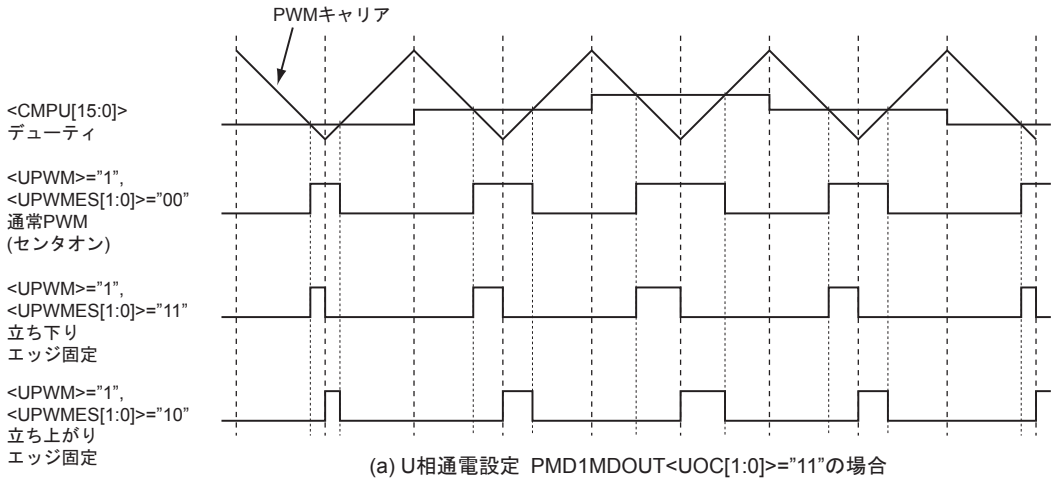
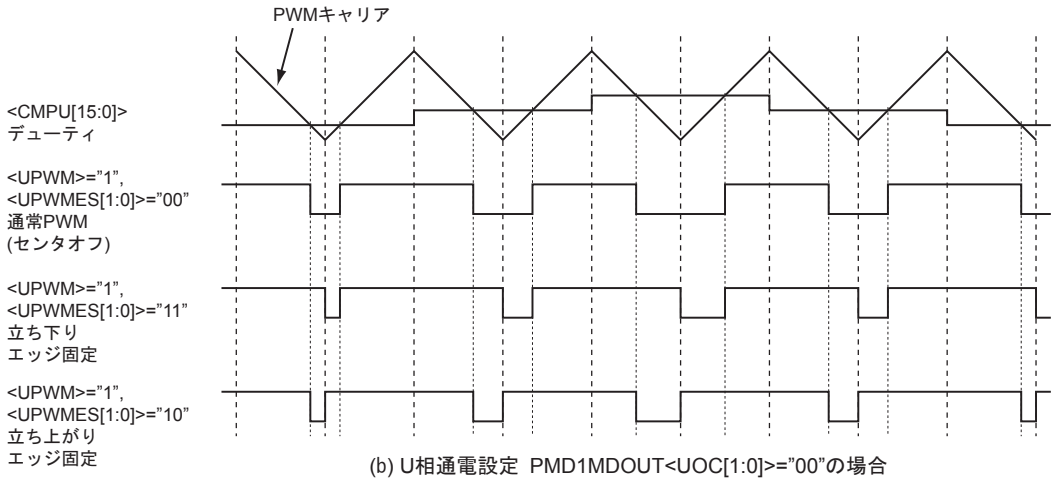


図 14-5 PWM 波形



(a) U相通電設定 PMD1MDOUT<UOC[1:0]>="11"の場合



(b) U相通電設定 PMD1MDOUT<UOC[1:0]>="00"の場合

図 14-6 三角波キャリア PWM のエッジ固定波形

3. 波形モード

2 種類の 3 相 PWM の生成方法を選択できます。

1. 3 相独立 Duty モード: 3 相の PWM コンペアレジスタにそれぞれ独立した値を設定して、3 相の独立した PWM 波形を生成します。これは、正弦波等の任意の駆動波形生成に使用します。

2. 3 相共通 Duty モード: U 相の PWM コンペアレジスタだけに設定し、U 相の設定値で 3 相同一の PWM 波形を生成します。これは、DC モータの矩形波駆動に使用します。

4. 割り込み処理

パルス幅変調回路では PWM 波形に同期して PWM 割り込み要求を発生します。割り込み要求の発生タイミングは PWM キャリアピークと PWM キャリアボトムを選択できます。

PWM 割り込みの頻度は PWM 周期半周期に 1 回、1 周期に 1 回、2 周期に 1 回、4 周期に 1 回を選択することができます。

14.3.4.1　PMD1MDCR (PMD コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	WPWMES		VPWMES		UPWMES		DSYNCS	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PWMCK	SYNTMD	DTYMD	PINT	INTPRD		PWMMD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-14	WPWMES[1:0]	R/W	W 相 PWM エッジ設定 00:エッジ固定なし(センタ PWM) 01: Reseved 10: PWM 立ち上がりエッジ固定(キャリアボトムに固定) 11: PWM 立ち下がりエッジ固定(キャリアボトムに固定) 注) 三角波キャリア選択(<PWMMD> ="1")時に有効
13-12	VPWMES[1:0]	R/W	V 相 PWM エッジ設定 00:エッジ固定なし(センタ PWM) 01: Reseved 10: PWM 立ち上がりエッジ固定(キャリアボトムに固定) 11: PWM 立ち下がりエッジ固定(キャリアボトムに固定) 注) 三角波キャリア選択(<PWMMD> ="1")時に有効
11-10	UPWMES[1:0]	R/W	U 相 PWM エッジ設定 00:エッジ固定なし(センタ PWM) 01: Reseved 10: PWM 立ち上がりエッジ固定(キャリアボトムに固定) 11: PWM 立ち下がりエッジ固定(キャリアボトムに固定) 注) 三角波キャリア選択(<PWMMD> ="1")時に有効
9-8	DSYNCS[1:0]	R/W	Duty コンペアレジスタと PWM 周期レジスタのダブルバッファ更新タイミング 00: 割り込み周期設定(INTPRD)によります。(表 14-2 参照) 0.5 周期割り込み要求選択(<INTPRD>="00")時はキャリアピークとボトムで更新、それ以外ではキャリアピーク更新 01: PWM キャリアボトムで更新 10: PWM キャリアピークで更新 11: PWM キャリアのピークとボトムで更新 注 1) ノコギリ波キャリア選択(<PWMMD>="0")時は設定に関わらずキャリアピーク更新になります。 注 2) PMD1MDEN<PWMEN>="0" 時は設定に関わらず非同期更新になります。
7	-	R	リードすると"0"が読めます。
6	PWMCK	R/W	PWM 周期延長モードを指定 0: 通常周期 1: 4 倍周期 PWM カウンタのカウント周期を設定します。 通常周期設定:ノコギリ波 25ns / 三角波 50ns@fsys=40MHz 4 倍周期設定:ノコギリ波 100ns / 三角波 200ns@fsys=40MHz
5	SYNTMD	R/W	ポート出力モード設定 <nOC>,<nPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。 (表 14-5)

Bit	Bit Symbol	Type	機能
4	DTYMD	R/W	DUTY モード選択 0: 3 相共通 1: 3 相独立 デューティの設定を PMD1CMPU/V/W の 3 相独立で行うか、PMD1CMPU レジスタの設定を 3 相共通で用いるかの選択を行います。
3	PINT	R/W	PWM 割り込み要求タイミング選択 0: PWM キャリアボトム(PMD1MDCNT<MDCNT[15:0]>=0x0001)で割り込み要求発生 1: PWM キャリアピーク(PMD1MDCNT<MDCNT[15:0]>=PMD1MDPRD<MDPRD[15:0]>)で割り込み要求発生 注 1) PWM キャリアがノコギリ波(<PWMMD>="0")の場合はキャリアピークになります。 注 2) 割り込み周期が 0.5 周期(<INTPRD>="00")の場合はキャリアピークとキャリアボトムの両方になります。
2-1	INTPRD[1:0]	R/W	PWM 割り込み要求周期選択 00: PWM 0.5 周期毎に割り込み要求 注 1) PWM キャリアが三角波(<PWMMD>="1")の場合のみ設定可能 注 2) コンペアレジスタ(PMD1CMPU/V/W)および周期レジスタ PMD1MDPRD のダブルバッファは PWM キャリアのピークとボトムで更新されます。 01: PWM 1 周期毎に割り込み要求 10: PWM 2 周期毎に割り込み要求 11: PWM 4 周期毎に割り込み要求 PWM 割り込み要求の発生する頻度を PWM 周期の 0.5 周期/1 周期/2 周期/4 周期に 1 回から選択します。
0	PWMMD	R/W	PWM キャリア波形選択 0: PWM モード 0(エッジ PWM、ノコギリ波) 1: PWM モード 1(センタ PWM、三角波)

表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御

設定		更新タイミング
<DSYNCS[1:0]>	<INTPRD[1:0]>	
00	1x	PWM キャリアピークで更新
	x1	PWM キャリアピークで更新
	00	PWM キャリアのピークとボトムで更新
01	xx	PWM キャリアボトムで更新
10	xx	PWM キャリアピークで更新
11	xx	PWM キャリアのピークとボトムで更新

x : Don’t care

表 14-3 PMD1CMPU/V/W および VECMPU1/V1/W1 レジスタ切り替え制御

共通設定		相別設定	レジスタ選択信号
<DSYNCS[1:0]>	<INTPRD[1:0]>	<nPWMES[1]>	
01	xx	x	VE レジスタ
10	xx	x	VE レジスタ
11	xx	0	アップカウント中:PMD レジスタ ダウンカウント中:VE レジスタ
		1	VE レジスタ
00	00	0	アップカウント中:PMD レジスタ ダウンカウント中:VE レジスタ
		1	VE レジスタ

注) <MDSEL0>="1", <DCMEN>="1", <PWMMD>="1" の場合に有効

x : Don’t care

14.3.4.2　PMD1CNTSTA (PWM カウンタステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UPDWN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	UPDWN	R	PWM カウンタフラグ 0: アップカウント中 1: ダウンカウント中 PWM カウンタがアップカウント中かダウンカウント中かを示します。 注) ノコギリ波キャリア(PMD1MDCR<PWMMD>="0")は、常に"0"が読み出されます。

14.3.4.3 PMD1MDCNT(PWM カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	MDCNT[15:0]	R	PWM カウンタ PWM キャリア波形となるアップダウンカウンタを読み出せます。 カウンタ値分解能 25ns@fsys=40MHz 注 1) 4 倍周期モード(PMD1MDCR<PWMCK>="1")の場合、分解能は 100ns@fsys=40MHz になります。 注 2) PMD 禁止(PMD1MDEN<PWMEN>="0")の PWM カウンタ値は PMD1MDCR<PWMMD> 設定(キャリア波形選択)によって、以下のようになります。 <PWMMD>="0"の場合: 0x0001 <PWMMD>="1"の場合: PMD1MDPRD<MDPRD[15:0]>レジスタ 値

14.3.4.4　PMD1MDPRD(PWM 周期レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	MDPRD[15:0]	R/W	PWM 周期設定。 <MDPRD[15:0]> ≥ 0x010 PWM 周期は PWM 周期延長モード PMD1MDCR<PWMCK>と PWM キャリア波形<PWMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>="0"の場合、<PWMMD>="0" : <MDPRD> × 1/fsys <PWMMD>="1" : <MDPRD> × 2/fsys <PWMCK>="1"の場合、 <PWMMD>="0" : <MDPRD> × 4/fsys <PWMMD>="1" : <MDPRD> × 8/fsys 注) <MDPRD[15:0]>に 0x010 未満の値を設定した場合、自動的に<MDPRD[15:0]>=0x010 として動作します(レジスタには設定した値が入ります)。

注 1)　このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 2)　PMD1MDPRD レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 3)　後段バッファの更新タイミングは「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」を参照してください。

注 4)　リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.4.5 PMD1CMPU (U 相用 PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPU							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPU							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CMPU[15:0]	R/W	U 相 PWM パルス幅の設定。 0x0000 ~ 0xFFFF 注) <CMPU> > <MDPRD>の場合、デューティ 100%になります。 U 相 PWM のパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。後段のバッファと PWM カウンタとを大小比較しパルス幅を決定します。 パルス幅は PWM 周期延長モード PMD1MDCR<PWMCK>と PWM キャリア波形<PWMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>="0"の場合、<PWMMD>="0" : <CMPU> × 1/fsys <PWMMD>="1" : <CMPU> × 2/fsys <PWMCK>="1"の場合、 <PWMMD>="0" : <CMPU> × 4/fsys <PWMMD>="1" : <CMPU> × 8/fsys

注 1) バスから更新したコンペアレジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL0>に"0" を書き込んでバスモード(デフォルト)にしてください。

注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 3) PMD1CMPU レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 後段バッファの更新タイミングは「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」を参照してください。

注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.4.6　PMD1CMPV (V 相用 PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPV							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPV							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CMPV[15:0]	R/W	V 相 PWM パルス幅の設定。 0x0000 ~ 0xFFFF 注) <CMPV> > <MDPRD>の場合、デューティ 100%になります。 V 相 PWM のパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。後段のバッファと PWM カウンタとを大小比較しパルス幅を決定します。 パルス幅は PWM 周期延長モード PMD1MDCR<PWMCK>と PWM キャリア波形<PWMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>="0"の場合、<PWMMD>="0" : <CMPV> × 1/fsys <PWMMD>="1" : <CMPV> × 2/fsys <PWMCK>="1"の場合、 <PWMMD>="0" : <CMPV> × 4/fsys <PWMMD>="1" : <CMPV> × 8/fsys

注 1)　バスから更新したコンペアレジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL0>に"0" を書き込んでバスモード(デフォルト)にしてください。

注 2)　このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 3)　PMD1CMPV レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4)　後段バッファの更新タイミングは「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」を参照してください。

注 5)　リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.4.7 PMD1CMPW (W 相用 PWM コンペアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPW							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPW							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	CMPW[15:0]	R/W	W 相 PWM パルス幅の設定。 0x0000 ~ 0xFFFF 注) <CMPW> > <MDPRD>の場合、デューティ 100%になります。 W 相 PWM のパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。後段のバッファと PWM カウンタとを大小比較しパルス幅を決定します。 パルス幅は PWM 周期延長モード PMD1MDCR<PWMCK>と PWM キャリア波形<PWMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>="0"の場合、<PWMMD>="0" : <CMPW> × 1/fsys <PWMMD>="1" : <CMPW> × 2/fsys <PWMCK>="1"の場合、 <PWMMD>="0" : <CMPW> × 4/fsys <PWMMD>="1" : <CMPW> × 8/fsys

注 1) バスから更新したコンペアレジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL0>に"0" を書き込んでバスモード(デフォルト)にしてください。

注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 3) PMD1CMPW レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 後段バッファの更新タイミングは「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」を参照してください。

注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.5　通電制御回路

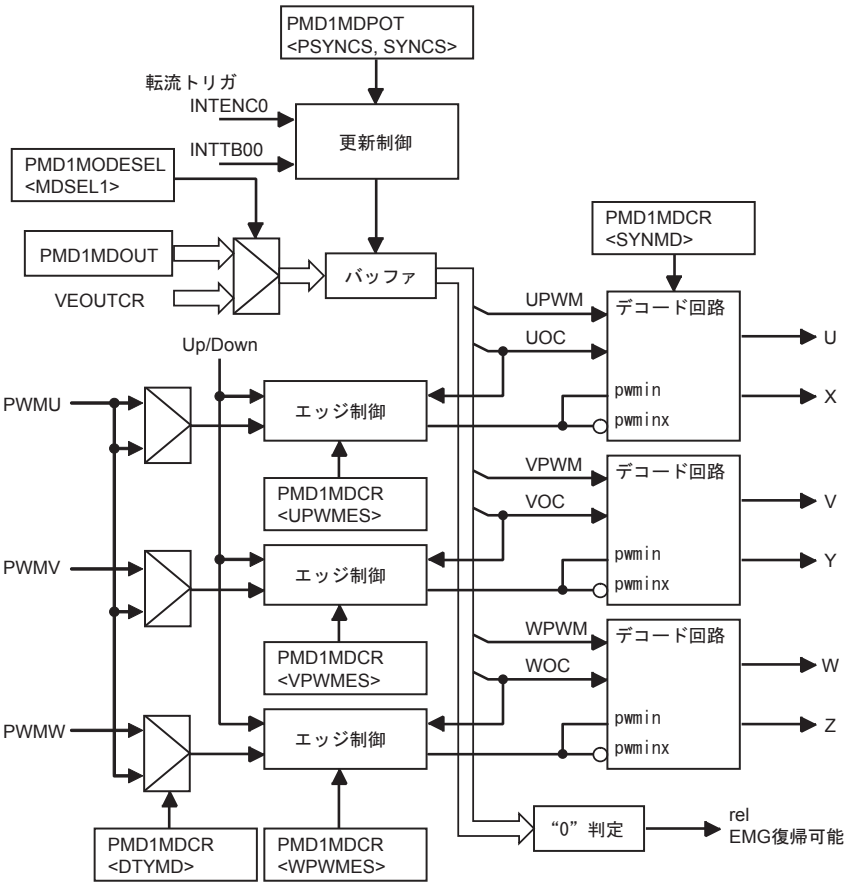


図 14-7 通電制御回路概略図

通電制御レジスタ PMD1MDOUT(VEOUTCR)と出力設定レジスタ PMD1MDPOT の設定により、出力ポートの制御を行います。PMD1MDOUT(VEOUTCR)レジスタはダブルバッファ構成であり、更新タイミングは PWM への同期更新と非同期更新を選択できます。また、トリガ入力に同期した更新を選択することも可能です。（更新タイミングは「表 14-4 PMD1MDOUT(VEOUTCR)バッファの更新タイミング」を参照してください。）

6 本のポートの出力設定は、上相出力(UO,VO,WO)と下相出力(XO,YO,ZO)のそれぞれにローアクティブ/ハイアクティブ設定を PMD1MDPOT の<POLH>,<POLL> により行うことができます。さらに、U,V,W それぞれに、PWM 出力と High/Low 出力との選択を PMD1MDOUT(VEOUTCR) の<WPWM>,<VPWM>,<UPWM>により設定します。PWM 出力を選択すると PWM 波形が、High/Low 出力を選択すると High 固定または Low 固定の出力が得られます。それぞれの出力を High にするか Low にするかは PMD1MDOUT(VEOUTCR)の<WOC>,<VOC>,<UOC>で選択します。PMD1MDOUT (VEOUTCR)と PMD1MDPOT によるポート出力設定と PMD 制御レジスタ(PMD1MDCR)のポート出力モード設定によって得られる端子出力の関係については「表 14-5 <UOC>,<VOC>,<WOC>および <UPWM>,<VPWM>,<WPWM>の各ビット設定によるポート出力」を参照してください。

表 14-4 PMD1MDOUT(VEOUTCR)バッファの更新タイミング

		PSYNCS 設定			
		00	01	10	11
SYNCS 設定	00	常時更新	PWM キャリアボトム	PWM キャリアピーク	PWM キャリアピークと PWM キャリアボトム
	01	INTENC 発生時	INTENC 発生毎に最初の PWM キャリアボトム	INTENC 発生毎に最初の PWM キャリアピーク	INTENC 発生毎に最初の PWM キャリアピークか PWM キャリアボトム
	10	INTTB00 発生時	INTTB00 発生毎に最初の PWM キャリアボトム	INTTB00 発生毎に最初の PWM キャリアピーク	INTTB00 発生毎に最初の PWM キャリアピークか PWM キャリアボトム
	11	-	-	-	-

注) PMD 禁止(PMD1MDCR<PMWEN>="0")にすると保持されているトリガ条件はクリアされます。

14.3.5.1　PMD1MDPOT (PMD 出力設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	SYNCS	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	POLH	POLL	PSYNCS	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると"0"が読めます。
9-8	SYNCS[1:0]	R/W	PMD1MDOUT(VEOUTCR)設定転送タイミング選択(トリガ同期設定) 00：非同期 01：INTENC (ENC 割り込み要求) 発生時 10：INTTB00 (TMRB 割り込み要求) 発生時 11：Reserved 通電制御レジスタのバッファ更新タイミングを選択します。 注 1) バッファ更新タイミングは、<PSYNC>設定と<SYNCS>設定の組み合わせで決まります。(「表 14-4 PMD1MDOUT(VEOUTCR)バッファの更新タイミング」参照) 注 2) PMD 禁止(PMD1MDEN<PWMEN>="0") 時は設定に関わらず非同期になります。
7-4	-	R	リードすると"0"が読めます。
3	POLH	R/W	上相出力(UO,VO,WO)の出力極性選択。 0: ローアクティブ 1: ハイアクティブ
2	POLL	R/W	下相出力(XO,YO,ZO)の出力極性選択。 0: ローアクティブ 1: ハイアクティブ
1-0	PSYNCS[1:0]	R/W	PMD1MDOUT(VEOUTCR) 設定転送タイミング選択(PWM 同期設定)。 00: PWM 非同期 PMD1MDOUT/VEOUTCR レジスタ更新と同時にポート出力に反映されます。 01: キャリアボトム(<MDCNT[15:0]>="1"の時) 10: キャリアピーク(<MDCNT[15:0]>=<MDPRD[15:0]>の時) 11: キャリアピークおよびキャリアボトム 通電制御レジスタのバッファ更新タイミングを選択します。 注 1) ノコギリ波キャリア(PMD1MDCR<PWMMD="0")の場合、 "00"以外ではキャリアピーク更新になります。 注 2) バッファ更新タイミングは、<PSYNC>設定と<SYNCS>設定の組み合わせで決まります。(「表 14-4 PMD1MDOUT(VEOUTCR)バッファの更新タイミング」参照) 注 3) PMD 禁止(PMD1MDEN<PWMEN>="0")時は設定に関わらず PWM 非同期になります。

注)　PMD1MDEN<PWMEN>="0"の状態で選択を行って下さい。

14.3.5.2 PMD1MDOUT(PMD 通電制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	WPWM	VPWM	UPWM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	WOC		VOC		UOC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます。
10	WPWM	R/W	W 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <WOC>,<WPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。(表 14-5 参照)
9	VPWM	R/W	V 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <VOC>,<VPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。(表 14-5 参照)
8	UPWM	R/W	U 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <UOC>,<UPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。(表 14-5 参照)
7-6	-	R	リードすると"0"が読めます。
5-4	WOC[1:0]	R/W	W 相通電設定 <WOC>,<WPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。(表 14-5 参照)
3-2	VOC[1:0]	R/W	V 相通電設定 <VOC>,<VPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。(表 14-5 参照)
1-0	UOC[1:0]	R/W	U 相通電設定 <UOC>,<UPWM>,<POLH>,<POLL>,<SYNTMD>との組み合わせでポート出力を制御します。(表 14-5 参照)

注 1) バスから更新した PMD1MDOUT(VEOUTCR)レジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL0>に"0" を書き込んでバスモード(デフォルト)にしてください。

注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 3) 通電制御レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 後段バッファの更新タイミングは「表 14-4 PMD1MDOUT(VEOUTCR)バッファの更新タイミング」を参照してください。

注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

表 14-5 <UOC>,<VOC>,<WOC>および<UPWM>,<VPWM>,<WPWM>の各ビット設定によるポート出力

PMD1MDCR<SYNTMD>="0"
極性ハイアクティブ(PMD1MDPOT<POLH><POLL>="11")

PMD1MDOUT 通電制御		<WPWM><VPWM><UPWM> 出力選択			
上相	下相				
<WOC[1]> <VOC[1]> <UOC[1]>	<WOC[0]> <VOC[0]> <UOC[0]>	0:H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	L	L	$\overline{PWM}$	PWM
0	1	L	H	L	PWM
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{PWM}$

PMD1MDCR<SYNTMD>="0"
極性ローアクティブ(PMD1MDPOT<POLH><POLL>="00")

PMD1MDOUT 通電制御		<WPWM><VPWM><UPWM> 出力選択			
上相	下相				
<WOC[1]> <VOC[1]> <UOC[1]>	<WOC[0]> <VOC[0]> <UOC[0]>	0:H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	H	H	PWM	$\overline{PWM}$
0	1	H	L	H	$\overline{PWM}$
1	0	L	H	$\overline{PWM}$	H
1	1	L	L	$\overline{PWM}$	PWM

PMD1MDCR<SYNTMD>="1"
極性ハイアクティブ(PMD1MDPOT<POLH><POLL>="11")

PMD1MDOUT 通電制御		<WPWM><VPWM><UPWM> 出力選択			
上相	下相				
<WOC[1]> <VOC[1]> <UOC[1]>	<WOC[0]> <VOC[0]> <UOC[0]>	0:H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	L	L	$\overline{PWM}$	PWM
0	1	L	H	L	$\overline{PWM}$
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{PWM}$

PMD1MDCR<SYNTMD>="1"
極性ローアクティブ(PMD1MDPOT<POLH><POLL>="00")

PMD1MDOUT 通電制御		<WPWM><VPWM><UPWM> 出力選択			
上相	下相				
<WOC[1]> <VOC[1]> <UOC[1]>	<WOC[0]> <VOC[0]> <UOC[0]>	0:H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	H	H	PWM	$\overline{PWM}$
0	1	H	L	H	PWM
1	0	L	H	$\overline{PWM}$	H
1	1	L	L	$\overline{PWM}$	PWM

14.3.6 保護制御回路

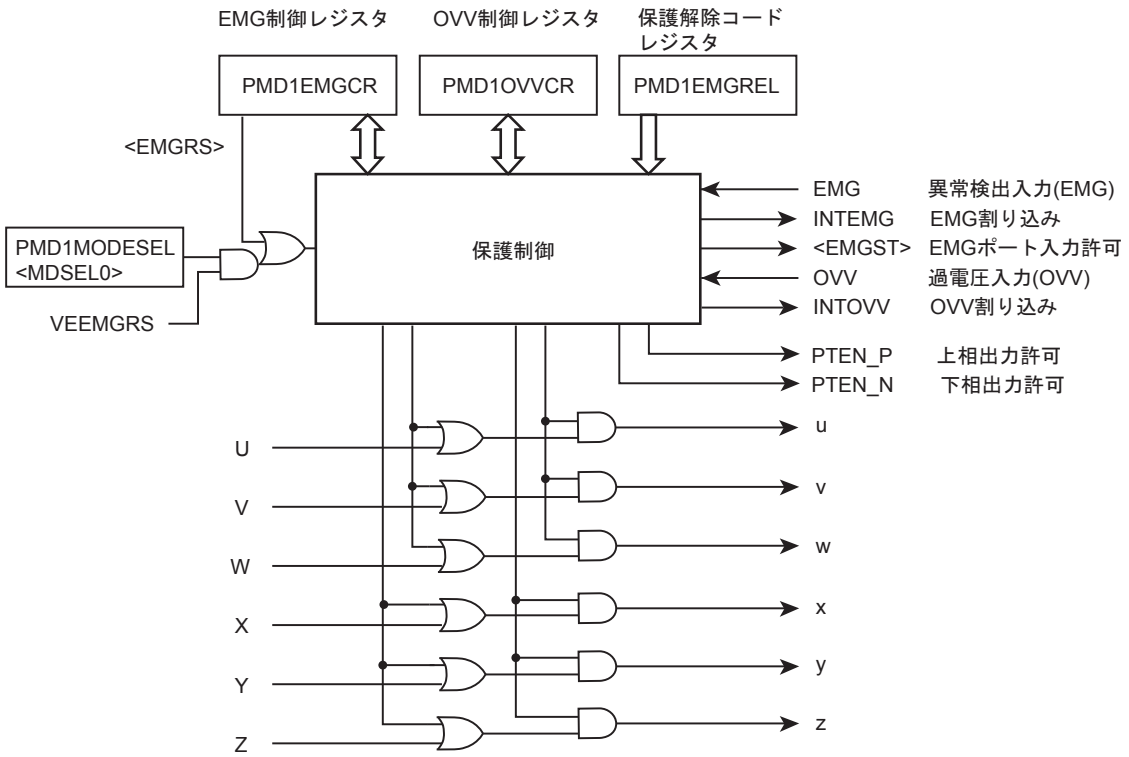


図 14-8 保護制御回路概略図

保護制御回路は、EMG 保護制御部と OVV 保護制御部から構成されます。

14.3.6.1　保護制御回路(EMG 入力部)

保護制御回路は EMG 保護制御とポート出力禁止部から構成され、EMG 入力が Low レベルになると動作します。

EMG 保護回路は緊急停止用の保護回路であり、EMG 入力があった場合(High → Low)、直ちに 6 本の PWM 出力を禁止し(PMD1EMGCR<EMGMD>の設定によります)、EMG 割り込み(INTEMG)を発生します。また<EMGMD>の設定により、外部出力ポートを"Hi-z"に設定する制御信号を出力します。

ツールブレークによる PMD 停止制御時も同様に 6 本の PWM 出力を禁止します、但し PMD1PORTMD<PORTMD>の設定によります。ツールブレーク時は PMD1PORTMD <PORTMD> の設定により、外部出力ポートの"Hi-z"制御を選択することができます。また、PMD1EMGSTA<EMGST>をリードした時、"1"の場合は EMG 保護状態であることを示します。

EMG 保護は EMG 制御レジスタ(PMD1EMGCR)で設定します。

EMG 保護状態の時は、ポート出力を全てインアクティブに設定(PMD1MDOUT(VEOUTCR)の<UPWM>,<VPWM>,<WPWM>,<UOC>,<VOC>,<WOC> を全て"0") 後 (注 1) 、 PMD1EMGCR (VEEMGRS)の<EMGRS>に"1"を設定することにより EMG 保護状態から復帰することができます。また、EMG 機能を禁止するには EMG 解除レジスタ(PMD1EMGREL)に 0x5A と 0xA5 を順番に設定後、PMD1EMGCR<EMGEN> に"0"を設定します(3 命令連続して行います)。ただし、EMG 保護入力が Low の期間は、復帰処理を行っても無視されます。PMD1EMGSTA<EMGI> をリードしポート入力が High になったことを確認してから復帰処理をしてください。

EMG 保護回路を禁止するには EMG 解除レジスタに所定のキーコード(0x5A、0xA5) を設定することではじめて可能になり、誤って EMG 保護回路を禁止することを防止します。

注 1)PMD1MDOUT(VEOUTCR)のダブルバッファまで反映されている必要があります。

注 2)リセット解除後の EMG の解除手順について

EMG 端子と兼用となっているポートは、リセット解除後はポート機能が選択されていますが、EMG 保護回路は初期状態で動作状態(許可)となっており、EMG 保護状態となっている場合がありますので、イニシャルシーケンスにて、以下の手順で EMG 保護状態を解除してください。

1: ポートのファンクションレジスタ(PxFR)にて EMG 機能を選択します。

2: PMD1EMGSTA<EMGI>をリードし、"1"であることを確認します。

3: PMD1MDOUT(VEOUTCR)の<UPWM>,<VPWM>,<WPWM>,<UOC>,<VOC>,<WOC>を全て"0"に設定し、ポート出力を全てインアクティブ("Low"出力)にします。

4: PMD1EMGCR(VEEMGRS)の<EMGRS>を"1"に設定し、EMG 保護状態から復帰させます。

なお、EMG 保護を禁止とする場合は、継続して以下の手順で行ないます。

5: PMD1EMGREL に禁止コードをライトします。(0x5A → 0xA5 の順)

6: PMD1EMGCR<EMGEN>に"0"を設定し、EMG 保護回路を禁止にします。

14.3.6.2 PMD1EMGREL (EMG 解除レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EMGREL							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-0	EMGREL[7:0]	W	EMG/OVV 禁止コード "0x5A"→"0xA5"に設定することにより EMG 機能と OVV 機能を禁止することができます。 禁止コード書き込み後、続けて PMD1EMGCR<EMGEN>="0"または PMD1OVVCR<OVVEN>="0"を設定してください。

注) EMG 禁止時と OVV 禁止時のそれぞれで禁止コードを書き込んでください。

14.3.6.3　PMD1EMGCR (EMG コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	EMGCNT			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	INHEN	EMGMD		-	EMGRS	EMGEN
リセット後	0	0	1	1	1	0	0	1

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-8	EMGCNT[3:0]	R/W	EMG 入力検出時間 0x0 ~ 0xF("0"設定時はノイズフィルタをスルーします。) 異常検出入力のノイズ除去時間を設定します。 ノイズ除去時間は以下の計算式で表されます。 <EMGCNT[3:0]> × 16/fsys (分解能 400[nsec] @40MHz)
7-6	-	R	リードすると"0"が読めます。
5	INHEN	R/W	ツールブレークの許可/禁止 0:禁止 1: 許可 ツールからの PMD 停止信号が入力された場合に PMD を停止させるかを選択します。 注) 初期状態で許可となっています。
4-3	EMGMD[1:0]	R/W	EMG 保護モード選択 00: 全相 High-z 01: 全上相オン/全下相 High-z 10: 全上相 High-z/全下相オン 11: 全相 High-z 注)オン: PWM 出力を継続します。 EMG 発生時の上相(UO,VO,WO)および下相(XO,YO,ZO)のポート出力を設定します。
2	-	R/W	常に"0"を書いてください。
1	EMGRS	W	EMG 保護状態からの復帰 0: − 1: 保護状態からの復帰 PMD1MDOUT(VEOUTCR)レジスタに"0x000"を設定後、<EMGRS>に"1"を設定することにより EMG 保護状態から復帰します。 注)リードすると常に"0"が読めます。 注) PMD1MDOUT(VEOUTCR)レジスタのダブルバッファが"0x000"に更新されていないと復帰できません。 注) PMD1EMGSTA<EMGI> が"1"になったことを確認後復帰させてください。
0	EMGEN	R/W	EMG 保護回路の許可/禁止を設定 0: 禁止 1: 許可 禁止するときは EMG 解除レジスタ PMD1EMGREL<EMGREL[7:0]>に"0x5A"→"0xA5"を順にライトした後、<EMGEN>に"0"を設定してください。(3 命令を連続して行います) 注)初期状態で許可となっています。

14.3.6.4 PMD1EMGSTA (EMG ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EMGI	EMGST
リセット後	0	0	0	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	EMGI	R	EMG 入力 EMG 入力 の状態 リードすることにより、EMG 入力の状態を知ることができます。
0	EMGST	R	EMG 保護状態 0: 通常動作中 1: 保護中 リードすることにより、EMG 保護の状態を知ることができます。

14.3.6.5　保護制御回路(OVV 入力部)

OVV 保護制御とポート出力禁止部から構成されます。OVV 入力ポートがアクティブになることで動作します。

OVV 保護回路は、一定期間(OVV カウントで設定)過電圧信号入力があった場合(High→Low)、通電制御部で 6 本のポート出力を High または Low に固定します。またその時、OVV 割り込み(INTOVV)を発生します。設定により、下相オフ、上相オフ、全相オフを選択することができます。

OVV 保護は OVV 制御レジスタ PMD1OVVCR で設定します。また、PMD1OVVSTA<OVVST>をリードした時、"1"の場合は OVV 保護回路が動作中であることを示します。

PMD1OVVCR<OVVRS> に"1"を設定することにより OVV 保護からの復帰可能状態となり、OVV 保護入力解除後、保護状態からの復帰タイミングで自動的に OVV 保護から復帰します。(OVV 保護入力が Low の期間は、保護状態からの復帰は行われません。ポート入力の状態は PMD1OVVSTA<OVVI> をリードすることで確認することができます。)

OVV から復帰するタイミングは、PWM 周期(PWM カウント PMD1MDCNT と PMD1MDPRD との一致時。ただし PWM0.5 周期割り込み設定時は PWM カウントが、"1"または PMD1MDPRD との一致時)となります。また、OVV 機能を禁止するには EMG 解除レジスタ PMD1EMGREL に 0x5A と 0xA5 を順番に設定後、PMD1OVVCR<OVVEN> に"0"を設定します。(3 命令連続して行ってください)

OVV 保護回路を禁止するには EMG 解除レジスタに所定のキーコード(0x5A、0xA5)を設定することではじめて可能になり、誤って OVV 保護回路を禁止することを防止します。

14.3.6.6 PMD1OVVCR (OVV コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OVVCNT			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	ADIN1EN	ADIN0EN	OVVMD		OVVISEL	OVVRS	OVVEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます
11-8	OVVCNT[3:0]	R/W	OVV 入力検出時間 1 ~ 15 ("0" 設定時は"1"になります) OVV 入力のノイズ除去時間を設定します。 ノイズ除去時間は以下の計算式で表されます。 <OVVCNT[3:0]> × 16/fsys (分解能 400[nsec] @40MHz) 注)<OVVCNT[3:0]> はポート入力(<OVVISEL>="0")時のみ有効になります。
7	-	R	リードすると"0"が読めます
6	ADIN1EN	R/W	ADC 監視機能 1 入力許可 0 : 入力禁止 1 : 入力許可 ADC の監視機能 1 からの信号入力の許可/禁止を選択します。許可に設定し、かつ入力に ADC 監視信号(<OVVISEL>="1")を選択時、ADC 監視機能 1 の比較結果を OVV 入力として使用できます。(OVV 保護許可設定時) 注)ADC 監視機能の詳細は、「12 ビットアナログ/デジタルコンバータ」の動作説明の"AD 監視機能"を参照してください。
5	ADIN0EN	R/W	ADC 監視機能 0 入力許可 0 : 入力禁止 1 : 入力許可 ADC の監視機能 0 からの信号入力の許可/禁止を選択します。許可に設定し、かつ入力に ADC 監視信号(<OVVISEL>="1")を選択時、ADC 監視機能 0 の比較結果を OVV 入力として使用できます。(OVV 保護許可設定時) 注)ADC 監視機能の詳細は、「12 ビットアナログ/デジタルコンバータ」の動作説明の"AD 監視機能"を参照してください。
4-3	OVVMD	R/W	OVV 保護モード選択 00 : 出力制御なし 01 : 全上相オン、全下相オフ 10 : 全上相オフ、全下相オン 11 : 全相オフ OVV 発生時に、上相(UO,VO,WO)および下相(XO,YO,ZO)の出力をオン/オフさせます。 注)オンはアクティブ出力固定、オフはインアクティブ出力固定になります。アクティブ／インアクティブは<POLL>,<POLH>の設定で決まります。 注) OVV、EMG 同時発生時は<EMGMD[1:0]> での保護モード設定が優先されます。
2	OVVISEL	R/W	OVV 入力選択 0 : ポート入力 1 : ADC 監視信号 保護回路に入力させる OVV 信号をポートからの入力か、ADC からの監視信号かを選択します。 注) ADC 監視信号を選択した場合、OVV 入力検出時間<OVVCNT[3:0]> は無効となります(直接入力)。

Bit	Bit Symbol	Type	機能
1	OVVRS	R/W	OVV 保護状態からの復帰 0 : 保護状態からの自動復帰禁止 1 : 保護状態からの自動復帰許可 異常検出（OVV 入力 H → L)して OVV 保護状態へ移行しても、 自動復帰許可時は OVV 入力が High になった後の PWM 周期レジスタ(PMD1MDPRD)のバッファ更新タイミングで自動的に復帰します。(「表 14-2 PMD1MDPRD, PMD1CMPU/V/W および VECMPU1/V1/W1 バッファ更新制御」参照）
0	OVVEN	R/W	OVV 保護回路の許可/禁止 0: 禁止 1: 許可 注) 禁止に変更する場合、EMG 解除レジスタ(PMD1EMGREL)に"0x5A" → "0xA5"を順に書き込み後、<OVVEN>="0"に設定してください。(3 命令を連続して行います。）

14.3.6.7 PMD1OVVSTA (OVV ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OVVI	OVVST
リセット後	0	0	0	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	OVVI	R	OVVI 入力 OVVI の状態 リードすることにより、OVV 入力の状態(PMD1OVVDEL<OVVISEL>)で選択された側)を知ることができます。
0	OVVST	R	OVV 保護状態 0: 通常動作中 1: 保護中 リードすることにより、OVV 保護の状態を知ることができます。

14.3.7　デッドタイム回路

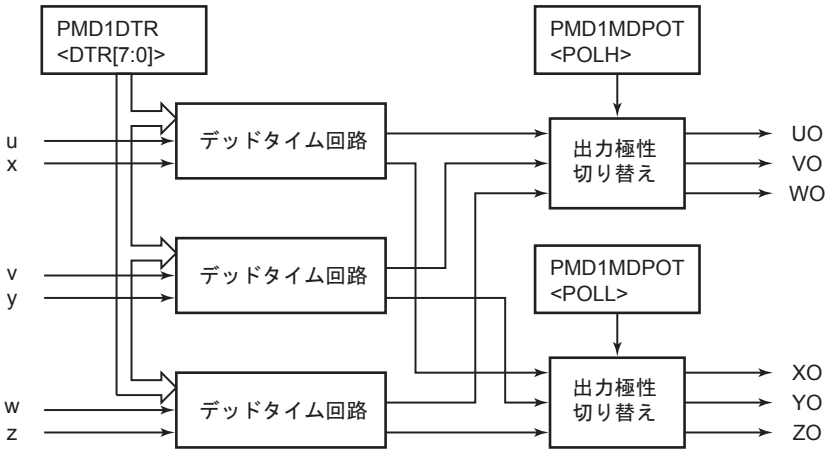


図 14-9 デッドタイム回路概略図

デッドタイム回路はデッドタイム部と出力極性切替部から構成されます。

U,V,W のそれぞれの相において、上下相が逆転する場合に上下相が短絡するのを回避するため、デッドタイムカウンタによりオン時間を遅延させます。遅延時間は、8bit 値により 200ns@40MHz の分解能で設定が可能です。遅延時間はデッドタイムレジスタ(PMD1DTR<DTR[7:0]>)に設定します。

出力極性切替回路は、上相出力(UO,VO,WO)と下相出力(XO,YO,ZO)のそれぞれに対してハイアクティブ/ローアクティブを PMD 出力設定レジスタ PMD1MDPOT の<POLH>,<POLL>により設定します。

14.3.7.1 PMD1DTR (デッドタイムレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DTR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-0	DTR[7:0]	R/W	デッドタイムを設定します。 0x00 ~ 0xFF デッドタイムは以下の計算式で表されます。 200nsec × <DTR[7:0]> (最大 51μsec、fsys=40MHz)

14.3.8　同期トリガ生成回路

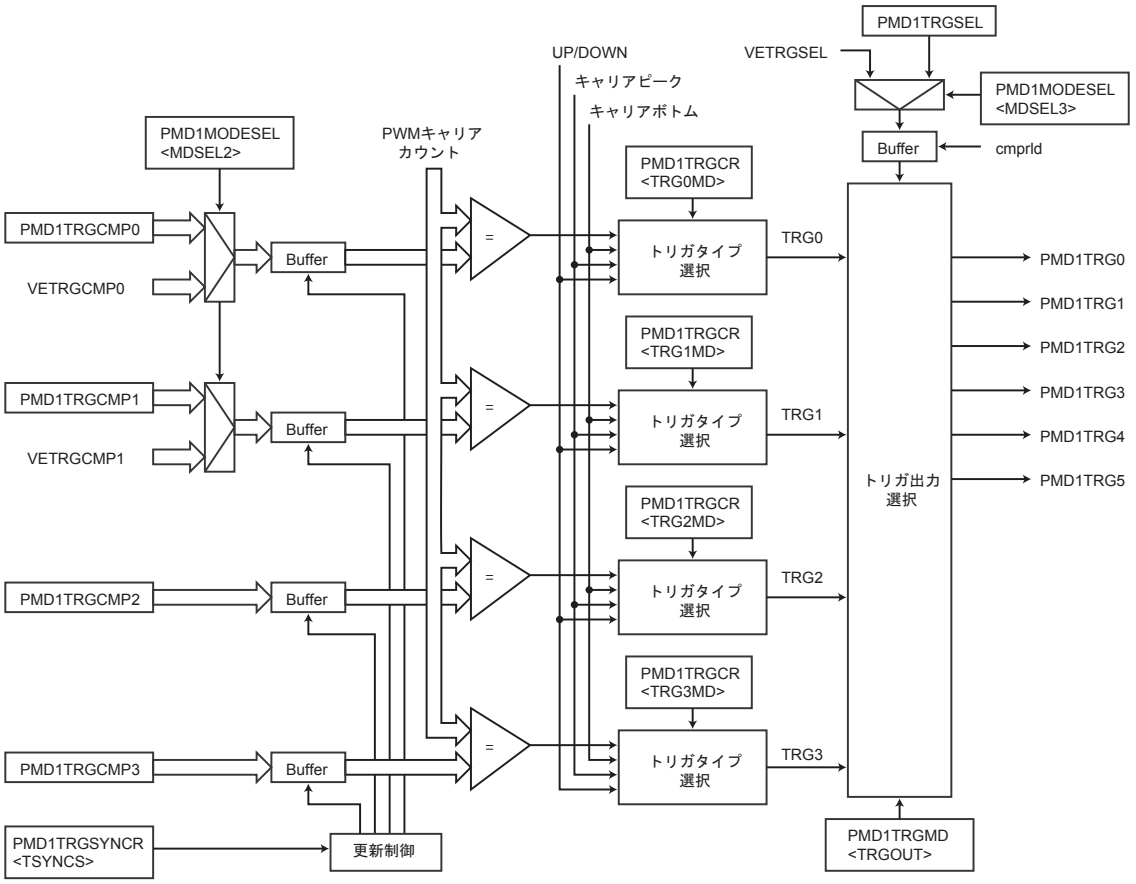


図 14-10 同期トリガ生成回路概略図

同期トリガ生成回路は PWM に同期して ADC のサンプリングを行うための 4 種類(TRG0~TRG3)のトリガ信号を生成します。PMD1MODESEL<MDSEL3>で VE モード選択すると、PMD1TRGCMP0 と PMD1TRGCMP1 は VE レジスタの VETRGCMP0, VETRGCMP1 に切り替わります。

トリガタイミングは以下の 6 種類が選択可能です。

1. アップカウント動作時のコンペア一致(注)
2. ダウンカウント動作時のコンペア一致(注)
3. アップ/ダウンカウント両動作でのコンペア一致(注)
4. PWM キャリアピーク
5. PWM キャリアボトム
6. PWM キャリアピークと PWM キャリアボトム

注)　PWM カウンタ PMD1MDCNT<MDCNT[15:0]>と PMD1TRGCMPn<TRGCMPn[15:0]>が一致

トリガ選択出力モード PMD1TRGMD<TRGOUT>="1" では、TRG0 信号 (PMD1TRGCMP0 (VETRGCMP01), PMD1TRGCR<TRG0MD>)がトリガ出力選択レジスタ PMD1TRGSEL (VETRGSEL)で選択したトリガ(PMD1TRG0~5)信号として出力されます。

なお、エッジモード(ノコギリ波キャリアモード)選択時はコンペア一致はアップカウント時となります。また、EMG 保護動作時もトリガ出力許可する場合は PMD1TRGMD<EMGTGE>に"1"を設定します。

14.3.8.1　PMD1TRGCMP0 (トリガコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TRGCMP0 [15:0]	R/W	トリガ出力用コンペアレジスタ <TRGCMP0[15:0]>コンペアレジスタの設定範囲: 1 ~ [<MDPRD[15:0]>設定値 -1] PWM カウンタ<MDCNT[15:0]> と一致するとトリガ信号(TRG0)を出力します。 注) <TRGCMP0>="0"および<TRGCMP0> ≥ [<MDPRD[15:0]>設定値] は設定禁止

注 1)　バスから更新したコンペアレジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL2> に"0" を書き込んでバスモード(デフォルト)にしてください。

注 2)　このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 3)　トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4)　後段バッファの更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。

注 5)　リード時は前段バッファの値(バスから設定したデータ)をリードします。

表 14-6 トリガコンペアレジスタのバッファ更新タイミング

<TSYNCS>設定	<TRGnMD>設定	TRGCMPn レジスタ バッファ更新タイミング
00	000	直ちに更新
	001	PWM キャリアピークで更新
	010	PWM キャリアボトムで更新
	011	PWM キャリアのピークとボトムで更新(注 1)
	1xx	直ちに更新
01	xxx	PWM キャリアボトムで更新
10	xxx	PWM キャリアピークで更新
11	xxx	PWM キャリアのピークとボトムで更新(注 1)

注) x : Don't care

注) PMD1MDEN<PWMEN>="0"時は設定に関わらず直ちに更新されます。

注 1) PWM キャリアがノコギリ波(PMD1MDCR<PWMMD>="0")の場合、キャリアピーク更新になります。

14.3.8.2 PMD1TRGCMP1 (トリガコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TRGCMP1 [15:0]	R/W	トリガ出力用コンペアレジスタ コンペアレジスタの設定範囲: 1 ~ [<MDPRD[15:0]> 設定値-1］ PWM カウンタ<MDCNT[15:0]> と一致するとトリガ信号(TRG1)を出力します。 注) <TRGCMP1>="0"および<TRGCMP1> ≥ [<MDPRD[15:0]>設定値] は設定禁止

注 1) バスから更新したコンペアレジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL2> に"0" を書き込んでバスモード(デフォルト)にしてください。

注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 3) トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 後段バッファの更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。

注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.8.3　PMD1TRGCMP2 (トリガコンペアレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMP2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMP2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TRGCMP2 [15:0]	R/W	トリガ出力用コンペアレジスタ コンペアレジスタの設定範囲: 1 ~ [<MDPRD[15:0]> 設定値-1］ PWM カウンタ<MDCNT[15:0]> と一致するとトリガ信号(TRG2)を出力します。 注) <TRGCMP2>="0"および<TRGCMP2> ≥ [<MDPRD[15:0]>設定値] は設定禁止

注 1)　このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 2)　トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 3)　後段バッファの更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。

注 4)　リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.8.4 PMD1TRGCMP3 (トリガコンペアレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMP3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMP3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	TRGCMP3 [15:0]	R/W	トリガ出力用コンペアレジスタ コンペアレジスタの設定範囲: 1 ~ [<MDPRD[15:0]> 設定値-1］ PWM カウンタ<MDCNT[15:0]> と一致するとトリガ信号(TRG3)を出力します。 注) <TRGCMP3>="0"および<TRGCMP3> ≥ [<MDPRD[15:0]>設定値] は設定禁止

注 1) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0]を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保障できません。

注 2) トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 3) 後段バッファの更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。

注 4) リード時は前段バッファの値(バスから設定したデータ)をリードします。

14.3.8.5　PMD1TRGCR (トリガコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRG3BE	TRG3MD			TRG2BE	TRG2MD		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRG1BE	TRG1MD			TRG0BE	TRG0MD		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15	TRG3BE	R/W	PMD1TRGCMP3<TRGCMP3[15:0]>バッファの非同期更新許可 後段バッファの非同期更新を許可します。 0 : 同期更新 1 : 非同期更新(書き込み後、直ちに反映されます) 注) 更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照 注) PMD1MDEN<PWMEN>="0"時は設定に関わらず非同期更新になります。
14-12	TRG3MD[2:0]	R/W	PMD1TRGCMP3<TRGCMP3[15:0]>のモード設定 <TRGCMP3[15:0]>トリガ出力の一致モードを選択します。 000 : トリガ出力禁止 001 : ダウンカウント時の一致でトリガ出力 010 : アップカウント時の一致でトリガ出力 011 : アップ/ダウンカウント時にトリガ出力 100 : PWM キャリアピークでトリガ出力 101 : PWM キャリアボトムでトリガ出力 110 : PWM キャリアピーク/ボトムでトリガ出力 111 : トリガ出力禁止 注) PMD1MDCR<PWMMD>="0"(ノコギリ波)時は、"001"選択でもアップカウント一致に、"101"選択でもキャリアピークになります。 注) "011"選択時、PMD1TRGCMP3="0x0001" の場合、PMD1MDCR<PWMMD>="1"(三角波)においてトリガ出力は 1 周期に 1 度となります。
11	TRG2BE	R/W	PMD1TRGCMP2<TRGCMP2[15:0]>バッファの非同期更新許可 後段バッファの非同期更新を許可します。 0 : 同期更新 1 : 非同期更新(書き込み後、直ちに反映されます) 注) 更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照 注) PMD1MDEN<PWMEN>="0"時は設定に関わらず非同期更新になります。

Bit	Bit Symbol	Type	機能
10-8	TRG2MD[2:0]	R/W	PMD1TRGCMP2<TRGCMP2[15:0]>のモード設定 <TRGCMP2[15:0]>トリガ出力の一致モードを選択します。 000 : トリガ出力禁止 001 : ダウンカウント時の一致でトリガ出力 010 : アップカウント時の一致でトリガ出力 011 : アップ/ダウンカウント時にトリガ出力 100 : PWM キャリアピークでトリガ出力 101 : PWM キャリアボトムでトリガ出力 110 : PWM キャリアピーク/ボトムでトリガ出力 111 : トリガ出力禁止 注) PMD1MDCR<PWMMD>="0"(ノコギリ波)時は、"001"選択でもアップカウント一致に、"101"選択でもキャリアピークになります。 注) "011"選択時、PMD1TRGCMP2="0x0001" の場合、PMD1MDCR<PWMMD>="1"(三角波)においてトリガ出力は 1 周期に 1 度となります。
7	TRG1BE	R/W	PMD1TRGCMP1<TRGCMP1[15:0]>バッファの非同期更新許可 後段バッファの非同期更新を許可します。 0 : 同期更新 1 : 非同期更新(書き込み後、直ちに反映されます) 注) 更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照 注) PMD1MDEN<PWMEN>="0"時は設定に関わらず非同期更新になります。
6-4	TRG1MD[2:0]	R/W	PMD1TRGCMP1<TRGCMP1[15:0]>のモード設定 <TRGCMP1[15:0]>トリガ出力の一致モードを選択します。 000 : トリガ出力禁止 001 : ダウンカウント時の一致でトリガ出力 010 : アップカウント時の一致でトリガ出力 011 : アップ/ダウンカウント時にトリガ出力 100 : PWM キャリアピークでトリガ出力 101 : PWM キャリアボトムでトリガ出力 110 : PWM キャリアピーク/ボトムでトリガ出力 111 : トリガ出力禁止 注) PMD1MDCR<PWMMD>="0"(ノコギリ波)時は、"001"選択でもアップカウント一致に、"101"選択でもキャリアピークになります。 注) "011"選択時、PMD1TRGCMP1="0x0001" の場合、PMD1MDCR<PWMMD>="1"(三角波)においてトリガ出力は 1 周期に 1 度となります。
3	TRG0BE	R/W	PMD1TRGCMP0<TRGCMP0[15:0]>バッファの非同期更新許可 後段バッファの非同期更新を許可します。 0 : 同期更新 1 : 非同期更新(書き込み後、直ちに反映されます) 注) 更新タイミングは「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照 注) PMD1MDEN<PWMEN>="0"時は設定に関わらず非同期更新になります。
2-0	TRG0MD[2:0]	R/W	PMD1TRGCMP0<TRGCMP0[15:0]>のモード設定 <TRGCMP0[15:0]>トリガ出力の一致モードを選択します。 000 : トリガ出力禁止 001 : ダウンカウント時の一致でトリガ出力 010 : アップカウント時の一致でトリガ出力 011 : アップ/ダウンカウント時にトリガ出力 100 : PWM キャリアピークでトリガ出力 101 : PWM キャリアボトムでトリガ出力 110 : PWM キャリアピーク/ボトムでトリガ出力 111 : トリガ出力禁止 注) PMD1MDCR<PWMMD>="0"(ノコギリ波)時は、"001"選択でもアップカウント一致に、"101"選択でもキャリアピークになります。 注) "011"選択時、PMD1TRGCMP0="0x0001" の場合、PMD1MDCR<PWMMD>="1"(三角波)においてトリガ出力は 1 周期に 1 度となります。

14.3.8.6　PMD1TRGSYNCR (トリガ更新タイミング設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TSYNCS	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	TSYNCS	R/W	トリガコンペアレジスタのバッファ更新タイミング設定 00 : トリガ別に PMD1TRGCR<TRGxMD>設定で直ちに更新、 PWM キャリアピークで更新、ＰWM キャリアボトムで更新、または PWM キャリアピークとボトムで更新 01 : PWM キャリアボトムで更新 10 : PWM キャリアピークで更新 11 : PWM キャリアピークとボトムで更新 注)「表 14-6 トリガコンペアレジスタのバッファ更新タイミング」を参照 注) PMD1MDEN<PWMEN>="0"時は設定に関わらず非同期になります。

14.3.8.7 PMD1TRGMD (トリガ出力モード設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TRGOUT	EMGTGE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	TRGOUT	R/W	トリガ出力モード 0 :トリガ固定出力 1 :トリガ選択出力 トリガ固定出力では、トリガ出力 PMD1TRG0 ~ PMD1TRG3 はそれぞれ<TRGCMP0[15:0]> ~ <PMDCMP3[15:0]> で一致したトリガ信号を出力します。PMD1TRG4、PMD1TRG5 は出力されません。 トリガ選択出力では、<TRGCMP0[15:0]>の出力信号をトリガ出力 PMD1TRG0 ~ PMD1TRG5 のいづれかに出力します。トリガ出力はトリガ出力選択レジスタで選択します。 注)トリガ選択出力(<TRGOUT>="1")時のトリガ出力パターンについては表 14-7 を参照してください。
0	EMGTGE	R/W	EMG 保護動作中の出力許可設定 0 : 保護動作時 トリガ出力禁止 1 : 保護動作時 トリガ出力許可 EMG 保護動作中のトリガ出力許可設定を選択します。

表 14-7 トリガ出力パターン

<TRGOUT> 設定	コンペアレジスタ	<TRGSEL[2:0]> 設定	トリガ出力
<TRGOUT>="0"	PMD1TRGCMP0	×	PMD1TRG0
	PMD1TRGCMP1		PMD1TRG1
	PMD1TRGCMP2		PMD1TRG2
	PMD1TRGCMP3		PMD1TRG3
<TRGOUT>="1"	PMD1TRGCMP0	0	PMD1TRG0
		1	PMD1TRG1
		2	PMD1TRG2
		3	PMD1TRG3
		4	PMD1TRG4
		5	PMD1TRG5
	PMD1TRGCMP1	×	トリガ出力されない
	PMD1TRGCMP2	×	トリガ出力されない
	PMD1TRGCMP3	×	トリガ出力されない

14.3.8.8　PMD1TRGSEL (トリガ出力選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TRGSEL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2-0	TRGSEL[2:0]	R/W	トリガ出力ポート選択 000 : PMD1TRG0 より出力 001 : PMD1TRG1 より出力 010 : PMD1TRG2 より出力 011 : PMD1TRG3 より出力 100 : PMD1TRG4 より出力 101 : PMD1TRG5 より出力 110 : トリガ出力しない 111 : トリガ出力しない トリガ選択出力(<TRGOUT>= "1")時に有効となり、PMD1TRGCMP0 で設定した出力トリガを選択します。「表 14-7 トリガ出力パターン」参照)

注 1)　バスから更新したコンペアレジスタをダブルバッファ後段にロードさせる場合は、PMD1MODESEL<MDSEL3>に"0"を書き込んでバスモード(デフォルト)にしてください。

注 2)　トリガ出力選択レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 3)　後段バッファの更新タイミングはコンペアレジスタ(PMD1CMPU/V/W)と同じです。

注 4)　PMD 禁止(PMD1MDCR<PWMEN>="0")時は非同期更新されます。

第 15 章　ベクトルエンジン(VE+)

15.1　概要

15.1.1　特徴

1. ベクトル制御で実行される基本的な処理(座標軸変換,相変換,SIN/COS 演算)の組み込み
   演算処理は固定小数点形式データで行われます。
   →ソフトウェア処理では面倒な小数点位置管理不要

2. モータ制御回路(PMD)と A/D 変換器(ADC)を制御する I/F(出力制御,トリガ生成,入力処理)の組み込み
   - 固定小数点形式の演算結果をモータ制御回路設定のデータ形式に変換
   - 連携動作タイミングデータの生成
   - A/D 変換結果を固定小数点形式のデータに変換

3. 電流,電圧,回転速度をそれぞれの最大値を基準に正規化した値で演算
   この場合、小数点数は固定小数点形式

4. 電流制御に PI 制御の組み込み

5. 回転速度を積分する位相補間の組み込み

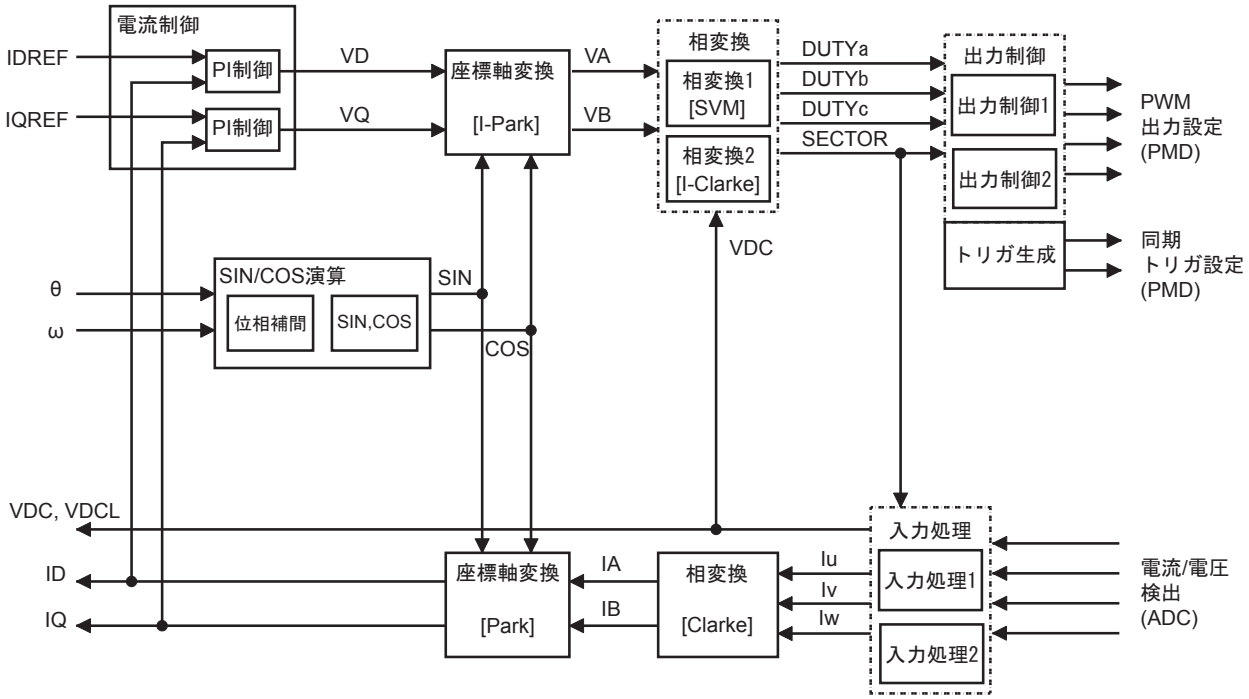


図 15-1 ベクトル制御の構成

15.1.2　主な機能

1. 2 相から 3 相への相変換には、空間ベクトル変換と逆クラーク変換に対応します。空間ベクトル変換は、2 相変調と 3 相変調に対応します。

2. トリガ生成では、センサレス電流検出方式に対応する A/D 変換器(ADC)のサンプリングタイミングを生成可能、電流検出は 1 シャント方式,3 シャント方式および 2 センサ方式に対応します。

3. 電流制御には、d 軸と q 軸に独立した PI 制御を採用。電流制御を使用せずに直接電圧指令することも可能です。

4. SIN/COS 演算には、級数展開を使った近似式を採用。 位相指定は直接設定と回転速度から PWM 周期で積分する位相補間が可能です。

注)ベクトルエンジンを使用する場合はモータ制御回路および A/D 変換器の設定が必要です。

- モータ制御回路(PMD)はモード選択レジスタ(PMD1MODESEL)で VE モードを選択します。
- A/D 変換器(ADC)はモータ制御回路(PMD)からの同期トリガ毎のプログラム(トリガ許可,AIN 選択,結果レジスタ選択)を設定します。

15.2　構成

ベクトルエンジンの構成を図 15-2 に示します。

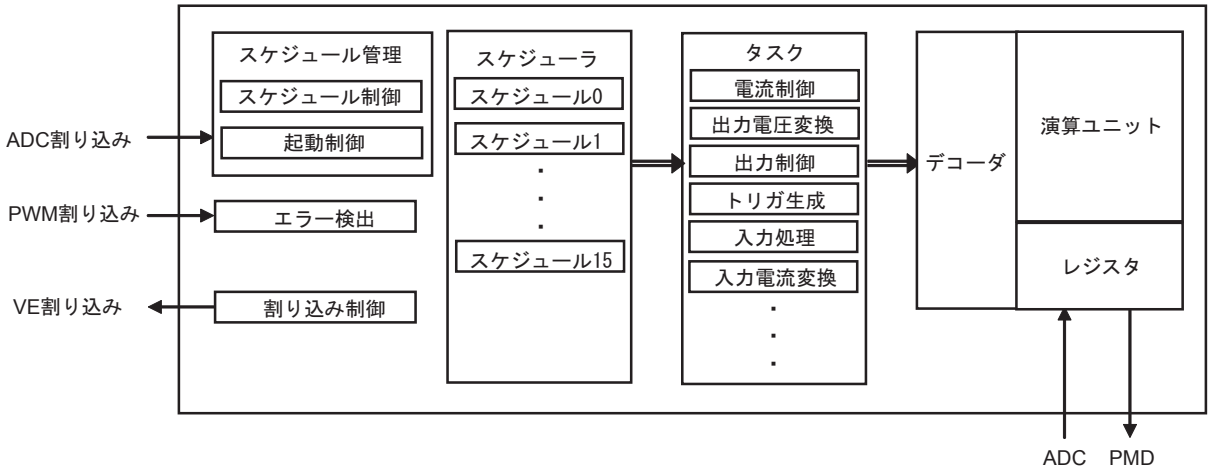


図 15-2 ベクトルエンジン構成

15.2.1 ベクトルエンジンとモータ制御回路および A/D 変換器の関連

ベクトルエンジンは図 15-3 に示すようにモータ制御回路(PMD)および A/D 変換器(ADC)と直接データの受け渡しができます。

モータ制御回路(PMD)レジスタの PMD1CMPU, PMD1CMPV, PMD1CMPW, PMD1MDOUT, PMD1TRGCMP0, PMD1TRGCMP1, PMD1TRGSEL は PMD1MODESEL レジスタで VE モードに設定するとベクトルエンジンレジスタの VECMPU1, VECMPV1, VECMPW1, VEOUTCR1, VETRGCMP01, VETRGCMP11, VETRGSEL1 に切り替わります。この場合、CPU からモータ制御回路(PMD)の該当レジスタの書き込みによる制御はできず、ベクトルエンジンからの書き込みで制御します。その他の PMD のレジスタについては読み書き制限はありません。

ベクトルエンジンは A/D 変換器(ADC)のレジスタの ADREG0, ADREG1, ADREG2, ADREG3, <UVWISn0>, <UVWISn1>, <UVWISn2>, <UVWISn3> を読み込みます。(n=0~5)

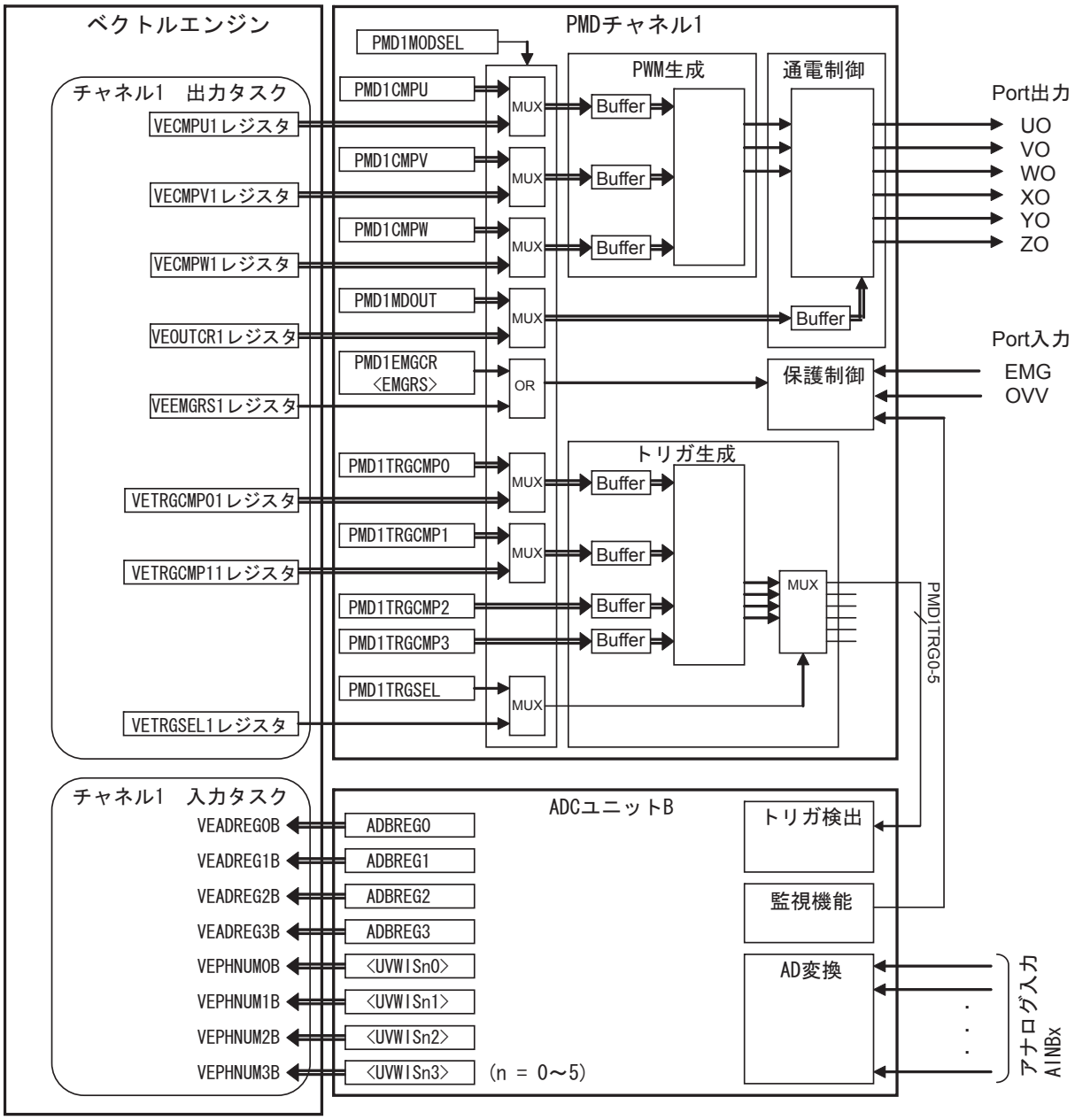


図 15-3 ベクトルエンジンとモータ制御回路および A/D 変換器の関連図

15.3　レジスタ説明

ベクトルエンジンは特殊レジスタと専用レジスタが存在します。

- VE 制御レジスタ
  ベクトルエンジン制御用レジスタおよびテンポラリレジスタ
- 共通レジスタ
  チャネルで共通に使用するレジスタ
- 専用レジスタ
  チャネル毎の演算データおよび演算制御レジスタ

15.3.1　レジスター覧

VE 制御レジスタ

レジスタ名			Address
ベクトルエンジン動作許可/禁止	VEEN	R/W	0x4005_0000
CPU 起動トリガ選択	VECPURUNTRG	W	0x4005_0004
タスク指定	VETASKAPP	R/W	0x4005_0008
動作スケジュール選択	VEACTSCH	R/W	0x4005_000C
動作スケジュール繰り返し回数指定	VEREPTIME	R/W	0x4005_0010
起動トリガモード設定	VETRGMODE	R/W	0x4005_0014
エラー割り込み許可／禁止設定	VEERRINTEN	R/W	0x4005_0018
ベクトルエンジン強制終了	VECOMPEND	W	0x4005_001C
エラー検出	VEERRDET	R	0x4005_0020
スケジュール実行中フラグ／実行中タスク	VESCHTASKRUN	R	0x4005_0024
Reserved	-	R	0x4005_0028
テンポラリ 0	VETMPREG0	R/W	0x4005_002C
テンポラリ 1	VETMPREG1	R/W	0x4005_0030
テンポラリ 2	VETMPREG2	R/W	0x4005_0034
テンポラリ 3	VETMPREG3	R/W	0x4005_0038
テンポラリ 4	VETMPREG4	R/W	0x4005_003C
テンポラリ 5	VETMPREG5	R/W	0x4005_0040
Reserved	-	R	0x4005_01BC

共通レジスタ

レジスタ名			Address
Reserved	-	R/W	0x4005_0174
AD 変換開始ウェイト設定	VETADC	R/W	0x4005_0178

チャネル 1 専用レジスタ

レジスタ名			Address
異常/判定結果保持	VEMCTLF1	R/W	0x4005_00DC
タスク制御モード	VEMODE1	R/W	0x4005_00E0
フロー制御	VEFMODE1	R/W	0x4005_00E4
PWM 周期レート(PWM 周期[s] ×最大速度(注 1) × 2^{16})設定	VETPWM1	R/W	0x4005_00E8
回転速度(速度[Hz] ÷最大速度(注 1) ×2^{15})設定	VEOMEGA1	R/W	0x4005_00EC

チャネル 1 専用レジスタ

レジスタ名			Address
モータ位相 (モータ位相 [deg]/360 × 2^{16})設定	VETHETA1	R/W	0x4005_00F0
d 軸基準電流値(電流[A] ÷最大電流(注 2) ×2^{15})設定	VEIDREF1	R/W	0x4005_00F4
q 軸基準電流値(電流[A] ÷最大電流(注 2) ×2^{15})設定	VEIQREF1	R/W	0x4005_00F8
d 軸電圧(電圧[V] ÷最大電圧(注 3) ×2^{31})設定	VEVD1	R/W	0x4005_00FC
q 軸電圧(電圧[V] ÷最大電圧(注 3) ×2^{31})設定	VEVQ1	R/W	0x4005_0100
d 軸電流制御 PI 積分項係数設定	VECIDKI1	R/W	0x4005_0104
d 軸電流制御 PI 比例項係数設定	VECIDKP1	R/W	0x4005_0108
q 軸電流制御 PI 積分項係数設定	VECIQKI1	R/W	0x4005_010C
q 軸電流制御 PI 比例項係数設定	VECIQKP1	R/W	0x4005_0110
d 軸電圧積分成項 保持(VDI の上位 32bit)	VEVDIH1	R/W	0x4005_0114
d 軸電圧積分成項 保持(VDI の下位 32bit)	VEVDILH1	R/W	0x4005_0118
q 軸電圧積分成項 保持(VQI の上位 32bit)	VEVQIH1	R/W	0x4005_011C
q 軸電圧積分成項 保持(VQI の下位 32bit)	VEVQILH1	R/W	0x4005_0120
PWM 切り替え速度設定	VEFPWMCHG1	R/W	0x4005_0124
PWM 周期設定(PMD の PWM 周期設定と同じ値を設定)	VEMDPRD1	R/W	0x4005_0128
最小パルス幅設定	VEMINPLS1	R/W	0x4005_012C
同期トリガ補正量設定	VETRGCRC1	R/W	0x4005_0130
DC 電源電圧(電圧[V] ÷最大電圧(注 3) ×2^{15})	VEVDCL1	R/W	0x4005_0134
THETA での余弦値 出力変換用 (Q15 データ)	VECOS1	R/W	0x4005_0138
THETA での正弦値 出力変換用 (Q15 データ)	VESIN1	R/W	0x4005_013C
前回の余弦値 入力処理用 (Q15 データ)	VECOSM1	R/W	0x4005_0140
前回の正弦値 入力処理用 (Q15 データ)	VESINM1	R/W	0x4005_0144
セクタ情報	VESECTOR1	R/W	0x4005_0148
前回セクタ情報	VESECTORM1	R/W	0x4005_014C
a 相ゼロ電流(注 4)	VEIAO1	R/W	0x4005_0150
b 相ゼロ電流(注 4)	VEIBO1	R/W	0x4005_0154
c 相ゼロ電流(注 4)	VEICO1	R/W	0x4005_0158
a 相電流 ADC 変換結果(注 4)	VEIAADC1	R/W	0x4005_015C
b 相電流 ADC 変換結果(注 4)	VEIBADC1	R/W	0x4005_0160
c 相電流 ADC 変換結果(注 4)	VEICADC1	R/W	0x4005_0164
電源電圧(電圧[V] ÷最大電圧(注 3) ×2^{15})	VEVDC1	R/W	0x4005_0168
d 軸電流(電流[A] ÷最大電流(注 2) ×2^{31})	VEID1	R/W	0x4005_016C
q 軸電流(電流[A] ÷最大電流(注 2) ×2^{31})	VEIQ1	R/W	0x4005_0170
PMD 制御：U 相 PWM パルス幅設定	VECMPU1	R/W	0x4005_019C
PMD 制御：V 相 PWM パルス幅設定	VECMPV1	R/W	0x4005_01A0
PMD 制御：W 相 PWM パルス幅設定	VECMP W 1	R/W	0x4005_01A4
PMD 制御：6 相出力制御	VEOUTCR1	R/W	0x4005_01A8
PMD 制御：トリガタイミング設定(TRGCMP0)	VETRGCMP01	R/W	0x4005_01AC
PMD 制御：トリガタイミング設定(TRGCMP1)	VETRGCMP11	R/W	0x4005_01B0
PMD 制御：同期トリガ指定	VETRGSEL1	R/W	0x4005_01B4
PMD 制御：EMG 復帰設定	VEEMGRS1	W	0x4005_01B8

注) "Reserved" 表記のアドレスにはアクセスしないでください。

注 1) 最大速度：制御あるいは動作可能な最大回転数[Hz]

注 2) 最大電流：相電流の A/D 変換結果をゼロレベル補正した後に 0x7FF0 になる場合の電流値 [A]

注 3) 最大電圧：電源電圧(VDC)の A/D 変換結果が 0xFFF0 になる場合の電圧値 [V]

注 4) A/D 変換結果は 16bit レジスタの上位 12bit に保存されます。

15.3.2　VE 制御レジスタ

15.3.2.1　VEEN(ベクトルエンジン動作許可／禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VEIDLEN	VEEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	VEIDLEN	R/W	IDLE モード時のクロック動作制御 0：停止 1：動作
0	VEEN	R/W	ベクトルエンジン動作制御 0：禁止 1：許可

注)　ベクトルエンジン動作禁止(VEEN="0")状態ではベクトルエンジンの他のレジスタにアクセスできません。

15.3.2.2 VECPURUNTRG(CPU 起動トリガ選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VCPURTB	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	VCPURTB	W	チャネル 1 をソフトウエアで起動 0：− 1：動作開始 VETASKAPP<VTASKB>で設定されたタスクから動作開始します。
0	−	W	"0"をライトしてください。

注 1) "1"を書き込んでも、次のサイクルでクリアされます。リードすると常に 0 が読み出されます。

注 2) 動作開始されるタスクは VETASKAPP と VEACTSCH の設定によります。

注 3) スケジュール実行中に、スケジュールおよびタスクを再起動する場合、VECOMPEND レジスタで対応するチャネルを強制終了してから、再度、VECPURUNTRG レジスタにて動作を開始させてください。

15.3.2.3　VETASKAPP(タスク指定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VTASKB				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	VTASKB[3:0]	R/W	チャネル 1 の開始タスクを指定 0x0 : 出力制御 1 (タスク番号 0) 0x1 : トリガ生成 (タスク番号 1) 0x2 : 入力処理 1 (タスク番号 2) 0x3 : 入力相変換 (タスク番号 3) 0x4 : 入力座標軸変換 (タスク番号 14) 0x5 : 電流制御 (タスク番号 5) 0x6 : SIN/COS 演算 (タスク番号 6) 0x7 : 出力座標軸変換 (タスク番号 7) 0x8 : 出力相変換 1[SVM] (タスク番号 8) 0x9 : 出力制御 2 (タスク番号 9) 0xA : 入力処理 2 (タスク番号 10) 0xB : 出力相変換 2[I-Clarke] (タスク番号 11) 0xC : ATAN (タスク番号 12) 0xD : SQRT (タスク番号 13) 0xE : Reserved 0xF : Reserved チャネル 1 をソフトウェアで起動する時の開始タスクを指定します。
3-0	−	R/W	"0"をライトしてください。

注)　動作スケジュールに含まれているタスク以外を指定しないでください。

15.3.2.4 VEACTSCH(動作スケジュール選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VACTB				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	VACTB[3:0]	R/W	チャネル 1 の個別タスク実行または動作スケジュールを指定 0x0 : 個別タスク実行 0x1 : スケジュール 1 0x2 : スケジュール 2 0x3 : スケジュール 3 0x4 : スケジュール 4 0x5 : スケジュール 5 0x6 : スケジュール 6 0x7 : スケジュール 7 0x8 : スケジュール 8 0x9 : スケジュール 9 0xA : スケジュール 10 0xB : スケジュール 11 0xC : スケジュール 12 0xD : スケジュール 13 0xE : スケジュール 14 0xF : スケジュール 15
3-0	−	R/W	"0"をライトしてください。

注) 詳細は「表 15-4 スケジュール別の実行タスク」を参照。

15.3.2.5　VEREPTIME(動作スケジュール繰り返し回数指定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREPB				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	VREPB[3:0]	R/W	チャネル 1 動作スケジュールの繰り返し回数指定 0：スケジュール実行しない 1-15：設定回数だけスケジュールを繰り返し実行します
3-0	−	R/W	"0"をライトしてください。

注)　"0"設定時はスケジュール動作しないでください。

15.3.2.6 VETRGMODE(起動トリガモード設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	VTRGB		-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-2	VTRGB[1:0]	R/W	チャネル 1 での AD 変換終了割り込みによる入力処理起動条件選択 00：割り込み無視 01：Reserved 10：INTADBPDB(ADCB PMD1 トリガ同期変換終了)割り込みで起動 11：Reserved
1-0	−	R/W	"0"をライトしてください。

15.3.2.7　VEERRINTEN(エラー割り込み許可／禁止設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VERRENB	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	VERRENB	R/W	チャネル 1 エラー検出時の割り込み制御 0：禁止 1：許可
0	−	R/W	"0"をライトしてください。

注)　動作スケジュールを実行中(起動トリガ待ちを含まない)に PWM 割り込みを検知するとエラーフラグに"1"がセットされます。

15.3.2.8 VECOMPEND(VE 強制終了レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VCENDB	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	VCENDB	W	チャネル 1 実行中のスケジュール強制終了 0：− 1：停止
0	−	W	"0"をライトしてください。

注) "1"を書き込んでも次のサイクルでクリアされます。リードすると常に"0"が読み出されます。

15.3.2.9　VEERRDET(エラー検出レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VERRDB	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	VERRDB	R	チャネル 1 エラーフラグ 0：エラー未検出 1：エラー検出
0	−	R	リードすると"0"が読めます。

注 1)　動作スケジュールを実行中(起動トリガ待ちを含まない)に PWM 割り込みを検知するとエラーフラグに"1"がセットされます。

注 2)　エラーフラグはレジスタをリードするとクリアされます。

15.3.2.10 VESCHTASKRUN(スケジュール動作状態／実行中タスク番号レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	VRTASKB	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VRTASKB		VRSCHB	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-6	VRTASKB[3:0]	R	チャネル 1 の実行中タスク番号 0x0：出力制御 1 (タスク番号 0) 0x1：トリガ生成 (タスク番号 1) 0x2：入力処理 1 (タスク番号 2) 0x3：入力相変換 (タスク番号 3) 0x4：入力座標軸変換 (タスク番号 4) 0x5：電流制御 (タスク番号 5) 0x6：SIN/COS 演算 (タスク番号 6) 0x7：出力座標軸変換 (タスク番号 7) 0x8：出力相変換 1 [SVM] (タスク番号 8) 0x9： 出力制御 2 (タスク番号 9) 0xA：入力処理 2 (タスク番号 10) 0xB：出力相変換 2[I-Clarke] (タスク番号 11) 0xC：ATAN (タスク番号 12) 0xD：SQRT (タスク番号 13) 0xE：Reserved 0xF：Reserved
5	VRSCHB	R	チャネル 1 スケジュール動作状態 0：停止 1：実行中
4-0	−	R	リードすると"0"が読めます。

15.3.2.11　VETMPREG0(テンポラリレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	TMPREG0							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMPREG0							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMPREG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMPREG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TMPREG0[31:0]	R/W	テンポラリレジスタ 0

15.3.2.12　VETMPREG1(テンポラリレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	TMPREG1							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMPREG1							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMPREG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMPREG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TMPREG1[31:0]	R/W	テンポラリレジスタ 1

15.3.2.13 VETMPREG2(テンポラリレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	TMPREG2							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMPREG2							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMPREG2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMPREG2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TMPREG2[31:0]	R/W	テンポラリレジスタ 2

15.3.2.14 VETMPREG3(テンポラリレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	TMPREG3							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMPREG3							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMPREG3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMPREG3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TMPREG3[31:0]	R/W	テンポラリレジスタ 3

15.3.2.15　VETMPREG4(テンポラリレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	TMPREG4							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMPREG4							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMPREG4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMPREG4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TMPREG4[31:0]	R/W	テンポラリレジスタ 4

15.3.2.16　VETMPREG5(テンポラリレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	TMPREG5							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMPREG5							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMPREG5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMPREG5							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TMPREG5[31:0]	R/W	テンポラリレジスタ 5

15.3.3 共通レジスタ

15.3.3.1 VETADC(ADC 変換開始ウェイト設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	TADC[15:0]	R/W	ADC 変換開始ウェイト時間の設定(図 15-4 参照) 0x0000~0xFFFF : (ADC 変換時間[s]÷PWM カウンタクロック周期[s] を設定)

注 1) 1 シャント電流検出モード、PWM シフト許可およびシフト 1 選択時に有効となります。
注 2) タスク 0 で使用されます。

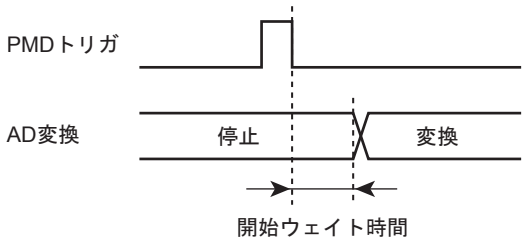


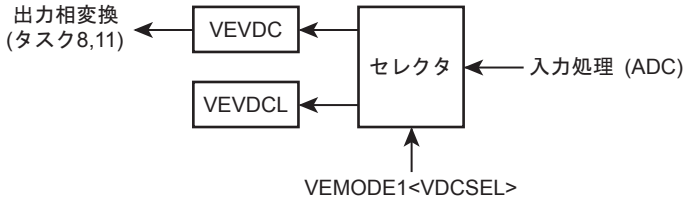
図 15-4 ADC 変換開始ウェイト

15.3.4　専用レジスタ

15.3.4.1　VEMODE1(タスク制御モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	T7SQRTEN	T4ATANEN	-	VDCSEL	OCRMD		ZIEN	PVIEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	T7SQRTEN	R/W	タスク 7 と連動した電圧スカラ: 演算制御(SQRT 演算) 0 : 禁止 1 : 許可 「15.4.2.3 出力電圧変換(座標軸変換/相変換)」参照
6	T4ATANEN	R/W	タスク 4 と連動した電流ベクトル(dq): 位相演算制御(ATAN 演算) 0 : 禁止 1 : 許可 「15.4.2.7 入力電流変換(相変換/座標軸変換)」参照
5	−	R/W	"0"をライトしてください。
4	VDCSEL	R/W	タスク 2、タスク 10 の電源電圧保存レジスタ選択 0 : VEVDC 保存 1 : VEVDCL 保存
3-2	OCRMD[1:0]	R/W	タスク 0、タスク 9 出力制御 00 : 出力オフ 01 : 出力許可 10 : 短絡ブレーキ(出力は上相オフ、下相オン) 11 : EMG 復帰(出力オフ)
1	ZIEN	R/W	タスク 2 のゼロ電流検出制御 0 : 通常電流検出 1 : ゼロ電流検出
0	PVIEN	R/W	タスク 6 の位相補間制御 0 : 禁止 1 : 許可



注) VEVDCレジスタで制御される電源電圧に補正した値を使用する場合、保存先にVEVDCLを選択し、補正値をVEVDCレジスタにセットしてください。

図 15-5 VEVDC/VEVDCL 保存レジスタ

15.3.4.2　VEFMODE1(フロー制御レジスタ)

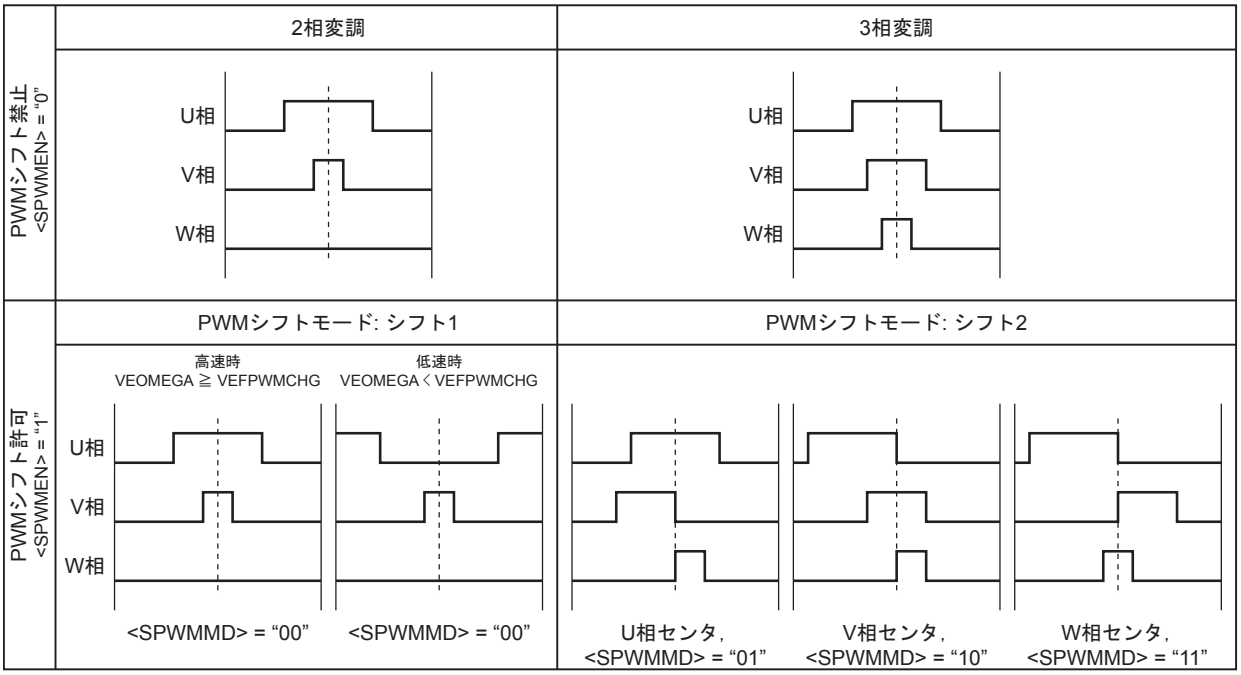
	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SPWMMD		-	PHCVDIS	PIGSEL	-	MREGDIS	CRCEN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	IDPLMD	-	IDMODE		SPWMEN	C2PEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-14	SPWMMD	R/W	PWM シフトモード選択 00 : シフト 1 01 : シフト 2 (U 相センタ) 10 : シフト 2 (V 相センタ) 11 : シフト 2 (W 相センタ) 詳細は「図 15-6 シフト設定と PWM 波形の関係」を参照。 注) 出力制御 1(タスク 0)実行時は、シフト 2 は選択できません(無効)
13	−	R/W	"0"をライトしてください。
12	PHCVDIS	R/W	相変換禁止 0 : 2-3 相変換許可 (3 相交流出力) 1 : 2-3 相変換禁止 (2 相交流出力) 注) 空間ベクトル変換(タスク 8)実行時は禁止できません(無効)
11	PIGSEL	R/W	電流制御ゲイン切り替え 0 : PI ゲインとして各 PI 係数レジスタ値を使用 1 : PI ゲインとして各 PI 係数レジスタ値の 1/256 倍を使用
10	−	R/W	"0"をライトしてください。
9	MREGDIS	R/W	SIN/COS/SECTOR 前回値保持選択 0 : 有効 1 : 無効 無効時は、VESINM1=VESIN1、VECOSM1=VECOS1、VESECTORM1=VESECTOR1
8	CRCEN	R/W	トリガ補正許可 0 : 禁止 1 : 許可 注) トリガ生成(タスク 1)実行時、1 シャント電流検出モードでシフト禁止、またはシフト 1 選択時のみ有効
7-6	−	R/W	"01"をライトしてください
5	IDPLMD	R/W	電流検出極性 0 : シャントモード(電流入力極性反転) 1 : センサモード(電流入力極性非反転) 注) 入力処理 2(タスク 10)実行時のみ有効
4	−	R/W	"1"をライトしてください

Bit	Bit Symbol	Type	機能
3-2	IDMODE[1:0]	R/W	電流検出モード 00 : 3 シャント(注 1) 01 : 2 センサ(注 2) 10 : 1 シャント(PMD TRG アップカウンタ(注 3、注 4)) 11 : 1 シャント(PMD TRG ダウンカウンタ(注 3、注 4)) 注 1) 入力処理 2(タスク 10)では 3 相電流検出になります。 注 2) 入力処理 2(タスク 10)では 2 相電流検出になります。 注 4) 出力制御 2(タスク 9)および入力処理 2(タスク 10)を実行する場合は、PWM シフト 2 に設定してください。
1	SPWMEN	R/W	PWM シフト許可 0 : 禁止 1 : 制御 注)出力制御 1(タスク 0)および入力処理 1(タスク 2)はシフト 1 のみ対応。出力制御 2(タスク 9)および入力処理 2(タスク 10)はシフト 2 のみ対応。
0	C2PEN	R/W	変調モード選択 0 : 3 相変調 1 : 2 相変調

注 3) 1 シャントモード使用時の PMDTRG の設定

VEFMODE1 <IDMODE[1:0]>	PMD1TRGCR <TRG0MD[2:0]>	PMD1TRGCR <TRG1MD[2:0]>
10	010 (up-count)	010 (up-count)
10	101 (carrier bottom)	010 (up-count)
11	001 (down-count)	001 (down-count)
11	001 (down-count)	101 (carrier bottom)



注1) シフト1は2相変調時のみ選択可能です。
注2) シフト2は3相変調時のみ選択可能です。
注3) シフト2はPMDの設定が必要です。

図 15-6 シフト設定と PWM 波形の関係

15.3.4.3 VETPWM1(PWM 周期レート設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TPWM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TPWM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TPWM[15:0]	R/W	PWM 周期レート設定、位相補間時の積分単位を設定、16 ビット固定小数点データ 0.0 ~ 1.0 0x0000 ~ 0xFFFF : PWM 周期[s] × Max_Hz × 2^{16} ※PWM 周波数と最大回転数との比を表します。 (Max_Hz : 最大回転数)

注) SIN/COS 演算(タスク 6)で位相補間許可時に使用されます。

15.3.4.4　VEOMEGA1(回転速度設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	OMEGA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OMEGA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	OMEGA[15:0]	R/W	回転速度設定、16 ビット固定小数点データ-1.0 ~ 1.0 0x8000 ~ 0x7FFF : 回転速度[Hz] ÷ Max_Hz × 2^{15} (Max_Hz : 最大回転数)

注 1)　SIN/COS 演算(タスク 6)で位相補間許可時に使用されます。
注 2)　出力制御 1(タスク 0)で 1 シャント電流検出の PWM シフト 1 選択時に使用されます。

15.3.4.5 VETHETA1(モータ位相設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	THETA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	THETA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	THETA[15:0]	R/W	位相設定、16 ビット固定小数点データ 0.0 ~ 1.0 計算式 : 位相[deg] ÷ 360 × 2^{16}

注 1) SIN/COS 演算(タスク 6)で使用されます。

注 2) 位相補間許可で SIN/COS 演算(タスク 6)実行時に更新されます。

15.3.4.6　VECOS1/VESIN1/VECOSM1/VESINM1(SIN/COS レジスタ)

VECOS1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	COS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	COS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	COS[15:0]	R/W	THETA 値での余弦値、16bit 固定小数点データ　-1.0 ~ 1.0 0x8000 ~ 0x7FFF

注 1)　SIN/COS 演算(タスク 6)実行時に更新されます。
注 2)　出力座標軸変換(タスク 7)で使用されます。

VESIN1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SIN							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	SIN[15:0]	R/W	THETA 値での正弦値、16bit 固定小数点データ　-1.0 ~ 1.0 0x8000 ~ 0x7FFF

注 1)　SIN/COS 演算(タスク 6)実行時に更新されます。

注 2)　出力座標軸変換(タスク 7)で使用されます。

VECOSM1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	COSM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	COSM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	COSM[15:0]	R/W	VECOS1 レジスタの前回値保存 0x8000 ~ 0x7FFF

注 1)　SIN/COS 演算(タスク 6)実行時に更新されます。
注 2)　入力座標軸変換(タスク 4)で使用されます。

VESINM1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SINM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SINM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	SINM[15:0]	R/W	VESIN1 レジスタの前回値保存 0x8000 ~ 0x7FFF

注 1)　SIN/COS 演算(タスク 6)実行時に更新されます。

注 2)　入力座標軸変換(タスク 4)で使用されます。

15.3.4.7　VEIDREF1/VEIQREF1(d 軸/q 軸基準電流値設定レジスタ)

VEIDREF1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IDREF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IDREF							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	IDREF[15:0]	R/W	d 軸電流指令値　16bit 固定小数点データ　-1.0 ~ 1.0 0x8000 ~ 0x7FFF(d 軸電流指令[A]÷Max_I×2^{15} を設定する) Max_I : (A/D 変換が 1LSB 変化する相電流の変化量[A])×2^{11}

注)　電流制御(タスク 5)で使用されます。

VEIQREF1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IQREF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IQREF							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	IQREF[15:0]	R/W	q 軸電流指令値　16bit 固定小数点データ　-1.0 ~ 1.0 0x8000 ~ 0x7FFF(q 軸電流指令[A]÷Max_I×2^{15} を設定する) Max_I : (A/D 変換が 1LSB 変化する相電流の変化量[A])×2^{11}

注)　電流制御(タスク 5)で使用されます。

15.3.4.8　VEVD1/VEVQ1(d 軸/q 軸電圧設定レジスタ)

VEVD1x

	31	30	29	28	27	26	25	24
bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	VD[31:0]	R/W	d 軸電圧、32bit 固定小数点データ　-1.0 ~ 1.0 0x8000_0000 ~ 0x7FFF_FFFF(d 軸電圧÷Max_V×2^{31} を設定する) Max_V : (A/D 変換が 1LSB 変化する電源電圧の変化量[V])×2^{12}

注 1)　電流制御(タスク 5)実行時に更新されます。
注 2)　出力座標軸変換(タスク 7)で使用されます。

VEVQ1

	31	30	29	28	27	26	25	24
bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	VQ[31:0]	R/W	q 軸電圧、32bit 固定小数点データ　-1.0 ~ 1.0 0x8000_0000 ~ 0x7FFF_FFFF(q 軸電圧÷Max_V×2^{31} を設定する) Max_V：(A/D 変換が 1LSB 変化する電源電圧の変化量[V])×2^{12}

注 1)　電流制御(タスク 5)実行時に更新されます。

注 2)　出力座標軸変換(タスク 7)で使用されます。

15.3.4.9　VECIDKI1/VECIDKP1/VEVCIQKI1/VECIQKP1(PI 制御係数レジスタ)

VECIDKI1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CIDKI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CIDKI							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	CIDKI[15:0]	R/W	d 軸 PI 制御積分係数　0x8000 ~ 0x7FFF

VECIDKP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CIDKP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CIDKP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	CIDKP[15:0]	R/W	d 軸 PI 制御比例係数　0x8000 ~ 0x7FFF

VEVCIQKI1

	31	30	29	28	27	26	25	24
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CIQKI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CIQKI							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	CIQKI[15:0]	R/W	q 軸 PI 制御積分係数　0x8000 ~ 0x7FFF

VECIQKP1

	31	30	29	28	27	26	25	24
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CIQKP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CIQKP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	CIQKP[15:0]	R/W	q 軸 PI 制御比例係数　0x8000 ~ 0x7FFF

15.3.4.10　VEVDIH1/VEVDILH1/VEVQIH1/VEVQILH1(PI 制御積分項保持レジスタ)

VEVDIH1

	31	30	29	28	27	26	25	24
bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VDIHI							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	VDIH[31:0]	R/W	d 軸 PI 制御の積分項(VDI)の上位 32bit

VEVDILH1

	31	30	29	28	27	26	25	24
bit symbol	VDILH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VDILH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VDILH[15:0]	R/W	d 軸 PI 制御の積分項(VDI)の下位 16bit
15-0	−	R	リードすると"0"が読めます。

注 1)　VDI は 64bit 固定小数点データ(小数 63bit　-1.0 ~ 1.0)
注 2)　VDI データは 48bit で構成されます。

VEVQIH1

	31	30	29	28	27	26	25	24
bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	VQIH[31:0]	R/W	q 軸 PI 制御の積分項(VQI)の上位 32bit

VEVQILH1

	31	30	29	28	27	26	25	24
bit symbol	VQILH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VQILH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VQILH[15:0]	R/W	q 軸 PI 制御の積分項(VQI)の下位 16bit
15-0	−	R	リードすると"0"が読めます。

注 1)　VQI は 64bit 固定小数点データ(小数 63bit　-1.0 ~ 1.0)

注 2)　VQI データは 48bit で構成されます。

15.3.4.11　VEMCTLF1(異常/判定結果保持レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PLSLFM	PLSLF	-	LVTF	LAVFM	LAVF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R/W	"0"をライトしてください。
5	PLSLFM	R/W	<PLSLF>の前回値 注) 出力制御(タスク 0、9)実行時に更新されます。
4	PLSLF	R/W	パルス微小フラグ 出力制御 1(タスク 0)実行時、1 シャント電流検出設定の場合 最小パルス幅差　<　VEMINPLS1<MINPLS>の場合に"1"をセット 出力制御 2(タスク 9)実行時、 最小オン幅または最小オフ幅　<　VEMINPLS1<MINPLS>の場合に"1"をセット
3	−	R/W	"0"をライトしてください。
2	LVTF	R/W	電源電圧低下フラグ VEVDC1<VDC>　≥　1/128 の場合"0" VEVDC1<VDC>　<　1/128 の場合"1" 注) 出力相変換(タスク 8、11)実行時に更新されます。
1	LAVFM	R/W	<LAVF>の前回値 出力制御 1(タスク 0)実行時、1 シャント電流検出で PWM シフト許可時更新
0	LAVF	R/W	低速度フラグ 出力制御 1(タスク 0)実行時、1 シャント電流検出で PWM シフト許可時 0 : 高速 1 : 低速 VEOMEGA1<OMEGA>　≥　VEFPWMCHG1<FPWMCHG>の場合"0" VEOMEGA1<OMEGA>　<　VEFPWMCHG1<FPWMCHG>の場合"1"

15.3.4.12 VEFPWMCHG1(PWM 切り替え速度設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	FPWMCHG							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FPWMCHG							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	FPWMCHG[15:0]	R/W	PWM シフト許可時の PWM 切り替え速度設定 切り替え速度[Hz] ÷ Max_Hz × 2^{15} を設定 (Max_Hz : 最大回転数[Hz])

注) タスク 0 で、1 シャント電流検出で PWM シフト許可でシフト 1 選択時に使用されます。

15.3.4.13　VEMDPRD1(PWM 周期設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VMDPRD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VMDPRD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	VMDPRD[15:0]	R/W	PWM 周期設定 PMD 機能の PMD1MDPRD レジスタ値を設定します。

注)　出力制御(タスク 0、9)およびトリガ生成(タスク 1)で使用されます。

15.3.4.14 VEMINPLS1(最小パルス幅差設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MINPLS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MINPLS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	MINPLS[15:0]	R/W	出力制御 1(タスク 0)実行時、1 シャント電流検出で PWM シフト許可時の最小パルス幅差(3 相 PWM (VECMPU1,VECMPV1,VECMPW1)の Duty 差の最小値)基準値を設定します。 設定値は以下の計算式となります。 パルス幅差[s] ÷ PWM カウンタクロック周期[s] 出力制御 2(タスク 9)実行時、最小パルス幅(3 相 PWM(VECMPU1,VECMPV1,VECMPW1)の Duty の最小値)基準値を設定します。 設定値は以下の計算式となります。 パルス幅[s] ÷ PWM カウンタクロック周期[s]

15.3.4.15　VESECTOR1/VESECTORM1(セクタ情報レジスタ)

VESECTOR1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SECTOR			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます
3-0	SECTOR[3:0]	R/W	セクタ情報 設定値 : 0x0 ~ 0xB 出力時の回転位置を 30 度毎の 12 エリアに分けてセクタで表します。

注 1)　出力相変換(タスク 8、11)の実行時に更新されます。
注 2)　出力制御 1(タスク 0)で使用されます。

VESECTOR M 1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SECTOR M			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます
3-0	SECTORM[3:0]	R/W	前回のセクタ情報 設定値 : 0x0 ~ 0xB 入力処理で使用。

注 1)　出力相変換(タスク 8、11)の実行時に更新されます。

注 2)　入力処理 1(タスク 2)で使用されます。

15.3.4.16　VEIAO1/VEIBO1/VEICO1(ゼロ電流レジスタ)

VEIAO1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IAO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IAO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	IAO[15:0]	R/W	a 相ゼロ電流時 ADC 変換結果保存(停止時の a 相電流の ADC 変換結果を保存)

注 1)　ゼロ電流検出モード選択時、入力処理 1(タスク 2)で更新されます。
注 2)　ADC 変換結果取り込み時は <IAO[15:4]> に保存され、<IAO[3:0]>は "0"が保存されます。

VEIBO1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IBO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IBO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	IBO[15:0]	R/W	b 相ゼロ電流時 ADC 変換結果保存(停止時の b 相電流の ADC 変換結果を保存)

注 1)　ゼロ電流検出モード選択時、入力処理 1(タスク 2)で更新されます。

注 2)　ADC 変換結果取り込み時は <IBO[15:4]> に保存され、<IBO[3:0]>は "0"が保存されます。

VEICO1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ICO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ICO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	ICO[15:0]	R/W	c 相ゼロ電流時 ADC 変換結果保存(停止時の c 相電流の ADC 変換結果を保存)

注 1)　ゼロ電流検出モード選択時、入力処理 1(タスク 2)で更新されます。
注 2)　ADC 変換結果取り込み時は <ICO[15:4]> に保存され、<ICO[3:0]>は "0"が保存されます。

15.3.4.17 VEIAADC1/VEIBADC1/VEICADC1(電流 ADC 結果レジスタ)

VEIAADC1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IAADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IAADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	IAADC[15:0]	R/W	a 相電流 ADC 変換結果保存　0x0000 ~ 0xFFFF

注 1)　入力処理(タスク 2、10)実行時に更新されます。

注 2)　ADC 変換結果は<IAADC[15:4]> に保存され、<IAADC[3:0]>は "0"が保存されます。

VEIBADC1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IBADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IBADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	IBADC[15:0]	R/W	b 相電流 ADC 変換結果保存　0x0000 ~ 0xFFFF

注 1)　入力処理(タスク 2、10)実行時に更新されます。
注 2)　ADC 変換結果は<IBADC[15:4]> に保存され、<IBADC[3:0]>は "0"が保存されます。

VEICADC1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ICADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ICADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	ICADC[15:0]	R/W	c 相電流 ADC 変換結果保存　0x0000 ~ 0xFFFF

注 1)　入力処理(タスク 2、10)実行時に更新されます。

注 2)　ADC 変換結果は<ICADC[15:4]> に保存され、<ICADC[3:0]>は "0"が保存されます。

15.3.4.18　VEVDC1/VEVDCL1(電源電圧レジスタ)

VEVDC1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VDC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VDC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	VDC[15:0]	R/W	電源電圧,16bit 固定小数点データ: 0 ~ 1.0 設定値 : 0x0000 ~ 0x7FFF 実電圧値に変換するには、VDC 値× Max_V 値 ÷2^{15} (Max_V : (A/D 変換が 1LSB 変化する電源電圧の変化量[V]) × 2^{12})

注 1)　VEMODE1 レジスタで保存先に VDC が選択させている時、入力処理(タスク 2、10)実行時に更新されます。
注 2)　出力相変換(タスク 8、11)で使用されます。

VEVDCL1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VDCL							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VDCL							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます
15-0	VDCL[15:0]	R/W	電源電圧,16bit 固定小数点データ: 0 ~ 1.0 設定値 : 0x0000 ~ 0x7FFF 実電圧値に変換するには、VDCL 値 × Max_V 値 ÷ 2^{15} (Max_V : (A/D 変換が 1LSB 変化する電源電圧の変化量[V]) × 2^{12})

注) VEMODE1 レジスタで保存先に VDCL が選択させている時、入力処理(タスク 2、10)実行時に更新されます。

15.3.4.19　VEID1/VEIQ1(d 軸/q 軸電流レジスタ)

VEID1

	31	30	29	28	27	26	25	24
bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	ID[31:0]	R/W	d 軸電流、32bit 固定小数点データ: -1.0 ~ 1.0 設定値 : 0x8000_0000 ~ 0x7FFF_FFFF 実電流値に変換するには、 ID 値 × Max_I 値 ÷ 2^{31} (Max_I : (A/D 変換が 1LSB 変化する相電流の変化量[A]) × 2^{11})

注 1)　入力座標軸変換(タスク 4)実行時に更新されます。
注 2)　電流制御(タスク 5)で使用されます。

VEIQ1

	31	30	29	28	27	26	25	24
bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	IQ[31:0]	R/W	q 軸電流、32bit 固定小数点データ　-1.0 ~ 1.0 設定値 : 0x8000_0000 ~ 0x7FFF_FFFF 実電流値に変換するには、 IQ 値× Max_I 値÷ 2^{31} (Max_I : (A/D 変換が 1LSB 変化する相電流の変化量[A]) × 2^{11})

注 1)　入力座標軸変換(タスク 4)実行時に更新されます。

注 2)　電流制御(タスク 5)で使用されます。

15.3.4.20　VECMPU1/ VECMPV1/ VECMPW1(PWM DUTY レジスタ)

VECMPU1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VCMPU							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VCMPU							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	VCMPU[15:0]	R/W	U 相 PWM パルス幅設定 設定値 : 0x0000 ~ 0xFFFF

注 1)　出力制御(タスク 0、9)実行時に更新されます。
注 2)　トリガ生成(タスク 1)で使用されます。

VECMPV1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VCMPV							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VCMPV							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	VCMPV[15:0]	R/W	V 相 PWM パルス幅設定 設定値 : 0x0000 ~ 0xFFFF

注 1)　出力制御(タスク 0、9)実行時に更新されます。

注 2)　トリガ生成(タスク 1)で使用されます。

VECMPW1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VCMPW							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VCMPW							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	VCMPW[15:0]	R/W	W 相 PWM パルス幅設定 設定値 : 0x0000 ~ 0xFFFF

注 1)　出力制御(タスク 0、9)実行時に更新されます。
注 2)　トリガ生成(タスク 1)で使用されます。

15.3.4.21 VEOUTCR1(6 相出力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	WPWM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VPWM	UPWM	WOC		VOC		UOC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます
8	WPWM	R/W	W 相 PWM 0 : オン/オフ出力 1 : PWM 出力
7	VPWM	R/W	V 相 PWM 0 : オン/オフ出力 1 : PWM 出力
6	UPWM	R/W	U 相 PWM 0 : オン/オフ出力 1 : PWM 出力
5-4	WOC[1:0]	R/W	W 相出力制御 00 : WO オフ, ZO オフ(注) 01 : WO オフ, ZO オン 10 : WO オン, ZO オフ 11 : WO オン, ZO オン (注)<WPWM>=1 時は両方オン
3-2	VOC[1:0]	R/W	V 相出力制御 00 : VO オフ, YO オフ(注) 01 : VO オフ, YO オン 10 : VO オン, YO オフ 11 : VO オン, YO オン (注)<VPWM>=1 時は両方オン
1-0	UOC[1:0]	R/W	U 相出力制御 00 : UO オフ, XO オフ(注) 01 : UO オフ, XO オン 10 : UO オン, XO オフ 11 : UO オン, XO オン (注)<UPWM>=1 時は両方オン

注) 出力制御(タスク 0、9)実行時に更新されます。

PMD の U,V,W 相の出力制御を以下に示します。(VE で使用する組み合わせのみ表示)

表 15-1 <UPWM>,<UOC> PMD 設定：U 相(UO,XO) の出力制御

設定		出力	
<UPWM>	<UOC>	UO	XO
0	00	オフ出力	オフ出力
1	00	PWMU 反転出力	PWMU 出力
1	11	PWMU 出力	PWMU 反転出力

表 15-2 <VPWM>,<VOC> PMD 設定：V 相(VO,YO) の出力制御

設定		出力	
<VPWM>	<VOC>	VO	YO
0	00	オフ出力	オフ出力
1	00	PWMV 反転出力	PWMV 出力
1	11	PWMV 出力	PWMV 反転出力

表 15-3 <WPWM>,<WOC> PMD 設定：W 相(WO,ZO) の出力制御

設定		出力	
<WPWM>	<WOC>	WO	ZO
0	00	オフ出力	オフ出力
1	00	PWMW 反転出力	PWMW 出力
1	11	PWMW 出力	PWMW 反転出力

15.3.4.22 VETRGCRC1(同期トリガ補正量設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCRC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCRC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます
15-0	TRGCRC[15:0]	R/W	同期トリガタイミングを補正 設定値 : 補正時間[s] ÷ PWM カウンタクロック周期[s]

注 1) トリガ生成(タスク 1)で使用されます。

注 2) 1 シャント電流検出で PWM シフト禁止またはシフト 1 選択時のみ有効です。

15.3.4.23　VETRGCMP01/VETRGCMP11(トリガタイミング設定レジスタ)

VETRGCMP01

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VTRGCMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VTRGCMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	VTRGCMP0[15:0]	R/W	ADC を PMD と同期させてサンプリングさせるトリガタイミングの設定(PMD 設定) 0x0000 : 設定禁止 0x0001 ~ (<MDPRD[15:0]>値-1) : トリガタイミング <MDPRD[15:0]>値 ~ 0xFFFF : 設定禁止

注 1)　PMD のトリガモードを次の何れかを選択時に有効。ダウンカウント時の一致、アップカウント時の一致、アップおよびダウンカウント時の一致

注 2)　トリガ生成(タスク 1)実行時、1 シャント電流検出で PWM シフト禁止またはシフト 1 選択時に更新されます。

VETRGCMP11

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VTRGCMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VTRGCMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	VTRGCMP1[15:0]	R/W	ADC を PMD と同期させてサンプリングさせるトリガタイミングの設定(PMD 設定) 0x0000 : 設定禁止 0x0001 ~ (<MDPRD[15:0]>値-1) : トリガタイミング <MDPRD[15:0]>値 ~ 0xFFFF : 設定禁止

注 1) PMD のトリガモードを次の何れかを選択時に有効。ダウンカウント時の一致、アップカウント時の一致、アップおよびダウンカウント時の一致

注 2) PMD のトリガ出力モードにトリガ選択出力(PMD1TRGMD<TRGOUT>="1")を選択時は無効

注 3) トリガ生成(タスク 1)実行時、1 シャント電流検出で PWM シフト禁止またはシフト 1 選択時に更新されます。

15.3.4.24　VETRGSEL1(同期トリガ指定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	VTRGSEL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	VTRGSEL[2:0]	R/W	<VTRGCMP0[15:0]>設定タイミングで出力する同期トリガ番号の指定(PMD 設定) 0 ~ 5 : 出力トリガ番号 6 ~ 7 : 使用禁止

注 1)　PMD のトリガ出力モードにトリガ選択出力(PMD1TRGMD<TRGOUT>="1")を選択時に有効
注 2)　トリガ生成(タスク 1)実行時に更新されます。

15.3.4.25 VEEMGRS1(EMG 復帰設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	EMGRS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます
0	EMGRS	W	EMG 復帰コマンド(PMD 設定) 0：- 1：EMG 復帰コマンド

注 1) "1"を書き込んでも次のサイクルでクリアされます。リードすると常に"0"が読み出されます。

注 2) EMG 復帰モードで出力制御(タスク 0、9)実行時に "1" がセットされます。

15.4　動作説明

15.4.1　スケジュール管理

モータ制御は 図 15-7 のようなフローで実行されます。ベクトルエンジンは各動作状態をスケジュール設定と MODE 設定を切り替えることで遷移させます。

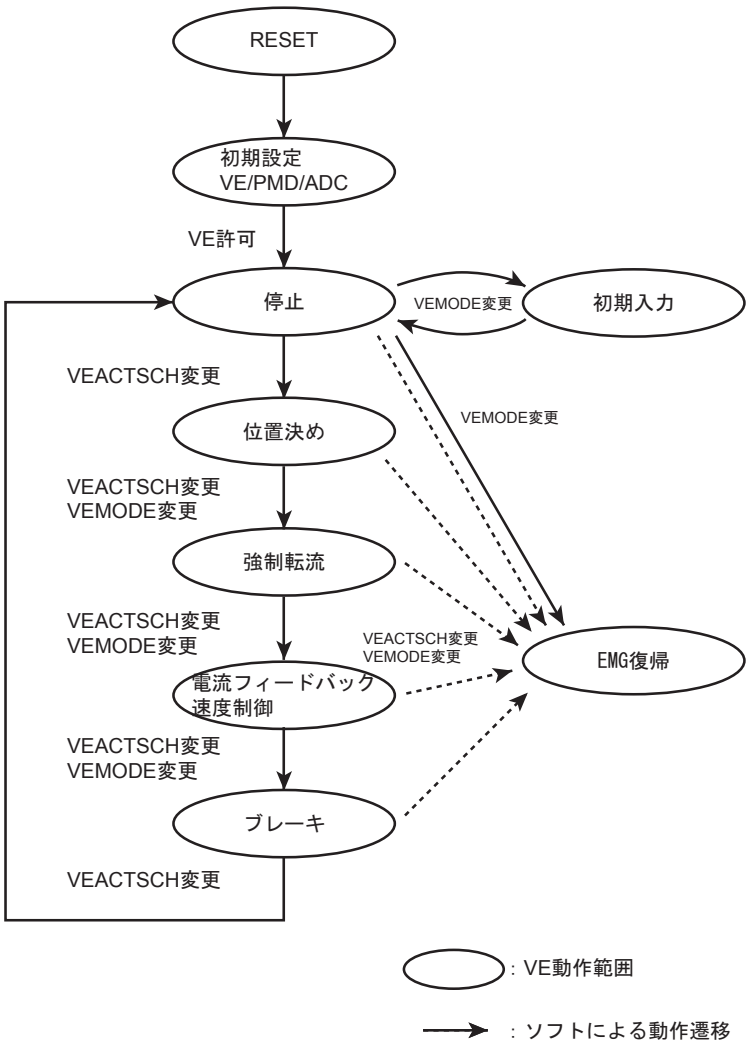


図 15-7 モータ制御の動作状態フロー例

RESET	:マイコンリセット
初期設定	:ユーザーソフトによる初期設定
停止	:モータ停止
初期入力	:停止時のゼロ電流をサンプリングして保存
位置決め	:モータ起動時の位置決め制御
強制転流	:モータ起動 所定時間はフィードバック制御せずに設定速度で回転させる
電流フィードバック速度制御	:電流フィードバックによる制御
ブレーキ	:減速制御
EMG 復帰	: EMG 保護状態から復帰する

15.4.1.1 スケジュール制御

動作スケジュールは VEACTSCH レジスタで選択します。

スケジュールは出力処理を行う出力スケジュールと入力処理を行う入力スケジュールで構成されます。出力スケジュールは出力関連のタスク、入力スケジュールは入力関連のタスクで構成されます。スケジュールと動作するタスクの関連を 表 15-4 に示します。

また、モータ制御フローに応じて、VEMODE1 レジスタで位相補間許可／出力制御動作／ゼロ電流検出などを選択してください。

表 15-4 スケジュール別の実行タスク

スケジュール指定 VEACTSCH <VACTB[3:0]>	出力スケジュール実行タスク								入力スケジュール実行タスク			
	電流制御	SIN/COS 演算 (注 2)	出力座標軸変換 (注 3)	出力相変換 1	出力相変換 2	出力制御 1 (注 4)	出力制御 2 (注 4)	トリガ生成	入力処理 1 (注 5)	入力処理 2	入力相変換	入力座標軸変換 (注 6)
	T5	T6	T7	T8	T11	T0	T9	T1	T2	T10	T3	T4
0 : タスク実行	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
1 : スケジュール 1	o	o	o	o	-	o	-	o	o	-	o	o
2 : スケジュール 2	o	o	o	o	-	-	o	o	-	o	o	o
3 : スケジュール 3	o	o	o	-	o	-	o	o	-	o	o	o
4 : スケジュール 4	-	o	o	o	-	o	-	o	o	-	o	o
5 : スケジュール 5	-	o	o	o	-	-	o	o	-	o	o	o
6 : スケジュール 6	-	o	o	-	o	-	o	o	-	o	o	o
7 : スケジュール 7	-	o	o	-	o	o	-	o	o	-	o	o
8 : スケジュール 8	o	o	o	-	o	o	-	o	o	-	o	o
9 : スケジュール 9	-	-	-	-	-	o	-	o	o	-	-	-
10 : スケジュール 10	o	o	o	o	-	o	-	-	-	-	-	-
11 : スケジュール 11	o	o	o	o	-	-	o	-	-	-	-	-
12 : スケジュール 12	o	o	o	-	o	-	o	-	-	-	-	-
13 : スケジュール 13	o	o	o	-	o	o	-	-	-	-	-	-
14 : スケジュール 14	-	-	-	-	-	-	-	o	o	-	o	o
15 :スケジュール 15	-	-	-	-	-	-	-	o	-	o	o	o

注 1) VETASKAPP で指定したタスクのみ実行されます。
注 2) 位相補間設定
注 3) VEMODE1<T7QRTEN>="1"の場合、電圧スカラ演算(SQRT 演算)も同時に実行されます。
注 4) 出力オフ設定: <EMGRS>
注 5) ゼロ電流検出でタスク動作を切り替え
注 6) VEMODE1<T4ATANEN>="1"の場合、電流ベクトル(dq)位相演算(ATAN 演算)も同時に実行されます。

表 15-5 代表動作フローでの設定例

設定 モーター制御フロー	スケジュール設定 VEACTSCH <VACTB[3:0]>	タスク指定 VETASKAPP <VTASKB[3:0]>	位相補間許可 VEMODE1 <PVIEN>	出力制御動作 VEMODE1 <OCRMD[1:0]>	ゼロ電流検出 VEMODE1 <ZIEN>
停止	9	0	x	00	0
初期入力	9	0	x	00	1
位置決め	1	5	0	01	0
強制転流	1	5	1	01	0
電流フィードバック 速度制御	1	5	1	01	0
ブレーキ	4	6	0	01	0
EMG 復帰	9	0	x	11	0
短絡ブレーキ	4	6	x	10	0

出力スケジュールはコマンド(VECPURUNTRG)で動作開始し、出力関連タスクが全て終了するとベクトルエンジンは待機状態に移行して起動トリガを待ちます。

入力スケジュールは起動トリガで動作開始し、入力関連タスクが全て終了すると CPU に割り込みを発生してベクトルエンジンは休止状態に移行します。ただし、スケジュールの繰り返し回数(VEREPTIME)を 2 回以上に設定している場合は、設定回数に達するまでは割り込みを発生せずに出力スケジュールを起動します。

注)　スケジュール 10 ~ 15 はリピートに対応してません。(VEREPTTIME ≥ 2 でも 1 回で終了します。)

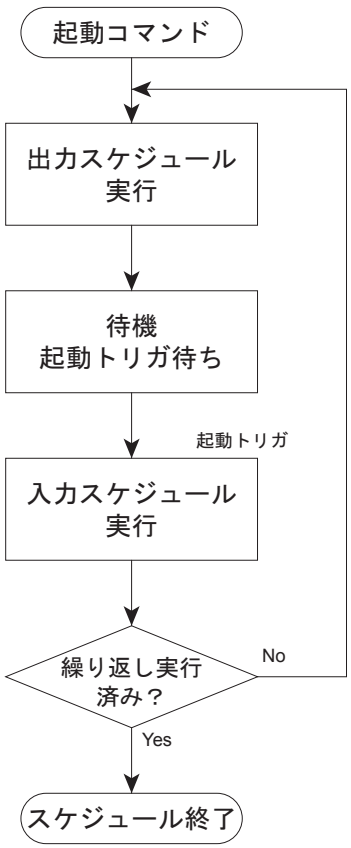


図 15-8 動作スケジュールの動作遷移

15.4.1.2 起動制御

初めに、ベクトルエンジン許可(<VEEN> ="1")して、動作スケジュール選択レジスタ(VEACTSCH)、タスク指定レジスタ(VETASKAPP)、および動作スケジュール繰り返し回数指定レジスタ(VEREPTIME)を設定後、下記の手順でスケジュールを実行してください。

ベクトルエンジンの動作スケジュールは出力スケジュールと入力スケジュールに分かれており、基本的に出力スケジュール実行後の待機状態で起動トリガが発生すると入力スケジュールが実行されます。

出力スケジュールと入力スケジュールはそれぞれ次の条件で起動します。

- 出力スケジュールの起動

  1. コマンドスタート(VECPURUNTRG)で指定タスク(VETASKAPP)の開始
  2. 入力スケジュール終了後の繰り返しスタート(VEREPTIME ≥ 2)

- 入力スケジュールの起動

  1. 出力スケジュール終了後の起動トリガ(VETRGMODE で選択したトリガ入力)による入力処理タスクの開始
  2. コマンドスタート(VECPURUNTRG)で指定タスク(VETASKAPP)の開始

15.4.2 タスク概要

スケジュールで動作する各タスクの概要を示します。

個別実行タスクや起動タスクの指定には表 15-6 のタスク番号を使用します。

表 15-6 タスク一覧

タスク		タスク機能	タスク番号
出力スケジュール	電流制御	dq 電流制御	5
	SIN/COS 演算	正弦/余弦演算,位相補間	6
	出力座標軸変換	電圧スカラ演算	7
	出力相変換 1	2 相から 3 相に変換[SVM]	8
	出力相変換 2	2 相から 3 相に変換[I-Clarke]	11
	出力制御 1	PMD 設定形式へのデータ変換 PWM シフト切り替え	0
	出力制御 2	PMD 設定形式へのデータ変換 PWM シフト切り替え	9
	トリガ生成	同期トリガタイミング生成	1
入力スケジュール	入力処理 1	ADC 変換結果取り込み 固定小数点数へのデータ変換	2
	入力処理 2	ADC 変換結果取り込み 固定小数点数へのデータ変換	10
	入力相変換	3 相から 2 相に変換	3
	入力座標軸変換	電流ベクトル(dq)位相演算	4
ATAN 演算		逆正接を算出	12
SQRT 演算		平方根を算出	13

15.4.2.1　電流制御(タスク 5)

電流制御タスクは、d 軸電流、q 軸電流それぞれに PI 制御演算を行います。

本電流制御で d 軸、q 軸電圧を算出します。

電流制御ゲイン切り替え(VEFMODE1<PIGSEL>)を "1" に設定すると比例係数、積分係数は 1/256 倍にされます。

1. d 軸電流 PI 制御

<演算式>

Δ ID = VEIDREF1 − VEID1	:電流指令値と電流フィードバックの差分
VEVDI1 = VECIDKI1 × Δ ID + VEVDI1	:積分項演算
VEVD1 = VECIDKP1 × Δ ID + VEVDI1	:比例項をあわせて電圧算出

	レジスタ名	機能	
入力	VEID1	d 軸電流	32bit 固定小数点データ(小数点以下 31bit)
	VEIDREF1	d 軸電流基準値	16bit 固定小数点データ(小数点以下 15bit)
	VECIDKP1	比例係数	16bit データ
	VECIDKI1	積分係数	16bit データ
	VEFMODE1	電流制御ゲイン切り替え	<PIGSEL>
出力	VEVD1	d 軸電圧	32bit 固定小数点データ(小数点以下 31bit)
内部	VEVDI1	d 軸電圧積分項保持	64bit 固定小数点データ(小数点以下 63bit)

注) VEVDI1 は 64 ビットデータで、上位が VEVDIH1 レジスタ、下位が VEVDILH1 レジスタの構成です。

2. q 軸電流 PI 制御

<演算式>

Δ IQ = VEIQREF1 − VEIQ1	:電流指令値と電流フィードバックの差分
VEVQI1 = VECIQKI1 × Δ IQ + VEVQI1	:積分項演算
VEVQ1 = VECIQKP1 × Δ IQ + VEVQI1	:比例項をあわせて電圧算出

	レジスタ名	機能	
入力	VEIQ1	q 軸電流	32bit 固定小数点データ(小数点以下 31bit)
	VEIQREF1	q 軸電流基準値	16bit 固定小数点データ(小数点以下 15bit)
	VECIQKP1	比例係数	16bit データ
	VECIQKI1	積分係数	16bit データ
	VEFMODE1	電流制御ゲイン切り替え	<PIGSEL>
出力	VEVQ1	q 軸電圧	32bit 固定小数点データ(小数点以下 31bit)
内部	VEVQI1	q 軸電圧積分項保持	64bit 固定小数点データ(小数点以下 63bit)

注) VEVQI1 は 64 ビットデータで、上位が VEVQIH1 レジスタ、下位が VEVQILH1 レジスタの構成です。

15.4.2.2 SIN/COS 演算(タスク 6)

SIN/COS 演算タスクは、位相補間演算と SIN/COS 演算を実行します。

位相補間は回転速度を PWM 周期で積分して計算し、位相補間許可時(VEMODE1<PVIEN> ="1") のみ実行します。

1. 位相補間

<演算式>

VETHETA1 = VEOMEGA1 × VETPWM1 + VETHETA1 :速度積分、位相補間許可時のみ

	レジスタ名	機能	
入力	VETHETA1	位相 θ	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 16bit)
	VEOMEGA1	回転速度	16bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 15bit)
	VETPWM	PWM 周期レート	16bit データ
	VEMODE1	位相補間許可	<PVIEN>
出力	VETHETA1	位相 θ	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 16bit)

2. SIN/COS 演算

<演算式>

VESINM1 = VESIN1 :前回値保存(入力処理用)

VECOSM1 = VECOS1 :前回値保存(入力処理用)

VESIN1 = sin (VETHETA1 × π) : SIN/COS 演算

VECOS1 = sin ((VETHETA1 + 1/4) × π) : SIN/COS 演算

	レジスタ名	機能	
入力	VETHETA1	位相 θ	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 16bit)
出力	VESIN1	θ での正弦値	16bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 15bit)
	VECOS1	θ での余弦値	
	VESINM1	前回の正弦値	
	VECOSM1	前回の余弦値	

15.4.2.3　出力電圧変換(座標軸変換/相変換)

出力電圧変換は座標軸変換と相変換の 2 段階で変換します。

相変換タスクには空間ベクトル変換と逆クラークの 2 種類あります。

1. 出力座標軸変換(タスク 7)

   出力座標軸タスクは d 軸電圧、q 軸電圧、sinθ、cosθ から α 軸電圧、β 軸電圧を算出します。

   出力座標軸タスクは座標軸変換と電圧スカラ演算を行います。

   a. 座標軸変換

      <演算式>

      VETMPREG3 = VECOS1 × VEVD1 − VESIN1 × VEVQ1　　:Vα 算出

      VETMPREG4 = VESIN1 × VEVD1 + VECOS1 × VEVQ1　　:Vβ 算出

   b. 電圧スカラ演算

      <T7SQRTEN>="1"の場合、電圧スカラを演算します。

      <演算式>

      $VETMPREG5 = SQRT ((VETMPREG3)^2 + (VETMPREG4)^2)$

	レジスタ名	機能	
入力	VEVD1	d 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VEVQ1	q 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VESIN1	θ での正弦値	16bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 15bit)
	VECOS1	θ での余弦値	16bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 15bit)
	VEMODE1	SQRT 実行制御	<T7SQRTEN>
出力	VETMPREG3	α 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG5	電圧スカラ	32bit 固定小数点データ(0 ~ 2.0、小数点以下 15bit)

注)　電圧スカラ演算の結果を格納するレジスタ<VETMPREG5>は、複数のタスクで使用しています。電圧スカラ演算結果を読みだす前に、他のタスクの演算結果が上書きされる場合があります。このため、電圧スカラ演算を有効にする場合は、個別タスク実行（<VACTB[3:0]>=0x0）で使用してください。

2. 出力相変換 1(空間ベクトル変換)(タスク 8)

出力相変換 1 は α 軸電圧、β 軸電圧からセクタ判定し、セクタ別に空間ベクトル変換で a 相電圧、b 相電圧、c 相電圧の Duty を算出します。このタスクは変換方式に 2 相変調か 3 相変調かを選択できます。

a. セクタ判定

<演算式>

```
VESECTORM1 = VESECTOR1                                  : 前回セクタを保存
if (Vα ≧ 0 & Vβ ≧ 0)                                   : V β 算出
    if (|Vα| ≧ |Vβ| ÷ √ 3)
        if (|Vα| ÷ √ 3 ≧ |Vβ|)                          SECTOR=0
        else                                            SECTOR=1
    else                                                SECTOR=2
else if (Vα ＜ 0 & Vβ ≧ 0)
    if (|Vα| ＜ |Vβ| ÷ √ 3)                             SECTOR=3
    else if (|Vα| ÷ √ 3 ＜ |Vβ|)                        SECTOR=4
        else                                            SECTOR=5
else if (Vα ＜ 0 & Vβ ＜ 0)
    if (|Vα| ≧ |Vβ| ÷ √ 3)
        if (|Vα| ÷ √ 3 ≧ |Vβ|)                          SECTOR=6
        else                                            SECTOR=7
    else                                                SECTOR=8
else if (Vα ≧ 0 & Vβ ＜ 0)
    if (|Vα| ＜ |Vβ| ÷ √ 3)                             SECTOR=9
    else if (|Vα| ÷ √ 3 ＜ |Vβ|)                        SECTOR=10
        else                                            SECTOR=11
```

	レジスタ名	機能	
入力	VETMPREG3	α 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
出力	VESECTOR1	セクタ	4bit データ
	VESECTORM1	前回のセクタ	4bit データ

b.　空間ベクトル変換(<SECTOR[3:0]> = "0"の場合のみ記載)

<演算式>

```
if (VESECTOR1<SECTOR[3:0]> = 0)

   t1 = (√3) ÷ (VEVDC1) × ((√3) ÷ 2 × Vα - 1 ÷ 2 × Vβ)      : V1 期間算出
   t2 = (√3) ÷ (VEVDC1) × (Vβ)                               : V2 期間算出
   t3 = 1 - t1 - t2                                          : V0 + V7 期間算出

if (VEFMODE1<C2PEN> = 0)                                     : 3相変調

   VETMPREG0 =  t1 +  t2 +  t3 ÷ 2                           : Va 算出
   VETMPREG1 =  t2 +  t3 ÷ 2                                 : Vb 算出
   VETMPREG2 =  t3 ÷ 2                                       : Vc 算出

else                                                         : 2相変調

   VETMPREG0 =  t1 +  t2                                     : Va 算出
   VETMPREG1 =  t2                                           : Vb 算出
   VETMPREG2 =  0                                            : Vc 算出
```

	レジスタ名	機能	
入力	VETMPREG3	α 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VEVDC1	電源電圧	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VESECTOR1	セクタ	4bit データ
	VEFMODE1	変調モード SECTORM 保存設定	<C2PEN> <MREGDIS>
出力	VETMPREG0	a 相電圧 Duty	32bit 固定小数点データ(0..0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電圧 Duty	32bit 固定小数点データ(0..0 ~ 1.0、小数点以下 31bit)
	VETMPREG2	c 相電圧 Duty	32bit 固定小数点データ(0..0 ~ 1.0、小数点以下 31bit)

3. 出力相変換 2(逆クラーク変換)(タスク 11)

出力相変換 2 は α 軸電圧、β 軸電圧からセクタ判定し、逆クラーク変換で a 相電圧、b 相電圧、c 相電圧のデューティを算出するタスクです。このタスクは変換方式として 3 相変調だけに対応します。

また、このタスクは VEFMODE1<PHCVDIS> を"1"に設定することで 2 相電圧の Duty を算出します。

a. セクタ判定

<演算式>

```
VESECTORM1 = VESECTOR1                                  : 前回セクタを保存
if (Vα ≥ 0 & Vβ ≥ 0)
    if (|Vα| ≥ |Vβ| ÷ SQRT(3))
        if (|Vα| ÷ SQRT(3) ≥ |Vβ|)                      SECTOR=0
        else                                            SECTOR=1
    else                                                SECTOR=2
else if (Vα < 0 & Vβ ≥ 0)
    if (|Vα| < |Vβ| ÷ SQRT(3))                          SECTOR=3
    else if (|Vα| ÷ SQRT(3) < |Vβ|)                     SECTOR=4
        else                                            SECTOR=5
else if (Vα < 0 & Vβ < 0)
    if (|Vα| ≥ |Vβ| ÷ SQRT(3))
        if (|Vα| ÷ SQRT(3) ≥ |Vβ|)                      SECTOR=6
        else                                            SECTOR=7
    else                                                SECTOR=8
else if (Vα ≥ 0 & Vβ < 0)
    if (|Vα| < |Vβ| ÷ SQRT(3))                          SECTOR=9
    else if (|Vα| ÷ SQRT(3) < |Vβ|)                     SECTOR=10
        else                                            SECTOR=11
```

	レジスタ名	機能	
入力	VETMPREG3	α 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
出力	VESECTOR1	セクタ	4bit データ
	VESECTORM1	前回のセクタ	4bit データ

b. 逆クラーク変換

<演算式>

(VEFMODE1<PHCVDIS> = "0"の場合)

VETMPREG0 = 1 ÷ VEVDC1 × Vα + 1 ÷ 2 : Va Duty

VETMPREG1 = 1 ÷ VEVDC1 × (−1 ÷ 2 × Vα + SQRT(3) ÷ 2 × Vβ) + 1 ÷ 2 : Vb Duty

VETMPREG2 = 1 ÷ VEVDC1 × (−1 ÷ 2 × Vα − SQRT(3) ÷ 2 × Vβ) + 1 ÷ 2 : Vc Duty

(VEFMODE1<PHCVDIS> = "1"の場合)

VETMPREG0 = 1 ÷ VEVDC1 × Vα + 1 ÷ 2 : Vα

VETMPREG1 = 1 ÷ VEVDC1 × Vβ + 1 ÷ 2 : Vβ

	レジスタ名	機能	
入力	VETMPREG3	α 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VEVDC1	電源電圧	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VESECTOR1	セクタ	4bit データ
	VEFMODE1	前回値保存選定 相変換禁止	<MREGDIS> <PHCVDIS>
出力	VETMPREG0	a 相電圧 Duty	32bit 固定小数点データ(0..0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電圧 Duty	32bit 固定小数点データ(0..0 ~ 1.0、小数点以下 31bit)
	VETMPREG2	c 相電圧 Duty	32bit 固定小数点データ(0..0 ~ 1.0、小数点以下 31bit)

15.4.2.4 出力制御

出力制御部は、3 相電圧デューティを PMD 設定形式に変換します。変換した結果を VECMPU1、VECMPV1、VECMPW1 に設定し、出力制御動作設定に応じて VEOUTCR1 を設定します。

出力制御には出力制御 1 タスクと出力制御 2 タスクの 2 種類があり、それぞれ対応できる PWM 出力が違います。

1. 出力制御 1(タスク 0)

出力制御 1 タスクは通常 PWM 出力と PWM シフト 1 モードの PWM 出力に対応しています。

PWM シフト許可の設定中、回転速度(VEOMEGA1)が PWM シフト切り替え基準(VEFPWMCHG1)より小さい場合に PWM 出力が PWM シフトに切り替わります。

注)PWM シフトは 1 シャント電流検出モード時のみ選択できます。

	レジスタ名	機能	
入力	VETMPREG0	a 相電圧	32bit 固定小数点データ(0.0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電圧	32bit 固定小数点データ(0.0 ~ 1.0、小数点以下 31bit)
	VETMPREG2	c 相電圧	32bit 固定小数点データ(0.0 ~ 1.0、小数点以下 31bit)
	VEMDPRD1	PWM 周期設定	16bit データ(PMD PWM 周期設定値)
	VESECTOR1	セクタ	4bit データ
	VEOMEGA1	回転速度	16bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 15bit)
	VEFPWMCHG1	PWM シフト切り替え基準	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VEMODE1	出力制御動作	<OCRMD[1:0]>
	VEMINPLS1	最小パルス幅差	16bit データ
	VEFMODE1	変調モード PWM シフト許可 電流検出モード	<C2PEN> <SPWMEN> <IDMODE[1:0]>
出力	VECMPU1	PMD U 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VECMPV1	PMD V 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VECMPW1	PMD W相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VEOUTCR1	PMD 出力制御設定	9bit 設定
	VEEMGRS1	PMD EMG 復帰	1bit 設定
	VEMCTLF1	低速度フラグ パルス微小フラグ	<LAVF> <PLSLF>

2. 出力制御 2(タスク 9)

出力制御 2 タスクは通常 PWM 出力と PWM シフト 2 モードの PWM 出力に対応しています。

PWM シフト許可 (VEFMODE1<SPWMEN>="1") かつ PWM シフトモード選択 (VEFMODE1<SPWMMD>)を "00"以外に設定することで PWM シフト 2 の PWM 出力になります。

注)PWM シフトは 1 シャント電流検出モード時のみ選択できます。

	レジスタ名	機能	
入力	VETMPREG0	a 相電圧	32bit 固定小数点データ(0.0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電圧	32bit 固定小数点データ(0.0 ~ 1.0、小数点以下 31bit)
	VETMPREG2	c 相電圧	32bit 固定小数点データ(0.0 ~ 1.0、小数点以下 31bit)
	VEMDPRD1	PWM 周期設定	16bit データ(PMD PWM 周期設定値)
	VEFPWMCHG1	PWM レベルシフト	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VEMODE1	出力制御動作	<OCRMD[1:0]>
	VEMINPLS1	最小パルス幅	16bit データ
	VEFMODE1	PWM シフト許可 電流検出モード PWM シフトモード	<SPWMEN> <IDMODE[1:0]> <SPWMMD>
出力	VECMPU1	PMD U 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VECMPV1	PMD V 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VECMPW1	PMD W相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VEOUTCR1	PMD 出力制御設定	9bit 設定
	VEEMGRS1	PMD EMG 復帰	1bit 設定
	VEMCTLF1	低速度フラグ パルス微小フラグ	<LAVF> <PLSLF>

15.4.2.5 トリガ生成(タスク 1)

トリガ生成部は、PWM 設定値 VECMPU1、VECMPV1、VECMPW1 から電流検出方式に応じたトリガタイミングを算出して VETRGCMP01、VETRGCMP11 に設定します。

注) 1 シャント電流検出以外では VETRGCMP01、VETRGCMP11 は更新されません。

注) PWM シフト 2 モード選択時は VETRGCMP01、VETRGCMP11 は更新されません。

	レジスタ名	機能	
入力	VECMPU1	PMD U 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VECMPV1	PMD V 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VECMPW1	PMD W 相 PWM 設定	16bit データ(0 ~ MDPRD 値)
	VEMDPRD1	PWM 周期設定	16bit データ(PMD PWM 周期設定値)
	VETADC	AD 変換時間	16bit データ(0 ~ MDPRD 値)
	VETRGCRC1	トリガ補正値	16bit データ(0 ~ MDPRD 値)
	VESECTOR1	セクタ	4bit データ
	VEMODE1	零電流検出 1 出力制御動作	<ZIEN> <OCRMD[1:0]>
	VEFMODE1	変調モード PWM シフト許可 電流検出モード トリガ補正許可 PWM シフトモード	<C2PEN> <SPWMEN> <IDMODE[1:0]> <CRCEN> <SPWMMD>
	VEMCTLF1	低速度フラグ	<LAVF>
出力	VETRGCMP01	PMD トリガ 0 タイミング設定	16bit データ(0 ~ MDPRD 値)
	VETRGCMP11	PMD トリガ 1 タイミング設定	16bit データ(0 ~ MDPRD 値)
	VETRGSEL1	PMD トリガ選択	3bit データ

15.4.2.6　入力処理

入力処理では A/D 変換器から変換結果と相情報を読み込みます。電流検出方式や PWM シフトモードなどの設定に応じて 3 相電流、電圧の変換結果を固定小数点データ変換して保存します。また、ゼロ電流検出モード時は電流検出結果をゼロ電流レジスタに保存します。

入力処理には入力処理 1 タスクと入力処理 2 タスクの 2 種類があり、それぞれ対応できる電流検出方式が違います。

1. 入力処理 1(タスク 2)

   入力処理 1 タスクは 3 シャント(2 相検出のみ(注 1))および 1 シャントの電流検出に対応します。ただし、PWM シフト 2 モードの PWM 出力時の 1 シャントには対応しません(注 2)。

   (注 1)電流検出結果は 2 相のみ使用します。残りの 1 相は計算で求めます。

   (注 2)PWM シフトは 1 シャント電流検出モード時のみ選択できます。

	レジスタ名	機能	
入力	VEADREG0B	ADC ユニット B 変換結果 0	16bit データ(上位 12bit に結果保持)
	VEADREG1B	ADC ユニット B 変換結果 1	
	VEADREG2B	ADC ユニット B 変換結果 2	
	VEADREG3B	ADC ユニット B 変換結果 3	
	VEPHNUM0B	ADREG0B 検出相情報	2bit データ
	VEPHNUM1B	ADREG1B 検出相情報	
	VEPHNUM2B	ADREG2B 検出相情報	
	VEPHNUM3B	ADREG3B 検出相情報	
	VESECTORM1	セクタ情報	4bit データ
	VEMODE1	ゼロ電流検出 VDC 保存レジスタ	<ZIEN> <VDCSEL>
	VEFMODE1	電流検出モード	<IDMODE[1:0]>
	VEMCTLF1	低速度フラグ	<LAVFM>
出力	VEVDC1	DC 電源電圧	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VEVDCL1	DC 電源電圧	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VETMPREG0	a 相電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電流	
	VETMPREG2	c 相電流	
内部	VEIAO1	a 相ゼロ電流変換結果	16bit データ(上位 12bit に結果保持)
	VEIBO1	b 相ゼロ電流変換結果	
	VEICO1	c 相ゼロ電流変換結果	
	VEIAADC1	a 相電流変換結果	16bit データ(上位 12bit に結果保持)
	VEIBADC1	b 相電流変換結果	
	VEICADC1	c 相電流変換結果	

2. 入力処理 2(タスク 10)

入力処理 2 タスクは 3 シャント(3 相検出、2 相検出)、2 センサの電流検出に対応します。また、PWM シフト 2 モードの PWM 出力時の 1 シャント電流検出に対応します。(注)

入力処理 2 タスクはゼロ電流検出モードには対応していません。

(注)PWM シフトは 1 シャント電流検出モード時のみ選択できます。

	レジスタ名	機能	
入力	VEADREG0B	ADC ユニット B 変換結果 0	16bit データ(上位 12bit に結果保持)
	VEADREG1B	ADC ユニット B 変換結果 1	
	VEADREG2B	ADC ユニット B 変換結果 2	
	VEADREG3B	ADC ユニット B 変換結果 3	
	VEPHNUM0B	ADREG0B 検出相情報	2bit データ
	VEPHNUM1B	ADREG1B 検出相情報	
	VEPHNUM2B	ADREG2B 検出相情報	
	VEPHNUM3B	ADREG3B 検出相情報	
	VEMODE1	VDC 保存レジスタ	<VDCSEL>
	VEFMODE1	電流検出モード 電流検出極性	<IDMODE[1:0]> <IDPLMD>
出力	VEVDC1	DC 電源電圧	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VEVDCL1	DC 電源電圧	16bit 固定小数点データ(0.0 ~ 1.0、小数点以下 15bit)
	VETMPREG0	a 相電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電流	
	VETMPREG2	c 相電流	
内部	VEIAADC1	a 相電流変換結果	16bit データ(上位 12bit に結果保持)
	VEIBADC1	b 相電流変換結果	
	VEICADC1	c 相電流変換結果	

15.4.2.7　入力電流変換(相変換/座標軸変換)

入力電流変換は、相変換と座標軸変換の 2 つのタスクに分かれています。

1. 入力相変換(タスク 3)

入力相変換タスクは、Ia, Ib, Ic から Iα, Iβ を算出します。

<演算式>

VETMPREG3 = VETMPREG0　　: Iα 算出

VETMPREG4 = 1 ÷ SQRT(3) × VETMPREG1 − 1 ÷ SQRT(3) × VETMPREG2　　: Iβ 算出

	レジスタ名	機能	
入力	VETMPREG0	a 相電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG1	b 相電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG2	c 相電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VEFMODE1	相変換禁止	<PHCVDIS>
出力	VETMPREG3	α 軸電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)

2. 入力座標軸変換(タスク 4)

入力座標軸変換タスクは Iα、Iβ、VESINM1、VECOSM1 から Id、Iq を算出します。

a. 座標軸変換

<演算式>

VEID1 = VECOSM1 × VETMPREG3 + VESINM1 × VETMPREG4　　: Id 算出

VEIQ1 = − VESINM1 × VETMPREG3 + VECOSM1 × VETMPREG4　　: Iq 算出

b. 電流ベクトル位相演算

<T4ATANEN>="1"の場合に位相演算します。

<演算式>

VETMPRG5 = ATAN(VEID1 / VEIQ1)

	レジスタ名	機能	
入力	VETMPREG3	α 軸電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VETMPREG4	β 軸電流	
	VESINM1	θ での正弦値	16bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 15bit)
	VECOSM1	θ での余弦値	
	VEMODE1	ATAN 実行許可	<T4ATANEN>
	VEMCTLF1	微小パルスフラグ	<PLSLFM>
出力	VEID1	d 軸電流	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
	VEIQ1	q 軸電流	
	VETMPREG5	ATAN 結果	32bit データ(0xFFFFE000 ~ 0x00002000)

15.4.2.8 その他タスク

1. ATAN(逆正接関数)(タスク 12)

   ATAN タスクは-1.0～1.0 の入力値から逆正接演算を計算して -45°～45°の位相を出力します。

   <演算式>

VETMPREG5 = ATAN(VETMPREG5) : ATAN 算出

	レジスタ名	機能	
入力	VETMPREG5	入力値	32bit 固定小数点データ(-1.0 ~ 1.0、小数点以下 31bit)
出力	VETMPREG5	位相値	32bit データ(0xFFFFE000 ~ 0x00002000 (−45° ~ 45°))

2. SQRT(平方根関数)(タスク 13)

   SQRT タスクは 0.0～4.0 の入力値から平方根を計算して 0.0～2.0 を出力します。

   <演算式>

VETMPREG5 = SQRT(VETMPREG5) : 平方根算出

	レジスタ名	機能	
入力	VETMPREG5	入力値	32bit 固定小数点データ(0.0 ~ 4.0、小数点以下 15bit)
出力	VETMPREG5	平方根	32bit 固定小数点データ(0.0 ~ 2.0、小数点以下 15bit)

15.5　VE チャネルと PMD および ADC の組み合わせ

ベクトルエンジンの使用チャネルにより、使用できる PMD および ADC の組み合わせに制限があります。

また、電流検出選択と使用 ADC ユニット選択によっても使用する組み合わせは変わります。

表 15-7 ベクトルエンジンと PMD の組み合わせ

ベクトルエンジン	PMD
チャネル 1	チャネル 1

表 15-8 ベクトルエンジンと ADC の組み合わせ

ベクトルエンジン		ADC ユニット B			
チャネル	電流検出 VEMODE1 <IDMODE[1:0]>	ADREG0	ADREG1	ADREG2	ADREG3
1	0x	電流検出 1	電流検出 2	電流検出 3	VDC 検出
	1x	電流検出 1	電流検出 2	電流検出 3 (注)	VDC 検出

注)　電流検出 3 は PWM シフト 2 の場合のみ使用します。

第 16 章　オペアンプ(AMP)

TMPM375FSDMG は、1 チャネルのオペアンプを内蔵しており、ポート入力電圧を増幅して 12 ビット逐次変換方式アナログ/デジタルコンバータ (AD コンバータ) に出力しています。これは、モータ電流を検出するシャント抵抗の電圧を増幅するために使用します。

16.1　Configuration

図 16-1 に、オペアンプ、アナログコンパレータのブロック図を示します。

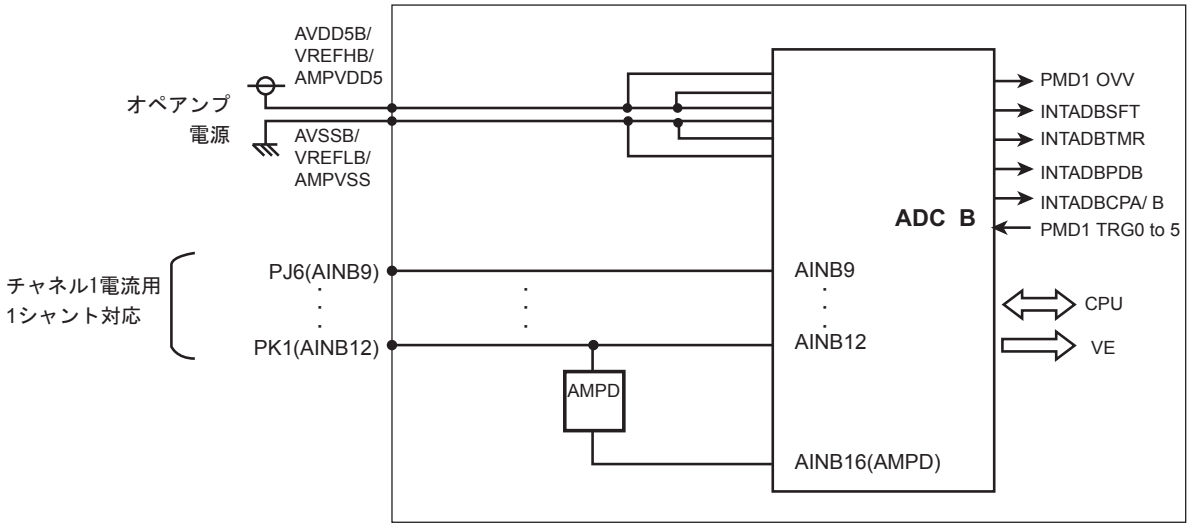


図 16-1 オペアンプ、アナログコンパレータ接続図

16.2　レジスター覧

オペアンプは、AMPCTLD により制御されています。イネーブル/ディセーブルの他に 8 種類のゲインが選択できます。

外部にオペアンプを接続し、内蔵オペアンプを使用しない場合は、オペアンプディセーブル(<AMPEN>=0)に設定してください。

オペアンプの制御レジスタとアドレスは以下のとおりです。

16.2.1　オペアンプ

Base Address = 0x4003_0400

レジスタ名		Address(Base+)
アンプ D コントロールレジスタ	AMPCTLD	0x0018

16.2.1.1　AMPCTLD(アンプ D コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	AMPGLIN			AMPEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	−	R	Read as 0.
3-1	AMPGLIN[2:0]	R/W	ゲイン設定 000: 1.5 倍　100: 4.0 倍 001: 2.5 倍　101: 6.0 倍 010: 3.0 倍　110: 8.0 倍 011: 3.5 倍　111: 10.0 倍
0	AMPEN	R/W	AMP 許可 0: ディセーブル 1: イネーブル

注)　AMP をイネーブルにした場合、回路が安定するまで約 10μs かかります。

16.3 動作

16.3.1 Basic Operation

オペアンプ D は、1 シャント電流検出を想定しており、増幅された電圧は 1 つの A/D コンバータユニット (AINB16）に出力されます。

図 16-2 に、オペアンプの構成図を示します。

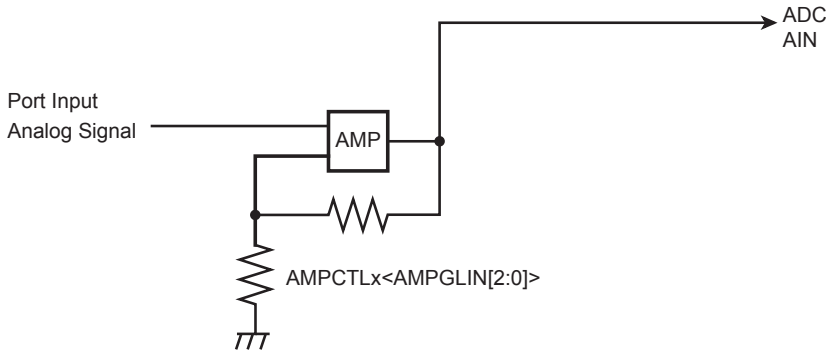


図 16-2 オペアンプ構成

第 17 章　エンコーダ入力回路 (ENC)

17.1　概要

エンコーダ入力回路は、エンコーダモード、センサモード (2 種類)、タイマモードの 4 つの動作モードに対応しています。また、以下の機能を有しています。

- インクリメンタルエンコーダおよびホール IC センサ対応（センサ信号を直接入力可能）
- 汎用 24 ビットタイマ機能
- 4 逓倍 (6 逓倍) 回路内蔵
- 回転方向検出回路内蔵
- カウンタ (24 ビット) 内蔵
- コンペア許可／禁止設定可能
- 割り込み出力 1 本
- 入力信号についてデジタルノイズフィルタ内蔵

17.2　チャネル別相違点

TMPM375FSDMG は、エンコーダ入力回路を内蔵しています。インクリメンタルエンコーダの信号を直接入力し、モータの絶対位置を容易に得ることができます。

いずれのチャネルもに示される使用相違点を除いて同一の動作をします。

表 17-1 チャネル別仕様相違点

チャネル	入力端子			エンコーダ入力割り込み
	A 相	B 相	Z 相	
チャネル 0	ENCA0	ENCB0	ENCZ0	INTENC0

17.3　ブロック図

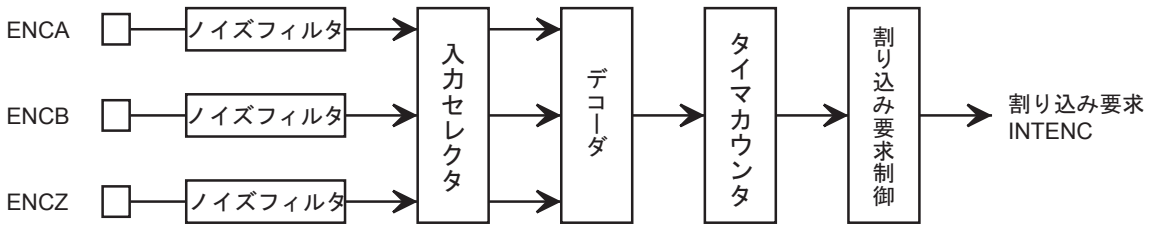


図 17-1 エンコーダ入力回路ブロック図

17.4　レジスタ説明

17.4.1　レジスター覧

エンコーダ入力回路の制御レジスタとアドレスは以下のとおりです。

Channel x	Base Address
Channel0	0x4001_0400

レジスタ名		Address(Base+)
入力制御レジスタ	ENTNCR	0x0000
カウンタリロードレジスタ	ENRELOAD	0x0004
比較レジスタ	ENINT	0x0008
カウンタレジスタ	ENCNT	0x000C

17.4.2 ENTNCR(入力制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	MODE		P3EN
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP	REVERR	UD	ZDET	SFTCAP	ENCLR	ZESEL	CMPEN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ZEN	ENRUN	NR		INTEN	ENDEV		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	−	R	リードすると"0"が読めます。
18-17	MODE[1:0]	R/W	エンコーダ入力モード設定 00：エンコーダモード 01：センサモード(イベントカウント) 10：センサモード(タイマカウント) 11：タイマモード
16	P3EN	R/W	2 相 / 3 相入力選択 (センサモード時)　(注 1) 0：2 相入力 1：3 相入力 入力信号の数を設定します
15	CMP	R	コンペア発生フラグ 0：- 1：コンペア発生 (RD でクリア) コンペアが実施されると <CMP> が "1" にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットに値を書き込んでも何も起こりません。
14	REVERR	R	反転エラーフラグ (センサモード(タイマカウント)時) (注 2) 0：- 1：エラー発生 (RD でクリア) センサモード (タイマカウント) 時、反転エラーが発生すると <REVERR> が "1" にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットに値を書き込んでも何も起こりません。 エンコーダモード、センサモード（イベントカウント）およびタイマモードの場合、このビットは意味を持ちません。
13	UD	R	エンコーダ回転方向 0：CCW方向（反時計回り） 1：CW方向（時計回り） モータが CW 方向に回転しているときは "1" 、CCW 方向に回転しているときは "0" がセットされます。 また、<ENRUN> = "0" のときは常に "0" がセットされます。

Bit	Bit Symbol	Type	機能
12	ZDET	R	Z 相通過検出 0 : Z 非検出 1 : Z 検出 <ENRUN> = "0" → "1" 変化後の Z 相入力 (ENCZ) の最初の検出エッジ (インクリメンタル型エンコーダ信号の Z 相の立ち上がりエッジ (CW 方向)、もしくは立ち下がりエッジ (CCW 方向)) のタイミングで "1" がセットされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。 このビットの動作は <ZEN> の値とは無関係です。 センサモード (イベントカウント) およびセンサモード (タイマカウント) の場合、このビットは常に "0" です。
11	SFTCAP	W	ソフトキャプチャ実行 (タイマモード/センサモード(タイマカウント)時) 0 : - 1 : ソフトキャプチャ <SFTCAP> に "1" が書き込まれると、エンコーダカウンタの値をキャプチャし、ENCNT レジスタに格納します。 "0" を書き込んでも何も起こりません。また、リードすると"0"が読めます。 エンコーダモードおよびセンサモード (イベントカウント) の場合、このビットは意味を持たず、"1" を書き込んでも何も起こりません。
10	ENCLR	W	エンコーダパルスカウンタクリア 0 : - 1 : クリア <ENCLR> に "1" が書き込まれると、エンコーダカウンタは"0"にクリアされます。クリアされた後は、再びカウントを始めます。"0" を書き込んでも何も起こりません。また、リードすると"0"が読めます。
9	ZESEL	R/W	ENCZ の使用エッジ選択(タイマモード時) 0 : 立ち上がりエッジ 1 : 立ち下がりエッジ タイマモード時、外部トリガとして使用する ENCZ 入力のエッジを選択します。 他のモードの場合、このビットは意味を持ちません
8	CMPEN	R/W	コンペアイネーブル 0 : コンペア実行しない 1 : コンペア実行する <CMPEN> に "1" が書き込まれると、エンコーダカウンタのカウンタ値と ENINT レジスタ値のコンペアを実施します。<CMPEN> に "0" が書き込まれると、コンペアを実施しません。
7	ZEN	R/W	Z 相イネーブル(エンコーダモード/タイマモード時) 0 : 禁止 1 : 許可 他のモードの場合、このビットは意味を持ちません。 **<エンコーダモード時> ENCZ 入力によるエンコーダカウンタのクリアを設定** : <ZEN> = "1" のとき、CW 方向に回転しているときは ENCZ の立ち上がりエッジを検出してエンコーダカウンタが"0"にクリアされ、CCW 方向に回転しているときは ENCZ の立ち下がりエッジを検出してエンコーダカウンタが"0"にクリアされます。ENCLK (A 相、B 相信号を 4 逓倍したクロック) タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダカウンタはカウント動作を行わず"0"にクリアされます。(クリア優先) **<タイマモード時> ENCZ 入力を外部トリガとして使用するかどうかを設定** : <ZEN> = "1" のとき、<ZESEL> で指定された ENCZ 入力のエッジ 検出で、エンコーダカウンタの値をキャプチャ、およびエンコーダカウンタを"0"にクリアします。
6	ENRUN	R/W	エンコーダ動作イネーブル 0 : 禁止 1 : 許可 <ENRUN> = "1" で、<ZDET> を"0"クリアするとともにエンコーダ動作をイネーブルします。 <ENRUN> = "0" で、エンコーダ動作をディセーブルにします。 エンコーダの動作を停止した際 (<ENRUN> ビットを "1" → "0")、クリアされるカウンタおよびフラグと、クリアされないカウンタおよびフラグが存在します。

Bit	Bit Symbol	Type	機能
5-4	NR[1:0]	R/W	ノイズフィルタ 00：ノイズフィルタなし 01：31/fsys 未満のパルスはノイズとして除去 10：63/fsys 未満のパルスはノイズとして除去 11：127/fsys 未満のパルスはノイズとして除去 デジタルノイズフィルタでノイズとして除去するパルスの幅を設定します。
3	INTEN	R/W	エンコーダ割り込みイネーブル 0：禁止 1：許可 <INTEN> = "1" で割り込み信号の発生をイネーブルにし、<INTEN> = "0" で割り込み信号の発生をディセーブルにします。
2-0	ENDEV[2:0]	R/W	エンコーダパルス分周比 000：1 分周 100：16 分周 001：2 分周 101：32 分周 010：4 分周 110：64 分周 011：8 分周 111：128 分周 エンコーダパルスの分周比を設定します。 この設定に従ってエンコーダパルスが分周され、イベント割り込みの発生周期として使用されます。

注 1)　エンコーダモード、タイマモードの場合は、必ず　<P3EN> = "0" に設定してください。
注 2)　モードを変更した後は、必ず最初にフラグをリードし、"0"にクリアしてください。

動作モードは <MODE[1:0]>、<P3EN>、 <ZEN>により決定し、全部で 8 種類の設定があります。

動作モードの設定表を以下に示します。

<MODE[1:0]>	<ZEN>	<P3EN>	入力端子	モード
00	0	0	A, B	エンコーダモード
	1		A,B,Z	エンコーダモード (Z 使用)
01	0	0	U,V	センサモード (イベントカウント , 2 相入力)
		1	U,V,W	センサモード (イベントカウント , 3 相入力)
10	0	0	U,V	センサモード (タイマカウント , 2 相入力)
		1	U,V,W	センサモード (タイマカウント , 3 相入力)
11	0	0	-	タイマモード
	1		Z	タイマモード (Z 使用)

<ENRUN> と各信号の状態を以下に示します。

カウンタ／フラグ	<ENRUN> = 0 時 (リセット解除後)	<ENRUN> = 1 時 (動作中)	<ENRUN> = 0 時 (停止中)	<ENRUN> = 0 時 対象フラグ／カウンタの クリア手段
エンコーダカウンタ	0x000000	カウント動作	停止時の値を保持	ソフトクリア (<ENCLR> = 1 WR)
ノイズフィルタ カウンタ	0b0000000	カウントアップ動作	カウントアップ動作 (常時フィルタリング)	リセットのみ
エンコーダパルス 分周カウンタ	0x00	カウントダウン動作	停止してクリア	<ENRUN> = 0 時はクリア
コンペアフラグ <CMP>	0	コンペア時 "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
反転エラーフラグ <REVERR>	0	エラー発生で "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
Z 検出フラグ <ZDET>	0	Z 検出で "1" セット	クリア	<ENRUN> = 0 時はクリア
回転方向ビット <UD>	0	方向検出で "0" / "1" セット	クリア	<ENRUN> = 0 時はクリア

17.4.3 ENRELOAD(カウンタリロードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	RELOAD[15:0]	R/W	エンコーダカウンタの周期（4 逓倍(6 逓倍)後）設定 0x0000 ~ 0xFFFF Z 相使用する場合　: 1 回転分のカウントパルス数を設定 Z 相使用しない場合 : 1 回転分のカウントパルス数−1 を設定 エンコーダカウンタの周期 (4 逓倍後) を設定します。 エンコーダカウンタが UP カウントをおこなっていた場合、カウンタの値が<RELOAD[15:0]> の値と等しくなったら、次の ENCLK タイミングで"0"にクリアされます。DOWN カウントをおこなっていた場合、カウンタの値が "0" になった次の ENCLK のタイミングで、<RELOAD[15:0]> の値がエンコーダカウンタにロードされます。

注 1)　エンコーダモード時のみ使用

注 2)　ENRELOAD レジスタは、必ずワード単位でアクセスしてください。

17.4.4　ENINT(比較レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能		
31-24	−	R	リードすると"0"が読めます。		
23-0	INT[23:0]	R/W	カウンタ比較値設定		
			エンコーダモード時	エンコーダのパルス位置割り込み発生位置設定	0x0000 ~ 0xFFFF
				<CMPEN> = "1" のときエンコーダカウンタと <INT[15:0]> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = "1" であれば割り込み要求 (INTENC0) が発生します。 ただし、<ZEN> = "1" のときは、<ZDET> = "1" になるまでの間の一致については割り込み要求は発生しません。	
			センサモード時 (イベントカウント)	エンコーダのパルス位置割り込み発生位置設定	0x0000 ~ 0xFFFF
				<CMPEN> = "1" のとき、エンコーダカウンタと <INT[15:0]> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = "1" であれば割り込み要求 (INTENC0) が発生します。 <ZEN> の値には影響しません。	
			センサモード時 (タイマカウント)	パルス未検出時間異常判定割り込み発生位置設定	0x000000 ~ 0xFFFFFF
				<CMPEN> = "1" のとき、内部カウンタ値が <INT[23:0]> の値と一致すると、パルス未検出時間異常エラーと判定され、<CMP> が "1" にセットされます。さらに <INTEN> = "1" であれば割り込み要求 (INTENC0) が発生します。 <ZEN> の値には影響しません。	
			タイマモード時	タイマコンペア割り込み発生位置設定	0x000000 ~ 0xFFFFFF
				<CMPEN> = "1" のとき、内部カウンタ値が <INT[23:0]> の値と一致すると、<CMP> が "1" にセットされます。さらに <INTEN> = "1" であればタイマコンペア割り込み要求 (INTENC0) が発生します。 <ZEN> の値には影響しません。	

注 1)　<INT[23:16]>はセンサモード(タイマカウント)、タイマモード時のみ使用
注 2)　ENINT レジスタは、必ずワード単位でアクセスしてください。

17.4.5 ENCNT(カウンタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能		
31-24	−	R	リードすると"0"が読めます。		
23-0	CNT[23:0]	R/W	エンコーダカウンタ/キャプチャ値		
			エンコーダモード時	エンコーダパルスのカウント値	0x0000 ~ 0xFFFF
				エンコーダパルスのカウント値を読み出すことができます。 エンコーダモード時、エンコーダカウンタは、エンコーダパルス (ENCLK) を UP もしくは DOWN カウントします。 CW 方向に回転しているときは UP カウントを行い、カウンタ値が <RELOAD[15:0]> と等しくなったとき、次の ENCLK タイミングで"0"にクリアされます。 CCW 方向に回転しているときは DOWN カウントを行い、カウント値が "0" のとき、次の ENCLK タイミングで <RELOAD[15:0]> の値がカウンタにロードされます。	
			センサモード時 (イベントカウント)	エンコーダパルスのカウント値	0x0000 ~ 0xFFFF
				エンコーダパルスのカウント値を読み出すことができます。 センサモード (イベントカウント) 時、エンコーダカウンタは、エンコーダパルス(ENCLK) を UP もしくは DOWN カウントします。 CW 方向に回転しているときは UP カウントを行い、カウンタ値が"0xFFFF"までカウントすると、次の ENCLK タイミングで"0"にクリアされます。 CCW 方向に回転しているときは DOWN カウントを行い、カウント値が "0" のとき、次の ENCLK タイミングで"0xFFFF"がカウンタにロードされます。	
			センサモード時 (タイマカウント)	パルス検出時間の値 もしくは ソフトキャプチャ値	0x000000 ~ 0xFFFFFF
				エンコーダパルス (ENCLK) によりエンコーダカウンタをキャプチャした値、もしくは、 <SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。キャプチャした値はシステムリセットで"0"にクリアされます。また、<ENCLR> = "1" を書き込んでカウンタをクリアした後、ソフトキャプチャすることによりクリアすることも可能です。 センサモード (タイマカウント) 時、エンコーダカウンタは、fsys で UP カウントし、フリーランで動作します。エンコーダパルス (ENCLK) を検出すると"0"にクリアされます。"0xFFFFFF"までカウントすると自動的に"0"にクリアされます。	
			タイマモード時	内部カウンタのキャプチャ値もしくは ソフトキャプチャ値	0x000000 ~ 0xFFFFFF
				<SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。<ZEN> = "1" のときは、<ZESEL> で指定された Z 相の検出エッジでもキャプチャされます。キャプチャした値はリセットで"0"にクリアされます。<ENCLR> = "1" を書き込んでカウンタをクリアした後にソフトキャプチャすることにより、クリアすることも可能です。 タイマモード時、エンコーダカウンタは、fsys で UP カウントし、フリーランで動作します。"0xFFFFFF"までカウントすると自動的に"0"にクリアされます。	

注 1)　<CNT[23:16]>はセンサモード(タイマカウント)、タイマモード時のみ使用。（エンコーダモード、センサモード(イベントカウント)時は常に"0"が READ されます。）

注 2)　ENCNT レジスタは、必ずワード単位でアクセスしてください。

17.5 動作説明

17.5.1 エンコーダモード

高速位置センサ対応 (位相判定) で、AB エンコーダ入力および ABZ エンコーダ入力に対応しています。

- イベント検出 (回転パルス) → 割り込み発生
- イベントカウント → 一致割り込み発生(移動量測定)
- 回転方向検出
- アップダウンカウント(動作中随時変更可能)
- カウンタ周期設定可能

17.5.2 センサモード

低速位置センサ対応 (零クロス判定) で、UV ホールセンサ入力および UVW ホールセンサ入力に対応しています。

イベントカウントモードとタイマカウントモード (fsys でカウント) の 2 種類があります。

17.5.2.1 イベントカウントモード

- イベント検出 (回転パルス) → 割り込み発生
- イベントカウント → 一致割り込み発生(移動量測定)
- 回転方向検出

17.5.2.2 タイマカウントモード

- イベント検出 (回転パルス) → 割り込み発生
- タイマカウント
- 回転方向検出
- キャプチャ機能 → イベントキャプチャ(イベント間隔測定)→ 割り込み発生
  ソフトキャプチャ
- 未検出時間によるエラー (タイマコンペア) → 一致割り込み発生
- 反転検出エラー → 回転方向変化によるエラーフラグ

17.5.3 タイマモード

汎用 24 ビットタイマとして使用できます。

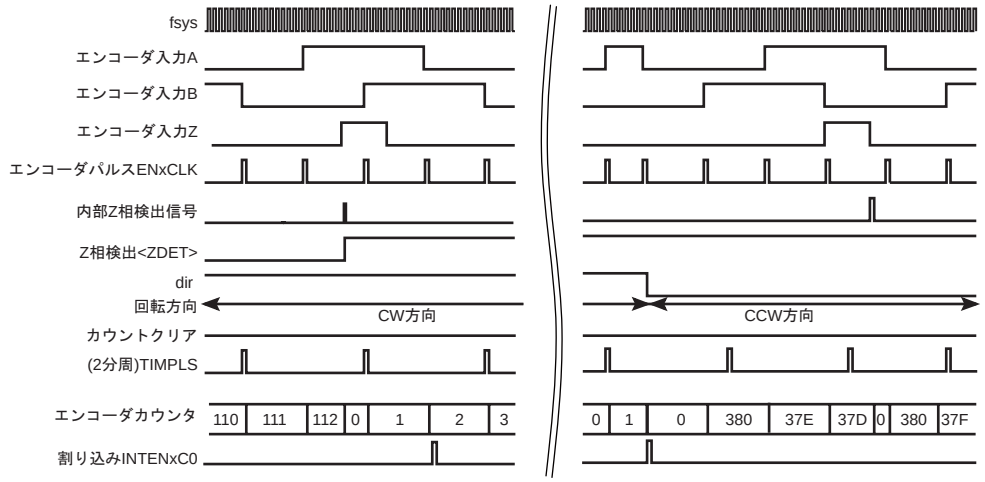
- 24 ビットアップカウンタ
- カウンタクリア制御(ソフトクリア、タイマクリア、外部トリガ、フリーランカウント)
- コンペア機能 → 一致割り込み発生
- キャプチャ機能 → 外部トリガキャプチャ→ 割り込み発生
  ソフトキャプチャ

17.6　機能

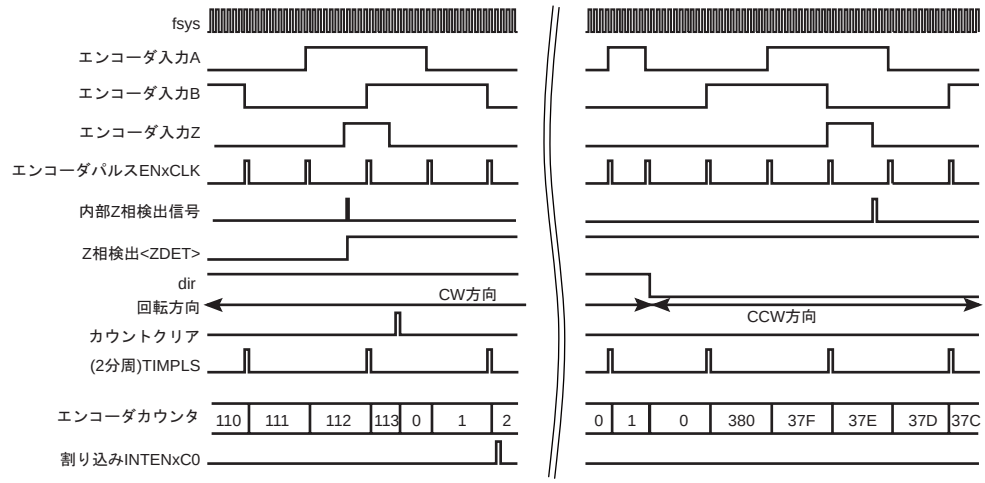
17.6.1　モード動作概要

17.6.1.1　エンコーダモード

1. <ZEN> = 1 のとき (<RELOAD> = 0x0380、<ENINT> = 0x0002)



2. <ZEN> = 0 のとき (<RELOAD> = 0x0380、<ENINT> = 0x0002)

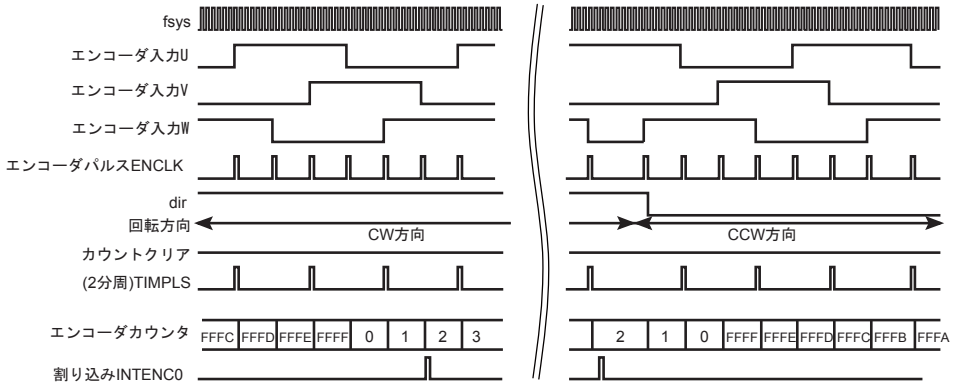


- インクリメンタルエンコーダ入力を A、B、Z 相に接続します。A、B 信号を 4 逓倍して、エンコーダパルス数のカウントを行います。
- CW 方向 (A 相が B 相に対して 90 度進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が <RELOAD> と等しくなったとき、次の ENCLK でカウンタが"0"クリアされます。
- CCW 方向 (A 相が B 相に対して 90 度遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が"0x0000"と等しくなったとき、次の ENCLK でカウンタに <RELOAD> の値がセットされます。

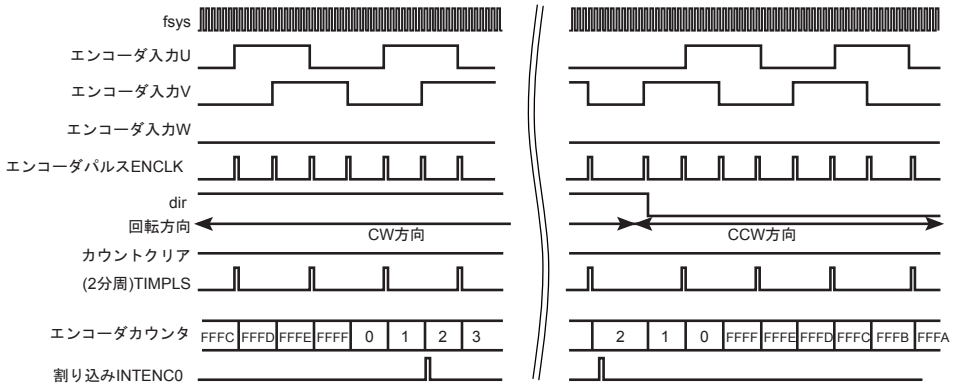
- さらに、<ZEN> = "1" の場合は、CW 方向に回転しているときは Z 相の立ち上がりエッジでカウンタが"0"にクリアされます。CCW 方向に回転しているときは Z 相の立ち下がりエッジでカウンタが"0"にクリアされます。ENCLK と Z 相検出のタイミングが同時になったときは、カウント動作を行わず、"0"にクリアされます。
- <ENCLR> に "1" が書き込まれると、カウンタは"0"にクリアされます。
- <UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- <CMPEN> = "1" のとき、<ENINT> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。ただし、<ZEN> = "1" の場合、<ZDET> = "0" の期間の一致では割り込みを発生しません。
- <ZDET>、<UD> は、<ENRUN> = "0" のときは"0"にクリアされます。

17.6.1.2　センサモード (イベントカウント)

1. <P3EN> = 1 のとき (<ENINT> = 0x0002)



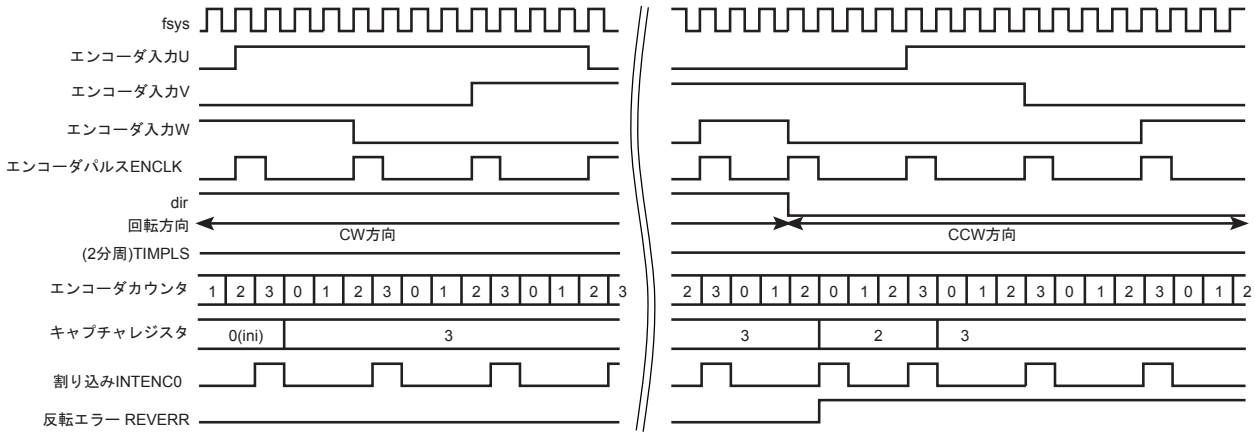
2. <P3EN> = 0 のとき (<ENINT> = 0x0002)



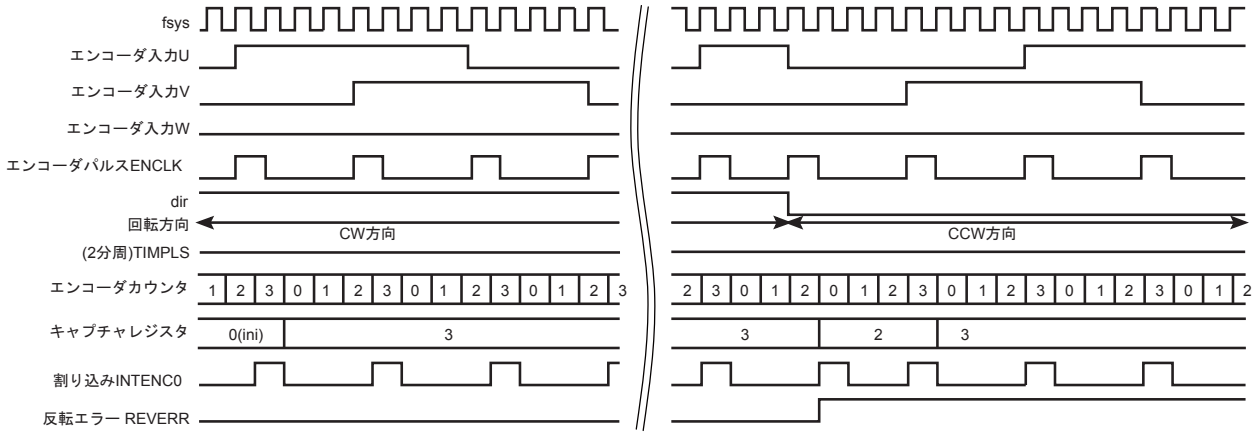
- ホールセンサ入力を U、V、W 相に接続します。<P3EN> = "0" の場合は U、V 信号を 4 逓倍、<P3EN> = "1" の場合は U、V、W 信号を 6 逓倍して、ホールセンサパルス数のカウントを行います。
- CW 方向 (U 相が V 相、V 相が W 相に対して 90 度進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が"0xFFFF"と等しくなったとき、次の ENCLK でカウンタが"0"にクリアされます。
- CCW 方向 (U 相が V 相、V 相が W 相に対して 90 度遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が"0x0000"と等しくなったとき、次の ENCLK でカウンタに"0xFFFF"がセットされます。
- <ENCLR> に "1" が書き込まれると、カウンタは"0"にクリアされます。
- <UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- <CMPEN> = "1" のとき、<ENINT> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- <UD> は <ENRUN> = "0" のときは"0"にクリアされます。

17.6.1.3 センサモード (タイマカウント)

1. <P3EN> = 1 のとき (<ENINT> = 0x0002)



2. <P3EN> = 0 のとき (<ENINT> = 0x0002)

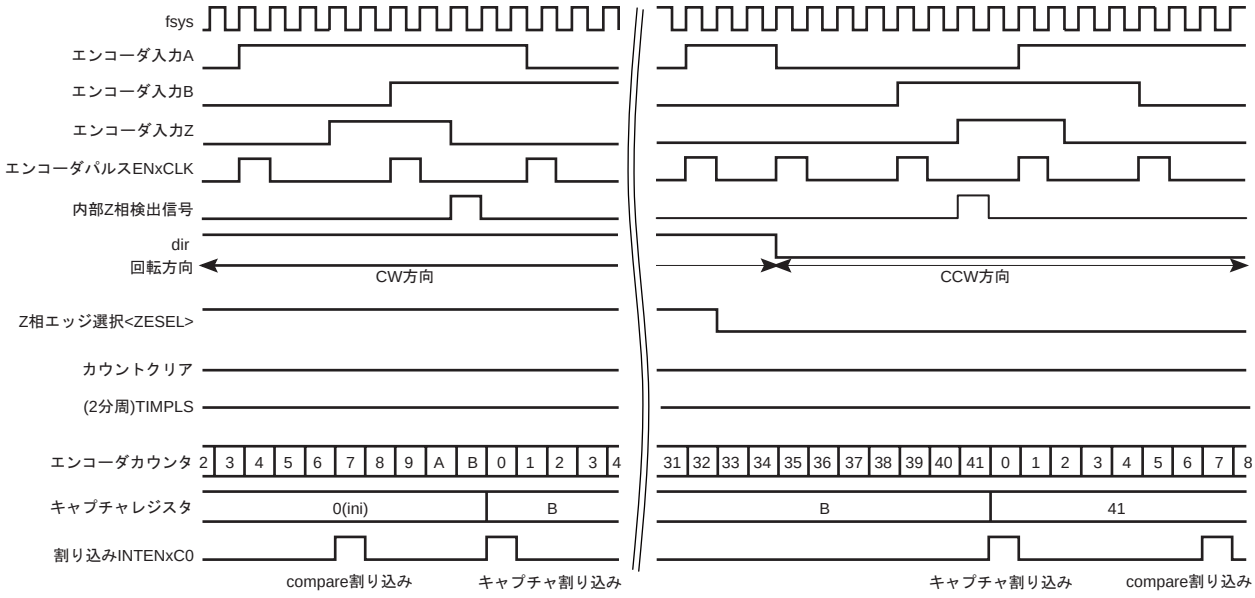


- ホールセンサ入力を U、V、W 相に接続します。<P3EN> = "0" の場合は U、V 信号を 4 逓倍、<P3EN> = "1" の場合は U、V、W 信号を 6 逓倍して、ホールセンサパルス幅のカウントを行います。
- カウンタは常に Up カウントを行い、ENCLK でカウンタが"0"にクリアされます。また、カウンタ値が"0xFFFFFF"と等しくなったとき、カウンタが"0"にクリアされます。
- <ENCLR> に "1" が書き込まれると、カウンタは"0"にクリアされます。
- ENCLK により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- <SFTCAP> に "1" が書き込まれると、発生時のカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- <UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- <CMPEN> = "1" のとき、<ENINT> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。

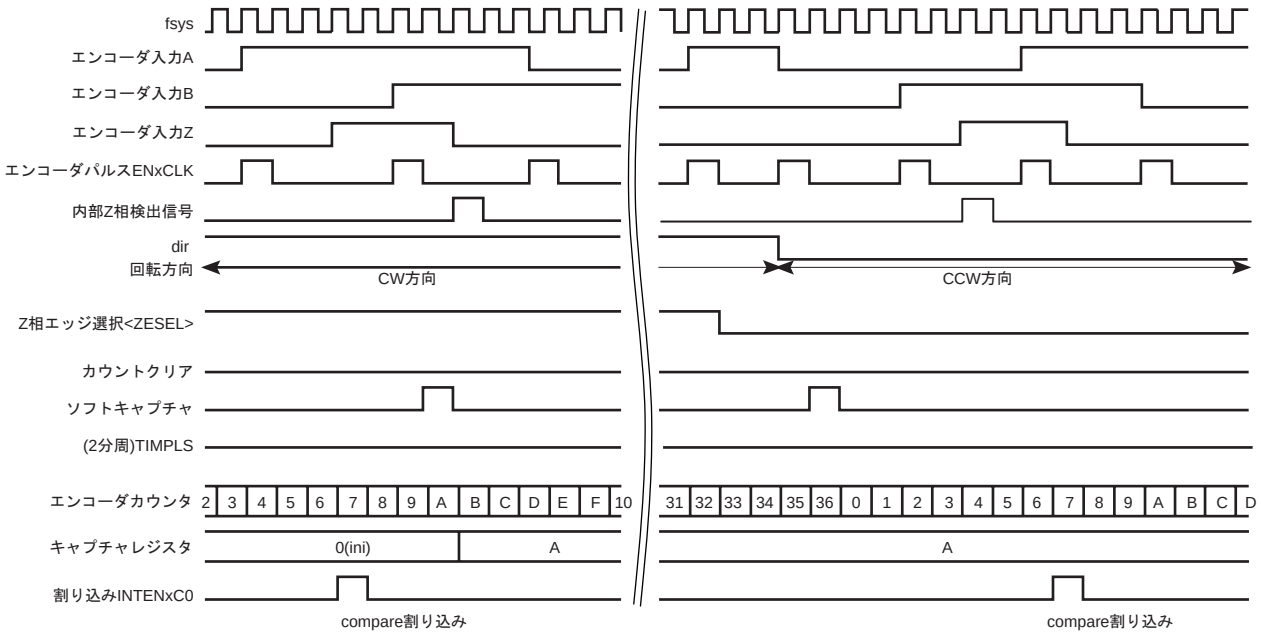
- <UD> は <ENRUN> = "0" のときは"0"にクリアされます。
- 回転方向が変化した場合は <REVERR> = "1" にセットされます。フラグは読み出すことでクリアされます。
- ENCNT レジスタの値 (キャプチャ値) は、<ENRUN> の値にかかわらず保持されます。ENCNT レジスタのクリア要因はリセットのみです。

17.6.1.4 タイマモード

1. <ZEN> = 1 のとき (<ENINT> = 0x0006)



2. <ZEN> = 0 のとき (<ENINT> = 0x0006)

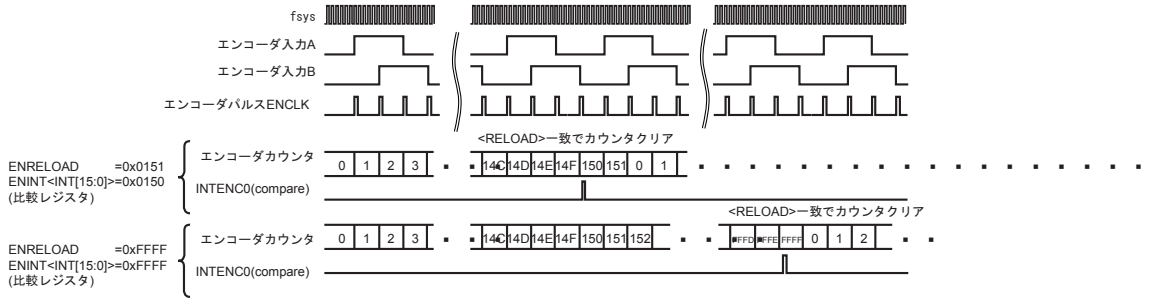


- <ZEN> = "1" のとき、Z 入力端子を外部トリガとして使います。<ZEN> = "0" のとき、外部入力は使用しません。
- カウンタは常に Up カウントを行います。<ZEN> = "1" の場合、<ZESEL> = "0" のときは Z 相の立ち上がりエッジでカウンタが"0"にクリアされ、<ZESEL> = "1" のときは Z 相の立ち下がりエッジでカウンタが"0"にクリアされます。また、エンコーダカウンタ値が"0xFFFFFF"と等しくなったとき、カウンタが"0"にクリアされます。
- <ENCLR> に "1" が書き込まれると、カウンタは"0"にクリアされます。

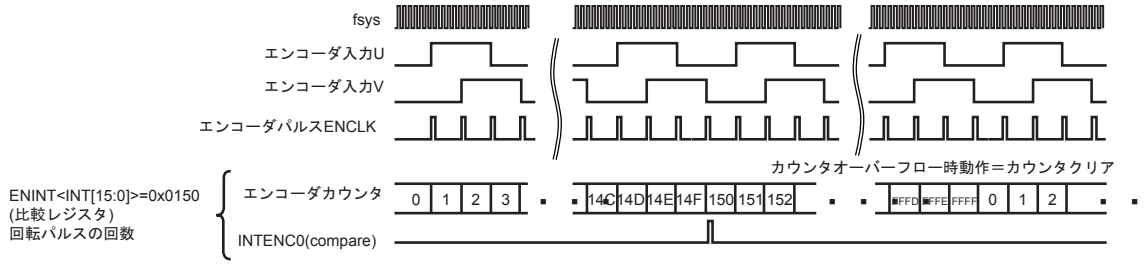
- Z 相検出により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- <SFTCAP> に "1" が書き込まれると、発生時のエンコーダカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- <UD> は CW 方向に回転していることを検出しているときは "1"、 CCW 方向のときは "0" がセットされます。
- <CMPEN> = "1" のとき、<ENINT> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。
- <UD> は <ENRUN> = "0" のときは"0"にクリアされます。
- ENCNT レジスタの値 (キャプチャ値)　は、<ENRUN>　の値にかかわらず保持されます。ENCNT レジスタのクリア要因はリセットのみです。

17.6.2 カウンタおよび割り込み発生動作 <CMPEN> = 1 のとき

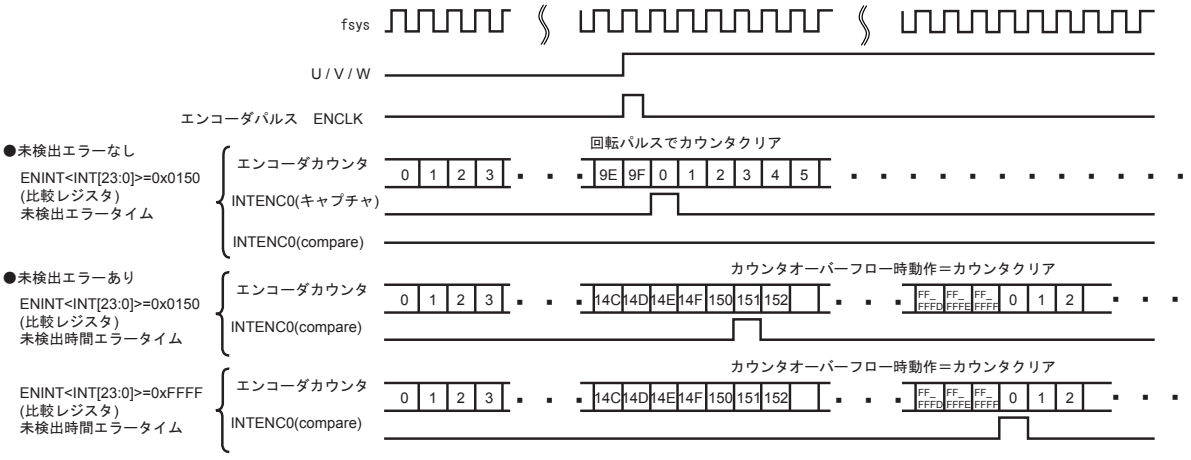
17.6.2.1 エンコーダモード



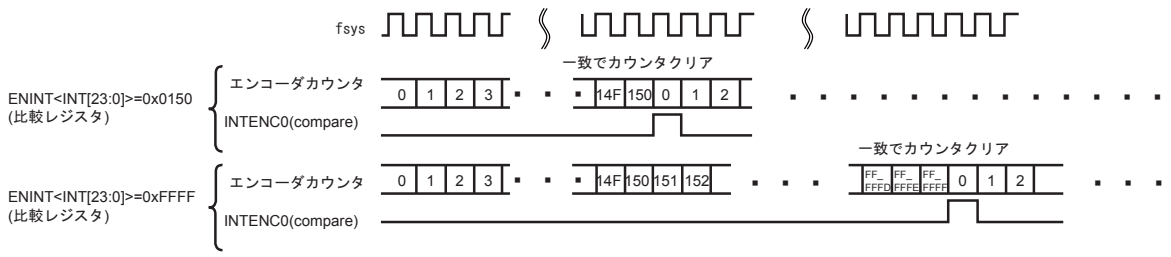
17.6.2.2 センサモード (イベントカウント)



17.6.2.3 センサモード (タイマカウント)



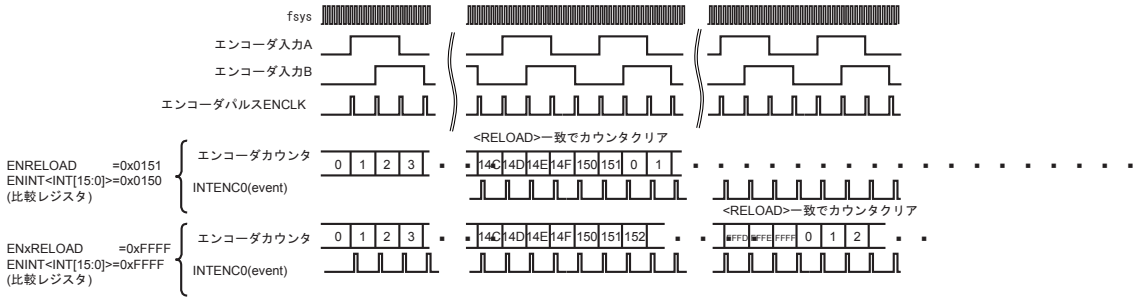
17.6.2.4　タイマモード



17.6.3 カウンタおよび割り込み発生動作 <CMPEN> = 0 のとき

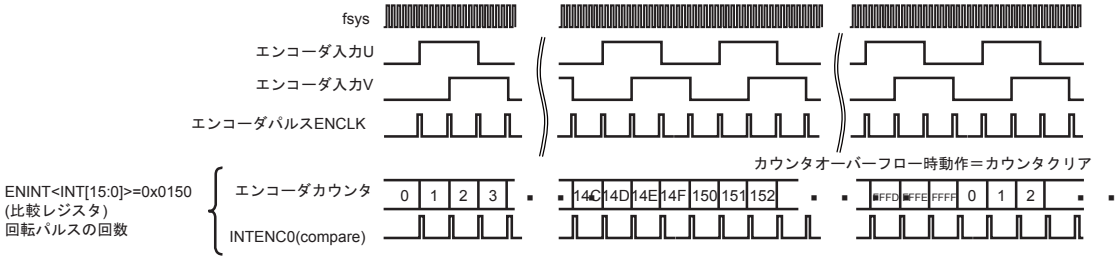
17.6.3.1 エンコーダモード

<ENDEV>="000"

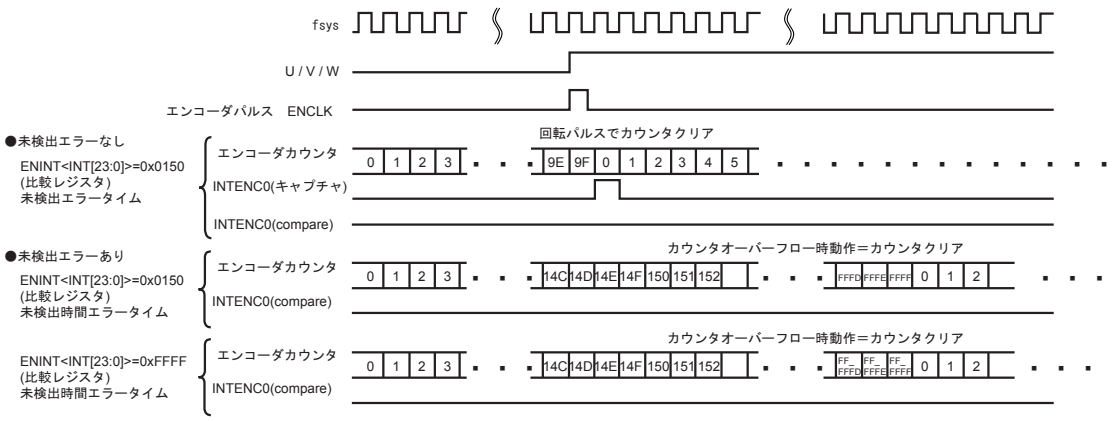


17.6.3.2 センサモード (イベントカウント)

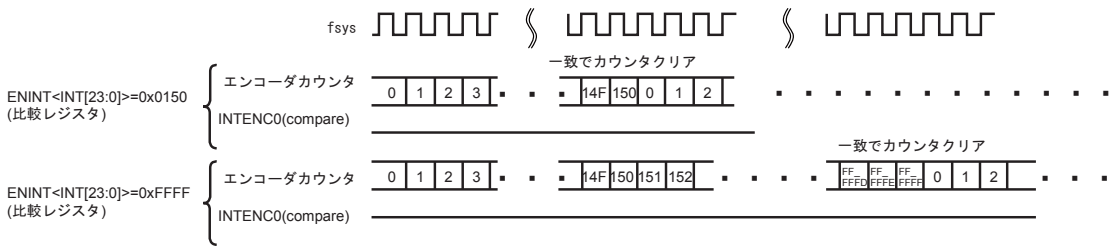
<ENDEV>="000"



17.6.3.3 センサモード (タイマカウント)



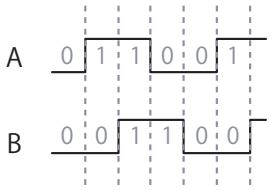
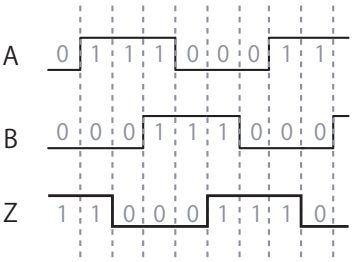
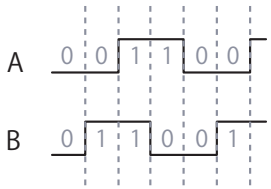
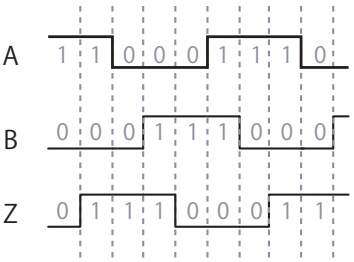
17.6.3.4　タイマモード



17.6.4 エンコーダ回転方向

A,B,Z 相の位相を判定します。

この回路は 2 相 (A,B) ／3 相 (A,B,Z) 入力兼用で使用します。3 相入力時は <P3EN> = "1" に設定します。

	2 相入力時	3 相入力時
CW 方向		
CCW 方向		

17.6.5　カウンタ回路

カウンタ回路は、24bit のアップダウンカウンタを内蔵し、カウンタの制御を行います。

17.6.5.1　動作概要

動作モードにより、カウント動作、クリア、リロードを制御します。カウンタの制御を表 17-2 に示します。

表 17-2 カウンタの制御

モード <MODE[1:0]>	<ZEN>	<P3EN>	入力端子	カウント	動作	カウンタ クリア条件	カウンタ リロード条件	カウンタ動作 可能範囲 (リロード値)
エンコーダモード 00	0	0	A,B	エンコーダパルス (ENCLK)	UP	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致	-	0x0000~<RELOAD>
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
	1		A,B,Z		UP	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致 [3]Z トリガ	-	
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (イベントカウント) 01	0	0	U,V		UP	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	0x0000~0xFFFF
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
		1	U,V,W		UP	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	
					DOWN	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (タイマカウント) 10	0	0	U,V	fsys	UP	[1]<ENCLR> = 1 WR [2]0xFFFFFF と一致	-	0x000000~0xFFFFFF
		1	U,V,W		UP	[3] エンコーダパルス (ENCLK)	-	
タイマモード 11	0	×	-		UP	[1]<ENCLR> = 1 WR [2] 0xFFFFFF と一致 [3]<ENINT>と一致	-	0x000000 ~ 0xFFFFFF
	1		Z		UP	[1]<ENCLR> = 1 WR [2] 0xFFFFFF と一致 [3] <ENINT>と一致 [4]Z トリガ	-	

注)　カウンタの値は、<ENRUN> = "0" を書き込んでもクリアされません。また、再度 ENRUN = 1 とすると、停止時のカウンタ値からカウントを再開します。カウンタ値を"0"にクリアする場合は、<ENCLR> = "1" を書き込むことでソフトクリアしてください。

17.6.6 割り込み

割り込みには、イベント (分周パルス、キャプチャ) 割り込み、未検出時間異常割り込み、タイマコンペア割り込み、キャプチャ割り込みがあります。

17.6.6.1 動作概要

<INTEN> = "1" のとき、カウンタ値およびエンコーダパルスにより割り込みを発生します。

割り込みの要因は、動作モードおよび <CMPEN>、<ZEN> の設定により以下の 6 種類があります。表 17-3 に割り込み要因を示します。

表 17-3 割り込み要因

	割り込み要因	説明	モード	割り込み出力	Status フラグ
1	イベントカウント割り込み	<CMPEN> = "1" のとき、イベント (回転パルス) の発生をカウントするカウンタを使用し、設定回数 (= <ENINT>) カウントされたことを通知します。	エンコーダモードおよびセンサモード (イベントカウント)	<INTEN> = "1" かつ <CMPEN> = "1" 時	あり <CMP>
2	イベント割り込み (分周パルス)	イベント (エンコーダパルス) の発生を、<ENDEV> の設定により 1 分周 ~ 128 分周して、通知します。		<INTEN> = "1" 時	なし
3	イベント割り込み (キャプチャ割り込み)	イベント (エンコーダパルス) の発生およびイベント (回転パルス) でキャプチャが行われたことを通知します。	センサモード (タイマカウント)	<INTEN> = "1" 時	なし
4	未検出時間異常割り込み	<CMPEN> = "1" のとき、fsys でカウントしイベント (エンコーダパルス) でクリアするカウンタを使用し、イベントがある一定時間 (=<ENINT>) 以上発生しないことを通知します。		<INTEN> = "1" かつ <CMPEN> = "1" 時	あり <CMP>
5	タイマコンペア割り込み	<CMPEN> = "1" のとき、タイマで設定時間 (=<ENINT>) カウントしたことを通知します。	タイマモード	<INTEN> = "1" かつ <CMPEN> = "1" 時	あり <CMP>
6	キャプチャ割り込み	外部トリガ (ENCZ 入力) でキャプチャが行われたことを通知します。		<INTEN> = "1" 時	なし

センサモード (タイマカウント) およびタイマモード時は、エンコーダカウンタのキャプチャ動作が可能です。

キャプチャした値は、ENCNT レジスタから読み出すことができます。

センサモード (タイマカウント) 時は、イベント発生 (エンコーダパルス) により、カウンタの値がキャプチャされます。<SFTCAP> に "1" を書き込むことにより、ソフトキャプチャも可能です。

タイマモード時は、<SFTCAP> に "1" を書き込むことにより、ソフトキャプチャが可能です。<ZEN> = "1" 設定時は、ENCZ 入力を使用して、<ZESEL> に従ったエッジでの外部トリガキャプチャも可能です。

第 18 章　パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入時にパワーオンリセット信号を発生します。

電源電圧とは、DVDD5B を指しています。

18.1　構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータ、VLTD リセット回路およびパワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧を基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

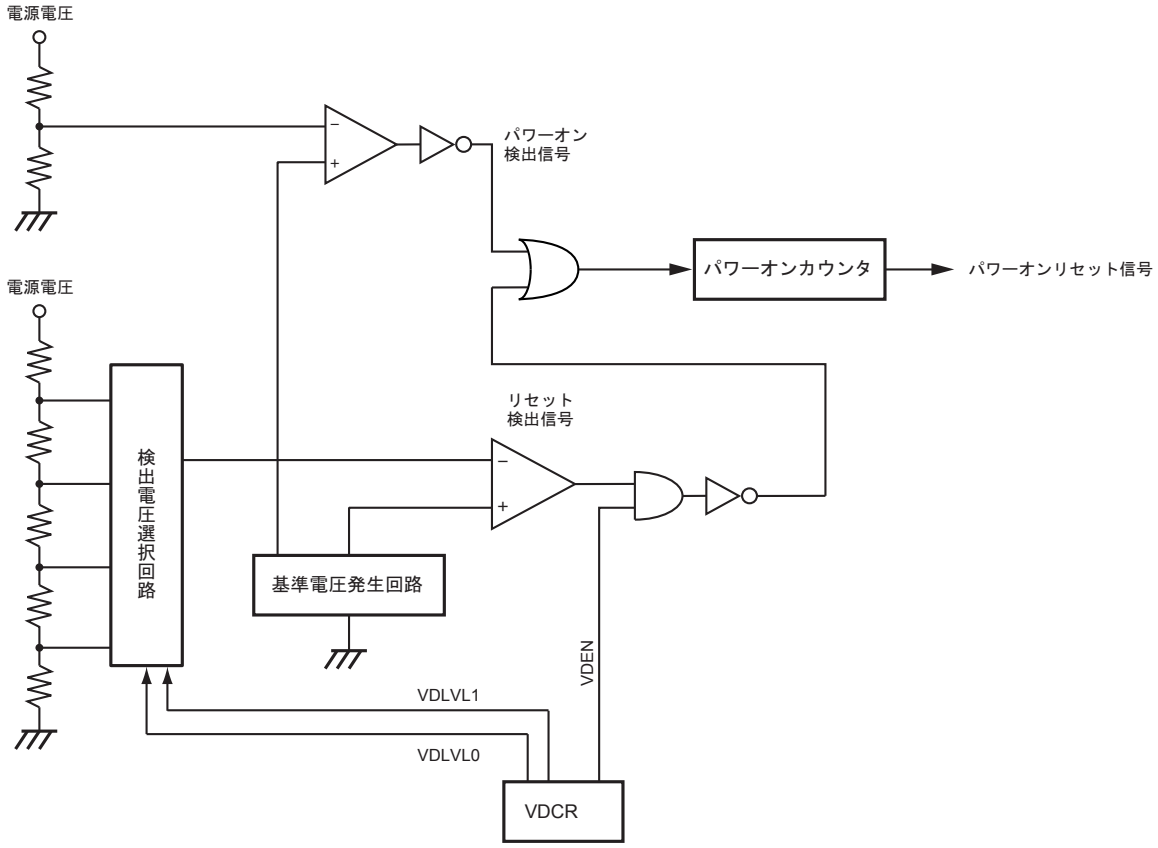


図 18-1 パワーオンリセット回路

VLTD リセット回路のレジスタ VDCR は、電圧検出回路(VLTD)の章を参照願います。

18.2　機能

電源投入時、電源電圧が解除電圧以下の間、パワーオン検出信号が発生されます。パワーオン検出信号が解除されるのは、DVDD5B が 3.0 ± 0.2 V を超えるタイミングです。

パワーオン検出信号が解除され、さらにリセット検出信号も解除されるとパワーオンカウンタ回路が動作し待機時間(約 3．2 ms)後にパワーオンリセット信号が解除されます。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

リセット端子入力を使用しない場合、パワーオンリセット信号解除までに電源電圧を推奨動作範囲まで上昇させてください。電源電圧が推奨動作範囲に到達しない場合、TMPM375FSDMG は正常に動作することができません。

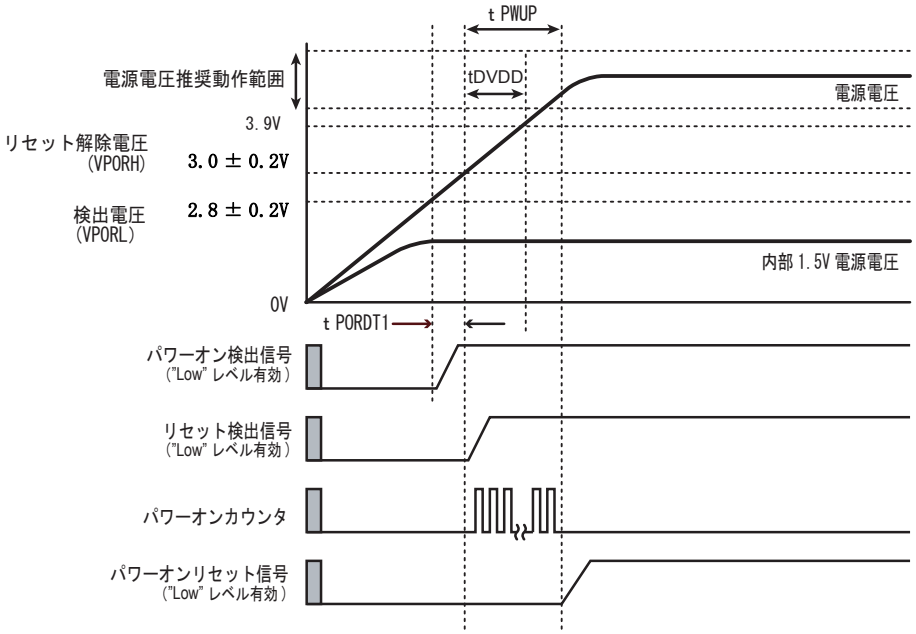


図 18-2 パワーオンリセット動作タイミング

記号	項目	Min	Typ	Max	単位
t PWUP	パワーオンリセット解除時間	-	$2^{15}/f_{OSC2}$	-	s
tDVDD	電源立ち上がり時間	-	-	3	ms
VPORH	パワーオンリセット解除電圧	2.8	3	3.2	V
VPORL	パワーオンリセット検出電圧	2.6	2.8	3.0	V
tPORDT1	パワーオンリセット解除応答時間		30		μS

注)　パワーオンリセット解除電圧(VPORH)とパワーオンリセット検出電圧(VPORL）は、相対的に変動するため検出電圧が逆転することはありません。

注)　電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

第 19 章　電圧検出回路(VLTD)

電圧検出回路は、電源電圧の低下を検出し、リセット信号を発生します。

注)　電源電圧の変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

19.1　構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧(DVDD5B) はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧 (VDLVL) に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧(DVDD5B) が検出電圧 (VDLVL) を下回ると、リセット信号を発生します。

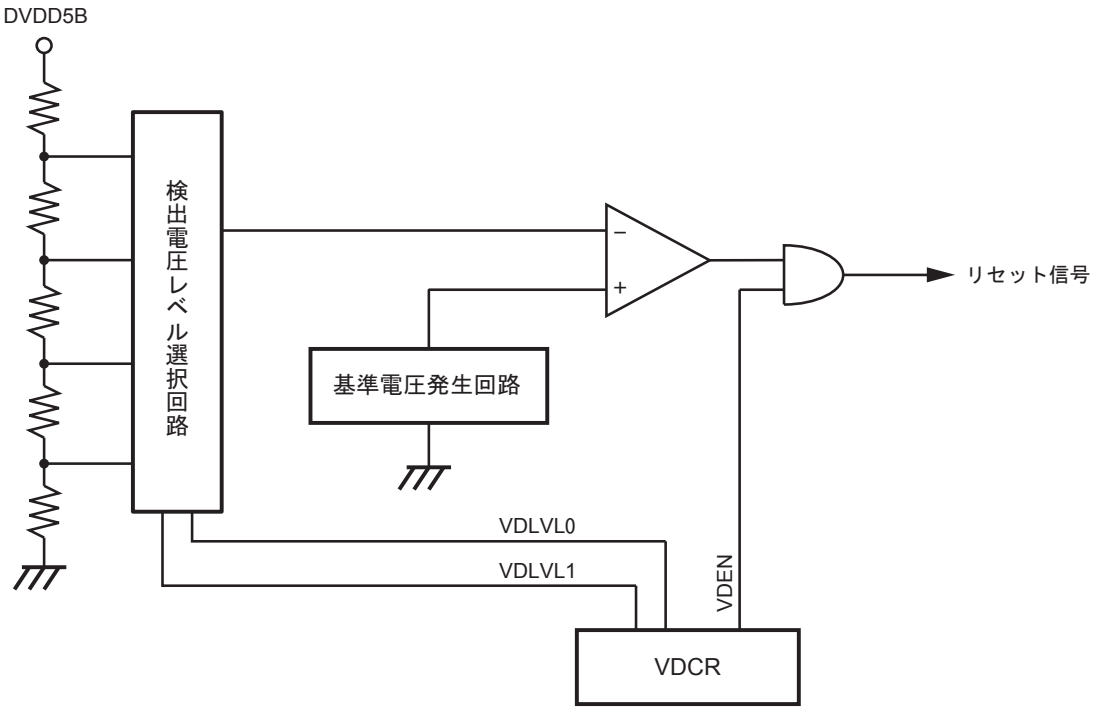


図 19-1 電圧検出回路

19.2　レジスタ説明

19.2.1　レジスター覧

Base Address = 0x4004_0900

レジスタ名		Address(Base+)
電圧検出制御レジスタ	VDCR	0x0000

19.2.2　VDCR (電圧検出制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	-	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	−	−	−	−	−	VDLVL		VDEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-1	VDLVL[1:0]	R/W	検出電圧レベル選択 00: Reserved 01: 4.1 ± 0.2V 10: 4.4 ± 0.2V 11: 4.6 ± 0.2V
0	VDEN	R/W	電圧検出の許可／禁止 0: 禁止 1: 許可

注)　VDCR はパワーオンリセット、外部リセット入力で初期化されます。

19.3 動作説明

19.3.1 制御

電圧検出回路は、電圧検出制御レジスタで制御されます。

19.3.2 機能

電圧検出回路は、検出電圧レベル選択ビット VDCR<VDLVL[1:0]> 、電圧検出の許可／禁止 VDCR<VDEN>で設定します。電圧検出の許可／禁止を設定し、電源電圧 (DVDD5B) が検出電圧 (VDLVL[1:0]) を下回ったとき、リセット信号を発生します。

19.3.2.1 電圧検出動作の許可／禁止

VDCR<VDEN> はパワーオンリセット、外部リセット解除後 、"0" にクリアされ禁止されます。"1" にセットすると電圧検出動作が許可されます。

注) 電源電圧 (DVDD5B) < 検出電圧 VDCR<VDLVL[1:0]>の状態で、VDCR<VDEN> = "0" (禁止) から"1" (許可) に設定すると、設定した時点でリセット信号が発生します。

19.3.2.2 検出電圧レベル選択

VDCR<VDLVL[1:0]> で検出電圧を選択します。

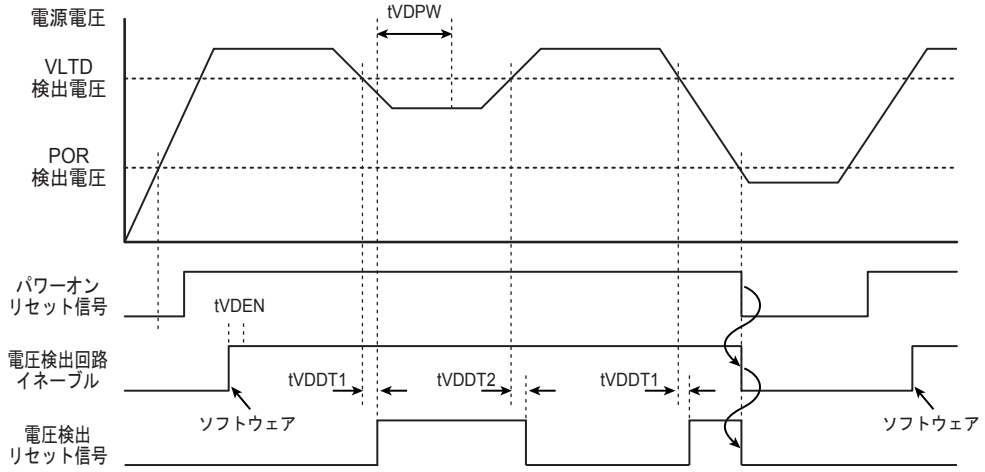


図 19-2 電圧検出タイミング

記号	項目	Min	Typ	Max	単位
tVDEN	電圧検出回路が有効になる時間	-	40	-	μs
tVDDT1	電圧検出回路検出応答時間	-	40	-	
tVDDT2	電圧検出回路検出解除時間	-	40	-	
tVDPW	電圧検出回路検出最小パルス幅	45	-	-	

第 20 章　周波数検知回路(OFD)

周波数検知回路(Oscillation Frequency Detector)は、CPU クロック用外部高周波の周波数が検知周波数設定レジスタによって設定された周波数範囲を超えた場合にリセットを発生する回路です。

検知する周波数の上限と下限は OFDMXPLLOFF と OFDMNPLLOFF レジスタで設定します。TMPM375FSDMG の検出周波数の初期値は図 20-3 を参照してください。OFDMXPLLOFF, 、OFDMXPLLON、OFDMNPLLOFF 及び OFDMNPLLON レジスタは周波数検知動作中は書き換えできませんので、検知周波数を変更する場合は周波数検知が停止中に行なってください。また、OFDMXPLLOFF、OFDMXPLLON、OFDMNPLLOFF 及び OFDMNPLLON レジスタに書き込みを行なうためには、周波数検知回路制御レジスタ 1(OFDCR1)に書き込み許可コード"0xF9"を設定する必要があります。周波数検知回路は RESET 端子への外部リセット入力、パワーオンリセットおよび VLTD リセットによりディセーブルとなります。検知動作をイネーブルにするためには、OFDCR1 に書き込み許可コード"0xF9"を書き込んだ後、周波数検知回路制御レジスタ 2(OFDCR2)に"0xE4"を設定します。

OFDMNPLLOFF、OFDMNPLLON、OFDMXPLLOFF 及び OFDMXPLLON レジスタで設定した周波数範囲を超えた場合、TMPM375FSDMG は周波数検知リセットを発生し、電源端子、RESET 端子、MODE 端子を除く全ての入出力ポートはハイインピーダンス状態となり、CPU などの内部回路が初期化されます。CG レジスタが初期化されることによりシステムクロックは PLL ディセーブル、内部高速発振器 fosc2 に切り替わって動作します。

周波数検知回路の全てのレジスタ(OFDCR1、OFDCR2、OFDMNPLLOFF、OFDMNPLLON、OFDMXPLLOFF、OFDMXPLLON) は、周波数検知リセットでは初期化されず、システムクロックが内部 fosc2 に切り替わるため、検知対象クロックと基準クロックが同じになり、結果として周波数範囲が設定値以内に納まるために周波数検知リセットは解除されます。

したがって、周波数検知リセットが発生すると、システムクロックが内部 IOSC に切り替わり、周波数検知イネーブル状態でリセットシーケンスを実行します。

注) いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

注) 周波数検知回路は NORMAL モードおよび IDLE モードのときのみ有効となります。STOP モードのときは、周波数検知回路は自動的にディセーブルとなります。

注) CGPLLSEL レジスタにて PLL を設定する場合、および CGOSCCR<OSCSEL>レジスタで内部 fosc2 または外部 fosc1 にシステムクロックを切り替える場合、周波数検知回路(OFD)は必ずディセーブルの状態で行なってください。なお、PLL オンの状態で OFD リセットが発生した場合、検知周波数設定レジスタは、OFDMNPLLON/OFDMXPLLON から OFDMNPLLOFF/OFDMXPLLOFF に自動的に切り替わります。

20.1　構成

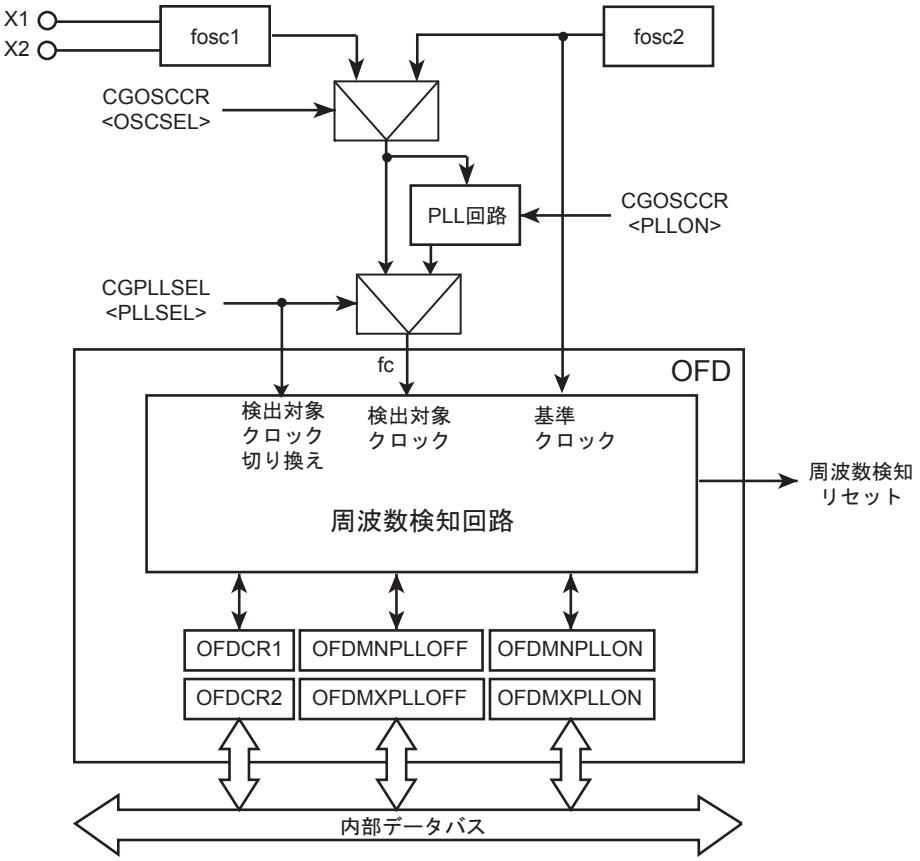


図 20-1 周波数検知回路ブロック図

20.2 レジスタ説明

20.2.1 レジスター覧

Base Address = 0x4004_0800

レジスタ名		Address(Base+)
周波数検知回路制御レジスタ 1	OFDCR1	0x0000
周波数検知回路制御レジスタ 2	OFDCR2	0x0004
検知周波数下限値レジスタ（PLL OFF 時）	OFDMNPLLOFF	0x0008
検知周波数下限値レジスタ（PLL ON 時）	OFDMNPLLON	0x000C
検知周波数上限値レジスタ（PLL OFF 時）	OFDMXPLLOFF	0x0010
検知周波数上限値レジスタ（PLL ON 時）	OFDMXPLLON	0x0014

注) "Reserved"表記のアドレスにはアクセスしないでください。

20.2.1.1 OFDCR1(周波数検知回路制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	OFDWEN[7:0]	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 0xF9 を設定すると、OFDCR1 以外のレジスタへの書き込みができるようになります。 0x06、0xF9 以外の値を書いた場合、0x06 が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

注) OFDCR1 は外部リセット($\overline{\text{RESET}}$ 端子への"L"入力)、パワーオンリセット、または VLTD リセットで初期化されます。

20.2.1.2　OFDCR2(周波数検知回路制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 0x00、0xE4 以外の値の書き込みは無効で値は変化しません。

注)　OFDCR2 は外部リセット($\overline{\text{RESET}}$ 端子への"L"入力)、パワーオンリセット、または VLTD リセットで初期化されます。

20.2.1.3 OFDMNPLLOFF (検知周波数下限値設定レジスタ(PLL OFF 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMNPLLOFF
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMNPLLOFF							
リセット後	0	0	0	1	1	1	0	1

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8-0	OFDMNPLLOFF[8:0]	R/W	検知周波数の下限値を設定します。 リセット後の値は、基準クロック: 9.7MHz ± 5%、検出対象クロック: 10MHz ± 5% 時の設定値です。

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

注) OFDMNPLLOFF は外部リセット($\overline{\text{RESET}}$ 端子への"L"入力)、パワーオンリセット、または VLTD リセットで初期化されます。

20.2.1.4　OFDMNPLLON (検知周波数下限値設定レジスタ(PLL ON 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMNPLLON
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMNPLLON							
リセット後	0	1	1	1	0	1	1	1

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8-0	OFDMNPLLON [8:0]	R/W	検知周波数の下限値を設定します。 リセット後の値は、基準クロック: 9.7MHz ± 5%、検出対象クロック: 40MHz ± 5% 時の設定値です。

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

注)　OFDMNPLLON は外部リセット($\overline{\text{RESET}}$ 端子への"L"入力)、パワーオンリセット、または VLTD リセットで初期化されます。

20.2.1.5 OFDMXPLLOFF (検知周波数上限値設定レジスタ(PLL OFF 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMXPLLOFF
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMXPLLOFF							
リセット後	0	0	1	0	0	1	0	1

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8-0	OFDMXPLLOFF[8:0]	R/W	検知周波数の上限値を設定します。 リセット後の値は、基準クロック: 9.7MHz ± 5%、検出対象クロック: 10MHz ± 5% 時の設定値です。

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

注) OFDMXPLLOFF は外部リセット($\overline{\text{RESET}}$ 端子への"L"入力)、パワーオンリセット、または VLTD リセットで初期化されます。

20.2.1.6　OFDMXPLLON (検知周波数上限値設定レジスタ(PLL ON 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMXPLLON
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMXPLLON							
リセット後	1	0	0	0	1	1	1	1

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8-0	OFDMXPLLON [8:0]	R/W	検知周波数の上限値を設定します。 リセット後の値は、基準クロック: 9.7MHz ± 5%、検出対象クロック: 41MHz の設定値です。

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

注)　OFDMXPLLON は外部リセット($\overline{\text{RESET}}$ 端子への"L"入力)、パワーオンリセット、または VLTD リセットで初期化されます。

20.3 動作説明

20.3.1 設定

外部リセット入力(RESET 端子への"L"入力) 、パワーオンリセットまたは VLTD リセットにより OFD の制御レジスタは初期化され、OFDCR1 以外のレジスタには書き込みができない状態になります。OFDCR1 に"0xF9"を書き込むことにより、OFDCR1 以外のレジスタに書き込みができるようになります。

検知する周波数の範囲は、対象クロックごとに OFDMNPLLON または OFDMNPLLOFF と OFDMXPLLON または OFDMXPLLOFF で設定します。OFDCR1 に書き込み許可コード "0xF9" が設定された状態で OFDCR2 に "0xE4" を書き込むと周波数検知回路はイネーブルとなり動作します。

誤書き込み防止のため、すべてのレジスタの設定後、OFDCR1 に"0x06"を設定し書込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

OFDMNPLLOFF/OFDMXPLLOFF と OFDMNPLLON/OFDMXPLLON は CGPLLSEL<PLLSEL>設定により自動的に切り替わります。

周波数検知動作がイネーブル状態(OFDCR2 = "0xE4")で STOP モードを起動した場合、周波数検知回路は自動的にディセーブルとなります。この状態で STOP モードが解除されると周波数検知回路は STOP モード解除後のウォーミングアップ期間が終了してからイネーブルとなります。

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。詳細は表 20-1 を参照してください。

表 20-1 各動作モードにおける周波数検知回路の状態

動作モードまたは状態	周波数検知回路動作 (OFDCR2 = "0xE4" 設定時)	周波数検知リセットによる端子状態 (電源、RESET、MODE 端子を除く)
NORMAL	動作	ハイインピーダンス
IDLE	動作	ハイインピーダンス
STOP (ウォーミングアップ期間含む)	周波数検知回路は自動的にディセーブルとなります。	
周波数検知によるリセット	動作	ハイインピーダンス
ウォッチドッグタイマリセット SYSRESETREQ リセット	動作	ハイインピーダンス
外部リセット入力 (RESET 端子への"L"入力) パワーオンリセット VLTD リセット	停止	-

20.3.2　動作

動作開始から検知開始まで検知周期 2 周期分の時間が必要で、検知周期は 128/基準クロック周波数です。

検出対象クロックが OFDMNPLLON、OFDMNPLLOFF と OFDMXPLLON、OFDMXPLLOFF で設定した周波数範囲を超えると周波数検知回路 OFD はリセットを発生します。OFD が異常を検知してからリセットを発生するまで検知周期 1 周期分の時間が必要です。周波数検知回路 OFD が発生するリセットでは周波数検知回路 OFD 自身はリセットされず検知動作を継続します。

周波数検知回路が発生するリセットにより fosc は内部高速発振クロック fosc2 に初期化され、検知対象クロック fc は PLL OFF 時の fosc2 の検知動作を継続します。

注)　リセットの要因は複数あります。クロックジェネレータレジスタの CGRSTFLG で要因を確認することができます。CGRSTFLG については例外の章を参照してください。

注)　検出対象クロックの設定値（OFDMNPLLOFF、OFDMXPLLOFF）を 10MHz 以外、例えば 8MHz の設定値にして検知回路を動作させ周波数検知リセットが掛かった場合、対象クロックが異常と判断し、周波数検知リセットを発生し続ける場合があります。

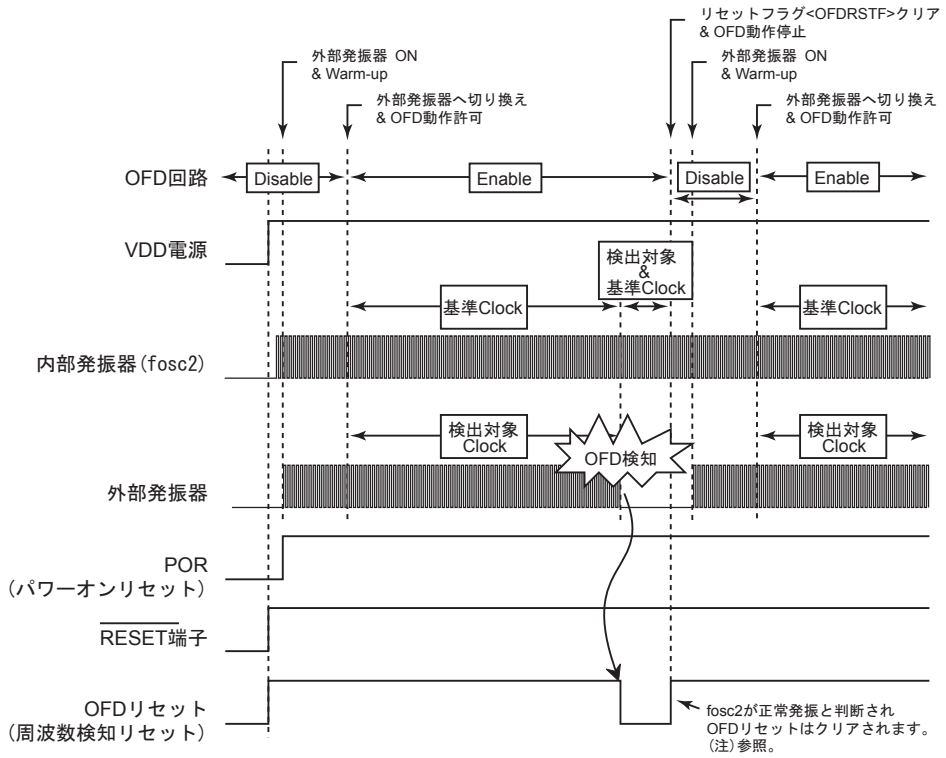


図 20-2 周波数検知回路動作例

20.3.3 検知周波数

検知周波数には、基準クロックの発振精度によって、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の間の周波数では、検出されるかどうかは未確定です。

検知周波数上限値、下限値は、検出対象クロックと基準クロックの最大誤差より計算します。

OFDMNPLLON、OFDMNPLLOFF と OFDMXPLLON、OFDMXPLLOFF を決める時の計算結果の丸め方により、検出範囲と非検出範囲の上限値、下限値が下記のように変わります。検出対象となるクロックのばらつきに応じて選択してください。

- OFDMXPLLON/OFDMXPLLOFF を切上げ、OFDMNPLLON/OFDMNPLLOFF を切捨てた場合

  検出対象クロックに対して、非検出範囲の上限が高くなり、非検出範囲の下限が低くなります。
- OFDMXPLLON/OFDMXPLLOFF を切捨て、OFDMNPLLON/OFDMNPLLOFF を切上げた場合

  検出対象クロックに対して、非検出範囲の上限が低くなり、非検出範囲の下限が高くなります。

基準クロック誤差を±5%、検出対象クロック誤差±5%(非検出範囲)を許容する場合の OFDMXPLLOFF/OFDMNPLLOFF の設定値の算出方法を以下に示します。この例では、OFDMXPLLOFF を切上げ、OFDMNPLLOFF を切り捨てます。(①～⑧は、「図 20-3 検出周波数範囲例(10MHz の場合)」に対応)

検出対象クロック	10MHz ± 5%	Max.10.5MHz	-------- ③
		Min. 9.5MHz	-------- ②
基準クロック	9.7MHz ± 5%	Max.10.185MHz	-------- ⑥
		Min. 9.215MHz	-------- ⑤

OFDMXPLLOFF = ③ ÷ ⑤ × 32 = 36.46...= 37 (小数点以下切上げ) = 0x25

OFDMNPLLOFF = ② ÷ ⑥ × 32 = 29.85... = 29 (小数点以下切捨て) = 0x1D

このときの検出範囲は以下のように求められます。

① = ⑤ × OFDMNPLLOFF ÷ 32 = 8.35

④ = ⑥ × OFDMXPLLOFF ÷ 32 = 11.78

また、このときの非検出範囲は以下のようになります。

⑦ = ⑤ × OFDMXPLLOFF ÷ 32 = 10.65

⑧ = ⑥ × OFDMNPLLOFF ÷ 32 = 9.23

よって、レジスタ OFDMXPLLOFF に 0x25、OFDMNPLLOFF に 0x1D を設定すると、11.78MHz 以上と 8.35MHz 以下の発振周波数を検知した場合、周波数検知リセットを発生します。

また、9.23MHz から 10.65MHz の発振周波数を検知した場合、周波数検知リセットは発生しません。

図 20-3 に、このときの検出範囲/非検出範囲を示します。

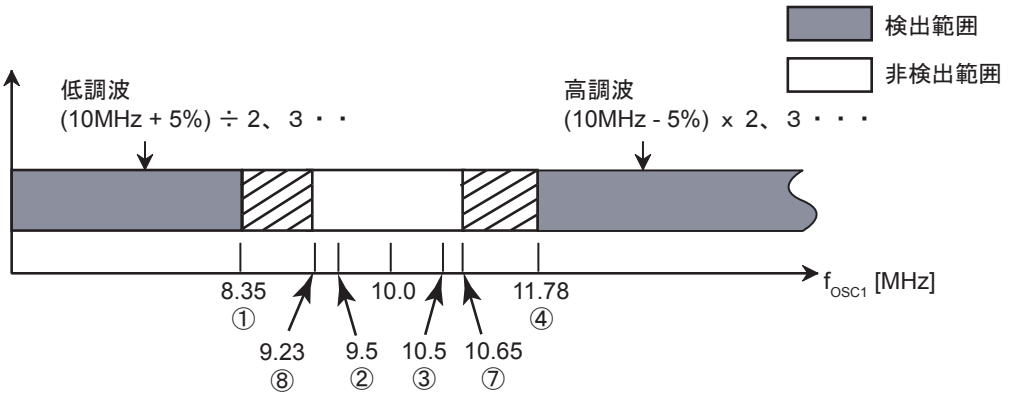


図 20-3 検出周波数範囲例(10MHz の場合)

20.3.4　使用可能な動作モード

周波数検知回路は NORMAL モードと IDLE モード時の外部高周波発振のみ使用可能です。他のモード、および内部高周波発振に遷移する際は、周波数検知回路を停止させてください。

20.3.5　動作手順例

周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、CGRSTFLG でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い動作を許可します。

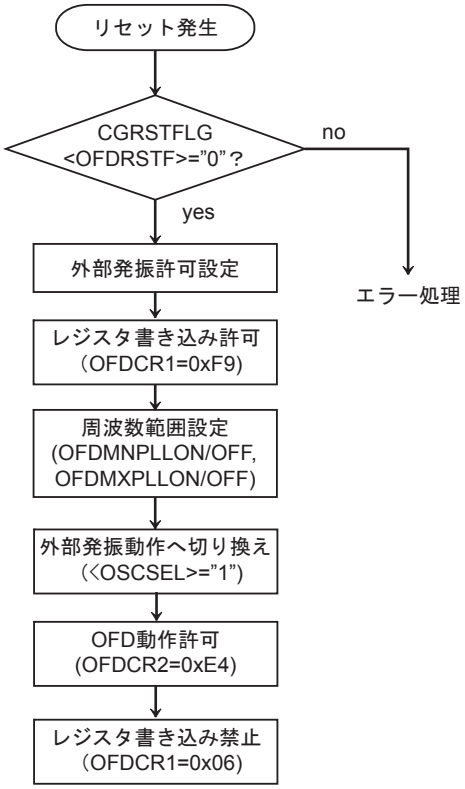


図 20-4 動作手順例

第 21 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　本製品にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

21.1　構成

図 21-1 にウォッチドッグタイマのブロック図を示します。

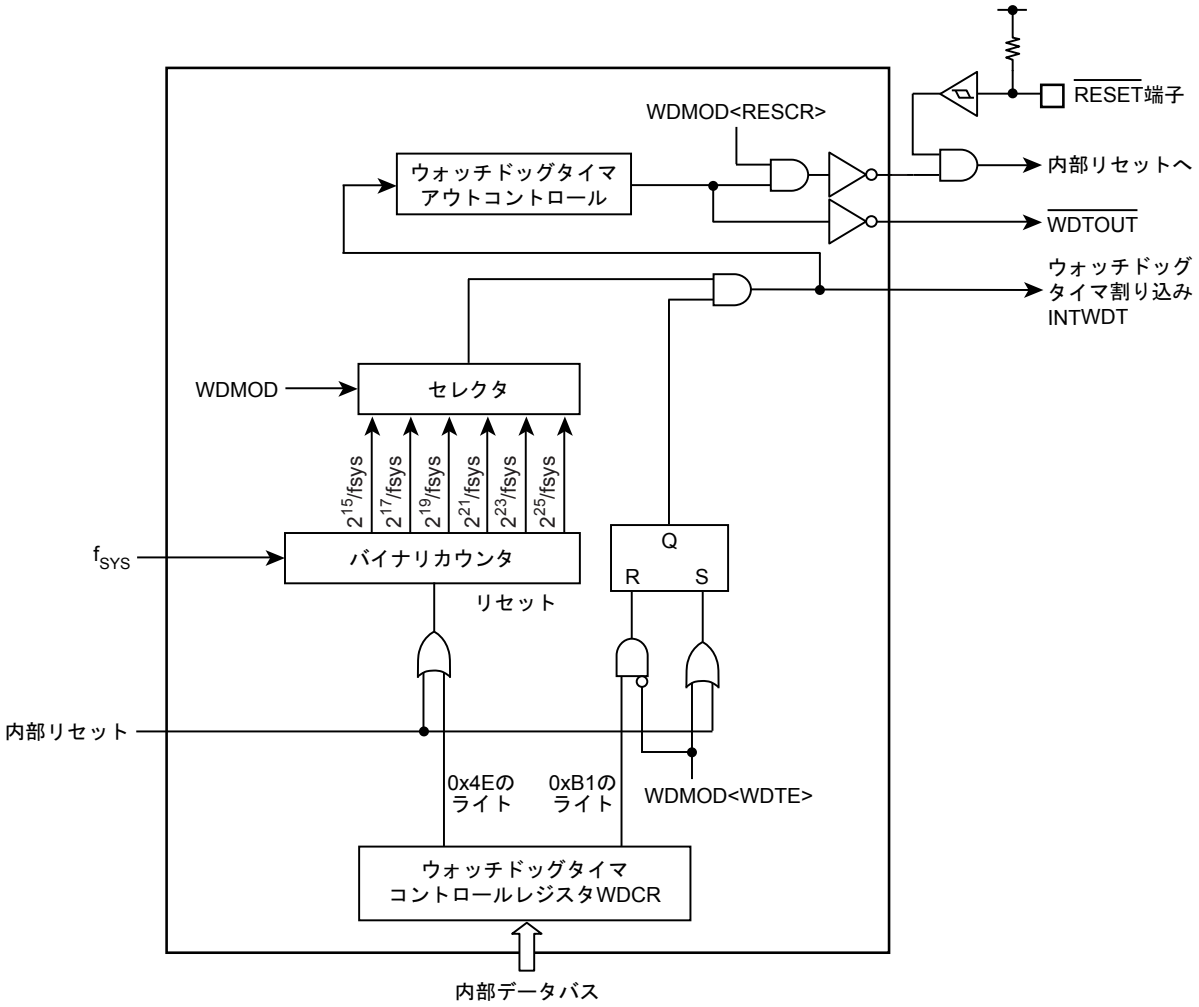


図 21-1 ウォッチドッグタイマのブロック図

21.2　レジスター覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x4004_0000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

21.2.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択(表 21-1 を参照) 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

表 21-1 ウォッチドッグタイマの検出時間 (fc = 40MHz)

クロックギア値 CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms
100 (fc/2)	1.63 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s
101 (fc/4)	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s
110 (fc/8)	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s
111 (fc/16)	13.12 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	13.42 s

21.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

21.3　動作説明

21.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　本製品にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

21.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

21.4 暴走検出時の動作

21.4.1 INTWDT 割り込み発生の場合

図 21-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

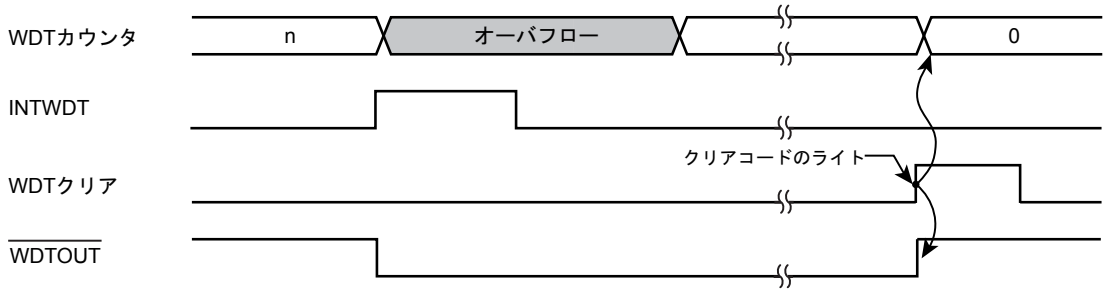


図 21-2 INTWDT 割り込み発生

21.4.2　内部リセット発生の場合

図 21-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック f_{SYS} と内蔵高速発振器のクロック f_{OSC} の関係は、$f_{SYS} = f_{OSC}$ となります。

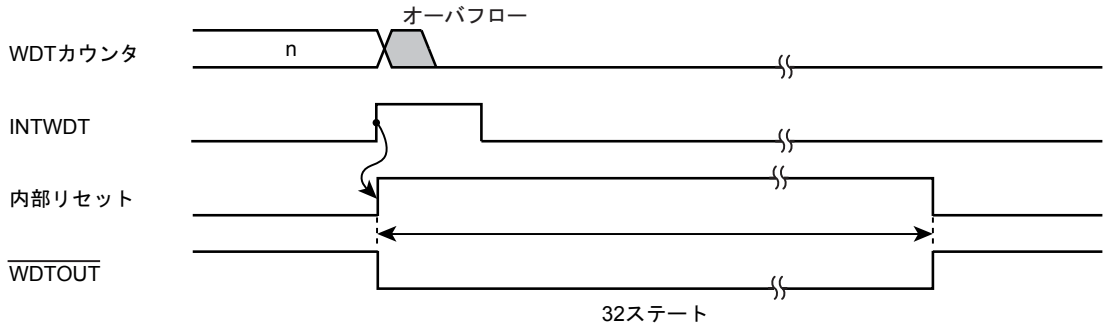


図 21-3 内部リセット発生

21.5 コントロールレジスタ

ウォッチドッグタイマ(WDT)は、2 つのコントロールレジスタ(WDMOD, WDCR)によって制御されています。

21.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP[2:0]>

   ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

   リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

   暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。

   ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

   WDTOUT を内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1"に初期化されますので、バイナリカウンタのオーバフローにより内部リセットが発生します。

21.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

21.5.3　設定例

21.5.3.1　ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	−	−	−	−	−	−	−	<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード(0xB1)を書き込みます。

21.5.3.2　イネーブル制御

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	−	−	−	−	−	−	−	<WDTE>に"1"を設定します。

21.5.3.3　ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード(0x4E)を書き込みます。

21.5.3.4　ウォッチドッグタイマ検出時間の設定

検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

		7	6	5	4	3	2	1	0
WDMOD	←	1	0	1	1	−	−	−	−

第 22 章　フラッシュメモリ動作説明

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

22.1　フラッシュメモリの特長

22.1.1　メモリ容量と構成

TMPM375FSDMG の内蔵するフラッシュメモリの容量と構成は、表 22-1 および図 22-1 のとおりです。

表 22-1 メモリ容量と構成

メモリ容量	ブロック構成				1 ページのワード数	ページ数	書き込み時間		消去時間	
	128 KB	64 KB	32 KB	16 KB			1 ページ	全エリア	ブロック消去	チップ消去
64KB	−	−	2	−	32	512	1.25ms	0.64 sec	0.1 sec	0.2 sec

注)　上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザーの書き替え方法により異なります。

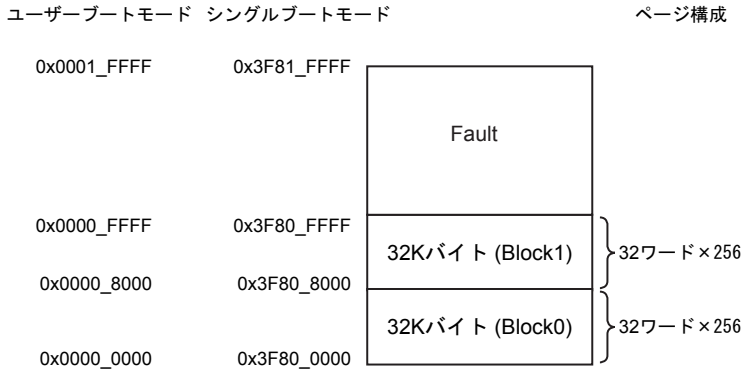


図 22-1 ブロック構成

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

・　ページ

1 ページは 32 ワードで、アドレス[31:7]が同じで、先頭アドレス[6:0] = 0 、最後のアドレス[6:0] = 0x7F のグループです。

・　ブロック

1 ブロックは 32KB で、2 ブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 0.1 sec (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 0.2sec(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「22.1.5 プロテクト/セキュリティ機能」を参照してください

22.1.2　機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、 チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

22.1.3　動作モード

22.1.3.1　モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザーブートモードがあります。モード遷移図を図 22-2 に示します。

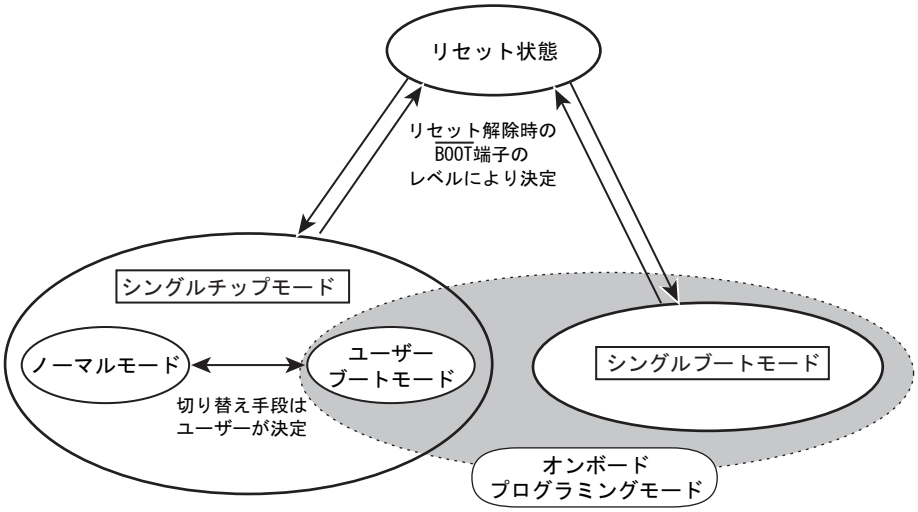


図 22-2 モード遷移図

(1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の 2 つのモードがあります。

- ノーマルモード

  ユーザーのアプリケーションプログラムを実行するモードです。
- ユーザーブートモード

  ユーザーのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザーブートモードの切り替えはユーザーが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。 シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3) オンボードプログラミングモード

ユーザーのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードです。この 2 つをオンボードプログラミングモードと定義します。

22.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの $\overline{\text{BOOT}}$ 端子の状態により決定されます。

表 22-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

22.1.4 メモリマップ

図 22-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

FLASH サイズ	RAM サイズ	FLASH アドレス	RAM アドレス
64K	4KB	0x0000_0000 ~ 0x0000_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F80_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_0FFF

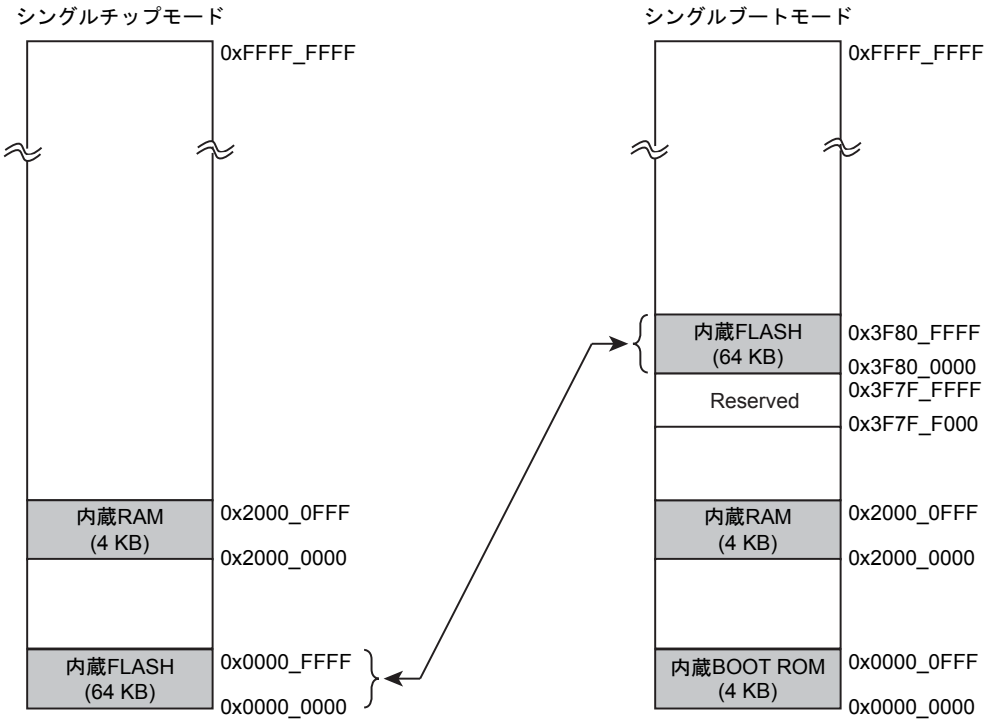


図 22-3 メモリマップの比較

22.1.5　プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの 2 つの機能を持っています。

1. プロテクト機能
   フラッシュメモリへの書き込み、消去をブロック単位で禁止
2. セキュリティ機能
   フラッシュライタによるフラッシュメモリの読み出しの禁止
   デバッグ機能の使用制限

22.1.5.1　プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトは解除されます。プロテクトビットは、FCPSRA <BLK [1:0]>でモニタすることができます。

プロテクトビットのプログラムは 1 ビット単位、消去は 2 ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「22.2.5 コマンド説明」の章を参照してください。

22.1.5.2 セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 22-3 に示します。

表 22-3 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. すべてのプロテクトビット(FCPSRA<BLK>)が"1"にセットされている。

FCSECBIT<SECBIT>はパワーオンリセットで"1"にセットされます。

FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注) 以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

22.1.6　レジスタ

22.1.6.1　レジスター覧

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
セキュリティビットレジスタ	FCSECBIT	0x0010
フラッシュ IF コントロールレジスタ	FCCR	0x001C
フラッシュスタータスレジスタ	FCSR	0x0020
フラッシュプロテクトスタータスレジスタ	FCPSRA	0x0030

22.1.6.2　FCCR(フラッシュ IF コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	FLBOFF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	FLBOFF	R/W	Flash IF の分岐バッファの制御 (注 1) 0: 分岐バッファ Enabale 1: 分岐バッファ Disable(バッファクリア) 本ビットは Flash IF のバッファを制御するための機能ビットです。 分岐バッファを使用する場合は、"0"を、使用しない場合は、"1"を設定します。 TMPM375FSDMG で、Flash をアクセスする場合は必ず、"0"を設定して下さい。

注 1)　TMPM375FSDMG で Flash 書換えや消去実行後には、必ず本ビットを使用して分岐バッファをクリアするか、端子リセットを入れて下さい。

バッファクリア操作は下記の通り

RAM 上で、FCCR<FLBOFF>="1"を実行後、FCCR<FLBOFF>="0"へ書き戻す。

22.1.6.3 FCSR(フラッシュスタータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注 1) 0: Busy(自動動作中) 1: Ready(自動動作終了) 本ビットはフラッシュメモリの状態を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウエアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウエアリセットで復帰してください。ハードウエアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

22.1.6.4　FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注)　本レジスタは、パワーオンリセットで初期化されます。

22.1.6.5　FCPSRA(フラッシュプロテクトスタータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BLK1	BLK0
リセット後	0	0	0	0	0	0	(注 1)	(注 1)

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
1-0	BLK1- BLK0	R	Block1 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

注 1)　プロテクト状態に応じた値になります。

22.2 フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。 また、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

22.2.1 機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 22-4 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

注) TMPM375FSDMG で、書込み、消去を実施した後は、必ず分岐バッファのクリアを行って下さい。クリアの方法については、「22.1.6.2 FCCR(フラッシュ IF コントロールレジスタ)」を参照下さい。

注) フラッシュメモリへの書き込み、消去、プロテクトビットプログラム、プロテクトビット消去の各コマンドシーケンスの処理終了を FCSR<RDY/BSY> で確認した後、フラッシュメモリからのデータ読み出し、または命令フェッチを開始するまで 200μs 以上のウェイト時間を確保してください。

22.2.2 フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させる場合には、後述する Read コマンド、Read/リセットコマンドもしくはハードウエアリセットを用います。

22.2.3 ハードウエアリセット

ハードウエアリセットとはパワーオンリセットおよびウォームリセットを指しており、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了した場合のリードモードへの復帰のために使用します。

自動動作中にハードウエアリセットが発生すると、フラッシュメモリは自動動作を中止しリードモードに戻ります。フラッシュメモリの自動プログラム/消去動作中にハードウエアリセットを行う場

合は、システムクロックによらず 0.5μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。なお、自動動作の実行中にハードウエアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

本製品のリセット動作については、「リセット動作」の章を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

22.2.4　コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「22.2.5 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行された時はコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read コマンドまたは Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read コマンドおよび Read/リセットコマンドをソフトウエアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCSR<RDY/BSY>が"0"になります。自動動作が正常終了した時に FCSR<RDY/BSY> = "1" となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウエアリセットを用います。また、自動動作が正常終了しない場合(FCSR<RDY/BSY>が"0"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはハードウエアリセットを行う必要があります。ハードウエアリセットで動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行する際には以下の事項に留意してください。

1. コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCSR<RDY/BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。

2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。

3. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行って下さい。

4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないで下さい。また、リセットを除く割り込み/フォールトは発生させないようにしてください。

5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、リードモードに戻して下さい。

22.2.5　コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「22.2.6 コマンドシーケンス」を参照してください。

22.2.5.1 自動ページプログラム

(1) 動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであっても 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります

注 1) 消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

注 2) プロテクトされたブロックへの書き込みはできません。

(2) 実行方法

第 1～第 3 バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降、連続して 1 ページ分のデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

ページの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを"0xFFFFFFFF"として 1 ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

22.2.5.2 自動チップ消去

(1) 動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

22.2.5.3　自動ブロック消去

(1)　動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

(2)　実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

22.2.5.4　自動プロテクトビットプログラム

(1)　動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「22.1.5 プロテクト/セキュリティ機能」を参照してください。

(2)　実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 7 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、FCPSRA<BLK>で確認してください。

22.2.5.5　自動プロテクトビット消去

(1)　動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「22.1.5 プロテクト/セキュリティ機能」を参照してください。

- セキュリティ状態でない場合

  指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は 2 ビット単位で行われます。
- セキュリティ状態の場合

  フラッシュメモリの全アドレスのデータを消去した後、すべてのプロテクトビットを消去します。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 7 バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、FCPSRA<BLK>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去およびすべてのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中は FCSR<RDY/BSY>が"0"となり、終了後"1"となりリードモードに戻ります。自動動作を中断するためにはハードウエアリセットが必要です。

22.2.5.6 ID-Read

(1) 動作内容

ID-Read コマンドは、フラッシュメモリのタイプ等の情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

(2) 実行方法

第 1～第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read コマンド、Read/リセットコマンドまたはハードウエアリセットで行います。

22.2.5.7 Read コマンド、Read/リセットコマンド (ソフトウエアリセット)

(1) 動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的にはリードモードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、Read コマンドまたは Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2) 実行方法

Read コマンドでは第 1 バスサイクルが、Read/リセットコマンドでは第 1～3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

22.2.6　コマンドシーケンス

22.2.6.1　コマンドシーケンス一覧

表 22-5 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外はすべて"「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 22-6 を参照してください。表 22-6 で「コマンド」と記載された、Addr [15:9]に下記の値を使用します。

注 1)　アドレスビット[1:0]へは常に"0"を設定してください。

注 2)　アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。
メモリサイズが 1MB 以下：常に"0"
メモリサイズが 1MB を超える：1MB 以下の領域へのバスライトサイクルでは"0"
1MB を超える領域へのバスライトサイクルでは"1"

表 22-5 コマンドシーケンス

コマンド	第 1 バスサイクル	第 2 バスサイクル	第 3 バスサイクル	第 4 バスサイクル	第 5 バスサイクル	第 6 バスサイクル	第 7 バスサイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
Read/リセット	0xX55X	0xXAAX	0xX55X	–	–	–	–
	0xAA	0x55	0xF0	–	–	–	–
ID-Read	0xX55X	0xXAAX	0xX55X	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページプログラム	0xX55X	0xXAAX	0xX55X	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動ブロック消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビットプログラム	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	0xXX
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)
  第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス(表 22-7 参照)
- PBA: プロテクトビットアドレス(表 22-8 参照)

22.2.6.2 バスライトサイクル時のアドレスビット構成

表 22-6 は「表 22-5 コマンドシーケンス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 22-6 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:15]	Addr [14]	Addr [13:12]	Addr [11:9]	Addr [8:7]	Addr [6:4]	Addr [3:0]

通常コマンド	通常のバスライトサイクルアドレス設定				
	フラッシュ領域	"0"推奨		コマンド	Addr[1:0] = "0"固定、他ビットは"0"推奨
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"推奨	ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨	
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)				
	ブロックアドレス(表 22-7)	Addr[1:0] = "0"固定、他ビットは"0"推奨			
Auto ページプログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)				
	ページアドレス				Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"固定		プロテクトビット選択 (表 22-8)	Addr[1:0] = "0"固定、他ビットは"0"推奨

22.2.6.3 ブロックアドレス(BA)

表 22-7 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

表 22-7 ブロックアドレス表

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
1	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
0	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32

22.2.6.4 プロテクトビットの指定(PBA)

プロテクトビットは、プログラム時は 1 ビット単位、消去時は 4 ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表 22-8 に示します。アドレス例の、上段はユーザーブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

消去は、自動プロテクトビット消去コマンドを実行することで 4 ビットのプロテクトビットがまとめて消去されます。

表 22-8 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス			アドレス例 [31:0]
		アドレス [14:9]	アドレス [8]	アドレス [7]	
Block0	<BLK[0]>	"0"固定	0	0	0x0000_0000 0x3F80_0000
Block1	<BLK[1]>		0	1	0x0000_0080 0x3F80_0080

22.2.6.5　ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 22-9 に示します。

下表のアドレス例の、上段はユーザーブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 22-9 IID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[13:12]	アドレス例[31:0]
メーカーコード	0x98	0b00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	0b01	0x0000_1000 0x3F80_1000
−	Reserved	0b10	−
マクロコード	0x33	0b11	0x0000_3000 0x3F80_3000

22.2.6.6 コマンドシーケンス例

(1) ユーザーブートモード

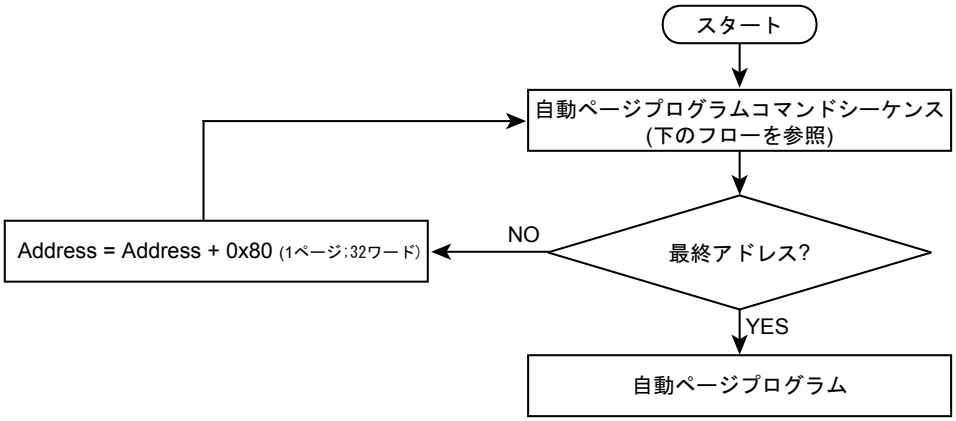
コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x0000_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	–	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	–	–	–	–
ID-Read	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

(2) シングルブートモード

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x3F80_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–	–	–	–
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	–	–	–	–
ID-Read	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

22.2.7　フローチャート

22.2.7.1　自動プログラム



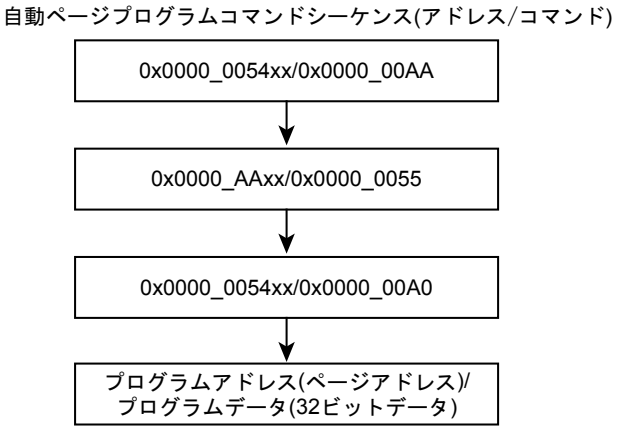


図 22-4 自動プログラムフローチャート

22.2.7.2 自動消去

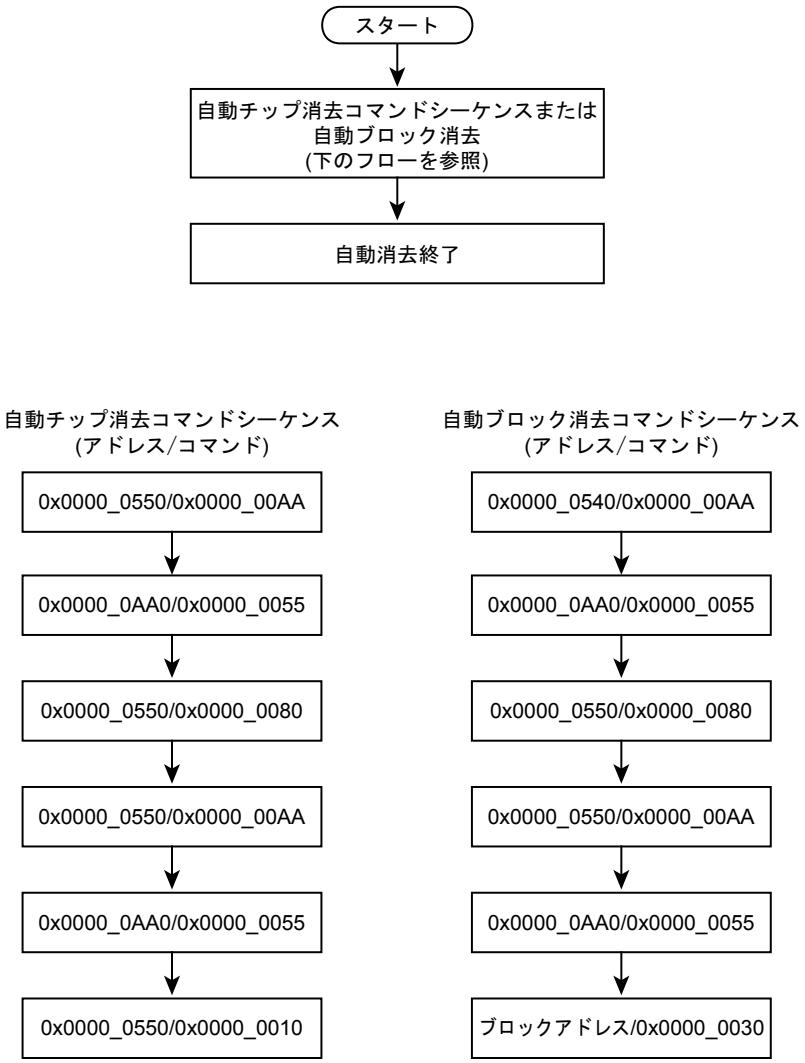


図 22-5 自動消去フローチャート

22.3　シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

22.3.1　モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$ = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、$\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

22.3.2　インタフェース仕様

シングルブートモードでの SIO/UART 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

  通信チャネル: チャネル 0

  シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト

  データ長: 8 ビット

  パリティビット: なし

  STOP ビット: 1 ビット

  ボーレート: 任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「22.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB) を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは ΦT1(fc/2)で動作します。

ブートプログラムで使用する端子を表 22-10 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 22-10 端子の接続

端子		インタフェース
		UART
モード設定端子	$\overline{\text{BOOT}}$	o
リセット端子	$\overline{\text{RESET}}$	o
通信端子	TXD0 (PE0)	o
	RXD0 (PE1)	o

o;必要、×;不要

22.3.3 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 22-11 のような制約がありますのでご注意ください。

表 22-11 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 プログラムは 0x2000_0400 から RAM の最終番地に格納してください。 プログラムの開始アドレスは偶数アドレスでなければいけません。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F81_FFF0 ~ 0x3F81_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

22.3.4 動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 22-12 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

22.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。実行開始アドレスは偶数アドレスでなければいけません。

この RAM 転送機能により、ユーザー独自のオンボートプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、「22.2.6 コマンドシーケンス」で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

22.3.4.2　フラッシュメモリチップ消去および プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。

22.3.5　コマンドによらず共通の動作

ブートプログラム実行において、共通に行われる動作について説明します。

22.3.5.1　シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし送信してください。図 22-6 に波形を示します。

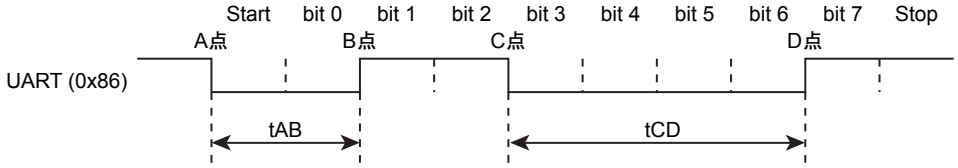


図 22-6 シリアル動作モード判定データ

ブートプログラムは図 22-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86)を、16 ビットタイマ(TMRB)を用いて図 22-6 の tAB, tAC と、tAD の時間から求めています。図 22-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。

図 22-8 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラが UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。

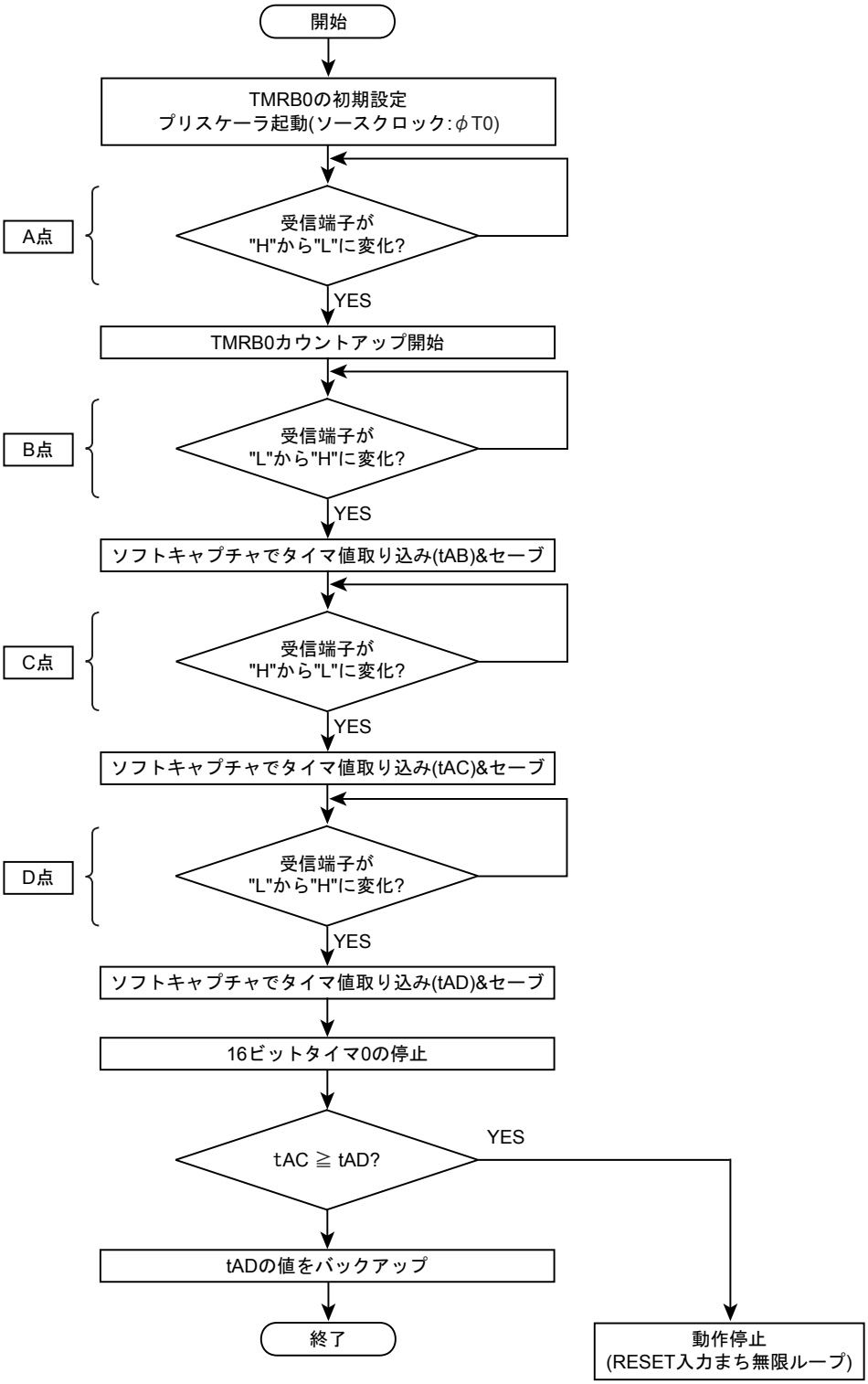


図 22-7 シリアル動作モード受信フローチャート

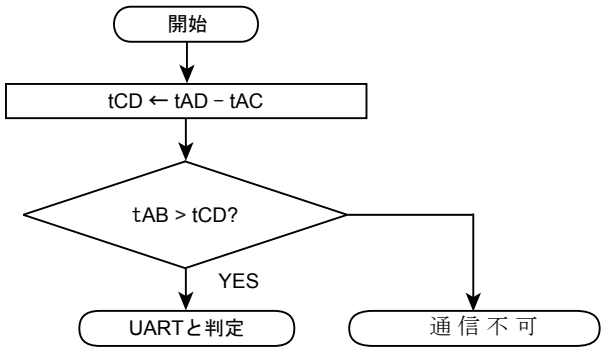


図 22-8 シリアル動作モード判定フローチャート

22.3.5.2　ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 22-13 から表 22-16 に各受信データに対する ACK 応答データを示します。

表 22-14 から表 22-16 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。

表 22-13 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)

注)　UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 22-14 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注)　上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 22-15 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注)　上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 22-16 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

注) 消去コマンドが正常に行われた場合でも、ACK 応答で以上を返す場合があります。FCSR<RDY/BSY>でコマンド終了を確認した後、200μs 以上待って消去の再確認を行って下さい。

22.3.5.3 パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定データおよびパスワードとして使用します。

領域	アドレス
パスワード要否判定	0x3F81_FFF0 (1byte)
パスワード領域	0x3F81_FFF4 ~ 0x3F81_FFFF (12byte)

RAM 転送コマンドでは、要否判定データにかかわらずパスワード判定を行い、フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドでのパスワード判定

図 22-9 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

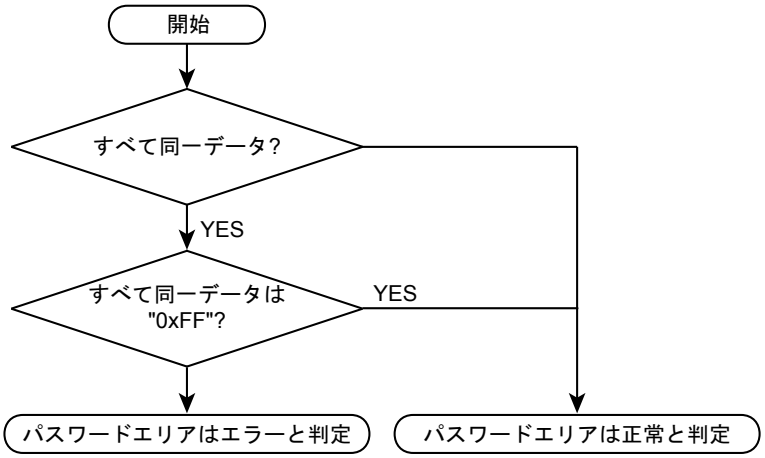


図 22-9 パスワードエリアチェックフローチャート

(2)　フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

図 22-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照は行います。

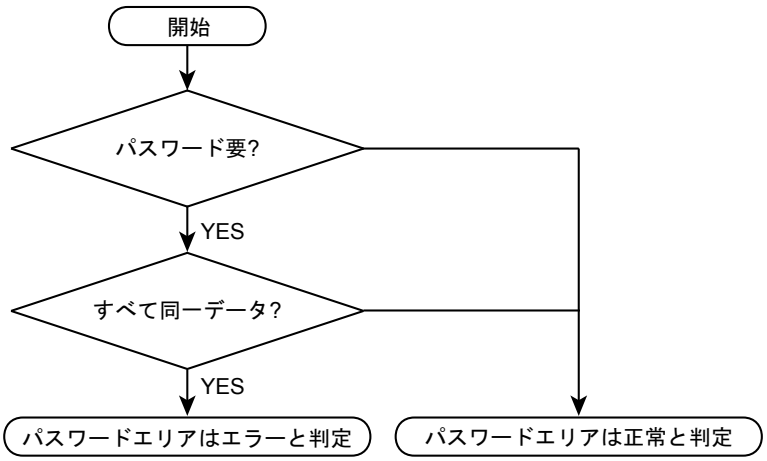


図 22-10 パスワードエリアチェックフローチャート

22.3.5.4　CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

22.3.6　RAM 転送の転送フォーマット

RAM 転送コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TMPM375FSDMG へ

転送方向「C←T」: TMPM375FSDMG からコントローラへ

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「22.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
3	C→T	動作コマンドデータ(0x10)	RAM 転送コマンドデータ(0x10)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。 次に、3 バイト目の受信データが、表 22-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。RAM 転送の場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FF04 ~ 0x3F81_FF0F	パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「22.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~ 0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は 22.3.5.4 を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。
19	C→T	RAM 格納開始アドレス 31 ~ 24	ブロック転送における格納先の RAM の開始アドレスを送信してください。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地の範囲で指定してください。RAM の開始アドレスは偶数アドレスでなければいけません。
20	C→T	RAM 格納開始アドレス 23 ~ 16	
21	C→T	RAM 格納開始アドレス 15 ~ 8	
22	C→T	RAM 格納開始アドレス 7 ~ 0	
23	C→T	RAM 格納バイト数 15 ~ 8	ブロック転送するバイト数を送信してください。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください
24	C→T	RAM 格納バイト数 7 ~ 0	
25	C→T	19 ~ 24 バイト目の CHECK SUM 値	19 バイト目から 24 バイト目の CHECK SUM 値を送信してください。
26	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、25 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
27~m	C→T	RAM 格納データ	RAM に格納するデータを、23 バイト目から 24 バイト目に指定されたバイト数分送信してください。
m+1	C→T	27 ~ m バイト値の CHECK SUM 値	27 バイト目 ~ m バイト目の CHECK SUM 値を送信してください。
m+2	C←T	CHECK SUM 値に対する ACK 応答 正常の場合:0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、m + 1 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
–	–	–	m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

22.3.7　フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TMPM375FSDMG

転送方向「C←T」: コントローラ←TMPM375FSDMG

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「22.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
3	C→T	動作コマンドデータ(0x40)	フラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。 次に、3 バイト目の受信データが、表 22-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。フラッシュメモリチップ消去およびプロテクトビット消去の場合、0x40 をエコーバック送信します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FF04 ~ 0x3F81_FF0F	パスワード要否選択が「否」の場合、ダミーデータです。 パスワード要否選択が「要」の場合、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「22.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~ 0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「22.3.5.4 CHECK SUM の計算方法」を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、最初に 5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。
19	C→T	消去イネーブルコマンドデータ(0x54)	消去イネーブルコマンドデータ(0x54)を送信してください。
20	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0x58	最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x58 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。 次に、19 バイト目の受信データが、消去イネーブルコマンドに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
21	C→T	消去コマンドに対する ACK 応答(注 1) 正常の場合: 0x4F 異常の場合: 0x4C	正常に終了した時は、終了コード(0x4F)を返します。 消去 Error が起きた場合は、エラーコード(0x4C)を返します。
–	–	–	次の動作コマンドデータ待ち状態になります。

注 1) 消去コマンドが正常に行われた場合でも、ACK 応答で異常を返す場合があります。FCSR<RDY/BSY>でコマンド終了を確認した後、200μs 以上待って消去の再確認を行って下さい。

22.3.8　ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

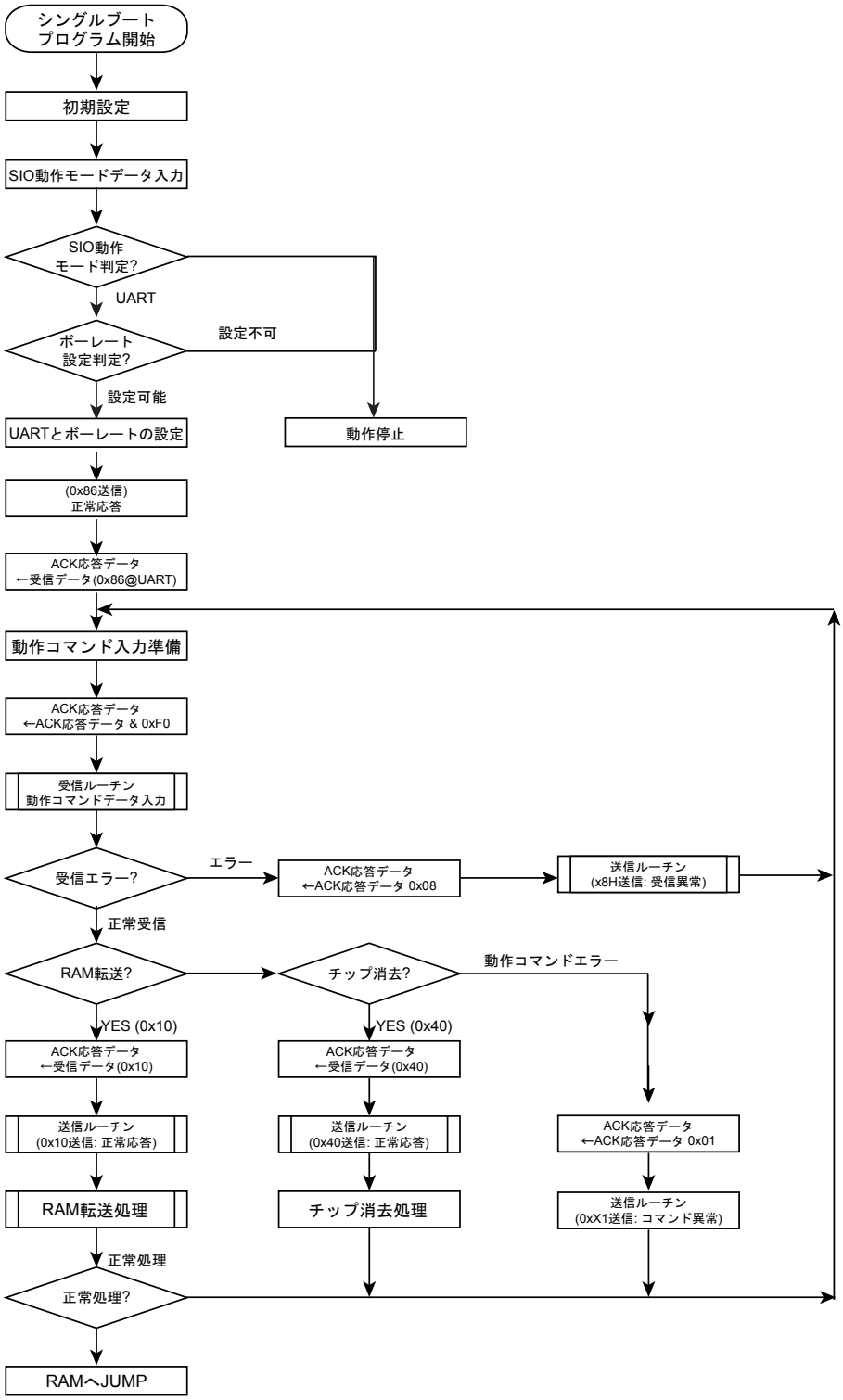


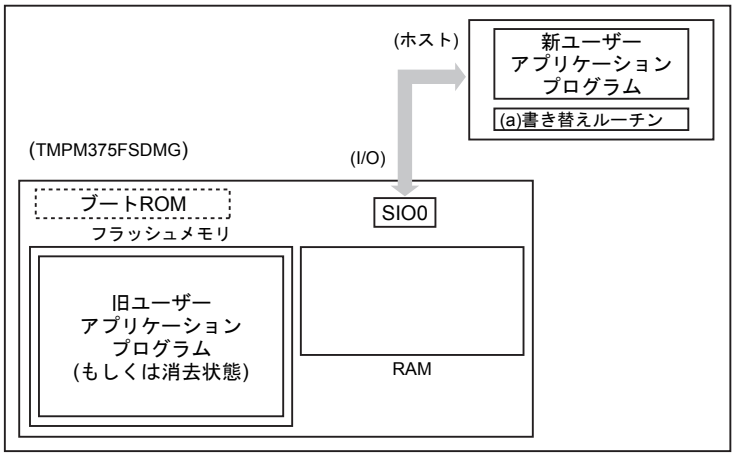
図 22-11 ブートプログラム全体フローチャート

22.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

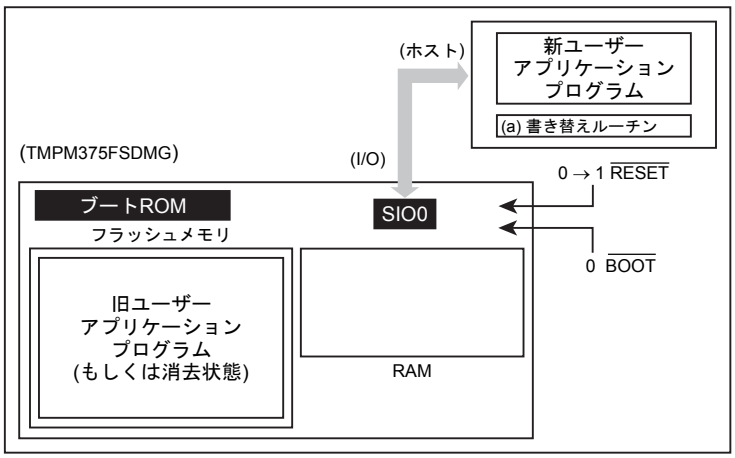
22.3.9.1 Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0)を経由して行いますので、ボード上で本デバイスの SIO (SIO0)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



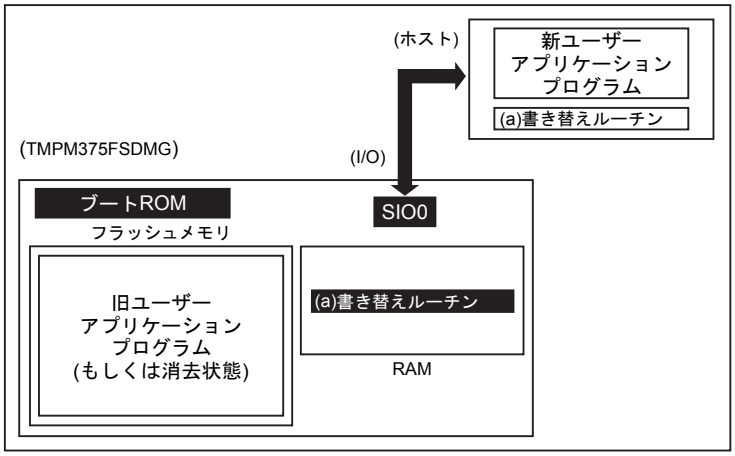
22.3.9.2 Step-2

シングルブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。シングルブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



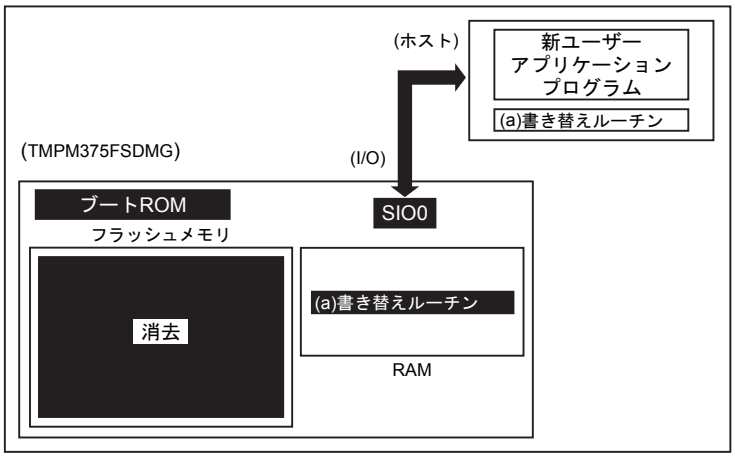
22.3.9.3　Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



22.3.9.4　Step-4

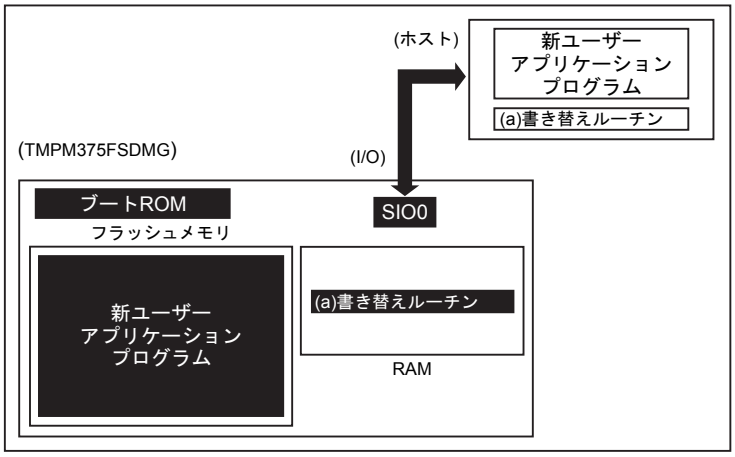
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



22.3.9.5 Step-5

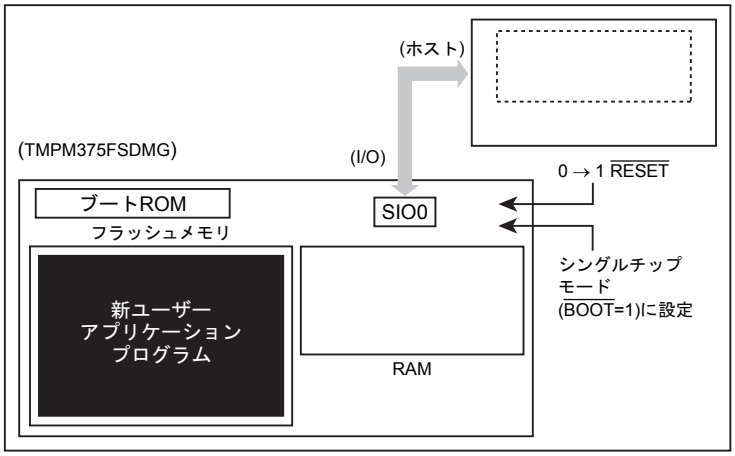
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



22.3.9.6 Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプリケーションプログラムを実行します。



22.4　ユーザーブートモードによる書き替え方法

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザーのシステムセット条件 に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザーブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

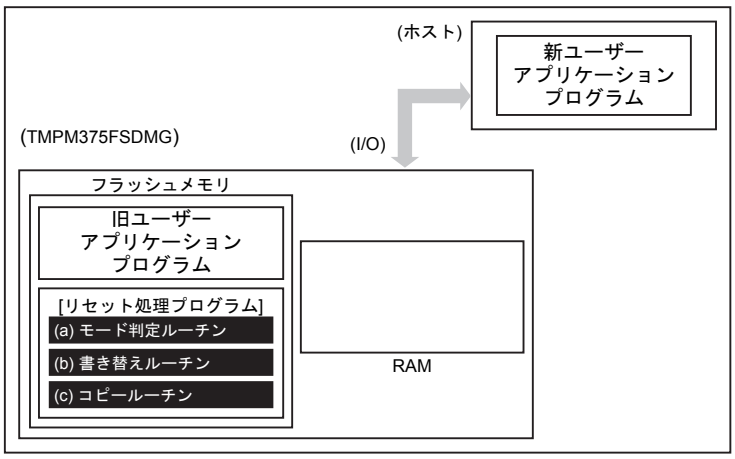
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「22.2 フラッシュメモリ詳細」を参照してください。

22.4.1　(1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

22.4.1.1　Step-1

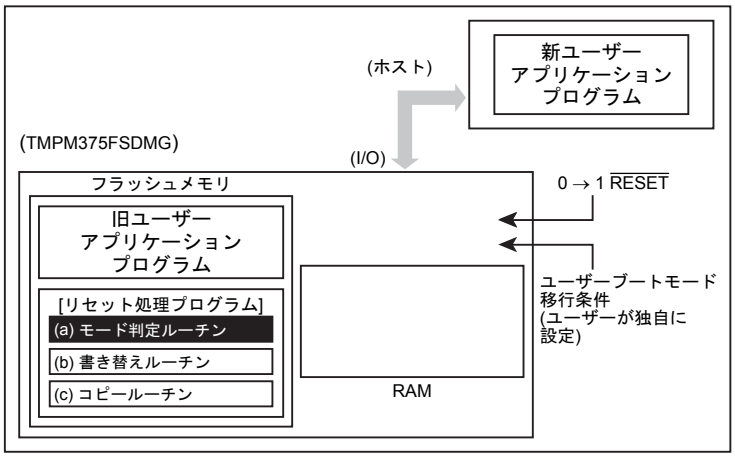
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



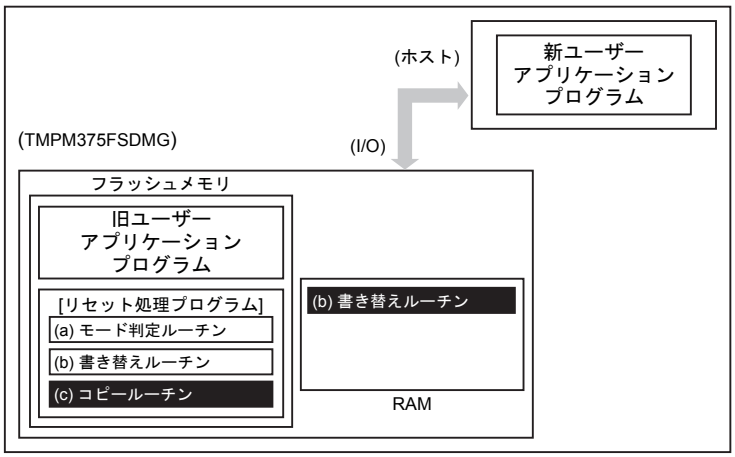
22.4.1.2 Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。



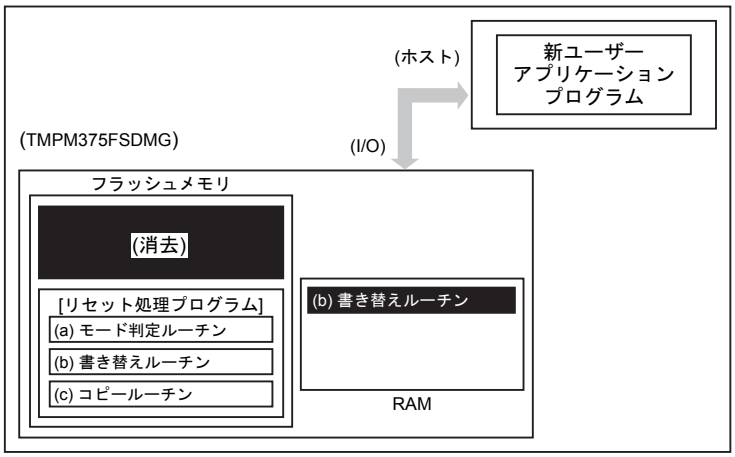
22.4.1.3 Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



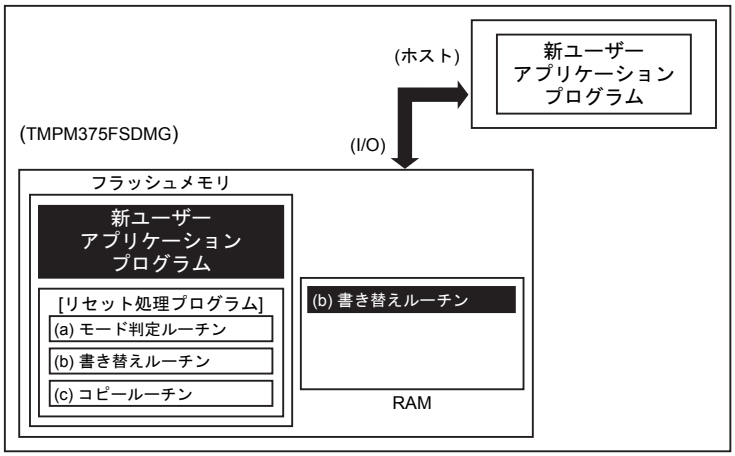
22.4.1.4　Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



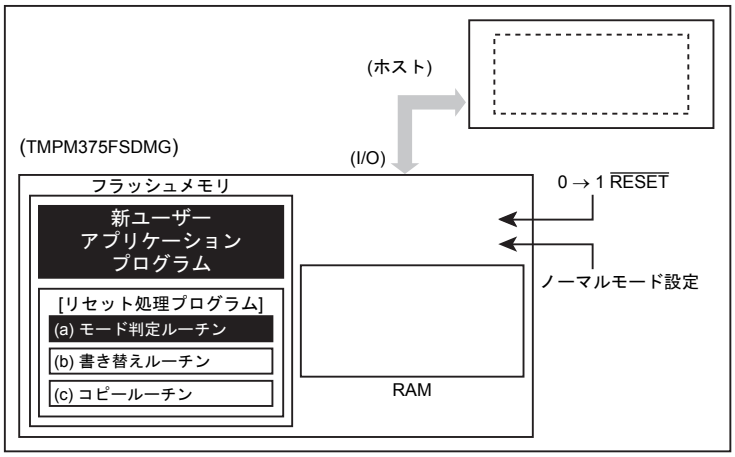
22.4.1.5　Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



22.4.1.6 Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



22.4.2　(1-B)書き替えルーチンを外部から転送する手順例

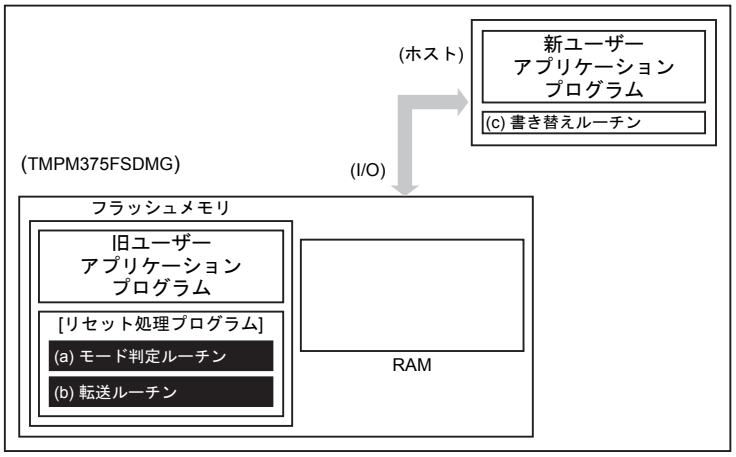
22.4.2.1　Step-1

ユーザーは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:　　書き替え動作に移るためのプログラム
(b) 転送ルーチン:　　書き替えプログラムを外部から取り込むためのプログラム

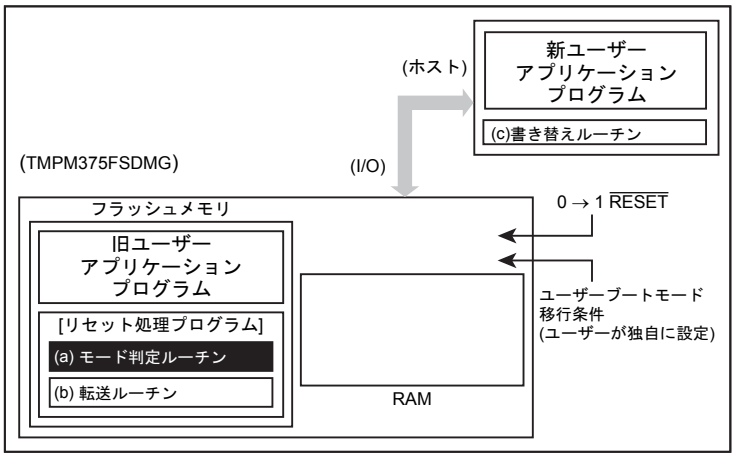
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン:　　書き替えを行うためのプログラム



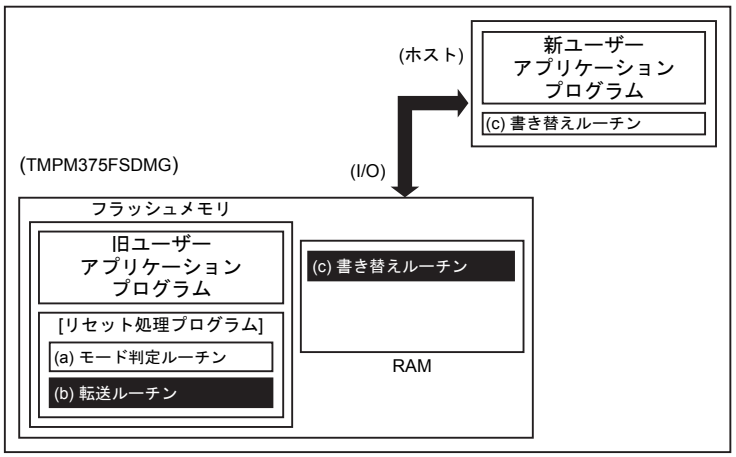
22.4.2.2 Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。



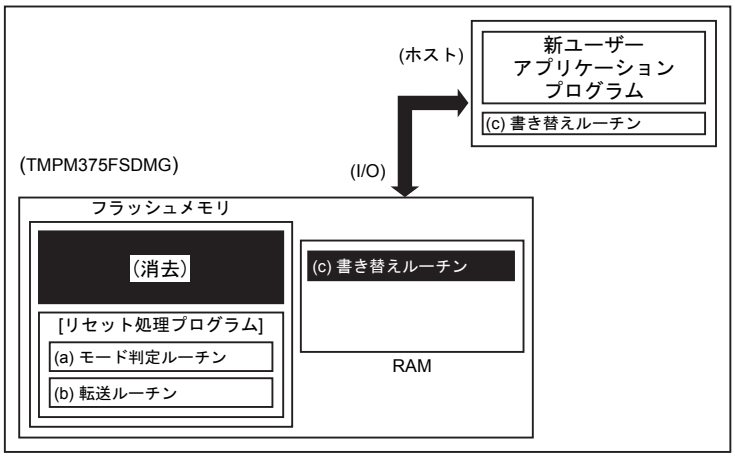
22.4.2.3 Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



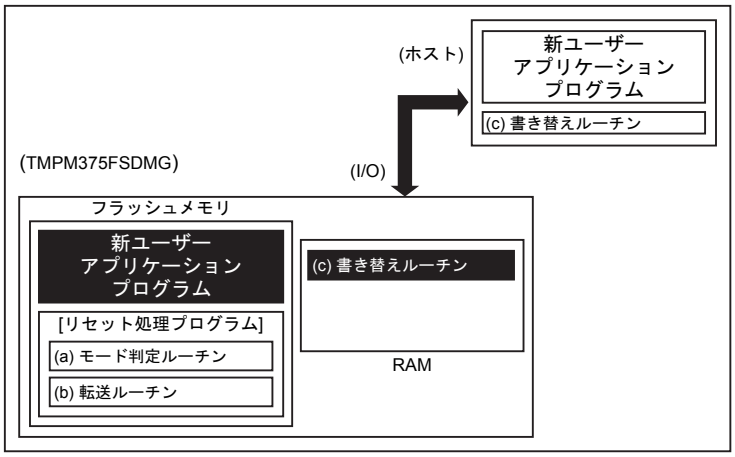
22.4.2.4　Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



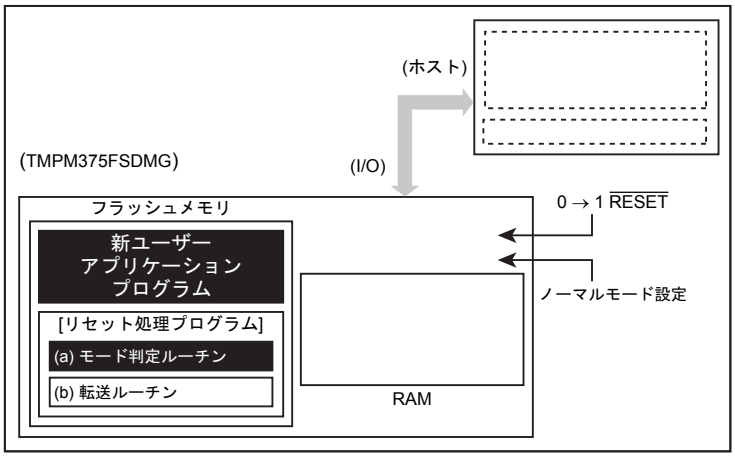
22.4.2.5　Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



22.4.2.6 Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



第 23 章　デバッグインタフェース

23.1　仕様概要

TMPM375FSDMG は、デバッグツールと接続するためのデバッグインタフェースとして SWJ-DP(Serial Wire JTAG Debug Port)ユニット、および内部プログラムをトレース出力するための ETM™(Embedded Trace Macrocell)ユニットを搭載しています。トレース出力はマイコン内部の TPIU(Trace Port Interface Unit)を通じでデバッグ用端子(SWV)に出力されます。SWJ-DP、ETM、TPIU の詳細に関しましては ARM 社からリリースされる”Cortex-M3 テクニカルリファレンスマニュアル”を参照してください。

23.2　SWJ-DP の特長

シリアルワイヤデバッグポート(SWDCK,SWDIO)と、JTAG デバッグポート(TDI,TDO,TMS,TCK)をサポートしています。

23.3　ETM の特長

シリアルワイヤビューア信号 1pin(SWV)による SWV トレース出力をサポートしています。

23.4　端子情報

デバッグインタフェース端子は汎用ポートと兼用しています。

デバッグインタフェース端子と兼用の汎用ポートのうち、PB3/PB4 は JTAG デバッグポート機能とシリアルワイヤデバッグポート機能、PB5 は JTAG デバッグポート機能および SWV トレース出力機能と兼用しています。

表 23-1 SWJ-DP,ETM デバッグ機能

SWJ-DP 端子名	汎用ポート名	JTAG デバッグ機能		SW デバッグ機能	
		I/O	説明	I/O	説明
TMS/SWDIO	PB3	入力	JTAG Test Mode Selection	入出力	Serial Wire Data Input/Output
TCK/SWCLK	PB4	入力	JTAG Test Check	入力	Serial Wire Clock
TDO/SWV	PB5	出力	JTAG Test Data Output	(出力) (注 1)	(Serial Wire Viewer Output)
TDI	PB6	入力	JTAG Test Data Input	−	−

注 1)　SWV 機能を許可した場合

リセット解除後、PB3/PB4/PB5/PB6 はデバッグインタフェース端子となりますが、その他のデバッグインタフェース端子は汎用ポート設定です。必要に応じてデバッグインタフェースを使用する設定をおこなってください。また、使用しないデバッグインタフェース端子は汎用ポートとして使用可能です。

表 23-2 にデバッグインタフェースの端子情報とリセット解除後のポート設定を示します。

表 23-2 デバッグインタフェース/汎用ポート兼用端子のリセット解除後設定値

初期設定	ポート (ビット名)	デバッグ機能	ポート制御レジスタの設定値					
			機能 (PBFR)	入力 (PBIE)	出力 (PBCR)	オープンドレイン (PBOD)	プルアップ (PBPUP)	プルダウン (PBPDN)
デバッグ	PB3	TMS/SWDIO	1	1	1	0	1	0
デバッグ	PB4	TCK/SWCLK	1	1	0	0	0	1
デバッグ	PB5	TDO/SWV	1	0	1	0	0	0
デバッグ	PB6	TDI	1	1	0	0	1	0

低消費電力モードを使用する場合には、以下の注意事項に留意してください。

注 1)　PB3/PB5 がデバッグインタフェース設定の場合、CGSTBYCR<DRVE>の設定によらず、STOP モード中も出力が有効な状態で保持されます。

注 2)　PB4 がデバッグインタフェース設定の場合、STOP モードで十分な低消費電力効果が得られません。デバッグインタフェースとして使用しない場合は、PB4 をポート設定にしてください。

23.5 デバッグツールとの接続

23.5.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵していますので、外部にプルアップ/プルダウン抵抗を接続する場合には注意してください。

23.5.2 デバッグインタフェース端子を汎用ポートとして使用する場合

デバッグ時に、リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御が受け付けられず、デバッグツールを使用してデバッグできなくなる場合があります。デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 23-3 デバッグインタフェース端子の使用例

デバッグインタフェースの組み合わせ(例)	使用するデバッグインタフェース端子			
	TDI	TDO/SWV	TCK/ SWCLK	TMS/ SWDIO
JTAG+SW(リセット解除時)	○	○	○	○
JTAG+SW(TRST 無し)	○	○	○	○
JTAG+TRACE	○	○	○	○
SW	×	×	○	○
SW+SWV	×	○	○	○
デバッグ機能ディセーブル	×	×	×	×

注 1) ○;イネーブル、×;ディセーブル(汎用ポートとして使用)

23.6 ホールトモード中の周辺機能（プログラム実行の一時停止時）

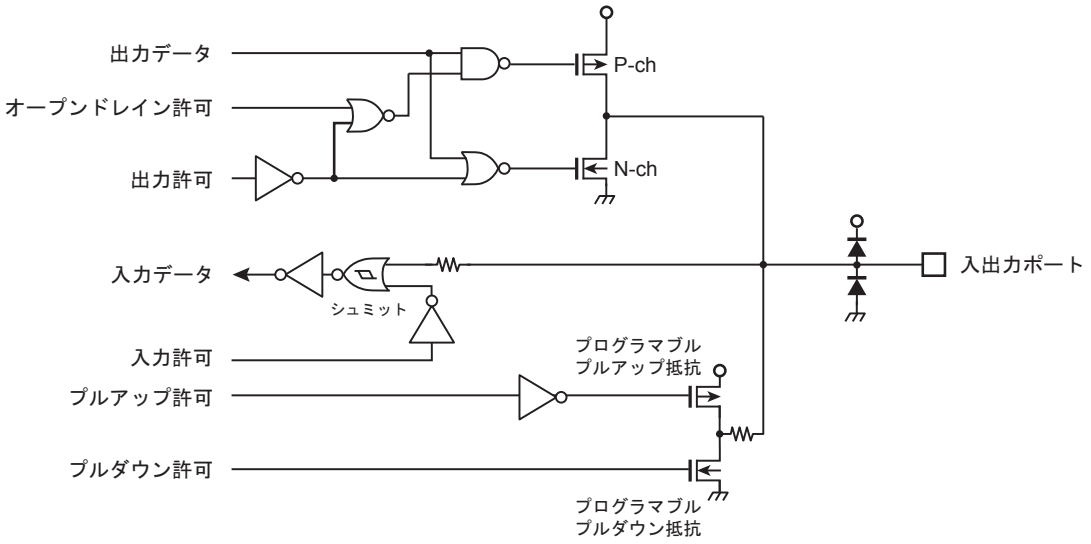
Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)のカウントが自動的に停止します。また、16 ビットタイマ(TMRB)はホールトモード時に動作するかどうか指定することができます。その他の周辺機能は動作を続けます。

第 24 章　ポート部等価回路図

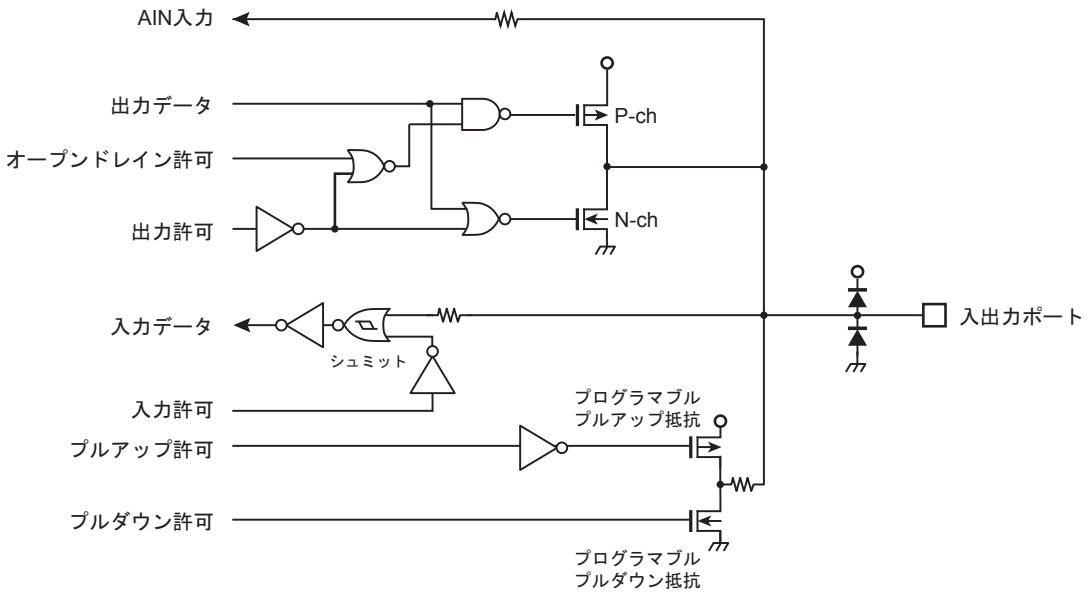
基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω～数百 Ω 程度です。X2 のダンピング抵抗値は、図中に typ.値を記入しています。

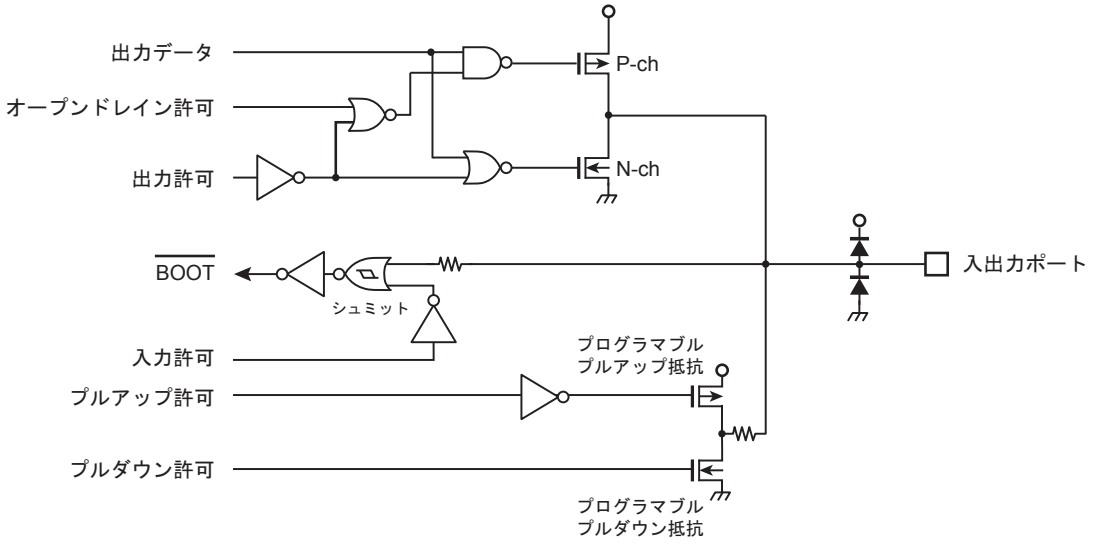
24.1　PB3~6, PE0~2, PG0~6



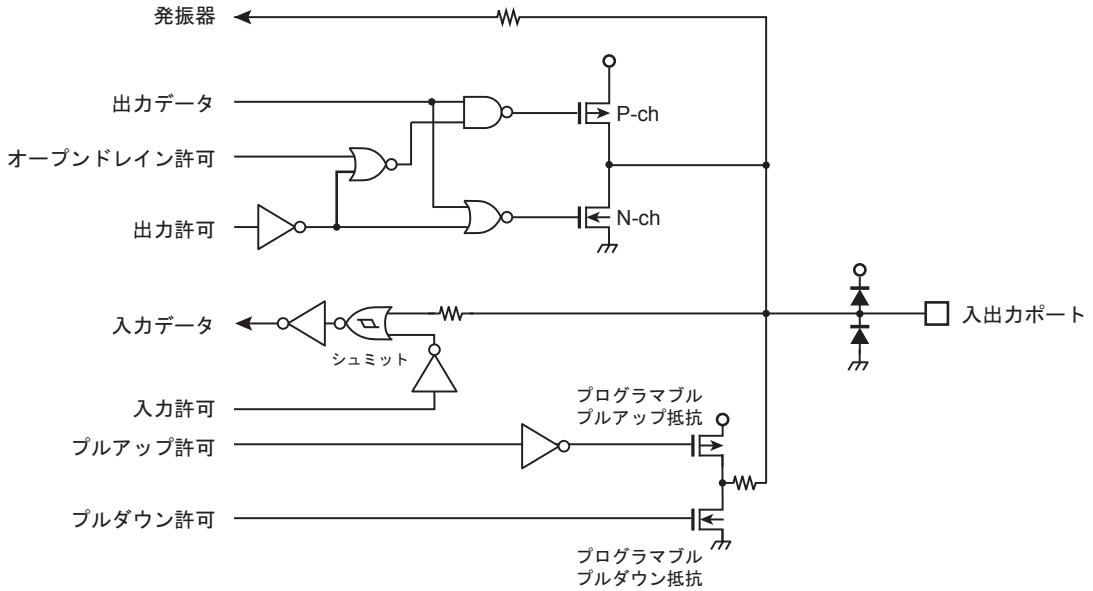
24.2　PJ6~7, PK0~1



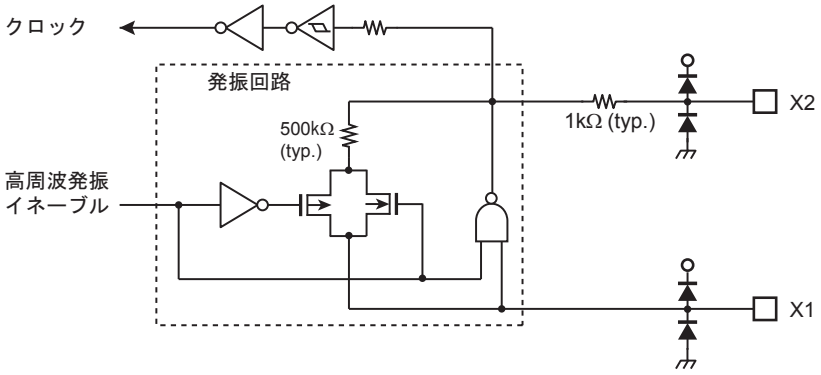
24.3　PF0



24.4　PM0~1



24.5 X1, X2



24.6 $\overline{\text{RESET}}$

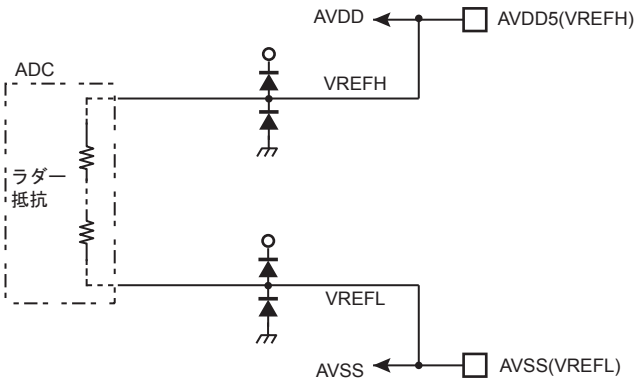


24.7 MODE

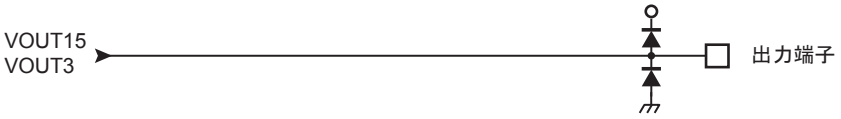


(注)本端子は必ずGNDへ接続してください。

24.8 VREFHB, VREFLB



24.9　VOUT15, VOUT3



第 25 章　電気的特性

25.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5B / AVDD5B / AMPVDD5	−0.3 to 6	V
電圧保持用キャパシタ端子電圧		VOUT15	−0.3 to 3	V
		VOUT3	−0.3 to 3.9	
入力電圧		V_{IN}	−0.3 ~ VDD + 0.3 (注 2)	V
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	−5	
	合計	ΣI_{OH}	-50	
消費電力		PD	350	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−55 ~ 125	°C
動作温度	Flash W/E 時を除く	T_{OPR}	−40 ~ 105	°C
	Flash W/E 時		0 ~ 70	

注1)　**絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。**

注2)　**VDD = DVDD5B / AVDD5B / AMPVDD5**

25.2　DC 電気的特性 (1/2)

DVSS = DVSSB = AVSSB = 0V, Ta = −40 ~ 105 °C

項目		記号	条件		Min.	Typ. (注 1)	Max.	単位
電源電圧 (注 2)	DVDD5B AVDD5B AMPVDD5	VDD	f_{OSC} = 8, 10 MHz fsys = 1 ~ 40 MHz		4.5	−	5.5	V
電源電圧 (FLASH W/E 時) (注 2)	DVDD5B AVDD5B AMPVDD5	VDD	f_{OSC} = 8, 10 MHz fsys = 1 ~ 40 MHz (Ta = 0 ~ 70 °C)		4.5	−	5.5	V
電源電圧 (電源上昇、下降時) (注 5)	DVDD5B AVDD5B AMPVDD5	VDD	f_{OSC} = 8, 10 MHz fsys = 1 ~ 40 MHz		3.9	−	5.5	V
低レベル入力電圧	シュミット入力	V_{IL}	VDD = 4.5V ~ 5.5V (注 4)		−0.3	−	0.25 × VDD	V
高レベル入力電圧	シュミット入力	V_{IH}	VDD = 4.5V ~ 5.5V (注 4)		0.75 × VDD		VDD+0.3	V
電圧保持用キャパシタ容量(注 3)		C_{out}	VOUT15, VOUT3		3.3	−	4.7	μF
低レベル出力電圧		V_{OL}	I_{OL} = 1.6 mA	VDD ≥ 4.5V (注 4)	−	−	0.4	V
高レベル出力電圧		V_{OH}	I_{OH} = −1.6 mA	VDD ≥ 4.5V (注 4)	4.1	−	−	V
入力リーク電流		I_{LI1}	0.0 ≤ V_{IN} ≤ VDD (注 4)		-5	0.02	5	μA
出力リーク電流		I_{LO}	0.2 ≤ V_{IN} ≤ VDD -0.2 (注 4)		-10	0.05	10	
リセットプルアップ抵抗		R_{RST}	4.5 ≤ VDD ≤ 5.5 (注 4)		−	50	150	kΩ
プログラマブルプルアップ/ダウン抵抗		P_{KH}	4.5 ≤ VDD ≤ 5.5 (注 4)		−	50	150	kΩ
シュミット入力幅		VTH	4.5 ≤ VDD ≤ 5.5 (注 4)		0.3	0.6	−	V
Pin 容量 (電源端子を除く)	デジタル端子	C_{IO1}	fc = 1 MHz		−	−	10	pF
	アナログ兼用端子 PJ6, PJ7, PK0, PK1	C_{IO2}			−	−	30	

注 1)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD5B = AVDD5B = 5V の値です。

注 2)　DVDD5B、AVDD5B は同電位で使用してください。

注 3)　VOUT15 端子と VOUT3 端子は同値の保持用キャパシタを介して GND に接続してください。VOUT15 端子と VOUT3 端子から IC 外部への電源供給はできません。

注 4)　VDD = DVDD5B = AVDD5B

注 5)　電源上昇時(パワーオン時)と電圧検出回路(VLTD)イネーブルでの電源電圧下降時における電圧範囲となります。なお、3.9V ≤ VDD < 4.5V の範囲では 12 ビット A/D コンバータ変換特性および AC 電気的特性は保障外となります。

25.3　DC 電気的特性 (2/2)

DVDD5B = AVDD5B = AMPVDD5 = 4.5 V ~ 5.5 V, Ta = −40 ~ 105 °C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL (注 2) ギア比 1/1	I_{DD}	fsys = 40 MHz	−	15	25	mA
IDLE (注 3) ギア比 1/1			−	5	15	
STOP		−	−	0.1	3	

注 1)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD5B = AVDD5B = 5V の値です。

注 2)　I_{DD} NORMAL の測定条件:

ADコンバータ、オペアンプを除く内蔵周辺機能はすべて動作

注 3)　I_{DD} IDLE の測定条件:

内蔵周辺機能はすべて停止

25.4 12 ビット A/D コンバータ変換特性

DVDD5B = AVDD5B = VREFHB = AMPVDD5 = 4.5 V ~ 5.5 V
DVSSB = AVSSB = VREFLB =AMPVSS = 0V, Ta = −40 ~ 105 °C

項目	記号	条件	Min.	Typ.	Max	単位
アナログ基準電圧(+)	VREFHB	−	−	AVDD	−	V
アナログ入力電圧	VAIN	−	AVSS	−	AVDD	V
消費電流AD変換時	−	IREF を含む	−	6.0	10.0	mA
積分非直線性誤差	−	AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 2 μs	−8	−	8	LSB
微分非直線性誤差			−5	−	5	
オフセット誤差			−5	−	5	
フルスケール誤差			−6	−	6	
総合誤差			−7	−	11	

注1) 1LSB = (AVDD - AVSS)/4096 [V]

注2) AVDD = AVDD5B、AVSS = AVSSB

注3) AD コンバータのみ動作時の特性です。

25.5 オペアンプ特性

DVDD5B = AVDD5B = VREFHB =AMPVDD5 = 4.5 V ~ 5.5 V
DVSSB = AVSSB = VREFLB =AMPVSS = 0V, Ta = −40 ~ 105 °C

項目	記号	条件(注 3)	Min.	Typ.	Max	単位
ゲイン(倍率) (注 1)	VGAIN	−	1.5	−	10	倍
アンプ入力電圧範囲	VAMPIN	−	(AVDD×0.1)/ VGAIN	−	(AVDD×0.9)/ VGAIN	V
総合出力誤差	VAMP	−	−6 × VGAIN	−	+6 × VGAIN	mV
スルーレート	Vthr (注 2)	5pF、VGAIN = 2.5 倍時	2	−	−	V /μs
	Vthf		1	−	−	
消費電流:オペアンプ使用時	−	−	−	4	6	mA

注 1) レジスタ設定により、2.5 倍、3 倍、3.5 倍、4 倍、6 倍、8 倍の選択可。
注 2) オペアンプの出力が AVDD−0.001×AVDD に到達するまでの傾き。
注 3) AVDD = AVDD5B = AMPVDD5 = 4.5 ~ 5.5V、AVSS = AVSSB = AMPVSS = 0V

25.6　AC 電気的特性

25.6.1　AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- 出力レベル: High = 0.8 × VDD、Low = 0.2 × VDD
- 入力レベル: DC 電気的特性の"低レベル入力電圧/高レベル入力電圧"参照
- 負荷容量:　CL=30pF

注)　VDD = DVDD5B = AVDD5B = AMPVDD5

25.6.2　シリアルチャネル (SIO/UART)

25.6.2.1　I/O インターフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1)　SCLK 入力モード

[データ入力]

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	100	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	100	−	
SCLK 周期	t_{SCY}	8x	−	200	−	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t_{SRD}	30	−	30	−	
SCLK 立ち上がり/立ち下がり→ Intput Data 保持(注 1)	t_{HSR}	x + 30	−	55	−	

[データ出力]

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	120 (注 3)	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	120 (注 3)	−	
SCLK 周期	t_{SCY}	8x	−	240	−	
Output Data ← SCLK 立ち上がり/立ち下り(注 1)	t_{OSS}	t_{SCY} / 2 − 3x − 45	−	0 (注 2)	−	
SCLK 立ち上がり/立ち下り(注 1) → OutputData 保持	t_{OHS}	t_{SCY} / 2	−	120	−	

注 1)　SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2)　計算値がマイナスにならない範囲の SCLK 周期で使用して下さい。

注 3)　t_{OSS} がマイナスにならない最小値を示しています。

(2) SCLK 出力モード

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
SCLK 周期(プログラマブル)	t_{SCY}	2x	−	100	−	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	t_{SCY} / 2 − 30	−	20	−	
SCLK 立ち上がり→ Output Data 保持	t_{OHS}	t_{SCY} / 2 − 30	−	20	−	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	−	45	−	
SCLK 立ち上がり→ Input Data 保持	t_{HSR}	0	−	0	−	

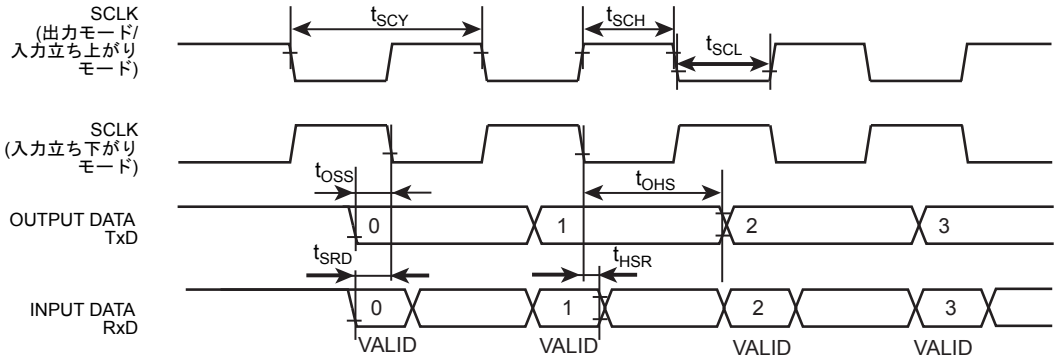


図25-1 シリアルチャネルタイミング(SIO)

25.6.3 シリアルバスインターフェース (I2C/SIO)

25.6.3.1 I2C モード

表中の x は I2C/SIO の動作クロックの周期を表します。I2C/SIO の動作クロックは、システムクロックfsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min.	Max	Min.	Max	Min.	Max	
SCL クロック周波数	t_{SCL}	0	−	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;\ STA}$	−	−	4.0	−	0.6	−	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	−	−	4.7	−	1.3	−	μs
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	−	−	4.0	−	0.6	−	μs
再スタートコンディション セットアップ時間	$t_{SU;\ STA}$	(注 5)	−	4.7	−	0.6	−	μs
データ保持時間(入力) (注 3, 4)	$t_{HD;\ DAT}$	−	−	0.0	−	0.0	−	μs
データセットアップ時間	$t_{SU;\ DAT}$	−	−	250	−	100	−	ns
ストップコンディションセットアップ時間	$t_{SU;\ STO}$	−	−	4.0	−	0.6	−	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	(注 5)	−	4.7	−	1.3	−	μs

注 1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58) \times x$

注 2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 14) \times x$

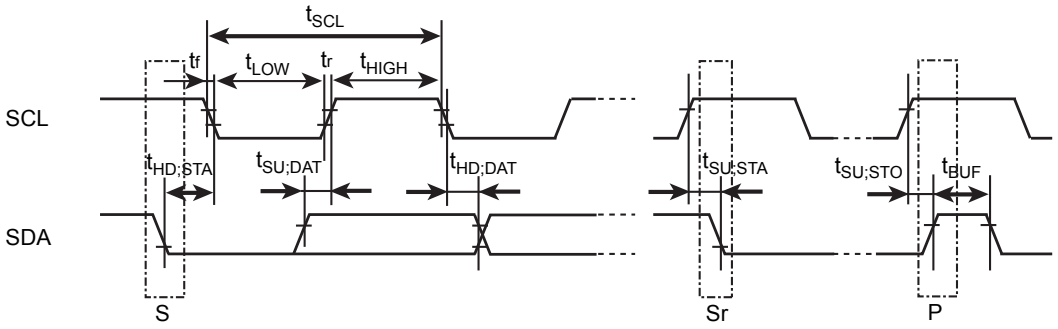
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意願います。

注 3)　データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4)　フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5)　ソフトウェアに依存します。

注 6)　フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

図25-2 シリアルバスタイミング（I2C）

25.6.3.2 クロック同期式 8 ビット SIO モード

x は I2C/SIO の動作クロックの周期を表します。I2C/SIO の動作クロックは、システムクロック fsysと同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SCK 入力モード(SCK信号デューティ 50%の場合)

項目		記号	計算式		40 MHz		単位
			Min.	Max	Min.	Max	
SCK クロック High 幅(入力)		t_{SCH}	4x	−	100	−	ns
SCK クロック Low 幅(入力)		t_{SCL}	4x	−	100	−	
SCK 周期		t_{SCY}	$t_{SCH} + t_{SCL}$	−	200	−	
Output Data	←SCK 立ち上がり	t_{OSS}	$t_{SCY} / 2 - 3x - 45$	−	−20 (注)	−	
SCK 立ち上がり	→Output Data 保持	t_{OHS}	$t_{SCY} / 2 + x$		-125	−	
有効 Data 入力	←SCK 立ち上がり	t_{SRD}	30 − x		-5	−	
SCK 立ち上がり	→Input Data 保持	t_{HSR}	30	−	30	−	

注) 計算式によりマイナス値となる場合は、シリアルクロックを落としてください。

(2) SCK 出力モード(SCK信号デューティ 50%の場合)

項目		記号	計算式		40 MHz		単位
			Min.	Max	Min.	Max	
SCK 周期 (プログラマブル)		t_{SCY}	16x	−	400	−	ns
Output Data	←SCK 立ち上がり	t_{OSS}	$t_{SCY} / 2 - 30$	−	170	−	
SCK 立ち上がり	→Output Data		$t_{SCY} / 2 - 30$		170	−	
有効データ入力	←SCK 立ち上がり		45		45	−	
SCK 立ち上がり	→Input Data 保持	t_{OHS}	0	−	0	−	

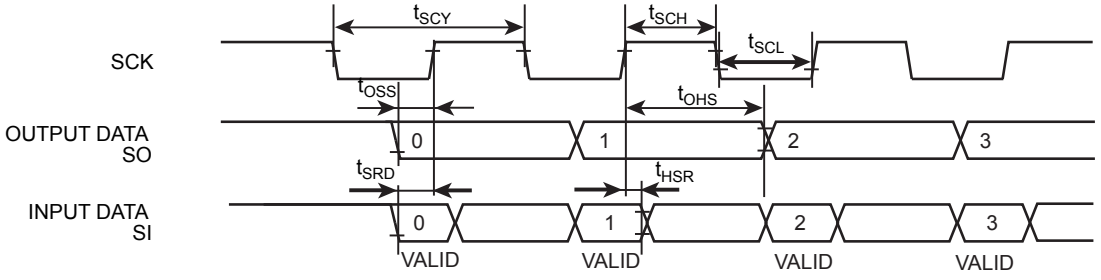


図25-3 シリアルバスタイミング（SIO）

25.6.4　イベントカウンタ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	150	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	150	−	ns

25.6.5　キャプチャ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
低レベルパルス幅	t_{CPL}	2x + 100	−	150	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	150	−	ns

25.6.6　外部割り込み

表中の x はシステムクロック fsys の周期を表します。

1. STOP 解除割り込み以外

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
INT6,7,C 低レベルパルス幅	t_{INTAL}	x + 100	−	125	−	ns
INT6,7,C 高レベルパルス幅	t_{INTAH}	x + 100	−	125	−	ns

2. STOP 解除割り込み

項目	記号	計算式		40 MHz		単位
		Min.	Max	Min.	Max	
INT6,7,C 低レベルパルス幅	t_{INTBL}	100	−	100	−	ns
INT6,7,C 高レベルパルス幅	t_{INTBH}	100	−	100	−	ns

25.6.7 デバッグ通信

25.6.7.1 AC 測定条件

- 出力レベル: High = 0.7 × DVDD5, Low = 0.3 × DVDD5
- 負荷容量: TRACECLK CL = 25pF、TRACEDATA CL = 20pF

25.6.7.2 SWD インタフェース

項目	記号	Min.	Max	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立上がり → 出力データ保持	T_{d1}	4	–	
CLK 立上がり → 出力データ有効	T_{d2}	–	45	
入力データ有効 → CLK 立上がり	T_{ds}	20	–	
CLK 立上がり → 入力データ保持	T_{dh}	15	–	

25.6.7.3 JTAG インタフェース

項目	記号	Min.	Max	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立下がり → 出力データ保持	T_{d3}	4	–	
CLK 立下がり → 出力データ有効	T_{d4}	–	45	
入力データ有効 → CLK 立上がり	T_{ds}	20	–	
CLK 立上がり → 入力データ保持	T_{dh}	15	–	

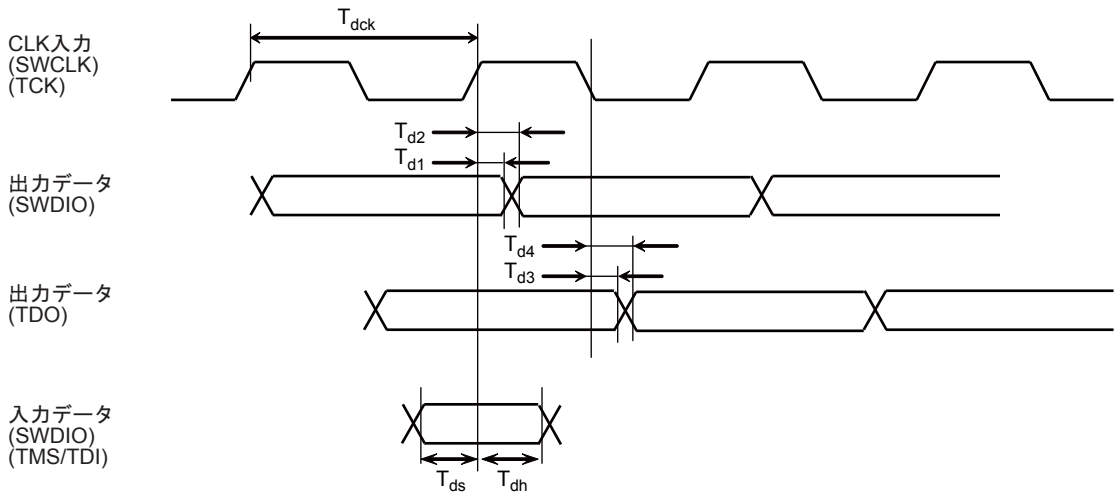


図25-4 JTAGとSWDの通信タイミング

25.6.8　Flash 特性

項目	条件	Min.	Typ.	Max	単位
フラッシュメモリ 書き込み/消去回数	Ta = 0 to 70°C VDD5B = AVDD5B = AMPVDD5 = 4.5 to 5.0	−	−	100	回

25.6.9　内蔵発振回路特性

DVDD5B = AVDD5B = AMPVDD5 = 4.5 ～ 5.5 V
DVSSB = AVSSB = AMPVSS = 0V

項目	記号	条件	Min.	Typ.	Max	単位
発振周波数	fosc2	Ta = -40 to 105°C	9.4	9.7	10	MHz

注)　工場出荷時の値です。

25.6.10　外部発振子

DVDD5B = AVDD5B = AMPVDD5 = 4.5 ～ 5.5 V
DVSSB = AVSSB = AMPVSS = 0V

項目	記号	条件	PLL 逓倍	Min.	Typ.	Max	単位
高周波発振	fosc1	Ta = -40 to 105°C	5	7.92	8	8.08	MHz
			4	9.9	10	10.1	

25.7 発振回路

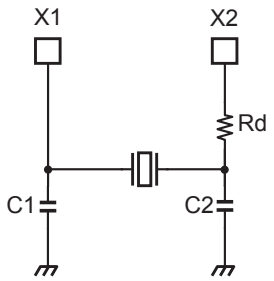


図 25-5 高周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

25.7.1 セラミック発振子

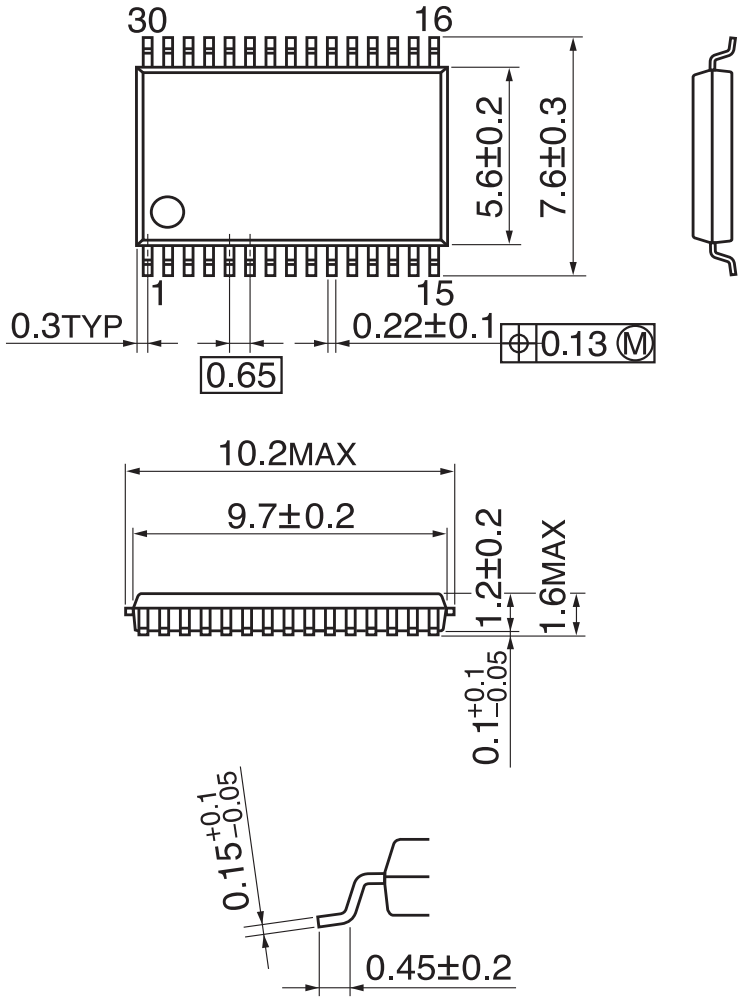
本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

第 26 章　パッケージ寸法図

パッケージ型名: SSOP30-P-300-0.65

Unit : mm



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- **本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。**
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。