

1.6kW サーバー用電源

デザインガイド

RD001-DGUIDE-02

東芝デバイス&ストレージ株式会社

目次

1. はじめに	3
1.1. 搭載パワーMOSFET	3
2. 回路設計	5
2.1. ACライン回路設計	5
2.2. PFC回路設計.....	7
2.3. フェイズシフトフルブリッジ(PSFB)回路設計.....	12
2.4. ORing回路設計	17
3. PCB設計	18
3.1. PWBパターン設計	18
3.2. PFC回路パターン設計	19
3.3. PSFB回路パターン設計	22
3.4. 部品配置(熱設計).....	26

1. はじめに

本デザインガイドは、1.6kW サーバ用電源(以下、本電源)の各種回路、レイアウトの設計方法を記載したドキュメントです。本電源の仕様、使用方法、特性データはリファレンスガイドをご参照ください。

回路図中に部品番号が表記されていても、部品表上「Not Mounted」となっている部品は本電源では使用していません。実回路設計時の定数調整用として部品実装スペースを確保しています。

1.1. 搭載パワーMOSFET

当社では、AC-DCコンバータの一次側(PFC・メインスイッチ)に適した600/650V系DTMOSIVシリーズ、二次側(同期整流部・ORing)に適した低耐圧系U-MOSVIII/IXシリーズを製品化しています。下図の通り豊富なラインアップを有し、設計仕様に応じ最適な製品を選択頂けます。本電源で採用している製品について紹介します。

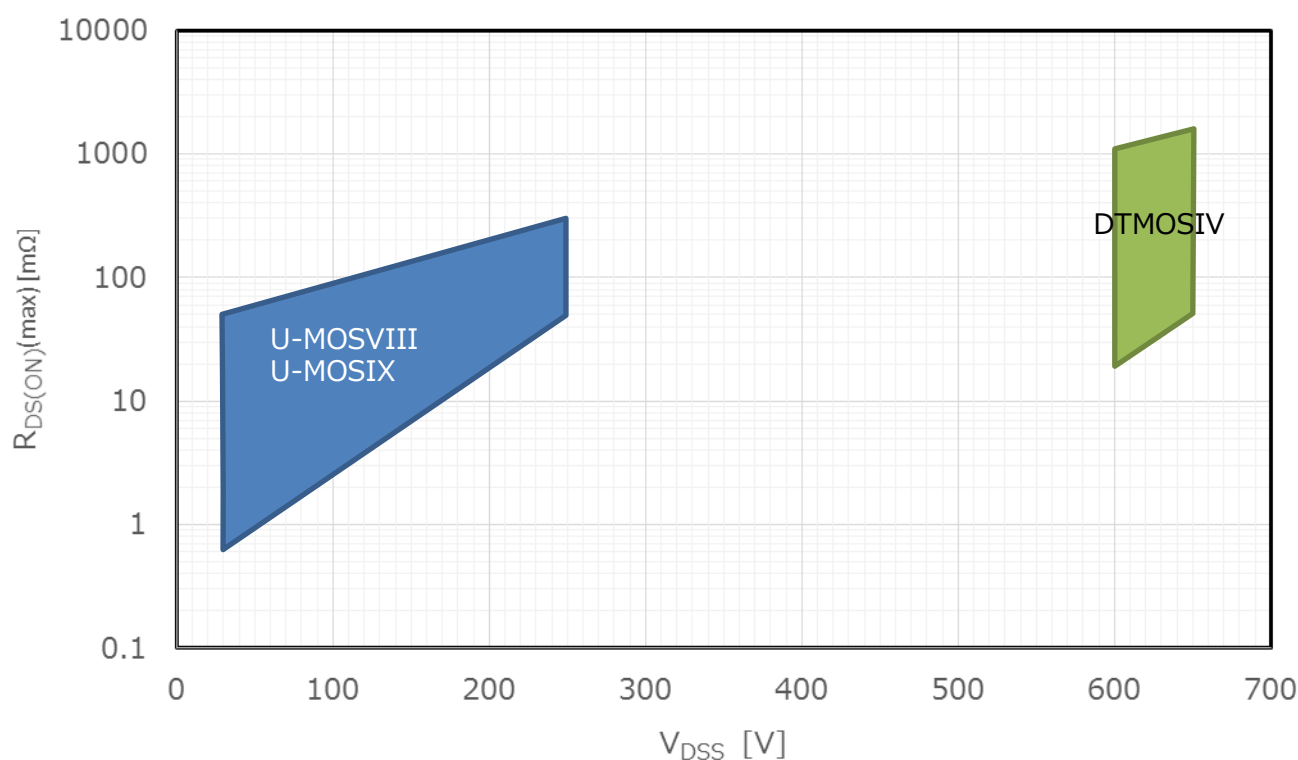


図 1.1.1 U-MOSVIII/IX、DTMOSIV 製品ラインアップ範囲

TK25N60X

セミブリッジレス PFC 回路部に搭載

$V_{DSS} = 600 \text{ V}$ 、 $R_{DS(ON)}@V_{GS}=10\text{V(max)} = 125 \text{ m}\Omega$ 、TO-247 パッケージ

高速スイッチング可能な DTMOSIV-H プロセス品、スイッチングロスの低減を実現

TK25N60X5

フェイズシフトフルブリッジ(PSFB)回路一次側に搭載

$V_{DSS} = 600 \text{ V}$ 、 $R_{DS(ON)}@V_{GS}=10\text{V(max)} = 140 \text{ m}\Omega$ 、TO-247 パッケージ

高速内蔵ダイオードプロセス品、逆回復動作時の損失低減を実現

TPH3R70APL

PSFB 回路二次側同期整流部に搭載

$V_{DSS} = 100 \text{ V}$ 、 $R_{DS(ON)}@V_{GS}=10\text{V(max)} = 3.7 \text{ m}\Omega$ 、SOP Advance パッケージ

最新の U-MOSIX-H プロセス品、同期整流動作における損失低減を実現

TPHR9003NC

出力部 ORing 回路に搭載

$V_{DSS} = 30 \text{ V}$ 、 $R_{DS(ON)}@V_{GS}=10\text{V(max)} = 0.9 \text{ m}\Omega$ 、SOP Advance パッケージ

低オン抵抗特性の U-MOSVIII プロセス品、ORing 回路における損失低減を実現

2. 回路設計

本電源の回路設計のポイントを記載します。

2.1. ACライン回路設計

本項では、本電源のACラインの設計に関して説明します。本電源のACラインの回路は、以下の通りです。

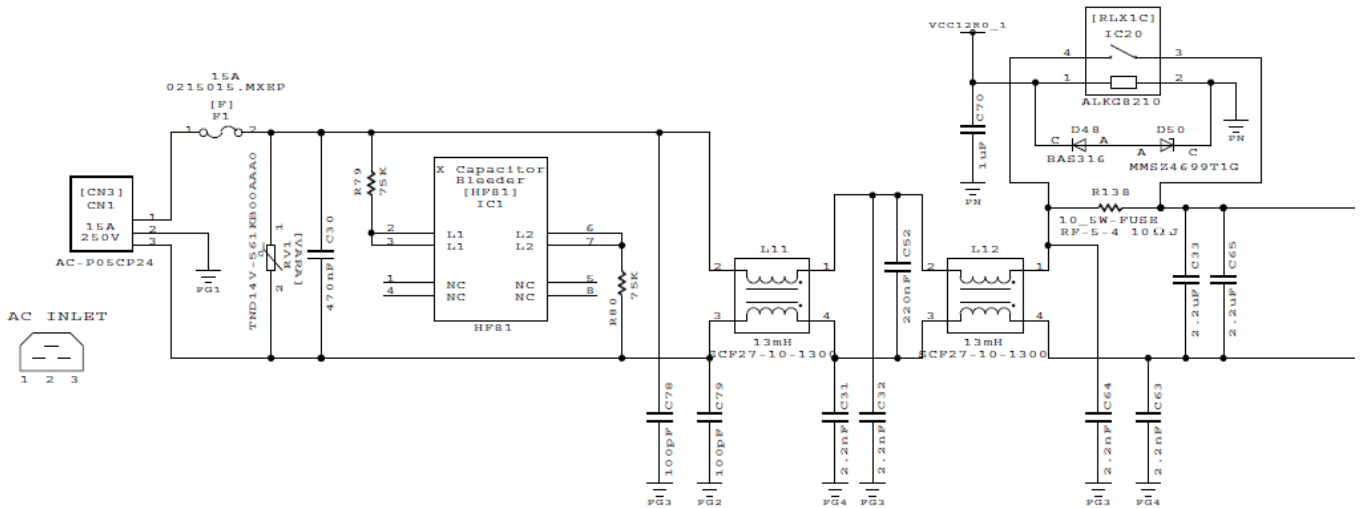


図 2.1.1 ACライン回路

ヒューズ

ACラインに異常電流が流れた際に、ACラインを遮断するためのヒューズ(F1)を実装しています。ACラインの最大電流値からヒューズを選定します。ACライン入力電流最大値の実効値は以下の式で算出されます。

$$\text{ACライン入力電流最大値} = \text{最大電力} / \text{電源効率} / \text{力率} / \text{入力電圧実効値}(\text{min})$$

本電源は、入力がAC200V系のときは1.6kW出力、AC100V系のときは800W出力の仕様です。もし、入力電圧によってPFCの電源効率が変わらなければ、ACライン入力電流最大値は、入力電圧に関わらず同じ値となります。しかし、一般的にPFCの電源効率は、入力電圧が低いと低くなるため、ACライン最大電流値を算出する際は、入力電圧が100V系のmin値の90Vで考えます。

入力電圧(min実効値)=90V、最大電力=800W、電源効率=90%、力率=0.99とすると、本電源のACライン最大電流値は、約10Aです。本電源では、マージンを考慮して、15Aのヒューズを使用しています。ヒューズ選定時は、上記最大電流に加え、AC電源投入時の突入電流、対応すべき安全規格を取得した製品であるか等も考慮する必要があります。

バリスタ

ACラインに誘導雷等によるサージ電圧が印加された際に、システムを保護するためのセラミックバリスタ(RV1)を実装しています。バリスタは使用するACラインの電圧値に基づいて選定を行います。本電源の場合、ACライン最大電圧は実効値で264V、瞬時値で373Vであるため、これらの電圧にマージンを考慮して、最大許容回路電圧350V(AC)、バリスタ電圧560Vのバリスタを使用しています。バリスタ選定時は、上記電圧定格に加え、サージ電流耐量、エネルギー耐量等を考慮する必要があります。また、バリスタの故障モードはショートモードとなることが多いため、バリスタ実装時は前段(AC入力側)へのヒューズ実装を推奨致します。

Xコンデンサ放電 IC

AC 入力切断された際、感電の危険がないように、Xコンデンサ(C30, C33, C52, C65)に蓄えられた電荷を速やかに放電する必要があります。本電源では、Xコンデンサ放電用 ICとして、HF81 を実装しています。本 IC は、AC 電源が供給されている時に放電経路を遮断するため、システムの省電力化を実現します。AC 電源喪失時、本 IC と本 IC の外付け抵抗 (R79, R80) とで構成される回路により、1 秒以内に Xコンデンサの電圧が初期値の 37% 以下となるよう、Xコンデンサに蓄えられた電荷を放電することができます。本電源は、約 5 μ F の Xコンデンサが実装されているため、5 μ F を放電するのに必要な外付け抵抗 (75k Ω × 2 個) を実装しています。なお、ノイズ対策等で、Xコンデンサを変更する際は、本 IC に接続する外付け抵抗値の変更が必要な場合があります。また、コストダウンのため、本 IC を放電用抵抗に変更することも可能です。しかしながら、その場合、AC 接続時は常時放電用抵抗による電力損失が発生しますので、システムの省電力要求を満足するか、確認する必要があります。

EMI 対策部品

コモンモードノイズ対策として、Yコンデンサ(C31, C32, C78, C79, C63, C64)、コモンモードチョーク(L11, L12)を、ディファレンシャルノイズ対策として Xコンデンサ(C30, C33, C52, C65)を実装しています。ノイズレベルは基板レイアウト、筐体設計の影響を受けます。必要に応じて上記部品を変更、削除、追加してください。なお、Yコンデンサの容量を大きくすると、漏洩電流が増加しますので、システムが要求される安全規格を満足するか確認する必要があります。

突入電流対策部品

AC 電源投入時の突入電流を抑制するため、ヒューズ内蔵抵抗(R138)とリレー(IC20)を実装しています。正しい手順で本電源を起動した場合、AC 電源投入時にリレー回路はオフしており、電流はヒューズ内蔵抵抗(10 Ω)経由で流れるため、突入電流を抑制することが可能です。リレー回路は、AC 電源投入後に、外部から供給される 1 次側 12V 電源供給を検知して、オンする仕様となっています。リレー回路がオンすると、より抵抗の低いリレーを経由して電流が流れるため、動作時の電力ロスを低減することができます。リレーをオン・オフする条件、タイミングが、システムの要求仕様を満足しているか、確認する必要があります。

1 次側 12V 電源、2 次側 12V 電源

本電源では、12V 電源は外部から供給する仕様となっています。システムの要求仕様により、1 次側、2 次側 12V 電源を AC ラインから生成する必要がある場合、オフラインコンバーターなどを用いて生成する必要があります。

2.2. PFC 回路設計

本電源では、PFC 回路を高効率化するために、Texas Instruments 社製コントローラ UCC28070A を用いたセミブリッジレス PFC 回路構成を採用しています。以下に、本電源のセミブリッジレス PFC 回路の、基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、Texas Instruments 社製 UCC28070A のデータシート、アプリケーションノートなどをご参照ください。また、本電源の詳細仕様に関しては、リファレンスガイドをご参照ください。

SPICE 上で PFC 回路部の動作確認が可能な回路情報「RD001-SPICE01」を提供しています。必要に応じ本ファイルをご活用ください。尚、シミュレーション実施にあたり Max Step サイズを初期設定と異なる任意の値へ変更可能ですが、その際は計算時間が長くなることがあります。

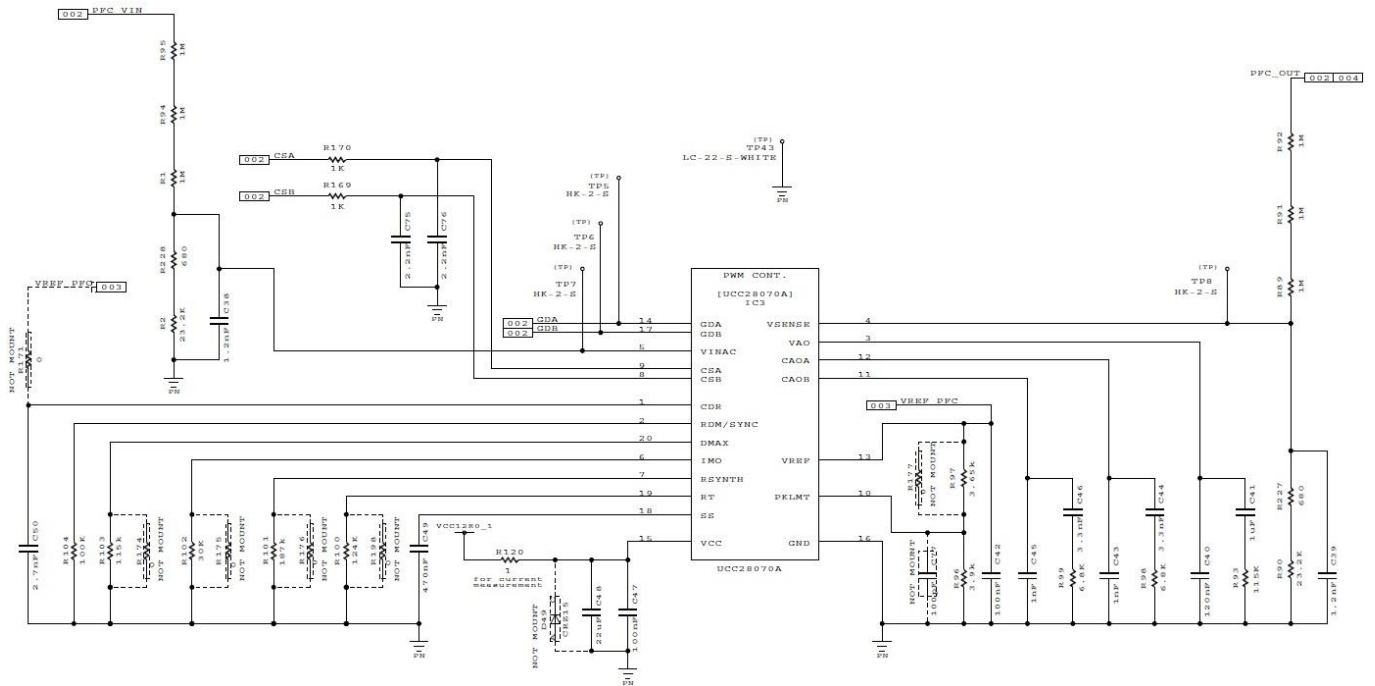


図 2.2.1 PFC 回路 1(コントローラ周辺)

出力電圧

PFC 回路の出力電圧 PFC_OUT は、外付け抵抗 R89, R90, R91, R92, R227 によって設定することができます。出力電圧は、上記抵抗で分割された出力端子センス電圧 VSENSE と PFC コントローラ UCC28070A の内部参照電圧 (3.0V) を比較することで制御されます。出力電圧設定値は以下の式で算出されます。

$$PFC_OUT(V) = \frac{3.0 \times (R89 + R91 + R92 + R227)}{(R90 + R227)}$$

なお、PFC 回路の出力電圧を変更する際は、AC ライン電圧測定用の抵抗 R1, R2, R94, R95, R228 も同様の値に変更する必要があります。PFC 回路の出力電圧の初期設定は R90=R2=23.2kΩ, R227=R228=680Ω, R1=R89=R91=R92=R94=R95=1MΩ となっており、約 380V です。必要に応じて上記抵抗値を変更し、所望の出力電圧値に設定してください。

スイッチング周波数

PFC 回路のスイッチング周波数 f_{PWM} は、外付け抵抗 R100 によって設定することができます。スイッチング周波数は以下の式で算出されます。

$$f_{PWM}(\text{kHz}) = \frac{7500}{R100(\text{k}\Omega)}$$

スイッチング周波数の初期設定は、R100=124kΩとなっており、約 60kHz です。必要に応じて R100 の抵抗値を変更し、所望の周波数に設定してください。

ソフトスタート

PFC 回路のソフトスタート時間は、外付けコンデンサ C49 によって設定することができます。設定値は以下の式によって算出されます。

$$T_{SS}(\text{s}) = C49 \times \frac{2.25(\text{V})}{10(\mu\text{A})}$$

ソフトスタート時間の初期設定は、C49 = 470nF となっており、約 106ms です。必要に応じて C49 の容量値を変更し、所望のソフトスタート時間に設定してください。ソフトスタート期間中にカレントリミッタが作動しないこと、ホールドアップ期間後の再スタート時に、出力電圧が正常範囲に回復することを確認する必要があります。

シミュレーション回路による確認結果例を記載します。図 2.2.2 は上記の通り C49=470nF の時のシミュレーション結果、図 2.2.3 は C49 を 220nF に変更した時のシミュレーション結果です。C49 変更に伴いソフトスタート時間が変わっていることが分かります。

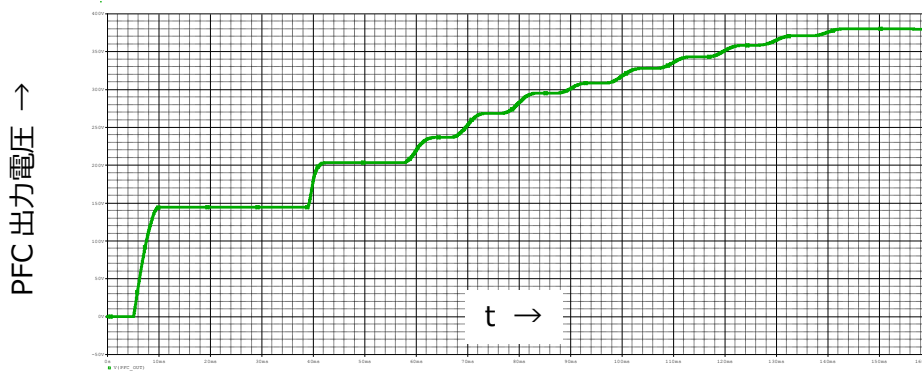


図 2.2.2 C49=470nF 時のシミュレーション結果

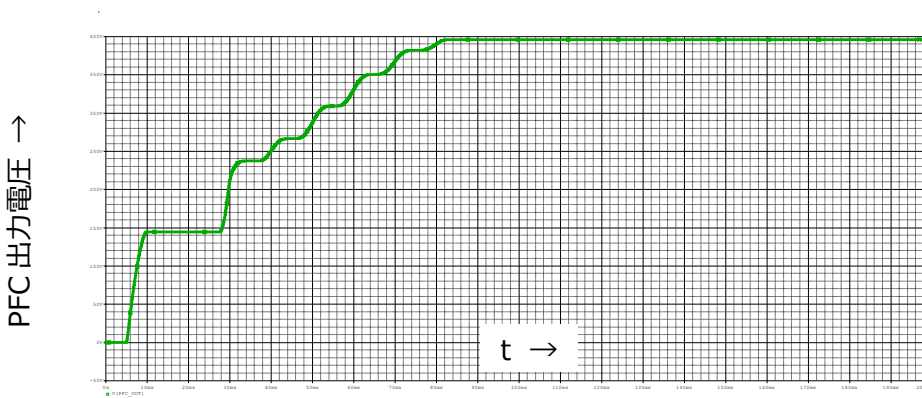


図 2.2.3 C49=220nF 時のシミュレーション結果

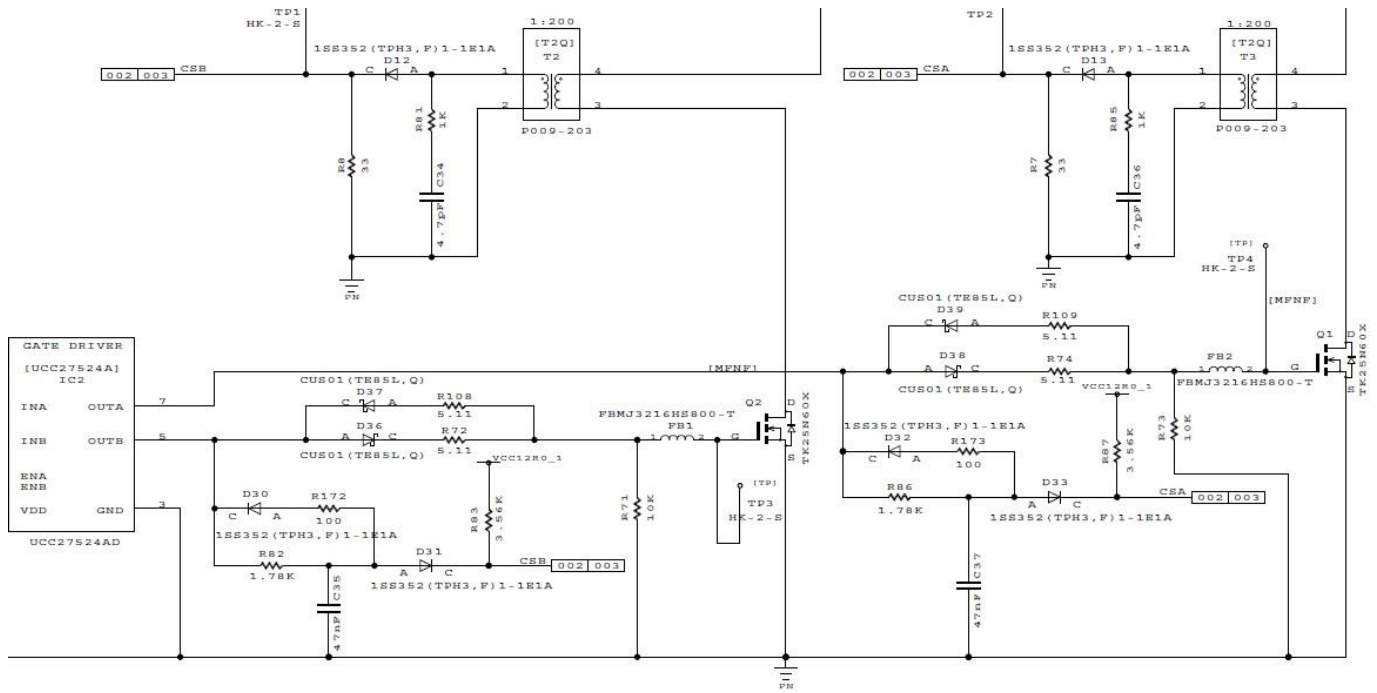


図 2.2.4 PFC 回路 2(パワー-MOSFET 周辺)

カレントリミッタ

PFC 回路のカレントリミッタは、カレントランス(T2,T3)、電流検出抵抗(R7, R8)、しきい値設定抵抗(R96,R97)によって設定することができます。電流がしきい値に到達すると、UCC28070A はゲートドライブ用信号(GDA, GDB)を Disable にします。カレントリミットレベルは、以下の式によって算出されます。

$$I_{\text{limit}} = \left(\frac{\text{POUT} \times \sqrt{2}}{\text{efficiency, } \eta(\%) \times \text{VinAC}} \right) \times \text{マージン}$$

カレントリミットレベルの初期設定は、VinAC=90V の場合、POUT=800W、効率=90%、 $\Delta I = 4.45\text{A}$ 、マージン=1.2 とすると 18.78A となっています。必要に応じて上記値を変更し、所望の電流値に設定してください。

ゲート駆動回路

ゲート駆動回路の設計は、電源効率と EMI ノイズに影響を与えます。一般的に、電源効率と EMI ノイズはトレードオフの関係にあるため、両者のバランスを取った設計を行う必要があります。EMI ノイズを低減する必要がある場合は、ゲート直列抵抗(R72,R74,R108,R109)を大きな値に変更して、ノイズの確認を行うことを推奨します。本電源のゲート駆動回路は、FET のターンオンスピードとターンオフスピードを、個別に調整できる回路構成となっています。事前の確認で、ノイズ源が FET のターンオン、或いはターンオフどちらの期間で発生しているか判明している場合、全ての抵抗を変更する必要はありません。ターンオン時のノイズが問題である場合は R72,R74 を、ターンオフ時のノイズが問題である場合は R108,R109 を変更することで、EMI ノイズを低減できる可能性があります。なお、ゲート直列抵抗を大きな値に変更すると、FET のスイッチングスピードが低下するため、電源効率の悪化が懸念事項となります。ゲート直列抵抗を変更する場合は、システムに要求される電源効率性能や、放熱性能が満足できていることを確認する必要があります。また、ターンオン、ターンオフどちらかみの調整で EMI ノイズ対策が可能な場合、両方を遅らせる対策と比較して、システムの電源効率への悪影響を低減できる可能性があります。

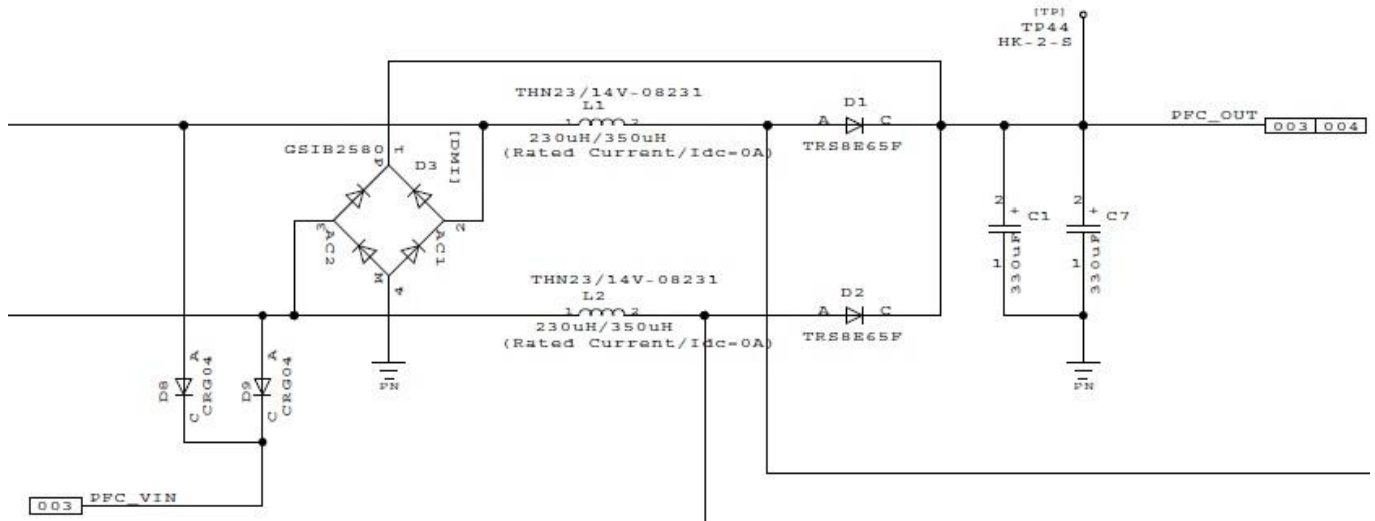


図 2.2.5 PFC 回路 3(ブリッジダイオード、インダクタ周辺)

ブリッジダイオード

整流ダイオードには、ブリッジダイオード(D3)を使用しています。本電源は、セミブリッジレス PFC 回路構成となっておりますので、本ダイオードの 2 ピン-1 ピン間ダイオード、及び 3 ピン-1 ピン間ダイオードは、電源起動時の整流動作にのみ寄与し、それ以降の動作には寄与しません。本ブリッジダイオード(D3)を、ハーフブリッジダイオードと表面実装タイプのダイオードに変更することも可能です。表面実装タイプのダイオード使用時は、突入電流をサポートできる定格の製品を選択する必要があります。

出力コンデンサ

出力コンデンサ(C1,C7)の容量値は、ホールドアップタイム要件に基づいて算出しています。ホールドアップタイム T_{hold} は、出力コンデンサの容量を C_{out} 、出力電圧を V_{out_PFC} 、出力電圧の下限電圧を V_{min} 、最大出力電力を P_{out} とすると、以下の式で算出されます。

$$T_{hold} = C_{out} \times \frac{(V_{out_PFC}^2 - V_{min}^2)}{2 \times P_{out}}$$

初期設定は、 $C_{out} = 660\mu F$ 、 $V_{out_PFC} = 380V$ 、 $V_{min} = 280V$ 、 $P_{out} = 1600W$ で、ホールドアップタイムは 13.6ms となります。システムに要求されるホールドアップタイムを満足できるよう、出力コンデンサの容量を調整願います。また、出力リップル仕様が要求された場合は、出力リップル仕様を満たすのに必要な容量を算出し、ホールドアップタイムを満足する容量と比較し、大きい容量値を使用する必要があります。また、コンデンサ選定時には、公差や経年劣化を考慮する必要があります。

インダクタ

インダクタ(L1,L2)の選定は、インダクタのリップル電流 ΔI を、AC ラインのピーク入力電流値(AC_{in_peak})の 30%に設定することとし、入力電圧を V_{inAC} 、PFC 出力電圧を V_{out_PFC} 、スイッチング周波数を F 、PFC の電力変換効率を η とすると、インダクタ値は以下の通り計算することができます。

$$AC_{in_peak} = \frac{P_{out} \times \sqrt{2}}{V_{inAC} \times \eta}$$

$$\Delta I = AC_{in_peak} \times 30\%$$

$$L = \sqrt{2} \times V_{inAC} \times \frac{(V_{out_PFC} - V_{inAC})}{V_{out_PFC} \times \Delta I \times F}$$

本電源では、 $V_{inAC} = 90V$, $V_{out_PFC} = 380V$, $F=60kHz$, $P_{out}=900W$, $\eta=90\%$ とすると、 $L = 343\mu H$ となりますので、 $350\mu H$ を使用しています。

また、インダクタに流れるピーク電流 I_{L_peak} は、以下の通り算出できます。

$$I_{L_peak} = AC_{in_peak} + \frac{\Delta I}{2}$$

$AC_{in_peak} = 15.7A$, $\Delta I=4.7A$ ですので、 $I_{L_peak}=18.1A$ となります。よって、インダクタは $18.1A$ 以上流せるものを選択します。

2.3. フェイズシフトフルブリッジ(PSFB)回路設計

本電源では、セミアブリッジレス PFC 回路の後段で 12V 出力を生成しています。広範囲な負荷領域で Zero Volt Switching(ZVS)動作が可能な、Texas Instruments 社製コントローラ UCC28950 を用いることで、電源効率の向上を図っています。以下に、本電源の PSFB 回路の、基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、Texas Instruments 社製 UCC28950 のデータシート、アプリケーションノートなどをご参照ください。また、本電源の詳細仕様に関してはリファレンスガイドをご参照ください。

SPICE 上で PSFB 回路部の動作確認が可能な回路情報「RD001-SPICE02」を提供しています。必要に応じ本ファイルをご活用ください。尚、シミュレーション実施にあたり Max Step サイズを初期設定と異なる任意の値へ変更可能ですが、その際は計算時間が長くなることがあります。

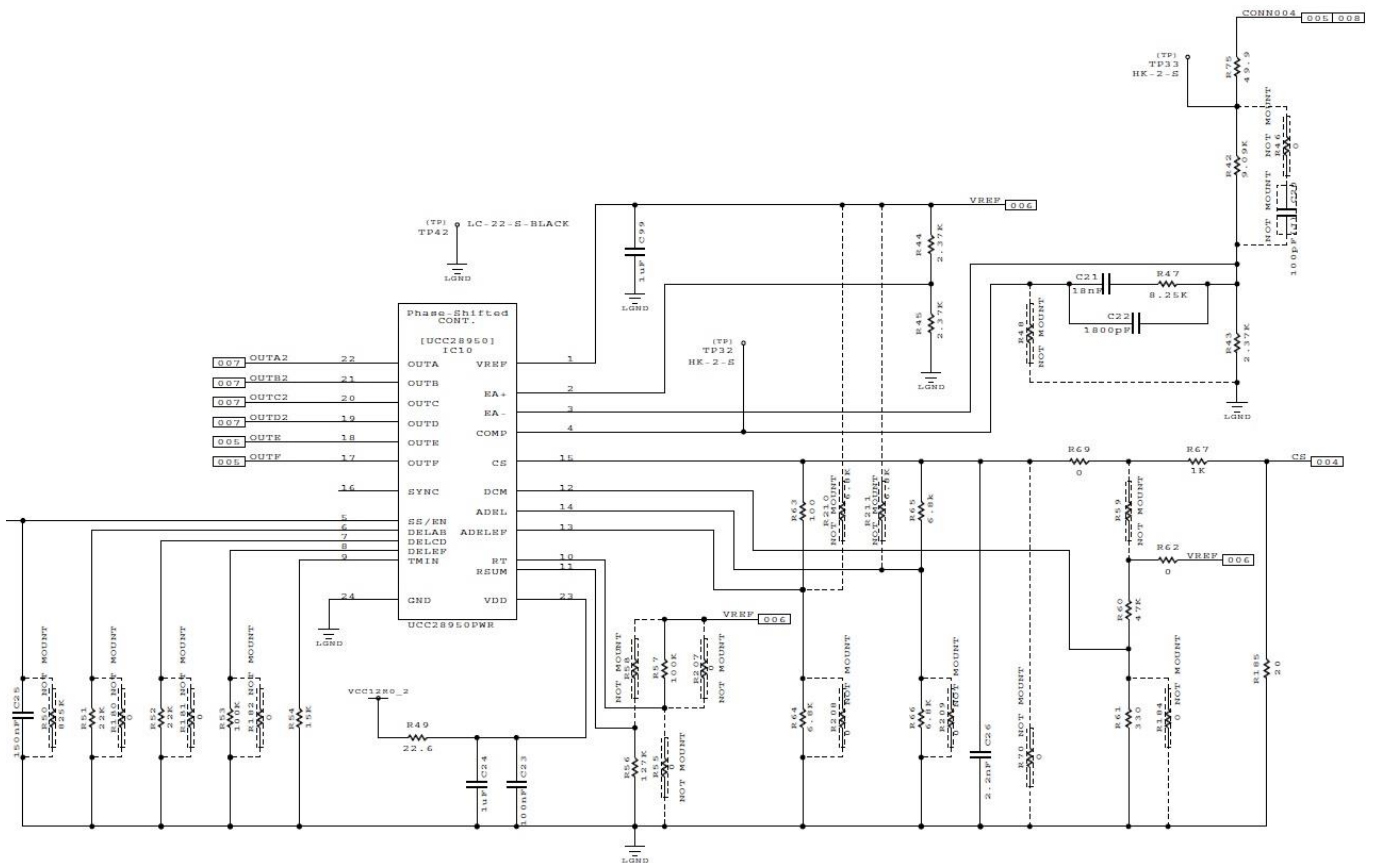


図 2.3.1 PSFB 回路 1(コントローラ周辺)

出力電圧

PSFB 回路の出力電圧 V_{OUT} は、外付け抵抗 R_{42} , R_{43} , R_{44} , R_{45} , R_{75} によって設定することができます。設定値は、上記抵抗と、PFC コントローラ UCC28950 の電圧設定用内部電圧 ($V_{REF}=5.0V$) によって以下式で算出されます。

$$V_{OUT}(V) = \frac{V_{REF}(V) \times R_{45} \times (R_{43} + R_{42} + R_{75})}{(R_{44} + R_{45}) \times R_{43}}$$

PSFB 回路の出力電圧の初期設定は $R_{42}=9.09k\Omega$, $R_{43}=R_{44}=R_{45}=2.37k\Omega$, $R_{75}=49.9\Omega$ となっており、12.14V です。必要に応じて上記抵抗値を変更し、所望の出力電圧値に設定してください。

シミュレーション回路による確認結果例を記載します。図 2.3.2 は上記の通り $R_{44}=2.37k\Omega$ の時のシミュレーション結果、図 2.3.3 は R_{44} を $2.2k\Omega$ に変更した時のシミュレーション結果です。 R_{44} 変更に伴い出力電圧が変わっていることが分かります。

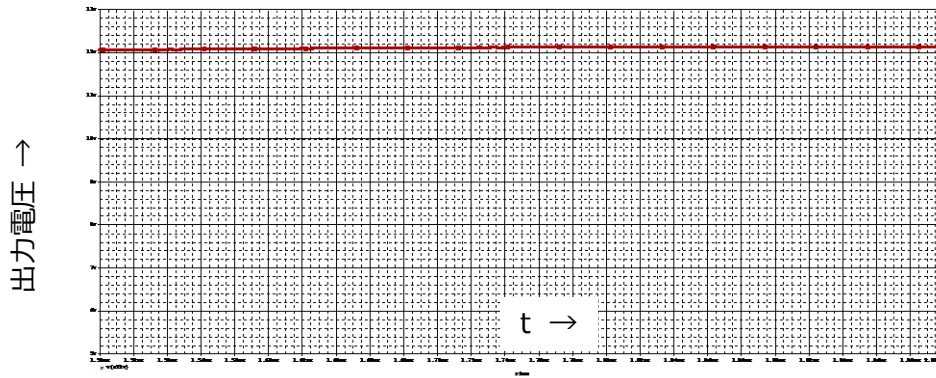


図 2.3.2 R44=2.37kΩ時のシミュレーション結果

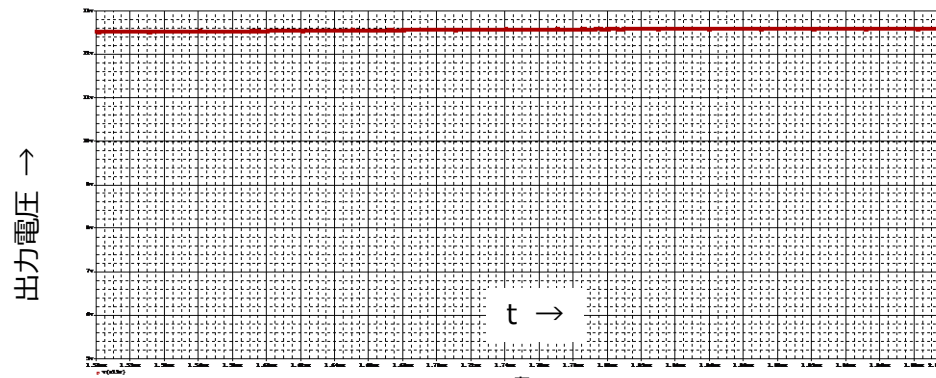


図 2.3.3 R44=2.2kΩ時のシミュレーション結果

スイッチング周波数

PSFB 回路のスイッチング周波数 f_{PWM} は、外付け抵抗 R57 によって設定することができます。スイッチング周波数は以下の式で算出されます。

$$f_{\text{PWM}}(\text{kHz}) = \frac{2.5 \times 10^3}{\left(\frac{R57(\text{k}\Omega)}{V_{\text{REF}}(\text{V}) - 2.5} + 1 \right)}$$

スイッチング周波数の初期設定は、R57=100k Ω となっており、60.98kHz です。必要に応じて上記抵抗値を変更し、希望の周波数に設定してください。

ソフトスタート

PSFB 回路のソフトスタート時間は、外付けのコンデンサ C25 によって設定することができます。設定値は以下の式によって計算することができます。

$$T_{\text{SS}}(\text{s}) = \frac{C25(\mu\text{F}) \times \left(\frac{V_{\text{REF}}(\text{V}) \times R45}{R44 + R45} + 0.55 \right)}{25}$$

ソフトスタート時間の初期設定は、C25 = 150nF となっており、18.3ms です。必要に応じて C25 の容量値を変更し、希望のソフトスタート時間に設定してください。ソフトスタート期間中に、カレントリミッタが作動しないことを確認する必要があります。

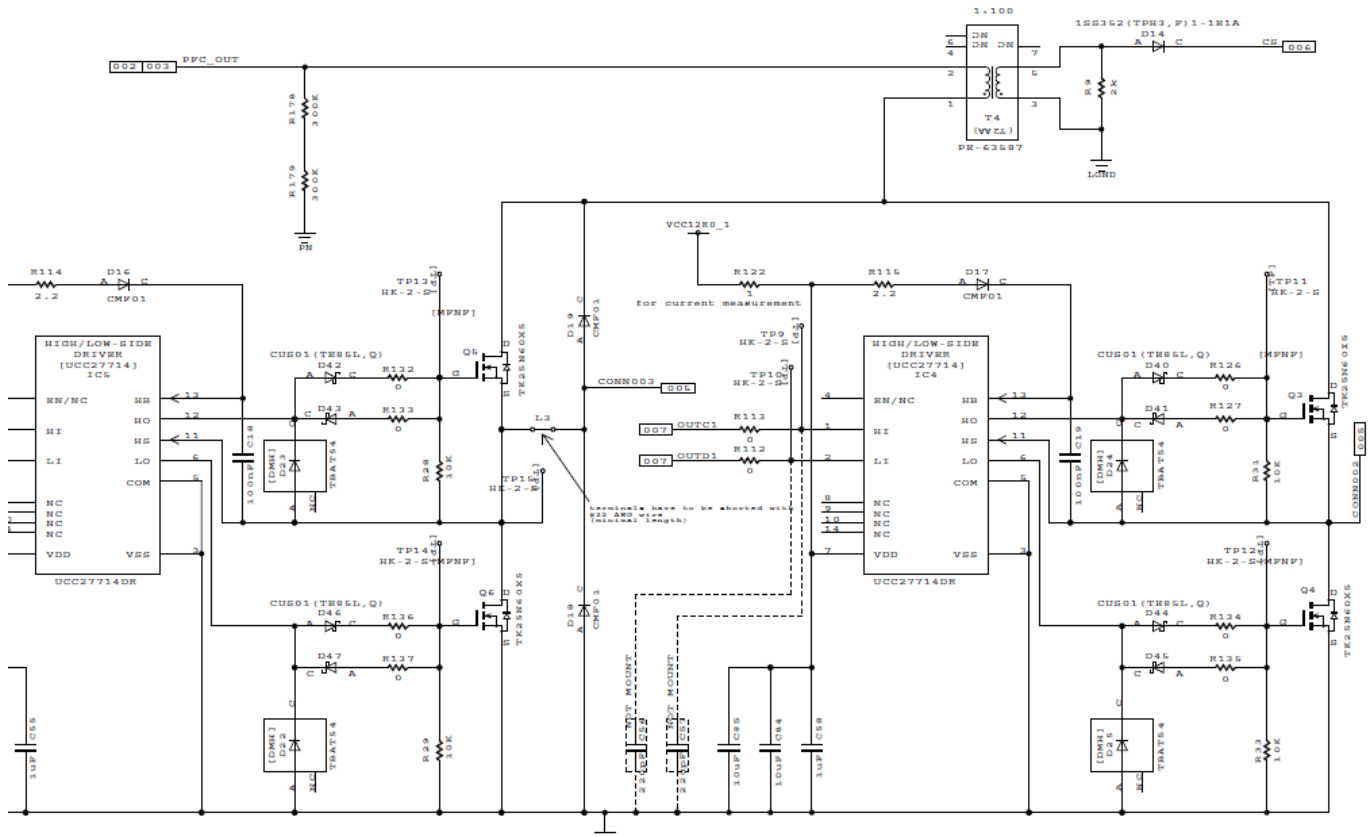


図 2.3.4 PSFB 回路 2(1 次側 MOSFET 周辺)

カレントリミッタ

PSFB 回路のカレントリミッタは、カレントランス(T4)、電流検出抵抗(R185)、電流制限しきい値(2V)によって設定することができます。電流がしきい値に到達すると、UCC28950 は 1 次側の FET 制御用 FET ドライブを制限することで、2 次側に異常な電流を流さないようにします。カレントリミットレベルは以下の式で算出されます。

$$I_{\text{limit}} = \frac{2.0}{R185 \times \text{transformer turns ratio}}$$

カレントリミッタの初期設定は、R185=20Ω、巻数比は 100:1 のため 10A となっています。必要に応じて上記値を変更し、所望の電流値に設定してください。

ゲート駆動回路

ゲート駆動回路の設計は、電源効率と EMI ノイズに影響を与えます。一般的に、電源効率と EMI ノイズはトレードオフの関係にあるため、両者のバランスを取った設計を行う必要があります。PSFB では Zero Volta Switching(ZVS)を実施していますが、もし、ハードスイッチング領域が存在し、それが EMI ノイズの原因である場合は、該当する FET(Q3-Q5)のゲート直列抵抗(R126,R127,R132-R137)を大きな値に変更し、確認を行うことを推奨します。PFC のゲート駆動回路と同様、ターンオン時、ターンオフ時それぞれ独立して調整できる回路構成になっているため、どちらかだけの調整で対応できる場合は、システムの電源効率への悪影響を低減できる可能性があります。

トランス

PSFB 回路の定常状態における同期整流側の On Duty を 60% に設定すると、出力電圧が 12V なので、2 次側には 20V 程度の方角波が必要となります。本電源の PFC 出力電圧は 380V であるため、トランス(5,T6)の巻数比は、20:1:1(センタータップ方式)を選択します。これにより、2 次側には 19V の方角波が発生することになります。その他、1 次-2 次間絶縁耐圧、巻線温度上昇、磁束飽和、コアロス等を十分に考慮する必要があります。本電源で使用しているトランスの仕様は、BOM をご参照願います。

また、本電源では、トランスのリーケージインダクタンスを利用して、Zero Volt Switching(ZVS)を行っております。もし、リーケージインダクタンスによる共振が不足すると、ZVS が実現できず、電源効率低下や EMI ノイズ増大等の問題が発生する可能性があります。トランスを変更する場合、広範囲な負荷領域で ZVS となっていることを、確認する必要があります。トランス変更により共振不足となり、ZVS が行われていない場合は、共振用のコイル(L3)を実装し、広い負荷範囲で ZVS となるよう調整願います。本電源の初期状態では、トランスのリーケージインダクタンスによる ZVS 実現を想定しており、共振用コイルが不要となるため、L3 にはジャンパ線を接続しています。

出力コンデンサ

出力コンデンサは、出力電圧リップルがシステムの要求する範囲に入っているかを確認する必要があります。出力電圧リップル Vripple は、スイッチングによって発生するリップル電流 ΔI と、出力コンデンサの ESR, 容量(Cap), ESL によって発生する各電圧の合成波形となります。スイッチングの電圧を Vsw, 出力電圧を Vout, スwitching 周波数を F とすると、ESR, Cap, ESL によって発生する電圧は、以下の式で算出されます。

$$V_{ripple_ESR} = \Delta I \times ESR$$

$$V_{ripple_Cap} = \frac{\Delta I}{8 \times C_{out} \times F \times 2}$$

$$V_{ripple_ESL} = \frac{V_{sw} \times ESL}{L}$$

ここで、

$$\Delta I = \frac{(V_{sw} - V_{out}) \times V_{out}}{V_{sw} \times F \times 2 \times L \times 2(\text{phases})}$$

であり、Vsw=19V, Vout = 12.14V, F=60.98kHz, L=3.5uH とすると、 $\Delta I=20.5A$ となります。各要素で発生する出力リップル電圧の初期設定値は、Cout = 1500uF \times 5pcs, ESR=20m Ω , ESL=5nH, L=3.5uH とすると、Vripple_ESR=82mV, Vripple_Cap=2.8mV, Vripple_ESL=5.4mV となります。

Cap によって発生する電圧は ESR, ESL によって発生する電圧と位相がずれているため、本来は単純な合計はできませんが、Cap によって発生する電圧が小さいため、単純合計を目安として用いることができます。システムに要求されるリップル電圧を満足できるよう、出力コンデンサの容量を調整願います。また、負荷急変時に出力に発生するアンダーシュート、オーバーシュートが規定電圧範囲に入っていること、出力のコンデンサの許容リップル電流が確保できていることも確認する必要があります。

2.4. ORing 回路設計

本電源は、N+1 冗長運転の要求に対応できるよう、12V 出力に ORing 回路を実装しています。ORing 回路は、Texas Instruments 社製コントローラ TPS2412(IC8)と、オン・オフ用 MOSFET(Q15-Q24)によって構成されます。本電源の出力と他の電源を並列に接続した状態で、本電源の出力電圧が他の電源の出力電圧より高い場合、TPS2412 はオン・オフ用 MOSFET をオンして出力に電流を供給します。本電源の出力電圧が他の電源の出力電圧より低い場合、TPS2412 はオン・オフ用 MOSFET をオフして他の電源から本電源に電流が逆流するのを防止します。以下に、本電源の ORing 回路の、基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、Texas Instruments 社製 TPS2412 のデータシート、アプリケーションノートなどをご参照ください。オン・オフ用 MOSFET は最大負荷(133A)流した際に、電圧ドロップ、オン抵抗による電力ロスがシステムの許容範囲となるよう、品種・数量を決定する必要があります。本電源では、TPHR9003NC を 10pcs 実装しています。なお、FET のオン抵抗は、高温時には上昇するため、システムがサポートする環境温度と最大負荷時の FET の温度上昇を考慮した部品選定を行う必要があります。

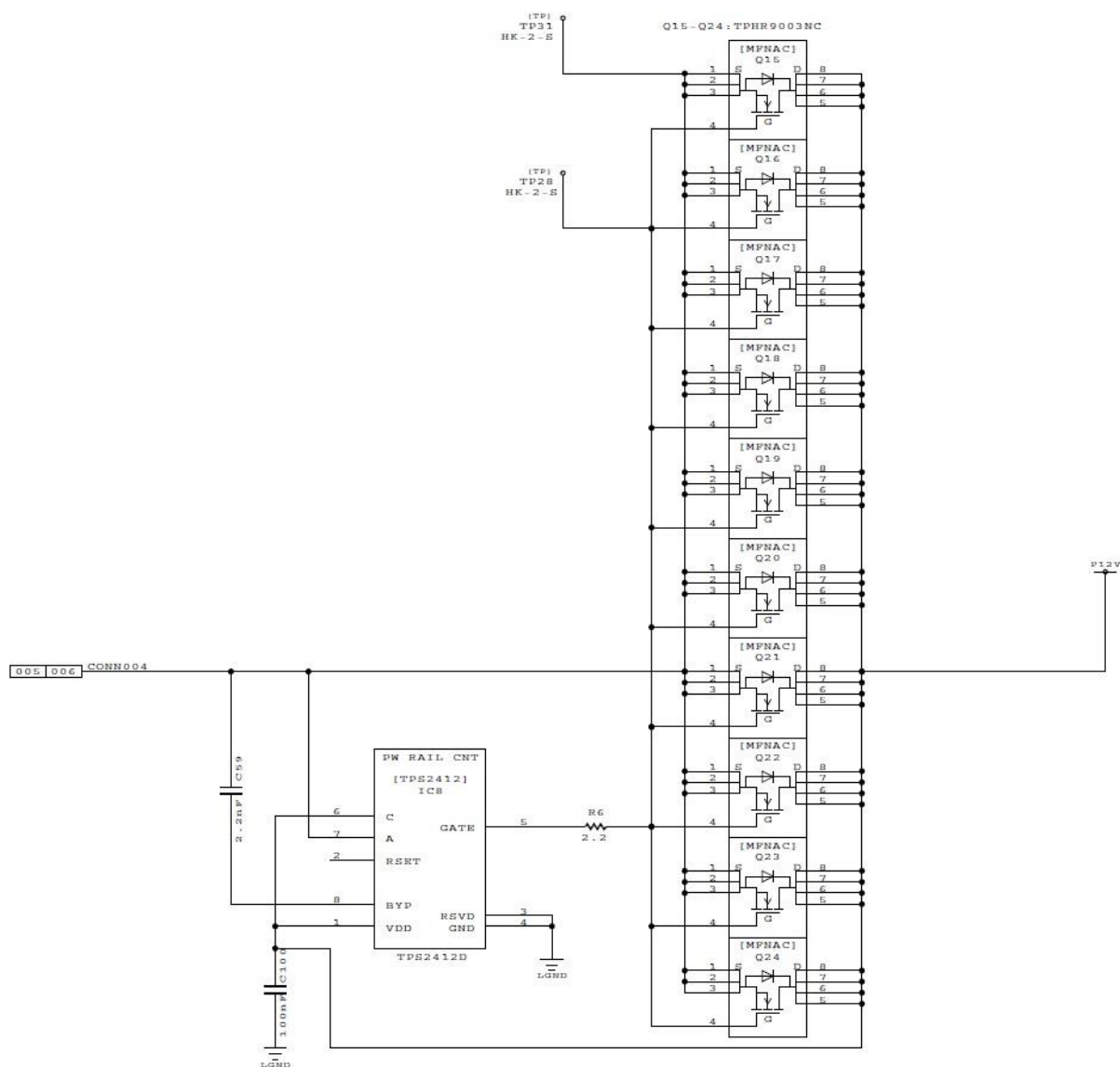


図 2.4.1 ORing 回路

3. PCB 設計

本電源の PCB 設計時の注意点を記載します。

3.1. PWB パターン設計

沿面距離

システムに要求される安全規格に応じ、適切な空間距離・沿面距離を確保する必要があります。本電源では、以下の通り沿面距離を確保しています。なお、必要な空間距離・沿面距離は、システムが設置される環境、材料、材料の汚損度、湿度、高度(気圧)等によって変わるため、沿面距離を設定する際は十分な考慮が必要です。

表 3.1.1 設計最小沿面距離

対象ライン 1	対象ライン 2	対象ライン 1 と対象ライン 2 の沿面距離
1 次側 L	1 次側 N	2.5mm
PFC 出力	PN(1 次側 GND)	4mm
1 次ライン全て	FG	4mm
1 次(カプラー部)	2 次(カプラー部)	8mm
1 次(トランス部)	2 次(トランス部)	10mm

電流容量

基板上的各パターンは、各パターンにおける最大電流を流した際に、温度上昇、或いはパターンによる IR ドロップのいずれによる問題も発生させないパターン幅を確保する必要があります。

3.2. PFC 回路パターン設計

PFC 回路周辺の PCB 設計時の注意点を記載します。コントローラ周辺のレイアウトは、Texas Instruments 社製 UCC28070A のデータシート、アプリケーションノートをご参照ください。

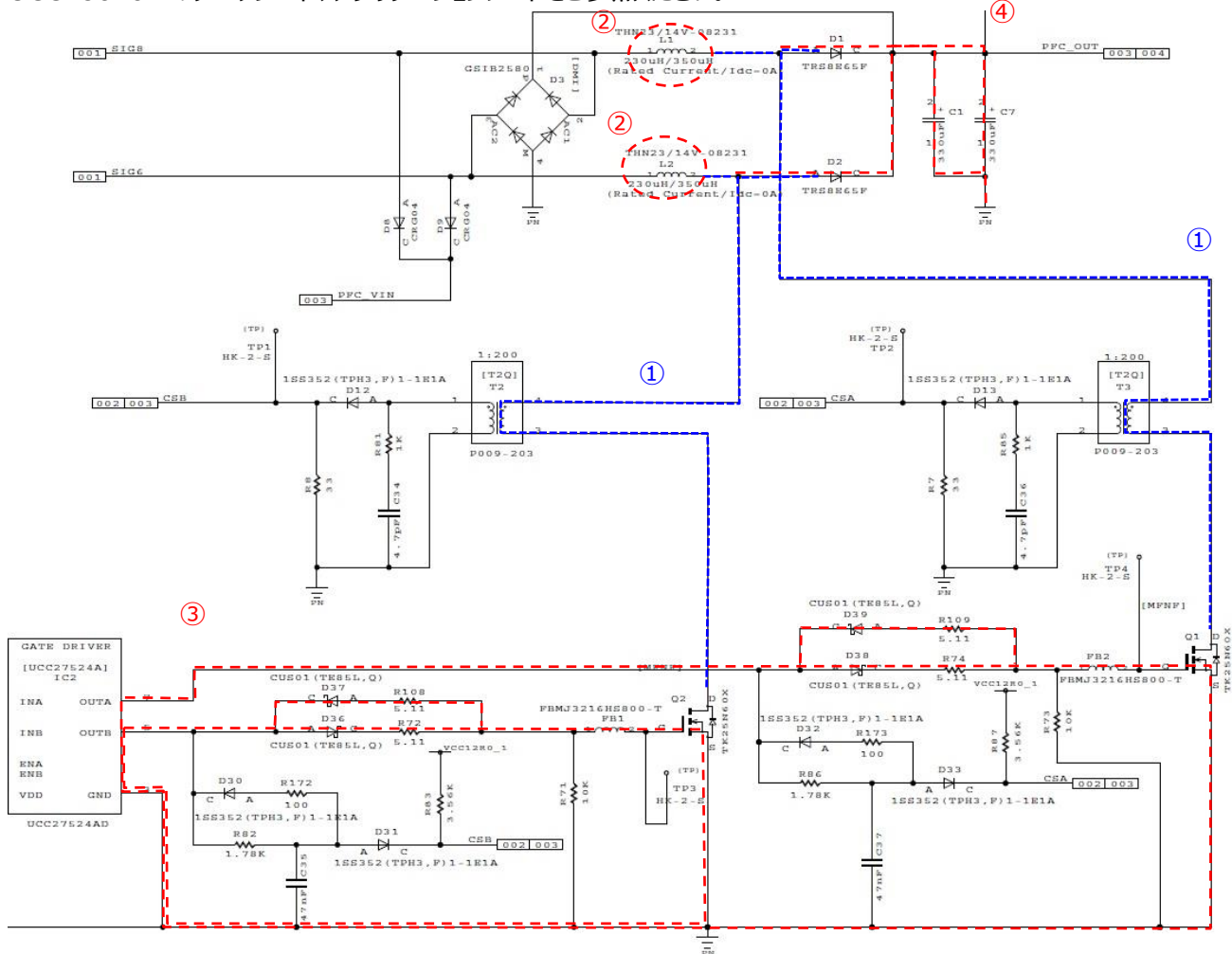


図 3.2.1 PFC 回路パターン設計注意点

1. PFC コントローラ UCC28070A(IC3)は以下のエリアから離して配置願います。
 スイッチングノード周辺 : L1,Q1,D1 間のライン, L2,Q2,D2 間のライン(図中①)
 PFC コイル周辺 : L1,L2 から 2.5cm 以内(図中②)
 ドライバ出力 : IC2-Q1-GND(PN), IC2-Q2-GND のループ(図中③)
 PFC 出力周辺 : L1-D1-C1/C7-GND(PN)-C33/C65, L2-D2-C1/C7-GND(PN)-C33/C65 のループ(図中④)
2. 電圧変動の大きいスイッチングノード周辺(図中①)の面積が、可能な限り小さくなるよう、各部品を配置願います。
3. ドライバ出力ライン(図中③)は可能な限り短くしてください。そのために、IC2 と Q1, Q2 を近くに配置する必要があります。また、ドライブ電流(最大約 2A)を流すことのできるパターン幅を確保願います。
4. ドライブ電流のリターン経路を、GND(PN)プレーンから分離する場合は、Q1,Q2 のソース端子直近から分離して下さい。
5. 昇圧のダイオード(D1,D2)と出力コンデンサ(C1,C7)は可能な限り近くに配置願います。
6. 電流検出ライン(CSA,CSB)は、GND(PN)とケルビン接続を行い、かつ電流変動、電圧変動の少ないエリアを経由し IC3 にフィードバックして下さい。

以下は、本電源の PFC 回路周辺のレイアウト図(Layer 1)です。

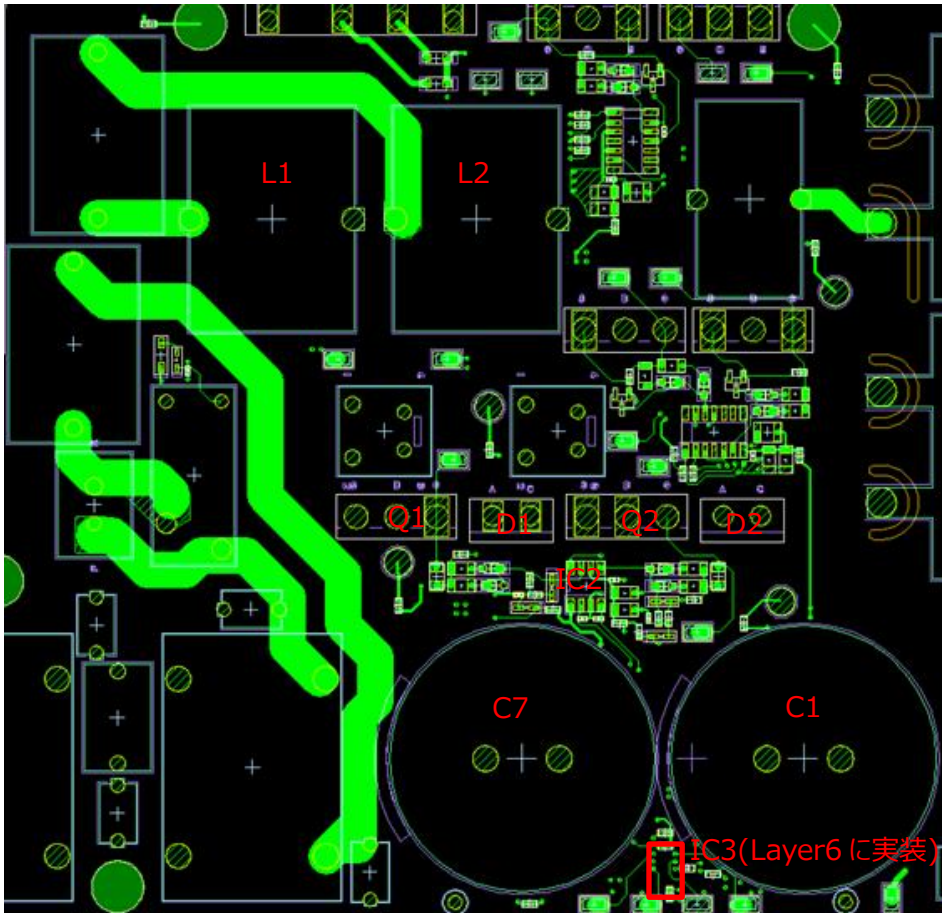


図 3.2.2 PFC 回路パターン

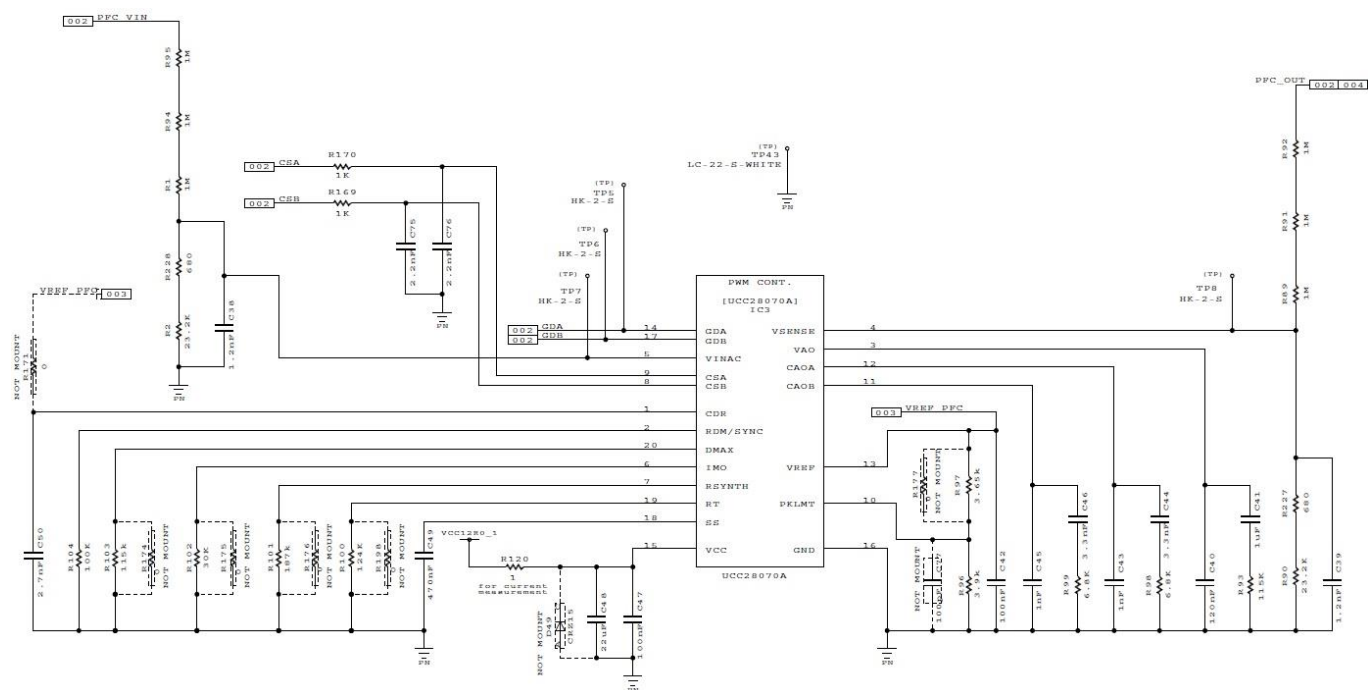


図 3.2.3 PFC 回路(コントローラ周辺)

1. 上記回路図に記載されている部品は、いずれも IC3 の直近に実装してください。
2. GND(PN)は 1 点でまとめて、IC3 の GND ピンに接続してください。全部品を IC3 直近に配置できており、かつスイッチング電流や、ドライブ電流の GND リターンパスが部品近傍に存在しない場合は、各部品の直近で GND(PN)プレーンに接続することも可能です。

3.3. PSFB 回路パターン設計

PSFB 回路周辺の PCB 設計時の注意点を記載します。コントローラ周辺のレイアウトは、Texas Instruments 社製 UCC28950 のデータシート、アプリケーションノートをご参照ください。

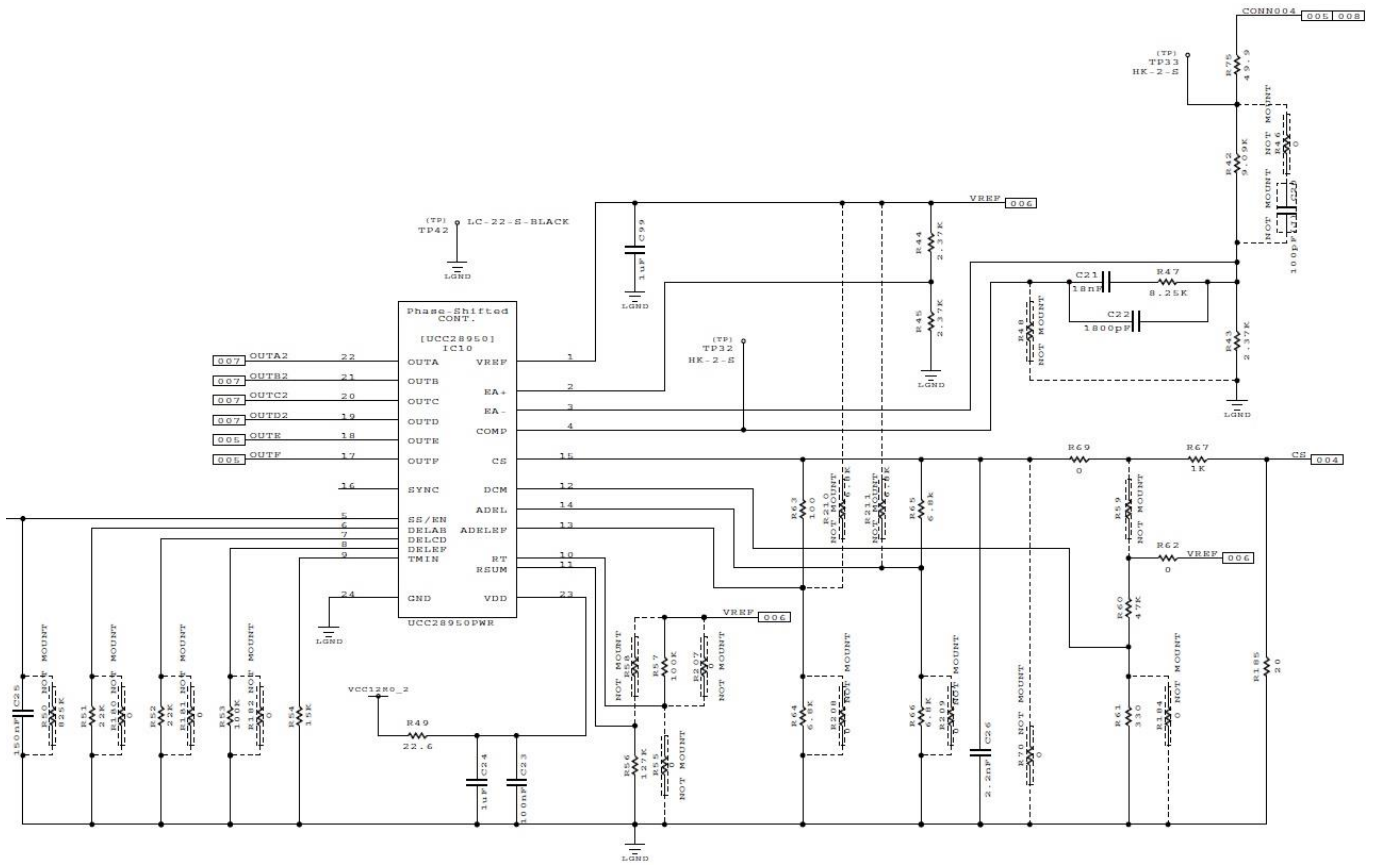


図 3.3.1 PSFB 回路(コントローラ周辺)

1. PSFB コントローラ UCC28950(IC10)は、2 次側の大電流スイッチング回路、トランス、リアクトルから離して配置願います。
2. 上記回路図に記載されている部品は、いずれも IC10 の直近に実装してください。
3. GND(回路図中 LGND)は 1 点でまとめて、IC10 の GND ピンに接続してください。全部品を IC10 直近に配置でき、かつスイッチング電流や、ドライバ電流の GND リターンパスが部品近傍に存在しない場合は、各部品の直近で GND (LGND)プレーンに接続することも可能です。

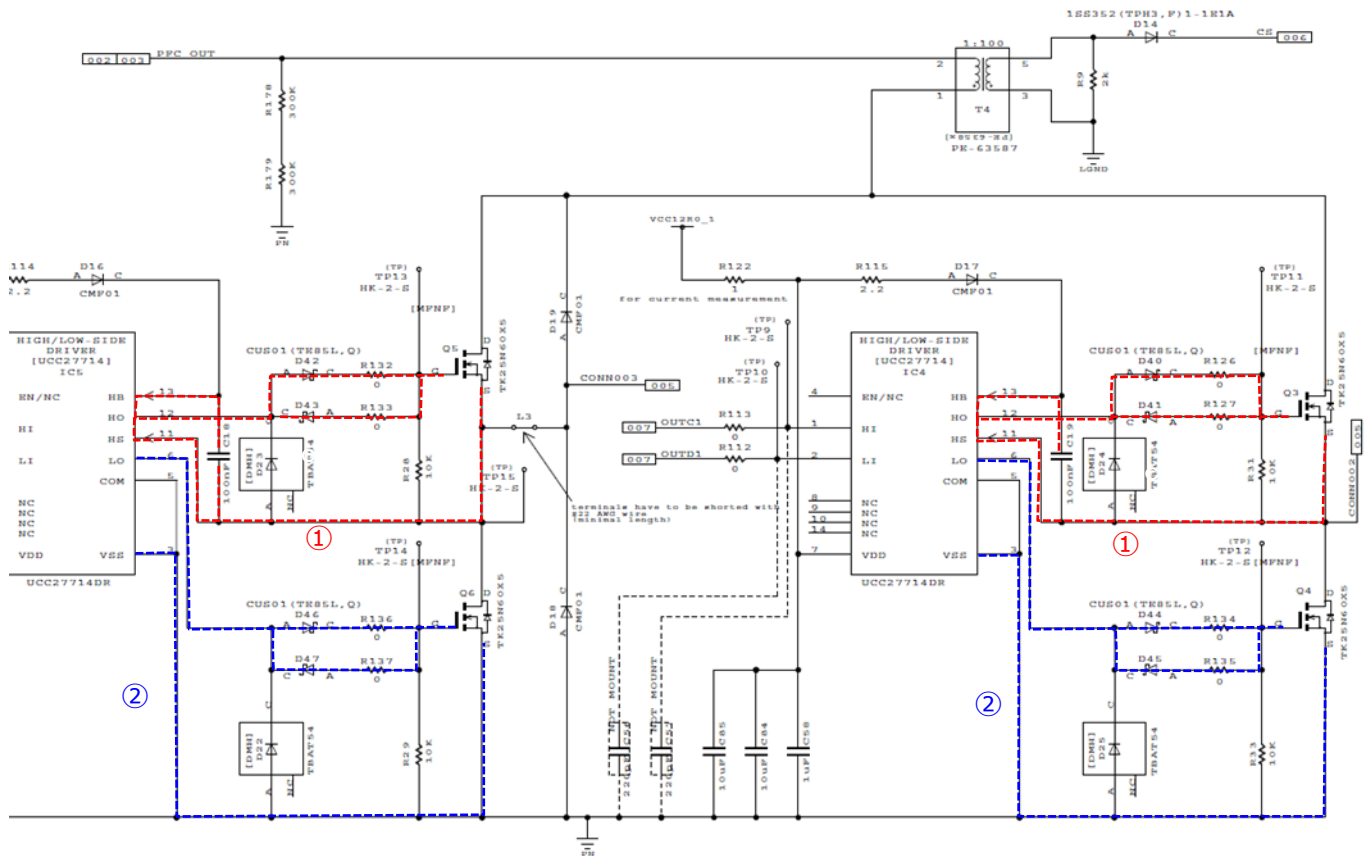


図 3.3.2 PSFB 回路パターン設計注意点 1

1. 電圧変動の大きいスイッチングノード周辺(図中①及び①と同電位の電圧変動を持つライン)の面積が、可能な限り小さくなるよう、各部品を配置願います。
2. ドライバ出カライン(図中①、②)は可能な限り短くしてください。そのために、IC5とQ5、Q6、及びIC4をQ3、Q4を近くに配置する必要があります。また、ドライバ出カラインは、ドライブ電流最大値を流すことのできるパターン幅を確保願います。
3. Q3、Q5のドライブ電流のリターン経路は、ソース端子直近から分離してください。
4. Q4、Q6のドライブ電流のリターン経路を、GND(PN)プレーンから分離する場合は、Q1、Q2のソース端子直近から分離してください。
5. 電流検出ライン(CS)は、GND(LGND)とケルビン接続を行い、かつ電流変動、電圧変動の少ないエリアを経由してIC10にフィードバックしてください。

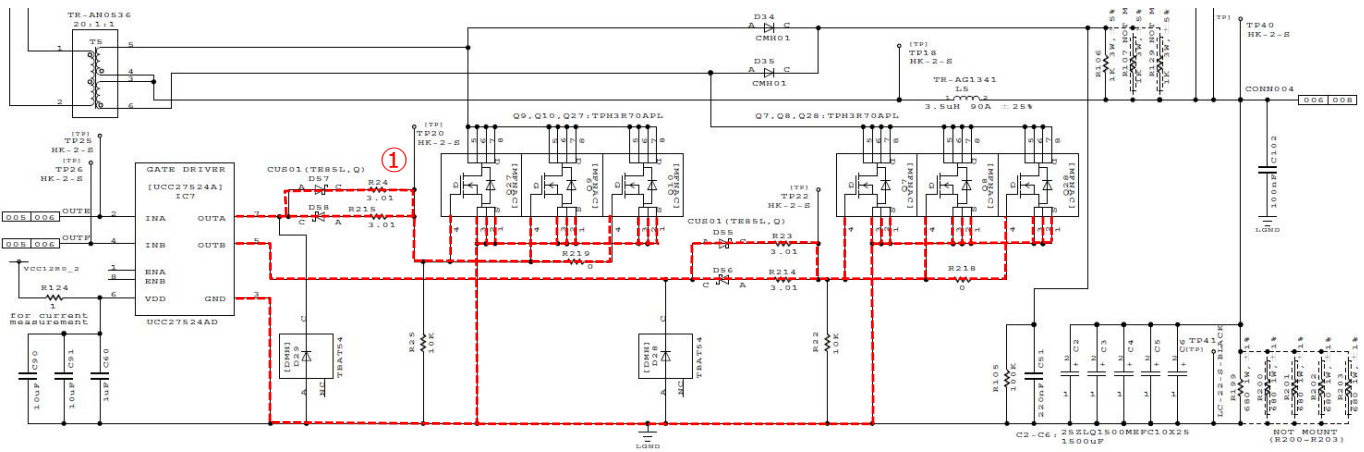


図 3.3.3 PSFB 回路パターン設計注意点 2

ドライバ出力ライン(図中①)は可能な限り短くしてください。そのために、IC7 と Q7-Q10, Q27, Q28 を近くに配置する必要があります。また、ドライバ出力ラインは、ドライブ電流最大値を流すことのできるパターン幅を確保願います。ドライブ電流のリターン経路を、GND(LGND)プレーン以外にする場合は、Q7-Q10, Q27, Q28 のソース端子直近から分離してください。本電源の、PSFB の 2 次側は 2 フェーズ構成となっております。上記と同様の事項を、もう片方のフェーズにも適用する必要があります。

以下は、本電源の PSFB 回路周辺のレイアウト図(Layer1)です。

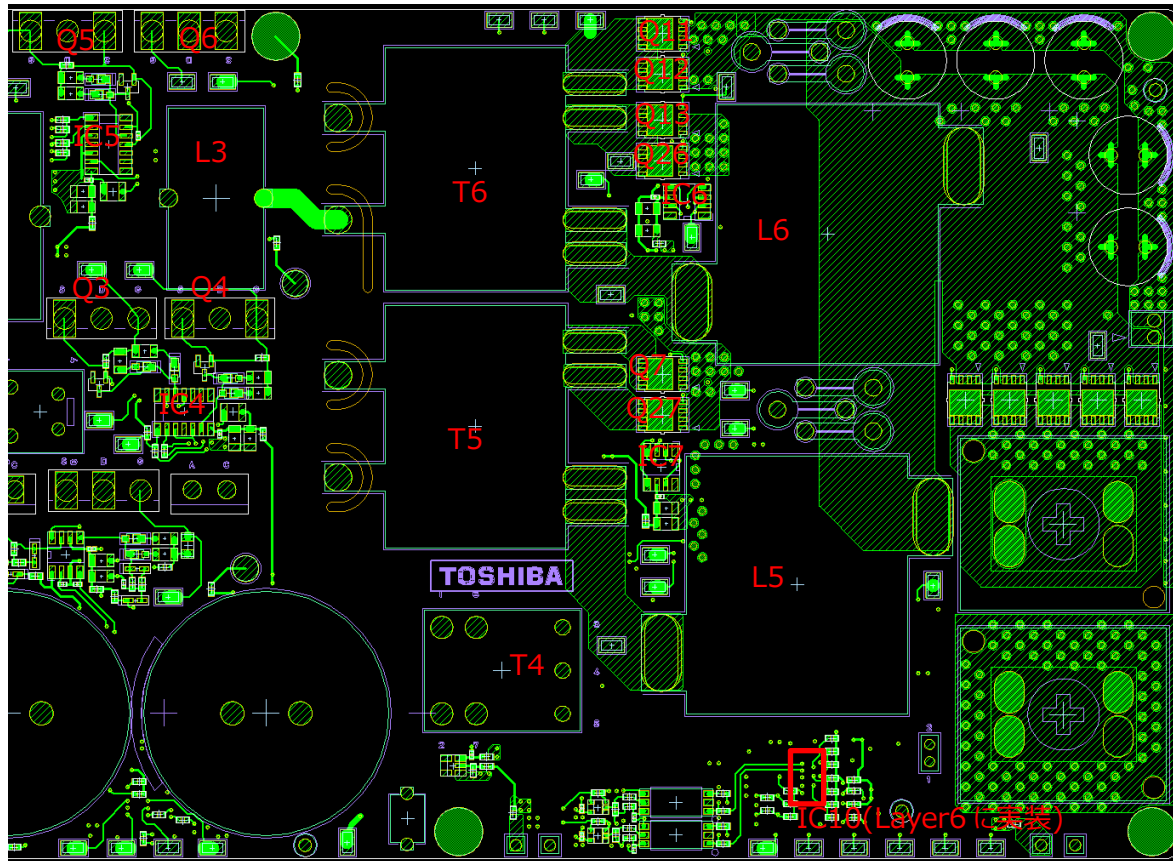


図 3.3.4 PSFB 回路パターン

3.4. 部品配置(熱設計)

負荷電流が大きい高負荷状態が継続すると、各種パワー部品(MOSFET、トランス、ダイオード等)が発熱するため、本電源は、FANを設置しています。FANは基板側(下図右側)から吸気して、基板外部側(下図左側)に排気します。放熱性能向上のため、放熱用のヒートシンクの上面にアルミ天板を配置し、FANの風路を確保することで、放熱性能の向上を図っています。システムの設置環境温度上限、最大負荷状態において、各部品の温度定格に対して、必要なマージンを確保できるように、放熱設計を実施する必要があります。

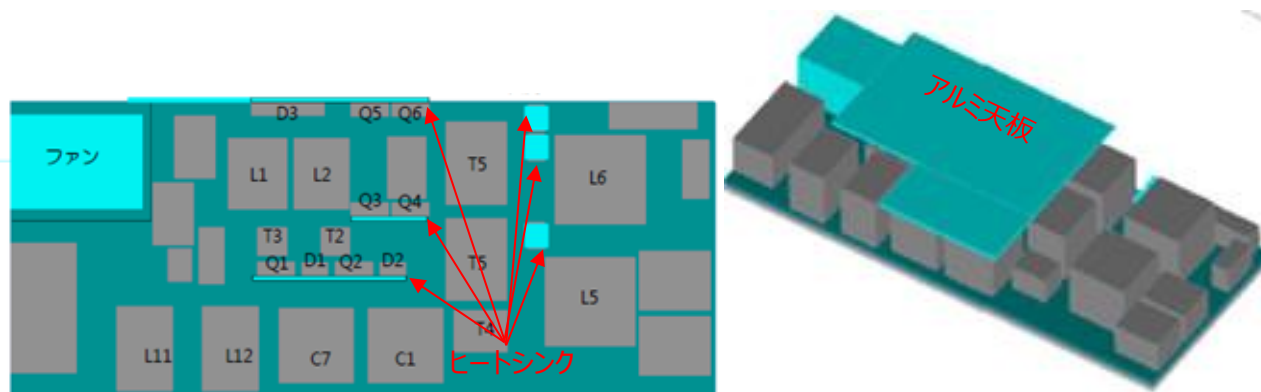


図 3.4.1 部品配置

ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任は負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第4条 準拠法

本規約の準拠法は日本法とします。