

MOSFET 並列駆動(TK62N60X) リファレンスガイド

RD010-RGUIDE-01

東芝デバイス&ストレージ株式会社

目次

1.	はじめに	3
2.	シミュレーションによる動作検証	4
2.1.	シミュレーションモデル	4
2.2.	基板の配線インダクタンス	5
2.3.	シミュレーション回路	6
2.4.	理想状態(対称配線パターン)における波形確認	7
2.5.	MOSFET のレイアウトが非対称となった場合	9
2.6.	各 MOSFET のゲートに個別に抵抗を設置した場合	11
3.	まとめ	13

1. はじめに

スイッチング素子に MOSFET を使用した電源等のアプリケーションにおいて、従来セットに対し出力電力を増大させた新規セットを実現する為には、

1) トポロジー・回路構成の新規設計

2) トポロジー・回路構成を変えずに、搭載 MOSFET をより電流定格の大きい(よりオン抵抗の低い)製品へ替える等の対応が必要となります。

2)の MOSFET 変更は、1)の新規設計に比べ開発に要する時間を大幅に短縮することが可能です。ただし同一パッケージでの電流定格増には限界があり、より大型のパッケージ品の選択、若しくは複数素子の並列接続が必要となる場合があります。その場合、複数素子の並列接続を選択することは、大型パッケージの選択に比べ発熱体の分散、放熱部品の共通化などのメリットがあります。

また、回路を新規設計する際に、複数 MOSFET を並列接続で動作可能な基板を用意しておき、出力電力に応じて実際に搭載する MOSFET の並列数を調整することで、出力電力の異なるセットへ適用することも出来ます。これにより、設計省力化、基板・部品の共通化が図れます。

このように MOSFET の並列接続動作は機器設計者に種々のメリットをもたらします。しかしながら、素子レイアウト・基板配線が非対称であったり、ゲート駆動回路の方法によっては、発振等の不具合が発生することがあります。

本ガイドでは、AC-DC 電源の PFC 部や一次側メインスイッチに最適な 600V 系 DTMOSIV 製品の TK62N60X(TO-247 パッケージ)を例にとり、回路シミュレーションによる動作検証を通して並列動作における MOSFET の挙動を解説します。並列動作させる際の留意点を明確にし、出力電力増大に向けた並列接続のソリューションを提案します。

DTMOSIV 製品のデータシートダウンロードはこちらから →

[Click Here](#)

2. シミュレーションによる動作検証

2.1. シミュレーションモデル

検証に使用した TK62N60X のシミュレーションモデルの説明をします。当社 web で公開している TK62N60X の PSpice モデルはチップの特性のみをモデル化したものであるため、パッケージの影響を含めたシミュレーションを実施するにはパッケージの寄生インダクタンスを外部で追加する必要があります。図 2.1.1 に TK62N60X のパッケージ内部構造と寄生インダクタンスのイメージを示します。内部の MOSFET チップとパッケージの端子を繋ぐ配線にそれぞれインダクタンスが存在し、それを l_g 、 l_s 、 l_d と定義します。図 2.1.2 に TK62N60X のパッケージ内部寄生インダクタンスを追加したシミュレーションモデルを示します。

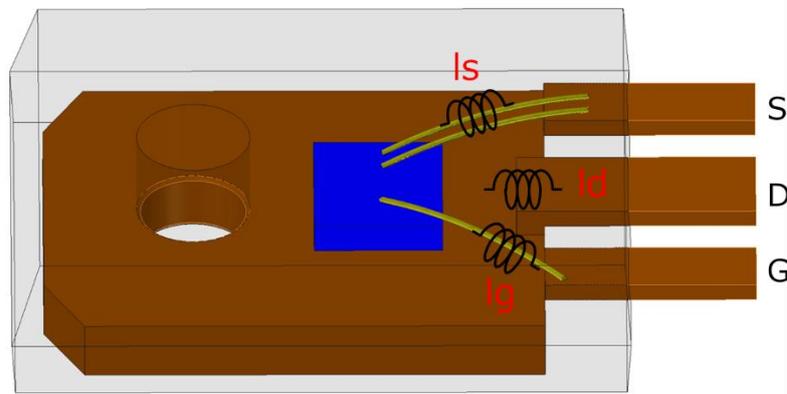


図 2.1.1 パッケージ内部配線イメージ

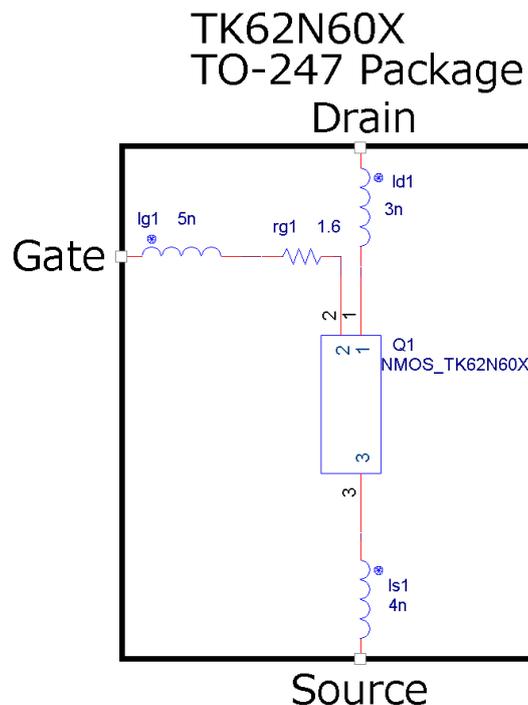


図 2.1.2 シミュレーションモデル

2.2. 基板の配線インダクタンス

基板の配線インダクタンスを電磁界解析で算出します。図 2.2.1 に解析条件、表 2.2.1 に解析結果を示します。

1. パターン銅箔厚み : 100 μ m
2. パターン幅 : 10mm(ドレイン、ソースライン)、3mm(ゲートライン)
3. パターン長 : 50mm
4. 算出周波数 : 1MHz

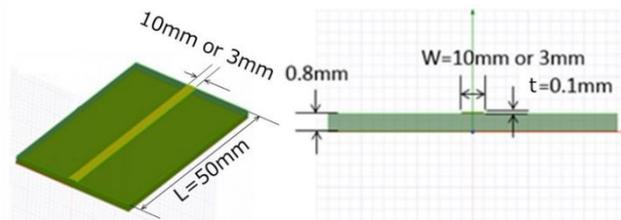


図 2.2.1 電磁界解析条件

表 2.2.1 電磁界解析結果

W=3mm パターン解析結果		W=10mm パターン解析結果	
1mm あたり インダクタンス	L=50mm 時の インダクタンス	1mm あたり インダクタンス	L=50mm 時の インダクタンス
0.207nH/mm	10.4nH	0.0844nH/mm	4.22nH

インダクタンス値はパターンの長さ按比例するため、各パターンで想定する長さへ換算する必要があります。図 2.2.2 に素子と各パターンの配線インダクタンスの関係、配線インダクタンスの名称を、表 2.2.2 に各パターンの長さとその時のインダクタンス値の一覧を示します。

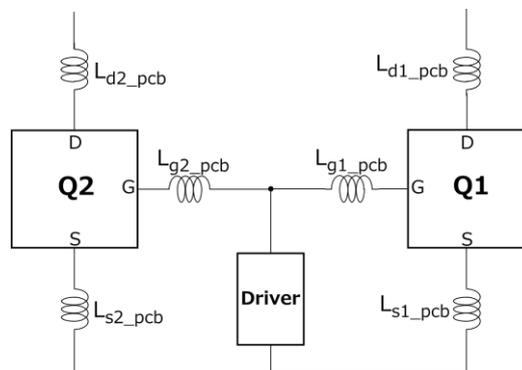


図 2.2.2 素子とパターン配線インダクタンスの関係

表 2.2.2 基板の配線インダクタンス一覧

FET	パターン名称	説明	パターン長	パターン幅	配線インダクタンス
Q1	Lg1_pcb	ドライバ出力-FET ゲート端子間	20mm	3mm	4.2nH
	Ls1_pcb	FET ソース端子-ドライバ GND 間	30mm	10mm	2.6nH
	Ld1_pcb	インダクタ L-FET ドレイン端子間	50mm	10mm	4.3nH
Q2	Lg2_pcb	ドライバ出力-FET ゲート端子間	20mm	3mm	4.2nH
	Ls2_pcb	FET ソース端子-ドライバ GND 間	30mm	10mm	2.6nH
	Ld2_pcb	インダクタ L-FET ドレイン端子間	50mm	10mm	4.3nH

2.3. シミュレーション回路

図 2.3.1 に検証に使用する回路を示します。シミュレーションは以下条件で実施します。

(OrCAD 上で動作可能なシミュレーション回路を、RD010-SPICE01 として提供しています。)

1. 電源電圧 : V4=300V
2. インダクタンス : L=250 μ H、初期電流 IC=20A
3. MOSFET ドライバ : 電源電圧 V2=10V
出力抵抗 R9 = 1 Ω (プッシュ、プル共通)
Trise(TR)=Tfall(TF) = 10ns

※ : 素子の自己発熱は考慮せず、温度条件は 25 $^{\circ}$ C 一定

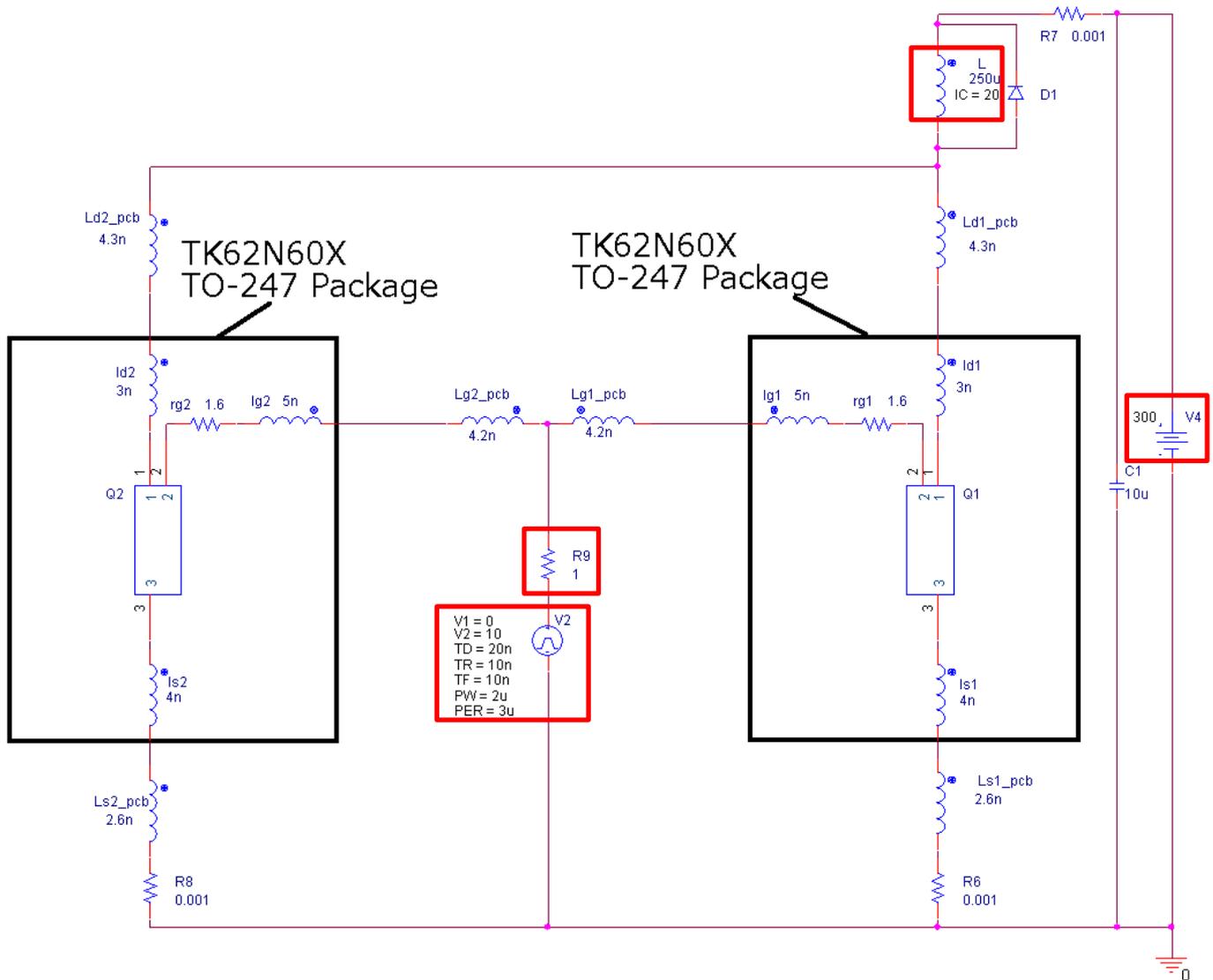


図 2.3.1 シミュレーション回路図

2.4. 理想状態(対称配線パターン)における波形確認

図 2.3.1 は、各 MOSFET に接続される各配線インダクタンス値が同一であり、並列接続された 2 個の MOSFET が完全に対称に配線された理想状態を示しています。この理想状態でシミュレーションを実施します。表 2.4.1 にシミュレーションで使用した各種パラメータを示します。

表 2.4.1 各種パラメータ(理想状態)

FET	ソースパターン長	ソースパターン寄生インダクタンス	外付けゲート抵抗
Q1	30mm	Ls1_pcb=2.6nH	なし(Q2 と直結)
Q2	30mm	Ls2_pcb=2.6nH	なし(Q1 と直結)

図 2.4.1、図 2.4.2 にシミュレーション波形を示します。両図より、完全に対称な理想レイアウトの場合、Q1・Q2 の波形は同一であり、バランスの取れた動作をしていることが分かります。

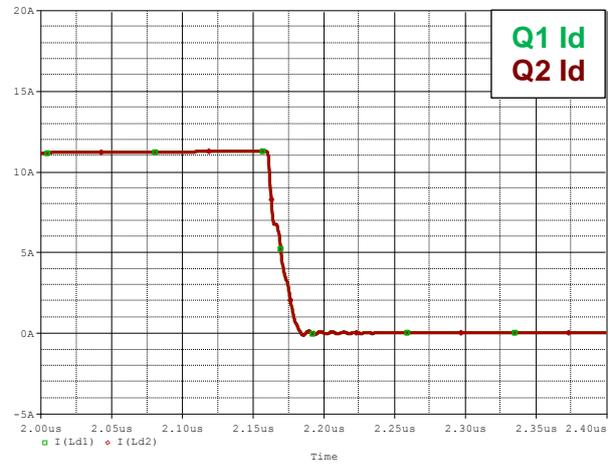
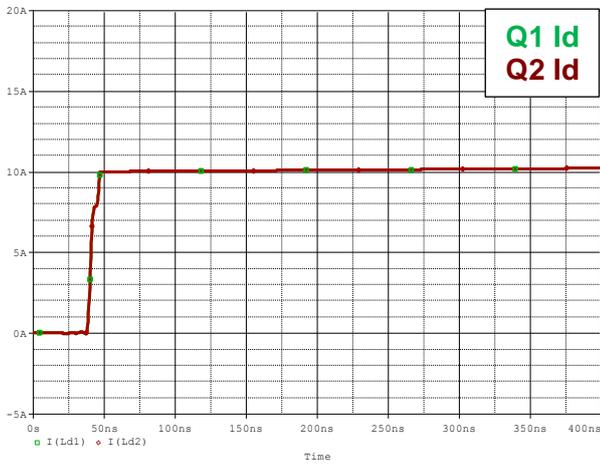
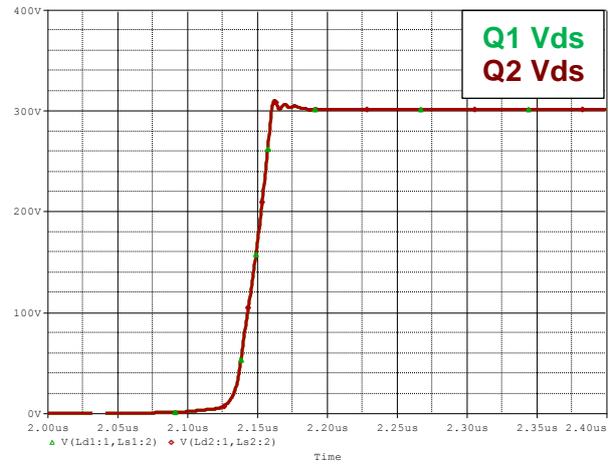
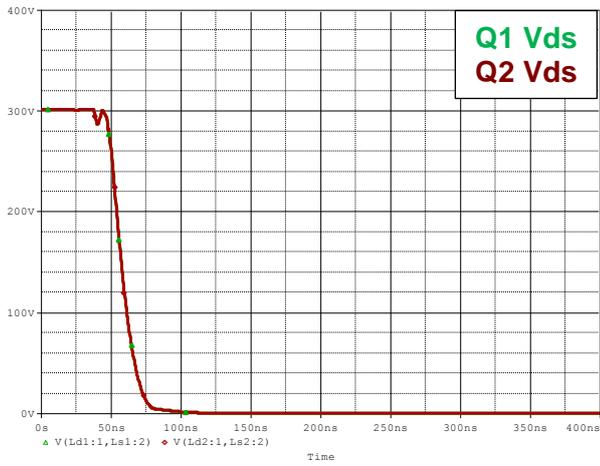
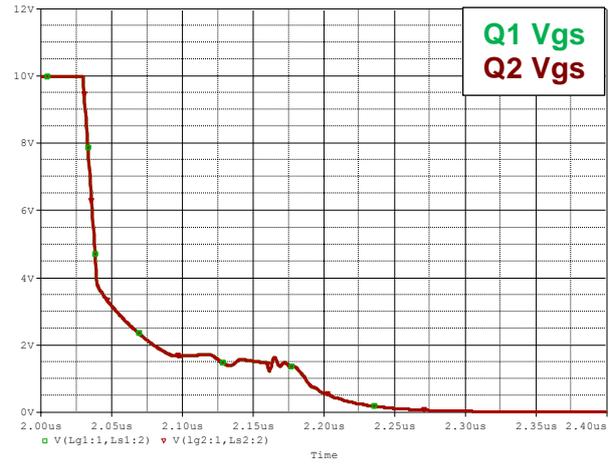
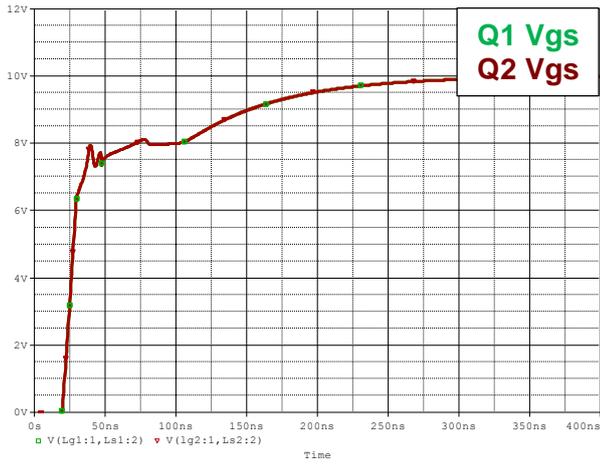


图 2.4.1 理想状态波形(On 时)

图 2.4.2 理想状态波形(Off 时)

2.5. MOSFET のレイアウトが非対称となった場合

次に、MOSFET の配線レイアウトが非対称となった場合を想定したシミュレーションを実施します。図 2.3.1 の理想状態から Q1 のソースパターンが 30mm 長くなったと仮定して動作確認します。この時のソースパターンの配線インダクタンスは 5.1nH となります。表 2.5.1 にシミュレーションの各種パラメータを示します。

表 2.5.1 各種パラメータ条件(非対称レイアウト)

FET	ソースパターン長	ソースパターン寄生インダクタンス	外付けゲート抵抗
Q3	60mm(30mm+30mm))	Ls1_pcb1=5.1nH	なし(Q3と直結)
Q4	30mm	Ls2_pcb1=2.6nH	なし(Q4と直結)

図 2.5.1 にシミュレーションに使用する回路を示します。

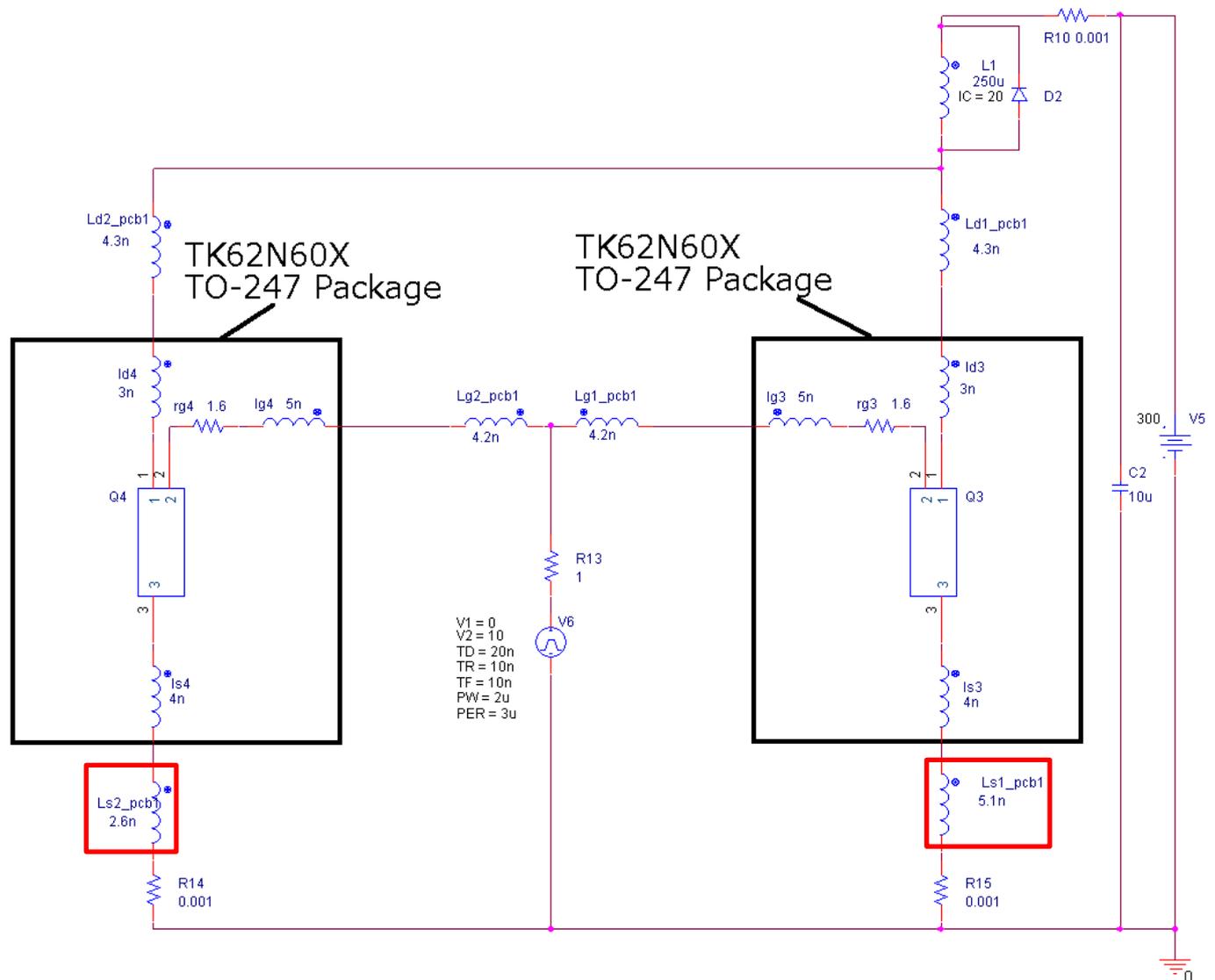


図 2.5.1 シミュレーション回路図

図 2.5.2、図 2.5.3 にシミュレーション波形を示します。図 2.5.3 より Vgs 波形の発振が確認できます。本結果は非対称なレイアウトが発振の原因となることを示しています。また、図 2.5.2 よりソースライン配線インダクタンスが大きい MOSFET Q3 はターンオンが遅延するため、もう片方の MOSFET Q4 に電流が集中しているのが確認されます。非対称なレイアウトは発振だけでなく電流バランスの観点でも望ましくない結果をもたらします。以上から MOSFET を並列接続する場合、レイアウトは可能な限り対称にすることが重要であることが分かります。

(注：実際の動作では、電流が集中した MOSFET は発熱が大きくなりオン抵抗が増大し、電流が制限されもう一方の MOSFET の電流が増える為、スイッチング後は速やかに電流がバランスします。今回のシミュレーションは発熱を考慮していない為に、電流バランスに時間を要しています。)

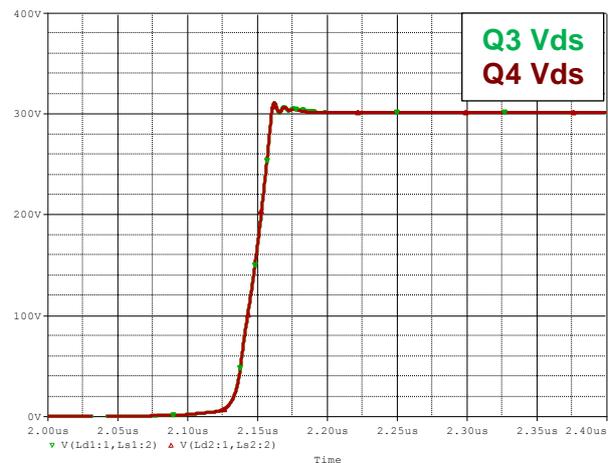
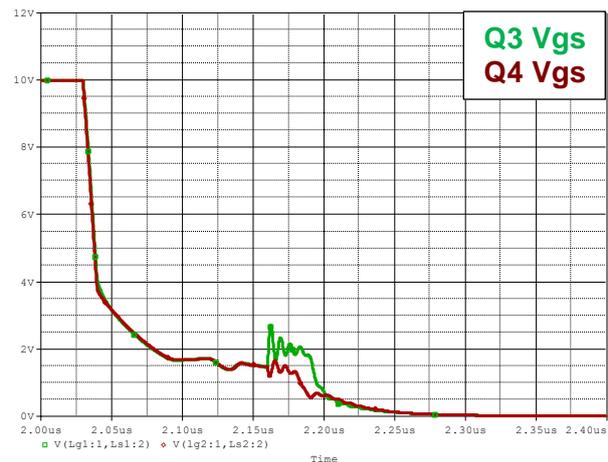
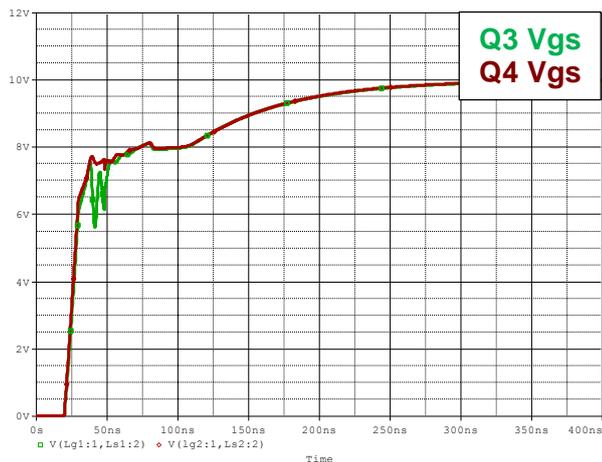


図 2.5.2 レイアウト非対称時波形(On 時)

図 2.5.3 レイアウト非対称時波形(Off 時)

2.6. 各 MOSFET のゲートに個別に抵抗を設置した場合

2.5 で発振が発生した回路のドライバと各 MOSFET のゲート端子間に 4.7Ωの抵抗を設置してシミュレーションを実施します。表 2.6.1 にシミュレーション各種パラメータを示します。

表 2.6.1 シミュレーション各種パラメータ(個別ゲート抵抗設置)

FET	ソースパターン長	ソースパターン寄生インダクタンス	外付けゲート抵抗
Q5	60mm	Ls1_pcb2=5.1nH	R17=4.7Ω(個別)
Q6	30mm	Ls2_pcb2=2.6nH	R18=4.7Ω(個別)

図 2.6.1 にシミュレーションに使用する回路を示します。

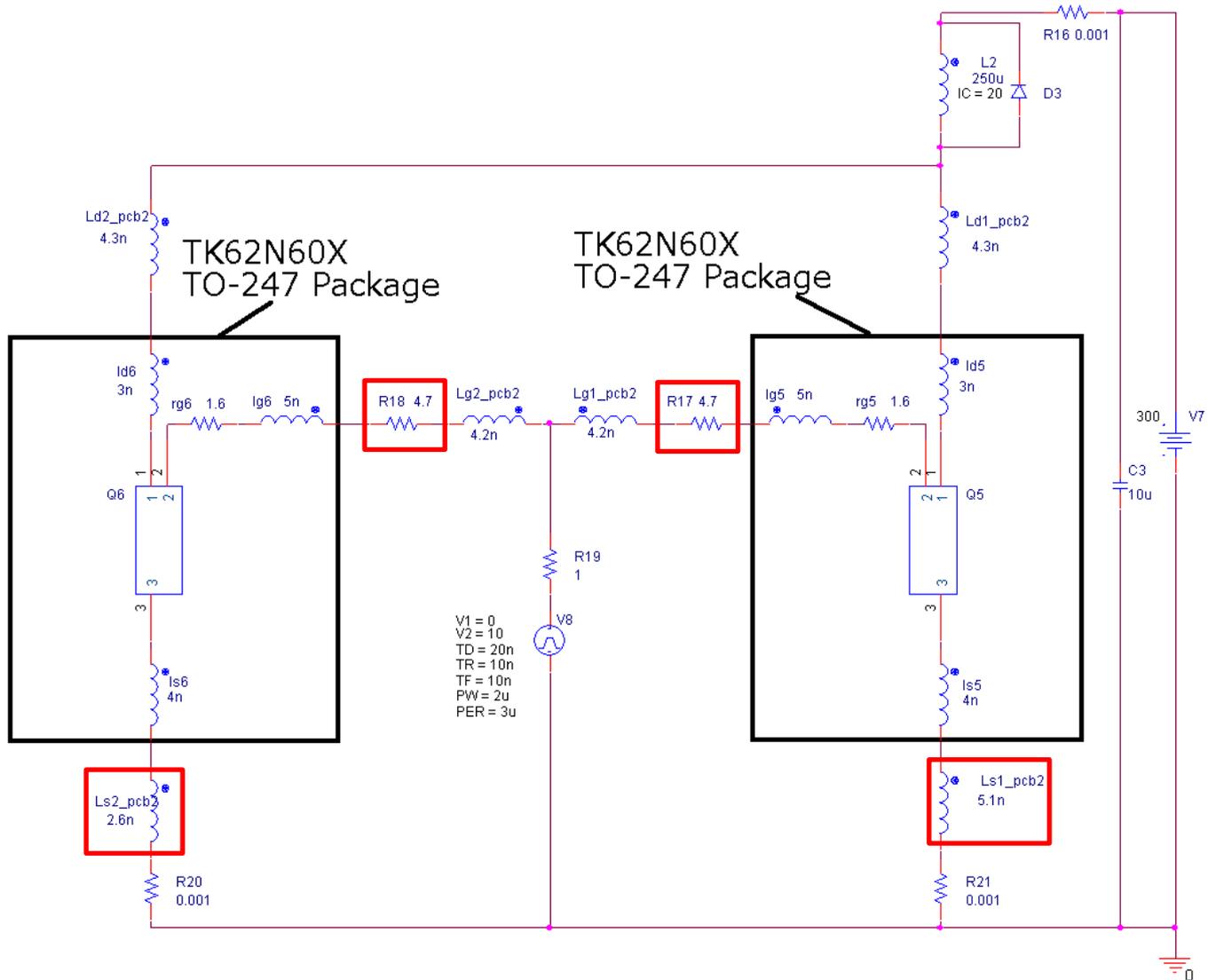


図 2.6.1 シミュレーション回路図

図 2.6.2、図 2.6.3 にシミュレーション波形を示します。両図より発振が収まっていることが確認できます。現実的にレイアウトを完全な対象にすることは困難なため、MOSFET を並列接続で使用する際は、各 MOSFET のゲートに個別に適切な抵抗を設置することが重要であることが分かります。尚、設置するゲート抵抗の値が多少上下にばらついても動作に影響なく、汎用的な誤差 10%の抵抗が使用可能です。ゲート発振は抑制されましたが、スイッチング時の電流アンバランスは発生しています。

(注：実際の動作では、電流が集中した MOSFET は発熱が大きくなりオン抵抗が増大し、電流が制限されもう一方の MOSFET の電流が増える為、スイッチング後は速やかに電流がバランスします。今回のシミュレーションは発熱を考慮していない為に、電流バランスに時間を要しています。)

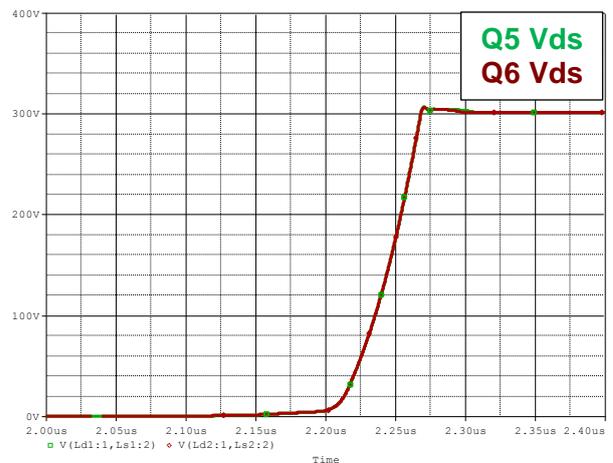
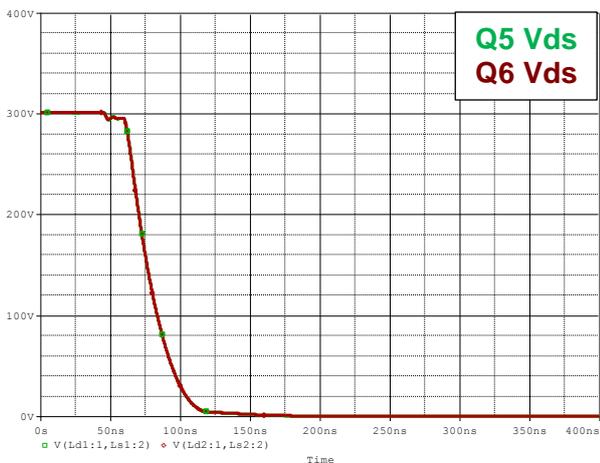
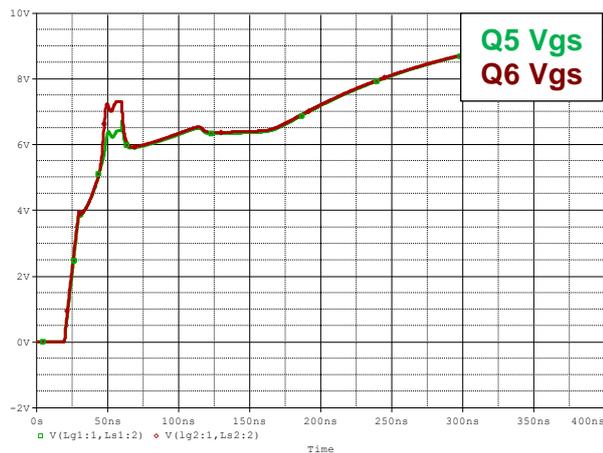


図 2.6.2 個別ゲート抵抗設置時波形(On 時)

図 2.6.3 個別ゲート抵抗設置時波形(Off 時)

3. まとめ

DTMOSIV 製品の TK62N60X を例にとり、MOSFET の並列動作の挙動を回路シミュレーションにより検証しました。並列動作の際は、出来るだけ MOSFET のレイアウトを対称にすること、ドライバ IC と MOSFET 間に個別にゲート抵抗を配置することが重要であることを確認しました。

レイアウトが対称でない場合は、ソースパターンの配線インダクタンスの差異により、MOSFET のスイッチング動作に差が生じ、過渡状態では MOSFET 間の電流にアンバランスが生じます。素子選定時は、過渡状態での電流アンバランスを考慮し電流定格に余裕を持った適切な素子選択、実回路による十分な検証が必要です。

ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第4条 準拠法

本規約の準拠法は日本法とします。