

**MOSFET 四端子パッケージ**  
**DFN8x8**  
**(TK25V60X)**  
**リファレンスガイド**

**RD012-RGUIDE-01**

---

**東芝デバイス&ストレージ株式会社**

## 目次

1.	はじめに .....	3
2.	シミュレーションによる動作検証 .....	4
2.1.	シミュレーションモデル .....	4
2.2.	基板の配線インダクタンス .....	5
2.3.	三端子パッケージ品のシミュレーションによる検証 .....	7
2.3.1.	Rg=10Ω時の動作確認 .....	7
2.3.2.	Rg=3.3Ω時の動作確認 .....	10
2.4.	四端子パッケージ品のシミュレーションによる検証 .....	12
2.4.1.	三端子パッケージ品との比較(Rg=3.3Ω) .....	12
2.4.2.	四端子パッケージ品動作検証(Rg=1Ω) .....	15
3.	まとめ .....	17
3.1.	まとめ .....	18

## 1. はじめに

耐圧が 600V 以上の高耐圧パワー-MOSFET ではオン抵抗と耐圧のトレードオフ改善を行うためスーパージャンクション構造が開発され、製品化が進められてきました。この構造を採用することで、従来の MOSFET に比べオン抵抗が低く、スイッチングが速くなるという大きなメリットがあります。しかしながら、この高速化に伴いスイッチング動作時にパッケージ内部のソースワイヤのインダクタンス成分が与える影響が顕著になり、効率改善の為に MOSFET を高速動作させようとしてもそれが実現出来ないという問題が発生することがあります。

ターンオフ時の急激な電流変化と寄生インダクタンスにより発生する電圧がゲート波形に重畳され、ゲート発振が発生する場合があります。また、ターンオン時のドレイン電流変化と MOSFET のソース部の寄生インダクタンスにより発生する電圧により、ゲート駆動に負帰還が掛かり十分なスイッチング特性が得られず、期待した効率が得られない場合があります。

これらの問題の解決策に、DFN8x8 パッケージがあります。このパッケージは、ソース部の配線をドレイン電流が流れる経路とゲート駆動の経路に分割した四端子構造(三端子構造にゲート駆動経路用ソース端子を追加)を特長としています。この構造によりパッケージ内部のソースワイヤのインダクタンスの影響を低減させることが可能です。

本ドキュメントでは、AC-DC 電源の PFC 部に最適な高速スイッチング特性を有する DTMOSIV-H 製品 TK25V60X(四端子パッケージ品)を三端子品として使用した際の挙動を回路シミュレーションで確認します。高速スイッチング化を図る上での課題を明らかにし、その解決策として四端子パッケージ品 TK25V60X を提案します。

次に、四端子パッケージ品 TK25V60X の挙動を回路シミュレーションで確認します。TK25V60X は四端子パッケージの特長を活かした高速スイッチング動作が可能であり、電源の効率向上に貢献可能なことを示します。

DFN8x8パッケージ製品のデータシートダウンロードはこちらから → [Click Here](#)

## 2. シミュレーションによる動作検証

### 2.1. シミュレーションモデル

検証に使用したシミュレーションモデルの説明をします。当社 web で公開している TK25V60X の PSpice モデルはチップ特性のみをモデル化したものであるため、パッケージの影響を含めたシミュレーションを実施するにはパッケージ寄生インダクタンスを外部で追加する必要があります。図 2.1.1 に DFN8x8 パッケージと、比較対象としてそれを三端子構造としたパッケージの内部構造と寄生インダクタンスのイメージを示します。内部 MOSFET チップとパッケージ端子を繋ぐ配線にそれぞれインダクタンスが存在します。図 2.1.2 に各パッケージの内部寄生インダクタンスを追加したシミュレーションモデルを示します。

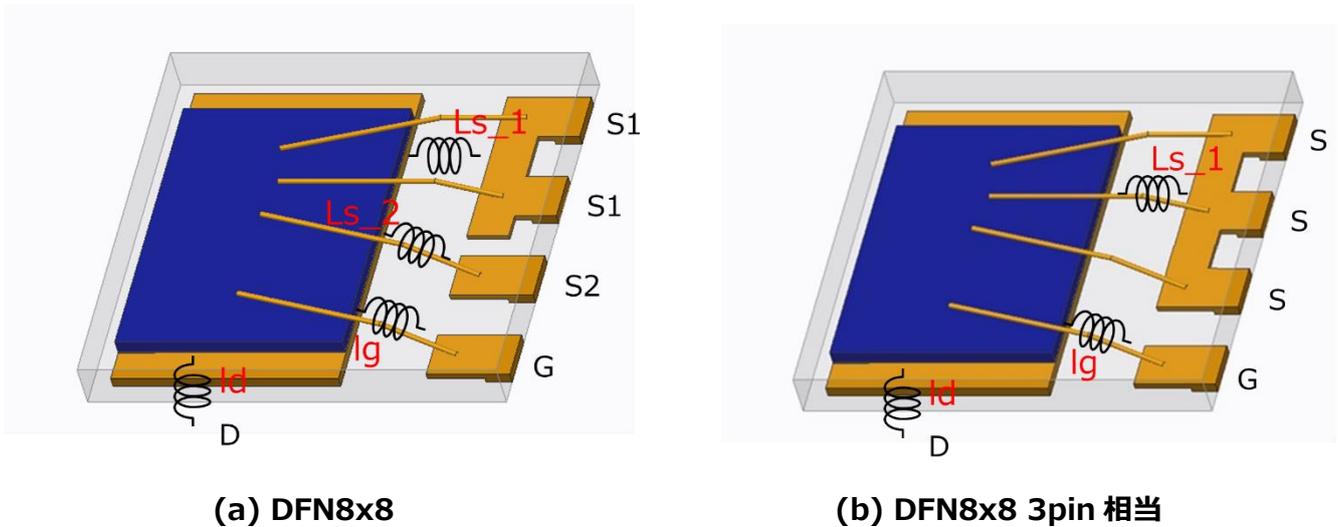


図 2.1.1 パッケージ内部配線イメージ

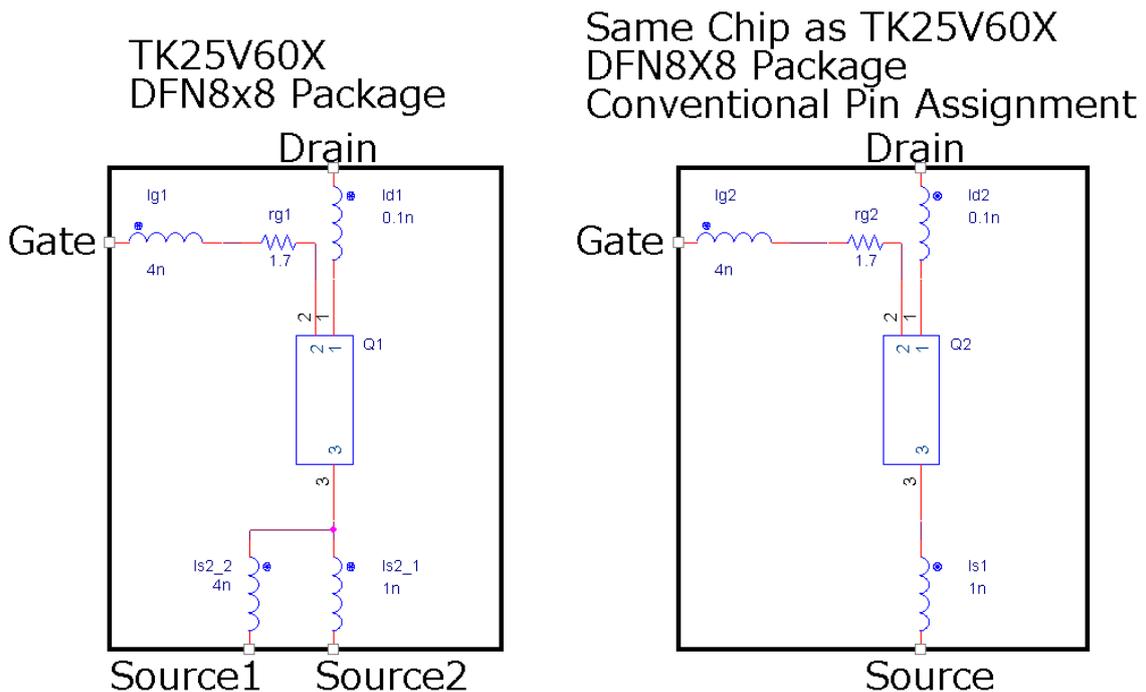


図 2.1.2 シミュレーションモデル

### 2.2. 基板の配線インダクタンス

基板の寄生インダクタンスを電磁界解析で算出します。図 1.5.1 に以下条件で電磁界解析を実施した結果を示します。

1. パターン銅箔厚み : 0.1mm
2. パターン幅 : 10mm(ドレイン、ソースライン)、3mm(ゲートライン)
3. パターン長 : 50mm
4. 算出周波数 : 1MHz

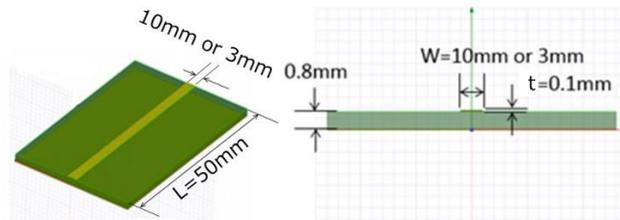


図 2.2.1 電磁界解析条件

表 2.1 電磁界解析結果

W=3mm パターン解析結果		W=10mm パターン解析結果	
1mm あたり インダクタンス	L=50mm 時 インダクタンス	1mm あたり インダクタンス	L=50mm 時 インダクタンス
0.207nH/mm	10.4nH	0.0844nH/mm	4.22nH

インダクタンス値はパターンの長さに比例するため、各パターンで想定する長さに換算する必要があります。図 2.2.2 に素子と各パターンの配線インダクタンスの関係、配線インダクタンスの名称を、表 2.2 に各パターンの長さとその時の寄生インダクタンス値の一覧を示します。

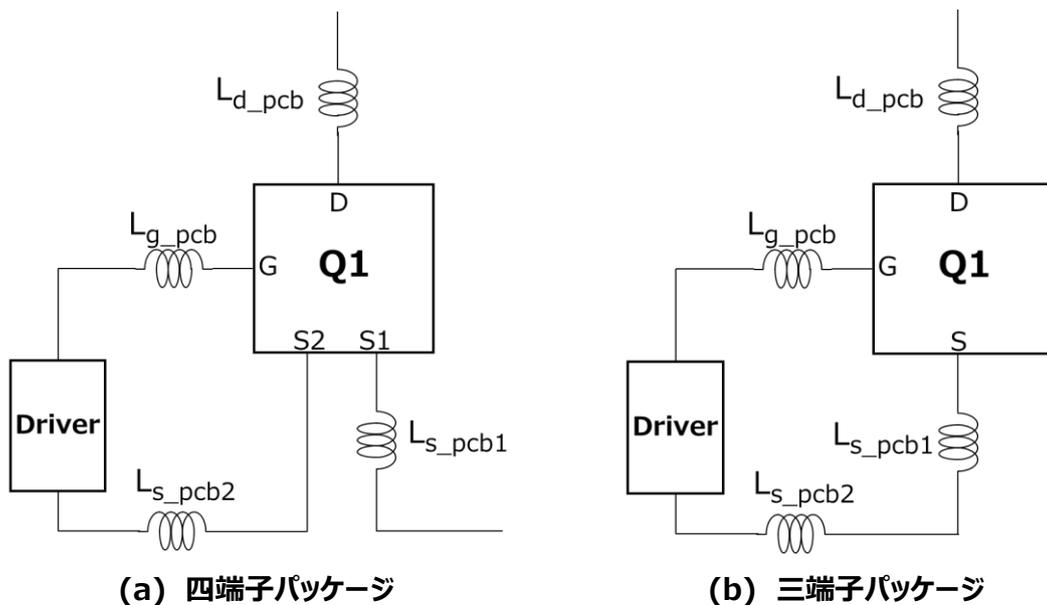


図 2.2.2 素子とパターン配線インダクタンスの関係

表 2.2 PCB の寄生インダクタンス一覧

FET	パターン名称	説明	パターン長	パターン幅	寄生インダクタンス
TK25V60X (四端子)	Lg_pcb	ドライバ出力-FET ゲート端子間	10mm	3mm	2.1nH
	Ls_pcb1	FET ソース端子-パワー-GND 間	15mm	10mm	1.3nH
	Ls_pcb2	FET ソース端子-ドライバ GND 間	5mm	3mm	1.1nH
	Ld_pcb	インダクタ L-FET ドレイン端子間	20mm	10mm	1.7nH
TK25V60X 三端子 相当品	Lg_pcb	ドライバ出力-FET ゲート端子間	10mm	3mm	2.1nH
	Ls_pcb1	FET ソース端子-パワー-GND 間	15mm	10mm	1.3nH
	Ls_pcb2	FET ソース端子-ドライバ GND 間	5mm	3mm	1.1nH
	Ld_pcb	インダクタ L -FET ドレイン端子間	20mm	10mm	1.7nH

### 2.3. 三端子パッケージ品のシミュレーションによる検証

#### 2.3.1. $R_g=10\Omega$ 時の動作確認

図 2.3.1.1 に検証に使用する回路を示します。シミュレーションは以下条件で実施します。

1. 電源電圧 :  $V_8=300V$
  2. インダクタンス :  $L_4=250\mu H$ 、初期電流  $I_C=10A$
  3. MOSFET ドライバ : 電源電圧  $V_7=10V$   
出力抵抗  $R_{32}=0.5\Omega$ (プッシュ、プル共通)、 $T_{rise}=T_{fall}=10ns$
  4. 外付けゲート抵抗 :  $R_{gate4}=10\Omega$
- ※ : 素子の自己発熱は考慮せず、温度条件は  $25^\circ C$  一定

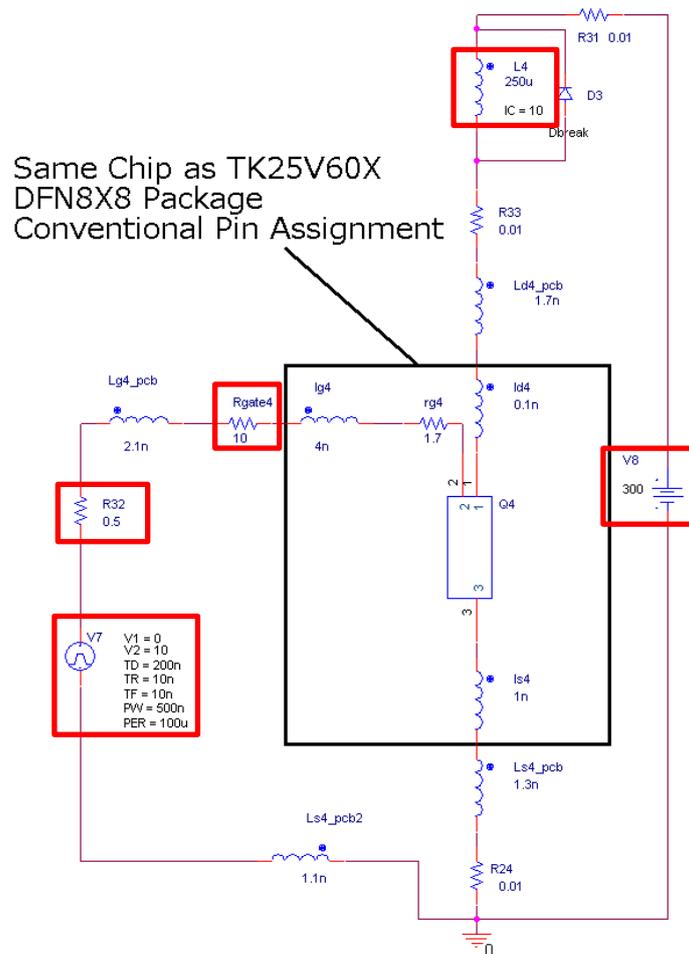


図 2.3.1.1 シミュレーション回路図

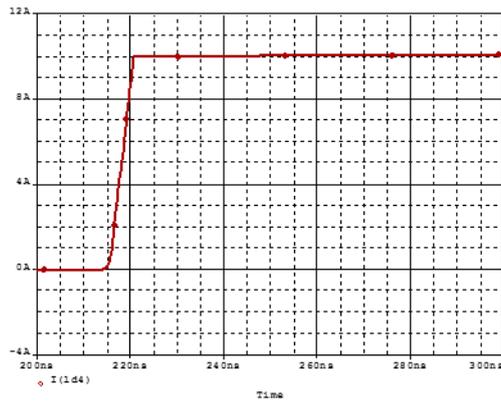


図 2.3.1.2 ターンオン時電流波形

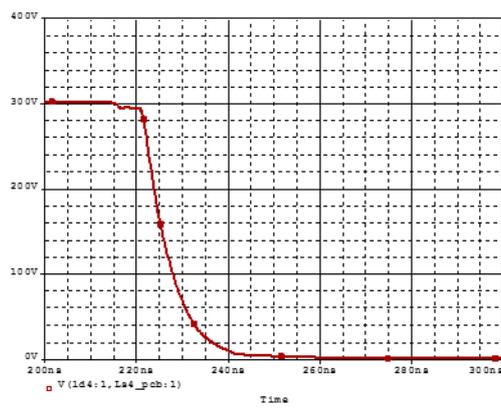


図 2.3.1.3 ターンオン時電圧波形

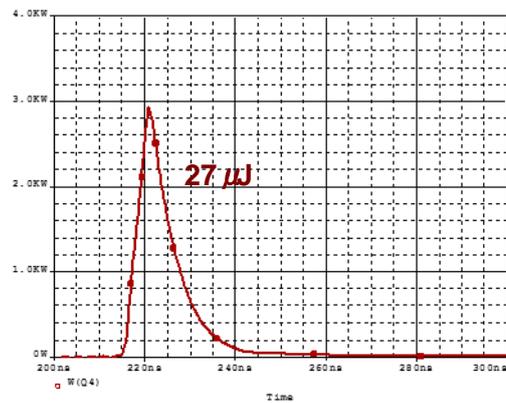


図 2.3.1.4 ターンオン時スイッチングロス

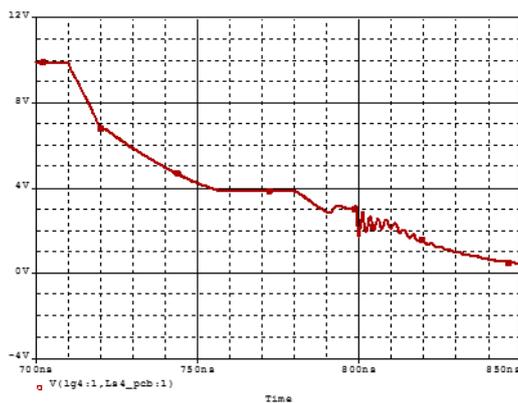


図 2.3.1.5 ターンオフ時ゲート波形

図 2.3.1.4 は、ターンオン時の電流値、電圧値を掛け合わせた値を表した波形です。これを時間で積分した物がターンオン時のスイッチングロスであり、 $27\mu\text{J}$  となります。図 2.3.1.5 にターンオフ時のゲート波形を示します。ゲート発振は確認されませんでした。

次に、効率向上を目的にターンオン時のスイッチング損失  $27\mu\text{J}$  を低減する為に外付けゲート抵抗  $R_g$  を  $10\Omega$  から  $3.3\Omega$  に変えてシミュレーションを実施します。

### 2.3.2. Rg=3.3Ω時の動作確認

外付けゲート抵抗 Rg を 3.3Ωに変更した時のシミュレーション波形を示します。



図 2.3.2.1 ターンオン時電流波形

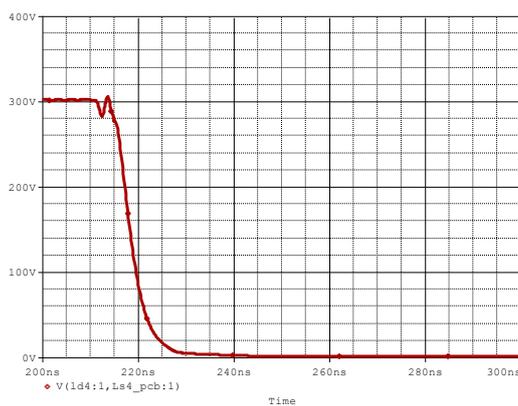


図 2.3.2.2 ターンオン時電圧波形

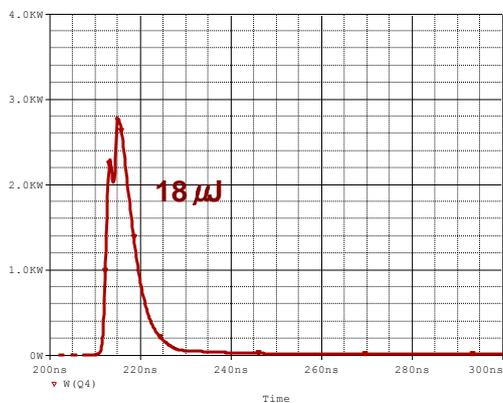


図 2.3.2.3 ターンオン時スイッチングロス

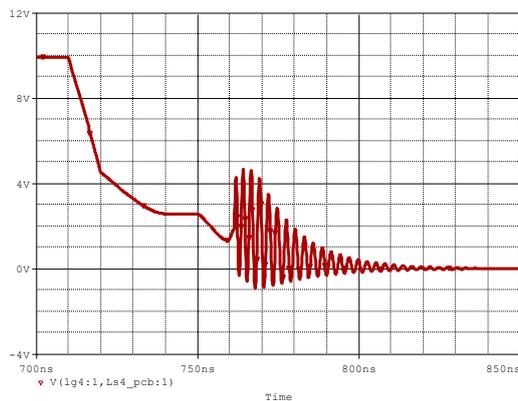


図 2.3.2.4 ターンオフ時ゲート波形

ターンオン時のスイッチング損失は  $18\mu\text{J}$  と  $R_g=10\Omega$  時から 33% 低減出来ました。しかしながら、ターンオフ時の  $V_{gs}$  波形に発振が観測されました。この  $V_{gs}$  波形の発振がグラウンドラインに伝搬すると周辺回路の誤動作を引き起こしたり、EMI ノイズが発生したりする恐れがある為、実応用時には十分な注意・検証が必要です。

この回路定数で、MOSFET を四端子パッケージ品 TK25V60X に変更しシミュレーションを実施します。

### 2.4. 四端子パッケージ品のシミュレーションによる検証

#### 2.4.1. 三端子パッケージ品との比較( $R_g=3.3\Omega$ )

図 2.4.1.1 に検証に使用する回路を示します。基板の配線インダクタンスは表 2.2 の値を使用しています。四端子パッケージ品 Q3、三端子パッケージ品 Q6 とともに外付けゲート抵抗  $R_g=3.3\Omega$  の同条件でシミュレーションを実施します。

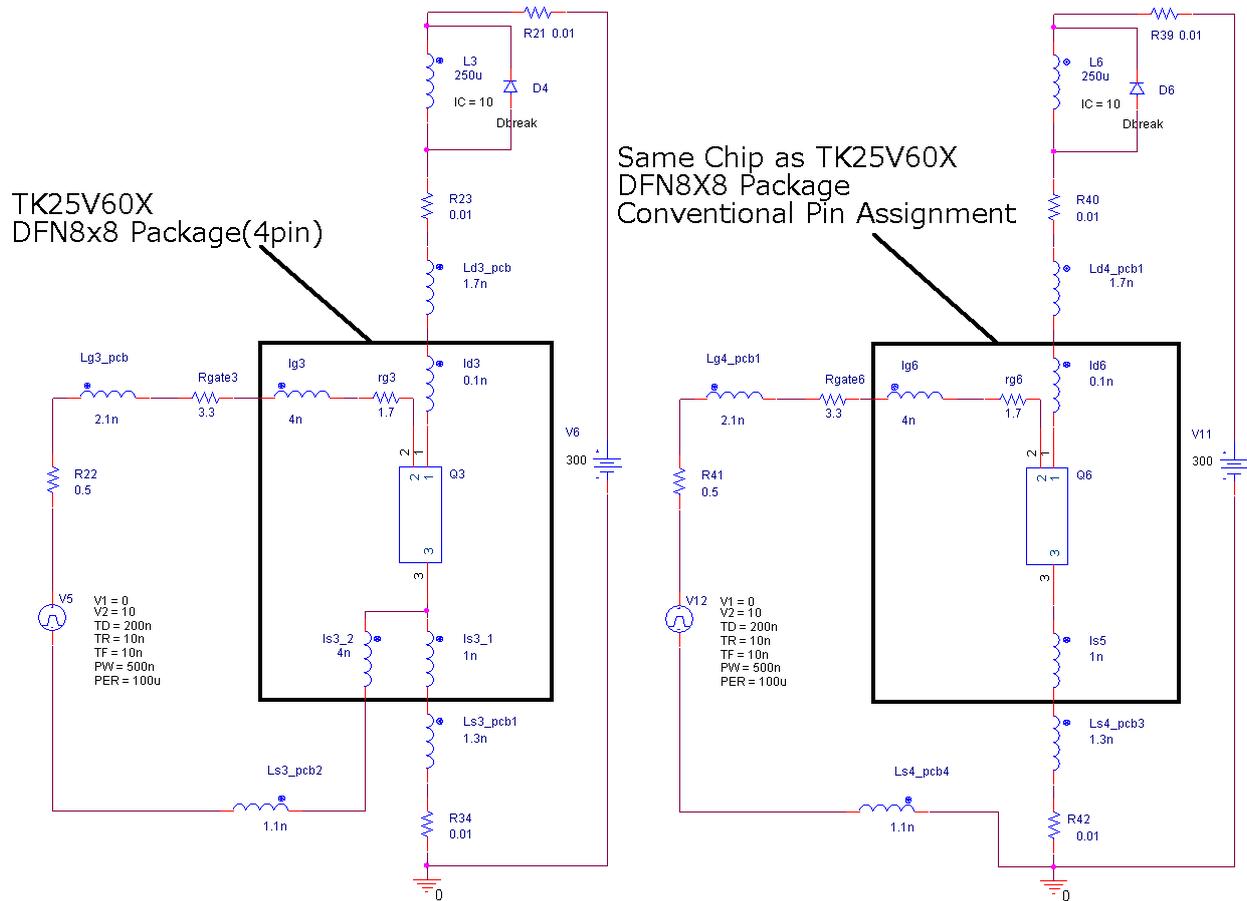


図 2.4.1.1 シミュレーション回路図

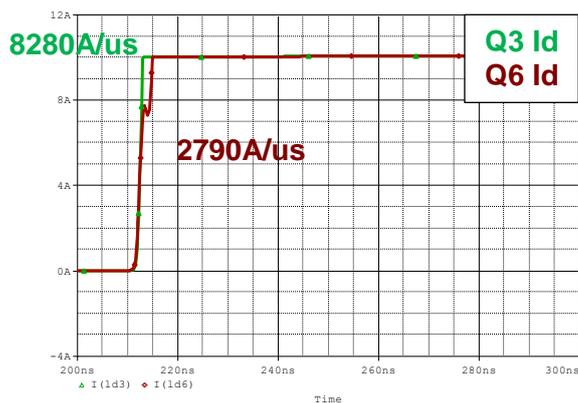


図 2.4.1.2 ターンオン時電流波形

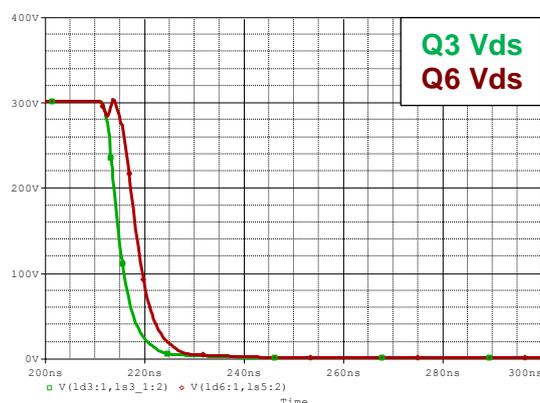


図 2.4.1.3 ターンオン時電圧波形

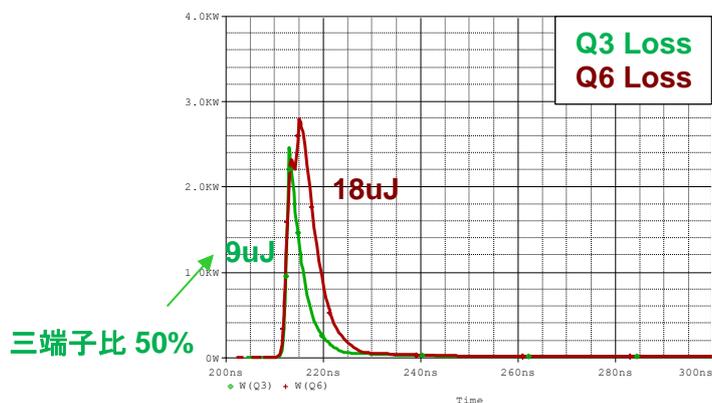


図 2.4.1.4 ターンオン時スイッチングロス

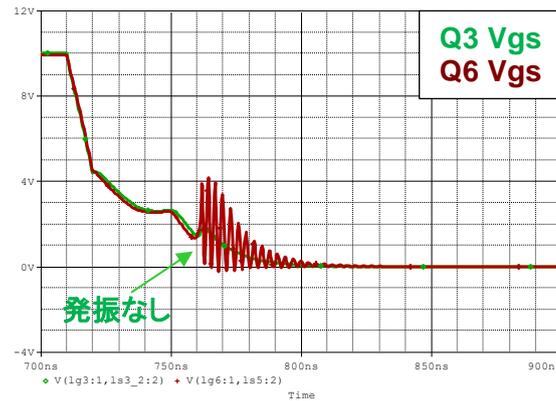
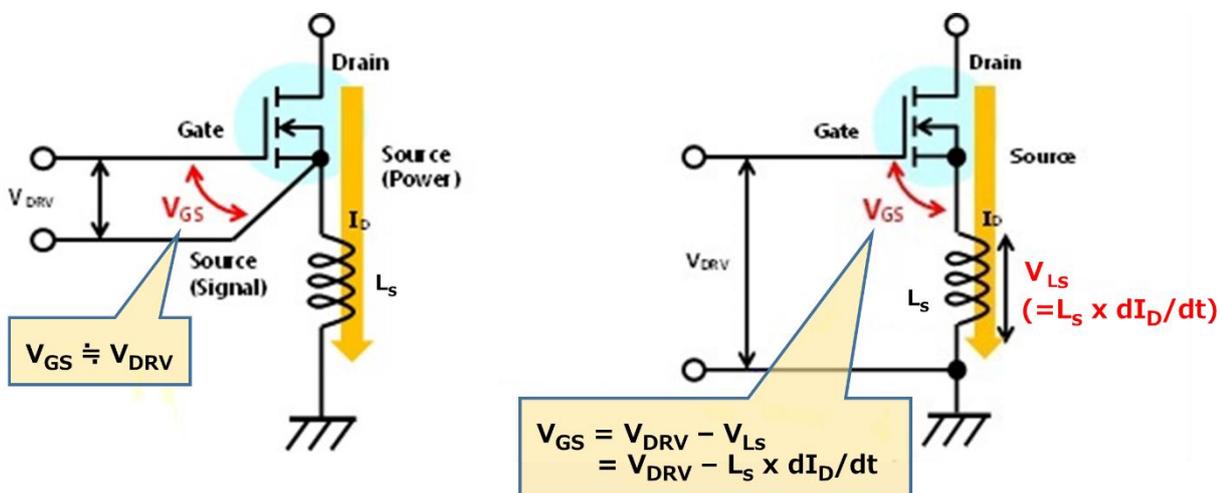


図 2.4.1.5 ターンオフ時ゲート波形

四端子パッケージではターンオフ時の Vgs 発振は観測されませんでした。四端子パッケージは、ターンオフ時の Vgs 発振抑制に効果があることが確認できました。

また、四端子パッケージ品は三端子パッケージ品と比べ、ターンオン時のスイッチングロスが三端子パッケージ品比 50%と大幅に低減しています。これは、三端子パッケージではパッケージ内ソース部の寄生インダクタンスと基板のソースパターンの配線インダクタンスと、ターンオン時の電流変化によって発生する電圧によりゲートに負帰還が掛かり、スイッチングが遅くなるのに対し、四端子パッケージではゲート駆動ラインとドレイン電流ラインが分離されているため、負帰還が掛からないからです。

次に、更なる効率向上を目的に四端子パッケージでより小さな Rg を適用しスイッチングロス低減が可能か検証します。



(a) 四端子パッケージ

(b) 三端子パッケージ

図 2.4.1.6 ゲート駆動経路外略図

### 2.4.2. 四端子パッケージ品動作検証( $R_g=1\Omega$ )

四端子パッケージ使用時に、より高速なスイッチング動作を実現するため、図 2.4.1.1 の回路の外部ゲート抵抗  $R_{gate3}$  を  $3.3\Omega$  から  $1\Omega$  に変更してシミュレーションを行います。以下にシミュレーション結果を示します。

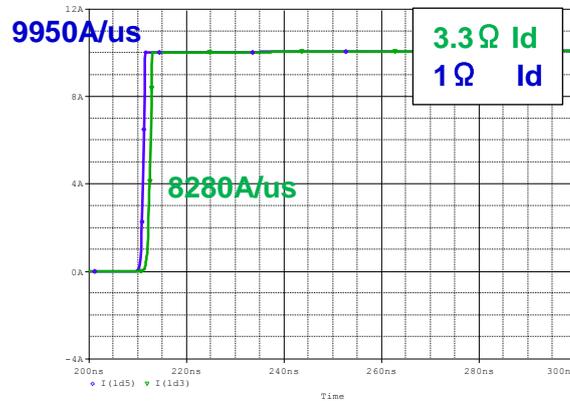


図 2.4.2.1 ターンオン時電流波形

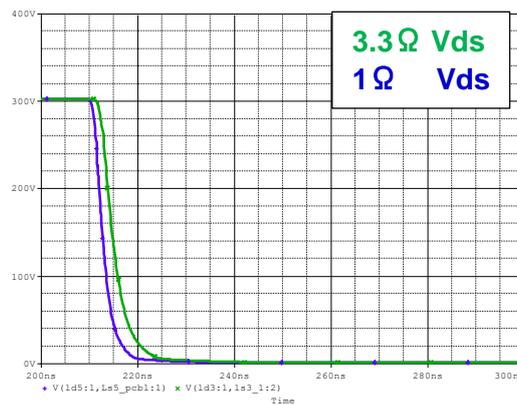


図 2.4.2.2 ターンオン時電圧波形

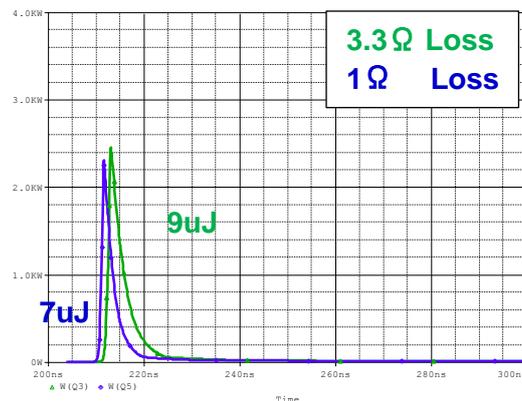


図 2.4.2.3 ターンオン時スイッチングロス

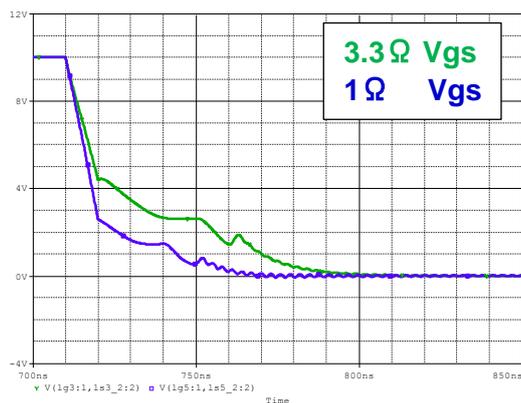


図 2.4.2.4 ターンオフ時ゲート波形

外部ゲート抵抗を 1Ωに変更することで、ターンオン時のスピードが速くなっており、スイッチングロスも約 23%減少しています。また、ターンオフ時のゲート波形に関しても、発振が発生していないことが確認できます。三端子パッケージの場合は、効率向上を目的に外付けゲート抵抗を下げることは発振現象発生により困難でしたが、四端子パッケージは発振が発生しにくい構造のため、外付けゲート抵抗値を下げることでより高速なスイッチング動作が可能となります。

### 3. まとめ

スーパージャンクション構造の DT MOSIV-H 製品の四端子パッケージ品 TK25V60X(DFN8x8)と、それを三端子パッケージとした製品に関して、回路シミュレーションにてスイッチング特性解析を実施しました。

三端子パッケージ品では、効率向上を目的にスイッチングを速くするために外付けゲート抵抗  $R_g$  を小さくすると、ゲート発振が観測されました。この状態でも四端子パッケージ品はゲート発振のないスイッチングが実現できます。三端子パッケージにて、配線パターンやゲート駆動回路の影響でゲート振動が発生する問題がある際は、四端子パッケージがその問題の解決策となります。また、四端子パッケージは三端子パッケージに比べターンオン時のスイッチングが速く、ターンオンロスが低減されます。

四端子パッケージ品でより小さな外付けゲート抵抗を使用しても、ゲート発振なくスイッチングロスを低減可能なことを確認しました。スイッチングロスを削減したい場合は、四端子構造の DFN8x8 の使用が有効です。

表 3.1 に実施したシミュレーション結果一覧を示します。

表 3.1 シミュレーション結果まとめ

製品	パッケージ	外付けゲート抵抗	Id Slew Rate	ターンオフ時ゲート発振	ターンオン時スイッチングロス	ターンオンスイッチングロス (三端子構造のゲート抵抗 10Ω時比)
TK25V60X	DFN8x8	1Ω	10030A/μs	なし	7μJ	26%
		3.3Ω	82800A/μs	なし	9μJ	33%
TK25V60X 三端子品	DFN8x8 三端子	3.3Ω	4830A/μs	あり	18μJ	67%

四端子パッケージ品 TK25V60X の外付けゲート抵抗 1Ω時のターンオンスイッチングロスは、三端子パッケージ品の外付けゲート抵抗 10Ω時の値に比べ 26%と大幅に低減が可能です。これは、一般的な 1.0kW 出力の PFC 回路において 0.4%程度の効率改善に相当します。

以上の結果より、四端子パッケージは、三端子パッケージと比べ、ゲート発振が発生し難く、高速動作に有効であることを確認しています。

### 3.1. まとめ

スーパージャンクション(SJ)構造の DTMOSIV-H 製品 TK25V60X(DFN8X8 パッケージ)と同一チップ、同一パッケージの従来ピン配置品に関して、シミュレーションでスイッチング特性解析を実施しました。シミュレーションは MOSFET 外部の寄生インダクタンスを考慮しない理想的なレイアウトと、考慮した現実的なレイアウトの 2 種類の環境下で行いました。いずれの環境下においても DFN8X8 パッケージは、従来ピン配置パッケージと比較してターンオン時間、スイッチングロス、ゲート発振において良好な結果となっていることを示しました。表 1.8.1 に実施したシミュレーション結果一覧を示します。

表 1.8.1 シミュレーション結果まとめ

製品	TK25V60X			TK25V60X		
パッケージ	DFN8x8			DFN8x8(従来ピン配置)		
レイアウト	理想的	現実的		理想的	現実的	現実的
外付けゲート抵抗	3.3Ω	3.3Ω	1Ω	3.3Ω	3.3Ω	10Ω
Id Slew Rate	10030A/us	8280A/us	9950A/us	4830A/us	2790A/us	1930A/us
ターンオン時ロス/Pulse	10uJ	9uJ	7uJ	14uJ	18uJ	27uJ
ターンオフ時の発振現象	なし	なし	なし	あり	あり(大)	なし

以上の結果から、特に高速化が求められるアプリケーションでは高速な SJ 構造の MOSFET とゲートドライブ用の信号ソース端子をケルビン接続したパッケージを組み合わせた製品を使うことが最適であると言えます。

## ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

### 第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

### 第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任は負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

### 第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

### 第4条 準拠法

本規約の準拠法は日本法とします。