

1 出力ハイサイド
N チャネルパワーMOSFET ゲートドライバ
TPD7104AF
応用と回路
リファレンスガイド

RD016-RGUIDE-03

東芝デバイス&ストレージ株式会社

目次

1.	概要	4
1.1.	ターゲットアプリケーション	4
2.	負荷ショート(過電流)検出回路.....	5
2.1.	回路例	5
2.2.	タイミングチャート.....	6
3.	電源逆接続保護回路.....	7
3.1.	回路例	7
4.	応用回路例、部品表.....	8
4.1.	応用回路例.....	8
4.2.	部品表	9
5.	応用回路設計ガイド	10
5.1.	負荷ショート(過電流)検出機能設計	10
5.2.	電源逆接続保護機能設計	11
6.	シミュレーション.....	12
6.1.	負荷ショート(過電流)検出機能動作	12
6.2.	電源逆接保護機能動作	14
7.	製品概要	16
7.1.	TPD7104AF	16
7.1.1.	概要.....	16
7.1.2.	外観と端子配置	16

7.1.3.	内部回路ブロック図	17
7.1.4.	端子説明	17
7.2.	TKR74F04PB	18
7.2.1.	概要	18
7.2.2.	外観と端子配置	18

1. 概要

バッテリー等電源から負荷への電力供給ラインを遮断・接続するスイッチとしては、従来よりメカニカルリレーが広く知られています。しかしながら、メカニカルリレーは機械的に接点を開放・接続を繰り返す為、耐久性に問題があり、長期信頼性が要求される用途では、半導体素子を使用した半導体リレーの普及が進んでいます。更にはシステムの複雑化に伴い、半導体リレーに要求される電流能力は年々大きくなっており、オン抵抗の低いディスクリートNチャンネルパワーMOSFETを使用したロードスイッチ回路を使用することで低損失、低発熱の大電流半導体リレーを実現できます。

TPD7104AFは、チャージポンプ回路を内蔵した1出力のハイサイドスイッチ用NチャンネルパワーMOSFETゲートドライバであり、外付けディスクリートNチャンネルMOSFETと組み合わせることで、大電流ロードスイッチ回路を簡単に構成することが可能となります。また、負荷ショート(過電流)検出用コンパレータ、電源逆接続保護機能を搭載しており、大電流システムが故にシステムに与える影響が大きい負荷ショートや逆極性電源の誤接続のような異常時でも、システムを保護し、安全な動作を実現します。

本リファレンスガイドでは、大電流ロードスイッチを含むシステムを安全に動作させる為に重要な、負荷ショート(過電流)検出機能と、電源逆接続保護機能の動作、応用について解説していきます。

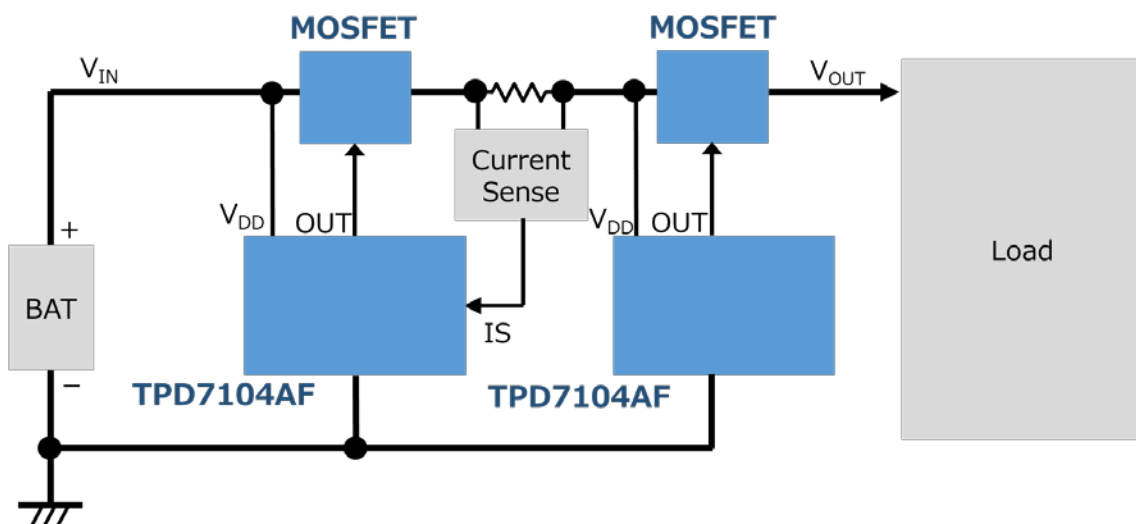
TPD7104AFのその他機能、製品詳細については、データシートをご参照願います。

TPD7104AFのデータシートダウンロードはこちらから → [Click Here](#)

1.1. ターゲットアプリケーション

- 半導体リレー
- BMS(バッテリーマネジメントシステム)

回路例



※ 上記のようなアプリケーションに適した MOSFET をラインアップしています。

製品の詳細はこちらから → [Click Here](#)

2. 負荷ショート(過電流)検出回路

2.1. 回路例

図 2.1.1に負荷ショート(過電流)検出機能を実現する回路例を示します。直列に配置された2個のMOSFETの内、MOSFET1を駆動するTPD7104AFにて負荷ショート(過電流)検出機能が動作します。

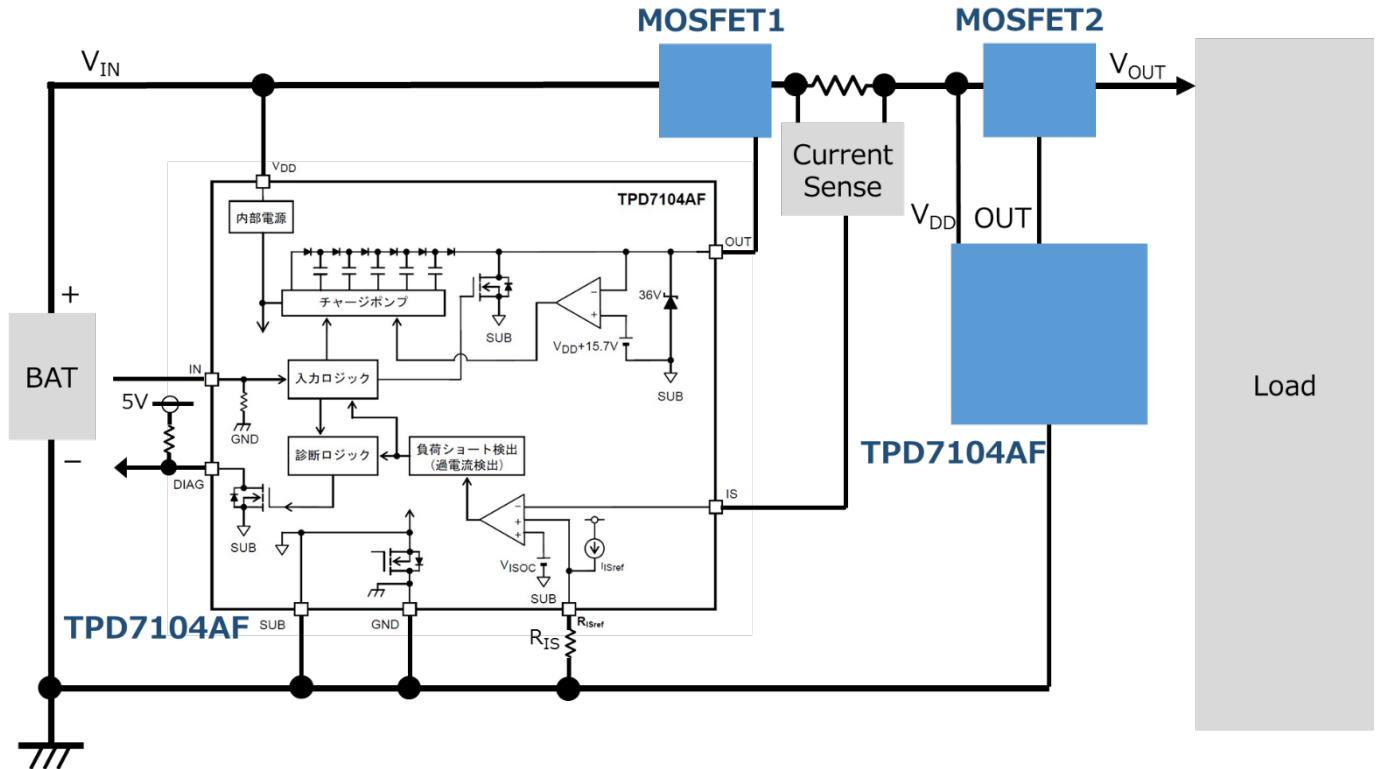


図 2.1.1 負荷ショート(過電流)検出回路例と内部ブロック構成

TPD7104AFは負荷電流が増加しIS端子電圧がしきい値電圧 V_{det} に到達すると、負荷ショート(過電流)を検出して以下動作を行います。

- ・OUT出力をオフして負荷電流を遮断
- ・DIAG端子より“H”レベル信号を出力して異常を通知

過電流検出のしきい値 V_{det} は R_{ISref} 端子で設定します。 R_{ISref} 端子がオープンの場合は、デフォルト値 V_{ISOC} (1.02V(標準))が V_{det} となります。 V_{det} をデフォルト値より低い値に設定する場合、 R_{ISref} 端子-GND端子間に抵抗 R_{IS} を接続します。この場合、 R_{ISref} 端子内部の定電流源 $I_{ISREF}=38\mu A$ (標準)と R_{IS} によって発生する電圧 V_{RISref} が V_{det} となりますが、 V_{RISref} が V_{ISOC} を超えると V_{ISOC} が優先されます。図 2.1.2に R_{IS} と V_{det} の関係を示します。

V_{det} の設定方法

- 1) R_{ISref} 端子がオープンの場合： $V_{det} = V_{ISOC}$ (1.02V(標準))
- 2) 抵抗 R_{IS} が接続され $V_{RISref} \leq V_{ISOC}$ の場合： $V_{det} = V_{RISref} = I_{ISREF} \times R_{IS} = 38\mu A$ (標準) $\times R_{IS}$
- 3) 抵抗 R_{IS} が接続され $V_{RISref} > V_{ISOC}$ の場合： $V_{det} = V_{ISOC}$ (1.02V(標準))

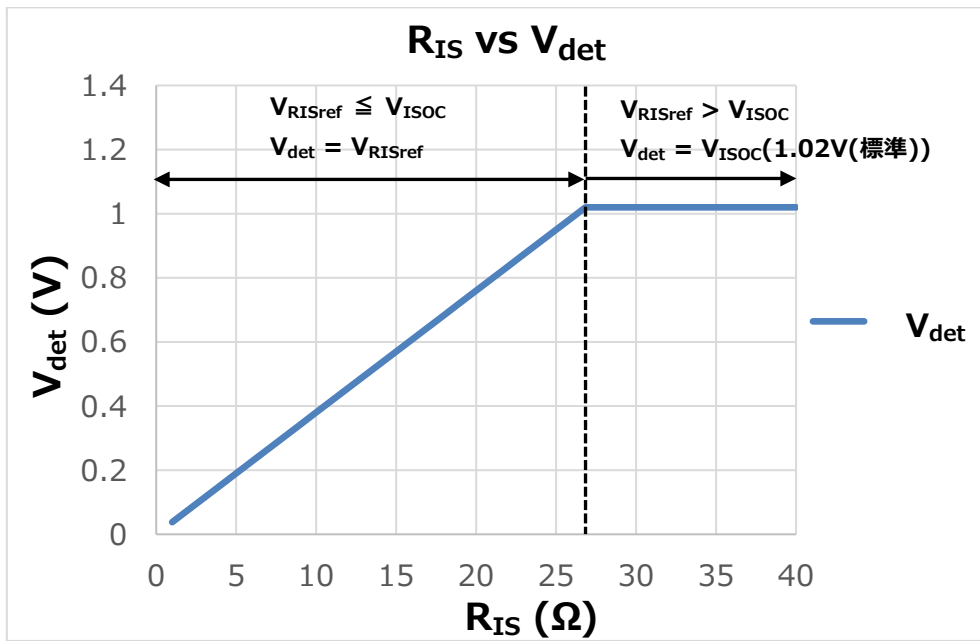


図 2.1.2 R_{IS}とV_{det}の関係

2.2. タイミングチャート

図 2.2.1に負荷ショート(過電流)検出動作のタイミングチャートを示します。

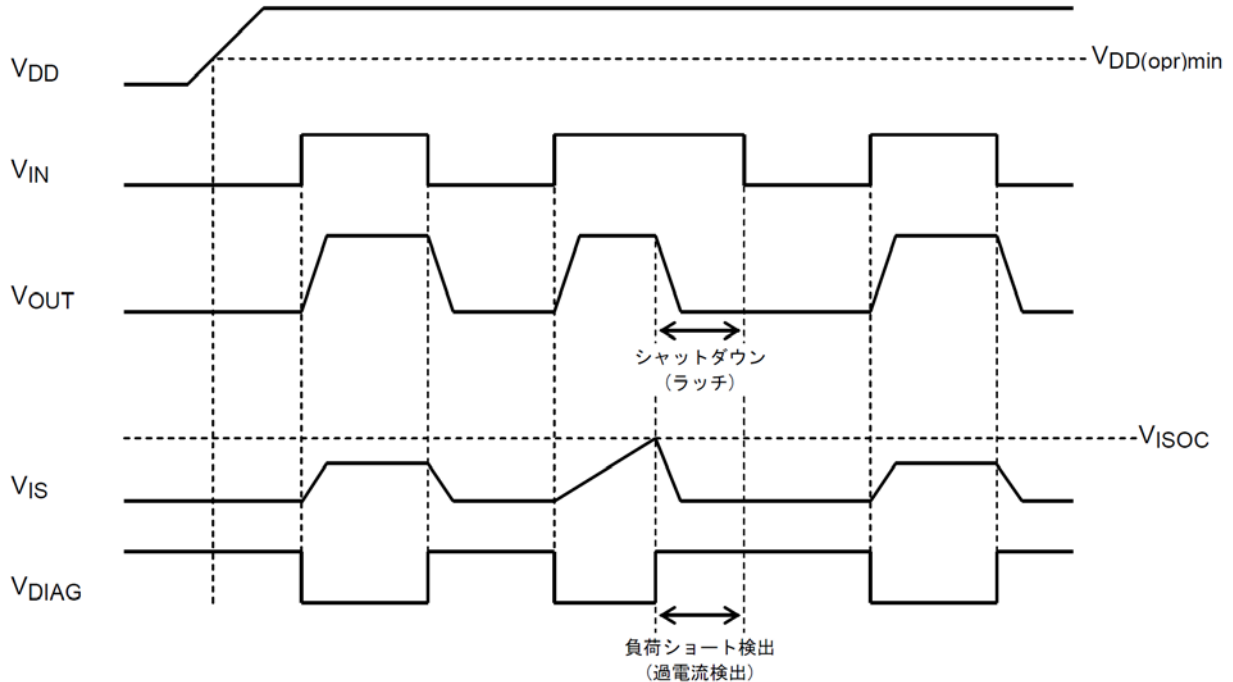


図 2.2.1 負荷ショート(過電流)検出タイミングチャート

(注) : 負荷ショート(過電流)を検出すると出力がシャットダウンしてラッチ状態となり、パワー-MOSFETを保護(オフ)します。また、診断出力はDIAG="H"レベルとなります。VIN="L"レベルとすることでラッチ状態を解除します。

4. 応用回路例、部品表

4.1. 応用回路例

図 4.1.1 は、N チャネルパワー-MOSFET と TPD7104AF を各 2 個組み合わせた半導体リレーの応用回路例です。低オン抵抗の TKR74F04PB ($V_{DS}=40V$, $R_{DS(ON)}=0.74m\Omega$ (最大)) を使用することで、40A の大電流通電を可能にしています。MOSFET を個々に TPD7104AF で駆動し、負荷ショート(過電流)検出機能、電源逆接続保護機能を備えた回路です。IC1 で負荷ショート(過電流)検出機能を、IC2 で電源逆接続保護機能を実現します。

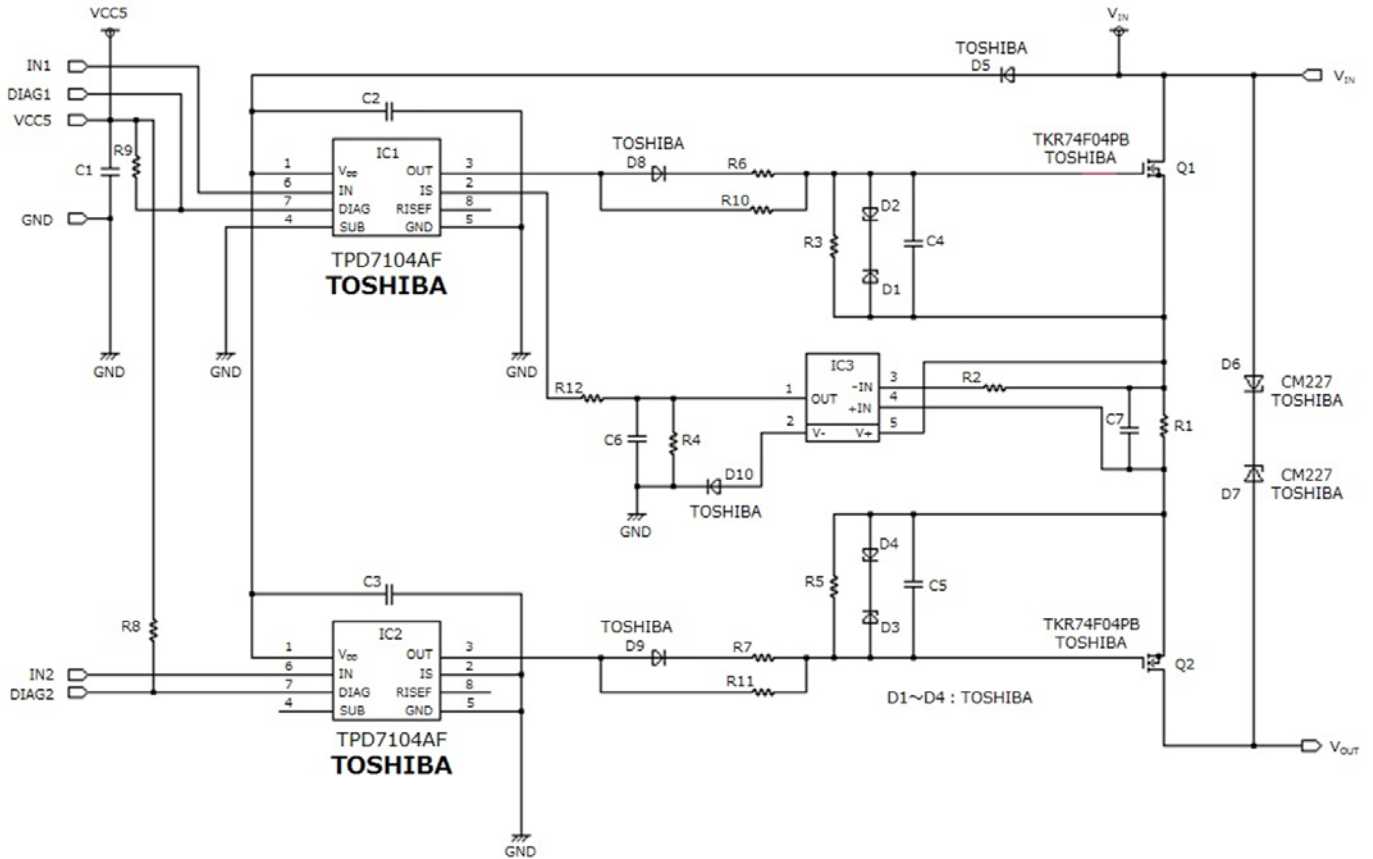


図 4.1.1 TPD7104AF 応用回路例

4.2. 部品表

表 4.2.1 に部品表を示します。

表 4.2.1 TPD7104AF 応用回路部品表

アイテム	部品	数量	値	部品名	メーカ	説明	パッケージ名 称	標準寸法 mm (inch)
1	IC1,IC2	2	—	TPD7104AF	TOSHIBA	MOSFET ゲートドライバ	PS8	2.9 x 2.8
2	IC3	1	—	LTC6101BCS5	Analog Devices	電流センスアンプ	TSOT-23	2.9 x 2.8
3	Q1,Q2	2	—	TKR74F04PB	TOSHIBA	パワー-MOSFET	TO220- SM(W)	10 x 13
4	D1,D2,D3,D4	4	—	CRZ16	TOSHIBA	Zener Diode	S-FLAT	3.5 x 1.6
5	D5	1	—	CMG07	TOSHIBA	Diode	M-FLAT	4.7 x 2.4
6	D6,D7	2	—	CMZ27	TOSHIBA	Zener Diode	M-FLAT	4.7 x 2.4
7	D8,D9,D10	3	—	1SS352	TOSHIBA	Diode	USC	2.5 x 1.25
8	R1	1	0.5m	PSJ2NTEBL500F BVS-M-R0005-1.0	KOA Isabellenhutte	10W,±1% 9W,±1%	—	10 x 5.2
9	R2	1	300			63mW,±1%	—	1.6 x 0.8 (0603)
10	R3,R5	2	100k			63mW,±5%	—	1.6 x 0.8 (0603)
11	R4	1	10k			63mW,±1%	—	1.6 x 0.8 (0603)
12	R6,R7,R8,R9	4	10k			63mW,±5%	—	1.6 x 0.8 (0603)
13	R10,R11	2	20k			63mW,±5%	—	1.6 x 0.8 (0603)
14	R12	1	1k			63mW,±5%	—	1.6 x 0.8 (0603)
15	C1,C2,C3	3	1μF			セラミック,25V,±10%	—	1.6 x 0.8 (0603)
16	C4,C5	2	10nF			セラミック,50V,±10%	—	1.6 x 0.8 (0603)
17	C6	1	100nF			セラミック,50V,±10%	—	1.6 x 0.8 (0603)
18	C7	1	15pF			セラミック,50V,±5%	—	1.6 x 0.8 (0603)

5. 応用回路設計ガイド

40Aの半導体リレー回路である図 4.1.1 の応用回路に関し、負荷ショート(過電流)保護機能、電源逆接続保護機能の設計ガイドを示します。

5.1. 負荷ショート(過電流)検出機能設計

本回路ではIC1(IPDドライバ：TPD7104AF)とIC3(カレントアンプ：LTC6101BCS5)で過電流検出機能を実現します。負荷ショート(過電流)検出時の負荷電流値 I_{det} (A)を負荷ショート(過電流)検出のしきい値 V_{det} (V)、電流検出抵抗 $R1$ (Ω)、カレントアンプ周辺抵抗 $R2$ (Ω), $R4$ (Ω)で設定します。

$$I_{det} = V_{det} \times \frac{R2}{R1 \times R4}$$

各定数を決定するための設計手順は以下のとおりです。

①システム最大負荷電流値 I_{max} の明確化

システムに供給すべき最大電流値をシステム仕様から決定します。本回路は40A通電の半導体リレーですので、 $I_{max}=40A$ となります。

②電流検出抵抗 $R1$ を決定

電流検出抵抗は消費電力を下げるため、カレントアンプの性能が許す範囲で小さな値を選定します。ここでは、 I_{max} 時に電流検出抵抗による損失が1W程度となるよう0.5m Ω を選定します。検出精度を確保するため、 I_{max} 時の $R1$ 両端電圧20mVが、カレントアンプの入力オフセット電圧に対して十分小さい値であることが必要です。必要に応じて、カレントアンプの温度ドリフトも考慮します。今回使用するLTC6101Bの場合、入力オフセットが ± 0.81 mV、温度ドリフトが ± 3 μ V/ $^{\circ}$ Cです。100 $^{\circ}$ Cの温度変化があると仮定すると合計で1.11mV、検出電流値にすると2.22Aの誤差が発生します。

③カレントアンプのGain($R2, R4$)を決定

I_{max} 時に負荷ショート(過電流)検出をしてはならないため、以下式を満たすようにカレントアンプのGainを決定します。

$$\text{Gain} < \frac{V_{det}(\text{最小})}{I_{max} \times R1}$$

$V_{det}(\text{最小})=V_{ISOC}(\text{最小})=0.8V$ なので、Gainは40未満とする必要があります。部品ばらつきを考慮して低めの値を選定するため、 $R2=300\Omega$ 、 $R4=10k\Omega$ (Gainは $\frac{R4}{R2} = 33$)とします。

④ばらつき確認

上記にて決定したパラメータにて設計ばらつき計算を行い問題がないことを確認します。

・ $I_{max} > I_{det}(\text{最小})$ であること

$I_{det}(\text{最小})$ は以下のとおり44.4Aとなります。 I_{max} (40A)に対して10%マージンがあり、抵抗のTCR等の軽微なばらつきを考慮しても問題がないことが分かります。

$$\begin{aligned} I_{det}(\text{最小}) &= 0.80 \times 300 \times 0.99 / (0.5\text{m} \times 1.01 \times 10\text{k} \times 1.01) - 2.22 \\ &= 44.4\text{A} \end{aligned}$$

・ $I_{det}(\text{最大})$ 時に各種部品定格に問題がないこと

$I_{det}(\text{最大})$ は以下のとおり76.4Aとなります。この時の電流検出抵抗の口入は2.9Wであり、ばらつきを考慮しても $R1$ の定格電力5W(端子温度100 $^{\circ}$ C時)に対して十分なマージンがあることが確認できます。

$$\begin{aligned} I_{\text{det}}(\text{最大}) &= 1.2 \times 300 \times 1.01 / (0.5\text{m} \times 0.99 \times 10\text{k} \times 0.99) + 2.22 \\ &= 76.4\text{A} \end{aligned}$$

・ I_{det} (標準)の確認

I_{det} (標準)は以下のとおり61.2Aとなります。

$$\begin{aligned} I_{\text{det}}(\text{標準}) &= 1.02 \times 300 / (10\text{k} \times 0.5\text{m}) \\ &= 61.2\text{A} \end{aligned}$$

5.2. 電源逆接続保護機能設計

本回路ではIC2(TPD7104AF)で電源逆接続保護機能を実現しています。IC2のSUB端子をオープンにすることで、電源逆接続保護機能をイネーブルにしています。この状態で逆極性電源が接続されても、電源逆接続保護MOSFETがオンしないととも、TPD7104AF内部の電流経路もないため、システムへの電流流入を防止します。ただし、IC3のようにQ2よりも電源側(Vin側)に設置された部品は上記回路によって保護されないため、個別の保護回路が必要となります。D10をIC3の2ピンに接続し、電源逆接続時にIC3を保護します。

6. シミュレーション

6.1. 負荷ショート(過電流)検出機能動作

TPD7104AFの負荷ショート(過電流)検出機能の動作を回路シミュレーションで確認します。図 6.1.1 に OrCAD 上で動作するシミュレーション回路を示します。図 4.1.1 の応用回路例を元にしてはいますが、電流検出部は OrCAD 付属の理想オペアンプを使用し構成しています。本シミュレーション回路は RD016-SPICE-02 よりダウンロード可能です。

シミュレーションは以下の条件、手順で実施します。

■条件

- ・VIN に 12V を印加
- ・VCC5 に 5V を印加
- ・IN1,IN2 に 0V を入力
- ・負荷スイッチ U14 オフ(負荷電流 Iout オフ)

■手順

- ・シミュレーション開始
- ・シミュレーション開始 0.5ms 後に IN1 を”H”レベルに(Q1 をオン)
- ・シミュレーション開始 0.6ms 後に IN2 を”H”レベルに(Q2 をオン)
- ・シミュレーション開始 2ms 後に負荷スイッチ U14 をオン(短絡電流オン)

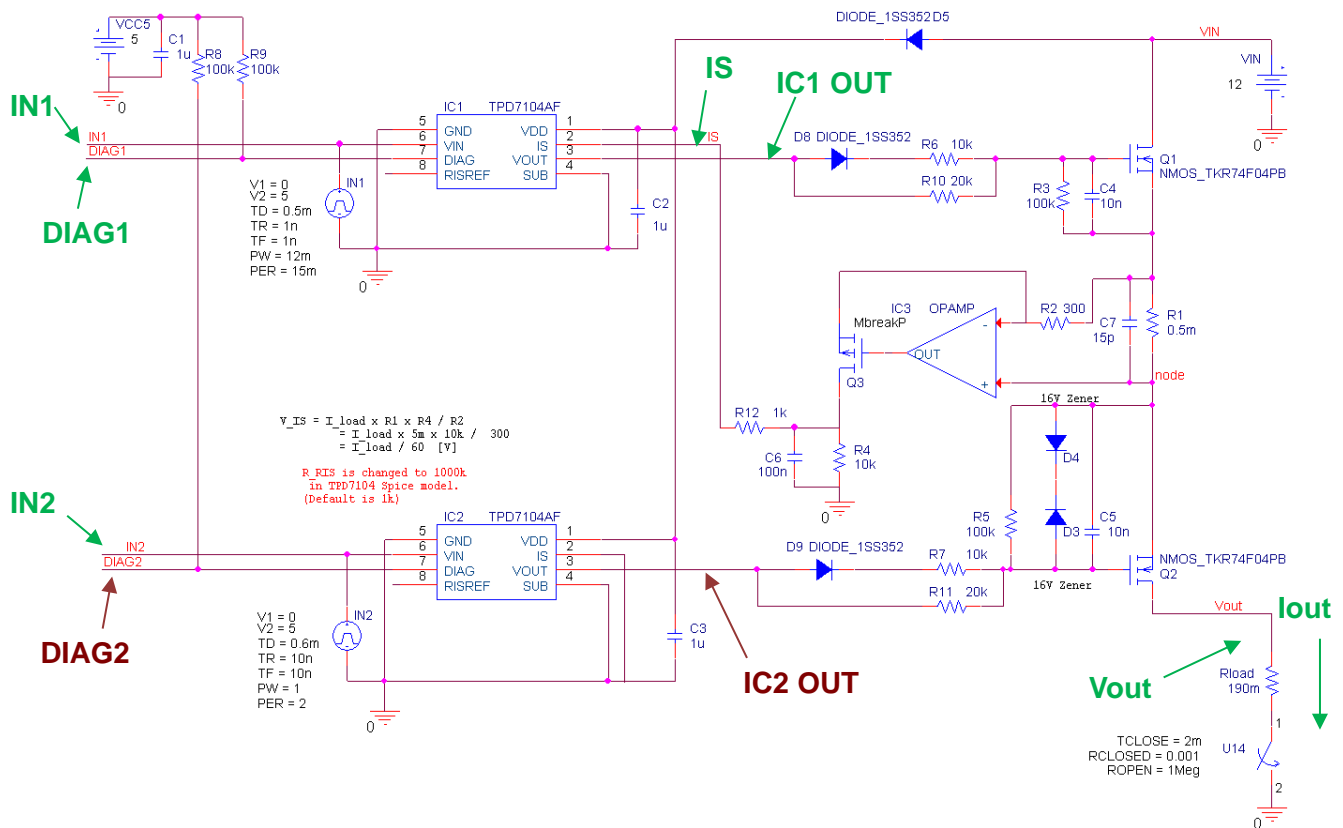


図 6.1.1 負荷ショート(過電流)検出機能シミュレーション回路

図 6.1.2 はシミュレーション結果です。負荷スイッチがオンして短絡電流が流れると、TPD7104AF が過電流を検出して以下動作をしていることが確認できます。

- ・Q1 をオフして負荷電流を遮断
- ・DIAG1 信号をハイにアサートして異常を通知

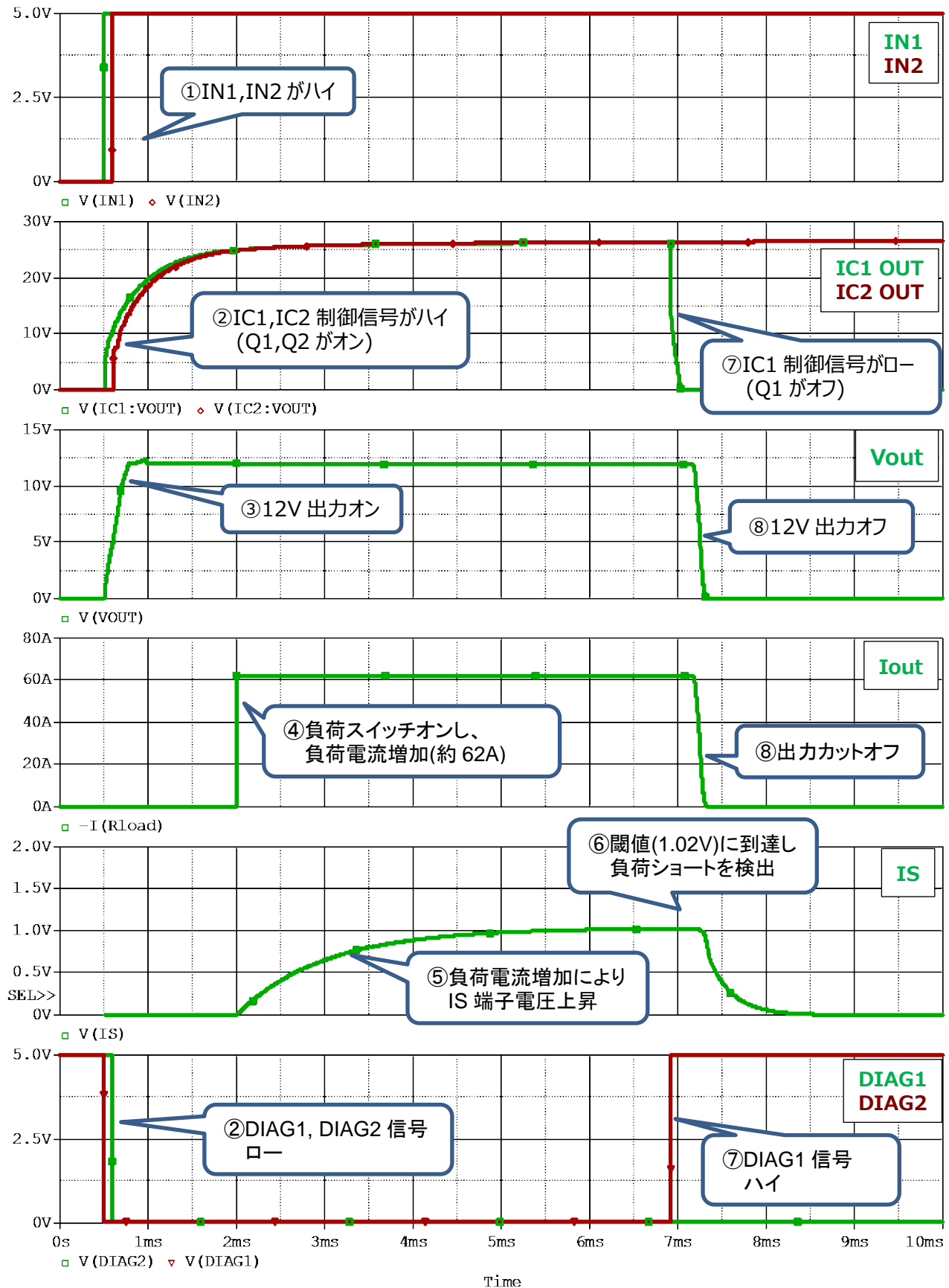


図 6.1.2 シミュレーション波形

6.2. 電源逆接保護機能動作

TPD7104AFの電源逆接保護の動作を回路シミュレーションで確認します。図 6.2.1 に OrCAD 上で動作するシミュレーション回路を示します。VIN に逆極性の電源が接続された際、IC2 と Q2 で電源逆接保護動作を実現します。本シミュレーション回路は RD016-SPICE-02 よりダウンロード可能です。

■条件

- ・VIN に-12V(逆接続)を印加
- ・VCC5,IN1,IN2 は 0V
- ・SUB 端子をオープンにして逆接続保護機能をイネーブル

■手順

- ・シミュレーション開始(逆接保護イネーブル)

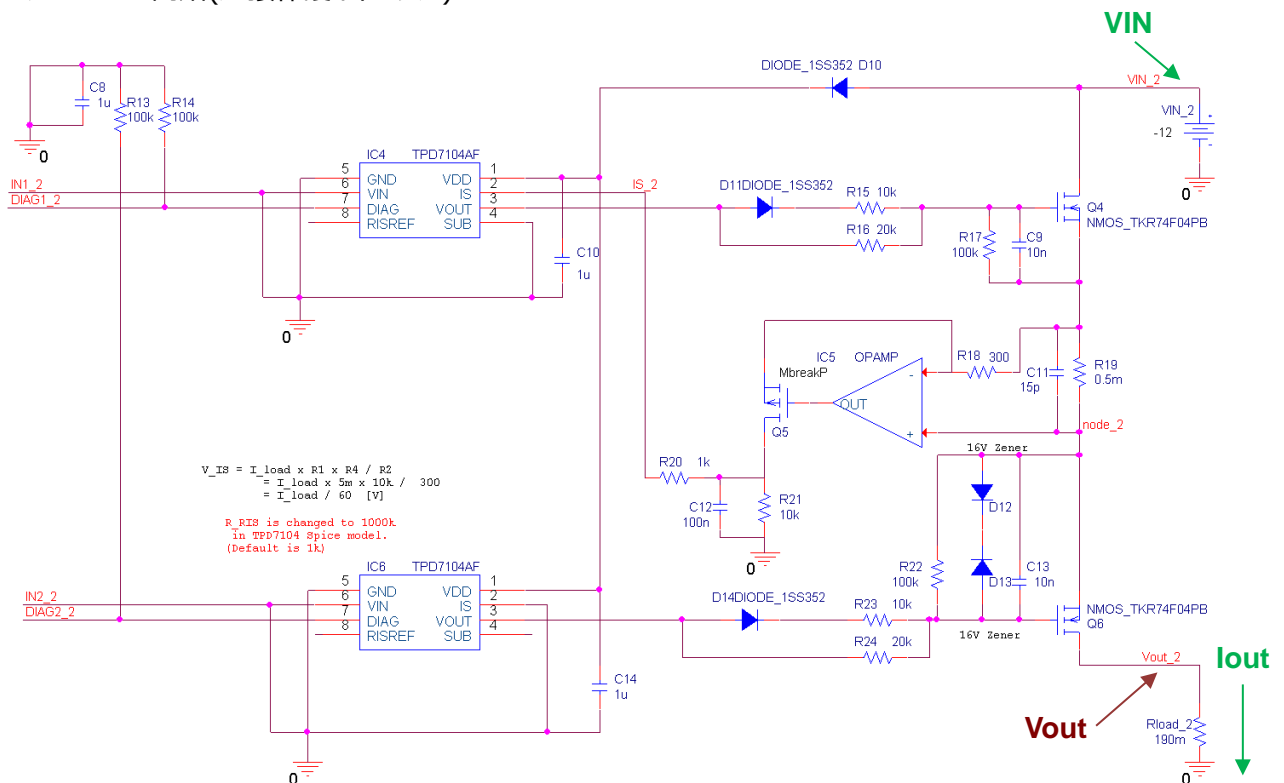


図 6.2.1 電源逆接保護機能シミュレーション回路

図 6.2.2 はシミュレーション結果です。VIN-GND 間に逆極性(-12V)のシミュレーション開始後 5ms の期間は逆接保護機能がイネーブルのため、逆極性の電源(-12V)が接続されても負荷電流が流れません。

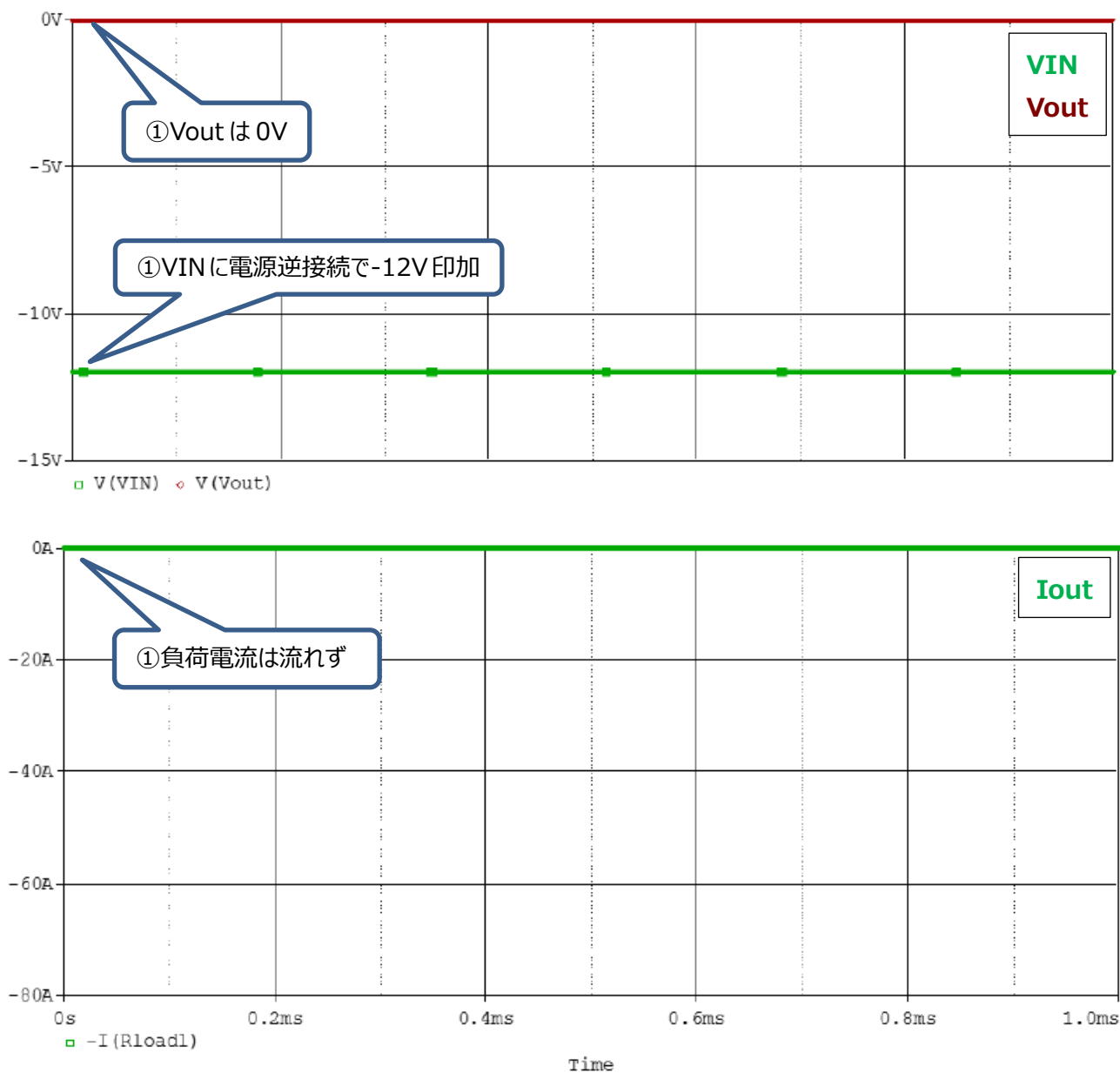


図 6.2.2 シミュレーション波形

7. 製品概要

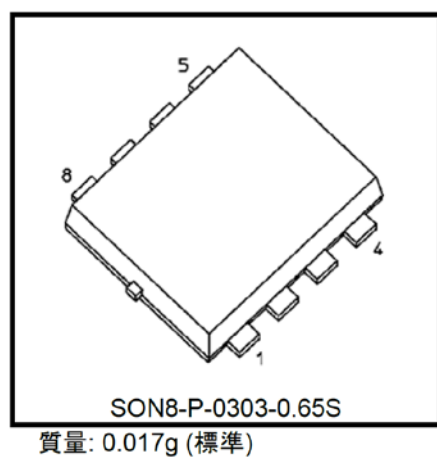
7.1. TPD7104AF

7.1.1. 概要

TPD7104AF は 1 出力のハイサイドスイッチ用 N チャンネルパワー-MOSFET ゲートドライバです。チャージポンプ回路を内蔵しており、大電流アプリケーションのハイサイドスイッチを容易に構成することができます。

- チャージポンプ回路を内蔵
- 負荷ショート(過電流)検出と電源逆接続保護機能を内蔵
- 小型パッケージ(PS-8)

7.1.2. 外観と端子配置



ピン接続 (top view)

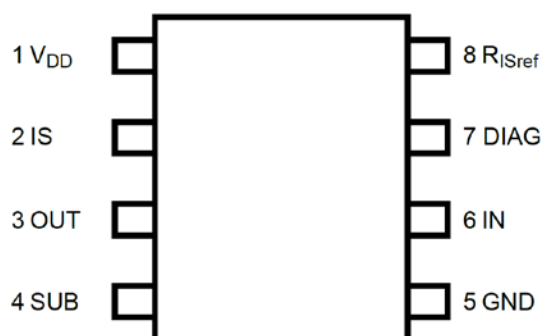
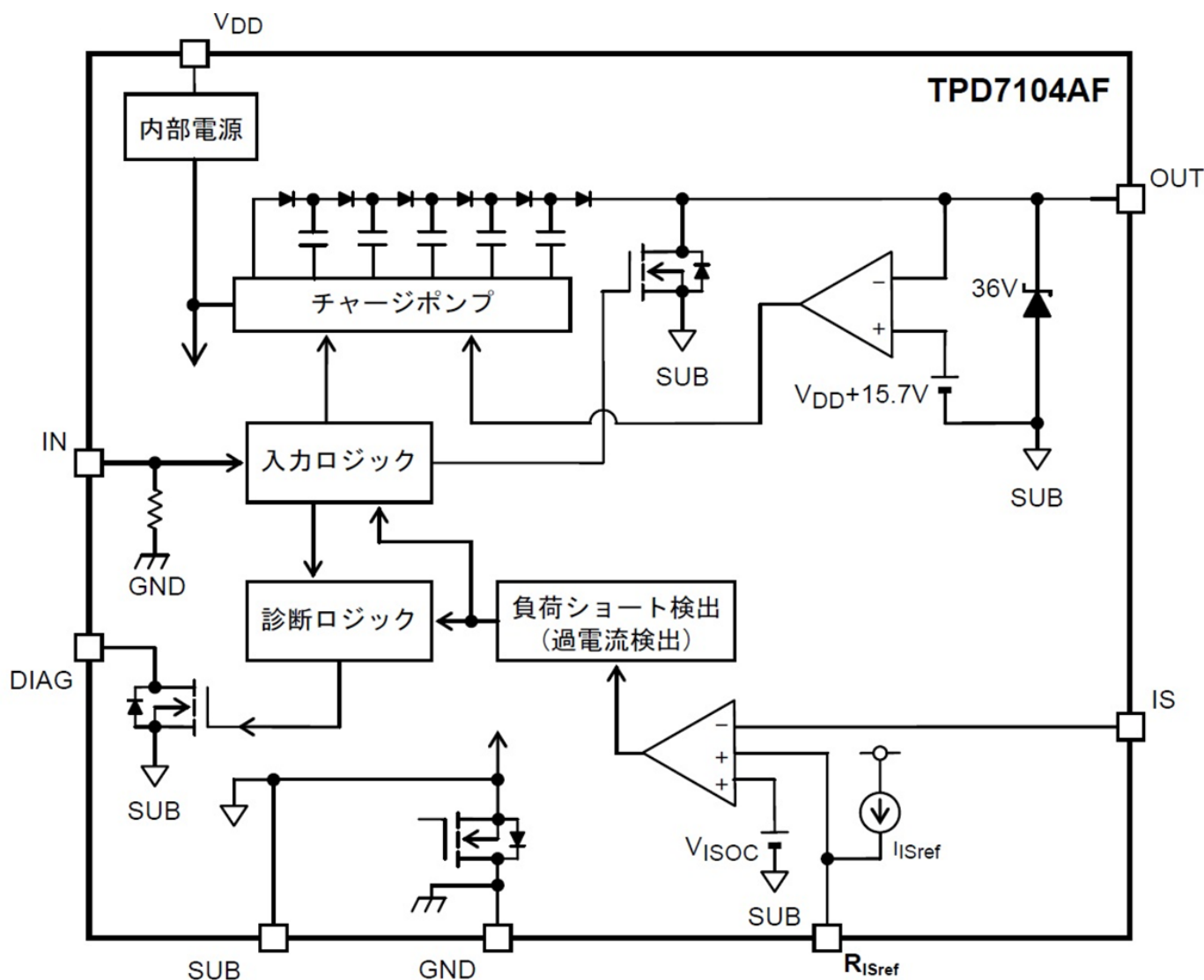


図 7.1.2.1 外観、端子配置図

7.1.3. 内部回路ブロック図



7.1.4. 端子説明

表 7.1.4.1 端子説明

端子番号	記号	端子の説明
1	VDD	電源端子。
2	IS	負荷ショート検出端子。 負荷ショート検出機能を使用しない場合は、GNDとショート(接地)して使用ください。
3	OUT	外付けFET駆動用の出力端子。負荷ショート(過電流)を検出した場合にはV _{OUT} ="L"となります。
4	SUB	電源逆接続保護機能を使用する場合はオープンで使用してください。 電源逆接続保護機能を使用しない場合には、GNDとショート(接地)して使用してください。
5	GND	接地端子。
6	IN	入力端子。プルダウン抵抗内蔵。
7	DIAG	診断出力端子。オープンドレイン構成です。負荷ショートを検出した場合にはV _{DIAG} ="H"を出力します。
8	R _{ISref}	負荷ショート検出レベル設定端子。 負荷ショート検出レベルをV _{ISOC} =1.02V(標準)から変更しない場合はオープンで使用してください。

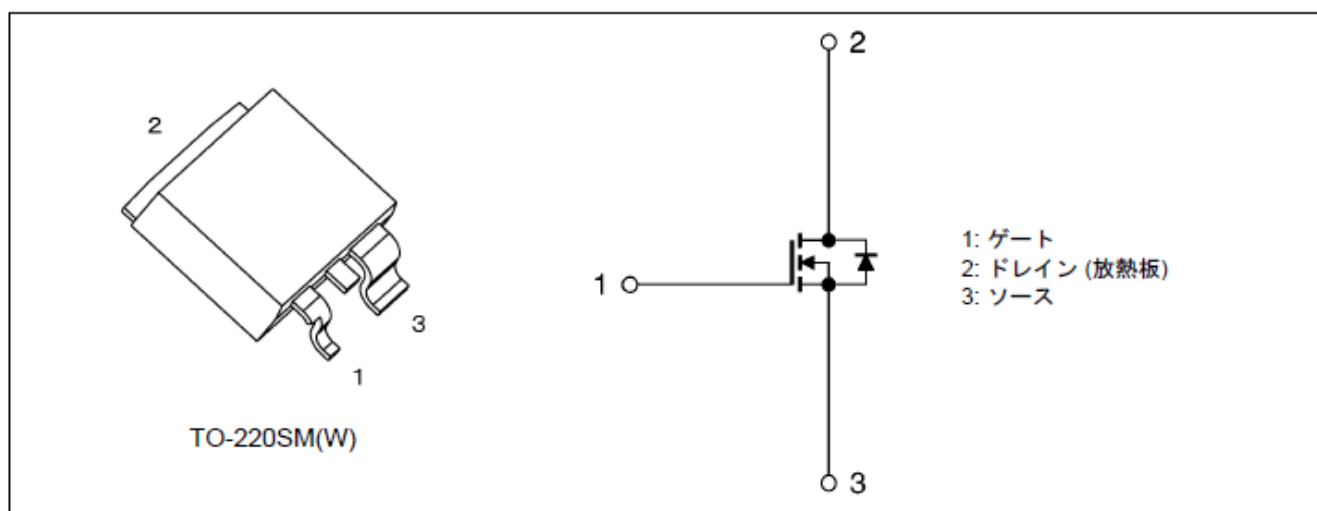
7.2. TKR74F04PB

7.2.1. 概要

TKR74F04PB は当社最新の低耐圧 MOSFET プロセス U-MOSIX-H を採用し、低オン抵抗、大電流定格を実現した製品です。

- オン抵抗が低い。 : $R_{DS(ON)}=0.6\text{m}\Omega$ (標準)(@ $V_{GS}=10\text{V}$)
- 最大電流定格 : $I_D=250\text{A}$ (DC)
- 最大電圧定格 : $V_{DSS}=40\text{V}$

7.2.2. 外観と端子配置



End of document

ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第4条 準拠法

本規約の準拠法は日本法とします。