

# 位相シフトフルブリッジ(PSFB)方式

## AC-DC 電源

### 基本シミュレーション回路

# リファレンスガイド

**RD039-RGUIDE-02**

---

**東芝デバイス&ストレージ株式会社**

## 目次

1.	はじめに .....	3
2.	PSFB 方式 AC-DC 電源概要 .....	5
2.1.	電源仕様 .....	5
2.2.	回路構成 .....	6
3.	シミュレーション動作検証結果 .....	9
4.	使用素子概要 .....	16
4.1.	TK25N60X5 .....	16
4.2.	TPH3R70APL.....	16
5.	シミュレーション回路使用方法 .....	17

## 1. はじめに

情報通信機器や家電を初め殆どの電気機器の内部回路は直流(DC)電圧で動作しています。その為、交流(AC)電圧で供給される商用電力で内部回路を直接動作させることはできず、AC 電圧から DC 電圧に変換し内部回路に供給する必要があります。この AC 電圧から DC 電圧に変換する機器が AC-DC 電源です。AC-DC 電源は機器外部に設置することもあるが、機器内部に組み込まれ外からはその存在が分からない場合もあります。

AC 電圧から DC 電圧に変換する AC-DC 電源には、大きく分けてトランス方式とスイッチング方式の二通りがあります。トランス方式は商用周波数のまま変圧器（トランス）で AC 電圧を降圧し、ダイオードブリッジ（整流ブリッジ）によって AC 電圧の負電圧部分を正電圧にし、コンデンサを用いて平滑することで DC 電圧を作ります。トランスは商用周波数（50Hz 若しくは 60Hz）用の為非常に大きく重い物が必要になり、AC-DC 電源も非常に大きく重くなります。一方スイッチング方式は、AC 電圧を整流化した DC 電圧をスイッチング素子で数 10～100kHz 程度の商用周波数に比べ高い周波数でスイッチングさせ、トランスを介し二次側に電力を伝達した後に DC 電圧を出力します。最終段の DC 電圧の制御は、スイッチング素子のオン/オフの期間の調整で行います。この方式は高い周波数で電力を伝達するため、小さく、軽いトランスが使用でき、AC-DC 電源の小型・軽量化を可能にします。このため、今日ではスイッチング方式が AC-DC 電源の主流となっています。

図 1.1 にスイッチング方式 AC-DC 電源の回路ブロック例を示します。図に示すように(1)入力フィルタ、(2)整流ブリッジ、(3) DC-DC コンバータ、(4) 帰還回路の 4 ブロックで構成されています。各ブロックの機能を以下に示します。

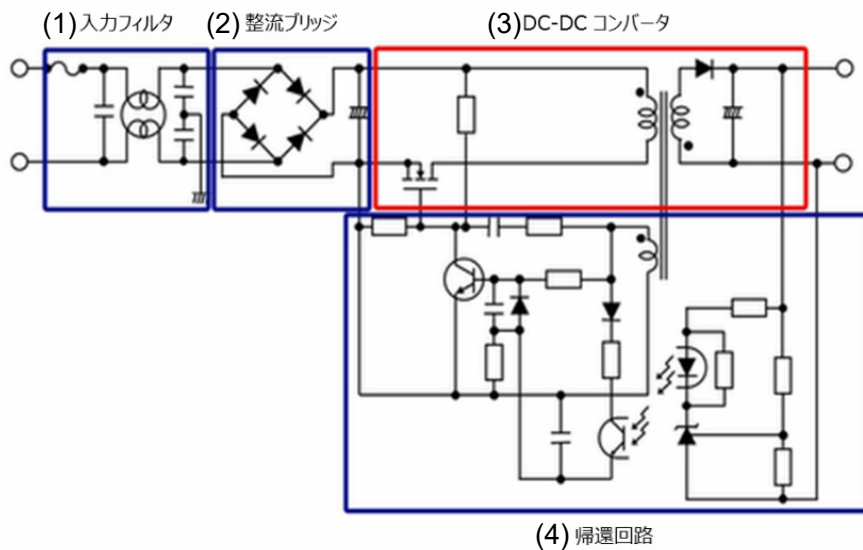


図 1.1 スwitchング方式 AC-DC 電源の回路ブロック例

### (1) 入力フィルタ

スイッチング電源で発生したノイズが入力端子から商用ラインへ伝搬するのを防いでいます。

### (2) 整流ブリッジ

入力された AC 電圧を整流し、後段の DC-DC コンバータへ DC 電圧を伝達します。図のように整流ブリッジとコンデンサのみの構成では、力率が悪化しますので、近年では力率改善（PFC : Power Factor Correction）が可能な回路を介し DC 電圧にする方式が主流です。

PFC 電源の基本シミュレーション回路をリファレンスデザインとともに公開していますので、下記よりご参照願います。

PFC 電源の基本シミュレーション回路はこちら

[Click Here](#)

### (3) DC-DC コンバータ

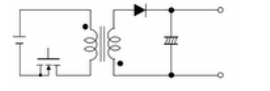
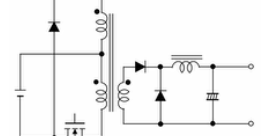
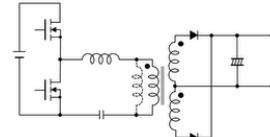
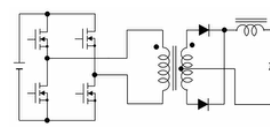
(2) で整流された電圧を、任意の DC 電圧に変換します。

### (4) 帰還回路

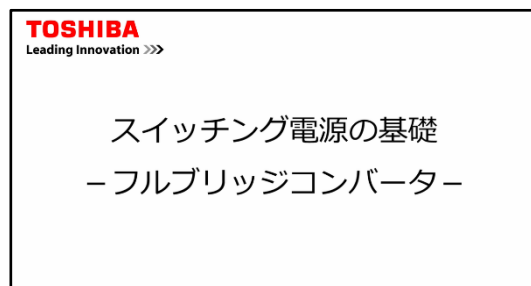
出力電圧が所望の値になるように、スイッチング素子のオン・オフを制御します。

スイッチング方式の AC-DC 電源は、入力された AC 電圧を整流し、DC-DC コンバータを介して任意の DC 電圧に変換するものです。DC-DC コンバータには、様々な回路方式（トポロジー）が存在します。表 1.1 に DC-DC コンバータの代表的なトポロジーとその特徴を示します。

**表 1.1 DC-DC コンバータの代表的なトポロジーとその特徴**

DC-DC コンバータ部分の回路方式	電力レベル	長所	短所
フライバック 	< 120W	・部品点数最小	・大電力での効率低下 ・トランスが大きい
フォワード 	100W~500W	・フライバックより高効率	・トランスのリセット回路が必要
共振ハーフブリッジ (LLC 共振) 	100W~1.6kW	・高効率 ・低ノイズ	・専用設計のトランスが必要 ・制御が難しい
フルブリッジ 	> 1kW	・高効率 ・大容量化が可能	・部品点数が多い ・制御が難しい

フルブリッジ方式コンバータの基本的な動作に関しては当社 Web 上で配信しておりますので、下記[動画](#)もご参照願います。



フルブリッジ方式は、一次側に 4 個のスイッチング素子を配置するため、部品点数が多く制御が複雑になりますが、変換効率が高く、他のトポロジーに比べ大容量化が可能という長所があります。本ドキュメントで扱う位相シフトフルブリッジ(PSFB)方式は、スイッチング素子の両端電圧がゼロの時にスイッチングするゼロボルトスイッチング(ZVS)を実現しスイッチング損失を低減したフルブリッジ構成のトポロジーであり、高効率、高電力密度が要求されるサーバ用電源などに広く採用されています。スイッチング方式 AC-DC 電源における PSFB 方式 DC-DC コンバータの動作を理解いただくために、基本シミュレーション回路 (RD039-SPICE-01)を当社 Web 上で提供しています。

本ドキュメントでは、このシミュレーション回路の概要、使用方法などを解説していきます。シミュレーション回路を動作させるためには、Cadence 社の OrCAD<sup>®</sup> Capture 及び PSpice<sup>®</sup> A/D ツールが必要となります。また、本シミュレーション回路及びドキュメントは OrCAD<sup>®</sup> 17.2 に基づき作成されています。

## 2. PSFB 方式 AC-DC 電源概要

基本シミュレーション回路 (RD039-SPICE-01) は、1.6kW 出力の AC-DC 電源の PSFB 方式 DC-DC コンバータ部を構成しています。AC 電圧入力を、整流ブリッジならびに PFC 回路などを介して DC 電圧に変換した後の回路を想定しています。

### 2.1. 電源仕様

本ドキュメントでは、以下の仕様で PSFB 方式電源を規定しています。

- ・入力電圧： 380V
- ・出力電圧： 12V
- ・出力電流： 0~133A
- ・二次側 MOSFET 動作周波数： 120kHz
- ・巻線比： 20:1:1
- ・一次側共振用 L インダクタンス：37 $\mu$ H
- ・二次側許容リップル電流幅：20%

### 2.2. 回路構成

図 2.1 に OrCAD® 上で動作するシミュレーション回路を示します。これは、PSFB 方式の AC-DC 電源であり、主にパワー部（PSFB）、PWM コントローラ部で構成されています。パワー部のトランス二次側は MOSFET を用いた同期整流方式の回路となっています。PWM コントローラは本基本回路を実現するために用意した MOSFET ゲートドライバ内蔵の汎用コントローラです。スイッチング用 MOSFET は、「TK25N60X5」・「TPH3R70APL」を例として使用しています。

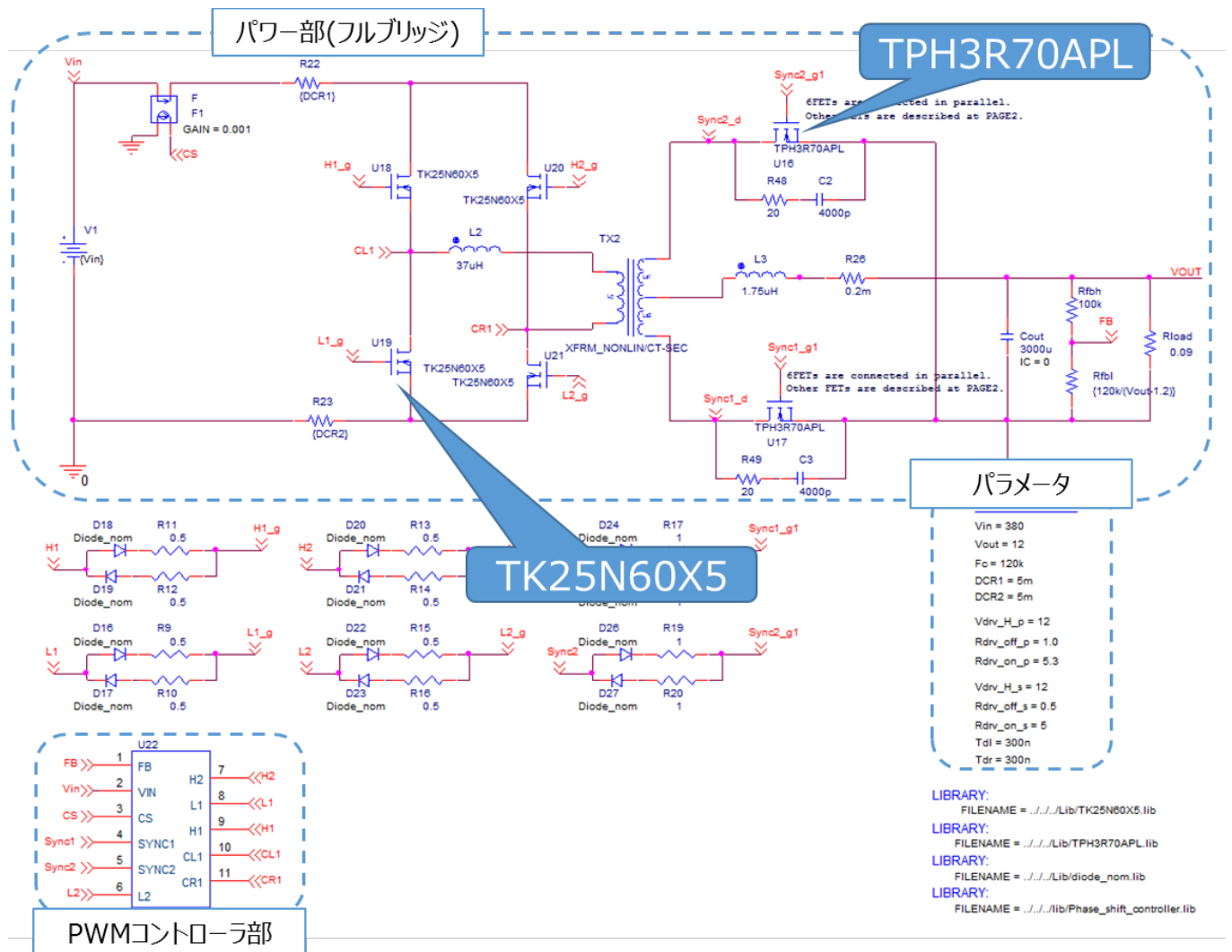


図 2.1 1.6kW PSFB 方式電源シミュレーション回路

## 一次側 MOSFET の選定

一次側 MOSFET (TK25N60X5 :  $V_{DSS}=600V$ ,  $I_D=25A$ ) は以下の観点で選定しています。

### (1) 素子耐圧

定常時の素子印加電圧は入力電圧 (=380V) であり、スイッチング時のサージ電圧などを考慮し、耐圧 600V 以上の素子を選定。

### (2) 内蔵ダイオード特性

共振用 L による電流還流時に電流が内蔵ダイオードを通る期間が存在するため、高速ダイオードを内蔵した素子を選定。

### (3) 電流定格

入力電流が最大となるのは、最大出力電力時です。最大出力電力=1.6kW 時の変換効率を 90%とすると最大入力電流は 4.7Arms となるので、電流定格が 10A 以上の素子を選定。

## 二次側 MOSFET の選定

二次側 MOSFET (TPH3R70APL :  $V_{DSS}=100V$ ,  $I_D=90A$ ) は以下の観点で選定しています。

### (1) 素子耐圧

定常時の二次側巻線の中点と両端間の電圧は、巻線比が 20:1 なので入力電圧の 1/20 の 19V となり、二次側の各 MOSFET にはその 2 倍の 38V が印加されます。トランス電流切り替わり時にサージ電圧が発生するため耐圧 100V 以上の素子を選定。

### (2) 電流定格

出力電流が最大となるのは、最大出力電力時です。最大出力電力=1.6kW 時の最大出力電流 133A を 2 相の MOSFET で分担するので、1 相あたり 67A の電流が印加されます。電流が大きく、MOSFET の導通損失が大きくなるため 1 相あたり 6 個の素子を並列に配置すると、1 個あたりの平均電流は約 11A となるので、電流定格 25A 以上の素子が必要です。また導通損失抑制を重視し出来るだけオン抵抗が低い素子を選定。

## 出カインダクタの選定

二次側の出カインダクタの選定方法について説明します。本シミュレーション回路における出カインダクタのインダクタンス値は、電源仕様である下記項目を用いて計算により求めることができます。

- ・ 入力電圧 :  $V_{in}$  (V)
- ・ トランス巻線比 :  $n$
- ・ 出力電圧 :  $V_{out}$  (V)
- ・ 電力変換効率 :  $\eta$  (%)
- ・ スwitching 周波数 :  $F_c$  (Hz)
- ・ 最大出力電流 :  $I_{out\_max}$  (A)
- ・ 許容リップル電流幅 :  $\Delta I_{ripple}$  (%)

出カインダクタのインダクタンス値 ( $L_o$ ) は、以下の式で算出します。

$$I_{out\_max} \times \Delta I_{ripple} \times 0.01 = \frac{\left(\frac{V_{in}}{n} - V_{out}\right) \times V_{out}}{\frac{V_{in}}{n} \times F_c \times L_o \times \eta}$$

ここで、本モデルの電源仕様より、入力電圧 ( $V_{in}$ ) = 380V、トランス巻線比 ( $n$ ) = 20、出力電圧 ( $V_{out}$ ) = 12V、スイッチング周波数 ( $F_c$ ) = 120kHz、最大出力電流 ( $I_{out\_max}$ ) = 133A、許容リップル電流幅 ( $\Delta I_{ripple}$ ) = 20%であり、最大出力時の変換効率 ( $\eta$ ) を 90%とすると、上記式より出力インダクタのインダクタンス値 ( $L_o$ ) は 1.54 $\mu$ H と算出されるため、設定値として 1.75 $\mu$ H を選定します。

実際の設計においては、インダクタは直流重畳特性によりインダクタンス値が変動します。直流重畳特性によりインダクタンス値が低下した状態で、上記計算値の値を確保できる部品を選定してください。



### 3. シミュレーション動作検証結果

ここではシミュレーション回路における各部の動作シミュレーション波形を図 3.1 ( (1) ~ (3) ) それぞれのポイントで示します。

- (1) PSFB 方式基本動作 (「一次側 MOSFET ドレイン-ソース間電圧、出力インダクタ電圧・電流」)
- (2) 二次側同期整流動作 (「二次側 MOSFET ドレイン-ソース間電圧・電流、出力インダクタ電圧・電流」)
- (3) AC-DC 電源としての「出力電圧・電流」

実際に回路モデルを使用する際には、図 3.1 以外の部分についても波形を表示させることが可能です。波形の表示方法については第 5 章で記述します。

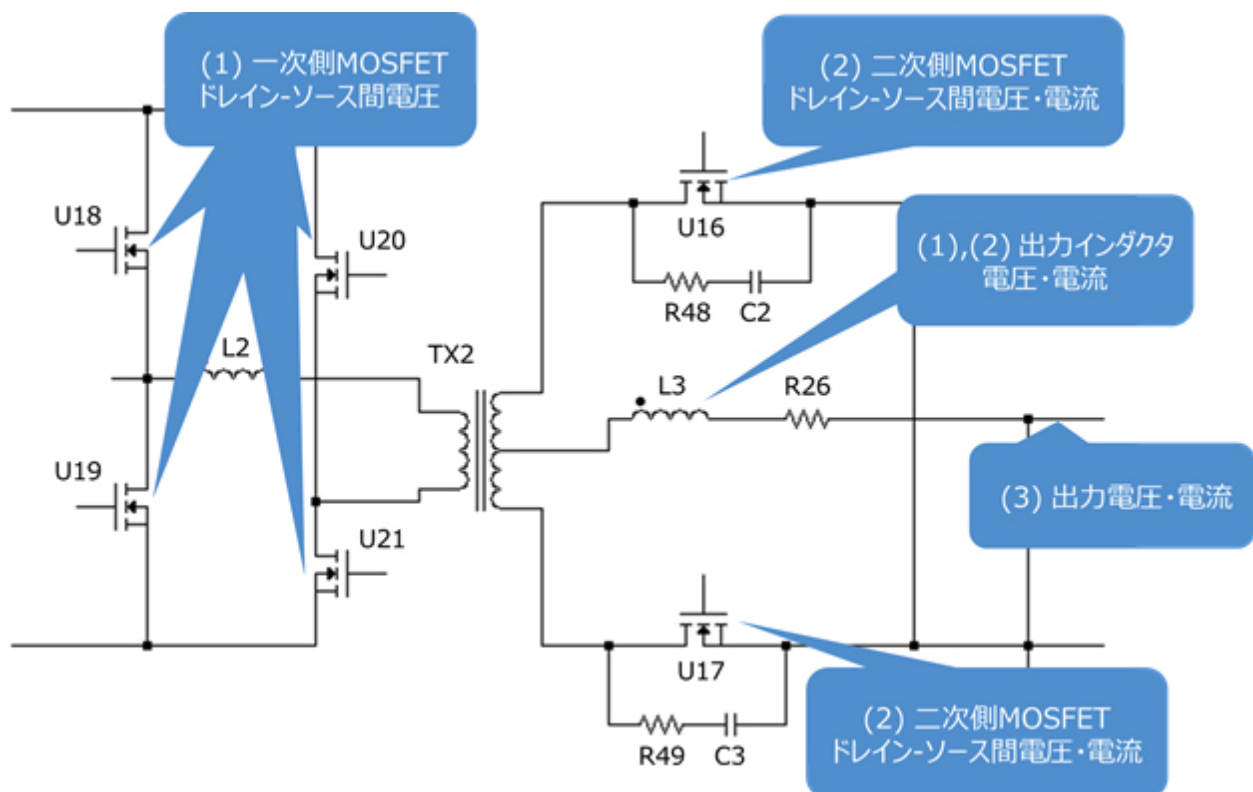


図 3.1 シミュレーション波形測定ポイント一覧

**(1) PSFB 方式基本動作**

DC-DC コンバータ部を示した図 3.2 を使用して、PSFB 方式の基本動作を説明します。

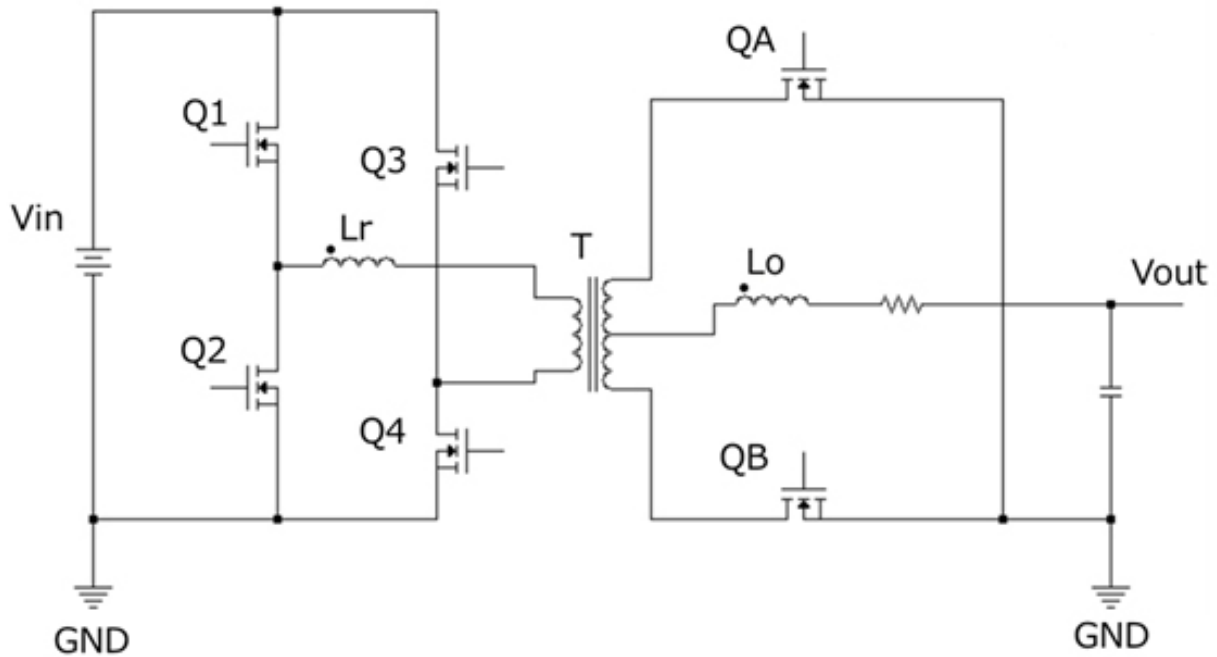


図 3.2 PSFB 回路

一次側 MOSFET を Q1～Q4、共振用インダクタを Lr、二次側 MOSFET を QA、QB、出力用インダクタを Lo とします。一般に Q1 と Q2 部を「進みレグ」、Q3 と Q4 部を「遅れレグ」と呼びます。PSFB 方式は、各レグの上下 MOSFET をデューティ 50% で交互にオン・オフし、レグ間の位相を変えることで出力電圧を制御します。

以下に各期間の動作概要を記します。

a. Q1 オン、Q4 オン

一次側から二次側に電力を伝達する期間です。

この時の一次側巻線電圧は入力電圧 ( $V_{in}$ ) となります。二次側巻線には極性記号側をプラスとして巻線比に応じた電圧

$$n \times V_{in}$$

が掛かり、QB を通って Lo に電流が流れます。

b. Q1 オン (遅れレグデッドタイム期間)

Q4 がターンオフ。Lr の電流は同一方向に流れ続け、Q3 の  $C_{oss}$  (出力容量) を放電、Q4 の  $C_{oss}$  を充電します。この期間で Q3 の  $C_{oss}$  が完全に放電されるとドレイン-ソース間電圧は 0 となり、次の期間での Q3 のターンオンは ZVS となります。上記充放電が完了すると Q4 への電流流入は終わり、電流は Q3 のボディダイオードを通ります。二次側では QB を通り Lo に蓄えられた電力が還流します。

## c. Q1 オン、Q3 オン

Q3 がターンオン。Lr、Lo に蓄えられた電力が還流する期間です。

Q3 はドレイン-ソース間電圧が 0 の状態でターンオンするため ZVS となります。一次側は Q1 と Q3 を通り、二次側は QB を通り還流電流が流れます。

## d. Q3 オン (進みレグデッドタイム期間)

Q1 がターンオフ。Lr の電流は同一方向に流れ続け、Q1 の  $C_{oss}$  を充電、Q2 の  $C_{oss}$  を放電します。

この期間で Q2 の  $C_{oss}$  が完全に放電されるとドレイン-ソース間電圧は 0 となり、次の期間での Q2 のターンオンは ZVS となります。上記充放電が完了すると Q1 への電流流入は終わり、電流は Q2 のボディダイオードを通ります。二次側電流は QB を通り還流電流が流れます。

## e. Q2 オン、Q3 オン

Q2 がターンオン。Lr、Lo に蓄えられた電力が還流する期間です。

Q2 はドレイン-ソース間電圧が 0 の状態でターンオンするため ZVS となります。一次側は Q2 と Q3 を通り、二次側は QA、QB を通り還流電流が流れます。Lr に蓄えられた電力が全て消費されると、Lr の電流の向きが反転し、次の期間に移行します。

## f. Q2 オン、Q3 オン

一次側から二次側に電力を伝達する期間です。

一次側の電流の向きは期間 a と逆転し、二次側巻線は極性記号をマイナスとして巻線比に応じた電圧

$$n \times V_{in}$$

が掛かり、QA を通って Lo に電流が流れます。

## g. Q2 オン (遅れレグデッドタイム期間)

Q3 がターンオフ。Lr の電流は同一方向に流れ続け、Q3 の  $C_{oss}$  を充電、Q4 の  $C_{oss}$  を放電します。

この期間で Q4 の  $C_{oss}$  が完全に放電されるとドレイン-ソース間電圧は 0 となり、次の期間での Q4 のターンオンは ZVS となります。上記充放電が完了すると Q3 への電流流入は終わり、電流は Q4 のボディダイオードを通ります。二次側では QA を通り Lo に蓄えられた電力が還流します。

## h. Q2 オン、Q4 オン

Q4 がターンオン。Lr、Lo に蓄えられた電力が還流する帰還です。

Q4 はドレイン-ソース間電圧がゼロの状態です。ターンオンするため ZVS となります。一次側は Q2 と Q4 を通り、二次側は QA を通り還流電流が流れます。

## i. Q4 オン (進みレグデッドタイム期間)

Q2 がターンオフ。Lr の電流は同一方向に流れ続け、Q1 の  $C_{oss}$  を放電、Q2 の  $C_{oss}$  を充電します。

この期間で Q1 の  $C_{oss}$  が完全に放電されるとドレイン-ソース間電圧は 0 となり、次の期間での Q1 のターンオンは ZVS となります。上記充放電が完了すると Q2 への電流流入は終わり、電流は Q1 のボディダイオードを通ります。二次側電流は QA を通り還流電流が流れます。

### j. Q1 オン、Q4 オン

Q1 がターンオン。Lr、Lo に蓄えられた電力が還流する期間です。

Q1 はドレイン-ソース間電圧が 0 の状態でターンオンするため ZVS となります。一次側は Q1 と Q4 を通り、二次側は QA、QB を通り還流電流が流れます。Lr に蓄えられた電力が全て消費されると、Lr の電流の向きが反転し、次の期間に移行します。

以降、a~j を繰り返します。

一次側から二次側に電力を伝達する期間 a、f の時間(位相の重なる期間)を調整し出力電圧を制御します。

図 3.3 に一次側各 MOSFET のドレイン-ソース間電圧、出力インダクタの電圧・電流波形を示します。期間 a と期間 c で出力インダクタに電圧が印加され、電力が伝達されていることが分かります。

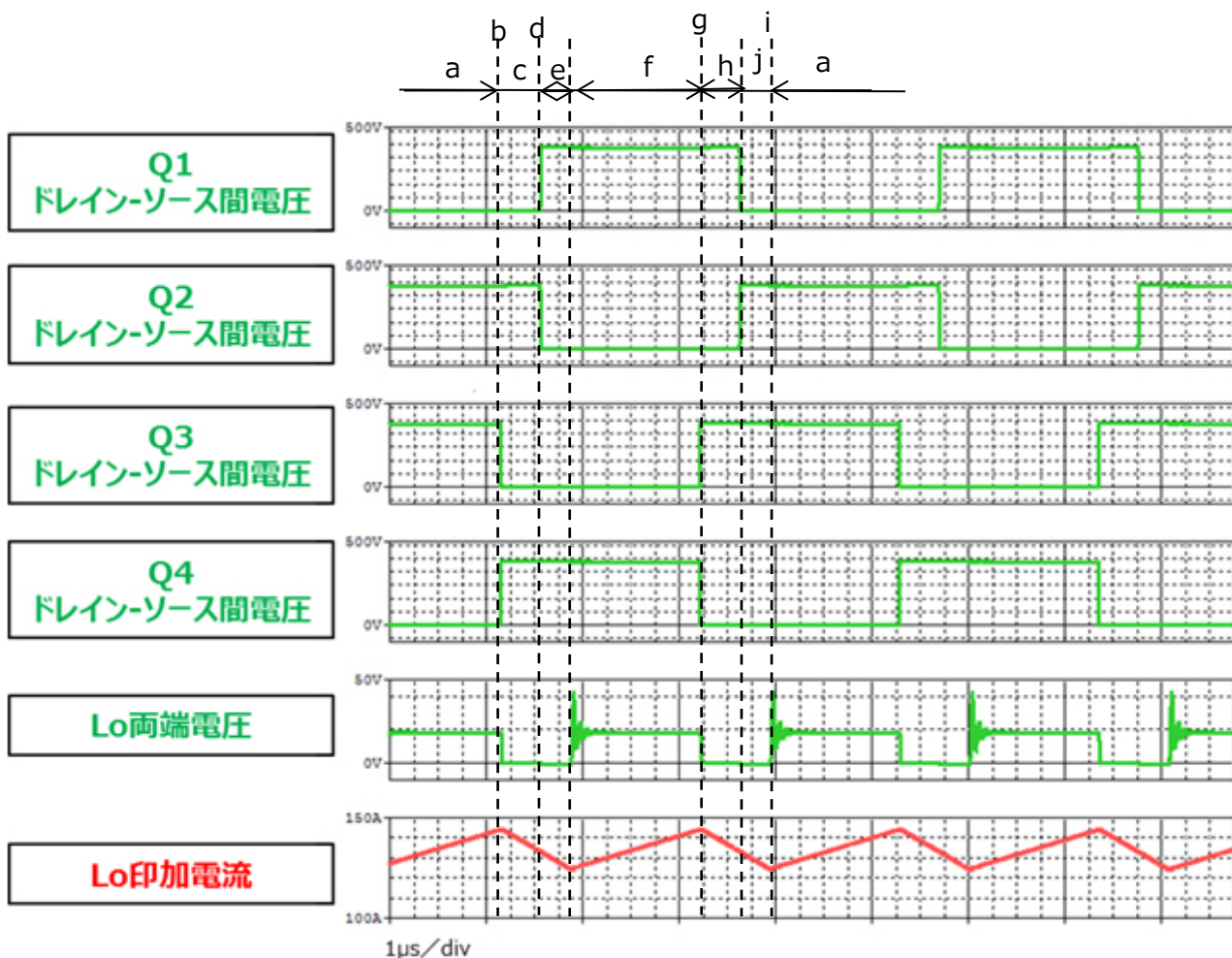


図 3.3 一次側 MOSFET ドレイン-ソース間電圧、出力インダクタ電圧・電流波形

## (2) 二次側同期整流動作

本シミュレーション回路は、二次側整流素子にダイオードではなく MOSFET を使用した同期整流回路を採用しています。一般に MOSFET のオン抵抗による導通損失は、ダイオードの順方向電圧による導通損失より小さいため、同期整流回路は導通損失を低減可能です。出力電流が大きい程、同期整流回路の損失低減効果は大きく、高効率・大出力が要求される用途では良く採用されています

上記各期間における二次側 MOSFET の動作は以下の通りです。

a. QB オン

二次側巻線に極性記号側をプラスとして巻線比に応じた電圧

$$n \times V_{in}$$

が掛かり、QB を通って Lo に電流が流れ電力を伝達します。

b～d. QB オン

Lo に蓄えられた電力が QB を通して還流されます。

e. QA オン、QB オン

Lo に蓄えられた電力が QA と QB を通して還流されます。

f. QA オン

二次側巻線に極性記号側をマイナスとして巻線比に応じた電圧

$$n \times V_{in}$$

が掛かり、QA を通って Lo に電流が流れ電力を伝達します。

g～i. QA オン

Lo に蓄えられた電力が QA を通して還流されます。

j. QA オン、QB オン

Lo に蓄えられた電力が QA と QB を通して還流されます。

図 3.4 に二次側各 MOSFET のドレイン-ソース間電圧・電流、出カインダクタ電圧・電流波形を示します。二次側 MOSFET がオンして電流が流れていることが分かります。

トランスの一次側電流が切り替わり、期間 a (期間 f) が始まりますが、この際に大きなサージ電圧ドレイン-ソース間に印加されます。本シミュレーション回路ではサージ抑制回路としてドレイン-ソース間に RC スナバ回路を配置しています。回路実設計においては、実基板上での動作波形を確認し、サージ抑制回路の調整・素子選定する必要があります。

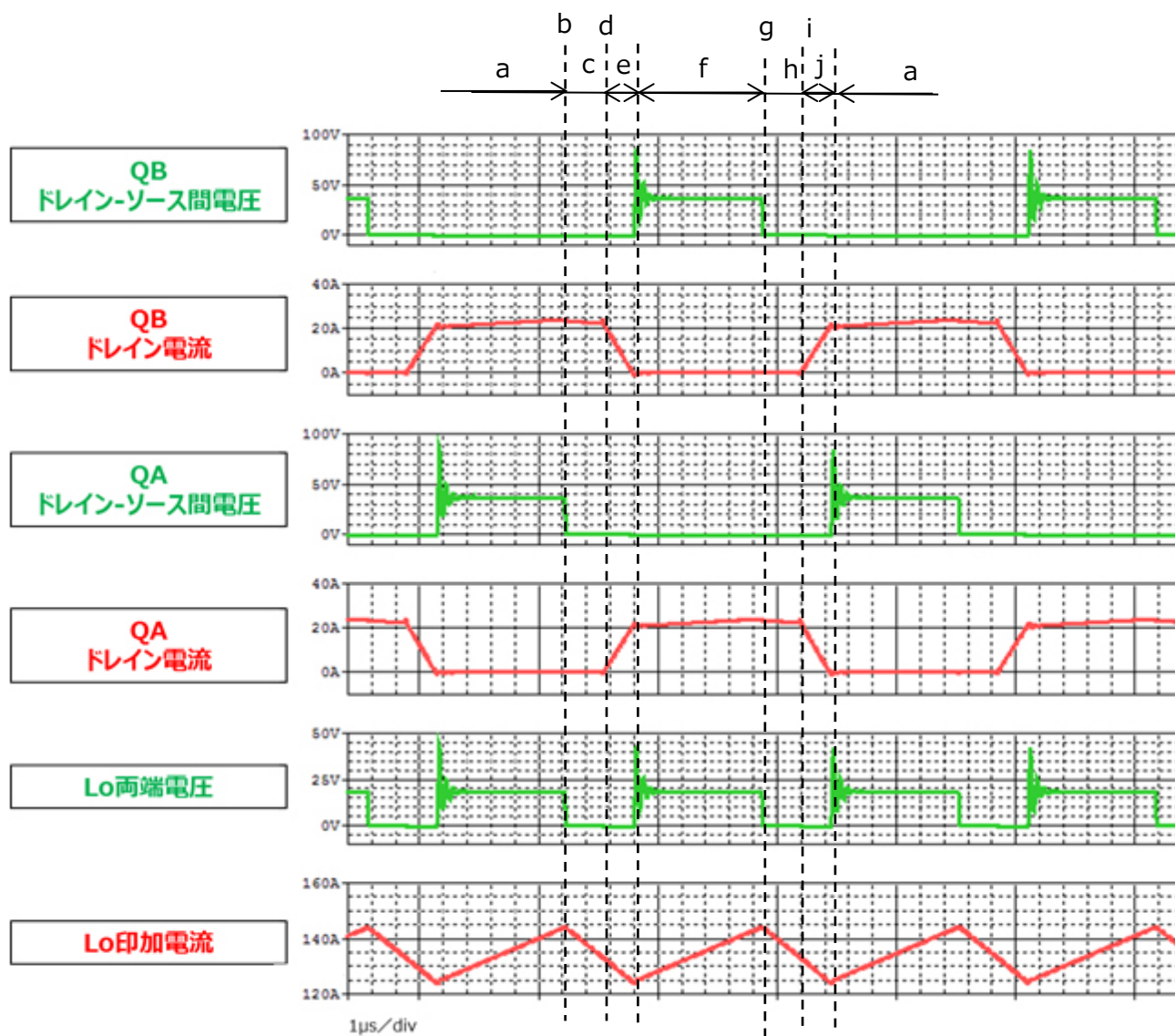


図 3.4 二次側 MOSFET ドレイン-ソース間電圧・電流、出カインダクタ電圧・電流波形

### (3) AC-DC 電源としての「出力電圧・電流」

図 3.5 に本電源回路の出力電圧・電流波形を示します。設定電圧・電流で安定していることが分かります。

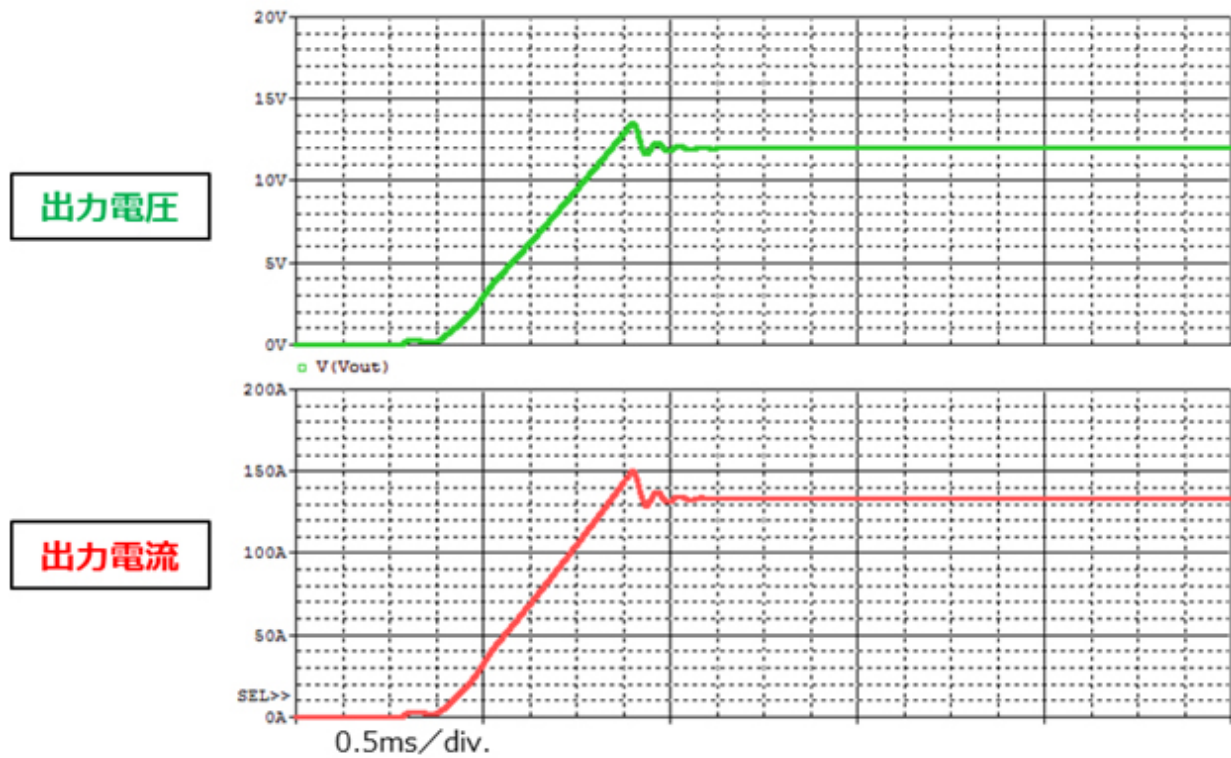


図 3.5 出力電圧・電流波形

### 4. 使用素子概要

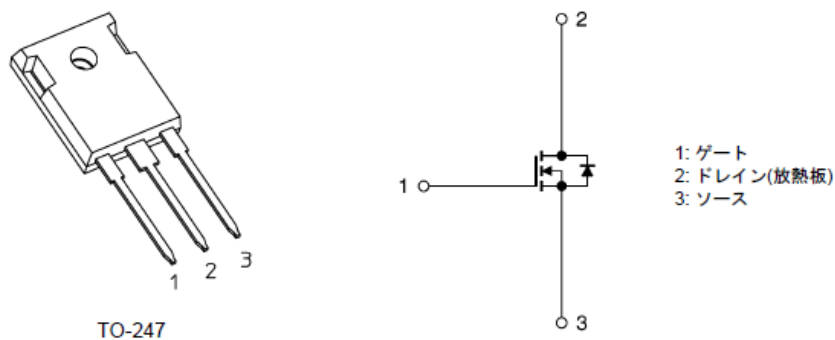
本回路に PSpice<sup>®</sup>モデルを組み込んで検証している当社製品の概要を紹介します。

#### 4.1. TK25N60X5

##### 特徴

- $V_{DSS}=600V$ ,  $I_D=25A$
- 逆回復時間が早い :  $t_{rr}=120ns$  (標準)
- スーパージャンクション構造DTMOSの採用による低オン抵抗 :  $R_{DS(ON)}=0.12\Omega$  (標準)
- 最適化されたゲートスイッチングスピード
- 取り扱いが簡単なエンハンスメントタイプ :  $V_{th}=3\sim 4.5V$  ( $V_{DS}=10V$ ,  $I_D=1.2mA$ )

##### 外観と端子配置

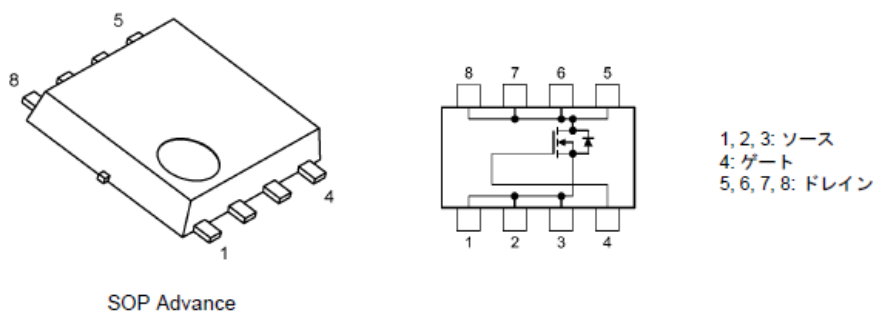


#### 4.2. TPH3R70APL

##### 特徴

- $V_{DSS}=100V$ ,  $I_D=90A$
- 高速スイッチング
- 小さいゲート入力電荷量 :  $Q_{SW}=21nC$  (標準)
- 小さい電荷量 :  $Q_{OSS}=74nC$  (標準)
- 低いオン抵抗 :  $R_{DS(ON)}=3.1m\Omega$  (標準) ( $V_{GS}=10V$ )
- 低い漏れ電流 :  $I_{DSS}=10\mu A$  (最大) ( $V_{DS}=100V$ )
- 取り扱いが簡単なエンハンスメントタイプ :  $V_{th}=1.5\sim 2.5V$  ( $V_{DS}=10V$ ,  $I_D=1mA$ )

##### 外観と端子配置



幅 5.0 × 長さ 6.0 × 高さ 0.95 (mm)



## 5. シミュレーション回路使用方法

本シミュレーション回路では、実際の仕様に沿った動作や、回路定数に応じた変化を検証するために、OrCAD<sup>®</sup> Capture 上で各種パラメータを自由に変更し、動作解析をすることが可能です。以下では実際にシミュレーションを行う際のパラメータ設定方法、動作解析方法について説明します。

### パラメータ設定の方法

シミュレーション回路で設定可能なパラメータの一覧を表 5.1 に示します。パラメータ設定部の変数をダブルクリックすると、表 5.1 に示す「Display Properties」ウィンドウが表示されますので、その中の「Value」値を変更してください。

表 5.1 パラメータ設定部で設定可能な変数一覧

変数名	単位	説明
Vin	V	入力電圧
Vout	V	出力電圧
DCR1	$\Omega$	一次側の電源プレーン寄生抵抗値
DCR2	$\Omega$	一次側の GND プレーン寄生抵抗値
Fc	Hz	二次側 MOSFET のスイッチング周波数
Rdrv_on_p	$\Omega$	一次側 MOSFET ゲートドライバ内部抵抗(オン側)
Rdrv_off_p	$\Omega$	一次側 MOSFET ゲートドライバ内部抵抗(オフ側)
Rdrv_on_s	$\Omega$	二次側 MOSFET ゲートドライバ内部抵抗(オン側)
Rdrv_off_s	$\Omega$	二次側 MOSFET ゲートドライバ内部抵抗(オフ側)
Vdrv_H_p	V	一次側ゲートドライバの電源電圧
Vdrv_H_s	V	二次側ゲートドライバの電源電圧
Tdl	sec	進みレグのデッドタイム
Tdr	sec	遅れレグのデッドタイム

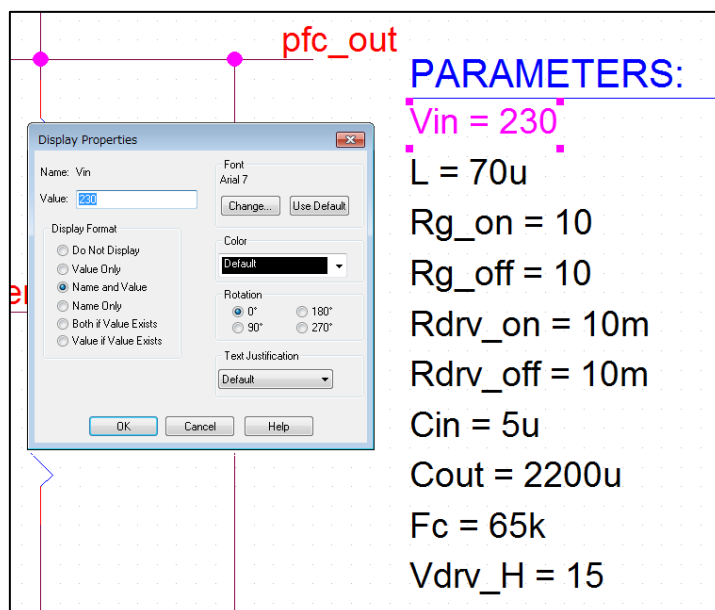


図 5.1 パラメータ設定画面

### 解析設定の方法

本シミュレーション回路のシミュレーション実行手順を下記に説明します。

- (1) OrCAD<sup>®</sup> Capture メニューバー上の「PSpice」-「New Simulation Profile」をクリックすると、図 5.2 に示す「New Simulation」ウインドウが表示されます。任意のプロファイル名を指定し、「Create」をクリックしてください。

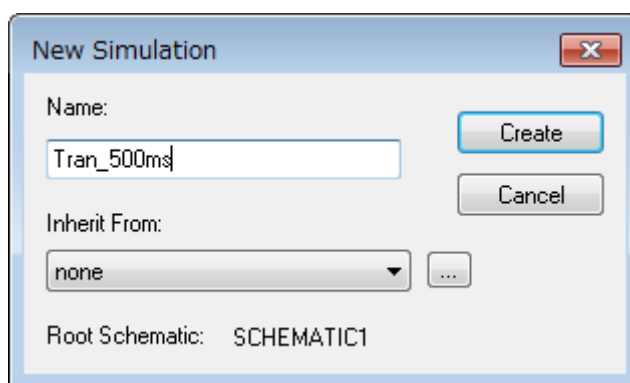


図 5.2 「New Simulation」画面

- (2) 1.の手順後、図 5.3 に示す「Simulation Settings」ウインドウが表示され、各種解析設定が可能になります。まずは「Analysis」タブにて解析方法の設定を行います。「Analysis Type」は「Time Domain (Transient)」を指定してください。「Run To Time」で解析終了時間を指定し、「Maximum Step Size」にて解析における最大刻み幅を指定してください。

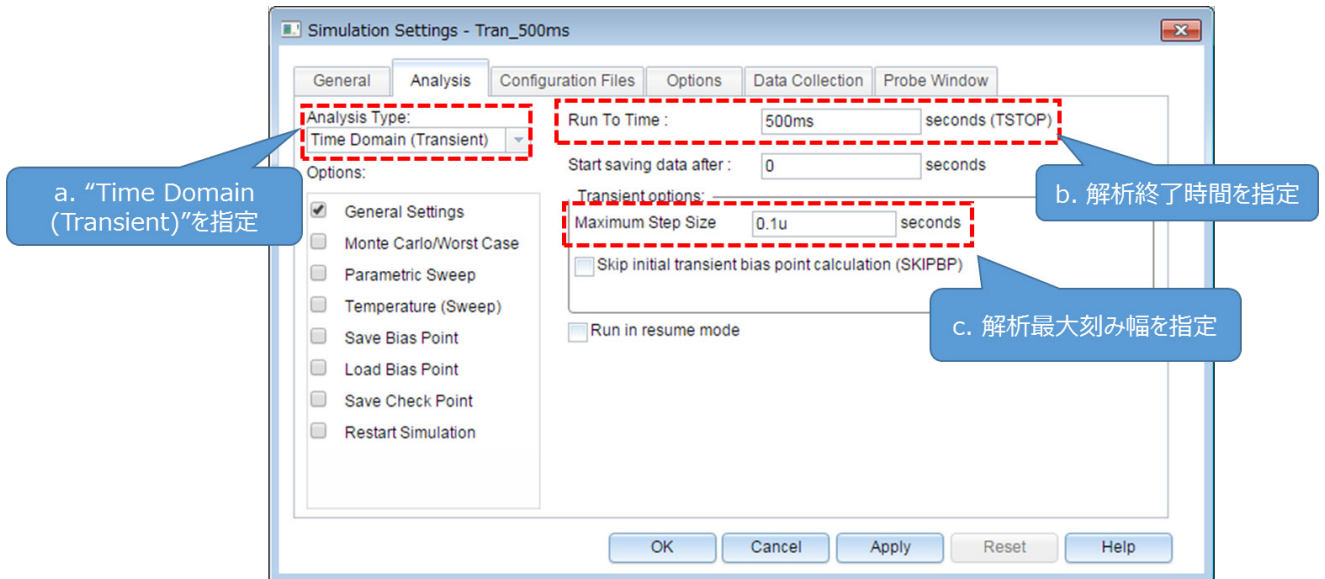


図 5.3 「Simulation Settings」-「Analysis」画面

- (3) 「Options」タブにて解析オプションの設定を行います。本モデルでのシミュレーションにおいては、図 5.4 に示すように「Analog Simulation」-「Auto Converge」-「AutoConverge」にチェックを入れ、自動収束機能を有効にすることを推奨します。

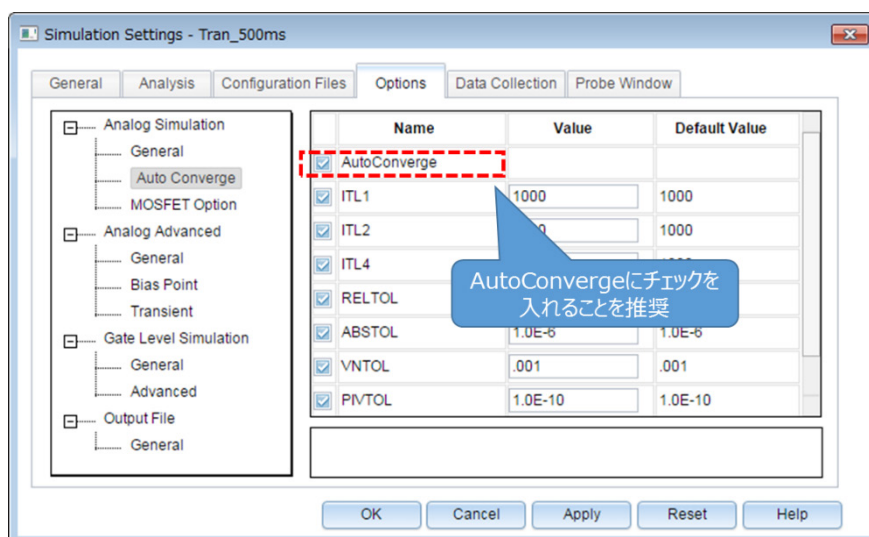


図 5.4 「Simulation Settings」-「Options」画面

- (4) 上記設定が完了したら、「OK」をクリックし、「Simulation Settings」ウインドウを閉じてください。  
 (5) OrCAD® Capture メニューバーの「PSpice」-「Run」でシミュレーションを実行します。PSpice® A/D が自動で起動し、シミュレーションが実行されます。

### 結果確認方法

シミュレーション完了後の結果確認方法について説明します。PSpice® A/D 画面上に結果波形を表示する方法として、2通りの方法があります。下記に各方法の手順について説明します。

#### 方法 1. ネット名を指定した結果表示

- (1) グラフウィンドウのグラフ枠外を右クリック後、「Add Trace」を選択してください。(図 5.5)
- (2) 「Add Traces」画面から表示する波形を選択します。電圧波形の場合には V(ネット名)、電流波形の場合には I(素子名)を選択してください。(図 5.6)
- (3) 選択後、「OK」をクリックすることで結果波形が表示されます。(図 5.7)

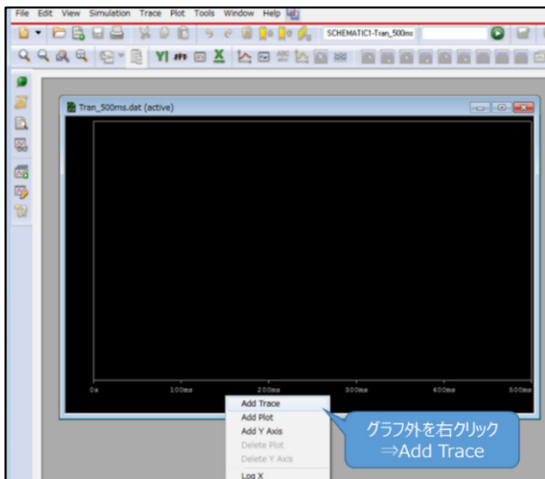


図 5.5 グラフウィンドウ

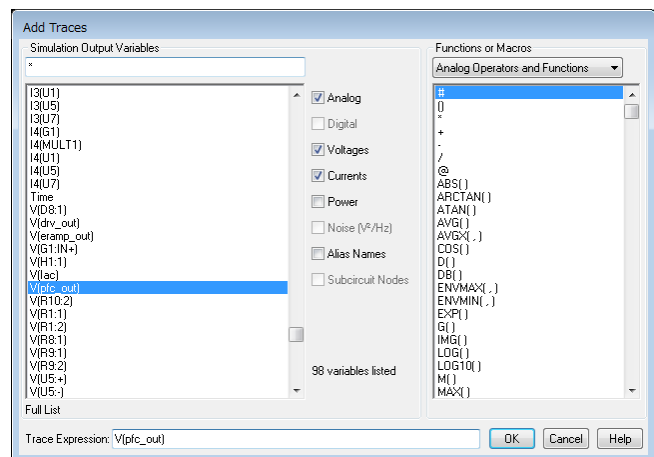


図 5.6 「Add Traces」画面

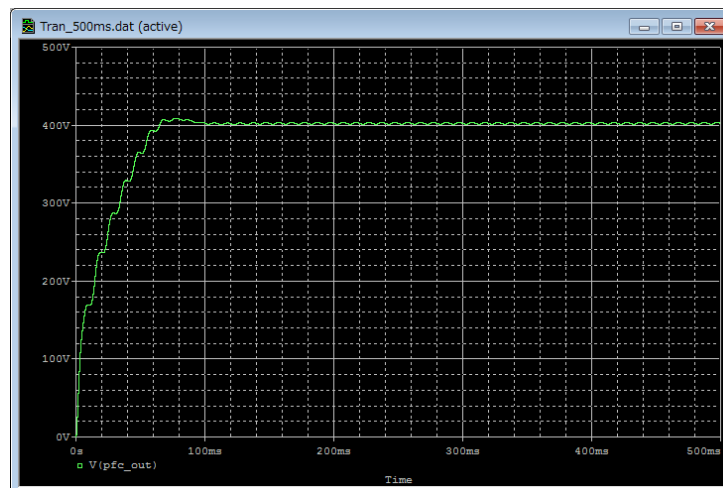


図 5.7 結果波形表示 (例：出力電圧波形)

### 方法 2. Marker 機能を使用した結果表示

- (1) OrCAD<sup>®</sup> Capture メニューバーの「PSpice」-「Markers」から、表示させる波形に応じて Marker 種類を選択します。(図 5.8)
- (2) シミュレーション回路上の波形測定ポイントに Marker を配置します。(図 5.9)
- (3) PSpice<sup>®</sup> A/D のグラフウィンドウに結果波形が表示されます。(図 5.10)

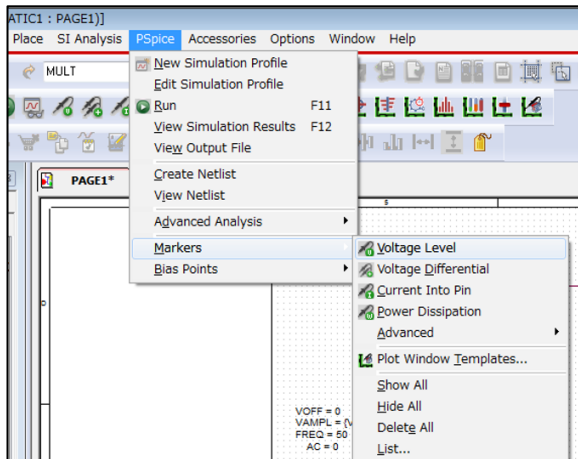


図 5.8 Marker 種類選択画面

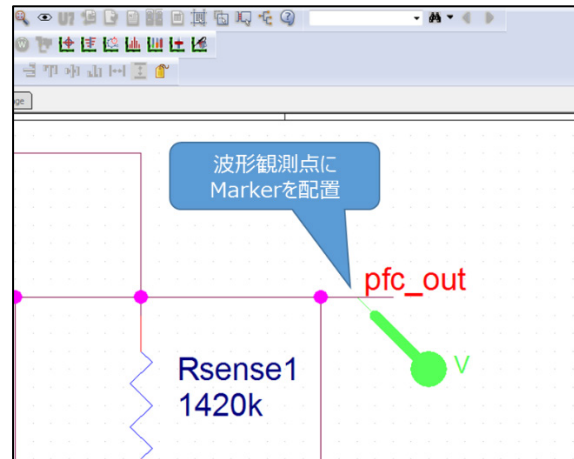


図 5.9 回路上への Marker 配置

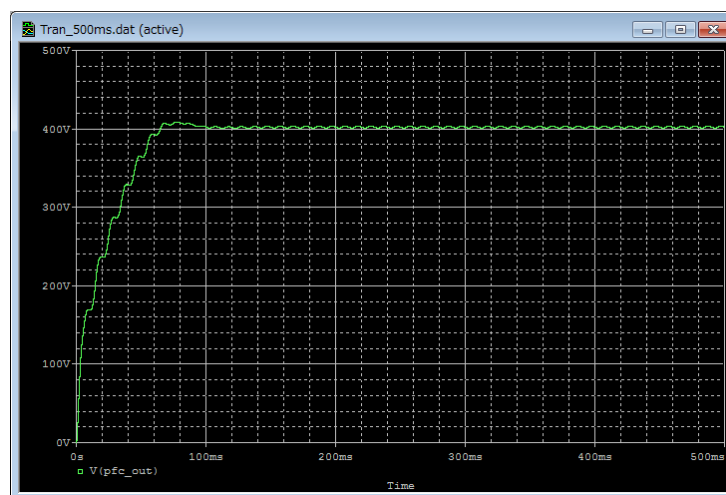


図 5.10 結果波形表示(例：出力電圧波形)

※Cadence、Cadence ㊦、OrCAD、PSpice および OrCAD ㊦は Cadence Design Systems, Inc.の米国 またはその他の国における商標または登録商標です。

## ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

### 第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

### 第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

### 第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

### 第4条 準拠法

本規約の準拠法は日本法とします。