

**TOLL パッケージ DTMOS 搭載  
500 W サーバー用電源  
デザインガイド**

**RD169-DGUIDE-01**

---

**東芝デバイス&ストレージ株式会社**

## 目次

<b>1. はじめに .....</b>	<b>3</b>
1.1. 搭載パワーMOSFET .....	3
<b>2. 回路設計 .....</b>	<b>4</b>
2.1. ACライン回路設計 .....	4
2.2. パワーファクターコレクション(PFC)回路設計 .....	6
2.3. LLC回路設計 .....	12
<b>3. TOLL パッケージ採用による小型化の実現 .....</b>	<b>27</b>

## 1. はじめに

本デザインガイドは TOLL パッケージ DTMOS 搭載 500 W サーバー用電源（以下、本電源）の各種回路、レイアウトの設計方法を記載したドキュメントです。本電源の仕様、使用方法、特性データはリファレンスガイドを参照してください。

なお、回路図に部品番号を記載していても、部品表で「Not Mounted」となっているものは PCB に実装しておりません。回路設計時の定数値調整用として PCB に実装場所を設けています。

### 1.1. 搭載パワー-MOSFET

当社では、AC-DC コンバーターの一次側（PFC・メインスイッチ）に適した 600/650 V 系 DTMOS シリーズ、二次側（同期整流部・ORing）に適した低耐圧系 U-MOS シリーズを製品化しています。両シリーズとも豊富なラインアップを用意し、設計仕様に応じて最適な製品を選択頂けます。以下に本電源で採用している製品について紹介します。

#### TK090U65Z

PFC 回路部に搭載

$V_{DSS} = 650 \text{ V}$ 、 $R_{DS(ON)}(\text{最大}) = 90 \text{ m}\Omega @ V_{GS} = 10 \text{ V}$ 、TOLL パッケージ  
高速スイッチング可能な最新の DTMOSVI プロセス品、スイッチングロスの低減を実現

#### TK20A60W5

LLC 回路一次側に搭載

$V_{DSS} = 600 \text{ V}$ 、 $R_{DS(ON)}(\text{最大}) = 175 \text{ m}\Omega @ V_{GS} = 10 \text{ V}$ 、TO-220SIS パッケージ  
高速ダイオード内蔵プロセス品、逆回復動作時の損失低減を実現

#### TPH1R306P1

LLC 回路二次側同期整流部に搭載

$V_{DSS} = 60 \text{ V}$ 、 $R_{DS(ON)}(\text{最大}) = 1.28 \text{ m}\Omega @ V_{GS} = 10 \text{ V}$ 、SOP Advance パッケージ  
スイッチング用途に適した U-MOSIX-H プロセス品、更にセル構造の最適化によりスイッチング時のサージ電圧を抑制するプロセスを採用

#### TPHR9203PL

出力部 ORing 回路部に搭載

$V_{DSS} = 30 \text{ V}$ 、 $R_{DS(ON)}(\text{最大}) = 0.92 \text{ m}\Omega @ V_{GS} = 10 \text{ V}$ 、SOP Advance パッケージ  
最新の U-MOSIX-H プロセス品、低オン抵抗で ORing 回路における損失低減を実現

## 2. 回路設計

本電源の回路設計のポイントを記載します。

### 2.1. AC ライン回路設計

図 2.1 に AC ライン回路を示し、基本的な設計方法を説明します。

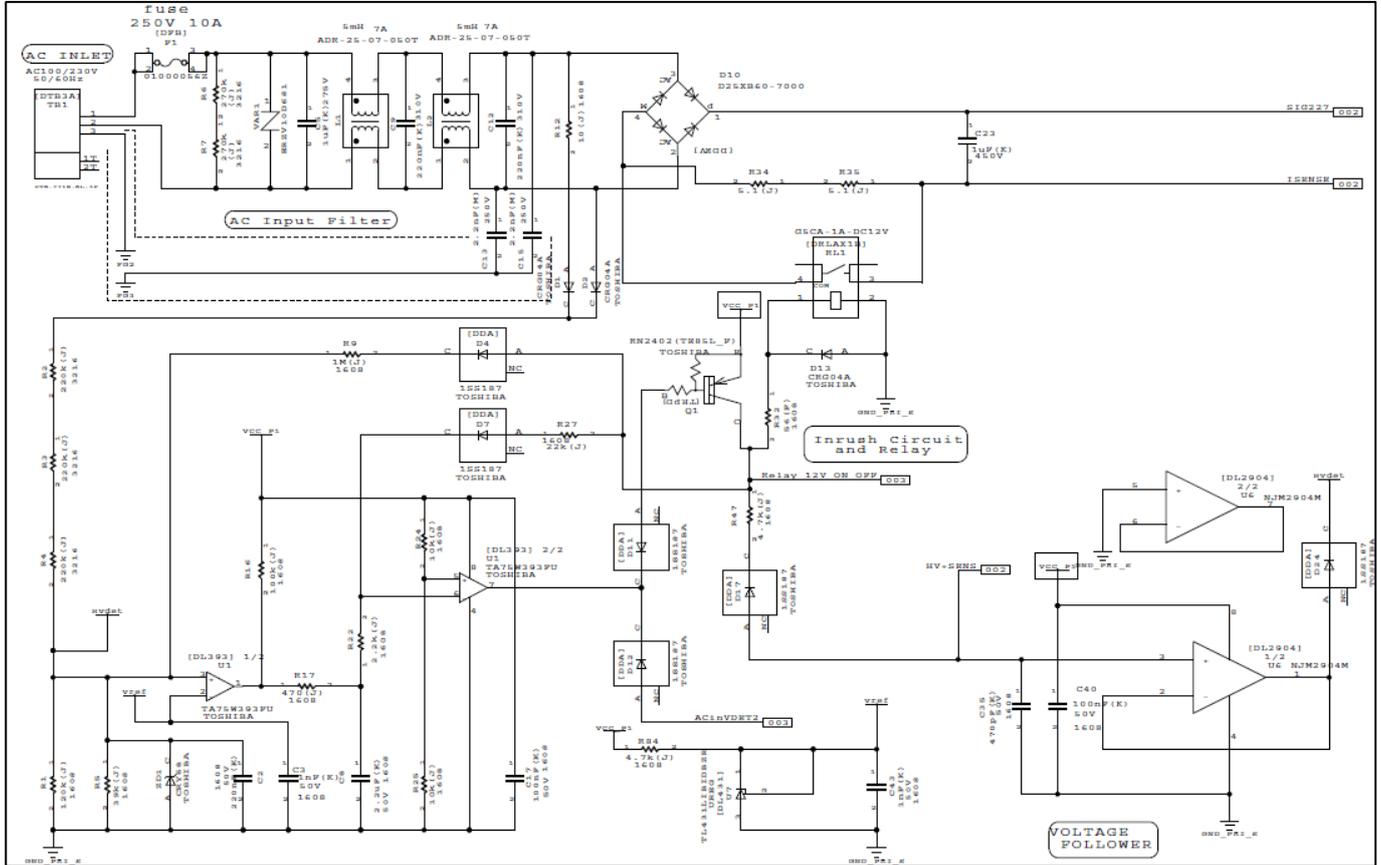


図 2.1 AC ライン回路

### ヒューズ

AC ラインに過大電流が流れた時に AC ラインを遮断するため、ヒューズ (F1) を用います。AC ラインの電流実効値の最大値  $ACin_{peakrms}$  からヒューズを選定します。最大電力  $P_{out}$ 、PFC 電源効率  $\eta_1$ 、LLC 電源効率  $\eta_2$ 、力率 PF、AC ライン電圧実効値  $VinAC_{min}$  を用いて以下の式で AC ラインの電流実効値の最大値  $ACin_{peakrms}$  を算出します。

$$ACin_{peakrms} = \frac{P_{out}}{\eta_1 \times \eta_2 \times PF \times VinAC_{min}}$$

本電源の出力仕様は 500 W です。PFC の電源効率は AC ライン電圧が低いと低下するため、AC ライン電圧実効値 (min) を 100 V 系最小値の 90 V にして AC ライン電流実効値 (max) を算出します。

入力電圧 (min 実効値) = 90 V、最大電力 = 500 W、PFC 電源効率 ( $\eta_1$ ) = 94 %、LLC 電源効率 ( $\eta_2$ ) = 94%、力率 = 0.99 とすると、本電源の AC ライン最大電流値は、約 6.4 A です。本電源はマージンを加え、10 A のヒューズを用います。ヒューズ選定時は、上記最大電流に加え、AC 電源投入時の突入電流、対応すべき安全規格を取得した製品であるか等も考慮する必要があります。

## バリスタ

ACラインに誘導雷等によるサージ電圧が印加された時に回路を保護するため、酸化金属バリスタ (VAR1) を用います。ACラインの電圧値でバリスタを選定します。本電源のACライン電圧最大値は実効値で264 V、瞬時値で373 Vのため、マージンを加え最大許容回路電圧420 V (AC実効値)、バリスタ電圧680 Vのバリスタを用います。

最大許容回路電圧やバリスタ電圧だけでなく、サージ電流耐量、エネルギー耐量等を考慮し選定してください。また、バリスタの故障モードはショートモードが多いため、バリスタの前段 (ACラインの入力側) ヘビューズを挿入します。

## Xコンデンサー放電抵抗

XコンデンサーCx (C5,C9,C12) 放電用に抵抗Rdis (R6,R7) を用います。安全規格を満たすように抵抗値を設定します。例えばシステムが対応すべき安全規格によりACプラグ抜去後t秒以内に安全電圧 (Vsafe) 以下が要求される場合、ACライン電圧ピーク時にACプラグが抜去されても規格を満たすには、以下の式を満足する放電抵抗値を設定します。

$$R_{dis} \leq \frac{t}{C_x \times \ln \left( \frac{V_{inAC} \times \sqrt{2}}{V_{safe}} \right)}$$

tを2秒、Vsafeを60Vと設定した場合、Cxが1.44 μF、VinACが最大の264VのときのRdisは759 kΩ以下となります。容量値や抵抗値のばらつき、設計マージンを考慮してRdisを540 kΩ (R6,R7は270 kΩ) とします。また、抵抗のロスは以下のとおりとなります。

$$R_{loss} = \frac{V_{inAC}^2}{R_{dis}}$$

VinACが最大の264Vのときの放電抵抗Rdisにおける合計の電力ロス (Rloss) は129 mWです。放電抵抗の抵抗値を小さくすると安全規格を満足するのが容易となりますが、抵抗の電力ロス (Rloss) が増加するので注意が必要です。抵抗による電力ロスがシステムとして許容できない場合は、AC電源喪失時にのみXコンの放電経路を接続するXコン放電用ICを使用してください。

## EMI対策部品

コモンモードノイズ対策でYコンデンサー (C13,C15)、コモンモードチョーク (L1,L2) を用います。また、ディファレンシャルノイズ対策でXコンデンサー (C5, C9, C12) を用います。各ノイズレベルはPCBレイアウト、筐体構造の影響を受けるため、必要に応じ前記部品を変更、削除、追加してください。なお、本電源は筐体がないため十分なYコンデンサーを設置していません。筐体があるシステムを設計する際はコモンモードノイズ対策として十分なYコンデンサーを設置してください。なお、Yコンデンサーを設置する場合、容量値を大きくすると漏洩電流が増加するため、安全規格を満足するか確認してください。

## 突入電流対策部品

交流電源投入時の突入電流を抑制するため、抵抗 (R34,R35) とリレー (RL1) を用います。交流電源投入時、リレー (RL1) が開放状態となりACライン電流が抵抗 (R34,R35) に流れるため、突入電流が抑制されます。交流電源投入後、特定の条件が成立したら (RL1) が導通します。リレー (RL1) が導通するとACラインの電流を抑制していた抵抗 (R34,R35) が短絡され、動作時の電力損失を低減できます。抵抗 (R34,R35) は突入電流に耐えうる仕様のものを選定する必要があります。また、リレー (RL1) を開放・導通する条件とタイミングが要求仕様を満足するか確認してください。

## ブリッジダイオード

整流ダイオードにブリッジダイオード (D10) を用います。突入電流値、最大印加電圧と製品定格を整合してください。

### 2.2. パワーファクターレクション (PFC) 回路設計

力率改善のため、Texas Instruments 社製 CCM モード PFC コントローラー UCC28180D (以下、PFC コントローラー) を用いた PFC 回路をします。図 2.2 に PFC 回路 1 (PFC コントローラー周辺) を示し、基本的な設計方法を説明します。周辺の詳細設計は UCC28180D のデータシート、関連書類を参照してください。

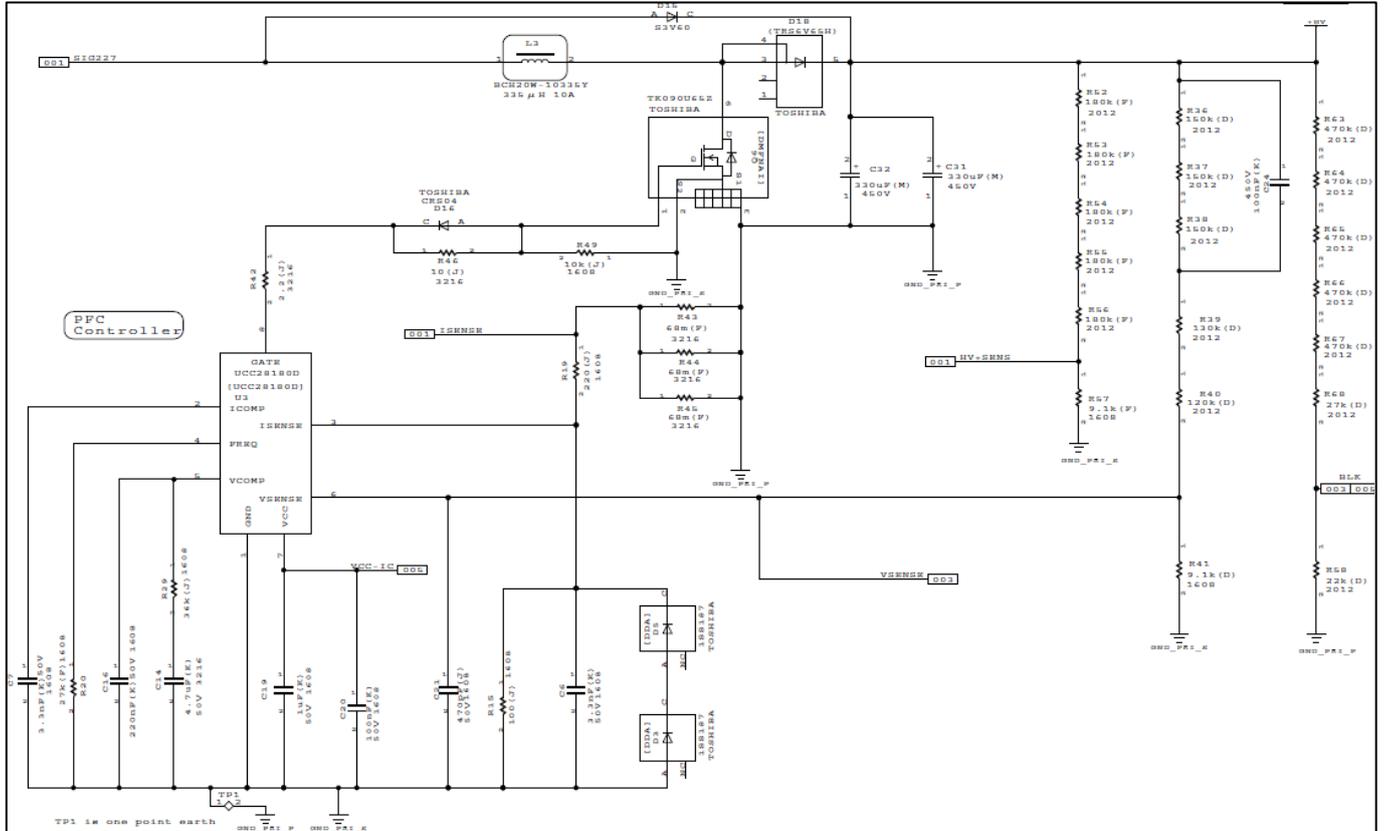


図 2.2 PFC 回路 1 (PFC コントローラー周辺)

#### 出力電圧

図 2.3 に出力電圧設定回路を示します。出力電圧 (Vout\_PFC) を抵抗 (R36-R41) で設定します。PFC コントローラーは、これらの抵抗で分割された出力端子センス電圧 (VSENSE) と PFC コントローラーの内部参照電圧 Vref\_PFC (5 V) が一致するように出力電圧 (Vout\_PFC) を制御します。VSENSE 端子電圧へのバイアス電流 Ibias\_PFC (100nA) として、以下の式で Ta = 25 °C における出力電圧 (Vout\_PFC) を算出します。

$$V_{out\_PFC} = \frac{V_{ref\_PFC} \times (R36 + R37 + R38 + R39 + R40 + R41)}{R41} + I_{bias\_PFC} \times (R36 + R37 + R38 + R39 + R40)$$

出力電圧 (Vout\_PFC) の設定値は約 390 V で、その場合の抵抗値 R36-R38 が 150 kΩ、抵抗値 R39 が 130 kΩ、抵抗値 R40 が 120 kΩ、抵抗値 R41 が 9.1 kΩです。

次に、出力電圧のばらつき計算を実施します。上記出力電圧算出式における各パラメーターのばらつきを以下の通りとして Vout\_PFC\_min、Vout\_PFC\_max を算出します。

- Vref\_PFC : 4.87 V (min) , 5.15 V (max)
- Ibias\_PFC : 20 nA (min) , 250 nA (max)
- R36-R40 : (D) 偏差、TCR = ±100 ppm/°C
- R41 : (D) 偏差、TCR = ±50 ppm/°C
- 動作温度 : 0 °C (min) , 55 °C (max)

R36-R41 の温度変化に関しては、プラス方向は  $T_a = 25\text{ }^\circ\text{C}$  から動作温度上限  $55\text{ }^\circ\text{C}$  の差分の  $30\text{ }^\circ\text{C}$  と機器内部の温度上昇  $15\text{ }^\circ\text{C}$  を考慮した  $+45\text{ }^\circ\text{C}$ 、マイナス方向は  $T_a = 25\text{ }^\circ\text{C}$  から動作温度下限  $0\text{ }^\circ\text{C}$  の差分の  $-25\text{ }^\circ\text{C}$  とします。上記各パラメーターのばらつきによる影響を二乗和平方根で算出すると、 $V_{out\_PFC\_min}$  と  $V_{out\_PFC\_max}$  はそれぞれ以下の通りとなります。

$$V_{out\_PFC\_min} = 379.1\text{ V}$$

$$V_{out\_PFC\_max} = 401.8\text{ V}$$

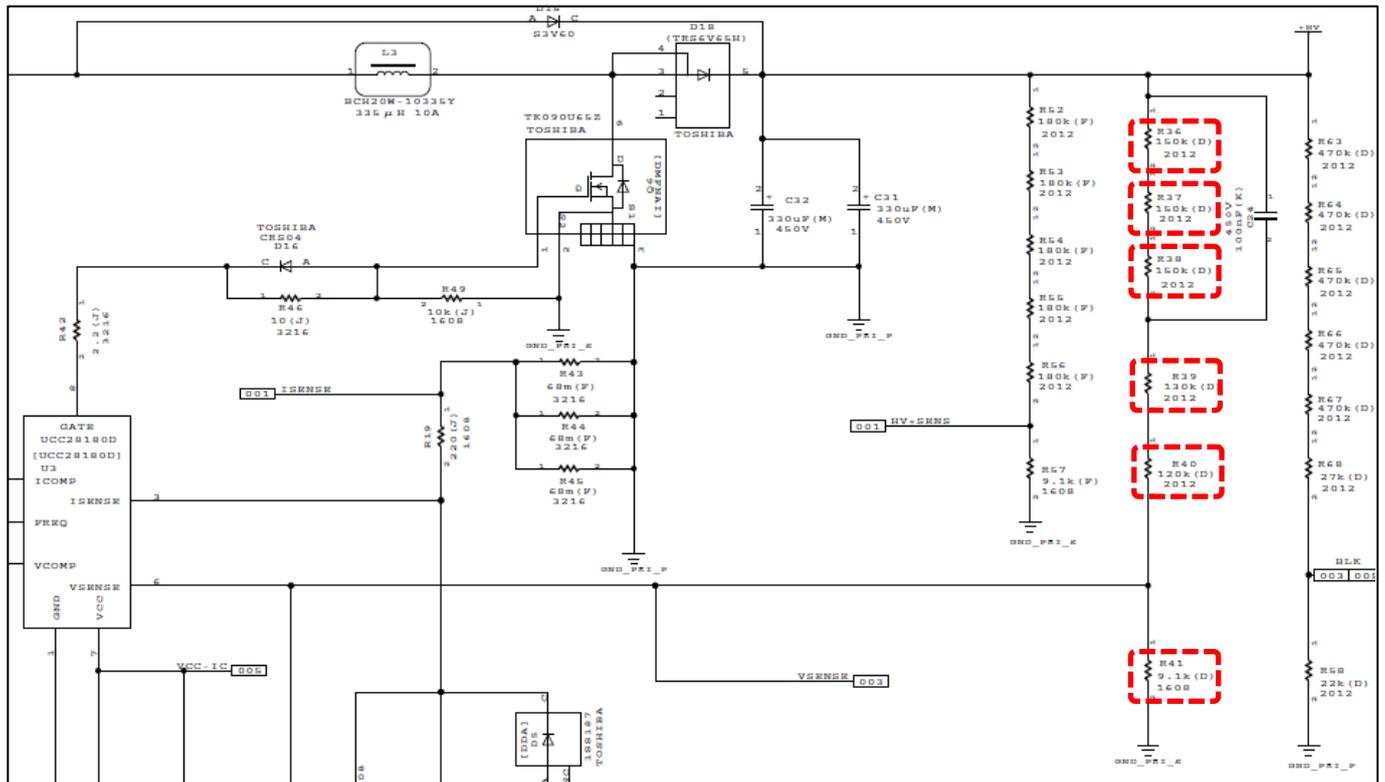


図 2.3 出力電圧設定回路

### ゲート駆動回路

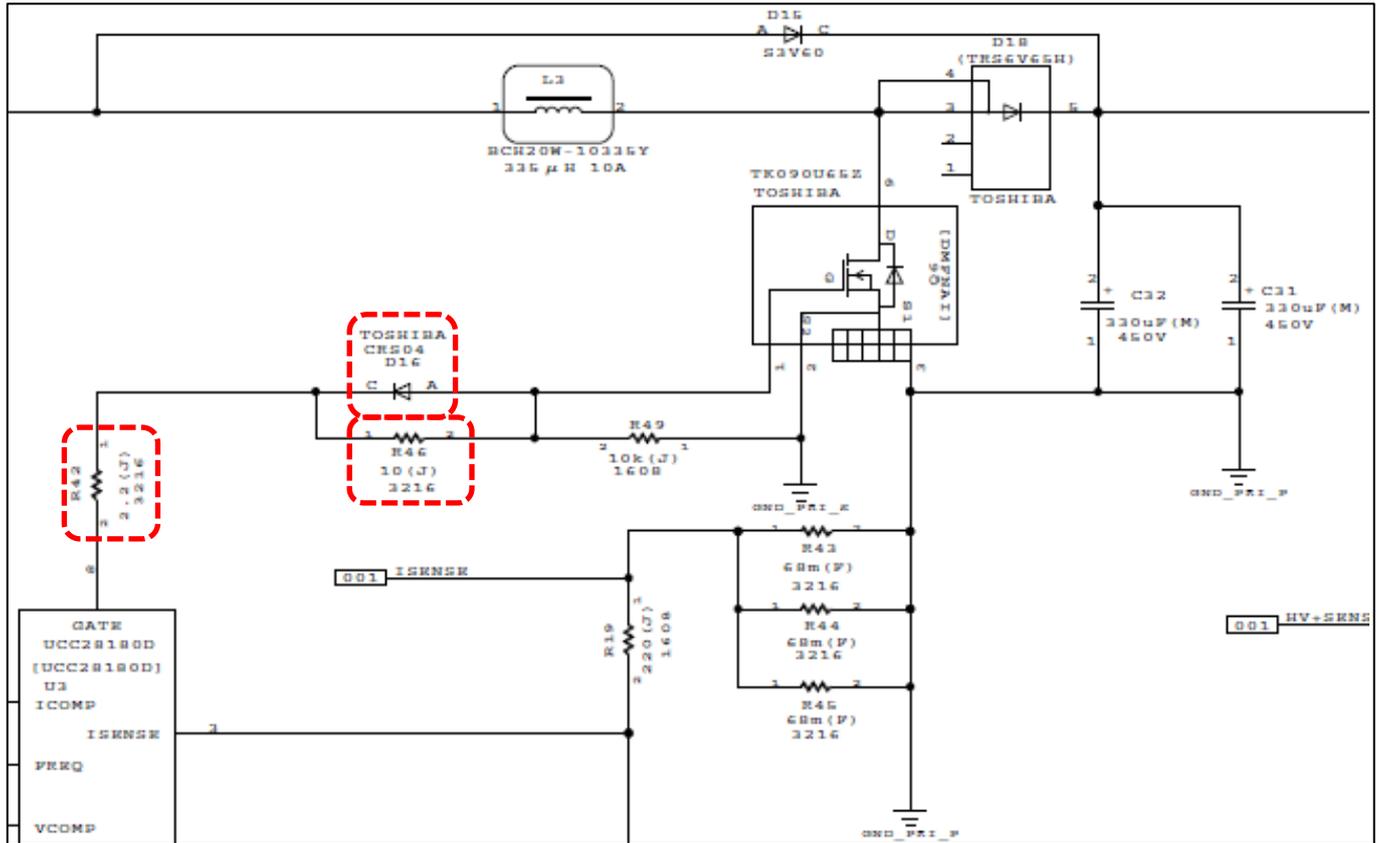


図 2.4 ゲート駆動回路

図 2.4 にゲート駆動回路を示します。ゲート駆動回路の設計が電源効率と EMI (ノイズ) に影響を与えます。一般的に電源効率と EMI (ノイズ) はトレードオフの関係にあり、両者のバランスを取った設計が必要です。EMI (ノイズ) を低減する場合はゲート直列抵抗 (R42,R46) の抵抗値を調整し、確認してください。ゲート駆動回路で MOSFET のターンオンスピードとターンオフスピードの個別調整が可能です。MOSFET のターンオン時、ターンオフ時両方で EMI (ノイズ) が発生している場合は、抵抗 R42 の値を大きくしてください。これによりターンオンスピードとターンオフスピードを同時に下げることができ、EMI (ノイズ) を低減できます。MOSFET のターンオン時に EMI (ノイズ) が発生している場合は、R46 の値を大きくしてください。D16 により、R46 の値はターンオフスピードに関与しません。これによりターンオンスピードのみを下げることで、EMI (ノイズ) を低減できます。

なお、抵抗 (R42,R46) の値を大きくすると MOSFET のスイッチングスピードが低下するため、電源効率も低下する場合があります。電源効率仕様や放熱仕様が要求仕様を満足するか確認してください。

### スイッチング周波数

図 2.5 にスイッチング周波数調整回路を示します。PFC コントローラーのスイッチング周波数 (fpwm1) は以下の式で算出されます。

$$fpwm1 = \frac{65kHz \times 32.7k\Omega \times 1M\Omega + 65kHz \times 32.7k\Omega \times R20}{R20 \times 1M\Omega + 65kHz \times 32.7k\Omega \times R20}$$

スイッチング周波数 (fpwm1) の設定値は 78.3 kHz で、その場合の抵抗値 R20 は 27 kΩ です。

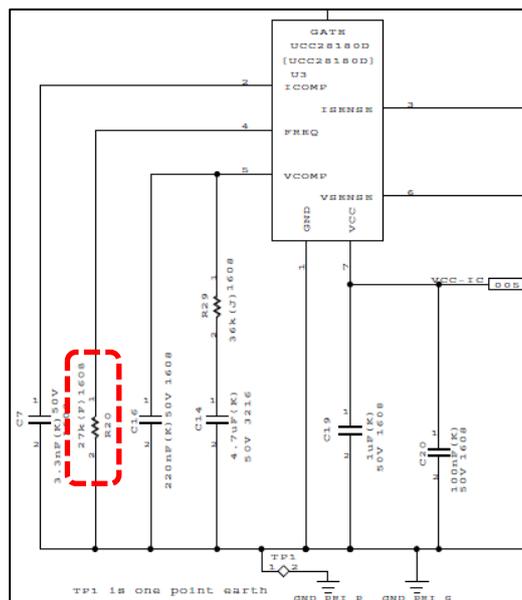


図 2.5 スイッチング周波数調整回路

### インダクター

図 2.6 にインダクター周辺回路を示します。インダクターL3のインダクタンス (L) を以下の項目で設定します。

1. 最大出力電力 (Pout)
2. AC ライン電圧実効値 (VinAC)
3. 本電源のトータル電力変換効率 ( $\eta_1 \times \eta_2$ ) と力率 (PF)
4. PFC 出力電圧 (Vout\_PFC)
5. スイッチング周波数 ( $f_{PWM1}$ )

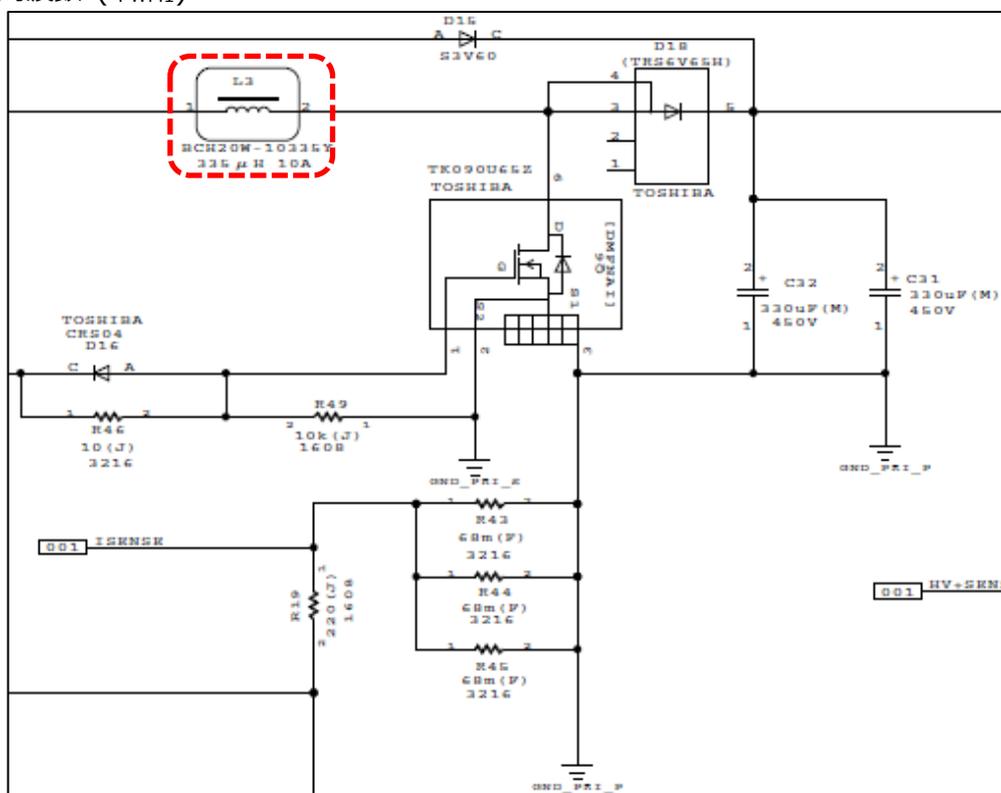


図 2.6 インダクター周辺回路

インダクターのリップル電流 ( $\Delta I$ ) を、AC ラインのピーク入力電流値 ( $ACin_{peak}$ ) の 33.5 % に設定すると、以下の式でインダクタンス (L) 値を算出することができます。

$$ACin_{peak} = \frac{P_{out} \times \sqrt{2}}{\eta_1 \times \eta_2 \times PF \times VinAC_{min}}$$

$$\Delta I = ACin_{peak} \times 33.5\%$$

$$L = \frac{(V_{out\_PFC} - \sqrt{2} \times VinAC_{min}) \times \eta_1 \times \eta_2 \times PF \times VinAC_{min}^2}{33.5\% \times f_{PWM1} \times V_{out\_PFC} \times P_{out}}$$

最大出力電力 ( $P_{out}$ ) が 500 W、AC ライン電圧実効値 ( $VinAC_{min}$ ) が 85V、PFC 電源効率 ( $\eta_1$ ) が 94 %、LLC 電源効率 ( $\eta_2$ ) が 94 %、力率 (PF) が 0.99、PFC 出力電圧 ( $V_{out\_PFC}$ ) が 390 V、スイッチング周波数 ( $f_{PWM1}$ ) が 78.3 kHz の場合、インダクタンス (L) は 333  $\mu$ H と算出されます。インダクターの選定は負荷電流による磁気飽和を考慮する必要があります。本電源では 10 A 時のインダクタンス値が 335  $\mu$ H となるコイルを使用しています。また、インダクターに流れるピーク電流 ( $IL_{peak}$ ) は、AC ラインピーク入力電流 ( $ACin_{peak}$ ) を用いて下式で算出します。

$$IL_{peak} = ACin_{peak} + \frac{\Delta I}{2}$$

AC ラインピーク入力電流 ( $ACin_{peak}$ ) が 9.5 A なので、インダクターに流れるピーク電流 ( $IL_{peak}$ ) は 11.1 A となり、11.1 A 以上を流せるコイルを選定する必要があります。

### 出力コンデンサー

図 2.7 に出力コンデンサー周辺回路を示します。出力コンデンサーの静電容量 (C31,C32、以下 Cout\_PFC) はホールドアップタイム要件に基づいて算出します。

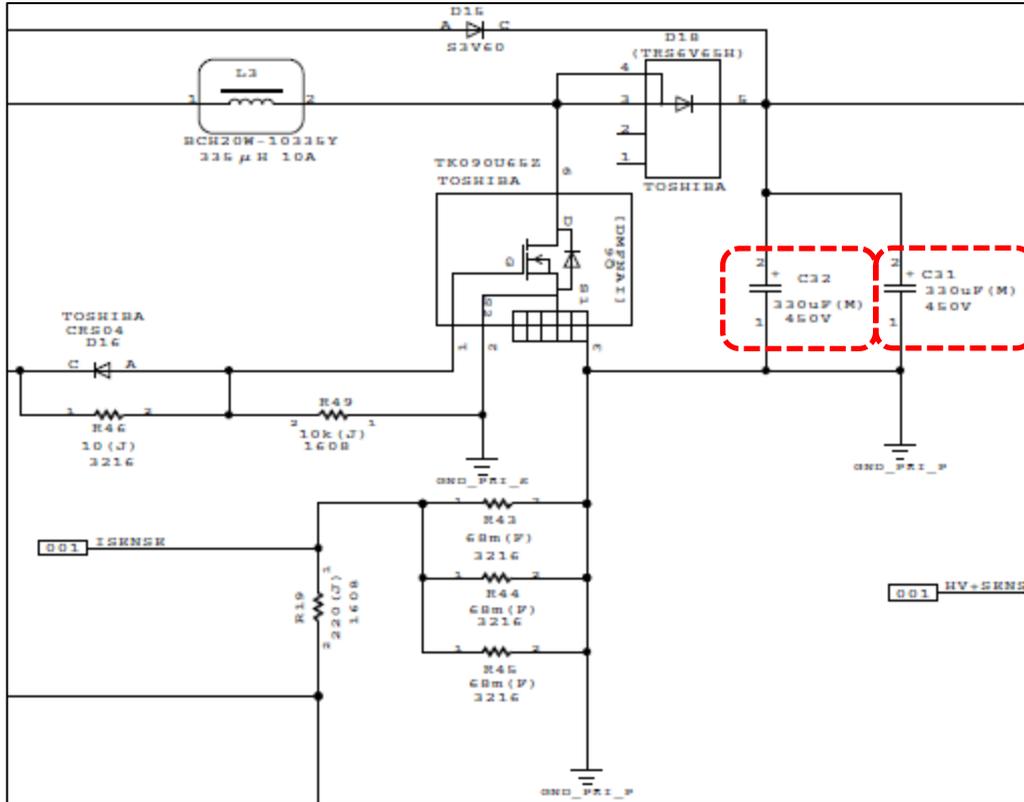


図 2.7 出力コンデンサー周辺回路

ホールドアップタイム (Thold) は Cout\_PFC と出力電圧 (Vout\_PFC) と出力下限電圧 (Vout\_PFC\_hold) と最大出力電力 (Pout) と LLC 電源効率 (η2) で算出します。

$$Thold = Cout\_PFC \times \frac{(Vout\_PFC^2 - Vout\_PFC\_hold^2) \times \eta2}{2 \times Pout}$$

静電容量 (Cout\_PFC) の設定値が 660μF、出力電圧 (Vout\_PFC) が 390 V、出力下限電圧 (Vout\_PFC\_hold) が 330 V、LLC 電源効率 (η2) が 94 %、最大出力電力 (Pout) が 500 W の場合のホールドアップタイム (Thold) は 26.8 ms です。

また、出力リップルに要求仕様がある場合は、以下の方法で設定してください。

1. 出力リップル仕様を満たす出力コンデンサー (Cout\_PFC) の静電容量値を求める
2. ホールドアップタイムを満足する出力コンデンサー (Cout\_PFC) の静電容量値を求める
3. 両者の静電容量値を比較し、大きな値を用いる

なお、出力コンデンサー (Cout\_PFC) の選定時に公差や経年劣化を考慮してください。

### 2.3. LLC 回路設計

本電源では LLC 共振回路で 500 W/12 V 出力を生成しています。LLC 共振回路方式は、入力側の各アームのハイサイド MOSFET とローサイド MOSFET をデューティ 50% で交互にオン・オフし、負荷に応じてオン・オフする周波数を調整し出力電圧を制御します。ハイサイド MOSFET とローサイド MOSFET の切り替わり時には貫通動作を防ぐ為にデッドタイムを設けますが、その期間の共振動作により MOSFET は Zero Volt Switching (ZVS) となります。ZVS をすることでスイッチング損失の低減が図れ、高効率電源の実現が可能となります。本電源では Texas Instruments 社のコントローラ UCC256303 (以下、LLC コントローラ) を用い、LLC 共振回路を構成しています。図 2.8 に LLC 電源回路 (LLC コントローラ周辺) を示し、基本的な設計方法を説明します。周辺の詳細設計は UCC256303 のデータシート、関連書類を参照してください。

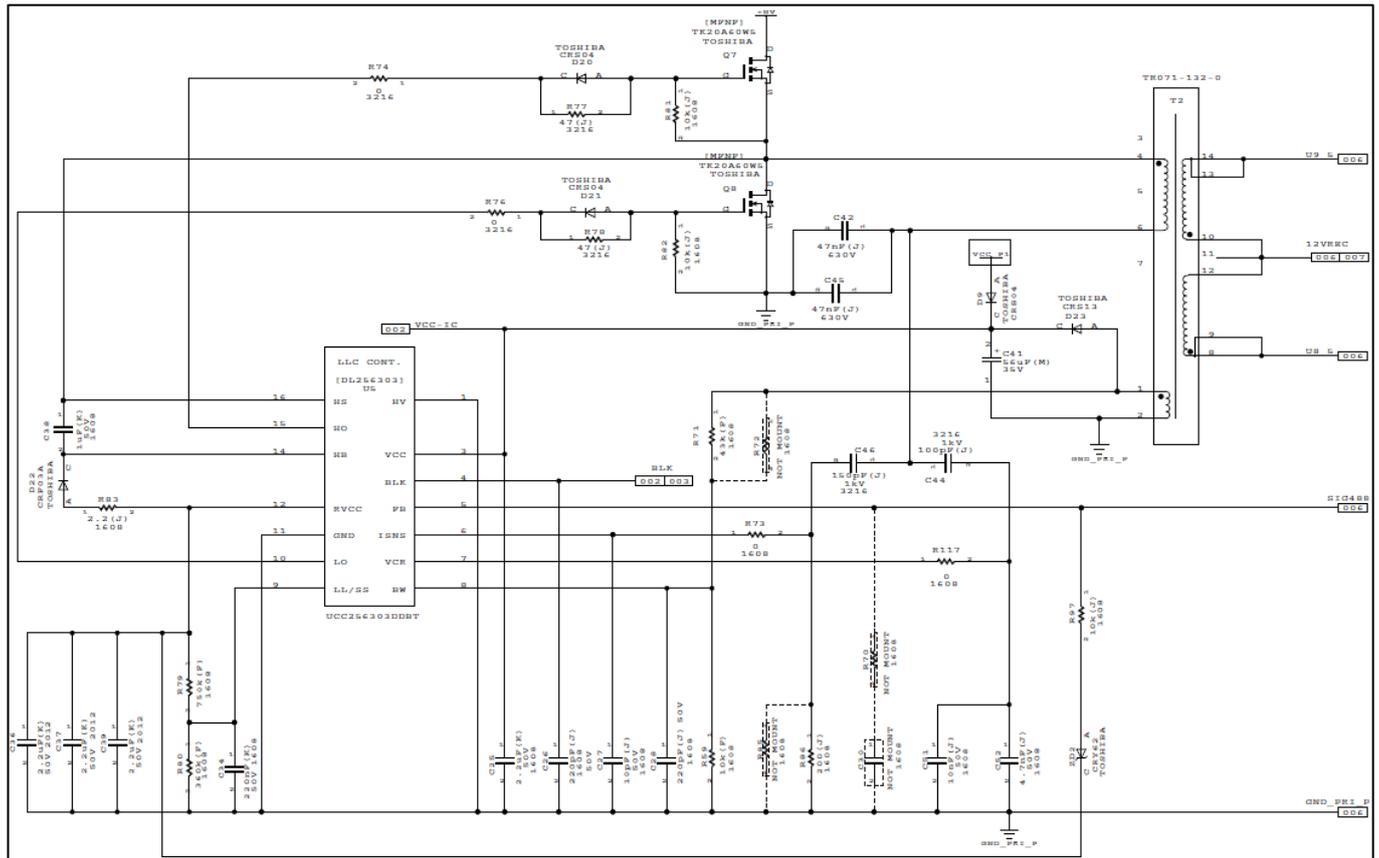


図 2.8 LLC 電源回路 (LLC コントローラ周辺)

### 入力電圧動作範囲の設定

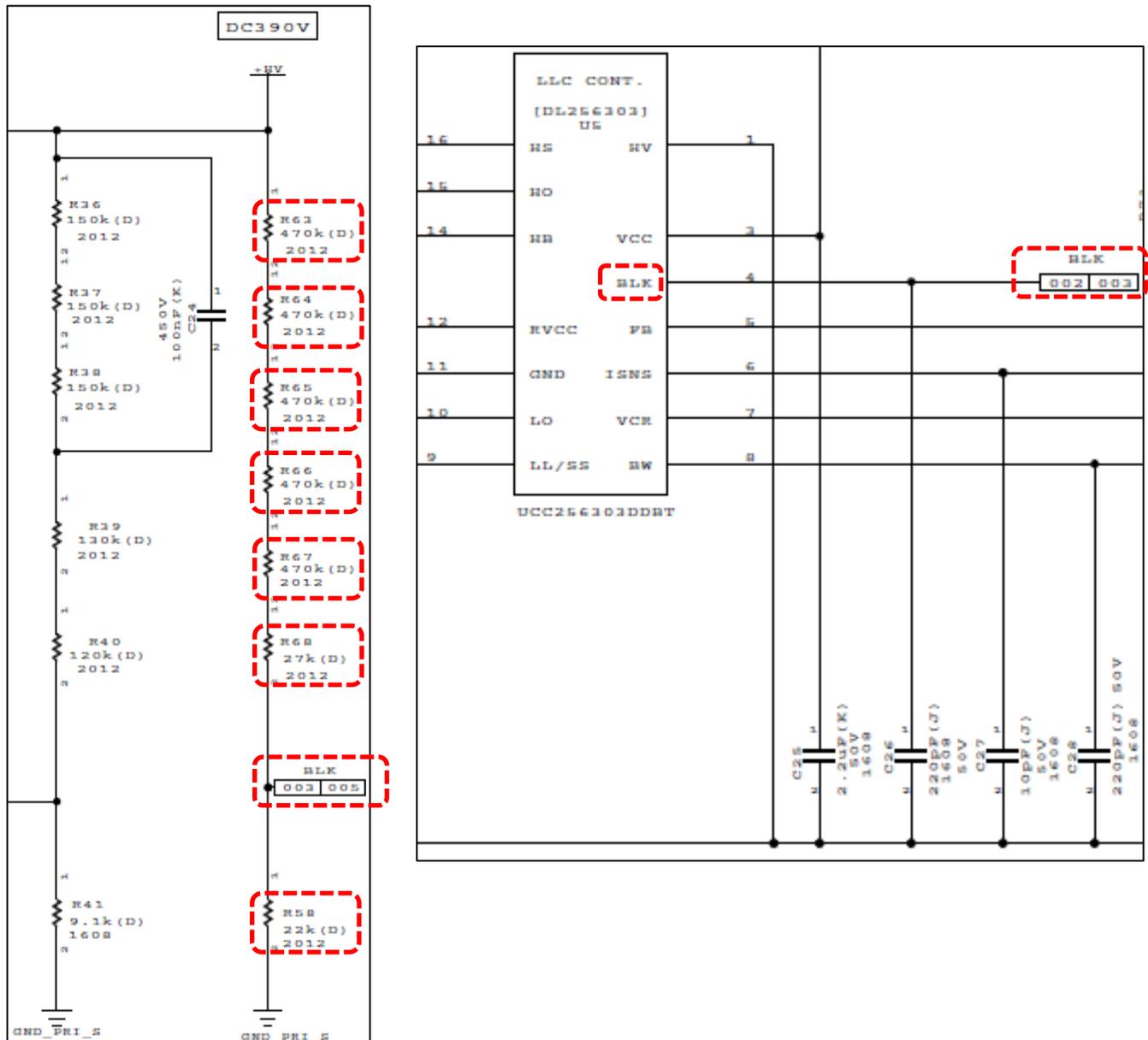


図 2.9 LLC 動作下限値設定回路

図 2.9 に LLC 動作下限値設定回路を示します。LLC 回路は PFC 回路の出力を入力電源として動作します。LLC コントローラは PFC 回路の出力電圧を検出して動作を開始します。LLC コントローラの動作電圧範囲は外付け抵抗 (R58、R63-R68) の抵抗値で設定します。PFC 回路の出力電圧  $V_{out\_PFC}$  を抵抗 (R58、R63-R68) で分割し、LLC コントローラ (U5) の BLK 端子に入力することで LLC 回路の動作電圧範囲 ( $V_{in\_min\_on}$ 、 $V_{in\_min\_off}$ ) を設定します。LLC コントローラ (U5) は、これらの抵抗分割によって発生する BLK 端子電圧が動作開始閾値電圧 (3.05V) を超えるとスイッチング動作を開始し、動作停止閾値電圧 (2.17V) を下回るとスイッチング動作を停止します。以下の式で動作電圧下限値 ( $V_{in\_min\_on}$ 、 $V_{in\_min\_off}$ ) を算出します。

$$V_{in\_min\_on}(V) = 3.05V \times \frac{(R58 + R63 + R64 + R65 + R66 + R67 + R68)}{R58}$$

$$V_{in\_min\_off}(V) = 2.17V \times \frac{(R58 + R63 + R64 + R65 + R66 + R67 + R68)}{R58}$$



出力電圧 (Vout\_LL) の設定値は 11.97 V で、その時の抵抗 (R106) が 150 Ω、抵抗 (R107) が 8.2 kΩ、抵抗 (R108) が 2.2 kΩ です。

次に、出力電圧のばらつき計算を実施します。上記出力電圧算出式における各パラメーターのばらつきを以下の通りとして Vout\_LL<sub>min</sub>、Vout\_LL<sub>max</sub> を算出します。

Vref\_LL : 2.466 V (min) , 2.524 V (max)

Ibias\_LL : 0 A (min) , 400 nA (max) min 規定がないため 0A とする

R106 : (F) 偏差、TCR = ±100 ppm/°C

R107 : (D) 偏差、TCR = ±100 ppm/°C

R108 : (D) 偏差、TCR = ±50 ppm/°C

動作温度 : 0 °C (min) , 55 °C (max)

R106-R108 の温度変化に関しては、プラス方向は Ta = 25 °C から動作温度上限 55 °C の差分の 30 °C と機器内部の温度上昇 15 °C を考慮した +45 °C、マイナス方向は Ta = 25 °C から動作温度下限 0 °C の差分の -25 °C とします。上記各パラメーターのバラつきによる影響を二乗和平方根で算出すると、Vout\_LL<sub>min</sub> と Vout\_LL<sub>max</sub> はそれぞれ以下の通りとなります。

Vout\_LL<sub>min</sub> = 11.80 V

Vout\_LL<sub>max</sub> = 12.14 V

なお、フォトカプラーに並列接続される抵抗 (R102) はシャントレギュレーターの最少カソード電流を確保できるように、フォトカプラーの変換効率、経年変化や、1 次側のフィードバック電流等、各種バラつきを考慮した設定にする必要があります。

### トランス(共振設計)

基本波近似法(FHA)で検討を進めます。図 2.12 に LLC 共振回路の基本回路を、図 2.13 に簡易等価回路を示します。

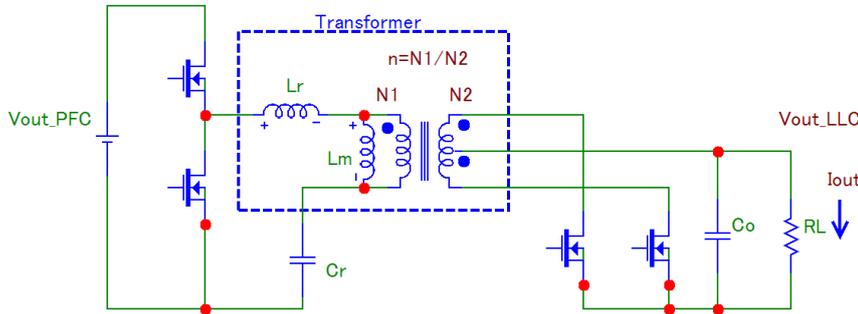


図 2.12 LLC 共振回路基本回路

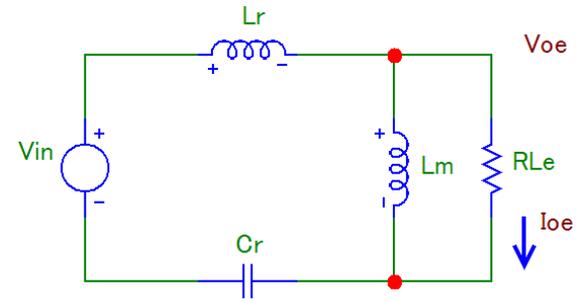


図 2.13 LLC 共振回路簡易等価回路

#### ・巻数比決定

巻数比  $n$  を決定します。巻き数比  $n$  は PFC の出力電圧  $V_{out\_PFC}$  と LLC の出力電圧  $V_{out\_LLC}$  を用いて以下の式で算出します。

$$n = \frac{V_{out\_PFC}}{2 \times V_{out\_LLC}}$$

$V_{out\_PFC}$  が 390 V、 $V_{out\_LLC}$  が 12 V で  $n = 16.25$  となるため、 $n = 16.5$  とします。

#### ・共振回路電圧ゲイン決定

基本波近似法(FHA)では LLC 回路の入出力間の電圧ゲインを元に設計が展開されます。LLC 共振回路に必要とされる電圧ゲインを算出します。通常時に LLC 共振回路で必要とされる電圧ゲイン最大値  $Mg\_nom_{max}$  を以下の式で算出します。

$$Mg\_nom_{max} = \frac{n \times V_{out\_LLC_{max}}}{V_{out\_PFC_{min}} / 2}$$

$N$  が 16.5、 $V_{out\_LLC_{max}}$  が 12.14 V、定常時の  $V_{out\_PFC_{min}}$  が 379.1 V であるため、 $Mg\_nom_{max} = 1.06$  となります。最大負荷にマージンを含めた 110 % 負荷で電圧ゲインが  $Mg\_nom_{max} = 1.06$  を確保できるようにします。

次に瞬停時に LLC 共振回路で必要とされる電圧ゲイン最大値  $Mg\_hold_{max}$  を算出します。瞬停時は、最大負荷時で出力が LLC 出力電圧の仕様下減値を確保できる電圧ゲインが確保できていれば問題ないものとし、以下の式で算出します。

$$Mg\_hold_{max} = \frac{n \times V_{out\_LLC\_Spec_{min}}}{V_{out\_PFC\_hold} / 2}$$

$N$  が 16.5、本電源の出力電源電圧下限  $V_{out\_LLC\_Spec_{min}}$  が 11.4 V、瞬停時の  $V_{out\_PFC\_hold}$  が 330 V であるため  $Mg\_hold_{max} = 1.14$  となります。

以上から LLC 共振回路に必要とされる電圧ゲインは、110 % 負荷時は  $Mg\_nom_{max} = 1.06$ 、100 % 負荷時は  $Mg\_hold_{max} = 1.14$  となります。以降の計算では LLC 共振回路に必要とされる電圧ゲイン最大値  $Mg_{max} =$

Mg\_hold<sub>max</sub> = 1.14 として共振回路の設計を進め、設計の最終段階で 110 % 負荷時の電圧ゲインが Mg\_nom<sub>max</sub> = 1.06 を確保できていることを確認します。

LLC 共振回路で必要とされる電圧ゲイン最小値 Mg\_min を以下の式で算出します。

$$Mg_{-min} = \frac{n \times V_{out\_LLCmin}}{V_{out\_PFCmax} / 2}$$

N が 16.5、Vout\_LL<sub>Cmin</sub> が 11.80 V、定常時の Vout\_PFC<sub>max</sub> が 401.8 V であるため、Mg\_min = 0.97 となります。

### ・共振回路クオリティファクター導出

図 2.14 に基本波近似法(FHA)における LLC 共振回路のゲイン最大値 Mg\_max と共振回路のクオリティファクター Qe の関係を表すグラフを示します。同図における Ln はトランスの励磁インダクタンス Lm と寄生インダクタンス Lr の比を表します (Ln=Lm/Lr)。ここで Ln = 5.5 とすると、Mg\_max = 1.14 の時の LLC 共振回路のクオリティファクター Qe は 0.53 となります。なお、クオリティファクター Qe は以下式の通りです。

$$Qe = \frac{\sqrt{Lr/Cr}}{RLe}$$

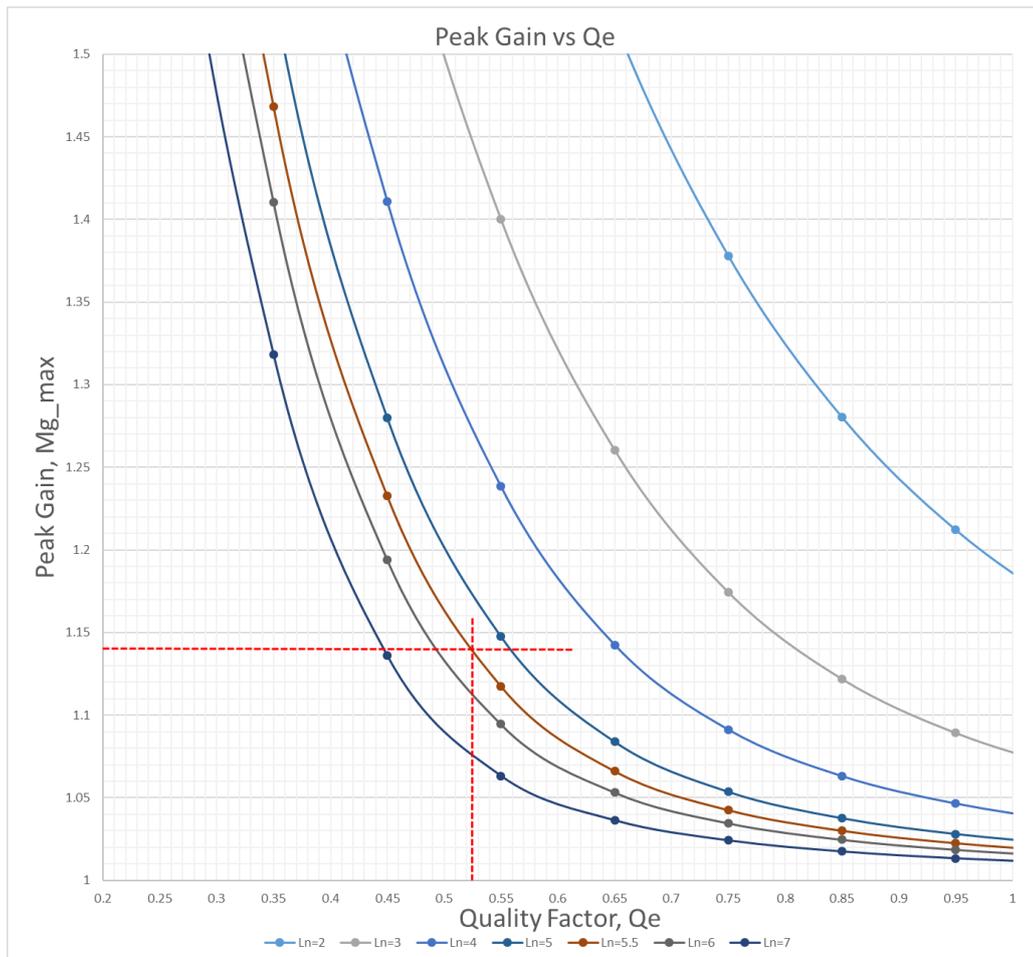


図 2.14 LLC 共振回路 電圧ゲイン最大値とクオリティファクター関係図

## ・等価負荷抵抗算出

LLC 共振回路の簡易等価回路における等価負荷抵抗  $R_{Le}$  は以下の式で算出されます。

$$R_{Le} = \frac{8n^2}{\pi^2} R_L$$

最大負荷時の  $R_L$  は  $12 \text{ V}/41.7 \text{ A} = 0.288 \text{ } \Omega$  となるため、最大負荷時の  $R_{Le}$  は  $63.56 \text{ } \Omega$  となります。

## ・Cr, Lr, Lm の算出

Lr と Cr の共振周波数を  $f_0$  とすると Cr は以下式の通りとなります。

$$Cr = \frac{1}{2 \times \pi \times f_0 \times R_{Le} \times Qe}$$

ここで、 $f_0$  を  $55 \text{ kHz}$  とすると、 $R_{Le}$  が  $63.56 \text{ } \Omega$ 、 $Qe$  が  $0.53$  なので Cr は  $86 \text{ nF}$  と算出されます。今回は  $47 \text{ nF}$  を 2 個使用して  $Cr = 94 \text{ nF}$  とします。

Lr は以下式となるため、 $89 \text{ } \mu\text{H}$  と算出され、今回は  $90 \mu\text{H}$  とします。

$$Lr = \frac{1}{(2 \times \pi \times f_0)^2 \times Cr}$$

Lm は以下式の通りとなります。

$$Lm = Ln \times Lr$$

$Ln$  が  $5.5$  なので、 $Lm$  は  $495 \text{ } \mu\text{H}$  と算出され、今回は  $500 \text{ } \mu\text{H}$  とします。

## ・Cr, Lr, Lm の決定

上記算出結果に基づいて作成したトランスと共振コンデンサーCrの仕様は以下の通りとなります。

巻数比  $n = 16.5$  ( $N_p:N_s = 33:2$ )

励磁インダクタンス  $Lm = 500 \text{ } \mu\text{H}$

寄生インダクタンス  $Lr = 90 \text{ } \mu\text{H}$

共振コンデンサー  $Cr = 94 \text{ nF}$

これにより、寄生インダクタンス Lr と共振コンデンサー Cr の共振周波数  $f_0$ 、励磁インダクタンス Lm と寄生インダクタンス Lr の比  $Ln$  は以下の通りとなります。

Lr と共振コンデンサー Cr の共振周波数  $f_0 = 54.72 \text{ kHz}$

Lm と Lr の比  $Ln = 5.56$

### ・共振回路電圧ゲイン確認

図 2.15 に上記仕様のトランス、共振コンデンサーを用いた共振回路のスイッチング周波数と電圧ゲインの関係を表すグラフを示します。110 %負荷時に必要な電圧ゲイン  $Mg\_nom_{max} = 1.06$  と、100 %負荷時に必要な電圧ゲイン  $Mg\_hold_{max} = 1.14$  が確保できていることが確認できます。

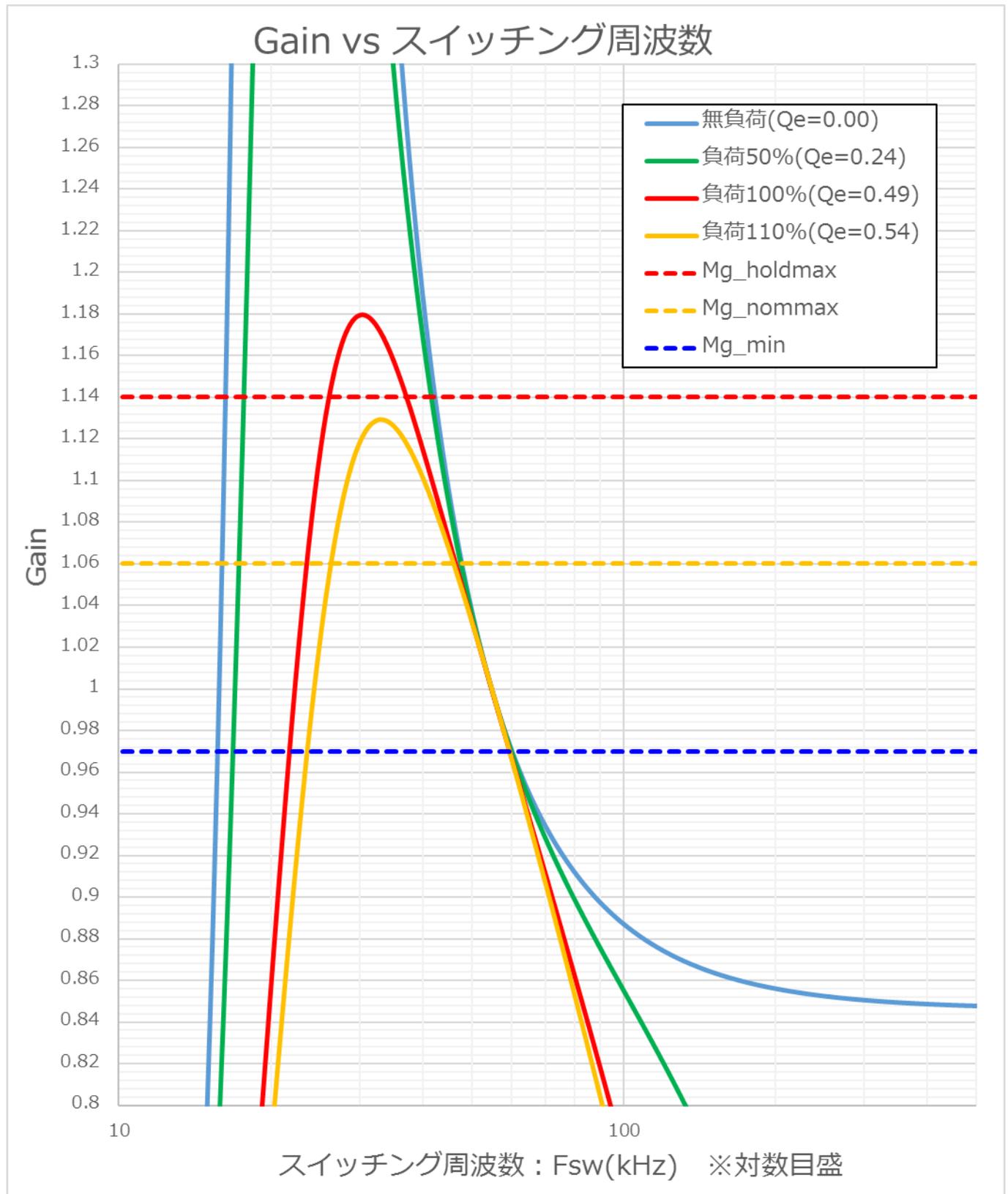


図 2.15 LLC 共振回路 電圧ゲインとスイッチング周波数関係図

### ・スイッチング周波数変動範囲確認

図 2.16 に図 2.15 を部分拡大し、周波数軸を線形目盛に変換したグラフを示します。グラフより、スイッチング周波数最小値  $F_{sw\_min}$  は負荷 100% で電圧ゲイン最大値  $Mg\_hold_{max} = 1.14$  を確保する箇所、スイッチング周波数最大値  $F_{sw\_max}$  は無負荷で電圧ゲイン最小値  $Mg\_min = 0.97$  を確保する箇所となります。計算結果は下記のとおりです。

スイッチング周波数最小値  $F_{sw\_min} = 37.21\text{kHz}$

スイッチング周波数最大値  $F_{sw\_max} = 60.19\text{kHz}$

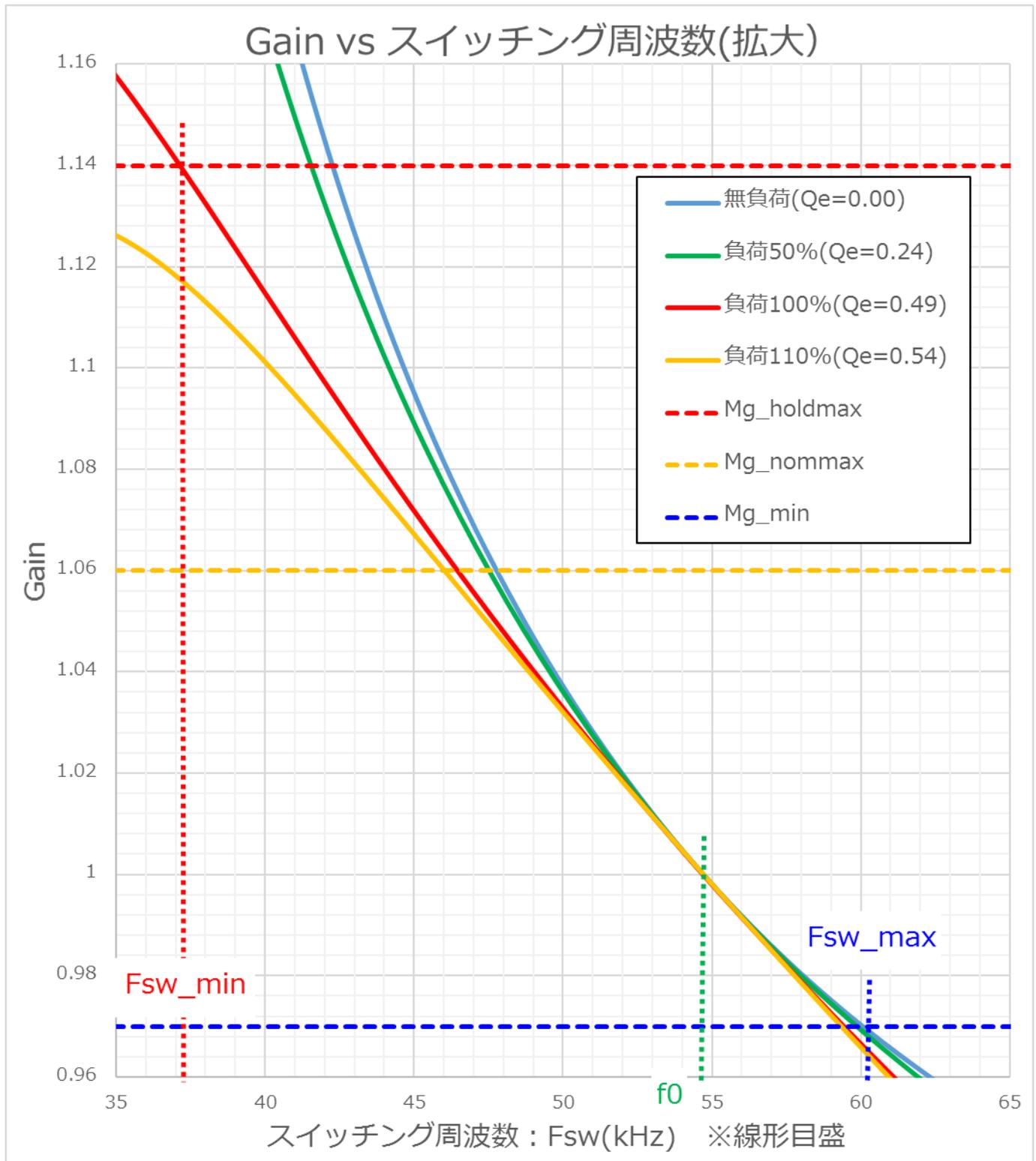


図 2.16 LLC 共振回路 電圧ゲインとスイッチング周波数関係図\_拡大、周波数軸線形目盛化

### ・電流値確認

2次巻線に正弦波の電流が流れると仮定して、2次側巻線に流れる電流実効値を求めます。今回のトランスはセンタータップ方式なので、最大負荷電流を  $I_{out\_LLCmax}$  とすると、2次側巻線の各ワイヤーに流れる電流実効値  $I_{s\_rms}$ 、1次巻線に流れる負荷電流  $I_{p\_l}$  はそれぞれ以下の通りとなります。

$$I_{s\_rms} = \frac{\pi \times I_{out\_LLCmax}}{2\sqrt{2}}$$

$$I_{p\_l} = \frac{\pi \times I_{out\_LLCmax}}{2\sqrt{2} \times n}$$

$I_{out\_LLCmax}$  は 41.7A,  $n$  は 16.5 なので、 $I_{s\_rms}$  は 46.3 A,  $I_{p\_l}$  は 2.80 A となります。1次巻線に流れる励磁電流  $I_{p\_m}$  は以下の通りです。

$$I_{p\_m} = \frac{2\sqrt{2} \times n \times V_{out\_LLC}}{2\pi^2 \times f_{sw} \times L_m}$$

励磁電流  $I_{p\_m}$  が最大なるのはスイッチング周波数最小の  $f_{sw\_min} = 37.21$  kHz の時であり、 $V_{out\_LLC}$  が 12 V、 $L_m$  が 500  $\mu$ H なので、 $I_{p\_m}$  は 1.52 A となります。

1次巻線の合計電流  $I_p$  は以下の通りで 3.19 A となります。

$$I_p = \sqrt{I_{p\_l}^2 + I_{p\_m}^2}$$

### ・Zero Volt Switching の確認

LLC 電源はトランスの励磁電流で蓄えたエネルギーでスイッチング MOSFET の出力容量を充放電することによって Zero Volt Switching (ZVS) を行い、高効率化を実現しています。広範囲な負荷条件で ZVS を実現するには、励磁電流  $I_{p\_m}$  が最小の条件においても ZVS の条件が成立する必要があります。ZVS が成立する条件は、トランスの励磁電流で蓄えたエネルギーが、MOSFET の出力容量を充放電するのに必要なエネルギーを上回っていることです。励磁電流  $I_{p\_m}$  が最小となるのはスイッチング周波数最大の  $f_{sw\_max} = 60.19$  kHz の時であり、 $V_{out\_LLC}$  が 12 V、 $L_m$  が 500  $\mu$ H なので、 $I_{p\_m}$  は 0.94 A となります。この時、1次側のトランスに蓄えられるエネルギーは以下の通り算出されます。

$$\frac{1}{2}(L_m + L_r) \times \{0.94(A)\}^2 = 262\mu J$$

このエネルギーでスイッチング MOSFET の出力容量を充放電することができれば ZVS が実現できます。スイッチング MOSFET TK20A60W5 の出力容量実効容量値は 70 pF であるため、充放電に必要なエネルギーは以下の通り算出されます。

$$\frac{1}{2}(2p_{cs} \times 70pF) \times V_{out\_PFCmax}^2 = 11.3\mu J$$

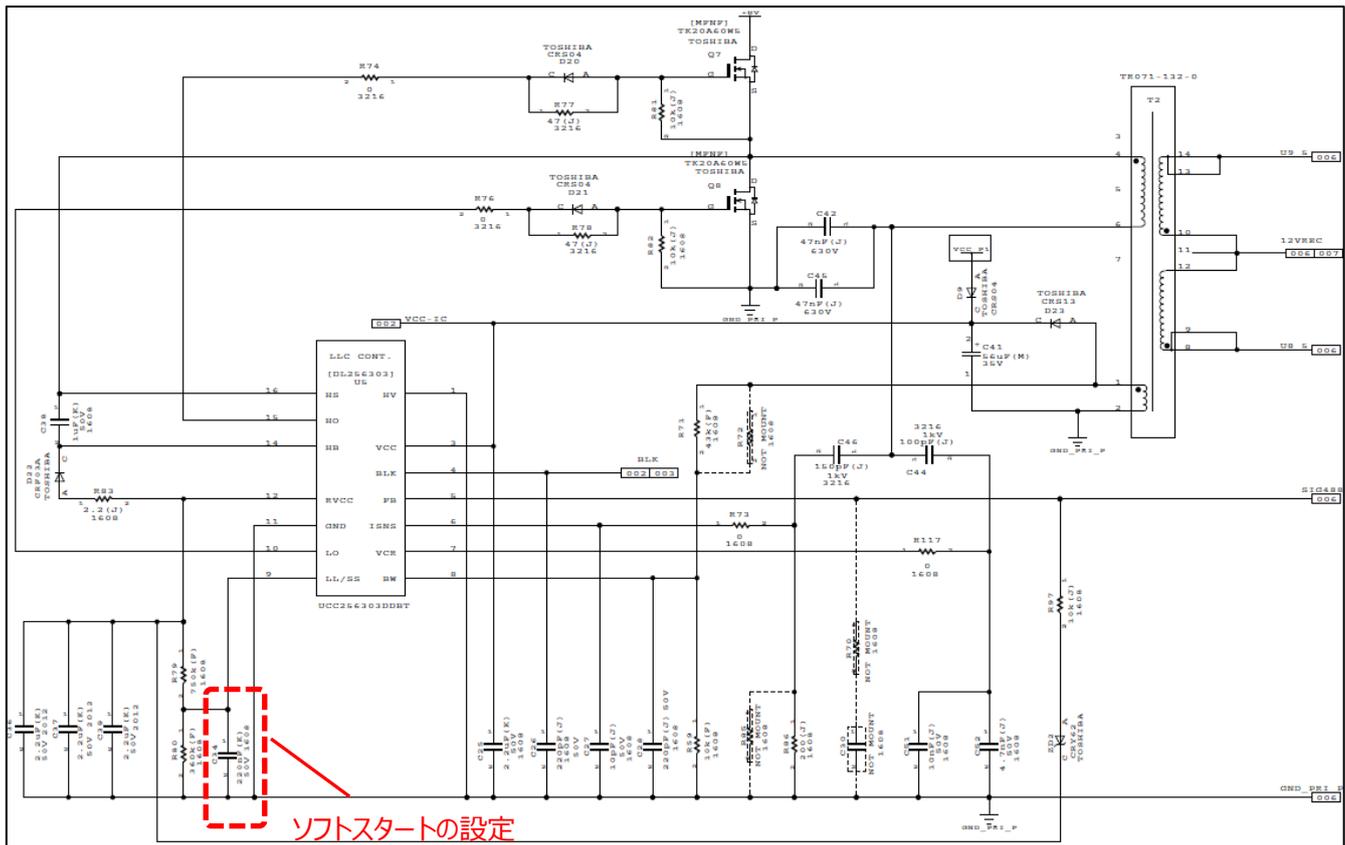
以上から、1次側のトランスに蓄えられるエネルギー (262  $\mu$ J) が MOSFET の出力容量を充放電するのに必要なエネルギー (11.3  $\mu$ J) を上回っており、励磁電流が最小の条件においても ZVS の条件が成立していることが分かります。

### ソフトスタートの設定

図 2.17 にソフトスタート設定回路を示します。LLC 電源のソフトスタート時間は外付けコンデンサー (C34) で設定します。ソフトスタート時間は負荷条件によって変動しますが、最長ソフトスタート時間 (T<sub>SS</sub>) は以下の通り算出できます。

$$T_{SS} = \frac{7V \times C34}{25.8\mu A}$$

本電源では最長ソフトスタート時間 (T<sub>SS</sub>) の設定値を 56.7 ms とし、外付けコンデンサー (C34) に 220 nF を選択しています。必要に応じて容量を変更してソフトスタート時間を調節してください。



### カレントリミッター

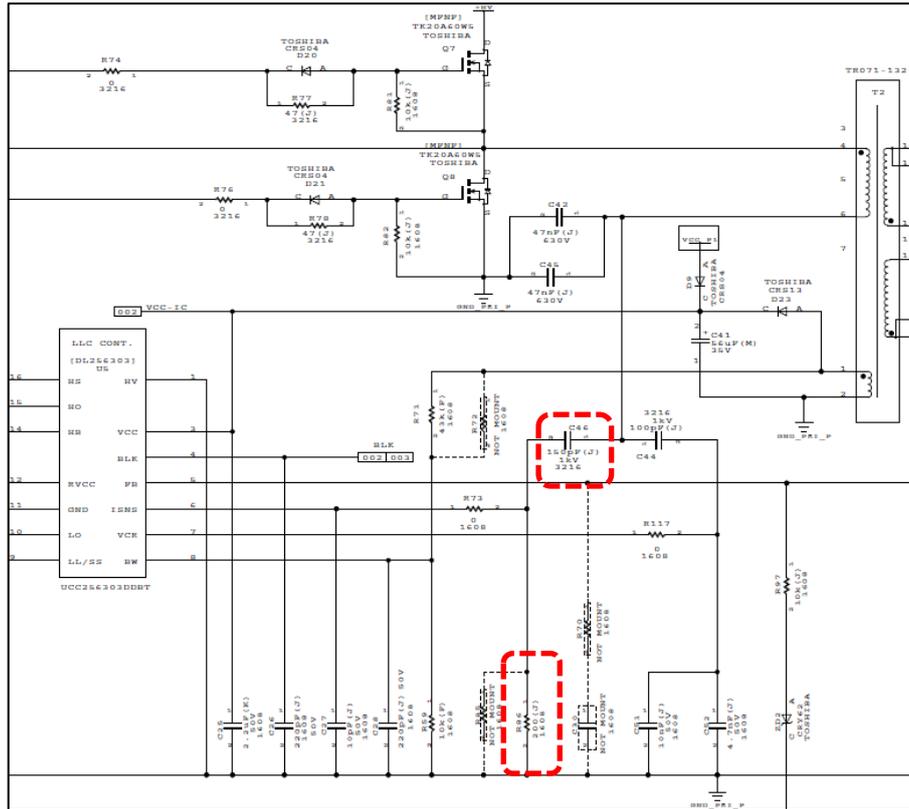


図 2.18 カレントリミッター

図 2.18 にカレントリミッター回路を示します。LLC のカレントリミッターレベルを抵抗 (R86) と容量 (C46) で設定します。LLC コントローラーは 3 レベルのカレントリミッター (OCP1~OCP3) を保有しています。LLC 電源の出力負荷が増加すると、ISNS 端子電圧が上昇しますが、ISNS 端子電圧が閾値 (OCP1~OCP3) を定められた継続期間超過すると過電流リミッターが作動します。本電源では、OCP3 が作動する負荷電流値を最大負荷 (Iout\_LL C\_max) の 150 % に設定します。この時、各カレントリミッターが作動するための条件 (ISNS 端子電圧閾値と継続期間)、及びその時の入力電流、出力電流は以下表の通りとなります。

	OCP1	OCP2	OCP3
ISNS 端子電圧閾値	4.03 V(ピーク)	0.84 V(平均)	0.64 V(平均)
継続時間	4 サイクル連続	2 ms 連続	50 ms 連続
入力電流	12.9 A(ピーク)	2.69 A(平均)	2.05 A(平均)
出力電流	213 A(ピーク)	82.3 A(平均)	62.7 A(平均)

この時、最大負荷時における ISNS 端子電圧 VISNS\_Iout\_LL C\_max は以下の式で求められます。

$$VISNS\_Iout\_LLC_{max} = \frac{VISNS\_OCP3}{150\%} = \frac{0.64V}{150\%} = 0.43V$$

最大出力電力 (Pout) が 500 W、PFC 出力電圧 (Vout\_PFC) が 390 V、LLC 電源効率 (η2) が 94 %より、電流検知比 K\_ISNS は以下の通り算出されます。

$$K_{ISNS} = \frac{VISNS\_Iout\_LLC_{max}}{\frac{Pout}{\eta2} \times \frac{1}{PFC\_out}} = 0.31\Omega$$

容量値 C46 を 150 pF、共振コンデンサの容量値を Cr (94nF) とすると、R86 は以下の通り算出されます。

$$R86 = \frac{K_{ISNS} \times Cr}{C46} = 196.0\Omega$$

ここでは R86 として 200 Ω を使用します。カレントリミッターの作動レベルはレイアウトの影響も受けるため実機での確認が必要です。

### ゲート駆動回路

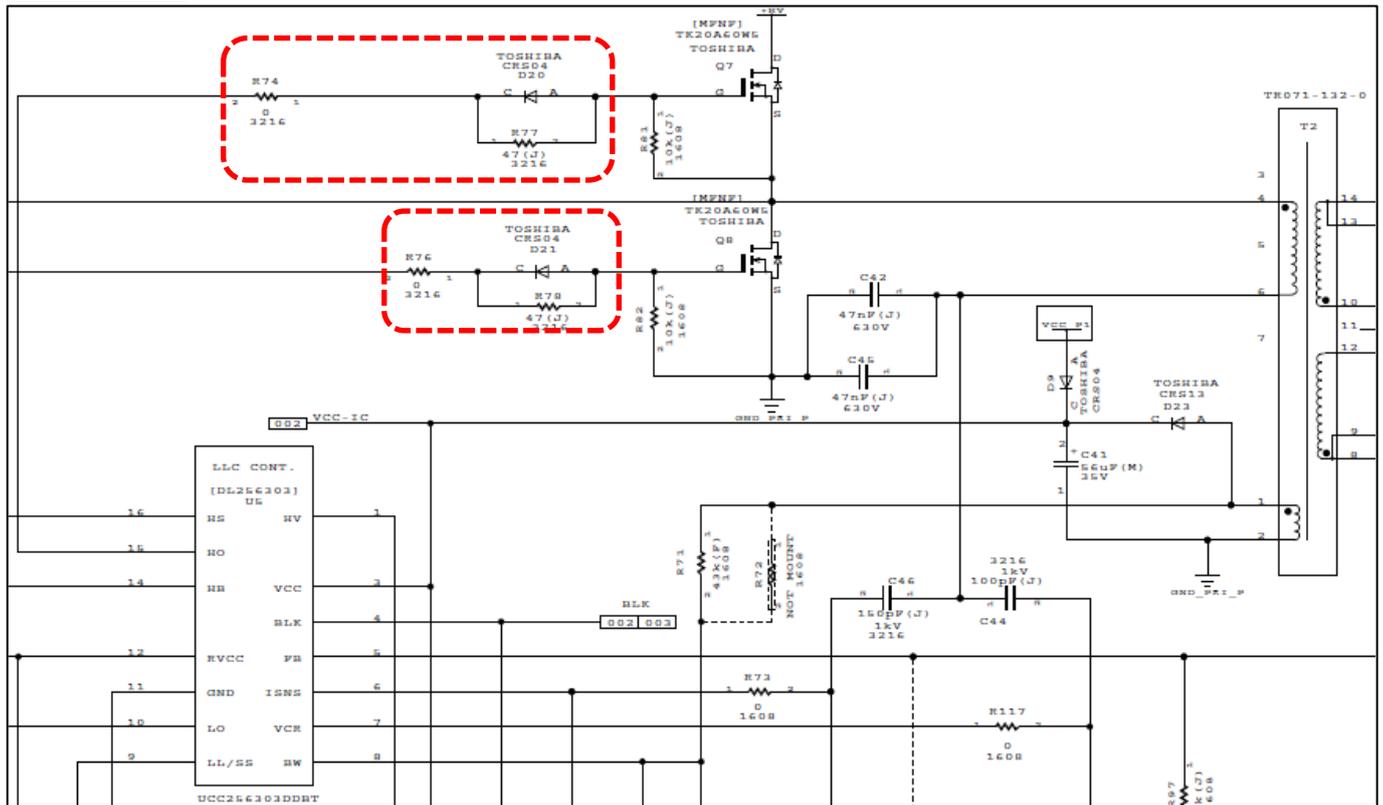


図 2.19 ゲート駆動回路

図 2.19 にゲート駆動回路を示します。ゲート駆動回路の設計が電源効率と EMI に影響を与えます。一般に電源効率と EMI はトレードオフの関係にあり、両者のバランスを取った設計が必要です。LLC 回路は ZVS 動作のため低 EMI ですが、スイッチングノイズが EMI 問題の原因と思われる場合は、ゲート直列抵抗 (R74,R76-R78) の値を調整し、確認してください。ゲート駆動回路で MOSFET のターンオンスピードとターンオフスピードの個別調整が可能です。MOSFET (Q7) のターンオン時、ターンオフ時両方で EMI (ノイズ) が発生している場合は、抵抗 R74 の値を大きくしてください。これによりターンオンスピードとターンオフスピードを同時に下げることができ、EMI (ノイズ) を低減できます。MOSFET のターンオン時に EMI (ノイズ) が発生している場合は、R77 の値を大きくしてください。これによりターンオンスピードのみを下げることで、EMI (ノイズ) を低減できます。MOSFET (Q8) のスイッチングにより発生した EMI (ノイズ) を低減したい場合は、Q7 のケースと同様に抵抗 R76,R78 を調整します。

なお、抵抗 (R74,R76-R78) の値を大きくすると MOSFET のスイッチングスピードが低下するため、電源効率も低下する場合があります。電源効率仕様や放熱仕様が要求仕様を満足するか確認してください。

### 出力コンデンサー

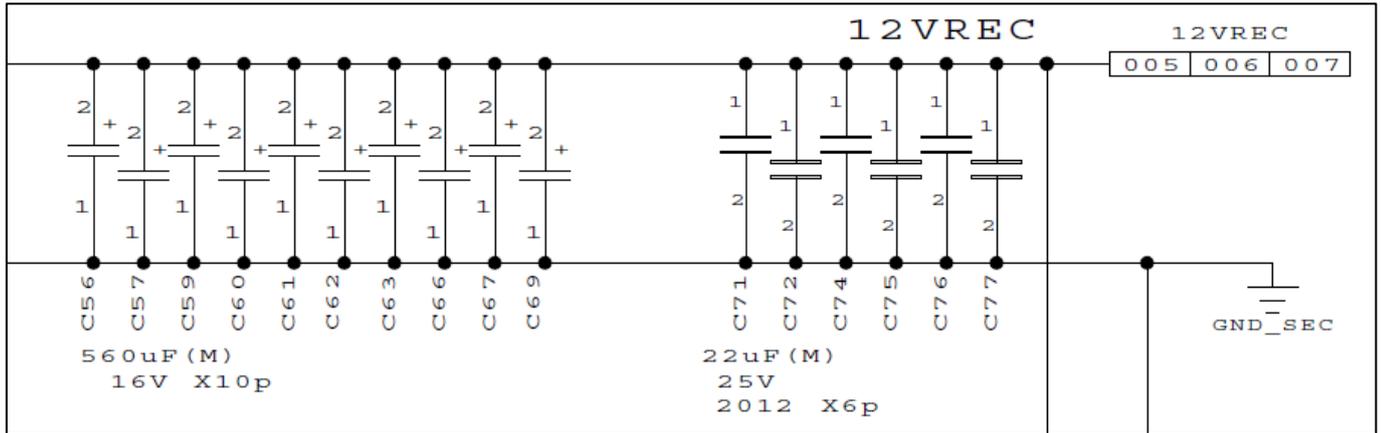


図 2.20 出力コンデンサー—周辺回路

図 2.20 に出力コンデンサー周辺回路を示します。出力コンデンサーの静電容量値 ( $C_{out}$ ) は出力電圧リップル ( $V_{ripple}$ ) の要求仕様とリップル電流の要求仕様を満たすように設定します。出力電圧リップル ( $V_{ripple}$ ) を 120 mV、最大負荷を  $I_{max}$  とすると、出力コンデンサーに要求される ESR は以下の式で計算されます。

$$ESR = \frac{V_{ripple}}{\frac{2 \times \pi}{4} \times I_{max}} = 1.8m\Omega$$

$I_{max}$  が 41.7A なので、ESR は 1.8 mΩ となります。

また、出力コンデンサーを流れるリップル電流の実効値  $I_{C\_rms}$  は以下の式で算出されます。

$$I_{C\_rms} = \sqrt{\left(\frac{\pi}{2\sqrt{2}} I_{max}\right)^2 - I_{max}^2} = 20.2A$$

上記 ESR と  $I_{C\_rms}$  が仕様を満たすように出力コンデンサー、数量を選定する必要があります。本電源においては、出力容量が 560 µF、ESR が 8 mΩ、許容リップル電流が 4.2 A (100 kHz で定格リップル電流 6.1 A、10kHz ≤ f < 100kHz の周波数補正係数が 0.7) のコンデンサーを 10 個並列で配置しています (C56, C57, C59-C63, C66, C67, C69)。これにより合計の ESR は 8 mΩ/10 = 0.8 mΩ となり、上記要求を満たしていることがわかります。また、1 個あたりのリップル電流も 20.2 A/10 = 2.02 A となり仕様を満たしていることが確認できます。

また、以下についても確認してください。

1. 負荷急変時に発生する出力端アンダーシュート・オーバーシュートが規定電圧範囲に入っていること
2. 出力コンデンサーの許容リップル電流が確保できていること
3. 出力コンデンサーの公差や経年劣化を考慮すること

### 同期整流 MOSFET サージ電圧低減回路

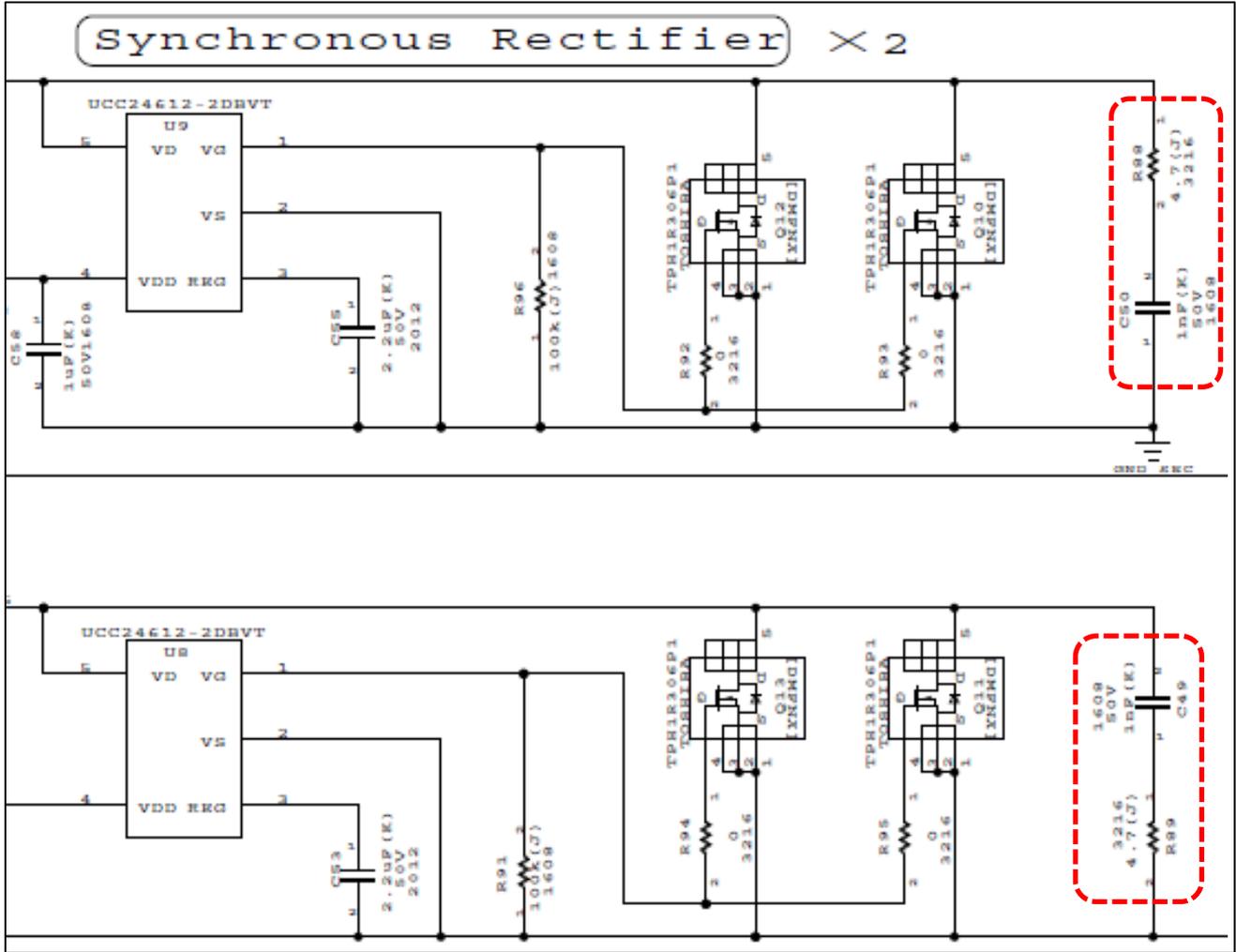


図 2.21 Snubber 回路

図 2.21 に Snubber 回路を示します。R89 と C49、R88 と C50 で Snubber 回路を構成します。Snubber 回路では Q10-Q13 に発生したサージ電圧 ( $V_{srg}$ ) を吸収します。このとき、抵抗 R89 と C49 で発生するロス  $P_{d\_Rsnb}$  は以下のとおりとなります。

$$P_{d\_Rsnb} = C49 \times (V_{srg})^2 \times \left(\frac{f_{PWM}}{2}\right) = 36.87mW$$

サージ電圧 ( $V_{srg}$ ) が 35 V、C49 が 1000 pF、 $f_{PWM}$  がスイッチング周波数の最大値  $f_{sw\_max} = 60.19$  kHz の場合、抵抗 R89 で発生するロス  $P_{d\_Rsnb}$  は 36.87mW です。実際のサージ電圧のレベルに応じて各素子の定数、定格を調整してください。

### 3. TOLL パッケージ採用による小型化の実現

図 3.1 に回路のブロック図を示します。PFC 回路に搭載の MOSFET に TOLL パッケージ製品を採用することで TO-220SIS パッケージ採用の電源に対して小型化を実現しました。

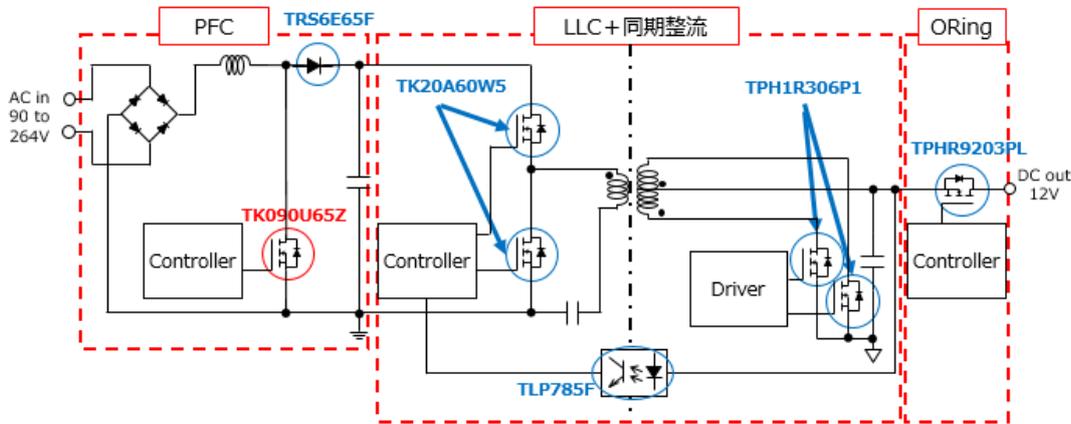


図 3.1 回路ブロック図

TOLL パッケージは面実装です。またゲートドライブ用の信号ソース端子をケルビン接続できます。これにより、パッケージ内部のソースワイヤのインダクタンスによるスイッチングへの影響を低減することが可能となり MOSFET の高速スイッチング性能を引き出し、スイッチング損失の低減をします。またデバイス単体の熱抵抗が TO-220SIS パッケージ品に比較し 1/5 程度と低く基板を介した放熱設計をすることでスイッチング損失低減と合わせて放熱器の小型化に貢献します。大型部品である放熱器の小型化により他部品配置の自由度が上がり、放熱器の小型化以上の基板面積小型化が実現できます。

#### TOLL パッケージの基板実装および放熱器の搭載

TOLL パッケージの放熱性は取り付け方法が重要となります。TOLL パッケージは基板に面実装され、熱は基板に設けたサーマルビアを通して基板の表面に装着された放熱器で放熱シートを介して放熱されます。よって放熱効果は放熱器だけではなく、基板パターンも大きく関わってきます。今回基板は PFC 部ダイオードを隣接させ同一放熱器に実装することで、より実装密度を高めています。図 3.2 に実装図を示します。

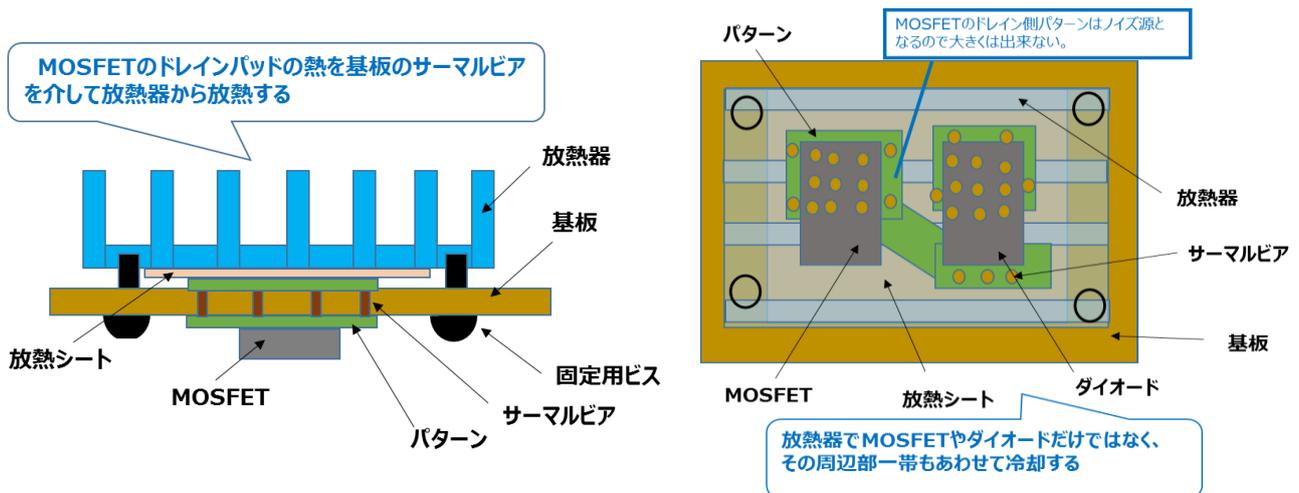


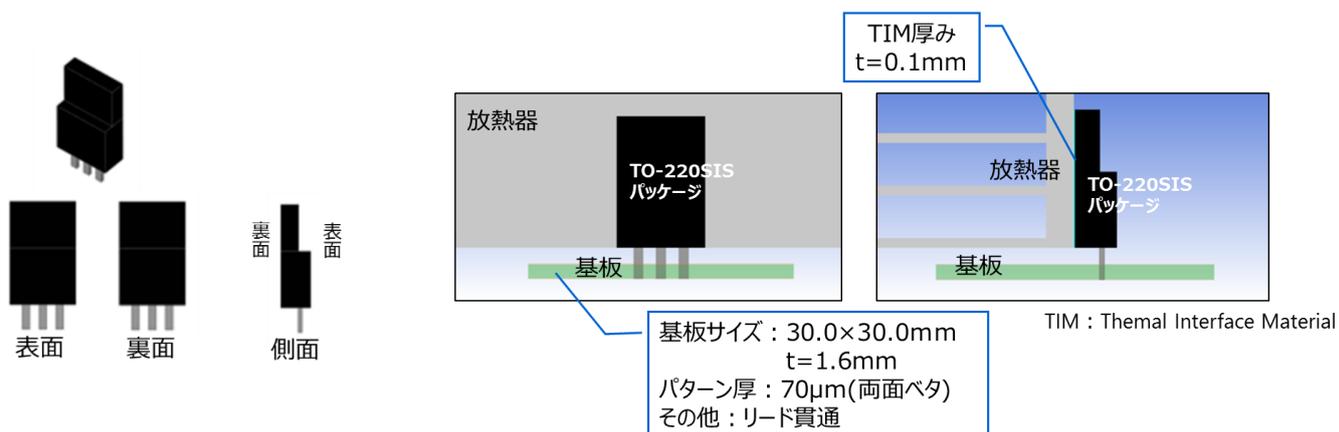
図 3.2 TOLL パッケージ実装図

### TO-220SIS パッケージと TOLL パッケージの放熱器比較

図 3.3 に TO-220SIS パッケージ製品の TK090A65Z 搭載と TOLL パッケージ製品の TK090U65Z 搭載の熱シミュレーションモデルを示します。図 3.4 に示す放熱器サイズを変えて熱シミュレーションでチップ温度を確認（自然空冷）しました。この結果をもとに放熱器サイズと、チップから周囲（@Ta= 25 °C）までの熱抵抗の関係を計算し示したグラフが図 3.5 になります。

図 3.5 から TOLL パッケージは TO-220SIS と比較して放熱器を含む熱抵抗を小さくできるため放熱器サイズの小型化に貢献できることが分かります。

#### TO-220SISパッケージ（製品：TK090A65Z）



#### TOLLパッケージ（製品：TK090U65Z）

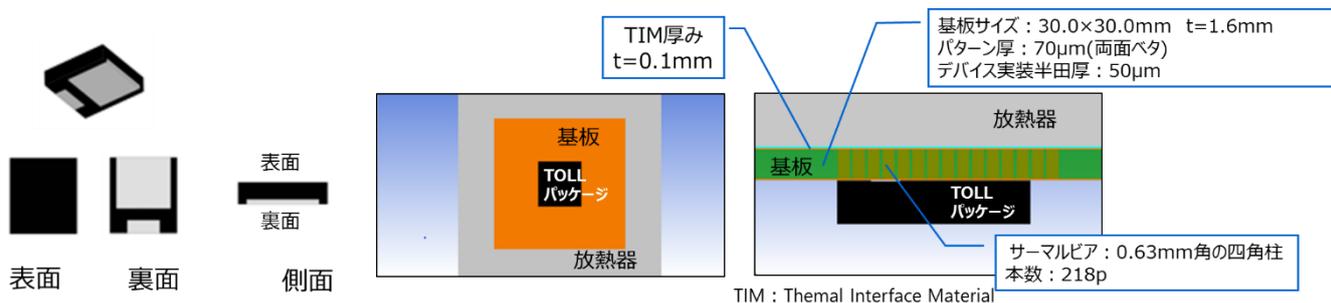
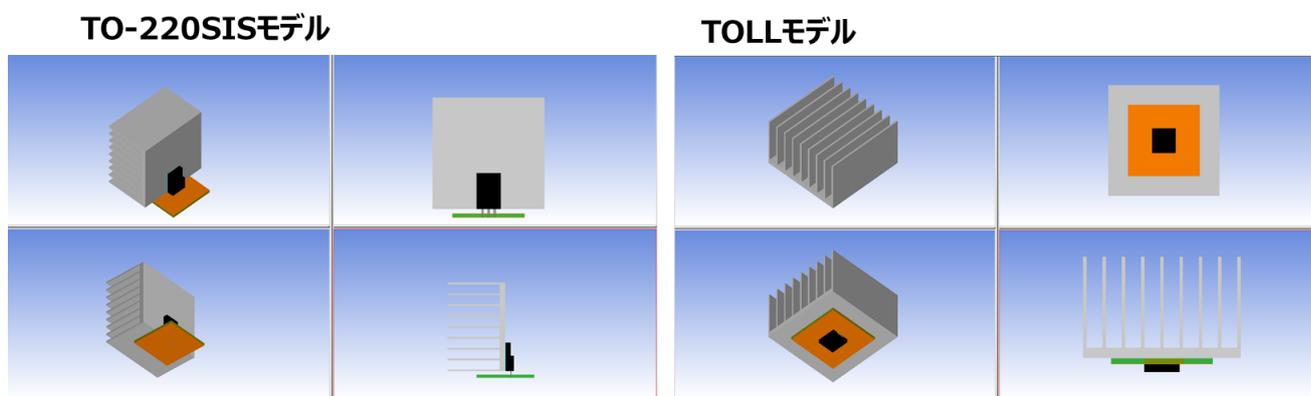


図 3.3 TO220SIS および TOLL パッケージ熱シミュレーションモデル



放熱器サイズ60 x 60 x 30 (mm<sup>3</sup>)の取り付け例

図 3.4 TO220SIS および TOLL パッケージ熱シミュレーション放熱器モデル

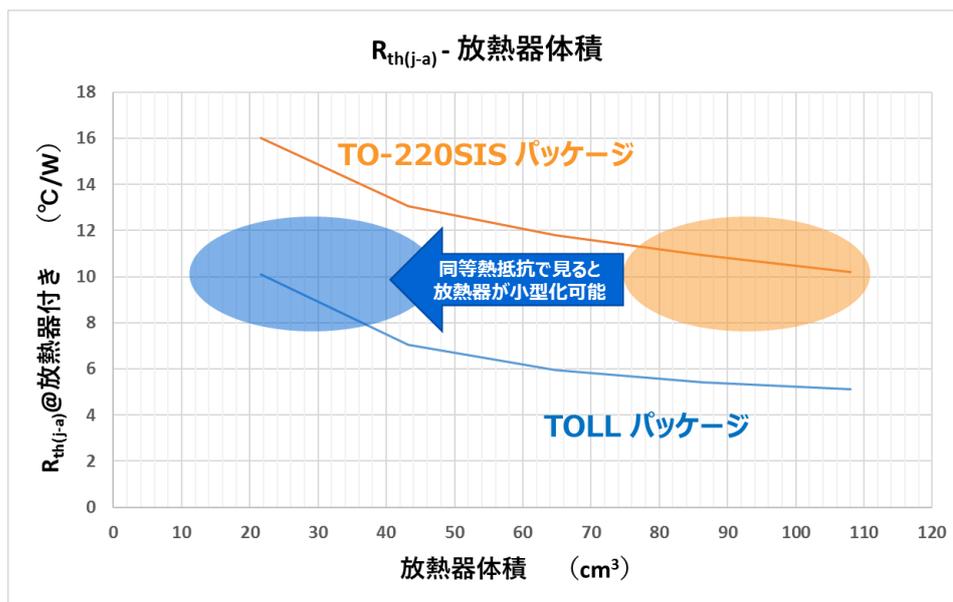


図 3.5 熱抵抗比較

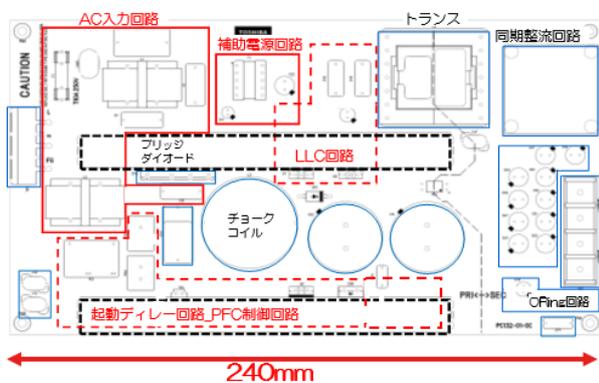
### TOLL パッケージ採用 (PFC 回路) による電源の小型化

TOLL パッケージ採用により大型部品である放熱器を小型化し、他部品配置の自由度を上げることで電源基板面積を縮小できました。(図 3.6 基板面積 20 %削減)

注) TO-220IS 採用の電源は以前に作成したものです。

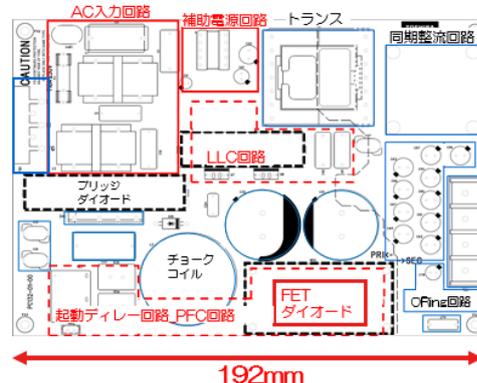
#### PFC 部に TO-220SIS パッケージ採用

既存500W : 135mm×240mm



#### PFC 部に TOLL パッケージ採用

新規500W : 135mm×192mm (20%削減)



PFC用 MOSFET 放熱器



PFC用 MOSFET 放熱器

図 3.6 基板面積 20 %削減

### シミュレーションによる PFC 用 MOSFET の温度比較

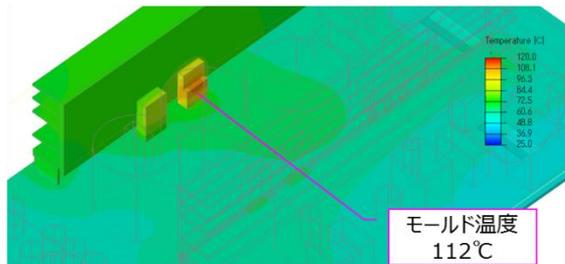
図 3.7 に PFC 部に TO-220SIS パッケージを採用した電源と TOLL パッケージを採用することで小型化した電源の熱シミュレーションによる温度比較結果を示します。TOLL パッケージの放熱器および基板は図 3.6 に示すように小型化されていますが MOSFET のチップ温度は TO-220SIS 採用の電源よりも下がっています。

#### PFC 部に TO-220SIS パッケージ採用の電源

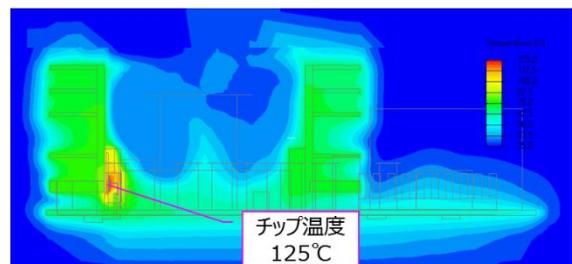
TO-220SIS

【風速=0m/s】

温度レンジ25~120°C

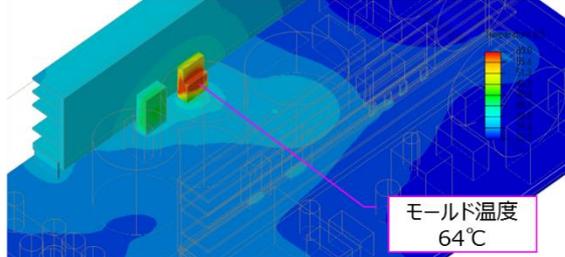


温度レンジ25~135°C

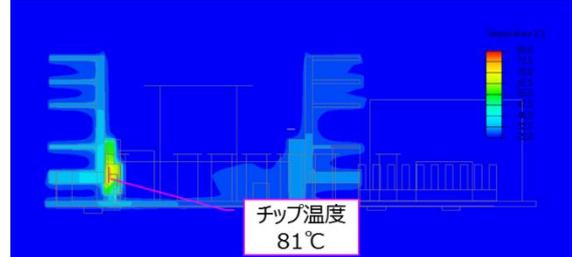


【風速=3.9m/s】

温度レンジ25~60°C



温度レンジ25~85°C

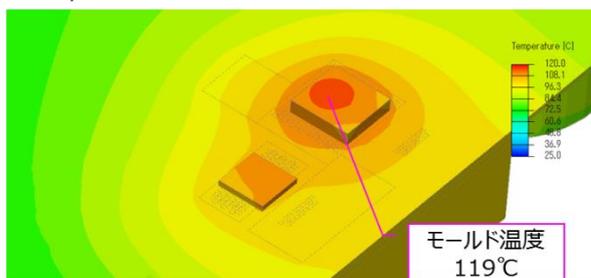


#### PFC 部に TOLL パッケージ採用の小型化電源

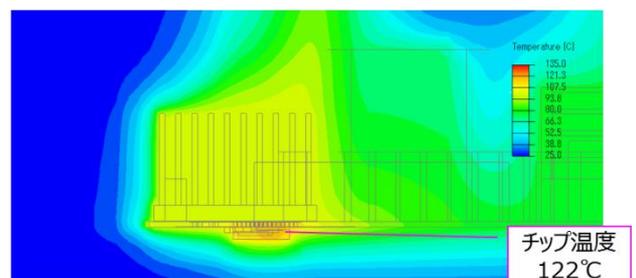
TOLL

【風速=0m/s】

温度レンジ25~120°C

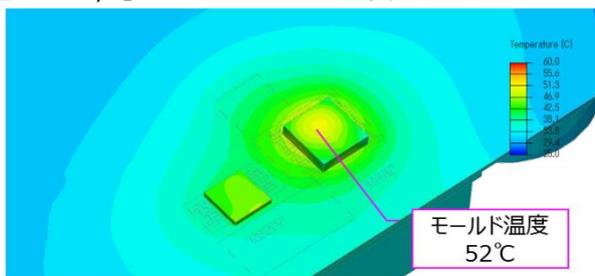


温度レンジ25~135°C



【風速=3.9m/s】

温度レンジ25~60°C



温度レンジ25~85°C

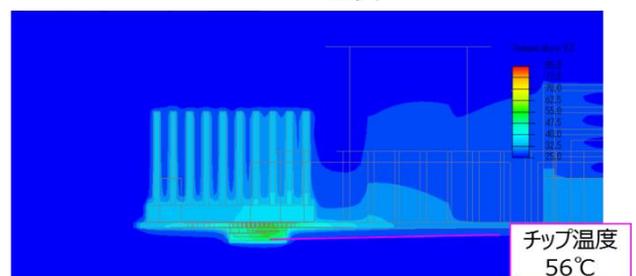


図 3.7 TO-220SIS パッケージと TOLL パッケージの温度比較

### 【補足】

- ・主要部品に電源出力 500 W 時の推定電力損失を印加して熱シミュレーションを実施しております。
- ・風速 3.9 m/s のデータを添付しておりますが、風速はファンのカタログ値より算出したものです。尚、空冷時の風の入力方向を図 3.8 に示します。



図 3.8 空冷時の風の入力方向

## ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

### 第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

### 第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

### 第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

### 第4条 準拠法

本規約の準拠法は日本法とします。