

**車載、産業向け BLDC モーター用
三相ブリッジ駆動回路
リファレンスガイド**

RD176-RGUIDE-01

東芝デバイス&ストレージ株式会社

目次

1. 概要	4
1.1 ターゲットアプリケーション	5
1.2 三相 BLDC モーターの基本動作について	5
2. 応用回路ブロック図	6
3. 部品表	7
4. 応用回路設計ガイド	8
4.1 過電流保護機能	8
4.1.1 シミュレーション検証	9
4.2 電源逆接続保護機能	10
4.2.1 シミュレーション検証	12
4.3 出力停止機能	14
4.3.1 シミュレーション検証	15
4.4 電流検出方法（3 電流検出方式）	17
4.5 チャージポンプ回路の設計	20
4.5.1 シミュレーション検証	22
4.6 サージ保護機能	23
5. シミュレーション（TPD7212F 保護機能）	24
5.1 出力電圧監視機能	24

5.2 VDH 端子出力低電圧検出.....	27
5.3 VDL 端子電圧過電圧検出	29
5.4 VDL 端子低電圧検出.....	31
6. 製品概要	33
6.1 TPD7212F/FN	33
6.1.1 概要	33
6.1.2 外観と端子配置.....	33
6.2 TPD7104AF.....	34
6.2.1 概要	34
6.2.2 外観と端子配置.....	34
6.3 TPW1R104PB.....	35
6.3.1 概要	35
6.3.2 外観と端子配置.....	35

1. 概要

モーターは電気エネルギーを機械エネルギーに変換する装置の総称です。コイルに電流が流れることで発生する磁界により磁石と引き合ったり反発したりすることで回転子を回す作用があります。この作用を利用して電流を流す方向を制御することによってどちらか一方へモーターを回転させます。

近年、家電の省エネ化や自動車の電装化に伴い、モーターの重要性が飛躍的に高まっています。一口にモーターといっても、様々な種類があります。例えば、自動車や電車の玩具などで使われているモーターはブラシ付 DC（直流）モーターです。このモーターの特徴は制御性や効率が良く小型化が容易で安価なため、近年最も多く使われているモーターです。また、ステッピングモーターもよく目にします。このモーターの特徴は高い位置決め精度を持つことで、産業用精密加工機に使われています。また、このモーターは長寿命で静音性に優れ、エアコンのルーバーなどにも使われています。

先に述べたブラシ付 DC モーターは、ブラシを使用してコイルに電流を流します。モーターの回転子にはコイルが付いており、回転軸には整流子を取り付けられています。整流子は回転子と外部回路との間で定期的に電流の方向を切り替えるスイッチです。磁界の中にあるコイルに繋がっている整流子と電源側にあるブラシの接触が自動的に切り替わることを利用して電流の向きを制御し、整流子によって供給される電流の方向を切り替えることで一定の回転力が発生するように工夫されています。

一方、ブラシレス DC モーター（以下、BLDC モーター）と呼ばれるものは、電流の切り替えを機械的な接触部であるブラシと整流子を使わずに、センサーと電子回路（これらの組み合わせは通常ドライバーと呼ばれています）によって行っています。半導体の進化によりドライバーによる電流制御が可能となりました。回転原理はブラシ付き DC モーターと類似しているため電流と回転力、電圧と回転速度の関係はほぼブラシ付 DC モーターと同じながら、構造は DC と AC（交流）のそれぞれ優れた点を備えています。小型で高出力、ブラシがないため内部でのスパークやノイズがなく、さらに摩耗がないため長寿命で変換損失も少ないため、コンピューターから家電まで様々な用途で使われています。

TPD7212F/FN は、チャージポンプ方式の三相フルブリッジ回路用パワー MOSFET ゲートドライバーです。ハイサイドドライブ用のチャージポンプ回路を内蔵しているため、容易に三相フルブリッジ回路を構成できます。また、外付けディスクリート N チャネル MOSFET と組み合わせることで、大電流で三相ブラシレスモーター駆動回路を簡単に構成することが可能となります。

本ガイドでは、車載、産業向け三相インバーター用 MOSFET のゲートドライブに TPD7212F/FN を使用した基本動作に加え、車載向け安全性確保と異常動作保護のため 1 出力ハイサイド N チャネルパワー MOSFET ゲートドライバー TPD7104AF を使用した電源逆接続保護、電流検出方法、出力停止機能など保護用 MOSFET のゲートドライブの応用について説明します。

当社のパワー MOSFET を使用した三相 BLDC モーター駆動回路を設計する際の一助として本ガイドをご参照いただければ幸いです。

TPD7212F/FN および TPD7104AF の機能、製品詳細については、データシートをご参照願います。

TPD7212F のデータシートダウンロードはこちらから → [Click Here](#)

新製品 TPD7212FN のデータシートダウンロードはこちらから → [Click Here](#)

TPD7104AF のデータシートダウンロードはこちらから → [Click Here](#)

補足：TPD7212F/FN に関して、F と FN は同一機能で外囲器違いになります。したがって、以降 TPD7212F を代表して説明します。

1.1 ターゲットアプリケーション

- 車載向け：EPS,ポンプ制御、スライドドアなど
- 産業向け：サーバーファン、家電用ファンなど

回路例

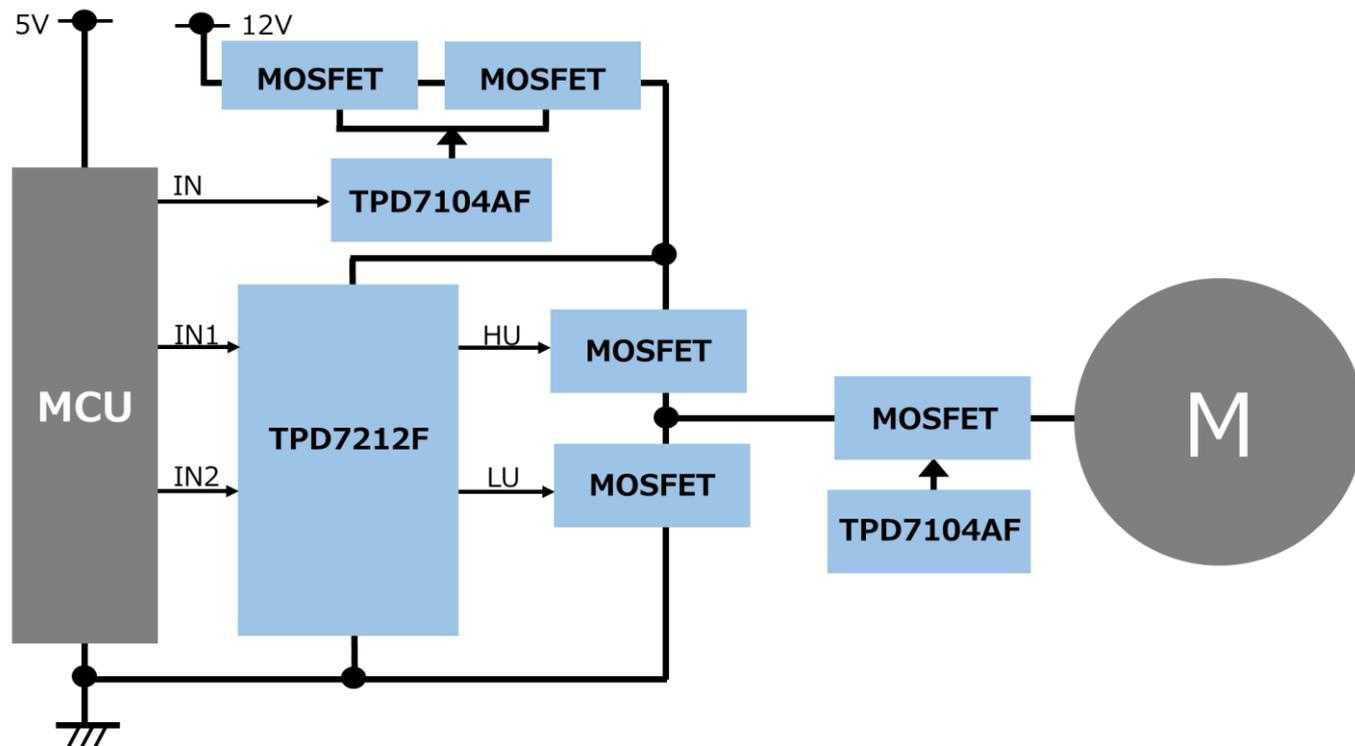


図 1.1 三相 BLDC モーター駆動応用例 (U相)

※図 1.1 は U 相を例にしていますが、V 相、W 相も同じになります。

1.2 三相 BLDC モーターの基本動作について

三相 BLDC モーターの基本動作として、120 度通電 (矩形波駆動) 方法についてアプリケーションノートに記載しておりますので、こちらを参照願います。

ブラシレスモーター 120 度通電 (矩形波駆動) のアプリケーションノートはこちら →

[Click Here](#)

2. 応用回路ブロック図

図 2.1 は、三相 BLDC モーター駆動の応用回路のブロック図です。ブロック図内の (1) ~ (5) の機能について、第 4 章「応用回路設計ガイド」にて詳細に記述しておりますので合わせてご覧ください。

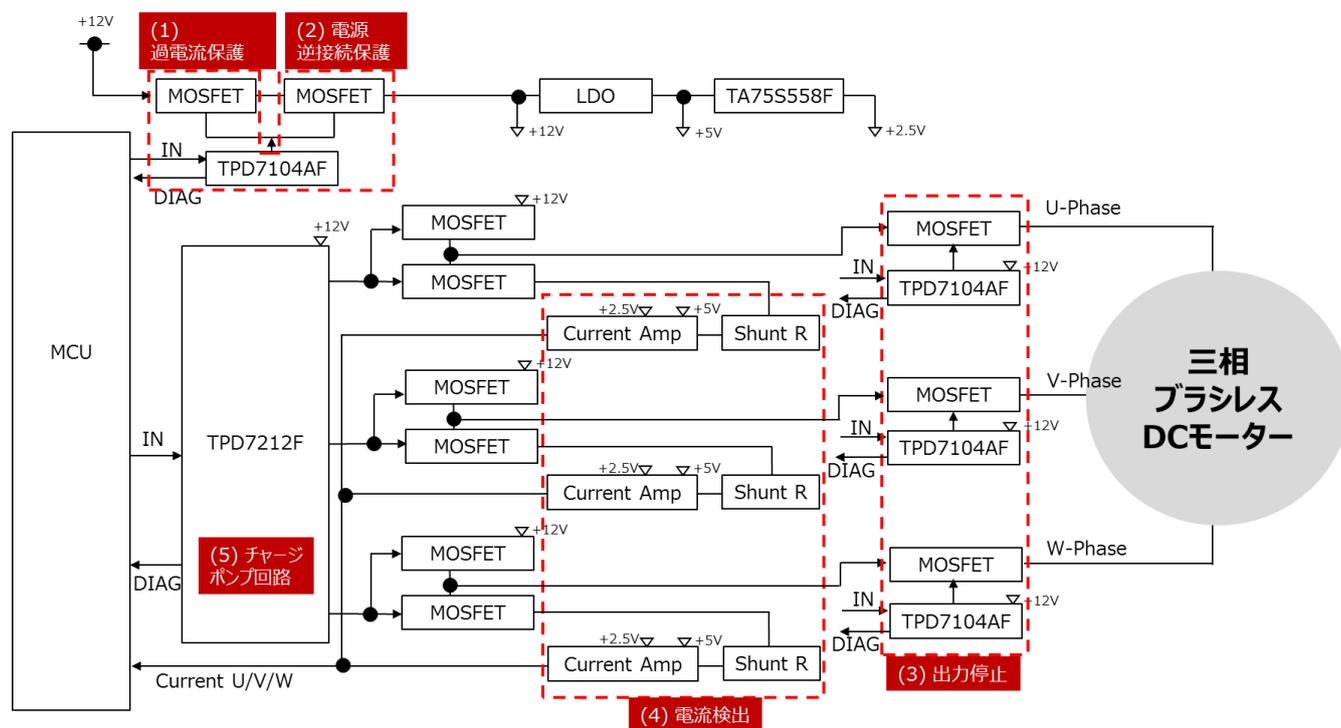


図 2.1 三相 BLDC モーター駆動応用回路例 ブロック図

N チャンネル MOSFET は、TPW1R104PB ($V_{DS}=40\text{ V}$ 、 $R_{DS(ON)}=1.14\text{ m}\Omega$ (最大)) を使用します。三相インバーター用 MOSFET のゲートドライブには TPD7212F を使用します。異常時の電源保護として (1) 過電流保護、(2) 電源逆接続保護、各相電流を遮断する (3) 出力停止用 MOSFET のゲートドライブは TPD7104AF を使用します。PWM 制御信号や、電源、相電流のオン・オフ制御は、MCU などのコントローラー IC から受け取る必要があります。また、オペアンプを使用した (4) 電流検出や、ゲートドライバーの診断出力は、コントローラー IC へ出力します。更に、TPD7212F はハイサイドが N チャンネル MOSFET を採用しており、ゲートにバイアス印加するためには昇圧する必要があります、(5) チャージポンプ回路を採用、100%のオンデューティー制御が可能です。

- (1) 過電流保護 → 4.1 章 過電流保護機能へ
- (2) 電源逆接続保護 → 4.2 章 電源逆接続保護機能へ
- (3) 出力停止 → 4.3 章 出力停止機能へ
- (4) 電流検出 → 4.4 章 電流検出方法へ
- (5) チャージポンプ回路 → 4.5 章 チャージポンプ回路の設計へ

また、上記に加えて 5 章で、TPD7212F を使用した各種保護機能についてのシミュレーションを掲載しております。

三相 BLDC モーター駆動の全体回路図は (RD176-SCHEMATIC-01) で公開しておりますのでご参照願います。

三相 BLDC モーター駆動の全体回路図はこちら →

[Click Here](#)

TPW1R104PB のデータシートダウンロードはこちらから →

[Click Here](#)

MOSFET 製品の詳細はこちらから →

[Click Here](#)

3. 部品表

表 3.1 は、三相 BLDC モーター駆動の全体回路図の部品表です。

表 3.1 車載、産業向け BLDC モーター用三相ブリッジ駆動回路部品表

アイテム	部品	数量	値	部品名	メーカー	説明	パッケージ 名称	標準寸法 mm (inch)
1	IC1, IC7, IC9	3	-	INA199A1DCKR	TEXAS INSTRUMNTS	Current-Shunt Monitor	SC70	1.45 x 1.85
2	IC2	1	-	TA75S558F	TOSHIBA	Opamp	SMV	2.8 x 2.9
3	IC3	1	-	NJW4107U2-05A-T1	JRC	LDO	SOT-89	4.5 x 4.5
4	IC4, IC6, IC8, IC10	4	-	TPD7104AF	TOSHIBA	IPD	PS-8	2.9 x 2.8
5	IC5	1	-	TPD7212F	TOSHIBA	IPD	WQFN32	5.0 x 5.0
6	Q1	1	-	SSM3K17FU	TOSHIBA	MOSFET	USM	2.0 x 2.1
7	Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q9, Q10, Q11, Q12	11	-	TPW1R104PB	TOSHIBA	MOSFET	DSOP	5.0 x 6.0
8	D1, D2, D4, D5, D10, D11, D12, D13, D14, D15, D16, D17, D18, D19, D20, D21, D22, D23, D24	19	-	CRZ16	TOSHIBA	Zener diode	S-FLAT	1.6 x 3.5
9	D3, D6	2	-	CMZ27	TOSHIBA	Zener diode	M-FLAT	2.4 x 4.7
10	D7, D8, D9	3	-	CRH01	TOSHIBA	Diode	S-FLAT	1.6 x 3.5
11	R1, R2, R3, R8, R9, R10, R11, R15, R26, R27, R36, R37, R46, R47	14	10K			Carbon ±5%	1608	1.6 x 0.8 (0603)
12	R4, R6, R28, R38, R48	5	200K			Carbon ±5%	1608	1.6 x 0.8 (0603)
13	R5, R29, R39, R49	4	1K			Carbon ±5%	1608	1.6 x 0.8 (0603)
14	R12, R13, R14, R17, R18, R19	6	10			Carbon ±5%	1608	1.6 x 0.8 (0603)
15	R16, R20, R23, R24, R33, R34, R43, R44	8	10			Carbon ±1%	3216	3.2 x 1.6 (1206)
16	R21, R22, R31, R32, R41, R42	6	22			Carbon ±5%	1608	1.6 x 0.8 (0603)
18	R25, R35, R45	3	1m	PSEDTE2L00F	KOA	Current detecting resistor, 5W ±1%	6464	6.4 x 6.4
19	R51, R52, R53	3	1K			Carbon ±1%	1608	1.6 x 0.8 (0603)
20	C1, C8	2	330uF			Aluminum, 50V, ±20%	-	DIP
21	C2, C14, C17, C20, C22, C24, C26	7	100nF			Ceramic, 50V, ±10%	1608	1.6 x 0.8 (0603)
22	C3, C4, C6, C10, C11	5	2.2uF			Ceramic, 50V, ±20%	1608	1.6 x 0.8 (0603)
23	C5, C27	2	4.7uF			Ceramic, 50V, ±10%	3216	3.2 x 1.6 (1206)
24	C7, C9, C12, C15, C18, C21, C23, C25	8	1nF			Ceramic, 50V, ±10%	1608	1.6 x 0.8 (0603)
25	C13, C16, C19	3	100uF			Aluminum, 50V, ±20%	-	DIP

4. 応用回路設計ガイド

この章では、設計にあたりキーとなる5つのポイント「過電流保護」、「電源逆接続保護」、「出力停止」、「電流検出」、「チャージポンプ回路」の各ブロックについて、4.1~4.5章にて説明します。

4.1 過電流保護機能

過電流保護は、負荷短絡やインバーターの異常による過電流発生時に電源経路を遮断する機能です。図 4.1 に、過電流保護回路を示します。

※図 4.1 は外部で電流検出（4.4 電流検出方法参照）して、マイコンからの信号により電流を遮断（MOSFET をオフ）する回路構成です。

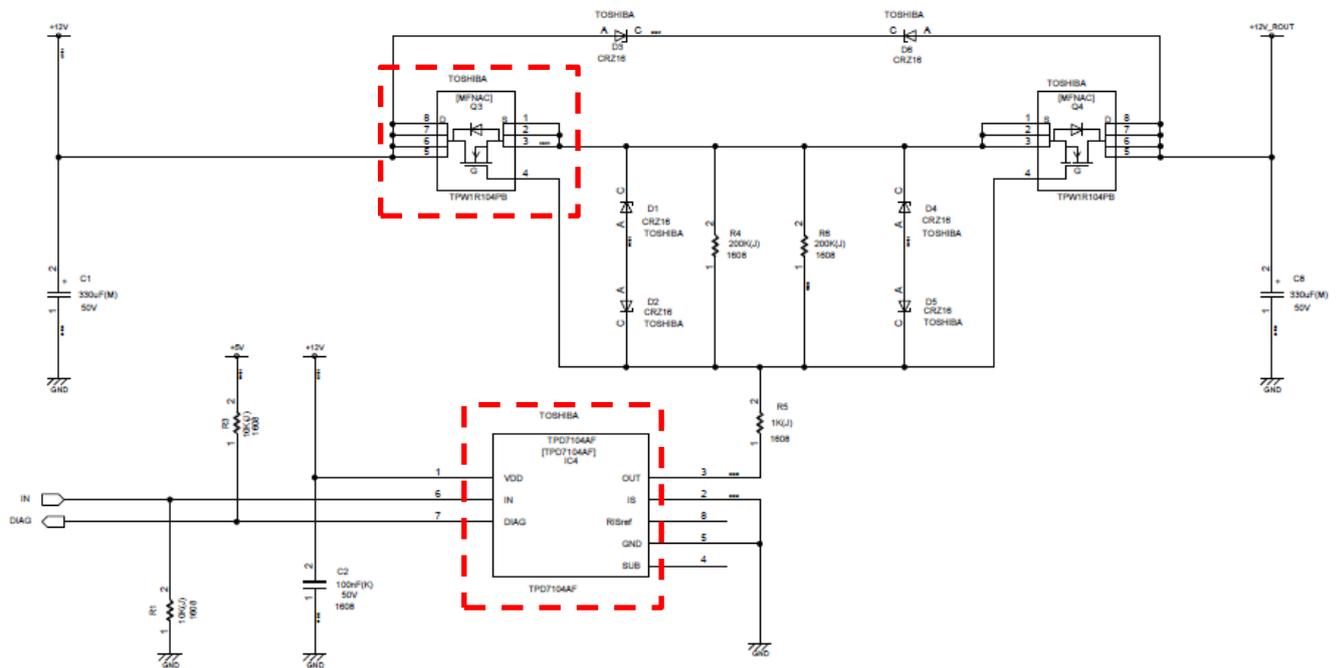


図 4.1 過電流保護回路

図 4.1 で直列に配置された 2 個の MOSFET のうち、Q₃ が過電流を遮断する MOSFET になります。本回路では IC4 (TPD7104AF) を使用することで過電流保護機能を実現しています。TPD7104AF を使用した過電流保護機能については、リファレンスデザイン (RD016-RGUIDE-01) を参照願います。

TPD7104AF のリファレンスデザインはこちらから →

[Click Here](#)

4.1.1 シミュレーション検証

過電流保護機能は、負荷ショート時の IC 保護に有効です。表 4.1 にシミュレーション条件と手順を、図 4.2 にシミュレーション回路を示します。使用する MOSFET にはボディーダイオードと呼ばれる寄生ダイオードを内蔵しているため、図 4.2 の M14, M15 のようなソース端子を共通にした接続を行い、双方向に発生する電流を遮断します。電流遮断は、TPD7104AF の VIN 端子を制御します。

表 4.1 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	U2	120 度通電パターンを出力
4	M11, M12, M13	導通状態
5	シミュレーション開始	
6	U7_VIN	10 ms から 20 ms の期間 L ステート (M14, M15 をオフ)

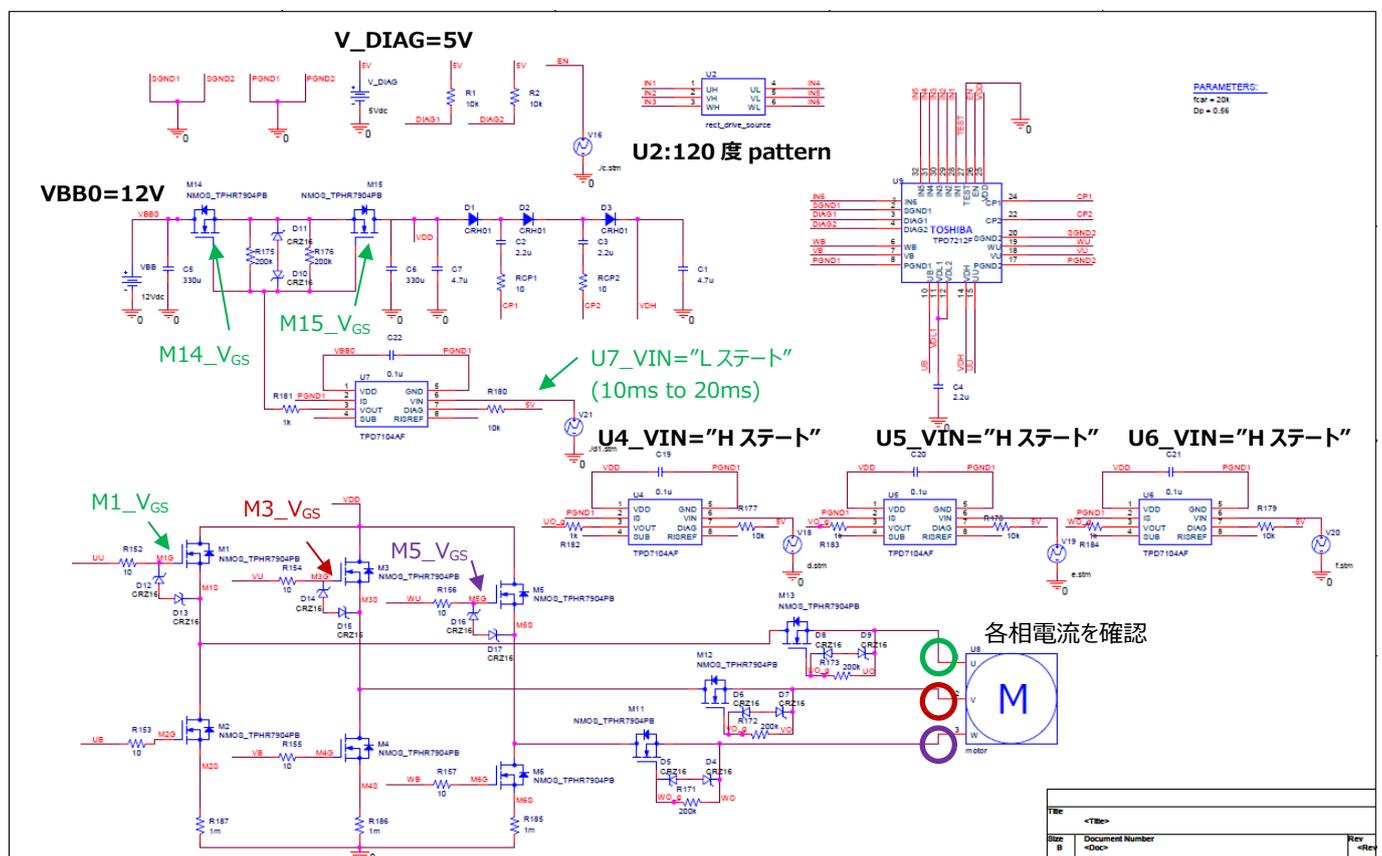


図 4.2 過電流保護シミュレーション回路

図 4.3 に電源ライン遮断時のシミュレーション波形を示します。シミュレーションの手順は通常動作期間中に 10 ms から 20 ms の期間において、U7 の VIN 端子を L ステートとし、MOSFET M14、M15 をオフします。その結果、VBB0 からの電源供給がなくなり、各モーターの相電流は遮断されます。VBB0 からの電源供給を停止しましたが、TPD7212F の電源端子 VDD は 5 V 程度を維持しており、IC は動作を継続しています。これは、モーターの回転による誘起電圧が発生しており、インバーター部の MOSFET のボディダイオードを介して TPD7212F の VDD 端子に電圧印加をしているためです。

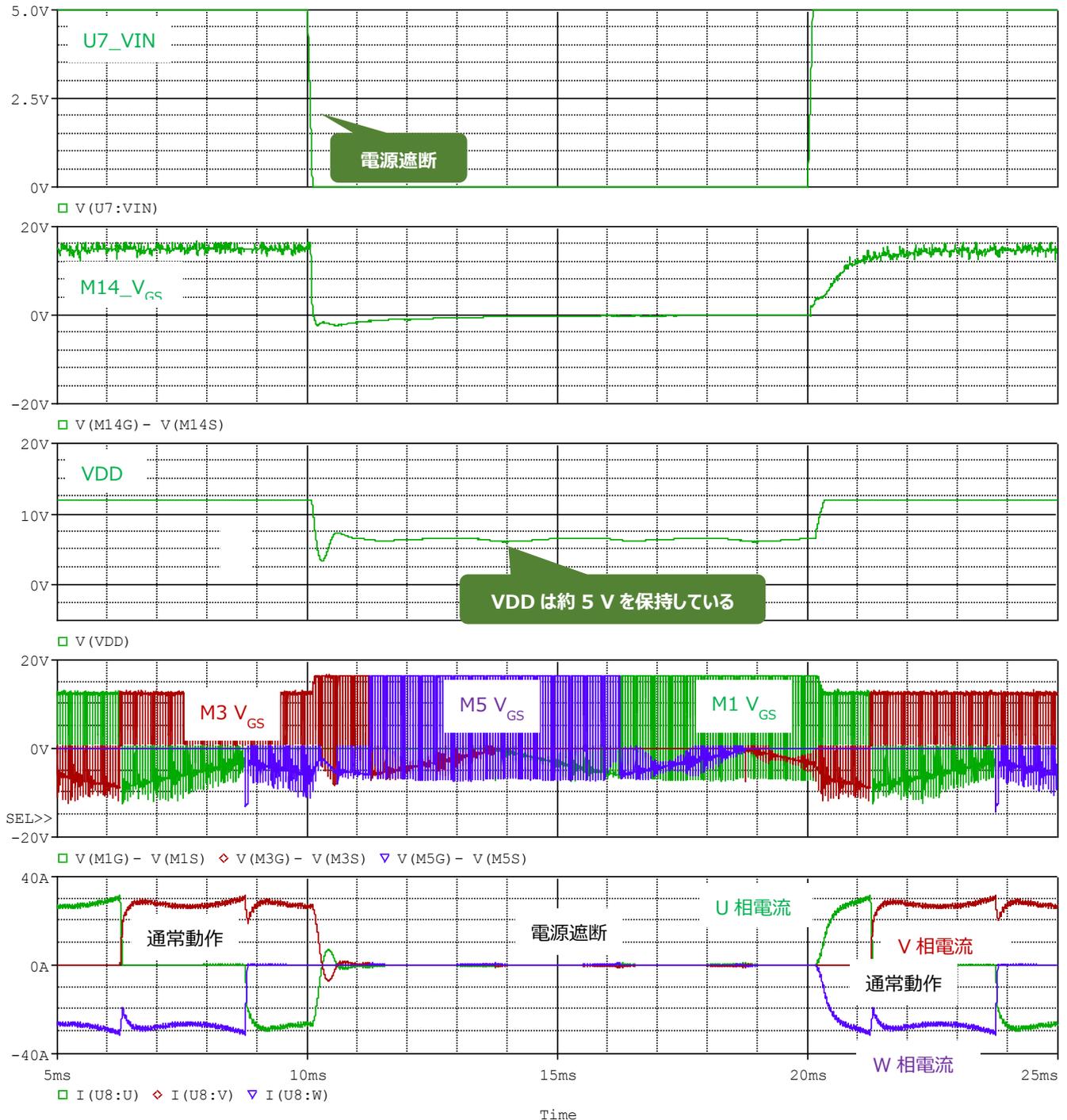


図 4.3 過電流保護シミュレーション波形

4.2 電源逆接続保護機能

電源逆接続保護は、バッテリーを誤って逆に接続した際に、制御ユニットの損傷を防ぐために電流を抑制する機能です。

図 4.4 に、電源逆接続保護回路を示します。図 4.4 で直列に配置された 2 個の MOSFET のうち、Q₄ が電源逆接続保護を目的とした MOSFET になります。Q₄ は電源逆接続時において、確実にオフを維持する必要があります。IC4 (TPD7104AF)は、SUB 端子をオープンとすることで、電源逆接続保護機能をイネーブルにします。

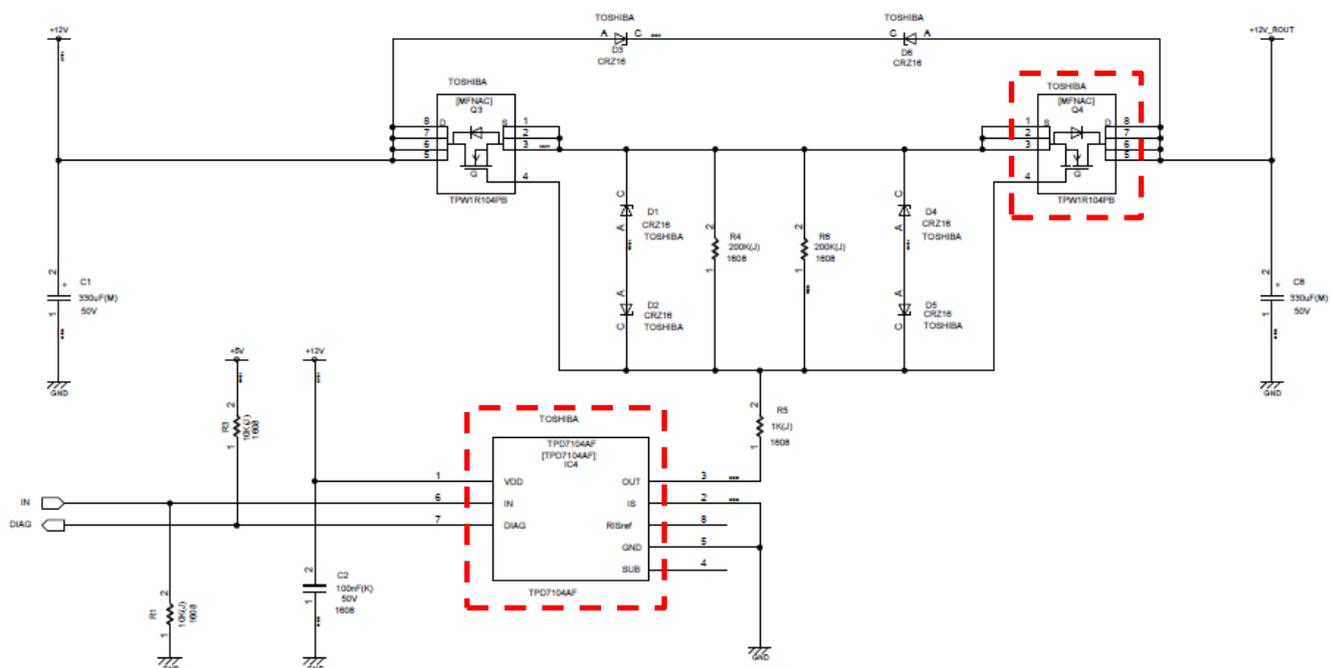


図 4.4 電源逆接続保護回路

4.2.1 シミュレーション検証

表 4.2 にシミュレーション条件と手順を、図 4.5 にシミュレーション回路を示します。VBB0 端子を-12 V とすることで電源逆接続としています。その際の M15 の V_{GS} とドレイン電流をモニターしています。図 4.6 にシミュレーション波形を示します。ドレイン電流 $M15_{I_D}$ は数十 μA に抑えられ逆電流が抑制されている事が分かります。

表 4.2 シミュレーション条件と手順

1	VBB0	-12 V
2	U2	120 度通電パターンを出力

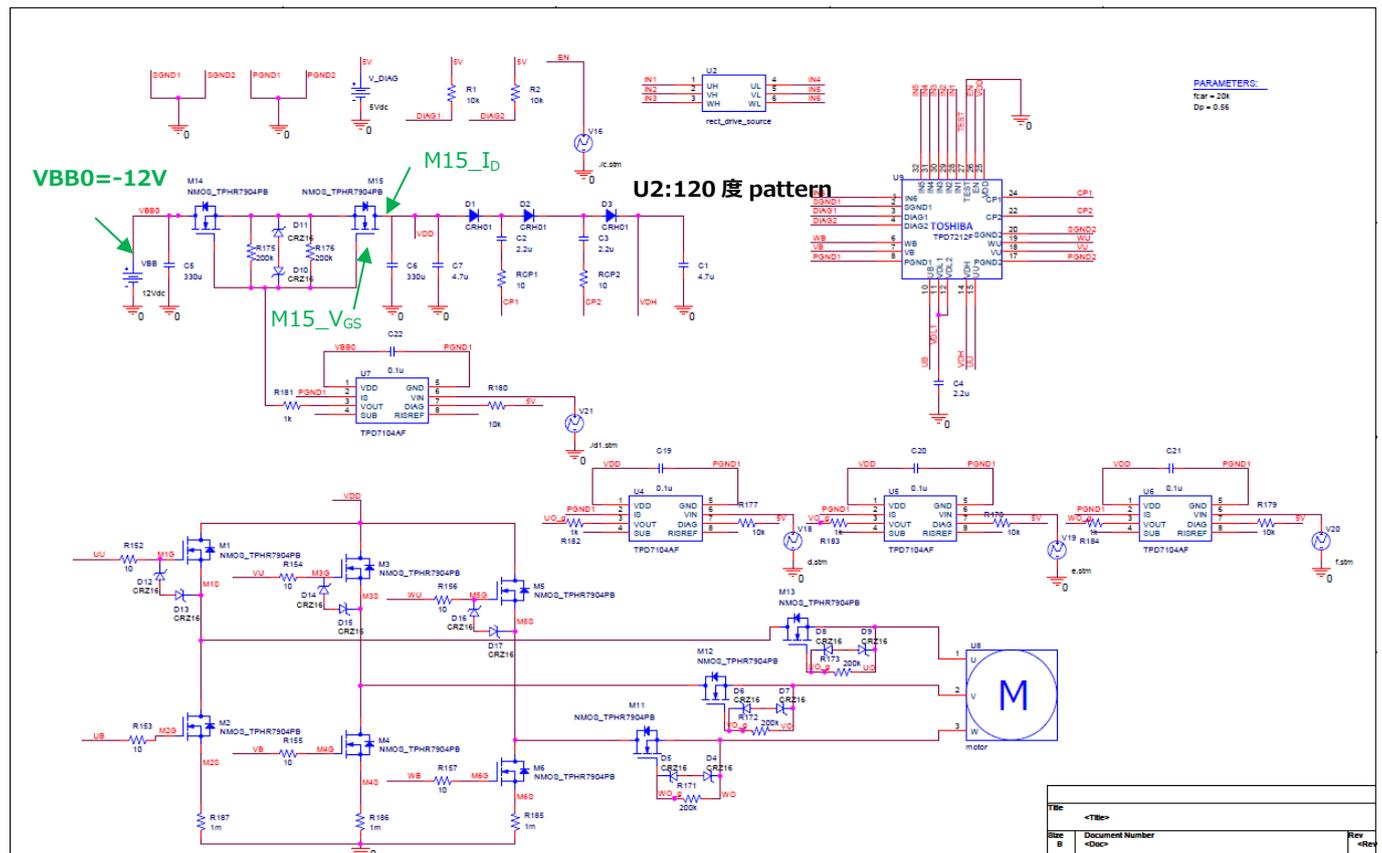


図 4.5 電源逆接続保護シミュレーション回路

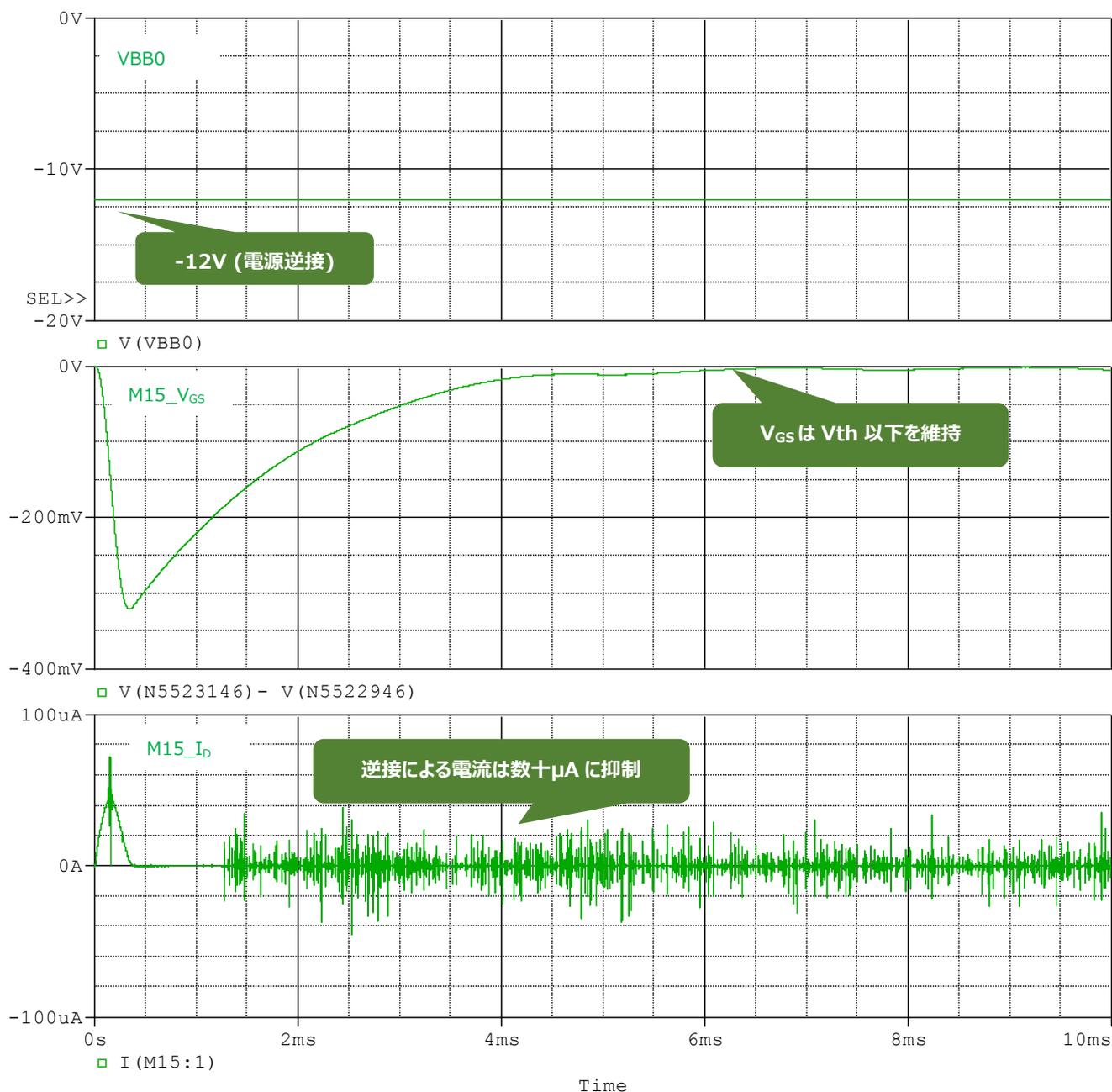


図 4.6 電源逆接続保護シミュレーション波形

4.3 出力停止機能

本回路では IC6 (TPD7104AF) を使用することで出力停止機能を実現しています。図 4.7 のようにコントローラからの信号を TPD7104AF の IN に入力することで、OUT に接続した MOSFET により出力を制御することが可能となります。コントローラ側で異常を検知した場合、出力停止制御ができる構成になっております。

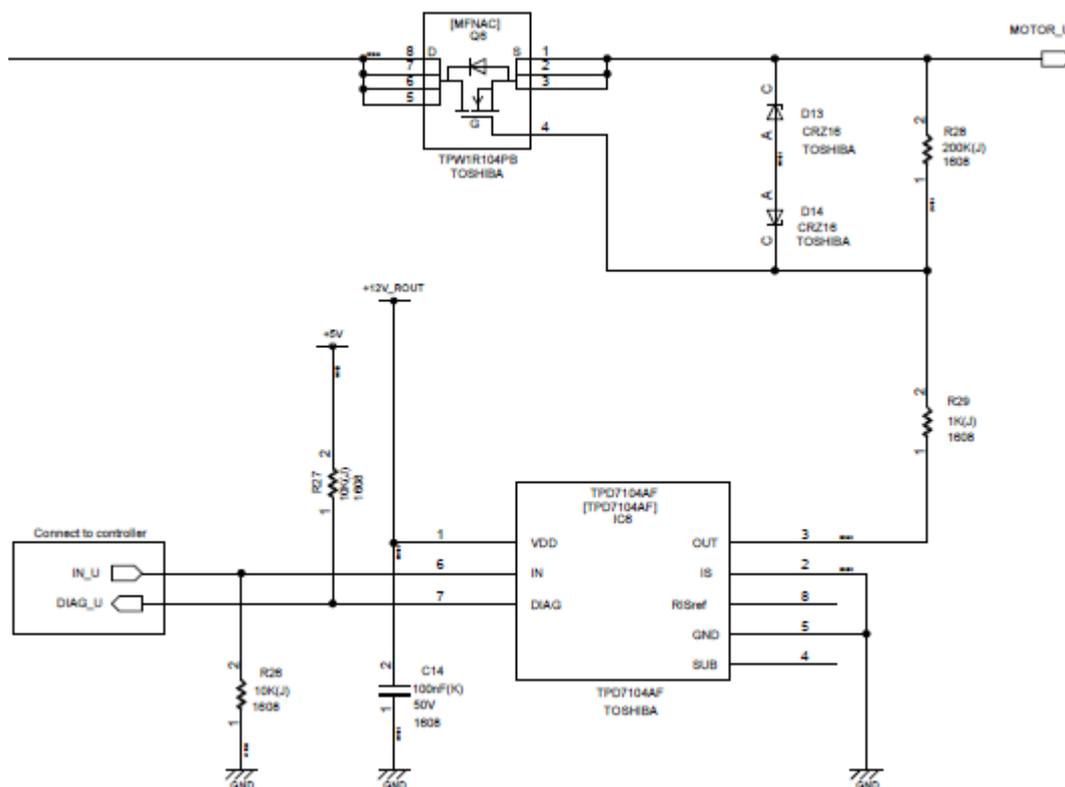


図 4.7 出力停止回路 (U 相)

※図 4.7 は U 相を例にしていますが、V 相、W 相も同じになります。

4.3.1 シミュレーション検証

出力停止機能は、モーターの各相の出力電流を停止します。表 4.3 にシミュレーション条件と手順を、図 4.8 にシミュレーション回路を示します。車載向け電動パワーステアリング用モーター制御はモーターの異常動作によるロックを避けるため、各相の電流経路を切り離す機能が必要になります。この動作をシミュレーションで再現します。三相 DC モーターの相電流の導通、遮断に MOSFET とゲートドライバー IC TPD7104AF を使用しています。過電流などの異常動作発生時に相電流の遮断を行うには、TPD7104AF の VIN 端子を制御します。

表 4.3 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	U7	H ステート (オン状態)
4	U2	120 度通電パターンを出力
5	シミュレーション開始	
6	U5_VIN	9 ms から 11 ms の期間 L ステート (M12 をオフ)
7	U6_VIN	14 ms から 16 ms の期間 L ステート (M11 をオフ)
8	U4_VIN	19 ms から 22 ms の期間 L ステート (M13 をオフ)

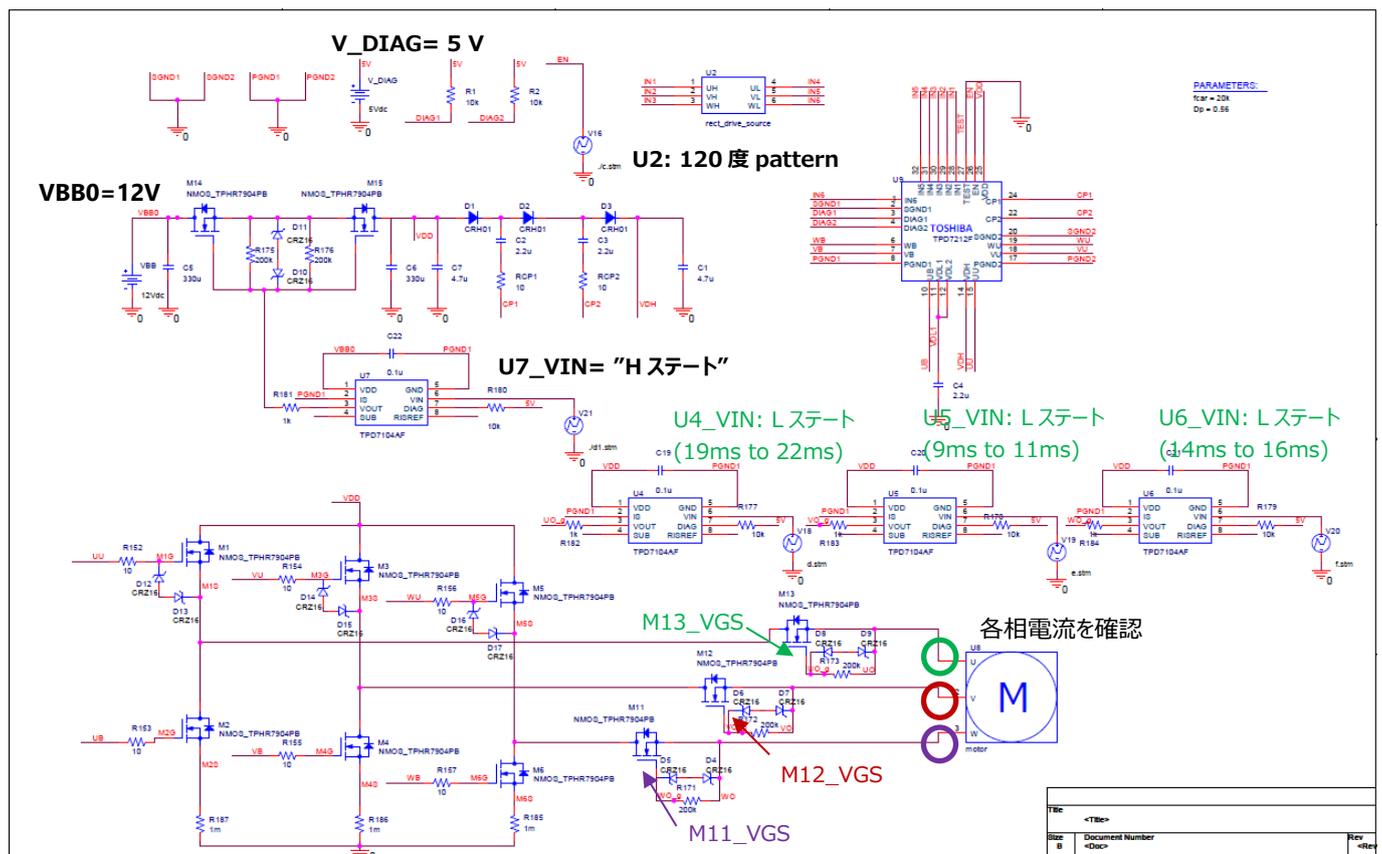


図 4.8 出力停止シミュレーション回路

図 4.9 に、相電流遮断時のシミュレーション波形を示します。通常動作中に非同期で各相の電流を遮断しています。各相に接続される MOSFET (M11、M12、M13) を遮断することでモーター電流が停止する事が確認できます。各相通電時の MOSFET (M11、M12、M13) の V_{GS} は 16 V 程度となっています。これはツェナーダイオード CRZ16 でクランプされている事を意味しています。

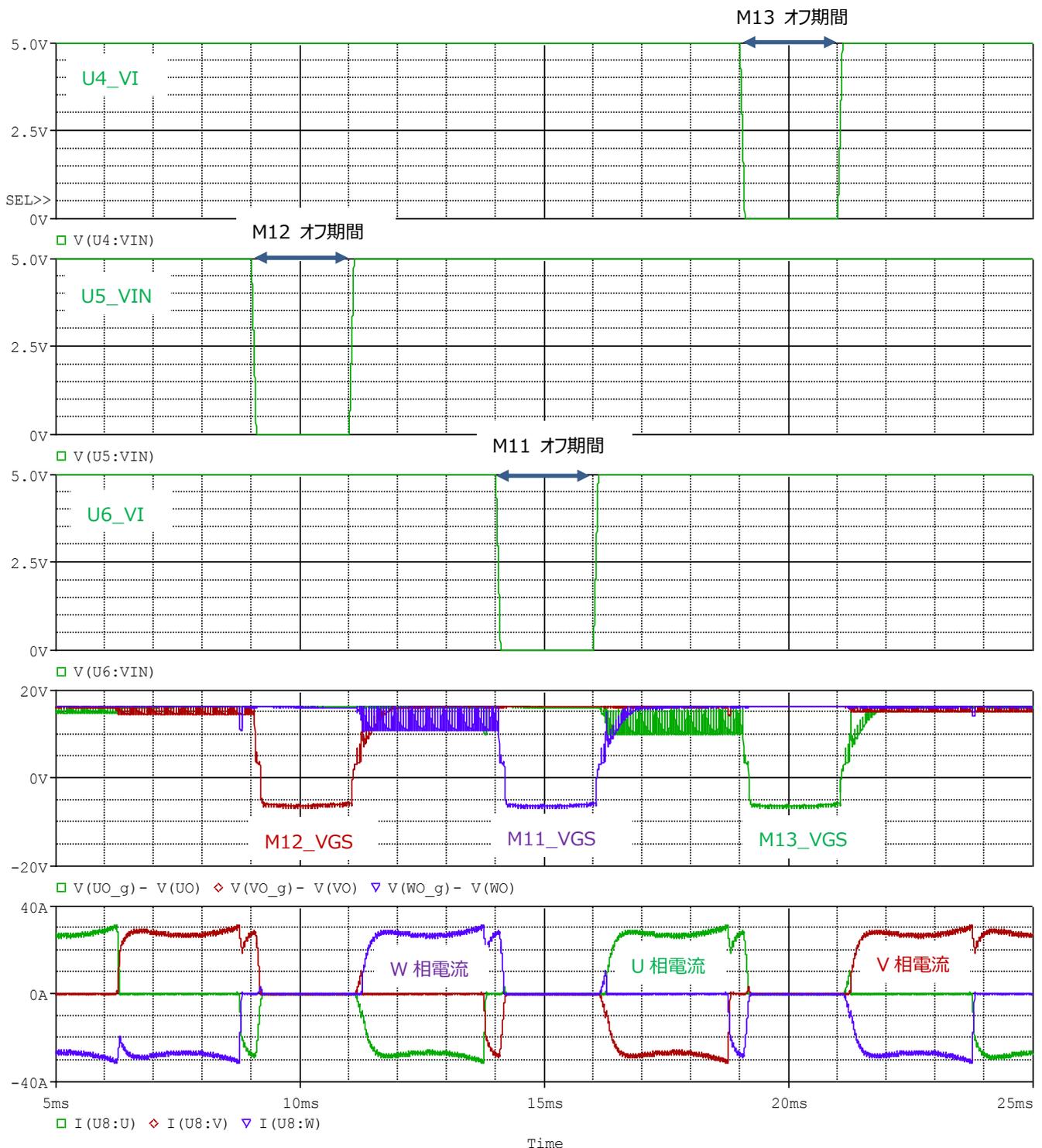


図 4.9 出力停止シミュレーション波形

4.4 電流検出方法 (3 電流検出方式)

図 4.10 に異常電流検出を行うための電流検出回路を示します。U 相のロー側 MOSFET と GND の間に配置した電流検出抵抗 (R25) の両端に発生する電圧で U 相の電流を検出します。

モータードライバーなどのように大電流をサポートするシステムにおいては、電流検出抵抗は抵抗での損失を最小限に抑えるため、一般的に低抵抗の電流検出抵抗が使用されます。そのため、電流検出抵抗で発生する信号は微小レベル (数十 mV) となり、MCU での直接測定が困難となるため、アンプ (IC1) で信号を増幅して MCU に入力する回路構成としています。また、三相ブラシレスモーターに流れる電流は双方向となるため、電流検出抵抗には正負両方の電圧が発生します。

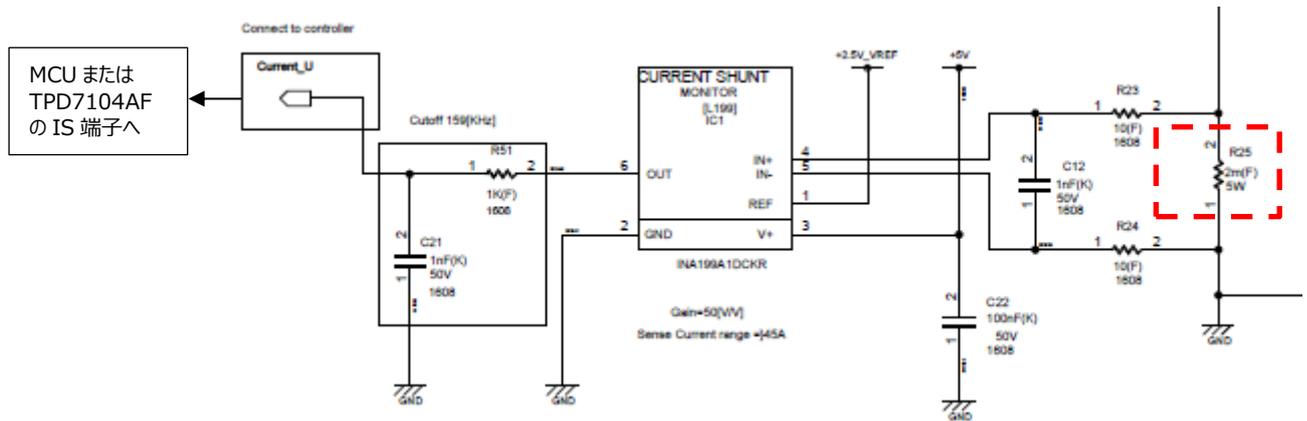


図 4.10 電流検出回路 (U 相)

※図 4.10 は U 相を例にしていますが、V 相、W 相も同じになります。

MCU への入力信号は正の電圧が必要となるため、出力にオフセットをかけられるアンプを使用しています。三相ブラシレスモーターの駆動回路のような双方向に電流が流れるアプリケーションの場合、MCU が双方向の電流を検出できるようにアンプの出力にオフセットをかけます。双方向同じレベルの電流を検出する場合、オフセット電圧は MCU 側の ADC 回路の入力範囲のセンター値に設定します。本回路では、MCU の ADC の入力レンジ 5 V を想定し、IC1 のオフセット端子 (REF ピン) に 2.5 V を印加しています。これにより、負荷電流がゼロの際、増幅回路の出力は REF ピンに印加されるオフセット電圧の 2.5 V となり、MCU の ADC 出力範囲は 2.5 V をセンター値として ± 2.5 V となります。増幅回路の出力は正の差動信号に対して VREF を超えて増加し、負の差動信号に対して VREF を下回って減少します。

次にアンプのゲインに関して説明します。本回路ではモーターの最大検出電流を ± 45 A とし、マージン含めて MCU の ADC フルレンジで ± 50 A を測定できるようにしています。電流検出抵抗が 1 mΩ なので、最大で ± 50 mV の電圧が発生します。

これらの考察により、ゲインは $2.5 \text{ V} / 50 \text{ mV} = 50 \text{ V/V}$ となりますので、ゲインが 50 V/V のアンプを使用しています。図 4.11 に電流検出抵抗を流れる電流とアンプ出力電圧の関係図を示し、図 4.12 に時間軸における 3 相電流波形と図 4.13 にオペアンプの出力波形の概略図を示します。アプリケーションの要求に合わせて、電流検出抵抗、アンプ、アンプゲイン、周辺回路の選定をお願いいたします。

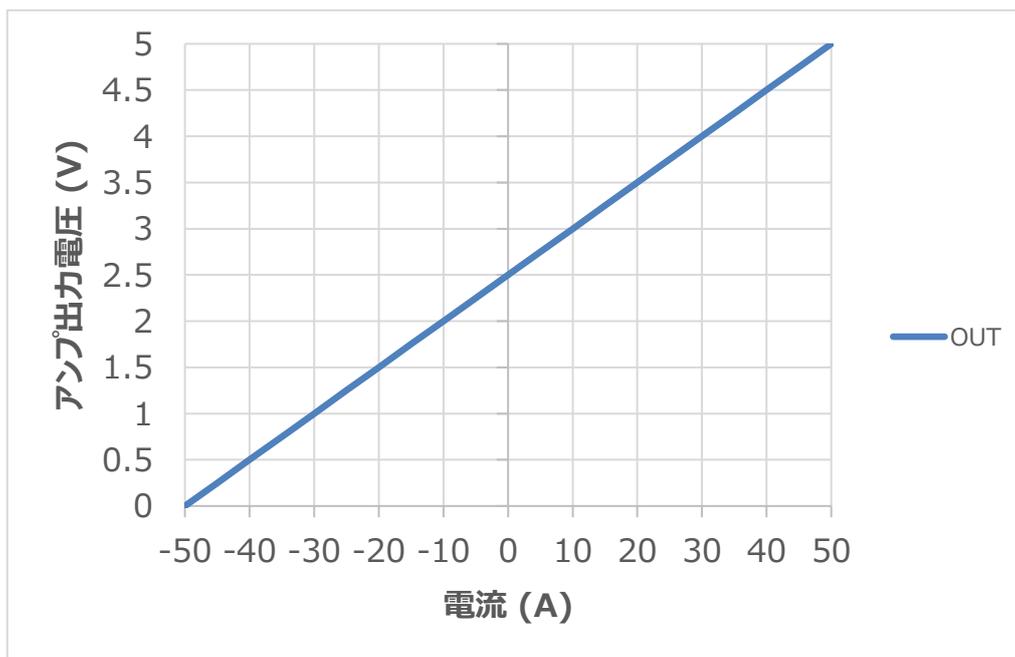


図 4.11 電流とアンプ出力電圧の関係図

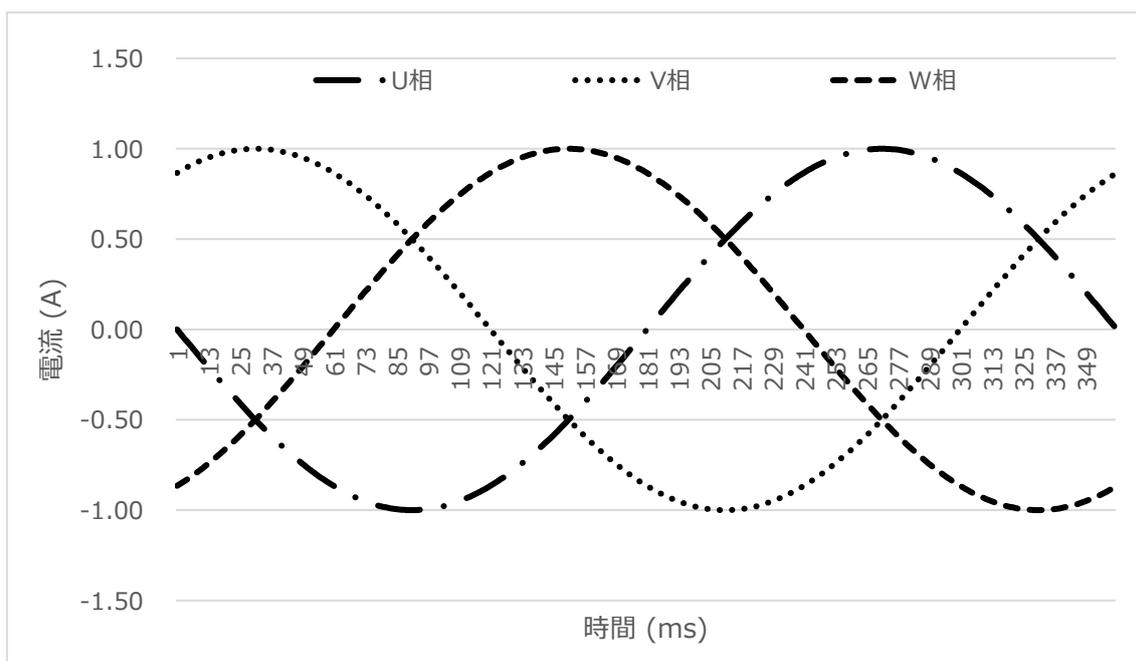


図 4.12 三相電流波形 概略図

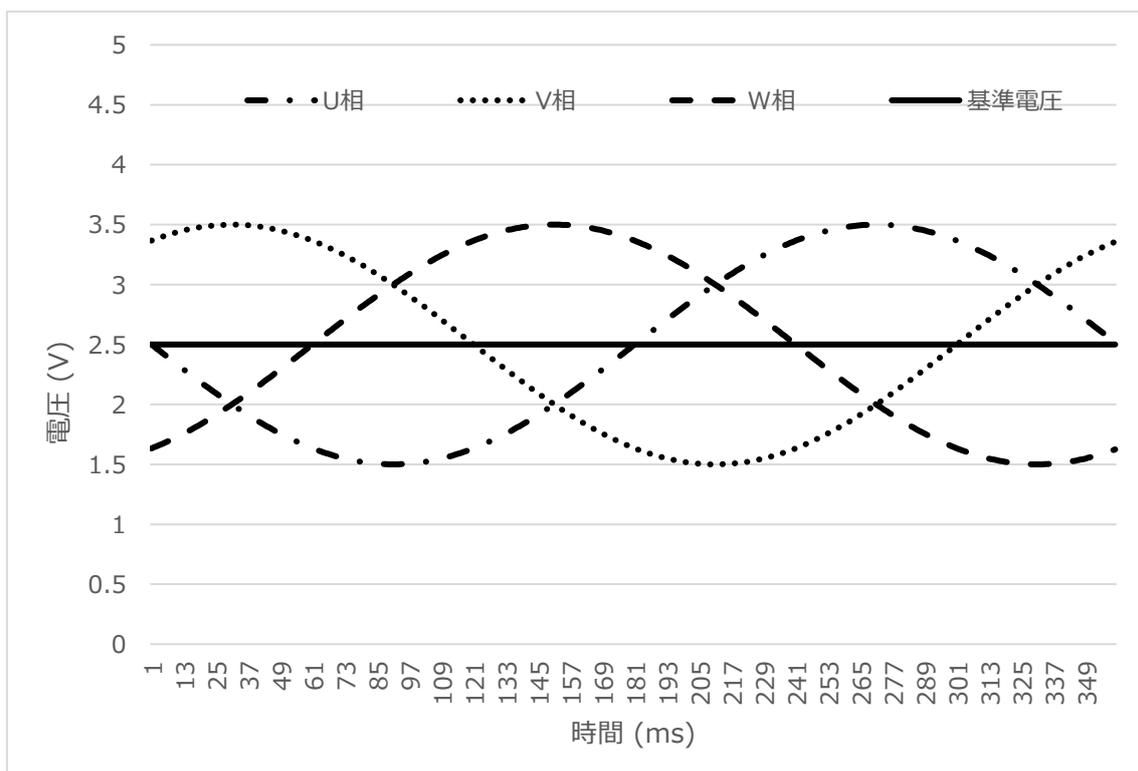


図 4.13 オペアンプ出力波形 概略図

なお、電流検出信号はレベルが小さくノイズの影響を受けやすいため、レイアウトには細心の注意が必要です。図 4.14 に示すケルビン接続を推奨いたします。

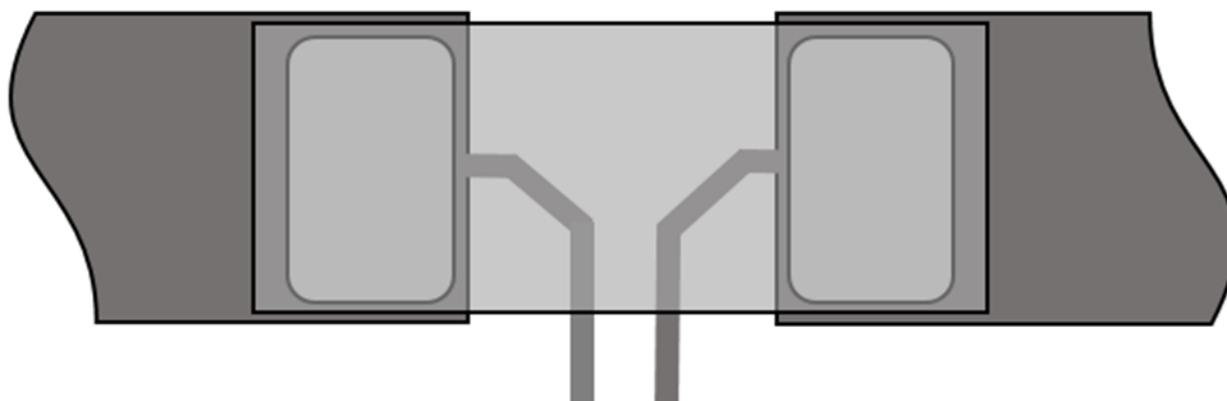


図 4.14 ケルビン接続

4.5 チャージポンプ回路の設計

図 4.15 に TPD7212F のチャージポンプ回路を使うために必要な周辺回路を示します。

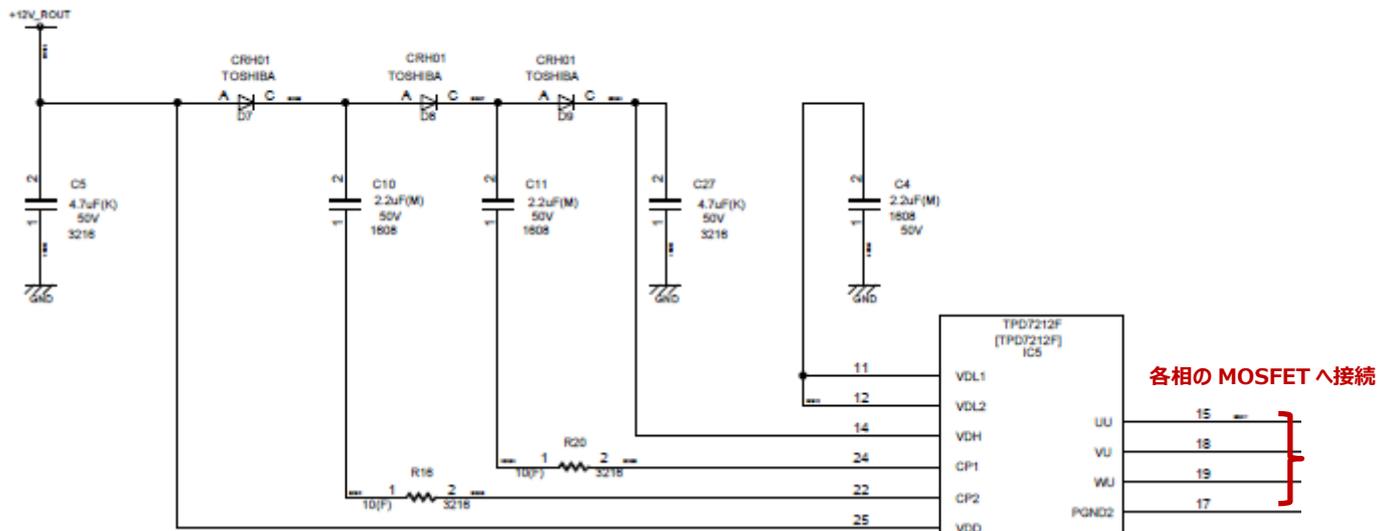


図 4.15 チャージポンプ回路

非絶縁のハイサイドゲートドライバー方式として一般的に用いられるのはブートストラップ方式とチャージポンプ方式です。ブートストラップ方式は、定期的にブートストラップコンデンサーを再充電する必要があるため、デューティー 100 %に近い動作は不可能です。そのため、入力電圧が低く負荷が大きいシステムなどハイ・デューティーでの動作が要求されるシステムにはブートストラップ方式を使用することはできません。TPD7212F はデューティー 100 %の動作が可能なチャージポンプ方式を採用しているため、ハイ・デューティーが必要とされるシステムにも使用することができます。

チャージポンプ回路に必要なとされる電流は駆動する MOSFET、TPD7212F の VDD 端子電圧、電源電圧、駆動周波数から求めることができ、本回路では表 4.4 の通りとなります。

表 4.4 チャージポンプ回路に必要なとされる条件

MOSFET	TPW1R104PB
TPD7212F の VDD 端子電圧	12 V
電源電圧	12 V
駆動周波数 (F_{sw})	20 kHz

図 4.16 に示す MOSFET (TPW1R104PB) のダイナミック入出力特性から、MOSFET 1 個を駆動するために必要なゲート入力電荷量を算出します。

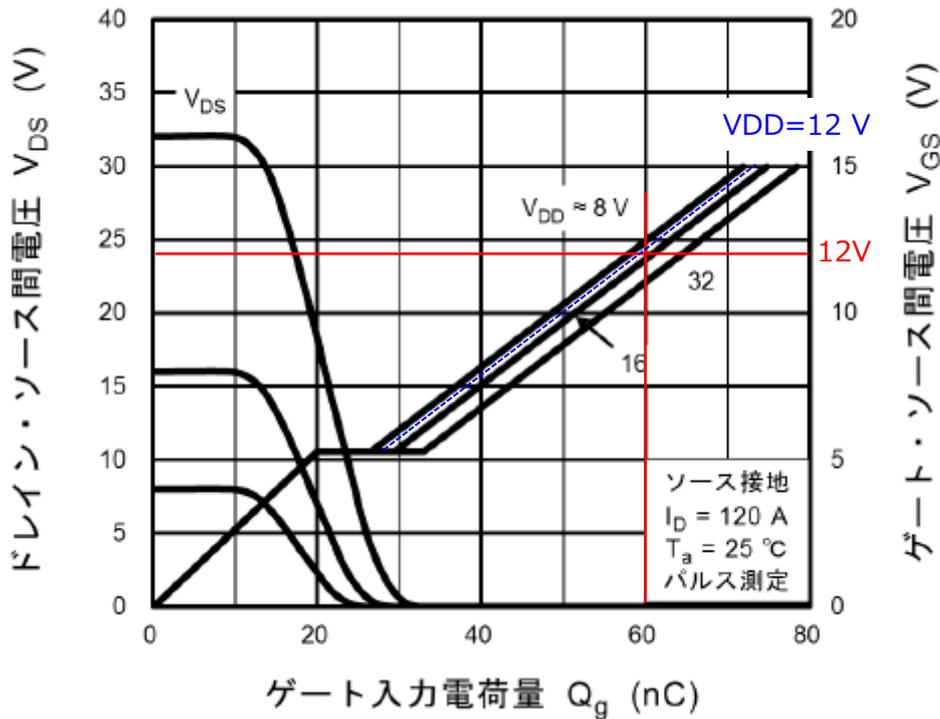


図 4.16 TPW1R104PB ダイナミック入出力特性

ハイサイド MOSFET に関しては、VDD はシステム電源電圧 (12 V)、V_{GS} はゲート駆動電圧 12 V なので、ゲート入力電荷量はグラフより、約 60 nC となります。本回路では、ハイサイド MOSFET を駆動周波数 (F_{sw}) = 20 kHz でドライブするため、チャージポンプ回路の出力電流は以下の通り算出されます。

$$I_{average} = Q_g \times F_{sw} = 60 \text{ (nC)} \times 20 \text{ (kHz)} = 1.2 \text{ (mA)}$$

TPD7212F は、ローサイドのドライバー電源もチャージポンプから内部レギュレータで降圧して供給します。PWM1 周期当たりにターンオンするチャンネル数は通電方式により異なりますが、120 度通電方式では 2 チャンネルとなるので出力電流は約 2.4 (mA) となります。またプルダウン抵抗や、IC 内部インピーダンスの影響も考慮し、次項のシミュレーション環境で容量値の見積りを行います。外付けのダイオードについても変更される場合は、素子モデルを変更してシミュレーションする事をお勧めします。

4.5.1 シミュレーション検証

ここでは、チャージポンプ回路の出力特性確認のためシミュレーションで検証します。
表 4.5 にシミュレーション条件と手順を、図 4.12 にシミュレーション回路を示します。

表 4.5 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	V15	0 V
4	I1	1m to 300mA (1ms span.)
5	C2,C3	0.1 μ F to 2.2 μ F

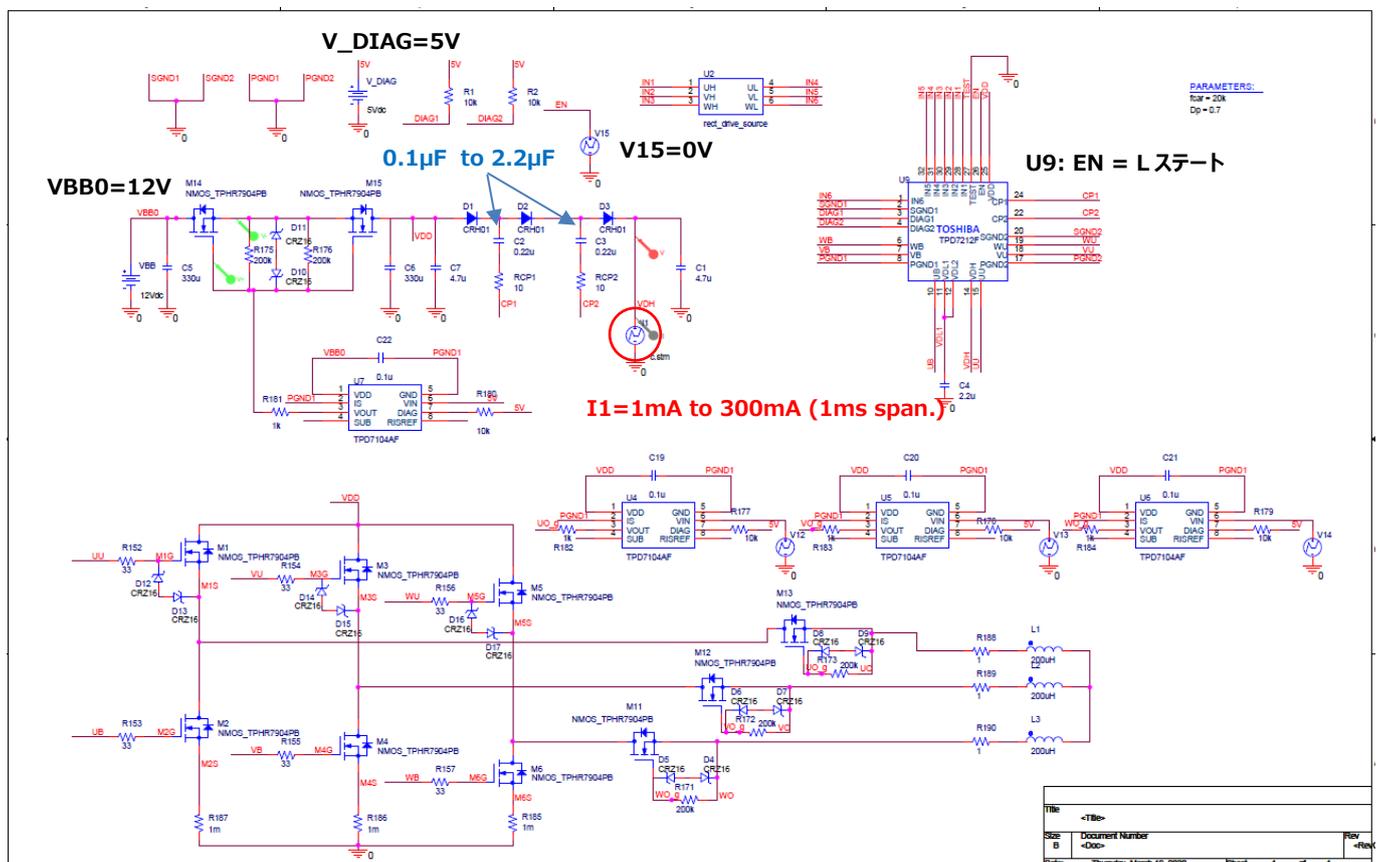


図 4.17 チャージポンプ出力特性確認シミュレーション回路例

図 4.17 にチャージポンプ出力特性確認シミュレーション回路例を示します。前項で算出した外付け MOSFET による負荷電流に対して、昇圧された VDH 端子電圧が低下しない事を確認します。V15 を 0V とすることで U9 の出力を停止させ、チャージポンプ回路のみを動作させます。定電流源 I1 を接続し、1ms 毎に負荷電流が増加するように設定します。チャージポンプは発振回路を含むため DC 解析をする事が出来ません。したがって、上記シミュレーションは、トランジェント解析で出力特性を確認します。図 4.18 にシミュレーション結果を示します。MOSFET の特性にもよりますが、一般的に V_{GS} は最低 10V 程度必要になります。従って、VDH 端子電圧が 22V 以下の領域はバイアス印加不安定な領域になります。またこの結果からチャージポンプ容量 C2、C3 に依存し出力特性が変化している事が分かります。この結果から選定可能な容量値を見積もる

事が可能です。しかしながら、環境温度や電源電圧条件、ダイオード等の周辺部品の特性も影響するので、最終的には実測での確認をお願いいたします。本回路では、設計上十分なマージンを考慮して 2.2 μ F を選定しております。

また、TPD7212F のチャージポンプ回路のコンデンサーには、入力電圧より標準で 12 V 高い電圧が印可されるため、コンデンサーの耐圧には注意が必要となります。本回路では、入力電圧 12 V に対して VDH 端子の電圧は 24 V に昇圧されるので、50 V 耐圧品を選定しています。

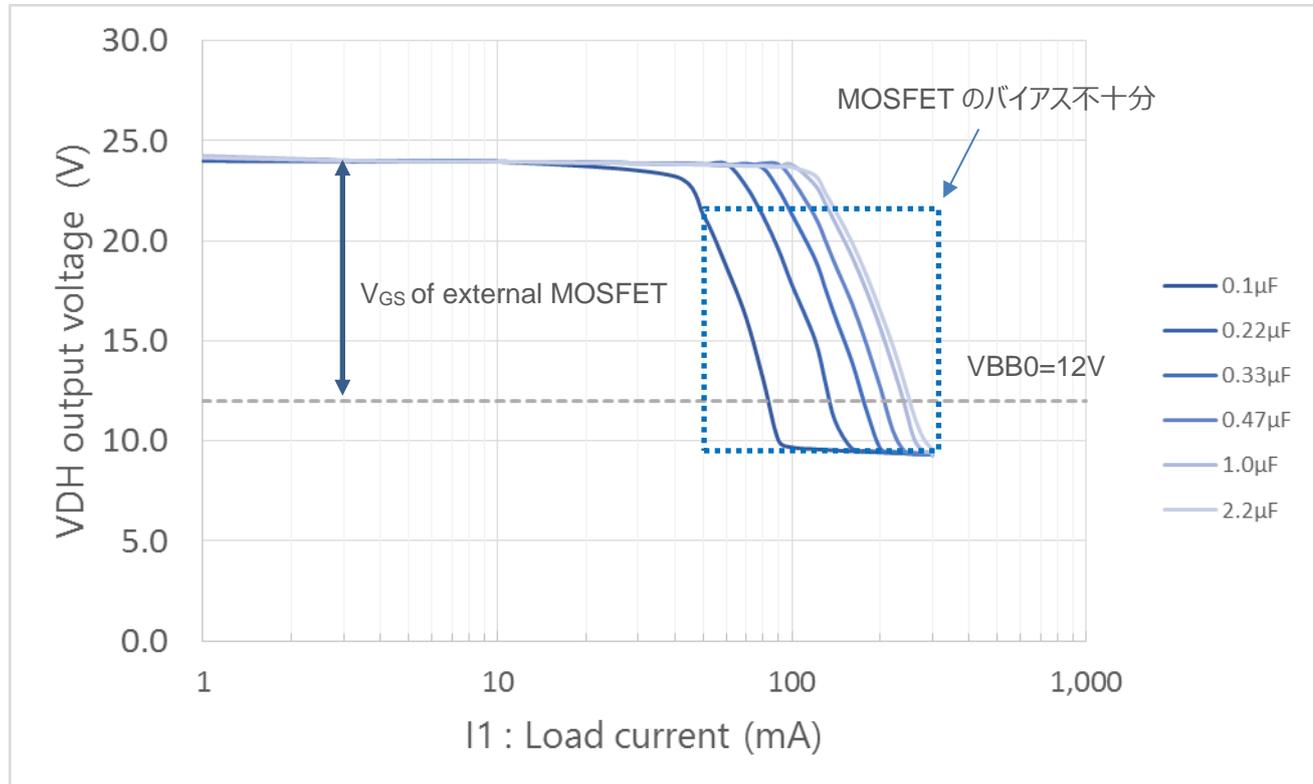


図 4.18 チャージポンプ出力特性シミュレーション結果

4.6 サージ保護機能

本回路では、図 4.1 に示す D3,D6 (CMZ27) のツェナーダイオードを挿入し、車載向けロードダンプサージなどの 27 V (標準) 以上のサージ電圧発生時のクランプを目的とした保護機能を構成しています。クランプ電圧は MOSFET、ゲートドライバー IC の耐圧を越えないように設計する必要があります。

CMZ27 のデータシートダウンロードはこちらから →

[Click Here](#)

第 5 章で TPD7212F を使用した保護機能のシミュレーション検証を行います。

5. シミュレーション (TPD7212F 保護機能)

本章では、TPD7212F に内蔵している各種保護機能をシミュレーションで確認します。

実際のシミュレーション回路 (RD176-SPICE-01) はこちら、 →

[Click Here](#)

5.1 出力電圧監視機能

出力電圧監視は、TPD7212F に内蔵される保護機能です。表 5.1 にシミュレーション条件と手順を、図 5.1 にシミュレーション回路を示します。出力端子が正常に動作しインバーターを構成する MOSFET のゲート端子に適切にバイアスが印加されている事を監視する機能です。出力端子 UU、UB を例に強制的に天絡（電源とショート）、地絡（GND とショート）を再現、保護機能が動作している事をシミュレーションで確認します。

表 5.1 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	U2	120 度通電パターンを出力
4	VIN @ U4~U7	H ステート
5	シミュレーション開始	
6	UU - VDD	30 ms から 31 ms の期間ショート
7	EN	32 ms でリセット
8	UU - GND	34 ms から 35 ms の期間ショート
9	EN	36 ms でリセット
10	UB - VDD	38 ms から 39 ms の期間ショート
11	EN	40 ms でリセット
12	UB - GND	42 ms から 43 ms の期間ショート
13	EN	44 ms でリセット

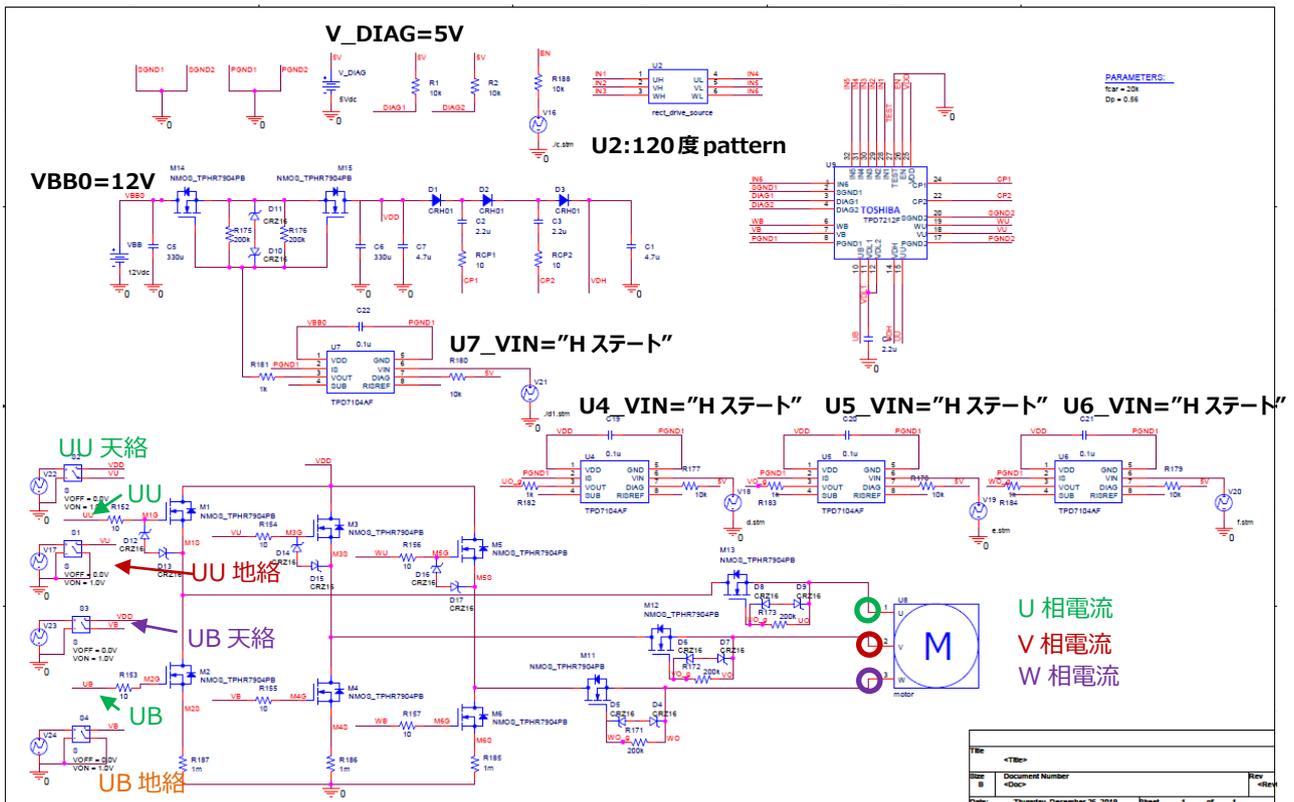


図 5.1 シミュレーション回路

図 5.2 にシミュレーション波形を示します。UU 天絡状態では、UU 端子と VDD がショートしている事がわかります。UU 端子は、IC 内部抵抗 (5 kΩ) で L ステートとなるので出力電流は発生しません。6 チャンネルある出力端子は全て IC 内部抵抗で L ステートとなるのでインバーター部の MOSFET は全てオフ状態となります。従って、モーターの各相電流は停止している事がわかります。ラッチオフ状態なので、EN 端子でリセットを行います。EN 端子でラッチ解除を行うと、IC は通常動作に復帰します。UU 地絡、UB 天絡、UB 地絡の動作条件も同様に全出力停止となり、EN 端子でリセットを行います。

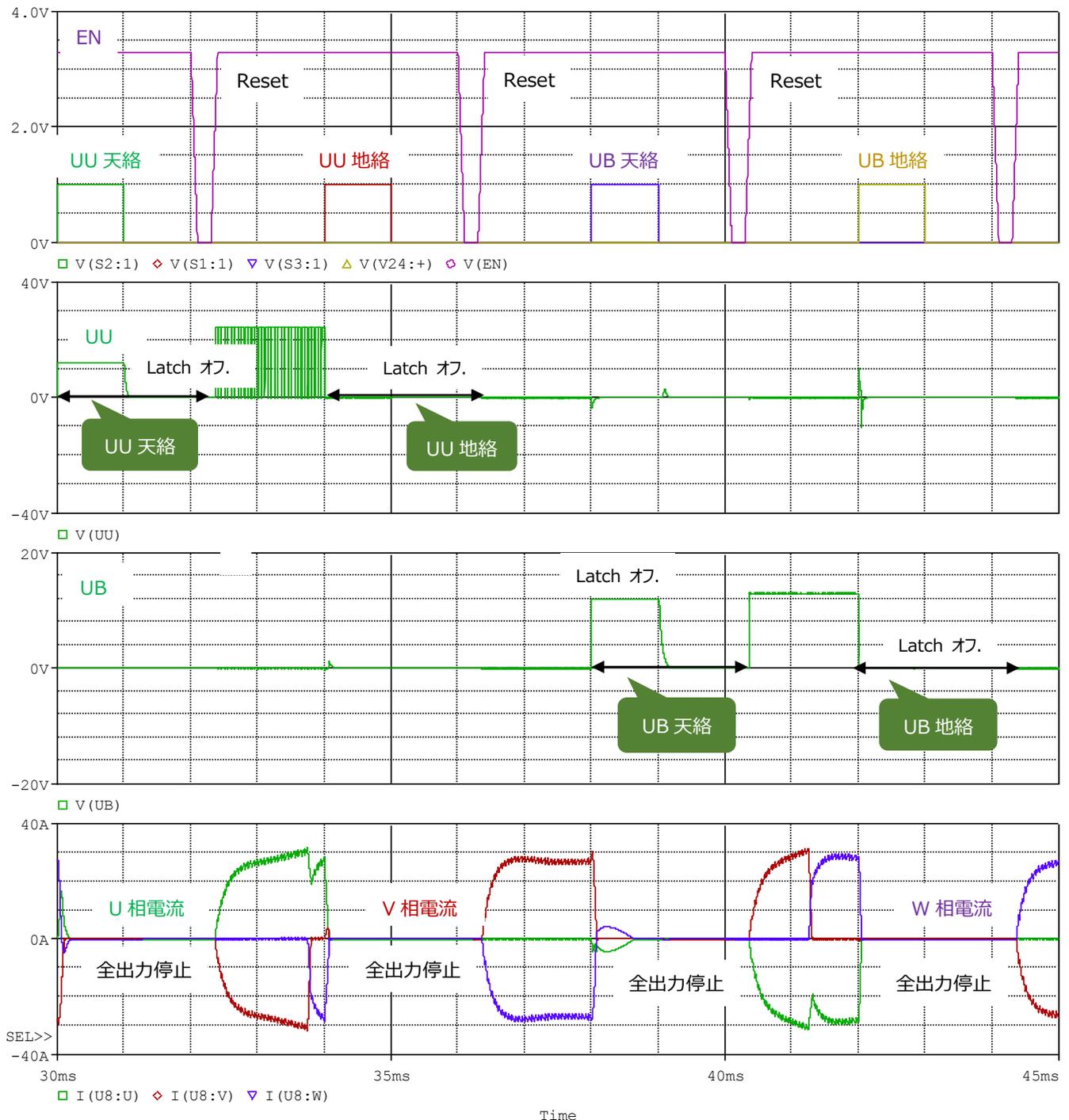


図 5.2 出力電圧異常時のシミュレーション結果

5.2 VDH 端子出力低電圧検出

VDH 端子は、チャージポンプ回路から出力する昇圧電圧源です。表 5.2 にシミュレーション条件と手順を、図 5.3 にシミュレーション回路を示します。ドライバー回路の電源として使用します。TPD7212F は、VDH 端子の低電圧を検出する機能を内蔵しています。出力電流負荷の増大や、地絡などの異常動作によって VDH 端子電圧が低下すると異常と判断し、診断出力 DIAG2 から“H”を出力します。

表 5.2 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	U2	120 度通電パターンを出力
4	VIN @ U4~U7	H ステート (導通状態)
5	シミュレーション開始	
6	VDH	24 V から 16 V まで変化
7	VDL	12 V

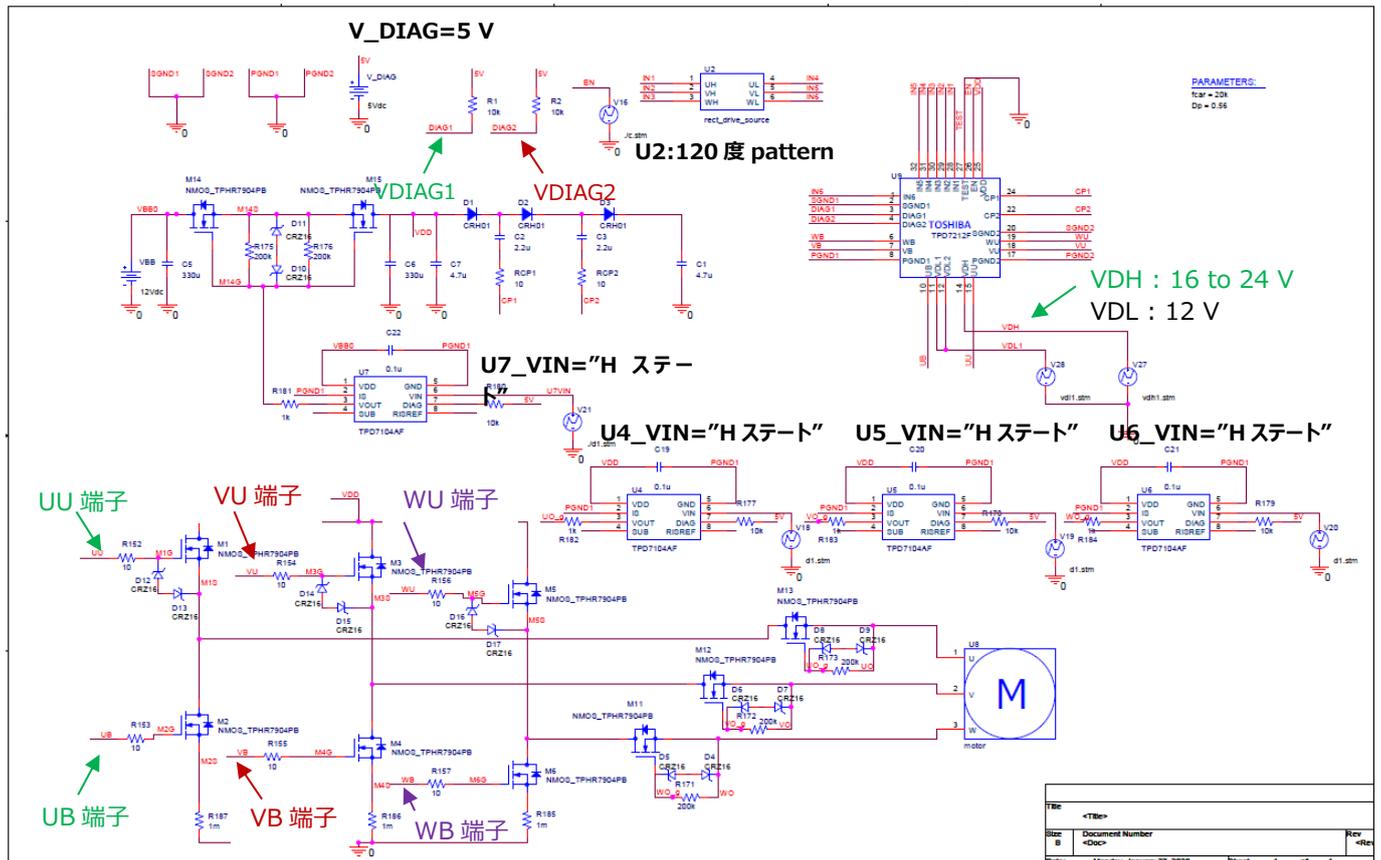


図 5.3 シミュレーション回路

図 5.4 にシミュレーション波形を示します。VDH 端子を 16 V 程度まで強制的に低下させることで、VDH 端子電圧低下を検出し、VDIAG2 が H ステートに遷移している事が確認できます。また、16 V から 24 V へ電圧を上昇させると VDIAG2 が通常状態を示す L ステートへ遷移している事が確認できます。

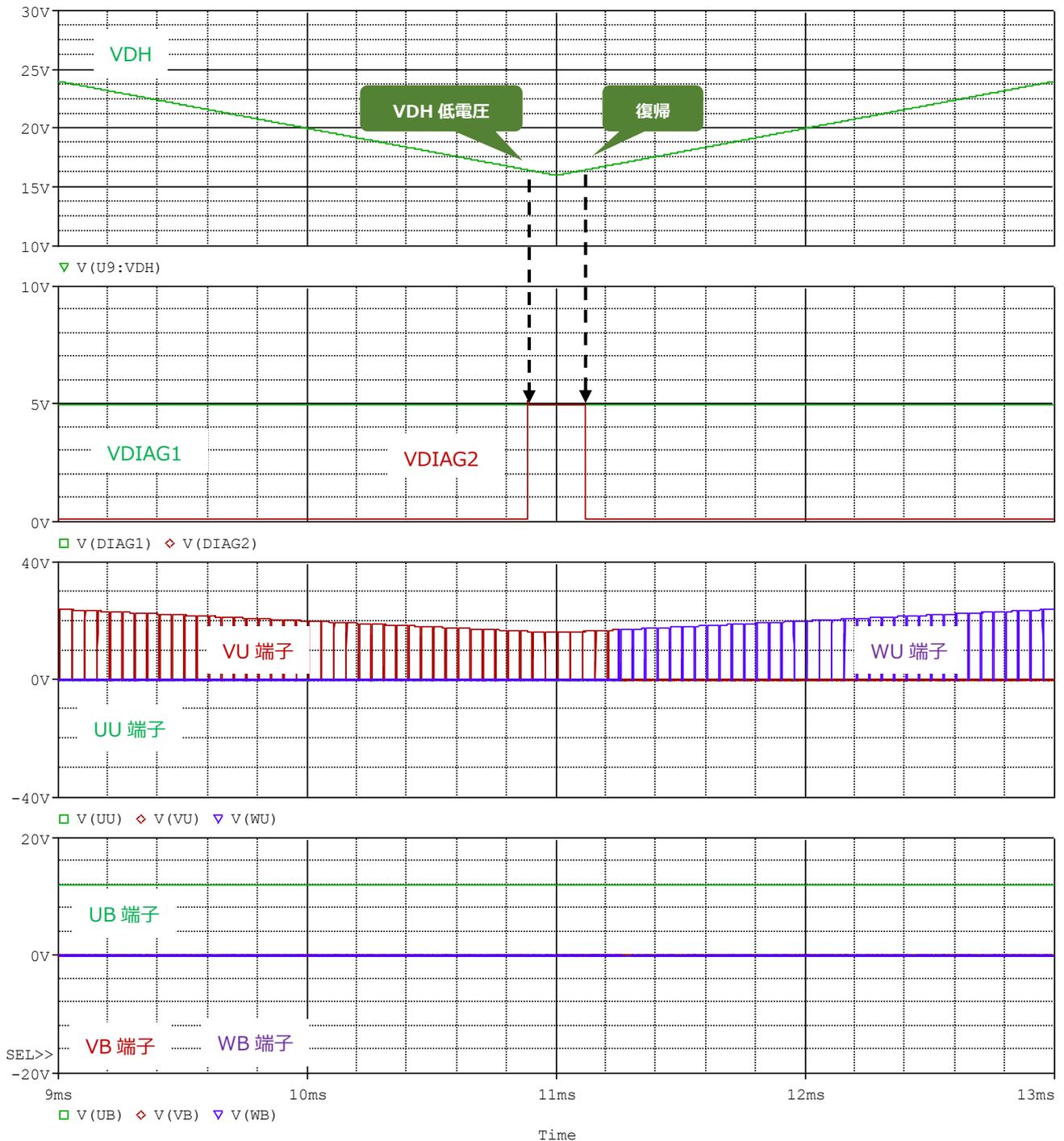


図 5.4 VDH 端子電圧低下時のシミュレーション結果

5.3 VDL 端子電圧過電圧検出

VDL 端子は、ローサイドドライバー（UB、VB、WB）の内部電源の電圧を出力します。表 5.3 にシミュレーション条件と手順を、図 5.5 にシミュレーション回路を示します。VDL 端子が外部要因により電圧が上昇すると、インバーター部の MOSFET のゲート・ソース間電圧に過電圧を印加する可能性があります。TPD7212F は VDL 端子の過電圧を判定し、ローサイド出力を停止する機能を内蔵しています。

表 5.3 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	U2	120 度通電パターンを出力
4	VIN @ U4~U7	H ステート（導通状態）
5	シミュレーション開始	
6	VDH	24 V
7	VDL	4 V から 20 V まで変化

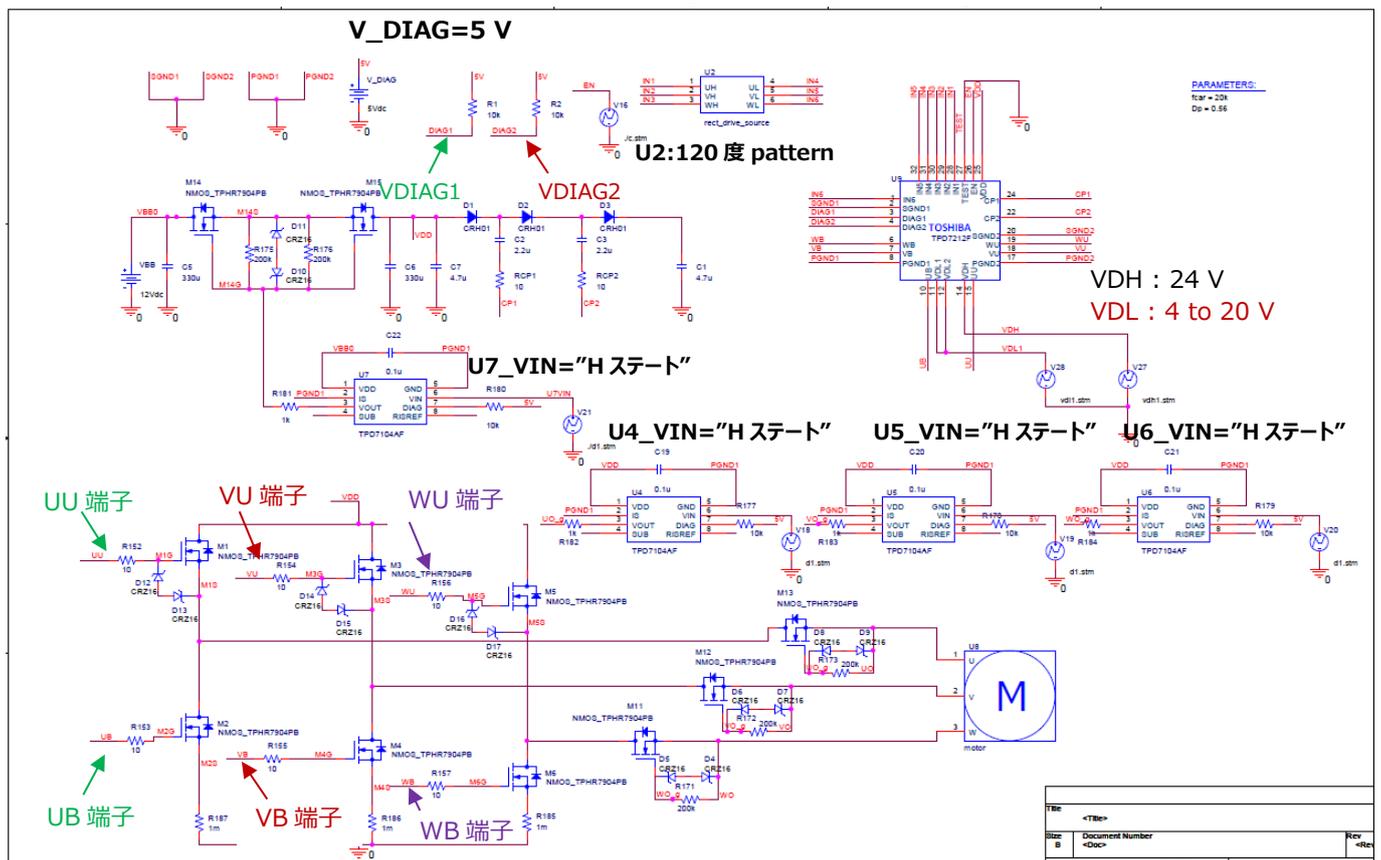


図 5.5 シミュレーション回路

図 5.6 にシミュレーション波形を示します。VDL 過電圧になると VDIAG2 は H ステートとなり、出力端子が停止していることがわかります。電圧が正常に回復すると診断出力 VDIAG2 は、L ステートとなります。

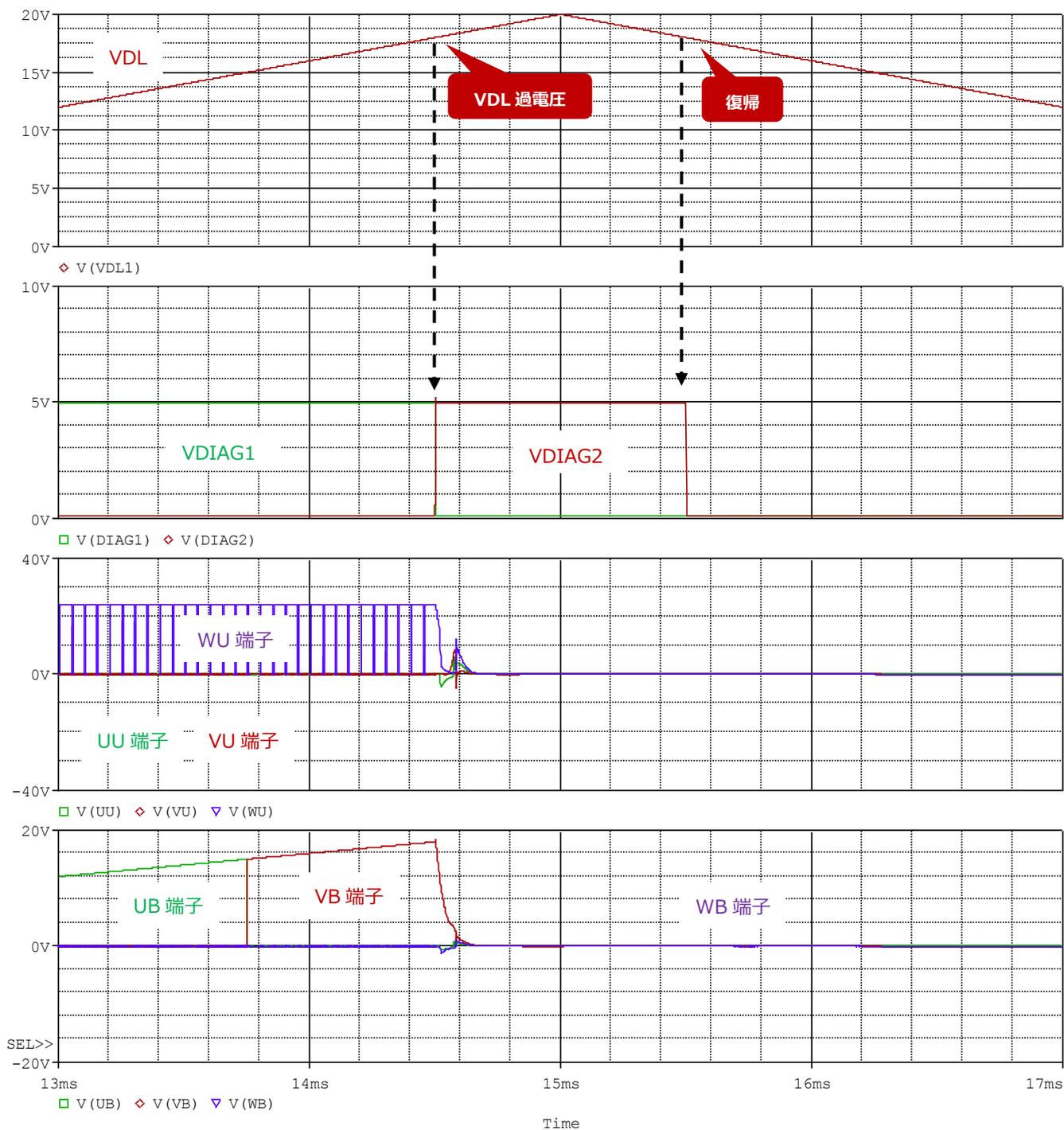


図 5.6 VDL 端子過電圧時のシミュレーション結果

5.4 VDL 端子低電圧検出

VDL 端子は、ローサイドドライバー（UB、VB、WB）の内部電源の電圧を出力します。表 5.4 にシミュレーション条件と手順を、図 5.7 にシミュレーション回路を示します。

TPD7212F は VDL 端子電圧の電圧低下時における MOSFET の駆動不足を検出するため、低電圧検出機能を内蔵しています。VDL 端子が低電圧になると、診断出力 VDIAG2 は H ステートとなります。出力端子は停止せずに動作を継続します。VDL 端子電圧が正常に復帰すると VDIAG2 は L ステートに遷移します。

表 5.4 シミュレーション条件と手順

1	VBB0	12 V
2	V_DIAG	5 V
3	U2	120 度通電パターンを出力
4	VIN @ U4~U7	H ステート（導通状態）
5	シミュレーション開始	
6	VDH	24 V
7	VDL	12 V から 4 V まで変化

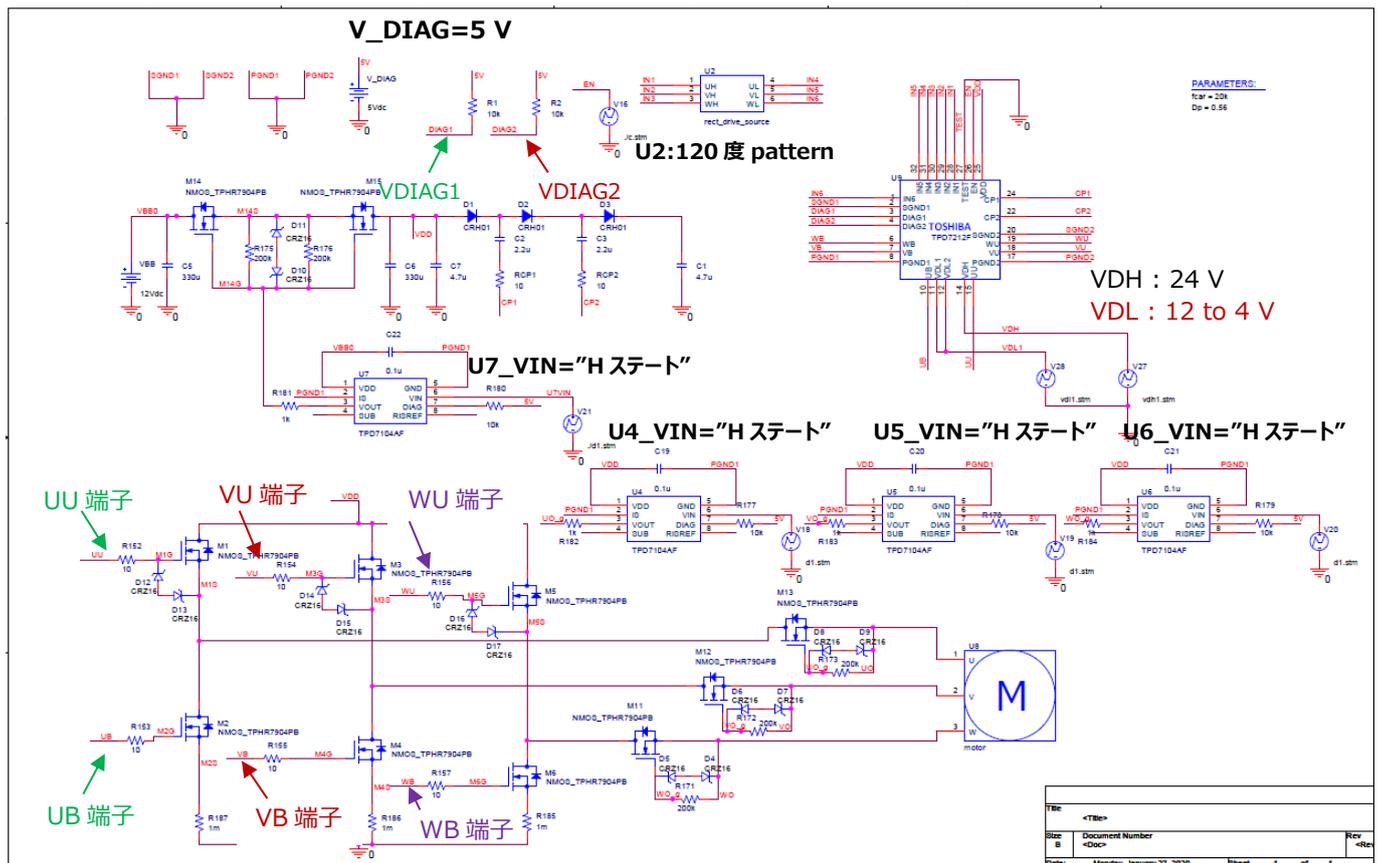


図 5.7 シミュレーション回路

図 5.8 にシミュレーション波形を示します。VDL 低電圧になると VDIAG2 は H ステートとなりますが、出力端子は停止せず動作を継続していることがわかります。VDL 端子電圧が正常に回復すると診断出力 VDIAG2 は、L ステートとなります。

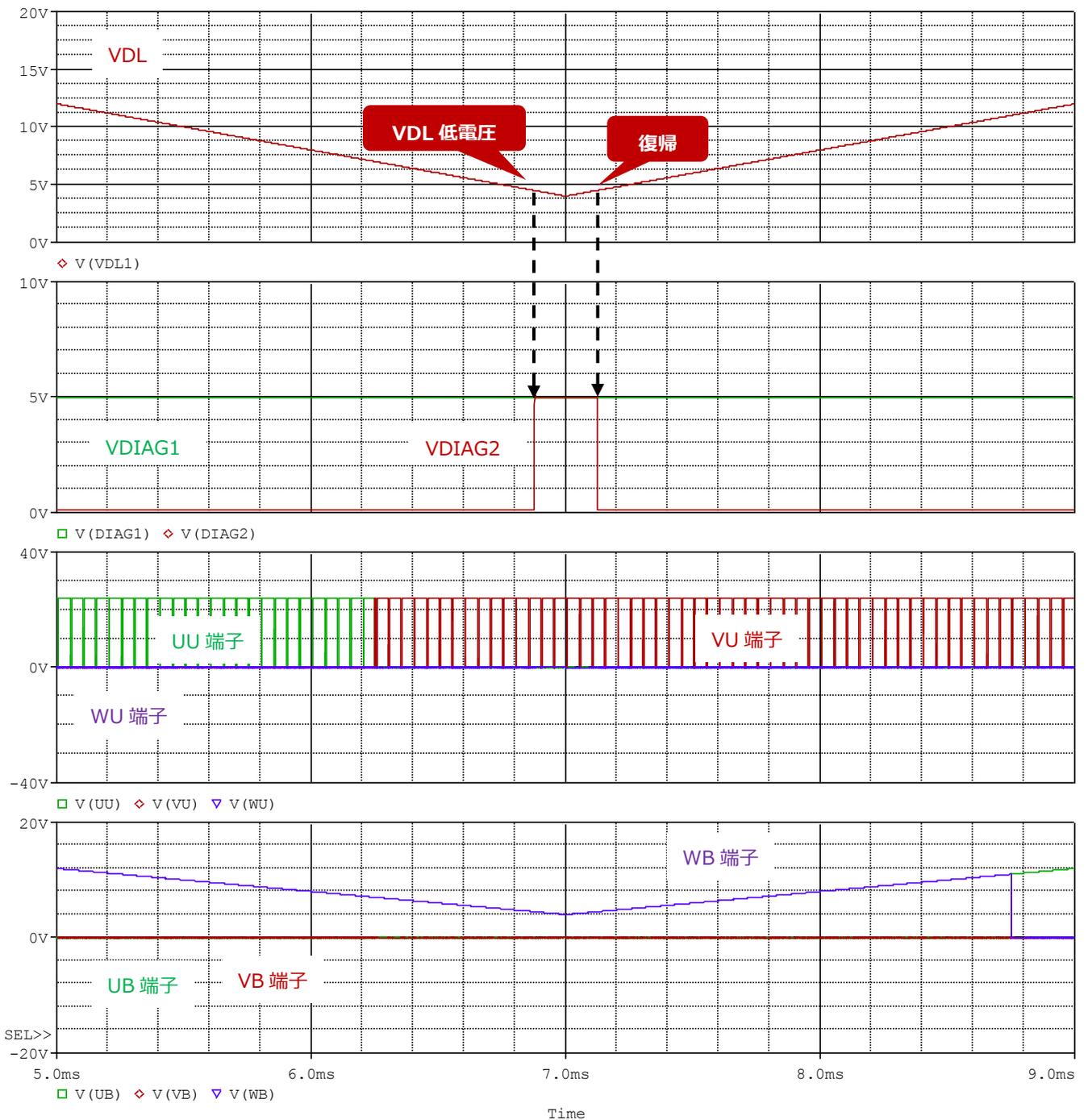


図 5.8 VDL 端子電圧低電圧時のシミュレーション結果

6. 製品概要

6.1 TPD7212F/FN

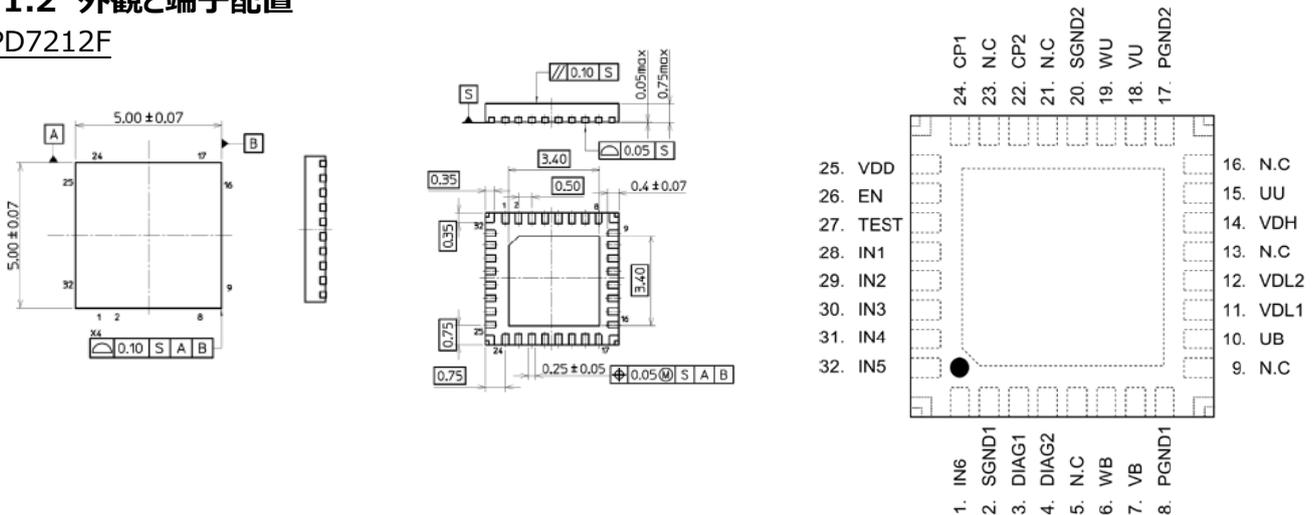
6.1.1 概要

TPD7212F/FN は BiCD プロセスによる、チャージポンプ方式の三相フルブリッジ回路用パワー-MOSFET ゲートドライバーです。ハイサイドドライブ用のチャージポンプ回路を内蔵しているため、容易に三相フルブリッジ回路を構成できます。また、三相のうち 1 相分を未使用にすることで、DC モーター用 Hブリッジ回路としても使用できます。

- 車載向けAEC-Q100適合品
- 三相DC モーター用パワー-MOSFET ゲートドライバー、DCモーター用Hブリッジドライバー
- ドライバー電源電圧、出力電圧の診断出力機能を内蔵
- チャージポンプ回路を内蔵
- WQFN32パッケージ: TPD7212F
- SSOP30パッケージ: TPD7212FN

6.1.2 外観と端子配置

TPD7212F



TPD7212FN

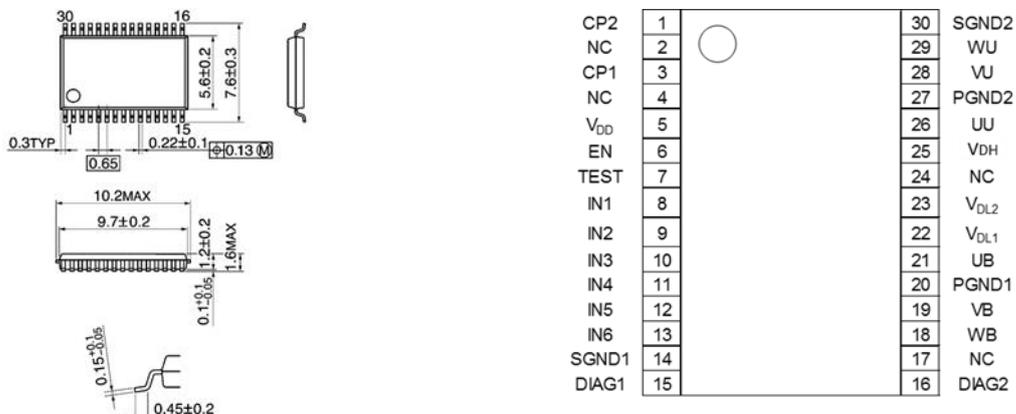


図 6.1 外観、端子配置図

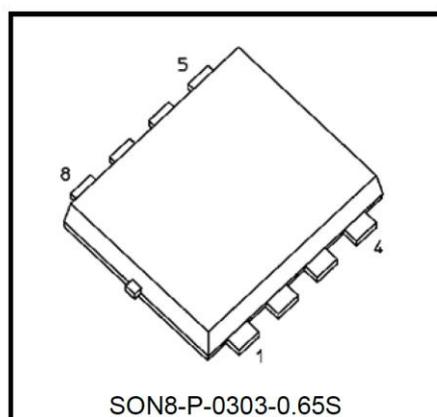
6.2 TPD7104AF

6.2.1 概要

TPD7104AF は 1 出力のハイサイドスイッチ用 N チャンネルパワー-MOSFET ゲートドライバーです。チャージポンプ回路を内蔵しており、大電流アプリケーションのハイサイドスイッチを容易に構成することができます。

- 車載向けAEC-Q100適合品
- チャージポンプ回路を内蔵
- 負荷ショート(過電流)検出と電源逆接続保護機能を内蔵
- 小型PS-8パッケージ

6.2.2 外観と端子配置



質量: 0.017g (標準)

ピン接続 (top view)

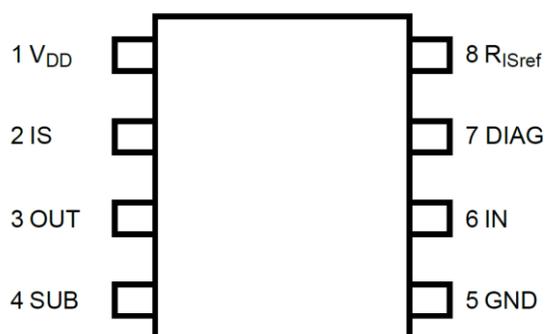


図 6.2 外観、端子配置図

6.3 TPW1R104PB

6.3.1 概要

TPW1R104PB は当社最新の低耐圧 MOSFET プロセス U-MOSIX-H を採用し、低オン抵抗、大電流定格を実現した製品です。

- 車載向けAEC-Q101適合品
- 小型, 薄型で実装面積が小さい
- 低いオン抵抗 : $R_{DS(ON)}=0.95\text{ m}\Omega$ (標準) (@ $V_{GS}=10\text{ V}$)
- 低い漏れ電流 : $I_{DSS} = 10\text{ }\mu\text{A}$ (最大) ($V_{DS} = 40\text{ V}$)
- 取り扱いが簡単なエンハンスメントタイプ : $V_{th} = 2.0\sim 3.0\text{ V}$ ($V_{DS} = 10\text{ V}$, $I_D = 0.5\text{ mA}$)
- 最大電流定格 : $I_D=120\text{ A}$ (DC)
- 最大電圧定格 : $V_{DSS}=40\text{ V}$

6.3.2 外観と端子配置

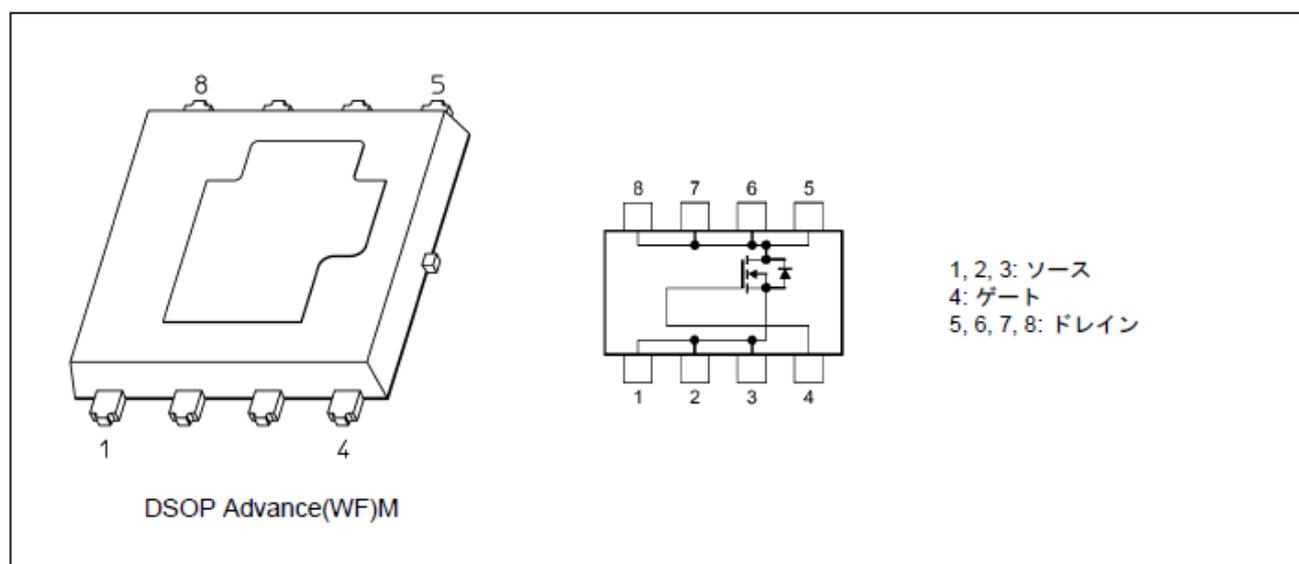


図6.3 外観、端子配置図

ご利用規約

本規約は、お客様と東芝デバイス & ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は、適用可否に対する責任は負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第4条 準拠法

本規約の準拠法は日本法とします。