

MOSFET 応用
3 相マルチレベルインバーター
デザインガイド

RD208-DGUIDE-01

東芝デバイス&ストレージ株式会社

目次

1. はじめに	3
2. 使用部品	4
2.1. パワーMOSFET TPH9R00CQ5	4
2.2. ゲートドライバーカプラー TLP152	5
2.3. LDO 電源レギュレーター TCR 3 UF シリーズ	6
2.4. コンパレーター TC75W57FK	7
3. マルチレベルインバーターとは	8
3.1. 2レベルインバーターの動作	8
3.2. マルチレベルインバーターの概要	9
3.3. マルチレベルインバーターの動作	10
4. 回路設計	13
4.1. 絶縁電源回路	14
4.1.1. DC400 V 入力/DC15 V 出力 絶縁 DC-DC コンバーター	14
4.1.2. DC15 V 入力/DC15 V-4ch 出力 絶縁 DC-DC コンバーター	15
4.2. CPLD 用電源回路 (3.3 V, 1.8 V)	15
4.3. ゲートドライバー電源回路	16
4.4. ゲートドライブ回路	17
4.5. 電流検出回路	18
4.5.1. 電流センサー	18
4.5.2. 電流出力回路	19
4.5.3. 過電流検出回路	20

1. はじめに

本デザインガイド（以下、本ガイド）ではMOSFET応用3相マルチレベルインバーター（以下、本インバーター）の設計について解説します。

産業用ロボットなどで用いられる誘導モーターや同期モーターを駆動するためには3相インバーターが使用されます。AC 200 Vを出力する場合は一般的に耐圧600 V程度のMOSFETを上下の各アームでそれぞれ1個使用した2レベルインバーターが用いられますが、アームあたりのMOSFETを多段構成することにより、電圧出力の分解能が上がり、きめ細かい電圧出力制御が可能のため、効率の高いインバーターが実現できます。本インバーターでは、上下それぞれのアームで4個のMOSFETを使用しており、最大5レベルのPWM電圧出力が可能です。

スイッチング素子として150 V耐圧のパワーMOSFET [TPH9R00CQ5](#)を使用しています。TPH9R00CQ5は内蔵ダイオードを高速化した製品であり、モーター等誘導性負荷のインバーター出力におけるスイッチング時の損失を低減することが可能です。また各アームあたりそれぞれ4個のTPH9R00CQ5を使用しているため、見かけ上は耐圧600 VのMOSFETとして動作します。

またMOSFET駆動には小型で高速スイッチングが可能なドライバーカップラー [TLP152](#)を使用しています。

2. 使用部品

本インバーターの使用製品を紹介します。当社ではパワー半導体、ドライバーカプラー、ならびに LDO については今回使用した製品をはじめ豊富なラインアップを準備しています。

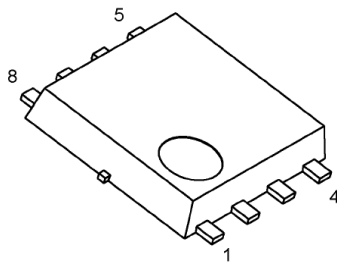
2.1. パワー-MOSFET TPH9R00CQ5

本インバーターではインバーターのスイッチングに [TPH9R00CQ5](#) を使用しています。

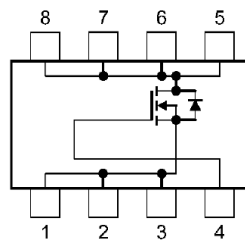
特長

- 逆回復時間が早い : $t_{rr} = 40 \text{ ns}$ (標準)
- 逆回復電荷量が小さい : $Q_{rr} = 34 \text{ nC}$ (標準)
- ゲート入力電荷量が小さい : $Q_{sw} = 11.7 \text{ nC}$ (標準)
- オン抵抗が低い : $R_{DS(ON)} = 7.3 \text{ m}\Omega$ (標準) ($V_{GS} = 10 \text{ V}$)
- 漏れ電流が低い : $I_{DSS} = 10 \text{ }\mu\text{A}$ (最大) ($V_{DS} = 150 \text{ V}$)
- 取り扱いが簡単なエンハンスメントタイプ : $V_{th} = 3.1 \sim 4.5 \text{ V}$ ($V_{DS} = 10 \text{ V}$, $I_D = 1.0 \text{ mA}$)

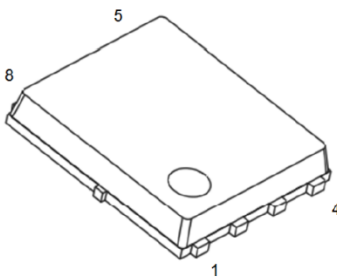
外観と端子配置



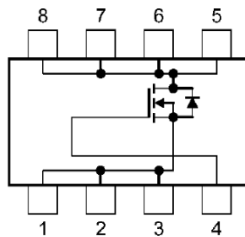
SOP Advance



1, 2, 3: Source
4: Gate
5, 6, 7, 8: Drain



SOP Advance(N)



1, 2, 3: Source
4: Gate
5, 6, 7, 8: Drain

上記パッケージ選択が可能

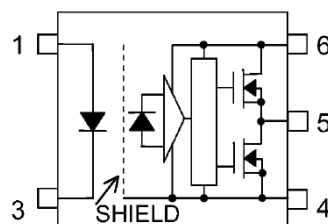
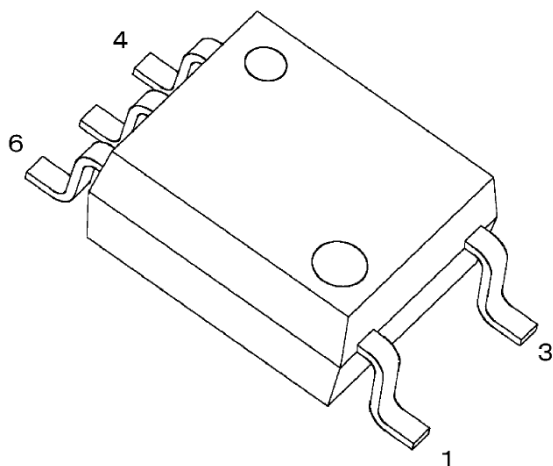
2.2. ゲートドライバーカップラー TLP152

本インバーターではインバーター回路で用いる MOSFET のゲートドライバーとして [TLP152](#) を使用しています。

特長

- バッファロジック出力タイプ (トータムポール出力)
- 出力ピーク電流: ± 2.5 A (最大)
- 動作温度範囲: $-40 \sim 100$ °C
- 供給電流: 3.0 mA (最大)
- 電源電圧: 10~30 V
- スレッシュホールド入力電流: 7.5 mA (最大)
- 伝搬遅延時間: $t_{pHL} = 190$ ns (最大), $t_{pLH} = 170$ ns (最大)
- 瞬時コモンモード除去電圧: ± 20 kV/ μ s (最小)
- 絶縁耐圧: 3750 Vrms (最小)
- 安全規格対応

外観と端子配置



- 1: Anode
- 3: Cathode
- 4: GND
- 5: V_O
- 6: V_{CC}

11-4L1S

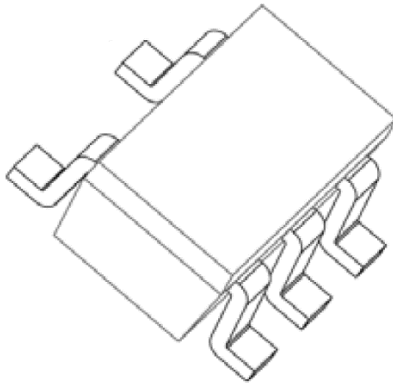
2.3. LDO 電源レギュレーター TCR3UF シリーズ

本インバーターでは CPLD 等の安定化電源として [TCR3UF33A](#) ならびに [TCR3UF18A](#) を使用しています。

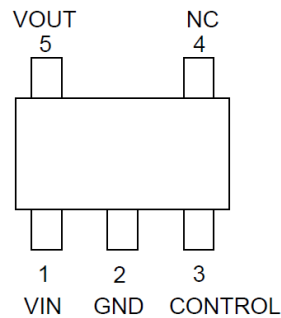
特長

- 低バイアス電流 $I_B = 0.34 \mu\text{A}$ (標準) @ $I_{OUT} = 0 \text{ mA}$, 出力電圧1.5 V まで
- 高リップル圧縮度 R.R. = 70 dB (標準) @ 0.8 V 出力
- 高速負荷過渡応答 $-51/+36 \text{ mV}$ @ 0.8 V 出力, $I_{OUT} = 1 \text{ mA} \Leftrightarrow 50 \text{ mA}$
- 低ドロップアウト電圧 $V_{DO} = 206 \text{ mV}$ (標準) @ 3.3 V 出力, $I_{OUT} = 300 \text{ mA}$
- 幅広い出力電圧ラインアップ ($V_{OUT} = 0.8 \sim 5.0 \text{ V}$)
- 高出力電圧精度 $\pm 1.0 \%$ ($1.8 \text{ V} \leq V_{OUT}$)
- オートディスチャージ (TCR3UFxxA シリーズ) / オートディスチャージ無 (TCR3UFxxB シリーズ) を準備
- 過電流保護回路内蔵
- 過熱保護回路内蔵
- 突入電流抑制回路内蔵
- コントロール端子はプルダウン接続
- セラミックコンデンサーを使用可能 ($C_{IN} = 1 \mu\text{F}$, $C_{OUT} = 1 \mu\text{F}$)
- 汎用パッケージ SMV (SOT-25) (SC-74A)

外観と端子配置



SMV(SOT-25)(SC-74A)



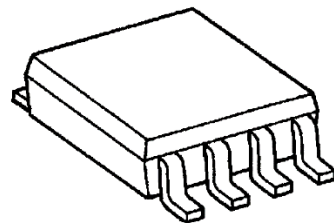
2.4. コンパレータ TC75W57FK

本インバーターでは過電流検出用コンパレータとして [TC75W57FK](#) を使用しています。

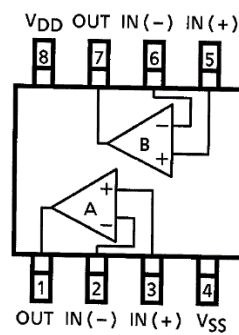
特長

- 低消費電流 : $I_{DD} = 200 \mu\text{A}$ (標準)
- 単一電源動作
- 同相入力電圧範囲が広い : $V_{SS} \sim V_{DD} - 0.9 \text{ V}$
- 出力回路はプッシュプル出力
- 低入力バイアス電流
- 小型パッケージ

外観と端子配置



SSOP8-P-0.50A



3. マルチレベルインバーターとは

3.1. 2レベルインバーターの動作

一般的な2レベルインバーターの構成要素であるハーフブリッジ回路例を図3.1に示します。図に示すようにスイッチング素子として上側アームにMOSFET Q1、下側アームにMOSFET Q2を使用し、バス電圧Eが供給されています。図3.2のようにそれぞれQ1、Q2のオン/オフによりインバーター出力VoutからはE(バス電圧)、または0(GND電圧)の2レベルの電圧が出力されます。

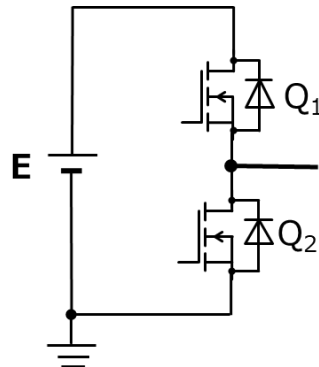


図 3.1 ハーフブリッジ回路例

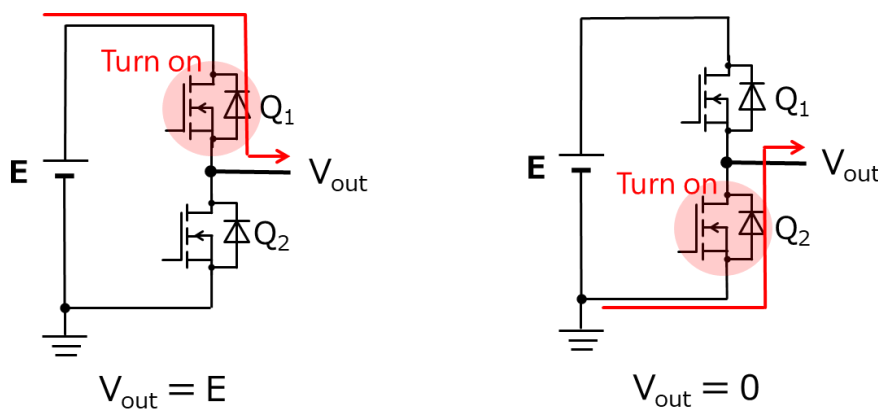


図 3.2 2レベルインバーターのスイッチング動作

このスイッチング素子のオン/オフをPWM制御することで、出力電圧を制御します。正弦波の相電圧出力例を図3.3に示します。

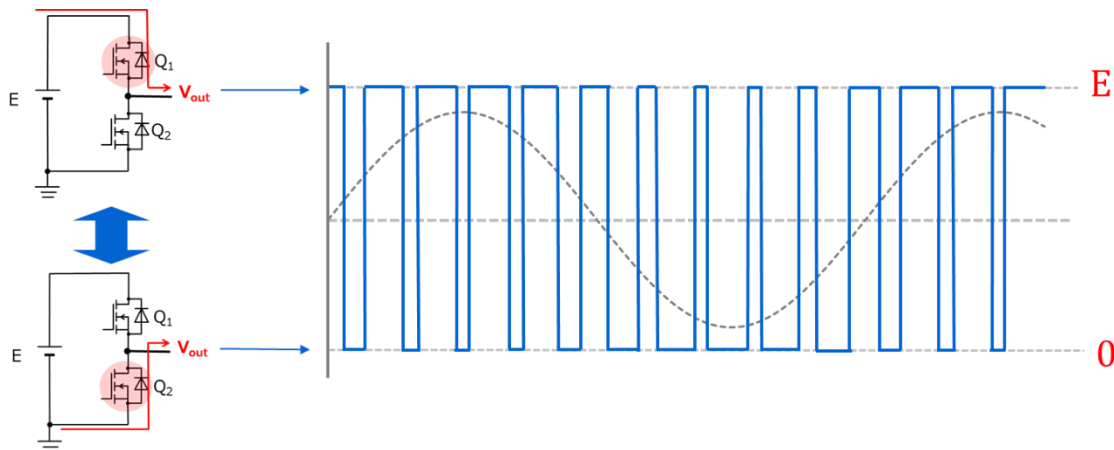


図 3.3 2レベルインバーターによる相電圧 (正弦波) 出力例

3相2レベルインバーターの構成を図3.4に示します。3相2レベルインバーターはハーフブリッジ回路が3回路にて構成された3相フルブリッジ構成であり、各相のスイッチングをPWM制御することにより各相間で120°位相差のある3相交流が出力されます。3相2レベルインバーターにおける正弦波の相電圧出力例を図3.5に示します。

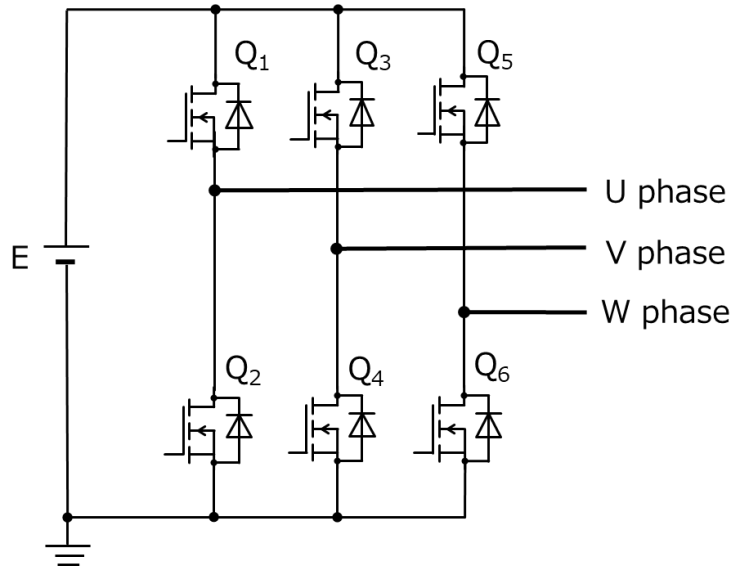


図 3.4 3相2レベルインバーターの構成例

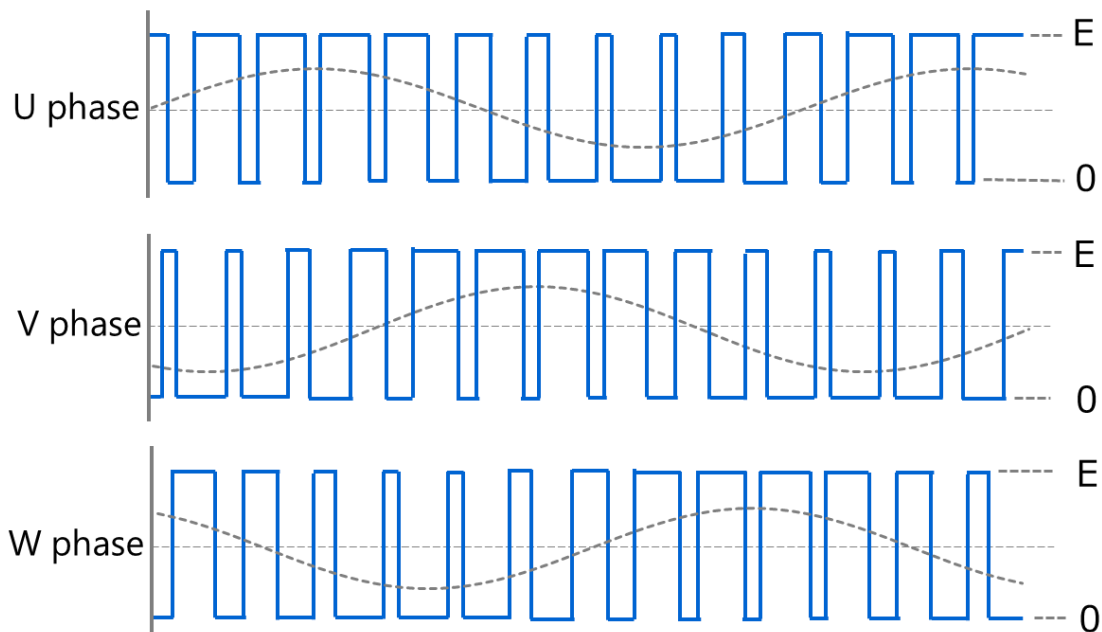


図 3.5 3相2レベルインバーターの相電圧（正弦波）出力例

3.2. マルチレベルインバーターの概要

前述の2レベルインバーターでは各アームにMOSFETなどのスイッチング素子を1個ずつ使用しますが、マルチレベルインバーターは各アームに複数のスイッチング素子を多段接続する構成となります。マルチレベルインバーターは入力電圧を分圧することで出力電圧の分解能を上げることができるため、2レベルインバーターと比較して、正弦波に近い波形が出力でき効率向上が期待できます。また出力リップル電流を小さくでき、スイッチング周波数を上げることなく高調波の低減が可能です。さらにゲート制御回路によっては2レベルインバーターと比較して低耐圧のスイッチング素子の使用が可能となります。

マルチレベルインバーターには、NPC (Neutral Point Clamped 中性点クランプ) 方式、T-NPC方式、フライングキャパシター方式などいくつかの回路方式がありますが、本インバーターではNPC方式を実現しています。

3.3. マルチレベルインバーターの動作

上下各アームにそれぞれ 2 個の MOSFET を使用した 3 レベルインバーターのスイッチング動作を図 3.6 に示します。インバーター出力電圧 V_{out} は、 Q_1 と Q_2 がオンの時はバス電圧 E 、 Q_2 と Q_3 がオンの時は $\frac{1}{2}E$ 、 Q_3 と Q_4 がオンの時は 0 の 3 レベルの出力が可能です。 Q_1 と Q_3 、ならびに Q_2 と Q_4 はそれぞれ相補動作するため同時にはオンしません。インバーター動作時は電源側から負荷に電流を供給するだけでなく、誘導性負荷から電源側に電流が戻る期間が存在するため、図 3.6 では電流の向きを双方向で示しています。

このように、3 レベルインバーターは 2 レベルインバーターと比較して、スイッチング素子の数は 2 倍になりますが、出力電圧の分解能は 1.5 倍になるため、出力電圧をきめ細かく制御できる利点があります。3 レベルインバーターの相電圧出力例を図 3.7 に示します。

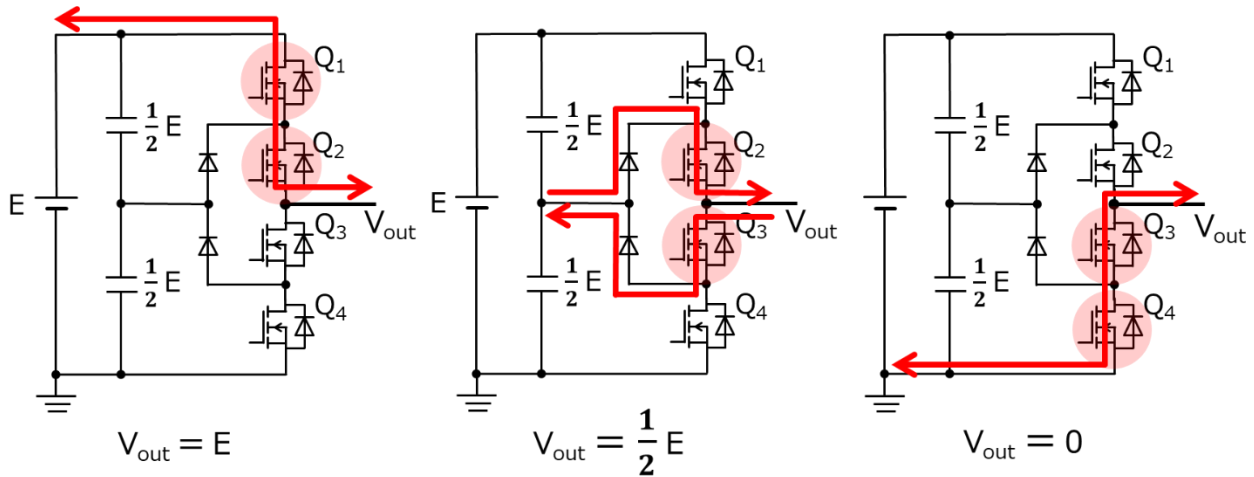


図 3.6 3 レベルインバーターのスイッチング動作

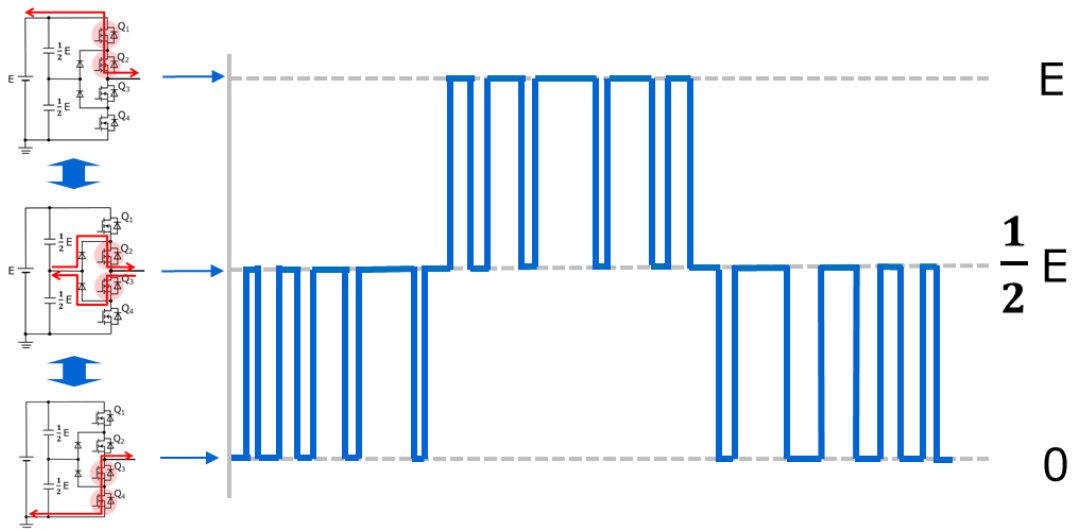


図 3.7 3 レベルインバーターの相電圧出力例

ここで、2 レベルインバーターと 3 レベルインバーターの出力電圧の振幅と、各スイッチング素子に印可される電圧を考えます。どちらのバス電圧も同じ E とすると、2 レベルインバーターの出力は E と 0 なので出力電圧の振幅は E 、各スイッチング素子に印可される電圧も E となります。一方、3 レベルインバーターの出力は E 、 $\frac{1}{2}E$ 、0 なので、各スイッチング区間での出力電圧の振幅は $\frac{1}{2}E$ 、各スイッチング素子に印可される電圧も $\frac{1}{2}E$ となります。3 レベルインバーターでは 2 レベルインバーターに比べ、各スイッチング素子に印可される電圧が $\frac{1}{2}$ となるため、バス電圧に対して耐圧が半分のスイッチング素子が使用可能です。一般に MOSFET などのスイッチング素子は耐圧が高い場合は、単位面積あたりのオン抵抗増大などの影響でスイッチング用途での

損失は悪化する傾向にありますが、マルチレベルインバーターでは耐圧の低い素子を使用できるためインバーターの損失低減が可能です。

同様に上下各アームにそれぞれ 4 個の MOSFET を使用した 5 レベルインバーターのスイッチング動作を図 3.8 に示します。インバーター出力電圧 V_{out} は、各 MOSFET のスイッチングにより E 、 $\frac{3}{4}E$ 、 $\frac{1}{2}E$ 、 $\frac{1}{4}E$ 、 0 の 5 レベルの出力が可能です。5 レベルインバーターの相電圧出力例を図 3.9 に示します。5 レベルインバーターは 3 レベルインバーターと比較してさらに出力電圧をきめ細かく制御できます。また 5 レベルインバーターでは 2 レベルインバーターに比べ、各スイッチング素子に印可される電圧が $\frac{1}{4}$ となるため、バス電圧に対して耐圧が $\frac{1}{4}$ のスイッチング素子が使用可能です。

本インバーターでは図 3.10 のように 5 レベルインバーターにて 3 相インバーターを実現しています。

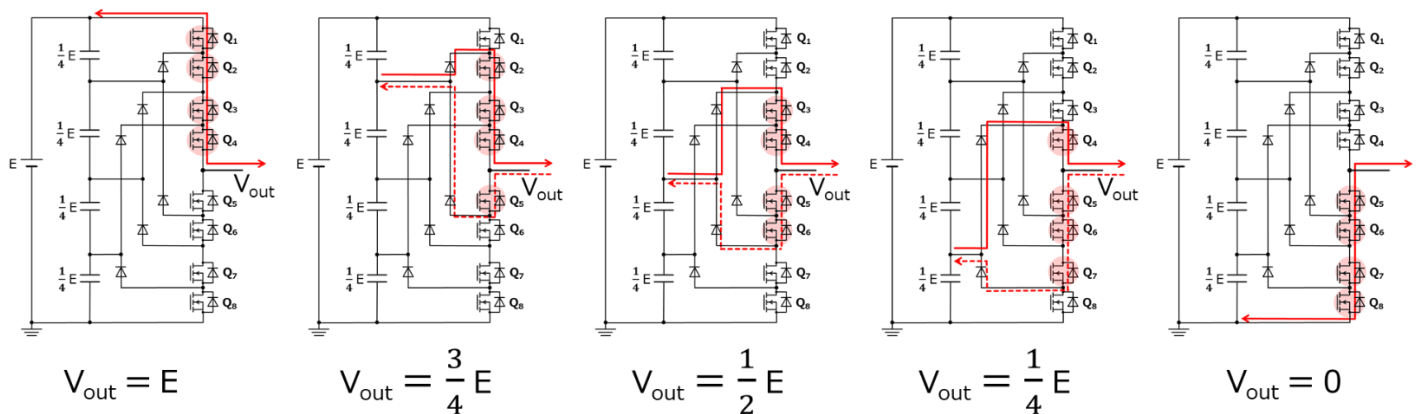


図 3.8 5 レベルインバーターのスイッチング動作

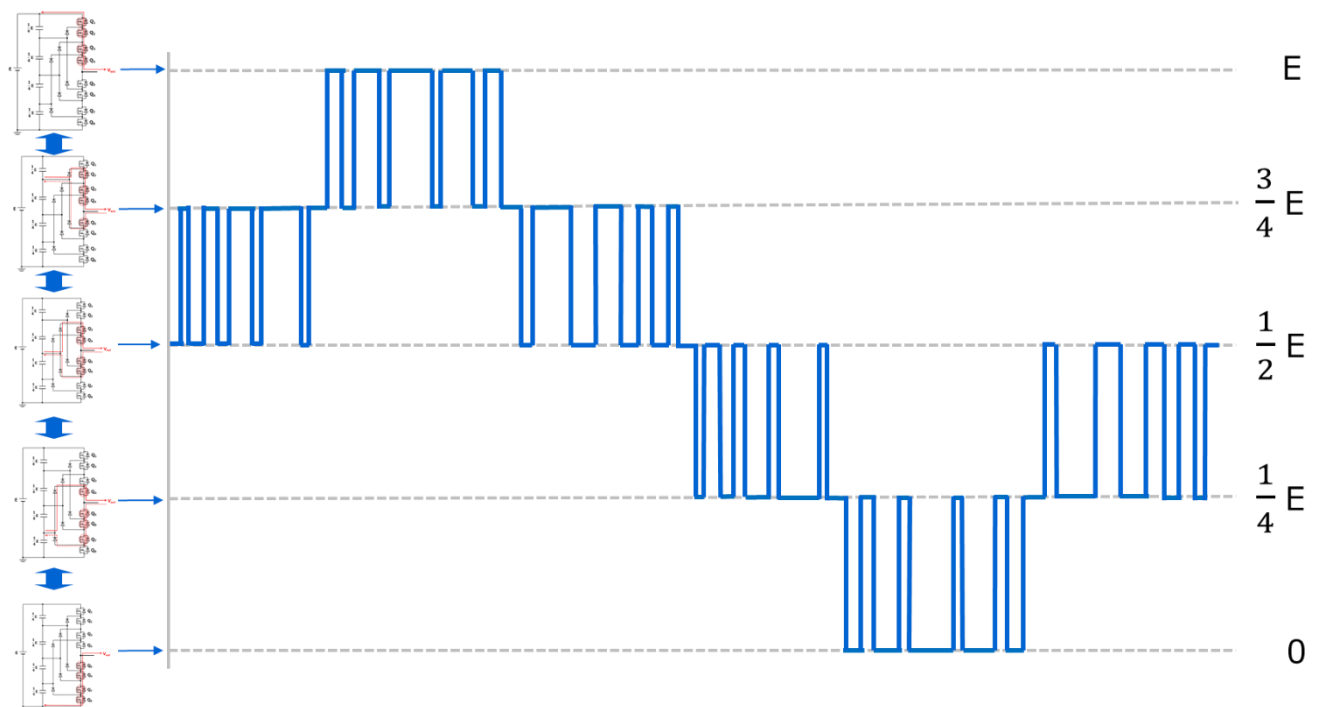


図 3.9 5 レベルインバーターの相電圧出力例

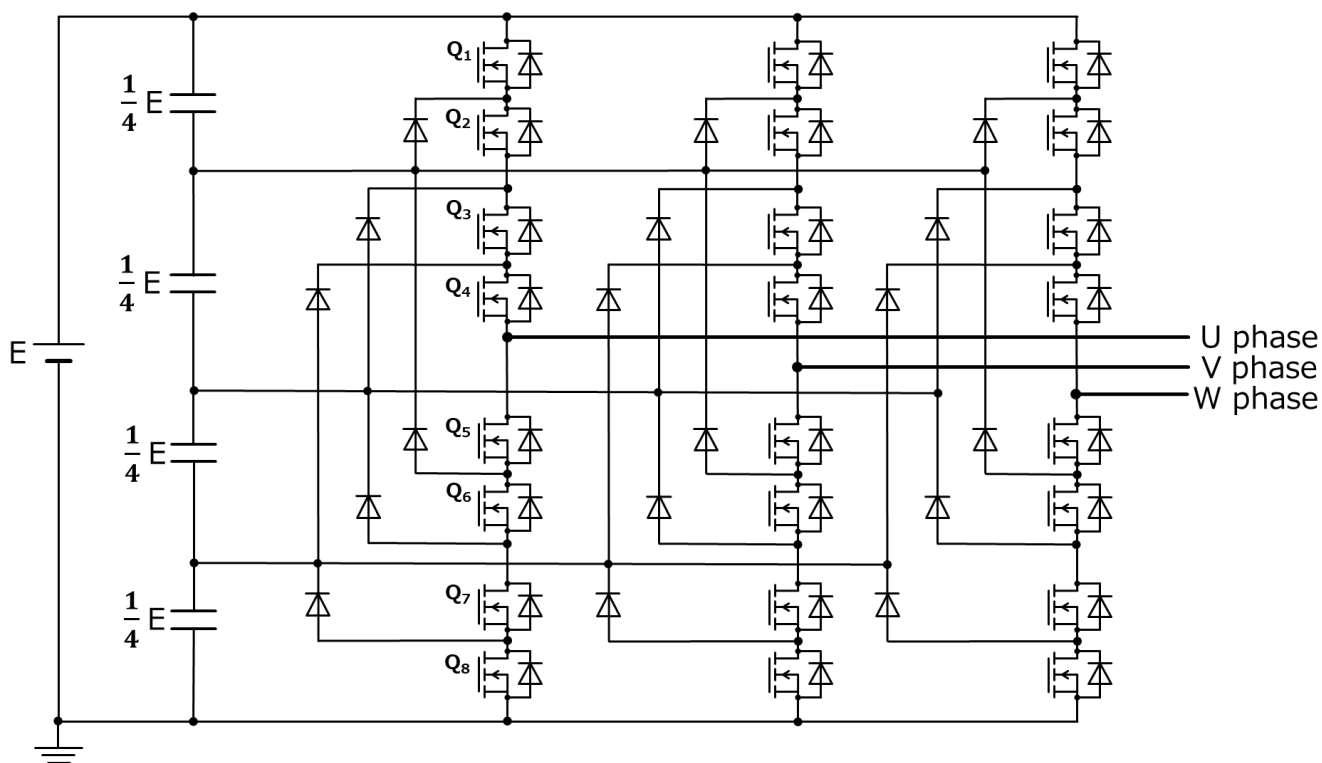


図 3.10 三相 5 レベルインバーター構成例

4. 回路設計

ここでは、回路設計の要点について説明します。回路図については RD208-SCHEMATIC を、部品表については RD208-BOM を参照してください。図 4.1 に本インバーターブロック図を示します。

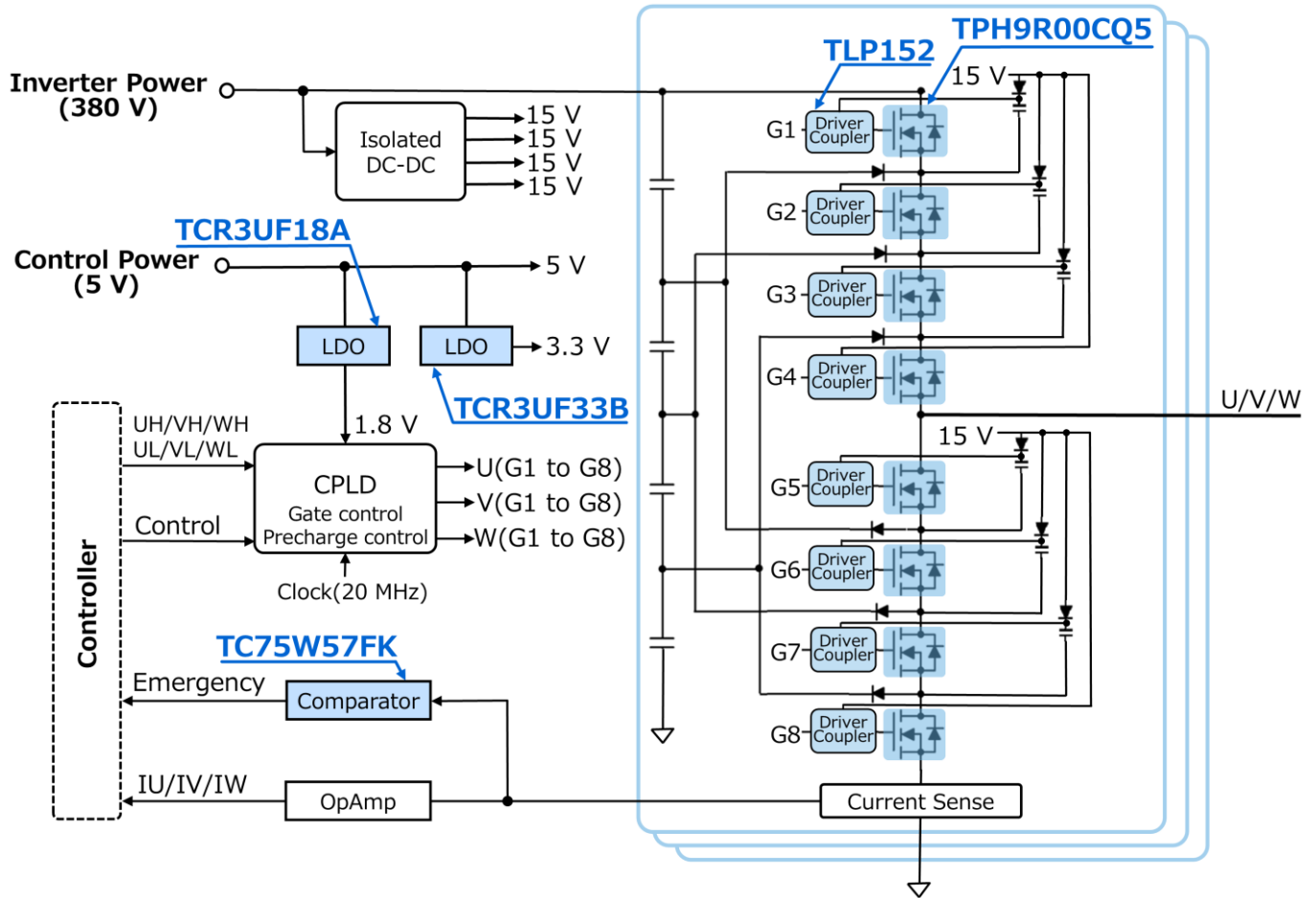


図 4.1 MOSFET 応用 3 相マルチレベルインバーターブロック図

4.1. 絶縁電源回路

本インバーターはインバーター入力電源端子 (CN1) から供給される DC400 V (最大) と制御電源端子 (CN2) から供給される DC5 V により動作します。DC400 V 入力の絶縁電源回路によりゲート駆動回路用の電源を生成します。図 4.2 に絶縁電源回路の構成を示します。

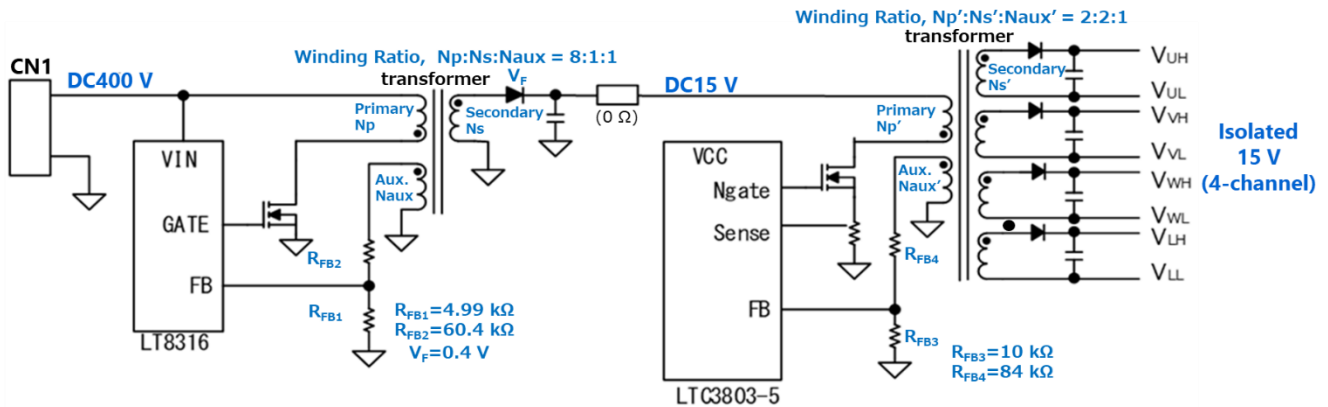


図 4.2 絶縁電源回路

4.1.1. DC400 V入力/DC15 V出力 絶縁DC-DCコンバーター

図 4.2 の絶縁電源の前段 (DC400 V 入力/DC15 V 出力) の出力電圧 V_{out1} は電源コントローラーIC (LT8316) の FB ピンの FB ピンに接続される分圧抵抗値 (図 4.2 の R_{FB1} 、 R_{FB2})、トランスの Aux - 2 次の巻線比 N_{TS} (本回路では巻線比 1:1 のため $N_{TS} = 1$)、ならびに出力ダイオードの電圧降下 V_F (本回路では $V_F = 0.4$ V) で決まります。

$$V_{out1} = \left(1 + \frac{R_{FB2}}{R_{FB1}}\right) \times \frac{\text{内部リファレンス電圧 } 1.22 \text{ (V)}}{N_{TS}} - V_F$$

であり、

$$R_{FB1} = 4.99 \text{ k}\Omega, \quad R_{FB2} = 60.4 \text{ k}\Omega,$$

とすると

$$\begin{aligned} V_{out1} &= \left(1 + \frac{60.4 \times 10^3}{4.99 \times 10^3}\right) \times \frac{1.22}{1} - 0.4 \\ &\cong 15.6 \text{ (V)} \end{aligned}$$

となります。

4.1.2. DC15 V入力/DC15 V-4ch出力 絶縁DC-DCコンバーター

図 4.2 の 絶縁電源の後段 (DC15 V 入力/DC15 V-4ch 出力) の出力電圧 V_{out2} は電源コントローラIC (LTC3803-5) の FB ピンに接続される分圧抵抗値 (図 4.2 の R_{FB3} 、 R_{FB4}) およびトランスの $Aux - 2$ 次の巻線比 $N_{TS'}$ (本回路では巻線比 1:2 のため $N_{TS'} = 0.5$) で決まります。

$$V_{out2} = \left(1 + \frac{R_{FB4}}{R_{FB3}}\right) \times \frac{\text{内部リファレンス電圧 } 0.8 \text{ (V)}}{N_{TS'}}$$

であり

$$R_{FB3} = 10 \text{ k}\Omega, R_{FB2} = 84 \text{ k}\Omega,$$

とすると

$$\begin{aligned} V_{out2} &= \left(1 + \frac{84 \times 10^3}{10 \times 10^3}\right) \times \frac{0.8}{0.5} \\ &\cong 15.0 \text{ (V)} \end{aligned}$$

となります。

4.2. CPLD 用電源回路 (3.3 V, 1.8 V)

制御電源端子から供給される DC5 V からゲート制御を行う CPLD 等の電源を生成します。本インバーターで使用している CPLD の I/O 電圧は 3.3 V、コア電圧は 1.8 V であり、3.3 V 生成 LDO には TCR3UF33A (IC4)、1.8 V 生成 LDO には TCR3UF18A (IC5) を使用しています。CPLD 用電源回路を図 4.3 に示します。

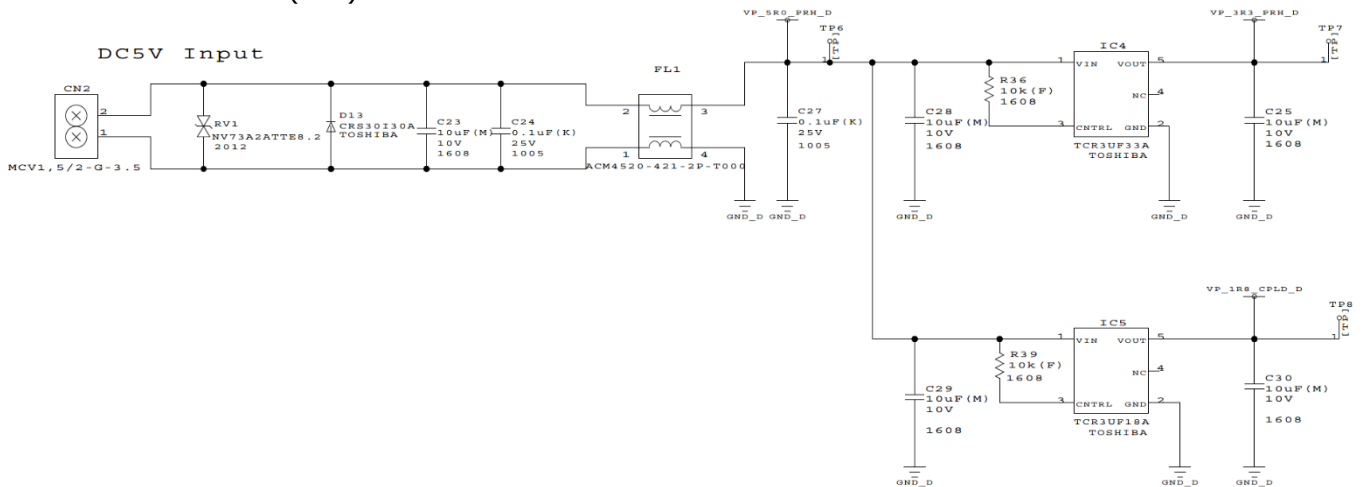


図 4.3 CPLD 用電源回路

4.3. ゲートドライバー電源回路

インバーターのアーム内の各段の MOSFET はスイッチング動作中にソース電位が変化するため、各段にゲートドライバー電源が必要になります。各相の上側アームの基準電位と、全相の下側アームの基準電位（各相同電位）が異なるので、U 相上側アーム、V 相上側アーム、W 相上側アーム、ならびに下側アーム（U 相/V 相/W 相共通）用に 4 個の独立した 15 V 絶縁電源を用意します。各アーム内の最下段の MOSFET 以外のゲートドライバー電源は 15 V 絶縁電源を入力として、ダイオードとコンデンサーで構成されるブートストラップ回路により実現されます。

インバーター動作開始前に、これら各段のコンデンサーを充電（プリチャージ）するため外部コントローラーや本インバーターで搭載している CPLD によるゲート信号制御が必要です。図 4.4 に上側アームを例として、ゲートドライバー電源コンデンサーの充電シーケンスを示します。Q₄ のゲートドライバーは常時 15 V 絶縁電源が給電されているため常時 Q₄ のゲート駆動が可能です。最初に (a) の通り、一定期間 Q₄ をオンにすることで Q₃ のゲートドライバー電源コンデンサーが充電され、Q₃ のゲート駆動が可能になります。次に (b) の通り、一定期間 Q₄ および Q₃ をオンにすることで、Q₂ のゲートドライバー電源コンデンサーが充電され、Q₂ のゲート駆動が可能になります。最後に (c) の通り一定期間 Q₄、Q₃ および Q₂ をオンにすることで、Q₁ のゲートドライバー電源コンデンサーが充電され、Q₁ のゲート駆動が可能となります。他のアームも動作開始前に同様の充電シーケンスが必要です。

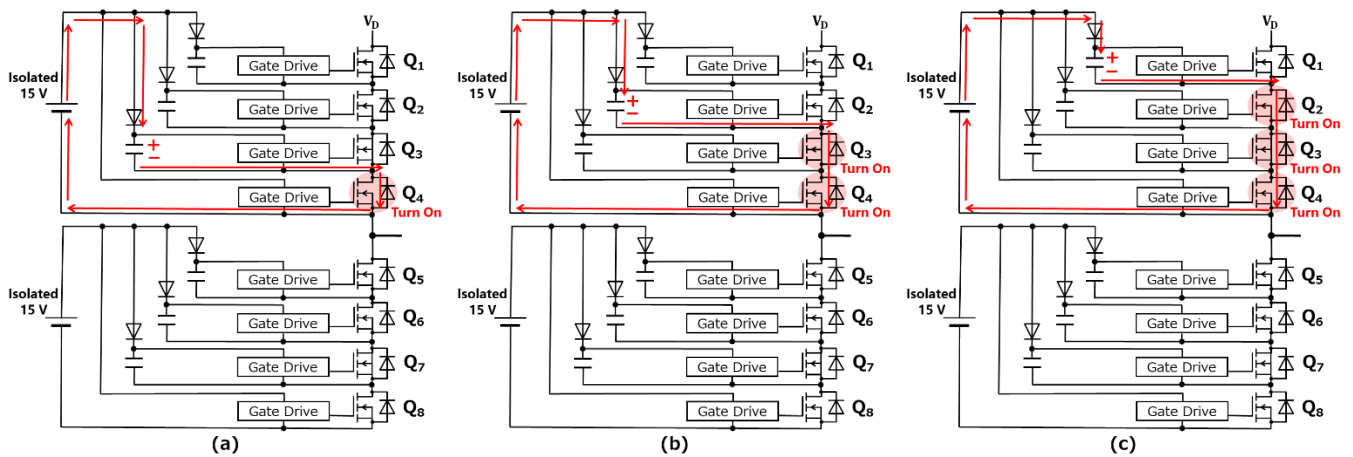


図 4.4 ゲートドライバー電源コンデンサーの充電シーケンス

4.4. ゲートドライブ回路

ゲート駆動用のドライバーカップラー-TLP152 で各 MOSFET を駆動しています。CPLD からのゲート制御信号が H レベルになると MOSFET (SSM3K15AFU) がオンして TLP152 の一次側ダイオードに入力順電流が流れます。これにより二次側のゲート駆動回路のハイサイド側がオンになることで MOSFET (TPH9R00CQ5) がオンします。逆に CPLD からのゲート制御信号がオフになると TLP152 の一次側のダイオードはオフとなるため、二次側に接続された MOSFET (TPH9R00CQ5) もオフします。この時のインバータスイッチング用 MOSFET (TPH9R00CQ5) のゲート駆動動作を図 4.5 に示します。本インバータはデフォルトでターンオン時の外付けゲート抵抗を 22 Ω、ターンオフ時の外付けゲート抵抗も 22 Ωとしていますが、使用するスイッチング周波数、バス電圧等によって最適値が異なりますので実際の設計仕様に応じ最適化してください。

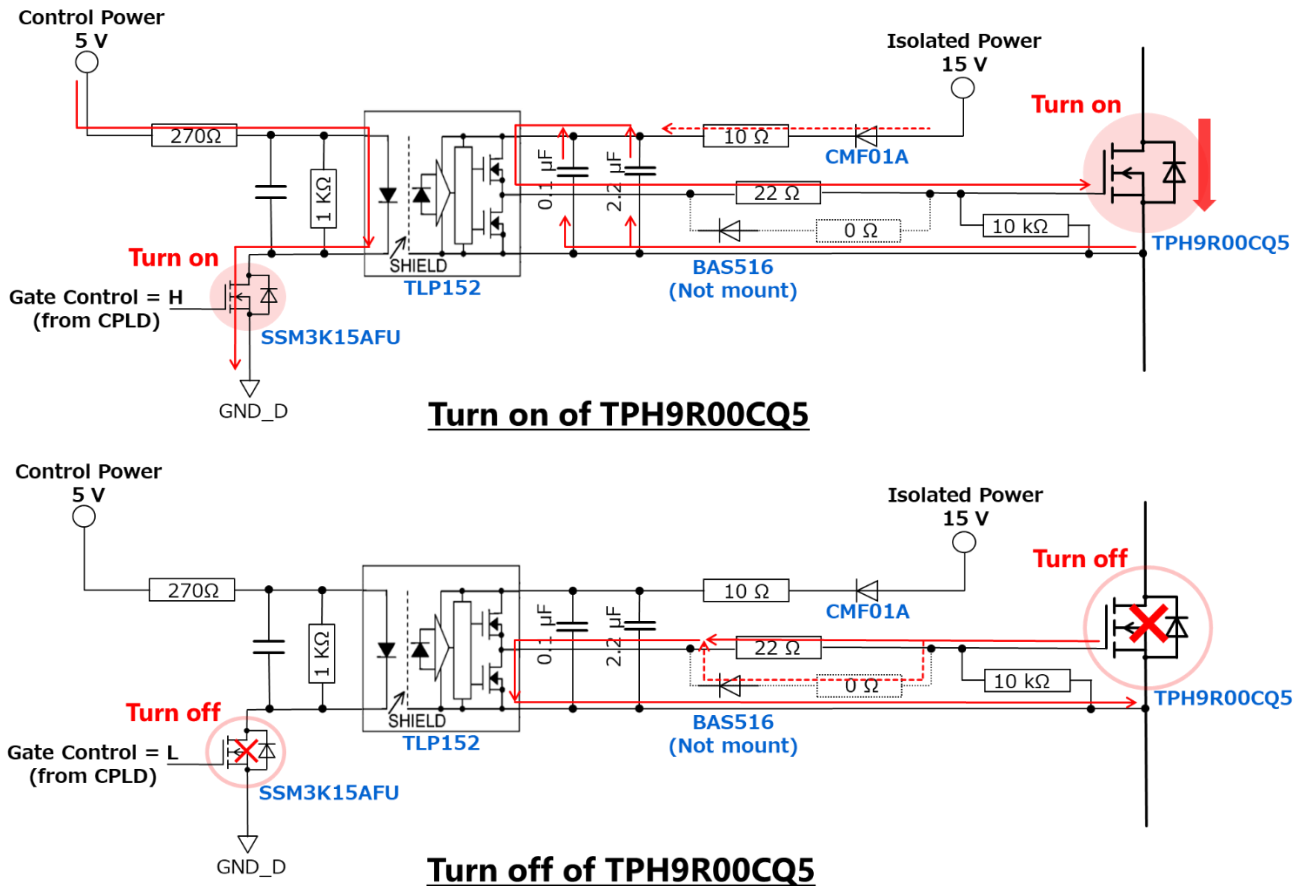


図 4.5 インバータスイッチング用 MOSFET のゲート駆動動作

4.5. 電流検出回路

4.5.1. 電流センサー

電流センサーの構成を図 4.6 に示します。インバーター回路の各相には電流センサーが接続されており、検出した各相の電流は電圧出力に変換されシャント電流出力回路、ならびに過電流検出回路に入力されます。電流センサーに入力される各相の入力電流と出力電圧の関係は以下の通りです。

$$V_{ISEN_OUT} = S \times I_{phase} + V_{REF} \cdots \cdots (1)$$

ここで

V_{ISEN_OUT} : 電流センサー出力電圧 [V]

S : Sensitivity (感度) = 0.05 [V/A]

I_{phase} : 各相の入力電流 [A]

V_{REF} : 基準電圧 = 1.65 [V]

となります。

上記より電流センサー出力電圧 V_{ISEN_OUT} は基準電圧 1.65 V を中心に 1.65 V 以上の時は各相の電流が GND 方向への電流、1.65 V 未満の時は GND 方向からの電流となります。

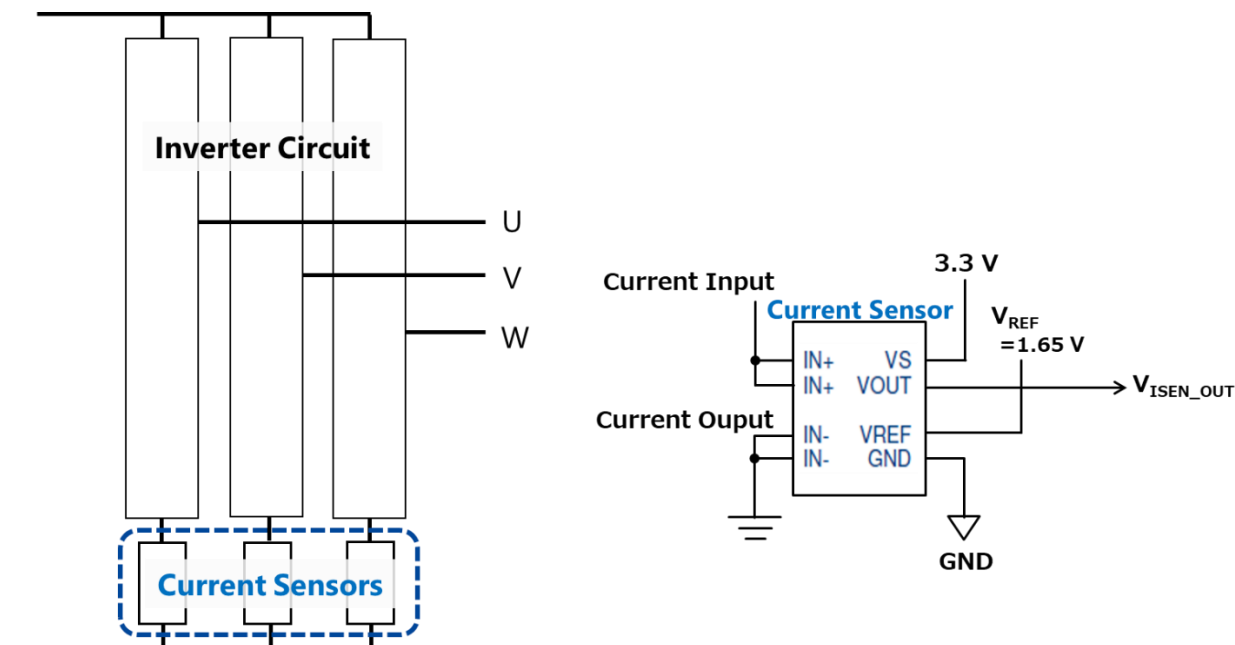


図 4.6 電流センサー

4.5.2. 電流出力回路

電流出力回路を図 4.7 に示します。

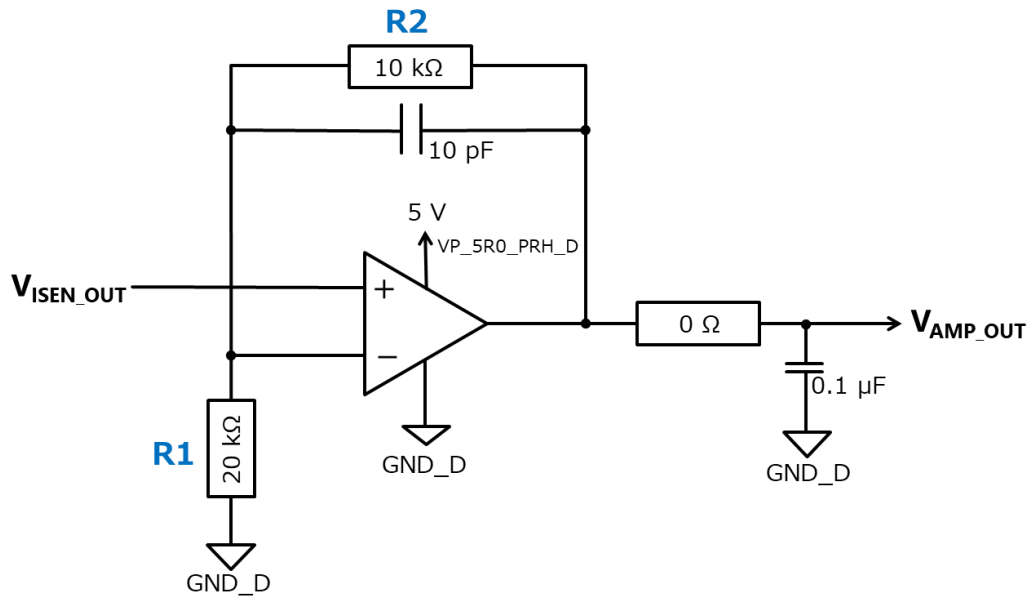


図 4.7 電流出力回路

各相の電流センサーの出力電圧 V_{ISEN_OUT} をオペアンプを用いた非反転増幅回路で増幅しコントローラー接続コネクタへ出力します。コントローラー接続コネクタへの出力 V_{AMP_OUT} は以下の式で表され、図 4.7 のように抵抗値 $R1 = 20 \text{ k}\Omega$, $R2 = 10 \text{ k}\Omega$ の場合は

$$\begin{aligned} V_{AMP_OUT} &= \frac{R1 + R2}{R1} \times V_{ISEN_OUT} \\ &= \frac{20 \times 10^3 + 10 \times 10^3}{20 \times 10^3} \times V_{ISEN_OUT} \\ &= 1.5 \times V_{ISEN_OUT} \\ &= 0.075 \times I_{\text{phase}} + 2.475 \end{aligned}$$

となります。

4.5.3. 過電流検出回路

過電流検出回路を図 4.8 に示します。

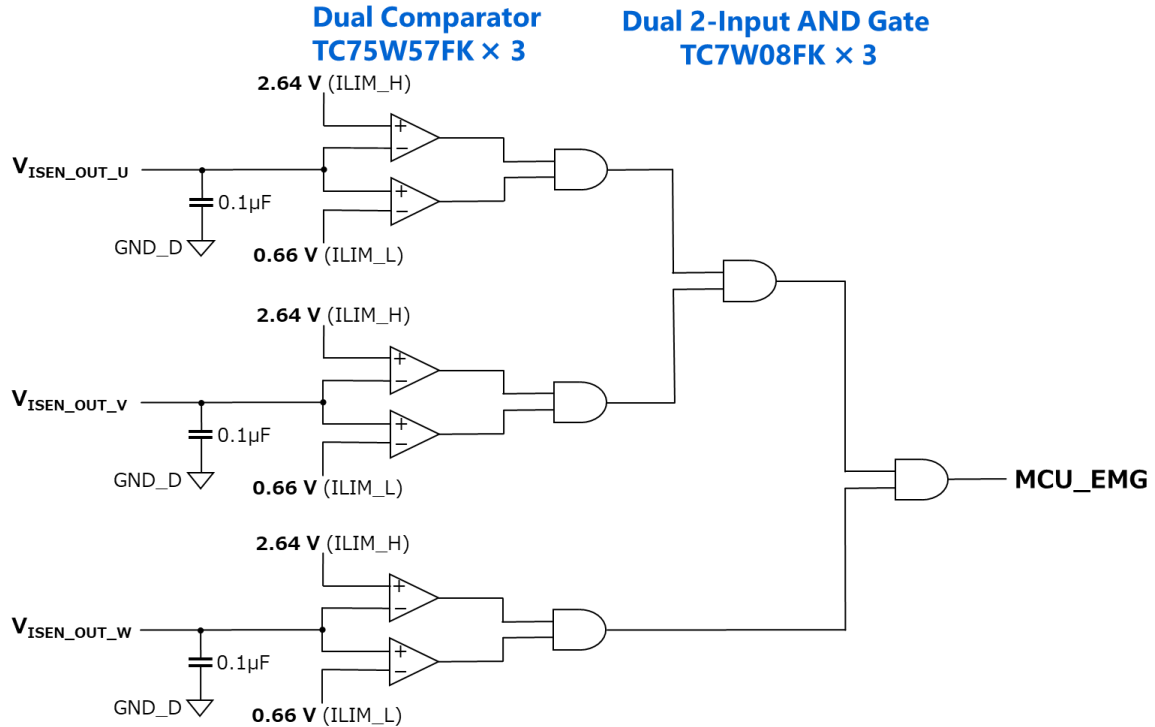


図 4.8 過電流検出回路

各相からの入力 V_{ISEN_OUT} はそれぞれコンパレーターにて電圧が比較されます。コンパレーター入力にはそれぞれ基準電圧として $ILIM_H$ (2.64 V)、または $ILIM_L$ (0.66 V) が接続されますが、これらの電圧値は前述の式 (1) より $V_{ISEN_OUT} = 2.64$ V の時 $I_{phase} = 20$ A、また $V_{ISEN_OUT} = 0.66$ V の時 $I_{phase} = -20$ A 相当の電圧となります。 $ILIM_H$ がコンパレーターの+入力、 V_{ISEN_OUT} がコンパレーターの-入力の場合は $V_{ISEN_OUT} > 2.64$ V の時、つまり $I_{phase} > 20$ A でコンパレーターの出力が L レベルになります。また V_{ISEN_OUT} がコンパレーターの+入力、 $ILIM_L$ がコンパレーターの-入力の場合は、 $V_{ISEN_OUT} < 0.66$ V の時、つまり $I_{phase} < -20$ A でコンパレーターの出力が L レベルになります。各相のセンサー出力 $V_{ISEN_OUT_U}$, $V_{ISEN_OUT_V}$, $V_{ISEN_OUT_W}$ に対してこの電圧比較が行われます。過電流検出信号 MCU_EMG は過電流検出時に L レベル出力となる負論理出力仕様となっており、合計 6 個のコンパレーターの出力のうちどれかが L レベル出力になると最終段の AND ゲートの出力 (= MCU_EMG 信号) が L となり過電流であることを示します。

ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第4条 準拠法

本規約の準拠法は日本法とします。