

**TOSHIBA**

32 ビット RISC マイクロコントローラ  
TX03 シリーズ

TMPM341FDXBG/FYXBG

株式会社 **東芝**

セミコンダクター & ストレージ社

Not Recommended  
for New Design

Not Recommended for New Design

\*\*\*\*\*  
ARM, ARM Powered, AMBA, ADK, ARM9TDMI, TDMI, PrimeCell, RealView, Thumb, Cortex, Coresight, ARM9, ARM926EJ-S, Embedded Trace Macrocell, ETM, AHB, APB, and KEIL はARM LimitedのEUおよびその他の国における登録商標または商標です。  
\*\*\*\*\*

**ARM**<sup>®</sup>

## 重要なお知らせ

本製品を使用するにあたり、本章の内容を必ずご確認ください。

### 1 シリアルバスインタフェース

I2C バスモードをマルチマスタで使用する場合に制約があります。

#### 1.1 発生する現象

I2C バスモード マルチマスタ使用時に複数のマスタが同時に通信を開始すると以下のような現象が発生する可能性があります。

1. 通信がロックする
2. SCL のパルス幅が短くなり I2C の通信規格を満たせない

#### 1.2 現象の発生条件

本現象は I2C バスモードをマルチマスタで使用時にのみ発生します。シングルマスタで使用している場合は発生しません。

#### 1.3 制約（回避策）

本現象の回避策はありませんので、ソフトウェアによるリカバリ処理を行ってください。

#### 1.4 現象発生時の復帰方法

ソフトウェアによるリカバリ処理を行ってください。

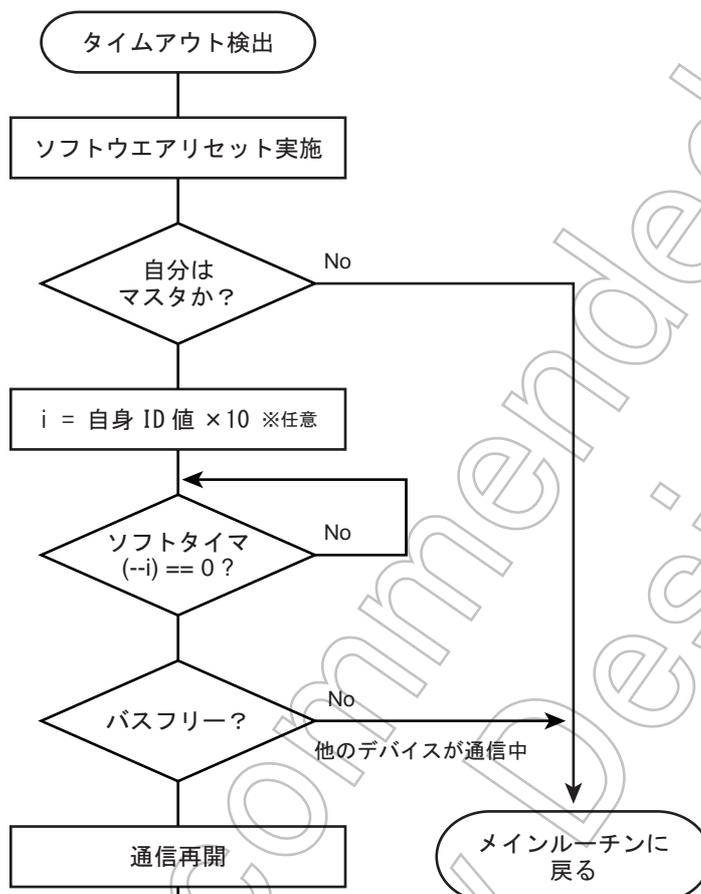
タイマを利用して、通信ロック検出用のタイムアウト処理を追加してください。

##### 処理例

1. 送信開始と共にタイマカウントを開始します。
2. 一定時間内にシリアルバスインタフェース割り込み (INTSBIX) が発生しない場合は、タイムアウトと判断します。
3. タイムアウトと判断した場合、通信がロックしている可能性がありますので、シリアルバスインタフェースのソフトウェアリセットを実行してください。該当回路は初期化され通信ロックが解除されます。
4. 送信データを再送してください。

通常は 1 ~ 4 のリカバリ処理で良いですが、複数の対象製品をマスタとして使用していた場合は、再送時に再度バスが衝突することを避けるため、4 の送信データの再送を行う前にデバイスごとにディレイを設けタイミングをずらす処理も追加してください。

タイムアウト後のリカバリ処理例



Not Recommended for New Design

## 2 低消費電力モードへの遷移とマスク不能割り込み

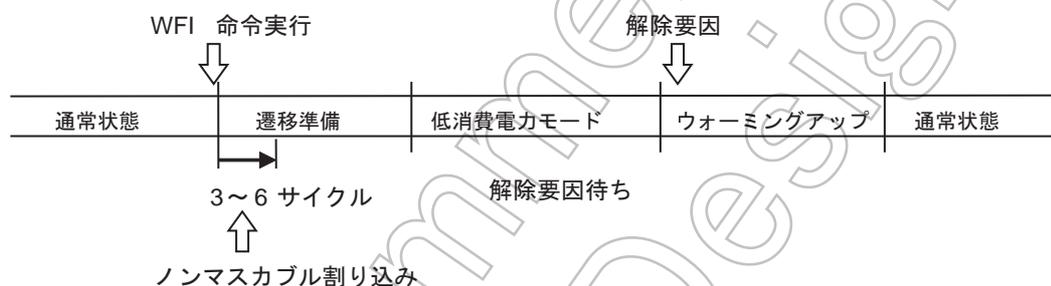
以下の低消費電力モードへの遷移時にマスク不能割り込み (NMI) が発生した際の注意点を記載します。

- STOP1
- STOP2

### 2.1 発生する現象

上記低消費電力モードへ遷移するための WFI 命令実行時にマスク不能割り込み (NMI) が発生した場合、低消費電力モードの解除処理には入らず、そのまま低消費電力モードへ遷移する場合があります。

- 注 1) CPU への NMI 通知やフラグセットは正常なため、低消費電力モード解除後の NMI 処理は可能です。  
注 2) 低消費電力モードへ遷移した場合、NMI 以外の解除要因は受け付けますが、NMI は受け付けません。



### 2.2 現象の発生条件

- WFI 命令により該当する低消費電力モードへ遷移
- WFI 命令実行後、3 サイクル ~ 6 サイクル内でマスク不能割り込みが発生

### 2.3 対処方法

該当する低消費電力モードの解除要因としてマスク不能割り込みを使用しないようにしてください。

マスク不能割り込みが発生しないよう、該当する低消費電力モード遷移前に下記の処置を行ってください。

- NMI 端子：入力を "High" に固定
- ウォッチドッグタイマ：動作停止、またはリセット出力設定
- 電圧検出回路：動作停止、またはリセット出力設定

Not Recommended  
for New Design

## はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

### a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000\_0000

レジスタ名	Address(Base+)
コントロールレジスタ	SAMCR 0x0004
	0x000C

注) SAMCR レジスタのアドレスは 0x0000\_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

## b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

## 1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE		TDATA					
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000: サンプルモード 0 に設定 001: サンプルモード 1 に設定 010: サンプルモード 2 に設定 011: サンプルモード 3 に設定 上記以外: Reserved
6-0	TDATA[6:0]	W	送信データ

注) Type は基本的に下記 3 種類となります。

R / W:	READ WRITE	読み出し/書き込み可能
R:	READ	読み出しのみ可能
W:	WRITE	書き込みのみ可能

## c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x: チャンネル番号/ポート
- n,m: ビット番号

## d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>  
例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"  
<MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2~0 ビット目を意味します。
- レジスタ名[Bit]  
例: SAMCR[9:7]="000"  
レジスタ SAMCR(32 ビット幅)の 9~7 ビット目を意味します。

Not Recommended  
for New Design

---

## 改訂履歴

日付	版	改訂理由
2011/01/25	Tentative 1	First Release
2011/04/18	Tentative 2	Contents Revised
2011/09/10	1	First Release
2013/05/24	2	Contents Revised
2023/07/21	3	Contents Revised

Not Recommended  
for New Design



# 目次

---

---

## はじめに(本仕様書での SFR 表記に関する注意点)

---

---

### TMPM341FDXBG/FYXBG

---

---

1.1	機能概要	1
1.2	ブロック図	4
1.3	ピン配置図(Top view)	5
1.4	ピン名称と機能	6
1.4.1	ピン番号順	6
1.4.2	ポート順	14
1.5	電源の種類と供給端子	22

---

---

## 第2章 プロセッサコア

---

---

2.1	コアに関する情報	23
2.2	構成可能なオプション	23
2.3	例外/割り込み	24
2.3.1	割り込み本数	24
2.3.2	割り込み優先度ビット数	24
2.3.3	SysTick	24
2.3.4	SYSRESETREQ	24
2.3.5	LOCKUP	24
2.3.6	補助フォールトステータスレジスタ	24
2.4	イベント	25
2.5	電力管理	25
2.6	排他アクセス	25

---

---

## 第3章 エンディアン

---

---

3.1	Cortex-M3 コアのエンディアン仕様	27
3.2	TMPM341FDXBG/FYXBG のエンディアン仕様	27
3.2.1	シングルモード	27
3.2.2	シングルブートモード	28
3.2.3	その他	28
3.2.3.1	DMAC からみたエンディアン	
3.2.3.2	デバッグツールから見たエンディアン	
3.3	設定方法とエンディアン形式	28
3.3.1	TMPM341FDXBG/FYXBG の動作設定	28
3.3.2	動作モード	29
3.3.3	ENDIAN 端子	30
3.3.4	外部バス領域のエンディアン選択	30
3.3.5	DMAC のエンディアン選択	30
3.4	構成	31
3.4.1	リトルエンディアンのブロック構成	31
3.4.2	ビッグエンディアンのブロック構成	33

---

---

<b>3.5 動作説明</b> .....	34
3.5.1 ビッグエンディアン形式の違い.....	34
3.5.2 制御レジスタアクセス.....	35
3.5.3 外部バス動作.....	37
3.5.3.1 データサイズ 32 ビット.....	
3.5.3.2 データサイズ 16 ビット.....	
3.5.3.3 データサイズ 8 ビット.....	
3.5.4 コンパイル結果のメモリイメージ.....	40
3.5.5 シングルブートモードでの動作.....	40
3.5.5.1 内蔵メモリへのデータ転送.....	
3.5.5.2 外部メモリへのデータ転送.....	

---

## 第4章 メモリマップ

---

<b>4.1 メモリマップ</b> .....	45
4.1.1 TPM341FDXBG/FYXBG メモリマップ.....	46
<b>4.2 SFR 領域詳細</b> .....	48

---

## 第5章 外部バスインターフェース(EBIF)

---

<b>5.1 機能概要</b> .....	49
<b>5.2 アドレス、データ端子</b> .....	50
5.2.1 アドレス、データ端子の設定.....	50
<b>5.3 レジスタ説明</b> .....	51
5.3.1 レジスタ一覧.....	51
5.3.2 EXBMOD (外部バスモードコントロールレジスタ).....	52
5.3.3 EXBASx (外部バス空間エリア/スタートアドレス設定レジスタ).....	53
5.3.4 EXBCSx (外部バスチップセレクトコントロールレジスタ).....	54
<b>5.4 データ・フォーマット</b> .....	55
5.4.1 リトルエンディアンモード.....	55
5.4.1.1 ワードアクセス.....	
5.4.1.2 ハーフワードアクセス.....	
5.4.1.3 バイトアクセス.....	
5.4.2 ビッグエンディアンモード.....	58
5.4.2.1 ワードアクセス.....	
5.4.2.2 ハーフワードアクセス.....	
5.4.2.3 バイトアクセス.....	
<b>5.5 外部バスオペレーション (セパレートバスモード)</b> .....	60
5.5.1 基本バスオペレーション.....	60
5.5.2 ウェイトタイミング.....	61
5.5.3 リード/ライトリカバリタイム.....	63
5.5.4 チップセレクトリカバリタイム.....	64
5.5.5 リード、ライトセットアップサイクル.....	65
<b>5.6 外部バスオペレーション (マルチプレクスバスモード)</b> .....	66
5.6.1 基本バスオペレーション.....	66
5.6.2 ウェイトタイミング.....	67
5.6.3 ALE アサート時間.....	69
5.6.4 リード、ライトリカバリタイム.....	70
5.6.5 チップセレクトリカバリタイム.....	71
5.6.6 リード、ライトセットアップサイクル.....	72
<b>5.7 外部メモリ接続例</b> .....	73
5.7.1 外部 16 ビット SRAM と 16 ビット NOR-Flash 接続(セパレートバス).....	73
5.7.2 外部 16 ビット SRAM と 16 ビット NOR-Flash 接続(マルチプレクスモード).....	74

---

## 第6章 DMA コントローラ (DMAC)

---

<b>6.1 概要</b> .....	75
---------------------	----

<b>6.2</b>	<b>DMA 転送タイプについて</b> .....	76
<b>6.3</b>	<b>ブロック図</b> .....	77
<b>6.4</b>	<b>TMPM341FDXBG/FYXBG の固有情報</b> .....	78
6.4.1	Peripheral to Peripheral でサポートする周辺機能.....	78
6.4.2	DMA 要求.....	78
6.4.3	割り込み要求.....	80
6.4.4	ベースアドレス.....	80
<b>6.5</b>	<b>レジスタ説明</b> .....	81
6.5.1	DMAC レジスタ一覧.....	81
6.5.2	DMACxIntStatus (DMAC Interrupt Status Register).....	82
6.5.3	DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register).....	83
6.5.4	DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register).....	84
6.5.5	DMACxIntErrorStatus (DMAC Interrupt Error Status Register).....	85
6.5.6	DMACxIntErrClr (DMAC Interrupt Error Clear Register).....	86
6.5.7	DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register).....	87
6.5.8	DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register).....	88
6.5.9	DMACxEnblDChns (DMAC Enabled Channel Register).....	89
6.5.10	DMACxSoftBReq (DMAC Software Burst Request Register).....	90
6.5.11	DMACxSoftSReq (DMAC Software Single Request Register).....	92
6.5.12	DMACxConfiguration (DMAC Configuration Register).....	94
6.5.13	DMACxSrcAddr (DMAC Channelx Source Address Register).....	95
6.5.14	DMACxDestAddr (DMAC Channelx Destination Address Register).....	96
6.5.15	DMACxCnLLI (DMAC Channelx Linked List Item Register).....	97
6.5.16	DMACxCnControl (DMAC Channelx Control Register).....	98
6.5.17	DMACxCnConfiguration (DMAC Channelx Configuration Register).....	100
<b>6.6</b>	<b>特殊機能</b> .....	102
6.6.1	Scatter/gather 機能.....	102
6.6.2	Linked list 動作.....	103

---

## 第7章 リセット動作

---

<b>7.1</b>	<b>初期状態</b> .....	105
7.1.1	リセット入力前状態.....	105
<b>7.2</b>	<b>コールドリセット時</b> .....	105
<b>7.3</b>	<b>ウォームリセット時</b> .....	107
7.3.1	リセット期間.....	107
<b>7.4</b>	<b>リセット解除後</b> .....	107

---

## 第8章 周波数検知回路(OFD)

---

<b>8.1</b>	<b>構成</b> .....	109
<b>8.2</b>	<b>レジスタ説明</b> .....	110
8.2.1	レジスタ一覧.....	110
8.2.1.1	OFDCR1(制御レジスタ1)	
8.2.1.2	OFDCR2(制御レジスタ2)	
8.2.1.3	OFDMN(検知周波数下限値レジスタ)	
8.2.1.4	OFDMX(検知周波数上限値レジスタ)	
8.2.1.5	OFDRST(リセット制御レジスタ)	
8.2.1.6	OFDSTAT(ステータスレジスタ)	
<b>8.3</b>	<b>動作説明</b> .....	115
8.3.1	設定.....	115
8.3.2	動作.....	115
8.3.3	検知周波数.....	116
8.3.4	使用可能な動作モード.....	116
8.3.5	動作手順例.....	117

## 第9章 ウォッチドッグタイマ(WDT)

9.1	構成	119
9.2	レジスタ一覧	120
9.2.1	WDMOD(ウォッチドッグタイマモードレジスタ)	120
9.2.2	WDCR(ウォッチドッグタイマコントロールレジスタ)	121
9.3	動作説明	122
9.3.1	基本動作	122
9.3.2	動作モードと動作状態	122
9.4	暴走検出時の動作	123
9.4.1	INTWDT 割り込み発生の場合	123
9.4.2	内部リセット発生の場合	124
9.5	コントロールレジスタ	125
9.5.1	ウォッチドッグタイマモードレジスタ(WDMOD)	125
9.5.2	ウォッチドッグタイマコントロールレジスタ(WDCR)	125
9.5.3	設定例	126
9.5.3.1	ディセーブル制御	
9.5.3.2	イネーブル制御	
9.5.3.3	ウォッチドッグタイマのクリア制御	
9.5.3.4	ウォッチドッグタイマ検出時間の設定	

## 第10章 クロック/モード制御

10.1	特長	127
10.2	レジスタ説明	128
10.2.1	レジスタ一覧	128
10.2.2	CGSYSCR(システムコントロールレジスタ)	129
10.2.3	CGOSCCR(発振コントロールレジスタ)	130
10.2.4	CGSTBYCR(スタンバイコントロールレジスタ)	132
10.2.5	CGPLLSEL(PLL セレクトレジスタ)	133
10.2.6	CGPWMGEAR(タイマクロック設定レジスタ)	134
10.2.7	CGPROTECT(プロテクトレジスタ)	135
10.3	クロック制御	136
10.3.1	クロックの種類	136
10.3.2	リセット動作による初期値	136
10.3.3	クロック系統図	137
10.3.4	ウォーミングアップ機能	138
10.3.5	クロック逡回回路(PLL)	140
10.3.5.1	動作開始	
10.3.5.2	逡回数の変更	
10.3.5.3	PLL 動作開始手順	
10.3.5.4	PLL 逡回数変更手順	
10.3.6	システムクロック	143
10.3.6.1	システムクロックの設定方法	
10.3.6.2	外部高速発振器を使用する場合	
10.3.7	周辺回路用クロック	146
10.3.8	プリスケールクロック	147
10.3.9	クロックの端子出力機能	147
10.4	動作モードとモード遷移	148
10.4.1	モード状態遷移	148
10.5	動作モード	149
10.5.1	NORMAL モード	149
10.6	低消費電力モード	149
10.6.1	IDLE モード	149
10.6.2	STOP1 モード	149
10.6.3	STOP2 モード	150
10.6.4	低消費電力モードの選択	151
10.6.5	各モードにおける動作状態	152

10.6.6	低消費電力モードの解除.....	153
10.6.7	ウォーミングアップ.....	154
10.6.8	モード遷移によるクロック動作.....	155
10.6.8.1	NORMAL → STOP1 → NORMAL 動作モード遷移	
10.6.8.2	NORMAL → STOP2 → NORMAL 動作モード遷移	

## 第 11 章 例外

<b>11.1</b>	<b>概要</b> .....	<b>157</b>
11.1.1	種類.....	157
11.1.2	処理の流れ.....	158
11.1.2.1	例外要求と検出	
11.1.2.2	例外の処理と割り込み処理ルーチンへの分岐(横取り)	
11.1.2.3	割り込み処理ルーチンの発行	
11.1.2.4	例外からの復帰	
<b>11.2</b>	<b>リセット例外</b> .....	<b>164</b>
<b>11.3</b>	<b>マスク不能割り込み(NMI)</b> .....	<b>164</b>
<b>11.4</b>	<b>SysTick</b> .....	<b>165</b>
<b>11.5</b>	<b>割り込み</b> .....	<b>166</b>
11.5.1	要因.....	166
11.5.1.1	経路	
11.5.1.2	割り込み要因の発生	
11.5.1.3	割り込み要因の伝達	
11.5.1.4	外部割り込み端子を使用する際の注意	
11.5.1.5	要因一覧	
11.5.1.6	アクティブレベル	
11.5.2	処理詳細.....	171
11.5.2.1	処理の流れ	
11.5.2.2	準備	
11.5.2.3	検出(クロックジェネレータ)	
11.5.2.4	検出(CPU)	
11.5.2.5	CPU の処理	
11.5.2.6	割り込み処理ルーチンでの処理(要因の取り下げ)	
<b>11.6</b>	<b>例外/割り込み関連レジスタ</b> .....	<b>177</b>
11.6.1	レジスター一覧.....	177
11.6.2	NVIC レジスタ.....	178
11.6.2.1	SysTick 制御およびステータスレジスタ	
11.6.2.2	SysTick リロード値レジスタ	
11.6.2.3	SysTick 現在値レジスタ	
11.6.2.4	SysTick 較正值レジスタ	
11.6.2.5	割り込みイネーブルセットレジスタ 1	
11.6.2.6	割り込みイネーブルセットレジスタ 2	
11.6.2.7	割り込みイネーブルセットレジスタ 3	
11.6.2.8	割り込みイネーブルクリアレジスタ 1	
11.6.2.9	割り込みイネーブルクリアレジスタ 2	
11.6.2.10	割り込みイネーブルクリアレジスタ 3	
11.6.2.11	割り込み保留セットレジスタ 1	
11.6.2.12	割り込み保留セットレジスタ 2	
11.6.2.13	割り込み保留セットレジスタ 3	
11.6.2.14	割り込み保留クリアレジスタ 1	
11.6.2.15	割り込み保留クリアレジスタ 2	
11.6.2.16	割り込み保留クリアレジスタ 3	
11.6.2.17	割り込み優先度レジスタ	
11.6.2.18	ベクタテーブルオフセットレジスタ	
11.6.2.19	アプリケーション割り込みおよびリセット制御レジスタ	
11.6.2.20	システムハンドラ優先度レジスタ	
11.6.2.21	システムハンドラ制御および状態レジスタ	
11.6.3	クロックジェネレータレジスタ.....	199
11.6.3.1	CGIMCGA(CG 割り込みモードコントロールレジスタ A)	
11.6.3.2	CGIMCGB(CG 割り込みモードコントロールレジスタ B)	
11.6.3.3	CGIMCGC(CG 割り込みモードコントロールレジスタ C)	
11.6.3.4	CGIMCGD(CG 割り込みモードコントロールレジスタ D)	
11.6.3.5	CGIMCGE(CG 割り込みモードコントロールレジスタ E)	
11.6.3.6	CGIMCGF(CG 割り込みモードコントロールレジスタ F)	
11.6.3.7	CGICRCG(CG 割り込み要求クリアレジスタ)	
11.6.3.8	CGNMIFLG(NMI フラグレジスタ)	
11.6.3.9	CGRSTFLG(リセットフラグレジスタ)	

## 第12章 入出力ポート

<b>12.1</b>	<b>ポート機能</b> .....	<b>215</b>
12.1.1	機能一覧.....	215
12.1.2	ポートレジスタ概略説明.....	218
12.1.3	STOP モード中のポート状態.....	219
<b>12.2</b>	<b>ポート機能詳細</b> .....	<b>220</b>
12.2.1	ポート A (PA0~PA7).....	220
12.2.1.1	ポート A レジスタ一覧	
12.2.1.2	PADATA (ポート A データレジスタ)	
12.2.1.3	PACR (ポート A 出力コントロールレジスタ)	
12.2.1.4	PAFR1 (ポート A ファンクションレジスタ 1)	
12.2.1.5	PAOD (ポート A オープンドレインコントロールレジスタ)	
12.2.1.6	PAPUP (ポート A プルアップコントロールレジスタ)	
12.2.1.7	PAIE (ポート A 入力コントロールレジスタ)	
12.2.2	ポート B (PB0~PB7).....	225
12.2.2.1	ポート B レジスタ一覧	
12.2.2.2	PBDATA (ポート B データレジスタ)	
12.2.2.3	PBCR (ポート B 出力コントロールレジスタ)	
12.2.2.4	PBFR1 (ポート B ファンクションレジスタ 1)	
12.2.2.5	PBFR2 (ポート B ファンクションレジスタ 2)	
12.2.2.6	PBOD (ポート B オープンドレインコントロールレジスタ)	
12.2.2.7	PBPUP (ポート B プルアップコントロールレジスタ)	
12.2.2.8	PBIE (ポート B 入力コントロールレジスタ)	
12.2.3	ポート C (PC0~PC7).....	231
12.2.3.1	ポート C レジスタ一覧	
12.2.3.2	PCDATA (ポート C データレジスタ)	
12.2.3.3	PCCR (ポート C 出力コントロールレジスタ)	
12.2.3.4	PCFR1 (ポート C ファンクションレジスタ 1)	
12.2.3.5	PCFR2 (ポート C ファンクションレジスタ 2)	
12.2.3.6	PCFR3 (ポート C ファンクションレジスタ 3)	
12.2.3.7	PCFR4 (ポート C ファンクションレジスタ 4)	
12.2.3.8	PCOD (ポート C オープンドレインコントロールレジスタ)	
12.2.3.9	PCPUP (ポート C プルアップコントロールレジスタ)	
12.2.3.10	PCIE (ポート C 入力コントロールレジスタ)	
12.2.4	ポート D (PD0~PD7).....	238
12.2.4.1	ポート D レジスタ一覧	
12.2.4.2	PDDATA (ポート D データレジスタ)	
12.2.4.3	PDCR (ポート D 出力コントロールレジスタ)	
12.2.4.4	PDFR1 (ポート D ファンクションレジスタ 1)	
12.2.4.5	PDFR2 (ポート D ファンクションレジスタ 2)	
12.2.4.6	PDFR3 (ポート D ファンクションレジスタ 3)	
12.2.4.7	PDOD (ポート D オープンドレインコントロールレジスタ)	
12.2.4.8	PDPUP (ポート D プルアップコントロールレジスタ)	
12.2.4.9	PDIE (ポート D 入力コントロールレジスタ)	
12.2.5	ポート E (PE0~PE7).....	245
12.2.5.1	ポート E レジスタ一覧	
12.2.5.2	PEDATA (ポート E データレジスタ)	
12.2.5.3	PECR (ポート E 出力コントロールレジスタ)	
12.2.5.4	PEFR1 (ポート E ファンクションレジスタ 1)	
12.2.5.5	PEFR2 (ポート E ファンクションレジスタ 2)	
12.2.5.6	PEFR3 (ポート E ファンクションレジスタ 3)	
12.2.5.7	PEFR4 (ポート E ファンクションレジスタ 4)	
12.2.5.8	PEOD (ポート E オープンドレインコントロールレジスタ)	
12.2.5.9	PEPUP (ポート E プルアップコントロールレジスタ)	
12.2.5.10	PEIE (ポート E 入力コントロールレジスタ)	
12.2.6	ポート F (PF0~PF7).....	252
12.2.6.1	ポート F レジスタ一覧	
12.2.6.2	PFDATA (ポート F データレジスタ)	
12.2.6.3	PFCR (ポート F 出力コントロールレジスタ)	
12.2.6.4	PFFR1 (ポート F ファンクションレジスタ 1)	
12.2.6.5	PFFR2 (ポート F ファンクションレジスタ 2)	
12.2.6.6	PFFR3 (ポート F ファンクションレジスタ 3)	
12.2.6.7	PFOD (ポート F オープンドレインコントロールレジスタ)	
12.2.6.8	PFPUP (ポート F プルアップコントロールレジスタ)	
12.2.6.9	PFIE (ポート F 入力コントロールレジスタ)	
12.2.7	ポート G (PG0~PG7).....	259
12.2.7.1	ポート G レジスタ一覧	
12.2.7.2	PGDATA (ポート G データレジスタ)	

12.2.7.3	PGCR (ポート G 出力コントロールレジスタ)	
12.2.7.4	PGFR2 (ポート G ファンクションレジスタ 2)	
12.2.7.5	PGFR3 (ポート G ファンクションレジスタ 3)	
12.2.7.6	PGFR4 (ポート G ファンクションレジスタ 4)	
12.2.7.7	PGOD (ポート G オープンドレインコントロールレジスタ)	
12.2.7.8	PGPUP (ポート G プルアップコントロールレジスタ)	
12.2.7.9	PGIE (ポート G 入力コントロールレジスタ)	
12.2.8	ポート H (PH0~PH6).....	266
12.2.8.1	ポート H レジスタ一覧	
12.2.8.2	PHDATA (ポート H データレジスタ)	
12.2.8.3	PHCR (ポート H 出力コントロールレジスタ)	
12.2.8.4	PHFR1 (ポート H ファンクションレジスタ 1)	
12.2.8.5	PHFR2 (ポート H ファンクションレジスタ 2)	
12.2.8.6	PHFR3 (ポート H ファンクションレジスタ 3)	
12.2.8.7	PHFR4 (ポート H ファンクションレジスタ 4)	
12.2.8.8	PHOD (ポート H オープンドレインコントロールレジスタ)	
12.2.8.9	PHPUP (ポート H プルアップコントロールレジスタ)	
12.2.8.10	PHIE (ポート H 入力コントロールレジスタ)	
12.2.9	ポート I (PI0~PI7).....	274
12.2.9.1	ポート I レジスタ一覧	
12.2.9.2	PIDATA (ポート I データレジスタ)	
12.2.9.3	PICR (ポート I 出力コントロールレジスタ)	
12.2.9.4	PIFR1 (ポート I ファンクションレジスタ 1)	
12.2.9.5	PIOD (ポート I オープンドレインコントロールレジスタ)	
12.2.9.6	PIPUP (ポート I プルアップコントロールレジスタ)	
12.2.9.7	PIPDN (ポート I プルダウンコントロールレジスタ)	
12.2.9.8	PIE (ポート I 入力コントロールレジスタ)	
12.2.10	ポート J (PJ0~PJ7).....	281
12.2.10.1	ポート J レジスタ一覧	
12.2.10.2	PJDATA (ポート J データレジスタ)	
12.2.10.3	PJCR (ポート J 出力コントロールレジスタ)	
12.2.10.4	PJFR2 (ポート J ファンクションレジスタ 2)	
12.2.10.5	PJFR3 (ポート J ファンクションレジスタ 3)	
12.2.10.6	PJPUP (ポート J プルアップコントロールレジスタ)	
12.2.10.7	PJIE (ポート J 入力コントロールレジスタ)	
12.2.11	ポート K (PK0~PK6).....	287
12.2.11.1	ポート K レジスタ一覧	
12.2.11.2	PKDATA (ポート K データレジスタ)	
12.2.11.3	PKCR (ポート K 出力コントロールレジスタ)	
12.2.11.4	PKFR2 (ポート K ファンクションレジスタ 2)	
12.2.11.5	PKFR3 (ポート K ファンクションレジスタ 3)	
12.2.11.6	PKPUP (ポート K プルアップコントロールレジスタ)	
12.2.11.7	PKIE (ポート K 入力コントロールレジスタ)	
12.3	ポート回路図.....	293
12.3.1	ポートタイプ一覧.....	293
12.3.2	タイプ FT1.....	294
12.3.3	タイプ FT2.....	295
12.3.4	タイプ FT3.....	296
12.3.5	タイプ FT4.....	297
12.3.6	タイプ FT5.....	298
12.3.7	タイプ FT6.....	299
12.3.8	タイプ FT7.....	300
12.3.9	タイプ FT8.....	301
12.3.10	タイプ FT9.....	302
12.3.11	タイプ FT10.....	303
12.4	付録 (ポート設定一覧).....	304
12.4.1	ポート A 設定.....	304
12.4.2	ポート B 設定.....	305
12.4.3	ポート C 設定.....	306
12.4.4	ポート D 設定.....	307
12.4.5	ポート E 設定.....	308
12.4.6	ポート F 設定.....	309
12.4.7	ポート G 設定.....	310
12.4.8	ポート H 設定.....	311
12.4.9	ポート I 設定.....	312
12.4.10	ポート J 設定.....	313
12.4.11	ポート K 設定.....	314

## 第13章 16ビットタイマ/イベントカウンタ(TMRB)

13.1	概要	315
13.2	チャンネル別仕様相違点	316
13.3	構成	317
13.4	レジスタ説明	318
13.4.1	チャンネル別レジスタ一覧	318
13.4.2	TBxEN(イネーブルレジスタ)	319
13.4.3	TBxRUN(RUNレジスタ)	320
13.4.4	TBxCR(コントロールレジスタ)	321
13.4.5	TBxMOD(モードレジスタ)	322
13.4.6	TBxFFCR(フリップフロップコントロールレジスタ)	324
13.4.7	TBxST(ステータスレジスタ)	325
13.4.8	TBxIM(割り込みマスクレジスタ)	326
13.4.9	TBxUC(アップカウンタキャプチャレジスタ)	327
13.4.10	TBxRG0(タイマレジスタ 0)	328
13.4.11	TBxRG1(タイマレジスタ 1)	328
13.4.12	TBxCP0(キャプチャレジスタ 0)	329
13.4.13	TBxCP1(キャプチャレジスタ 1)	329
13.4.14	TBxDMA(DMA 要求許可レジスタ)	330
13.5	回路別の動作説明	331
13.5.1	プリスケーラ	331
13.5.2	アップカウンタ(UC)	335
13.5.3	タイマレジスタ(TBxRG0, TBxRG1)	335
13.5.4	キャプチャ制御	336
13.5.5	キャプチャレジスタ(TBxCP0, TBxCP1)	336
13.5.6	アップカウンタキャプチャレジスタ(TBxUC)	336
13.5.7	コンパレータ(CP0, CP1)	336
13.5.8	タイマフリップフロップ(TBxFF0)	336
13.5.9	キャプチャ割り込み(INTCAPx0, INTCAPx1)	336
13.6	モード別動作説明	337
13.6.1	16ビットインタバルタイマモード	337
13.6.2	16ビットイベントカウンタモード	337
13.6.3	16ビットPPG(プログラマブル矩形波)出力モード	338
13.6.4	タイマ同期モード	340
13.6.5	外部トリガカウントスタートモード	340
13.7	キャプチャ機能を利用した応用例	341
13.7.1	外部トリガパルスからのワンショットパルス出力	341
13.7.2	周波数測定	343
13.7.3	パルス幅測定	343
13.7.4	時間差測定	344

## 第14章 2相パルス入力カウンタ(PHCNT)

14.1	概要	345
14.2	チャンネル別仕様相違点	345
14.3	構成	346
14.4	レジスタ説明	347
14.4.1	レジスタ一覧	347
14.4.2	PHCxRUN(カウンタ RUNレジスタ)	348
14.4.3	PHCxCR(カウンタコントロールレジスタ)	349
14.4.4	PHCxEN(カウンタイネーブルレジスタ)	350
14.4.5	PHCxFLG(カウンタステータスレジスタ)	351
14.4.6	PHxCMP0(カウンタコンペアレジスタ 0)	352
14.4.7	PHxCMP1(カウンタコンペアレジスタ 1)	352
14.4.8	PHxCNT(カウンタリードレジスタ)	353
14.4.9	PHxDMA(DMA 要求許可レジスタ)	354

<b>14.5</b>	<b>回路の動作説明</b> .....	<b>355</b>
14.5.1	カウント動作.....	355
14.5.2	割り込み.....	358
14.5.3	アップダウンカウンタ.....	359

---

## 第15章 高分解能16ビットタイマ/PPG出力 (TMRD)

---

<b>15.1</b>	<b>Outline</b> .....	<b>361</b>
<b>15.2</b>	<b>ブロック図</b> .....	<b>362</b>
15.2.1	プリスケーククロック.....	363
15.2.2	タイマユニット(TMRD0,TMRD1).....	364
<b>15.3</b>	<b>レジスタ説明</b> .....	<b>366</b>
15.3.1	チャンネル別レジスタ一覧.....	366
15.3.2	CGPWMGEAR (タイマクロック設定レジスタ).....	367
15.3.3	TD0EN (タイマイネーブルレジスタ).....	368
15.3.4	TD0CONF (タイマコンフィグレジスタ).....	369
15.3.5	TD0MOD (タイマモードレジスタ).....	370
15.3.6	TD1MOD (タイマモードレジスタ).....	371
15.3.7	TD0CR (タイマコントロールレジスタ).....	372
15.3.8	TD1CR (タイマコントロールレジスタ).....	373
15.3.9	TDxRUN (タイマ RUN レジスタ).....	374
15.3.10	TD0BCR (更新フラグ設定レジスタ).....	375
15.3.11	TD1BCR (更新フラグ設定レジスタ).....	376
15.3.12	TDxDMA (DMA 要求許可レジスタ).....	377
15.3.13	TDxRG0 (タイマレジスタ 0).....	378
15.3.14	TDxCP0 (タイマコンペアレジスタ 0).....	378
15.3.15	TDxRG1 (タイマレジスタ 1).....	379
15.3.16	TDxCP1 (タイマコンペアレジスタ 1).....	379
15.3.17	TDxRG2 (タイマレジスタ 2).....	380
15.3.18	TDxCP2 (タイマコンペアレジスタ 2).....	380
15.3.19	TDxRG3 (タイマレジスタ 3).....	381
15.3.20	TDxCP3 (タイマコンペアレジスタ 3).....	381
15.3.21	TDxRG4 (タイマレジスタ 4).....	382
15.3.22	TDxCP4 (タイマコンペアレジスタ 4).....	382
15.3.23	TD0RG5 (タイマレジスタ 5).....	383
15.3.24	TD0CP5 (タイマコンペアレジスタ 5).....	383
<b>15.4</b>	<b>各動作モードの説明</b> .....	<b>384</b>
15.4.1	16ビットインターバルタイマ.....	384
15.4.1.1	タイマモード	
15.4.1.2	連動タイマ(同期スタート)モード	
15.4.1.3	タイマ割り込み	
15.4.1.4	タイマモード時のレジスタ設定手順	
15.4.1.5	コンペアレジスタの設定範囲	
15.4.2	16ビットプログラマブル矩形波出力.....	389
15.4.2.1	PPG モード	
15.4.2.2	連動 PPG モード	
15.4.2.3	コンペアレジスタの設定範囲	

---

## 第16章 シリアルチャンネル(SIO/UART)

---

<b>16.1</b>	<b>概要</b> .....	<b>405</b>
<b>16.2</b>	<b>チャンネル別仕様相違点</b> .....	<b>405</b>
<b>16.3</b>	<b>構成</b> .....	<b>406</b>
<b>16.4</b>	<b>レジスタ説明</b> .....	<b>407</b>
16.4.1	チャンネル別レジスタ一覧.....	407
16.4.2	SCxEN (イネーブルレジスタ).....	408
16.4.3	SCxBUF (バッファレジスタ).....	408
16.4.4	SCxCR (コントロールレジスタ).....	410
16.4.5	SCxMOD0 (モードコントロールレジスタ 0).....	411
16.4.6	SCxMOD1 (モードコントロールレジスタ 1).....	412

16.4.7	SCxMOD2 (モードコントロールレジスタ 2).....	413
16.4.8	SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2).....	415
16.4.9	SCxFCNF (FIFO コンフィグレジスタ).....	417
16.4.10	SCxRFC (受信 FIFO コンフィグレジスタ).....	419
16.4.11	SCxTFC (送信 FIFO コンフィグレジスタ) (注 2).....	420
16.4.12	SCxRST (受信 FIFO ステータスレジスタ).....	421
16.4.13	SCxTST (送信 FIFO ステータスレジスタ).....	422
16.4.14	SCxDMA (DMA 要求許可レジスタ).....	423
<b>16.5</b>	<b>動作モード</b> .....	<b>424</b>
<b>16.6</b>	<b>データフォーマット</b> .....	<b>425</b>
16.6.1	データフォーマット一覧.....	425
16.6.2	パリティ制御.....	426
16.6.2.1	送信	
16.6.2.2	受信	
16.6.3	STOP ビット長.....	426
<b>16.7</b>	<b>クロック制御</b> .....	<b>427</b>
16.7.1	プリスケラ.....	427
16.7.2	シリアルクロック生成回路.....	431
16.7.2.1	ボーレートジェネレータ	
16.7.2.2	クロック選択回路	
<b>16.8</b>	<b>送信/受信バッファと FIFO</b> .....	<b>435</b>
16.8.1	構成.....	435
16.8.2	送信/受信バッファ.....	435
16.8.3	FIFO.....	435
<b>16.9</b>	<b>ステータスフラグ</b> .....	<b>436</b>
<b>16.10</b>	<b>エラーフラグ</b> .....	<b>436</b>
16.10.1	OERR フラグ.....	437
16.10.2	PERR フラグ.....	437
16.10.3	FERR フラグ.....	437
<b>16.11</b>	<b>受信</b> .....	<b>438</b>
16.11.1	受信カウンタ.....	438
16.11.2	受信制御部.....	438
16.11.2.1	IO インタフェースモードの場合	
16.11.2.2	UART モードの場合	
16.11.3	受信動作.....	438
16.11.3.1	受信バッファの動作	
16.11.3.2	受信 FIFO の動作	
16.11.3.3	IO インタフェースモード、SCLK 出力での受信	
16.11.3.4	受信データの読み出し	
16.11.3.5	ウエイクアップ機能	
16.11.3.6	オーバランエラー	
<b>16.12</b>	<b>送信</b> .....	<b>443</b>
16.12.1	送信カウンタ.....	443
16.12.2	送信制御部.....	443
16.12.2.1	IO インタフェースモードの場合	
16.12.2.2	UART モードの場合	
16.12.3	送信動作.....	444
16.12.3.1	送信バッファの動作	
16.12.3.2	送信 FIFO の動作	
16.12.3.3	IO インタフェースモード、SCLK 出力での送信	
16.12.3.4	アンダーランエラー	
<b>16.13</b>	<b>ハンドシェイク機能</b> .....	<b>447</b>
<b>16.14</b>	<b>割り込み/エラー発生タイミング</b> .....	<b>448</b>
16.14.1	受信割り込み.....	448
16.14.1.1	シングルバッファ/ダブルバッファ構成の場合	
16.14.1.2	FIFO 使用の場合	
16.14.2	送信割り込み.....	449
16.14.2.1	シングルバッファ/ダブルバッファ構成の場合	
16.14.2.2	FIFO 使用の場合	
16.14.3	エラー発生.....	450
16.14.3.1	UART モード	
16.14.3.2	IO インタフェースモード	
<b>16.15</b>	<b>ソフトリセット</b> .....	<b>450</b>
<b>16.16</b>	<b>DMA 要求</b> .....	<b>450</b>

<b>16.17 モード別動作説明</b> .....	451
16.17.1 モード0 (IO インタフェースモード).....	451
16.17.1.1 送信	
16.17.1.2 受信	
16.17.1.3 送受信(全二重)	
16.17.2 モード1 (7ビットUARTモード).....	462
16.17.3 モード2 (8ビットUARTモード).....	462
16.17.4 モード3 (9ビットUARTモード).....	463
16.17.4.1 ウェイクアップ機能	
16.17.4.2 プロトコル	

---

## 第17章 同期式シリアルインタフェース(SSP)

---

<b>17.1 概要</b> .....	465
<b>17.2 ブロック図</b> .....	466
<b>17.3 レジスタ</b> .....	467
17.3.1 レジスタ一覧.....	467
17.3.2 SSPCR0(制御レジスタ0).....	468
17.3.3 SSPCR1(制御レジスタ1).....	469
17.3.4 SSPDR(データレジスタ).....	470
17.3.5 SSPSR(ステータスレジスタ).....	471
17.3.6 SSPCSR(クロックプリスケールレジスタ).....	472
17.3.7 SSPIMSC(割り込み許可/禁止レジスタ).....	473
17.3.8 SSPRIS(許可前の割り込みステータスレジスタ).....	474
17.3.9 SSPMIS(許可後の割り込みステータスレジスタ).....	475
17.3.10 SSPICR(割り込みクリアレジスタ).....	476
17.3.11 SSPDMACR(DMA制御レジスタ).....	476
<b>17.4 SSPの概要</b> .....	477
17.4.1 クロックプリスケール.....	477
17.4.2 送信FIFO.....	477
17.4.3 受信FIFO.....	477
17.4.4 割り込み生成ロジック.....	478
17.4.5 DMAインタフェース.....	479
<b>17.5 SSPの動作</b> .....	480
17.5.1 SSPの初期設定.....	480
17.5.2 SSPのイネーブル.....	480
17.5.3 クロック比.....	480
<b>17.6 フレーム形式</b> .....	481
17.6.1 SSIのフレームフォーマット.....	482
17.6.2 SPIのフレームフォーマット.....	483
17.6.3 Microwireのフレームフォーマット.....	485

---

## 第18章 シリアルバスインタフェース(I2C/SIO)

---

<b>18.1 構成</b> .....	490
<b>18.2 レジスタ説明</b> .....	491
18.2.1 チャンネル別レジスタ一覧.....	491
<b>18.3 I2Cバスモード時のデータフォーマット</b> .....	492
<b>18.4 I2Cバスモード時のコントロールレジスタ</b> .....	493
18.4.1 SBIxCR0(コントロールレジスタ0).....	493
18.4.2 SBIxCR1(コントロールレジスタ1).....	494
18.4.3 SBIxCR2(コントロールレジスタ2).....	496
18.4.4 SBIxSR(ステータスレジスタ).....	497
18.4.5 SBIxBR0(ボーレートレジスタ0).....	498
18.4.6 SBIxDBR(データバッファレジスタ).....	499
18.4.7 SBIxI2CAR(I2Cバスアドレスレジスタ).....	500
<b>18.5 I2Cバスモード時の制御</b> .....	501
18.5.1 シリアルクロック.....	501

18.5.1.1	クロックソース	
18.5.1.2	クロック同期化	
18.5.2	アクトリッジメントモードの指定	502
18.5.3	転送ビット数の選択	502
18.5.4	スレーブアドレスとアドレス認識モードの設定	502
18.5.5	動作モード	503
18.5.6	トランスミッタ/レシーバの選択	503
18.5.7	マスタ/スレーブの選択	503
18.5.8	スタート/ストップコンディションの発生	504
18.5.9	割り込みサービス要求と解除	504
18.5.10	アービトレーションロスト検出モニタ	505
18.5.11	スレーブアドレス一致検出モニタ	506
18.5.12	ゼネラルコール検出モニタ	506
18.5.13	最終受信ビットモニタ	507
18.5.14	データバッファレジスタ(SBIXDBR)	507
18.5.15	ボーレートレジスタ(SBIXBR0)	507
18.5.16	ソフトウェアリセット	507
<b>18.6</b>	<b>I2C バスモード時のデータ転送手順</b>	<b>508</b>
18.6.1	デバイスの初期化	508
18.6.2	スタートコンディション, スレーブアドレスの発生	508
18.6.2.1	マスタモードの場合	
18.6.2.2	スレーブモードの場合	
18.6.3	1ワードのデータ転送	510
18.6.3.1	マスタモードの場合(<MST>="1")	
18.6.3.2	スレーブモードの場合(<MST>="0")	
18.6.4	ストップコンディションの発生	514
18.6.5	再スタートの手順	514
<b>18.7</b>	<b>SIO モード時のコントロールレジスタ</b>	<b>516</b>
18.7.1	SBIXCR0(コントロールレジスタ 0)	516
18.7.2	SBIXCR1(コントロールレジスタ 1)	517
18.7.3	SBIXDBR(データバッファレジスタ)	518
18.7.4	SBIXCR2(コントロールレジスタ 2)	519
18.7.5	SBIXSR(ステータスレジスタ)	520
18.7.6	SBIXBR0(ボーレートレジスタ 0)	521
<b>18.8</b>	<b>SIO モード時の制御</b>	<b>522</b>
18.8.1	シリアルクロック	522
18.8.1.1	クロックソース	
18.8.1.2	シフトエッジ	
18.8.2	転送モード	524
18.8.2.1	8ビット送信モード	
18.8.2.2	8ビット受信モード	
18.8.2.3	8ビット送受信モード	
18.8.2.4	送信終了時の最終ビット保持時間	

## 第19章 アナログ/デジタルコンバータ(ADC)

<b>19.1</b>	<b>特徴</b>	<b>531</b>
<b>19.2</b>	<b>構成</b>	<b>532</b>
<b>19.3</b>	<b>レジスタ</b>	<b>533</b>
19.3.1	レジスタ一覧	533
19.3.2	ADCLK(クロック設定レジスタ)	534
19.3.3	ADMOD0(モード設定レジスタ 0)	536
19.3.4	ADMOD1(モード設定レジスタ 1)	537
19.3.5	ADMOD2(モード設定レジスタ 2)	538
19.3.6	ADMOD3(モード設定レジスタ 3)	539
19.3.7	ADMOD4(モード設定レジスタ 4)	540
19.3.8	ADMOD5(モード設定レジスタ 5)	541
19.3.9	ADMOD6(モード設定レジスタ 6)	542
19.3.10	ADMOD7(モード設定レジスタ 7)	543
19.3.11	ADCMPCR0(監視割り込み設定レジスタ 0)	544
19.3.12	ADCMPCR1(監視割り込み設定レジスタ 1)	545
19.3.13	ADCMP0(変換結果比較レジスタ 0)	546
19.3.14	ADCMP1(変換結果比較レジスタ 1)	547

19.3.15	ADREG00 ~ ADREG14 (通常 AD 変換結果レジスタ 00 ~ 14).....	548
19.3.16	ADREGSP (最優先 AD 変換結果格納レジスタ).....	549
<b>19.4</b>	<b>動作説明.....</b>	<b>550</b>
19.4.1	アナログ基準電圧.....	550
19.4.2	AD 変換モード.....	550
19.4.2.1	通常 AD 変換	
19.4.2.2	最優先 AD 変換	
19.4.3	AD 監視機能.....	551
19.4.4	入力チャネルの選択.....	553
19.4.5	AD 変換動作詳細.....	554
19.4.5.1	AD 変換の起動	
19.4.5.2	AD 変換動作	
19.4.5.3	通常 AD 変換中の最優先変換要求	
19.4.5.4	リピート変換モードの停止	
19.4.5.5	通常 AD 変換の再起動	
19.4.5.6	変換終了	
19.4.5.7	割り込み発生タイミングと変換結果格納レジスタ	
19.4.5.8	低消費電力モード時のアナログデジタルコンバータの停止方法	

## 第 20 章 デジタルアナログコンバータ(DAC)

<b>20.1</b>	<b>機能概要.....</b>	<b>563</b>
<b>20.2</b>	<b>ブロック図.....</b>	<b>563</b>
<b>20.3</b>	<b>レジスタ説明.....</b>	<b>564</b>
20.3.1	レジスタ一覧.....	564
20.3.2	DAxCTL(コントロールレジスタ).....	564
20.3.3	DAxREG(出力レジスタ).....	565
<b>20.4</b>	<b>動作説明.....</b>	<b>566</b>
20.4.1	設定方法.....	566
20.4.2	低消費電力モード.....	566

## 第 21 章 Flash 動作説明

<b>21.1</b>	<b>フラッシュメモリ.....</b>	<b>567</b>
21.1.1	特長.....	567
21.1.2	フラッシュ部ブロック図.....	568
<b>21.2</b>	<b>動作モード.....</b>	<b>569</b>
21.2.1	リセット動作.....	570
21.2.2	ユーザーブートモード(シングルチップモード).....	570
21.2.2.1	(1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例	
21.2.2.2	(1-B)書き替えルーチンを外部から転送する場合の手順例	
21.2.3	シングルブートモード.....	579
21.2.3.1	(2-A)内蔵 BOOT ROM の書き替えアルゴリズムを利用する場合	
21.2.4	モード設定.....	582
21.2.5	メモリマップ.....	583
21.2.6	インターフェース仕様.....	585
21.2.7	データ転送フォーマット.....	586
21.2.8	メモリの制約について.....	586
21.2.9	ブートプログラムの転送フォーマット.....	586
21.2.9.1	RAM 転送	
21.2.9.2	フラッシュメモリチップ消去およびプロテクトビット消去	
21.2.10	ブートプログラム動作説明.....	589
21.2.10.1	RAM 転送コマンド	
21.2.10.2	フラッシュメモリチップ消去およびプロテクトビット消去コマンド	
21.2.10.3	ACK 応答データ	
21.2.10.4	シリアル動作モード判定	
21.2.10.5	パスワードについて	
21.2.10.6	CHECK SUM の計算方法	
21.2.11	ブートプログラム全体フローチャート.....	602
<b>21.3</b>	<b>オンボードプログラミングでのフラッシュメモリ書き込み/消去.....</b>	<b>603</b>
21.3.1	フラッシュメモリ.....	603
21.3.1.1	ブロック構成	

21.3.1.2	基本動作	
21.3.1.3	リセット（ハードウェアリセット）	
21.3.1.4	コマンド説明	
21.3.1.5	フラッシュコントロール/ステータスレジスタ	
21.3.1.6	コマンドシーケンス一覧	
21.3.1.7	バスライトサイクル時のアドレスビット構成	
21.3.1.8	フローチャート	

---

## 第22章 プロテクト/セキュリティ機能

---

<b>22.1</b>	<b>概要</b> .....	619
<b>22.2</b>	<b>特長</b> .....	619
22.2.1	内蔵 ROM (Flash)のライト/消去プロテクト.....	619
22.2.2	セキュリティ機能.....	619
<b>22.3</b>	<b>レジスタ</b> .....	620
22.3.1	レジスタ一覧.....	620
22.3.2	FCFLCS(フラッシュコントロールレジスタ).....	621
22.3.3	FCSECBIT(セキュリティビットレジスタ).....	622
<b>22.4</b>	<b>設定/解除方法</b> .....	623
22.4.1	内蔵 ROM (Flash)のライト/消去プロテクト.....	623
22.4.2	セキュリティビット.....	623

---

## 第23章 デバッグインタフェース

---

<b>23.1</b>	<b>仕様概要</b> .....	625
<b>23.2</b>	<b>SWJ-DP</b> .....	625
<b>23.3</b>	<b>ETM</b> .....	625
<b>23.4</b>	<b>端子情報</b> .....	626
<b>23.5</b>	<b>ホールドモード中の周辺機能</b> .....	627
<b>23.6</b>	<b>デバッグツールとの接続</b> .....	628
23.6.1	接続方法.....	628
23.6.2	デバッグインタフェース端子を汎用ポートとして使用する際の注意.....	628

---

## 第24章 JTAG インタフェース

---

<b>24.1</b>	<b>仕様概要</b> .....	629
<b>24.2</b>	<b>信号の要約と接続例</b> .....	630
<b>24.3</b>	<b>バウンダリスキャンの概要</b> .....	631
<b>24.4</b>	<b>JTAG コントローラとレジスタ</b> .....	631
<b>24.5</b>	<b>命令レジスタ</b> .....	632
<b>24.6</b>	<b>バウンダリスキャンレジスタ</b> .....	634
<b>24.7</b>	<b>テストアクセスポート(TAP)</b> .....	634
<b>24.8</b>	<b>TAP コントローラ</b> .....	634
<b>24.9</b>	<b>TAP コントローラのリセット</b> .....	635
<b>24.10</b>	<b>コントローラの状態</b> .....	635
<b>24.11</b>	<b>バウンダリスキャン順序</b> .....	638
<b>24.12</b>	<b>JTAG コントローラセルでサポートしている命令</b> .....	639

---

## 第25章 ポート部等価回路図

---

25.1	PA0 ~ 7, PB0 ~ 7	643
25.2	PC0 ~ 7, PD0 ~ 6, PE0 ~ 7, PF1 ~ 7, PH3 ~ 6, PI0 ~ 7	643
25.3	PG0 ~ 7, PH0 ~ 2	644
25.4	PJ0 ~ 7, PK0 ~ 7	644
25.5	PF0	645
25.6	DA0, DA1	645
25.7	X1, X2	645
25.8	RESET, NMI	646
25.9	BSC	646
25.10	MODE, INTLV, ENDIAN	646
25.11	FTEST3	646
25.12	AVREFH, AVREFL	647

## 第 26 章 電気的特性

26.1	絶対最大定格	649
26.2	DC 電気的特性 (1/3)	650
26.3	DC 電気的特性 (2/3)	651
26.4	DC 電気的特性 (3/3)	653
26.5	12 ビット AD コンバータ変換特性	654
26.6	10 ビット DA コンバータ変換特性	655
26.7	AC 電気的特性	656
26.7.1	AC 測定条件	656
26.7.2	シリアルチャネル (SIO/UART)	656
26.7.2.1	I/O インターフェースモード	
26.7.3	シリアルバスインターフェース (I2C/SIO)	658
26.7.3.1	I2C モード	
26.7.3.2	クロック同期式 8 ビット SIO モード	
26.7.4	同期式シリアルインターフェース (SSP)	661
26.7.4.1	AC 測定条件	
26.7.4.2	SSP の SPI モード (マスタ)	
26.7.4.3	SSP の SPI モード (スレーブ)	
26.7.5	16 ビットタイマ/イベントカウンタ	665
26.7.5.1	イベントカウンタ	
26.7.5.2	キャプチャ	
26.7.6	外部割り込み	665
26.7.7	NMI	666
26.7.8	SCOUT 端子 AC 特性	666
26.7.9	2 相パルス入力カウンタ端子 AC 特性	666
26.7.10	高分解能 16 ビットタイマ/PPG 出力端子 AC 特性	668
26.7.11	ADTRG 入力端子 AC 特性	668
26.7.12	外部バスインターフェース AC 特性	669
26.7.12.1	AC 測定条件	
26.7.12.2	セパレートバスモード	
26.7.12.3	マルチプレクスバスモード	
26.7.13	デバッグ通信	680
26.7.13.1	SWD インタフェース	
26.7.13.2	JTAG インタフェース	
26.7.14	ETM トレース	681
26.7.15	内蔵発振回路特性	681
26.7.16	外部発振子	681
26.7.17	外部クロック入力	682
26.7.18	フラッシュ特性	682
26.7.19	ノイズフィルタ特性	682
26.8	発振回路	683
26.8.1	セラミック発振子	683
26.9	取り扱い上のご注意	684
26.9.1	電源投入時の注意事項	684



# CMOS 32 ビット マイクロコントローラ

## TMPM341FDXBG/FYXBG

TMPM341FDXBG/FYXBG は、ARM 社 Cortex™-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	RAM	パッケージ
TMPM341FDXBG	512 Kbyte	32 Kbyte	P-TFBGA113-0606-0.50A4
TMPM341FYXBG	256 Kbyte		

機能概要と特長は次のとおりです。

### 1.1 機能概要

#### 1. ARM 社製 Cortex-M3 コアを使用

- a. Thumb®-2 命令で、コード効率の向上を実現
  - ・プログラムフロー改善のための新しい 16 ビット命令
  - ・性能とコードサイズ向上のための新しい 32 ビット命令
  - ・32 ビット/16 ビット混在の命令セットでコード効率を向上
- b. 高性能化と低消費電力化を同時に実現
  - 【高性能化】
    - ・32 ビット乗算( $32 \times 32 = 32$  ビット)を 1 クロックで実行
    - ・除算を 2~12 クロックで実行
  - 【低消費電力化】
    - ・低消費電力ライブラリを使用した最適化設計
    - ・プロセッサコアの動作を停止させるスタンバイ機能
- c. リアルタイム制御に向けた高速割り込み応答
  - ・実行時間の長い命令は割り込みで中断可能
  - ・スタックへの PUSH をハードウェアで自動的に実行

#### 2. 内蔵プログラムメモリ/データメモリ

- a. TMPM341FDXBG
  - ・内蔵 RAM: 32 Kbyte
  - ・内蔵 FlashROM : 512 Kbyte
- b. TMPM341FYXBG
  - ・内蔵 RAM: 32 Kbyte
  - ・内蔵 FlashROM : 256 Kbyte

#### 3. 外部バスインタフェース(EBIF)

- ・16MB(プログラム/データ共通) まで拡張可能
- ・外部データバス (セパレートバス/マルチプレクスバス) : 8/16 ビット幅

- ・ チップセレクト/ウェイトコントローラ : 2 チャンネル
4. DMA コントローラ(DMAC) : 4 チャンネル  
転送対象:内蔵メモリ、内蔵 I/O および外部メモリ
  5. 16 ビットタイマ/イベントカウンタ(TMRB) : 10 チャンネル
    - ・ 16 ビットインタバルタイマモード
    - ・ 16 ビットイベントカウンタモード
    - ・ 16 ビット PPG 出力(4 相同期出力可能)
    - ・ インプットキャプチャ機能
  6. 2 相パルス入力カウンタ(PHCNT) : 4 チャンネル
  7. 高分解能 16 ビットタイマ/PPG 出力機能(TMRD) : 2 チャンネル  
最小分解能 : 6.25ns
  8. ウォッチドッグタイマ(WDT) : 1 チャンネル  
リセットまたはマスク不能割り込み(NMI)発生
  9. 周波数検知回路(OFD) : 1 チャンネル  
外部高周波発振器監視機能
  10. シリアルチャンネル(SIO/UART) : 5 チャンネル  
UART、I/O インタフェースモード選択可能(4byte FIFO 内蔵)
  11. シリアルバスインタフェース(I2C/SIO) : 2 チャンネル  
I2C バスモード/クロック同期式 8 ビット SIO モード選択可能
  12. 同期式シリアルインタフェース(SSP) : 1 チャンネル
    - ・ SPI を含む 3 種類の同期式通信プロトコル(SPI/SSI/Microwire)
    - ・ 通信速度 : マスタモード時 : 20Mbps (max.)、スレーブモード時 : 4.5Mbps (max.)
  13. 12 ビット AD コンバータ(ADC) : 15 チャンネル
    - ・ 内部タイマトリガスタート / 外部トリガスタートが可能
    - ・ チャンネル固定/スキャンモード
    - ・ シングル/リピートモード
    - ・ AD 監視機能 2 チャンネル
    - ・ 最小変換時間 1  $\mu$ sec ( $f_{sys} = 40\text{MHz}$  時)
  14. 10 ビット DA コンバータ(DAC) : 2 チャンネル
    - ・ AVREFH カット機能
    - ・ 入力変動/出力変動セトリングタイム: 100 $\mu$ s
  15. 割り込み機能
    - ・ 内部 73 本 : 7 レベルの優先順位設定可能 (ウォッチドッグタイマ割り込みを除く)

- ・ 外部 12 本 : 7 レベルの優先順位設定可能

#### 16. マスク不能割り込み (NMI)

ウォッチドッグタイマまたは  $\overline{\text{NMI}}$  端子により発生

#### 17. 入出力ポート(PORT) 86 端子

入力端子 : 85 本(5V トレラント入力端子 11 本を含む)

出力端子 : 1 本

#### 18. 低消費電力モード

IDLE, STOP1, STOP2

#### 19. クロックジェネレータ(CG)

- ・ PLL 内蔵(8 通倍/16 通倍切り替え可能)
- ・ クロックギア機能 : 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

#### 20. エンディアン

リトル/ビッグエンディアン選択可能

#### 21. デバッグインタフェース

JTAG / SWD / SWV / TRACE (DATA 4bit)

#### 22. JTAG インタフェース

バウンダリスキャン対応

#### 23. 最大動作周波数 : 54 MHz

#### 24. 動作電圧範囲

- ・ DVDD3A = 2.7 V ~ 3.6 V
- ・ DVDD3B = 1.65 V ~ 3.6 V
- ・ AVDD3 = 2.7 V ~ 3.6 V

#### 25. 温度範囲

- ・ -40°C ~ 85°C (Flash W/E 時以外)
- ・ 0°C ~ 70°C (Flash W/E 時)

#### 26. パッケージ

P-TFBGA113-0606-0.50A4 (6mm × 6mm, 0.5mm ピッチ)

## 1.2 ブロック図

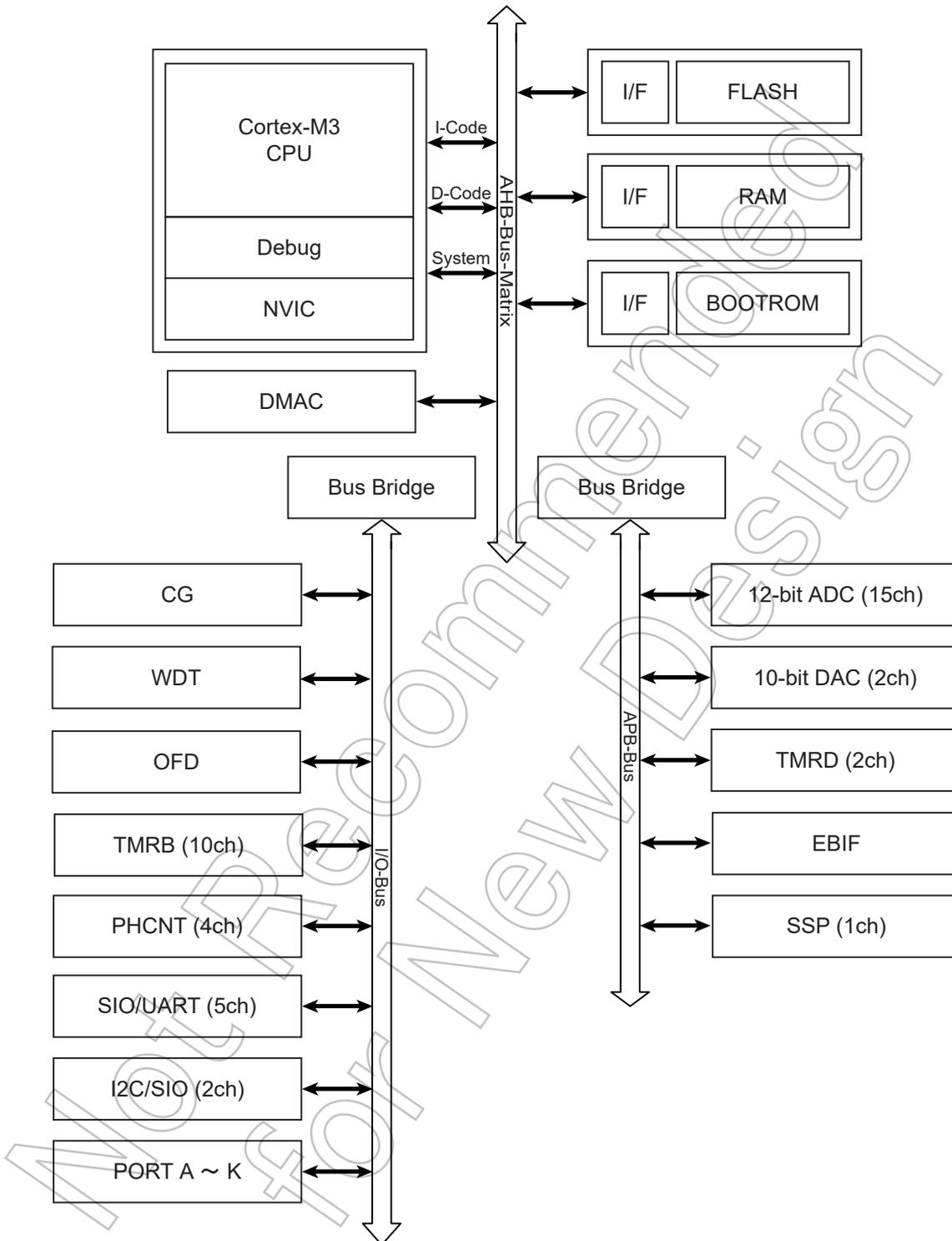


図 1-1 TMPM341FDXBG/FYXBG ブロック図

## 1.3 ピン配置図(Top view)

TMPM341FDXBG/FYXBG のピン配置図は、図 1-2 のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11
E1	E2	E3	E4	E5	—	—	E8	E9	E10	E11
F1	F2	F3	F4	—	—	—	F8	F9	F10	F11
G1	G2	G3	G4	—	—	—	G8	G9	G10	G11
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10	H11
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10	J11
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11
L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11

図 1-2 ピン配置図(BGA113)

## 1.4 ピン名称と機能

TMPM341FDXBG/FYXBG の入出力ピン名称と機能は、表 1-1、表 1-2 の通りです。

### 1.4.1 ピン番号順

表 1-1 ピン名称と機能<ピン番号順> (1/8)

分類	ピン番号	記号	入出力	機能
制御	A1	ENDIAN	入力	リトルエンディアン動作: DVSSA に固定 ビッグエンディアン動作: DVDD3A に固定
機能	A2	PK4 AIN12	入出力 入力	入出力ポート アナログ入力端子
機能	A3	PJ7 AIN07 INT9 TB0IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 16 ビットタイマイイベントカウンタインプットキャプチャ端子
機能	A4	PJ3 AIN03 PHC1IN1	入出力 入力 入力	入出力ポート アナログ入力端子 2 相パルス入力カウンタ端子
電源	A5	DVDD3A	-	電源端子
機能	A6	NMI	入力	マスク不能割り込み (注)プルアップおよびノイズフィルタ(Typ.条件で約 30ns)が内蔵されています。
クロック	A7	X1/EHCLKIN	入力	高速発振子接続端子 / 外部クロック入力端子
電源	A8	DVSSC	-	GND 端子
クロック	A9	X2	出力	高速発振子接続端子
機能/ デバッグ	A10	PI5 TCK/SWCLK	入出力 入力	入出力ポート デバッグ用端子
機能/ デバッグ	A11	PH5 TRACEDATA 3	入出力 出力	入出力ポート デバッグ用端子
機能	B1	PK6 AIN14	入出力 入力	入出力ポート アナログ入力端子
機能	B2	PK5 AIN13	入出力 入力	入出力ポート アナログ入力端子
機能	B3	PK0 AIN08 TB1IN0	入出力 入力 入力	入出力ポート アナログ入力端子 16 ビットタイマイイベントカウンタインプットキャプチャ端子
機能	B4	PJ4 AIN04 PHC2IN0	入出力 入力 入力	入出力ポート アナログ入力端子 2 相パルス入力カウンタ端子
機能	B5	PJ0 AIN00 PHC0IN0	入出力 入力 入力	入出力ポート アナログ入力端子 2 相パルス入力カウンタ端子
機能	B6	RESET	入力	リセット入力端子 (注)プルアップおよびノイズフィルタ(Typ.条件で約 30ns)が内蔵されています。

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (2/8)

分類	ピン番号	記号	入出力	機能
機能	B7	PH3 PHC3IN0 TB4OUT	入出力 入力 出力	入出力ポート 2相パルス入力カウンタ端子 16ビットタイマイイベントカウンタ出力端子
電源	B8	RVSS	-	GND端子(レギュレータ)
電源	B9	RVDD3	-	電源端子(レギュレータ)
機能/ デバッグ	B10	PI4 TDI	入出力 入力	入出力ポート デバッグ用端子
機能/ デバッグ	B11	PH6 TRACEDATA 2	入出力 出力	入出力ポート デバッグ用端子
電源	C1	AVDD3	入力	ADコンバータ、DAコンバータ用電源端子 (注)AD、DAコンバータを使用しない場合でも電源に接続してください。
電源	C2	AVREFH	入力	ADコンバータ、DAコンバータ用基準電源端子 (注)AD、DAコンバータを使用しない場合でも電源に接続してください。
機能	C3	PK1 AIN09 INTA TB1IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
機能	C4	PJ5 AIN05 PHC2IN1	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
機能	C5	PJ1 AIN01 PHC0IN1	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
制御	C6	MODE	入力	モード端子: (注)必ずGND接続にしてください。
機能	C7	PH4 PHC3IN1 TB5OUT	入出力 入力 出力	入出力ポート 2相パルス入力カウンタ端子 16ビットタイマイイベントカウンタ出力端子
機能	C8	PH0 TXD4	入出力 出力	入出力ポート(5Vトレラント入力)(注) シリアルチャネル送信端子
機能/ デバッグ	C9	PI7 TDO/SWV	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	C10	PI6 TMS/SWDIO	入出力 入出力	入出力ポート デバッグ用端子
電源	C11	DVDD3A	-	電源端子
電源	D1	AVSS	I	ADコンバータ、DAコンバータ用電源端子 (注)AD、DAコンバータを使用しない場合でもGNDに接続してください。
電源	D2	AVREFL	I	ADコンバータ、DAコンバータ用基準電源端子 (注)AD、DAコンバータを使用しない場合でもGNDに接続してください。

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (3/8)

分類	ピン番号	記号	入出力	機能
機能	D3	PK2 AIN10 TB6IN0	入出力 入力 入力	入出力ポート アナログ入力端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	D4	PJ6 AIN06 TB0IN0	入出力 入力 入力	入出力ポート アナログ入力端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	D5	PJ2 AIN02 PHC1IN0	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
機能	D6	PG7 INT1 TB9IN1	入出力 入力 入力	入出力ポート(5Vトレラント入力) (注) 外部割込み端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	D7	PG6 SCLK3 TB9IN0 CTS3	入出力 入出力 入力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネルクロック端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子 シリアルチャネルハンドシェイク用端子
機能	D8	PH1 RXD4	入出力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネル受信端子
機能/ デバッグ	D9	PI2 TRACECLK	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	D10	PI3 TRST	入出力 入力	入出力ポート デバッグ用端子
電源	D11	DVSSA	-	GND 端子
電源	E1	DVSSB	-	GND 端子
電源	E2	DVDD3B	-	電源端子
機能	E3	PK3 AIN11 INTB TB6IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	E4	DA0	出力	アナログ出力端子
機能	E5	DA1	出力	アナログ出力端子
機能	E8	PH2 SCLK4 CTS4	入出力 入出力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネルクロック端子 シリアルチャネルハンドシェイク用端子
機能	E9	PG5 RXD3 TB8IN1	入出力 入力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネル受信端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能/ デバッグ	E10	PI1 TRACEDATA 0	入出力 出力	入出力ポート デバッグ用端子
電源	E11	DVSSB	-	GND 端子

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (4/8)

分類	ピン番号	記号	入出力	機能
機能	F1	PA0 D0/AD0	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能/ 制御	F2	PF0 $\overline{\text{BOOT}}$ TB6OUT	出力 入力 出力	入出力ポート BOOT モード端子: (注) $\overline{\text{RESET}}$ 端子の立ち上がりで"Low"をサンプリングするとシングルブートモードになります。 16 ビットタイマ/イベントカウンタ出力端子
機能	F3	PF1 $\overline{\text{RD}}$	入出力 出力	入出力ポート リード: 外部メモリをリードするためのストロープ信号です。
制御	F4	INTLV	入力	インターリーブ 制御端子(クロック/モード制御章を参照願います) $f_c > 40\text{MHz}$ の場合はプルアップ接続、 $f_c \leq 40\text{MHz}$ の場合はプルダウン接続してください。
機能	F8	PG4 TXD3 TB8IN0	入出力 出力 入力	入出力ポート(5V トレラント入力) (注) SIO 送信端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	F9	PG3 INT0	入出力 入力	入出力ポート(5V トレラント入力) (注) 外部割込み端子
機能/ デバッグ	F10	PI0 TRACEDATA 1	入出力 出力	入出力ポート デバッグ用端子
電源	F11	DVDD3B	-	電源端子
機能	G1	PA1 D1/AD1	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能	G2	PA2 D2/AD2	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能	G3	PF3 $\overline{\text{BELL}}$	入出力 出力	入出力ポート バイトイネーブル端子:外部 8 ビットメモリアクセス用信号
機能	G4	PF2 $\overline{\text{WR}}$	入出力 出力	入出力ポート ライト: データをライトするためのストロープ信号です。
機能	G8	PG2 SCK0 INT8	入出力 入出力 入力	入出力ポート(5V トレラント入力) (注) SIO モードクロック端子 外部割込み端子
機能	G9	PG1 SIO/SCL0 TB7IN1	入出力 入出力 入力	入出力ポート(5V トレラント入力) (注) SIO モード受信、I2C モードクロック端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	G10	PD7 A15 SPFSS SCOUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SSP FSS 入出力 システムクロック出力
機能	G11	PD6 A14 SPCLK	入出力 出力 入出力	入出力ポート アドレスバス SSP クロック入出力
機能	H1	PA3 D3/AD3	入出力 入出力	入出力ポート データバス/アドレスデータバス

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (5/8)

分類	ピン番号	記号	入出力	機能
機能	H2	PA4 D4/AD4	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能	H3	PF4 BELH INT6 TB5IN0	入出力 出力 入力 入力	入出力ポート バイトイネーブル端子:外部 16 ビットメモリアクセス用信号 外部割込み端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	H4	PF5 CS1 INT7 TB5IN1	入出力 出力 入力 入力	入出力ポート チップセレクト:出力アドレスが指定したアドレス領域内なら"0"を出力します。 外部割込み端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	H5	PC1 A1 RXD1 TB2IN1	入出力 出力 入力 入力	入出力ポート アドレスバス SIO 受信端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	H6	PC3 A3 INT2 TB1OUT	入出力 出力 入力 出力	入出力ポート アドレスバス 外部割込み端子 16 ビットタイマ/イベントカウンタ出力端子
機能	H7	PC6 A6 SCLK2 TB4IN0 CTS2	入出力 出力 入出力 入力 入力	入出力ポート アドレスバス シリアルチャネルロック端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子 シリアルチャネルハンドシェイク用端子
機能	H8	PC7 A7 INT3 TB4IN1	入出力 出力 入力 入力	入出力ポート アドレスバス 外部割込み端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	H9	PG0 SO0/SDA0 TB7IN0	入出力 入出力 入力	入出力ポート(5V トレラント入力) (注) SIO モード送信、I2C モード送受信端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	H10	PD5 A13 SPDI	入出力 出力 入力	入出力ポート アドレスバス SSP DI 入力
機能	H11	PD4 A12 SPDO	入出力 出力 出力	入出力ポート アドレスバス SSP DO 出力
機能	J1	PA5 D5/AD5	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能	J2	PA6 D6/AD6	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能	J3	PF6 CS0	入出力 出力	入出力ポート チップセレクト:出力アドレスが指定したアドレス領域内なら"0"を出力します。

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (6/8)

分類	ピン番号	記号	入出力	機能
機能	J4	PF7 ALE	入出力 出力	入出力ポート アドレスラッチイネーブル (ノイズ低減のため出力禁止に設定可能)
機能	J5	PC0 A0 TXD1 TB2IN0	入出力 出力 出力 入力	入出力ポート アドレスバス シリアルチャネル送信端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	J6	PC2 A2 SCLK1 TB0OUT CTS1	入出力 出力 入出力 出力 入力	入出力ポート アドレスバス シリアルチャネルクロック端子 16ビットタイマ/イベントカウンタ出力端子 シリアルチャネルハンドシェイク用端子
機能	J7	PC5 A5 RXD2 TB3IN1	入出力 出力 入力 入力	入出力ポート アドレスバス シリアルチャネル受信端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	J8	PE0 TXD0 A16	入出力 出力 出力	入出力ポート シリアルチャネル送信端子 アドレスバス
機能	J9	PE2 SCLK0 A18 TB2OUT CTS0	入出力 入出力 出力 出力 入力	入出力ポート シリアルチャネルクロック端子 アドレスバス 16ビットタイマ/イベントカウンタ出力端子 シリアルチャネルハンドシェイク用端子
機能	J10	PD3 A11 INT4 ADTRG	入出力 出力 入力 入力	入出力ポート アドレスバス 外部割込み端子 ADコンバータトリガ入力
機能	J11	PD2 A10 SCK1 TB9OUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SIOモードクロック端子 16ビットタイマ/イベントカウンタ出力端子
機能	K1	PA7 D7/AD7	入出力 入出力	入出力ポート データバス/アドレスデータバス
機能	K2	PB1 D9/AD9 A1	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
機能	K3	PB3 D11/AD11 A3	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
機能	K4	PB5 D13/AD13 A5	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (7/8)

分類	ピン番号	記号	入出力	機能
機能	K5	PB7 D15/AD15 A7	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
電源	K6	DVDD3B	-	電源端子
機能	K7	PC4 A4 TXD2 TB3IN0	入出力 出力 出力 入力	入出力ポート アドレスバス シリアルチャネル送信端子 16ビットタイマ/イベントカウンタインプットキャプチャ端子
機能	K8	PE1 RXD0 A17	入出力 入力 出力	入出力ポート シリアルチャネル受信端子 アドレスバス
機能	K9	PE3 INT5 A19 TB3OUT	入出力 入力 出力 出力	入出力ポート 外部割込み端子 アドレスバス 16ビットタイマ/イベントカウンタ出力端子
機能	K10	PD1 A9 SI1/SCL1 TB8OUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SIO モード受信, I2C モードクロック端子 16ビットタイマ/イベントカウンタ出力端子
機能	K11	PD0 A8 SO1/SDA1 TB7OUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SIO モード送信, I2C モード送受信端子 16ビットタイマ/イベントカウンタ出力端子
制御	L1	BSC	入力	JTAG バウンダリスキャン制御端子 (注)未使用時は必ず GND に接続してください。
機能	L2	PB0 D8/AD8 A0	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
機能	L3	PB2 D10/AD10 A2	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
機能	L4	PB4 D12/AD12 A4	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
機能	L5	PB6 D14/AD14 A6	入出力 入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
電源	L6	DVSSB	-	GND 端子
機能	L7	PE4 A20 TD0OUT0	入出力 出力 出力	入出力ポート アドレスバス 高分解能タイマ/PPG 出力端子

表 1-1 ピン名称と機能&lt;ピン番号順&gt; (8/8)

分類	ピン番号	記号	入出力	機能
機能	L8	PE5 A21 TD0OUT1	入出力 出力 出力	入出力ポート アドレスバス 高分解能タイマ/PPG 出力端子
機能	L9	PE6 A22 TD1OUT0	入出力 出力 出力	入出力ポート アドレスバス 高分解能タイマ/PPG 出力端子
機能	L10	PE7 A23 TD1OUT1	入出力 出力 出力	入出力ポート アドレスバス 高分解能タイマ/PPG 出力端子
制御	L11	FTEST3	-	テスト端子: (注)必ず OPEN にしてください。

注) 入力端子として使用時のみ、5V 入力可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください

## 1.4.2 ポート順

表 1-2 ピン名称と機能&lt;ポート順&gt; (1/8)

PORT	分類	ピン番号	記号	入出力	機能
PORT A	機能	F1	PA0 D0/AD0	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	G1	PA1 D1/AD1	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	G2	PA2 D2/AD2	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	H1	PA3 D3/AD3	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	H2	PA4 D4/AD4	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	J1	PA5 D5/AD5	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	J2	PA6 D6/AD6	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT A	機能	K1	PA7 D7/AD7	入出力 入出力	入出力ポート データバス/アドレスデータバス
PORT B	機能	L2	PB0 D8/AD8 A0	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	K2	PB1 D9/AD9 A1	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	L3	PB2 D10/AD10 A2	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	K3	PB3 D11/AD11 A3	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	L4	PB4 D12/AD12 A4	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	K4	PB5 D13/AD13 A5	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	L5	PB6 D14/AD14 A6	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス
PORT B	機能	K5	PB7 D15/AD15 A7	入出力 入出力 出力	入出力ポート データバス/アドレスデータバス アドレスバス

表 1-2 ピン名称と機能&lt;ポート順&gt; (2/8)

PORT	分類	ピン 番号	記号	入出力	機能
PORT C	機能	J5	PC0 A0 TXD1 TB2IN0	入出力 出力 出力 入力	入出力ポート アドレスバス シリアルチャネル送信端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT C	機能	H5	PC1 A1 RXD1 TB2IN1	入出力 出力 入力 入力	入出力ポート アドレスバス シリアルチャネル受信端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT C	機能	J6	PC2 A2 SCLK1 TB0OUT CTS1	入出力 出力 入出力 出力 入力	入出力ポート アドレスバス シリアルチャネルクロック端子 16ビットタイマイイベントカウンタ出力端子 シリアルチャネルハンドシェイク用端子
PORT C	機能	H6	PC3 A3 INT2 TB1OUT	入出力 出力 入力 出力	入出力ポート アドレスバス 外部割込み端子 16ビットタイマイイベントカウンタ出力端子
PORT C	機能	K7	PC4 A4 TXD2 TB3IN0	入出力 出力 出力 入力	入出力ポート アドレスバス シリアルチャネル送信端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT C	機能	J7	PC5 A5 RXD2 TB3IN1	入出力 出力 入力 入力	入出力ポート アドレスバス シリアルチャネル受信端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT C	機能	H7	PC6 A6 SCLK2 TB4IN0 CTS2	入出力 出力 入出力 入力 入力	入出力ポート アドレスバス シリアルチャネルクロック端子 16ビットタイマイイベントカウンタインプットキャプチャ端子 シリアルチャネルハンドシェイク用端子
PORT C	機能	H8	PC7 A7 INT3 TB4IN1	入出力 出力 入力 入力	入出力ポート アドレスバス 外部割込み端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT D	機能	K11	PD0 A8 SIO1/SDA1 TB7OUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SIO モード送信, I2C モード送受信端子 16ビットタイマイイベントカウンタ出力端子
PORT D	機能	K10	PD1 A9 SIO1/SCL1 TB8OUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SIO モード受信, I2C モードクロック端子 16ビットタイマイイベントカウンタ出力端子

表 1-2 ピン名称と機能&lt;ポート順&gt; (3/8)

PORT	分類	ピン番号	記号	入出力	機能
PORT D	機能	J11	PD2 A10 SCK1 TB9OUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SIO モードクロック端子 16 ビットタイマイイベントカウンタ出力端子
PORT D	機能	J10	PD3 A11 INT4 ADTRG	入出力 出力 入力 入力	入出力ポート アドレスバス 外部割込み端子 AD コンバータトリガ入力
PORT D	機能	H11	PD4 A12 SPDO	入出力 出力 出力	入出力ポート アドレスバス SSP DO 出力
PORT D	機能	H10	PD5 A13 SPDI	入出力 出力 入力	入出力ポート アドレスバス SSP DI 入力
PORT D	機能	G11	PD6 A14 SPCLK	入出力 出力 入出力	入出力ポート アドレスバス SSP クロック入出力
PORT D	機能	G10	PD7 A15 SPFSS SCOUT	入出力 出力 入出力 出力	入出力ポート アドレスバス SSP FSS 入出力 システムクロック出力
PORT E	機能	J8	PE0 TXD0 A16	入出力 出力 出力	入出力ポート シリアルチャネル送信端子 アドレスバス
PORT E	機能	K8	PE1 RXD0 A17	入出力 入力 出力	入出力ポート シリアルチャネル受信端子 アドレスバス
PORT E	機能	J9	PE2 SCLK0 A18 TB2OUT CTS0	入出力 入出力 出力 出力 入力	入出力ポート シリアルチャネルクロック端子 アドレスバス 16 ビットタイマイイベントカウンタ出力端子 シリアルチャネルハンドシェイク用端子
PORT E	機能	K9	PE3 INT5 A19 TB3OUT	入出力 入力 出力 出力	入出力ポート 外部割込み端子 アドレスバス 16 ビットタイマイイベントカウンタ出力端子
PORT E	機能	L7	PE4 A20 TD0OUT0	入出力 出力 出力	入出力ポート アドレスバス タイマ D 出力端子
PORT E	機能	L8	PE5 A21 TD0OUT1	入出力 出力 出力	入出力ポート アドレスバス タイマ D 出力端子

表 1-2 ピン名称と機能&lt;ポート順&gt; (4/8)

PORT	分類	ピン番号	記号	入出力	機能
PORT E	機能	L9	PE6 A22 TD1OUT0	入出力 出力 出力	入出力ポート アドレスバス タイマ D 出力端子
PORT E	機能	L10	PE7 A23 TD1OUT1	入出力 出力 出力	入出力ポート アドレスバス タイマ D 出力端子
PORT F	機能/制御	F2	PF0 BOOT  TB6OUT	出力 入力  出力	入出力ポート BOOT モード端子: (注)RESET 端子の立ち上がりで"Low"をサンプリングするとシングルブートモードになります。 16 ビットタイマ/イベントカウンタ出力端子
PORT F	機能	F3	PF1 RD	入出力 出力	入出力ポート リード: 外部メモリをリードするためのストロープ信号です。
PORT F	機能	G4	PF2 WR	入出力 出力	入出力ポート ライト: データをライトするためのストロープ信号です。
PORT F	機能	G3	PF3 BELL	入出力 出力	入出力ポート バイトイネーブル端子:外部 8 ビットメモリアクセス用信号
PORT F	機能	H3	PF4 BELH INT6 TB5IN0	入出力 出力 入力 入力	入出力ポート バイトイネーブル端子:外部 16 ビットメモリアクセス用信号 外部割込み端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
PORT F	機能	H4	PF5 CS1 INT7 TB5IN1	入出力 出力 入力 入力	入出力ポート チップセレクト:出力アドレスが指定したアドレス領域内なら"0"を出力します。 外部割込み端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
PORT F	機能	J3	PF6 CS0	入出力 出力	入出力ポート チップセレクト:出力アドレスが指定したアドレス領域内なら"0"を出力します。
PORT F	機能	J4	PF7 ALE	入出力 出力	入出力ポート アドレスラッチイネーブル (ノイズ低減のため出力禁止に設定可能)
PORT G	機能	H9	PG0 SO0/SDA0 TB7IN0	入出力 入出力 入力	入出力ポート(5Vトレラント入力) (注) SIO モード送信, I2C モード送受信端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
PORT G	機能	G9	PG1 SI0/SCL0 TB7IN1	入出力 入出力 入力	入出力ポート(5Vトレラント入力) (注) SIO モード受信, I2C モードクロック端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子
PORT G	機能	G8	PG2 SCK0 INT8	入出力 入出力 入力	入出力ポート(5Vトレラント入力) (注) SIO モードクロック端子 外部割込み端子
PORT G	機能	F9	PG3 INT0	入出力 入力	入出力ポート(5Vトレラント入力) (注) 外部割込み端子
PORT G	機能	F8	PG4 TXD3 TB8IN0	入出力 出力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネル送信端子 16 ビットタイマ/イベントカウンタインプットキャプチャ端子

表 1-2 ピン名称と機能&lt;ポート順&gt; (5/8)

PORT	分類	ピン番号	記号	入出力	機能
PORT G	機能	E9	PG5 RXD3 TB8IN1	入出力 入力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネル受信端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT G	機能	D7	PG6 SCLK3 TB9IN0 CTS3	入出力 入出力 入力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネルクロック端子 16ビットタイマイイベントカウンタインプットキャプチャ端子 シリアルチャネルハンドシェイク用端子
PORT G	機能	D6	PG7 INT1 TB9IN1	入出力 入力 入力	入出力ポート(5Vトレラント入力) (注) 外部割込み端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT H	機能	C8	PH0 TXD4	入出力 出力	入出力ポート(5Vトレラント入力) (注) シリアルチャネル送信端子
PORT H	機能	D8	PH1 RXD4	入出力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネル受信端子
PORT H	機能	E8	PH2 SCLK4 CTS4	入出力 入出力 入力	入出力ポート(5Vトレラント入力) (注) シリアルチャネルクロック端子 シリアルチャネルハンドシェイク用端子
PORT H	機能	B7	PH3 PHC3IN0 TB4OUT	入出力 入力 出力	入出力ポート 2相パルス入力カウンタ端子 16ビットタイマイイベントカウンタ出力端子
PORT H	機能	C7	PH4 PHC3IN1 TB5OUT	入出力 入力 出力	入出力ポート 2相パルス入力カウンタ端子 16ビットタイマイイベントカウンタ出力端子
PORT H	機能/ デバッグ	A11	PH5 TRACEDATA 3	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能/ デバッグ	B11	PH6 TRACEDATA 2	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	F10	PI0 TRACEDATA 1	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	E10	PI1 TRACEDATA 0	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	D9	PI2 TRACECLK	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	D10	PI3 TRST	入出力 入力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	B10	PI4 TDI	入出力 入力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	A10	PI5 TCK/SWCLK	入出力 入力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	C10	PI6 TMS/SWDIO	入出力 入出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	C9	PI7 TDO/SWV	入出力 出力	入出力ポート デバッグ用端子

表 1-2 ピン名称と機能&lt;ポート順&gt; (6/8)

PORT	分類	ピン 番号	記号	入出力	機能
PORT J	機能	B5	PJ0 AIN00 PHC0IN0	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
PORT J	機能	C5	PJ1 AIN01 PHC0IN1	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
PORT J	機能	D5	PJ2 AIN02 PHC1IN0	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
PORT J	機能	A4	PJ3 AIN03 PHC1IN1	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
PORT J	機能	B4	PJ4 AIN04 PHC2IN0	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
PORT J	機能	C4	PJ5 AIN05 PHC2IN1	入出力 入力 入力	入出力ポート アナログ入力端子 2相パルス入力カウンタ端子
PORT J	機能	D4	PJ6 AIN06 TB0IN0	入出力 入力 入力	入出力ポート アナログ入力端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT J	機能	A3	PJ7 AIN07 INT9 TB0IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT K	機能	B3	PK0 AIN08 TB1IN0	入出力 入力 入力	入出力ポート アナログ入力端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT K	機能	C3	PK1 AIN09 INTA TB1IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT K	機能	D3	PK2 AIN10 TB6IN0	入出力 入力 入力	入出力ポート アナログ入力端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT K	機能	E3	PK3 AIN11 INTB TB6IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割込み端子 16ビットタイマイイベントカウンタインプットキャプチャ端子
PORT K	機能	A2	PK4 AIN12	入出力 入力	入出力ポート アナログ入力端子
PORT K	機能	B2	PK5 AIN13	入出力 入力	入出力ポート アナログ入力端子

表 1-2 ピン名称と機能&lt;ポート順&gt; (7/8)

PORT	分類	ピン番号	記号	入出力	機能
PORT K	機能	B1	PK6 AIN14	入出力 入力	入出力ポート アナログ入力端子
-	制御	A1	ENDIAN	入力	リトルエンディアン動作: DVSSA に固定 ビッグエンディアン動作: DVDD3A に固定
-	機能	E4	DA0	出力	アナログ出力端子
-	機能	E5	DA1	出力	アナログ出力端子
-	機能	B6	$\overline{\text{RESET}}$	入力	リセット入力端子 (注)プルアップおよびノイズフィルタ(Typ.条件で約 30ns)を内蔵しています。
-	機能	A6	$\overline{\text{NMI}}$	入力	マスク不能割り込み (注)プルアップおよびノイズフィルタ(Typ.条件で約 30ns)を内蔵しています。
-	制御	C6	MODE	入力	モード端子: (注)必ず GND 接続にしてください。
-	制御	L11	FTEST3	-	テスト端子: (注)必ず OPEN にしてください。
-	制御	F4	INTLV	入力	インターリーブ 制御端子(クロック/モード制御章を参照願います) $f_c > 40\text{MHz}$ の場合はプルアップ接続、 $f_c \leq 40\text{MHz}$ の場合はプルダウン接続してください。
-	制御	L1	BSC	入力	JTAG バウンダリスキャン制御端子 (注)未使用時は必ず GND に接続してください。
-	クロック	A7	X1/EHCLKIN	入力	高速発振子接続端子 /外部クロック入力端子
-	クロック	A9	X2	出力	高速発振子接続端子
-	電源	A5	DVDD3A	-	電源端子
-	電源	C11	DVDD3A	-	電源端子
-	電源	E2	DVDD3B	-	電源端子
-	電源	F11	DVDD3B	-	電源端子
-	電源	K6	DVDD3B	-	電源端子
-	電源	D11	DVSSA	-	GND 端子
-	電源	E1	DVSSB	-	GND 端子
-	電源	E11	DVSSB	-	GND 端子
-	電源	L6	DVSSB	-	GND 端子
-	電源	B9	RVDD3	-	電源端子(レギュレータ)
-	電源	B8	RVSS	-	GND 端子(レギュレータ)
-	電源	A8	DVSSC	-	GND 端子

表 1-2 ピン名称と機能&lt;ポート順&gt; (8/8)

PORT	分類	ピン番号	記号	入出力	機能
-	電源	C2	AVREFH	入力	AD コンバータ、DA コンバータ用基準電源端子 (注)AD、DA コンバータを使用しない場合でも電源に接続してください。
-	電源	D2	AVREFL	入力	AD コンバータ、DA コンバータ用基準電源端子 (注)AD、DA コンバータを使用しない場合でも GND に接続してください。
-	電源	C1	AVDD3	入力	AD コンバータ、DA コンバータ用電源端子 (注)AD、DA コンバータを使用しない場合でも電源に接続してください。
-	電源	D1	AVSS	入力	AD コンバータ、DA コンバータ用電源端子 (注)AD、DA コンバータを使用しない場合でも GND に接続してください。

注) 入力端子として使用時のみ、5V 入力可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください

Not Recommended for New Design

## 1.5 電源の種類と供給端子

表 1-3 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
DVDD3B	1.65 to 3.6V	K6, E2, F11	PA, PB, PC, PD, PE, PF, BSC
DVDD3A	2.7 to 3.6V	A5, C11	PG, PH, PI, X1, X2, FTTEST3, RESET, NMI, MODE, INTLV
AVDD3		C1	PJ, PK, DA0, DA1, ENDIAN
RVDD3		B9	

Not Recommended for New Design

## 第2章 プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア (ARM 社 Cortex-M3 コア) が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる "Cortex-M3 テクニカルリファレンスマニュアル" を参照してください。ここでは、製品固有の情報について説明します。

### 2.1 コアに関する情報

TMPM341FDXBG/FYXBG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より "Cortex-M series processors" のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

製品名	コアリビジョン
TMPM341FDXBG/ FYXBG	r2p0

### 2.2 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM341FDXBG/FYXBG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ : 2 本 命令コンパレータ : 6 本
DWT	コンパレータ : 4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/ シリアルワイヤ

## 2.3 例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

### 2.3.1 割り込み本数

Cortex-M3 コアは割り込み本数を 1~240 本の間で任意に構成することができます。

TMPM341FDXBG/FYXBG の割り込み本数は 84 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの <INTLINESNUM[4:0]> ビットに反映され、本製品では "0x00" が読み出されます。

### 2.3.2 割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3~8 ビットの間で任意に構成することができます。

TMPM341FDXBG/FYXBG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

### 2.3.3 SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

### 2.3.4 SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの <SYSRESETREQ> ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM341FDXBG/FYXBG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

### 2.3.5 LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウェアに重大な誤りのあることを示します。

TMPM341FDXBG/FYXBG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

### 2.3.6 補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウェアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM341FDXBG/FYXBG ではこのレジスタに対して機能を定義していません。リードすると常に "0x0000\_0000" が読み出されます。

## 2.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM341FDXBG/FYXBG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

## 2.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM341FDXBG/FYXBG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック/モード制御」の章を参照してください。

## 2.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM341FDXBG/FYXBG ではこの機能を使用していません。

Not Recommended  
for New Design

## 第3章 エンディアン

### 3.1 Cortex-M3 コアのエンディアン仕様

本製品の CPU コアである Cortex-M3 は、リトルエンディアンとビッグエンディアンの両方をサポート可能なバイエンディアン対応の CPU コアです。特徴は以下の通りです。

1. ビッグエンディアンは ARM 社のエンディアン方式 (BE8)

ARM 社で定義されているビッグエンディアン (BE8) は、弊社 TX19 シリーズ製品でサポートしている MIPS 方式のビッグエンディアンの形式や動作が一部異なります。

ビッグエンディアン仕様の違いについては「3.5.1 ビッグエンディアン形式の違い」を参照してください。

2. 常にリトルエンディアンとなる空間が存在

ビッグエンディアン設定での利用時にも、Cortex-M3 コアからのアクセスのうち、以下の動作および領域は常にリトルエンディアンとなります。

- ・ 命令フェッチ
- ・ 内部専用ペリフェラル・バス (0xE0000000 ~ 0xE003FFFF)
- ・ 外部専用ペリフェラル・バス (0xE0040000 ~ 0xE00FFFFFF)

詳細は、ARM 社の下記 URL より "Cortex-M series processors" のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

### 3.2 TMPM341FDXBG/FYXBG のエンディアン仕様

本製品はバイエンディアン対応の CPU コア (Cortex-M3) を搭載しており、CPU コアの特徴を生かしバイエンディアン対応可能です。

ただし、ビッグエンディアンを使用する場合、動作モード、エンディアン形式 (BE8 形式、MIPS 形式)、動作やアクセス領域 (命令、オペランド) によっていくつかの注意が必要です。

以下、動作モードごとに、仕様と動作を説明します。

#### 3.2.1 シングルモード

Cortex-M3 では常に命令コードがリトルエンディアン形式となるため、ビッグエンディアンでのコンパイル結果はリトルエンディアン形式と BE8 形式が混在した形になります。このため、コンパイルデータが配置されるメモリは Cortex-M3 形式のビッグエンディアンである必要があります。対象は、内蔵メモリと外部バスに接続されるメモリです。

外部バス領域は、外部デバイスと MIPS 形式のビッグエンディアンでのデータ授受を可能にするため、MIPS 形式のデータも扱うことができます。CS 空間ごとに Cortex-M3 形式と MIPS 形式を選択可能です。

内蔵する周辺機能の制御レジスタは MIPS 形式です。

DMAC の転送するデータも MIPS 形式となります。

### 3.2.2 シングルブートモード

内蔵 BOOT ROM に格納されているブートプログラムがリトルエンディアン形式であるため、シングルブートモードで動作する場合は ENDIAN 端子の設定にかかわらずリトルエンディアン動作となります。このため、RAM 転送コマンドで RAM 上に展開するプログラムやデータはリトルエンディアン形式で準備する必要がありますのでご注意ください。

### 3.2.3 その他

#### 3.2.3.1 DMAC から見たエンディアン

DMAC はエンディアン選択ビット (DMACxConfiguration<M>) により個別にエンディアン設定を行うことができますが、常に製品のエンディアン設定と同じエンディアンとしてください。

#### 3.2.3.2 デバッグツールから見たエンディアン

デバッグツールを接続した場合、データは CPU 内部のバスマトリクスを経由して観測するため Cortex-M3 形式のビッグエンディアンとなります。このため、命令についてはリトルエンディアン、オペランドについては BE8 形式で観測することになります。

## 3.3 設定方法とエンディアン形式

### 3.3.1 TMPM341FDXBG/FYXBG の動作設定

本製品のエンディアンは、動作モード(BOOT 端子で決定)と ENDIAN 端子で設定します。また、製品のエンディアン設定と別に、外部バス領域のエンディアン設定は EBIF の EXBCSx<ENDTYPE>で、DMAC のエンディアン設定は DMACxConfiguration<M>で行います。

表 3-1、表 3-2 に、バスマスタ、設定およびアクセス領域毎のエンディアン形式の一覧を示します。本製品では、2 種のバスマスタ (CPU と DMAC) が存在し、DMAC によるアクセスは、CPU のオペランドアクセスと同様になります。

表 3-1 エンディアン形式まとめ(CPU アクセス)

アクセス領域		製品のエンディアン設定					
		シングルモード BOOT="High"				シングルブートモード BOOT="Low"	
		リトルエンディアン ENDIAN="Low"		ビッグエンディアン ENDIAN="High"		リトルエンディアン ENDIAN="don't care"	
		命令	オペランド	命令	オペランド	命令	オペランド
内蔵 FLASH		LE		LE	BE8	- (使用不可)	LE
内蔵 RAM		LE		LE	BE8	LE	
内蔵 BOOT ROM		-		-		LE	
周辺機能の制御レジスタ		LE		-	MIPS	LE	
外部メモリ	EXBCSx<ENDTYPE>="0"	LE		LE	BE8	LE	
	EXBCSx<ENDTYPE>="1"	- (使用不可)	MIPS	- (使用不可)	MIPS	- (使用不可)	MIPS

LE: リトルエンディアン  
 BE8: BE8 形式ビッグエンディアン  
 MIPS: MIPS 形式ビッグエンディアン

表 3-2 エンディアン形式まとめ(DMAC アクセス)

アクセス領域		製品/DMAC のエンディアン設定				
		シングルモード BOOT="High"		シングルブートモード BOOT="Low"		
		リトルエンディアン ENDIAN="Low" DMACxConfiguration <M>="0"		ビッグエンディアン ENDIAN="High" DMACxConfiguration <M>="1"		リトルエンディアン ENDIAN="don't care" DMACxConfiguration <M>="0"
内蔵 FLASH		LE		BE8	LE	
内蔵 RAM		LE		BE8	LE	
内蔵 BOOT ROM		-		-	LE	
周辺機能の制御レジスタ		LE		MIPS	LE	
外部メモリ	EXBCSx<ENDTYPE>="0"	LE		BE8	LE	
	EXBCSx<ENDTYPE>="1"	MIPS		MIPS	MIPS	

LE: リトルエンディアン  
 BE8: BE8 形式ビッグエンディアン  
 MIPS: MIPS 形式ビッグエンディアン

### 3.3.2 動作モード

BOOT 端子により本製品の動作モードが決定されます。本端子は外部リセット端子の立ち上がり時に "Low" : AVSS レベルの場合シングルブートモードにて起動し、"High" : AVDD3 レベルの場合シングルモードにて起動します。

シングルブートモードでは、ENDIAN 端子の設定によらず製品のエンディアンはリトルエンディアンとなります。

### 3.3.3 ENDIAN 端子

本製品には、エンディアンを決定する ENDIAN 端子が準備されています。本端子は入力専用端子であり、外部リセット端子の立ち上がり時に"Low"(AVSS レベル)の場合、リトルエンディアンにて起動し、"High"(AVDD3 レベル)の場合、ビッグエンディアンにて起動します。前述の通り、シングルブートモードでは本端子の設定によらずリトルエンディアンとなります。

### 3.3.4 外部バス領域のエンディアン選択

外部バスインタフェース (EBIF) の EXBCSx<ENDTYPE>にて CS 空間ごとにエンディアンを設定します。ENDIAN 端子と<ENDTYPE>の設定により、外部バス領域のエンディアンは以下のようになります。

エンディアン設定	EXBCSx<ENDTYPE>	
	"0" (CPU と同じエンディアン)	"1" (CPU と異なるエンディアン)
リトルエンディアン	リトルエンディアン	MIPS 形式
ビッグエンディアン	BE8 形式	MIPS 形式

### 3.3.5 DMAC のエンディアン選択

DMACxConfiguration<M>にてエンディアンを設定します。DMAC のエンディアン設定は、必ず ENDIAN 端子による設定と同じエンディアンとしてください。<M>="0"でリトルエンディアン、<M>="1"でビッグエンディアンとなります。

## 3.4 構成

TMPM341FDXBG/FYXBG の構成を以下に示します。ビッグエンディアン仕様の違いに対応するため、AHB バスとバスブリッジの間、AHB バスと DMAC の間にデータ変換回路が存在します。

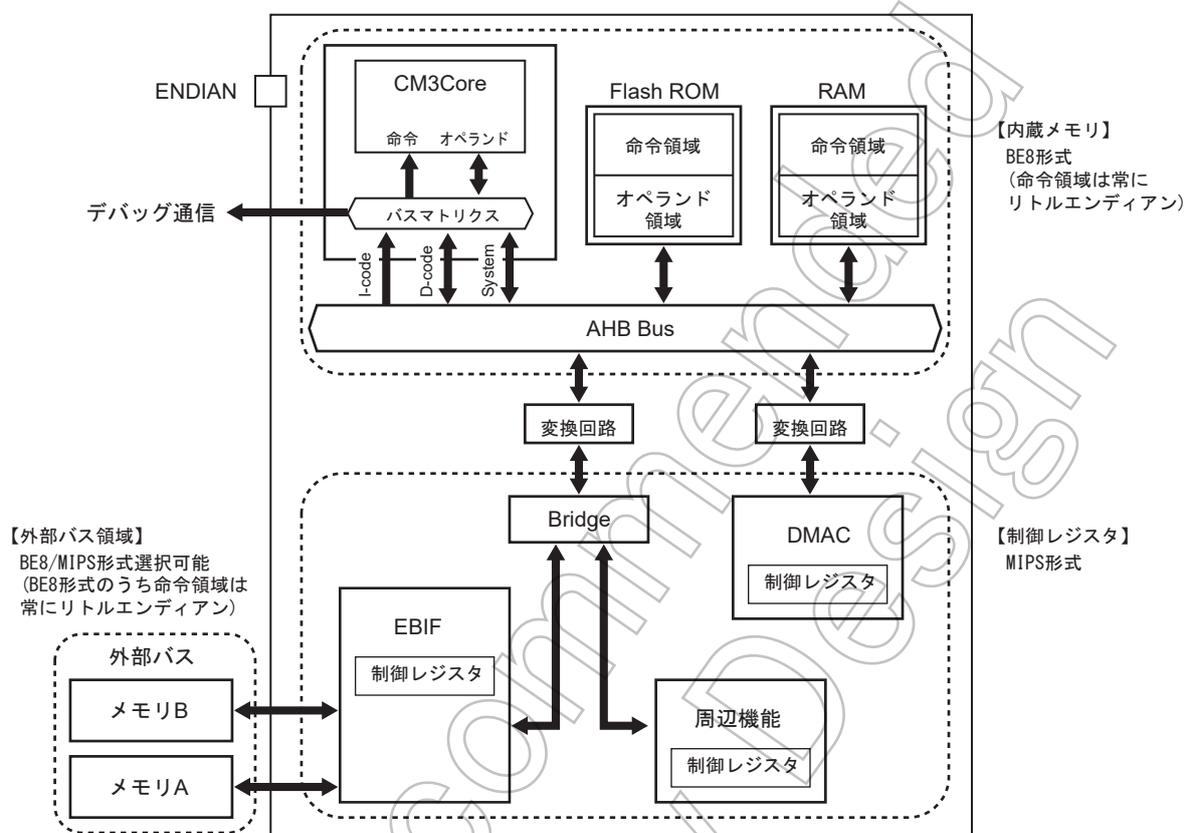


図 3-1 TMPM341FDXBG/FYXBG ブロック図

次章より、リトルエンディアン、ビッグエンディアンそれぞれの動作を具体的に説明します。

### 3.4.1 リトルエンディアンのブロック構成

リトルエンディアン設定の場合、CPU や内蔵するメモリおよび内蔵する周辺機能の制御レジスタアクセスはリトルエンディアン形式となりますが、外部バスエリアのみメモリごと（チップセレクト信号単位）にリトルエンディアンと MIPS 形式のビッグエンディアンを選択できます。

DMAC はリトルエンディアンの設定で使用します。

変換回路は、外部バスが MIPS 形式のメモリアクセスの場合に変換を行います。

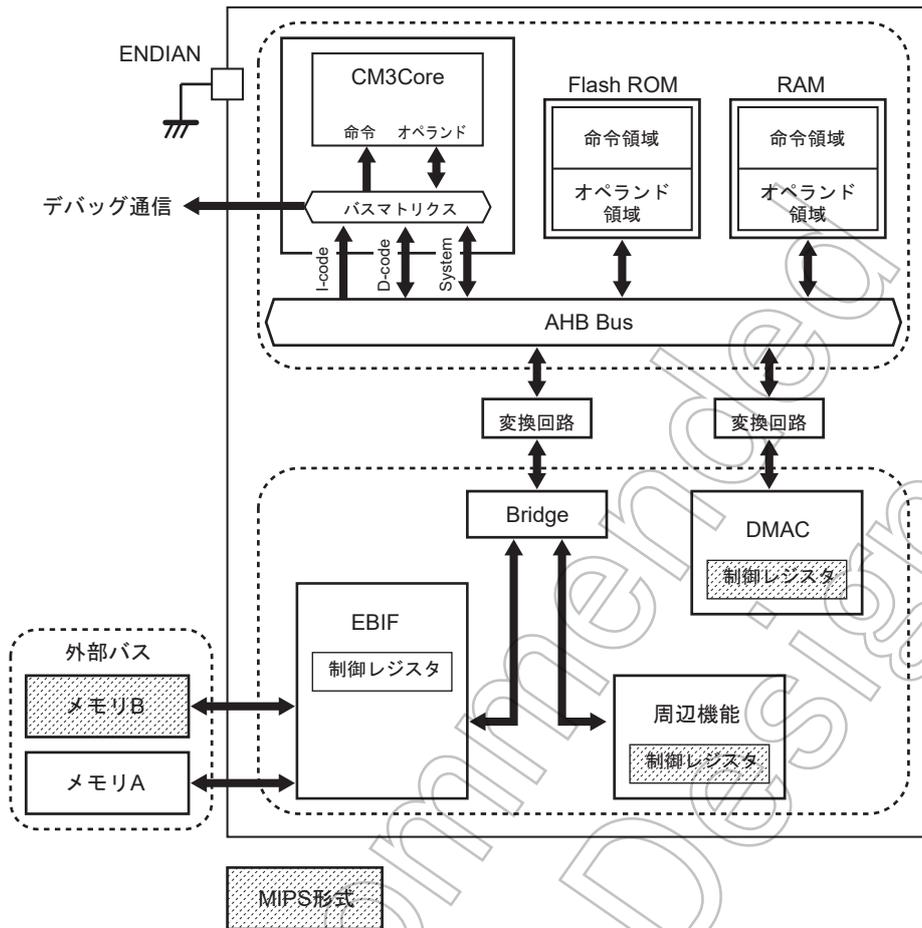


図 3-2 リトルエンディアンのブロック図

### 3.4.2 ビッグエンディアンのブロック構成

ビッグエンディアン設定の場合、CPUから内蔵メモリへのアクセスのうち、命令フェッチはリトルエンディアン、オペランドアクセスはBE8形式となります。これらの動作はCortex-M3の基本的な動作であるため変換は必要ありません。

外部バスに接続されるメモリについては、設定によりBE8とMIPS形式ビッグエンディアン形式を選択可能です。

周辺機能の制御レジスタへのアクセスはMIPS形式ビッグエンディアン形式となります。

DMACはビッグエンディアンの設定で使用します。転送するデータはMIPS形式ビッグエンディアン形式となります。

変換回路は、外部バス上のMIPS形式ビッグエンディアン形式のメモリアクセス場合、周辺機能の制御レジスタアクセスの場合、DMACによるデータ転送の場合に変換を行います。

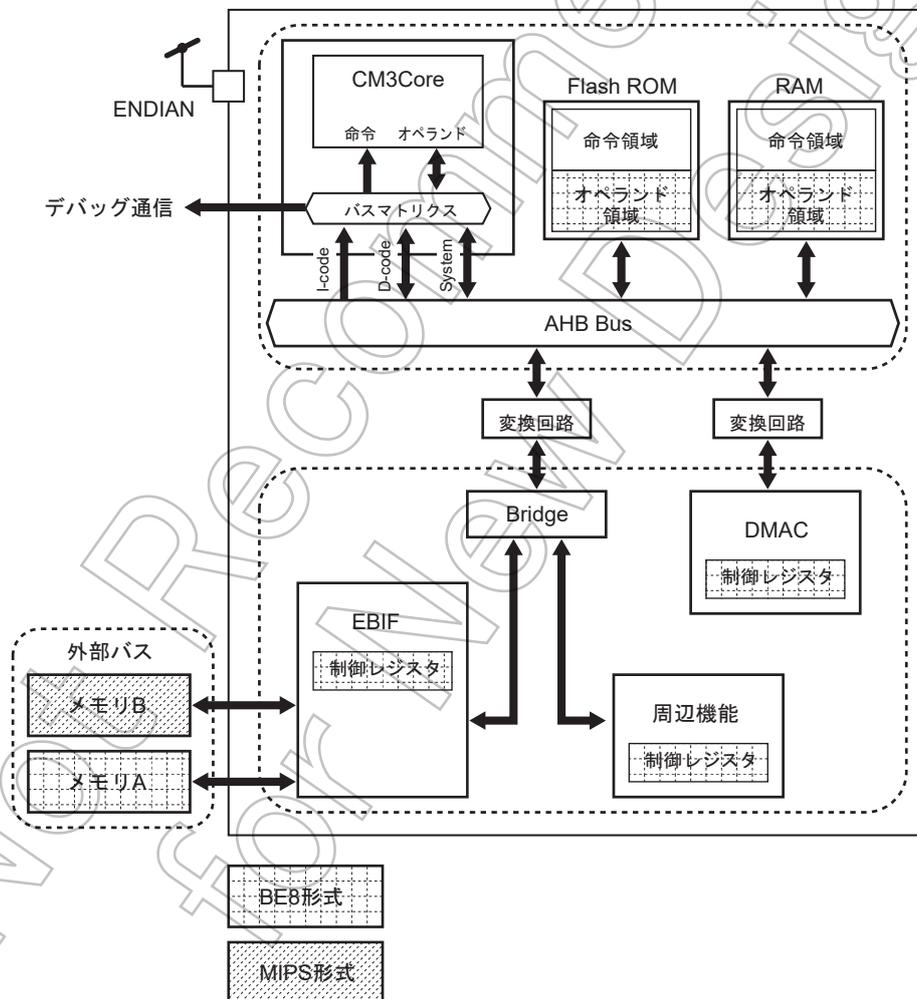


図 3-3 ビッグエンディアンのブロック図

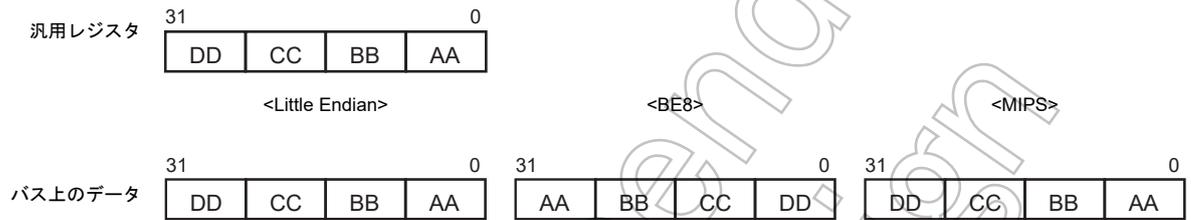
### 3.5 動作説明

#### 3.5.1 ビッグエンディアン形式の違い

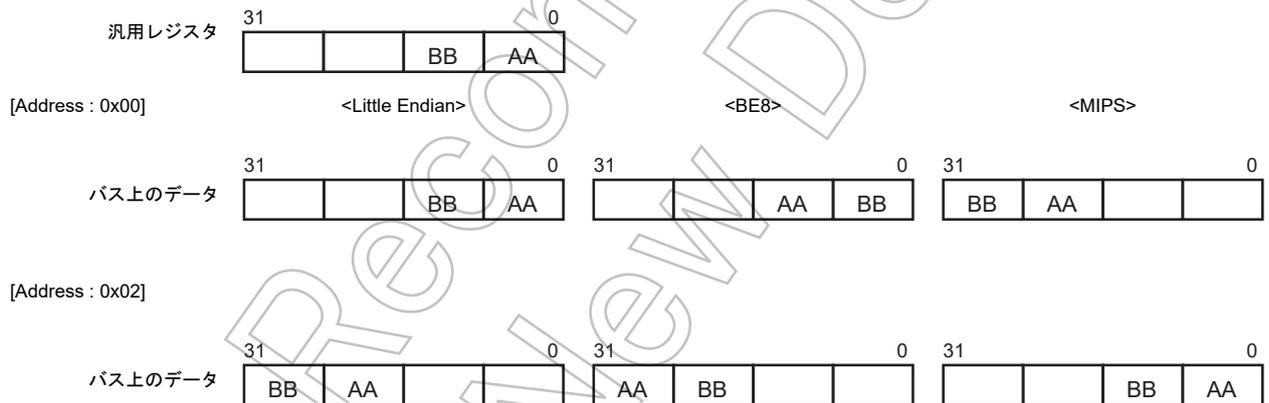
BE8 形式と、MIPS 形式ではデータ配置に違いがあります。

CPU の汎用レジスタのデータは、データサイズ、アドレスにより以下のように CPU に接続するバス上に配置されます。

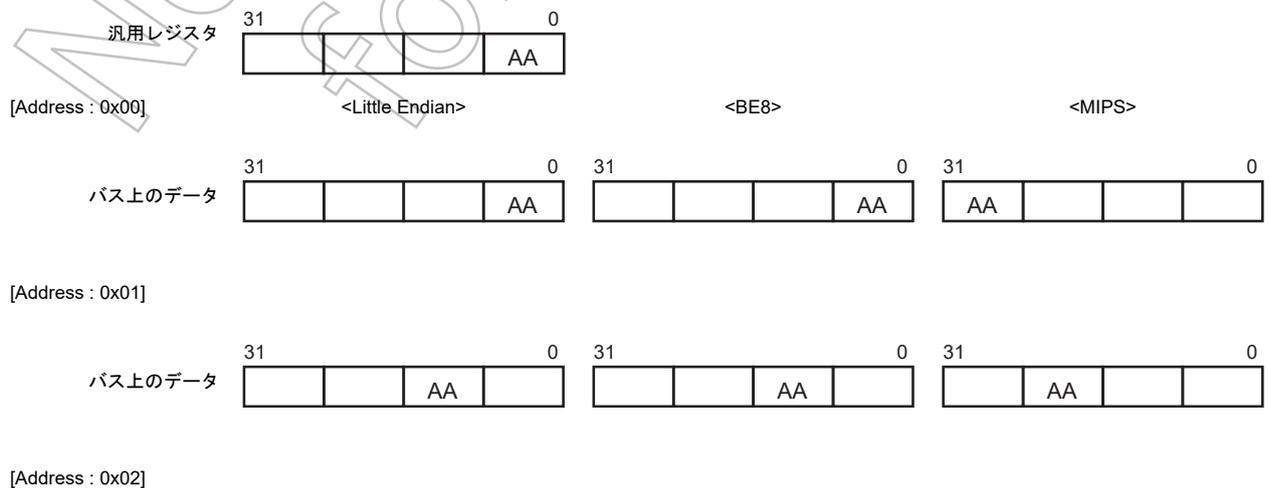
<4バイトデータ>

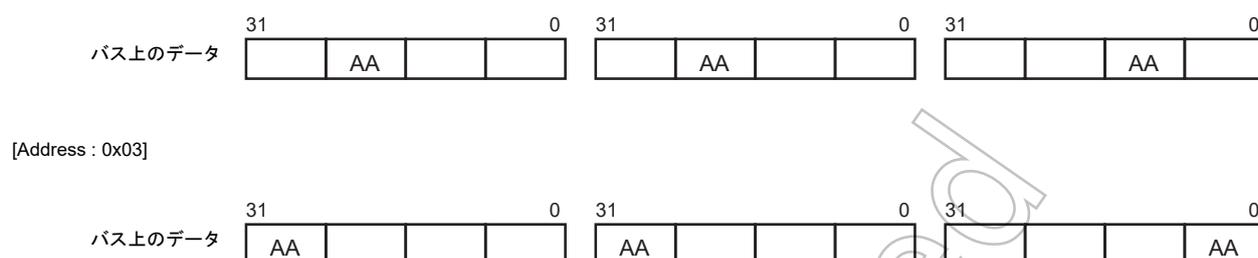


<2バイトデータ>



<1バイトデータ>



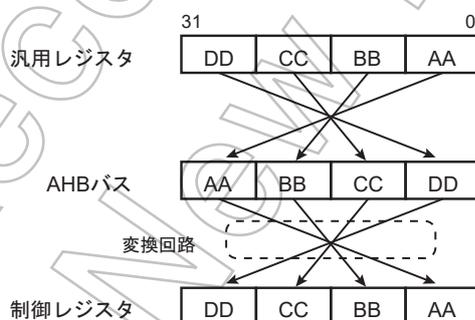


### 3.5.2 制御レジスタアクセス

ビッグエンディアンで周辺機能の制御レジスタをアクセスする場合、CPUからのオペランドアクセス(BE8形式)となり、バスに出力する際のデータ配置は「3.5.1 ビッグエンディアン形式の違い」に記載した通りです。このデータをAHBバスと周辺機能の接続するバスとの間にある変換回路で変換し、制御レジスタに書き込まれる際のデータ並びはMIPS形式となります。

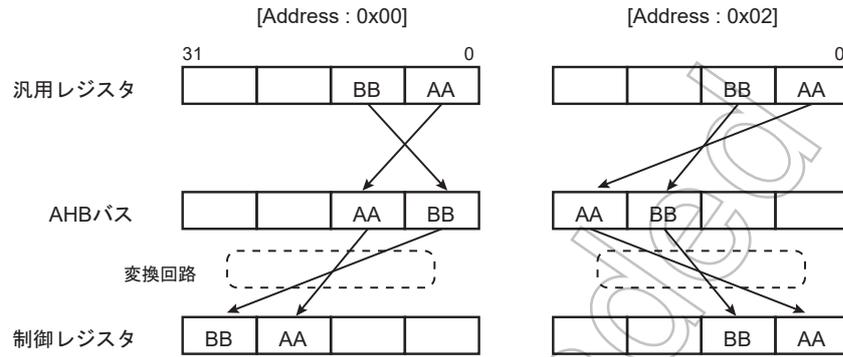
通常Cortex-M3をビッグエンディアンで使用する際には、制御レジスタへの書き込みデータをBE8形式でのデータ配置を考慮して作成する必要がありますが、MIPS形式では書き込みデータは汎用レジスタのデータ配置と同じになるため、本製品では書き込むデータ並びそのまま扱うことができます。

<4バイトデータ>

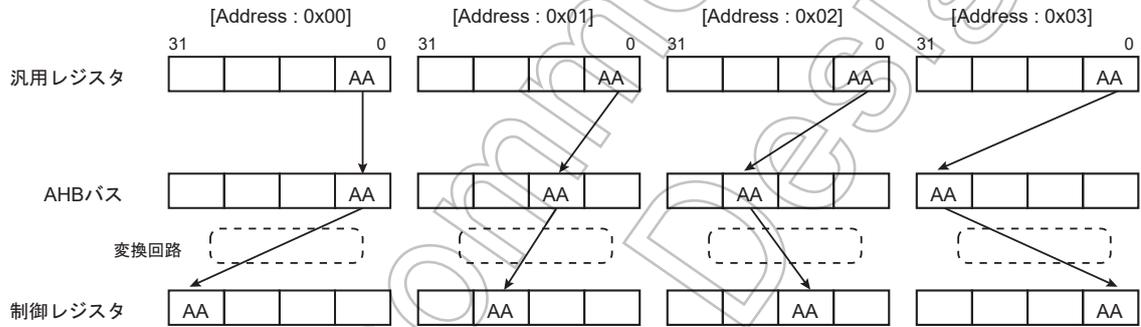


ビッグエンディアンでの2バイトデータアクセス、1バイトデータアクセスの際のデータ出力位置は以下ようになります。リトルエンディアンとビッグエンディアンでは、見掛け上アドレスが異なるので注意が必要です。

<2バイトデータ>



<1バイトデータ>



外部バスインタフェース (EBIF) の EXBCS0 レジスタを例に、エンディアンによるアドレスの違いは以下ようになります。

Address	Bit	31	30	29	28	27	26	25	24
Little: 0x4005_C003	Symbol	CSR		WRR			RDR		
Big: 0x4005_C000	初期値	0	1	0	0	1	0	0	1
	Bit	23	22	21	20	19	18	17	16
Little: 0x4005_C002	Symbol	-	-	ALEW		WRS		RDS	
Big: 0x4005_C001	初期値	0	0	0	1	0	1	0	1
	Bit	15	14	13	12	11	10	9	8
Little: 0x4005_C001	Symbol	-	-	-	CSIW				
Big: 0x4005_C002	初期値	0	0	0	0	0	0	1	0
	Bit	7	6	5	4	3	2	1	0
Little: 0x4005_C000	Symbol	-	-	-	-	-	CSW		CSW0
Big: 0x4005_C003	初期値	0	0	0	0	0	0	1	0

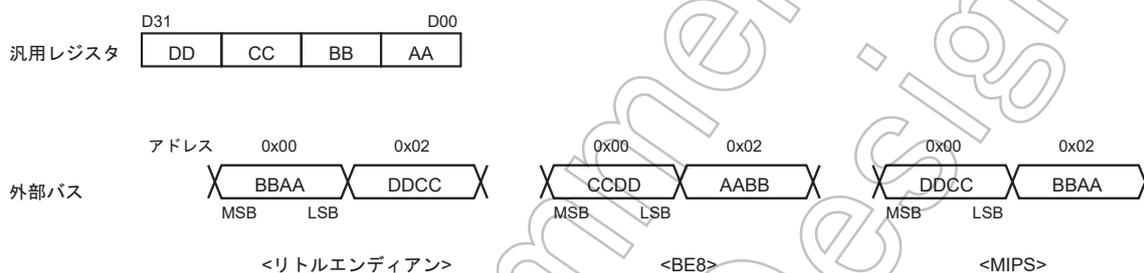
### 3.5.3 外部バス動作

外部バスアクセスのデータ形式は ENDIAN 端子、EXBCSx<ENDTYPE>の設定で決まります。(「3.3.4 外部バス領域のエンディアン選択」を参照ください。)

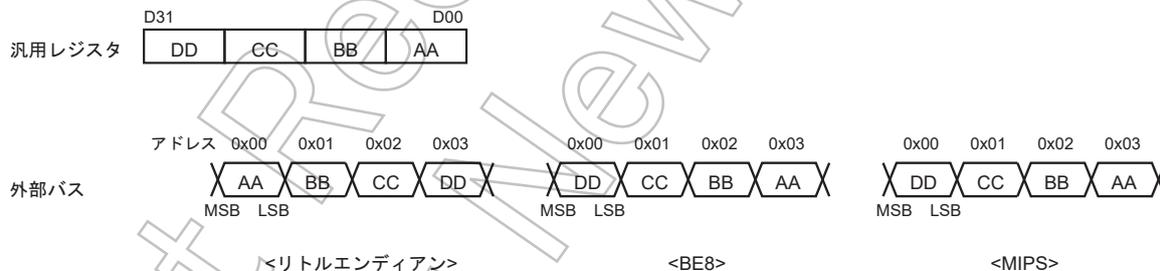
リトルエンディアン、BE8 形式、MIPS 形式での外部バス上のデータフォーマットを以下に示します。

#### 3.5.3.1 データサイズ 32 ビット

##### (1) 外部バス幅 16 ビット

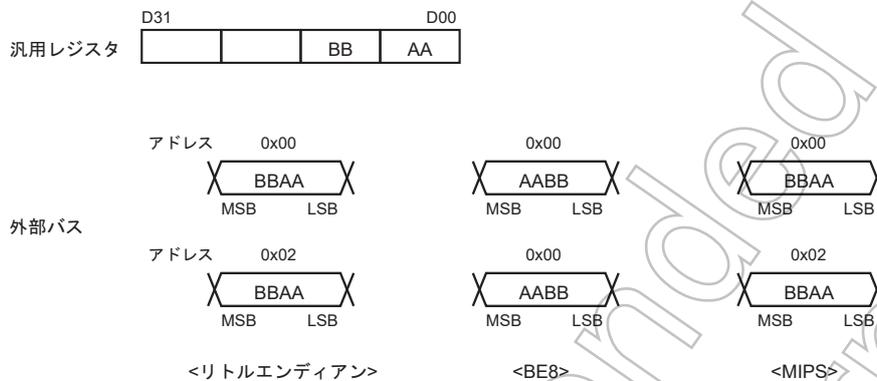


##### (2) 外部バス幅 8 ビット

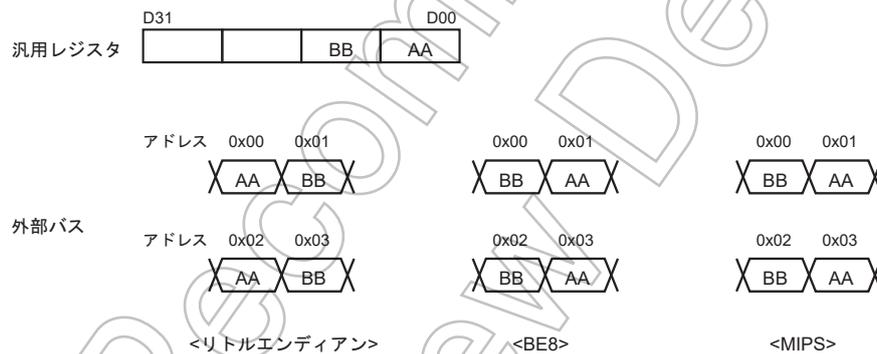


3.5.3.2 データサイズ 16 ビット

(1) 外部バス幅 16 ビット

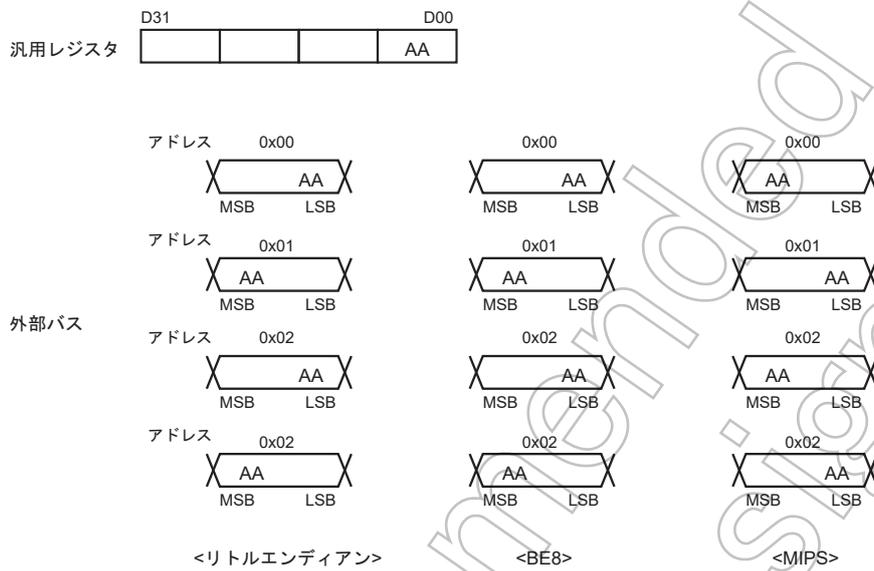


(2) 外部バス幅 8 ビット

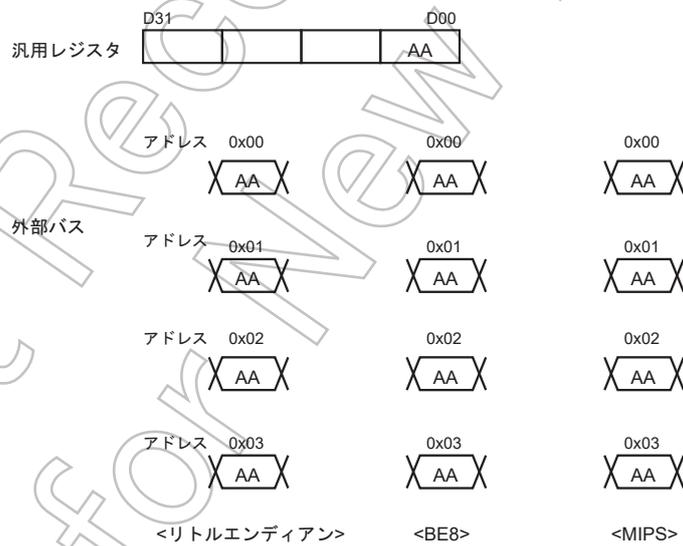


3.5.3.3 データサイズ 8 ビット

(1) 外部バス幅 16 ビット



(2) 外部バス幅 8 ビット



### 3.5.4 コンパイル結果のメモリイメージ

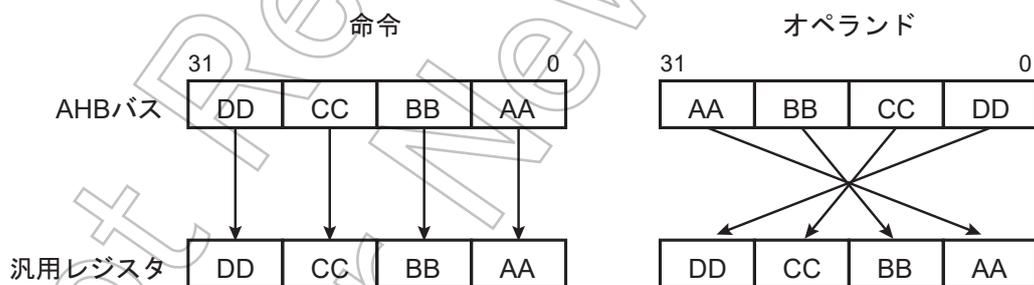
モトローラ S レコードやインテル HEX のような、メモリイメージ上でのデータ配置について説明します。

以下のような 32 ビットデータのメモリイメージを考えた場合、データ配置はコンパイル時のエンディアン設定により下表のようになります。



エンディアン		アドレス			
		0x00	0x01	0x02	0x03
リトルエンディアン		0xAA	0xBB	0xCC	0xDD
ビッグエンディアン (Cortex-M3)	命令(リトルエンディアン)	0xAA	0xBB	0xCC	0xDD
	オペランド(BE8)	0xDD	0xCC	0xBB	0xAA
ビッグエンディアン(MIPS)		0xDD	0xCC	0xBB	0xAA

Cortex-M3 のビッグエンディアンでは、命令はリトルエンディアン、オペランドは BE8 形式となります。CPU はビッグエンディアンでのオペランドアクセスでは、下図のように CPU が取り込む際にデータ配置の入れ替えを行います。これにより、命令(リトルエンディアン)とオペランド(BE8)でのアドレッシングが見掛け上同じになります。メモリイメージはこれらを考慮した形で生成され、すべてのデータをリトルエンディアンのアドレッシングで扱うことができます。



### 3.5.5 シングルブートモードでの動作

内蔵 BOOT ROM に格納されているブートプログラムがリトルエンディアン形式であるため、シングルブートモードで動作する場合は ENDIAN 端子の設定にかかわらずリトルエンディアン動作となります。ブートプログラムには、RAM 転送コマンドが準備されており、このコマンドを用いて RAM 上にデータ転送プログラムを展開し、内蔵メモリまたは外部メモリへデータ転送を行うことができます。

注) RAM 転送コマンドで RAM 上に展開するプログラムやデータは、CPU がリトルエンディアンで動作するためリトルエンディアン形式で準備する必要があります。

ここでは、リトルエンディアンと異なるデータフォーマットのコンパイル結果(メモリイメージ)を内蔵メモリまたは外部メモリに転送する際の具体的な動作を説明します。

メモリエイジーは「3.5.4 コンパイル結果のメモリエイジー」で示した例を使用します。以下はメモリエイジー S フォーマットの例です。

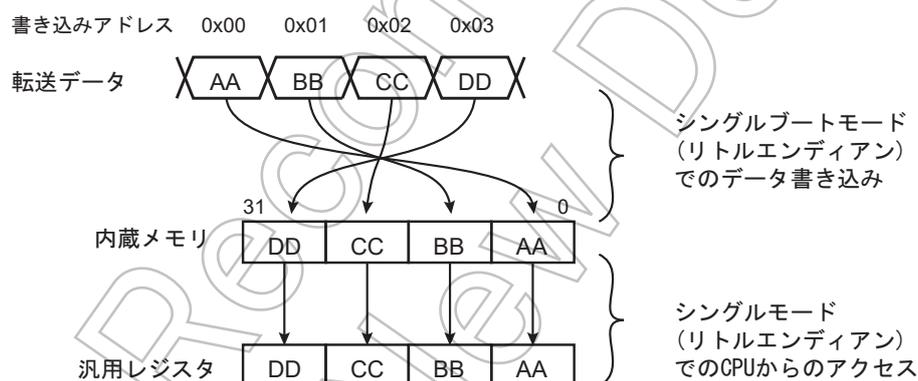
リトルエンディアン		S1xx0000 AA BB CC DD :
ビッグエンディアン (Cortex-M3)	命令(リトルエンディアン)	S1xx0000 AA BB CC DD :
	オペランド(BE8)	S1xx0000 DD CC BB AA :
ビッグエンディアン(MIPS)		S1xx0000 DD CC BB AA :

### 3.5.5.1 内蔵メモリへのデータ転送

1 バイトずつ外部から転送した 32 ビットデータを内蔵メモリへ転送する場合を考えます。

#### (1) リトルエンディアン形式データの転送

リトルエンディアンの場合はアドレス 0x00 からアドレスをインクリメントしながらメモリにライトすることで所望のデータが準備できます。

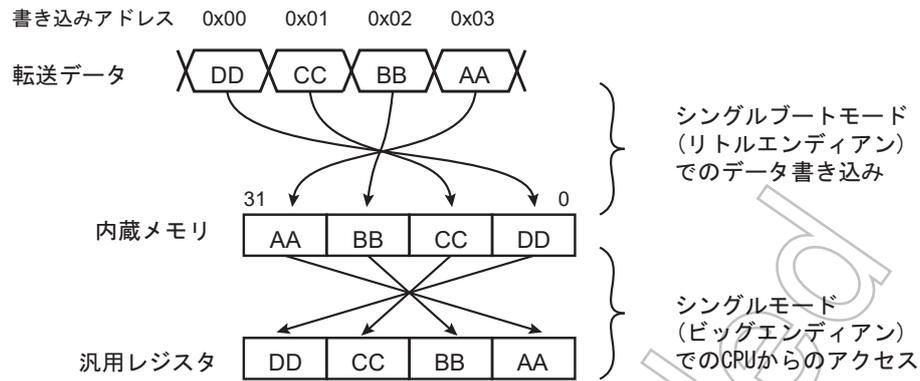


#### (2) Cortex-M3 ビッグエンディアン転送

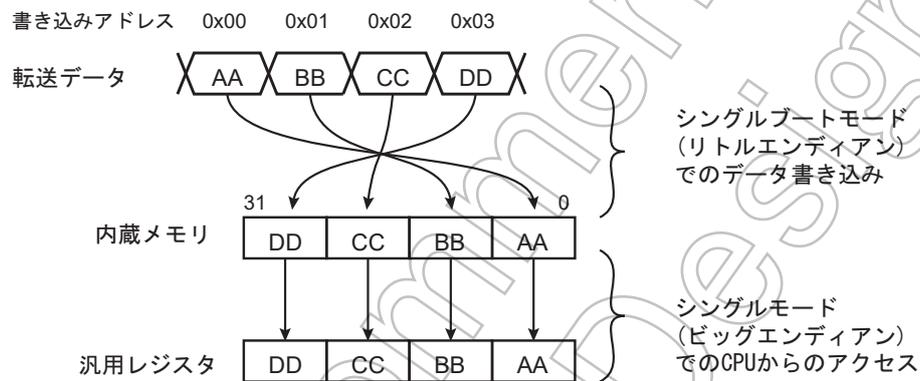
リトルエンディアンの命令と BE8 形式のオペランドが混在するデータをリトルエンディアンでメモリ上に書き込む場合も、「3.5.4 コンパイル結果のメモリエイジー」に示すようにアドレッシングが考慮されてメモリエイジーが作成されているため、リトルエンディアンと同様の動作で書き込むことができます。

CPU がリードする際、命令の場合はそのまま、オペランドの場合はバイトごとの入れ替えが発生します。

- ・ オペランド



・ 命令



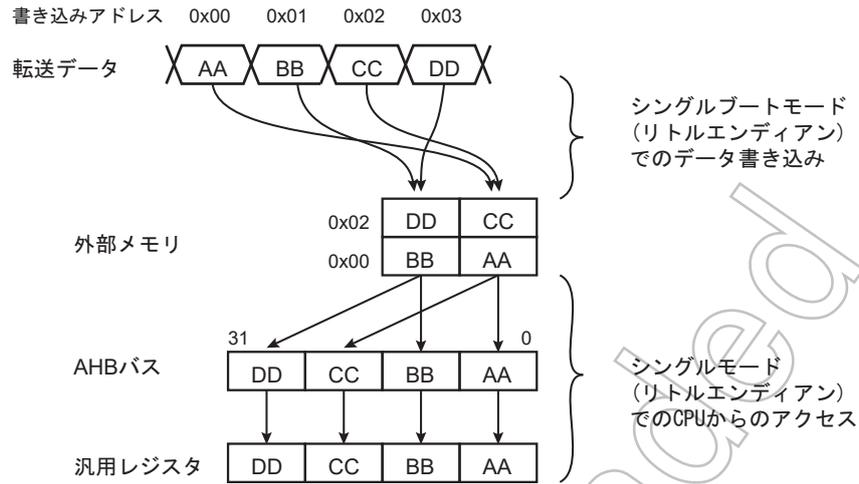
### 3.5.5.2 外部メモリへのデータ転送

1 バイトずつ外部から転送した 32 ビットデータを 16 ビット幅の外部メモリへ転送する場合があります。

#### (1) リトルエンディアン形式データの転送

リトルエンディアンの場合はアドレス 0x00 からアドレスをインクリメントしながらメモリにライトすることで所望のデータが準備できます。

CPU が 32 ビットデータをリードする際は、16 ビットずつ読み込んだデータを外部バスインタフェースで下位側から配置して 32 ビットデータを生成しバスに出力します。

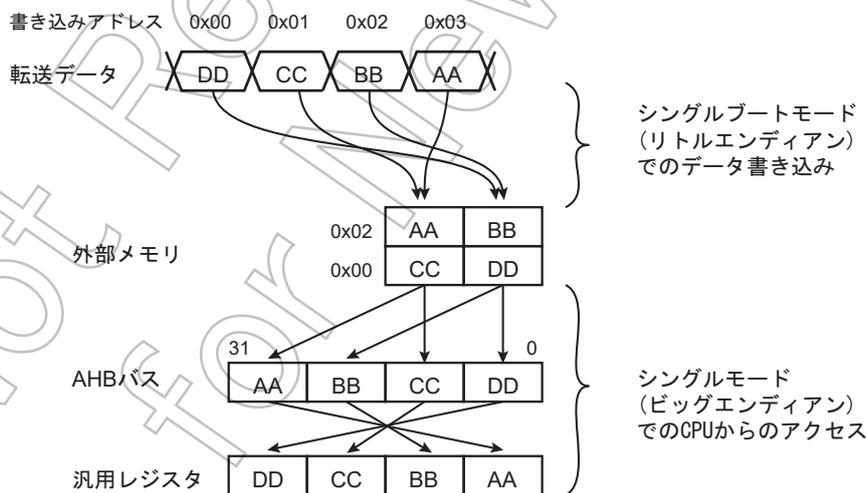


(2) BE8 形式データの転送

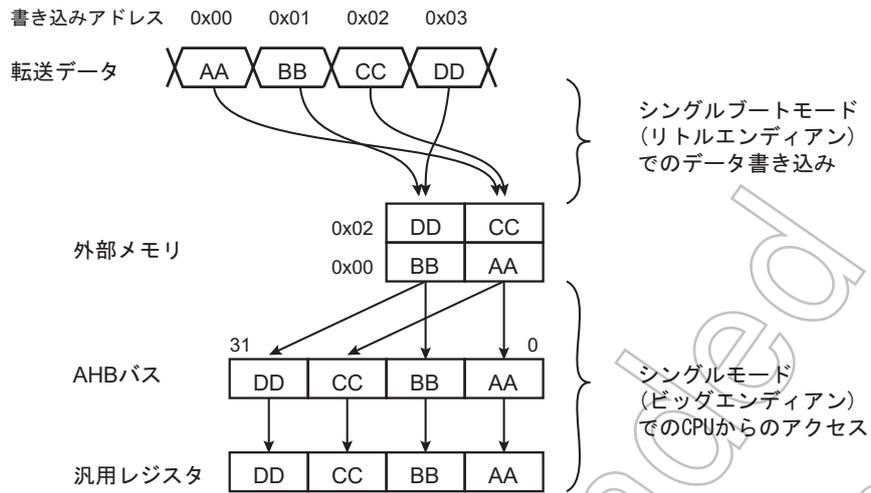
リトルエンディアンの命令と BE8 形式のオペランドが混在するデータをリトルエンディアンでメモリ上に書き込む場合も、「3.5.4 コンパイル結果のメモリイメージ」に示すようにアドレッシングが考慮されてメモリイメージが作成されているため、リトルエンディアンと同様の動作で書き込むことができます。

CPU が 32 ビットデータをリードする際は、16 ビットずつ読み込んだデータを外部バスインタフェースで上位側から配置して 32 ビットデータを生成しバスに出力します。CPU にデータを取り込む際、命令の場合はそのまま、オペランドの場合はバイトごとの入れ替えが発生します。

- ・ オペランド



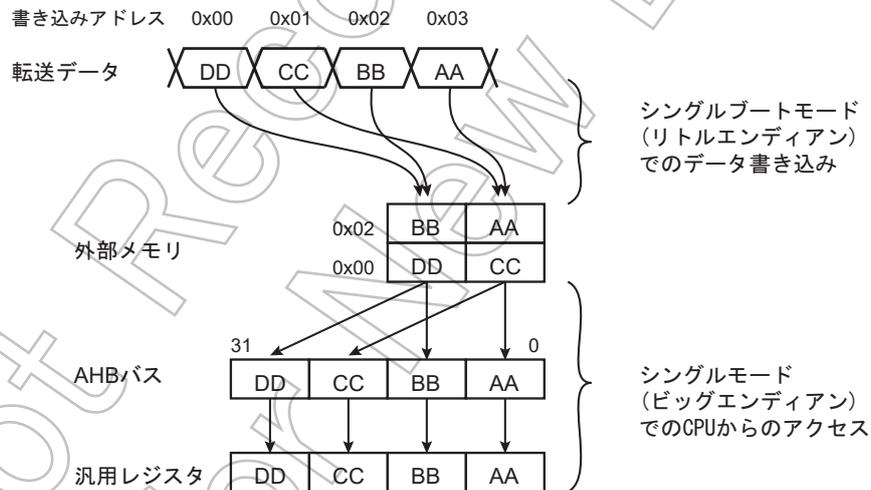
- ・ 命令



(3) MIPS 形式データの転送

MIPS 形式のデータをリトルエンディアンでメモリ上に書き込む場合は外部バスインタフェース (EBIF) の EXBCSx<ENDTYPE>の機能が使用できます。<ENDTYPE>を"1"とすることで該当する CS 空間は MIPS 形式となり、EBIF が自動的にメモリのアクセスを制御します。

CPU が 32 ビットデータをリードする際は、16 ビットずつ読み込んだデータを外部バスインタフェースで上位側から配置して 32 ビットデータを生成しバスに出力します。



## 第4章 メモリマップ

### 4.1 メモリマップ

TMPM341FDXBG/FYXBG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR : Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

Not Recommended  
for New Design

## 4.1.1 TMPM341FDXBG/FYXBG メモリマップ

TMPM341FDXBG/FYXBG のメモリマップを図 4-1、図 4-2 に示します。

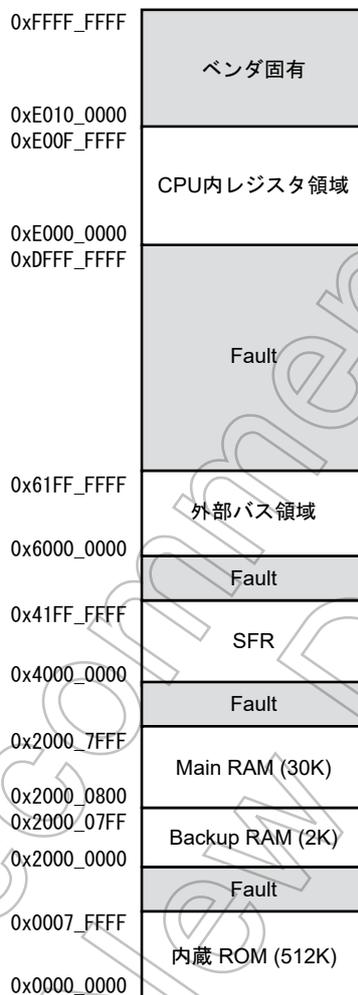


図 4-1 メモリマップ(TMPM341FDXBG)

0xFFFF_FFFF	ベンダ固有
0xE010_0000 0xE00F_FFFF	CPU内レジスタ領域
0xE000_0000 0xDFFF_FFFF	Fault
0x61FF_FFFF	外部バス領域
0x6000_0000	Fault
0x41FF_FFFF	SFR
0x4000_0000	Fault
0x2000_7FFF	Main RAM (30K)
0x2000_0800 0x2000_07FF	Backup RAM (2K)
0x2000_0000	Fault
0x0003_FFFF 0x0000_0000	内蔵 ROM (256K)

図 4-2 メモリマップ(TMPM341FYXBG)

## 4.2 SFR 領域詳細

SFR 領域(0x4000\_0000~0x41FF\_FFFF)のうち、周辺機能別に割り当てられているアドレス一覧を示します。

表 4-1 の予約領域および Reserved 欄に記載されているアドレスにはアクセスしないでください。また、SFR 領域で表 4-1 に記載のない領域については、読み出される値は不定となり書き込みは無視されます。

表 4-1 SFR 領域詳細

Start Address	End Address	Peripheral
0x4000_0000	0x4000_3FFF	DMAC (4ch)
0x4000_4000	0x4003_FFFF	Reserved
0x4004_0000	0x4004_7FFF	SSP (1ch)
0x4004_8000	0x4004_FFFF	Reserved
0x4005_0000	0x4005_3FFF	ADC (15ch)
0x4005_4000	0x4005_7FFF	DAC (2ch)
0x4005_8000	0x4005_BFFF	TMRD (2ch)
0x4005_C000	0x4005_CFFF	EBIF
0x4005_D000	0x400B_FFFF	Reserved
0x400C_0000	0x400C_3FFF	PORT (A to K)
0x400C_4000	0x400C_6FFF	TMRB (10ch)
0x400C_7000	0x400C_9FFF	Reserved
0x400C_A000	0x400C_BFFF	PHCNT (4ch)
0x400C_C000	0x400D_FFFF	Reserved
0x400E_0000	0x400E_0FFF	I2C/SIO (2ch)
0x400E_1000	0x400E_5FFF	SIO/UART (5ch)
0x400E_6000	0x400F_0FFF	Reserved
0x400F_1000	0x400F_1FFF	OFD
0x400F_2000	0x400F_2FFF	WDT
0x400F_3000	0x400F_3FFF	CG
0x400F_4000	0x41FF_FFFF	Reserved

## 第5章 外部バスインターフェース(EBIF)

### 5.1 機能概要

TMPM341FDXBG/FYXBG は、外部にメモリや I/O などを接続するための外部バスインターフェース機能を内蔵しています。外部バスインターフェース回路 (EBIF) と CS (チップセレクト) / 内蔵ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 2 ブロックアドレス空間のマッピングアドレス指定と、この 2 ブロックアドレス空間に対して、ウェイトおよびデータバス幅 (8 ビットまたは 16 ビット) を制御します。

外部バスインターフェース回路 (EBIF) は、CS/内蔵ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。

また、本製品は CPU コアである Cortex-M3 に内蔵されているリトルエンディアンおよびビッグエンディアンをサポート可能なバイエンディアンに対応した製品です。本章では CS/内蔵ウェイトコントローラの説明を主に行ない、バイエンディアンに関する説明はエンディアン章、詳細は、ARM 社の下記 URL より "Cortex-M series processors" のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5-1 外部バスインターフェースの特長

特長	
サポートメモリ	外部非同期メモリ (NOR、フラッシュメモリ、SRAM、周辺 I/O 等) セパレートバス、マルチプレクスバスに対応
データバス幅	チャンネル毎に 8 ビットまたは 16 ビット幅の設定が可能
チップセレクト	2 チャンネル (CS0, CS1)
エンディアン	バイエンディアンをサポート
アクセス空間	最大 16MB のアクセス空間をサポート CS0: 0x6000_0000 ~ 0x61FF_FFFF (最大 16MB 空間) CS1: 0x6000_0000 ~ 0x61FF_FFFF (最大 16MB 空間)
内部ウェイト機能	チャンネル毎に最大 15 サイクルまで挿入可能
ALE ウェイト機能	チャンネル毎に最大 4 サイクルまで ALE 端子の High 幅挿入可能
セットアップ サイクル挿入機能	チャンネル毎に RD、WR セットアップサイクル挿入可能 (tAC サイクル期間延長)
リカバリ(ホールド) サイクル挿入機能	外部バスサイクルが連続するときに最大 8 クロックまでのダミーサイクルを挿入可能 (チャンネル毎に設定可能) CS、RD、WR におけるアドレス/データホールドサイクル挿入機能 (tCAR, tRAE サイクル期間延長)
バス拡張機能	内部ウェイト、ALE ウェイト、セットアップサイクル、リカバリサイクルの設定値を 2 倍、4 倍に拡張することが可能 (チャンネル共通)
制御端子	セパレートバスモード: D[15:0], A[23:0], RD, WR, BELL, BELH, CS0, CS1, ENDIAN マルチプレクスバスモード: AD[15:0], A[23:16], RD, WR, BELL, BELH, CS0, CS1, ALE, ENDIAN

## 5.2 アドレス、データ端子

### 5.2.1 アドレス、データ端子の設定

TMPM341FDXBG/FYXBG はセパレートバスまたはマルチプレクスバスの設定が可能です。切り替えは EXBMOD レジスタで行ない、EXBMOD<EXBSEL>ビットに"1"を設定することでセパレートバスモードに、"0"を設定することでマルチプレクスバスモードになります。

外部デバイス（メモリ）接続のためにポート A～ポート E 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 5-2 に示します。

表 5-2 バスモードとアドレス、データ端子の関係

ポート	セパレートバス EXBMOD<EXBSEL> = "1"	マルチプレクス EXBMOD<EXBSEL> = "0"
ポート A (PA0 ~ PA7)	D0 ~ D7	AD0 ~ AD7
ポート B (PB0 ~ PB7)	D8 ~ D15 A0 ~ A7	AD8 ~ AD15
ポート C (PC0 ~ PC7)	A0 ~ A7	-
ポート D (PD0 ~ PD7)	A8 ~ A15	-
ポート E (PE0 ~ PE7)	A16 ~ A23	A16 ~ A23

各ポートはリセット後、汎用入出力ポートとなります。外部デバイスにアクセスする場合は、ポートコントロールレジスタ(PxCR)、ポートファンクションレジスタ(PxFCm)によりアドレスバス、データバスの機能に設定し、インプットイネーブルレジスタ(PxIE)を設定してください。

外部領域アクセスから内蔵領域アクセスへ遷移した場合、アドレスバスは直前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

## 5.3 レジスタ説明

### 5.3.1 レジスタ一覧

各チャンネルのレジスタとアドレスを以下に示します。

Base Address = 0x4005\_C000

レジスタ名		Address (Base+)
外部バスモードコントロールレジスタ	EXBMOD	0x0000
Reserved	-	0x0004 ~ 0x000C
外部バス空間エリア/スタートアドレス設定レジスタ 0	EXBAS0	0x0010
外部バス空間エリア/スタートアドレス設定レジスタ 1	EXBAS1	0x0014
Reserved	-	0x0018 ~ 0x003C
外部バスチップセレクトコントロールレジスタ 0	EXBCS0	0x0040
外部バスチップセレクトコントロールレジスタ 1	EXBCS1	0x0044
Reserved	-	0x0048 ~ 0x0FFC

注 1) レジスタのリード/ライトはワード(32ビット)アクセスのみとなります。

注 2) "Reserved"表記のアドレスにはアクセスしないでください。

Not Recommended for New Design

### 5.3.2 EXBMOD (外部バスモードコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	EXBWAIT		EXBSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2-1	EXBWAIT[1:0]	R/W	<p>バスサイクルウェイト拡張</p> <p>00: 拡張なし</p> <p>01: 2倍</p> <p>10: 4倍</p> <p>11: 設定禁止</p> <p>バスサイクルのセットアップ、ウェイト、リカバリサイクル機能を2倍、4倍に設定するビットです。例えば、&lt;EXBWAIT&gt;="00" (拡張なし)設定にてリードセットアップサイクルを2サイクルに設定していた場合、&lt;EXBWAIT&gt;="01" (2倍)に設定変更すると、4サイクルに拡張されます。同様に&lt;EXBWAIT&gt;="10" (4倍)に設定変更すると、8サイクルに拡張されます。なお、拡張サイクルは、EXBCSx レジスタにて設定されるリード/ライトセットアップ、チップセレクト/リード/ライトリカバリ、ALE/内部ウェイトサイクルと、&lt;EXBWAIT&gt;の設定 (2倍/4倍) によってサイクル数が拡張されます。</p>
0	EXBSEL	R/W	<p>マルチプレクスバス/セパレートバスモードを選択するビットです。</p> <p>0: マルチプレクスバスモード</p> <p>1: セパレートバスモード</p>

注) マルチプレクス/セパレートモードの設定は、外部バス動作中に変更しないでください。

## 5.3.3 EXBASx (外部バス空間エリア/スタートアドレス設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EXAR							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-28	-	R/W	必ず"0110_0000"をライトしてください。
23-16	SA23-SA16	R/W	スタートアドレスを設定します。 アドレス A[23:16]のスタートアドレスを設定します。
15-8	-	R	リードすると"0"が読めます。
7-0	EXAR[7:0]	R/W	チップセレクト( $\overline{CSx}$ )空間サイズを設定します。 アドレス空間サイズは最大 16M バイトから最小 64K バイトまでの 9 種類の設定が可能です。 "0000_0000": 16 Mbyte, "0000_0011": 2 Mbyte, "0000_0110": 256 Kbyte, "0000_0001": 8 Mbyte, "0000_0100": 1 Mbyte, "0000_0111": 128 Kbyte, "0000_0010": 4 Mbyte, "0000_0101": 512 Kbyte, "0000_1000": 64 Kbyte, 上記以外は設定禁止

注 1) 同一のアドレス領域が設定された場合、その領域はチャンネル番号の若いチャンネル(CS0)が有効になります。

注 2) 0x6000\_0000 ~ 0x61FF\_FFFF のアクセス空間を越えた場合、Hard Fault エラーが発生します。

5.3.4 EXBCSx (外部バスチップセレクトコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	CSR		WRR			RDR		
After reset	0	1	0	0	1	0	0	1
	23	22	21	20	19	18	17	16
bit symbol	-	-	ALEW		WRS		RDS	
After reset	0	0	0	1	0	1	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	CSIW				
After reset	0	0	0	0	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	ENDTYPE	-	-	-	-	CSW		CSW0
After reset	0	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能											
31-30	CSR[1:0]	R/W	チップセレクト(CSx)リカバリサイクル "00": リカバリサイクル無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル											
29-27	WRR[2:0]	R/W	ライト(WR)リカバリサイクル "000": リカバリサイクル無し, "001": 1 サイクル, "010": 2 サイクル, "011": 3 サイクル, "100": 4 サイクル, "101": 5 サイクル, "110": 6 サイクル, "111": 8 サイクル											
26-24	RDR[2:0]	R/W	リード(RD)リカバリサイクル "000": リカバリサイクル無し, "001": 1 サイクル, "010": 2 サイクル, "011": 3 サイクル, "100": 4 サイクル, "101": 5 サイクル, "110": 6 サイクル, "111": 8 サイクル											
23-22	-	R	リードすると"0"が読めます。											
21-20	ALEW[1:0]	R/W	ALE ウェイトサイクル(マルチプレクスバスモード時) "00": ウェイト無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル											
19-18	WRS[1:0]	R/W	ライト(WR)セットアップサイクル "00": セットアップサイクル無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル											
17-16	RDS[1:0]	R/W	リード(RD)セットアップサイクル "00": セットアップサイクル無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル											
15-13	-	R	リードすると"0"が読めます。											
12-8	CSIW[4:0]	R/W	内部ウェイト(自動挿入) 0_0000: 0 ウェイト    0_0001: 1 ウェイト    0_0010: 2 ウェイト    0_0011: 3 ウェイト 0_0100: 4 ウェイト    0_0101: 5 ウェイト    0_0110: 6 ウェイト    0_0111: 7 ウェイト 0_1000: 8 ウェイト    0_1001: 9 ウェイト    0_1010: 10 ウェイト    0_1011: 11 ウェイト 0_1100: 12 ウェイト    0_1101: 13 ウェイト    0_1110: 14 ウェイト    0_1111: 15 ウェイト											
7	ENDTYPE	W	外部メモリ/周辺IO(ASIC等)のエンディアンを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">エンディアン設定</th> <th colspan="2">&lt;ENDTYPE&gt;</th> </tr> <tr> <th>"0" (CPUと同じエンディアン)</th> <th>"1" (CPUと異なるエンディアン)</th> </tr> </thead> <tbody> <tr> <td>リトルエンディアン</td> <td>リトルエンディアン</td> <td>MIPS形式</td> </tr> <tr> <td>ビッグエンディアン</td> <td>BE8</td> <td>MIPS形式</td> </tr> </tbody> </table>	エンディアン設定	<ENDTYPE>		"0" (CPUと同じエンディアン)	"1" (CPUと異なるエンディアン)	リトルエンディアン	リトルエンディアン	MIPS形式	ビッグエンディアン	BE8	MIPS形式
エンディアン設定	<ENDTYPE>													
	"0" (CPUと同じエンディアン)	"1" (CPUと異なるエンディアン)												
リトルエンディアン	リトルエンディアン	MIPS形式												
ビッグエンディアン	BE8	MIPS形式												
6-4	-	R	リードすると"0"が読めます。											
3	-	R/W	"0"を書いてください。											
2-1	CSW[2:1]	R/W	データバス幅設定 "00": 8-bit, "01": 16-bit, 他の設定禁止											
0	CSW0	R/W	CSイネーブル "0": 禁止, "1": 許可											

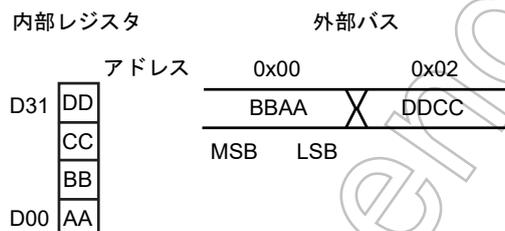
## 5.4 データ・フォーマット

TMPM341FDXBG/FYXBG の内部レジスタと外部バスインタフェースとの関係を説明します。

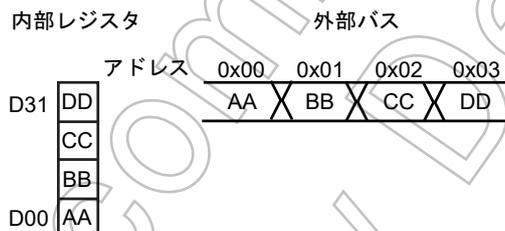
### 5.4.1 リトルエンディアンモード

#### 5.4.1.1 ワードアクセス

- ・ 16 ビットバス幅

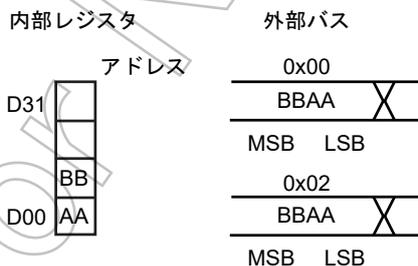


- ・ 8 ビットバス幅

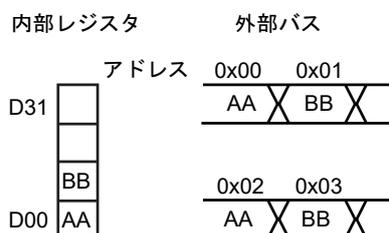


#### 5.4.1.2 ハーフワードアクセス

- ・ 16 ビットバス幅



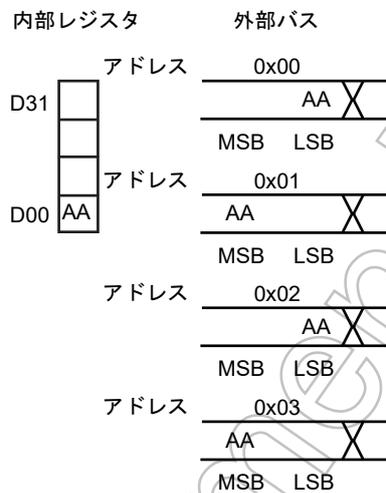
- ・ 8 ビットバス



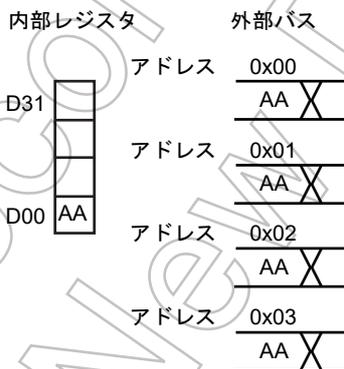
Not Recommended  
for New Design

5.4.1.3 バイトアクセス

- ・ 16 ビットバス幅



- ・ 8 ビットバス幅

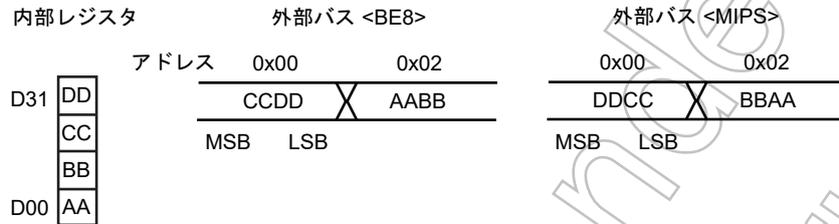


Not Recommended for New Design

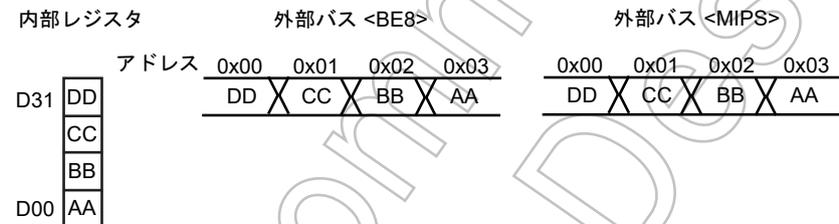
## 5.4.2 ビッグエンディアンモード

### 5.4.2.1 ワードアクセス

- ・ 16ビットバス幅

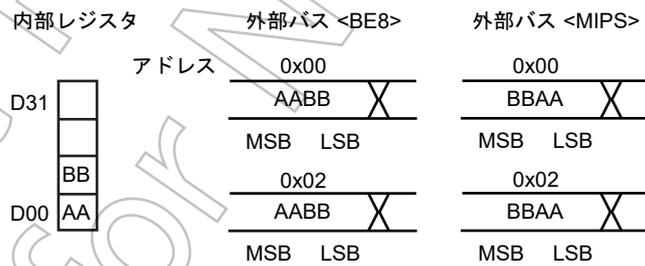


- ・ 8ビットバス幅

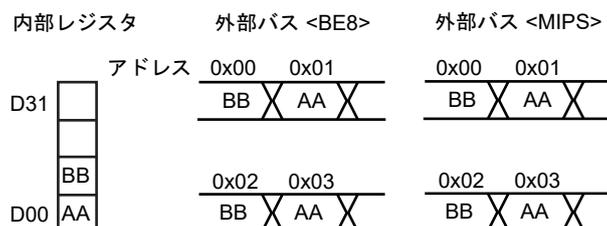


### 5.4.2.2 ハーフワードアクセス

- ・ 16ビットバス幅

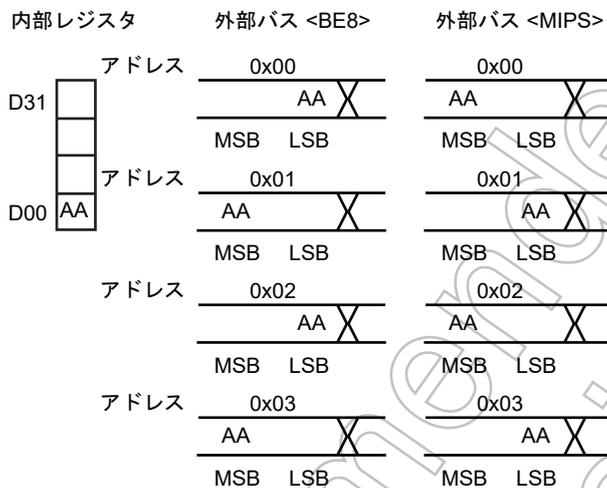


- ・ 8ビットバス

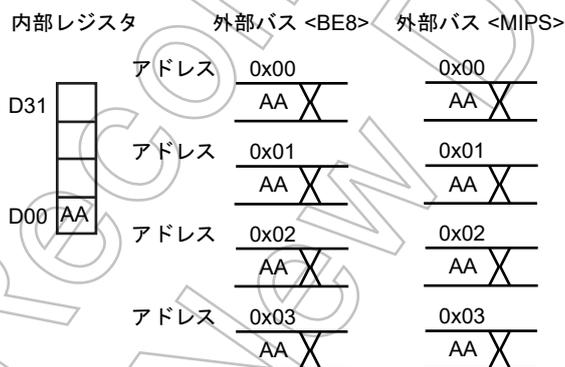


5.4.2.3 バイトアクセス

- ・ 16 ビットバス幅



- ・ 8 ビットバス幅



Not Recommended for New Designs

## 5.5 外部バスオペレーション (セパレートバスモード)

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23～A0, D15～D0 を設定したときのものを示しています。

### 5.5.1 基本バスオペレーション

TMPM341FDXBG/FYXBG の外部バスサイクルは基本 3 クロックです。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。図 5-1 にリードバスタイミングを、図 5-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり  $\overline{RD}$ 、 $\overline{WR}$  端子などの制御信号もアクティブになりません。

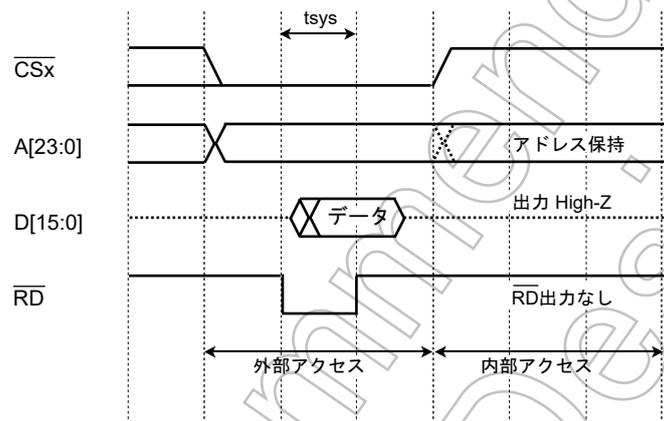


図 5-1 リードオペレーションタイミング

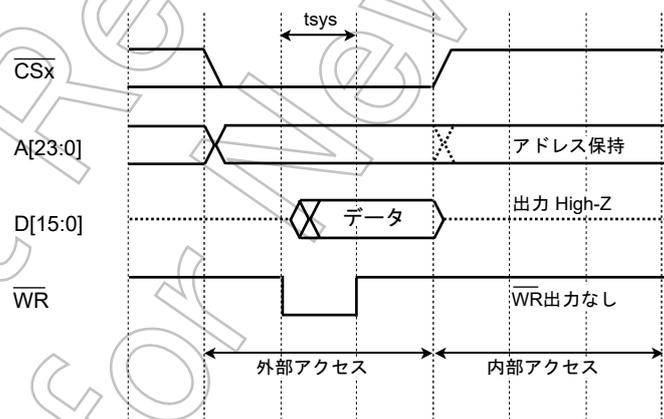


図 5-2 ライトオペレーションタイミング

## 5.5.2 ウェイトタイミング

内蔵ウェイトコントローラによりチャンネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下となります。

- ・ 最大 15 クロックまでの内部ウェイト(自動挿入)

内部ウェイト数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx<CSIW[4:0]>で設定します。

図 5-3、図 5-4 に内部ウェイトを挿入したタイミング図を示します。

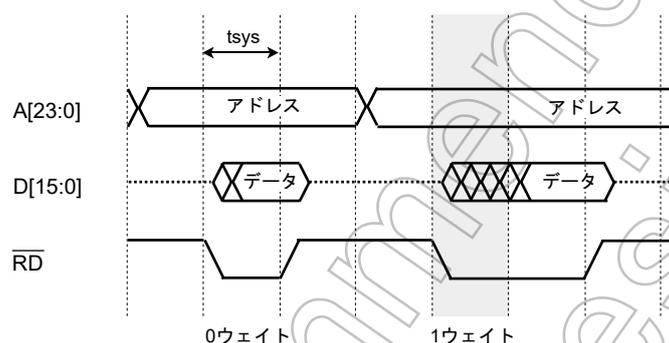


図 5-3 リードオペレーションタイミング (0 ウェイトおよび内部 1 ウェイト)

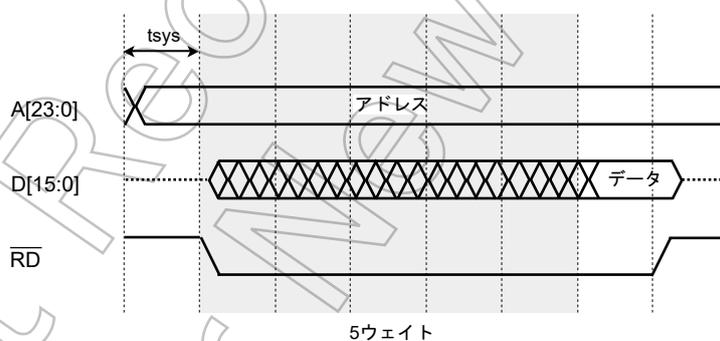


図 5-4 リードオペレーションタイミング (内部 5 ウェイト)

図 5-5、図 5-6 にセパレートバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトオペレーションタイミングを示します。

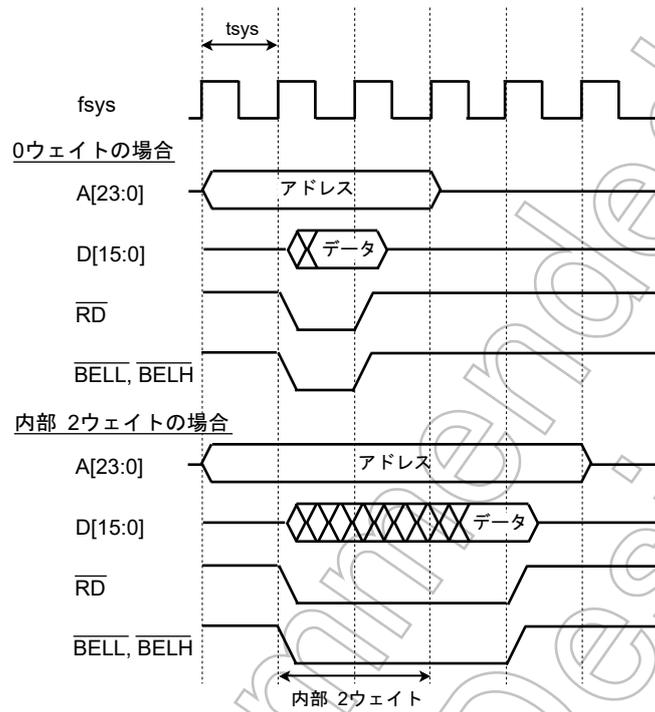


図 5-5 リードオペレーションタイミング

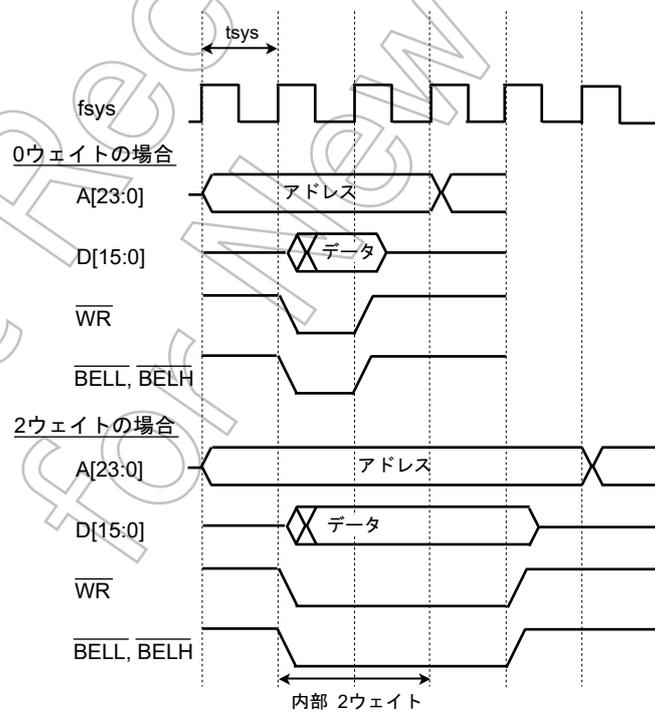


図 5-6 ライトオペレーションタイミング

### 5.5.3 リード/ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ  $EXBCSx<WRR[2:0]>$  (ライト・リカバリサイクル)、 $<RDR[2:0]>$  (リード・リカバリサイクル) にて設定します。ダミーサイクル数はチャンネルごとにダミーサイクル無し、1~6、および8システムクロック (内部) を指定できます。図 5-7 にリカバリタイム挿入時のタイミング図を示します。

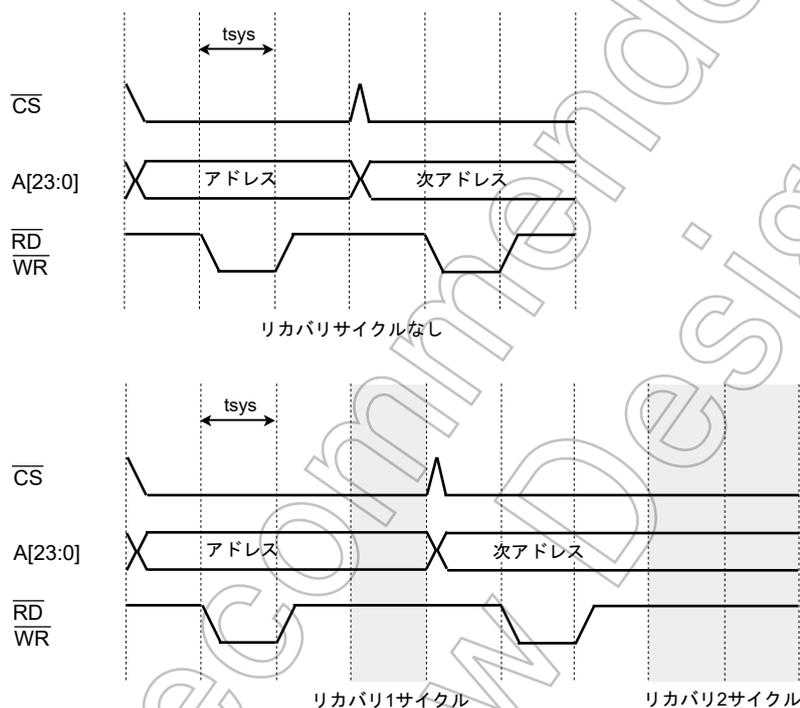


図 5-7 セパレートバスにおけるリカバリタイム挿入時のタイミング

### 5.5.4 チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCS<sub>x</sub><CSR[1:0]>にて設定します。ダミーサイクル数はチャンネルごとに、ダミーサイクル無し、1、2および4システムクロック（内部）を指定することができます。図 5-8 にリカバリタイム挿入時のタイミング図を示します。

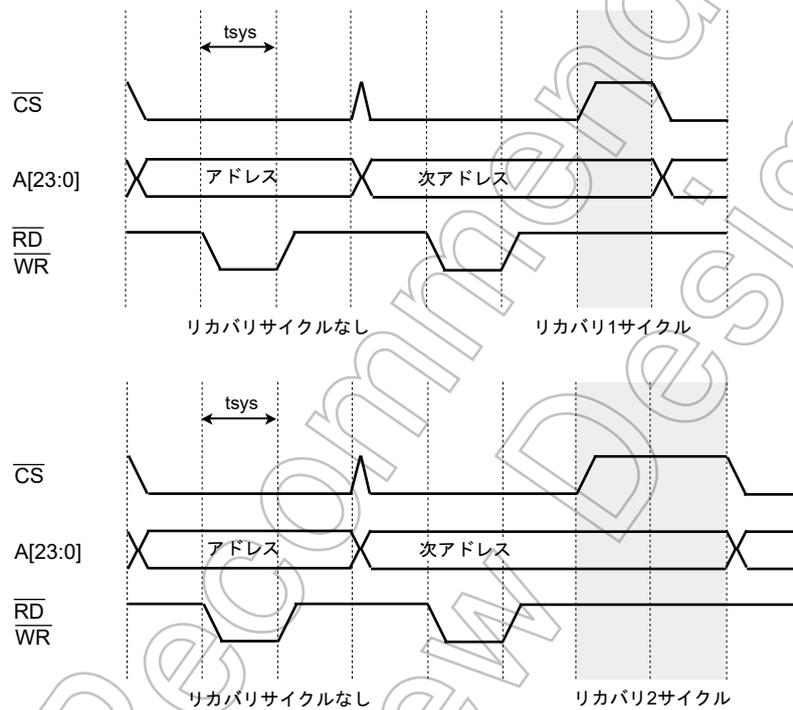


図 5-8 チップセレクトリカバリタイム挿入時のタイミング

### 5.5.5 リード、ライトセットアップサイクル

内部セットアップコントローラによりチャンネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

- ・ 最大4クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の <WRS[1:0]>および<RDS[1:0]>で設定します。図 5-9 にセットアップサイクル挿入時のタイミング図を示します。

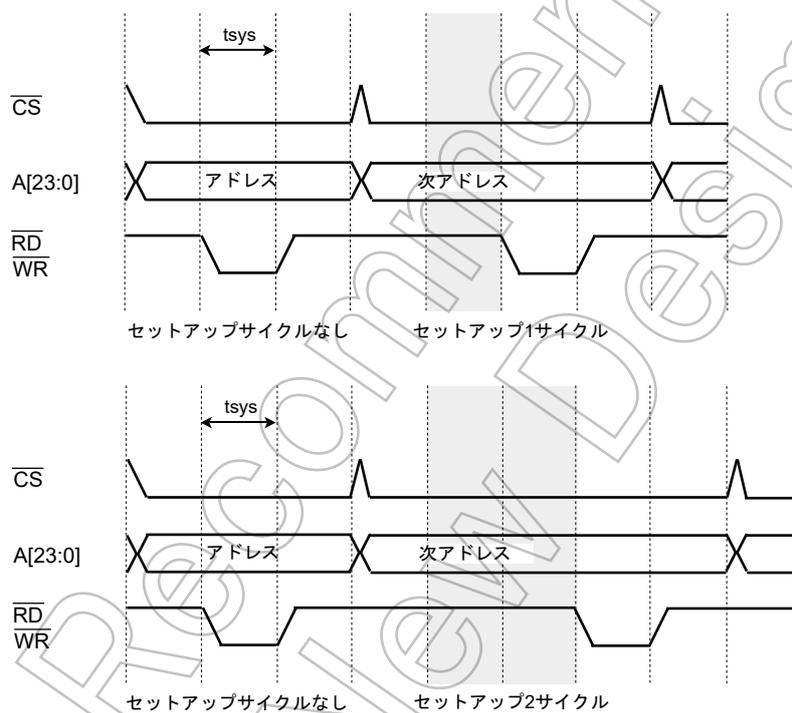


図 5-9 リード、ライトセットアップ挿入時のタイミング

## 5.6 外部バスオペレーション (マルチプレクスバスモード)

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23~A16, AD15~AD0 を設定したときのものを示しています。

### 5.6.1 基本バスオペレーション

TMPM341FDXBG/FYXBG の外部バスサイクルは基本 4 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 5-10 にリードバスタイミングを、図 5-11 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出しません。またアドレス/データバスはハイインピーダンスになり  $\overline{RD}$ 、 $\overline{WR}$  などの制御信号もアクティブになりません。

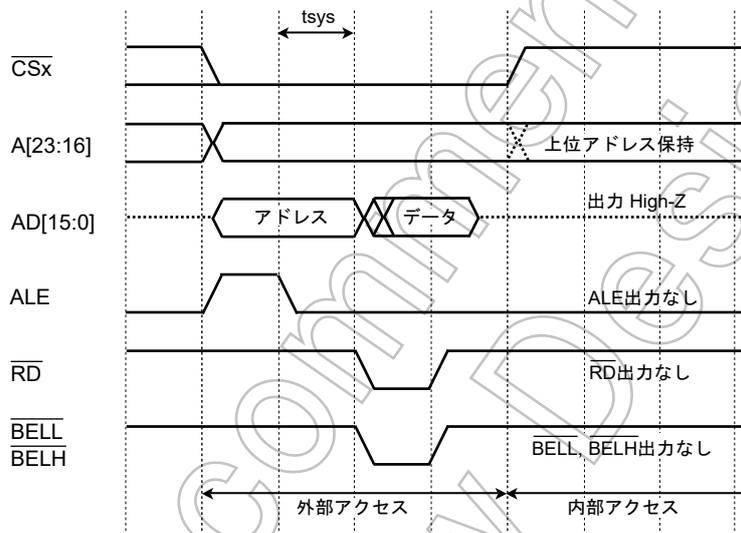


図 5-10 リードオペレーションタイミング

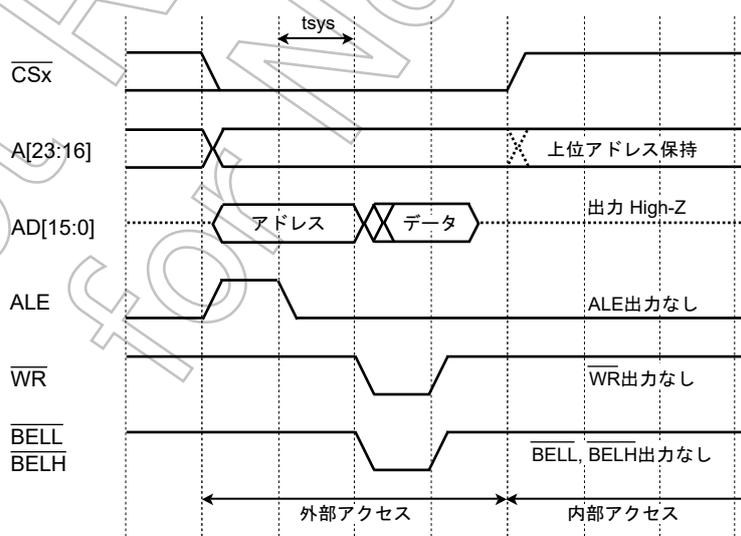


図 5-11 ライトオペレーションタイミング

## 5.6.2 ウェイトタイミング

内部ウェイトコントローラによりチャンネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下となります。

- ・ 最大 15 クロックまでの内部ウェイト(自動挿入)

内部ウェイト数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の <CSIW[4:0]> で設定します。

図 5-12、図 5-13 にマルチプレスクバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトタイミングを示します。

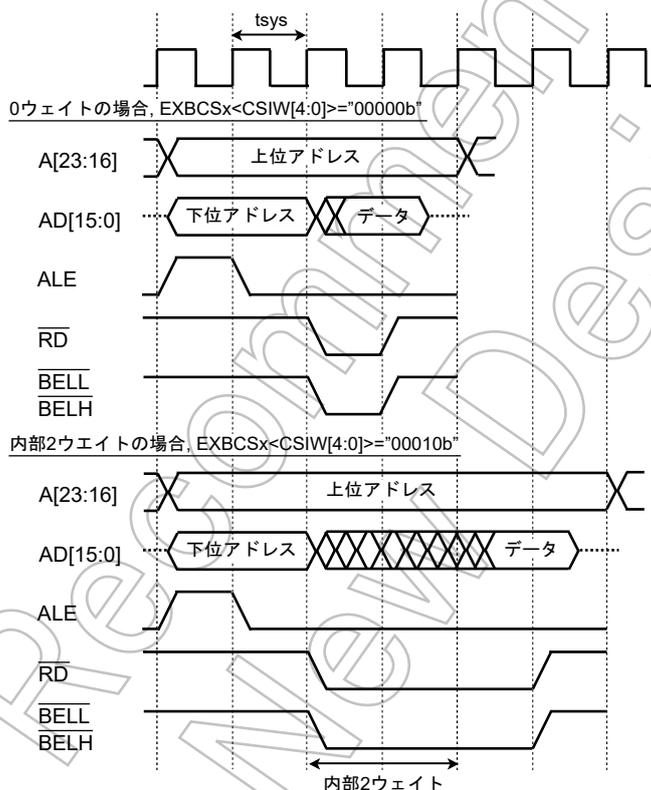


図 5-12 リードオペレーションタイミング

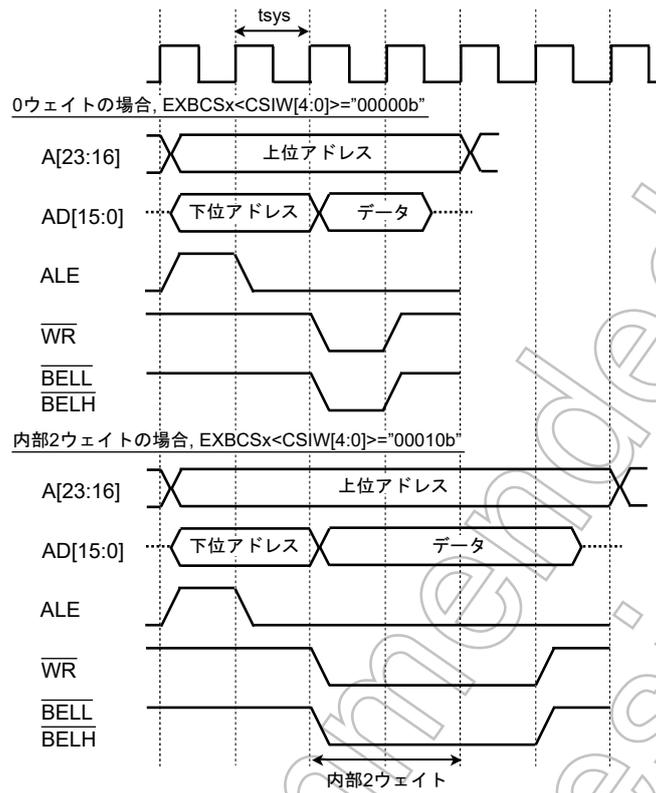


図 5-13 ライトオペレーションタイミング

### 5.6.3 ALE アサート時間

ALE アサート時間は、1,2,4 システムクロックの中から選択できます。設定用のビットは外部バスチップセレクトコントロールレジスタ EXBCSx<ALEW[1:0]>にあります。初期設定ではアドレス成立から2 システムクロック（内部）後に  $\overline{RD}$  または  $\overline{WR}$  信号がアサートされます。

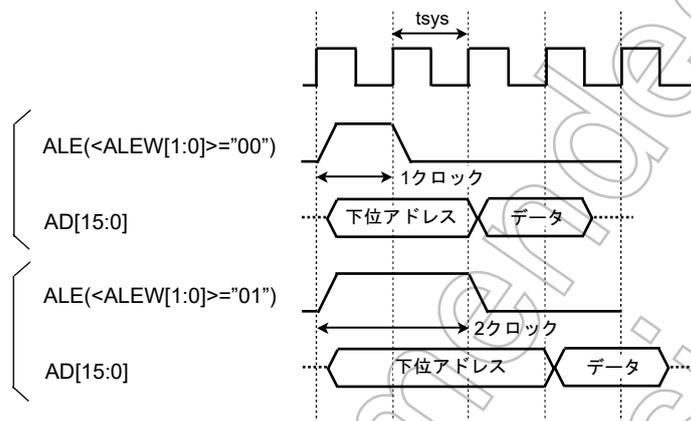


図 5-14 ALE のアサート時間

図 5-15 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

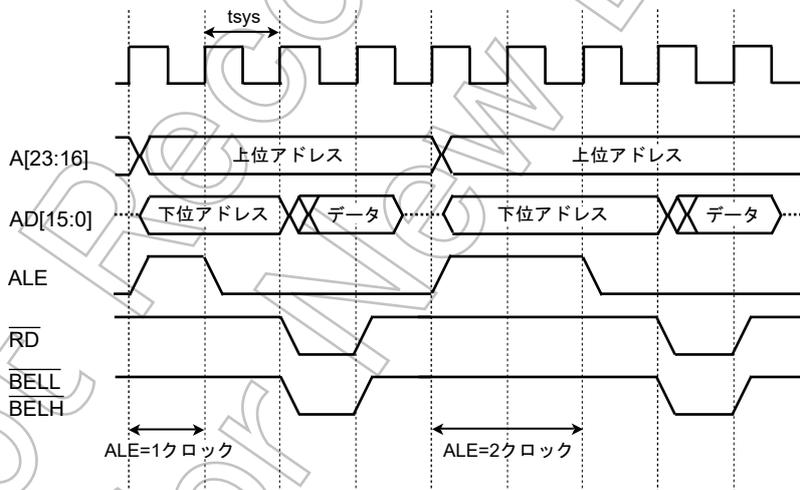


図 5-15 リードオペレーションタイミング (ALE1 クロックおよび 2 クロック)

### 5.6.4 リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCSx<WRR[2:0]> (ライト・リカバリサイクル)、<RDR[2:0]> (リード・リカバリサイクル) にて設定します。ダミーサイクル数はチャンネルごとに、ダミーサイクル無し、1~6 システムクロック、および8 システムクロックを指定することができます。図 5-16 にリカバリタイム挿入時のタイミング図を示します。

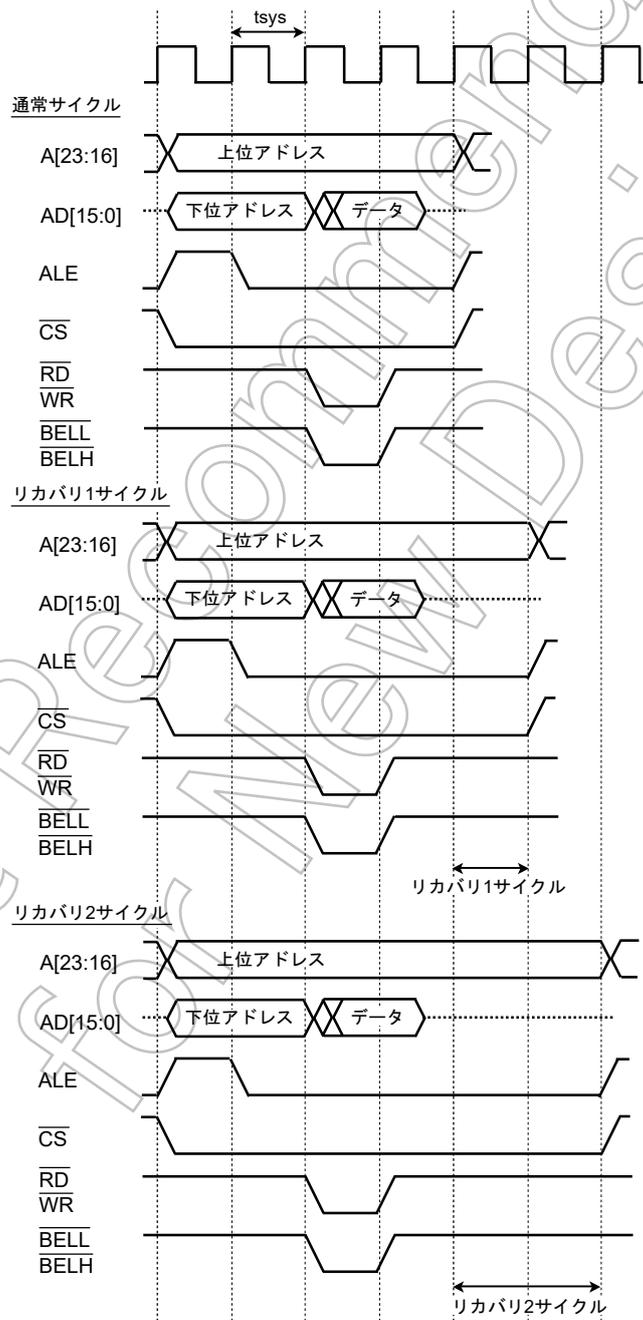


図 5-16 リカバリタイム挿入時のタイミング

### 5.6.5 チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCS<sub>x</sub><CSR[1:0]>にて設定します。ダミーサイクル数はチャンネルごとに、ダミーサイクル無し、1、2および4システムクロック（内部）を指定することができます。図 5-17 にリカバリタイム挿入時のタイミング図を示します。

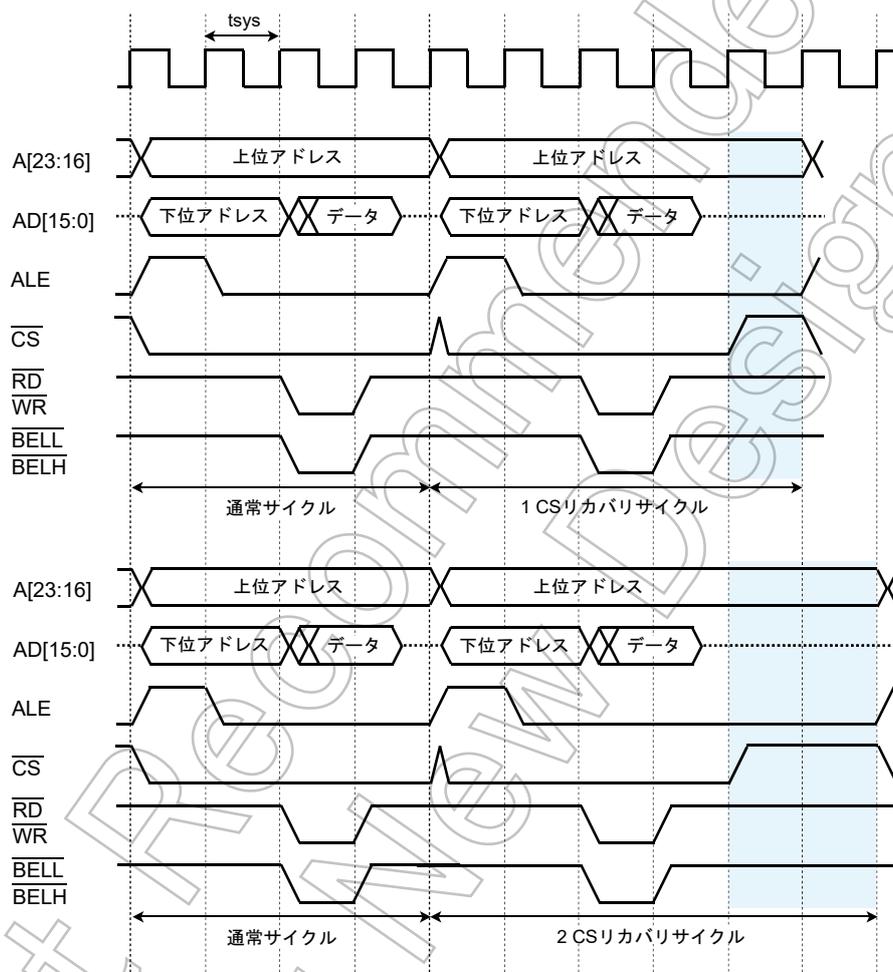


図 5-17 リカバリタイム挿入時のタイミング(ALE 幅:1 クロック)

### 5.6.6 リード、ライトセットアップサイクル

内部セットアップコントローラによりチャンネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

- ・ 最大4クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の  $\langle WRS[1:0] \rangle$  および  $\langle RDS[1:0] \rangle$  で設定します。

図 5-18 にリード、ライトセットアップサイクル挿入時のタイミング図を示します。

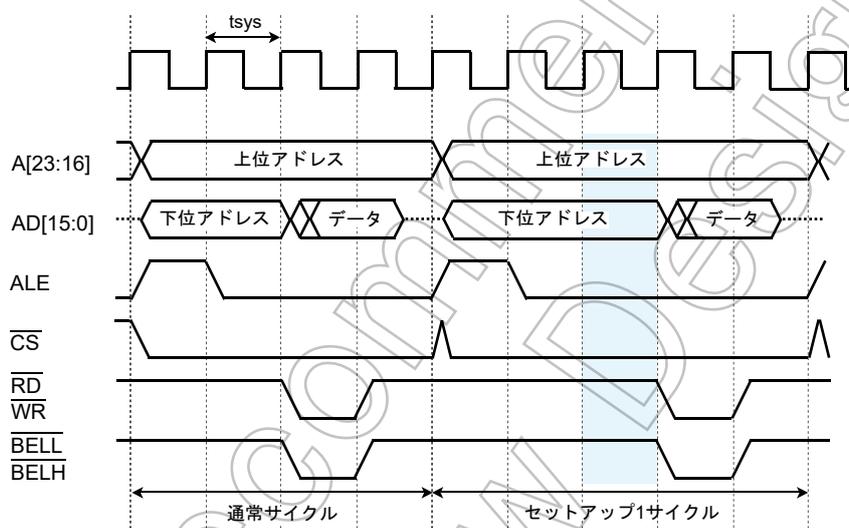


図 5-18 リード、ライトセットアップ挿入時のタイミング

## 5.7 外部メモリ接続例

### 5.7.1 外部 16 ビット SRAM と 16 ビット NOR-Flash 接続(セパレートバス)

図 5-19 はセパレートモードでの外部 16 ビット SRAM、16 ビット NOR-Flash との接続例を示しています。

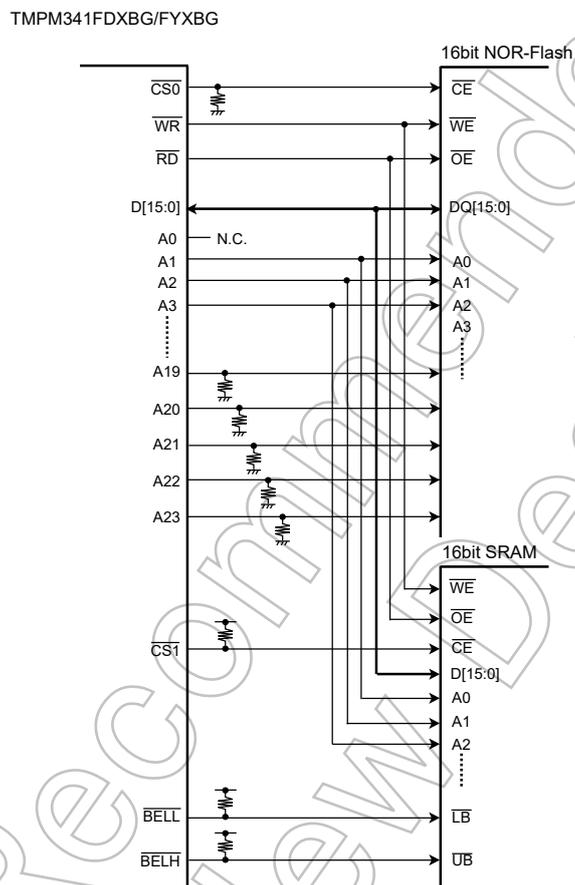


図 5-19 外部 16 ビット SRAM、NOR-Flash 接続例(セパレートバス)

### 5.7.2 外部 16 ビット SRAM と 16 ビット NOR-Flash 接続(マルチプレクスモード)

図 5-20 はマルチプレクスモードでの外部 16 ビット SRAM、16 ビット NOR-Flash との接続例を示しています。

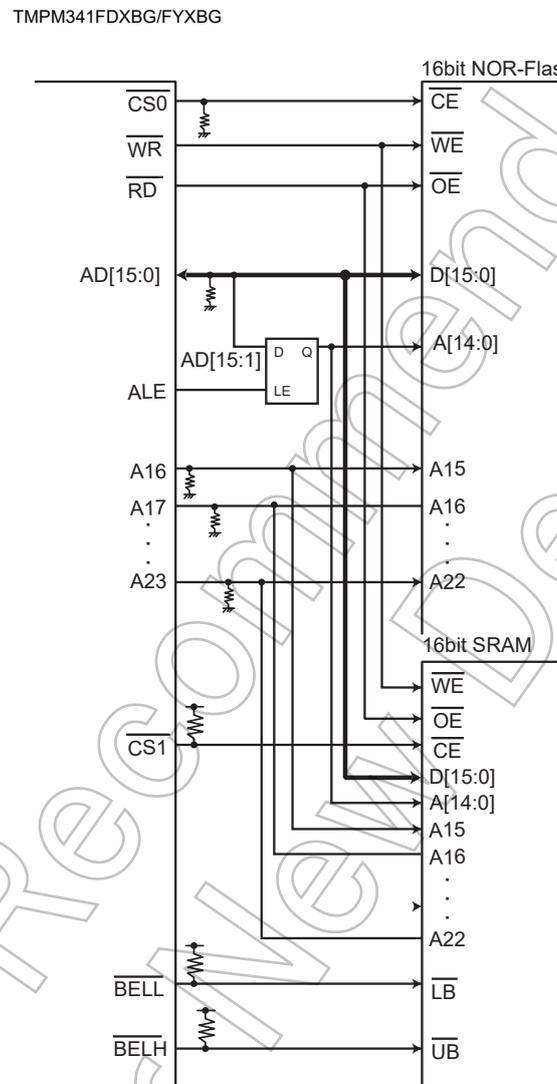


図 5-20 外部 16 ビット SRAM、NOR-Flash 接続例(マルチプレクスバス)

## 第 6 章 DMA コントローラ (DMAC)

### 6.1 概要

主な機能を以下に説明します。

表 6-1 DMA 機能概要 (1 ユニット)

項目	機能		説明
チャンネル数	2ch		-
DMA 要求数	16 要因		-
DMA 起動トリガ	ハードウェアでスタート		周辺回路の DMA 要求で起動
	ソフトウェアでスタート		DMACxSoftBReq へのライトで起動
バスマスタ	32bit × 1 (AHB)		-
プライオリティ	高: ユニット A CH0 ユニット A CH1 ユニット B CH0 低: ユニット B CH1		固定
FIFO	4word × 2ch		-
バス幅	8/16/32bit		Source、Destination で別々に設定可能。
バーストサイズ	1/4/8/16/32/64/128/256		-
転送回数	~4095		-
アドレス	転送元アドレス	increment not increment	Source と Destination のアドレスは、 increment か not increment かを選択できます (アドレス wrapping はサポートしていません)
	転送先アドレス	increment not increment	
エンディアン	リトルエンディアン/ビッグエンディアン		-
転送タイプ	Peripheral to Memory Memory to Peripheral Memory to Memory Peripheral to Peripheral		"Memory to Memory"を選択した場合、DMA 起 動のハードウェアスタートはサポートしてい ません。詳細は、DMACxCnConfiguration を参 照してください。 "Peripheral to Peripheral"を選択した場合、 Source と Destination に割り当てられる周辺機 能には制約があります。詳細は「6.4.1 Peripheral to Peripheral でサポートする周辺機 能」を参照してください。
割り込み機能	転送終了割り込み エラー割り込み		-
特殊機能	Scatter/gather 機能		-

## 6.2 DMA 転送タイプについて

表 6-2 DMA 転送タイプ

No.	DMA 転送タイプ	DMA 要求元	受付可能な DMA 要求の種類	説明									
1	Memory to Peripheral	Peripheral (Destination)	バースト要求	Word の転送要求の場合、DMA のバーストサイズを 1 に設定して下さい									
2	Peripheral to Memory	Peripheral (Source)	バースト要求 / シングル要求	データの総転送サイズが、バーストサイズの整数倍でない時、バースト要求とシングル要求の両方を使用することができます。 データの総転送サイズ $\geq$ バーストサイズのときには、シングル要求は無視されバースト転送が行われます。 総転送サイズ $<$ バーストサイズ時となったときには、シングル転送が行われます。									
3	Memory to Memory 注)	DMAC	-	DMA 要求なしで、DMA を Enable にするとデータ転送が開始します。 (Mem to Mem を選択し、DMACxConfiguration<E>を "1" に設定します) 全てのデータ転送が終了するか、DMAC を disabled にすると停止します。									
4	Peripheral to Peripheral	Peripheral (Source)	バースト要求 / シングル要求	<table border="1"> <thead> <tr> <th>転送サイズ</th> <th>Source</th> <th>Destination</th> </tr> </thead> <tbody> <tr> <td>(1)バーストサイズの整数倍</td> <td>バースト要求</td> <td>バースト要求</td> </tr> <tr> <td>(2)バーストサイズの非整数倍</td> <td>バースト要求 / シングル要求</td> <td>-</td> </tr> </tbody> </table>	転送サイズ	Source	Destination	(1)バーストサイズの整数倍	バースト要求	バースト要求	(2)バーストサイズの非整数倍	バースト要求 / シングル要求	-
		転送サイズ	Source	Destination									
		(1)バーストサイズの整数倍	バースト要求	バースト要求									
(2)バーストサイズの非整数倍	バースト要求 / シングル要求	-											
Peripheral (Destination)	バースト要求	-											

注) Memory to Memory を使用して多くのデータを転送する場合、Priority の低いチャネルを使うことを推奨します。Priority の低いチャネルを使用することにより、転送途中でも、Priority の高いチャネルの転送を開始することができます。優先度の高いチャネルを Memory to Memory で使用すると、このチャネルの転送が終了するまで、優先度の低いチャネルの転送を開始することができません。

6.3 ブロック図

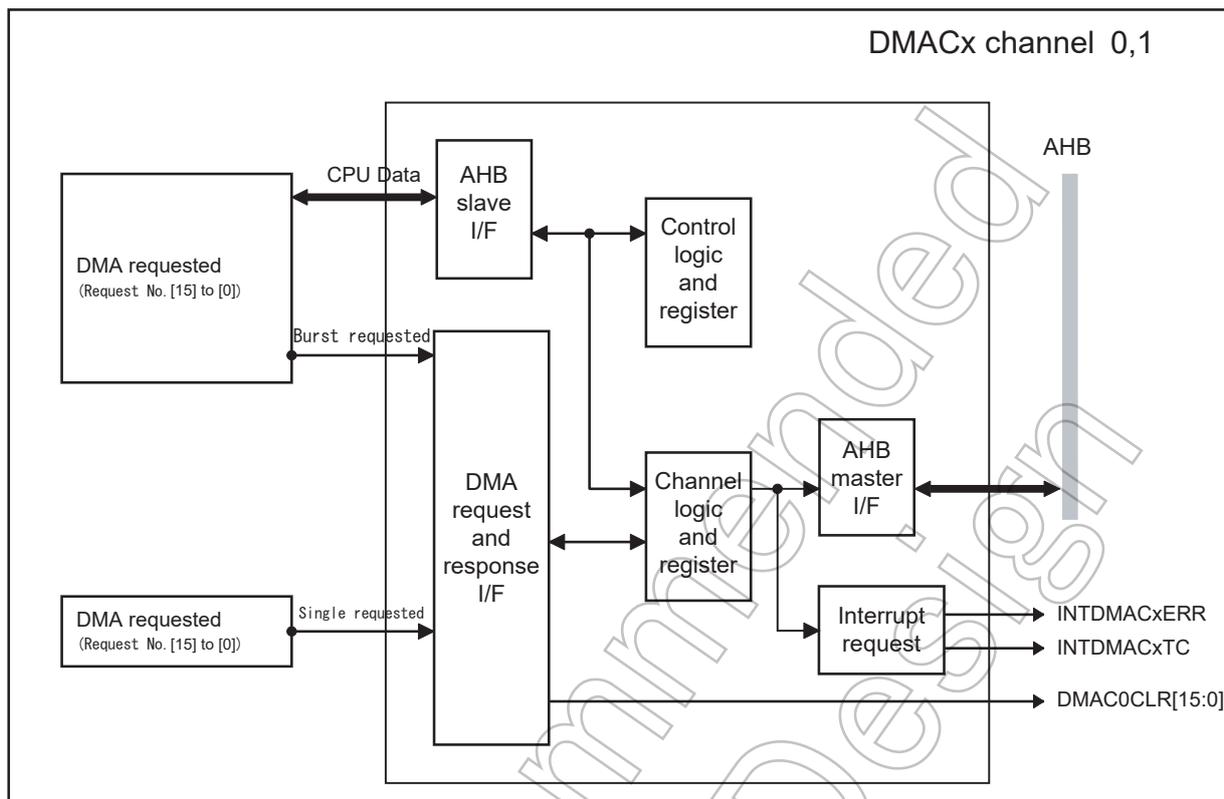


図 6-1 DMAC ブロック図

Not Recommended for New Design

## 6.4 TMPM341FDXBG/FYXBG の固有情報

### 6.4.1 Peripheral to Peripheral でサポートする周辺機能

TMPM341FDXBG/FYXBG でサポートする周辺機能(レジスタ)は下記のとおりです。

Source	Destination
Peripheral register	SCxBUF (x=0 to 1)
	ADxREG00 to 14
	ADREGSP
	ADCMP0 to 1
	TBxREG0 to 1 (x=0 to 9)
	TBxCP0 to 1 (x=0 to 9)
	TDxRG0 to 4 (x=0 to 1)
	TDORG5
SCxBUF (x=0 to 1)	Peripheral register
ADxREG00 to 14	
ADREGSP	
ADCMP0 to 1	
TBxREG0 to 1 (x=0 to 9)	
TBxCP0 to 1 (x=0 to 9)	
TDxRG0 to 4 (x=0 to 1)	
TDORG5	

### 6.4.2 DMA 要求

それぞれの DMA 要求番号に対応する DMA 要求要因は以下の通りです。

表 6-3 DMA 要求表 (ユニット A)

DMA 要求番号	対応するペリフェラル	
	ch0,ch1	
	バースト要求	シングル要求
0	SIO0/UART0 受信	-
1	SIO0/UART0 送信	-
2	SIO2/UART2 受信	-
3	SIO2/UART2 送信	-
4	SIO4/UART4 受信	-
5	SIO4/UART4 送信	-
6	2相パルスカウンタ 2 カウント毎	-
7	2相パルスカウンタ 3 カウント毎	-
8	TMRB8 コンペア一致	-
9	TMRB9 コンペア一致	-
10	TMRB0 入力キャプチャ 0	-
11	TMRB4 入力キャプチャ 0	-
12	TMRB4 入力キャプチャ 1	-
13	TMRB5 入力キャプチャ 0	-
14	TMRB5 入力キャプチャ 1	-
15	最優先 AD 変換終了	-

表 6-4 DMA 要求表 (ユニット B)

DMA 要求番号	対応するペリフェラル	
	ch0,ch1	
	バースト要求	シングル要求
0	TMRD00 コンペア一致	-
1	TMRD10 コンペア一致	-
2	2相パルスカウンタ 0 カウント毎	-
3	2相パルスカウンタ 1 カウント毎	-
4	TMRB6 コンペア一致	-
5	TMRB7 コンペア一致	-
6	TMRB0 入力キャプチャ 1	-
7	TMRB2 入力キャプチャ 0	-
8	TMRB2 入力キャプチャ 1	-
9	TMRB3 入力キャプチャ 0	-
10	TMRB3 入力キャプチャ 1	-
11	TMRB6 入力キャプチャ 0	-
12	TMRB6 入力キャプチャ 1	-
13	通常 AD 変換終了	-
14	SSP 送信	SSP 送信
15	SSP 受信	SSP 受信

### 6.4.3 割り込み要求

ユニット	転送終了割り込み	エラー割り込み
ユニット A	INTDMACATC	INTDMACAERR
ユニット B	INTDMACBTC	INTDMACBERR

### 6.4.4 ベースアドレス

ユニット	ベースアドレス
ユニット A	0x4000_0000
ユニット B	0x4000_1000

Not Recommended for New Design

## 6.5 レジスタ説明

### 6.5.1 DMAC レジスタ一覧

以下に各レジスタの機能とアドレスを示します。

Register Name ( x=A )		Address(Base+)
DMAC Interrupt Status Register	DMACxIntStaus	0x0000
DMAC Interrupt Terminal Count Status Register	DMACxIntTCStatus	0x0004
DMAC Interrupt Terminal Count Clear Register	DMACxIntTCClear	0x0008
DMAC Interrupt Error Status Register	DMACxIntErrorStatus	0x000C
DMAC Interrupt Error Clear Register	DMACxIntErrClr	0x0010
DMAC Raw Interrupt Terminal Count Status Register	DMACxRawIntTCStatus	0x0014
DMAC Raw Error Interrupt Status Register	DMACxRawIntErrorStatus	0x0018
DMAC Enabled Channel Register	DMACxEnbldChns	0x001C
DMAC Software Burst Request Register	DMACxSoftBReq	0x0020
DMAC Software Single Request Register	DMACxSoftSReq	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
DMAC Configuration Register	DMACxConfiguration	0x0030
Reserved	-	0x0034
DMAC Channel0 Source Address Register	DMACxC0SrcAddr	0x0100
DMAC Channel0 Destination Address Register	DMACxC0DestAddr	0x0104
DMAC Channel0 Linked List Item Register	DMACxC0LLI	0x0108
DMAC Channel0 Control Register	DMACxC0Control	0x010C
DMAC Channel0 Configuration Register	DMACxC0Configuration	0x0110
DMAC Channel1 Source Address Register	DMACxC1SrcAddr	0x0120
DMAC Channel1 Destination Address Register	DMACxC1DestAddr	0x0124
DMAC Channel1 Linked List Item Register	DMACxC1LLI	0x0128
DMAC Channel1 Control Register	DMACxC1Control	0x012C
DMAC Channel 1 Configuration Register	DMACxC1Configuration	0x0130

注 1) 上記レジスタは、ワード(32bit)アクセスのみとなります

注 2) "Reserved" 領域へのアクセスは禁止です

注 3) チャンネルごとにレジスタが用意されているものに関しては、チャンネルの構造が同じ場合、レジスタ詳細説明において、ユニット番号をあらわす部分を"x"、チャンネル番号をあらわす部分を"n"で表現しています

注 4) チャンネルごとに用意されているレジスタへの Write の後にチャンネルごとに用意されていないレジスタを Read する場合、命令の間を 1 サイクル以上あけるか、2 回 Read してください。

### 6.5.2 DMACxIntStatus (DMAC Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntStatus1	IntStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0"をライトしてください。
1	IntStatus1	R	DMAC チャンネル 1 の割り込み発生状態 0: 割り込み要求なし 1: 割り込み要求あり 転送終了割り込み許可レジスタおよびエラー割り込み許可レジスタを経由した後の DMAC 割り込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割り込み要求が発生します。
0	IntStatus0	R	DMAC チャンネル 0 の割り込み発生状態 0: 割り込み要求なし 1: 割り込み要求あり 転送終了割り込み許可レジスタおよびエラー割り込み許可レジスタを経由した後の DMAC 割り込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割り込み要求が発生します。

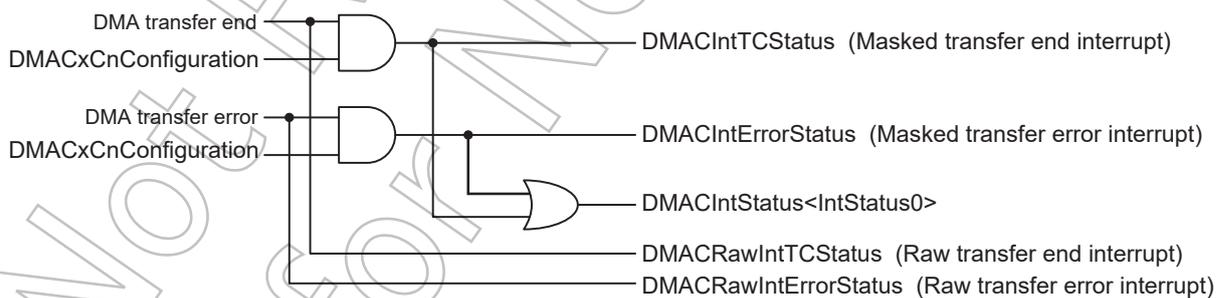


図 6-2 割り込み関連ブロック図

## 6.5.3 DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCStatus1	IntTCStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntTCStatus1	R	DMAC チャンネル 1 の転送終了割り込み発生状態 0: 割り込み要求なし 1: 割り込み要求あり 許可後の転送終了割り込み発生状態を示します。
0	IntTCStatus0	R	DMAC チャンネル 0 の転送終了割り込み発生状態 0: 割り込み要求なし 1: 割り込み要求あり 許可後の転送終了割り込み発生状態を示します。

## 6.5.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCClear1	IntTCClear0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntTCClear1	W	DMAC チャンネル 1 の転送終了割込みクリア 0: 無効 1: クリア "1" をライトすると DMACxIntTCStatus<IntTCStatus1> がクリアされます
0	IntTCClear0	W	DMAC チャンネル 0 の転送終了割込みクリア 0: 無効 1: クリア "1" をライトすると DMACxIntTCStatus<IntTCStatus0> がクリアされます

6.5.5 DMACxIntErrorStatus (DMAC Interrupt Error Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrStatus1	IntErrStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntErrStatus1	R	DMAC チャンネル 1 のエラー割込み状態 0: 割り込み要求なし 1: 割り込み要求あり 許可後のエラー割込み発生状態を示します
0	IntErrStatus0	R	DMAC チャンネル 0 のエラー割込み状態 0: 割り込み要求なし 1: 割り込み要求あり 許可後のエラー割込み発生状態を示します

## 6.5.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrClr1	IntErrClr0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntErrClr1	W	DMAC チャンネル 1 のエラー割込みクリア 0: 無効 1: クリア "1" をライトすると DMACxIntErrorStatus<IntErrStatus1> がクリアされます。
0	IntErrClr0	W	DMAC チャンネル 0 のエラー割込みクリア 0: 無効 1: クリア "1" をライトすると DMACxIntErrorStatus<IntErrStatus0> がクリアされます。

## 6.5.7 DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntTCS1	RawIntTCS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	RawIntTCS1	R	DMAC チャンネル 1 の許可前転送終了割り込み発生状態 0: 割り込み要求なし 1: 割り込み要求あり
0	RawIntTCS0	R	DMAC チャンネル 0 の許可前転送終了割り込み発生状態 0: 割り込み要求なし 1: 割り込み要求あり

## 6.5.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntErrS1	RawIntErrS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	RawIntErrS1	R	DMAC チャンネル 1 の許可前エラー割込み発生状態 0: 割込み要求なし 1: 割込み要求あり
0	RawIntErrS0	R	DMAC チャンネル 0 の許可前エラー割込み発生状態 0: 割込み要求なし 1: 割込み要求あり

## 6.5.9 DMACxEnbldChns (DMAC Enabled Channel Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EnabledCH1	EnabledCH0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	EnabledCH1	R	DMAC チャンネル 1 の許可状態 0 : DMA 転送終了時クリア 1 : チャンネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる) クリアされます。
0	EnabledCH0	R	DMAC チャンネル 0 の許可状態 0 : DMA 転送終了時クリア 1 : チャンネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる) クリアされます。

## 6.5.10 DMACxSoftBReq (DMAC Software Burst Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftBReq15	SoftBReq14	SoftBReq13	SoftBReq12	SoftBReq11	SoftBReq10	SoftBReq9	SoftBReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftBReq7	SoftBReq6	SoftBReq5	SoftBReq4	SoftBReq3	SoftBReq2	SoftBReq1	SoftBReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	-	"0" をライトしてください
15	SoftBReq15	R/W	ソフトウェアによる DMA バースト要求(要求番号 [15]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
14	SoftBReq14	R/W	ソフトウェアによる DMA バースト要求(要求番号 [14]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
13	SoftBReq13	R/W	ソフトウェアによる DMA バースト要求(要求番号 [13]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
12	SoftBReq12	R/W	ソフトウェアによる DMA バースト要求(要求番号 [12]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
11	SoftBReq11	R/W	ソフトウェアによる DMA バースト要求(要求番号 [11]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
10	SoftBReq10	R/W	ソフトウェアによる DMA バースト要求(要求番号 [10]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
9	SoftBReq9	R/W	ソフトウェアによる DMA バースト要求(要求番号 [9]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生

Bit	Bit Symbol	Type	機能
8	SoftBReq8	R/W	ソフトウェアによる DMA バースト要求(要求番号 [8]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
7	SoftBReq7	R/W	ソフトウェアによる DMA バースト要求(要求番号 [7]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
6	SoftBReq6	R/W	ソフトウェアによる DMA バースト要求(要求番号 [6]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
5	SoftBReq5	R/W	ソフトウェアによる DMA バースト要求(要求番号 [5]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
4	SoftBReq4	R/W	ソフトウェアによる DMA バースト要求(要求番号 [4]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
3	SoftBReq3	R/W	ソフトウェアによる DMA バースト要求(要求番号 [3]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
2	SoftBReq2	R/W	ソフトウェアによる DMA バースト要求(要求番号 [2]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
1	SoftBReq1	R/W	ソフトウェアによる DMA バースト要求(要求番号 [1]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生
0	SoftBReq0	R/W	ソフトウェアによる DMA バースト要求(要求番号 [0]) リード時: 0: DMA バースト停止中 1: DMA バースト実行中 ライト時: 0: 無効 1: DMA バースト要求の発生

注 1) 同時にソフトウェアとハードウェアによる DMA 要求を実施しないでください

注 2) DMA のリクエスト番号は「6.4.2 DMA 要求」を参照してください。バースト要求のない DMA 要求番号に対応するレジスタには"0"を書き込んでください。

## 6.5.11 DMACxSoftSReq (DMAC Software Single Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftSReq15	SoftSReq14	SoftSReq13	SoftSReq12	SoftSReq11	SoftSReq10	SoftSReq9	SoftSReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftSReq7	SoftSReq6	SoftSReq5	SoftSReq4	SoftSReq3	SoftSReq2	SoftSReq1	SoftSReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	-	"0" をライトしてください
15	SoftSReq15	R/W	ソフトウェアによる DMA シングル要求(要求番号 [15]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
14	SoftSReq14	R/W	ソフトウェアによる DMA シングル要求(要求番号 [14]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
13	SoftSReq13	R/W	ソフトウェアによる DMA シングル要求(要求番号 [13]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
12	SoftSReq12	R/W	ソフトウェアによる DMA シングル要求(要求番号 [12]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
11	SoftSReq11	R/W	ソフトウェアによる DMA シングル要求(要求番号 [11]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
10	SoftSReq10	R/W	ソフトウェアによる DMA シングル要求(要求番号 [10]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
9	SoftSReq9	R/W	ソフトウェアによる DMA シングル要求(要求番号 [9]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生

Bit	Bit Symbol	Type	機能
8	SoftSReq8	R/W	ソフトウェアによる DMA シングル要求(要求番号 [8]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
7	SoftSReq7	R/W	ソフトウェアによる DMA シングル要求(要求番号 [7]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
6	SoftSReq6	R/W	ソフトウェアによる DMA シングル要求(要求番号 [6]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
5	SoftSReq5	R/W	ソフトウェアによる DMA シングル要求(要求番号 [5]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
4	SoftSReq4	R/W	ソフトウェアによる DMA シングル要求(要求番号 [4]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
3	SoftSReq3	R/W	ソフトウェアによる DMA シングル要求(要求番号 [3]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
2	SoftSReq2	R/W	ソフトウェアによる DMA シングル要求(要求番号 [2]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
1	SoftSReq1	R/W	ソフトウェアによる DMA シングル要求(要求番号 [1]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生
0	SoftSReq0	R/W	ソフトウェアによる DMA シングル要求(要求番号 [0]) リード時: 0: DMA シングル停止中 1: DMA シングル実行中 ライト時: 0: 無効 1: DMA シングル要求の発生

注 1) 同時にソフトウェアとハードウェアによる DMA 要求を実施しないでください。

注 2) DMA のリクエスト番号は「6.4.2 DMA 要求」を参照してください。シングル要求のない DMA 要求番号に対応するレジスタには"0"を書き込んでください。

## 6.5.12 DMACxConfiguration (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	M	E
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください。
1	M	R/W	DMA エンディアンコンフィギュレーション 0: リトルエンディアン 1: ビックエンディアン
0	E	R/W	DMA 回路制御 0: 停止 1: 動作 DMA 回路が停止している場合、DMA 回路のレジスタへの書き込み、読み出しはできません。DMA を動作させる場合には常に<E>="1" を設定してください。

## 6.5.13 DMACCxSrcAddr (DMAC Channelx Source Address Register)

	31	30	29	28	27	26	25	24
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31-0	SrcAddr[31:0]	R/W	DMA 転送元アドレスの設定 設定する前には転送元のメモリやIPレジスタのビット幅と、アドレスを確認してください。 転送元のビット幅の設定により、以下の制約があります。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>転送元のビット幅 DMACCxControl&lt;Swidth[2:0]&gt;</th> <th>最下位アドレスの設定</th> </tr> </thead> <tbody> <tr> <td>000 :バイト(8ビット)</td> <td>制約なし</td> </tr> <tr> <td>001 :ハーフワード(16ビット)</td> <td>2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定</td> </tr> <tr> <td>010 :ワード(32ビット)</td> <td>4の倍数(0x0,0x4,0x8,0xC...)になるように設定</td> </tr> </tbody> </table>	転送元のビット幅 DMACCxControl<Swidth[2:0]>	最下位アドレスの設定	000 :バイト(8ビット)	制約なし	001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定	010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定
転送元のビット幅 DMACCxControl<Swidth[2:0]>	最下位アドレスの設定										
000 :バイト(8ビット)	制約なし										
001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定										
010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定										

チャンネル x を許可(DMACCxConfiguration<E>="1")すると、レジスタに記述された内容が更新されますので、チャンネルを許可する前に DMACCxSrcAddr を設定してください。

DMA が動作中の場合、DMACCxSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

また、転送中は DMACCxSrcAddr をアップデートしないでください。DMACCxSrcAddr を変更する場合には必ずチャンネル x を禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

## 6.5.14 DMACCxDestAddr (DMAC Channelx Destination Address Register)

	31	30	29	28	27	26	25	24
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能								
31-0	DestAddr[31:0]	R/W	<p>DMA 転送先アドレスの設定 設定する前には転送先のメモリやIPレジスタのビット幅と、アドレスを確認してください。 転送先のビット幅の設定により、以下の制約があります。</p> <table border="1"> <thead> <tr> <th>転送先のビット幅 DMACCxControl&lt;Dwidth[2:0]&gt;</th> <th>最下位アドレスの設定</th> </tr> </thead> <tbody> <tr> <td>000 :バイト(8ビット)</td> <td>制約なし</td> </tr> <tr> <td>001 :ハーフワード(16ビット)</td> <td>2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定</td> </tr> <tr> <td>010 :ワード(32ビット)</td> <td>4の倍数(0x0,0x4,0x8,0xC...)になるように設定</td> </tr> </tbody> </table>	転送先のビット幅 DMACCxControl<Dwidth[2:0]>	最下位アドレスの設定	000 :バイト(8ビット)	制約なし	001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定	010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定
転送先のビット幅 DMACCxControl<Dwidth[2:0]>	最下位アドレスの設定										
000 :バイト(8ビット)	制約なし										
001 :ハーフワード(16ビット)	2の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC...)になるように設定										
010 :ワード(32ビット)	4の倍数(0x0,0x4,0x8,0xC...)になるように設定										

転送中に DMACCxDestAddr をアップデートしないでください。DMACCxDestAddr を変更する場合には必ずチャンネルを禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

## 6.5.15 DMACxCnLLI (DMAC Channelx Linked List Item Register)

	31	30	29	28	27	26	25	24
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LLI						-	-
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
31-2	LLI[29:0]	R/W	次の転送情報の先頭アドレスを設定 設定値は 0xFFFF_FFF0 以内で設定してください。 <LLI>="0" のとき、LLI が最後のチェーンであり、DMA 転送終了後、DMA チャンネルが禁止になります。
1-0	-	R/W	"0" をライトしてください

<LLI> の動作詳細は、「6.6 特殊機能」を参照ください。

6.5.16 DMACxCnControl (DMAC Channelx Control Register)

	31	30	29	28	27	26	25	24
bit symbol	I	-	-	-	DI	SI	-	-
リセット後	0	不定	不定	不定	0	0	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	Dwidth			Swidth			DBSize	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DBSize	SBSIZE			TransferSize			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TransferSize							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	I	R/W	転送割り込み許可ビット 0: 禁止 1: 許可  <I>="1" かつ DMACCxConfiguration<ITC>="1" の設定で、転送終了割り込みが発生します。Scatter/gather 機能使用時に、最終転送の DMAC 設定フロー内で、本ビットを'1'にすることで、最終転送時にのみ転送終了割り込みを発生することが可能になります。通常転送時に割り込みを発生させたいときには、本ビットも"1"に設定し Enable 状態にする必要があります。
30-28	-	-	"0" をライトしてください
27	DI	R/W	転送先アドレスインクリメント 0: アドレス固定 1: インクリメント
26	SI	R/W	転送元アドレスインクリメント 0: アドレス固定 1: インクリメント
25-24	-	-	"0" をライトしてください
23-21	Dwidth[2:0]	R/W	転送先ビット幅 000: バイト (8 bits) 001: ハーフバイト (16 bits) 010: ワード (32 bits) 上記以外: Reserved 設定値については、表 6-5 を参照してください。
20-18	Swidth[2:0]	R/W	転送元ビット幅 000: バイト (8 bits) 001: ハーフワード (16 bits) 010: ワード (32 bits) 上記以外: Reserved 設定値については、表 6-5 を参照してください。
17-15	DBSize[2:0]	R/W	転送先バーストサイズ(注)  000: 1 ビート                      100: 32 ビート 001: 4 ビート                      101: 64 ビート 010: 8 ビート                      110: 128 ビート 011: 16 ビート                      111: 256 ビート  設定値については、表 6-5 を参照してください。

Bit	Bit Symbol	Type	機能								
14-12	SBSize[2:0]	R/W	<p>転送元バーストサイズ(注)</p> <table border="0"> <tr> <td>000: 1 ビート</td> <td>100: 32 ビート</td> </tr> <tr> <td>001: 4 ビート</td> <td>101: 64 ビート</td> </tr> <tr> <td>010: 8 ビート</td> <td>110: 128 ビート</td> </tr> <tr> <td>011: 16 ビート</td> <td>111: 256 ビート</td> </tr> </table> <p>設定値については、表 6-5 を参照してください。</p>	000: 1 ビート	100: 32 ビート	001: 4 ビート	101: 64 ビート	010: 8 ビート	110: 128 ビート	011: 16 ビート	111: 256 ビート
000: 1 ビート	100: 32 ビート										
001: 4 ビート	101: 64 ビート										
010: 8 ビート	110: 128 ビート										
011: 16 ビート	111: 256 ビート										
11-0	TransferSize [11:0]	R/W	<p>総転送回数の設定</p> <p>転送元ビット幅で定義された幅、(4byte/2byte/1byte)単位のデータの、転送したい総回数を設定します。</p> <p>バーストサイズは、内部動作の DMA 要求毎に一度に転送されるデータ量のみを示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。</p> <p>この値は DMA 転送の実施に伴い、“0”までデクリメントします。</p> <p>リードすると未転送回数が読み出されます。</p> <p>総転送回数は転送元ビット幅の単位になります。</p> <p>例えば:</p> <p>&lt;Swidth&gt;="000" (8bit)の場合、転送回数は、byte 単位。</p> <p>&lt;Swidth&gt;="001" (16bit)の場合、転送回数は、half word 単位。</p> <p>&lt;Swidth&gt;="010" (32bit)の場合、転送回数は、word 単位</p>								

注) DSize と SBSize で設定するバーストサイズは、AHB バスの HBURST とは関係ありません。

表 6-5 <Dwidth[2:0]>, <Swidth[2:0]>, <DSize[2:0]>, <SBSize[2:0]> の設定の方法

<Dwidth[2:0]> / <Swidth[2:0]>	<p>以下の計算式を満たすように設定してください。</p> <p>転送元ビット幅 × 総転送回数 = 転送先ビット幅 × N (N : 整数)</p> <p>(例 1) 転送元ビット幅: 8 ビット、転送先ビット幅: 32 ビット、総転送回数: 25 回の場合</p> <p>8 ビット × 25 回 = 200 ビット (25 バイト)</p> <p>N = 200 ÷ 32 = 6.25 ワード</p> <p>6.25 は整数でないことから、上記設定は出来ません。</p> <p>転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。</p> <p>(例 2) 転送元ビット幅: 32 ビット、転送先ビット幅: 16 ビット、総転送回数: 13 回の場合</p> <p>32 ビット × 13 回 = 416 ビット (13 ワード)</p> <p>N = 416 ÷ 16 = 26 ハーフワード</p> <p>26 は整数の為、問題ありません。</p>
<DSize[2:0]> / <SBSize[2:0]>	<p>「Peripheral to Memory」や、「Memory to Peripheral」の転送の場合、周辺機能は転送準備が整った事を示す DMA 要求信号を発生し、この信号をトリガに複数回実行されます (「Memory to Memory」転送の場合は、ソフトスタートのみです)。</p> <p>周辺機能からの、DMA 要求信号ごとに転送されるデータ量を、バーストサイズで設定し、FIFO などの複数のデータを格納できるものをもつ周辺機能の場合に使用します。</p>

6.5.17 DMACxCnConfiguration (DMAC Channelx Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	Halt	Active	Lock
リセット後	不定	不定	不定	不定	不定	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ITC	IE	FlowCntrl			-	DestPeripheral	
リセット後	0	0	0	0	0	不定	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestPeripheral		-	SrcPeripheral			-	E
リセット後	0	0	不定	0	0	0	0	0

Bit	Bit Symbol	Type	機能												
31-19	-	-	"0" をライトしてください												
18	Halt	R/W	DMA 要求受付制御 t 0: DMA 要求 受付 1: DMA 要求 無視												
17	Active	R	チャンネル FIFO 内のデータの有無 0: FIFO 内にデータなし 1: FIFO 内にデータあり												
16	Lock	R/W	ロック転送設定 (不分割転送) 0: ロック転送 禁止 1: ロック転送 許可  ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。詳細動作は、「6.6 特殊機能」をご参照下さい。												
15	ITC	R/W	転送終了割り込み許可 0: 割り込み禁止 1: 割り込み許可 <ITC>=1 かつ <DMACCxControl Register><I>=1 の設定で、転送終了割り込みが発生します。												
14	IE	R/W	エラー割り込み許可 0: 割り込み禁止 1: 割り込み許可												
13-11	FlowCntrl[2:0]	R/W	転送方式の設定 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>&lt;FlowCntrl[2:0]&gt; 設定値</th> <th>転送方式</th> </tr> </thead> <tbody> <tr> <td>000:</td> <td>Memory to Memory (注)</td> </tr> <tr> <td>001:</td> <td>Memory to Peripheral</td> </tr> <tr> <td>010:</td> <td>Peripheral to Memory</td> </tr> <tr> <td>011:</td> <td>Peripheral to Peripheral</td> </tr> <tr> <td>100~111:</td> <td>Reserved</td> </tr> </tbody> </table>	<FlowCntrl[2:0]> 設定値	転送方式	000:	Memory to Memory (注)	001:	Memory to Peripheral	010:	Peripheral to Memory	011:	Peripheral to Peripheral	100~111:	Reserved
<FlowCntrl[2:0]> 設定値	転送方式														
000:	Memory to Memory (注)														
001:	Memory to Peripheral														
010:	Peripheral to Memory														
011:	Peripheral to Peripheral														
100~111:	Reserved														
10	-	-	"0" をライトしてください												
9-6	DestPeripheral [3:0]	R/W	転送先 DMA 要求番号 「6.4.2 DMA 要求」を参照してください。 転送先が Memory の場合はこの設定は無視されます												
5	-	-	"0" をライトしてください												

Bit	Bit Symbol	Type	機能
4-1	SrcPeripheral [3:0]	R/W	転送元 DMA 要求番号 「6.4.2 DMA 要求」を参照してください。 転送元が Memory の場合はこの設定は無視されます。
0	E	R/W	チャンネルイネーブル 0: 禁止 1: 許可 このビットでチャンネルを Enable/Disable できます。(Memory to Memory を選択している場合、転送開始ビットとして動作します。) DMACxCnControl <TransferSize>の総転送回数の転送を全て終了すると (値が 0 になる)、対象のチャンネルの <E>は自動的にクリアされます。 転送中に Disable を実行すると、チャンネル FIFO のデータ保存されません。再スタートする場合はチャンネルをすべて初期化して、スタートしてください。 もし、一時的に停止したい場合は、<Halt> ビットで DMA 要求を停止して、<Active> が"0"になるまでポーリングで待ったあと後に、<E> でチャンネルを Disable してください。

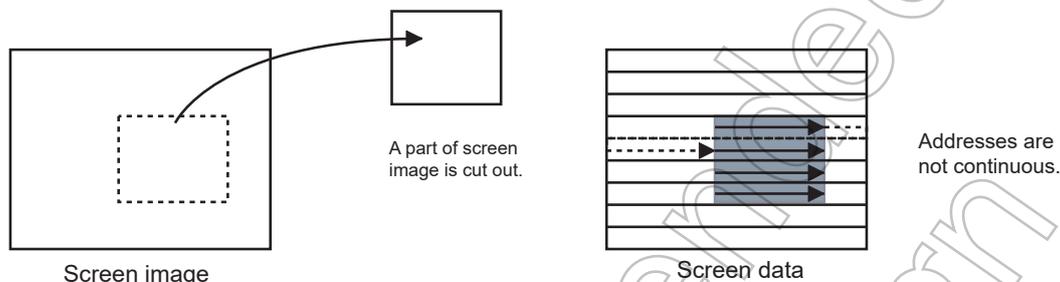
注 1) "Memory to Memory" を選択した場合、DMA 起動のハードウェアはサポートしていません。<E>に"1"をライトすることで転送を開始します。

注 2) DMACxEnableChns<EnabledCHx>がイネーブルの時に、対応する DMACxCnConfiguration<Halt>を"1"にする書き込み実施時には、チャンネルイネーブルビット(E:bit0)を先に0:禁止にしてから、書き込みを行ってください。上記を行わずに、書き込みを行った場合にスレープエラーが発生した場合は、リセット処理のみで復帰が可能です。スレープエラーとは、転送幅/アドレスなどに不整合がある場合に発生するエラーです。

## 6.6 特殊機能

### 6.6.1 Scatter/gather 機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ない DMA では、アドレスが変化する箇所、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された "Linked list" を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定（転送元アドレス、転送先アドレス、転送回数、転送バス幅）を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに "Linked list" のアドレスをセットすることで動作の許可/停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。:

1. DMACCxCnSrcAddr
2. DMACCxCnDestAddr
3. DMACCxCnLLI
4. DMACCxCnControl

割り込み動作との併用も可能です。

DMACCxControl<I>=1、かつ、DMACCxConfiguration<ITC>=1 の設定で、DMA 転送終了割り込みが発生します。

Scatter/gather 機能使用時、DMA 最終転送の時のみ、終了割り込みを発生させたい場合は、DMACCxControl<I>=0、かつ、DMACCxConfiguration<ITC>=1 にて転送を開始し、最終回の DMA 転送設定フロー内で、<I>=1 にすることで、最終転送でのみ転送終了割り込みを発生することが可能になります。このビットを利用することで、LLI を使った転送途中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACIntTCclear レジスタの対応ビットを制御します。

### 6.6.2 Linked list 動作

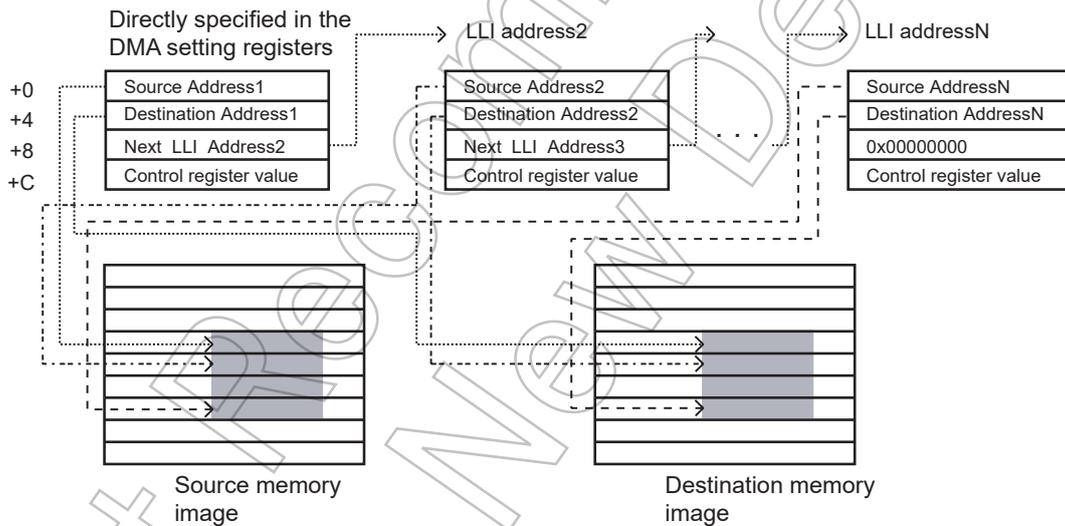
Scatter/gather 機能を動作させるには、まず一連の Linked List を作成し、転送元と転送元データエリアを定義する必要があります。

各々の設定を LLI (LinkedList) と呼びます。

LLI は、1 ブロック分のデータ転送を制御しています。1 回の LLI は通常の DMA 設定を示し、連続データの転送制御を行っています。1 回の DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続 (Daisy Chain) をすることが出来ます。

以下に、設定例を示します

1. 1 番最初の DMA 転送設定は、DMA のレジスタに直接設定します。
2. 2 番目の DMA 転送以降は、"next LLI AddressX" に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、"next LLI AddressX" を 0x0000\_0000 と設定します。

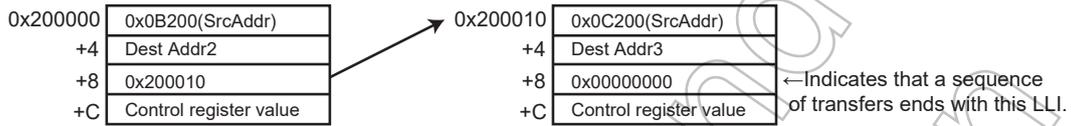


転送元メモリーイメージの四角で囲まれたエリアを転送する場合

	0x002000	0x00E000
0x0A000		
0x0B000		
0x0C000		

設定レジスタ	設定項目
+0 DMACxCnSrcAddr	:0x0A200
+4 DMACxCnDestAddr	:Destination address 1
+8 DMACxCnLLI	:0x200000
+C DMACxCnControl	:バースト転送回数, 転送回数などを設定

Linked List



Not Recommended for New Designs

## 第7章 リセット動作

リセットの種類として、外部リセット端子( $\overline{\text{RESET}}$ )、ウォッチドッグタイマ(WDT)、周波数検知回路(OFD)、CPUのアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットの設定によるものがあります。ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ(WDT)」の章、周波数検知回路によるリセットについては「周波数検知回路(OFD)」の章を参照してください。

<SYSRESETREQ>によるリセットについては"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

### 7.1 初期状態

#### 7.1.1 リセット入力前状態

電源投入時は、製品の状態は不定です。全ての電源 (DVDD3A, RVDD3, AVDD3, DVDD3B) に電圧が印加され、リセット端子にローレベルが入力されるまでの期間、内部回路は不確定であり、レジスタの設定や各端子の状態は不定となります。

### 7.2 コールドリセット時

電源投入の際には、内蔵レギュレータの安定のための時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間として1ms必要です。コールドリセット時には、内蔵レギュレータが安定するための十分な時間、外部リセット端子に"Low"を入力する必要があります。また、4電源 (DVDD3A, DVDD3B, RVDD3, AVDD3)を同電源で使用しない場合、即ち DVDD3B を異電位(1.65V系)で使用される場合は、DVDD3A=RVDD3=AVDD3 立ち上がり(動作保証電位までの)時間 $\leq$  DVDD3B 立ち上がり(動作保証電位までの)時間となるよう電源を立ち上げてください。

外部リセット( $\overline{\text{RESET}}$ )解除後、400  $\mu\text{s}$ の間内部リセットがかかり続けます。

電源投入の手順を以下に示します。

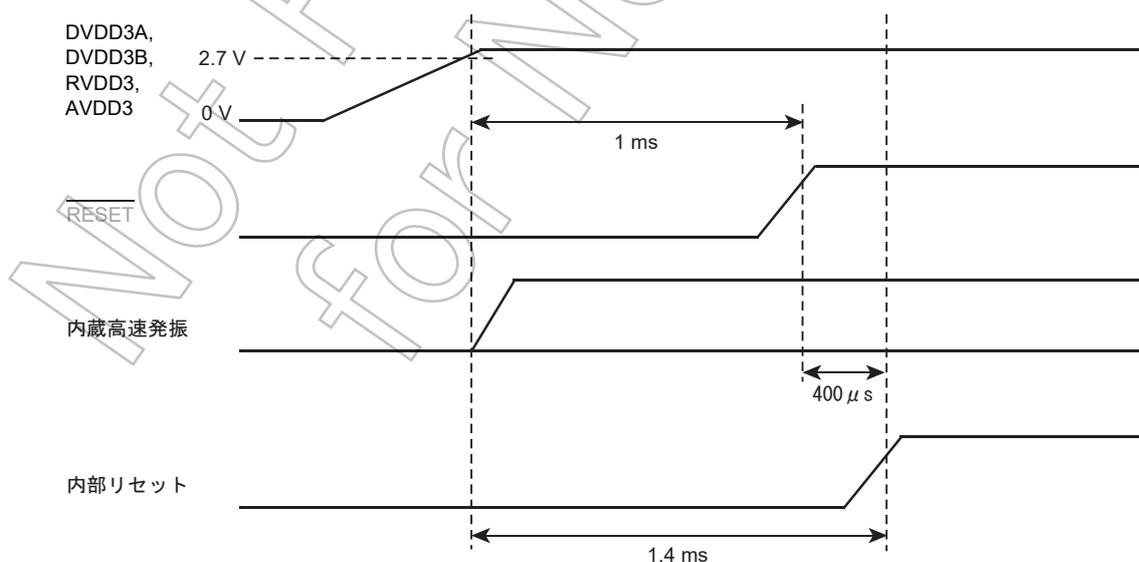


図 7-1 コールドリセットシーケンス

注 1) 電源投入は  $\overline{\text{RESET}}$  端子を"Low"にした状態で行い、全ての電源電圧が動作範囲で十分安定した状態から1ms以上経過した後、リセット解除させてください。

注2) 電源再投入時にも、必ず上記シーケンスで行って下さい。

Not Recommended  
for New Design

## 7.3 ウォームリセット時

### 7.3.1 リセット期間

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET 入力を少なくとも 12 システムクロック間ローレベル"Low"を入力してください。また、STOP2 モード状態からリセットをかける場合、内蔵レギュレータ安定時間として 500  $\mu$ s 以上ローレベル"Low"を入力してください。

外部リセット(RESET)解除後、400  $\mu$ s の間内部リセットがかかり続けます。

## 7.4 リセット解除後

リセット解除後は、ほとんどの Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。コア内部のシステムデバッグコンポーネント(FPB, DWT, ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG レジスタおよび FLASH 関連レジスタの FCSECBIT レジスタは下表の要因で初期化されます。また、FCSECBIT レジスタはスタンバイモードの STOP2 モード解除後も初期化されません。

リセット解除後は PLL 通倍回路が停止しているため、PLL 通倍回路を使用する場合は CGPLLSEL レジスタにて PLL 通倍回路の設定が必要です。

リセット例外処理を行った後、プログラムはリセットの割り込みサービスルーチンへ分岐します。

注) リセット動作を行うと内蔵 RAM のデータは保証されません。

レジスタ初期化要因

レジスタ名	要因	
CGRSTFLG	コールドリセット	外部リセット
FCSECBIT	コールドリセット	STOP2 モード解除
FPB, DWT, ITM	コールドリセット	STOP2 モード解除 (注)

注) デバッグツールに接続している場合、レジスタは初期化されません。

Not Recommended  
for New Design

## 第 8 章 周波数検知回路(OFD)

周波数検知回路(OFD)はクロック周波数の異常を検出する回路です。OFD を使用することで、高調波、低調波、停止といったクロックの異常を検出することができます。

OFD は、基準となるクロックを用いて対象のクロックを観測し、異常を検出するとリセットを発生します。また、基準クロックが停止した場合もリセットを発生します。

TMPM341FDXBG/FYXBG では、基準クロックは内蔵高速発振器クロック、検出対象クロックは外部高速発振器クロックです。

注) いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

### 8.1 構成

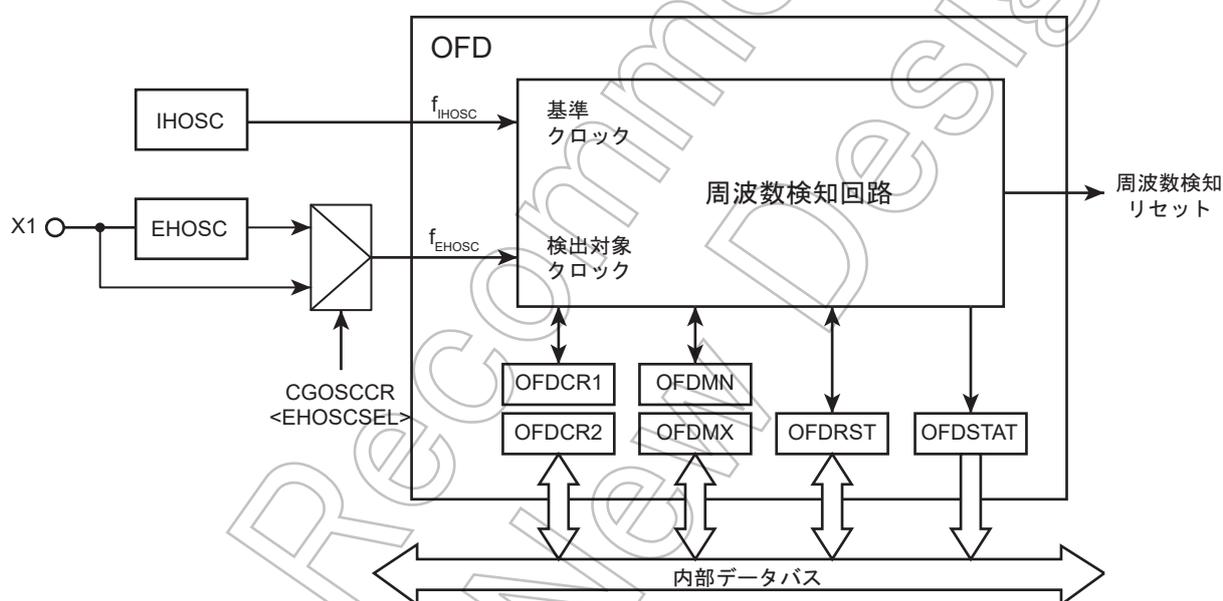


図 8-1 周波数検知回路ブロック図

## 8.2 レジスタ説明

### 8.2.1 レジスタ一覧

Base Address = 0x400F\_1000

レジスタ名		Address(Base+)
制御レジスタ 1	OFDCR1	0x0000
制御レジスタ 2	OFDCR2	0x0004
検知周波数下限値レジスタ	OFDMN	0x0008
Reserved	-	0x000C
検知周波数上限値レジスタ	OFDMX	0x0010
Reserved	-	0x0014
リセット制御レジスタ	OFDRST	0x0018
ステータスレジスタ	OFDSTAT	0x001C

注) "Reserved"表記のアドレスにはアクセスしないでください。

#### 8.2.1.1 OFDCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDWEN[7:0]	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 0xF9を設定すると、OFDCR1以外のレジスタへの書き込みができるようになります。 0x06、0xF9以外の値を書いた場合、0x06が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

## 8.2.1.2 OFDCR2(制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 0x00、0xE4 以外の値の書き込みは無効で値は変化しません。

## 8.2.1.3 OFDMN(検知周波数下限値レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	-	R	リードすると"0"が読めます。
8-0	OFDMN[8:0]	R/W	検知周波数の下限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

## 8.2.1.4 OFDMX(検知周波数上限値レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMX
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	-	R	リードすると"0"が読めます。
8-0	OFDMX[8:0]	R/W	検知周波数の上限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

## 8.2.1.5 OFDRST(リセット制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDRSTEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	OFDRSTEN	R/W	リセット発生制御 0: 禁止 1: 許可

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

## 8.2.1.6 OFDSTAT(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OFDBUSY	FRQERR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	OFDBUSY	R	OFD 動作状態 0: 停止中 1: 動作中
0	FRQERR	R	異常検知フラグ 0: 異常でない 1: 異常

## 8.3 動作説明

### 8.3.1 設定

リセットにより、OFDCR1 以外のレジスタには書き込みができない状態になります。OFDCR1 に"0xF9"を書き込むことにより、OFDCR1 以外のレジスタに書き込みができるようになります。

検知する周波数の範囲は OFDMX と OFDMN で設定します。OFDRST でリセット発生の許可/禁止を設定し、OFDCR2 に"0xE4"を書き込むと動作を開始します。

誤書き込み防止のため、すべてのレジスタの設定後、OFDCR1 に"0x06"を設定し書き込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

### 8.3.2 動作

動作開始から検知開始まで検知周期 2 周期分の時間が必要です。検知動作中かどうかは、OFDSTAT<OFDBSY>で確認することができます。検知周期は基準クロック周波数/2°MHz です。

リセットの発生が許可されている場合、以下の条件でリセットを発生します。

- ・ 検出対象クロックが OFDMN,OFDMN で設定した周波数範囲を超えた場合
- ・ 基準クロックが停止した場合

周波数検知リセットはウォームリセットと同じ動作で、周波数検知回路自身もリセットされます。

リセットの発生を禁止している場合は OFDSTAT<FRQERR>で状態を確認することができます。

注) リセットの要因は複数あります。クロックジェネレータレジスタの CGRSTFLG で要因を確認することができます。CGRSTFLG については例外の章を参照してください。

### 8.3.3 検知周波数

検知周波数には、発振精度の関係上、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の間の周波数では、検出されるかどうかは未確定です。

図8-2に、検出対象クロックの誤差を±10%、基準クロックの誤差を±5%の場合の検出範囲/非検出範囲を示します。

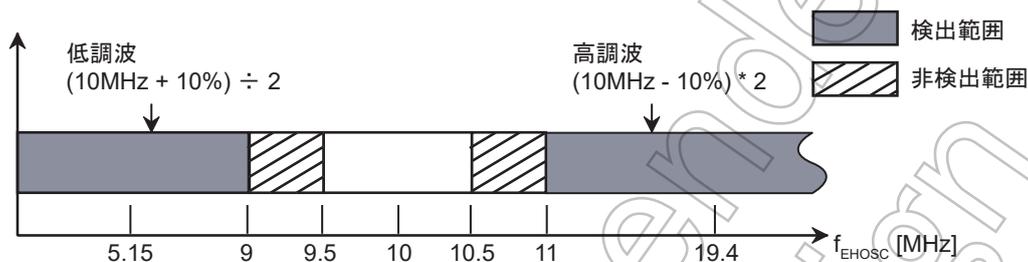


図 8-2 検出周波数範囲例(10MHz の場合)

検知周波数上限値、下限値は、検出対象クロックと基準クロックの最大誤差より計算します。

検出対象クロック誤差を±10%、基準クロック誤差を±5%の場合の OFDMN/OFDMX の設定値の算出方法を以下に示します。

検出対象クロック	10MHz ± 10%	Max. 11MHz	①
		Min. 9MHz	②
基準クロック	10MHz ± 5%	Max. 10.5MHz	③
		Min. 9.5MHz	④

$$\text{検知周波数上限値} = 1 \div \{(\text{④} \div 2^8) \div (\text{①} \div 4)\}$$

$$\text{検知周波数下限値} = 1 \div \{(\text{③} \div 2^8) \div (\text{②} \div 4)\}$$

$$\text{検知周波数上限値} = 1 \div \{(9.5 \times 10^6 \div 2^8) \div (11 \times 10^6 \div 4)\} = 74.10 = 74(\text{小数点以下切捨て})$$

$$\text{検知周波数下限値} = 1 \div \{(10.5 \times 10^6 \div 2^8) \div (9 \times 10^6 \div 4)\} = 54.85 = 55(\text{小数点以下切上げ})$$

よって、レジスタ OFDMX に 0x74、OFDMN に 0x55 を設定すると、11MHz 以上と 9MHz 以下の外部発振を検知した場合、周波数検知リセットが発生します。

### 8.3.4 使用可能な動作モード

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。他のモードに遷移する際は、周波数検知回路を停止させてください。

### 8.3.5 動作手順例

周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、CGRSTFLG でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い、動作を許可します。このときリセット出力は禁止しておきます。

検知開始を待って、OFDSTAT で異常検知フラグを確認し、異常がなければ外部発振クロックに切り替えます。

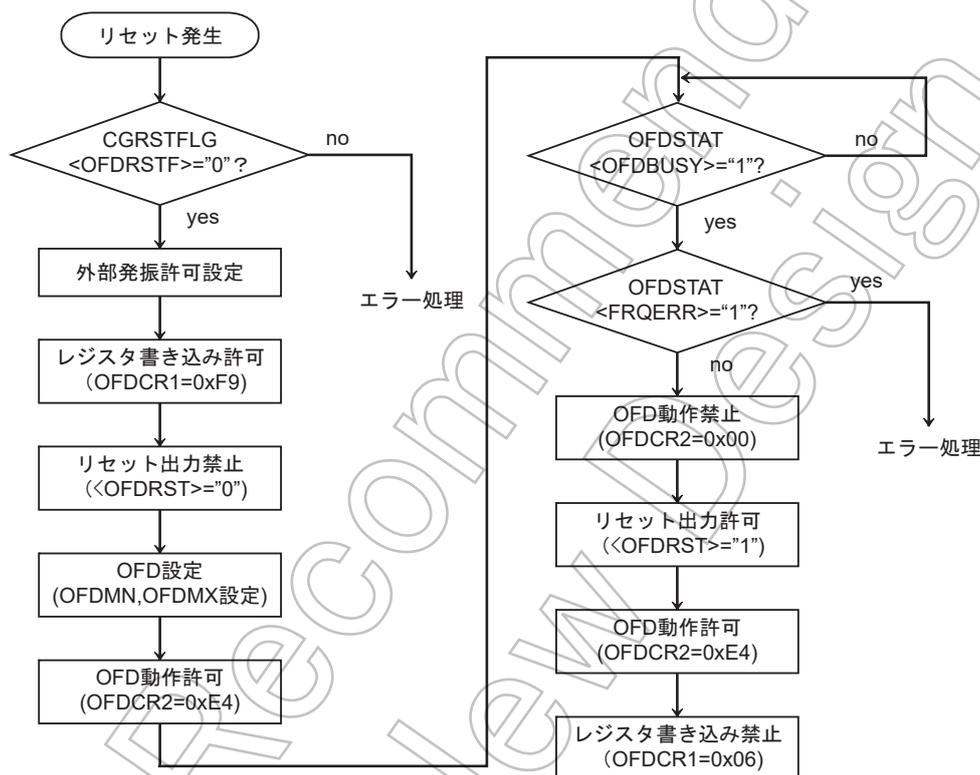


図 8-3 動作手順例

Not Recommended  
for New Design

## 第9章 ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子(WDTOUT)より"Low"を出力して暴走の検出を知らせます。

注) 本製品にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

### 9.1 構成

図 9-1 にウォッチドッグタイマのブロック図を示します。

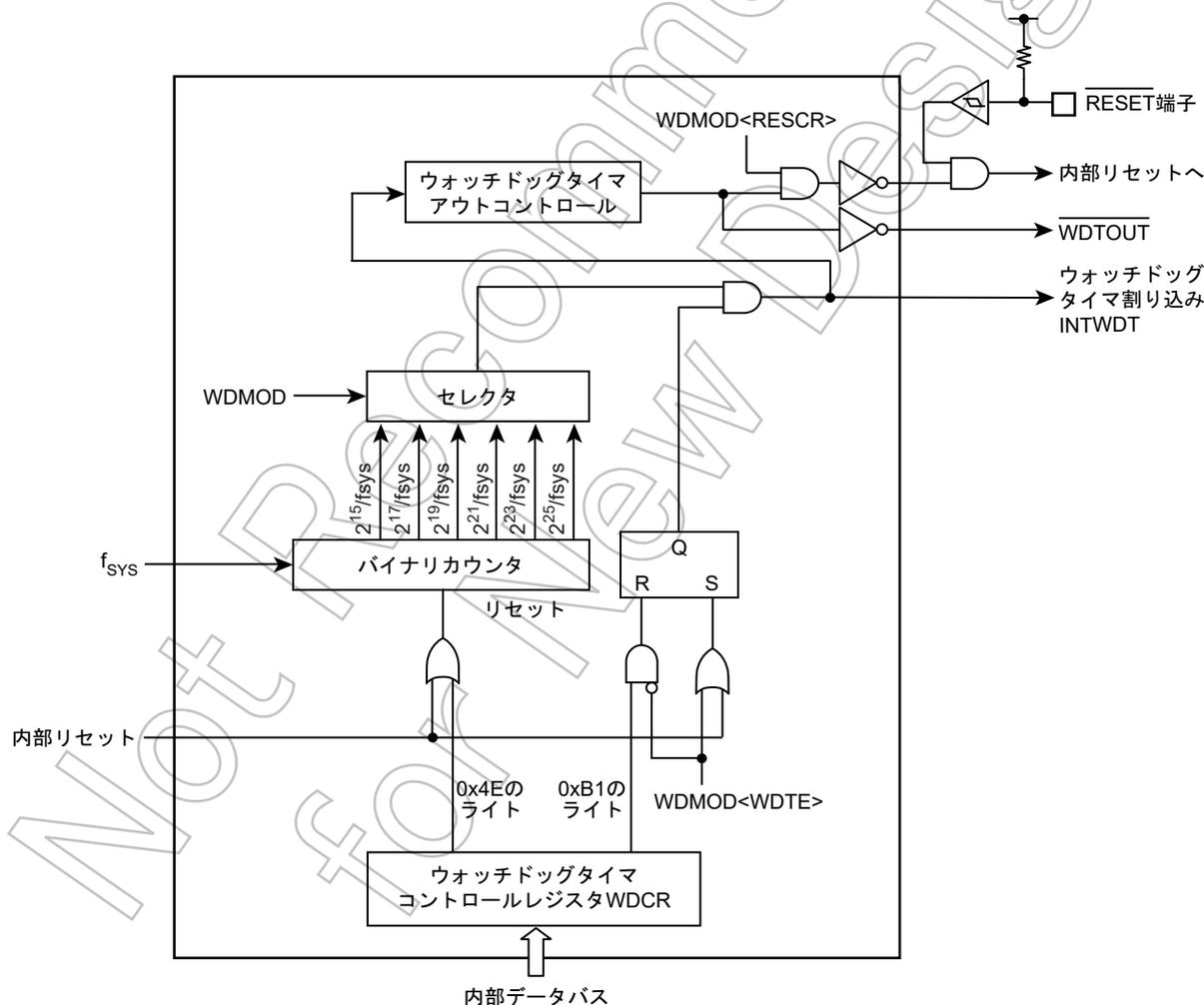


図 9-1 ウォッチドッグタイマのブロック図

## 9.2 レジスタ一覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x400F\_2000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

### 9.2.1 WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0: 禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択(表 9-1 を参照) 000: $2^{15}/f_{SYS}$ 100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$ 101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$ 110: 設定禁止 011: $2^{21}/f_{SYS}$ 111: 設定禁止
3	-	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	-	R/W	"0"をライトしてください。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

表 9-1 ウォッチドッグタイマの検出時間 (fc = 54MHz)

クロックギア値 CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.607 ms	2.43 ms	9.71 ms	38.84 ms	155.3 ms	621.4 ms
100 (fc/2)	1.21 ms	4.86 ms	19.42 ms	77.67 ms	310.7 ms	1.243 s
101 (fc/4)	2.43 ms	9.71 ms	38.84 ms	155.3 ms	621.4 ms	2.486 s
110 (fc/8)	4.86 ms	19.42 ms	77.67 ms	310.7 ms	1.24 s	4.97 s
111 (fc/16)	9.71 ms	38.84 ms	155.3 ms	621.4 ms	2.49 s	9.94 s

## 9.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると'0'が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

## 9.3 動作説明

### 9.3.1 基本動作

ウォッチドッグタイマは、システムクロック  $f_{\text{sys}}$  を入力クロックとするバイナリカウンタで構成されています。検出時間は  $\text{WDMOD}\langle\text{WDTP}[2:0]\rangle$  によって  $2^{15}$ ,  $2^{17}$ ,  $2^{19}$ ,  $2^{21}$ ,  $2^{23}$  および  $2^{25}$  から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子(WDOUT)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注) 本製品にはウォッチドッグタイマアウト端子(WDOUT)はありません。

### 9.3.2 動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は  $\text{WDMOD}\langle\text{I2WDT}\rangle$  の設定に従います。

- STOP1 mode
- STOP2 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

## 9.4 暴走検出時の動作

### 9.4.1 INTWDT 割り込み発生の場合

図 9-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバーフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト(WDTOUT)より"Low"を出力します。WDTOUT は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

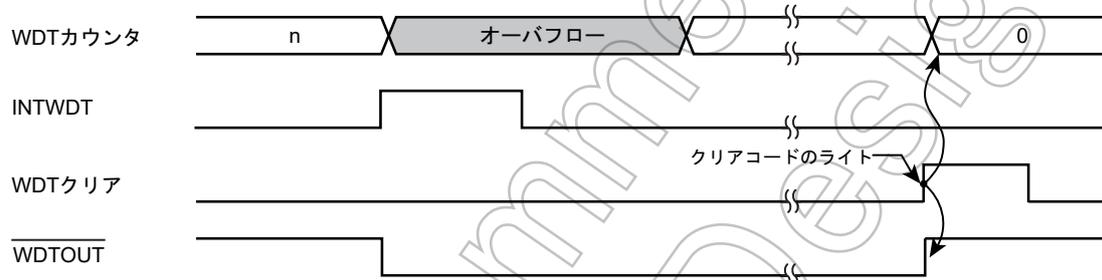


図 9-2 INTWDT 割り込み発生

### 9.4.2 内部リセット発生の場合

図9-3に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバーフローによりマイコンをリセットします。この場合、32ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック  $f_{SYS}$  と内蔵高速発振器のクロック  $f_{OSC}$  の関係は、 $f_{SYS} = f_{OSC}$  となります。

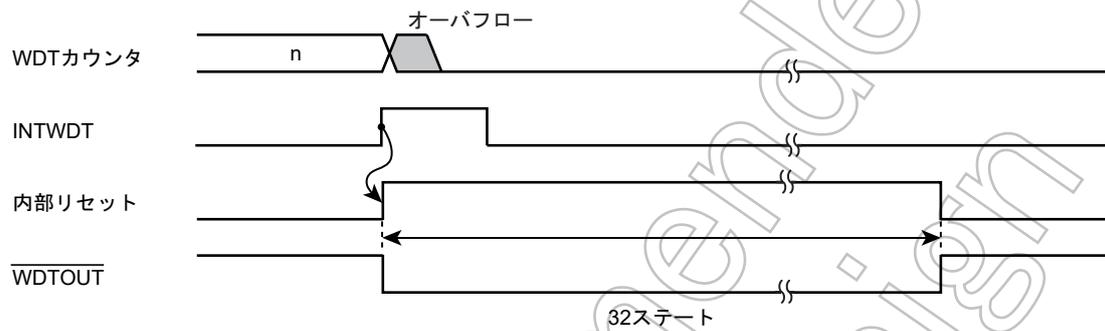


図9-3 内部リセット発生

## 9.5 コントロールレジスタ

ウォッチドッグタイマ(WDT)は、2つのコントロールレジスタ(WDMOD, WDCR)によって制御されています。

### 9.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP[2:0]>

ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。

ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

WDTOUT を内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1" に初期化されますので、バイナリカウンタのオーバーフローにより内部リセットが発生します。

### 9.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

### 9.5.3 設定例

#### 9.5.3.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	-	-	-	-	-	-	-	<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード(0xB1)を書き込みます。

#### 9.5.3.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	-	-	-	-	-	-	-	<WDTE>に"1"を設定します。

#### 9.5.3.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード(0x4E)を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード(0x4E)を書き込みます。

#### 9.5.3.4 ウォッチドッグタイマ検出時間の設定

検出時間を  $2^N/f_{SYS}$  に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	0	1	1	-	-	-	-	

## 第 10 章 クロック/モード制御

### 10.1 特長

クロック/モード制御では、クロックギアやプリスケラクロックの選択、PLL(通倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- ・ システムクロックの制御
- ・ プリスケラクロックの制御
- ・ クロック通倍回路 (PLL) の制御
- ・ ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

## 10.2 レジスタ説明

### 10.2.1 レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

Base Address = 0x400F\_3000

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
Reserved	-	0x0010
タイマクロック設定レジスタ	CGPWMGEAR	0x0014
Reserved	-	0x0038
プロテクトレジスタ	CGPROTECT	0x003C

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 10.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	-	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック 選択 0: 動作 1: 停止 AD コンバータへのクロック供給を停止させることが可能です。 リセット後はAD コンバータへのクロックは供給されています。 "1" (停止)に設定する場合は、必ずAD 変換が停止または終了していることを確認してから設定してください。
19-18	-	R	リードすると"0"が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: Reserved 01: fsys/2 10: fsys 11: φT0 SCOUT 端子から出力するクロックを設定します。
15-14	-	R	リードすると"0"が読めます。
13	-	R/W	"0"を書いてください。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	-	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケラクロック 選択 000: fperiph      100: fperiph/16 001: fperiph/2    101: fperiph/32 010: fperiph/4    110: Reserved 011: fperiph/8    111: Reserved 周辺機能に供給するプリスケラクロックを選択します。
7-3	-	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	ギアクロック(fgear)のギア 選択 000: fc            100: fc/2 001: Reserved    101: fc/4 010: Reserved    110: fc/8 011: Reserved    111: fc/16

注) Reserved は設定禁止です。

### 10.2.3 CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				HWUPSEL	EHOSCSEL	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	ウォーミングアップカウンタ設定値 16ビットのウォーミングアップタイムの、上位12ビットのカウンタ値を設定します。
19	HWUPSEL	R/W	高速ウォームアップクロック選択 0: 内部高速発振 (IHOSC) 1: 外部高速発振 (feosc) ウォーミングアップさせたい発振器のクロックを選択します。
18	EHOSCSEL	R/W	外部発振選択 0: 外部クロック入力 (EHCLKIN) 1: 発振子 (EHOSC)
17	OSCSEL	R/W	高速発振器選択(注2) 0: 内部 (IHOSC) 1: 外部 (EHOSC) fosc のソースクロックを選択します。
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-12	-	R/W	"0"を書いてください。
11-10	-	R	リードすると"0"が読めます。
9	-	R/W	"0"を書いてください。
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-3	-	R/W	必ず"00110"を設定してください。
2	PLLON	R/W	PLL(通倍回路)動作の選択 0: 停止 1: 発振
1	WUEF	R	ウォーミングアップタイムステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイムの状態を確認できます。

Bit	Bit Symbol	Type	機能
0	WUEON	W	ウォーミングアップタイム制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイムがスタートします。 リードすると"0"が読めます。

- 注 1) ウォーミングアップ時間の設定については「10.3.4 ウォーミングアップ機能」を参照してください。
- 注 2) 外部クロックを入力する時、<EHOSCSEL>でクロックを選択後、<OSCSEL>を選択してください。(<OSCSEL>の設定変更と同時に<EHOSCSEL>の設定変更を行わないでください。)
- 注 3) STOP1/2 モードから復帰する際、内蔵高速発振器起動のため関係ビット<HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON>および CGPLLSEL<PLLSEL>は初期化され、内部高速発振で起動します。
- 注 4) 内部高速発振器(IHOSC)をシステムクロックとして使用する場合、PLL 通倍の使用は禁止です。
- 注 5) 内部高速発振器(IHOSC)を使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

Not Recommended for New Design

## 10.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	PTKEEP	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	STBY	
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると"0"が読めます。
19-18	-	R/W	"0"を書いてください。
17	PTKEEP	R/W	STOP2 モード中の I/O 制御信号を保持 0: 出力ラッチを出力します 1: CGSTBYCR<PTKEEP>が"0"から"1"になったときの状態が保持されます(STOP2 モード遷移前に設定が必要です)
16	DRVE	R/W	STOP1 モード中の端子状態制御 0: STOP1 モード中端子をドライブしません 1: STOP1 モード中も端子をドライブします
15-3	-	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: STOP2 110: Reserved 111: Reserved

注) Reserved は設定禁止です。

## 10.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET							PLLSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-1	PLLSET	R/W	PLL 通倍値設定(下記以外は設定禁止) 0x303D: 16 通倍 0x281D: 8 通倍
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: $f_{PLL}/4$ 使用  PLL にて通倍されたクロックの使用可否を選択します。 リセット解除後は fosc が選択されるので、PLL を使用する場合はこのビットの設定が必要です。

- 注 1) PLL 通倍数は表 10-2、表 10-3 の設定範囲で使用してください。
- 注 2) PLL 通倍値の設定は、CGOSCCR<PLLON> = "0"(PLL 停止)の状態で行なってください。
- 注 3) STOP1/2 モードから復帰する際、CGOSCCR<HWUPSEL>, <OSCESEL>, <XEN2>, <XEN1>, <PLLON>および <PLLSEL>は初期化され、内部高速発振で起動します。
- 注 4) 内部高速発振器(IHOSC)をシステムクロックとして使用する場合、PLL 通倍の使用は禁止です。

## 10.2.6 CGPWMGEAR (タイマクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PWMGEAR		-	-	-	TMRDCLKEN
After reset	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5-4	PWMGEAR [1:0]	R/W	ソースクロック選択 00: f <sub>PLL</sub> 01: f <sub>PLL</sub> / 2 10: f <sub>PLL</sub> / 4 11: Reserved TMRD に入力するソースクロックを選択します。
3-1	-	R	リードすると"0"が読めます。
0	TMRDCLKEN	R/W	TMRD へのクロック供給を設定します。 0: クロック禁止 1: クロック許可

注 1) Reserved は設定禁止です。

注 2) <PWMGEAR[1:0]>を切り替える場合、TMRD を停止した状態(<TMRDCLKEN>="0")で切り替えを行ってください。

## 10.2.7 CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1: 許可 0xC1 以外: 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することでクロックモード制御レジスタのうち CGPROTECT 以外のレジスタへの書き込みができなくなります。

## 10.3 クロック制御

### 10.3.1 クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
f <sub>PLL</sub>	: PLL により通倍(16 通倍/8 通倍)されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック(ギアクロック)
fsys	: fgear と同等のクロック(システムクロック)
fperiph	: CGSYSCR<FPSEL>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケールクロック)

ギアクロック fgear、プリスケールクロック φT0 は、以下のように分周したクロックを選択することが可能です。

ギアクロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケールクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

### 10.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
PLL (通倍回路)	: 停止
ギアクロック	: fc (分周なし)

リセット動作によりすべてのクロックの設定が fosc と同じになります。

fc = fosc
fsys = fosc
φT0 = fosc

### 10.3.3 クロック系統図

クロック系統図を図 10-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

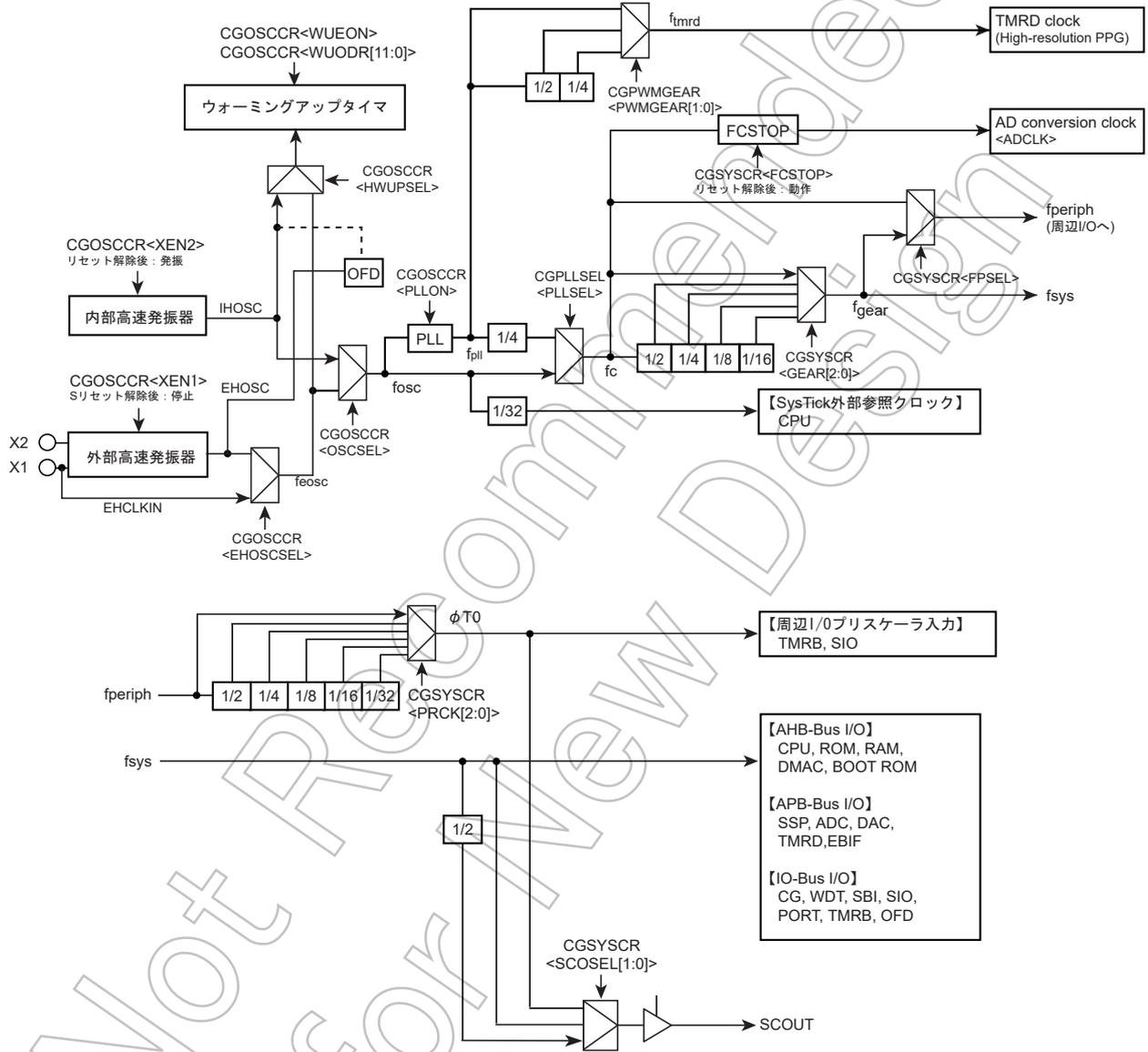


図 10-1 クロック系統図

### 10.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLLの安定時間を確保するための機能です。発振が安定している外部クロックなどを使用する場合にはウォーミングアップを行う必要はありません。

詳細については、「10.6.7 ウォーミングアップ」を参照してください。

ウォーミングアップ機能の使用方法を説明します。

#### 1. クロックの選択

ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<HWUPSEL>で選択します。

#### 2. ウォーミングアップカウンタ設定値の算出

CGOSCCR<WUODR[11:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて<WUODR[11:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40,000\text{サイクル} = 0x9C40$$

下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]>に設定します。

#### 3. ウォーミングアップの開始および終了確認

ソフトウェアによりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

以下に、ウォーミングアップ機能の設定例を示します。

表 10-1 ウォーミングアップ機能設定例 (内部高速発振器選択時)

	CGOSCCR<WUODR[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
○	CGOSCCR<WUODR[11:0]> リード	:ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
	CGOSCCR<XEN2> = "1"	:内部高速発振器(IHOSC)許可
	CGOSCCR<WUEON> = "1"	:ウォーミングアップタイマ(WUP)スタート
○	CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

- 注 1) 発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。
- 注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みません。従って概略時間としてとらえる必要があります。
- 注 3) CGOSCCR<WUODR[11:0]>にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行して低消費電力モードへ遷移してください。
- 注 4) STOP1/STOP2 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUODR[11:0]>は初期化されません。

Not Recommended for New Design

### 10.3.5 クロック通倍回路(PLL)

高速発振器の出力クロック  $f_{osc}$  を 8 通倍または 16 通倍した  $f_{PLL}$  クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

#### 10.3.5.1 動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、 $CGOSCCR<PLLON>$  が "0" の状態で  $CGPLLSEL<PLLSET>$  の通倍値の設定を行なった後、PLL の初期化時間として約  $100\mu s$  経過後に、 $<PLLON>$  を "1" に設定して PLL の動作を開始します。その後、ロックアップ時間約  $100\mu s$  経過後に、 $CGPLLSEL<PLLSEL>$  を "1" に設定することにより、 $f_{osc}$  を 16 通倍または 8 通倍した  $f_{PLL}$  クロックを使用することができます。

なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

注) 内部高速発振器(IHOSC)を使用している時には、PLL を使用しないでください。

通倍値は 8 通倍または 16 通倍から選択可能です。 $<PLLSET>$  の設定値は以下のとおりです。

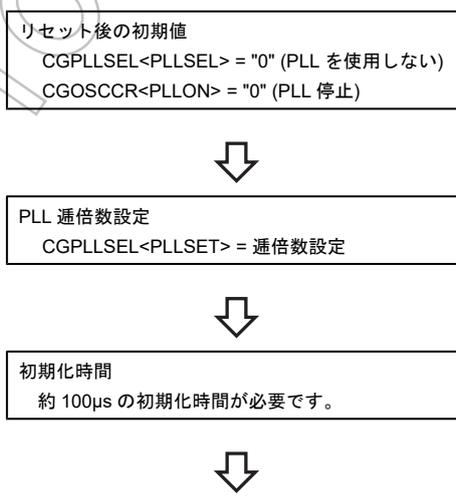
通倍数	$<PLLSET>$
8	0x281D
16	0x303D

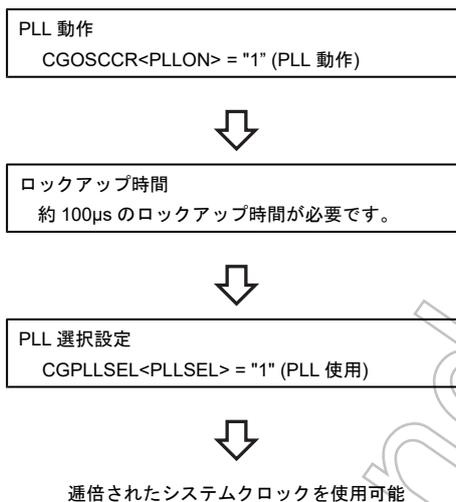
#### 10.3.5.2 通倍数の変更

通倍数の変更を行う場合、まず  $CGPLLSEL<PLLSEL>$  に "0" を設定します。そして、 $CGPLLSEL<PLLSEL>$  を読みだし、通倍クロックを使用しない設定に切り替わった事を確認 ( $CGPLLSEL<PLLSEL> = "0"$  になっているか) した後、 $<PLLON>$  を "0" として PLL を停止します。

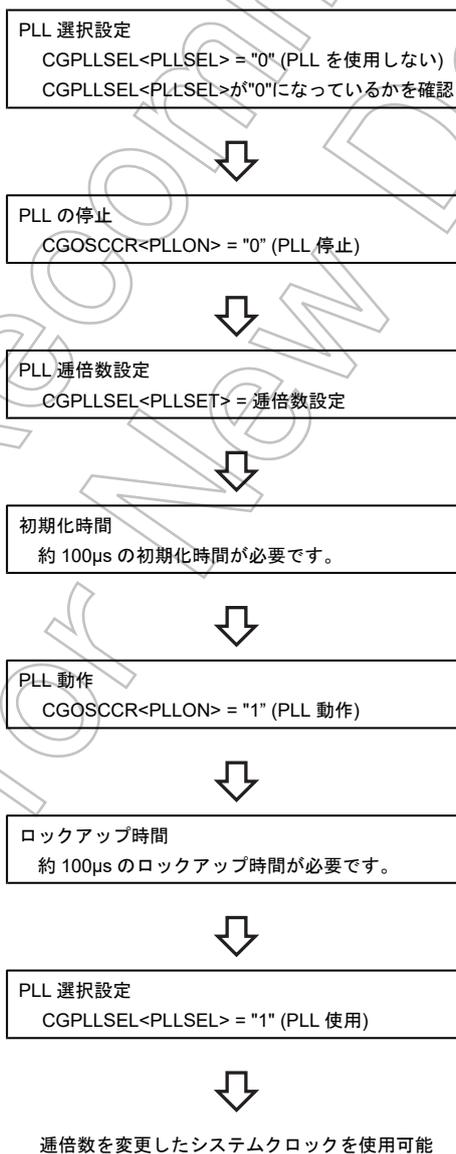
$<PLLSET>$  の通倍値を変更し、PLL の初期化時間として約  $100\mu s$  経過後に、 $<PLLON>$  を "1" に設定して PLL の動作を開始します。その後、ロックアップ時間、約  $100\mu s$  経過後に、 $CGPLLSEL<PLLSEL>$  を "1" に設定します。

#### 10.3.5.3 PLL 動作開始手順





#### 10.3.5.4 PLL 通倍数変更手順



Not Recommended  
for New Design

### 10.3.6 システムクロック

システムクロックの原振として、内部高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

内部高速発振クロックは、発振周波数精度が要求される場合には使用しないでください。

外部高速発振クロックは PLL で逡倍して使用できます。

原振		周波数	PLL 使用
内部高速発振(IHOSC)		10MHz	不可
外部高速発振	発振子(EHOSC)	8 ~ 16MHz	不使用または 8 または 16 逡倍
	クロック入力(EHCLKIN)	8 ~ 27MHz	

注) PLL の逡倍数と外部高速発振については表 10-2 を参照ください。

PLL で逡倍されたクロックは、高分解能 16 ビットタイマ/PPG 出力で使用されます。また 4 分周したクロックをシステムクロックと ADC 用クロックとして使用することができます。それぞれ使用可能な周波数は以下のとおりです。

	システムクロック	ADC 用クロック	高分解能 16 ビットカウンタ/PPG 出力
動作周波数(MHz)	1 ~ 54	40 (Max.)	160 (Max.)

システムクロックは CGSYSCR<GEAR[2:0]>で分周したクロックを使用可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 10-2 に示します。

表 10-2 PLL 8 逡倍/16 逡倍使用時の高周波数設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	PLL 逡倍数	最大動作周波数 (fc) (MHz)	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時				
				1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	16	32	32	16	8	4	2	8	4	2	1	-
10	10		40	40	20	10	5	2.5	10	5	2.5	1.25	-
13.5	13.5		54	54	27	13.5	6.75	3.38	13.5	6.75	3.38	1.69	-
16	16	8	32	32	16	8	4	2	16	8	4	2	1
-	27		54	54	27	13.5	6.75	3.38	27	13.5	6.75	3.38	1.69

↑リセット後の初期値

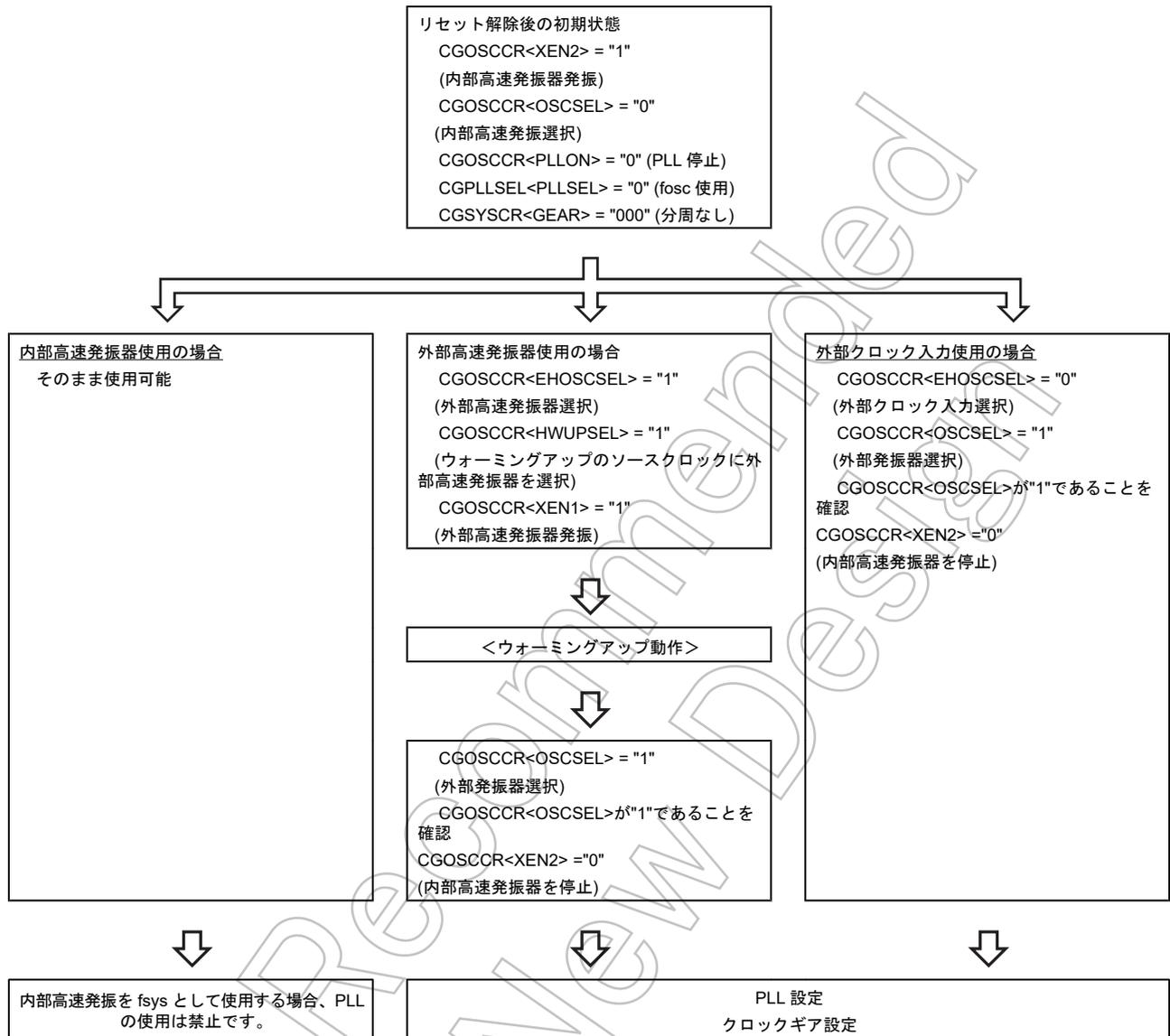
注) SysTick 使用時は 1/16 は使用しないでください。

#### 10.3.6.1 システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します。

クロック設定手順



### 10.3.6.2 外部高速発振器を使用する場合

本製品はリセット解除後、内部高速発振器からスタートします。外部高速発振器、PLL 逡倍回路を使用する場合、「10.3.5 クロック逡倍回路(PLL)」および「10.3.6.1 システムクロックの設定方法」の手順にしたがって設定を行います。

以下の図は、外部高速発振器および PLL 逡倍回路を使用した場合の遷移を示します。

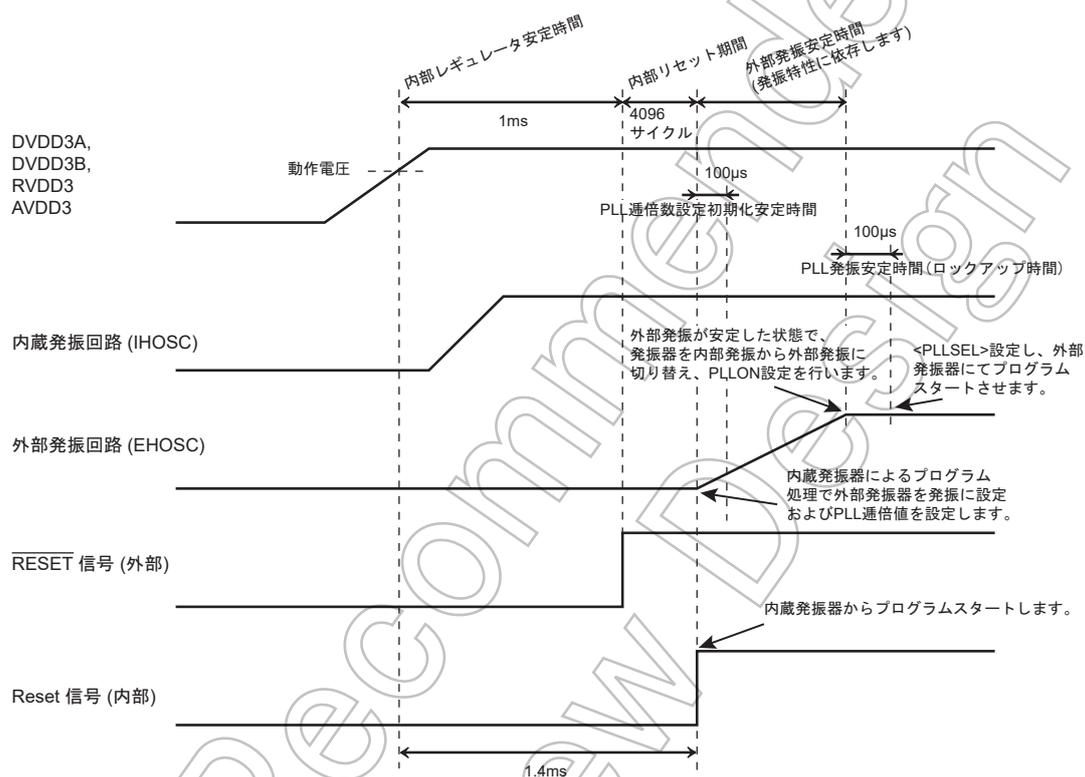


図 10-2 外部高速発振器を使用し PLL 逡倍回路を設定した場合の遷移

### 10.3.7 周辺回路用クロック

高分解能 16 ビットタイマ/PPG 出力機能(TMRD)、AD コンバータ機能(ADC)およびフラッシュメモリを使用する場合、それぞれ使用可能な設定例を表 10-3 に示します。

表 10-3 PLL 8 通倍/16 通倍使用時の周辺機能の設定例

外部発振子 (MHz)	外部クロック入力 (MHz)	PLL 通倍数	最大動作周波数 (fc) (MHz)	TMRD 最大動作周波数 (MHz)	ADC 最大動作周波数 (MHz)	INTLV 端子設定 (注 3)
8	8	16	32	128	32	ブルダウン
10	10		40	160	40	ブルダウン
13.5	13.5		54	108 (注 1)	27 (注 2)	ブルアップ
16	16	8	32	128	32	ブルダウン
-	27		54	108 (注 1)	27 (注 2)	ブルアップ

注 1) 高分解能 16 ビットタイマ/PPG 出力機能の最大動作周波数は 160MHz です。よって、PWMCG<PWMGEAR [1:0]>にて  $f_{PLL}$  を 2 分周した値です。

注 2) AD コンバータの最大動作周波数は 40MHz です。よって ADxCLK<ADCLK>にて 2 分周した値です。

注 3) INTLV 端子設定(Flash インターリーブアクセス)は最大動作周波数(fc)の値が 40MHz 以下の場合はブルダウン接続、40MHz を超える場合はブルアップ接続を行なってください。

### 10.3.8 プリスケラクロック

周辺機能には、それぞれにクロックを分周するプリスケラがあります。これらのプリスケラへ入力するクロック  $\phi T0$  は、CGSYSCR<FPSEL>から選択されたクロック  $f_{periph}$  をさらにCGSYSCR<PRCK[2:0]>にて分周することが可能です。

リセット後の  $\phi T0$  は  $f_{periph}/1$  が選択されます。

注) クロックギアを使用する場合、周辺機能の各ブロックのプリスケラ出力  $\phi Tn$  は、 $\phi Tn \leq f_{sys}/2$  を満足するように時間設定( $\phi Tn$  が  $f_{sys}$  よりも遅くなるように)してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

### 10.3.9 クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、システムクロックの2分周  $f_{sys}/2$ 、システムクロック  $f_{sys}$ 、プリスケラクロック  $\phi T0$  を SCOUT 端子から出力できます。

- 注1) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。  
 注2) SCOUT に  $f_{sys}$  を選択しているときにクロックギアを切り替えると、切り替えた直後、 $f_{sys}$  の波形が乱れます。波形の乱れがシステム上、問題となる場合は、クロックギア切り替え時に SCOUT 出力をディセーブルにするなど対策を施してください。

ポートを SCOUT 端子として使用する時の設定は、"入出力ポート"を参照してください。出力クロックの選択は CGSYSCR<SCOSEL[1:0]>によって設定します。

表 10-4 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 10-4 モード別 SCOUT 出力状態

モード	NORMAL	低消費電力モード	
		IDLE	STOP1/STOP2 (注)
SCOUT 選択 CGSYSCR			
<SCOSEL[1:0]> = "00"	Reserved		
<SCOSEL[1:0]> = "01"	$f_{sys}/2$ クロックを出力します		"0"または"1"に 固定されます
<SCOSEL[1:0]> = "10"	$f_{sys}$ クロックを出力します		
<SCOSEL[1:0]> = "11"	$\phi T0$ クロックを出力します		

## 10.4 動作モードとモード遷移

### 10.4.1 モード状態遷移

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、STOP1 モードがあります。

また、TMPM341FDXBG/FYXBG には、一部機能を保持して内部電源を遮断して電力の消費を抑える STOP2 モードがあります。

図 10-3 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

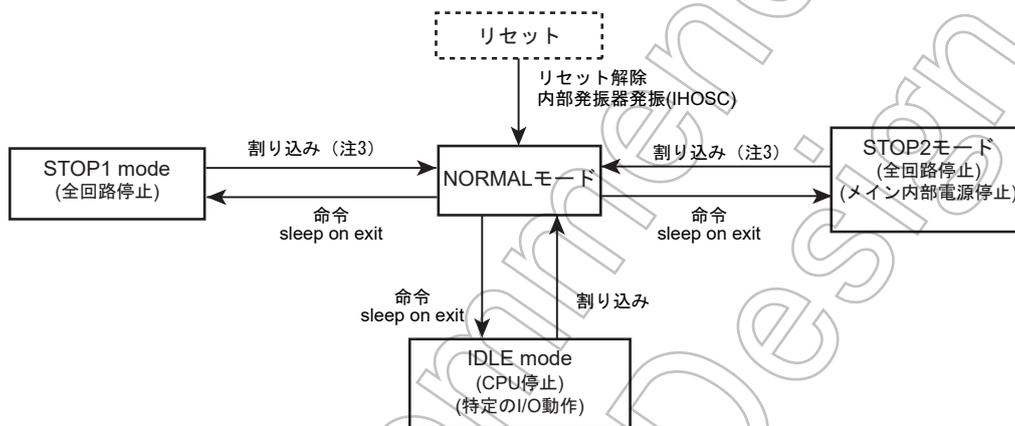


図 10-3 モード状態遷移図

- 注 1) STOP1、STOP2 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUODR[11:0]>は初期化されません。
- 注 2) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。
- 注 3) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP モードに入る前のモード (NORMAL)にて設定する必要があります。ウォーミングアップに関しては「10.6.7 ウォーミングアップ」を参照してください。

## 10.5 動作モード

### 10.5.1 NORMAL モード

CPU コアおよび周辺ハードウェアを高速クロックで動作させるモードです。

リセット解除後は、NORMAL モードになります。

## 10.6 低消費電力モード

低消費電力モードには、IDLE, STOP1/2 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

- 注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。
- 注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, STOP1, STOP2 モードの特長は次のとおりです。

### 10.6.1 IDLE モード

CPU が停止するモードです。周辺機能の一部は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- ・ 16 ビットタイマ/イベントカウンタ(TMRB)
- ・ 2 相パルス入力カウンタ(PHCNT)
- ・ 高分解能 16 ビットカウンタ/PPG 出力(TMRD)
- ・ シリアルチャネル(SIO/UART)
- ・ シリアルバスインタフェース(I2C/SIO)
- ・ アナログ/デジタルコンバータ(ADC)
- ・ ウォッチドッグタイマ(WDT)

注) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

### 10.6.2 STOP1 モード

内部発振器も含めてすべての内部回路が停止するモードです。STOP1 モードが解除されると内部発振器が発振を開始し、NORMAL モードへ復帰します。

STOP1 モード中は CGSTBYCR<DRVE>の設定により端子のドライブ状態を保持することができます。STOP1 モード時の端子状態を表 10-5 に示します。

### 10.6.3 STOP2 モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅な電力の消費を抑えることができます。STOP2 モードが解除されると、遮断ブロックに対して電源を投入し、内部発振器が発振を開始してリセットの割込み処理ルーチンへ分岐し、NORMAL モードへ復帰します。STOP2 モードに移行する前に CGSTBYCR<PTKEEP>="0"→"1"の設定を必ず行い、各ポートの状態を保持してください。内部電源が遮断されても外部 IC との I/F を保持し、STOP2 解除要因割り込みを使用することができます。

STOP2 モード時の端子状態を表 10-5 に示します。

- 注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード (NORMAL モード)にて設定する必要があります。ウォーミングアップ時間に関しては、10.6.8.1、10.6.8.2 を参照してください。
- 注 2) STOP1、STOP2 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUDOR[11:0]>は初期化されません。
- 注 3) STOP1/STOP2 がリセットで解除された場合、ウォーミングアップカウンタによらず通常のパワーオンカウンタが有効になります。
- 注 4) STOP2 モードは内部電源遮断を行うため、モード遷移から解除まで 45μs 以上の期間を確保してください。期間内に解除を行うと内部電源管理が正常に動作することができません。

表 10-5 STOP モード時の端子状態

機能	ピン名称	入出力	STOP1		STOP2	
			<DRVE> = 0	<DRVE> = 1	<PTKEEP> = 0	<PTKEEP> = 1
制御端子	RESET, NMI, MODE, INTLV, BSC, ENDIAN	入力	o	o	o	o
発振器	X1/EHCLKIN	入力	x	x	x	x
	X2	出力	"High"レベル出力		x	x
特殊端子	DA0, DA1	出力	x	x	x	x
ポート	PJ0 to PJ5 (PHC0IN0, PHC0IN1, PHC1IN0, PHC1IN1, PHC2IN0, PHC2IN1) (機能端子設定, PxFRn<PxmFn>="1")	入力	o	o	o	o
	PI3 to PI5 (TRST, TDI, SWCLK/TCK) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による		o	PxIE[m]によって入力保持
	PI6 (SWDIO/TMS) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による		o	PxIE[m]によって入力保持
		出力	データ有効な時に許可、データ無効なときは禁止		o	PxCR[m]によって出力保持
	PI7, PI2, PI1, PI0, PH6, PH5 (TDO/SWV, TRACECLK, TRACEDATA0 to 3) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	出力	PxCR[m]による		o	PxCR[m]によって出力保持
	PG3, PG7, PC3, PC7, PD3, PE3, PF4, PF5, PG2, PJ7, PK1, PK3 (INT0 to B) (割り込み機能設定, PxFRn<PxmFn>="1"かつ PxIE<PxmIE>="1")	入力	o	o	o	o
	上記以外	入力	x	PxIE[m]による	x	PxIE[m]によって入力保持
出力		x	PxIE[m]による	x	PxCR[m]によって出力保持	

o: 入力または出力が有効  
x: 入力または出力が無効

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

#### 10.6.4 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 10-6 に<STBY[2:0]>の設定より選択されるモードを示します。

表 10-6 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011
STOP2	101

注) 上記の設定以外は行わないでください。

Not Recommended  
for New Design

## 10.6.5 各モードにおける動作状態

各モードにおける動作状態を表 10-7 に示します。

表 10-7 各動作モードにおける動作状態

Block	NORMAL 内部高速 発振器使用 (IHOSC)	NORMAL 外部高速 発振器使用 (EHOSC)	IDLE 内部高速 発振器使用 (IHOSC)	IDLE 外部高速 発振器使用 (EHOSC)	STOP1 (注 1)	STOP2 (注 1)
Processor core	o	o	-	-	-	x
DMAC	o	o	o	o	-	x
INTC	o	o	o	o	o	x
EBIF	o	o	o	o	-	x
I/O port	o	o	o	o	o(注 2)	Δ(注 3)
SIO/UART	o	o	Δ	Δ	-	x
I2C/SIO	o	o	Δ	Δ	-	x
TMRB	o	o	Δ	Δ	-	x
PHCNT	o	o	Δ	Δ	o	x
TMRD	o	o	Δ	Δ	-	x
WDT	o	o	Δ(注 6)	Δ(注 6)	-	x
SSP	o	o	o	o	-	x
12-bit ADC	o	o	Δ	Δ	-	x
10-bit DAC	o	o	o	o	-	-
CG	o	o	o	o	o	o
PLL	o	o	Δ	Δ	-	x
外部高速発振器 (EHOSC)	Δ	o	Δ	o	-	x
OFD	Δ(注 4)	o	Δ(注 4)	o	-	x
内部高速発振器 (IHOSC)	o	o(注 5)	o	o(注 5)	-	x
メイン RAM	o	o	o	o	o	x
バックアップ RAM	o	o	o	o	o	o

o: 対象のモード中に動作が可能

-: 対象のモードに移行すると自動的にモジュールへのクロックが停止

Δ: 対象のモード中にソフトウェアにてモジュールの動作/停止の選択が可能

x: 対象のモードに移行すると自動的にモジュールへの供給電源が遮断

注 1) STOP1/2 モードに遷移する前に、"-", "¥"の周辺機能を停止させてから STOP1/2 モードに遷移してください。なお、AD コンバータや DA コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。

注 2) CGSTBYCR<DRVE>の設定に依存します。

注 3) CGSTBYCR<PTKEEP>の設定に依存します。

注 4) 内部高速発振器を使用する場合、OFD はディセーブルに設定してください。

注 5) リセット解除後および STOP1/2 モード解除後は内部発振器からクロックを供給します。

注 6) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

注 7) 低消費電力モードへ移行する時に、アナログデジタルコンバータを停止させる手順については、低消費電力モード時のアナログデジタルコンバータの停止方法を参照してください。

## 10.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み、マスク不能割り込み(NMI)、リセットによって行うことができます。使用できる解除ソースは、低消費電力モードにより決まります。

詳細を表 10-8 に示します。

表 10-8 解除ソースと解除可能なモード

低消費電力モード		IDLE	STOP1	STOP2
解除 ソース	INT0 to B (注 4)	○	○	・ (注 3)
	INTTB0 to 9	○	×	×
	INTTD0CMP0 to 4, INTTD1CMP0 to 4	○	×	×
	INTPHT00 to 31, INTPHEVRY0 to 3	○	○	×
	INTCAP00 to 91	○	×	×
	INTRX0 to 4, INTTX0 to 4	○	×	×
	INTSBI0 to 1	○	×	×
	INTAD/INTADHP/INTADM0 to 1	○	×	×
	INTDMAC0TC, INTDMAC1TC, INTDMAC0ERR, INTDMAC1ERR	○	×	×
	INTSSP	○	×	×
	SysTick 割り込み	○	×	×
	マスク不能割り込み (INTWDT)	○	×	×
	マスク不能割り込み (NMI 端子)	○	○	・
RESET (RESET 端子)	○	○	○	

○: 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

・: 解除後、リセットの割り込み処理ルーチンに分岐します。(RESET は本製品を初期化します)

×: 解除に使用できません

注 1) STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、バックアップモジュールに対して初期化はされません。

注 2) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。

注 3) STOP2 モードを解除するとき、CGIMCGA, B, F の解除要因に立ち上がりエッジを選択してください。500 $\mu$ s より長い"High"パルスが検出されたとき、対応する割り込み端子に立ち下がりエッジが入力されることで STOP2 は解除されます。NMI 端子によって解除するときには、500 $\mu$ s より長い"Low"幅を入力してください。

注 4) レベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

- ・ 割り込み要求による解除  
割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1, STOP2 モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があります。
- ・ マスク不能割り込み(NMI)による解除  
INTWDT は IDLE モードでのみ使用可能です。  
 $\overline{\text{NMI}}$  端子はどの低消費電力モードでも使用可能です。
- ・ リセットによる解除  
 $\overline{\text{RESET}}$  端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。  
STOP モードの解除にリセットを使用する場合、自動ウォーミングアップが行われません。コールドスタートと同じリセットを入力してください。
- ・ SysTick 割り込みによる解除  
SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

### 10.6.7 ウォーミングアップ

モード遷移時、内部発振器の安定のためウォーミングアップが必要な場合があります。

STOP1/2 モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1/2 モードに移行する命令を実行する前に、CGOSCCR<WUODR[11:0]>でウォーミングアップ時間の設定を行ってください。

注) STOP1/STOP2 モードからの復帰時、内部発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化されます。ただし、CGOSCCR<WUODR[11:0]>は初期化されません。

各動作モード遷移時におけるウォーミングアップの有無を表 10-9 に示します。

表 10-9 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ(注)
STOP2 → NORMAL	自動ウォーミングアップ(注)

注) リセットで解除する場合には自動ウォーミングアップを行いません。コールドスタートと同じリセットを入力してください。

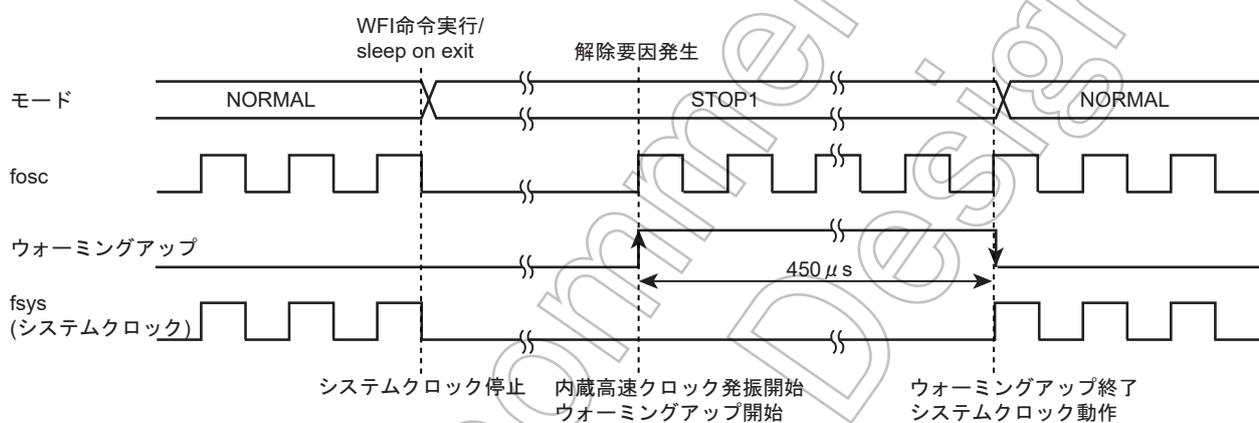
## 10.6.8 モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

### 10.6.8.1 NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。この場合のウォーミングアップは内部 Flash の安定時間(450 $\mu$ s)として、STOP1 モードへ遷移する前に CGOSCCR<WUODR>に 0x119 を設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。



## 10.6.8.2 NORMAL → STOP2 → NORMAL 動作モード遷移

STOP2 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。この場合のウォーミングアップは内蔵 Flash の安定時間(750 $\mu$ s)として、STOP2 モードへ遷移する前に CGOSCCR<WUODR>に 0x1D4 を設定してください。

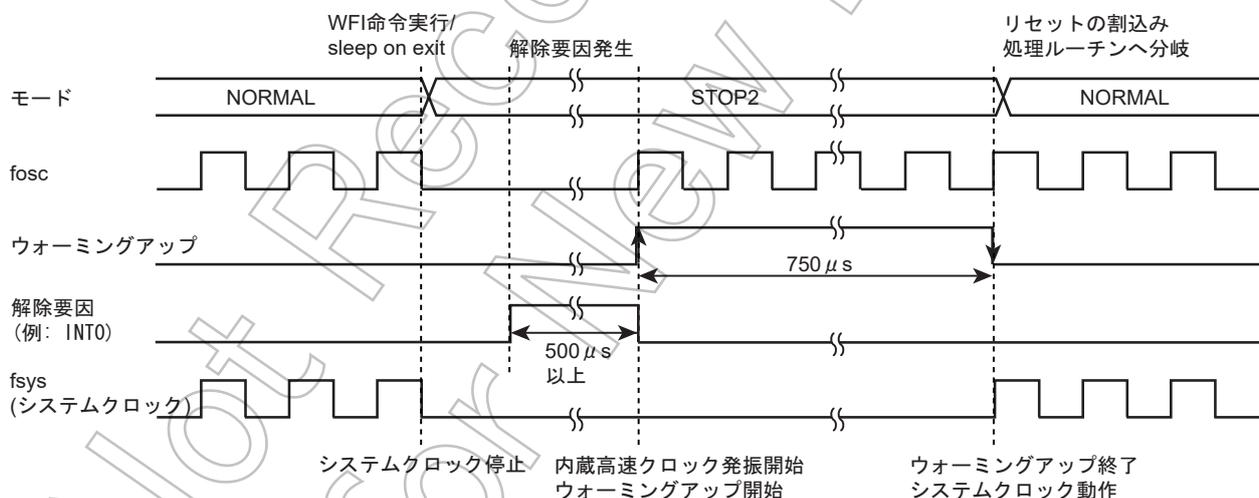
外部割込み端子で STOP2 モード解除を行う場合、対象割り込みの制御レジスタ CGIMGGA, B, F のアクティブ要求を"立ち上がりエッジ"設定にします。対象外部割込み端子の"立ち上がりエッジ"で STOP2 モードが解除され、500 $\mu$ s 以上の"High"幅を保持した後の対象外部割込み端子の"立ち下がりエッジ"で内部高速クロックが発振が開始します。内蔵 Flash の動作安定時間(750 $\mu$ s)のウォーミングアップ後に NORMAL モードへ遷移します。

NMI で STOP2 モード解除を行う場合、 $\overline{\text{NMI}}$  端子の立下りエッジで STOP2 モードが解除され、500 $\mu$ s 以上の"Low"幅を保持した後の  $\overline{\text{NMI}}$  端子の"立ち上がりエッジ"で内部高速クロックが発振が開始します。内蔵 Flash の動作安定時間(750 $\mu$ s)のウォーミングアップ後に NORMAL モードへ遷移します。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットを同じリセットを入力してください。

リセット以外で NORMAL モードへ復帰する場合でもリセットの割込み処理ルーチンへ分岐します。STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、バックアップモジュールに対して初期化は行ないません。

- 注 1) STOP2 に入るとき、対象の外部割込み端子のレベルは"Low"、 $\overline{\text{NMI}}$  端子は"High"である必要があります。
- 注 2) 外部割込み端子で STOP2 モードを解除するときには、STOP2 モードへ遷移する前に<PTKEEP>を"1"に設定してください。



## 第 11 章 例外

この章では、例外の特長、種類、処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M3 テクニカルリファレンスマニュアル"もご覧ください。

### 11.1 概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

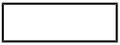
#### 11.1.1 種類

例外には以下のようなものがあります。

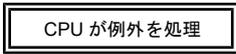
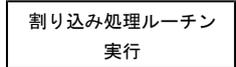
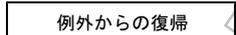
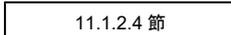
それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル"をご覧ください。

- ・ リセット
- ・ マスク不能割り込み(NMI)
- ・ ハードフォールト
- ・ メモリ管理
- ・ バスフォールト
- ・ 用法フォールト
- ・ SVCcall (スーパーバイザコール)
- ・ デバッグモニタ
- ・ PendSV
- ・ SysTick
- ・ 外部割り込み

## 11.1.2 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
 CG/CPU が例外を検出	CG/CPU が例外要求を検出します。	 11.1.2.1 節
 CPU が例外を処理	CPU が例外処理を行います。	 11.1.2.2 節
 CPU が割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
 割り込み処理ルーチン実行	必要な処理を行います。	 11.1.2.3 節
 例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	 11.1.2.4 節

### 11.1.2.1 例外要求と検出

#### (1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「11.5 割り込み」の節で説明します。

## (2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 11-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子, WDT, SYSRESETREQ
2	マスク不能割り込み	-2	NMI 端子または WDT
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	-	
11	SVCcall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	-	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「11.5.1.5 要因一覧」を参照してください。

## (3) 優先度の設定

## ・ 優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI\_n>ビットに設定します。

<PRI\_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8 ビットの構成の場合、優先度は 0~255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注) 本製品では、<PRI\_n>ビットは 3 ビットの構成になっています。

## ・ 優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI\_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 11-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI\_n>が 8 ビット構成の場合の数です。

表 11-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注) <PRI\_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。

たとえば、3 ビット構成の場合、<PRI\_n[7:5]>で優先度が設定され、<PRI\_n[4:0]>は"00000"になります。

### 11.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

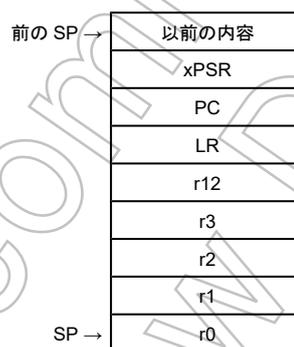
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

#### (1) レジスタの退避

例外を検出すると、CPUは8つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- ・ プログラムカウンタ(PC)
- ・ プログラムステータスレジスタ(xPSR)
- ・ r0~r3
- ・ r12
- ・ リンクレジスタ(LR)

レジスタの退避が終了すると、SPは8ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



#### (2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時にCPUは割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の0x0000\_0000番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間またはSRAM空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

### (3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

### (4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

#### 11.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「11.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

## 11.1.2.4 例外からの復帰

## (1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

## ・ テールチェーン

保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

このとき、スタックの退避と復帰は省略されます。この動作をテールチェーンと呼びます。

## ・ 処理が中断されている割り込み処理ルーチンへ復帰

保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

## ・ 元のプログラムへ復帰

保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

## (2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

## ・ レジスタの復帰

退避していた 8 つのレジスタ(PC, xPSR, r0~r3, r12, LR)を復帰し SP を調整します。

## ・ 割り込み番号のロード

退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

## ・ SP の選択

例外(ハンドラモード)へ復帰する場合、SP は SP\_main です。スレッドモードへ復帰する場合、SP は SP\_main または SP\_process です。

## 11.2 リセット例外

リセット例外には、以下の 3 種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- ・ 外部リセット端子  
外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。
- ・ WDT によるリセット例外  
WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。
- ・ SYSRESETREQ によるリセット例外  
NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。
- ・ ODF によるリセット例外  
ODF によるリセットを発生する機能があります。詳細は、「周波数検知回路」の章をご覧ください。

## 11.3 マスク不能割り込み(NMI)

マスク不能割り込みには、以下の 2 種類の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの CGNMIFLG を参照してください。

- ・ 外部  $\overline{\text{NMI}}$  端子  
外部  $\overline{\text{NMI}}$  端子を"High"から"Low"にすることによりマスク不能割り込みが発生します。
- ・ WDT によるマスク不能割り込み  
WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

## 11.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外が発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正值レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正值レジスタに設定されている値も異なります。

注) 本製品では、外部参照クロックとして  $f_{osc}(CGOSCCR<OSCSEL>, <EHOSCSEL>$  で選択されるクロック)を 32 分周したクロックが使用されます。

Not Recommended  
for New Design

## 11.5 割り込み

この節では、割り込みの伝わる経路、要因、必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

### 11.5.1 要因

#### 11.5.1.1 経路

割り込み要求の経路を図 11-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割り込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割り込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

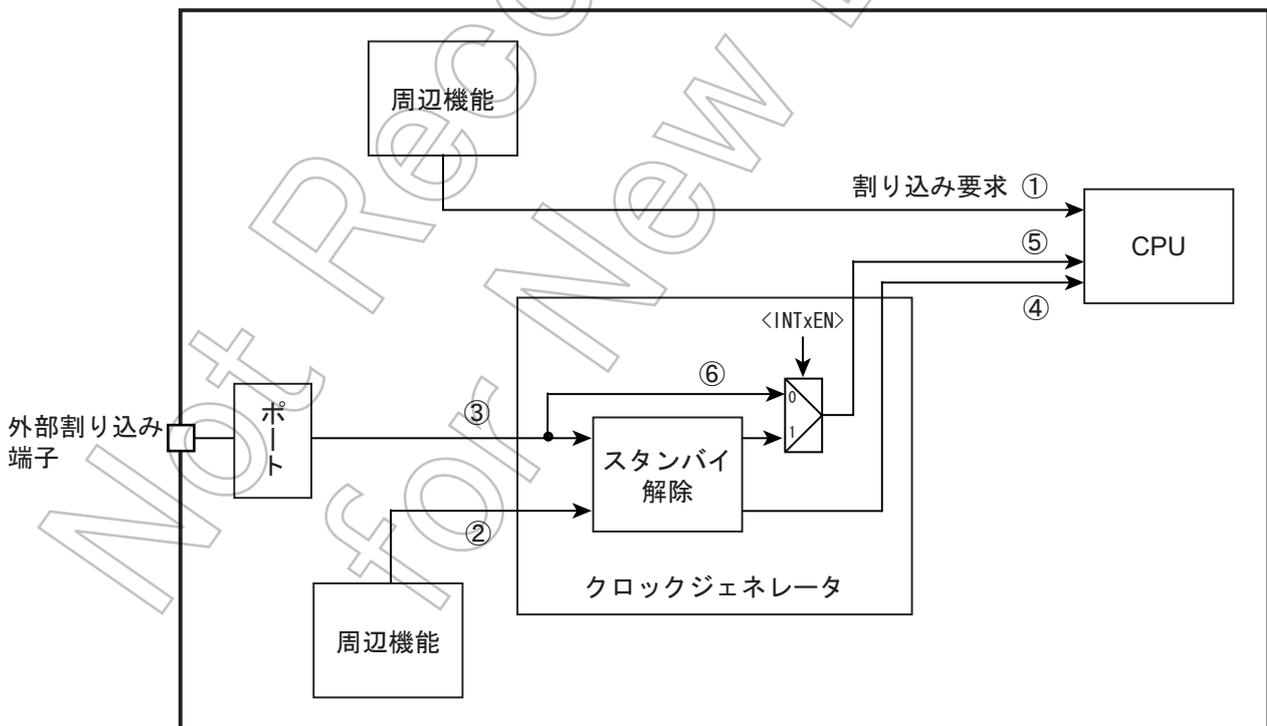


図 11-1 割り込みの経路

### 11.5.1.2 割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- ・ 外部端子からの割り込み  
外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- ・ 周辺機能の割り込み  
周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。  
詳細は各章をご覧ください。
- ・ 割り込みの強制的な保留  
割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

### 11.5.1.3 割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

### 11.5.1.4 外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル( $PxIE < PxIE > = "0"$ )の場合 "High" となります。また、外部割り込みをスタンバイ解除要因として使用しない場合（「図 11-1 割り込みの経路」の⑥の経路）、外部割り込み端子からの入力信号がそのまま CPU に伝わります。CPU は "High" 入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割り込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を "Low" レベルとして入力ディセーブルにし、その後 CPU で割り込み許可設定を行ってください。

11.5.1.5 要因一覧

割り込みの要因一覧を表 11-3 に示します。

表 11-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
0	INT0	割り込み端子 0	任意	CGIMCGA
1	INT1	割り込み端子 1		
2	INT2	割り込み端子 2		
3	INT3	割り込み端子 3		
4	INT4	割り込み端子 4		CGIMCGB
5	INT5	割り込み端子 5		
6	INT6	割り込み端子 6		
7	INT7	割り込み端子 7		
8	INTRX0	シリアルチャネル 0 受信割り込み	任意	
9	INTTX0	シリアルチャネル 0 送信割り込み		
10	INTRX1	シリアルチャネル 1 受信割り込み		
11	INTTX1	シリアルチャネル 1 送信割り込み		
12	INTRX2	シリアルチャネル 2 受信割り込み		
13	INTTX2	シリアルチャネル 2 送信割り込み		
14	INTSBI0	シリアルバスインタフェース 0 割り込み		
15	INTSBI1	シリアルバスインタフェース 1 割り込み		
16	INTADHP	最優先 AD 変換終了割り込み		
17	INTAD	AD 変換終了割り込み		
18	INTADM0	AD 変換監視機能 0 割り込み		
19	INTADM1	AD 変換監視機能 1 割り込み		
20	INTTB0	16 ビットタイマ/イベントカウンタ 0 コンペアー一致割り込み		
21	INTTB1	16 ビットタイマ/イベントカウンタ 1 コンペアー一致割り込み		
22	INTTB2	16 ビットタイマ/イベントカウンタ 2 コンペアー一致割り込み		
23	INTTB3	16 ビットタイマ/イベントカウンタ 3 コンペアー一致割り込み		
24	INTTB4	16 ビットタイマ/イベントカウンタ 4 コンペアー一致割り込み		
25	INTTB5	16 ビットタイマ/イベントカウンタ 5 コンペアー一致割り込み		
26	INTTB6	16 ビットタイマ/イベントカウンタ 6 コンペアー一致割り込み		
27	INTTB7	16 ビットタイマ/イベントカウンタ 7 コンペアー一致割り込み		
28	INTTB8	16 ビットタイマ/イベントカウンタ 8 コンペアー一致割り込み		
29	INTTB9	16 ビットタイマ/イベントカウンタ 9 コンペアー一致割り込み		
30	INTTD0CMP0	高分解能 16 ビットタイマ/PPG 出力 0 コンペアー一致 0 割り込み		
31	INTTD0CMP1	高分解能 16 ビットタイマ/PPG 出力 0 コンペアー一致 1 割り込み		
32	INTTD0CMP2	高分解能 16 ビットタイマ/PPG 出力 0 コンペアー一致 2 割り込み		
33	INTTD0CMP3	高分解能 16 ビットタイマ/PPG 出力 0 コンペアー一致 3 割り込み		
34	INTTD0CMP4	高分解能 16 ビットタイマ/PPG 出力 0 コンペアー一致 4 割り込み		
35	INTTD1CMP0	高分解能 16 ビットタイマ/PPG 出力 1 コンペアー一致 0 割り込み		
36	INTTD1CMP1	高分解能 16 ビットタイマ/PPG 出力 1 コンペアー一致 1 割り込み		
37	INTTD1CMP2	高分解能 16 ビットタイマ/PPG 出力 1 コンペアー一致 2 割り込み		
38	INTTD1CMP3	高分解能 16 ビットタイマ/PPG 出力 1 コンペアー一致 3 割り込み		
39	INTTD1CMP4	高分解能 16 ビットタイマ/PPG 出力 1 コンペアー一致 4 割り込み		

表 11-3 割り込み要因一覧

番号	要因	アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ	
40	INTPHT00	2 相パルス入力カウンタ 0 割り込み 0	CGIMCGC	
41	INTPHT01	2 相パルス入力カウンタ 0 割り込み 1		
42	INTPHT10	2 相パルス入力カウンタ 1 割り込み 0		
43	INTPHT11	2 相パルス入力カウンタ 1 割り込み 1		
44	INTPHT20	2 相パルス入力カウンタ 2 割り込み 0		
45	INTPHT21	2 相パルス入力カウンタ 2 割り込み 1		
46	INTPHT30	2 相パルス入力カウンタ 3 割り込み 0		CGIMCGD
47	INTPHT31	2 相パルス入力カウンタ 3 割り込み 1		
48	INTPHEVRY0	2 相パルス入力カウンタ 0 毎割り込み		
49	INTPHEVRY1	2 相パルス入力カウンタ 1 毎割り込み		CGIMCGE
50	INTPHEVRY2	2 相パルス入力カウンタ 2 毎割り込み		
51	INTPHEVRY3	2 相パルス入力カウンタ 3 毎割り込み		
52	INTRX3	シリアルチャネル 3 受信割り込み	立ち上がりエッジ	
53	INTTX3	シリアルチャネル 3 送信割り込み		
54	INTRX4	シリアルチャネル 4 受信割り込み		
55	INTTX4	シリアルチャネル 4 送信割り込み		
56	INTCAP00	16 ビットタイマ/イベントカウンタ 0 インพุットキャプチャ 0 割り込み		
57	INTCAP01	16 ビットタイマ/イベントカウンタ 0 インพุットキャプチャ 1 割り込み		
58	INTCAP10	16 ビットタイマ/イベントカウンタ 1 インพุットキャプチャ 0 割り込み		
59	INTCAP11	16 ビットタイマ/イベントカウンタ 1 インพุットキャプチャ 1 割り込み		
60	INTCAP20	16 ビットタイマ/イベントカウンタ 2 インพุットキャプチャ 0 割り込み		
61	INTCAP21	16 ビットタイマ/イベントカウンタ 2 インพุットキャプチャ 1 割り込み		
62	INTCAP30	16 ビットタイマ/イベントカウンタ 3 インพุットキャプチャ 0 割り込み		
63	INTCAP31	16 ビットタイマ/イベントカウンタ 3 インพุットキャプチャ 1 割り込み		
64	INTCAP40	16 ビットタイマ/イベントカウンタ 4 インพุットキャプチャ 0 割り込み		
65	INTCAP41	16 ビットタイマ/イベントカウンタ 4 インพุットキャプチャ 1 割り込み		
66	INTCAP50	16 ビットタイマ/イベントカウンタ 5 インพุットキャプチャ 0 割り込み		
67	INTCAP51	16 ビットタイマ/イベントカウンタ 5 インพุットキャプチャ 1 割り込み		
68	INTCAP60	16 ビットタイマ/イベントカウンタ 6 インพุットキャプチャ 0 割り込み		
69	INTCAP61	16 ビットタイマ/イベントカウンタ 6 インพุットキャプチャ 1 割り込み		
70	INTCAP70	16 ビットタイマ/イベントカウンタ 7 インพุットキャプチャ 0 割り込み		
71	INTCAP71	16 ビットタイマ/イベントカウンタ 7 インพุットキャプチャ 1 割り込み		
72	INTCAP80	16 ビットタイマ/イベントカウンタ 8 インพุットキャプチャ 0 割り込み		
73	INTCAP81	16 ビットタイマ/イベントカウンタ 8 インพุットキャプチャ 1 割り込み		
74	INTCAP90	16 ビットタイマ/イベントカウンタ 9 インพุットキャプチャ 0 割り込み		

表 11-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除)	CG 割り込みモード コントロールレジスタ
75	INTCAP91	16 ビットタイマ/イベントカウンタ 9 インพุットキャプチャ 1 割り込み		
76	INT8	割り込み端子 8	任意	CGIMCGF
77	INT9	割り込み端子 9		
78	INTA	割り込み端子 A		
79	INTB	割り込み端子 B		
80	INTDMACATC	DMAC ユニット A 転送終了割り込み		
81	INTDMACBTC	DMAC ユニット B 転送終了割り込み		
82	INTDMACAERR	DMAC ユニット A 転送エラー割り込み		
83	INTDMACBERR	DMAC ユニット B 転送エラー割り込み		
84	INTSSP	SSP 割り込み		

#### 11.5.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の "High" を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として "High" パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は "High" レベル、"Low" レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN> を有効にし、CGIMCGx<EMCGx[2:0]> にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 11-3 で指定されているとおりに設定してください。

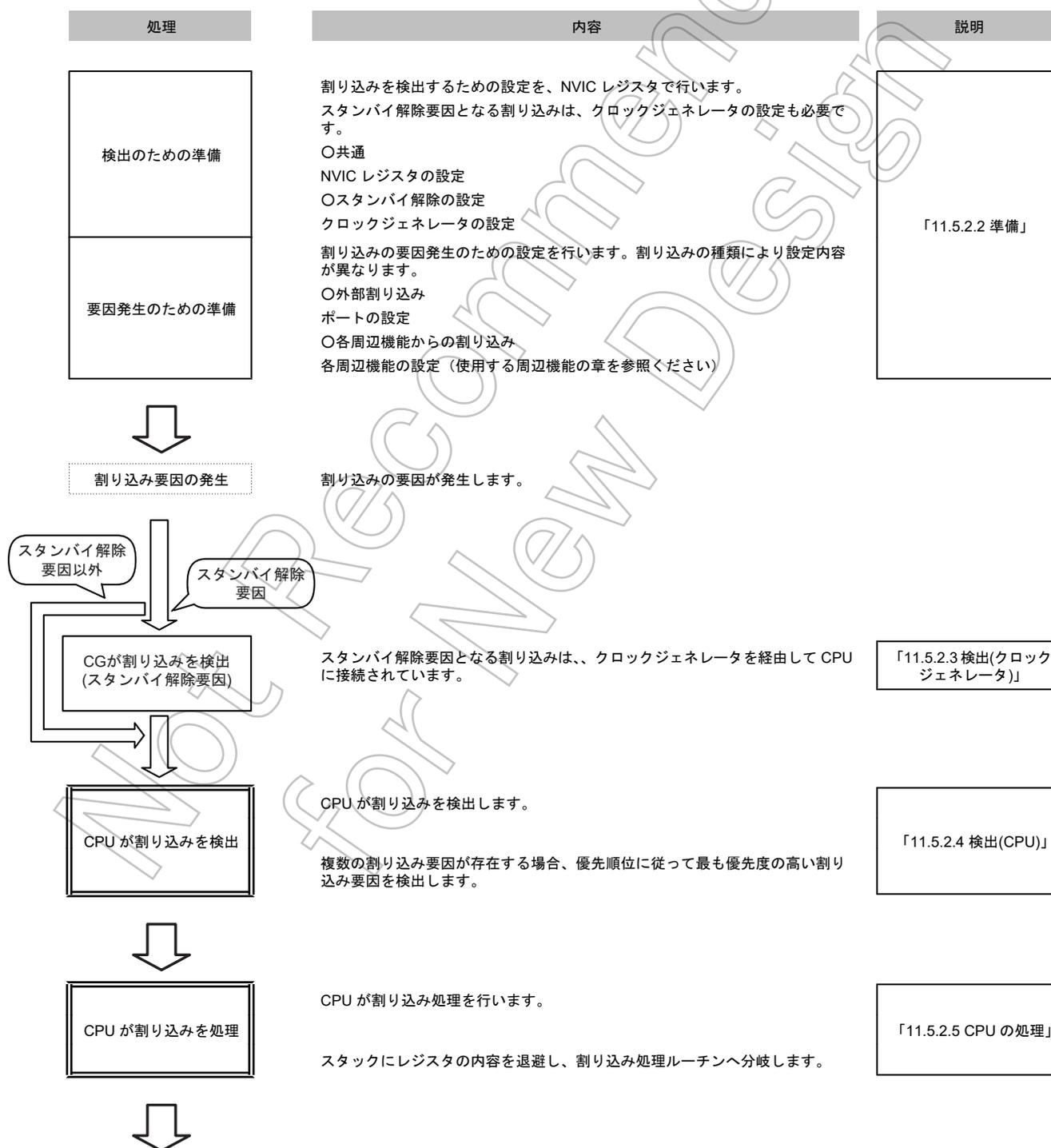
クロックジェネレータで検出された割り込みは、"High" レベル信号で CPU に通知されます。

## 11.5.2 処理詳細

### 11.5.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「11.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
↓ 元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

Not Recommended for New Design

### 11.5.2.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1)(外部割り込み)
4. 要因の準備(2)(周辺機能からの割り込み)
5. 要因の準備(3)(割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

#### (1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ	
PRIMASK	← "1"(割り込み禁止)

注 1) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

注 2) PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

#### (2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI\_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。  
本製品では割り込み優先度レジスタの優先度設定領域は3ビットの構成になっています。

### (3) 要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmlE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。  
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「11.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

### (4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

### (5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

### (6) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「11.6.3.7 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPUが割り込み要因として検出するためには、「High」パルスまたは「High」レベルの信号を入力する必要があります。また、「11.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

## (7) CPU 割り込み許可

CPUの割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASKレジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注1) 「m」は該当ビットを示します。

注2) PRIMASKレジスタは、ユーザ・アクセス・レベルではセットできません。

### 11.5.2.3 検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出されCPUに伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、「High」レベルまたは「Low」レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出するとCG割り込み要求クリアレジスタ(CGICRCG)で解除されるまで「High」レベルの割り込み信号をCPUに出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

#### 11.5.2.4 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

#### 11.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

#### 11.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

##### (1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

##### (2) 割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

## 11.6 例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

### 11.6.1 レジスタ一覧

NVIC レジスタ Base Address = 0xE000\_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正值レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
割り込みイネーブルセットレジスタ 3	0x0108
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
割り込みイネーブルクリアレジスタ 3	0x0188
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
割り込み保留セットレジスタ 3	0x0208
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
割り込み保留クリアレジスタ 3	0x0288
割り込み優先度レジスタ	0x0400 ~ 0x0460
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ Base Address = 0x400F\_3000

レジスタ名	Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA 0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB 0x0044
CG 割り込みモードコントロールレジスタ C	CGIMCGC 0x0048
CG 割り込みモードコントロールレジスタ D	CGIMCGD 0x004C
CG 割り込みモードコントロールレジスタ E	CGIMCGE 0x0050
CG 割り込みモードコントロールレジスタ F	CGIMCGF 0x0054
CG 割り込み要求クリアレジスタ	CGICRCG 0x0060
リセットフラグレジスタ	CGRSTFLG 0x0064
NMI フラグレジスタ	CGNMIFLG 0x0068

## 11.6.2 NVIC レジスタ

## 11.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	-	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック (fosc/32) (注) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL>,<EHOSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

## 11.6.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

## 11.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

## 11.6.2.4 SysTick 較正值レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	1	1	0	1	0	1

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正值は 10 ms 1: 較正值は 10 ms でない
29-24	-	R	リードすると"0"が読めます。
23-0	TENMS	R	較正值 外部参照クロックで 10 ms をカウントするために使用するリロード値(0xC35)です。(注)

注) マルチショットで使用する場合、この値を-1して使用してください。

## 11.6.2.5 割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込み 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.6 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	SETENA (割り込み 35)	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[63:32] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.7 割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	SETENA (割り込み 84)	SETENA (割り込み 83)	SETENA (割り込み 82)	SETENA (割り込み 81)	SETENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 79)	SETENA (割り込み 78)	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	SETENA (割り込み 65)	SETENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	-	R	リードすると"0"が読めます。
20-0	SETENA	R/W	割り込み番号[84:64] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.8 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[31:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

11.6.2.9 割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	CLRENA (割り込み 35)	CLRENA (割り込み 34)	CLRENA (割り込み 33)	CLRENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[63:32] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

11.6.2.10 割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	CLRENA (割り込み 84)	CLRENA (割り込み 83)	CLRENA (割り込み 82)	CLRENA (割り込み 81)	CLRENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 79)	CLRENA (割り込み 78)	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	CLRENA (割り込み 65)	CLRENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	-	R	リードすると"0"が読めます。
20-0	CLRENA	R/W	割り込み番号[84:64] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.11 割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	<p>割り込み番号[31:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり</p> <p>各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。</p> <p>"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。</p> <p>リードの場合、該当する割り込みが保留されているかどうかを示します。</p> <p>このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。</p>

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

11.6.2.12 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	SETPEND (割り込み 35)	SETPEND (割り込み 34)	SETPEND (割り込み 33)	SETPEND (割り込み 32)
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[63:32] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.13 割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	SETPEND (割り込み 84)	SETPEND (割り込み 83)	SETPEND (割り込み 82)	SETPEND (割り込み 81)	SETPEND (割り込み 80)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 79)	SETPEND (割り込み 78)	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	SETPEND (割り込み 65)	SETPEND (割り込み 64)
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-21	-	R	リードすると"0"が読めます。
20-0	SETPEND	R/W	<p>割り込み番号[84:64] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり</p> <p>各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。</p> <p>"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。</p> <p>リードの場合、該当する割り込みが保留されているかどうかを示します。</p> <p>このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。</p>

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.14 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.15 割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	CLRPEND (割り込み 35)	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	CLRPEND (割り込み 32)
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[63:32] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

11.6.2.16 割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定							
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	CLRPEND (割り込み 84)	CLRPEND (割り込み 83)	CLRPEND (割り込み 82)	CLRPEND (割り込み 81)	CLRPEND (割り込み 80)
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 79)	CLRPEND (割り込み 78)	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	CLRPEND (割り込み 65)	CLRPEND (割り込み 64)
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-21	-	R	読み出すと"0"が読めます。
20-0	CLRPEND	R/W	割り込み番号[84:64] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「11.5.1.5 要因一覧」を参照してください。

## 11.6.2.17 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24 23	16 15	8 7	0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0	
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4	
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8	
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12	
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16	
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20	
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24	
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28	
0xE000_E420	PRI_35	PRI_34	PRI_33	PRI_32	
0xE000_E424	PRI_39	PRI_38	PRI_37	PRI_36	
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40	
0xE000_E42C	PRI_47	PRI_46	PRI_45	PRI_44	
0xE000_E430	PRI_51	PRI_50	PRI_49	PRI_48	
0xE000_E434	PRI_55	PRI_54	PRI_53	PRI_52	
0xE000_E438	PRI_59	PRI_58	PRI_57	PRI_56	
0xE000_E43C	PRI_63	PRI_62	PRI_61	PRI_60	
0xE000_E440	PRI_67	PRI_66	PRI_65	PRI_64	
0xE000_E444	PRI_71	PRI_70	PRI_69	PRI_68	
0xE000_E448	PRI_75	PRI_74	PRI_73	PRI_72	
0xE000_E44C	PRI_79	PRI_78	PRI_77	PRI_76	
0xE000_E450	PRI_83	PRI_82	PRI_81	PRI_80	
0xE000_E454	Reserved	Reserved	Reserved	PRI_84	

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	-	R	リードすると"0"が読めます。

Not Recommended  
for New Design

## 11.6.2.18 ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	TBLBASE	TBLOFF				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	-	R	リードすると"0"が読めます。
29	TBLBASE	R/W	テーブルベース ベクタテーブルを置くメモリ空間を指定します。 0: コード空間 1: SRAM 空間
28-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	-	R	リードすると"0"が読めます。

11.6.2.19 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト) VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	-	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	-	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

## 11.6.2.20 システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し8ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24 23	16 15	8 7	0
0xE000_ED18	PRI_7		PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)		PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)		PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている8ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3ビットで優先度を設定することができます。

以下に、代表として割り込み番号4~7の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	-	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	-	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	-	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	-	R	リードすると"0"が読めます。

## 11.6.2.21 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAULT TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCALL 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	-	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	-	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	-	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

### 11.6.3 クロックジェネレータレジスタ

#### 11.6.3.1 CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT3 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT3 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。

Bit	Bit Symbol	Type	機能
24	INT3EN	R/W	INT3 解除入力 0:ディセーブル 1:イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT2 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT2 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INT2EN	R/W	INT2 解除入力 0:ディセーブル 1:イネーブル
15	-	R	リードすると"0"が読めます。
14-12	EMCG1[2:0]	R/W	INT1 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT1 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	-	R	リードすると不定値が読まれます。
8	INT1EN	R/W	INT1 解除入力 0:ディセーブル 1:イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INT0 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST0[1:0]	R	INT0 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	-	R	リードすると不定値が読まれます。
0	INT0EN	R/W	INT0 解除入力 0:ディセーブル 1:イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

## 11.6.3.2 CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCG7[2:0]	R/W	INT7 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ
27-26	EMST7[1:0]	R	INT7 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。
24	INT7EN	R/W	INT7 解除入力 0: ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCG6[2:0]	R/W	INT6 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ
19-18	EMST6[1:0]	R	INT6 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INT6EN	R/W	INT6 解除入力 0: ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG5[2:0]	R/W	INT5 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST56[1:0]	R	INT5 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	-	R	リードすると不定値が読まれます。
8	INT5EN	R/W	INT5 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT4 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST4[1:0]	R	INT4 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	-	R	リードすると不定値が読まれます。
0	INT4EN	R/W	INT4 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

## 11.6.3.3 CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCGB[2:0]	R/W	INTPHT11 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
27-26	EMSTB[1:0]	R	リードすると不定値が読まれます。
25	-	R	リードすると不定値が読まれます。
24	INTBEN	R/W	INTPHT11 解除入力 0:ディセーブル 1:イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCGA[2:0]	R/W	INTPHT10 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
19-18	EMSTA[1:0]	R	リードすると不定値が読まれます。
17	-	R	リードすると不定値が読まれます。
16	INTAEN	R/W	INTPHT10 解除入力 0:ディセーブル 1:イネーブル
15	-	R	リードすると"0"が読めます。
14-12	EMCG9[2:0]	R/W	INTPHT01 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
11-10	EMST9[1:0]	R	リードすると不定値が読まれます。
9	-	R	リードすると不定値が読まれます。
8	INT9EN	R/W	INTPHT01 解除入力 0:ディセーブル 1:イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG8[2:0]	R/W	INTPHT00 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
3-2	EMST8[1:0]	R	リードすると不定値が読まれます。
1	-	R	リードすると不定値が読まれます。
0	INT8EN	R/W	INTPHT00 解除入力 0:ディセーブル 1:イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

Not Recommended  
for New Design

## 11.6.3.4 CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGF			EMSTF		-	INTFEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGE			EMSTE		-	INTEEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGD			EMSTD		-	INTDEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGC			EMSTC		-	INTCEN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCGF[2:0]	R/W	INTPHT31 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
27-26	EMSTF[1:0]	R	リードすると不定値が読まれます。
25	-	R	リードすると不定値が読まれます。
24	INTFEN	R/W	INTPHT31 解除入力 0:ディセーブル 1:イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCGE[2:0]	R/W	INTPHT30 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
19-18	EMSTE[1:0]	R	リードすると不定値が読まれます。
17	-	R	リードすると不定値が読まれます。
16	INTEEN	R/W	INTPHT30 解除入力 0:ディセーブル 1:イネーブル
15	-	R	リードすると"0"が読めます。
14-12	EMCGD[2:0]	R/W	INTPHT21 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
11-10	EMSTD[1:0]	R	リードすると不定値が読まれます。
9	-	R	リードすると不定値が読まれます。
8	INTDEN	R/W	INTPHT21 解除入力 0:ディセーブル 1:イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCGC[2:0]	R/W	INTPHT20 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 011: 立ち上がりエッジ
3-2	EMSTC[1:0]	R	リードすると不定値が読まれます。
1	-	R	リードすると不定値が読まれます。
0	INTCEN	R/W	INTPHT20 解除入力 0:ディセーブル 1:イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

Not Recommended  
for New Design

## 11.6.3.5 CGIMCGE(CG 割り込みモードコントロールレジスタ E)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG13			EMST13		-	INT13EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG12			EMST12		-	INT12EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG11			EMST11		-	INT11EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG10			EMST10		-	INT10EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCG13[2:0]	R/W	INTPHEVRY3 スタンバイ解除要求のアクティブ状態を設定(011 以外設定禁止) 011: 立ち上がりエッジ
27-26	EMST13[1:0]	R	リードすると不定値が読まれます。
25	-	R	リードすると不定値が読まれます。
24	INT13EN	R/W	INTPHEVRY3 解除入力 0:ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCG12[2:0]	R/W	INTPHEVRY2 スタンバイ解除要求のアクティブ状態を設定(011 以外設定禁止) 011: 立ち上がりエッジ
19-18	EMST12[1:0]	R	リードすると不定値が読まれます。
17	-	R	リードすると不定値が読まれます。
16	INT12EN	R/W	INTPHEVRY2 解除入力 0:ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。
14-12	EMCG11[2:0]	R/W	INTPHEVRY1 スタンバイ解除要求のアクティブ状態を設定(011 以外設定禁止) 011: 立ち上がりエッジ
11-10	EMST11[1:0]	R	リードすると不定値が読まれます。
9	-	R	リードすると不定値が読まれます。
8	INT11EN	R/W	INTPHEVRY1 解除入力 0:ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG10[2:0]	R/W	INTPHEVRY0 スタンバイ解除要求のアクティブ状態を設定(011 以外設定禁止) 011: 立ち上がりエッジ
3-2	EMST10[1:0]	R	リードすると不定値が読まれます。
1	-	R	リードすると不定値が読まれます。
0	INT10EN	R/W	INTPHEVRY0 解除入力 0:ディセーブル 1: イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

Not Recommended  
for New Design

## 11.6.3.6 CGIMCGF(CG 割り込みモードコントロールレジスタ F)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG17			EMST17		-	INT17EN
リセット後	0	0	0	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG16			EMST16		-	INT16EN
リセット後	0	0	0	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG15			EMST15		-	INT15EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG14			EMST14		-	INT14EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-28	EMCG17[2:0]	R/W	INTB スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST17[1:0]	R	INTB スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
25	-	R	リードすると不定値が読まれます。
24	INT17EN	R/W	INTB 解除入力 0: ディセーブル 1: イネーブル
23	-	R	リードすると"0"が読めます。
22-20	EMCG16[2:0]	R/W	INTA スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST16[1:0]	R	INTA スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ
17	-	R	リードすると不定値が読まれます。
16	INT16EN	R/W	INTA 解除入力 0: ディセーブル 1: イネーブル
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG15[2:0]	R/W	INT9 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST15[1:0]	R	INT9 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	-	R	リードすると不定値が読めます。
8	INT15EN	R/W	INT9 解除入力 0: ディセーブル 1: イネーブル
7	-	R	リードすると"0"が読めます。
6-4	EMCG14[2:0]	R/W	INT8 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST14[1:0]	R	INT8 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	-	R	リードすると不定値が読めます。
0	INT14EN	R/W	INT8 解除入力 0: ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注) STOP1/STOP2/IDLE 解除用に割り込みを許可する場合には、かならず解除要求のアクティブ状態を設定してください。

- 割り込みを使用する場合はかならず以下の順に設定してください。
  - 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
  - 初期化時にアクティブ状態等の設定
  - 割り込み要求のクリア
  - 割り込みのイネーブル
- 各設定はかならず割り込みディセーブルの状態で行ってください。
- STOP1 解除割り込みとして INT0~INT7、INT8~INTB、INTPH00~INTPH31、INTPHEVRY0~INTPHEVRY3 割り込みの 24 要因の設定が可能です。STOP1 解除割り込みとして使用するかどうか、およびアクティブ状態のエッジ/レベルは CG にて設定します。

4. STOP2 解除割り込みとして INT0~INT7、INT8~INTB 割り込みの 12 要因の設定が可能です。STOP2 解除割り込みとして使用するかどうか、およびアクティブ状態の設定はかならず、"立ち上がりエッジ"の CG 設定を行ってください。
5. STOP1/STOP2/IDLE 解除要求割り込みに割り当てられる要因のうち、INT0~INT7、INT8~INTB は通常割り込みとして使用する場合は、CG での設定を行わずに使用することも可能です。

Not Recommended  
for New Design

11.6.3.7 CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0      0_1000: INTPHT00      1_0000: INTEVRY0      1_1000 ~ 1_1111: 設定禁止 0_0001: INT1      0_1001: INTPHT01      1_0001: INTEVRY1 0_0010: INT2      0_1010: INTPHT10      1_0010: INTEVRY2 0_0011: INT3      0_1011: INTPHT11      1_0011: INTEVRY3 0_0100: INT4      0_1100: INTPHT20      1_0100: INT8 0_0101: INT5      0_1101: INTPHT21      1_0101: INT9 0_0110: INT6      0_1110: INTPHT30      1_0110: INTA 0_0111: INT7      0_1111: INTPHT31      1_0111: INTB リードすると"0"が読めます

## 11.6.3.8 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	NMIFLG1	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	NMIFLG1	R	NMI 起動要因フラグ 0: 要因なし 1: $\overline{\text{NMI}}$ 端子による発生
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1: WDT による NMI 発生

注) <NMIFLG>は読み出すと"0"にクリアされます。

## 11.6.3.9 CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	OFDRSTF	DBGRSTF	STOP2RSTF	WDTRSTF	-	PINRSTF
端子リセット後	0	0	0	0	0	0	不定	1

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	OFDRSTF	R/W	OFD リセットフラグ 0: 0 ライト 1: OFD によるリセットフラグ
4	DBGRSTF	R/W	デバッグリセットフラグ(注 1) 0: 0 ライト 1: デバッグからのリセットによるリセットフラグ
3	STOP2RSTF	R/W	STOP2 リセットフラグ 0: 0 ライト 1: STOP2 モード解除によるリセットフラグ
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT によるリセットフラグ
1	-	R/W	"0"をライトしてください。 リードすると不定値が読み出されず。
0	PINRSTF	R/W	RESET 端子フラグ 0: 0 ライト 1: RESET 端子によるリセットフラグ

注 1) CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2) 本製品は外部リセットで初期化されます。

## 第 12 章 入出力ポート

### 12.1 ポート機能

#### 12.1.1 機能一覧

TMPM341FDXBG/FYXBG には 86 のポートがあり、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 12-1、表 12-2、表 12-3 にポート機能の一覧を示します。

表 12-1 ポート機能一覧(ポート A ~ ポート C)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラマブル Open-drain	機能端子名
Port A	PA0	入出力	Pull-up	-	-	o	D0/AD0
	PA1	入出力	Pull-up	-	-	o	D1/AD1
	PA2	入出力	Pull-up	-	-	o	D2/AD2
	PA3	入出力	Pull-up	-	-	o	D3/AD3
	PA4	入出力	Pull-up	-	-	o	D4/AD4
	PA5	入出力	Pull-up	-	-	o	D5/AD5
	PA6	入出力	Pull-up	-	-	o	D6/AD6
	PA7	入出力	Pull-up	-	-	o	D7/AD7
Port B	PB0	入出力	Pull-up	-	-	o	D8/AD8/A0
	PB1	入出力	Pull-up	-	-	o	D9/AD9/A1
	PB2	入出力	Pull-up	-	-	o	D10/AD10/A2
	PB3	入出力	Pull-up	-	-	o	D11/AD11/A3
	PB4	入出力	Pull-up	-	-	o	D12/AD12/A4
	PB5	入出力	Pull-up	-	-	o	D13/AD13/A5
	PB6	入出力	Pull-up	-	-	o	D14/AD14/A6
	PB7	入出力	Pull-up	-	-	o	D15/AD15/A7
Port C	PC0	入出力	Pull-up	o	-	o	A0/TXD1/TB2IN0
	PC1	入出力	Pull-up	o	-	o	A1/RXD1/TB2IN1
	PC2	入出力	Pull-up	o	-	o	A2/SCLK1/TB0OUT/CTS1
	PC3	入出力	Pull-up	o	o(INT2のみ)	o	A3/INT2/TB1OUT
	PC4	入出力	Pull-up	o	-	o	A4/TXD2/TB3IN0
	PC5	入出力	Pull-up	o	-	o	A5/RXD2/TB3IN1
	PC6	入出力	Pull-up	o	-	o	A6/SCLK2/TB4IN0/CTS2
	PC7	入出力	Pull-up	o	o(INT3のみ)	o	A7/INT3/TB4IN1

o:あり

-:なし

注) ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

表 12-2 ポート機能一覧(ポート D ~ ポート G)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラマ ブル Open-drain	機能端子名
Port D	PD0	入出力	Pull-up	o	-	o	A8/SO1/SDA1/TB7OUT
	PD1	入出力	Pull-up	o	-	o	A9/S1/SCL1/TB8OUT
	PD2	入出力	Pull-up	o	-	o	A10/SCK1/TB9OUT
	PD3	入出力	Pull-up	o	o(INT4のみ)	o	A11/INT4/ADTRG
	PD4	入出力	Pull-up	o	-	o	A12/SPDO
	PD5	入出力	Pull-up	o	-	o	A13/SPDI
	PD6	入出力	Pull-up	o	-	o	A14/SPCLK
	PD7	入出力	Pull-up	o	-	o	A15/SPFSS/SCOUT
Port E	PE0	入出力	Pull-up	o	-	o	TXD0/A16
	PE1	入出力	Pull-up	o	-	o	RXD0/A17
	PE2	入出力	Pull-up	o	-	o	SCLK0/A18/TB2OUT/ CTS0
	PE3	入出力	Pull-up	o	o(INT5のみ)	o	INT5/A19/TB3OUT
	PE4	入出力	Pull-up	o	-	o	A20/TD0OUT0
	PE5	入出力	Pull-up	o	-	o	A21/TD0OUT1
	PE6	入出力	Pull-up	o	-	o	A22/TD1OUT0
	PE7	入出力	Pull-up	o	-	o	A23/TD1OUT1
Port F	PF0	出力	リセット後 Pull-up	o	-	o	BOOT/TB6OUT
	PF1	入出力	Pull-up	o	-	o	$\overline{RD}$
	PF2	入出力	Pull-up	o	-	o	$\overline{WR}$
	PF3	入出力	Pull-up	o	-	o	BELL
	PF4	入出力	Pull-up	o	o(INT6のみ)	o	$\overline{BELH}$ /INT6/TB5IN0
	PF5	入出力	Pull-up	o	o(INT7のみ)	o	$\overline{CS1}$ /INT7/TB5IN1
	PF6	入出力	Pull-up	o	-	o	$\overline{CS0}$
	PF7	入出力	Pull-up	o	-	o	ALE
Port G	PG0	入出力	Pull-up	o	-	o	SO0/SDA0/TB7IN0
	PG1	入出力	Pull-up	o	-	o	SI0/SCL0/TB7IN1
	PG2	入出力	Pull-up	o	o(INT8のみ)	o	SCK0/INT8
	PG3	入出力	Pull-up	o	o	o	INT0
	PG4	入出力	Pull-up	o	-	o	TXD3/TB8IN0
	PG5	入出力	Pull-up	o	-	o	RXD3/TB8IN1
	PG6	入出力	Pull-up	o	-	o	SCLK3/TB9IN0/CTS3
	PG7	入出力	Pull-up	o	o(INT1のみ)	o	INT1/TB9IN1

o:あり  
-:なし

注) ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

表 12-3 ポート機能一覧(ポートH～ポートK)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズ フィルタ	プログラマ ブル Open-drain	機能端子名
Port H	PH0	入出力	Pull-up	o	-	o	TXD4
	PH1	入出力	Pull-up	o	-	o	RXD4
	PH2	入出力	Pull-up	o	-	o	SCLK4/CTS4
	PH3	入出力	Pull-up	o	-	o	PHC3IN0/TB4OUT
	PH4	入出力	Pull-up	o	-	o	PHC3IN1/TB5OUT
	PH5	入出力	Pull-up	o	-	o	TRACEDATA3
	PH6	入出力	Pull-up	o	-	o	TRACEDATA2
Port I	PI0	入出力	Pull-up	o	-	o	TRACEDATA1
	PI1	入出力	Pull-up	o	-	o	TRACEDATA0
	PI2	入出力	Pull-up	o	-	o	TRACECLK
	PI3	入出力	リセット後 Pull-up	o	o	-	TRST
	PI4	入出力	リセット後 Pull-up	o	-	-	TDI
	PI5	入出力	リセット後 Pull-down	o	-	-	TCK/SWCLK
	PI6	入出力	リセット後 Pull-up	o	-	-	TMS/SWDIO
	PI7	入出力	Pull-up	o	-	-	TDO/SWV
Port J	PJ0	入出力	Pull-up	o	-	-	AIN00/PHC0IN0
	PJ1	入出力	Pull-up	o	-	-	AIN01/PHC0IN1
	PJ2	入出力	Pull-up	o	-	-	AIN02/PHC1IN0
	PJ3	入出力	Pull-up	o	-	-	AIN03/PHC1IN1
	PJ4	入出力	Pull-up	o	-	-	AIN04/PHC2IN0
	PJ5	入出力	Pull-up	o	-	-	AIN05/PHC2IN1
	PJ6	入出力	Pull-up	o	-	-	AIN06/TB0IN0
	PJ7	入出力	Pull-up	o	o(INT9のみ)	-	AIN07/INT9/TB0IN1
Port K	PK0	入出力	Pull-up	o	-	-	AIN08/TB1IN0
	PK1	入出力	Pull-up	o	o(INTAのみ)	-	AIN09/INTA/TB1IN1
	PK2	入出力	Pull-up	o	-	-	AIN10/TB6IN0
	PK3	入出力	Pull-up	o	o(INTBのみ)	-	AIN11/INTB/TB6IN1
	PK4	入出力	Pull-up	o	-	-	AIN12
	PK5	入出力	Pull-up	o	-	-	AIN13
	PK6	入出力	Pull-up	o	-	-	AIN14

o:あり  
-:なし

注) ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

## 12.1.2 ポートレジスタ概略説明

ポートを使用するには以下のレジスタを設定する必要があります。

- **PxDATA**: ポート x データレジスタ  
ポートのデータ読み込み、データ書き込みを行います。
- **PxCR**: ポート x 出力コントロールレジスタ  
出力の制御を行います。  
入力の制御は **PxIE** で設定してください。
- **PxFRn**: ポート x ファンクションレジスタ n  
機能設定を行ないます。  
"1"をセットすることにより割り当てられている機能を使用できるようになります。
- **PxOD**: ポート x オープンドレインコントロールレジスタ  
プログラマブルオープンレインの制御を行います。  
プログラマブルオープンレインは、**PxOD** の設定により、出力データが"1"の場合に出力バッファをディセーブルにし、擬似的にオープンレインを実現する機能です。
- **PxPUP**: ポート x プルアップコントロールレジスタ  
プログラマブルプルアップを制御します。
- **PxPDN**: ポート x プルダウンコントロールレジスタ  
プログラマブルプルダウンを制御します。
- **PxIE**: ポート x 入力コントロールレジスタ  
入力の制御を行ないます。  
貫通電流対策のため、初期状態は入力禁止になっています。

## 12.1.3 STOP モード中のポート状態

STOP1 モード中の入力と出力は、CGSTBYCR<DRVE>で制御することができます。また、STOP2 モード時は、CGSTBYCR<PTKEEP>で制御することができます。

PxIE, PxCR が許可で、<DRVE>="1"か<PTKEEP>="0" → "1"に設定した場合、STOP1/STOP2 モード中も入力、出力が許可となります。<DRVE>を"0"に設定した場合、一部のポートを除き、PxIE, PxCR が許可であっても STOP1 モード中は入力、出力が禁止になります。また、ノーマルモードから STOP2 モードへの移行では、<PTKEEP>ビットを"0" → "1"に必ず設定を行ない各ポートの状態を保持してください。

STOP モード時の端子状態を表 12-4 に示します。

表 12-4 STOP モード時の端子状態

機能	ピン名称	入出力	STOP1		STOP2	
			<DRVE> = 0	<DRVE> = 1	<PTKEEP> = 0	<PTKEEP> = 1
制御端子	RESET, NMI, MODE, INTLV, BSC, ENDIAN	入力	o	o	o	o
発振器	X1/EHCLKIN	入力	x	x	x	x
	X2	出力	"High"レベル出力		x	x
特殊端子	DA0, DA1	出力	x	x	x	x
ポート	PJ0 to PJ5 (PHC0IN0, PHC0IN1, PHC1IN0, PHC1IN1, PHC2IN0, PHC2IN1) (機能端子設定, PxFRn<PxmFn>="1")	入力	o	o	o	o
	PI3 to PI5 (TRST, TDI, SWCLK/TCK) (デバッグ I/F 設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による		o	PxIE[m]によ って入力保持
	PI6 (SWDIO/TMS) (デバッグ I/F 設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による		o	PxIE[m]によ って入力保持
		出力	データ有効な時に許可、データ無 効なときは禁止		o	PxCR[m]によ って出力保持
	PI7, PI2, PI1, PI0, PH6, PH5 (TDO/SWV, TRACECLK, TRACEDATA0 to 3) (デバッグ I/F 設定 PxFRn<PxmFn>="1")	出力	PxCR[m]による		o	PxCR[m]によ って出力保持
	PG3, PG7, PC3, PC7, PD3, PE3, PF4, PF5, PG2, PJ7, PK1, PK3 (INT0 to B) (割り込み機能設定, PxFRn<PxmFn>="1"かつ PxIE<PxmIE>="1")	入力	o	o	o	o
	上記以外	入力	x	PxIE[m]による	x	PxIE[m]によ って入力保持
出力		x	PxIE[m]による	x	PxCR[m]によ って出力保持	

o: 入力または出力が有効

x: 入力または出力が無効

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

## 12.2 ポート機能詳細

本章では、各ポートのレジスタの詳細について説明します。

回路構成については、本章では「回路タイプ」のみ記載しています。具体的な回路図は「12.3 ポート回路図」に記載していますので、そちらを参照してください。

### 12.2.1 ポート A (PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に外部バス I/F 機能があります。

リセット後、ポート A は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート A には 1 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。

#### 12.2.1.1 ポート A レジスタ一覧

Base Address = 0x400C\_0000

レジスタ名		Address (Base+)
ポート A データレジスタ	PADATA	0x0000
ポート A 出力コントロールレジスタ	PACR	0x0004
ポート A ファンクションレジスタ 1	PAFR1	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート A オープンドレインコントロールレジスタ	PAOD	0x0028
ポート A プルアップコントロールレジスタ	PAPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート A 入力コントロールレジスタ	PAIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.1.2 PADATA (ポート A データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7-PA0	R/W	ポート A データレジスタ

## 12.2.1.3 PACR (ポート A 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7C-PA0C	R/W	出力 0: 禁止 1: 許可

## 12.2.1.4 PAFR1 (ポート A ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7F1	PA6F1	PA5F1	PA4F1	PA3F1	PA2F1	PA1F1	PA0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PA7F1	R/W	0: PORT 1: D7/AD7
6	PA6F1	R/W	0: PORT 1: D6/AD6
5	PA5F1	R/W	0: PORT 1: D5/AD5
4	PA4F1	R/W	0: PORT 1: D4/AD4
3	PA3F1	R/W	0: PORT 1: D3/AD3
2	PA2F1	R/W	0: PORT 1: D2/AD2
1	PA1F1	R/W	0: PORT 1: D1/AD1
0	PA0F1	R/W	0: PORT 1: D0/AD0

## 12.2.1.5 PAOD (ポート A オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7OD	PA6OD	PA5OD	PA4OD	PA3OD	PA2OD	PA1OD	PA0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7OD-PA0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.1.6 PAPUP (ポート A プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7UP	PA6UP	PA5UP	PA4UP	PA3UP	PA2UP	PA1UP	PA0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7UP-PA0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.1.7 PAIE (ポート A 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PA7IE-PA0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.2 ポート B (PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に外バス I/F 機能があります。

リセット後、ポート B は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート B には 2 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

### 12.2.2.1 ポート B レジスタ一覧

Base Address = 0x400C\_0100

レジスタ名		Address (Base+)
ポート B データレジスタ	PBDATA	0x0000
ポート B 出カコントロールレジスタ	PBCR	0x0004
ポート B ファンクションレジスタ 1	PBFR1	0x0008
ポート B ファンクションレジスタ 2	PBFR2	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート B オープンドレインコントロールレジスタ	PBOD	0x0028
ポート B プルアップコントロールレジスタ	PBPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート B 入カコントロールレジスタ	PBIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.2.2 PBDATA (ポート B データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7-PB0	R/W	ポート B データレジスタ

## 12.2.2.3 PBCR (ポート B 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7C-PB0C	R/W	出力 0: 禁止 1: 許可

12.2.2.4 PBFR1 (ポート B ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7F1	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PB7F1	R/W	0: PORT 1: D15/AD15
6	PB6F1	R/W	0: PORT 1: D14/AD14
5	PB5F1	R/W	0: PORT 1: D13/AD13
4	PB4F1	R/W	0: PORT 1: D12/AD12
3	PB3F1	R/W	0: PORT 1: D11/AD11
2	PB2F1	R/W	0: PORT 1: D10/AD10
1	PB1F1	R/W	0: PORT 1: D9/AD9
0	PB0F1	R/W	0: PORT 1: D8/AD8

## 12.2.2.5 PBFR2 (ポート B ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7F2	PB6F2	PB5F2	PB4F2	PB3F2	PB2F2	PB1F2	PB0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PB7F2	R/W	0: PORT 1: A7
6	PB6F2	R/W	0: PORT 1: A6
5	PB5F2	R/W	0: PORT 1: A5
4	PB4F2	R/W	0: PORT 1: A4
3	PB3F2	R/W	0: PORT 1: A3
2	PB2F2	R/W	0: PORT 1: A2
1	PB1F2	R/W	0: PORT 1: A1
0	PB0F2	R/W	0: PORT 1: A0

## 12.2.2.6 PBOD (ポート B オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7OD	PB6OD	PB5OD	PB4OD	PB3OD	PB2OD	PB1OD	PB0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7OD- PB0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.2.7 PBPUP (ポート B プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7UP	PB6UP	PB5UP	PB4UP	PB3UP	PB2UP	PB1UP	PB0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7UP-PB0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.2.8 PBIE (ポート B 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7IE	PB6IE	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PB7IE-PB0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.3 ポート C (PC0~PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に外バス I/F、シリアルチャネル、16 ビットタイマ/イベントカウンタ、外部割り込み入力機能があります。

リセット後、ポート C は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート C には 4 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

注) STOP 以外のモードでは、PxIE がセットされていると PxFR の設定にかかわらず割り込みの入力が許可されます。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

### 12.2.3.1 ポート C レジスタ一覧

Base Address = 0x400C\_0200

レジスタ名		Address (Base+)
ポート C データレジスタ	PCDATA	0x0000
ポート C 出力コントロールレジスタ	PCCR	0x0004
ポート C ファンクションレジスタ 1	PCFR1	0x0008
ポート C ファンクションレジスタ 2	PCFR2	0x000C
ポート C ファンクションレジスタ 3	PCFR3	0x0010
ポート C ファンクションレジスタ 4	PCFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート C オープンドレイコンントロールレジスタ	PCOD	0x0028
ポート C プルアップコントロールレジスタ	PCPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート C 入力コントロールレジスタ	PCIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.3.2 PCDATA (ポート C データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7-PC0	R/W	ポート C データレジスタ

## 12.2.3.3 PCCR (ポート C 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7C-PC0C	R/W	出力 0: 禁止 1: 許可

## 12.2.3.4 PCFR1 (ポート C ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7F1	PC6F1	PC5F1	PC4F1	PC3F1	PC2F1	PC1F1	PC0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PC7F1	R/W	0: PORT 1: A7
6	PC6F1	R/W	0: PORT 1: A6
5	PC5F1	R/W	0: PORT 1: A5
4	PC4F1	R/W	0: PORT 1: A4
3	PC3F1	R/W	0: PORT 1: A3
2	PC2F1	R/W	0: PORT 1: A2
1	PC1F1	R/W	0: PORT 1: A1
0	PC0F1	R/W	0: PORT 1: A0

## 12.2.3.5 PCFR2 (ポート C ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7F2	PC6F2	PC5F2	PC4F2	PC3F2	PC2F2	PC1F2	PC0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PC7F2	R/W	0: PORT 1: INT3
6	PC6F2	R/W	0: PORT 1: SCLK2
5	PC5F2	R/W	0: PORT 1: RXD2
4	PC4F2	R/W	0: PORT 1: TXD2
3	PC3F2	R/W	0: PORT 1: INT2
2	PC2F2	R/W	0: PORT 1: SCLK1
1	PC1F2	R/W	0: PORT 1: RXD1
0	PC0F2	R/W	0: PORT 1: TXD1

## 12.2.3.6 PCFR3 (ポート C ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7F3	PC6F3	PC5F3	PC4F3	PC3F3	PC2F3	PC1F3	PC0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PC7F3	R/W	0: PORT 1: TB4IN1
6	PC6F3	R/W	0: PORT 1: TB4IN0
5	PC5F3	R/W	0: PORT 1: TB3IN1
4	PC4F3	R/W	0: PORT 1: TB3IN0
3	PC3F3	R/W	0: PORT 1: TB1OUT
2	PC2F3	R/W	0: PORT 1: TB0OUT
1	PC1F3	R/W	0: PORT 1: TB2IN1
0	PC0F3	R/W	0: PORT 1: TB2IN0

## 12.2.3.7 PCFR4 (ポート C ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PC6F4	-	-	-	PC2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PC6F4	R/W	0: PORT 1: CTS2
5-3	-	R	リードすると"0"が読めます。
2	PC2F4	R/W	0: PORT 1: CTS1
1-0	-	R	リードすると"0"が読めます。

## 12.2.3.8 PCOD (ポート C オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7OD	PC6OD	PC5OD	PC4OD	PC3OD	PC2OD	PC1OD	PC0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7OD- PC0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.3.9 PCPUP (ポート C プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7UP	PC6UP	PC5UP	PC4UP	PC3UP	PC2UP	PC1UP	PC0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7UP-PC0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.3.10 PCIE (ポート C 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PC7IE	PC6IE	PC5IE	PC4IE	PC3IE	PC2IE	PC1IE	PC0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PC7IE-PC0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.4 ポート D (PD0~PD7)

ポート D はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に外バス I/F、シリアルバスインターフェース、外部割り込み入力、SSP、16 ビットタイマ/イベントカウンタ、クロック出力機能、ADC 機能があります。

リセット後、ポート D は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート D には 3 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

注) STOP 以外のモードでは、PxIE がセットされていると PxFR の設定にかかわらず割り込みの入力が許可されます。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

### 12.2.4.1 ポート D レジスタ一覧

Base Address = 0x400C\_0300

レジスタ名		Address (Base+)
ポート D データレジスタ	PDDATA	0x0000
ポート D 出力コントロールレジスタ	PDCR	0x0004
ポート D ファンクションレジスタ 1	PDFR1	0x0008
ポート D ファンクションレジスタ 2	PDFR2	0x000C
ポート D ファンクションレジスタ 3	PDFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート D オープンドレインコントロールレジスタ	PDOD	0x0028
ポート D プルアップコントロールレジスタ	PDPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート D 入力コントロールレジスタ	PDIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.4.2 PDDATA (ポート D データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PD7-PD0	R/W	ポート D データレジスタ

## 12.2.4.3 PDCR (ポート D 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PD7C-PD0C	R/W	出力 0: 禁止 1: 許可

## 12.2.4.4 PDFR1 (ポート D ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7F1	PD6F1	PD5F1	PD4F1	PD3F1	PD2F1	PD1F1	PD0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PD7F1	R/W	0: PORT 1: A15
6	PD6F1	R/W	0: PORT 1: A14
5	PD5F1	R/W	0: PORT 1: A13
4	PD4F1	R/W	0: PORT 1: A12
3	PD3F1	R/W	0: PORT 1: A11
2	PD2F1	R/W	0: PORT 1: A10
1	PD1F1	R/W	0: PORT 1: A9
0	PD0F1	R/W	0: PORT 1: A8

## 12.2.4.5 PDFR2 (ポート D ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7F2	PD6F2	PD5F2	PD4F2	PD3F2	PD2F2	PD1F2	PD0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PD7F2	R/W	0: PORT 1: SPSS
6	PD6F2	R/W	0: PORT 1: SPCK
5	PD5F2	R/W	0: PORT 1: SPDI
4	PD4F2	R/W	0: PORT 1: SPDO
3	PD3F2	R/W	0: PORT 1: INT4
2	PD2F2	R/W	0: PORT 1: SCK1
1	PD1F2	R/W	0: PORT 1: SI1/SCL1
0	PD0F2	R/W	0: PORT 1: SO1/SDA1

## 12.2.4.6 PDFR3 (ポート D ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7F3	-	-	-	PD3F3	PD2F3	PD1F3	PD0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PD7F3	R/W	0: PORT 1: SCOUT
6-4	-	R	リードすると"0"が読めます。
3	PD3F3	R/W	0: PORT 1: ADTRG
2	PD2F3	R/W	0: PORT 1: TB9OUT
1	PD1F3	R/W	0: PORT 1: TB8OUT
0	PD0F3	R/W	0: PORT 1: TB7OUT

## 12.2.4.7 PDOD (ポート D オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7OD	PD6OD	PD5OD	PD4OD	PD3OD	PD2OD	PD1OD	PD0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PD7OD- PD0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.4.8 PDPUP (ポート D プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7UP	PD6UP	PD5UP	PD4UP	PD3UP	PD2UP	PD1UP	PD0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PD7UP-PD0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.4.9 PDIE (ポート D 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7IE	PD6IE	PD5IE	PD4IE	PD3IE	PD2IE	PD1IE	PD0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PD7IE-PD0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.5 ポート E (PE0~PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に外バス I/F、シリアルチャネル、外部割り込み入力、16 ビットタイマ/イベントカウンタ、高分解能 16 ビット PPG タイマ機能があります。

リセット後、ポート E は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート E には 4 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

注) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

### 12.2.5.1 ポート E レジスタ一覧

Base Address = 0x400C\_0400

レジスタ名		Address (Base+)
ポート E データレジスタ	PEDATA	0x0000
ポート E 出力コントロールレジスタ	PECR	0x0004
ポート E ファンクションレジスタ 1	PEFR1	0x0008
ポート E ファンクションレジスタ 2	PEFR2	0x000C
ポート E ファンクションレジスタ 3	PEFR3	0x0010
ポート E ファンクションレジスタ 4	PEFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート E オープンドレインコントロールレジスタ	PEOD	0x0028
ポート E プルアップコントロールレジスタ	PEPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート E 入力コントロールレジスタ	PEIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.5.2 PEDATA (ポート E データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7-PE0	R/W	ポート E データレジスタ

## 12.2.5.3 PECCR (ポート E 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7C-PE0C	R/W	出力 0: 禁止 1: 許可

## 12.2.5.4 PEFR1 (ポート E ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PE3F1	PE2F1	PE1F1	PE0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3	PE3F1	R/W	0: PORT 1: INT5
2	PE2F1	R/W	0: PORT 1: SCLK0
1	PE1F1	R/W	0: PORT 1: RXD0
0	PE0F1	R/W	0: PORT 1: TXD0

## 12.2.5.5 PEFR2 (ポート E ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F2	PE6F2	PE5F2	PE4F2	PE3F2	PE2F2	PE1F2	PE0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PE7F2	R/W	0: PORT 1: A23
6	PE6F2	R/W	0: PORT 1: A22
5	PE5F2	R/W	0: PORT 1: A21
4	PE4F2	R/W	0: PORT 1: A20
3	PE3F2	R/W	0: PORT 1: A19
2	PE2F2	R/W	0: PORT 1: A18
1	PE1F2	R/W	0: PORT 1: A17
0	PE0F2	R/W	0: PORT 1: A16

## 12.2.5.6 PEF3 (ポート E ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F3	PE6F3	PE5F3	PE4F3	PE3F3	PE2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PE7F3	R/W	0: PORT 1: TD1OUT1
6	PE6F3	R/W	0: PORT 1: TD1OUT0
5	PE5F3	R/W	0: PORT 1: TD0OUT1
4	PE4F3	R/W	0: PORT 1: TD0OUT0
3	PE3F3	R/W	0: PORT 1: TB3OUT
2	PE2F3	R/W	0: PORT 1: TB2OUT
1-0	-	R	リードすると"0"が読めます。

## 12.2.5.7 PEF4 (ポート E ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PE2F4	R/W	0: PORT 1: CTS0
1-0	-	R	リードすると"0"が読めます。

## 12.2.5.8 PEO4 (ポート E オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7OD	PE6OD	PE5OD	PE4OD	PE3OD	PE2OD	PE1OD	PE0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7OD- PE0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.5.9 PEPUP (ポート E プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7UP	PE6UP	PE5UP	PE4UP	PE3UP	PE2UP	PE1UP	PE0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7UP-PE0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.5.10 PEIE (ポート E 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7IE	PE6IE	PE5IE	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PE7IE-PE0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.6 ポート F (PF0~PF7)

ポート F はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートと 1 ビットの出出力ポートです。出力ポート、汎用入出力ポート機能以外に外部バス I/F、外部割り込み入力、16 ビットタイマ/イベントカウンタ、動作モード設定(BOOT)機能があります。

リセット後、PF1 から PF7 は汎用ポートとなり、入力、出力、プルアップは禁止となります。PF0 は出力ポートとなり、出力は禁止、プルアップは許可となります。

ポート F には 3 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。

RESET 端子が"Low"の期間、PF0(BOOT)は BOOT モード入力とプルアップが許可となり、RESET 端子の立ち上がりで PF0(BOOT)が"High"の場合、シングルチップモードとなって内蔵 Flash メモリから起動し、PF0(BOOT)が"Low"の場合、シングルブートモードとなって内蔵 BOOT ROM から起動します。シングルブートモードの説明は、"Flash 動作説明"を参照してください。

注) STOP 以外のモードでは、PxIE で入力許可設定であれば PxER の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

### 12.2.6.1 ポート F レジスタ一覧

Base Address = 0x400C\_0500

レジスタ名		Address (Base+)
ポート F データレジスタ	PFDATA	0x0000
ポート F 出力コントロールレジスタ	PFCR	0x0004
ポート F ファンクションレジスタ 1	PFFR1	0x0008
ポート F ファンクションレジスタ 2	PFFR2	0x000C
ポート F ファンクションレジスタ 3	PFFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート F オープンドレイコンントロールレジスタ	PFOD	0x0028
ポート F プルアップコントロールレジスタ	PFPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート F 入力コントロールレジスタ	PFIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.6.2 PFDATA (ポート F データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PF7-PF0	R/W	ポート F データレジスタ

## 12.2.6.3 PF7C (ポート F 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PF7C-PF0C	R/W	出力 0: 禁止 1: 許可

## 12.2.6.4 PFFR1 (ポート F ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7F1	PF6F1	PF5F1	PF4F1	PF3F1	PF2F1	PF1F1	PF0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PF7F1	R/W	0: PORT 1: ALE
6	PF6F1	R/W	0: PORT 1: $\overline{CS0}$
5	PF5F1	R/W	0: PORT 1: $\overline{CS1}$
4	PF4F1	R/W	0: PORT 1: BELH
3	PF3F1	R/W	0: PORT 1: BELL
2	PF2F1	R/W	0: PORT 1: WR
1	PF1F1	R/W	0: PORT 1: $\overline{RD}$
0	PF0F1	R/W	0: PORT 1: -

## 12.2.6.5 PFFR2 (ポート F ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PF5F2	PF4F2	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PF5F2	R/W	0: PORT 1: INT7
4	PF4F2	R/W	0: PORT 1: INT6
3-0	-	R	リードすると"0"が読めます。

## 12.2.6.6 PFFR3 (ポート F ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PF5F3	PF4F3	-	-	-	PF0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PF5F3	R/W	0: PORT 1: TB5IN1
4	PF4F3	R/W	0: PORT 1: TB5IN0
3-1	-	R	リードすると"0"が読めます。
0	PF0F3	R/W	0: PORT 1: TB6OUT

## 12.2.6.7 PFOD (ポート F オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7OD	PF6OD	PF5OD	PF4OD	PF3OD	PF2OD	PF1OD	PF0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PF7OD-PF0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.6.8 PFPUP (ポート F プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7UP	PF6UP	PF5UP	PF4UP	PF3UP	PF2UP	PF1UP	PF0UP
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PF7UP-PF0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.6.9 PFIE (ポート F 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7IE	PF6IE	PF5IE	PF4IE	PF3IE	PF2IE	PF1IE	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	PF7IE-PF1IE	R/W	入力 0: 禁止 1: 許可
0	-	R	リードすると"0"が読めます。

## 12.2.7 ポート G (PG0~PG7)

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルバスインタフェース、シリアルチャネル、外部割り込み入力、16 ビットタイマ/イベントカウンタ機能があります。

ポート G は入力端子として使用時のみ、5V 入力可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

リセット後、ポート G は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート G には 3 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

注) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

### 12.2.7.1 ポート G レジスタ一覧

Base Address = 0x400C\_0600

レジスタ名		Address (Base+)
ポート G データレジスタ	PGDATA	0x0000
ポート G 出力コントロールレジスタ	PGCR	0x0004
Reserved	-	0x0008
ポート G ファンクションレジスタ 2	PGFR2	0x000C
ポート G ファンクションレジスタ 3	PGFR3	0x0010
ポート G ファンクションレジスタ 4	PGFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート G オープンドレインコントロールレジスタ	PGOD	0x0028
ポート G プルアップコントロールレジスタ	PGPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート G 入力コントロールレジスタ	PGIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.7.2 PGDATA (ポート G データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7-PG0	R/W	ポート G データレジスタ

## 12.2.7.3 PGCR (ポート G 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7C-PG0C	R/W	出力 0: 禁止 1: 許可

## 12.2.7.4 PGFR2 (ポート G ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7F2	PG6F2	PG5F2	PG4F2	PG3F2	PG2F2	PG1F2	PG0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PG7F2	R/W	0: PORT 1: INT1
6	PG6F2	R/W	0: PORT 1: SCLK3
5	PG5F2	R/W	0: PORT 1: RXD3
4	PG4F2	R/W	0: PORT 1: TXD3
3	PG3F2	R/W	0: PORT 1: INT0
2	PG2F2	R/W	0: PORT 1: SCK0
1	PG1F2	R/W	0: PORT 1: SI0/SCL0
0	PG0F2	R/W	0: PORT 1: SO0/SDA0

## 12.2.7.5 PGFR3 (ポート G ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7F3	PG6F3	PG5F3	PG4F3	-	PG2F3	PG1F3	PG0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PG7F3	R/W	0: PORT 1: TB9IN1
6	PG6F3	R/W	0: PORT 1: TB9IN0
5	PG5F3	R/W	0: PORT 1: TB8IN1
4	PG4F3	R/W	0: PORT 1: TB8IN0
3	-	R	リードすると"0"が読めます。
2	PG2F3	R/W	0: PORT 1: INT8
1	PG1F3	R/W	0: PORT 1: TB7IN1
0	PG0F3	R/W	0: PORT 1: TB7IN0

## 12.2.7.6 PGFR4 (ポート G ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PG6F4	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PG6F4	R/W	0: PORT 1: CTS3
5-0	-	R	リードすると"0"が読めます。

## 12.2.7.7 PGOD (ポート G オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7OD	PG6OD	PG5OD	PG4OD	PG3OD	PG2OD	PG1OD	PG0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7OD- PG0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

注) 入力端子として使用時のみ、5V 入力可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

## 12.2.7.8 PGPUP (ポート G プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7UP	PG6UP	PG5UP	PG4UP	PG3UP	PG2UP	PG1UP	PG0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7UP- PG0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.7.9 PGIE (ポート G 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PG7IE	PG6IE	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PG7IE-PG0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.8 ポート H (PH0~PH6)

ポート H はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。汎用ポート機能以外にデバッグ I/F、シリアルチャネル、2 相パルス入力カウンタ機能があります。

PH2 から PH0 は入力端子として使用時のみ、5V 入力可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

リセット後、ポート H は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート H には 4 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

### 12.2.8.1 ポート H レジスタ一覧

Base Address = 0x400C\_0700

レジスタ名		Address (Base+)
ポート H データレジスタ	PHDATA	0x0000
ポート H 出力コントロールレジスタ	PHCR	0x0004
ポート H ファンクションレジスタ 1	PHFR1	0x0008
ポート H ファンクションレジスタ 2	PHFR2	0x000C
ポート H ファンクションレジスタ 3	PHFR3	0x0010
ポート H ファンクションレジスタ 4	PHFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート H オープンドレインコントロールレジスタ	PHOD	0x0028
ポート H プルアップコントロールレジスタ	PHPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート H 入力コントロールレジスタ	PHIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.8.2 PHDATA (ポート H データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PH6	PH5	PH4	PH3	PH2	PH1	PH0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PH6-PH0	R/W	ポート H データレジスタ

## 12.2.8.3 PHCR (ポート H 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PH6C-PH0C	R/W	出力 0: 禁止 1: 許可

## 12.2.8.4 PHFR1 (ポート H ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PH6F1	PH5F1	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	PH6F1	R/W	0: PORT 1: TRACEDATA2
5	PH5F1	R/W	0: PORT 1: TRACEDATA3
4-0	-	R	リードすると"0"が読めます。

## 12.2.8.5 PHFR2 (ポート H ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4F2	PH3F2	PH2F2	PH1F2	PH0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	PH4F2	R/W	0: PORT 1: PHC3IN1
3	PH3F2	R/W	0: PORT 1: PHC3IN0
2	PH2F2	R/W	0: PORT 1: SCLK4
1	PH1F2	R/W	0: PORT 1: RXD4
0	PH0F2	R/W	0: PORT 1: TXD4

## 12.2.8.6 PHFR3 (ポート H ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4F3	PH3F3	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4	PH4F3	R/W	0: PORT 1: TB5OUT
3	PH3F3	R/W	0: PORT 1: TB4OUT
2-0	PH0F2	R	リードすると"0"が読めます。

## 12.2.8.7 PHFR4 (ポート H ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PH2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	PH2F4	R/W	0: PORT 1: CTS4
1-0	-	R	リードすると"0"が読めます。

## 12.2.8.8 PHOD (ポート H オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PH6OD	PH5OD	PH4OD	PH3OD	PH2OD	PH1OD	PH0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PH6OD- PH0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

注) PH2 ~ PH0 は入力端子として使用時のみ、5V 入力可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

## 12.2.8.9 PHPUP (ポート H プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PH6UP	PH5UP	PH4UP	PH3UP	PH2UP	PH1UP	PH0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PH6UP-PH0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.8.10 PHIE (ポートH入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PH6IE	PH5IE	PH4IE	PH3IE	PH2IE	PH1IE	PH0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	PH6IE-PH0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.9 ポート I (PI0~PI7)

ポート I はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外にデバッグ I/F 機能があります。

リセットにより PI3、PI4、PI5、PI6、PI7 はデバッグ I/F 機能になります。PI3 は TRST 機能で入力、プルアップ許可、PI4 は TDI 機能で入力、プルアップ許可、PI5 は TCK または SWCLK 機能で入力、プルダウン許可、PI6 は TMS または SWDIO 機能で入力、出力、プルアップ許可、PI7 は TDO または SWV 機能で出力許可となります。

その他のビットは汎用ポートとなり、入力、出力、プルアップは禁止になります。

ポート I には 1 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。

- 注 1) PI6、PI7 が TMS/SWDIO、TDO/SWV 設定の場合、CGSTBYCR<DRVE>/<PTKEEP>の設定によらず、STOP1/STOP2 モード中も出力が有効な状態のまま保持されます。
- 注 2) PI5 が TCK/SWCLK 設定の場合十分な低消費電力効果が得られません。TCK/SWCLK を使用しない場合は、PI5 をポート設定にしてください。

### 12.2.9.1 ポート I レジスタ一覧

Base Address = 0x400C\_0800

レジスタ名		Address (Base+)
ポート I データレジスタ	PIDATA	0x0000
ポート I 出力コントロールレジスタ	PICR	0x0004
ポート I ファンクションレジスタ 1	PIFR1	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート I オープンドレインコントロールレジスタ	PIOD	0x0028
ポート I プルアップコントロールレジスタ	PIPUP	0x002C
ポート I プルダウンコントロールレジスタ	PIPDN	0x0030
Reserved	-	0x0034
ポート I 入力コントロールレジスタ	PIIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.9.2 PIDATA (ポートIデータレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PI7-PI0	R/W	ポートIデータレジスタ

## 12.2.9.3 PICR (ポートI出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7C	PI6C	PI5C	PI4C	PI3C	PI2C	PI1C	PI0C
リセット後	1	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-6	PI7C-PI6C	R/W	出力 0: 禁止 1: 許可、デバッグ I/F 時は、常に"1"を書いてください。
5-0	PI5C-PI0C	R/W	出力 0: 禁止 1: 許可

## 12.2.9.4 PIFR1(ポート I ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7F1	PI6F1	PI5F1	PI4F1	PI3F1	PI2F1	PI1F1	PI0F1
リセット後	1	1	1	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PI7F1	R/W	0: PORT 1: TDO/SWV
6	PI6F1	R/W	0: PORT 1: TMS/SWDIO
5	PI5F1	R/W	0: PORT 1: TCK/SWCLK
4	PI4F1	R/W	0: PORT 1: TDI
3	PI3F1	R/W	0: PORT 1: TRST
2	PI2F1	R/W	0: PORT 1: TRACECLK
1	PI1F1	R/W	0: PORT 1: TRACEDATA0
0	PI0F1	R/W	0: PORT 1: TRACEDATA1

## 12.2.9.5 PIOD (ポートIオープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PI2OD	PI1OD	PI0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2-0	PI2OD-PI0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

## 12.2.9.6 PIPUP (ポート I プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7UP	PI6UP	-	PI4UP	PI3UP	PI2UP	PI1UP	PI0UP
リセット後	0	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PI7UP	R/W	プルアップ 0: 禁止 1: 許可
6	PI6UP	R/W	プルアップ 0: 禁止 1: 許可, デバッグ I/F 時は常に"1"を書いてください。
5	-	R	リードすると"0"が読めます。
4-3	PI4UP-PI3UP	R/W	プルアップ 0: 禁止 1: 許可, デバッグ I/F 時は常に"1"を書いてください。
2-0	PI2UP-PI0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.9.7 PIPDN (ポートIプルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PI5DN	-	-	-	-	-
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	PI5DN	R/W	プルダウン 0: 禁止 1: 許可, デバッグ I/F 時は常に"1"を書いてください。
4-0	-	R	リードすると"0"が読めます。

## 12.2.9.8 PIIE (ポート I 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7IE	PI6IE	PI5IE	PI4IE	PI3IE	PI2IE	PI1IE	PI0IE
リセット後	0	1	1	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PI7IE-PI0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.10 ポート J (PJ0~PJ7)

ポート J はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外に ADC、外部割り込み入力、16 ビットタイマ/カウンタ、2 相パルス入力カウンタ機能があります。

リセット後、ポート J は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート J には 2 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

AD コンバータのアナログ入力として使用する場合、PJIE で入力禁止、PJPUP でプルアップ禁止にして下さい。

- 注 1) ポート J / ポート K を、アナログ入力とそれ以外の機能で混在して使用した場合、A/D 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。
- 注 2) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

### 12.2.10.1 ポート J レジスタ一覧

Base Address = 0x400C\_0900

レジスタ名		Address (Base+)
ポート J データレジスタ	PJDATA	0x0000
ポート J 出力コントロールレジスタ	PJCR	0x0004
Reserved	-	0x0008
ポート J ファンクションレジスタ 2	PJFR2	0x000C
ポート J ファンクションレジスタ 3	PJFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート J プルアップコントロールレジスタ	PJPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート J 入力コントロールレジスタ	PJIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.10.2 PJDATA (ポート J データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7-PJ0	R/W	ポート J データレジスタ

## 12.2.10.3 PJCR (ポート J 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7C-PJ0C	R/W	出力 0: 禁止 1: 許可

## 12.2.10.4 PJFR2 (ポートJファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7F2	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PJ7F2	R/W	0: PORT 1: INT9
6-0	-	R	リードすると"0"が読めます。

## 12.2.10.5 PJFR3 (ポート J ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7F3	PJ6F3	PJ5F3	PJ4F3	PJ3F3	PJ2F3	PJ1F3	PJ0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	PJ7F3	R/W	0: PORT 1: TB0IN1
6	PJ6F3	R/W	0: PORT 1: TB0IN0
5	PJ5F3	R/W	0: PORT 1: PHC2IN1
4	PJ4F3	R/W	0: PORT 1: PHC2IN0
3	PJ3F3	R/W	0: PORT 1: PHC1IN1
2	PJ2F3	R/W	0: PORT 1: PHC1IN0
1	PJ1F3	R/W	0: PORT 1: PHC0IN1
0	PJ0F3	R/W	0: PORT 1: PHC0IN0

## 12.2.10.6 PJPUP (ポート J プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7UP	PJ6UP	PJ5UP	PJ4UP	PJ3UP	PJ2UP	PJ1UP	PJ0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7UP-PJ0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.10.7 PJIE (ポート J 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7IE	PJ6IE	PJ5IE	PJ4IE	PJ3IE	PJ2IE	PJ1IE	PJ0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PJ7IE-PJ0IE	R/W	入力 0: 禁止 1: 許可

## 12.2.11 ポート K (PK0~PK6)

ポート K はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。汎用ポート機能以外に ADC、外部割り込み、16 ビットタイマ/カウンタ機能があります。

リセット後、ポート K は汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート K には 2 つの機能レジスタがあり、汎用ポートとして使用する場合には、対応するビットを"0"にセットします。汎用ポート以外で使用する場合には、対応するレジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

AD コンバータのアナログ入力として使用する場合、PKIE で入力禁止、PKPUP でプルアップ禁止にして下さい。

注 1) ポート J / ポート K を、アナログ入力とそれ以外の機能で混在して使用した場合、A/D 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

注 2) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みを許可しないようご注意ください。

### 12.2.11.1 ポート K レジスタ一覧

Base Address = 0x400C\_0A00

レジスタ名		Address (Base+)
ポート K データレジスタ	PKDATA	0x0000
ポート K 出力コントロールレジスタ	PKCR	0x0004
Reserved	-	0x0008
ポート K ファンクションレジスタ 2	PKFR2	0x000C
ポート K ファンクションレジスタ 3	PKFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート K プルアップレジスタ	PKPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート K 入力コントロールレジスタ	PKIE	0x0038

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.2.11.2 PKDATA (ポート K データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PK6	PK5	PK4	PK3	PK2	PK1	PK0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	常に"0"を書いてください。
6-0	PK6-PK0	R/W	ポート K データレジスタ

## 12.2.11.3 PKCR (ポート K 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PK6C	PK5C	PK4C	PK3C	PK2C	PK1C	PK0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	常に"0"を書いてください。
6-0	PK6C-PK0C	R/W	出力 0: 禁止 1: 許可

## 12.2.11.4 PKFR2 (ポート K ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3F2	-	PK1F2	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3	PK3F2	R/W	0: PORT 1: INTB
2	-	R	リードすると"0"が読めます。
1	PK1F2	R/W	0: PORT 1: INTA
0	-	R	リードすると"0"が読めます。

## 12.2.11.5 PKFR3 (ポート K ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3F3	PK2F3	PK1F3	PK0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3	PK3F3	R/W	0: PORT 1: TB6IN1
2	PK2F3	R/W	0: PORT 1: TB6IN0
1	PK1F3	R/W	0: PORT 1: TB1IN1
0	PK0F3	R/W	0: PORT 1: TB1IN0

## 12.2.11.6 PKPUP (ポート K プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PK6UP	PK5UP	PK4UP	PK3UP	PK2UP	PK1UP	PK0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	常に"0"を書いてください。
6-0	PK6UP-PK0UP	R/W	プルアップ 0: 禁止 1: 許可

## 12.2.11.7 PKIE (ポート K 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PK6IE	PK5IE	PK4IE	PK3IE	PK2IE	PK1IE	PK0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	常に"0"を書いてください。
6-0	PK6IE-PK0IE	R/W	入力 0: 禁止 1: 許可

## 12.3 ポート回路図

### 12.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 12-5 機能一覧

Type	汎用ポート	機能	アナログ	Pull-up	Pull-down	プログラマブル オープンドレイン	備考
FT1	入出力	入出力	-	R	-	o	
FT2	入出力	入出力	-	EnR	EnR	o	機能出力にイネーブル付き
FT3	入出力	入出力	-	R	-	o	機能出力にイネーブル付き
FT4	入出力	入力 (int)	-	R	-	o	ノイズフィルター付き
FT5	入出力	入力	o	R	-	-	ADC 端子
FT6	出力	出力	-	EnR	-	o	リセット中 BOOT 入力許可
FT7	入出力	入出力	-	R	-	-	機能出力にイネーブル付き
FT8	入出力	入力	-	R	-	o	
FT9	入出力	入出力	-	R	R	o	
FT10	入出力	入出力	-	R	R	o	機能出力にイネーブル付き

int: 割り込み入力

-: なし

o: 有り

R: リセット中は強制的に禁止

EnR: リセット中は強制的に許可

12.3.2 タイプ FT1

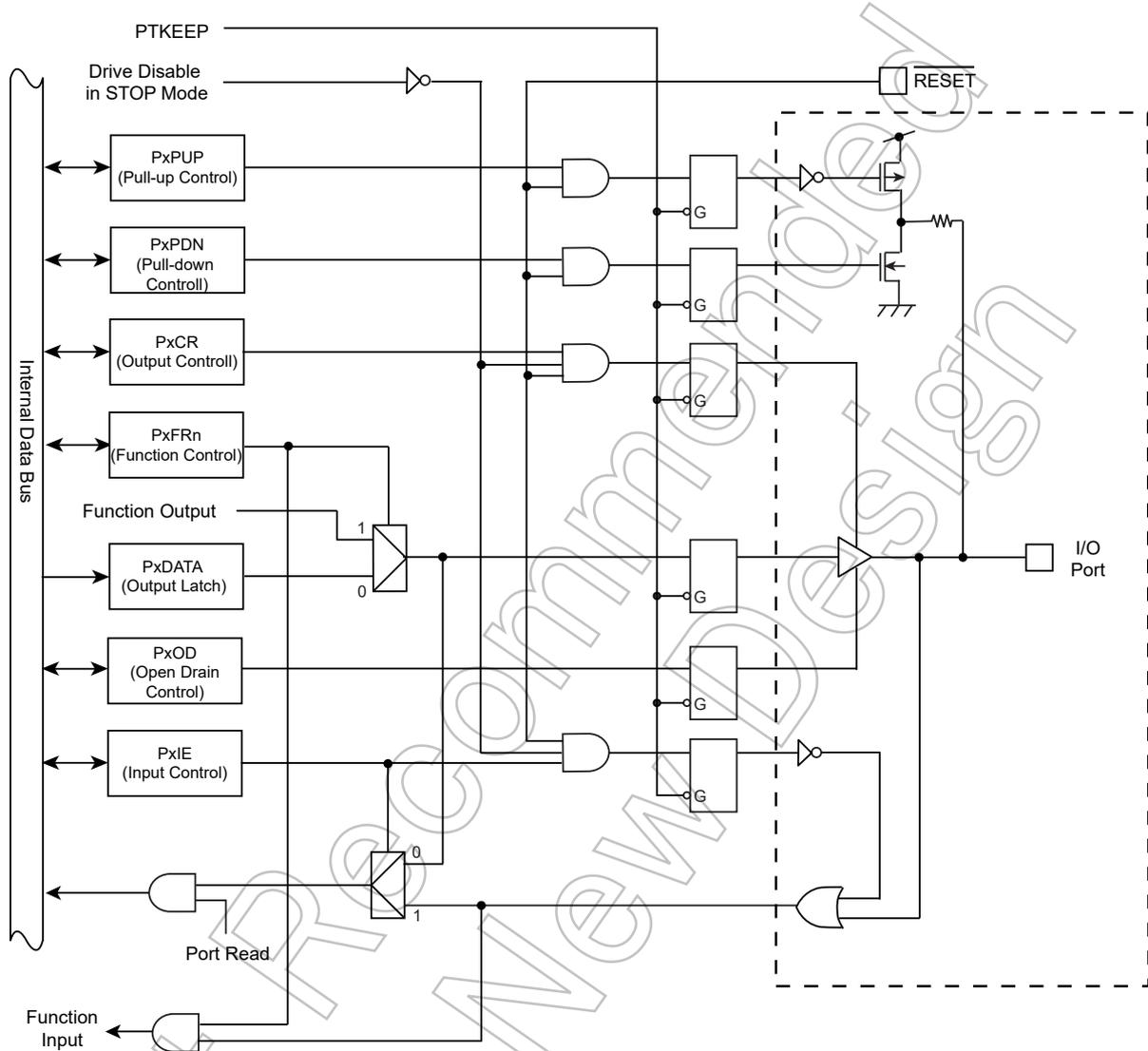


図 12-1 ポートタイプ FT1

12.3.3 タイプ FT2

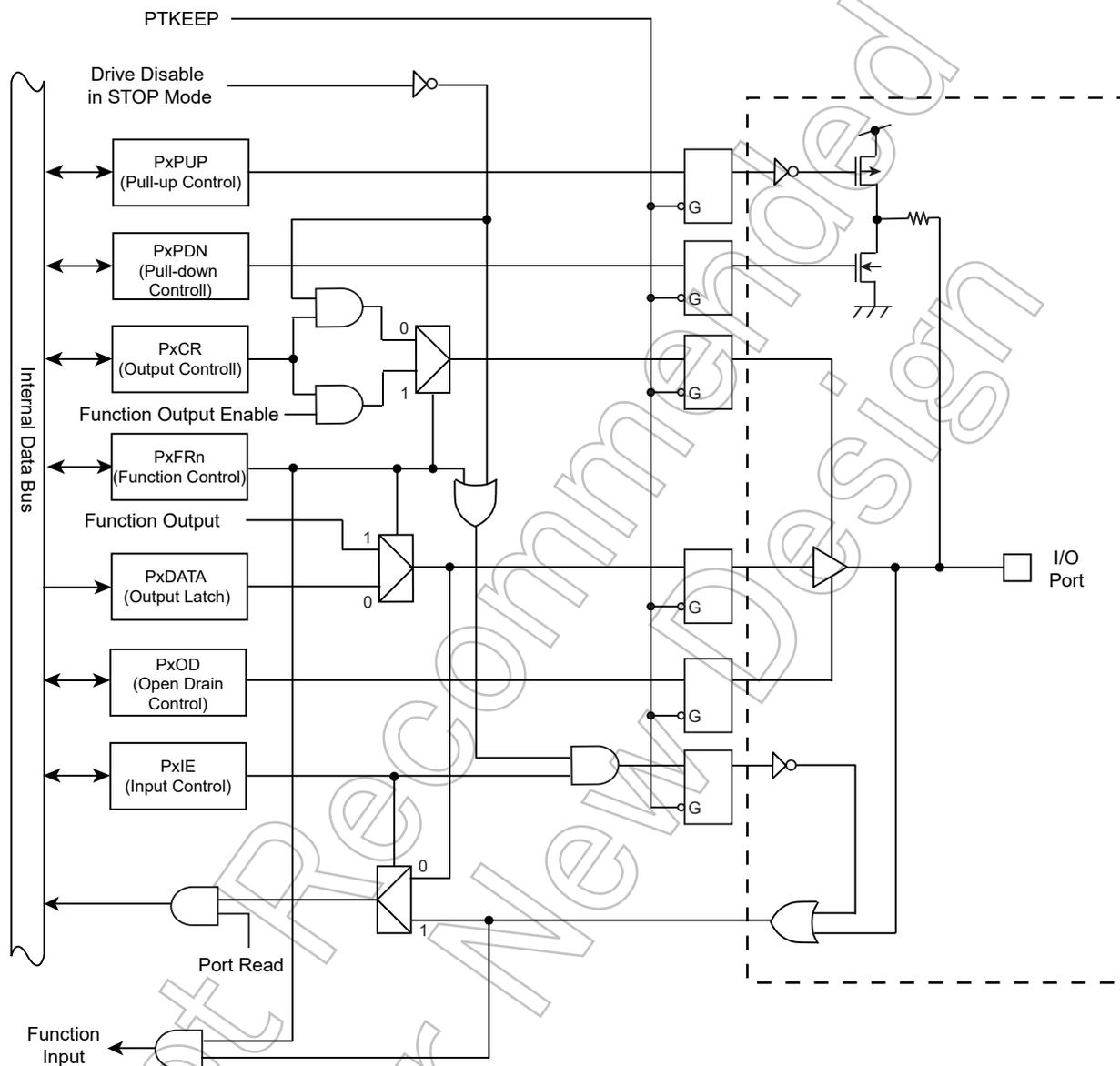


図 12-2 ポートタイプ FT2

注) TRSTには、ノイズフィルタ(30ns Typ.)が入ります。

12.3.4 タイプ FT3

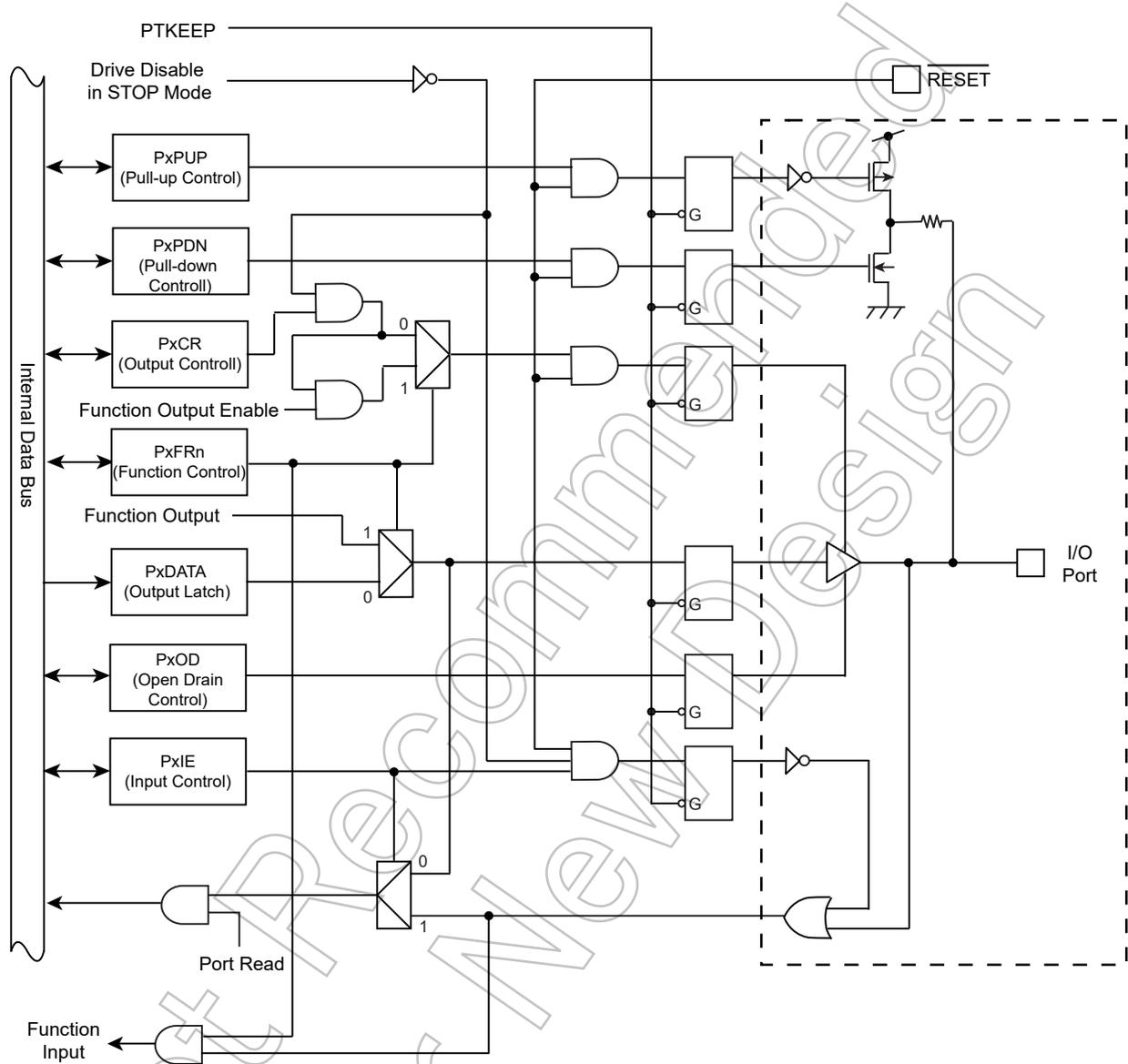


図 12-3 ポートタイプ FT3

12.3.5 タイプ FT4

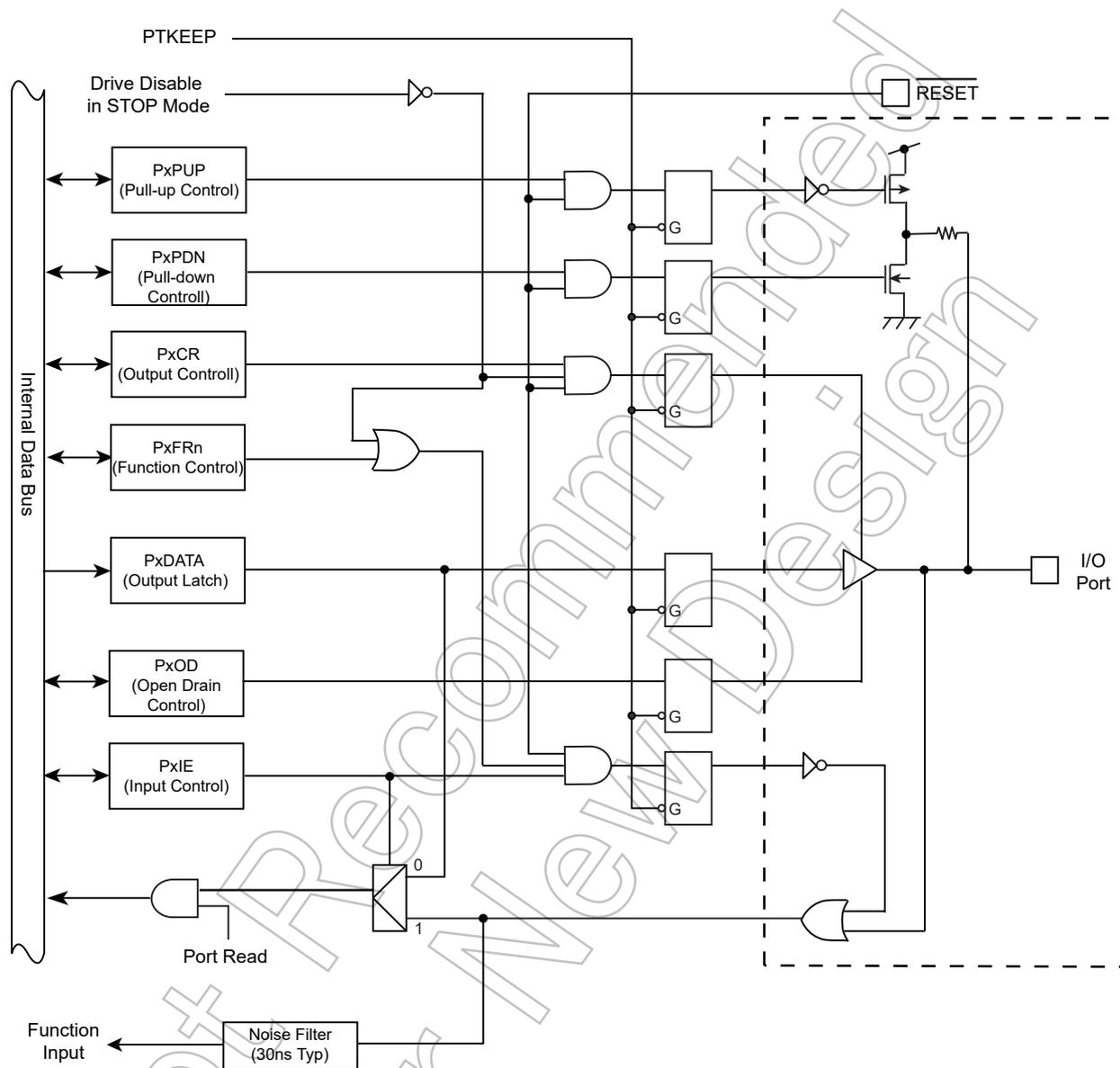


図 12-4 ポートタイプ FT4

12.3.6 タイプ FT5

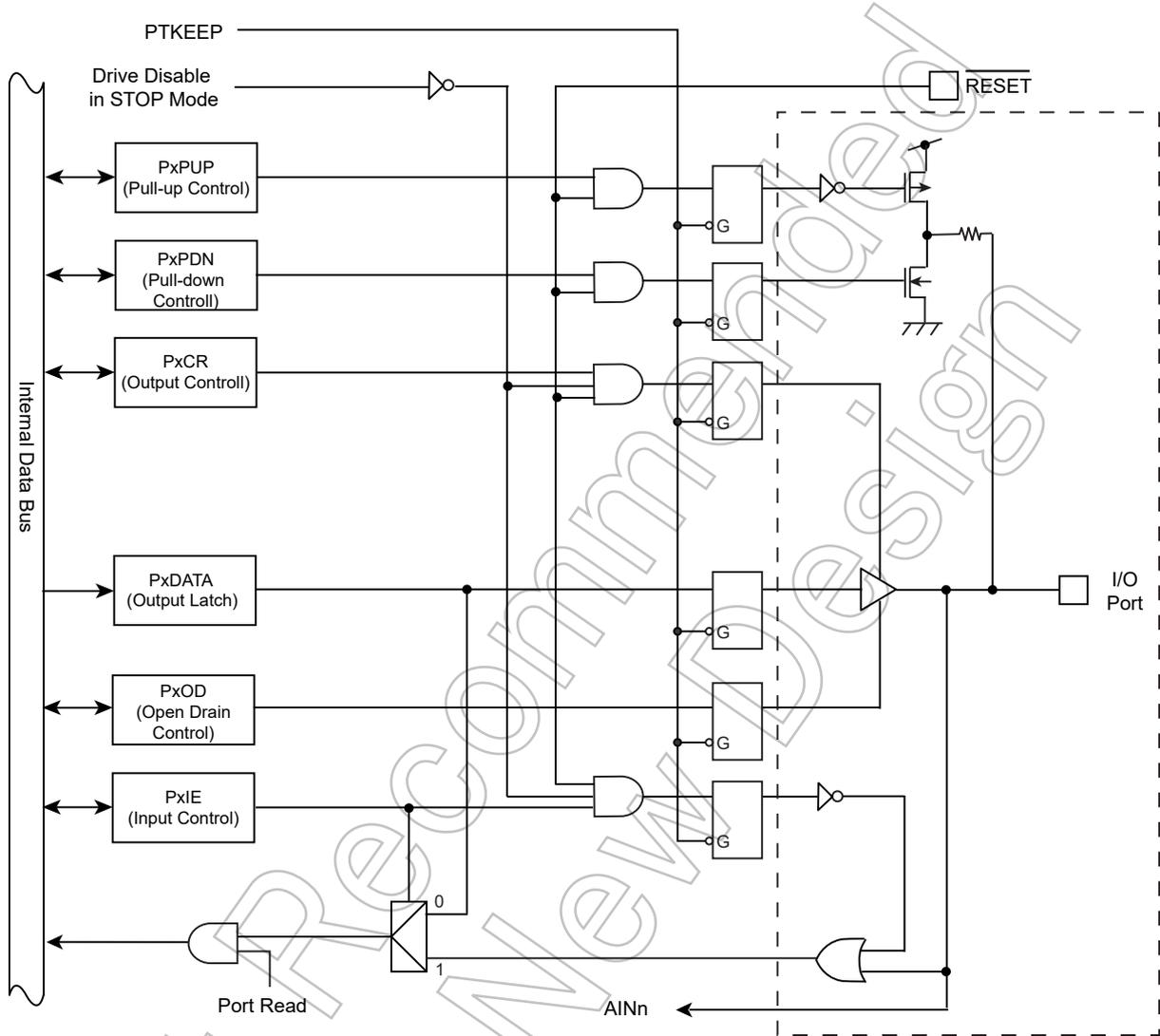


図 12-5 ポートタイプ FT5

12.3.7 タイプ FT6

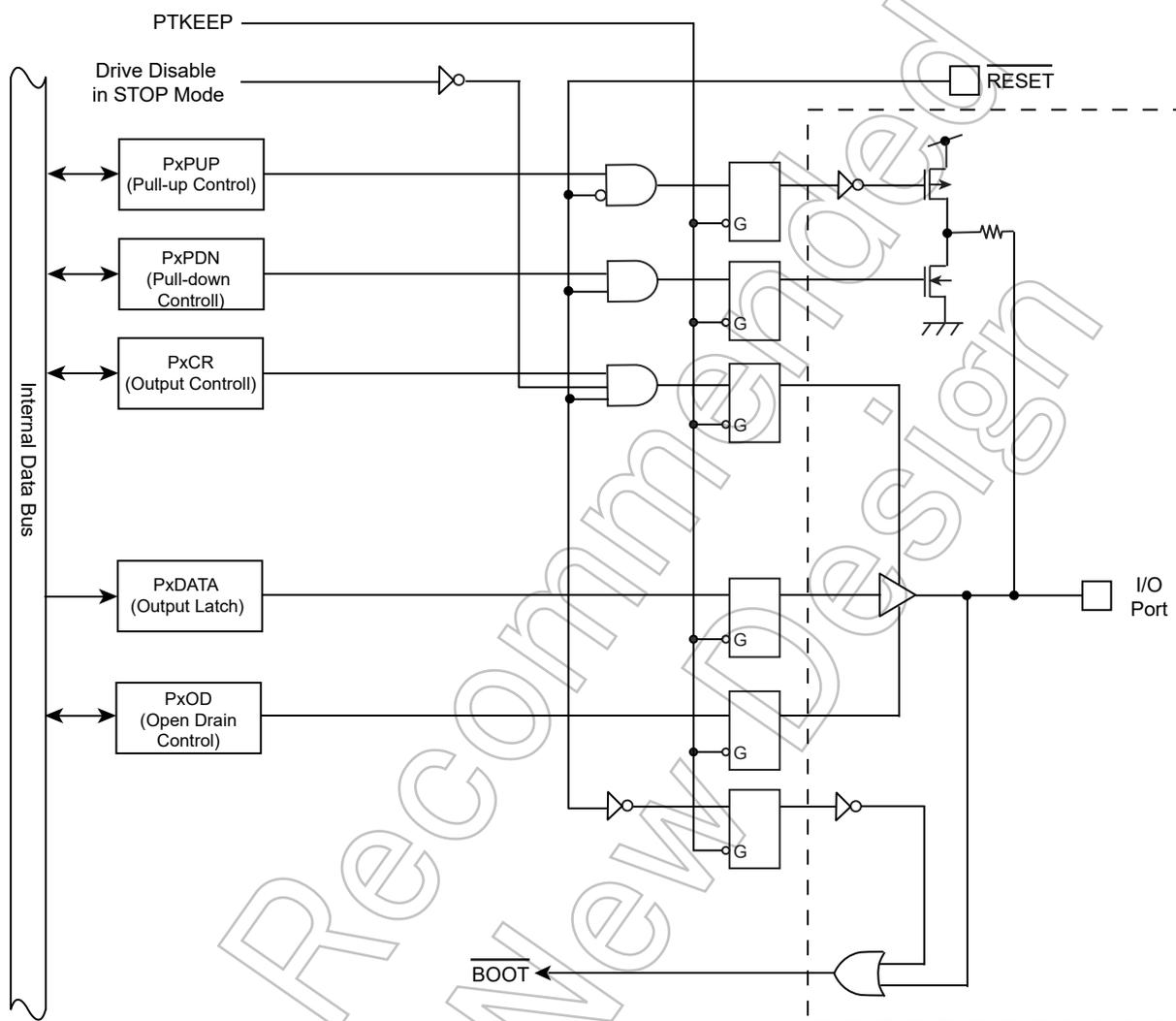


図 12-6 ポートタイプ FT6

12.3.8 タイプ FT7

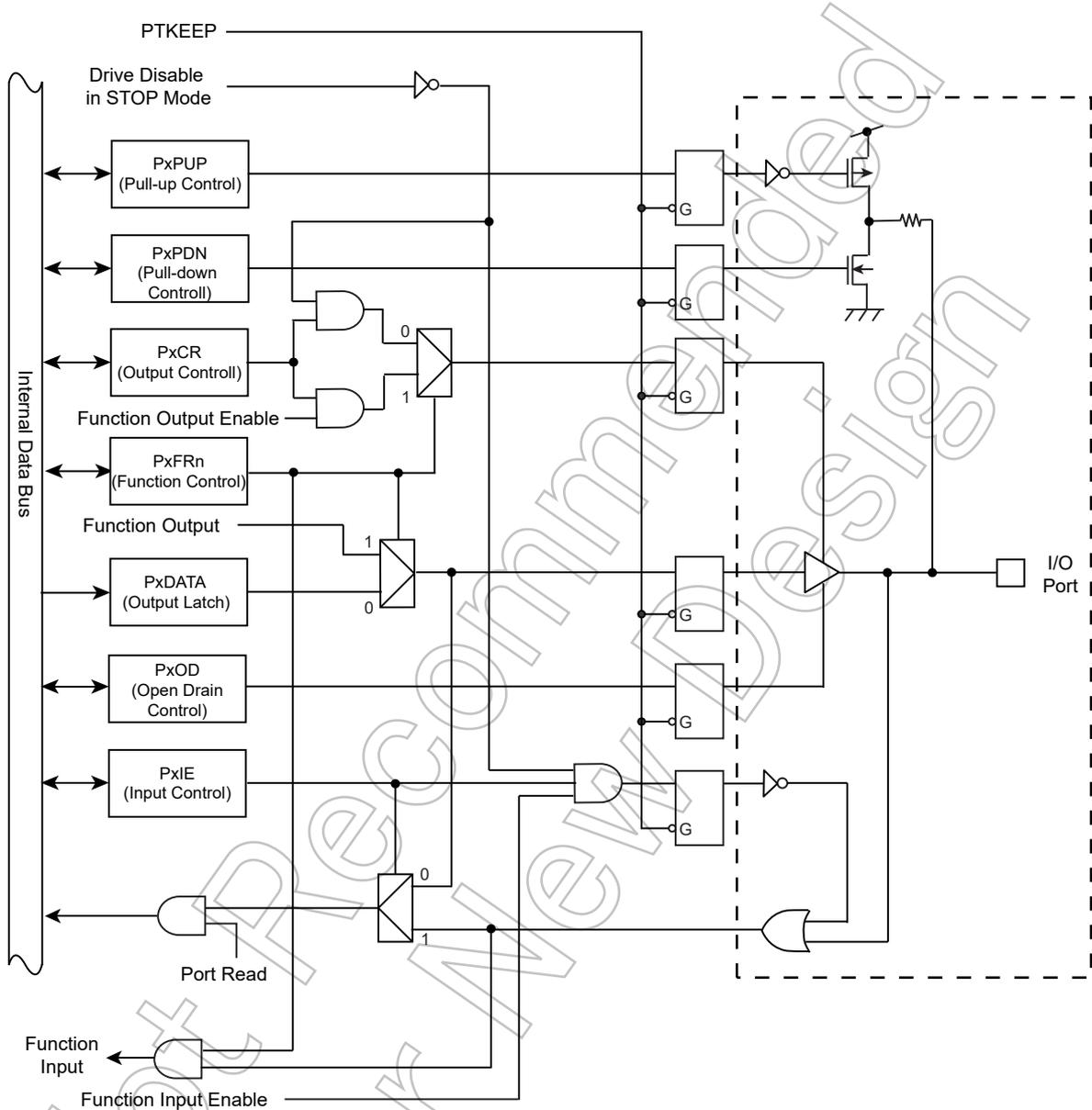


図 12-7 ポートタイプ FT7

12.3.9 タイプ FT8

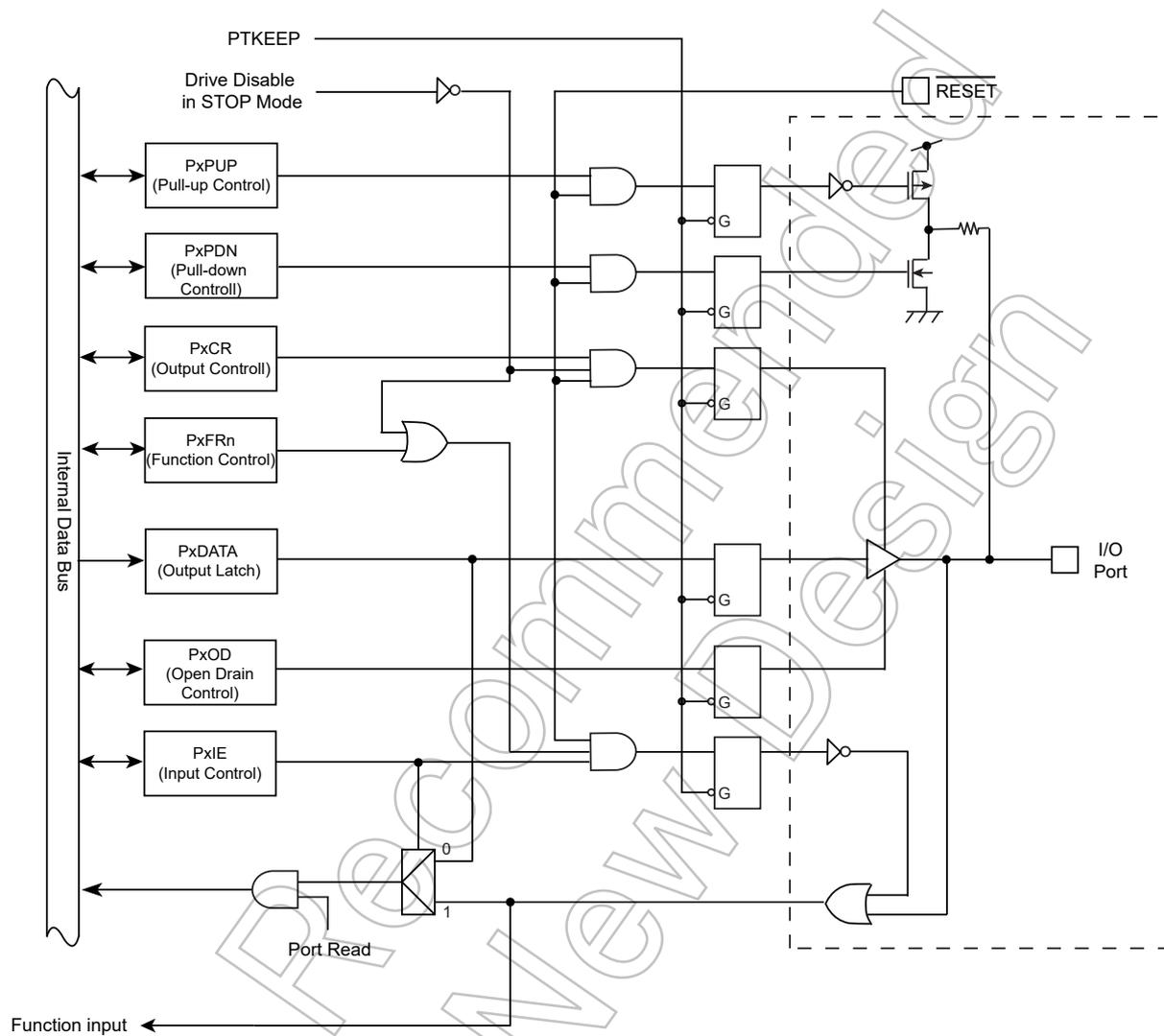


図 12-8 ポートタイプ FT8

12.3.10 タイプ FT9

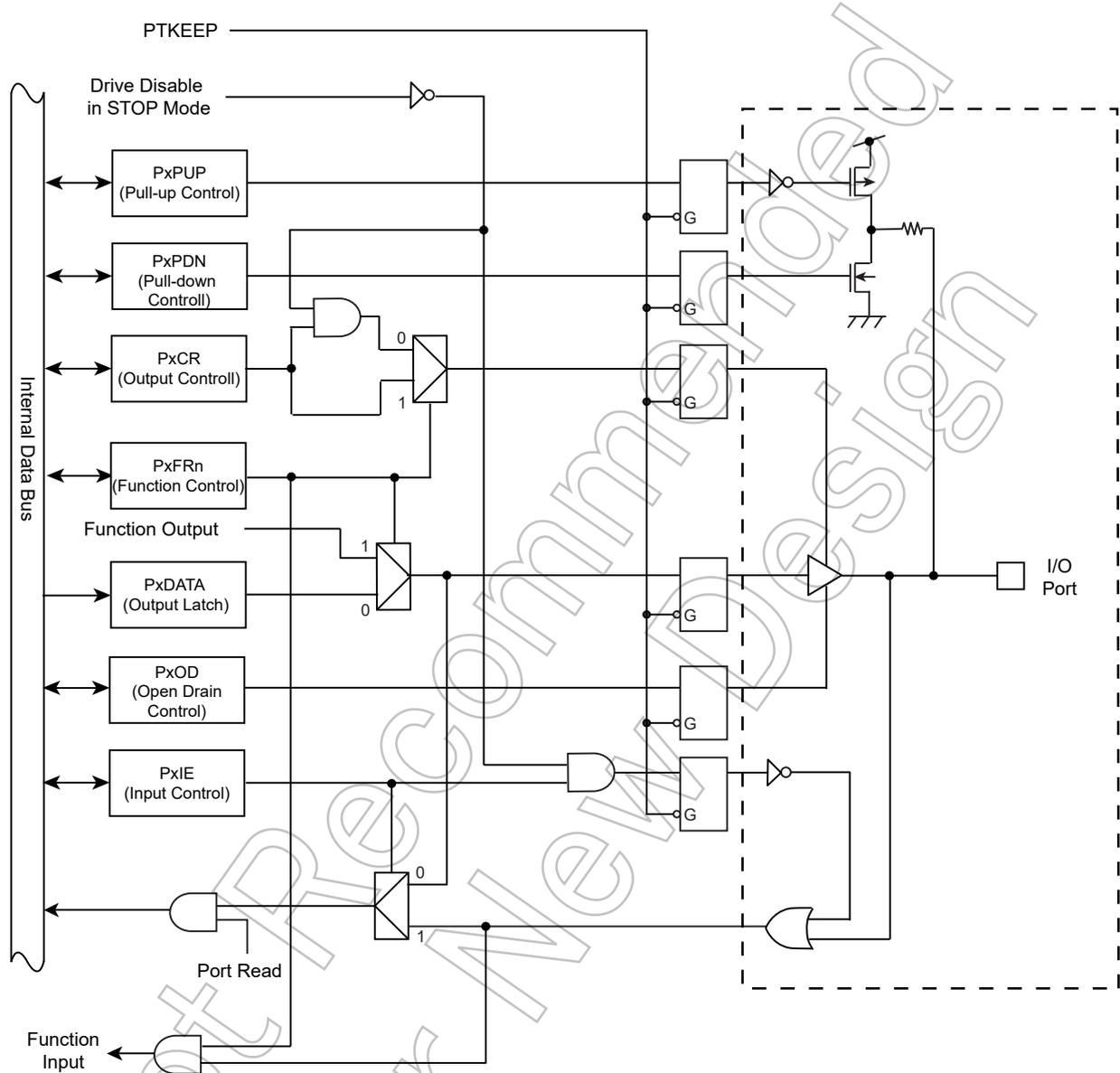


図 12-9 ポートタイプ FT9

12.3.11 タイプ FT10

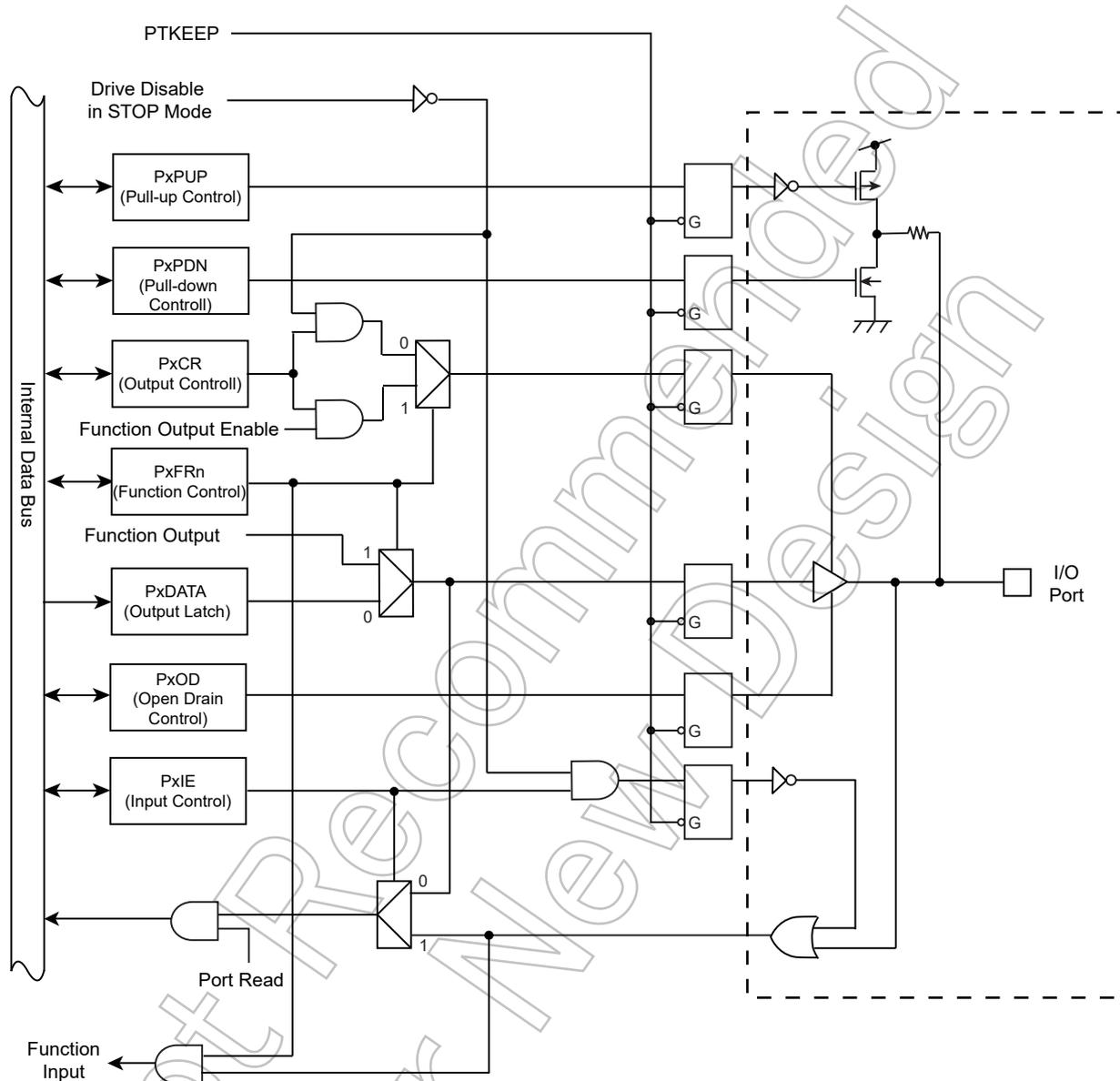


図 12-10 ポートタイプ FT10

## 12.4 付録 (ポート設定一覧)

機能ごとのレジスタ設定一覧を以下に示します。

初期設定欄に「0」のないポートの初期設定は、すべてのレジスタ設定が"0"となっています。"x"のビット設定は任意に行なってください。

### 12.4.1 ポート A 設定

表 12-6 ポート設定一覧(ポート A)

端子名	ポートタイプ	機能	初期設定	PACR	PAFR1	PAOD	PAPUP	PAIE
PA0	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D0/AD0(入出力)		1	1	x	x	1
PA1	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D1/AD1(入出力)		1	1	x	x	1
PA2	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D2/AD2(入出力)		1	1	x	x	1
PA3	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D3/AD3(入出力)		1	1	x	x	1
PA4	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D4/AD4(入出力)		1	1	x	x	1
PA5	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D5/AD5(入出力)		1	1	x	x	1
PA6	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D6/AD6(入出力)		1	1	x	x	1
PA7	FT1	入力ポート		0	0	x	x	1
		出力ポート		1	0	x	x	0
	FT7	D7/AD7(入出力)		1	1	x	x	1

## 12.4.2 ポート B 設定

表 12-7 ポート設定一覧(ポート B)

端子名	ポート タイプ	機能	初期 設定	PBCR	PBFR1	FBFR2	PBOD	PBPUP	PBIE
PB0	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D8/AD8(入出力)		1	1	0	x	x	1
	FT9	A0(出力)		1	0	1	x	x	0
PB1	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D9/AD9(入出力)		1	1	0	x	x	1
	FT9	A1(出力)		1	0	1	x	x	0
PB2	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D10/AD10(入出力)		1	1	0	x	x	1
	FT9	A2(出力)		1	0	1	x	x	0
PB3	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D11/AD11(入出力)		1	1	0	x	x	1
	FT9	A3(出力)		1	0	1	x	x	0
PB4	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D12/AD12(入出力)		1	1	0	x	x	1
	FT9	A4(出力)		1	0	1	x	x	0
PB5	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D13/AD13(入出力)		1	1	0	x	x	1
	FT9	A5(出力)		1	0	1	x	x	0
PB6	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D14/AD14(入出力)		1	1	0	x	x	1
	FT9	A6(出力)		1	0	1	x	x	0
PB7	FT1	入力ポート		0	0	0	x	x	1
		出力ポート		1	0	0	x	x	0
	FT7	D15/AD15(入出力)		1	1	0	x	x	1
	FT9	A7(出力)		1	0	1	x	x	0

## 12.4.3 ポート C 設定

表 12-8 ポート設定一覧(ポート C)

端子名	ポート タイプ	機能	初期 設定	PCCR	PCFR1	PCFR2	PCFR3	PCFR4	PCOD	PCPUP	PCIE	
PC0	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A0(出力)		1	1	0	0	0	x	x	0	
		FT1	TXD1(出力)		1	0	1	0	0	x	x	0
			TB2IN0(入力)		0	0	0	1	0	x	x	1
PC1	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A1(出力)		1	1	0	0	0	x	x	0	
		FT1	RXD1(入力)		0	0	1	0	0	x	x	1
			TB2IN1(入力)		0	0	0	1	0	x	x	1
PC2	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A2(出力)		1	1	0	0	0	x	x	0	
		FT1	SCLK1(入力)		0	0	1	0	0	x	x	1
			SCLK1(出力)		1	0	1	0	0	x	x	0
			TB0OUT(出力)		1	0	0	1	0	x	x	0
CTS1(入力)		0	0	0	0	1	x	x	1			
PC3	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A3(出力)		1	1	0	0	0	x	x	0	
		FT4	INT2(入力)		0	0	1	0	0	x	x	1
			FT1	TB1OUT(出力)		1	0	0	1	0	x	x
PC4	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A4(出力)		1	1	0	0	0	x	x	0	
		FT1	TXD2(出力)		1	0	1	0	0	x	x	0
TB3IN0(入力)			0	0	0	1	0	x	x	1		
PC5	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A5(出力)		1	1	0	0	0	x	x	0	
		FT1	RXD2(入力)		0	0	1	0	0	x	x	1
			TB3IN1(入力)		0	0	0	1	0	x	x	1
PC6	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A6(出力)		1	1	0	0	0	x	x	0	
		FT1	SCLK2(入力)		0	0	1	0	0	x	x	1
			SCLK2(出力)		1	0	1	0	0	x	x	0
			TB4IN0(入力)		0	0	0	1	0	x	x	1
CTS2(入力)		0	0	0	0	1	x	x	1			
PC7	FT1	入力ポート		0	0	0	0	0	x	x	1	
		出力ポート		1	0	0	0	0	x	x	0	
	FT9	A7(出力)		1	1	0	0	0	x	x	0	
		FT4	INT3(入力)		0	0	1	0	0	x	x	1
FT1	TB4IN1(入力)			0	0	0	1	0	x	x	1	

## 12.4.4 ポート D 設定

表 12-9 ポート設定一覧(ポート D)

端子名	ポート タイプ	機能	初期 設定	PDCR	PDFR1	PDFR2	PDFR3	PDOD	PDPUP	PDIE
PD0	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A8(出力)		1	1	0	0	x	x	0
	FT1	SO1(出力)		1	0	1	0	x	x	0
		SDA1(入出力)		1	0	1	0	1	x	1
		TB7OUT(出力)		1	0	0	1	x	x	0
PD1	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A9(出力)		1	1	0	0	x	x	0
	FT1	SI1(入力)		0	0	1	0	x	x	1
		SCL1(入出力)		1	0	1	0	1	x	1
		TB8OUT(出力)		1	0	0	1	x	x	0
PD2	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A10(出力)		1	1	0	0	x	x	0
	FT1	SCK1(入力)		0	0	1	0	x	x	1
		SCK1(出力)		1	0	1	0	x	x	0
		TB9OUT(出力)		1	0	0	1	x	x	0
PD3	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A11(出力)		1	1	0	0	x	x	0
	FT4	INT4(入力)		0	0	1	0	x	x	1
	FT1	ADTRG(入力)		0	0	0	1	x	x	1
PD4	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A12(出力)		1	1	0	0	x	x	0
	FT3	SPDO(出力)		1	0	1	0	x	x	0
PD5	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A13(出力)		1	1	0	0	x	x	0
	FT3	SPDI(入力)		0	0	1	0	x	x	1
PD6	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A14(出力)		1	1	0	0	x	x	0
	FT3	SPCLK(入力)		0	0	1	0	x	x	1
SPCLK(出力)			1	0	1	0	x	x	0	
PD7	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	A15(出力)		1	1	0	0	x	x	0
	FT3	SPSS(入力)		0	0	1	0	x	x	1
		SPSS(出力)		1	0	1	0	x	x	0
	FT1	SCOUT(出力)		1	0	0	1	x	x	0

## 12.4.5 ポート E 設定

表 12-10 ポート設定一覧(ポート E)

端子名	ポート タイプ	機能	初期 設定	PECR	PEFR1	PEFR2	PEFR3	PEFR4	PEOD	PEPUP	PEIE
PE0	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT1	TXD0(出力)		1	1	0	0	0	x	x	0
	FT9	A16(出力)		1	0	1	0	0	x	x	0
PE1	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT1	RXD0(入力)		0	1	0	0	0	x	x	1
	FT9	A17(出力)		1	0	1	0	0	x	x	0
PE2	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT1	SCLK0(入力)		0	1	0	0	0	x	x	1
		SCLK0(出力)		1	1	0	0	0	x	x	0
	FT9	A18(出力)		1	0	1	0	0	x	x	0
	FT1	TB2OUT(出力)		1	0	0	1	0	x	x	0
CTS0(入力)			0	0	0	0	1	x	x	1	
PE3	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT4	INT5(入力)		0	1	0	0	0	x	x	1
	FT9	A19(出力)		1	0	1	0	0	x	x	0
	FT1	TB3OUT(出力)		1	0	0	1	0	x	x	0
PE4	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT9	A20(出力)		1	0	1	0	0	x	x	0
	FT1	TD0OUT0(出力)		1	0	0	1	0	x	x	0
PE5	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT9	A21(出力)		1	0	1	0	0	x	x	0
	FT1	TD0OUT1(出力)		1	0	0	1	0	x	x	0
PE6	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT9	A22(出力)		1	0	1	0	0	x	x	0
	FT1	TD1OUT0(出力)		1	0	0	1	0	x	x	0
PE7	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT9	A23(出力)		1	0	1	0	0	x	x	0
	FT1	TD1OUT1(出力)		1	0	0	1	0	x	x	0

## 12.4.6 ポート F 設定

表 12-11 ポート設定一覧(ポート F)

端子名	ポート タイプ	機能	初期 設定	PFCR	PFFR1	PFFR2	PFFR3	PFOD	PFPU	PFIE
PF0	FT6	出力ポート		1	0	0	0	x	x	0
	FT1	TB6OUT(出力)		1	0	0	1	x	x	0
PF1	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	$\overline{RD}$ (出力)		1	1	0	0	x	x	0
PF2	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	$\overline{WR}$ (出力)		1	1	0	0	x	x	0
PF3	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	$\overline{BELL}$ (出力)		1	1	0	0	x	x	0
PF4	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	$\overline{BELH}$ (出力)		1	1	0	0	x	x	0
	FT4	INT6(入力)		0	0	1	0	x	x	1
	FT1	TB5IN0(入力)		0	0	0	1	x	x	1
PF5	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	$\overline{CS1}$ (出力)		1	1	0	0	x	x	0
	FT4	INT7(入力)		0	0	1	0	x	x	1
	FT1	TB5IN1(入力)		0	0	0	1	x	x	1
PF6	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	$\overline{CS0}$ (出力)		1	1	0	0	x	x	0
PF7	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT9	ALE(出力)		1	1	0	0	x	x	0

注) PF0 は  $\overline{RESET}$  端子が"Low"の間 Pull-up と入力が許可になっており、 $\overline{BOOT}$  入力端子として機能します。

## 12.4.7 ポート G 設定

表 12-12 ポート設定一覧(ポート G)

端子名	ポート タイプ	機能	初期 設定	PGCR	PGFR2	PGFR3	PGFR4	PGOD	PGPUP	PGIE
PG0	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SO0(出力)		1	1	0	0	x	x	0
		SDA0(入出力)		1	1	0	0	1	x	1
		TB7IN0(入力)		0	0	1	0	x	x	1
PG1	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SI0(入力)		0	1	0	0	x	x	1
		SCL0(入出力)		1	1	0	0	1	x	1
		TB7IN1(入力)		0	0	1	0	x	x	1
PG2	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SCK0(入力)		0	1	0	0	x	x	1
		SCK0(出力)		1	1	0	0	x	x	0
	FT4	INT8(入力)		0	0	1	0	x	x	1
PG3	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT0(入力)		0	1	0	0	x	x	1
PG4	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	TXD3(出力)		1	1	0	0	x	x	0
		TB8IN0(入力)		0	0	1	0	x	x	1
PG5	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	RXD3(入力)		0	1	0	0	x	x	1
		TB8IN0(入力)		0	0	1	0	x	x	1
PG6	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT1	SCLK3(入力)		0	1	0	0	x	x	1
		SCLK3(出力)		1	1	0	0	x	x	0
		TB9IN0(入力)		0	0	1	0	x	x	1
		CTS3(入力)		0	0	0	1	x	x	1
PG7	FT1	入力ポート		0	0	0	0	x	x	1
		出力ポート		1	0	0	0	x	x	0
	FT4	INT1(入力)		0	1	0	0	x	x	1
	FT1	TB9IN1(入力)		0	0	1	0	x	x	1

## 12.4.8 ポート H 設定

表 12-13 ポート設定一覧(ポート H)

端子名	ポート タイプ	機能	初期 設定	PHCR	PHFR1	PHFR2	PHFR3	PHFR4	PHOD	PHPUP	PHIE
PH0	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT1	TXD4(出力)		1	0	1	0	0	x	x	0
PH1	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT1	RXD4(入力)		0	0	1	0	0	x	x	1
PH2	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT1	SCLK4(入力)		0	0	1	0	0	x	x	1
		SCLK4(出力)		1	0	1	0	0	x	x	0
		CTS4(入力)		0	0	0	0	1	x	x	1
PH3	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT8	PHC3IN0(入力)		0	0	1	0	0	x	x	1
	FT1	TB4OUT(出力)		1	0	0	1	0	x	x	0
PH4	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT8	PHC3IN1(入力)		0	0	1	0	0	x	x	1
	FT1	TB5OUT(出力)		1	0	0	1	0	x	x	0
PH5	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT9	TRACEDATA3(出力)		1	1	0	0	0	x	0	0
PH6	FT1	入力ポート		0	0	0	0	0	x	x	1
		出力ポート		1	0	0	0	0	x	x	0
	FT9	TRACEDATA2(出力)		1	1	0	0	0	x	0	0

## 12.4.9 ポート I 設定

表 12-14 ポート設定一覧(ポート I)

端子名	ポート タイプ	機能	初期 設定	PICR	PIFR1	PIOD	PIPUP	PIPDN	PIIE
PI0	FT1	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0
	FT9	TRACEDATA1(出力)		1	1	0	0	0	0
PI1	FT1	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0
	FT9	TRACEDATA0(出力)		1	1	0	0	0	0
PI2	FT1	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0
	FT9	TRACECLK(出力)		1	1	0	0	0	0
PI3	FT1	入力ポート		0	0	x	1	x	1
		出力ポート		1	0	x	1	x	0
	FT2	$\overline{\text{TRST}}$ (入力)	o	0	1	0	1	0	1
PI4	FT1	入力ポート		0	0	x	1	x	1
		出力ポート		1	0	x	1	x	0
	FT2	TDI(入力)	o	0	1	0	1	0	1
PI5	FT1	入力ポート		0	0	x	x	1	1
		出力ポート		1	0	x	x	1	0
	FT2	TCK(入力)/ SWCLK(入力)	o	0	1	0	0	1	1
PI6	FT1	入力ポート		0	0	x	1	x	1
		出力ポート		1	0	x	1	x	0
	FT2	TMS(入力)/ SWDIO(入出力)	o	1	1	0	1	0	1
PI7	FT1	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0
	FT2	TDO(出力)/ SWV(出力)	o	1	1	0	0	0	0

## 12.4.10 ポート J 設定

表 12-15 ポート設定一覧(ポート J)

端子名	ポート タイプ	機能	初期 設定	PJCR	PJFR2	PJFR3	PJPUP	PJIE
PJ0	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT8	PHC0IN0(入力)		0	0	1	x	1
	FT5	AIN00(入力)		0	0	0	0	0
PJ1	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT8	PHC0IN1(入力)		0	0	1	x	1
	FT5	AIN01(入力)		0	0	0	0	0
PJ2	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT8	PHC1IN0(入力)		0	0	1	x	1
	FT5	AIN02(入力)		0	0	0	0	0
PJ3	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT8	PHC1IN1(入力)		0	0	1	x	1
	FT5	AIN03(入力)		0	0	0	0	0
PJ4	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT8	PHC2IN0(入力)		0	0	1	x	1
	FT5	AIN04(入力)		0	0	0	0	0
PJ5	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT8	PHC2IN1(入力)		0	0	1	x	1
	FT5	AIN05(入力)		0	0	0	0	0
PJ6	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT1	TB0IN0(入力)		0	0	1	x	1
	FT5	AIN06(入力)		0	0	0	0	0
PJ7	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT4	INT9(入力)		0	1	0	x	1
	FT1	TB0IN1(入力)		0	0	1	x	1
	FT5	AIN07(入力)		0	0	0	0	0

## 12.4.11 ポート K 設定

表 12-16 ポート設定一覧(ポート K)

端子名	ポート タイプ	機能	初期 設定	PKCR	PKFR2	PKFR3	PKPUP	PKIE
PK0	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT1	TB1IN0(入力)		0	0	1	x	1
	FT5	AIN08(入力)		0	0	0	0	0
PK1	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT4	INTA(入力)		0	1	0	x	1
	FT1	TB1IN1(入力)		0	0	1	x	1
PK2	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT1	TB6IN0(入力)		0	0	1	x	1
	FT5	AIN10(入力)		0	0	0	0	0
PK3	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT4	INTB(入力)		0	1	0	x	1
	FT1	TB6IN1(入力)		0	0	1	x	1
PK4	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT5	AIN12(入力)		0	0	0	0	0
PK5	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
PK6	FT1	入力ポート		0	0	0	x	1
		出力ポート		1	0	0	x	0
	FT5	AIN14(入力)		0	0	0	0	0

## 第 13 章 16 ビットタイマ/イベントカウンタ(TMRB)

### 13.1 概要

TMRB は、次の 4 つの動作モードをもっています。

- ・ 16 ビットインタバルタイマモード
- ・ 16 ビットイベントカウンタモード
- ・ 16 ビットプログラマブル矩形波出力 (PPG) モード
- ・ タイマ同期モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- ・ 周波数測定
- ・ パルス幅測定
- ・ 時間差測定

以下の説明中、"x"はチャンネル番号を表します。

Not Recommended  
for New Design

## 13.2 チャンネル別仕様相違点

TMPM341FDXBG/FYXBG は、10 チャンネルの TMRB を内蔵しています。

各チャンネルはそれぞれ独立に動作します。いずれのチャンネルも表 13-1 に示される仕様相違点を除いて同一の動作をします。

また、一部のチャンネルから他のチャンネルへキャプチャトリガや同期トリガをかけることができます。

1. TMRB7, TMRB8, TMRB9 のフリップフロップ出力を他のチャンネルのキャプチャトリガとして使用可能
  - ・ TB7OUT → TMRB0~1 で使用
  - ・ TB8OUT → TMRB2~3 で使用
  - ・ TB9OUT → TMRB4~6 で使用
2. タイマ同期モードのスタートトリガ (TBxRUN を使用)
  - ・ TMRB0 → TMRB0, 1, 2, 3 を同時スタート
  - ・ TMRB4 → TMRB4, 5, 6, 7 を同時スタート
3. タイマプリスケアラ同期スタートトリガ (TBxPRUN を使用)
  - ・ TMRB0 → TMRB0, 1, 2, 3 を同時スタート
  - ・ TMRB4 → TMRB4, 5, 6, 7 を同時スタート

表 13-1 TMRB のチャンネル別仕様相違点

仕様	外部端子		タイマ間トリガ機能		割り込み		内部接続			
	タイマフリップフロップ出力端子	外部クロック/キャプチャトリガ入力端子	キャプチャトリガ	同期スタートトリガチャンネル	キャプチャ割り込み	TMRB 割り込み	ADC 最優先変換開始	ADC 通常変換開始	タイマフリップフロップ出力 TBxOUT から SIO/UART (TXTRG:転送クロック)	2 相パルス入力からキャプチャトリガ
TMRB0	TB0OUT	TB0IN0 TB0IN1	TB7OUT	-	INTCAP00 INTCAP01	INTTB0				
TMRB1	TB1OUT	TB1IN0 TB1IN1	TB7OUT	TB0PRUN, TB0RUN	INTCAP10 INTCAP11	INTTB1				
TMRB2	TB2OUT	TB2IN0 TB2IN1	TB8OUT	TB0PRUN, TB0RUN	INTCAP20 INTCAP21	INTTB2				PHC0IN0 PHC0IN1
TMRB3	TB3OUT	TB3IN0 TB3IN1	TB8OUT	TB0PRUN, TB0RUN	INTCAP30 INTCAP31	INTTB3				PHC0IN1
TMRB4	TB4OUT	TB4IN0 TB4IN1	TB9OUT	-	INTCAP40 INTCAP41	INTTB4	TB4RG0 一致			PHC1IN0 PHC1IN1
TMRB5	TB5OUT	TB5IN0 TB5IN1	TB9OUT	TB4PRUN, TB4RUN	INTCAP50 INTCAP51	INTTB5		TB5RG0 一致		PHC1IN1
TMRB6	TB6OUT	TB6IN0 TB6IN1	TB9OUT	TB4PRUN, TB4RUN	INTCAP60 INTCAP61	INTTB6				PHC2IN0 PHC2IN1
TMRB7	TB7OUT	TB7IN0 TB7IN1	-	TB4PRUN, TB4RUN	INTCAP70 INTCAP71	INTTB7				PHC2IN1
TMRB8	TB8OUT	TB8IN0 TB8IN1	-	-	INTCAP80 INTCAP81	INTTB8			SIO0, SIO1, SIO2	PHC3IN0 PHC3IN1
TMRB9	TB9OUT	TB9IN0 TB9IN1	-	-	INTCAP90 INTCAP91	INTTB9			SIO3, SIO4	PHC3IN1

### 13.3 構成

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本(ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

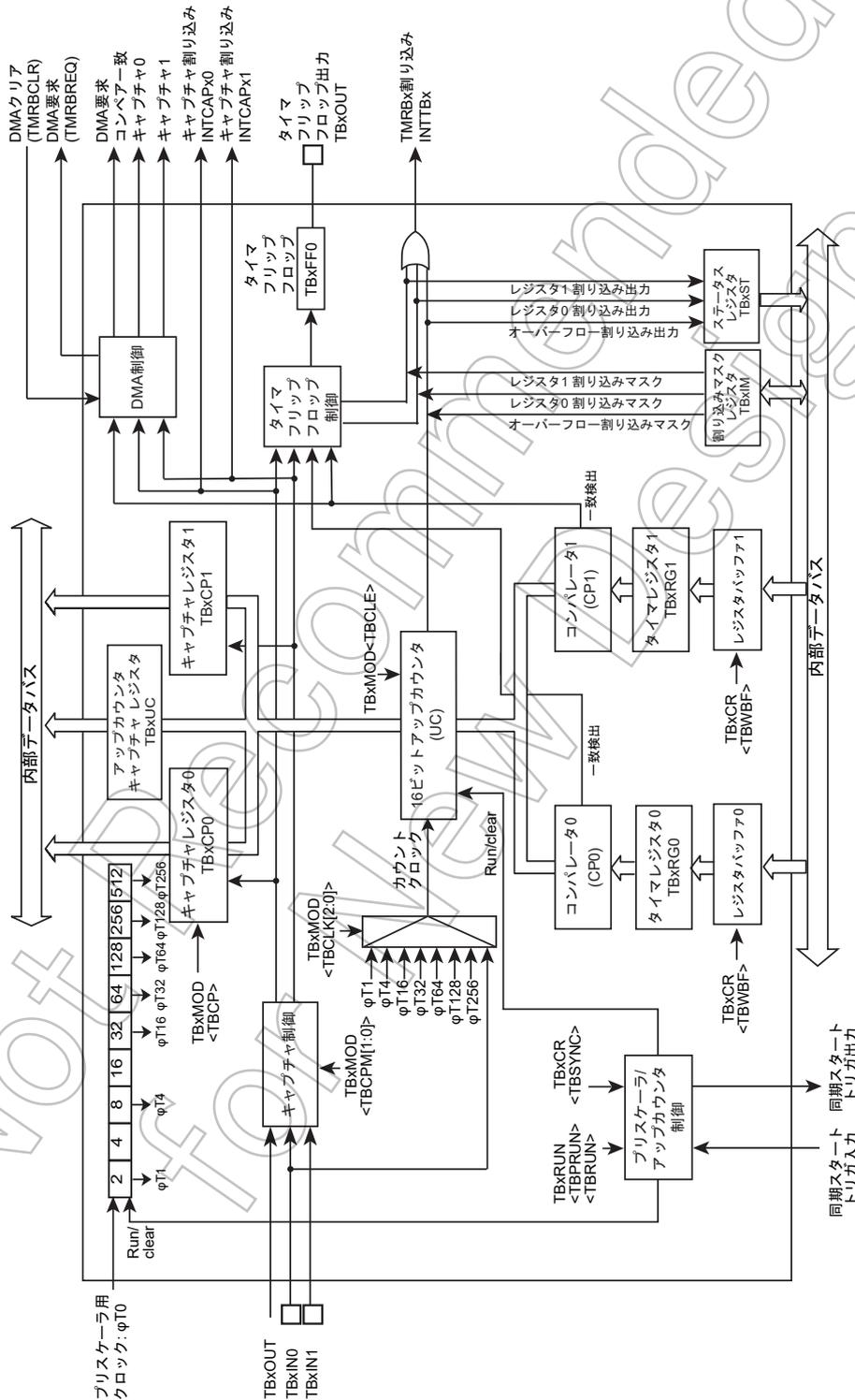


図 13-1 TMRBx ブロック図(x= 0~9)

## 13.4 レジスタ説明

### 13.4.1 チャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x400C_4000
Channel1	0x400C_4100
Channel2	0x400C_4200
Channel3	0x400C_4300
Channel4	0x400C_4400
Channel5	0x400C_4500
Channel6	0x400C_4600
Channel7	0x400C_4700
Channel8	0x400C_4800
Channel9	0x400C_4900

レジスタ名(x=0-9)		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C
DMA 要求許可レジスタ	TBxDMA	0x0030

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

## 13.4.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBEN	R/W	<p>TMRBx 動作 0: 禁止 1: 許可</p> <p>TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへのクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。</p> <p>TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。</p>
6	TBHALT	R/W	<p>デバッグ HALT 中のクロック動作 0: 動作 1: 停止</p> <p>デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行いません。</p>
5-0	-	R	リードすると"0"が読めます。

## 13.4.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケアラ動作 0: 停止&クリア 1: カウント
1	-	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注) カウンタ停止状態(<TBRUN>="0")でアップカウンタキャプチャレジスタ TBxUC<TBUC[15:0]>をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

## 13.4.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	TBINSEL	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	-	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャンネルごと) 1: 同期動作
4	-	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1: 動作
2	TBINSEL	R/W	外部入力選択 0: TBxIN0/1 1: PHCxIN0/1 外部入力 TBxIN0/1 と PHCxIN0/1 の選択を制御します。
1	TRGSEL	R/W	外部トリガ選択 0: 立ち上がり 1: 立ち下がり 外部トリガ選択時(TBxIN0 側端子への信号)のエッジ選択を制御します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1: 外部トリガ

### 13.4.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング(表 13-2 を参照してください) 00: ディセーブル 01: TBxIN0↑ TBxIN1↑ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 10: TBxIN0↑ TBxIN0↓ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN0 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxOUT↑ TBxOUT↓ 16 ビットタイマ一致出力(TBxOUT)の立ち上がりでキャプチャレジスタ 0 (TBnCP0)にカウント値を取り 込み、TBxOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1)にカウント値を取り込みます。(x = 7, n = 0, 1), (x = 8, n = 2, 3), (x = 9, n = 4, 5, 6), (TMRB0~1: TB7OUT、TMRB2~3: TB8OUT、TMRB4~6: TB9OUT)
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN0 端子入力 001: φ T1 010: φ T4 011: φ T16 100: φ T32 101: φ T64 110: φ T128 111: φ T256

注) TBxMOD レジスタ(x=7,8,9)の場合、<TBCPM[1:0]>="11"の設定は禁止です。

表 13-2 &lt;TBCPM[1:0]&gt;とキャプチャレジスタ、2相パルスカウンタ入力の関係

チャンネル	TBCPM1	TBCPM0	キャプチャレジスタ	キャプチャタイミング	2相パルス カウンタチャンネル
TMRB2	0	1	TB2CP0,TB2CP1	PHC0IN0↑,PHC0IN1↑	PHCNT0
	1	0	TB2CP0,TB2CP1	PHC0IN0↑,PHC0IN0↓	
TMRB3			TB3CP0,TB3CP1	PHC0IN1↑,PHC0IN1↓	
TMRB4	0	1	TB4CP0,TB4CP1	PHC1IN0↑,PHC1IN1↑	PHCNT1
	1	0	TB4CP0,TB4CP1	PHC1IN0↑,PHC1IN0↓	
TMRB5			TB5CP0,TB5CP1	PHC1IN1↑,PHC1IN1↓	
TMRB6	0	1	TB6CP0,TB6CP1	PHC2IN0↑,PHC2IN1↑	PHCNT2
	1	0	TB6CP0,TB6CP1	PHC2IN0↑,PHC2IN0↓	
TMRB7			TB7CP0,TB7CP1	PHC2IN1↑,PHC2IN1↓	
TMRB8	0	1	TB8CP0,TB8CP1	PHC3IN0↑,PHC3IN1↑	PHCNT3
	1	0	TB8CP0,TB8CP1	PHC3IN0↑,PHC3IN0↓	
TMRB9			TB9CP0,TB9CP1	PHC3IN1↑,PHC3IN1↓	

注) TMRB0, TMRB1 は 2 相パルスカウンタ入力のキャプチャ機能はありません。

注) 該当する TMRBx, PHCNTx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

Not Recommended for New Design

## 13.4.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-6	-	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care ※リードすると"11"が読めます。

## 13.4.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致フラグ(TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致フラグ(TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。マスク設定されていても、フラグはセットされます。

注 2) フラグは自動的にクリアされません。クリアするためには本レジスタをリードしてください。

注 3) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

## 13.4.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバーフロー割り込みマスク 0:割り込みをマスクしない 1:割り込みをマスクする アップカウンタのオーバーフロー割り込みをマスクする/しないを設定します。
1	TBIM1	R/W	一致割り込みマスク(TBxRG1) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 1(TBxRG1)との一致割り込みをマスクする/しないを設定します。
0	TBIM0	R/W	一致割り込みマスク(TBxRG0) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 0(TBxRG0)との一致割り込みをマスクする/しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

## 13.4.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ読み出しによりキャプチャした値 TBxUCをリードすると、現在のアップカウンタの値をキャプチャすることができます。

注) カウンタ動作時に TBxUC をリードすると、リード時のアップカウンタ値をキャプチャしリードすることができます。

## 13.4.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

## 13.4.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

## 13.4.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

## 13.4.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

## 13.4.14 TBxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBDMAEN2	TBDMAEN1	TBDMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBDMAEN2	R/W	DMA 要求選択:コンペアー致 0:禁止 1:許可
1	TBDMAEN1	R/W	DMA 要求選択:インプットキャプチャ 1 0:禁止 1:許可
0	TBDMAEN0	R/W	DMA 要求選択:インプットキャプチャ 0 0:禁止 1:許可

注) TBxIM レジスタでマスク設定している場合、DMA 要求許可しても DMA 要求は発生しません。

注) DMA 要求要因の割り当ては TMRB0~9 のチャンネル毎に異なります。詳細は「DMAC の章」を参照願います。

## 13.5 回路別の動作説明

各チャンネルは表 13-1 に示される仕様相違点を除いて同一の動作をします。

### 13.5.1 プリスケーラ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック  $\phi T0$  は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 13-3, 表 13-4 に示します。

表 13-3 プリスケーラ出力クロック分解能(fc = 54MHz)

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2 <sup>1</sup> (0.0370 $\mu$ s)	fc/2 <sup>3</sup> (0.148 $\mu$ s)	fc/2 <sup>5</sup> (0.593 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>2</sup> (0.0741 $\mu$ s)	fc/2 <sup>4</sup> (0.296 $\mu$ s)	fc/2 <sup>6</sup> (1.19 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>3</sup> (0.148 $\mu$ s)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>4</sup> (0.296 $\mu$ s)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
	100 (fc/2)	000 (fperiph/1)	fc/2 <sup>2</sup> (0.0741 $\mu$ s)	fc/2 <sup>4</sup> (0.296 $\mu$ s)	fc/2 <sup>6</sup> (1.19 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>3</sup> (0.148 $\mu$ s)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>4</sup> (0.296 $\mu$ s)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
	101 (fc/4)	000 (fperiph/1)	fc/2 <sup>3</sup> (0.148 $\mu$ s)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>4</sup> (0.296 $\mu$ s)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>12</sup> (75.9 $\mu$ s)
	110 (fc/8)	000 (fperiph/1)	fc/2 <sup>4</sup> (0.296 $\mu$ s)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>12</sup> (75.9 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)
111 (fc/16)	000 (fperiph/1)	fc/2 <sup>5</sup> (0.593 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	
	001 (fperiph/2)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	
	010 (fperiph/4)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	
	011 (fperiph/8)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>12</sup> (75.9 $\mu$ s)	
	100 (fperiph/16)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	
	101 (fperiph/32)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>12</sup> (75.9 $\mu$ s)	fc/2 <sup>14</sup> (303 $\mu$ s)	

表 13-3 プリスケアラ出カクロック分解能( $f_c = 54\text{MHz}$ )

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出カクロック機能		
			$\phi T1$	$\phi T4$	$\phi T16$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.0370 $\mu\text{s}$ )	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.0741 $\mu\text{s}$ )	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
	100 (fc/2)	000 (fperiph/1)	-	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.0741 $\mu\text{s}$ )	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )
	101 (fc/4)	000 (fperiph/1)	-	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )
	110 (fc/8)	000 (fperiph/1)	-	-	$fc/2^5$ (0.593 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )
		010 (fperiph/4)	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )
111 (fc/16)	000 (fperiph/1)	-	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	
	001 (fperiph/2)	-	-	$fc/2^6$ (1.19 $\mu\text{s}$ )	
	010 (fperiph/4)	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	
	011 (fperiph/8)	-	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	
	100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	
	101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )	

注 1) プリスケアラ出カクロック  $\phi T_n$  は、必ず  $\phi T_n < f_{\text{sys}}$  を満足するように( $\phi T_n$  が  $f_{\text{sys}}$  よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中“-”は設定禁止です。

表 13-4 プリスケーラ出カクロック分解能( $f_c = 54\text{MHz}$ )

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出カクロック機能			
			$\phi$ T32	$\phi$ T64	$\phi$ T128	$\phi$ T256
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^6$ (1.19 $\mu$ s)	$fc/2^7$ (2.37 $\mu$ s)	$fc/2^8$ (4.74 $\mu$ s)	$fc/2^9$ (9.48 $\mu$ s)
		001 (fperiph/2)	$fc/2^7$ (2.37 $\mu$ s)	$fc/2^8$ (4.74 $\mu$ s)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)
		010 (fperiph/4)	$fc/2^8$ (4.74 $\mu$ s)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)
		011 (fperiph/8)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)
		100 (fperiph/16)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)
		101 (fperiph/32)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)
	100 (fc/2)	000 (fperiph/1)	$fc/2^7$ (2.37 $\mu$ s)	$fc/2^8$ (4.74 $\mu$ s)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)
		001 (fperiph/2)	$fc/2^8$ (4.74 $\mu$ s)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)
		010 (fperiph/4)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)
		011 (fperiph/8)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)
		100 (fperiph/16)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)
		101 (fperiph/32)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)
	101 (fc/4)	000 (fperiph/1)	$fc/2^8$ (4.74 $\mu$ s)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)
		001 (fperiph/2)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)
		010 (fperiph/4)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)
		011 (fperiph/8)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)
		100 (fperiph/16)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)
		101 (fperiph/32)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)	$fc/2^{16}$ (1214 $\mu$ s)
	110 (fc/8)	000 (fperiph/1)	$fc/2^9$ (9.48 $\mu$ s)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)
		001 (fperiph/2)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)
		010 (fperiph/4)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)
		011 (fperiph/8)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)
		100 (fperiph/16)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)	$fc/2^{16}$ (1214 $\mu$ s)
		101 (fperiph/32)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)	$fc/2^{16}$ (1214 $\mu$ s)	$fc/2^{17}$ (2427 $\mu$ s)
111 (fc/16)	000 (fperiph/1)	$fc/2^{10}$ (19.0 $\mu$ s)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	
	001 (fperiph/2)	$fc/2^{11}$ (37.9 $\mu$ s)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	
	010 (fperiph/4)	$fc/2^{12}$ (759 $\mu$ s)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)	
	011 (fperiph/8)	$fc/2^{13}$ (152 $\mu$ s)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)	$fc/2^{16}$ (1214 $\mu$ s)	
	100 (fperiph/16)	$fc/2^{14}$ (303 $\mu$ s)	$fc/2^{15}$ (607 $\mu$ s)	$fc/2^{16}$ (1214 $\mu$ s)	$fc/2^{17}$ (2427 $\mu$ s)	
	101 (fperiph/32)	$fc/2^{15}$ (607 $\mu$ s)	$fc/2^{16}$ (1214 $\mu$ s)	$fc/2^{17}$ (2427 $\mu$ s)	$fc/2^{18}$ (4855 $\mu$ s)	

表 13-4 プリスケアラ出カクロック分解能(fc = 54MHz)

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出カクロック機能			
			$\phi$ T32	$\phi$ T64	$\phi$ T128	$\phi$ T256
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	fc/2 <sup>14</sup> (303 $\mu$ s)
	100 (fc/2)	000 (fperiph/1)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	fc/2 <sup>14</sup> (303 $\mu$ s)
	101 (fc/4)	000 (fperiph/1)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	fc/2 <sup>14</sup> (303 $\mu$ s)
	110 (fc/8)	000 (fperiph/1)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)
		001 (fperiph/2)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)
		010 (fperiph/4)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)
		011 (fperiph/8)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)
		100 (fperiph/16)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)
		101 (fperiph/32)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	fc/2 <sup>14</sup> (303 $\mu$ s)
111 (fc/16)	000 (fperiph/1)	fc/2 <sup>6</sup> (1.19 $\mu$ s)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	
	001 (fperiph/2)	fc/2 <sup>7</sup> (2.37 $\mu$ s)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	
	010 (fperiph/4)	fc/2 <sup>8</sup> (4.74 $\mu$ s)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	
	011 (fperiph/8)	fc/2 <sup>9</sup> (9.48 $\mu$ s)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	
	100 (fperiph/16)	fc/2 <sup>10</sup> (19.0 $\mu$ s)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	
	101 (fperiph/32)	fc/2 <sup>11</sup> (37.9 $\mu$ s)	fc/2 <sup>12</sup> (759 $\mu$ s)	fc/2 <sup>13</sup> (152 $\mu$ s)	fc/2 <sup>14</sup> (303 $\mu$ s)	

注 1) プリスケアラ出カクロック  $\phi$ Tn は、必ず  $\phi$ Tn < fsys を満足するように( $\phi$ Tn が fsys よりも遅くなるように) 選択してください。

注 2) タイマ動作中はクロックギアの切り替えは行わないでください。

注 3) 表中“-"は設定禁止です。

### 13.5.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

- ・ ソースクロック  
ソースクロックは TBxMOD<TBCLK[2:0]> で設定することができます。  
プリスケアラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN0 入力のいずれかを選択できます。
- ・ カウンタ動作の開始と停止  
カウンタ動作は TBxRUN<TBRUN> で行います。<TBRUN> = "1" でカウントを開始し、"0" でカウント停止と同時にカウンタのクリアを行います。
- ・ カウンタクリアのタイミング
  1. コンペアー一致時  
TBxMOD<TBCLE> = "1" に設定することで、TBxRG1 とのコンペアー一致とともにカウンタのクリアをすることができます。TBxMOD<TBCLE> = "0" に設定するとカウンタはフリーランニングカウンタとして動作します。
  2. カウンタ停止時  
TBxRUN<TBRUN> = "0" に設定すると、カウンタが停止するとともにクリアされます。
- ・ カウンタのオーバフロー  
アップカウンタ UC がオーバフローすると、オーバフロー割り込み INTTBx が発生します。

### 13.5.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、<TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

### 13.5.4 キャプチャ制御

アップカウンタ UC の値をキャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBxCPM[1:0]>で設定します。

また、ソフトウェアによってもアップカウンタ UC の値をキャプチャレジスタへ取り込むことができ、TBxMOD<TBxCP>に "0" を書き込むたびに、その時点の UC の値をキャプチャレジスタ TBxCP0 へキャプチャします。

### 13.5.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタ UC の値をキャプチャするレジスタです。

### 13.5.6 アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

### 13.5.7 コンパレータ(CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

### 13.5.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBFF0C[1:0]>によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

### 13.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

## 13.6 モード別動作説明

### 13.6.1 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブルセットレジスタ	← *	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	← X	X	0	0	0	0	1	1	TB x FF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
						(** = 01, 10, 11)			
TBxRG1	← *	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	← *	*	*	*	*	*	*	*	
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

注) X; Don't care -; No change

### 13.6.2 16 ビットイベントカウンタモード

入力クロックを外部クロック(TBxIN0 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
PxIE[m]	←							1	該当ポートを TBxIN0 に割り付けます。
PxFR1[m]	←							1	
TBxFFCR	← X	X	0	0	0	0	1	1	TB x FF0 反転トリガをディセーブルします。
TBxMOD	← X	0	1	0	0	0	0	0	入力クロックを TBxIN0 にします。
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。
TBxMOD	← X	0	0	0	0	0	0	0	ソフトウェアキャプチャを行います。

注 1) "m"はポートの該当ビットを示します

注 2) X; Don't care

-; No change

### 13.6.3 16 ビット PPG (プログラマブル矩形波)出力モード

任意周波数, 任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ (UC) とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF) の反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

(TBxRG0 設定値) < (TBxRG1 設定値)

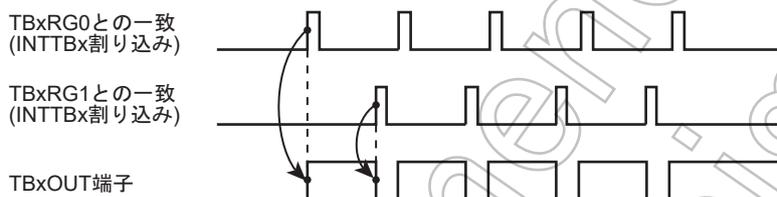


図 13-2 プログラマブル矩形波(PPG)出力波形例

このモードでは、TBxRG0 のダブルバッファをイネーブルにすることにより、TBxRG1 との一致で、レジスタバッファ 0 の値が TBxRG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

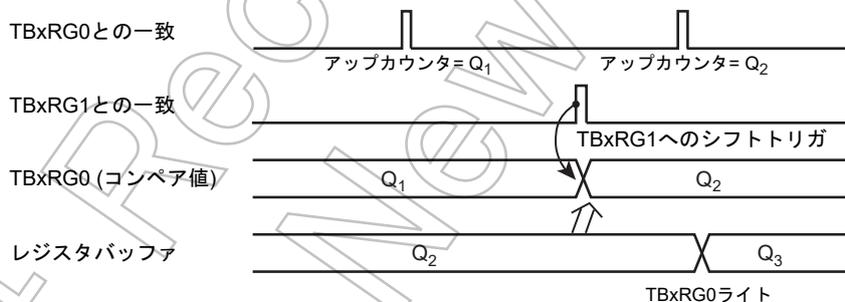


図 13-3 レジスタバッファの動作

このモードのブロック図を示します。

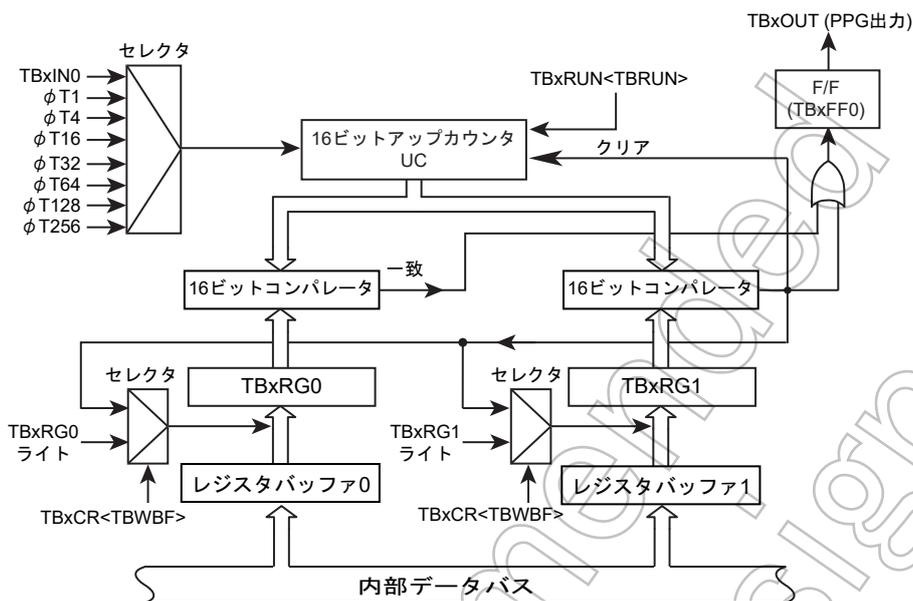


図 13-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TBxEN	← 1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	← X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	← 0	0	-	X	-	X	X	X	ダブルバッファをディセーブルします。
TBxRG0	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TBxRG1	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TBxCR	← 1	0	X	0	0	0	0	0	TBxRG0 のダブルバッファイネーブル (INTTBx 割り込みでデューティ/周期の変更)
TBxFFCR	← X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	← 0	1	0	0	1	*	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。 (** = 01, 10, 11)
PxCR[m]	←					1			該当ポートを TBxOUT に割り付けます。
PxFR1[m]	←					1			
TBxRUN	← *	*	*	*	*	1	X	1	TMRBx を起動します。

注 1) "m"はポートの該当ビットを示します

注 2) X; Don't care  
-; No change

### 13.6.4 タイマ同期モード

タイマ同期モードを使用することにより、タイマ間のスタートの同期を取ることが可能となります。

PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

4 チャンネルの TMRB が組になっており、4 チャンネルのうちの 1 チャンネルのスタートに、他の 3 チャンネルのスタートを同期させることができます。TMPM341FDXBG/FYXBG では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャンネル (マスタチャンネル)	同期して動作するチャンネル (スレーブチャンネル)
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。

- ・ <TBSYNC> = "0" : チャンネルごとの個別動作
- ・ <TBSYNC> = "1" : 同期動作

マスタチャンネルの<TBSYNC>ビットは"0"を設定してください。

スレーブチャンネルの<TBSYNC>ビットに"1"を設定するとマスタチャンネルのスタートに同期して動作がスタートします。スレーブチャンネルのTBxRUN<TBPRUN, TBRUN>ビットの設定は不要です。

- 注 1) 同期出力モード時以外は TBxCR<TBSYNC>="0"に設定してください。同期出力モードが設定されている場合、TMRB0,TMRB4 にてスタートが掛かるまで、他のチャンネルスタートは待たされます。
- 注 2) タイマ同期のマスタとなる TMRB0,TMRB4 は、常に<TBSYNC>ビットを"0"に設定してください。
- 注 3) TMRB8,TMRB9 はタイマ同期モードの使用はできません。

### 13.6.5 外部トリガカウントスタートモード

外部トリガカウントスタートモードを設定することにより、外部信号でタイマのカウントスタートが可能となります。

TBxCR<CSSEL>ビットの設定により、カウントスタートの選択を行います。

- ・ <CSSEL> = "0" : タイマのチャンネル毎のタイミングで動作を行います。
- ・ <CSSEL> = "1" : 外部信号でカウントスタート動作を行います。

TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

- ・ <TRGSEL> = "0" : TBxIN0 の立上りエッジが選択されます。
- ・ <TRGSEL> = "1" : TBnIN0 の立下がりエッジが選択されます。

なお、タイマ同期モードが設定されている場合は、タイマ同期モードが優先されます。

## 13.7 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

### 13.7.1 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタ UC をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。TBxIN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxCP0)に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTCAPx0 が発生するように CPU で設定します。この割り込みで、タイマレジスタ(TBxRG0)には、TBxCP0 の値(c)とディレイタイム(d)を加算した値(c+d)を設定します。

タイマレジスタ(TBxRG1)には、TBxRG0 の値とワンショットパルスのパルス幅(p)を加算した値(c+d+p)を設定します。(TBxRG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ(TBxFFCR<TBE1T1, TBE0T1>)に "11" を設定し、TBxUC と TBxRG0 との一致、および、TBxRG1 との一致により、タイマフリップフロップ(TBxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBx の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、「図 13-5 ワンショットパルス出力(ディレイあり)」の c, d, p と対応しています。

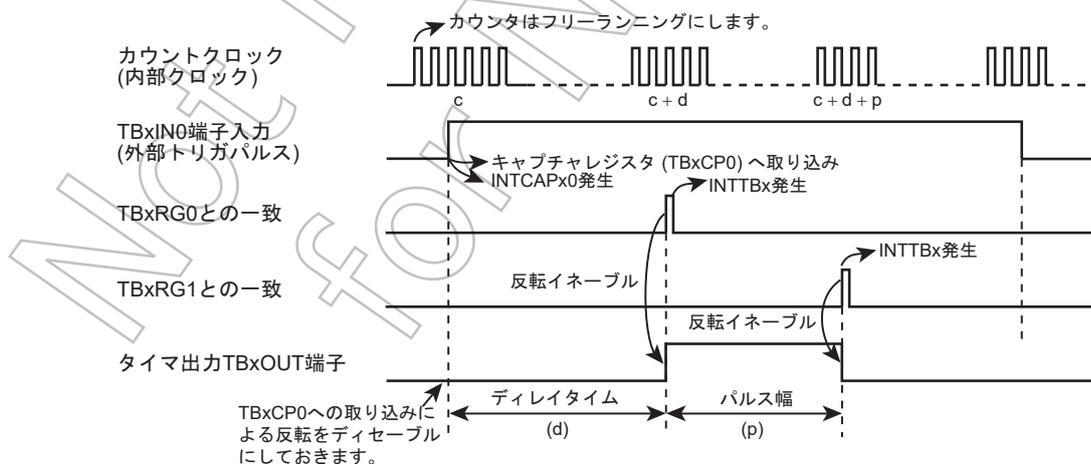


図 13-5 ワンショットパルス出力(ディレイあり)

TBxIN0 入力の立ち上がりトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに  $\Phi T1$  を使用しています。

	7	6	5	4	3	2	1	0		
[メイン処理] TBxIN0 でのキャプチャ設定										
PxIE[m]	←								1	該当ポートを TBxIN0 に割り付けます。
PxFR1[m]	←								1	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxMOD	←	X	0	1	0	1	0	0	1	ソースクロックを $\Phi T1$ にし、TBxIN0 立ち上がりで TBxCP0 へカウント値を取り込みます。
TBxFFCR	←	X	X	0	0	0	0	1	0	TB x FF0 反転トリガをクリアし、ディセーブルします。
PxCR[m]	←								1	
PxFR1[m]	←								1	該当ポートを TBxOUT に割り付けます。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx0 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
[INTCAPx0 割り込みサービスルーチンでの処理] パルス出力設定										
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCP0 + 3ms/ $\Phi T1$ )
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCP0 + (3+2)ms/ $\Phi T1$ )
TBxFFCR	←	X	X	-	-	1	1	-	-	TBxRG0, TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
[INTTBx 割り込みサービスルーチンでの処理] 出力ディセーブル										
TBxFFCR	←	X	X	-	-	0	0	-	-	TB x FF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを禁止します。

注 1) "m"はポートの該当ビットを示します

注 2) X; Don't care

-; No change

ディレイが不要な場合、TBxCP0 への取り込みによって TBxFF0 を反転させ、割り込み INTCAPx0 で TBxCP0 の値(c) にワンショットパルスの幅(p)を加算した値(c + p)を TBxRG1 に設定します。(TBxRG1 の変更は次の一致までに完了してください。) TBxFF0 は、TBxRG1 と UC の一致によって反転するように、反転イネーブルを選択します。また、INTTBx 割り込みでこれをディセーブルに戻します。

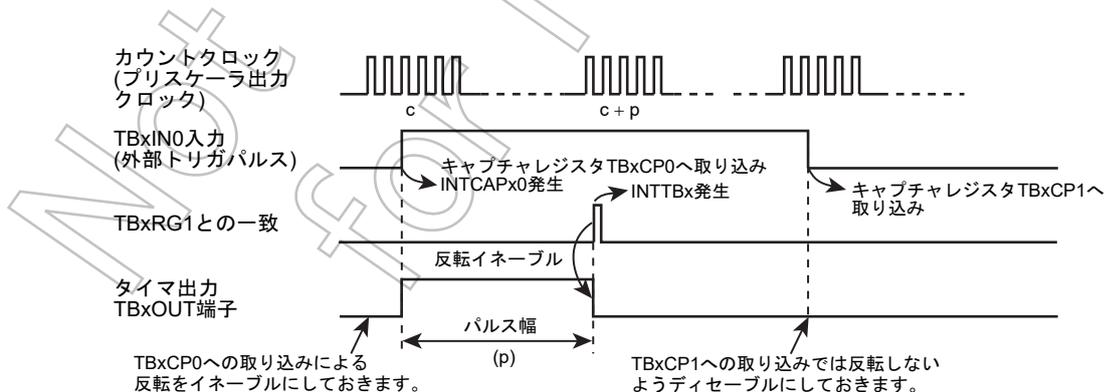


図 13-6 外部トリガパルスのワンショットパルス出力(ディレイなし)

### 13.7.2 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと他の16ビットタイマを組み合わせで行います。TMRB3とTMRB8を使う場合を例に説明します。TMRB8のTB8OUTを測定時間の設定に用います。

TMRB3のカウンタクロックはTB3IN0端子入力を選択し、外部クロック入力によるカウント動作を行います。TB3MOD<TBCPM[1:0]>には"11"を設定することで、TB8OUTの立ち上がりでTB3CP0にカウンタ値取り込み、立下りでTB3CP1にカウンタ値取り込みます。

この設定により、16ビットタイマ(TMRB8)のタイマフリップフロップ出力(TB8OUT)の立ち上がりで、キャプチャレジスタ(TB3CP0)に16ビットアップカウンタUCのカウンタ値を取り込み、16ビットタイマ(TMRB8)のTB8OUTの立ち下がり、キャプチャレジスタ(TB3CP1)にUCのカウンタ値の取り込みを行います。

周波数は、16ビットタイマの割り込みINTTB8で測定時間を基準にしてTB3CP0、TB3CP1の差より求めます。

例えば、TB8OUTの"1"レベル幅の設定値が0.5sで、TB3CP0とTB3CP1の差が100であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

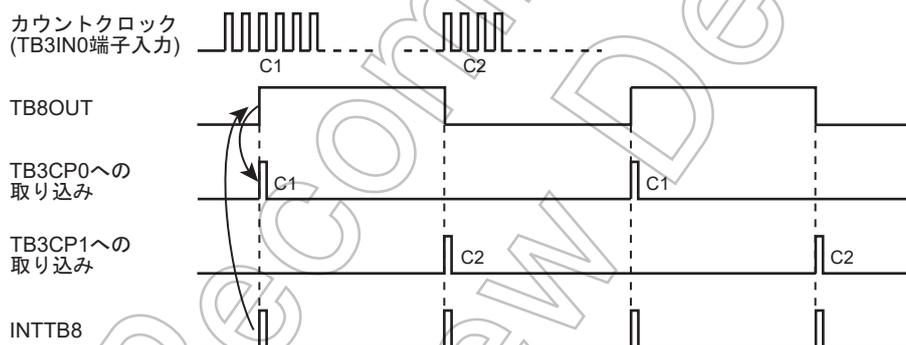


図 13-7 周波数測定

### 13.7.3 パルス幅測定

キャプチャ機能を用いて、外部パルスの"High"レベル幅を測定することができます。TBxIN0端子より外部パルスを入力し、アップカウンタ(UC)をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TBxCP0、TBxCP1)に取り込みます。TBxIN0端子の立ち下がりにより、INTCAPx1が発生するようにCPUで設定します。

"High"レベルパルス幅は、TBxCP0とTBxCP1の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えばTBxCP0とTBxCP1の差が100で、プリスケアラ出力クロックの周期が0.5μsであれば、パルス幅は、 $100 \times 0.5 \mu\text{s} = 50 \mu\text{s}$ となります。

なお、クロックソースにより定まるUCの最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、「図 13-8 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

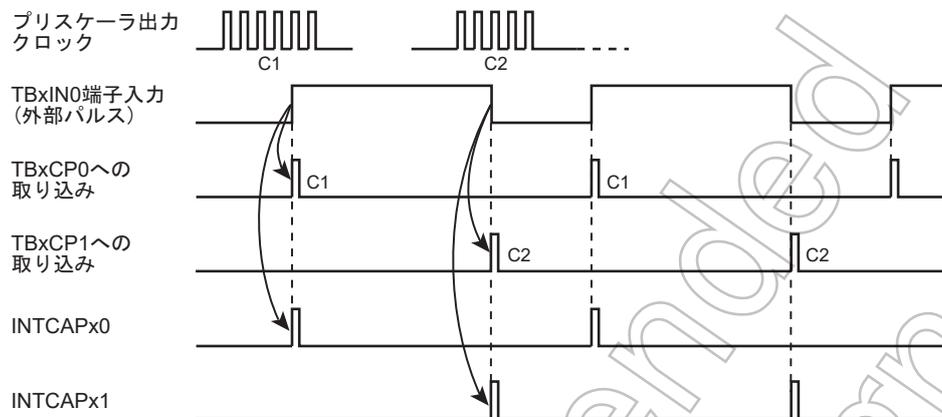


図 13-8 パルス幅測定

#### 13.7.4 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ(UC)をフリーランニングでカウントアップさせておきます。

TBxIN0 端子の入力パルスの立ち上がりエッジで、UC の値をキャプチャレジスタ(TBxCP0)に取り込みます。このとき、割り込み INTCAPx0 が発生するように CPU で設定します。

TBxIN1 端子の入力パルスの立ち上がりエッジで、UC の値をキャプチャレジスタ(TBxCP1)に取り込みます。このとき、割り込み INTCAPx1 が発生するように CPU で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TBxCP1 から TBxCP0 を引いた値に、内部クロックの周期をかけて求めることができます。

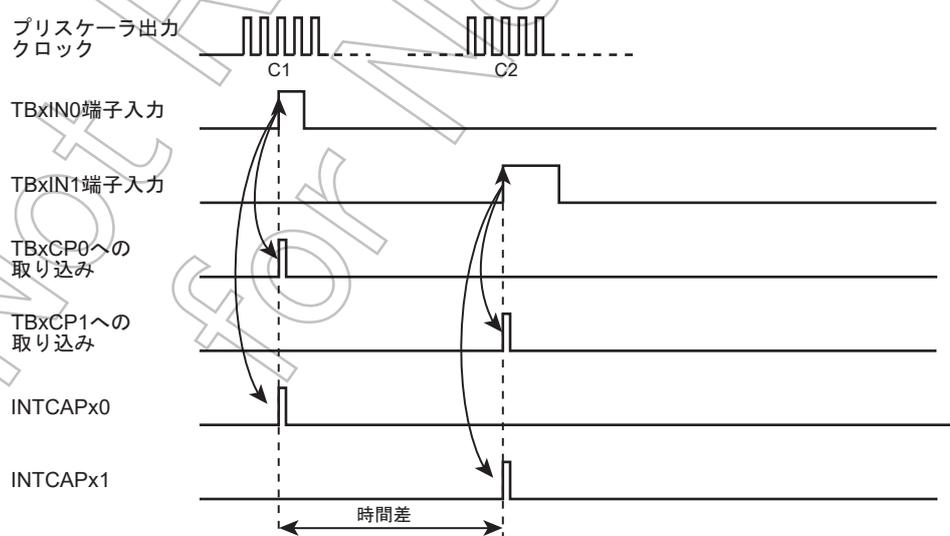


図 13-9 時間差測定

## 第 14 章 2 相パルス入力カウンタ (PHCNT)

### 14.1 概要

PHCxIN0、PHCxIN1 より入力される位相差のある 2 相パルス入力の状態遷移により、アップダウンカウンタをアップまたはダウンします。PHCxIN0、PHCxIN1 は許可/禁止が選択可能なノイズフィルタを内蔵しています。

2 つのコンペアレジスタを持ち、アップダウンカウンタがコンペアレジスタと一致した時に割り込みを発生させることができます。また、アップダウンカウンタ動作ごとに割り込みを発生させることもできます。

カウンタ動作は 3 種類存在し、モードの切り替えはレジスタにより制御します。

1. 通常動作モード(4 カウント目で UP/DOWN)
2. 4 通倍モード(全てのカウントで UP/DOWN)
3. 2 通倍モード
  - PHCxIN0 入力
  - PHCxIN1 入力

ステータスレジスタにより、割り込みルーチンで、アップダウンカウンタのオーバーフロー、アンダーフローまたはコンペアレジスタの一致の判断が可能です。

また 2 相パルス入力のエッジを 16 ビットタイマに入力し、キャプチャのトリガ信号にすることができます。

### 14.2 チャネル別仕様相違点

TMPM341FDXBG/FYXBG は 2 相パルス入力カウンタを 4 チャネル 内蔵しています。

各チャネル (PHCNT0~PHCNT3) はそれぞれ独立に動作します。いずれのチャネルも表 14-1 に示される仕様相違点を除いて同一の動作をします。

表 14-1 2 相パルス入力カウンタのチャネル別仕様相違点

仕様 チャネル	外部端子	TMRB との接続		
		PHCxIN0↑ PHCxIN1↑	PHCxIN0↑ PHCxIN0↓	PHCxIN1↑ PHCxIN1↓
PHCNT0	PHC0IN0	TB2CP0	TB2CP0	TB3CP0
	PHC0IN1	TB2CP1	TB2CP1	TB3CP1
PHCNT1	PHC1IN0	TB4CP0	TB4CP0	TB5CP0
	PHC1IN1	TB4CP1	TB4CP1	TB5CP1
PHCNT2	PHC2IN0	TB6CP0	TB6CP0	TB7CP0
	PHC2IN1	TB6CP1	TB6CP1	TB7CP1
PHCNT3	PHC3IN0	TB8CP0	TB8CP0	TB9CP0
	PHC3IN1	TB8CP1	TB8CP1	TB9CP1

### 14.3 構成

2 相パルス入力カウンタは主にアップダウンカウンタ PHCxCNT、コンパレータ回路およびカウンタ制御回路で構成されています。カウント動作はレジスタで制御されます。

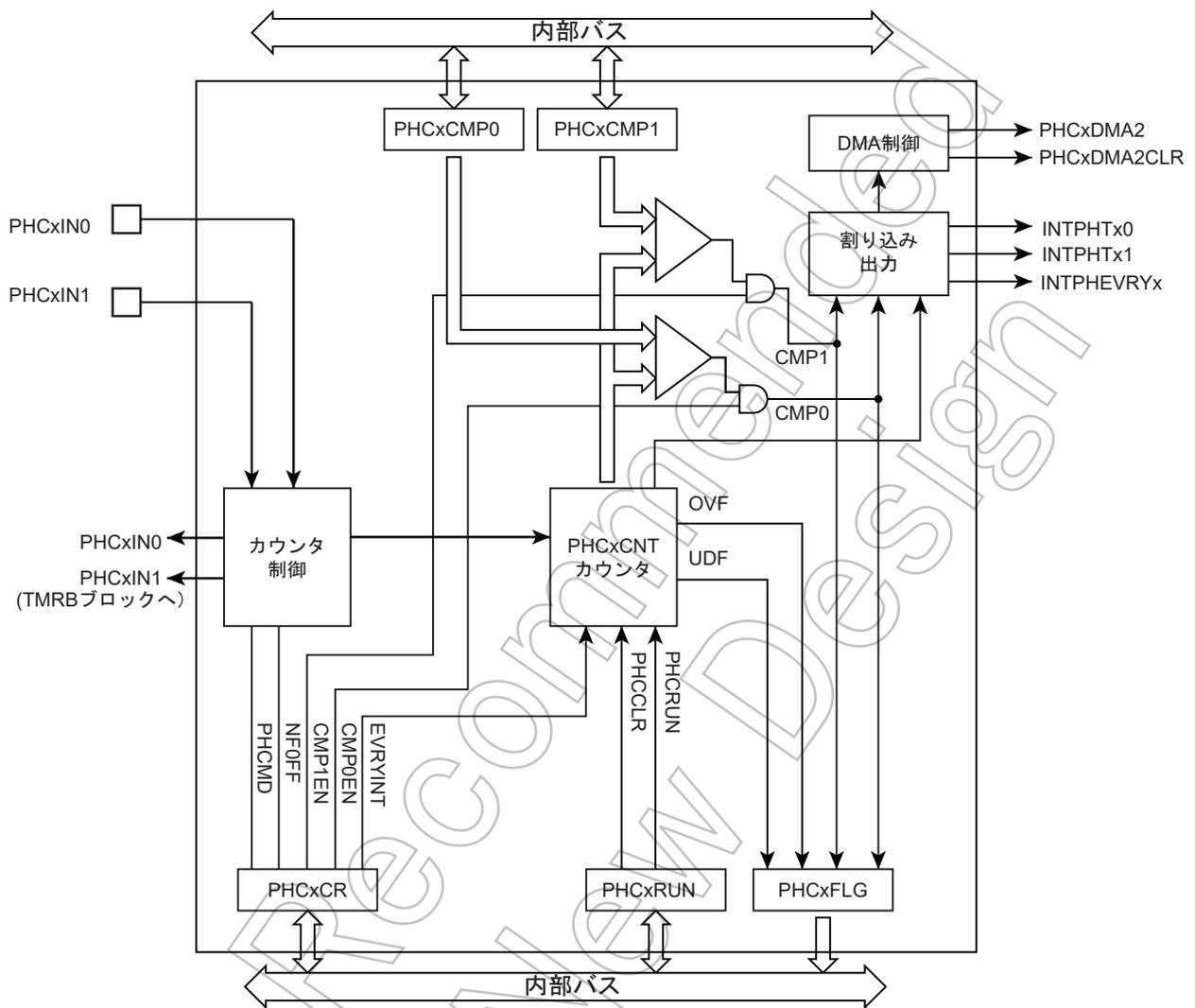


図 14-1 2 相パルスカウンタ (PHCNTx) ブロック図

## 14.4 レジスタ説明

### 14.4.1 レジスタ一覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x400C_A000
Channel1	0x400C_A100
Channel2	0x400C_A200
Channel3	0x400C_A300

レジスタ名(x=0~1)		Address(Base+)
カウンタ RUN レジスタ	PHCxRUN	0x0000
カウンタコントロールレジスタ	PHCxCR	0x0004
カウンタイネーブルレジスタ	PHCxEN	0x0008
カウンタステータスレジスタ	PHCxFLG	0x000C
カウンタコンペアレジスタ 0	PHCxCMP0	0x0010
カウンタコンペアレジスタ 1	PHCxCMP1	0x0014
カウンタリードレジスタ	PHxCNT	0x0018
DMA 要求許可レジスタ	PHxDMA	0x001C

注) 2相パルス入力カウンタ動作中に、カウンタコントロールレジスタ、カウンタイネーブルレジスタの変更はできません。2相パルス入力カウンタ動作を停止後に変更を実施して下さい。

## 14.4.2 PHCxRUN(カウンタ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PHCCLR	PHCRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると 0 が読めます。
1	PHCCLR	R/W	アップダウンカウンタ PHCxCNT のカウント値を初期値(0x7FFF)にクリアします。 0: Don't care 1: クリア
0	PHCRUN	R/W	アップダウンカウンタ PHCxCNT のカウント動作制御 0: 停止 1: 動作

## 14.4.3 PHCxCR(カウンタコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	EVRYINT	CMP1EN	CMP0EN	NFOFF	PHCMD	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると0が読めます。
5	EVRYINT	R/W	カウントアップダウンごとの割り込み 0: 禁止 1: 許可 コンペアー割り込み使用時にカウントアップ、ダウン動作ごとの割り込み発生を禁止することができます。
4	CMP1EN	R/W	コンペアー割り込み1設定 0: 禁止 1: 許可 アップダウンカウンタ PHCxCNT とコンペアーレジスタ 1 との一致で割り込みを発生します。
3	CMP0EN	R/W	コンペアー割り込み0設定 0: 禁止 1: 許可 アップダウンカウンタ PHCxCNT とコンペアーレジスタ 0 との一致で割り込みを発生します。
2	NFOFF	R/W	ノイズフィルタ 0: ON 1: OFF ノイズ除去を制御します。ノイズフィルタ値は Typ.20ns です。
1-0	PHCMD[1:0]	R/W	動作モード設定 00: 通常モード 01: 4 逡倍モード 10: 2 逡倍モード(PHCxIN0 入力) 11: 2 逡倍モード(PHCxIN1 入力)

注) 2相パルス入力カウンタ動作中にモード切替を行なわないでください。

## 14.4.4 PHCxEN(カウンタイネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PHCEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると 0 が読めます。
0	PHCEN	R/W	<p>PHCNT 動作</p> <p>0: 禁止</p> <p>1: 許可</p> <p>PHCNT の動作を設定します。動作禁止の状態では PHCNT モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です (他のレジスタへのリード、ライトはできません)。PHCNT を使用する場合は、PHCNT モジュールの各レジスタを設定する前に PHCNT 動作許可 ("1") にしてください。PHCNT を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます</p>

## 14.4.5 PHCxFLG(カウンタステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	UDF	OVF	CMP1	CMP0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると0が読めます。
3	UDF	R/W	アンダーフロー割り込み 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT のアンダーフロー割り込み
2	OVF	R/W	オーバーフロー割り込み 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT のオーバーフロー割り込み
1	CMP1	R/W	コンペア1一致割り込み 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT とコンペアレジスタ1 (PHCxCMP1) との一致割り込み
0	CMP0	R/W	コンペア0一致割り込み 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT とコンペアレジスタ0 (PHCxCMP0) との一致割り込み

注) 各ビットに"1"をライトするとフラグはクリアされます。また、各フラグは自動クリアされませんので使用する前に初期化してください。

## 14.4.6 PHCxCMP0(カウンタコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PHCCMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PHCCMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると 0 が読めます。
15-0	PHCCMP0 [15:0]	R/W	コンペア値を設定 0x0000 ~ 0xFFFF

## 14.4.7 PHCxCMP1(カウンタコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PHCCMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PHCCMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると 0 が読めます。
15-0	PHCCMP1 [15:0]	R/W	コンペア値を設定 0x0000 ~ 0xFFFF

## 14.4.8 PHCxCNT(カウンタリードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PHCCNT							
リセット後	0	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	PHCCNT							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると0が読めます。
15-0	PHCCNT[15:0]	R	アップダウンカウンタ読み出しデータ

注) MCUの動作クロックに対して、非同期でパルスをカウントしており、読み出すタイミングによってはデータの書き換え途中で読み出しを行う場合があるため、2度読みを推奨しています。2度読みを実施する場合、読み出したデータが異なる場合には再度データの読み出しを行ってください。

注) PHCxRUN レジスタが"0"になると初期化されます。

## 14.4.9 PHCDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PHCDMA2	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると 0 が読めます。
2	PHCDMA2	R/W	DMA 要求許可制御 0: 禁止 1: 許可 カウントアップ、ダウンごとの割り込みによる DMA 要求許可を制御します。
1-0	-	R/W	常に"0"を書いてください。

注) 割り込み要求を禁止している場合、DMA 要求を許可しても DMA 要求は発行されません。

## 14.5 回路の動作説明

各チャンネルは表 14-1 に示される仕様相違点を除いて同一の動作をします。

### 14.5.1 カウント動作

カウント動作は、PHCxCR<PHCMD[1:0]>により、通常モード、4 通倍モード、2 通倍モードから選択されます。

PHCxIN0、PHCxIN1 から入力される非同期の 2 相パルス入力の状態遷移により、アップダウンカウンタをアップまたはダウンします。

2つのコンペアレジスタを持ち、アップダウンカウンタがコンペアレジスタと一致した時に割り込みを発生させることができます。また、アップダウンカウンタ動作ごとに割り込みを発生させることもできます。

状態の遷移には下記の組み合わせがあります。

表 14-2 通常モード、4 通倍モードの 2 相パルス入力の組み合わせ

PHCxIN1	PHCxIN0	状態
0	0	0
0	1	1
1	0	2
1	1	3

以下に各モードのカウント動作について説明します。

#### 1. 通常モード

通常モードは 2 相パルス入力の状態遷移が 4 つ変わるとアップダウンカウンタをアップまたはダウンさせるモードです。

誤カウントを防ぐために、一度クリア状態が入力されると、セット状態が入力されるまでカウントアップ状態、カウントダウン状態が入力されてもアップダウンカウンタはアップまたはダウンされません。

・ カウントアップ

1 クロック前の状態が"2"で、現在の状態が"3"の時、カウントアップされます。

1 クロック前の状態が"3"で、現在の状態が"2"の時、クリア状態となります。

1 クロック前の状態が"3"で、現在の状態が"1"の時、セット状態となります。

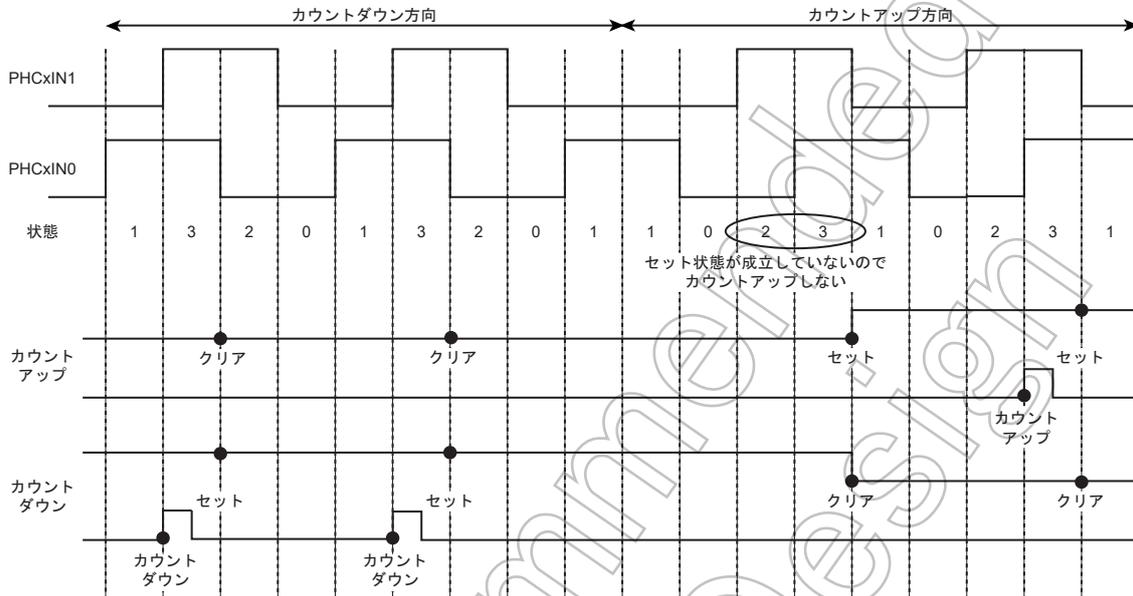


図 14-2 通常モードのカウントアップ

・ カウントダウン

1 クロック前の状態が"1"で、現在の状態が"3"の時、カウントダウンされます。

1 クロック前の状態が"3"で、現在の状態が"1"の時、クリア状態となります。

1 クロック前の状態が"3"で、現在の状態が"2"の時、セット状態となります。

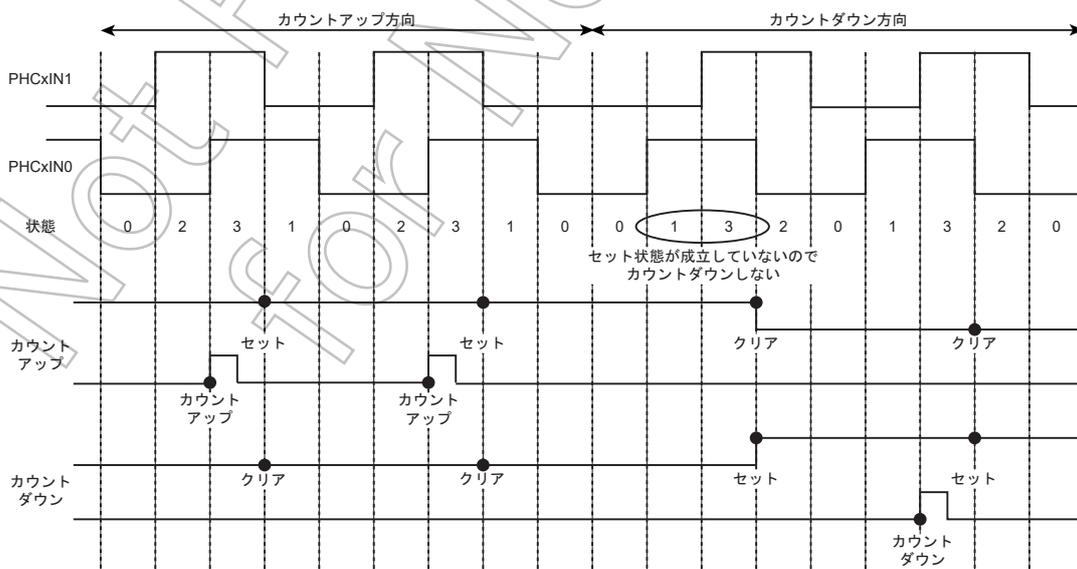


図 14-3 通常モードのカウントダウン

## 2. 4 通倍モード

4 通倍モードは、2 相パルス入力の状態遷移が 1 つ変わるとアップダウンカウンタをアップまたはダウンさせるモードです。

- ・ カウントアップ

1 クロック前の状態が"3"で、現在の状態が"1"の時、カウントアップされます。

1 クロック前の状態が"1"で、現在の状態が"0"の時、カウントアップされます。

1 クロック前の状態が"0"で、現在の状態が"2"の時、カウントアップされます。

1 クロック前の状態が"2"で、現在の状態が"3"の時、カウントアップされます。

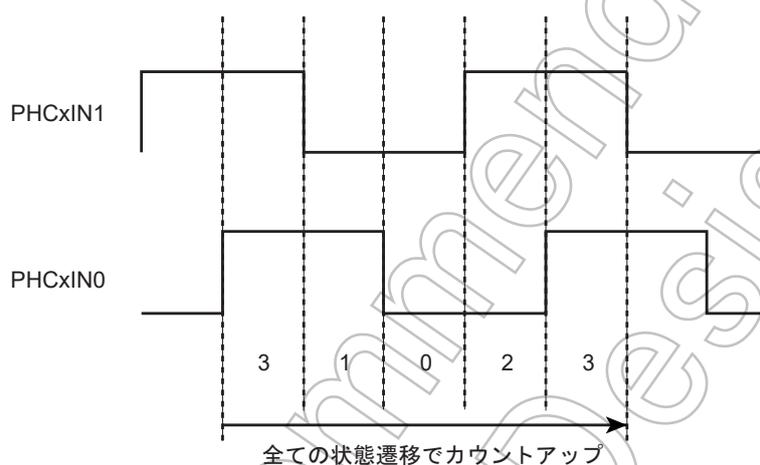


図 14-4 4 通倍モードのカウントアップ

- ・ カウントダウン

1 クロック前の状態が"3"で、現在の状態が"2"の時、カウントダウンされます。

1 クロック前の状態が"2"で、現在の状態が"0"の時、カウントダウンされます。

1 クロック前の状態が"0"で、現在の状態が"1"の時、カウントダウンされます。

1 クロック前の状態が"1"で、現在の状態が"3"の時、カウントダウンされます。

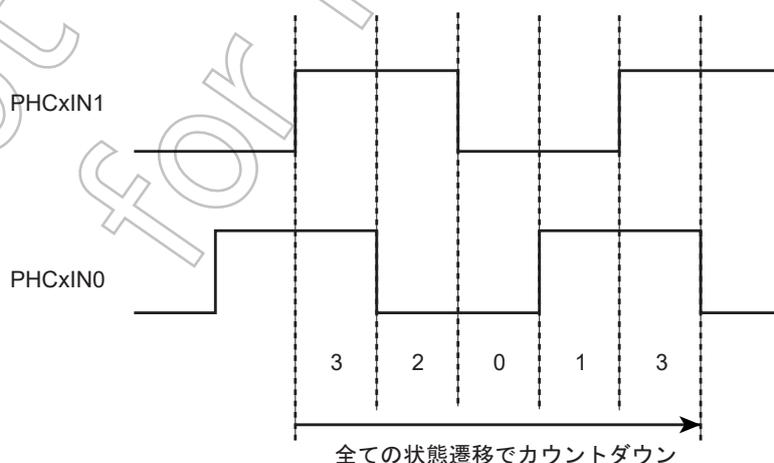


図 14-5 4 通倍モードのカウントダウン

3. 2 通倍モードは 2 相パルス入力的一方の状態遷移が 1 つ変わるとにアップダウンカウンタをアップさせるモードです。

他の 2 つのモードと異なり、アップダウンカウンタをダウンさせることはありません。

- ・ カウントアップ

1 クロック前の状態が"0"で、現在の状態が"1"の場合

1 クロック前の状態が"1"で、現在の状態が"0"の場合

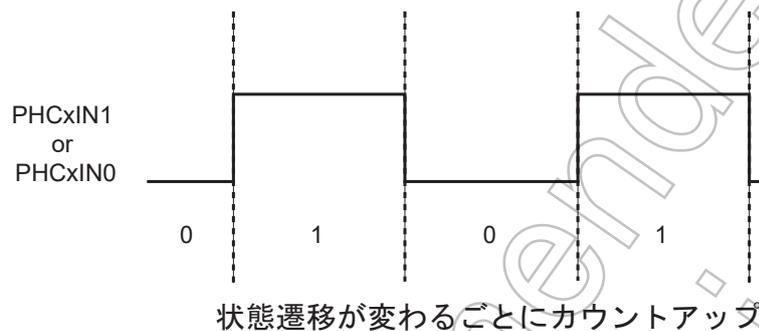


図 14-6 2 通倍モードのカウントアップ

- ・ カウントダウン

本モードではカウントダウンの状態はありません。

## 14.5.2 割り込み

割り込みコントローラ (NVIC) にて PHCNTx 割り込みをイネーブルにします。

1. カウントアップ、ダウンごとの割り込み

アップまたはダウンカウントにより INTPEVRYx が発生します。

割り込み処理の中で、ステータスレジスタ PHCxFLG をリードすることにより、オーバーフロー、アンダーフローが発生しているかを知ることができます。PHCxFLG<OVF>="1"であればオーバーフローが発生、また<UDF>="1"であればアンダーフローが発生している状態です。このレジスタは"1"を書き込むことでクリアされます。

2. コンペア一致割り込み

アップダウンカウンタとコンペアレジスタ 0、1 の一致により INTPHTx0/1 が発生します。

割り込み処理の中で、ステータスレジスタ PHCXFLG をリードすることにより、一致したコンペアレジスタを知ることができます。PHCXFLG<CMP0>="1"であればカウンタコンペアレジスタ 0 との一致が発生、<CMP1>="1"であればカウンタコンペアレジスタ 1 との一致が発生している状態です。このレジスタは"1"を書き込むことでクリアされます。

### 14.5.3 アップダウンカウンタ

2相入力カウントをスタートさせると (PHCxRUN<PHCRUN> = "1"), アップダウンカウンタは 0x7FFF (初期値)からスタートします。また、アップダウンカウンタ値をクリアする場合はアップダウンカウンタ制御ビットを (PHCxRUN<PHCCLR> = "1")に設定することによりカウンタ値は 0x7FFF にクリアされます。

アップダウンカウンタがオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。

したがって、割込み発生時にカウンタ値とステータスフラグレジスタ PHCxFLG をリードすることにより、オーバーフロー、アンダーフローの発生を検出することができます。

注) アップダウンカウンタ値の読み出しは INTPHEVRYx の割込み処理の中で行ってください。

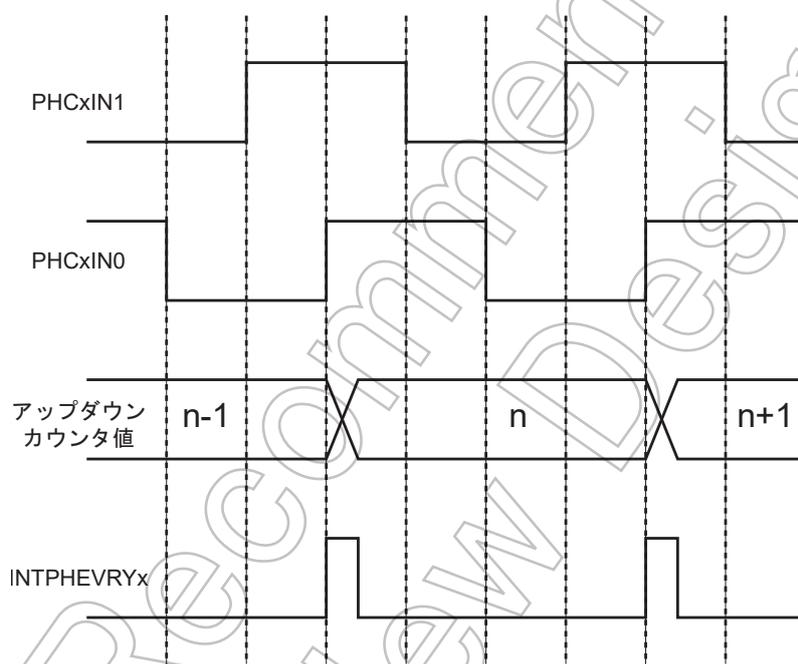


図 14-7 通常モード時のアップカウンタ割込みタイミング

Not Recommended  
for New Design

## 第 15 章 高分解能 16 ビットタイマ/PPG 出力 (TMRD)

### 15.1 Outline

TMRD は、2つのタイマユニット (TMRD0、TMRD1) とこれらタイマユニットにクロックを供給する 2つのクロック設定回路 (プリスケアラ) から構成され、以下の機能を有します。

- ・ 16 ビットインターバルタイマ
- ・ 16 ビットプログラマブル矩形波出力 (PPG)

16 ビットインターバルタイマでは、以下の 2つのモードを有します。

- ・ TMRD0 と TMRD1 が独立して動作するタイマモード
- ・ TMRD0 と TMRD1 のタイマ動作を同時にスタート可能な連動タイマモード

16 ビットプログラマブル矩形波出力では、以下の 2つのモードを有します。

- ・ TMRD0 と TMRD1 が独立してプログラムされた矩形波を出力する PPG モード
- ・ TMRD0 が生成する矩形波出力と TMRD1 が生成する矩形波出力の位相関係を $-180^{\circ}$ ~ $+180$  範囲で可変可能な連動 PPG モード

TMRD はクロック設定回路と 2つのタイマユニットから構成されます。

図 15-1 にクロック設定、図 15-2 にタイマユニットのブロック図を示します。

## 15.2 ブロック図

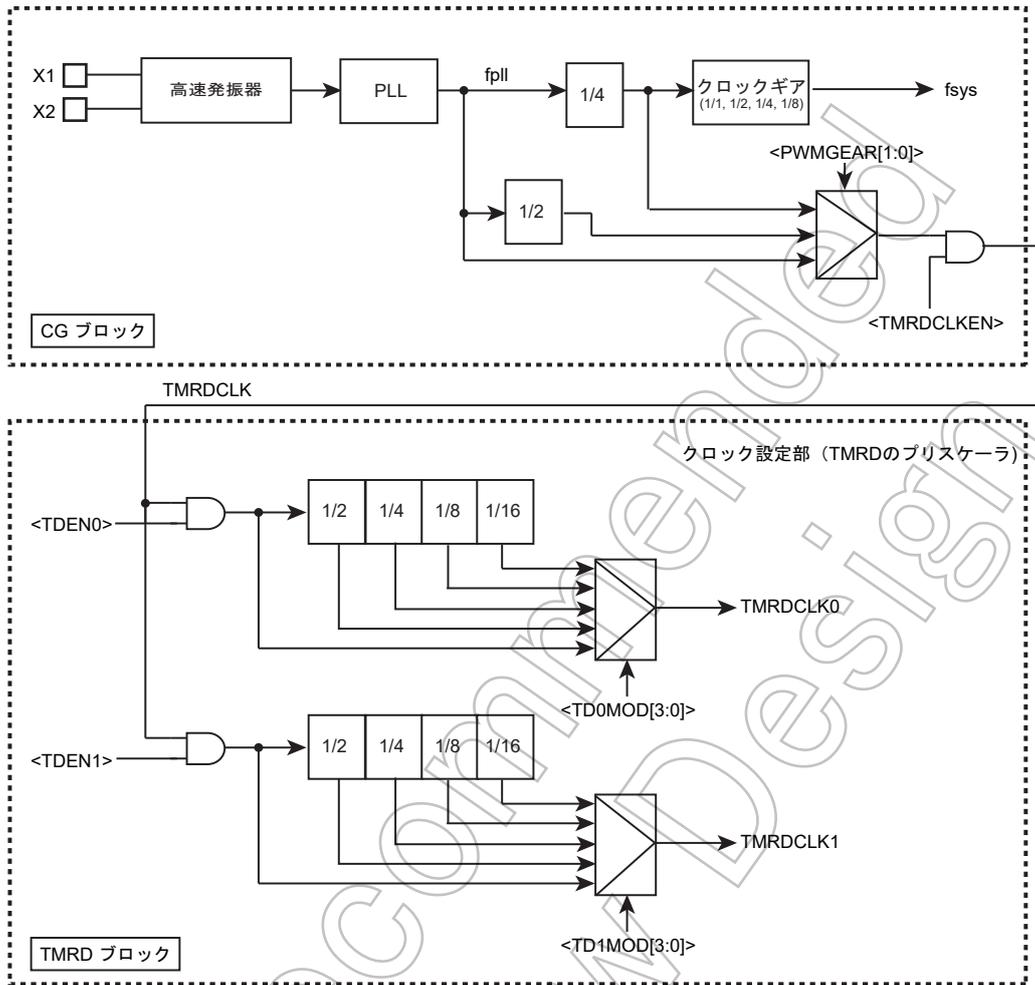


図 15-1 TMRD クロック図

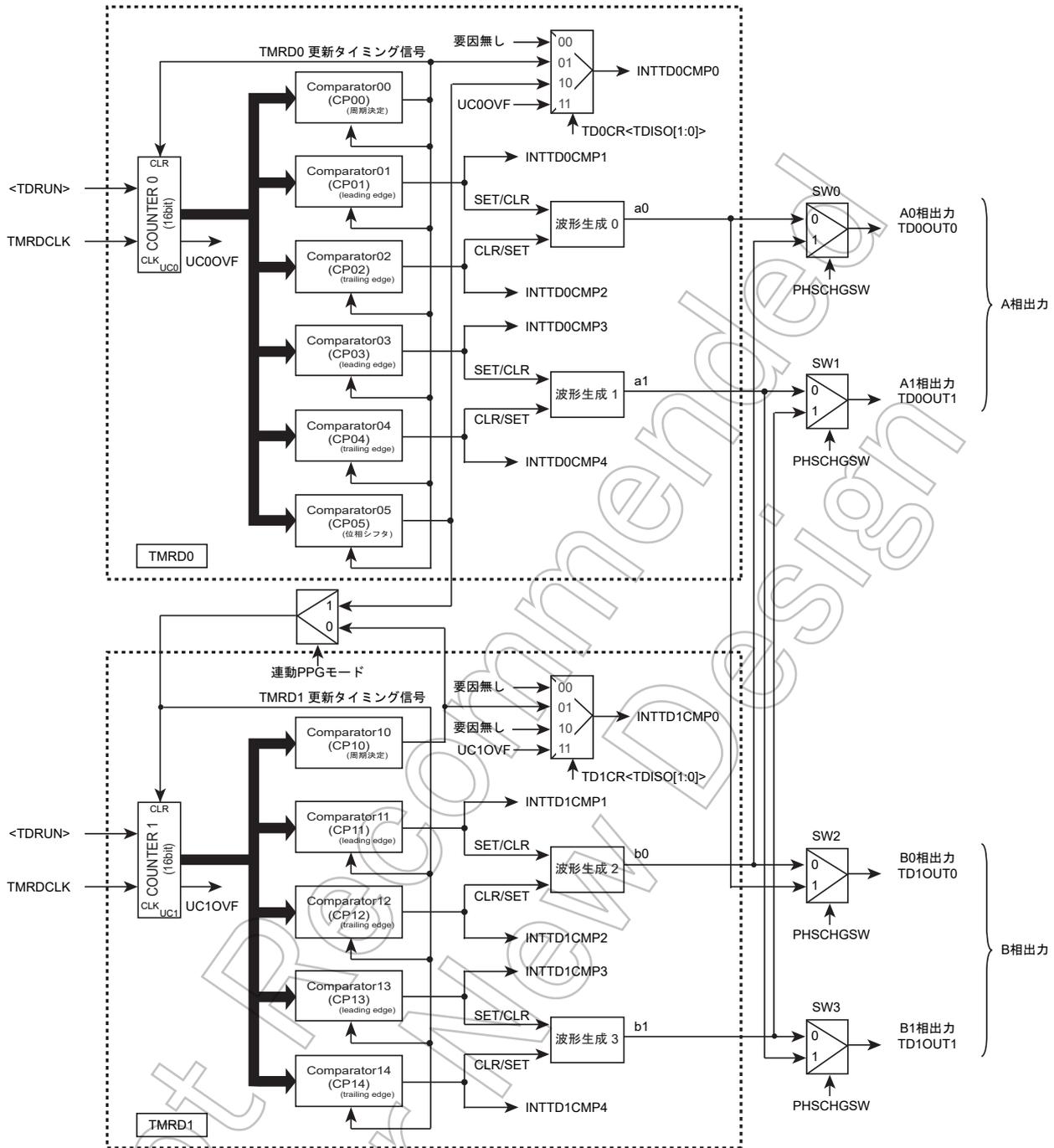


図 15-2 TMRD ユニットブロック図

### 15.2.1 プリスケールクロック

TMRD を動作させるプリスケールクロック TMRDCLK[1:0]は、CG ブロックの PLL 回路を介して入力クロック設定を行なうレジスタ CGPWMGEAR[5:4]でソースクロックを選択し、TMRD ブロックにあるクロック設定レジスタ TD0MOD[3:0]、TD1MOD[3:0]にて TMRD0、TMRD1 のプリスケールクロックの設定を行ないます。

注) TMRD に供給可能な最大動作周波数は 160MHz です。この数値を超える設定は行なわないでください。

## 15.2.2 タイマユニット(TMRD0,TMRD1)

図 15-2 に示すように、タイマユニット(TMRD0)は、主にカウンタ(UC0)、6 つのコンパレータ(CP0m、m=0~5)および 2 つの波形生成回路(0、1)から構成され、もう一つのタイマユニット(TMRD1)は、主にカウンタ(UC1)、5 つのコンパレータ(CP1m、m=0~4)および 2 つの波形生成回路(2、3)から構成されます。

### 1. カウンタ(UC0/UC1)

UC0/UC1 は、クロック設定部から出力されるクロック(TMRDCLK0/TMRDCLK1)でカウントアップする 16 ビットのバイナリカウンタで、TD0MOD<TDCLE>/TD1MOD<TDCLE>レジスタで設定される値によって、フリーランカウンタもしくは CP00/CP10 の一致出力で“0”に戻るカウンタとして動作します。ただし、連動 PPG モード時は、UC1 は CP10 ではなく CP05 の一致出力で“0”に戻るカウンタとして動作します。

UC0:	TD0MOD<TDCLE> = 0	フリーランカウンタ
	TD0MOD<TDCLE> = 1	CP00 の一致出力で“0”に戻るカウンタ
UC1:	TD1MOD<TDCLE> = 0	フリーランカウンタ
	TD1MOD<TDCLE> = 1	CP10/CP05 の一致出力で“0”に戻るカウンタ

また、UC0/UC1 は制御信号 TD0RUN/TD1RUN によって、カウンタの動作・停止を制御します。

UC0:	TD0RUN<TDRUN> = 0	カウンタ停止、“0”に初期化
	TD0RUN<TDRUN> = 1	カウンタ動作開始
UC1:	TD1RUN<TDRUN> = 0	カウンタ停止、“0”に初期化
	TD1RUN<TDRUN> = 1	カウンタ動作開始

### 2. コンパレータ (CPxm: x=0,1, x=0: m=0 to 5, x=1: m=0 to 4)

図 15-3 に示すように、コンパレータ(CPxm) は、主に 16 ビット長のタイマレジスタ(TDxRGm)、16 ビット長のコンペアレジスタ(TDxCPm)および UCx のカウンタ出力値と TDxCPm への設定値(CPRGm[15:0])との一致を検出する回路から構成されます。

これらのコンパレータは TDxRGm と TDxCPm のダブルバッファ構造をとり、TDxCPm へのデータ書込み経路はレジスタ TDxCR<TDRDE>の値によって選択されます。

TDxCR<TDRDE> = 0:	TDnRGm への書込みと同時に同じ値が TDxCPm に書込まれます。 ただし、TDxCPm は read only レジスタのため、このアドレスを指定しての直接の書込みは出来ません。 (任意のタイミングで TDxCPm への初期値設定が可能)
TDxCR<TDRDE> = 1:	更新イネーブルフラグ TDxBCR<TDSFT> = 1 の時、下記の更新タイミングで、TDxRGm の値が TDxCPm に書き込まれます。
更新タイミング TMRD0:	CP00 の一致検出出力タイミング
TMRD1:	CP10 の一致検出出力タイミング ただし、連動 PPG モード時は CP05 の一致検出タイミング

図 15-4 に、TDxCR<TDRDE> = 1 時の TDxRGm の値を TDxCPm に書き込むタイミング波形を示します。

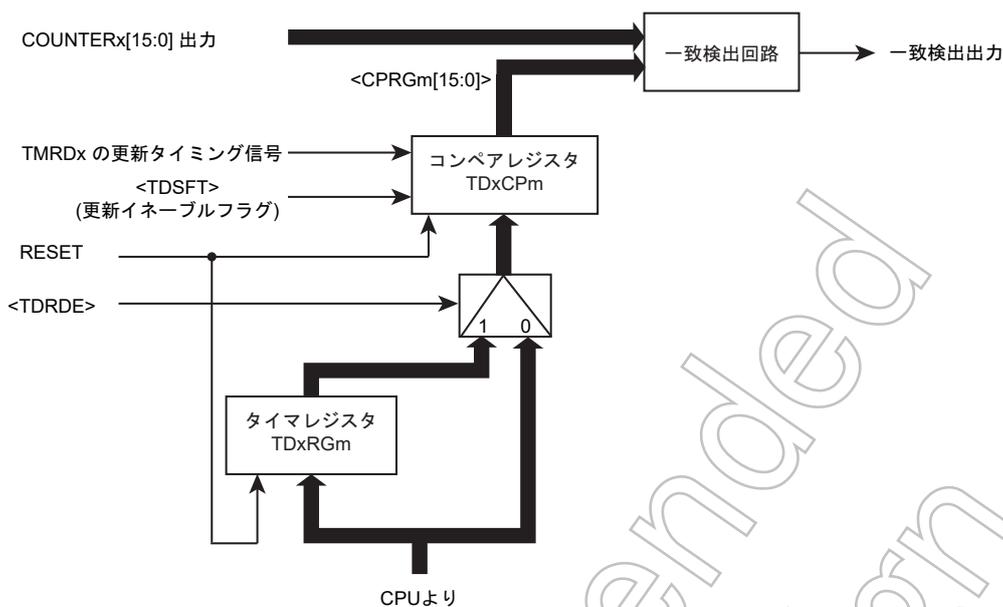


図 15-3 コンパレータ (CPxm) の構成

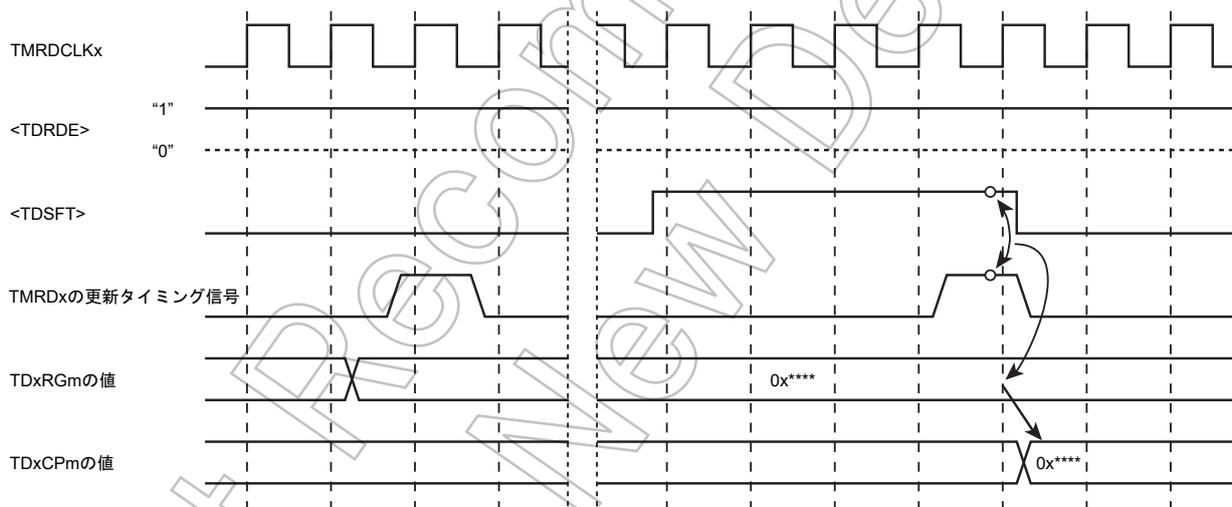


図 15-4 TDxRGm の値を TDxCPm に書き込むタイミング (<TDRDE>=1)

3. 波形生成回路

それぞれの波形生成回路は、それぞれ CP01/CP03/CP11/CP13 の一致検出出力のタイミングで leading edge を、それぞれ CP02/CP04/CP12/CP14 の一致検出出力のタイミングで trailing edge を生成する矩形波出力回路であり、leading edge/trailing edge の極性(立上り/立下り)は、レジスタ TD0MOD<TDIV[1:0]>、TD1MOD<TDIV[1:0]>で設定することが出来ます。

## 15.3 レジスタ説明

### 15.3.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x4005_8000
Channel1	0x4005_8100

レジスタ名(x=0 to 1)		Address(Base+)
タイマ RUN レジスタ	TDxRUN	0x0000
タイマコントロールレジスタ	TDxCR	0x0004
タイマイネーブルレジスタ	TD0EN (注 1)	0x0050
タイマコンフィグレジスタ	TD0CONF (注 1)	0x0054
タイマモードレジスタ	TDxMOD	0x0008
更新フラグ設定レジスタ	TDxBCR	0x000C
DMA 要求許可レジスタ	TDxDMA	0x0010
タイマレジスタ 0	TDxRG0	0x0014
タイマレジスタ 1	TDxRG1	0x0018
タイマレジスタ 2	TDxRG2	0x001C
タイマレジスタ 3	TDxRG3	0x0020
タイマレジスタ 4	TDxRG4	0x0024
タイマレジスタ 5	TD0RG5 (注 1)	0x0028
コンペアレジスタ 0	TDxCP0	0x002C
コンペアレジスタ 1	TDxCP1	0x0030
コンペアレジスタ 2	TDxCP2	0x0034
コンペアレジスタ 3	TDxCP3	0x0038
コンペアレジスタ 4	TDxCP4	0x003C
コンペアレジスタ 5	TD0CP5 (注 1)	0x0040
Reserved		0x0060

Base Address = 0x400F\_3000

レジスタ名	Address(Base+)
タイマクロック設定レジスタ	CGPWMGEAR 0x0014

注) "Reserved"表記のアドレスにはアクセスしないでください。

注) レジスタへはワードアクセスでリード/ライトしてください。

注 1) チャネル 1 レジスタはありません。

## 15.3.2 CGPWMGEAR (タイマクロック設定レジスタ)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
After reset	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
After reset	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
After reset	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	-	PWMGEAR			-	-	-	TMRDCLKEN
After reset	0	0	1	1	0	0	0	0	

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5-4	PWMGEAR [1:0]	R/W	TMRD ブロックに入力するソースクロックを選択します。 00 : fpll 01 : fpll / 2 10 : fpll / 4 11 : Reserved
3-1	-	R	リードすると"0"が読めます。
0	TMRDCLKEN	R/W	TMRD への TMRDCLK 供給を設定します。 0 : 停止 (OFF) 1 : 設定 (ON)

注) クロック選択と供給は、同時に行わないで下さい。TMRD を使用する時は、初めにクロック供給停止 <TMRDCLKEN>="0"でソースクロックの選択<PWMGEAR[1:0]>を行なってください。その後、<TMRDCLKEN>="1"に設定することで、クロック供給を行なって下さい。

注) <PWMGEAR[1:0]>を切り替える場合、TMRD を停止した状態(<TMRDCLKEN>="0")で切り替えを行なってください。

## 15.3.3 TD0EN (タイマイネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDEN1	TDEN0	TDHALT	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDEN1	R/W	TMRD1 へのクロック供給動作 ON/OFF を設定します。 0: 停止 (OFF) 1: 動作 (ON)
6	TDEN0	R/W	TMRD0 へのクロック供給動作 ON/OFF を設定します。 0: 停止 (OFF) 1: 動作 (ON)
5	TDHALT	R/W	HALT 命令がデバック中に発生した場合の動作を設定します。 0: 停止 (アップカウンタのみ停止します) 1: 動作 (アップカウンタは停止しません)
4-0	-	R	リードすると"0"が読めます。

## 15.3.4 TD0CONF (タイマコンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDI2TD1	TDI2TD0	-	-	-	TMRDMOD		
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDI2TD1	R/W	IDLE 中の TMRD1 動作 ON/OFF を設定します。 0: 停止 (OFF) 1: 動作 (ON)
6	TDI2TD0	R/W	IDLE 中の TMRD0 動作 ON/OFF を設定します。 0: 停止 (OFF) 1: 動作 (ON)
5-3	-	R	リードすると"0"が読めます。
2-0	TMRDMOD [2:0]	R/W	TMRD1 と TMRD0 の動作モードを設定します。 000: TMRD0: タイマモード、TMRD1: タイマモード 001: TMRD0: タイマモード、TMRD1: PPGモード 010: TMRD0: PPGモード、TMRD1: タイマモード 011: TMRD0: PPGモード、TMRD1: PPGモード 100: TMRD0 と TMRD1 を同時スタートさせるタイマモード 101: 設定禁止 110: 設定禁止 111: TMRD0 と TMRD1 が連動する PPGモード (TMRD1 と TMRD0 が生成する波形の位相関係を可変出来ます)

注) <TMRDMOD[2:0]>="111"の場合、TMRDCLK0 と TMRDCLK1 は個別に設定出来ません。TMRDCLK1 は TMRDCLK0 と同じ周波数になります。

## 15.3.5 TD0MOD (タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号 a1 の leading edge/trailing edge のエッジ選択の初期設定をします。 0: CP03 の一致で立ち上がり、CP04 の一致で立ち下がり 1: CP03 の一致で立ち下がり、CP04 の一致で立ち上がり。
6	TDIV0	R/W	信号 a0 の leading edge/trailing edge のエッジ選択の初期設定をします。 0: CP01 の一致で立ち上がり、CP02 の一致で立ち下がり 1: CP01 の一致で立ち下がり、CP02 の一致で立ち上がり。
5	-	R	リードすると"0"が読めます。
4	TDCLE	R/W	CP00 の一致時の COUNTER0 (UC0)の動作を設定します。 0: 一致検出にかかわらずフリーランカウンタとして動作 1: 一致検出で、"0"に初期化
3-0	TDCLK[3:0]	R/W	TMRD0 のプリスケーラを選択 (TMRDCLK0 の周波数を選択) します。 0000: ftmrd 1000: ftmrd/2 1001: ftmrd/4 1010: ftmrd/8 1011: ftmrd/16 上記以外は設定禁止。

注) PPG モードの場合、<TDCLE>="0" の設定は無効となります。(フリーランカウンタとして動作しません)

## 15.3.6 TD1MOD (タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号 b1 の leading edge/trailing edge のエッジ選択の初期設定をします。 0: CP13 の一致で立ち上がり、CP14 の一致で立ち下がり 1: CP13 の一致で立ち下がり、CP04 の一致で立ち上がり。
6	TDIV0	R/W	信号 b0 の leading edge/trailing edge のエッジ選択の初期設定をします。 0: CP11 の一致で立ち上がり、CP12 の一致で立ち下がり 1: CP11 の一致で立ち下がり、CP12 の一致で立ち上がり。
5	-	R	リードすると"0"が読めます。
4	TDCLE	R/W	CP10 の一致時の COUNTER1 (UC1) の動作を設定します。 0: 一致検出にかかわらずフリーランカウンタとして動作 1: 一致検出で、"0"に初期化
3-0	TDCLK[3:0]	R/W	TMRD1 のプリスケアラを選択 (TMRDCLK1 の周波数を選択) します。 0000: ftmrd 1000: ftmrd/2 1001: ftmrd/4 1010: ftmrd/8 1011: ftmrd/16 上記以外は設定禁止。

注) PPG モードの場合、<TDCLE>="0"の設定は無効となります。(フリーランカウンタとして動作しません)また、連動 PPG モードの場合、<TDCLE>ビットの設定は無効となります。

注) 連動 PPG モードの場合、<TDCLK[3:0]>の設定値は TD0MOD で設定した値が選択され動作します。

### 15.3.7 TD0CR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TDRDE	TDISO	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TDRDE	R/W	<p>TMRD0 のコンペアレジスタ (TD0CPm) へのデータ書込経路を設定します。(m = 0, 1, 2, 3, 4, 5)</p> <p>0: CPU の命令によるダイレクト書き込み タイマレジスタ (TD0RGm) への書き込みと同時に、同値が対応するコンペアレジスタ (TD0CPm) に書き込まれます。この場合、更新イネーブルフラグ TD0BCR&lt;TDSFT&gt;を"1"に設定する必要はありません。</p> <p>1: TMRD0 のタイマレジスタ (TD0RGm) 経由書き込み TD0BCR&lt;TDSFT&gt;="1" の設定が必要です。 タイマモード時: TD0MOD&lt;TDCLE&gt;="0": COUNTER0 (UC0) のオーバーフロー時にコンペアレジスタ (TD0CPm) の値が、タイマレジスタ (TD0RGm) の値に更新されます。 TD0MOD&lt;TDCLE&gt;="1": コンパレータ 00 (CP00) の一致時にコンペアレジスタ (TD0CPm) の値が、タイマレジスタ (TD0RGm) の値に更新されます。</p> <p>PPG モード/連動 PPG モード時: コンパレータ 00 (CP00) の一致時にコンペアレジスタ (TD0CPm) の値が、タイマレジスタ (TD0RGm) の値に更新されます。</p>
1-0	TDISO[1:0]	R/W	<p>INTTD0CMP0 の割込要因を選択します。</p> <p>00: 割込要因なし 01: CP00 の一致 10: CP05 の一致 11: COUNTER0 (UC0) の overflow (PPG モードでは、この設定は無効で割込要因となりません。)</p>

## 15.3.8 TD1CR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TDRDE	TDISO	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TDRDE	R/W	<p>TMRD1 のコンパレレジスタ (TD1CPm) へのデータ書込経路を設定します。(m = 0,1,2,3,4)</p> <p>0: CPU の命令によるダイレクト書き込み タイマレジスタ (TD1RGm) への書き込みと同時に、同値が対応するコンパレレジスタ (TD1CPm) に書き込まれます。この場合、更新イネーブルフラグ TD1BCR&lt;TDSFT&gt;を"1"に設定する必要はありません。</p> <p>1: TMRD1 のタイマレジスタ (TD1RGm) 経由書き込み TD1BCR&lt;TDSFT&gt;="1"の設定が必要です。 タイマモード時: TD1MOD&lt;TDCLE&gt;="0": COUNTER1(UC1)のオーバーフロー時にコンパレレジスタ (TD1CPm)の値が、タイマレジスタ (TD1RGm)の値に更新されます。 TD0MOD&lt;TDCLE&gt;="1": コンパレータ 10(CP10)の一致時にコンパレレジスタ (TD1CPm)の値が、タイマレジスタ (TD1RGm)の値に更新されます。</p> <p>PPG モード/連動 PPG モード時: PPG モードの場合はコンパレータ 10(CP10)の一致時にコンパレレジスタ (TD1CPm)の値が、タイマレジスタ (TD1RGm)の値に更新されます。 連動 PPG モードの場合はコンパレータ 05(CP05)の一致時にコンパレレジスタ (TD1CPm)の値が、タイマレジスタ (TD1RGm)の値に更新されます。</p>
0	TDISO[1:0]	R/W	<p>INTTD1CMP0 の割込要因を選択します。</p> <p>00: 割込要因なし 01: CP10 の一致(連動 PPG モードでは、割込要因となりません) 10: 割込要因なし 11: COUNTER1(UC1)の overflow (PPG モードでは、この設定は無効で割込要因となりません。)</p>

注) 連動 PPG モードの場合、<TDRDE>の設定値は TD0CR で設定した値が選択され動作します。

## 15.3.9 TDxRUN (タイマ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TDRUN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	-	W	常に"0"を書いてください。
0	TDRUN	W	TMRDx のカウント動作を制御します。 0: TMRDx の動作を停止します。 (COUNTERx (UCx)の動作を停止し、"0"に初期化します。) 1: TMRDx の動作を開始します。 (COUNTERx (UCx)の動作(アップカウント)を開始します。)

注) TD1RUN<TDRUN>は連動タイマモード及び連動 PPG モードの場合、設定は無効となり COUNTER0(UC0)と連動して動作を開始します。

## 15.3.10 TD0BCR (更新フラグ設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PHSCHG	TDSFT
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	PHSCHG	R/W	A 相出力に対する B 相出力の位相関係(進み/遅れ)を設定します。 0: 遅らせる、または同位相 1: 進める、または同位相
0	TDSFT	W	TMRD0 のタイマレジスタの値をコンペアレジスタへ更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると更新イネーブルフラグビット<TDSFT>はクリアされます。 0: 無効 1: 更新イネーブル

注) <TDSFT>による更新タイミングは TD0CR<TDRDE>を参照してください。

注) <PHSCHG>は連動 PPG モードでのみ有効です。(タイマモード、連動タイマモード、PPG モードでは、A 相/B 相出力入れ替えは出来ません。)

## 15.3.11 TD1BCR (更新フラグ設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TDSFT
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	-	R/W	常に"0"を書いてください。
0	TDSFT	W	TMRD1 のタイマレジスタの値をコンペアレジスタへ更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると更新イネーブルフラグビット<TDSFT>はクリアされます。 0: 無効 1: 更新イネーブル

注) <TDSFT>による更新タイミングは TD1CR<TDRDE>を参照してください。

注) 連動 PPG モードの場合、TD0BCR<TDSFT>に"1"を書き込むと同時に TD1BCR<TDSFT>も"1"がセットされます。よって、本レジスタへの書き込みは行なわないでください。また、コンペアレジスタ 05(CP05)の一致検出で"0"にクリアされます。

## 15.3.12 TDxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	DMAEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-1	-	R/W	常に"0"を書いてください。
0	DMAEN	R/W	DMA 要求の許可/禁止を設定します。(INTTDxCMP0 要因で DMA リクエストを発行します) 1: 許可 0: 禁止

## 15.3.13 TDxRG0 (タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG0							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG0							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG0[15:0]	R/W	タイマレジスタ TDxRG0 はコンペアレジスタ TDxCP0 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

## 15.3.14 TDxCP0 (タイマコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG0							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG0							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG0[15:0]	R	周期設定レジスタ: 周期の最小値は 0x0001、最大値は 0xFFFF です。 16 ビットインターバルタイマ時: タイマ周期または CPx0 の一致タイミングを設定します。 16 ビットプログラマブル矩形波出力時: 矩形波出力の周期を設定。ただし、連動 PPG モードでは、TD1CP0 は周期設定レジスタとして使用しません。

## 15.3.15 TDxRG1 (タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG1							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG1							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG1[15:0]	R/W	タイマレジスタ TDxRG1 はコンペアレジスタ TDxCP1 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

## 15.3.16 TDxCP1 (タイマコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG1							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG1							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG1[15:0]	R	タイミング設定レジスタ: 16 ビットインターバルタイマ時: 割込み信号 INTTDxCMP1 を発生させるタイミング設定 16 ビットプログラマブル矩形波出力時: 信号 a0/b0 の leading edge のタイミング設定

## 15.3.17 TDxRG2 (タイマレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG2							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG2							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG2[15:0]	R/W	タイマレジスタ TDxRG2 はコンペアレジスタ TDxCP2 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

## 15.3.18 TDxCP2 (タイマコンペアレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG2							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG2							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG2[15:0]	R	タイミング設定レジスタ: 16 ビットインターバルタイマ時: 割込み信号 INTTDxCMP2 を発生させるタイミング設定 16 ビットプログラマブル矩形波出力時: 信号 a0/b0 の trailing edge のタイミング設定

## 15.3.19 TDxRG3 (タイマレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG3							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG3							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG3[15:0]	R/W	タイマレジスタ TDxRG3 はコンペアレジスタ TDxCP3 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

## 15.3.20 TDxCP3 (タイマコンペアレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG3							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG3							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG3[15:0]	R	タイミング設定レジスタ: 16 ビットインターバルタイマ時: 割込み信号 INTTDxCMP3 を発生させるタイミング設定 16 ビットプログラマブル矩形波出力時: 信号 a1/b1 の leading edge のタイミング設定

## 15.3.21 TDxRG4 (タイマレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG4							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG4							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG4[15:0]	R/W	タイマレジスタ TDxRG4 はコンペアレジスタ TDxCP4 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

## 15.3.22 TDxCP4 (タイマコンペアレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG4							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG4							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG4[15:0]	R	タイミング設定レジスタ: 16 ビットインターバルタイマ時: 割込み信号 INTTDxCMP4 を発生させるタイミング設定 16 ビットプログラマブル矩形波出力時: 信号 a1/b1 の trailing edge のタイミング設定

## 15.3.23 TD0RG5 (タイマレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG5							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG5							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG5[15:0]	R/W	タイマレジスタ TD0RG5 はコンペアレジスタ TD0CP5 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

## 15.3.24 TD0CP5 (タイマコンペアレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG5							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG5							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG5[15:0]	R	タイミング設定、位相のシフト量設定レジスタ: 16ビットインターバルタイマ時: CP05 の一致タイミング設定 16ビットプログラマブル矩形波出力時: 連動 PPG モード時に位相のシフト量を設定 (PPG モード時は無効となります。)

## 15.4 各動作モードの説明

TMRD の各動作モードは、レジスタ TD0CONF<TMRDMOD[2:0]>で設定します。レジスタへの設定値とそれぞれのタイマユニットの動作モードの関係については、後述するレジスタ説明の項を参照してください。それぞれのモードについては、以下にその動作を説明します。

以降、それぞれのタイマユニットにある回路要素、レジスタ等をまとめて表現する場合は、名称の中に記載の番号を x、m で表現します。CPxm、UCx、TDxRGm、TDxCPm 等。

ここで、m、x は断りのない限り、x = 0、1 で、また、x = 0 の時 m = 0 ~ 5、x = 1 の時 m = 0 ~ 4 の値をとります。

### 15.4.1 16 ビットインターバルタイマ

#### 15.4.1.1 タイマモード

本モードは、TMRD0 と TMRD1 が独立したタイマ動作を行いません。TMRD0 と TMRD1 は同一の動作をするので、動作説明は TMRD0 について行いません。

レジスタ TD0MOD<TDCLE>の値が"0"の場合、UC0 は 0x0000 からカウントアップを始め、0xFFFF まで達すると再び 0x0000 に戻るフリーランカウンタとして動作し、カウント値が 0xFFFF になるとオーバーフロー割り込み(UC0OVF)を発生します。

レジスタ TD0MOD<TDCLE>の値が"1"の場合、UC0 は 0x0000 からカウントアップを始め、カウント値が CP00 のコンペアレジスタ(TD0CP0)に設定された値と一致したとき、再び 0x0000 に戻るカウンタとして動作します。即ち、CP00 にてタイマ周期を設定します。

上記どちらの場合もそれぞれのコンパレータ(CPxm)は、UC0 のカウント値がそれぞれのコンペアレジスタ(TD0CPm)に設定された値と一致した場合、タイマ割り込みを発生します。

#### 15.4.1.2 連動タイマ(同期スタート)モード

本モードは、TMRD0 と TMRD1 のタイマ動作を同時にスタート可能なタイマモードであり、2 つのカウンタ UC0 と UC1 は、レジスタ TD0RUN<TDRUN>を "1" に設定することで同時に動作を開始します。このモードでは、タイマ動作スタート、停止ともにレジスタ TD1RUN<TDRUN>の設定は無視されます。ただし、TMRD0、TMRD1 のタイマ周期は個別に設定することが可能です。

#### 15.4.1.3 タイマ割り込み

表 15-1 にタイマ割り込み信号とその要因の関係について示します。

INTTD0CMP0 は、レジスタ TD0CR<TDISO[1:0]>の値によって、INTTD1CMP0 はレジスタ TD1CR<TDISO[1:0]>の値によってその割り込み要因を設定します。

表 15-1 タイマモードの割り込み信号とその要因

割込信号名		要因
INTTD0CMP0	TD0CR<TDISO[1:0]> = "00"	要因なし
	TD0CR<TDISO[1:0]> = "01"	コンパレータ 00(CP00)の一致検出
	TD0CR<TDISO[1:0]> = "10"	コンパレータ 05(CP05)の一致検出
	TD0CR<TDISO[1:0]> = "11"	カウンタ 0(UC0)のオーバーフロー
INTTD0CMP1		コンパレータ 01(CP01)の一致検出
INTTD0CMP2		コンパレータ 02(CP02)の一致検出
INTTD0CMP3		コンパレータ 03(CP03)の一致検出
INTTD0CMP4		コンパレータ 04(CP04)の一致検出
INTTD1CMP0	TD1CR<TDISO[1:0]> = "00"	要因なし
	TD1CR<TDISO[1:0]> = "01"	コンパレータ 10(CP10)の一致検出
	TD1CR<TDISO[1:0]> = "10"	要因なし
	TD1CR<TDISO[1:0]> = "11"	カウンタ 1(UC1)のオーバーフロー
INTTD1CMP1		コンパレータ 11(CP11)の一致検出
INTTD1CMP2		コンパレータ 12(CP12)の一致検出
INTTD1CMP3		コンパレータ 13(CP13)の一致検出
INTTD1CMP4		コンパレータ 14(CP14)の一致検出

注) 16ビットプログラマブル矩形波出力モードの場合、以下の割込要因が発生しません。

- カウンタ UC0 及び UC1 のオーバーフロー割込要因。
- 連動 PPG モード時のコンパレータ 10(CP10)の一致検出要因。

### 15.4.1.4 タイマモード時のレジスタ設定手順

#### (1) 起動までの手順

##### (1-1) タイマモード

タイマモードを起動するまでのレジスタの設定は以下の番号順で行なってください。

##### a. 供給クロックの選択

1. TMRD に供給するクロックを選択し、レジスタ CGPWMGEAR<PWMGEAR[1:0]>で選択します。
2. レジスタ CGPWMGEAR<TMRDCLKEN>を"1"に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず <PWMGEAR[1:0]>の値を設定した後、<TMRDCLKEN>をセットしてください。

##### b. 各タイマユニットの動作モード選択

1. タイマモードで使用するタイマユニットをレジスタ TD0CONF<TMRDMOD[2:0]>で設定します。  
同時に、IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

##### c. 各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 各タイマユニットへのクロック供給動作を ON/OFF するレジスタ TD0EN の各ビット<TDEN1>、<TDEN0>を"1"に設定します。(OFF のままでよいタイマユニットは、セットする必要はありません)
2. 各タイマユニットで使用するクロックをレジスタ TDxMOD<TDCLK[3:0]>で選択します。  
同時に、タイマモードで使用するタイマユニットのカウンタの動作をレジスタ TDxMOD<TDCLC>で設定します。

##### d. 各タイマレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TDxCR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします。(タイマレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです) 同時に、INTTDxCMPm の割込み要因をレジスタ TDxCR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ(TDxRGm)に所望の値を設定します。  
レジスタ TDxCR<TDRDE> = "0" のモードでは、レジスタ TDxBCCR<TDSFT>を"1"に設定する操作及び更新タイミング信号は必要ありません。

##### e. タイマモードの起動

1. レジスタ TDxCR<TDRDE> = "1" に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TDxRUN<TDRUN> = "1" に設定し、スタートさせます。

## (1-2) 連動タイマモード

連動タイマモードを起動するまでのレジスタの設定は以下の番号順で行なってください。

## a. 供給クロックの選択

1. TMRD に供給するクロックを選択し、レジスタ CGPWMGEAR<PWMGEAR[1:0]>で選択します。
2. レジスタ CGPWMGEAR<TMRDCLKEN>を"1"に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず、<PWMGEAR[1:0]>の値を設定した後、<TMRDCLKEN>をセットしてください。

## b. 各タイマユニットの動作モード選択

1. 連動タイマモードをレジスタ TD0CONF<TMRDMOD[2:0]>で設定します。  
同時に IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

## c. 各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 二つのタイマユニットへのクロック供給動作を ON/OFF するレジスタ TD0EN の各ビット<TDEN1>、<TDEN0>を"1"に設定します。( <TDEN1>、<TDEN0> ともにセットしてください)
2. 各タイマユニットで使用するクロックをレジスタ TDxMOD<TDCLK[3:0]>で選択します。  
同時に、各タイマユニットのカウンタの動作をレジスタ TDxMOD<TDCLK>で設定します。

## d. 各タイマレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TDxCR<TDRDE> = "0" に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします(タイマレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです)。  
同時に、INTDxCMPm の割込み要因をレジスタ TDxCR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ(TDxRGm)に所望の値を設定します。  
レジスタ TDxCR<TDRDE> = "0" のモードでは、レジスタ TDxBCCR<TDSFT>を"1"に設定する操作及び更新タイミング信号は必要ありません。

## e. タイマモードの起動

1. レジスタ TDxCR<TDRDE> = "1" に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TD0RUN<TDRUN> = "1" に設定し、2つのタイマユニットを同時にスタートさせます。連動タイマモードなので、レジスタ TD1RUN<TDRUN>への設定は不要です。

## (2) 起動後の設定手順

## (2-1) タイマモード、連動タイマモード

タイマモードを起動した後のレジスタの設定は以下の番号順で行なってください。

## a. 各タイマレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマレジスタ (TDxRGm) に任意の値を設定します。
2. 上記設定後、更新するタイマユニットに対応したレジスタ TDxBCR<TDSFT>を"1"にセットします。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。(図 15-4 参照)

注) タイマ起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDxRGm)、(TDxBCR)、(TDxRUN)の3レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。

## 15.4.1.5 コンペアレジスタの設定範囲

16 ビットインターバルタイマモードにおけるコンペアレジスタへの設定範囲を表 15-2 に示します。

表 15-2 16 ビットインターバルタイマ時のコンペアレジスタの設定範囲

タイマ ユニット	コンペア レジスタ	16 ビットインターバルタイマ	
		<TDCLE> = "0"	<TDCLE> = "1"
TMRD0	TD0CP0	$0x0000 \leq \text{CPRG0}[15:0] \leq 0xFFFF$	$0x0001 \leq \text{CPRG0}[15:0] \leq 0xFFFF$
	TD0CP1	$0x0000 \leq \text{CPRG1}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG1}[15:0] \leq \text{CPRG0}[15:0]$
	TD0CP2	$0x0000 \leq \text{CPRG2}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG2}[15:0] \leq \text{CPRG0}[15:0]$
	TD0CP3	$0x0000 \leq \text{CPRG3}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG3}[15:0] \leq \text{CPRG0}[15:0]$
	TD0CP4	$0x0000 \leq \text{CPRG4}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG4}[15:0] \leq \text{CPRG0}[15:0]$
	TD0CP5	$0x0000 \leq \text{CPRG5}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG5}[15:0] \leq \text{CPRG0}[15:0]$
TMRD1	TD1CP0	$0x0000 \leq \text{CPRG0}[15:0] \leq 0xFFFF$	$0x0001 \leq \text{CPRG0}[15:0] \leq 0xFFFF$
	TD1CP1	$0x0000 \leq \text{CPRG1}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG1}[15:0] \leq \text{CPRG0}[15:0]$
	TD1CP2	$0x0000 \leq \text{CPRG2}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG2}[15:0] \leq \text{CPRG0}[15:0]$
	TD1CP3	$0x0000 \leq \text{CPRG3}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG3}[15:0] \leq \text{CPRG0}[15:0]$
	TD1CP4	$0x0000 \leq \text{CPRG4}[15:0] \leq 0xFFFF$	$0x0000 \leq \text{CPRG4}[15:0] \leq \text{CPRG0}[15:0]$

タイマ周期  $T_x$  は、TMRDCLK の周波数を  $f_{CLK}$  とすると、下記で計算します。

1. <TDCLE> = "0" の場合:  $T_x = (1/f_{CLK}) \times 2^{16}$
2. <TDCLE> = "1" の場合:  $T_x = (1/f_{CLK}) \times (\text{TDxCP0} < \text{CPRG0}[15:0] > + 1)$

## 15.4.2 16 ビットプログラマブル矩形波出力

### 15.4.2.1 PPG モード

本モードは、TMRD0 と TMRD1 は独立して動作し、それぞれ周波数と Duty がプログラム可能な矩形波を出力するモードです。

TMRD0 の矩形波出力: a0,a1 、 TMRD1 の矩形波出力: b0,b1

#### (1) 矩形波(PPG)出力の周期

TMRD0 では、矩形波出力(a0/a1)の周期は、CP00 のコンペアレジスタ TD0CP0 <CPRG0 [15:0]>の値で設定します。即ち、図 15-5 で示すようにタイマモードと同様 UC0 は CP00 の一致検出出力で"0"に戻るカウンタとして動作します。

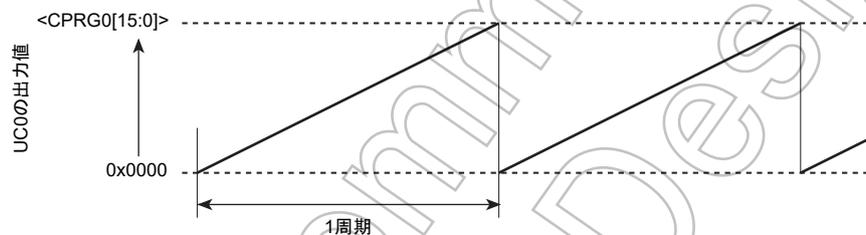


図 15-5 PPG モードの矩形波周期

TMRD1 も同様に、矩形波出力(b0/b1)の周期は CP10 のコンペアレジスタ(TD1CP0 <CPRG0 [15:0]>の値)で設定します。

#### (2) 矩形波(PPG)出力の Duty

TMRD0 では、図 15-6 に示すように、矩形波出力 a0 の leading edge は CP01 の一致検出、trailing edge は CP02 の一致検出を基に矩形波を生成します。

同様に、矩形波出力 a1 の leading edge は CP03 の一致検出、trailing edge は CP04 の一致検出を基に矩形波を生成します。

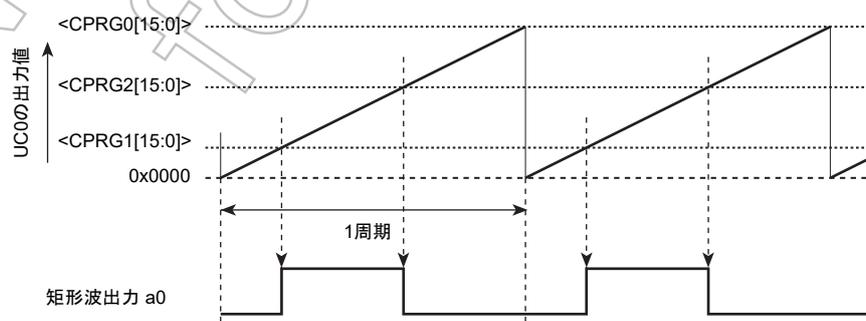


図 15-6 PPG モードの矩形波出力(a0 の場合)

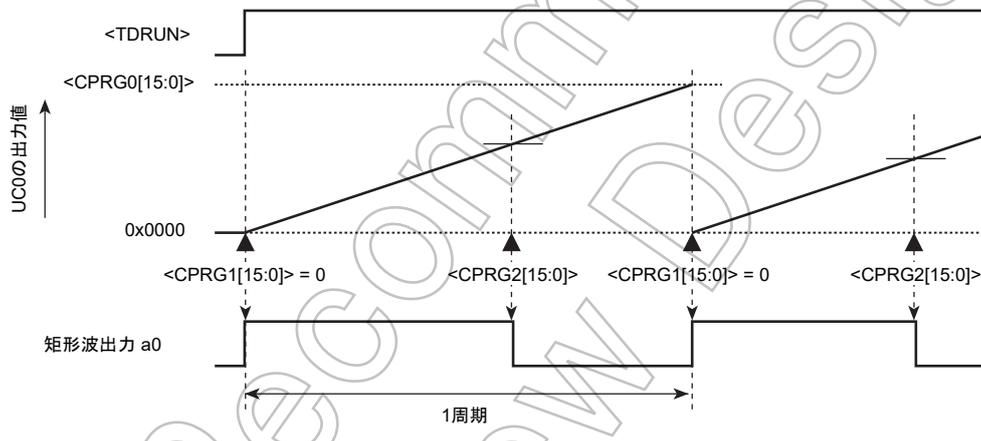
図 15-6 では、leading edge が立上がり、trailing edge は立下がりの波形を示しましたが、レジスタ  $TD0MOD<TDIV[1:0]>$  の設定で、leading edge は立下がり、trailing edge を立上がりの波形にすることも可能です。

TMRD1 でも同様で、矩形波出力  $b0/b1$  の leading edge は CP11/CP13 の一致検出、trailing edge は CP12/CP14 の一致検出を基に、矩形波を生成します。

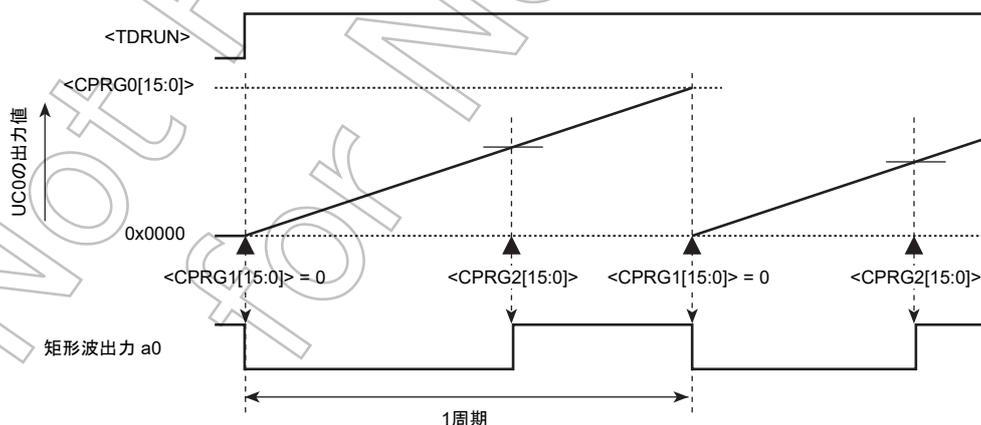
また、PPG モードの場合、SW0/SW1/SW2/SW3 のコントロール信号 PHSCHGSW は "0" に固定されます。TMRD0 の出力は SW0、SW1 を介して、TMRD1 の出力は SW2、SW3 を介してのみ出力されます。(「図 15-2 TMRD ユニットブロック図」参照)

### (3) 矩形波(PPG)出力のスタートタイミング

矩形波(PPG)出力は、レジスタ  $TDxRUN<TDRUN>$  に "1" を書き込むことによってスタートします。図 15-7 に示すようにスタートと同時に leading edge が立上り/立下り設定の場合も最初の周期から任意の矩形波を出力することが可能です。図は a0 の場合ですが、a1、b0/b1 の場合も同様です。また、図のタイミングは  $<CPRG1[15:0]> = "0"$  の場合のタイミングです。



(1) leading edge を立ち上がりに指定した場合



(2) leading edge を立ち下りに指定した場合

図 15-7 スタート時のタイミングチャート(a0 の場合)

#### (4) PPG モードのレジスタ設定手順

##### (4-1) PPG モードを起動するまでの手順

PPG モードを起動するまでのレジスタの設定は以下の番号順で行なってください。

###### a. 供給クロックの選択

1. TMRD に供給するクロックを選択し、レジスタ CGPWMGEAR<PWMGEAR[1:0]>で選択します。
2. レジスタ CGPWMGEAR<TMRDCLKEN>を"1"にし TMRD へのクロック供給をイネーブルに設定します。このとき、必ず、<PWMGEAR[1:0]>の値を設定した後、<TMRDCLKEN> に"1"をセットしてください。

###### b. 各タイムユニットの動作モード選択

1. PPG モードで使用するタイムユニットをレジスタ TD0CONF<TMRDMOD[2:0]>で設定します。  
同時に IDLE モードにおけるタイムユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

###### c. 各タイムユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 各タイムユニットへのクロック供給動作を ON/OFF するレジスタ TD0EN の各ビット<TDEN1>、<TDEN0> を"1"に設定します。(OFF のままでよいタイムユニットは、セットする必要はありません)
2. 各タイムユニットで使用するクロックをレジスタ TDxMOD<TDCLK[3:0]>で選択します。  
このとき、同じレジスタにある矩形波出力の leading edge と trailing edge を決める<TDIV[1:0]>の設定も同時に行います。

###### d. 各タイムレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TDxCR<TDRDE> = "0"に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします。(タイムレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです。)
2. 各タイムレジスタ(TDxRGm)に所望の値を設定します。  
レジスタ TDxCR<TDRDE> = "0" のモードでは、レジスタ TDxBRC<TDSFT>を"1"に設定する操作及び更新タイミング信号は必要ありません。

###### e. PPG モードの起動

1. レジスタ TDxCR<TDRDE> = "1" に設定し、コンペアレジスタへの書き込みをタイムレジスタ経由にします。(タイムレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TDxRUN<TDRUN> = "1" に設定し、スタートさせます。

##### (4-2) PPG モードを起動後の手順

PPG モードを起動した後のレジスタの設定は以下の番号順で行なってください。

###### a. 各タイムレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイムレジスタ(TDxRGm)に任意の値を設定します。
2. 上記設定後、更新するタイムユニットに対応したレジスタ TDxBRC<TDSFT>を"1"に設定します。

上記手順により、所定の更新タイミングでタイムレジスタの値が対応するコンペアレジスタに設定されます。(図 15-4 参照)

###### b. 矩形波出力の停止

1. 各タイムユニットの矩形波出力を停止する場合は、レジスタ TDxRUN<TDRUN> = "0" に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDxRGm)、(TDxBRC)、(TDxRUN)の 3 レジスタです。それ以外のレジスタへの設定は、タイム停止時に行なってください。

### 15.4.2.2 連動 PPG モード

本モードは、TMRD0 が出力する矩形波(a0/a1)と TMRD1 が出力する矩形波(b0/b1)の位相関係を  $-180^\circ < \theta < +180^\circ$  の範囲でダイナミックに設定可能な動作モードです。ただし、a0 と b0 の位相関係と、a1 と b1 の位相関係は同じ値となります。

#### (1) 動作概要

本モードは、SW0/SW1 から出力される A 相出力と SW2/SW3 から出力される B 相出力の位相関係を  $-180^\circ < \theta < +180^\circ$  の範囲でダイナミックに設定可能です。ただし、A0 相出力と B0 相出力の位相関係と、A1 相出力と B1 相出力の位相関係は同じ値となります。

一つの対になる A0 相と B0 相の場合ともう一つの対になる A1 相と B1 相の場合は、断りのない限り動作は同様なので、以下 A0 相と B0 相を例にとって図 15-8 をもとに動作の概要を説明します。

図 15-8 は図 15-2 タイマユニットのブロック図を簡略化したものです。

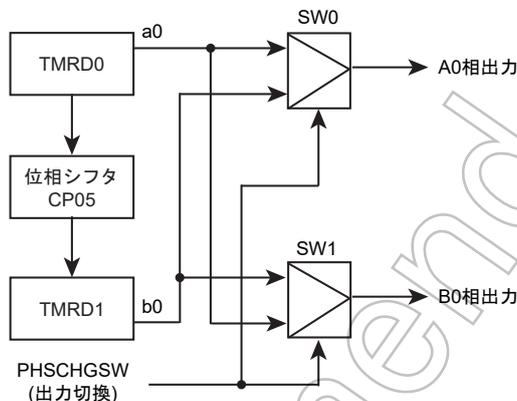


図 15-8 連動 PPG の構成(A0 相/B0 相の場合)

図 15-8 において、CP05 は矩形波出力 a0 に対して b0 の位相  $\theta$  を  $0^\circ \leq \theta < 180^\circ$  の範囲で遅延可能な位相シフタ(遅延器)として動作させ、A0 相出力の位相に対し、B0 相出力の位相を同相もしくは遅らせる場合は、

「A0 相出力 = a0、B0 相出力 = b0」

になるように、また、A0 相出力の位相に対し、B0 相出力の位相を同相もしくは進める場合は、

「A0 相出力 = b0、B0 相出力 = a0」

になるように、出力切換信号(PHSCHGSW)によって SW0/SW2 を切り換えることによって本動作モードを実現します。ここで、PPG モードとは異なり、CP10 ではなく CP05 の一致検出でカウンタ UC1 を "0" に戻すことで位相シフタを実現します。

## (2) 動作詳細説明

TD0CONF<TMRDMOD[2:0]>を"111"に設定することによって連動 PPG モードとなり、カウンタ UC1 は、CP10 の一致検出ではなく TMRD0 の CP05 の一致検出で、"0"に戻るカウンタとして動作します。また、TMRDCLK0 と TMRDCLK1 は個別に設定不可となり、TMRDCLK1 は TMRDCLK0 と同じ周波数に設定されます。従って、矩形波 b0 は、CP05 のコンペアレジスタ TD0CP5<CPRG5[15:0]>の設定値に相当する時間、矩形波 a0 より遅れて出力されることになります。その位相関係を図 15-9 に示します。図からも分かるように本モードでは、矩形波 a0 の位相は矩形波 b0 の位相に対し、同相もしくは進んだ関係になります。

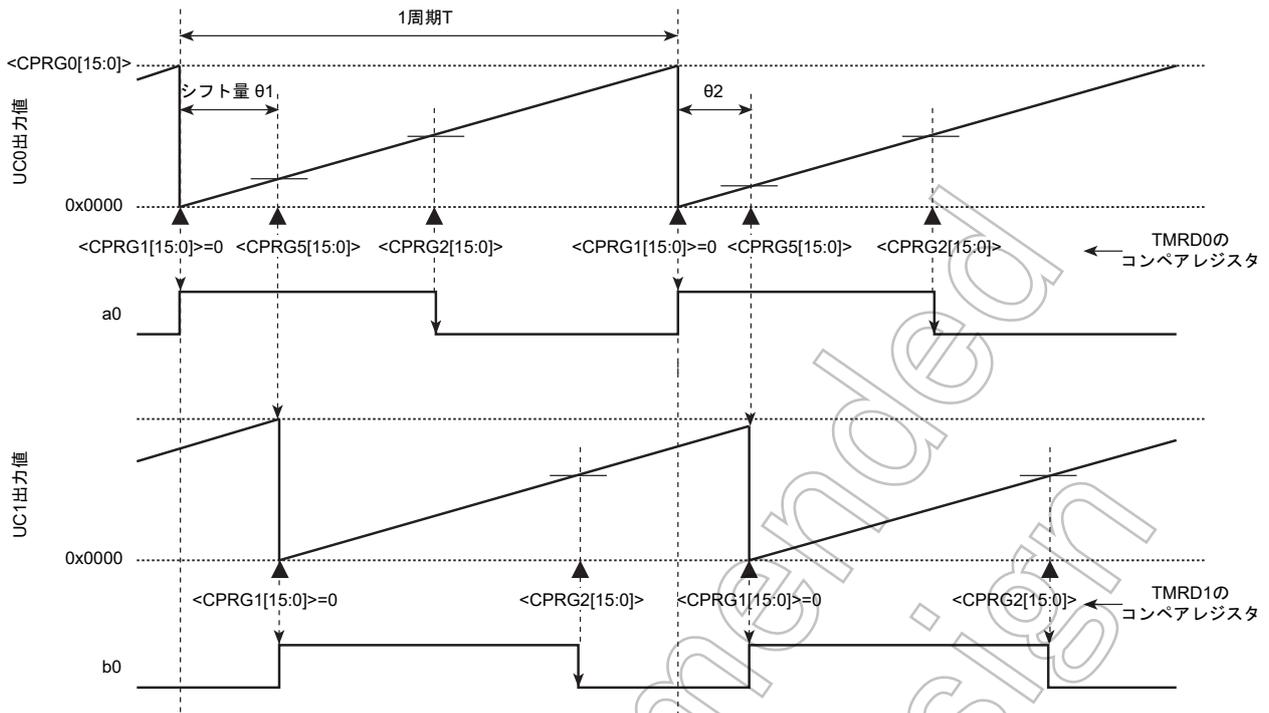


図 15-9 矩形波 a0 と矩形波 b0 の位相関係

ここで、矩形波 a0 と b0 の周期は CP00 のコンパアレジスタ TD0CP0<CPRG0[15:0]>の設定値によって決まるため、位相シフト(遅延)量(θ)は、

$$\theta = 360^\circ \times ( \langle \text{CPRG5}[15:0] \rangle \div ( \langle \text{CPRG0}[15:0] \rangle + 1 ) )$$

で計算します。また、本動作モードでは、 $0^\circ \leq \theta < 180^\circ$ であるので、<CPRG5[15:0]>の設定範囲は、 $0x0000 \leq \text{CPRG5}[15:0] < ( \text{CPRG0}[15:0] \div 2 )$ となります。

本モードも PPG モードと同様、矩形波 a0 と b0 の Duty を決めるのは、それぞれコンパレータ CP01、CP02 および、CP11、CP12 となります。

(2-1) A0 相の位相を B0 相の位相より進めるもしくは同相の場合

A0 相出力の位相を B0 相出力の位相より進める、もしくは同位相にする場合は、

「A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0」

になるように SW0/SW2 の PHSCHGSW を設定します。PHSCHGSW の設定に関しては後述します。

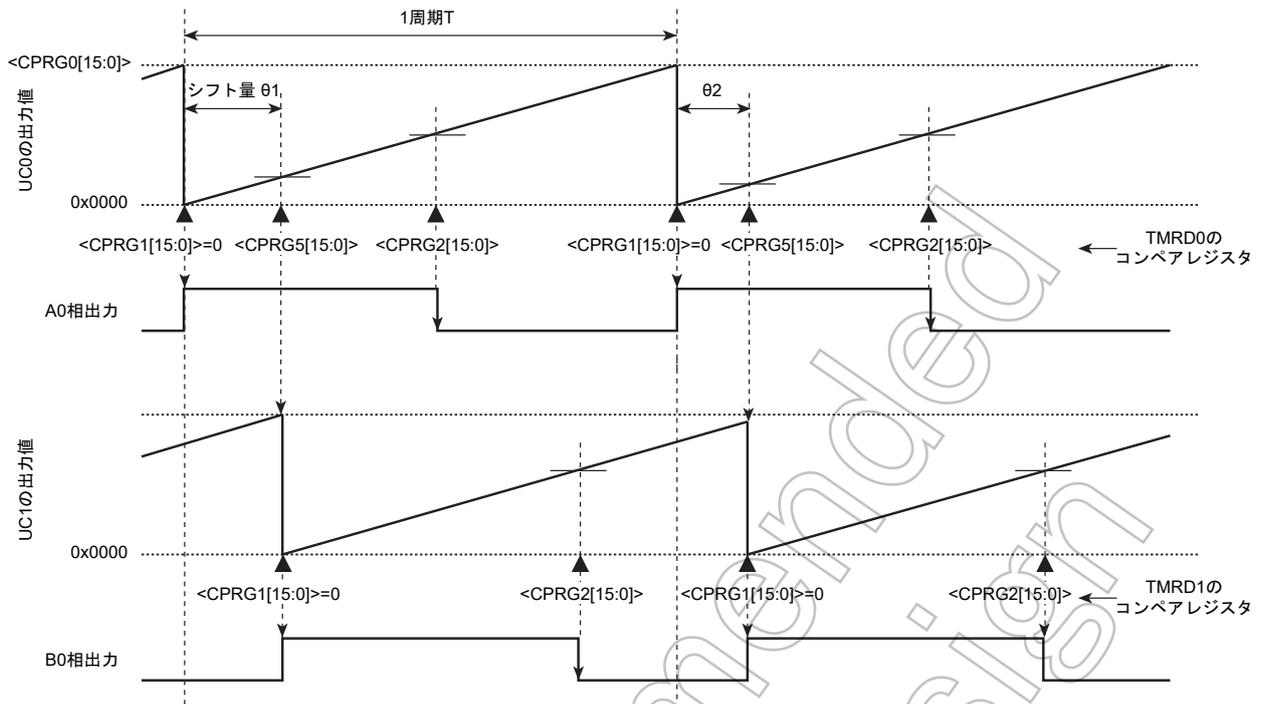


図 15-10 A0 相の位相を B0 相より進める場合(A0 相出力=矩形波 a0、B0 相出力=矩形波 b0)

(2-2) A0 相の位相を B0 相の位相より遅らせる場合

A0 相出力の位相を B0 相出力の位相より遅らせる、もしくは同位相の場合は、

「A0 相出力 = 矩形波 b0、B0 相出力 = 矩形波 a0」

になるように SW0/SW2 の PHSCHGSW を設定します。図 15-11 に波形図を示します。

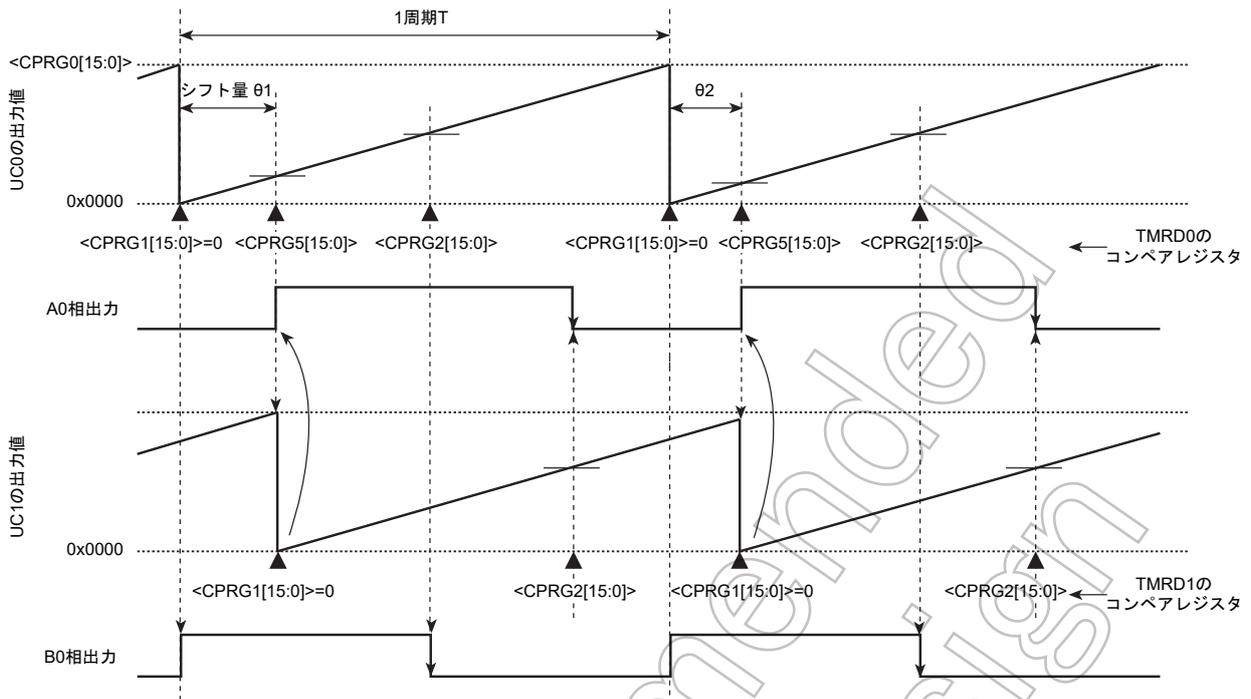


図 15-11 A0 相の位相を B0 相より遅らせる場合 (A0 相出力=矩形波 b0、B0 相出力=矩形波 a0)

(2-3) 出力 SW(SW0/SW1/SW2/SW3)の切換え

SW0/SW1/SW2/SW3 の制御は、レジスタ TD0BCR<PHSCHG>への設定によって行ないます。ただし、SW0/SW1/SW2/SW3 を個別に制御することは出来ません。

レジスタ TD0BCR<PHSCHG>は、A 相出力に対する B 相出力の位相関係を設定するもので、

- TD0BCR<PHSCHG> = "0": 遅らせる、または同位相  
(A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1)
- TD0BCR<PHSCHG> = "1": 進める、または同位相  
(A 相出力 = 矩形波 b0/b1、B 相出力 = 矩形波 a0/a1)

となります。

ただし、これらレジスタのビット操作は、連動 PPG モードのみ有効で PPG モードでは無視され、常に、A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1 となります。

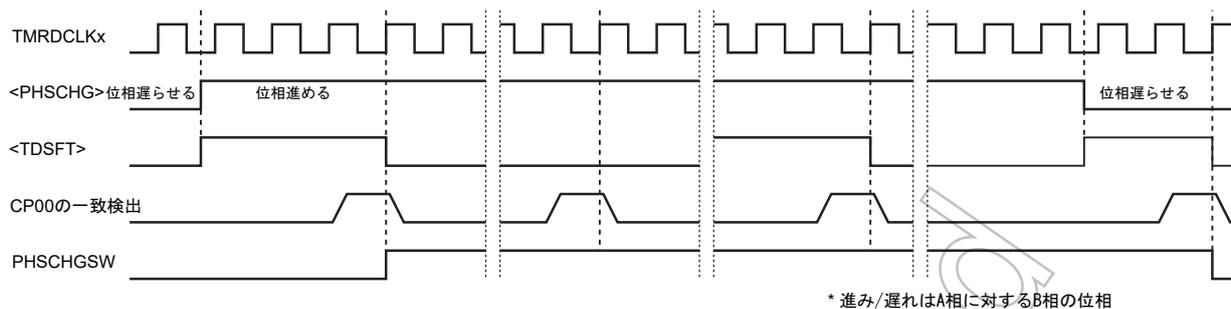


図 15-12 出力 SW(SW0/SW1/SW2/SW3)の切換えタイミング

図 15-12 に、SW(SW0~SW3)の切換えタイミング波形を示します。出力 SW を切り換える信号 PHSCHGSW は、図のように TMRD0 の更新イネーブルフラグ TDxBCR<TDSFT>が"1"の時、CP00 の一致検出のタイミング、もしくは TD0RUN<TDRUN>="1"でレジスタ TD0BCR<PHSCHG>の値に応じて変化し、

PHSCHGSW = "0" : A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1

PHSCHGSW = "1" : A 相出力 = 矩形波 b0/b1、B 相出力 = 矩形波 a0/a1

なるように、出力 SW を切り換えます。

図 15-13 に PHSCHGSW が"0"から"1"に切り換わった場合の波形図を一例として示します。

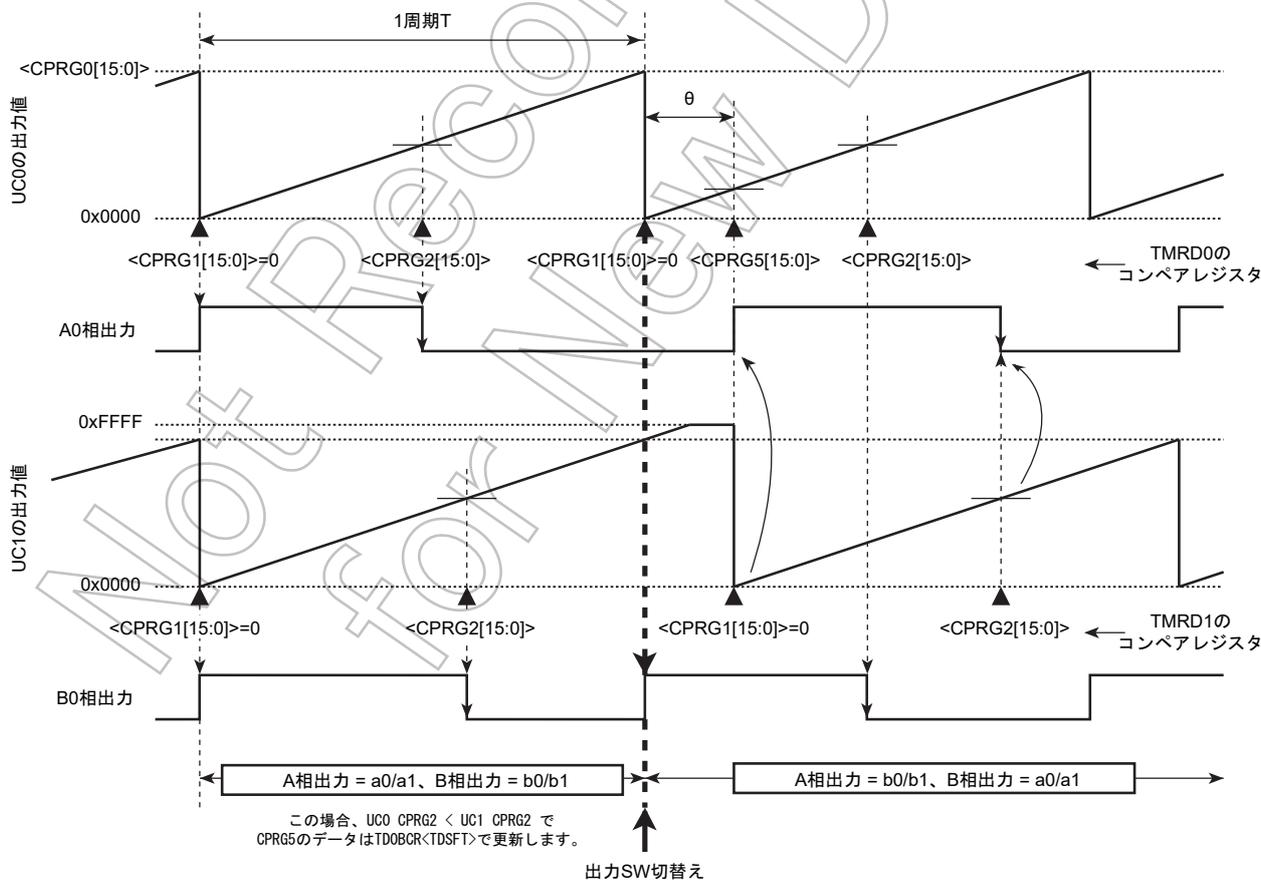


図 15-13 PHSCHGSW が"0"から"1"へ切り換わった場合の波形図

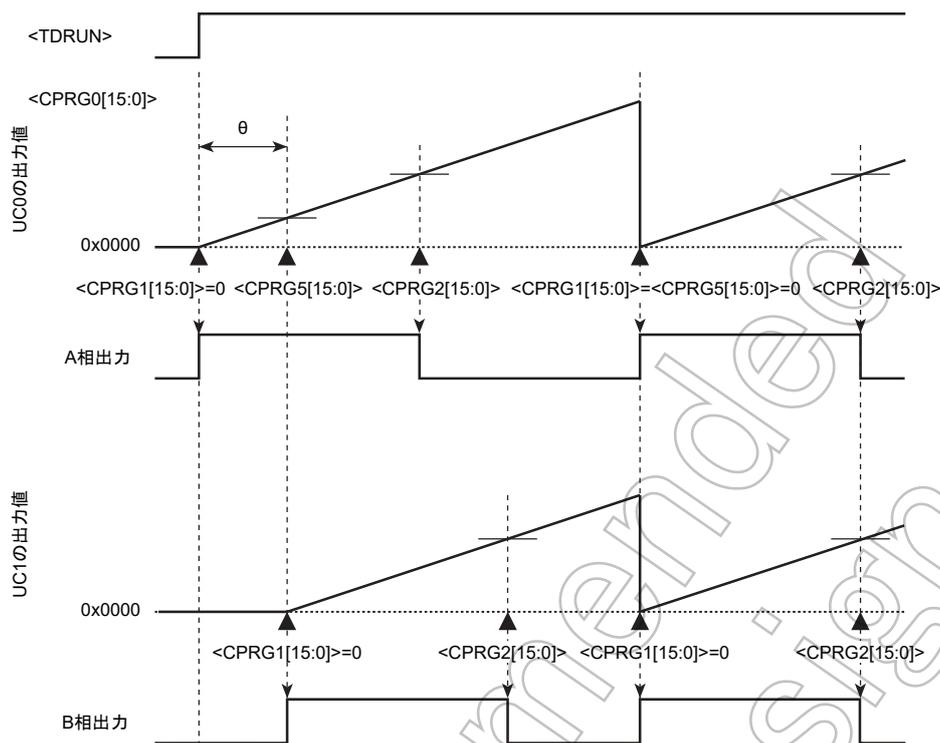
(2-4) カウンタ 1 のオーバーフロー処理

位相シフト量の範囲が  $0^\circ \leq \theta < 180^\circ$  であるため、位相シフト量を決める CP05 の一致検出から次の一致検出までの時間  $T\theta$  のとりうる範囲は、A 相/B 相出力の周期を  $T$  とすると  $0.5T \leq \theta < 1.5T$  となるため、周期  $T$  の値によっては、カウンタ 1(UC1)はオーバーフローする場合があります。従って、本モードにおいては、UC1 のカウンタ値が  $0xFFFF$  を超える場合は、次の CP05 の一致検出までカウンタのアップ動作を止め  $0xFFFF$  の値を保持するオーバーフロー処理が施されています。

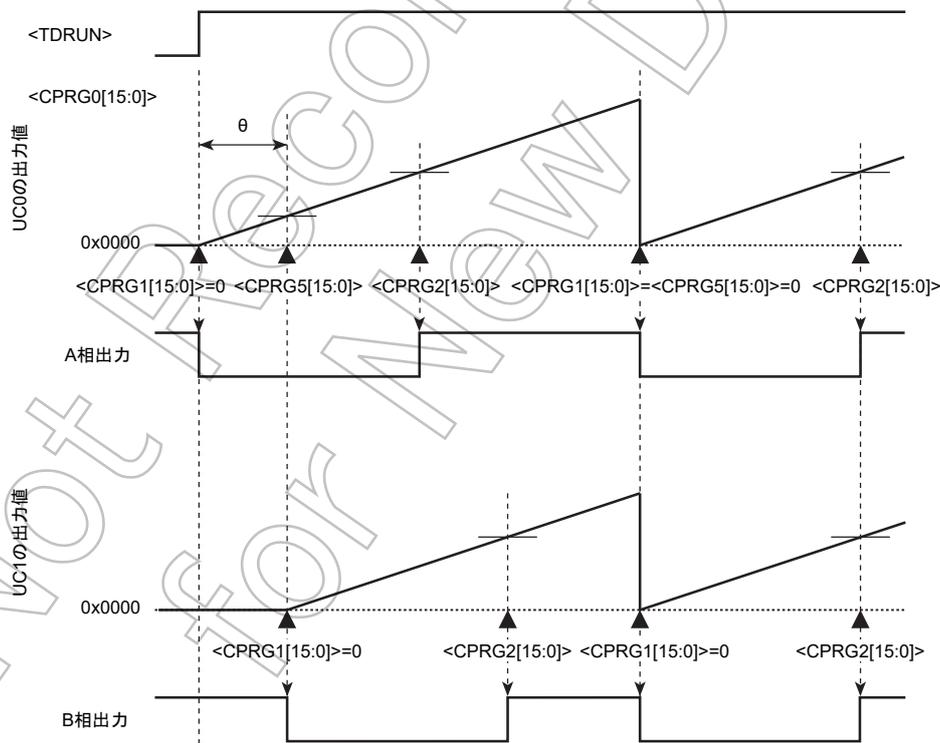
#### (2-5) 連動 PPG モードのスタートタイミング

連動 PPG の出力は、レジスタ TDORUN<TDRUN>に"1"を書き込むことによってスタートします。図 15-14 に示すようにスタートと同時に leading edge が立上り/立下り設定の場合も、最初の周期から任意の出力をすることが可能です。また、図のタイミングは  $TDxCP1<CPRG1[15:0]>="0"$  の場合のタイミングです。

Not Recommended  
for New Design



(1) Leading edgeを立ち上がりに指定した場合



(2) Leading edgeを立ち下りに指定した場合

図 15-14 スタート時のタイミングチャート

(3) 連動 PPG モードのレジスタ設定手順

(3-1) 連動 PPG モードにおけるレジスタ設定の優先

本モードにおいて、TMRD0 がマスタ、TMRD1 がスレーブ的に動作するため TMRD0 への設定が TMRD1 の設定よりも優先するビットがあります。その対象ビットを表 15-3 に示します。

表 15-3 TMRD0 の設定が優先するビット

TMRD0 レジスタ	TMRD1 レジスタ
TD0MOD<TDCLK[3:0]>	TD1MOD<TDCLK[3:0]>
TD0CR<TDRDE>	TD1CR<TDRDE>
TD0RUN<TDRUN>	TD1RUN<TDRUN>

従って、本モードにおいて、上記 TMRD1 のレジスタへの設定は不要となります。但し、設定した場合には設定値は無視されますが対象レジスタにはその設定値が残るため注意してください。

例えば、TD1RUN<TDRUN> = "1" に設定されていると、本モード停止後、TMRD1 が再動作を開始するので TD1RUN<TDRUN> = "0" に設定してください。

### (3-2) 連動 PPG モードの起動までの手順

連動 PPG モードを起動するまでのレジスタの設定は以下の番号順で行なってください。

#### a. 供給クロックの選択

1. TMRD に供給するクロックを選択し、レジスタ CGPWMGEAR<PWMGEAR[1:0]>で選択します。
2. レジスタ CGPWMGEAR<TMRDCLKEN>を"1"にし TMRD へのクロック供給をイネーブルにします。このとき、必ず <PWMGEAR[1:0]>の値を設定した後、TMRDCLKEN に"1"をセットしてください。

#### b. 各タイムユニットの動作モード選択

1. 各タイムユニット共、連動 PPG モードのため、レジスタ TD0CONF<TMRDMOD[2:0]>="111"に設定します。同時に IDLE モードにおけるタイムユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

#### c. 各タイムユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 二つのタイムユニットへのクロック供給動作を ON/OFF するレジスタ TD0EN の各ビット<TDEN1>、<TDEN0>を"1"に設定します。( <TDEN1>、<TDEN0>とも"1"に設定する必要があります。)
2. タイムユニットで使用するクロックをレジスタ TD0MOD<TDCLK[3:0]>で選択します。同時に、同じレジスタにある<TDIV[1:0]>ビットで a0, a1 の leading edge と trailing edge の極性を設定します。
3. TD1MOD<TDIV[1:0]>で b0, b1 の leading edge と trailing edge の極性を設定します。

#### d. 各タイムレジスタ及びコンペアレジスタへの初期設定

1. レジスタ TD0CR<TDRDE>="0" に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードです。(タイムレジスタへの書き込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです。)
2. 各タイムレジスタ(TDxRGm)に所望の値を設定します。  
レジスタ TDxCR<TDRDE>="0"のモードでは、レジスタ TDxBCR<TDSFT>を"1"に設定する操作及び更新タイミング信号は必要ありません。

#### e. A 相出力と B 相出力の進み/遅れの位相関係の初期設定

1. 起動時の A 相出力と B 相出力の進み遅れの位相関係をレジスタ TD0BCR<PHSCHG>に設定します。このとき、TD0BCR<TDSFT>に"1"の設定は不要です。

#### f. 連動 PPG モードの起動

1. レジスタ TD0CR<TDRDE>="1"に設定し、コンペアレジスタへの書き込みをタイムレジスタ経由にします。(タイムレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. レジスタ TD0RUN<TDRUN>="1"に設定し、スタートさせます。

## (3-3) 連動 PPG モード起動後の手順

連動 PPG モードを起動した後のレジスタの設定は以下の番号順で行います。

## a. 各タイマーレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマーレジスタ(TDxRGm)に任意の値を設定します。ただし、TD1RG0 の値は本モードの動作には寄与しません。
2. 上記設定後、A 相出力と B 相出力の進み遅れの位相関係を変更する場合は、レジスタ TD0BCR<PHSCHG>の設定値を変更し、同時に TD0BCR<TDSFT>を"1"に設定します。このとき、TD1BCR<TDSFT>に"1"を設定しないでください。

上記手順により、所定の更新タイミングでタイマーレジスタの値が対応するコンペアレジスタに設定されます。(図 15-4 参照)

## b. 矩形波出力の停止

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TD0RUN<TDRUN>="0"に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDxRGm)、(TDxBCR)、(TDxRUN)の 3 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。

## (3-4) 連動 PPG モードにおける出力 SW 切り替え時の注意事項

連動 PPG モードでは、矩形波 b0/b1 の trailing edge は COUNTER0(UC0)の周期を越えたタイミングでも設定可能なため、位相を「進みから遅れ」また「遅れから進み」に切替える場合(出力 SW の切替え時)に注意が必要です。

以下、矩形波 b0/b1 の trailing edge が UC0 の周期内にある場合と周期を超えたタイミングにある場合との出力 SW 切り替え時の A 相及び B 相出力の波形について説明します。

ここで UC0 の周期とは、カウンタ値が"0"から"0"に戻るまでの時間です。

## (3-4.1) 矩形波 b0/b1 の trailing edge が UC0 の周期内にある場合

図 15-15 の様に、trailing edge が UC0 の周期内にある場合の A0 相出力と B0 相出力の位相関係で、A0 相を進んだ状態から遅れた状態に切り換える場合、図 15-16 に示すように、所定の CP00 の一致検出のタイミングで出力 SW を切り換え、A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0 の関係を A0 相出力 = 矩形波 b0、B0 相出力 = 矩形波 a0 に切り換えるが、出力 SW 切り換えのタイミングで矩形波 a0 と b0 の信号レベルが同じため、異常な波形は発生せずに切り換わります。

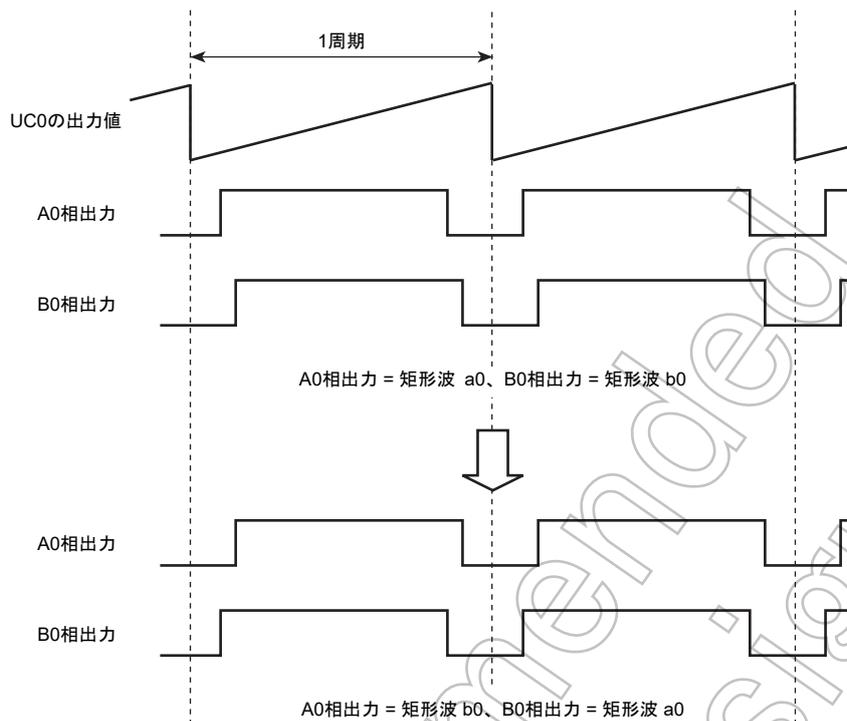


図 15-15 位相進み遅れ(出力 SW)切換前と後の波形 (矩形波 b0 の trailing edge が UC0 の周期内)

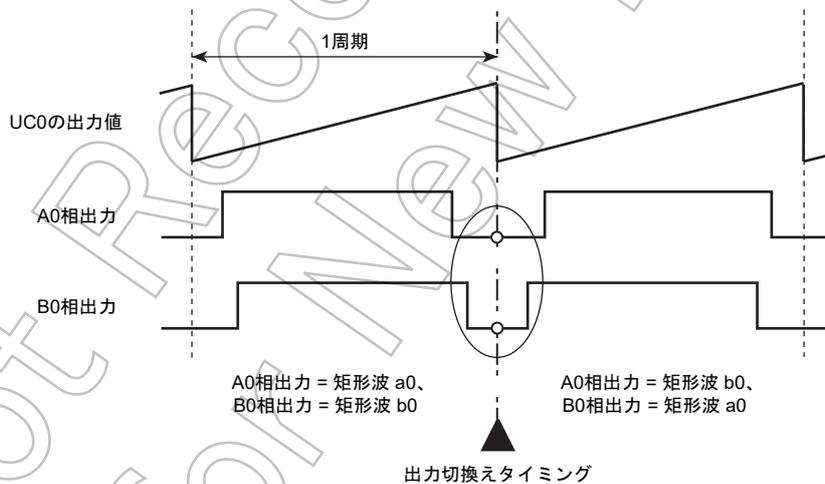


図 15-16 出力 SW0 の切換前後の波形 (矩形波 b0 の trailing edge が UC0 の周期内)

A0 相出力が B0 相出力に対して位相が進んだ状態から遅れた状態に切り換える場合について述べましたが、逆に遅れた状態から進んだ状態に切り換える場合も同様で、異常な波形は発生しません。

また、A1 相/B1 相の場合も同様です。

(3-4.2) 矩形波 b0/b1 の trailing edge が UC0 の周期を超えた場合

図 15-17 の様に、trailing edge が UC0 の周期を越えている A0 相出力と B0 相出力の位相関係で、A0 相が進んだ状態から遅れた状態に切り換える場合、図 15-18 に示すように、所定の CP00 の一致検出のタイミングで出力 SW0 を切り換え、A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0 の関係を A0 相出力 = 矩形波 b0、B0 相出力 = 矩形波 a0 に変更します。この時、出力 SW 切り換えのタイミングで矩形波 a0 と b0 の信号レベルが異なるので、図 15-18 のようにパルス状の波形が発生します。

A0 相出力が B0 相出力に対して位相が進んだ状態から遅れた状態に切り換える場合について述べましたが、逆に遅れた状態から進んだ状態に切り換える場合も同様、図 15-18 のようにパルス状の波形が発生します。また、A1 相/B1 相の場合も同様です。

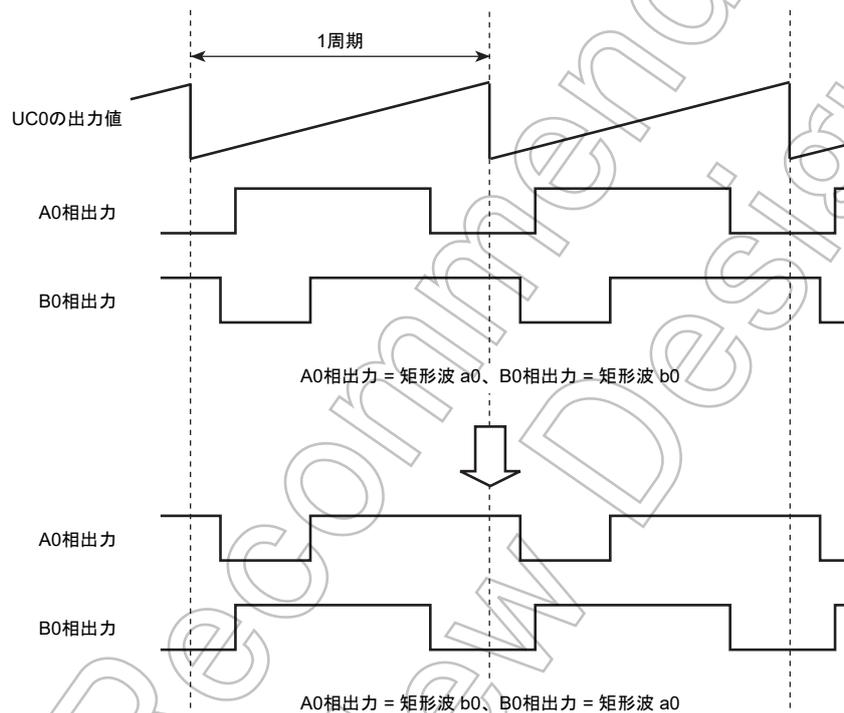


図 15-17 位相進み遅れ(出力 SW)切換前と後の波形 (矩形波 b0 の trailing edge が UC0 の周期を越える)

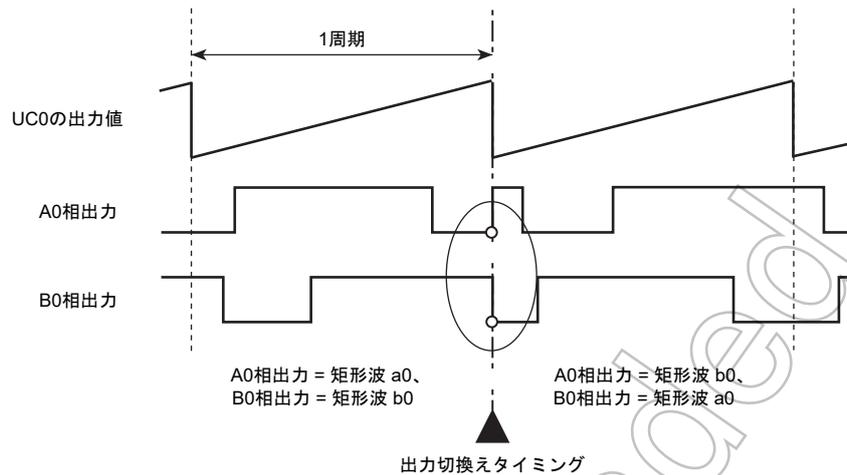


図 15-18 出力 SW0 の切換え前後の波形（矩形波 b0 の trailing edge が UC0 の周期を越える）

A0 相出力が B0 相出力に対して位相が進んだ状態から遅れた状態へ切り換える場合について述べましたが、逆に遅れた状態から進んだ状態へ変更する場合も同様、図 15-18 のようなパルス状の波形が発生します。また、A1 相/B1 相の場合も同様です。

位相進み遅れの切り換え点で、このようなパルスが発生することが系統的に問題になる場合、位相の進みから遅れ、また遅れから進みに切り換える前に一度、同位相の状態を経由させることで回避することが出来ます。

15.4.2.3 コンペアレジスタの設定範囲

16 ビットプログラマブル矩形波出力におけるコンペアレジスタへの設定範囲を表 15-4 に示します。

表 15-4 16 ビットプログラマブル矩形波出力時のコンペアレジスタの設定範囲

タイムユニット	コンペアレジスタ	16 ビットプログラマブル矩形波出力	
		PPG	連動 PPG
TMRD0	TD0CP0	0x0001 ≤ CPRG0[15:0] ≤ 0xFFFF	0x0001 ≤ CPRG0[15:0] ≤ 0xFFFF
	TD0CP1	0x0000 ≤ CPRG1[15:0] < CPRG2[15:0]	0x0000 ≤ CPRG1[15:0] < CPRG2[15:0]
	TD0CP2	CPRG1[15:0] < CPRG2[15:0] ≤ CPRG0[15:0]	CPRG1[15:0] < CPRG2[15:0] ≤ CPRG0[15:0]
	TD0CP3	0x0000 ≤ CPRG3[15:0] < CPRG4[15:0]	0x0000 ≤ CPRG3[15:0] < CPRG4[15:0]
	TD0CP4	CPRG3[15:0] < CPRG4[15:0] ≤ CPRG0[15:0]	CPRG3[15:0] < CPRG4[15:0] ≤ CPRG0[15:0]
	TD0CP5	don't care	0x0000 ≤ CPRG5[15:0] < (CPRG0[15:0] + 2)
TMRD1	TD1CP0	0x0001 ≤ CPRG0[15:0] ≤ 0xFFFF	don't care
	TD1CP1	0x0000 ≤ CPRG1[15:0] < CPRG2[15:0]	0x0000 ≤ CPRG1[15:0] < CPRG2[15:0]
	TD1CP2	CPRG1[15:0] < CPRG2[15:0] ≤ CPRG0[15:0]	CPRG1[15:0] < CPRG2[15:0] ≤ TD0CP0 < CPRG0[15:0]
	TD1CP3	0x0000 ≤ CPRG3[15:0] < CPRG4[15:0]	0x0000 ≤ CPRG3[15:0] < CPRG4[15:0]
	TD1CP4	CPRG3[15:0] < CPRG4[15:0] ≤ CPRG0[15:0]	CPRG3[15:0] < CPRG4[15:0] ≤ TD0CP0 < CPRG0[15:0]

矩形波出力の周期 Tx は、TMRDCLK の周波数を f<sub>CLKX</sub> とすると、下記で計算します。

(1) PPG の場合 x = 0,1

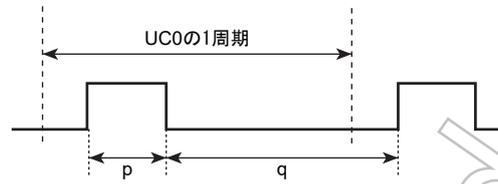
$$Tx = (1/f_{CLKX}) \times (TDxCP0 < CPRG0[15:0] > + 1)$$

(2) 連動 PPG の場合

$$T = (1/f_{CLK0}) \times (TD0CP0 < CPRG0[15:0] > + 1)$$

矩形波出力の Duty は、TMRDCLK0 の周波数を  $f_{CLK0}$  とすると、例えば a0 の場合下記で計算します。

$$p : q = \{CPRG2[15:0] - CPRG1[15:0]\} : \{(CPRG0[15:0]+1) - CPRG2[15:0] + CPRG1[15:0]\}$$



Not Recommended for New Design

## 第 16 章 シリアルチャネル(SIO/UART)

### 16.1 概要

シリアルチャネル(SIO)は同期通信モード(IO インタフェースモード)と非同期通信モード(UART モード)の2つのモードを持っています。特長は以下のとおりです。

- ・ 転送クロック
  - プリスケアラでペリフェラルクロック( $\Phi T0$ )を 1/2、1/8、1/32、1/128 分周
  - プリスケアラ出力クロックに対し、1~16 分周が可能
  - プリスケアラ出力クロックに対し、 $N + m/16$  ( $N = 2 \sim 15, m = 1 \sim 15$ )分周が可能 (UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- ・ ダブルバッファ/FIFO
  - ダブルバッファおよび、送受信あわせて最大 4 バイトの FIFO を使用可能
- ・ IO インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定)/入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
- ・ UART モード
  - データ長：7, 8, 9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTS}}$  端子を用いたハンドシェイク機能

以下の説明中、"x"はチャネル番号をあらわします。

### 16.2 チャネル別仕様相違点

TMPM341FDXBG/FYXBG は 5 チャネルの SIO を内蔵しています。

各チャネルはそれぞれ独立に動作します。チャネルごとの使用端子と割り込みを以下にまとめます。

表 16-1 SIO のチャネル別仕様相違点

	端子名			割り込み		DMA 要求	シリアルクロック生成タイマ
	TXD	RXD	$\overline{\text{CTS}}/\text{SCLKx}$	受信割り込み	送信割り込み		
チャネル 0	PE0	PE1	PE2	INTRX0	INTTX0	サポート	TB8OUT
チャネル 1	PC0	PC1	PC2	INTRX1	INTTX1	-	TB8OUT
チャネル 2	PC4	PC5	PC6	INTRX2	INTTX2	サポート	TB8OUT
チャネル 3	PG4	PG5	PG6	INTRX3	INTTX3	-	TB9OUT
チャネル 4	PH0	PH1	PH2	INTRX4	INTTX4	サポート	TB9OUT

### 16.3 構成

図 16-1 に SIO のブロック図を示します。

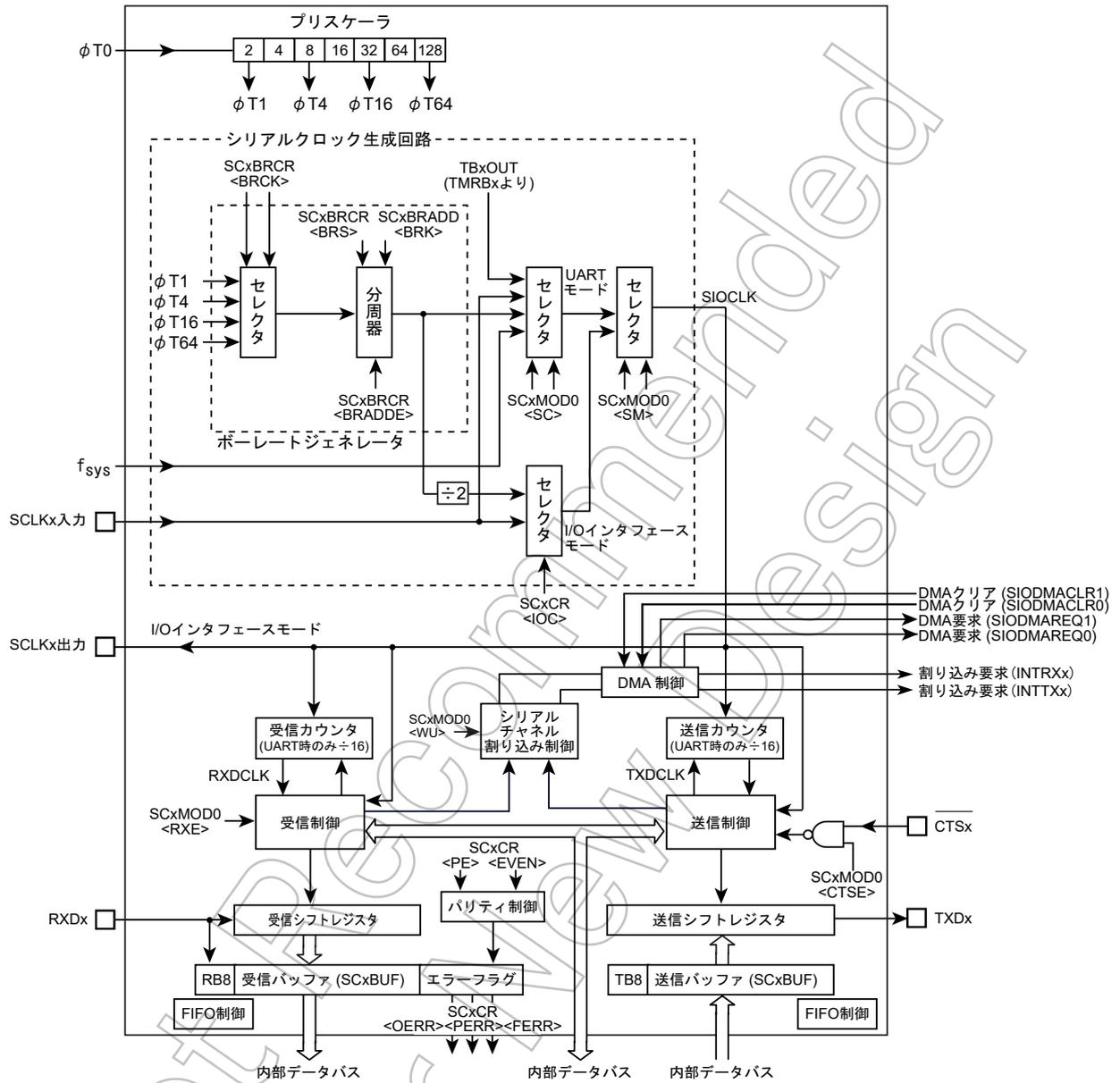


図 16-1 SIO ブロック図

## 16.4 レジスタ説明

### 16.4.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel0	0x400E_1000
Channel1	0x400E_1100
Channel2	0x400E_1200
Channel3	0x400E_1300
Channel4	0x400E_1400

レジスタ名(x=0~4)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ (注 2)	SCxDMA	0x0034

注 1) 送信中、受信中に制御レジスタを書き換えないでください。

注 2) チャネル 1 およびチャネル 3 は DMA リクエストをサポートしていません。

## 16.4.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SIOE	R/W	SIO 動作 0: 禁止 1: 動作 SIO の動作を指定します。SIO を使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く SIO のすべてのクロックが停止しますので消費電力の低減が可能です。 SIO を一旦動作させた後に動作禁止にした場合は、SCxTFC<TIL[1:0]>を除くレジスタの設定は保持されます。

注 1) SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

注 2) SIO の送信/受信割り込みを利用して DMA 転送を行う場合、SCxMOD2<SWRST>にてソフトウェアリセットを行ってから、DMAC を動作させ(DMA 要求待機状態)、SIO の送信、または受信の設定(開始)を行ってください。

## 16.4.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB : 送信用バッファ/FIFO [リード] RB : 受信用バッファ/FIFO

Not Recommended for New Design

## 16.4.4 SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ (UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加 (UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択 (IO インタフェース用) クロック出力モードの時には"0"を設定してください。 0: SCLKx の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は High レベルからスタートします。 1: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は Low レベルからスタートします。
0	IOC	R/W	クロック選択 (IO インタフェース用) 0: ポーレートジェネレータ 1: SCLK 端子入力

注) エラーフラグ(OERR, PERR, FERR)は読み出すとクリアされます。

## 16.4.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると CTS 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: IO インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック (UART 用) 00: タイマ TBxOUT (注 1) 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック (SCLK 入力) (IO インタフェースモード時の転送クロックは、コントロールレジスタ (SCxCR) で選択します。)

注 1) <RXE>ビットは、各モードレジスタ (SCxMOD0, SCxMOD1, SCxMOD2) を設定してから許可してください。

注 2) 受信中に動作を停止 (SCxMOD0<RXE>を"0"にクリア) しないでください。

注 3) <SC[1:0]>="00"の場合、SIO チャンネルによりソースクロックが異なります。(チャンネル 0,1,2 の場合: TB8OUT, チャンネル 3,4 の場合: TB9OUT)

## 16.4.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT		-	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 IO インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。 UART モードの場合は FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1)(注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(IO インタフェース用) 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK IO インタフェースモードで SCLK 出力の場合に有効なビットです。その他のモードでは意味を持ちません。 IO インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	-	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

注 3) SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

## 16.4.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31-8	-	R	リードすると"0"が読めます。											
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。											
6	RBFL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファヘッダデータが格納されると"1"になり、読み出すと"0"になります。											
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>&lt;TXRUN&gt;</th> <th>&lt;TBEMP&gt;</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>-</td> <td>送信動作中</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>送信が完全に終了</td> </tr> <tr> <td>0</td> <td>送信バッファに次のデータがあり送信待ち</td> </tr> </tbody> </table>	<TXRUN>	<TBEMP>	状態	1	-	送信動作中	0	1	送信が完全に終了	0	送信バッファに次のデータがあり送信待ち
<TXRUN>	<TBEMP>	状態												
1	-	送信動作中												
0	1	送信が完全に終了												
	0	送信バッファに次のデータがあり送信待ち												
4	SBLN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。											
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first IO インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。											
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 IO インタフェースモードの送信(SCLK 出力/入力), 受信(SCLK 出力), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 IO インタフェースモードの受信(SCLK 入力), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。											

Bit	Bit Symbol	Type	機能												
1-0	SWRST[1:0]	R/W	<p>ソフトリセット</p> <p>"10"→"01"の順に書き込むことでソフトウェアリセットが発生します。</p> <p>ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1)(注 2)</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>SCxMOD0</td> <td>&lt;RXE&gt;</td> </tr> <tr> <td>SCxMOD1</td> <td>&lt;TXE&gt;</td> </tr> <tr> <td>SCxMOD2</td> <td>&lt;TBEMP&gt;, &lt;RBFLL&gt;, &lt;TXRUN&gt;</td> </tr> <tr> <td>SCxCR</td> <td>&lt;OERR&gt;, &lt;PERR&gt;, &lt;FERR&gt;</td> </tr> <tr> <td>SCxDMA (注 2)</td> <td>&lt;DMAEN1&gt;, &lt;DMAEN0&gt;</td> </tr> </tbody> </table>	レジスタ名	ビット	SCxMOD0	<RXE>	SCxMOD1	<TXE>	SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>	SCxCR	<OERR>, <PERR>, <FERR>	SCxDMA (注 2)	<DMAEN1>, <DMAEN0>
レジスタ名	ビット														
SCxMOD0	<RXE>														
SCxMOD1	<TXE>														
SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>														
SCxCR	<OERR>, <PERR>, <FERR>														
SCxDMA (注 2)	<DMAEN1>, <DMAEN0>														

注 1) 転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。

注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロックが必要です。

### 16.4.8 SCxBRCR (ポーレートジェネレータコントロールレジスタ), SCxBRADD (ポーレートジェネレータコントロールレジスタ 2)

ポーレートジェネレータの分周値は、下記の2つのレジスタで設定します。

#### SCxBRCR

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 - K)/16分周機能(UART用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ポーレートジェネレータ入力クロック選択 00: φT1 01: φT4 10: φT16 11: φT64
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16分周 0001: 1分周 0010: 2分周 : 1111: 15分周

SCxBRADD

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 - K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 16-2 にまとめます。

表 16-2 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 - K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) UART モードで N + (16 - K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 3) IO インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

注 4) "K"値に"0"を設定することはできません。

## 16.4.9 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

Not Recommended for New Designs

Bit	Bit Symbol	Type	機能						
31-8	-	R	リードすると"0"が読めます。						
7-5	-	R/W	必ず"000"を書き込んでください。						
4	RFST	R/W	受信 FIFO 使用バイト数 0: 最大 1: 受信 FIFO の FILL レベルに同じ 受信 FIFO 使用バイト数の設定ビットです。(注 1) "0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。 "1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。						
3	TFIE	R/W	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可 送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。						
2	RFIE	R/W	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可 受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。						
1	RXTXCNT	R/W	RXE/TXE の自動禁止 0: なし 1: 自動禁止 送信/受信の自動禁止機能の制御ビットです。 "1"に設定した場合、設定された通信方式により以下のように動作します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">半二重受信</td> <td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 &lt;RXE&gt;)が"0"となり、受信が禁止される。</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 &lt;TXE&gt;)が"0"となり、送信が禁止される。</td> </tr> <tr> <td>全二重</td> <td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。</td> </tr> </table>	半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。	半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。	全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。
半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。								
半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。								
全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。								
0	CNFG	R/W	FIFO の許可 0: 禁止 1: 許可 FIFO 使用の許可ビットです。(注 2) "1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">半二重受信</td> <td>受信 FIFO 4 バイト</td> </tr> <tr> <td>半二重送信</td> <td>送信 FIFO 4 バイト</td> </tr> <tr> <td>全二重</td> <td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td> </tr> </table>	半二重受信	受信 FIFO 4 バイト	半二重送信	送信 FIFO 4 バイト	全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト
半二重受信	受信 FIFO 4 バイト								
半二重送信	送信 FIFO 4 バイト								
全二重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト								

注 1) 送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。

注 2) 9 ビット UART モードでは FIFO は使用できません。

16.4.10 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	-	RIL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると"0"が読めます。															
7	RFCS	W	受信 FIFO クリア(注) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。															
6	RFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ読み出し時に fill レベルを超えている															
5-2	-	R	リードすると"0"が読めます。															
1-0	RIL[1:0]	R/W	受信割り込みが発生する FIFO の fill レベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>4 バイト</td> <td>2 バイト</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>2 バイト</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	4 バイト	2 バイト	01	1 バイト	1 バイト	10	2 バイト	2 バイト	11	3 バイト	1 バイト
	半二重	全二重																
00	4 バイト	2 バイト																
01	1 バイト	1 バイト																
10	2 バイト	2 バイト																
11	3 バイト	1 バイト																

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

16.4.11 SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	-	TJL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	-	R	リードすると"0"が読めます。															
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。															
6	TFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ書き込み時に fill レベルに達していない															
5-2	-	R	リードすると"0"が読めます。															
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>Empty</td> <td>Empty</td> </tr> <tr> <td>01</td> <td>1 バイト</td> <td>1 バイト</td> </tr> <tr> <td>10</td> <td>2 バイト</td> <td>Empty</td> </tr> <tr> <td>11</td> <td>3 バイト</td> <td>1 バイト</td> </tr> </tbody> </table>		半二重	全二重	00	Empty	Empty	01	1 バイト	1 バイト	10	2 バイト	Empty	11	3 バイト	1 バイト
	半二重	全二重																
00	Empty	Empty																
01	1 バイト	1 バイト																
10	2 バイト	Empty																
11	3 バイト	1 バイト																

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) 以下の動作を行った際は、SCxTFC レジスタを再度設定してください。

- ・ SCxEN<SIOE>="0" (SIO 動作停止)
- ・ SCxMOD1<I2SC>="0" (IDLE モード時動作禁止)設定で、WFI 命令による低消費電力モードへの遷移からの復帰後

## 16.4.12 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバーラン(注) 0: オーバーランは発生していない 1: オーバーラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>ビットはバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

## 16.4.13 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>ビットはバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

## 16.4.14 SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求(受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求(送信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注 1) DMA 要求(転送)中に同要求が発行された場合、要求は保持されずネスティングされません。

注 2) チャンネル 1 およびチャンネル 3 は DMA リクエストをサポートしていません。

## 16.5 動作モード

表 16-3 にモードとデータフォーマットをまとめます。

表 16-3 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (IO インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、IO を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力/出力いずれも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

## 16.6 データフォーマット

### 16.6.1 データフォーマット一覧

図 16-2 にデータフォーマットを示します。

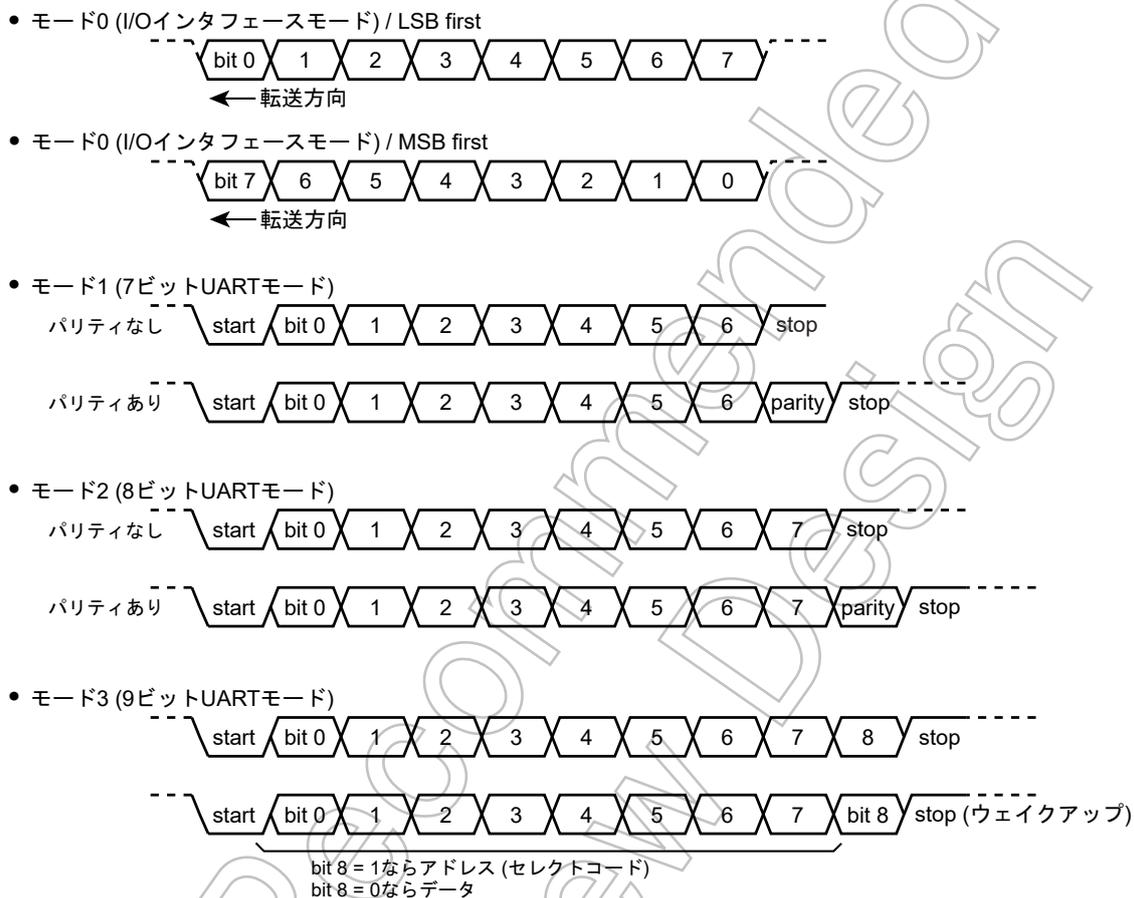


図 16-2 データフォーマット

## 16.6.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

### 16.6.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

### 16.6.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

## 16.6.3 STOP ビット長

SCxMOD2<SBLN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

## 16.7 クロック制御

## 16.7.1 プリスケーラ

7ビットのプリスケーラを実装しており、 $\Phi T0$ の2/8/32/128分周のクロックを生成します。

プリスケーラの入力クロック  $\Phi T0$  は、クロック/モード制御部の CGSYSCR レジスタで選択します。

プリスケーラは、 $SCxMOD0 < SC[1:0] > = "01"$  でポーレートジェネレータを転送クロックとして選択した場合に動作します。

ポーレートジェネレータへの入力クロック分解能を、下表に示します。

表 16-4 ポーレートジェネレータへの入力クロック分解能  $f_c = 40 \text{ MHz}$ 

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	000 (fperiph/1)	$f_c/2^1$ (0.05 $\mu\text{s}$ )	$f_c/2^3$ (0.2 $\mu\text{s}$ )	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )
		001 (fperiph/2)	$f_c/2^2$ (0.1 $\mu\text{s}$ )	$f_c/2^4$ (0.4 $\mu\text{s}$ )	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )
		010 (fperiph/4)	$f_c/2^3$ (0.2 $\mu\text{s}$ )	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )
		011 (fperiph/8)	$f_c/2^4$ (0.4 $\mu\text{s}$ )	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )
		100 (fperiph/16)	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )
		101 (fperiph/32)	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )
	100 (fc/2)	000 (fperiph/1)	$f_c/2^2$ (0.1 $\mu\text{s}$ )	$f_c/2^4$ (0.4 $\mu\text{s}$ )	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )
		001 (fperiph/2)	$f_c/2^3$ (0.2 $\mu\text{s}$ )	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )
		010 (fperiph/4)	$f_c/2^4$ (0.4 $\mu\text{s}$ )	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )
		011 (fperiph/8)	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )
		100 (fperiph/16)	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )
		101 (fperiph/32)	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	$f_c/2^{13}$ (204.8 $\mu\text{s}$ )
	101 (fc/4)	000 (fperiph/1)	$f_c/2^3$ (0.2 $\mu\text{s}$ )	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )
		001 (fperiph/2)	$f_c/2^4$ (0.4 $\mu\text{s}$ )	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )
		010 (fperiph/4)	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )
		011 (fperiph/8)	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )
		100 (fperiph/16)	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	$f_c/2^{13}$ (204.8 $\mu\text{s}$ )
		101 (fperiph/32)	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )	$f_c/2^{14}$ (409.6 $\mu\text{s}$ )
	110 (fc/8)	000 (fperiph/1)	$f_c/2^4$ (0.4 $\mu\text{s}$ )	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )
		001 (fperiph/2)	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )
		010 (fperiph/4)	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )
		011 (fperiph/8)	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	$f_c/2^{13}$ (204.8 $\mu\text{s}$ )
		100 (fperiph/16)	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )	$f_c/2^{14}$ (409.6 $\mu\text{s}$ )
		101 (fperiph/32)	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	$f_c/2^{13}$ (204.8 $\mu\text{s}$ )	$f_c/2^{15}$ (819.2 $\mu\text{s}$ )
111 (fc/16)	000 (fperiph/1)	$f_c/2^5$ (0.8 $\mu\text{s}$ )	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	
	001 (fperiph/2)	$f_c/2^6$ (1.6 $\mu\text{s}$ )	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )	
	010 (fperiph/4)	$f_c/2^7$ (3.2 $\mu\text{s}$ )	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	$f_c/2^{13}$ (204.8 $\mu\text{s}$ )	
	011 (fperiph/8)	$f_c/2^8$ (6.4 $\mu\text{s}$ )	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )	$f_c/2^{14}$ (409.6 $\mu\text{s}$ )	
	100 (fperiph/16)	$f_c/2^9$ (12.8 $\mu\text{s}$ )	$f_c/2^{11}$ (51.2 $\mu\text{s}$ )	$f_c/2^{13}$ (204.8 $\mu\text{s}$ )	$f_c/2^{15}$ (819.2 $\mu\text{s}$ )	
	101 (fperiph/32)	$f_c/2^{10}$ (25.6 $\mu\text{s}$ )	$f_c/2^{12}$ (102.4 $\mu\text{s}$ )	$f_c/2^{14}$ (409.6 $\mu\text{s}$ )	$f_c/2^{16}$ (1638 $\mu\text{s}$ )	

表 16-4 ボーレートジェネレータへの入力クロック分解能  $f_c = 40 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出カクロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.05 $\mu\text{s}$ )	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.1 $\mu\text{s}$ )	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	$fc/2^{11}$ (51.2 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	$fc/2^{12}$ (102.4 $\mu\text{s}$ )
	100 (fc/2)	000 (fperiph/1)	-	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.1 $\mu\text{s}$ )	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	$fc/2^{11}$ (51.2 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	$fc/2^{12}$ (102.4 $\mu\text{s}$ )
	101 (fc/4)	000 (fperiph/1)	-	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.2 $\mu\text{s}$ )	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	$fc/2^{11}$ (51.2 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	$fc/2^{12}$ (102.4 $\mu\text{s}$ )
	110 (fc/8)	000 (fperiph/1)	-	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )
		010 (fperiph/4)	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.4 $\mu\text{s}$ )	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	$fc/2^{11}$ (51.2 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	$fc/2^{12}$ (102.4 $\mu\text{s}$ )
111 (fc/16)	000 (fperiph/1)	-	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	
	001 (fperiph/2)	-	-	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	
	010 (fperiph/4)	-	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	
	011 (fperiph/8)	-	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	
	100 (fperiph/16)	$fc/2^5$ (0.8 $\mu\text{s}$ )	$fc/2^7$ (3.2 $\mu\text{s}$ )	$fc/2^9$ (12.8 $\mu\text{s}$ )	$fc/2^{11}$ (51.2 $\mu\text{s}$ )	
	101 (fperiph/32)	$fc/2^6$ (1.6 $\mu\text{s}$ )	$fc/2^8$ (6.4 $\mu\text{s}$ )	$fc/2^{10}$ (25.6 $\mu\text{s}$ )	$fc/2^{12}$ (102.4 $\mu\text{s}$ )	

注 1) プリスケアラ出カクロック  $fTn$  は、必ず  $fTn \geq f_{\text{sys}}/2$  を満足するように ( $fTn$  が  $f_{\text{sys}}$  よりも遅くなるように) 選択してください。

注 2) SJO 動作中はクロックギアの切り替えは行わないでください。

注 3) 表中“-”は設定禁止、“\*”は Don't Care です。

表 16-5 ボーレートジェネレータへの入力クロック分解能  $f_c = 54 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケーラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出カクロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.0370 $\mu\text{s}$ )	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.0741 $\mu\text{s}$ )	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )
	100 (fc/2)	000 (fperiph/1)	$fc/2^2$ (0.0741 $\mu\text{s}$ )	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	$fc/2^{13}$ (152 $\mu\text{s}$ )
	101 (fc/4)	000 (fperiph/1)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	$fc/2^{13}$ (152 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )	$fc/2^{14}$ (303 $\mu\text{s}$ )
	110 (fc/8)	000 (fperiph/1)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	$fc/2^{13}$ (152 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )	$fc/2^{14}$ (303 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	$fc/2^{13}$ (152 $\mu\text{s}$ )	$fc/2^{15}$ (607 $\mu\text{s}$ )
111 (fc/16)	000 (fperiph/1)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	
	001 (fperiph/2)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )	
	010 (fperiph/4)	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	$fc/2^{13}$ (152 $\mu\text{s}$ )	
	011 (fperiph/8)	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )	$fc/2^{14}$ (303 $\mu\text{s}$ )	
	100 (fperiph/16)	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	$fc/2^{13}$ (152 $\mu\text{s}$ )	$fc/2^{15}$ (607 $\mu\text{s}$ )	
	101 (fperiph/32)	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )	$fc/2^{14}$ (303 $\mu\text{s}$ )	$fc/2^{16}$ (1210 $\mu\text{s}$ )	

表 16-5 ボーレートジェネレータへの入力クロック分解能  $f_c = 54 \text{ MHz}$

ペリフェラル クロック選択 CGSYSCR <FPSEL>	クロック ギア値 CGSYSCR <GEAR[2:0]>	プリスケアラ クロック選択 CGSYSCR <PRCK[2:0]>	プリスケアラ出カクロック 分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1$ (0.0370 $\mu\text{s}$ )	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.0741 $\mu\text{s}$ )	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	$fc/2^{12}$ (75.9 $\mu\text{s}$ )
	100 (fc/2)	000 (fperiph/1)	-	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		001 (fperiph/2)	$fc/2^2$ (0.0741 $\mu\text{s}$ )	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )	$fc/2^{12}$ (85.3 $\mu\text{s}$ )
	101 (fc/4)	000 (fperiph/1)	-	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		010 (fperiph/4)	$fc/2^3$ (0.148 $\mu\text{s}$ )	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )	$fc/2^{12}$ (85.3 $\mu\text{s}$ )
	110 (fc/8)	000 (fperiph/1)	-	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )
		001 (fperiph/2)	-	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )
		010 (fperiph/4)	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )
		011 (fperiph/8)	$fc/2^4$ (0.296 $\mu\text{s}$ )	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )
		100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )
		101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )	$fc/2^{12}$ (85.3 $\mu\text{s}$ )
111 (fc/16)	000 (fperiph/1)	-	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	
	001 (fperiph/2)	-	-	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	
	010 (fperiph/4)	-	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	
	011 (fperiph/8)	-	$fc/2^6$ (1.19 $\mu\text{s}$ )	$fc/2^8$ (4.74 $\mu\text{s}$ )	$fc/2^{10}$ (19.0 $\mu\text{s}$ )	
	100 (fperiph/16)	$fc/2^5$ (0.593 $\mu\text{s}$ )	$fc/2^7$ (2.37 $\mu\text{s}$ )	$fc/2^9$ (9.48 $\mu\text{s}$ )	$fc/2^{11}$ (37.9 $\mu\text{s}$ )	
	101 (fperiph/32)	$fc/2^6$ (1.33 $\mu\text{s}$ )	$fc/2^8$ (5.33 $\mu\text{s}$ )	$fc/2^{10}$ (21.3 $\mu\text{s}$ )	$fc/2^{12}$ (85.3 $\mu\text{s}$ )	

注 1) プリスケアラ出カクロック  $\phi T_n$  は、必ず  $\phi T_n \leq f_{\text{sys}}/2$  を満足するように ( $\phi T_n$  が  $f_{\text{sys}}$  よりも遅くなるように) 選択してください。

注 2) SJO 動作中はクロックギアの切り替えは行わないでください。

注 3) 表中“-”は設定禁止、“\*”は Don't Care です。

## 16.7.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

### 16.7.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

#### (1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケアラ出力の 2/8/32/128 分周から選択します。入力クロックの選択は SCxBRCR<BRCK>で行います。

#### (2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、SCxBRADD で設定します。

IO インタフェースモードでは N 分周、UART モードでは N 分周または  $N + (16-K)/16$  分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
IO インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	$N + (16-K)/16$ 分周	2 ~ 15	1 ~ 15

注) 1分周は、ダブルバッファ許可時のみ使用できます。

### 16.7.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

IO インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

#### (1) IO インタフェースモードの転送クロック

表 16-6 に IO インタフェースモードで可能なクロックを示します。

表 16-6 IO インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
IO インタフェース モード	SCLK 出力	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2分周
	SCLK 入力	立ち上がり	SCLK 入力立ち上がりエッジ
		立下り	SCLK 入力立ち下がりエッジ

ボーレートジェネレータを使用する場合、以下の設定が最高ボーレートとなります。

注) AC 電気的特性を満足することを確認のうえ、クロック設定を決定してください。

- ・ クロック/モード制御部の設定
  - $f_c = 40\text{MHz}$
  - $f_{\text{gear}} = 40\text{MHz}$  (CGSYSCR<GEAR[2:0]> = "000" :  $f_c$  選択)
  - $\Phi T0 = 40\text{MHz}$  (CGSYSCR<PRCK[2:0]> = "000" : 1分周)
- ・ SIO の設定(ダブルバッファ使用の場合)
  - クロック選択 (SCxBRCR<BRCK[1:0]> = "00" :  $\Phi T1$  選択) = 20MHz
  - 分周値 (SCxBRCR<BRS[3:0]> = "0001" : 1分周) = 20MHz

ダブルバッファ使用の場合、1分周が選択できます。ボーレートは 20MHz が 2分周され、10Mbps となります。
- ・ SIO の設定(ダブルバッファ未使用の場合)
  - クロック選択 (SCxBRCR<BRCK[1:0]> = "00" :  $\Phi T1$  選択) = 20MHz
  - 分周値 (SCxBRCR<BRS[3:0]> = "0010" : 2分周) = 10MHz

ダブルバッファ未使用の場合は、2分周が最速になります。ボーレートは 10MHz が 2分周され、5Mbps となります。

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ・ ダブルバッファ使用の場合
  - SCLK 周期 >  $6/f_{\text{sys}}$

最高ボーレートは、 $54 \div 6 = 9\text{Mbps}$  未満となります。
- ・ ダブルバッファ未使用の場合
  - SCLK 周期 >  $8/f_{\text{sys}}$

最高ボーレートは、 $54 \div 8 = 6.75\text{Mbps}$  未満となります。

## (2) UART モードの転送クロック

表 16-7 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 16-7 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLK 入力

それぞれのクロックでのボーレート例を示します。

- ・ ボーレートジェネレータを使用する場合
  - fc = 40MHz
  - fgear = 40MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
  - $\Phi T0$  = 40MHz (CGSYSCR<PRCK[2:0]> = "000" : 1 分周)
  - クロック選択 =  $\Phi T1$  = 20MHz (SCxBRCR<BRCK[1:0]> = "00" :  $\Phi T1$  選択)

最高ボーレートは 20MHz が 16 分周され、1.25Mbps となります。

表 16-8 に以下のクロック設定でボーレートジェネレータを使用する場合のボーレート例を示します。

- ・ fc = 9.8304MHz
- ・ fgear = 9.8304MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
- ・  $\Phi T0$  = 4.9152MHz (CGSYSCR<PRCK[2:0]> = "001" : 2 分周)

表 16-8 UART モードのボーレート例(ボーレートジェネレータ使用)

fc [MHz]	分周値 N (SCxBRCR<BRS[3:0]>)	$\phi T1$ (fc/4)	$\phi T4$ (fc/16)	$\phi T16$ (fc/64)	$\phi T64$ (fc/256)
9.830400	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150

単位 : kbps

- ・ SCLK 入力を使用する場合

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

  - SCLK 周期 > 2/fsys

最高ボーレートは、 $54 \div 2 \div 16 = 1.68$  Mbps 未満にする必要があります。
- ・ fsys を使用する場合

fsys の最高が 54MHz ですので、最高ボーレートは、 $54 \div 16 = 3.37$  Mbps となります。
- ・ タイマ出力を使用する場合

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

## ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR}\langle\text{PRCK}[1:0]\rangle \text{で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

↑ (タイマプリスケラクロックφT1 (2分周) を選択した場合)  
 ↑ (タイマフリップフロップ反転2回で1クロック周期となる)

表 16-9 に以下のクロック設定でタイマ出力を使用する場合のボーレート例を示します。

- ・ fc = 32MHz / 9.8304MHz / 8MHz
- ・ fgear = 32MHz / 9.8304MHz / 8MHz (CGSYSCR<GEAR[2:0]> = "000" : fc 選択)
- ・ ΦT0 = 16MHz / 4.9152MHz / 4MHz (CGSYSCR<PRCK[2:0]> = "001" : 2 分周)
- ・ タイマカウントクロック  
= 4MHz / 1.2287MHz / 1MHz (TBxMOD<TBCLK[1:0]> = "01" : ΦT1 選択)

表 16-9 UART モードのボーレート例(タイマ出力使用)

TBxRG 設定	fc		
	32MHz	9.8304MHz	8MHz
0x0001	250	76.8	62.5
0x0002	125	38.4	31.25
0x0003	-	25.6	-
0x0004	62.5	19.2	15.625
0x0005	50	15.36	12.5
0x0006	-	12.8	-
0x0008	31.25	9.6	-
0x000A	25	7.68	6.25
0x0010	15.625	4.8	-
0x0014	12.5	3.84	3.125

単位 : kbps

## 16.8 送信/受信バッファと FIFO

### 16.8.1 構成

送信/受信バッファと FIFO の構成を図 16-3 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

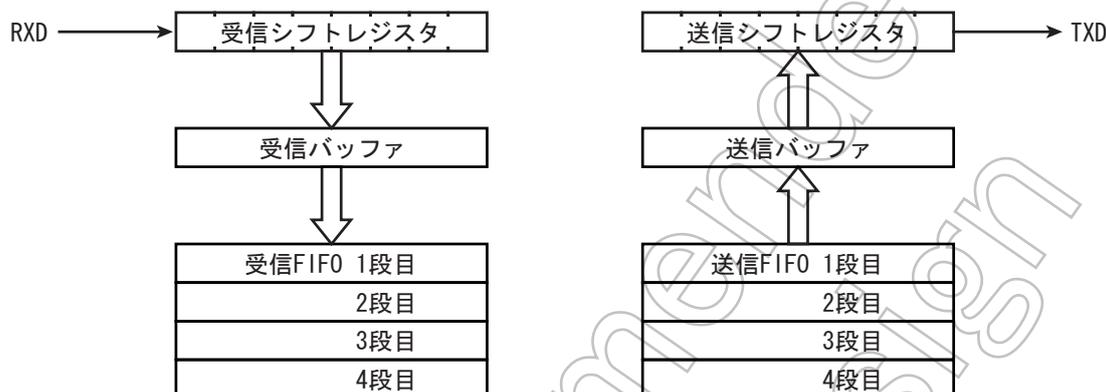


図 16-3 バッファと FIFO の構成

### 16.8.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、IO インタフェースモードで SCLK 入力の場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 16-10 にモードとバッファ構成の関係をまとめます。

表 16-10 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

### 16.8.3 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 16-11 にモードと FIFO 構成の関係をまとめます。

表 16-11 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

## 16.9 ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLl>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタへデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

## 16.10 エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART	オーバランエラー	パリティエラー	フレーミングエラー
IO インタフェース (SCLK 入力)	オーバランエラー	アンダーランエラー (ダブルバッファ または FIFO 使用時)	"0"固定
		"0"固定 (ダブルバッファ および FIFO 未使用時)	
IO インタフェース (SCLK 出力)	不定	不定	"0"固定

### 16.10.1 OERR フラグ

UART モード、IO インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO ヘッダが自動的に移されるので、受信 FIFO が full (使用バイト数) になるまではフラグはセットされません。

IO インタフェースモードの SCLK 出力の設定では、フラグのセットとともに SCLK 出力が停止します。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバーランフラグをクリアしてください。

### 16.10.2 PERR フラグ

UART モードではパリティエラーを、IO インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダーランエラーは、IO インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

SCLK 入力の場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

SCLK 出力の場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

### 16.10.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第1ストップビットで行われます。

IO インタフェースモードではこのビットは"0"固定です。

## 16.11 受信

### 16.11.1 受信カウンタ

受信カウンタは4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

### 16.11.2 受信制御部

#### 16.11.2.1 IO インタフェースモードの場合

SCxCR<IOC>="0"の SCLK 出力モードのときは、SCLK 端子へ出力されるシフトクロックの立ち上がりで RXD 端子をサンプリングします。

SCxCR <IOC>="1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD 端子をサンプリングします。

#### 16.11.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

### 16.11.3 受信動作

#### 16.11.3.1 受信バッファの動作

受信シフトレジスタに受信データが1ビットずつ格納され、データがそろると割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF)へ移され受信バッファの full フラグ(SCxMOD2<RBFL>)が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

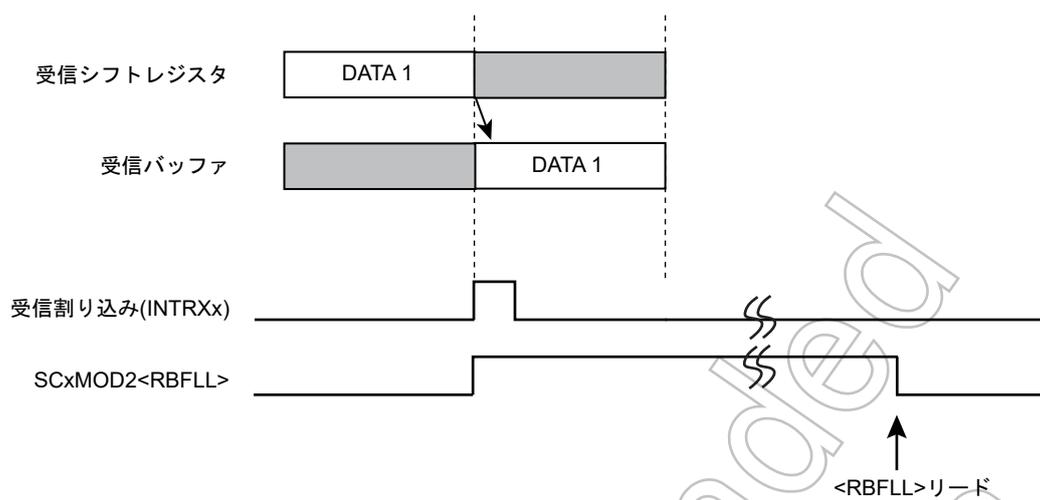


図 16-4 受信バッファの動作

Not Recommended for New Design

### 16.11.3.2 受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

- SCxMOD1[6:5]=01 : 転送モードを半二重受信に設定
- SCxFCNF[4:0]= 10111 : fill レベル到達後の継続受信自動禁止  
受信 FIFO の使用バイト数は割り込み発生 fill レベルと同じ
- SCxRFC[1:0]= 00 : 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
- SCxRFC[7:6]= 11 : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE>に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

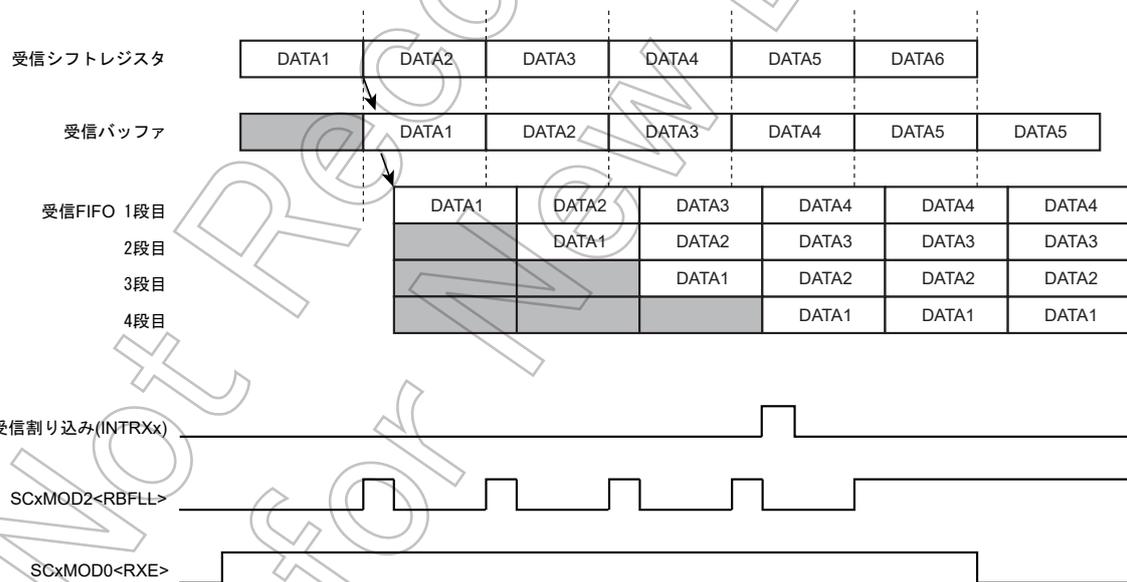


図 16-5 受信 FIFO の動作

### 16.11.3.3 IO インタフェースモード、SCLK 出力での受信

IO インタフェースモードで SCLK 出力設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されると SCLK 出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

SCLK 出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

#### (1) シングルバッファの場合

1 データ受信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されると SCLK 出力を再開します。

#### (2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、SCLK 出力を停止します。1 データが読み出されると SCLK 出力を再開します。

#### (3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されると SCLK 出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<RXE>ビットがクリアされ受信動作を停止します。

### 16.11.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず受信バッファ(SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

### 16.11.3.5 ウェイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能です。SCxCR<RB8>="1"のときのみ、割り込み INTRXx を発生させることができます。

### 16.11.3.6 オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF)を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバランが発生してオーバランフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

IO インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

Not Recommended  
for New Design

## 16.12 送信

### 16.12.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

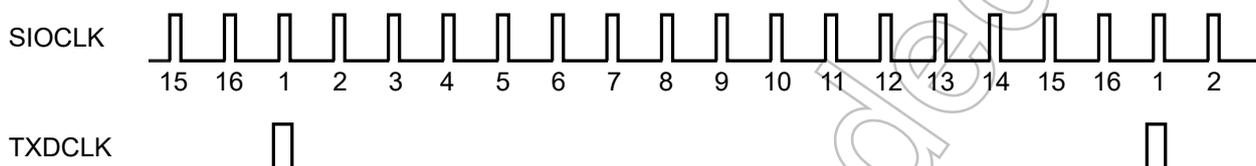


図 16-6 UART モード送信クロックの生成

### 16.12.2 送信制御部

#### 16.12.2.1 IO インタフェースモードの場合

SCxCR<IOC> = "0" の SCLK 出力モードのときは、SCLK 端子より出力されるシフトクロックの立ち下がりエッジで送信バッファのデータを1ビットずつTXD 端子へ出力します。

SCxCR<IOC> = "1" の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつシリアル送信データ TXD 端子へ出力します。

#### 16.12.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロックを生成します。

## 16.12.3 送信動作

### 16.12.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

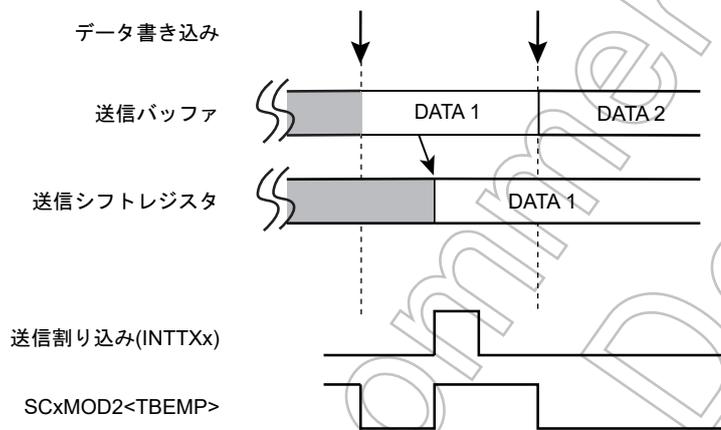


図 16-7 送信バッファの動作(ダブルバッファ有効時)

### 16.12.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP>フラグは"0"にクリアされます。

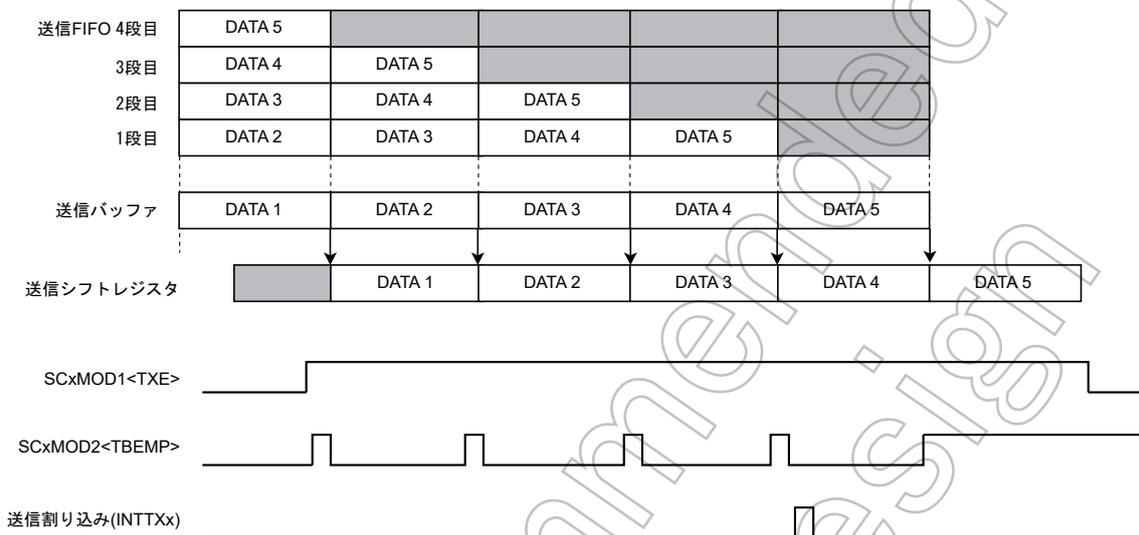
注) 送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1[6:5] = 10	: 転送モードを半二重送信に設定
SCxFCNF[4:0] = 11011	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC[1:0] = 00	: 割り込み発生の fill レベル を 0 に設定
SCxTFC[7:6] = 11	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF[0] = 1	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



### 16.12.3.3 IO インタフェースモード、SCLK 出力での送信

IO インタフェースモードで SCLK 出力の場合、設定されたデータがすべて送信されると SCLK 出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ/FIFO 使用状況によって SCLK 出力の停止/再開のタイミングが変わります。

#### (1) シングルバッファの場合

1 データ送信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれると SCLK 出力を再開します。

#### (2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されると SCLK 出力を停止します。バッファに次のデータが書き込まれると SCLK 出力を再開します。

#### (3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータの送信が終了すると SCLK 出力を停止します。次のデータが書き込まれると SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<TXE>ビットがクリアされ送信動作を停止します。

#### 16.12.3.4 アンダーランエラー

IO インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファヘデータがセットされないときは、アンダーランエラーになり SCxCR<PERR>に"1"がセットされます。

IO インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

Not Recommended  
for New Design

## 16.13 ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send) 端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバーランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

CTS 端子が "High" レベルになると、現在送信中のデータを送信完了後、CTS 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

- 注) ① 送信中に CTS 信号を立ち上げた場合、送信終了後に停止します。  
 ② CTS 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、RTS 端子はありませんが、任意のポートの 1 ビットを RTS 機能に割り当て、受信終了時に (受信割り込みルーチン内で) このポートを "High" レベルにし、送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

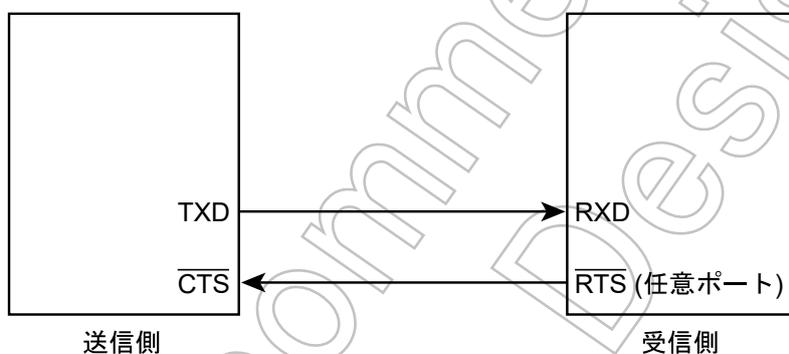


図 16-8 ハンドシェイク機能接続

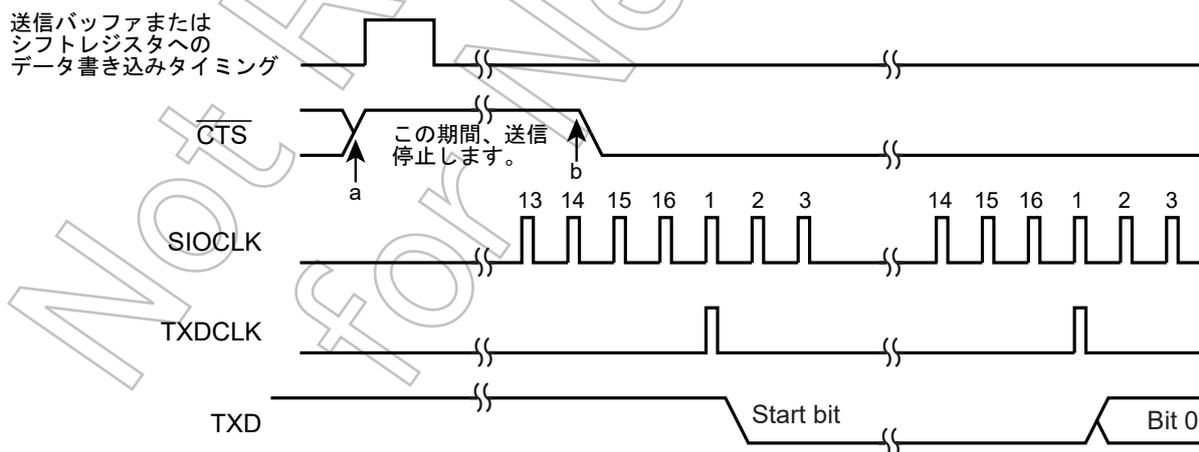


図 16-9 CTS 信号のタイミング

## 16.14 割り込み/エラー発生タイミング

### 16.14.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 16-10 に示します。

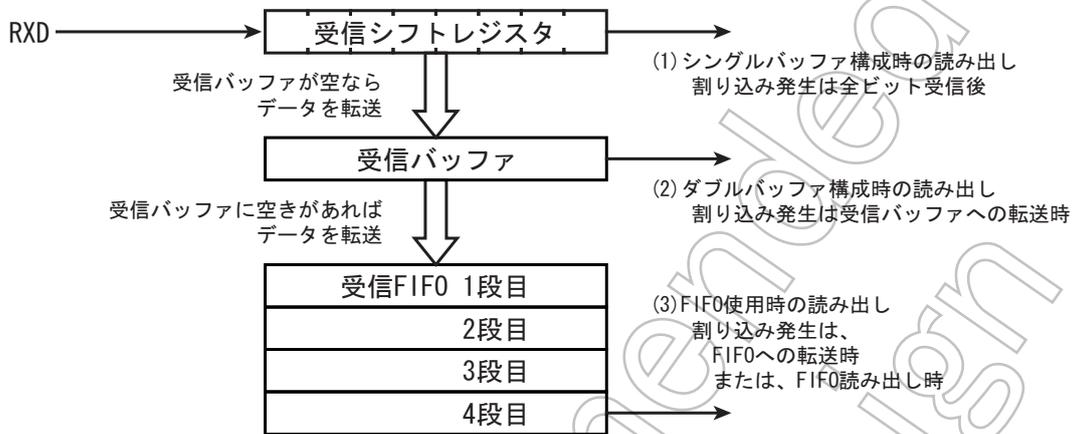


図 16-10 受信バッファ/FIFO 構成図

#### 16.14.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	IO インタフェースモード
シングルバッファ	-	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第 1 ストップビットの中央付近	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注) オーバーランエラー成立時は割り込みは発生しません。

#### 16.14.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 16-12 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 16-12 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・受信 FIFO から受信データをリードしたとき

### 16.14.2 送信割り込み

送信動作のデータの流れと読み出しの経路を示します。

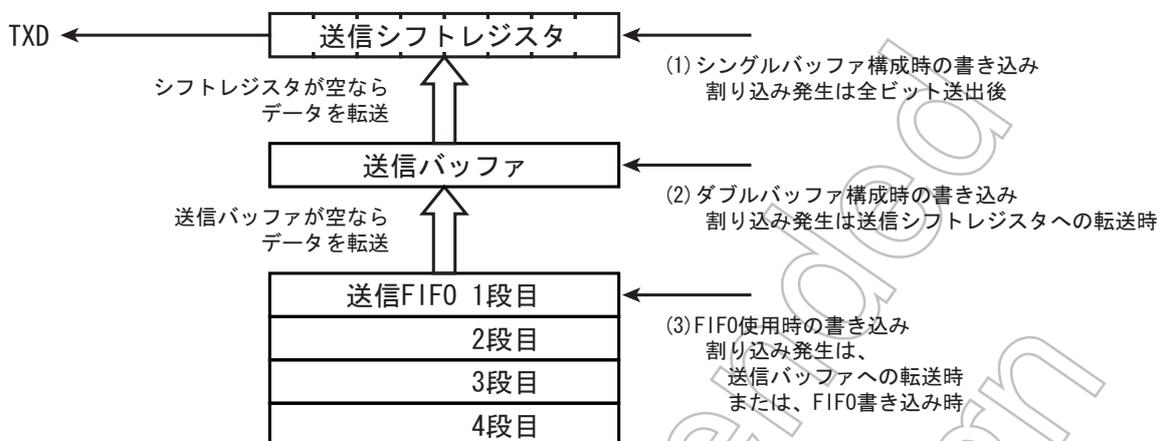


図 16-11 送信バッファ/FIFO 構成図

#### 16.14.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	IO インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がり、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時	

注) ダブルバッファ有効の場合、送信バッファ書き込みによってバッファからシフトレジスタへデータが転送された場合も割り込みが発生します。

#### 16.14.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 16-13 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 16-13 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき

### 16.14.3 エラー発生

#### 16.14.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット+パリティ 8 ビット+パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	-	パリティビットの中央付近

#### 16.14.3.2 IO インタフェースモード

オーバランエラー	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回 SCLK の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) SCLK 出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

## 16.15 ソフトリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウェアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR><PERR><FERR>が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

## 16.16 DMA 要求

UART/SIO 割り込み(INTRX0,INTTX0,INTRX2,INTTX2,INTRX4,INTTX4)発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は SCxDMA レジスタ(n=0,2,4)の該当ビットの設定を行なってください。

## 16.17 モード別動作説明

### 16.17.1 モード0 (IO インタフェースモード)

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

#### 16.17.1.1 送信

##### (1) SCLK 出力モード

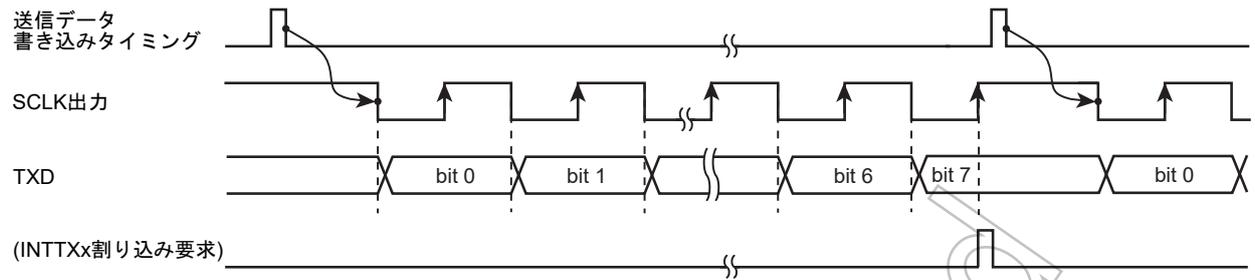
- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

送信バッファにデータを書き込むたびに、データが TXD 端子から、クロックが SCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

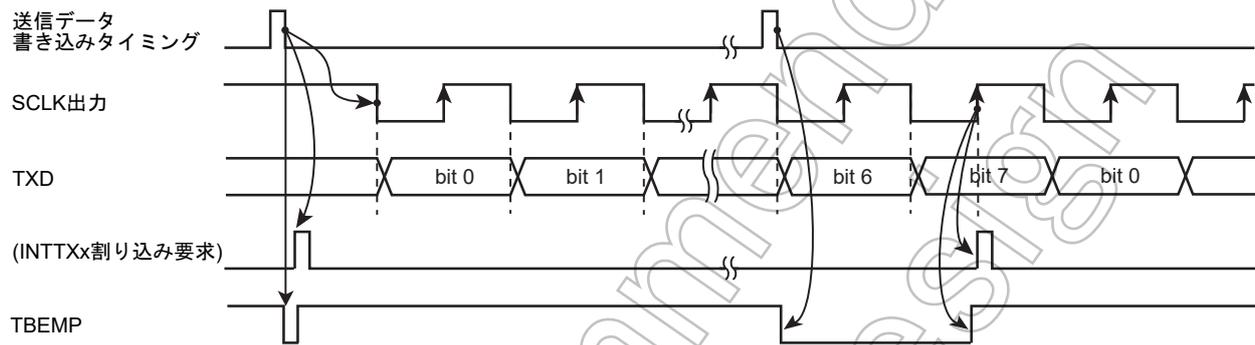
- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

送信停止の状態です送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送達が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

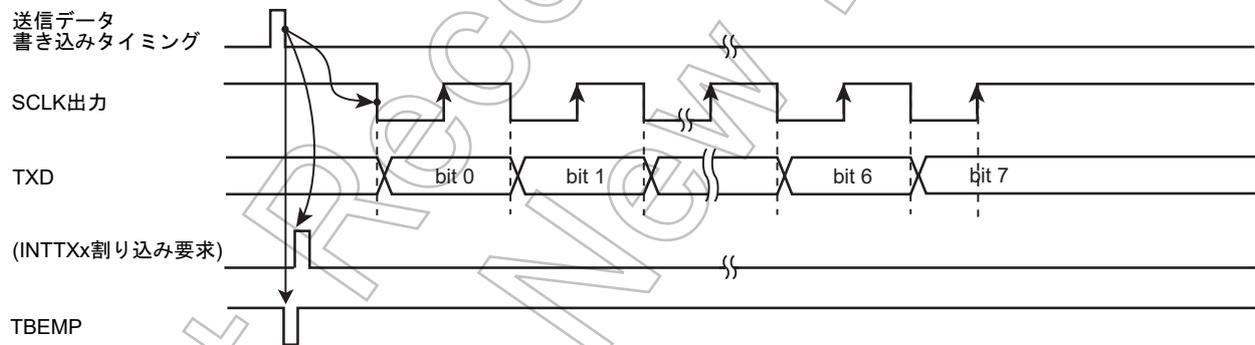
シフトレジスタのデータ送達終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、SCLK 出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 16-12 IO インタフェースモード送信動作(SCLK 出力モード)

## (2) SCLK 入力モード

- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

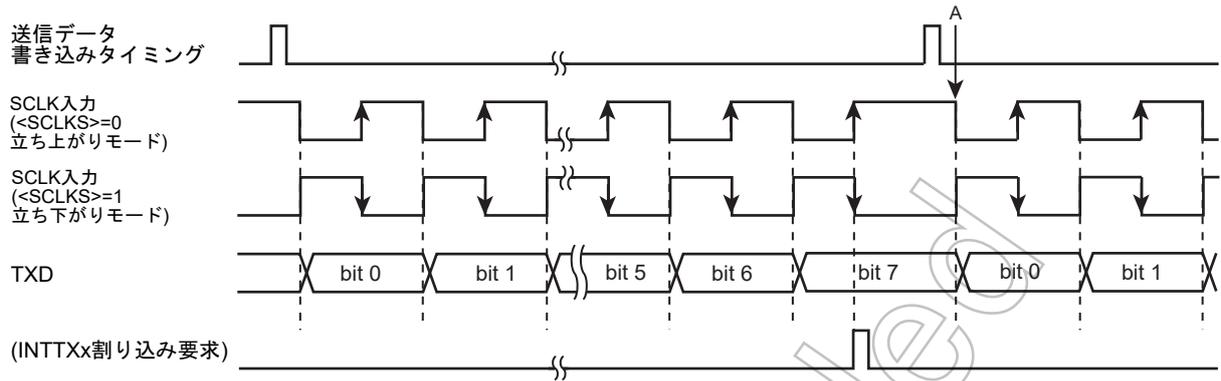
送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD 端子より出力されます。データがすべて出力されると割り込み INTTx が発生します。次の送信データは図 16-13 に示す A 点までに書き込んでください。

- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

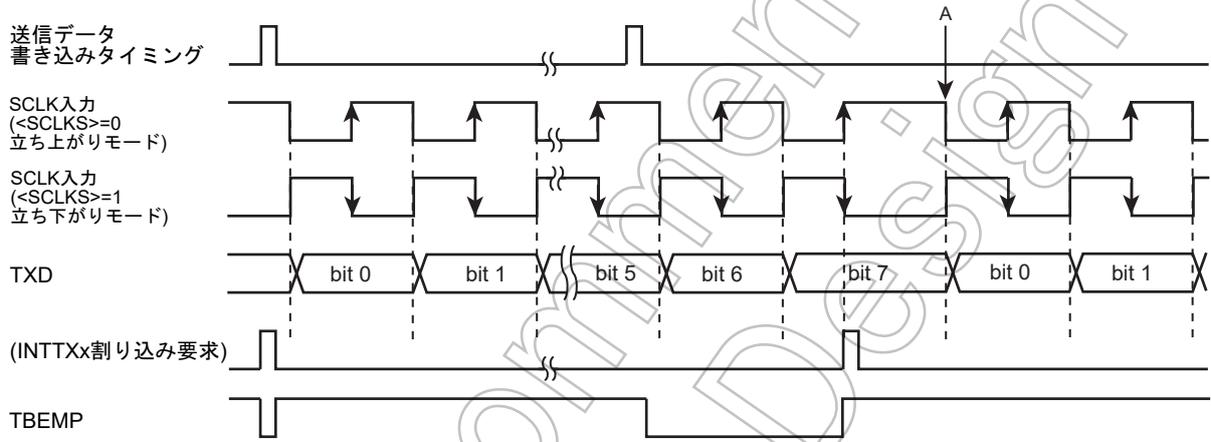
SCLK が入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP>が"1"にセットされ、割り込み(INTTx)が発生します。

送信バッファにデータが書き込まれていない状態で、SCLK が入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。

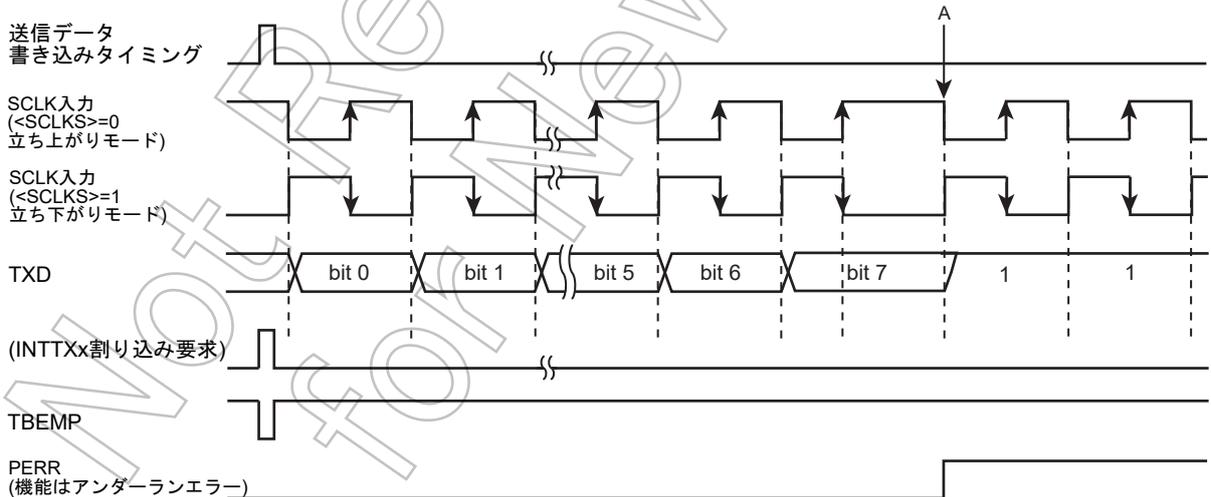
Not Recommended for New Designs



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがない場合)

図 16-13 IO インタフェースモード送信動作(SCLK 入力モード)

## 16.17.1.2 受信

## (1) SCLK 出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることで SCLK 出力が開始されます。

- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

受信データが読み出されるごとに、SCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFL>が"1"にセットされ、割り込み INTRXx が発生します。

受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、SCLK 出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

Not Recommended for New Design

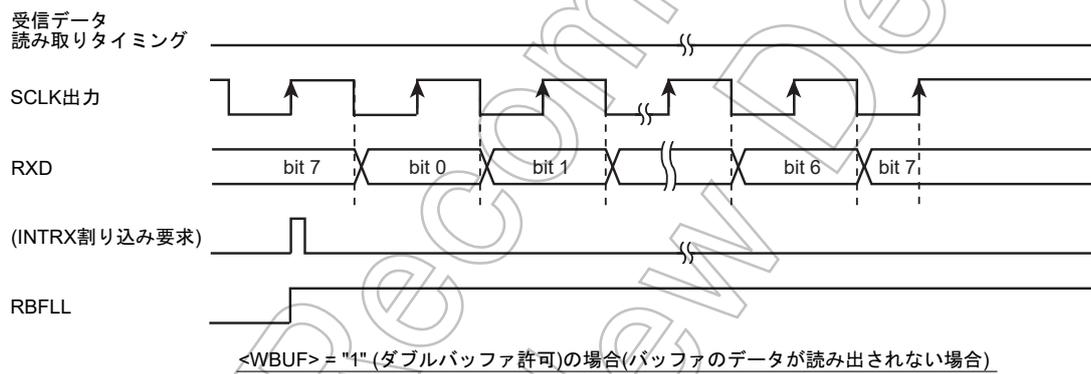
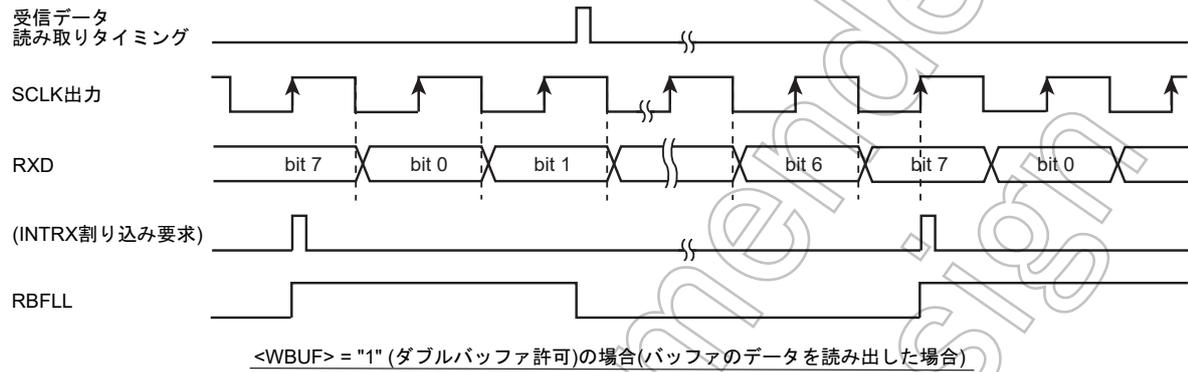
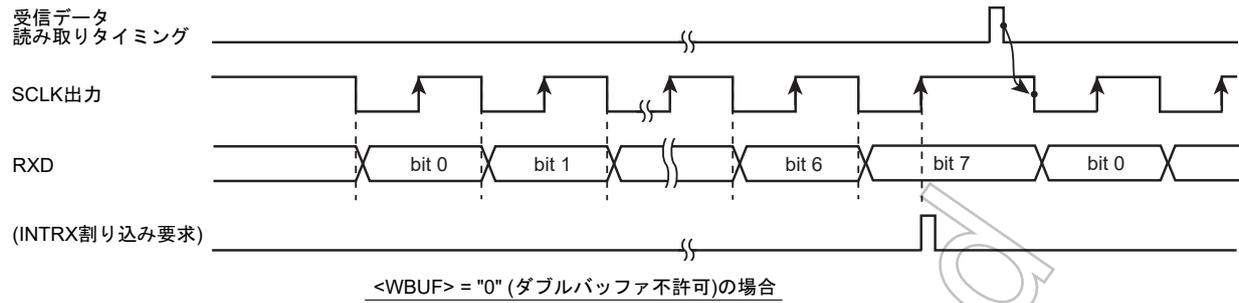


図 16-14 IO インタフェースモード受信動作(SCLK 出力モード)

## (2) SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRX<sub>x</sub> が発生します。

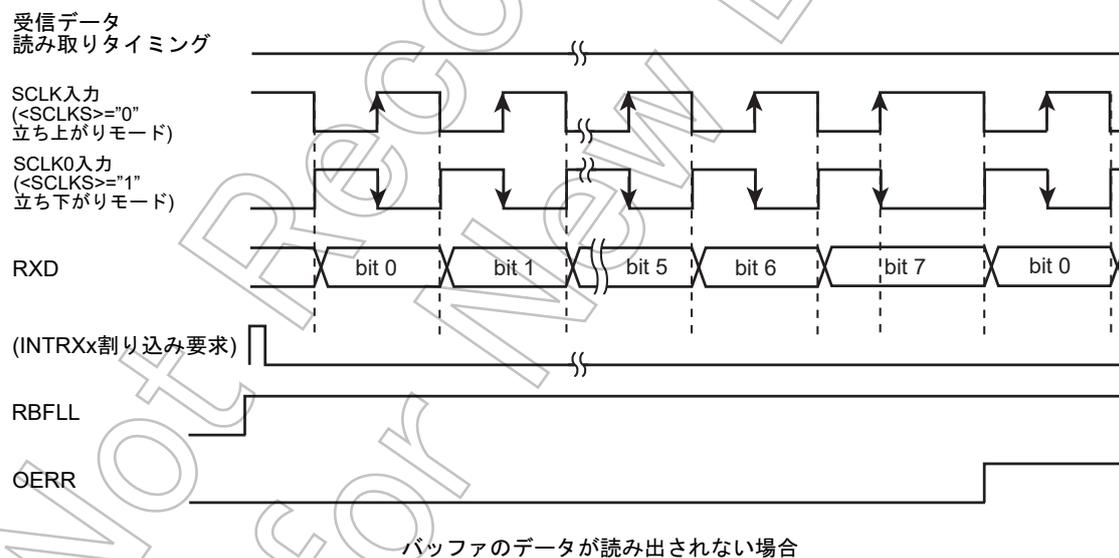
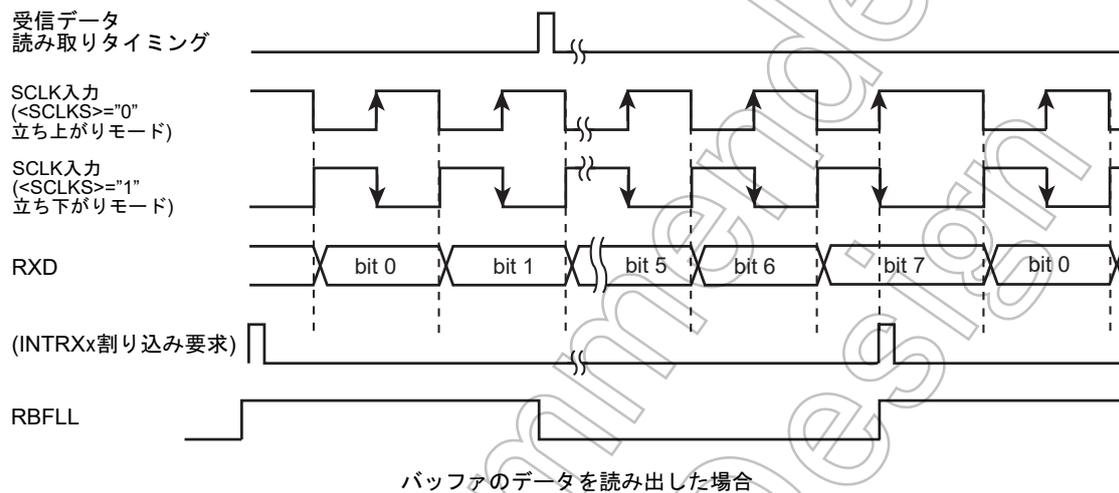


図 16-15 IO インタフェースモード受信動作(SCLK 入力モード)

### 16.17.1.3 送受信(全二重)

#### (1) SCLK 出力モード

- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

SCLK の出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態で SCLK の出力は停止します。

受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファに移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP>="1")または受信バッファにデータが存在している(SCxMOD2 <RBFL>="1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

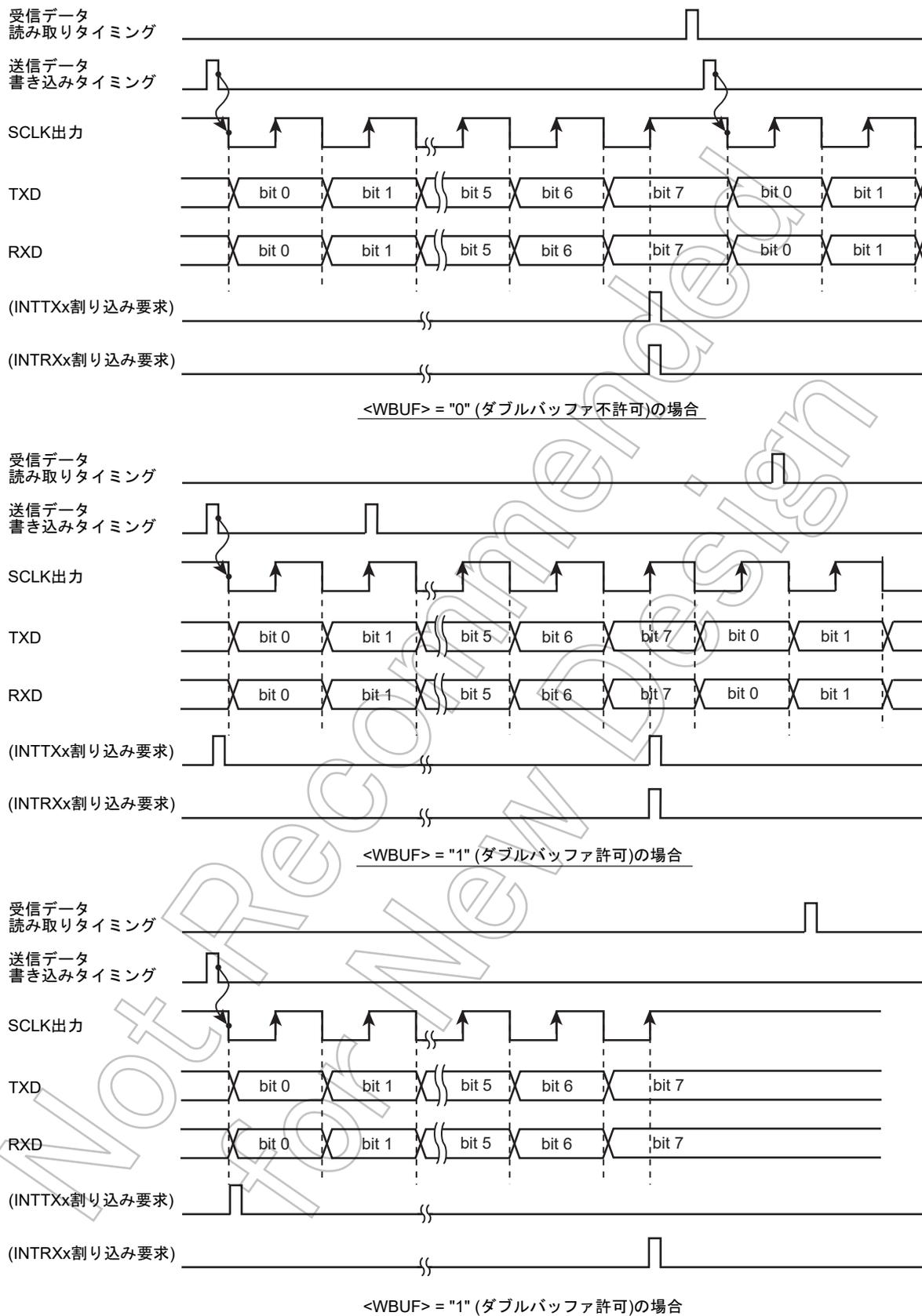


図 16-16 IO インタフェースモード送受信動作(SCLK 出力モード)

## (2) SCLK 入力モード

- 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前にデータを送信バッファへ書き込むようにしてください。(図 16-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTRXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込むようにしてください。(図 16-17 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームの SCLK が入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダーランエラーが発生します。

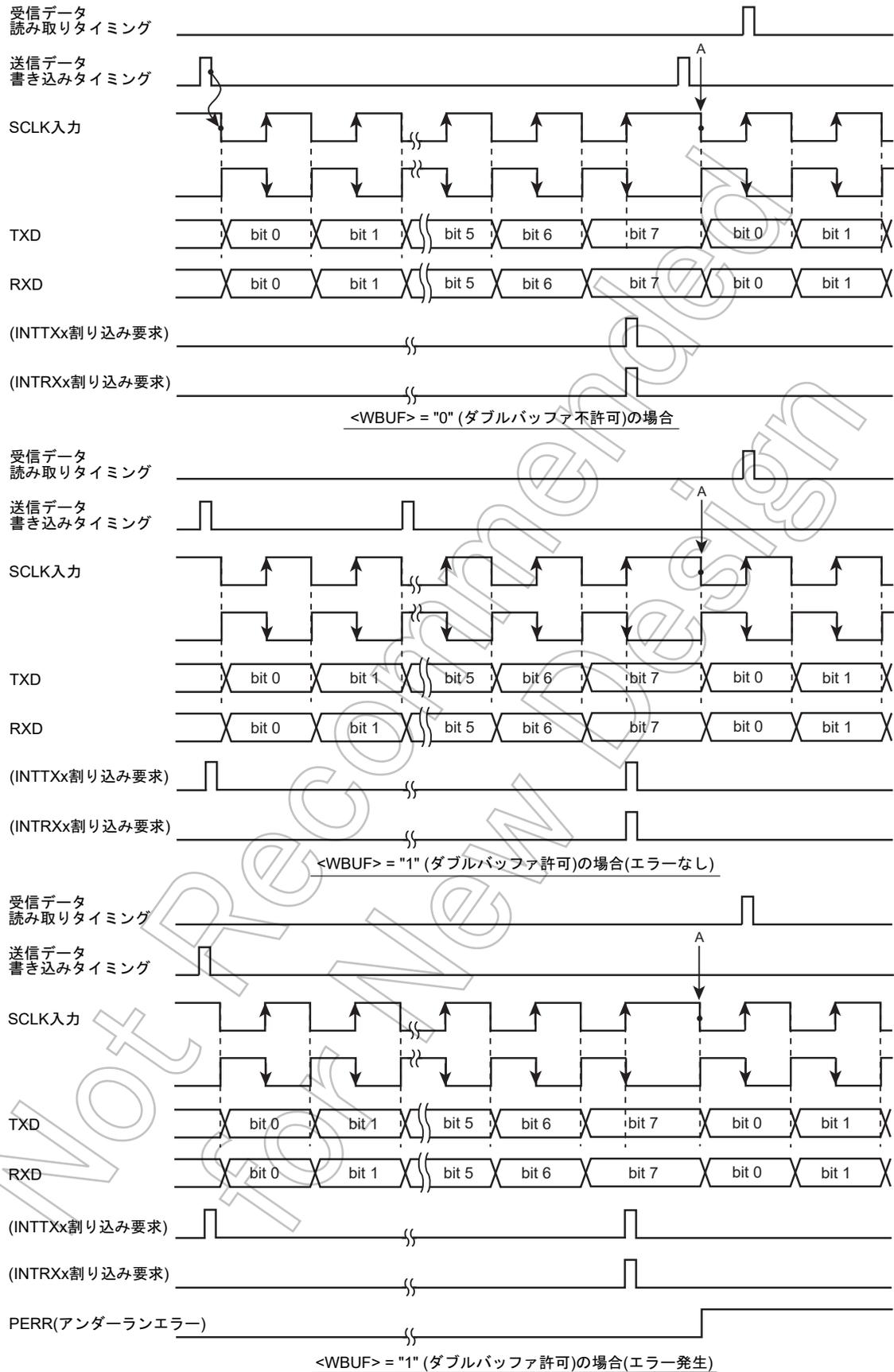


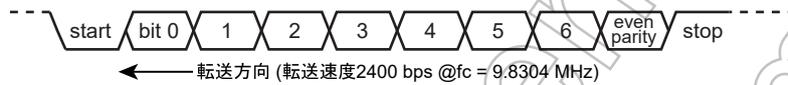
図 16-17 IO インタフェースモード送受信動作(SCLK 入力モード)

### 16.17.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ(SCxMOD0 <SM[1:0]>)を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:		高速 (fc)	
	高速クロックギア:		1 倍 (fc)	
	プリスケラクロック:		fperiph/2 (fperiph = fsys)	

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

### 16.17.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:		高速 (fc)	
	高速クロックギア:		1 倍 (fc)	
	プリスケラクロック:		fperiph/2 (fperiph = fsys)	

	7	6	5	4	3	2	1	0	
SCxMOD0	← x	0	0	0	1	0	0	1	8ビットUARTモードに設定
SCxCR	← x	0	1	x	x	x	0	0	奇数パリティネーブルに設定
SCxBRCR	← 0	0	0	1	0	1	0	0	9600bpsに設定
SCxMOD0	← -	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

### 16.17.4 モード3 (9ビットUARTモード)

SCxMOD0 <SM[1:0]> を "11" にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE>="0")してください。

最上位ビット(9ビット目)は、送信の場合 SCxMOD0<TB8> に書き込み、受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUFの方を後にします。STOPビットの長さは SCxMOD2<SBLLEN>で指定することができます。

#### 16.17.4.1 ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8>="1"のときのみの割り込み (INTRXx) が発生します。

注) スレーブコントローラのTXD端子は、必ずPxODレジスタを設定してオープンドレイン出力モードにしてください。

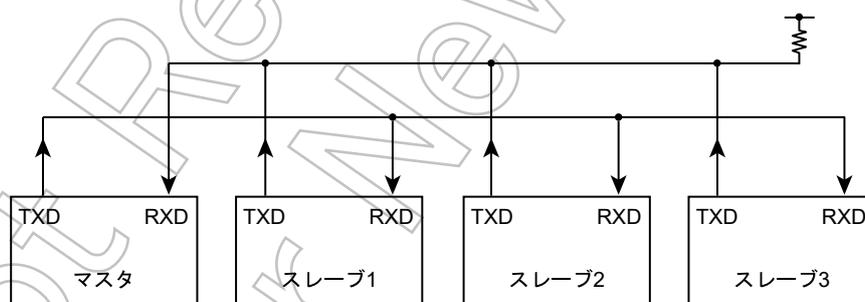
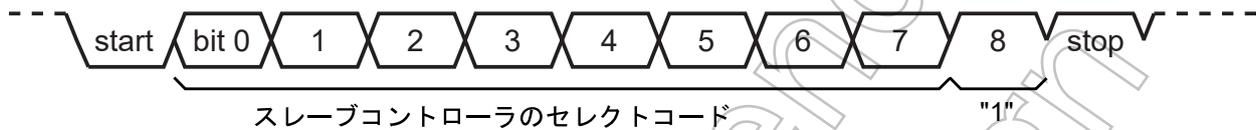


図 16-18 ウェイクアップ機能によるシリアルリンク

## 16.17.4.2 プロトコル

1. マスタおよびスレーブコントローラは9ビットUARTモードにします。
2. 各スレーブコントローラはSCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(<WU>="0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は"0"にします。



6. <WU>="1"のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU>="0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

## 第 17 章 同期式シリアルインタフェース(SSP)

### 17.1 概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)を 1 チャンネル内蔵しています。各チャンネルの特長を下表に示します。

通信プロトコル	SPI を含む 3 種類の同期式シリアル ・ Motorola SPI (SPI) フレームフォーマット ・ TI synchronous (SSI) フレームフォーマット ・ National Microwire (Microwire) フレームフォーマット	
動作モード	マスタ/スレーブモード	
送信 FIFO	幅 16-bit / 深さ 8 段	
受信 FIFO	幅 16-bit / 深さ 8 段	
送受信データのサイズ	4 ~ 16 ビット	
割り込みの種類	送信割り込み 受信割り込み 受信オーバーラン割り込み タイムアウト割り込み	
通信速度	マスタモード時	$f_{sys} / 2$ (最大 20Mbps)
	スレーブモード時	$f_{sys} / 12$ (最大 4.5Mbps)
DMA	サポート	
内部テスト機能	内部ループバックテストモードの使用が可能	
制御端子	SPCLK, SPFS, SPDO, SPDI	

## 17.2 ブロック図

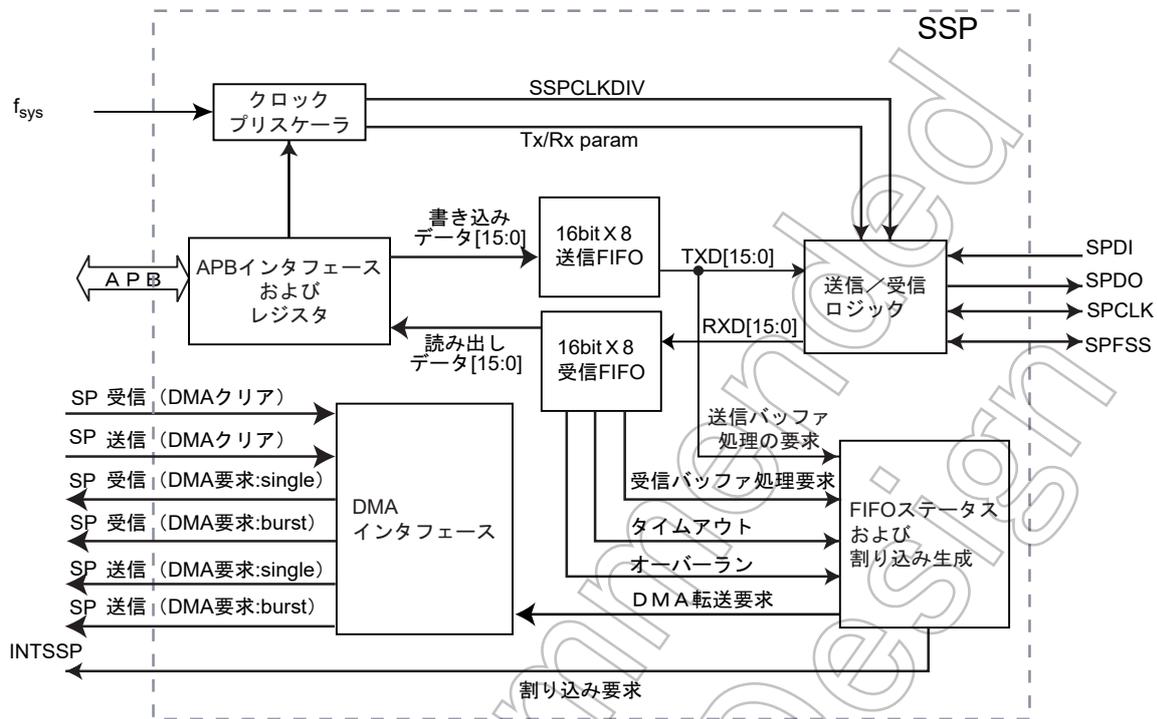


図 17-1 SSP ブロック図

## 17.3 レジスタ

### 17.3.1 レジスタ一覧

Base Address = 0x4004\_0000

レジスタ名		Address(Base+)
制御レジスタ 0	SSPCR0	0x0000
制御レジスタ 1	SSPCR1	0x0004
受信 FIFO(読み出し)および送信 FIFO(書き込み) データレジスタ	SSPDR	0x0008
ステータスレジスタ	SSPSR	0x000C
クロックプリスケールレジスタ	SSPCPSR	0x0010
割り込み許可/禁止レジスタ	SSPIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPRIS	0x0018
許可後の割り込みステータスレジスタ	SSPMIS	0x001C
割り込みクリアレジスタ	SSPICR	0x0020
DMA 制御レジスタ	SSPDMACR	0x0024
Reserved	-	0x0028 ~ 0x0FFC

注 1) 上記レジスタはワード(32bit) アクセスのみとなります。

注 2) "Reserved"表記のアドレスにはアクセスしないでください。

17.3.2 SSPCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																
31-16	-	W	"0"を書き込んでください。																
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ:0x00 ~ 0xFF の値  SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = $f_{sys} / (<CPSDVSr> \times (1 + <SCR>))$ <CPSDVSr> は、SSPCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR>は 0 ~ 255 の値を取ります。																
7	SPH	R/W	SPCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。																
6	SPO	R/W	SPCLK 極性選択 0:SPCLK は Low 状態 1:SPCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。																
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00: SPI フレームフォーマット 01: SSI シリアルフレームフォーマット 10: Microwire フレームフォーマット 11: Reserved(動作未定義)																
3-0	DSS[3:0]	R/W	データサイズ選択 <table border="1"> <tr> <td>0000: Reserved(動作未定義)</td> <td>1000: 9 ビットデータ</td> </tr> <tr> <td>0001: Reserved(動作未定義)</td> <td>1001: 10 ビットデータ</td> </tr> <tr> <td>0010: Reserved(動作未定義)</td> <td>1010: 11 ビットデータ</td> </tr> <tr> <td>0011: 4 ビットデータ</td> <td>1011: 12 ビットデータ</td> </tr> <tr> <td>0100: 5 ビットデータ</td> <td>1100: 13 ビットデータ</td> </tr> <tr> <td>0101: 6 ビットデータ</td> <td>1101: 14 ビットデータ</td> </tr> <tr> <td>0110: 7 ビットデータ</td> <td>1110: 15 ビットデータ</td> </tr> <tr> <td>0111: 8 ビットデータ</td> <td>1111: 16 ビットデータ</td> </tr> </table>	0000: Reserved(動作未定義)	1000: 9 ビットデータ	0001: Reserved(動作未定義)	1001: 10 ビットデータ	0010: Reserved(動作未定義)	1010: 11 ビットデータ	0011: 4 ビットデータ	1011: 12 ビットデータ	0100: 5 ビットデータ	1100: 13 ビットデータ	0101: 6 ビットデータ	1101: 14 ビットデータ	0110: 7 ビットデータ	1110: 15 ビットデータ	0111: 8 ビットデータ	1111: 16 ビットデータ
0000: Reserved(動作未定義)	1000: 9 ビットデータ																		
0001: Reserved(動作未定義)	1001: 10 ビットデータ																		
0010: Reserved(動作未定義)	1010: 11 ビットデータ																		
0011: 4 ビットデータ	1011: 12 ビットデータ																		
0100: 5 ビットデータ	1100: 13 ビットデータ																		
0101: 6 ビットデータ	1101: 14 ビットデータ																		
0110: 7 ビットデータ	1110: 15 ビットデータ																		
0111: 8 ビットデータ	1111: 16 ビットデータ																		

注) スレープモード時はクロックプリスケールを SSPCR0<SCR[7:0]>= 0x00, SSPCPSR<CPSDVSr[7:0]>=0x02 に設定してご使用ください。

## 17.3.3 SSPCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	SOD	R/W	スレーブモード SPDO 出力制御 0: 許可 1: 禁止 スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。
2	MS	R/W	マスタ/スレーブモード選択(注) 0: デバイスがマスタ 1: デバイスがスレーブ
1	SSE	R/W	SSP 動作禁止/許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレーブの切り替えビットです。スレーブモードでかつ送信時は、以下の設定順序を必ず守ってください。

- 1) スレーブモードに設定 :<MS>=1
- 2) 送信データを FIFO に設定 :<DATA>=0x\*\*\*\*
- 3) SSP をイネーブルに設定 :<SSE>=1

## 17.3.4 SSPDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0"を書き込んでください。
15-0	DATA[15:0]	R/W	送信/受信 FIFO のデータ(0x0000 ~ 0xFFFF) リード時:受信 FIFO ライト時:送信 FIFO  16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ(LSB)にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

## 17.3.5 SSPSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	-	W	"0"を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1: ビジー <BSY>="1": 現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0: 受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0: 受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

## 17.3.6 SSPCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	W	"0"を書き込んでください。
7-0	CPSDVSr[7:0]	R/W	クロックプリスケール除数 設定値:2-254 の偶数値  クロックプリスケール除数。fsys の周波数に基づき、2~254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に0を戻します。

注) スレープモード時はクロックプリスケールを  $SSPCR0<SCR[7:0]>=0x00$  ,  $SSPCPSR<CPSDVSr[7:0]>=0x02$  に設定してご使用ください。

## 17.3.7 SSPIMSC(割り込み許可/禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可/禁止設定 0: 禁止 1: 許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可/禁止
2	RXIM	R/W	受信 FIFO 割り込み許可/禁止設定 0: 禁止 1: 許可 受信 FIFO の半分以下がフルである条件割り込みの許可/禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可/禁止設定 0: 禁止 1: 許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可/禁止
0	RORIM	R/W	受信オーバーラン 割り込み許可/禁止設定 0: 禁止 1: 許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可/禁止

## 17.3.8 SSPRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

## 17.3.9 SSPMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	W	"0"を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0: 割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバーラン割り込みフラグ 0: 割り込み無し 1: 割り込み有り

## 17.3.10 SSPICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定						

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0:無効 1:クリア
0	RORIC	W	受信オーバーラン割り込みフラグをクリア 0:無効 1:クリア

## 17.3.11 SSPDMACR (DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定						
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TXDMAE	RXDMAE
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"を書き込んでください。
1	TXDMAE	R/W	送信 FIFO の DMA 制御 0:禁止 1:許可
0	RXDMAE	R/W	受信 FIFO の DMA 制御 0:禁止 1:許可

## 17.4 SSP の概要

本 LSI は 1 チャンネルの SSP を内蔵しています。

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル-パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPDO から送信し、SPDI から受信します。

SSP には、入力クロック  $f_{sys}$  からシリアル出力クロック SPCLK を生成するために、プログラム可能なプリスケータが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSPCR0 および SSPCR1 を通じてプログラムします。

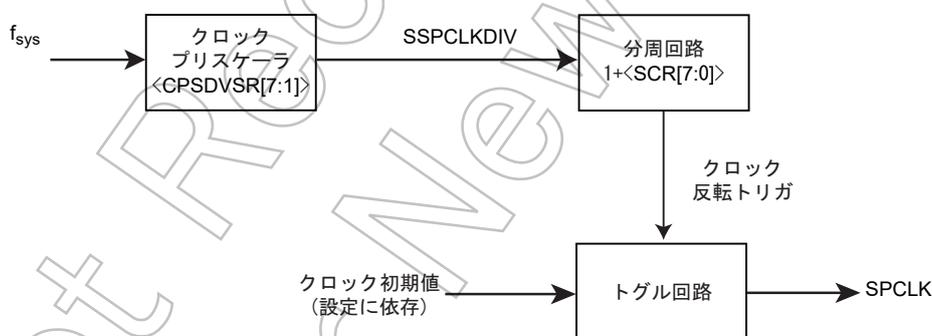
### 17.4.1 クロックプリスケータ

マスタとして動作する場合、シリアル出力クロック SPCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケータが使用されます。

このクロックプリスケータは、SSPCPSR レジスタを介し、2~254 の偶数ステップで  $f_{sys}$  を除算するようにプログラムすることができます。SSPCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケータの出力は、さらに SSPCR0 レジスタにプログラミングされた値に+1 された 1~256 のステップで除算され、マスタ出力クロック SPCLK が生成されます。

$$\text{ビットレート} = f_{sys} / (<CPSDVS\> \times (1 + <SCR\>))$$



### 17.4.2 送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

### 17.4.3 受信 FIFO

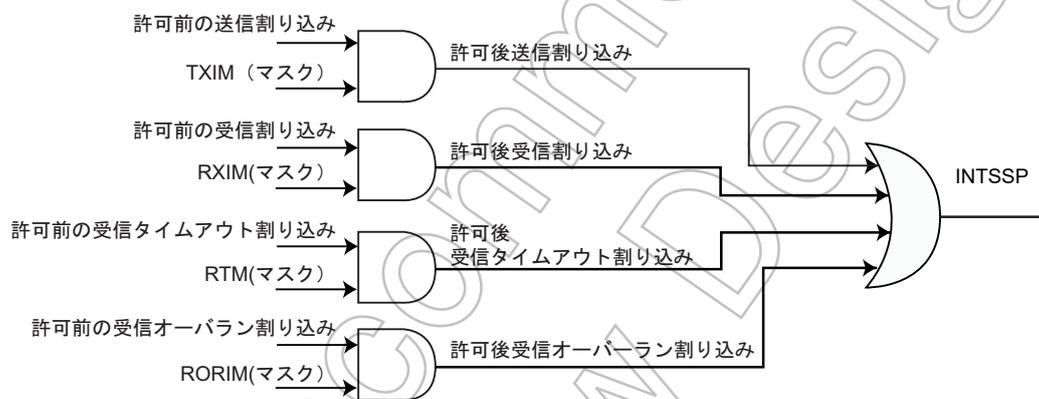
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

### 17.4.4 割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み (送信 FIFO 内の有効データ数 $\leq 4$ )
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み (受信 FIFO 内の有効データ数 $\geq 4$ )
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSP がアサートされます。



#### a. 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPCR1<SSE>=0)でも送信割り込みが発生します。

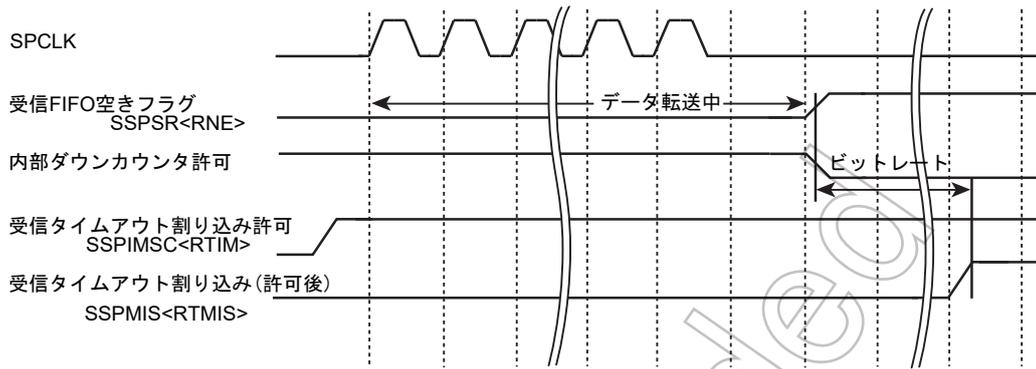
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

#### b. 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

#### c. タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ/スレーブモード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。



d. オーバーラン割り込み

受信 FIFO が既にフルのときに次のデータ(9 個目)を受信すると、転送終了直後、受信オーバーラン割り込みが発生します。オーバーラン割り込み発生以降の受信データ (9 個目のデータを含む) は無効となり、破棄されます。ただし、9 個目のデータ受信前 (割り込み発生する前) に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバーラン割り込みが発生した場合、正しい転送を行なうためには、SSPICR<RORIC>に"1"を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバーラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではない時)はタイムアウト割り込みが発生します。

17.4.5 DMA インタフェース

SSP の DMA 操作は SSPDMACR レジスタを介して制御されます。

受信 FIFO に格納されるデータがウォーターマークレベル(FIFO の 1/2)以上になると受信 DMA 要求がアサートされます。

送信 FIFO に格納するデータがウォーターマークレベル(FIFO の 1/2)以下になると送信 DMA 要求が送信/受信 DMA 要求信号をクリアするために、DMA コントローラによってアサートされる送信/受信 DMA 要求クリア信号の入力端子を持っています。

また、DMA のバースト長は 4 ワードに設定してください。

注) 残りの 3 ワードに対し、SSP はバースト要求をアサートしません。

各要求シグナルは、関連する DMA クリアシグナルがアサートされるまでアサートされ続けます。要求クリアシグナルがアサート解除された後、前述の条件に従って要求シグナルを再度アクティブにすることができます。SSP がディセーブルされたり、DMA イネーブルシグナルがクリアされると、全ての要求シグナルがアサート解除されます。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

ウォーターマークレベル	バースト長	
	送信 (空き位置の数)	受信 (充填位置の数)
1/2	4	4

## 17.5 SSP の動作

### 17.5.1 SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態、設定する必要があります。制御レジスタ SSPCR0 および SSPCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPCPSR および SSPCR0<SCR>を設定してください。

本 SSP は以下のプロトコルをサポートします。

- SPI
- SSI
- Microwire

### 17.5.2 SSP のイネーブル

送信 FIFO に送信データが書き込まれていて、かつ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合には送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

注) SPI のスレーブモードでかつ SPFSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態ではイネーブルすると、転送データが正常に出力されません。

### 17.5.3 クロック比

$f_{\text{sys}}$  の周波数設定は以下の条件を満たす必要があります。

- マスタモードの場合
$$f_{\text{SPCLK}}(\text{最大}) \rightarrow f_{\text{sys}} / 2$$
$$f_{\text{SPCLK}}(\text{最小}) \rightarrow f_{\text{sys}} / (254 \times 256)$$
- スレーブモードの場合
$$f_{\text{SPCLK}}(\text{最大}) \rightarrow f_{\text{sys}} / 12$$
$$f_{\text{SPCLK}}(\text{最小}) \rightarrow f_{\text{sys}} / (254 \times 256)$$

注) マスタモード時の最大転送速度は 20Mbps 以下になるように設定してください。

## 17.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4～16ビットの幅を持ち、MSBから送信が開始されます。

- ・ シリアルクロック(SPCLK)

SSP がアイドル状態の間は SSI と Microwire では Low でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- ・ シリアルフレーム(SPFSS)

SPI および Microwire のフレーム形式では、Low アクティブとなり、フレームの送信中は常に Low にアサートされます。

SSI フレーム形式の場合は、各フレームの送信前に1ビットレートの間のみアサートされます。このフレーム形式では、SPCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

各フレームフォーマットの詳細は「17.6.1～17.6.3」を参照してください。

Not Recommended for New Designs

### 17.6.1 SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPCLK および SPFSS が Low にセットされ、送信データライン SPDO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SPFSS ラインに 1 SPCLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPCLK の次の立ち上がりエッジで、MSB から 4～16 ビットのデータが SPDO 端子により出力されます。

同様に、受信データは SPCLK の立ち下がりエッジで MSB から SPDI 端子に入力されます。受信されたデータは、その LSB データがラッチされた後、SPCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

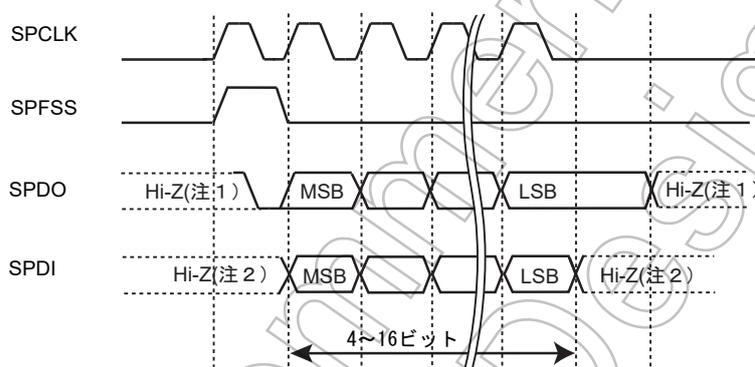


図 17-2 SSI フレームフォーマット (シングル転送送受信)

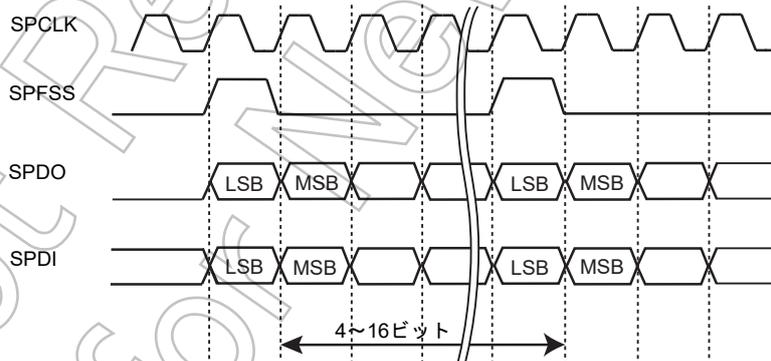


図 17-3 SSI フレームフォーマット (連続転送送受信)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

### 17.6.2 SPI のフレームフォーマット

SPI インタフェースは 4 線インタフェースであり、SPFSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPCLK の動作タイミングを SSPCR0 レジスタ内の<SPO> ビットと<SPH> ビットを使って、設定できます。

SSPCR0<SPO>はアイドル状態時の SPCLK をホールドするレベルを設定します。

SSPCR0<SPH>はデータをラッチするクロックエッジを選択します。

	SSPCR0<SPO>	SSPCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

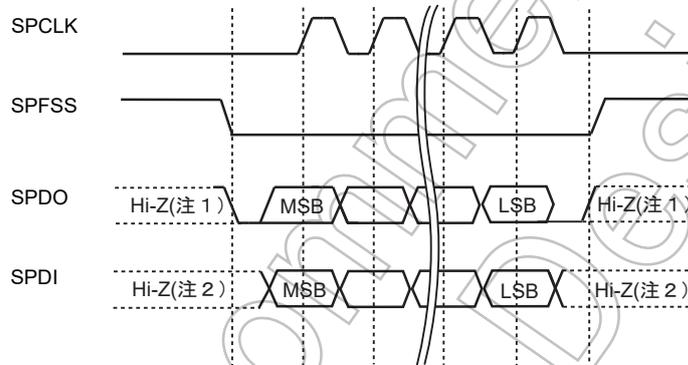


図 17-4 SPI フレームフォーマット (シングル転送、<SPO>=0 & <SPH>=0)

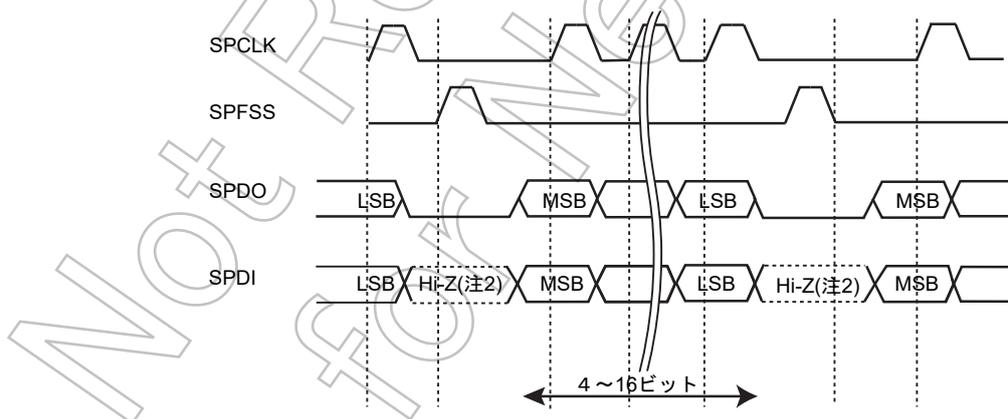


図 17-5 SPI フレームフォーマット (連続転送、<SPO>=0 & <SPH>=0)

注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

- SPCLK が Low にセットされます。
- SPFSS が High にセットされます。
- 送信データライン SPDO が Low にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は Low でドライブされる SPFSS マスタシグナルによって通知されます。これにより、マスタの SPDI 入力ラインでスレーブデータがイネーブルされます。

SPCLK の半周期後、有効マスタデータが SPDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPCLK のさらに半周期後に SPCLK マスタクロックピンが High になります。その後、データは SPCLK シグナルの立ち上がりエッジで捕捉され、立下りエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPCLK 1 周期後に、SPFSS ラインがアイドル High 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPFSS シグナルを High でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理 0 の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPCLK 1 周期後に SPFSS ピンがアイドル状態に戻ります。

Not Recommended for New Designs

### 17.6.3 Microwire のフレームフォーマット

Microwire 形式は半二重モードで動作する特殊なマスター-スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4~16 ビットであり、全体のフレーム長は 13~25 ビットとなります。

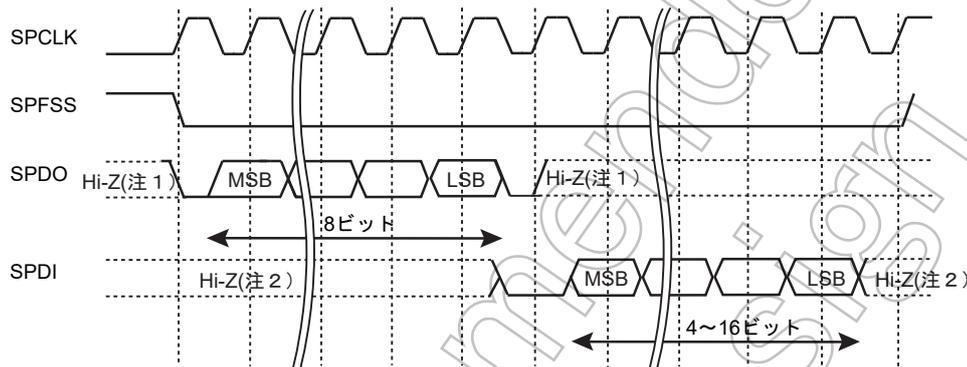


図 17-6 Microwire フレームフォーマット (シングル転送)

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスター-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4~16 ビット長、フレーム全体は 13~25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では：

- SPCLK が Low にセットされます。
- SPFSS が High にセットされます。
- 送信データライン SPDO が Low にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPFSS の立下りエッジによって送信 FIFO の最下位エントリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPDO ピンにシフトアウトされます。

このフレーム伝送の間、SPFSS は Low でホールドされ、SPDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPCLK の立ち上がりエッジでそのシリアルシフトに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPCLK の立下りエッジで SPDI ラインにドライブされます。

一方、SSP は SPCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフトにラッチされてから 1 クロック周期後に SPFSS シグナルが High にプルされ、これによってデータが受信 FIFO に転送されます。

注) オフチップスレーブデバイスは、受信シフトによって LSB がラッチされた後の SPCLK の立下りエッジで、または SPFSS ピンが High になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

Not Recommended  
for New Design

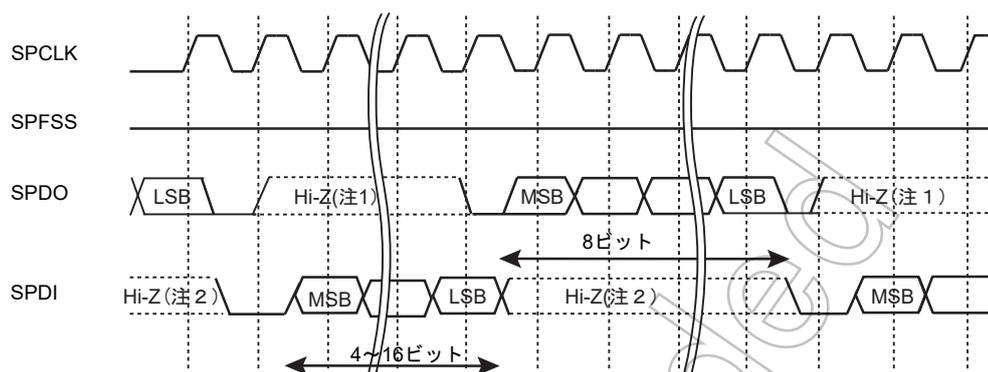


図 17-7 Microwire フレームフォーマット（連続転送）

- 注 1) SPDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注 2) SPDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPFSS ラインは常にアサート(Low でホールド)され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPCLK の立下りエッジで受信シフトから転送されます。

- 注) (接続例)SSP は、システム内におけるマスタ/スレーブの dynamics 切り替えをサポートしていません。各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

Not Recommended  
for New Design

## 第 18 章 シリアルバスインタフェース(I2C/SIO)

シリアルバスインタフェースを 2 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- ・ I2C バスモード(マルチマスタ)
- ・ クロック同期式 8 ビット SIO モード

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャンネルごとの使用端子とポートの設定は、下記のとおりです。

表 18-1 シリアルバスインタフェース使用時のポート設定

チャンネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オープンドレイン コントロール レジスタ設定
SBI0	I2C バスモード	SCL0 :PG1 SDA0 :PG0	PGFR1[1:0] = 11	PGCR[1:0] = 11	PGIE[1:0] = 11	PGOD[1:0] = 11
	SIO モード	SCK0 :PG2 SIO :PG1 SO0 :PG0	PGFR1[2:0] = 111	PGCR[2:0] = 101(SCK0 出力) PGCR[2:0] = 001(SCK0 入力)	PGIE[2:0] = 010(SCK0 出力) PGIE[2:0] = 110(SCK0 入力)	PGOD[2:0] = xxx
SBI1	I2C バスモード	SCL1 :PD1 SDA1 :PD0	PDFR1[1:0] = 11	PDCR[1:0] = 11	PDIE[1:0] = 11	PDOD[1:0] = 11
	SIO モード	SCK1 :PD2 SI1 :PD1 SO1 :PD0	PDFR1[2:0] = 111	PDCR[2:0] = 101(SCK1 出力) PDCR[2:0] = 001(SCK1 入力)	PDIE[2:0] = 010(SCK1 出力) PDIE[2:0] = 110(SCK1 入力)	PDOD[2:0] = xxx

注) x: Don't care

## 18.1 構成

構成を図 18-1 に示します。

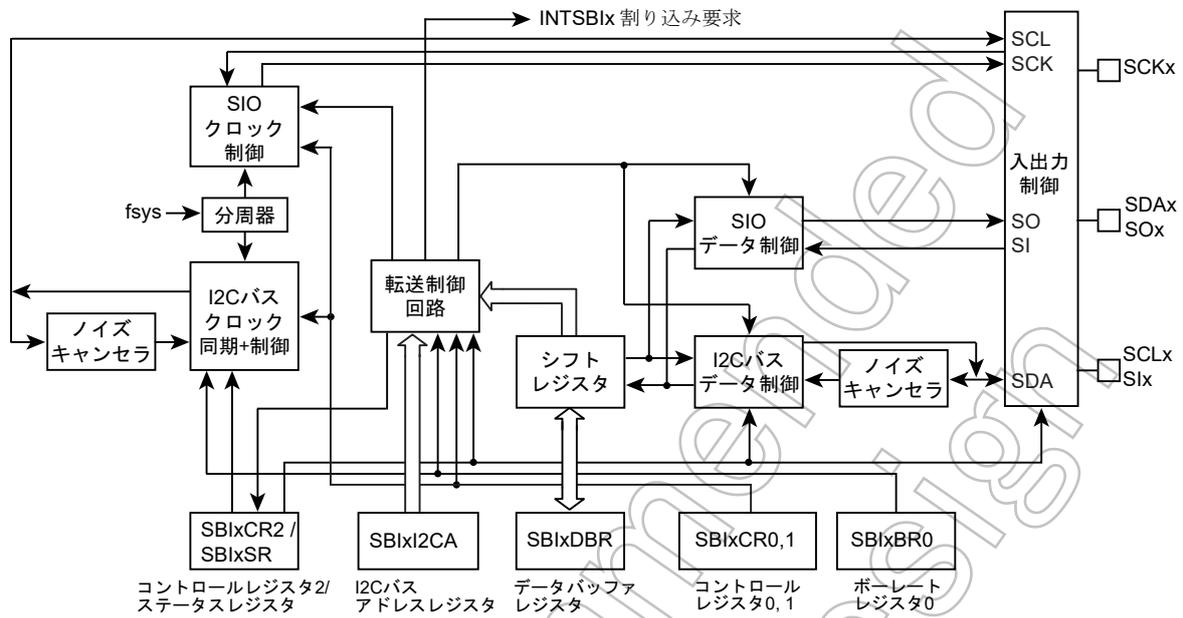


図 18-1 シリアルバスインタフェースブロック図

## 18.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

下記レジスタは使用するモードによって、機能が異なります。詳細は「18.4 I2C バスモード時のコントロールレジスタ」および「18.7 SIO モード時のコントロールレジスタ」を参照してください。

### 18.2.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

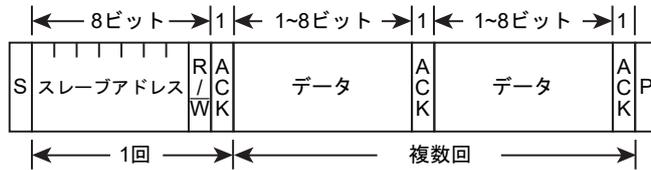
Channel x	Base Address
Channel0	0x400E_0000
Channel1	0x400E_0100

レジスタ名(x=0,1,)		Address(Base+)
コントロールレジスタ 0	SBixCR0	0x0000
コントロールレジスタ 1	SBixCR1	0x0004
データバッファレジスタ	SBixDBR	0x0008
I2C バスアドレスレジスタ	SBixI2CAR	0x000C
コントロールレジスタ 2	SBixCR2(ライト時)	0x0010
ステータスレジスタ	SBixSR(リード時)	
ポーレートレジスタ 0	SBixBR0	0x0014

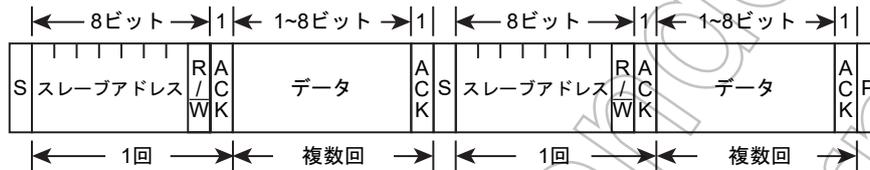
### 18.3 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 18-2 に示します。

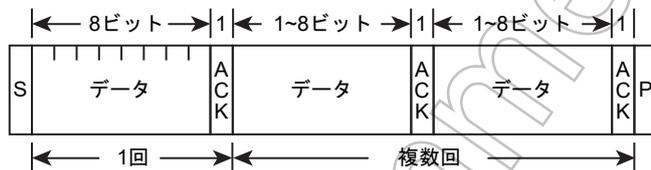
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション  
 RW: 方向ビット  
 ACK: アクノリッジビット  
 P: ストップコンディション

図 18-2 I2C バスモード時のデータフォーマット

## 18.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェースをI2Cバスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

### 18.4.1 SBIXCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可  シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBIに関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBIXCR0を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

18.4.2 SBiXCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注3)

Bit	Bit Symbol	Type	機能																																																	
31-8	-	R	リードすると"0"が読めます。																																																	
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">&lt;BC&gt;</th> <th colspan="2">&lt;ACK&gt; = 0 のとき</th> <th colspan="2">&lt;ACK&gt; = 1 のとき</th> </tr> <tr> <th>クロック数</th> <th>データ長</th> <th>クロック数</th> <th>データ長</th> </tr> </thead> <tbody> <tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr> <tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr> <tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr> <tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr> <tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr> <tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr> <tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr> <tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr> </tbody> </table>	<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき		クロック数	データ長	クロック数	データ長	000	8	8	9	8	001	1	1	2	1	010	2	2	3	2	011	3	3	4	3	100	4	4	5	4	101	5	5	6	5	110	6	6	7	6	111	7	7	8	7
<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき																																																	
	クロック数	データ長	クロック数	データ長																																																
000	8	8	9	8																																																
001	1	1	2	1																																																
010	2	2	3	2																																																
011	3	3	4	3																																																
100	4	4	5	4																																																
101	5	5	6	5																																																
110	6	6	7	6																																																
111	7	7	8	7																																																
4	ACK	R/W	マスターモード 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する ..... スレーブモード 0: アクノリッジメントのためのクロックをカウントしない 1: アクノリッジメントのためのクロックをカウントする																																																	
3	-	R	リードすると"1"が読めます。																																																	
2-1	SCK[2:1]	R/W	内部 SCL 出カクロックの周波数選択<SCK[2:0]>@ライト (注 2)																																																	
0	SCK[0]	W	<table border="1" style="margin-left: 20px;"> <tbody> <tr><td>000</td><td>n = 5</td><td>kHz</td></tr> <tr><td>001</td><td>n = 6</td><td>kHz</td></tr> <tr><td>010</td><td>n = 7</td><td>kHz</td></tr> <tr><td>011</td><td>n = 8</td><td>kHz</td></tr> <tr><td>100</td><td>n = 9</td><td>kHz</td></tr> <tr><td>101</td><td>n = 10</td><td>kHz</td></tr> <tr><td>110</td><td>n = 11</td><td>kHz</td></tr> <tr><td>111</td><td></td><td>reserved</td></tr> </tbody> </table> <div style="margin-left: 100px;"> <math display="block">\left. \begin{array}{l} \text{システムクロック: } f_{\text{sys}} \\ \text{クロックギア: } fc/1 \\ \text{周波数} = \frac{f_{\text{sys}}}{2^n + 72} \text{ [Hz]} \end{array} \right\} \begin{array}{l} (= \text{MHz}) \\ \end{array}</math> </div>	000	n = 5	kHz	001	n = 6	kHz	010	n = 7	kHz	011	n = 8	kHz	100	n = 9	kHz	101	n = 10	kHz	110	n = 11	kHz	111		reserved																									
000	n = 5	kHz																																																		
001	n = 6	kHz																																																		
010	n = 7	kHz																																																		
011	n = 8	kHz																																																		
100	n = 9	kHz																																																		
101	n = 10	kHz																																																		
110	n = 11	kHz																																																		
111		reserved																																																		
	SWRMON	R	ソフトウェアリセット状態モニタ<SWRMON>@リード 0: ソフトウェアリセット中 1: ソフトウェアリセット中ではない																																																	

- 注 1) SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。
- 注 2) SCL ラインクロックの周波数については、「18.5.1 シリアルクロック」を参照してください。
- 注 3) <SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。
- 注 4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。
- 注 5) マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立ち下がりによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

Not Recommended  
for New Design

## 18.4.3 SBIXCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIXSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレープモードの選択 0: スレープモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBIX 割り込み要求解除 0: - 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注) 00: ポートモード(シリアルバスインタフェースの出力禁止) 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウェアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。 ライトの際、<SBIM[1:0]>は"10"の I2C バスモードを指定してください。

注) 通信中はモードを切り替えしないでください。ポートモードへの切り替えはバスフリーを確認してから行ってください。また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

## 18.4.4 SBIXSR(ステータスレジスタ)

このレジスタをライトすると、SBIXCR2として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2Cバス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBIX 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: - 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: - 1: 検出 (ゼネラルコール検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: - 1: 検出
0	LRB	R	最終受信ビットモニタ 0: 最終受信ビット "0" 1: 最終受信ビット "1"

## 18.4.5 SBiXBR0(ポーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

## 18.4.6 SBixDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1) 送信データ書き込み時は、データをMSB(ビット7)側につめてライトしてください。また、受信データはLSB側に格納されます。

注 2) SBixDBRは書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

## 18.4.7 SB1xI2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1) <ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2) スレーブモード時 SB1xI2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

## 18.5 I2C バスモード時の制御

### 18.5.1 シリアルクロック

#### 18.5.1.1 クロックソース

SBlxCR1 <SCK[2:0]>で、マスタモード時に SCLx 端子から出力されるシリアルクロックの最大転送周波数を選択します。

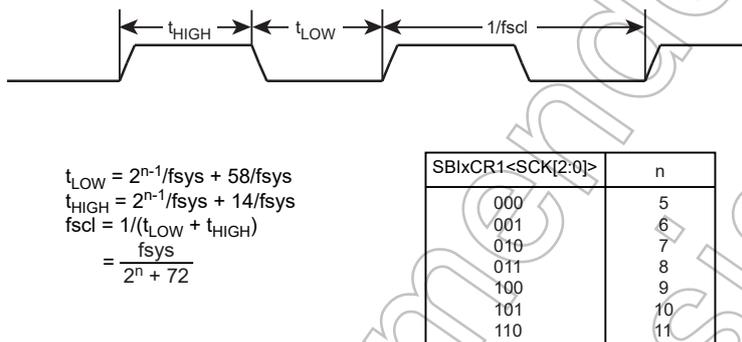


図 18-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意ください。

#### 18.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

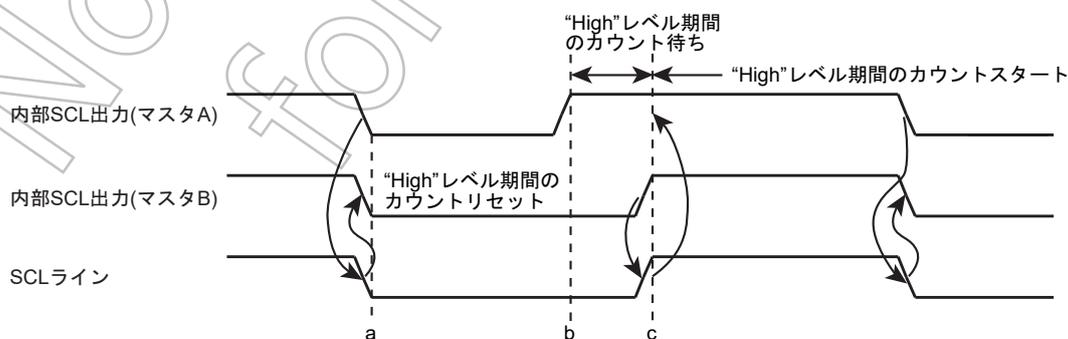


図 18-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後、"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

### 18.5.2 アクノリッジメントモードの指定

SBIxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを1クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDAx 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールを受信した場合にもアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

### 18.5.3 転送ビット数の選択

SBIxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず8ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

### 18.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBIxI2CAR<ALS>に"0"を設定し、SBIxI2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときは<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用情况の場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

### 18.5.5 動作モード

SBIxCR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するとき、シリアルバスインタフェース端子の状態が"High"になっていることを確認後、<SBIM[1:0]>を"10"に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

### 18.5.6 トランスミッタ/レシーバの選択

SBIxCR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- ・ アドレッシングフォーマットのデータ転送を行うとき
- ・ 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき
- ・ ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウェアによりマスタデバイスから送られてくる方向ビット(R/W)が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウェアによって変化することはありません。

### 18.5.7 マスタ/スレーブの選択

SBIxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

### 18.5.8 スタート/ストップコンディションの発生

SBIxSR<BB>が"0"のときに、SBIxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

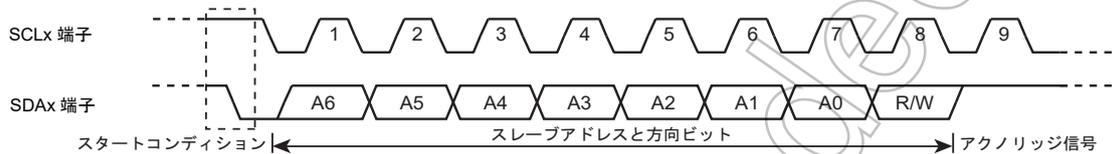


図 18-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより "Low" に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

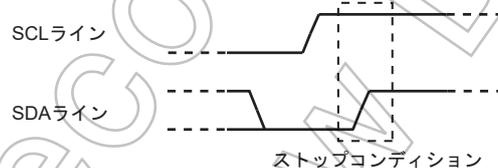


図 18-6 ストップコンディションの発生

また、SBIxSR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

### 18.5.9 割り込みサービス要求と解除

マスターモードの時、<BC>と<ACK>によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(INTSBIx)が発生します。

スレーブモードの場合は、以下のときに INTSBIx が発生します。

- ・ 受信したスレーブアドレスが SBIxI2CAR<SA[6:0]>に設定されたスレーブアドレスとアクノリッジ信号出力後
- ・ ゼネラルコールを受信した時のアクノリッジ信号出力後
- ・ スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード(<ALS>="0")では、受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したときに INTSBIx が発生します。

割り込み要求(INTSBIx)が発生すると、SBIxCR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、 $t_{Low}$  の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでアービトレーションロストが発生した時、スレーブアドレスが一致しなかった場合は、<PIN>は"0"にクリアされません。(INTSBIx は発生します。)

### 18.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

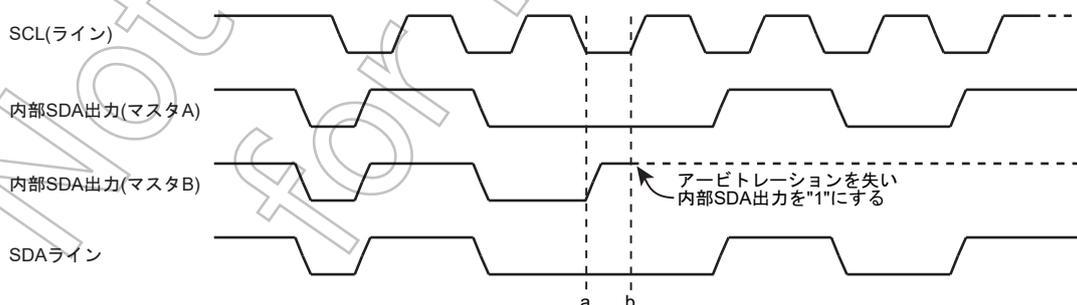


図 18-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIxSR<AL> が"1"にセットされます。

<AL> が"1"にセットされると SBIxSR<MST, TRX>は"0"にクリアされ、スレーブレシーバモードになります。そのため、<AL>が"1"にセットされた後のデータ転送ではシリアルバスインタフェース回路はクロック出力を停止します。

<AL>は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと"0"にクリアされます。

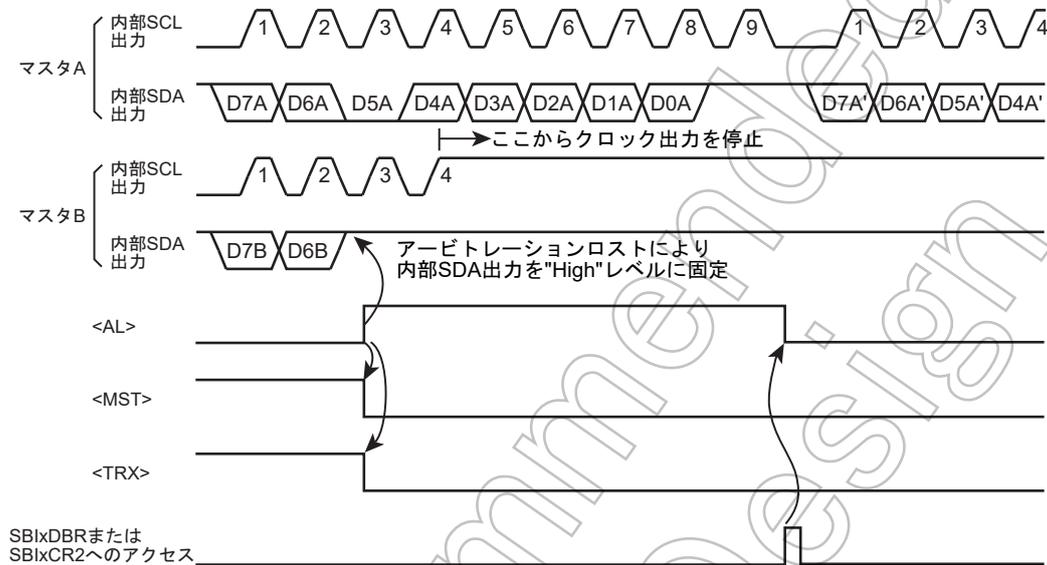


図 18-8 マスタ B の場合の例(D7A=D7B,D6A=D6B)

### 18.5.11 スレーブアドレス一致検出モニタ

SBIxSR<AAS>は、スレーブモード時、アドレス認識モード(SBIxI2CAR<ALS>="0")のとき、ゼネラルコールまたは SBIxI2CAR にセットした値と同じスレーブアドレスを受信すると"1"にセットされます。フリーデータフォーマット(<ALS>="1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"0"にクリアされます。

### 18.5.12 ゼネラルコール検出モニタ

SBIxSR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

### 18.5.13 最終受信ビットモニタ

SBIxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBIx 割り込み要求発生直後に SBIxSR<LRB> を読み出すと、ACK 信号が読み出されます。

### 18.5.14 データバッファレジスタ(SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションが発生します。

### 18.5.15 ボーレートレジスタ(SBIxBR0)

SBIxBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

### 18.5.16 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIxCR2<SWRST[1:0]>へ、最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。ライトの際、SBIxCR2<SBIM[1:0]>は"10"の I2C バスモードを指定してください。ソフトウェアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"0"にクリアされます。

注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

## 18.6 I2C バスモード時のデータ転送手順

### 18.6.1 デバイスの初期化

最初に SBIxCR1<ACK, SCK[2:0]>を設定します。SBIxCR1[7:5]には、"0"を書き込んでください。

次に SBIxI2CAR にスレーブアドレス<SA[6:0]>と<ALS> (アドレッシングフォーマット時、<ALS> = "0")を設定します。

それから、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBIxCR2<MST, TRX, BB>に"0", <PIN>に"1", <SBIM[1:0]>に"10", ビット 1, 0 に"0"を書き込み、初期状態をスレーブシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

	7	6	5	4	3	2	1	0	
SBIxCR1	← 0	0	0	X	0	X	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	← X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	← 0	0	0	1	1	0	0	0	スレーブシーバモードにします。

注) X; Don't care

### 18.6.2 スタートコンディション、スレーブアドレスの発生

#### 18.6.2.1 マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB> = "0")を確認します。次に、SBIxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0"の状態、SBIxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCLx 端子から 9 クロックを出力します。最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIx 割り込み要求が発生し、<PIN> = "0"にされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIx 割り込み要求の発生により、送信した方向ビットに合わせて<TRX> は変化します。

注) スレーブアドレスを出力するために SBIxDBR に書き込む時は事前にソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

		7	6	5	4	3	2	1	0	
Reg.	←	SBIXSR								
Reg.	←	Reg. e 0x20								
if Reg.	≠	0x00								バスがフリー状態になるまで確認します。
Then										
SBIXCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIXDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIXCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTSBIX 割り込みルーチンでの処理例

割り込み要求クリア  
 処理  
 割り込み終了

18.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBIXI2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを "Low" レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBIX 割り込み要求が発生し、<PIN> = "0" にされます。スレーブモード時は、<PIN> = "0" の間 SCL ラインを "Low" レベルに引きます。



図 18-9 スタートコンディションとスレーブアドレスの発生

### 18.6.3 1ワードのデータ転送

1ワード転送終了の INTSBiX 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

#### 18.6.3.1 マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

##### (1) トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBiXDBR に転送データを書き込みます。8 ビット以外の場合は<BC[2:0]>, <ACK>を設定し、転送データを SBiXDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSBiX 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

#### INTSBiX 割り込み

if MST = 0

Then スレーブモード時の処理へ移行

if TRX = 0

Then レシーバモード時の処理へ移行

if LRB = 0

Then ストップコンディションを発生する処理へ移行

SBiXCR1 ← X X X X 0 X X X 転送ビット数および ACK を設定します。

SBiXDBR ← X X X X X X X X 転送データを書き込みます。

割り込み処理終了

注) X; Don't care

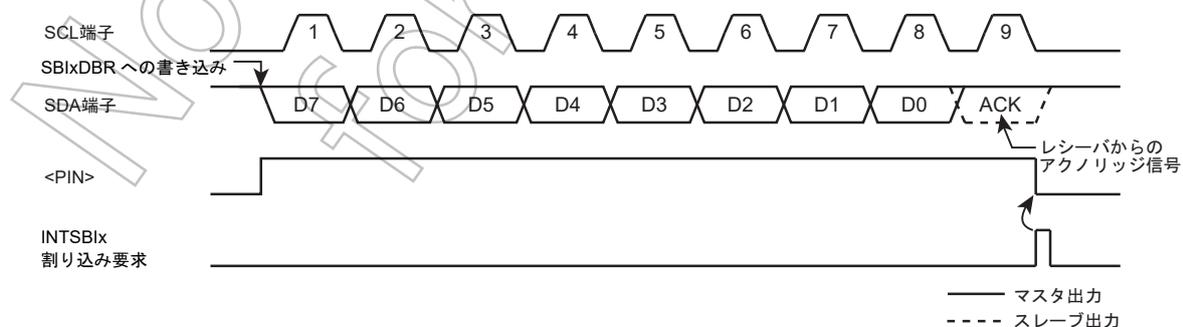


図 18-10 <BC[2:0]>="000", <ACK>="1"の場合 (トランスミッタモード)

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIxDBR に転送データを書き込みます。8 ビット以外の場合は<BC[2:0]>, <ACK>を設定し、SCL ラインを解放するために SBIxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"Low"レベルに引きます。SBIxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

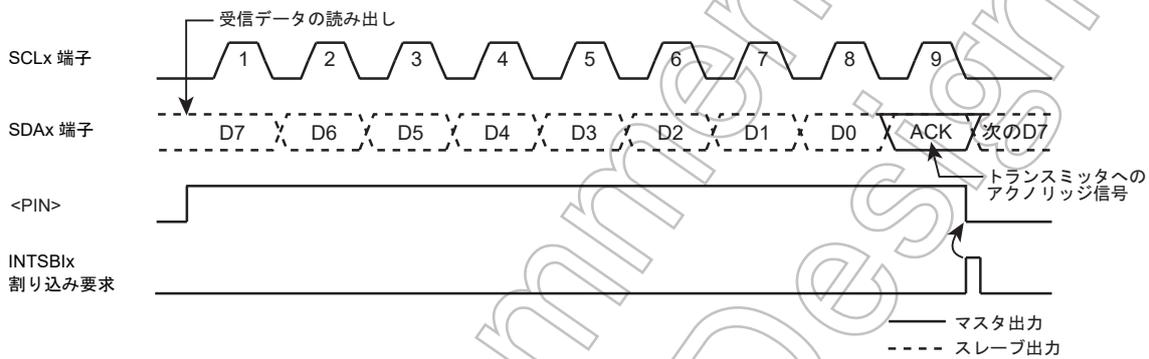


図 18-11 <BC[2:0]>="000", <ACK>="1"のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

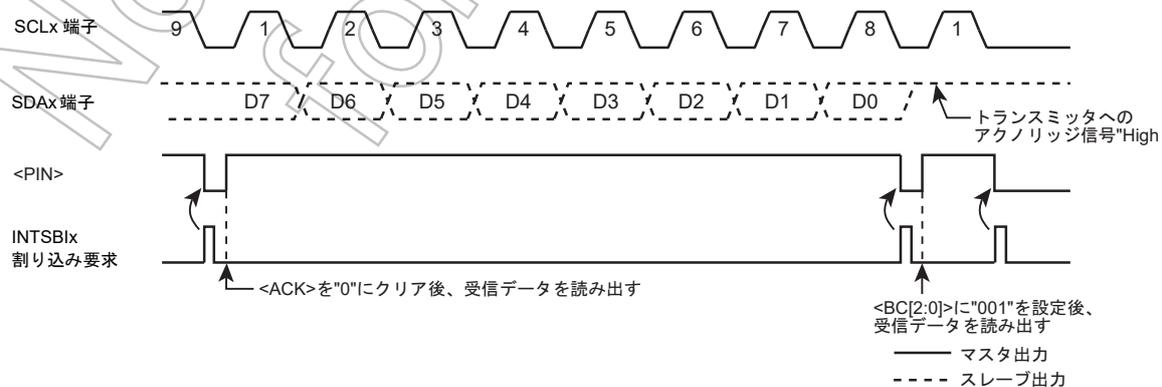


図 18-12 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

#### INTSBIX 割り込み(データ送信後)

		7	6	5	4	3	2	1	0
SBIXCR1	←	X	X	X	X	0	X	X	X
Reg.	←	SBIXDBR							

割り込み終了

受信データのビット数および ACK を設定します。

ダミーデータを取り込みます。

#### INTSBIX 割り込み(データ受信 1~(N - 2)回目)

		7	6	5	4	3	2	1	0
Reg.	←	SBIXDBR							

割り込み終了

1~(N - 2)回目のデータを取り込みます。

#### INTSBIX 割り込み(データ受信 (N - 1)回目)

		7	6	5	4	3	2	1	0
SBIXCR1	←	X	X	X	0	0	X	X	X
Reg.	←	SBIXDBR							

割り込み終了

アクノリッジ信号のクロックを発生しないようにします。

(N - 1)回目のデータを取り込みます。

#### INTSBIX 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0
SBIXCR1	←	0	0	1	0	0	X	X	X
Reg.	←	SBIXDBR							

割り込み終了

1ビット転送のためのクロックを発生します。

N 回目のデータを取り込みます。

#### INTSBIX 割り込み(データ受信後)

ストップコンディションを発生する処理  
割り込み終了

データ転送を終了させます。

注) X; Don't care

18.6.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBIx 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIx 割り込み要求が発生します。INTSBIx 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"Low"レベルに引きます。SBIxDBR にデータを書き込む、SBIxDBR からデータを読み出す、または<PIN>に"1"を設定すると SCLx 端子が t<sub>LOW</sub> 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBIxSR<AL>, <TRX>, <AAS>, <ADO>をテストし、場合分けを行います。「表 18-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTSBIx 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBIxCR1 ← X X X 1 0 X X X    送信ビット数を設定します。
SBIxDBR ← X X X X X X X X    送信データをセットします。
    
```

注) X; Don't care

表 18-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
		1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"0"のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIxDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが"0"のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

### 18.6.4 ストップコンディションの発生

SBIxSR<BB>="1"のときに、SBIxCR2<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDAx 端子が立ち上がり、ストップコンディションが発生します。

	7	6	5	4	3	2	1	0	
SBIxCR2	←	1	1	0	1	1	0	0	0

ストップコンディションを発生させます。

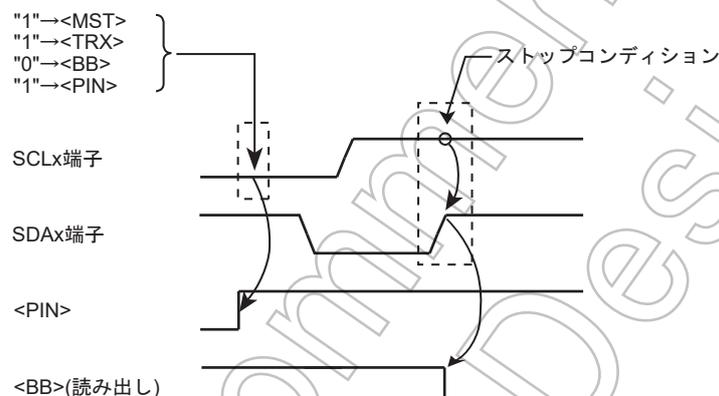


図 18-13 ストップコンディションの発生

### 18.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートが発生する場合の手順を以下に示します。

まず、SBIxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDAx 端子は"High"レベルを保ち、SCLx 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「18.6.2 スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウェアによる待ち時間が必要です。

注 1) <MST>="0"の状態の時に<MST>="0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0		
→	SBIxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
→	if SBIxSR<BB> ≠ 0										SCL 端子の開放を確認します。
→	Then										
→	if SBIxSR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
→	Then										
	4.7 μs Wait										
	SBIxCR1	←	X	X	X	1	0	X	X	X	アクリリジメントモードに設定します。
	SBIxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
	SBIxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注) X; Don't care

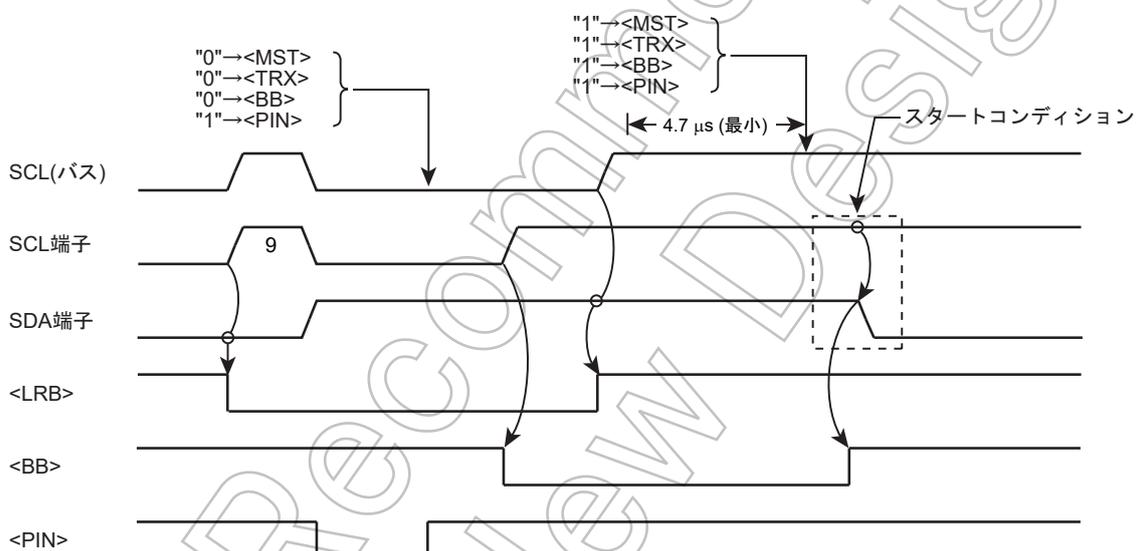


図 18-14 再スタートを発生する場合のタイミングチャート

## 18.7 SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

### 18.7.1 SBIXCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可  シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBIXCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

18.7.2 SBIXCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注1)

Bit	Bit Symbol	Type	機能																								
31-8	-	R	リードすると"0"が読めます。																								
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始																								
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止																								
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード																								
3	-	R	リードすると"1"が読めます。																								
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1)																								
			<table border="1"> <tr> <td>000</td> <td>n = 3</td> <td>MHz</td> </tr> <tr> <td>001</td> <td>n = 4</td> <td>MHz</td> </tr> <tr> <td>010</td> <td>n = 5</td> <td>Hz</td> </tr> <tr> <td>011</td> <td>n = 6</td> <td>kHz</td> </tr> <tr> <td>100</td> <td>n = 7</td> <td>kHz</td> </tr> <tr> <td>101</td> <td>n = 8</td> <td>kHz</td> </tr> <tr> <td>110</td> <td>n = 9</td> <td>kHz</td> </tr> <tr> <td>111</td> <td>-</td> <td>外部クロック</td> </tr> </table>	000	n = 3	MHz	001	n = 4	MHz	010	n = 5	Hz	011	n = 6	kHz	100	n = 7	kHz	101	n = 8	kHz	110	n = 9	kHz	111	-	外部クロック
000	n = 3	MHz																									
001	n = 4	MHz																									
010	n = 5	Hz																									
011	n = 6	kHz																									
100	n = 7	kHz																									
101	n = 8	kHz																									
110	n = 9	kHz																									
111	-	外部クロック																									

注 1) <SCK[0]>ビットは、リセット後"1"が読み出されますが、SBIXCR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBIXCR2 レジスタ、SBIXSR レジスタでも同様な記載をしています

注 2) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

注 3) マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

## 18.7.3 SBiXDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

- 注 1) 送信データを書き込み時には、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBiXDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

## 18.7.4 SBIXCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIXSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

注 2) 通信中はモードを切り替えないでください。

## 18.7.5 SBiXSR(ステータスレジスタ)

このレジスタをライトすると、SBiXCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

## 18.7.6 SBiXBR0(ポーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

## 18.8 SIO モード時の制御

### 18.8.1 シリアルクロック

#### 18.8.1.1 クロックソース

SBIxCR1 <SCK[2:0]> により、次の選択ができます。

##### (1) 内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCKx 端子より外部に出力されます。なお、転送開始時 SCKx 端子出力は "High" レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

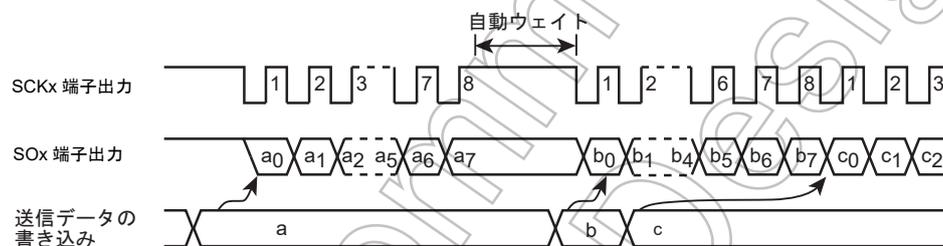


図 18-15 自動ウェイト機能

##### (2) 外部クロック (<SCK[2:0]> = "111")

外部から SCKx 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの "High" レベル、"Low" レベル幅は下記に示すパルス幅が必要です。

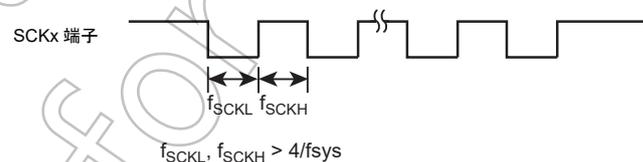


図 18-16 外部クロック入力時の最大転送周波数

18.8.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

シリアルクロックの前縁(SCKx 端子入出力の立ち下がりエッジ)でデータをシフトします。

- 後縁シフト

シリアルクロックの後縁(SCKx 端子入出力の立ち上がりエッジ)でデータをシフトします。

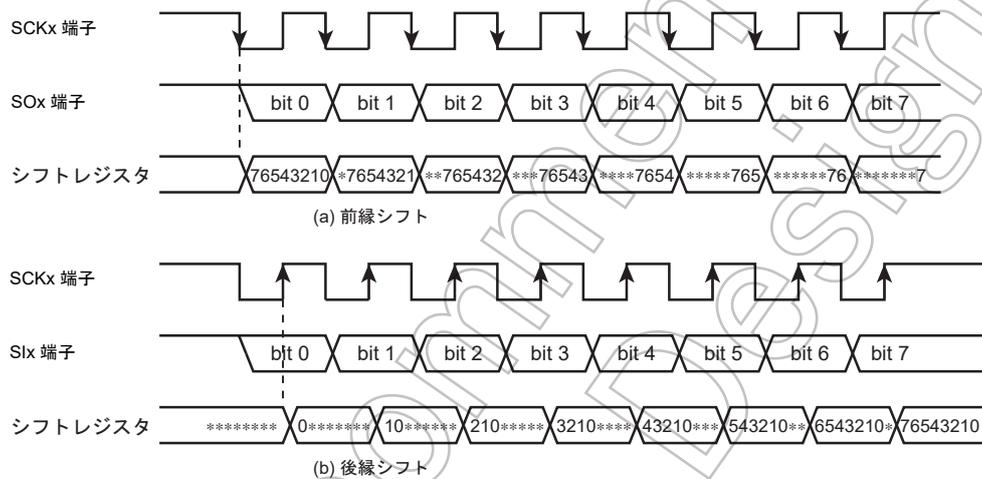


図 18-17 シフトエッジ

Not Recommended for New

## 18.8.2 転送モード

SBIxCR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

### 18.8.2.1 8ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIxDBR に書き込みます。

送信データの書き込み後、SBIxCR1<SIOS>="1"を書き込むことにより送信が開始されます。送信データは、SBIxDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIxDBR が空になりますので、次の送信データを要求する INTSBIx(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIxDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIxDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIxSR<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS>="0"を書き込むか<SIOINH>="1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIxSR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH>="1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

	7	6	5	4	3	2	1	0	
SBIxCR1	← 0	1	0	0	0	X	X	X	送信モードをセットします。
SBIxDBR	← X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	← 1	0	0	0	0	X	X	X	送信を開始します。
<b>INTSBIx 割り込み</b>									
SBIxDBR	← X	X	X	X	X	X	X	X	送信データを書き込みます。

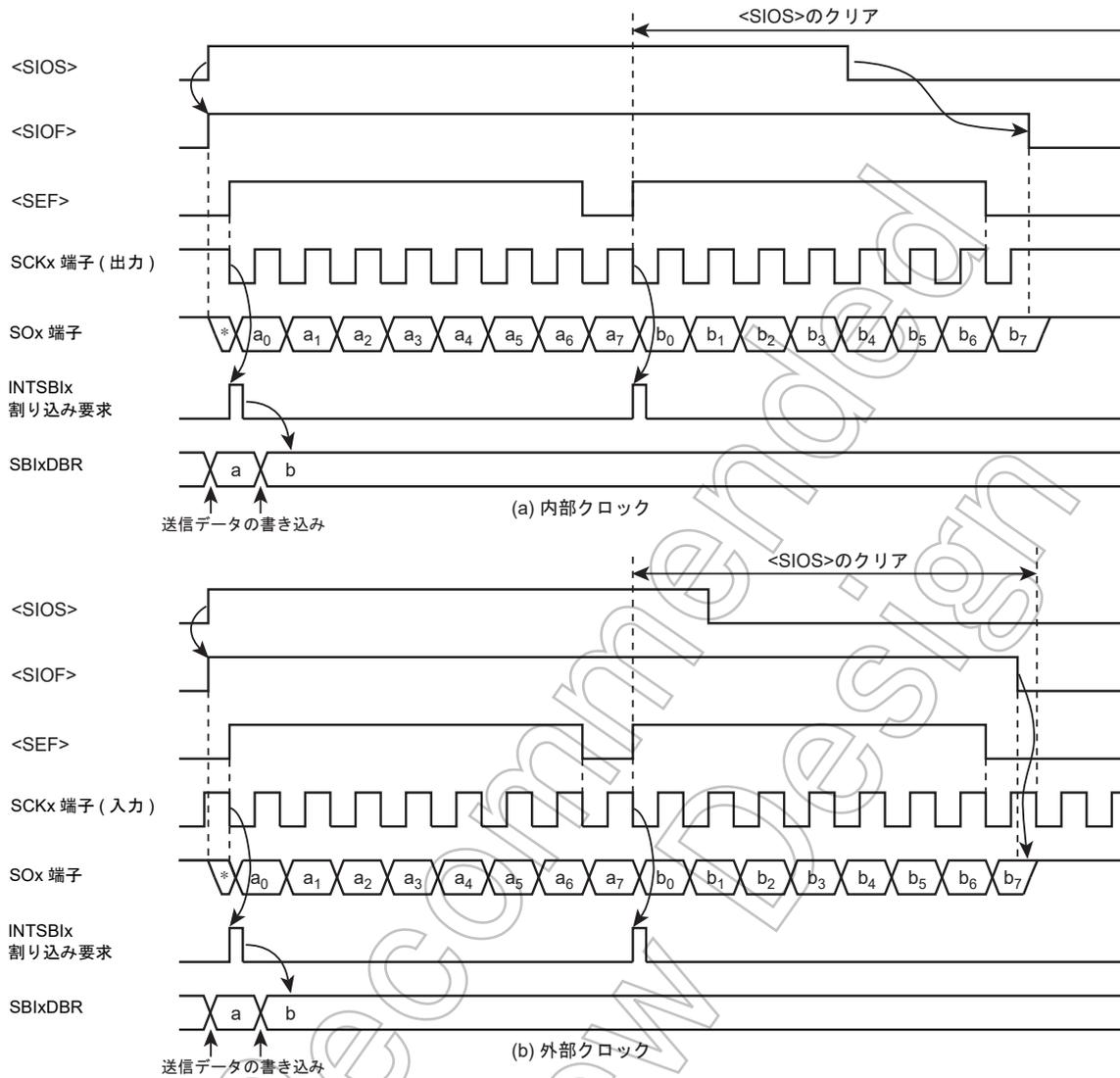


図 18-18 送信モード

例:<SIO> の送信終了指示(外部クロックの場合)のプログラム例

```

7 6 5 4 3 2 1 0
if SBIxSR<SIOF> ≠ 0          転送の終了を確認します。
Then
if SCK ≠ 1                    ポートをモニタし、SCKx 端子が"1"になったことを確認
                              します。
Then
SBIxCR1 ← 0 0 0 0 0 0 1 1 1  <SIO> = 0 を設定し送信を終了します。
    
```

## 18.8.2.2 8ビット受信モード

コントロールレジスタに受信モードをセットした後、SBIxCR1<SIOS> = "1" を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタから SBIxDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIx (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIxDBR から読み出します。

内部クロック動作の場合、受信データが SBIxDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIx 割り込みサービスプログラムで<SIOS> = "0" を書き込むか、<SIOINH> = "1" を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIxDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = "1" を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は"0"になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS> = "0" を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

	7	6	5	4	3	2	1	0	
SBIxCR1	← 0	1	1	1	0	X	X	X	受信モードをセットします。
SBIxCR1	← 1	0	1	1	0	X	X	X	受信を開始します。
INTSBIx 割り込み									
Reg.	←	SBIxDBR							受信データを取り込みます。

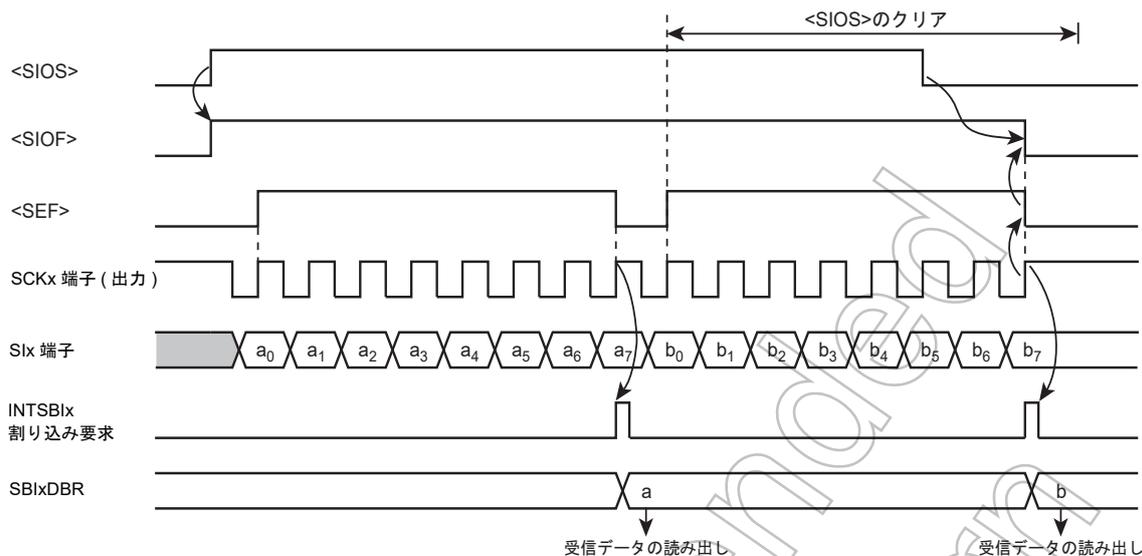


図 18-19 受信モード(例: 内部クロック)

### 18.8.2.3 8ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIxDBR に書き込みます。その後、SBIxCR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから SBIxDBR へ受信データが転送され、INTSBIx 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIxDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCKx の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBIxCR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIxDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

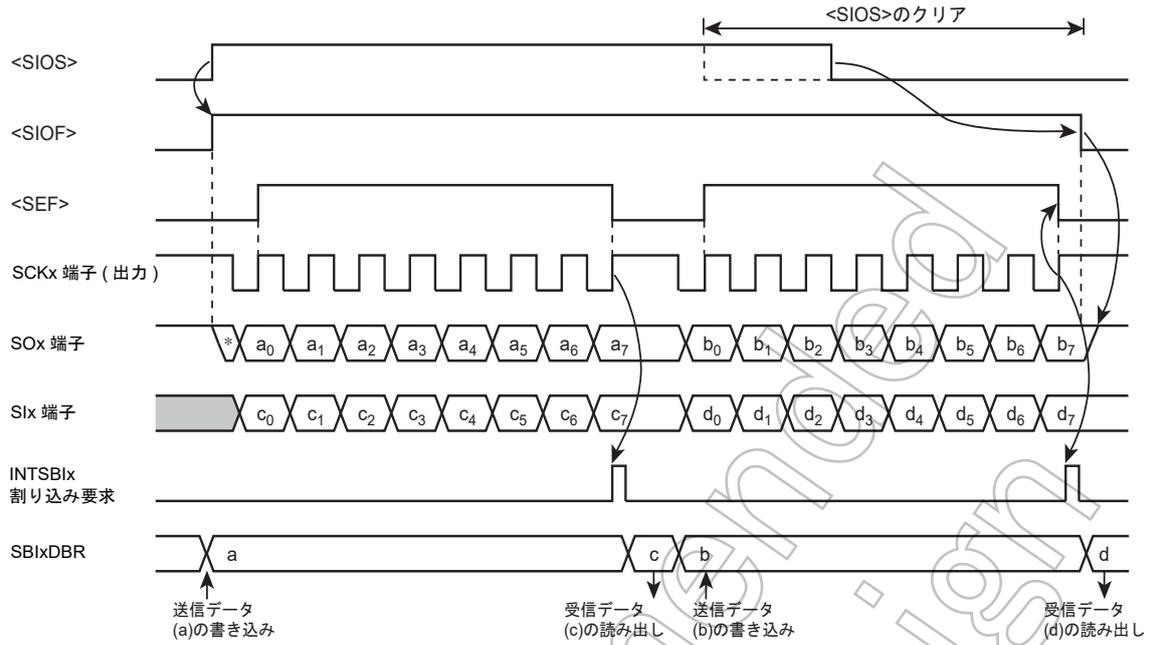


図 18-20 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBixCR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBixDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBixCR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBix 割り込み

Reg.	←	SBixDBR	受信データを取り込みます。
SBixDBR	←	X X X X X X X X	送信データを書き込みます。

18.8.2.4 送信終了時の最終ビット保持時間

SBixCR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下ようになります。送信モード、送受信モードとも同様です。

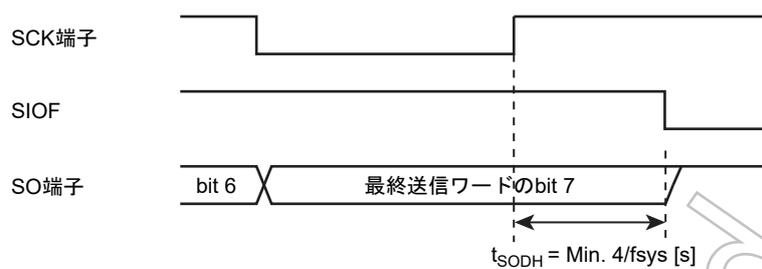


図 18-21 送信終了時の最終ビット保持時間

Not Recommended for New Design

Not Recommended  
for New Design

## 第 19 章 アナログ/デジタルコンバータ(ADC)

### 19.1 特徴

TMPM341FDXBG/FYXBG は、15 チャンネルのアナログ入力を持つ、12 ビット逐次変換方式アナログ/デジタルコンバータ(AD コンバータ)を内蔵しています。

15 チャンネルのアナログ入力端子(AIN00 ~ AIN14)は、入出力ポートと兼用です。

12 ビット AD コンバータは、以下のような特徴があります。

- ・ 通常 AD 変換、最優先 AD 変換の起動
  - ソフトウェアによる起動
  - 16 ビットタイマ(TMRB)による起動
  - 外部トリガ入力( $\overline{\text{ADTRG}}$ )によるハードウェア起動
- ・ AD 変換機能
  - 固定シングル変換モード
  - スキャンシングル変換モード
  - 固定リピート変換モード
  - スキャンリピート変換モード
- ・ 最優先 AD 変換機能
- ・ 通常 AD 変換終了、最優先 AD 変換終了割り込み機能
- ・ 通常 AD 変換機能、最優先 AD 変換機能ステータスフラグ
  - AD 変換結果データ有効を示すフラグ<ADR<sub>x</sub>RF>
  - 上書きを示すフラグ<OVR<sub>x</sub>>
  - 通常 AD 変換終了、最優先 AD 変換終了フラグ
  - 通常 AD 変換ビジー、最優先 AD 変換ビジーフラグ
- ・ AD 監視機能
  - AD 監視機能有効時に、任意比較条件と一致した場合、割り込みを発生します。
- ・ AD 変換クロックを  $1/f_c \sim 1/16f_c$  まで制御可能
- ・ AD 変換終了時、2 種類の DMA リクエストをサポート
- ・ スタンバイモードをサポート
- ・ 出力スイッチングモニタ機能

AD 変換中に、アナログ入力端子(AIN00 ~ AIN14)と兼用されている汎用入出力ポートで出力スイッチングが行われたことモニタする機能です。このモニタにより、AD 変換中の出力スイッチングが変換精度に影響を与えた可能性があることを知らせます。

## 19.2 構成

図 19-1 に AD コンバータブロック図を示します。

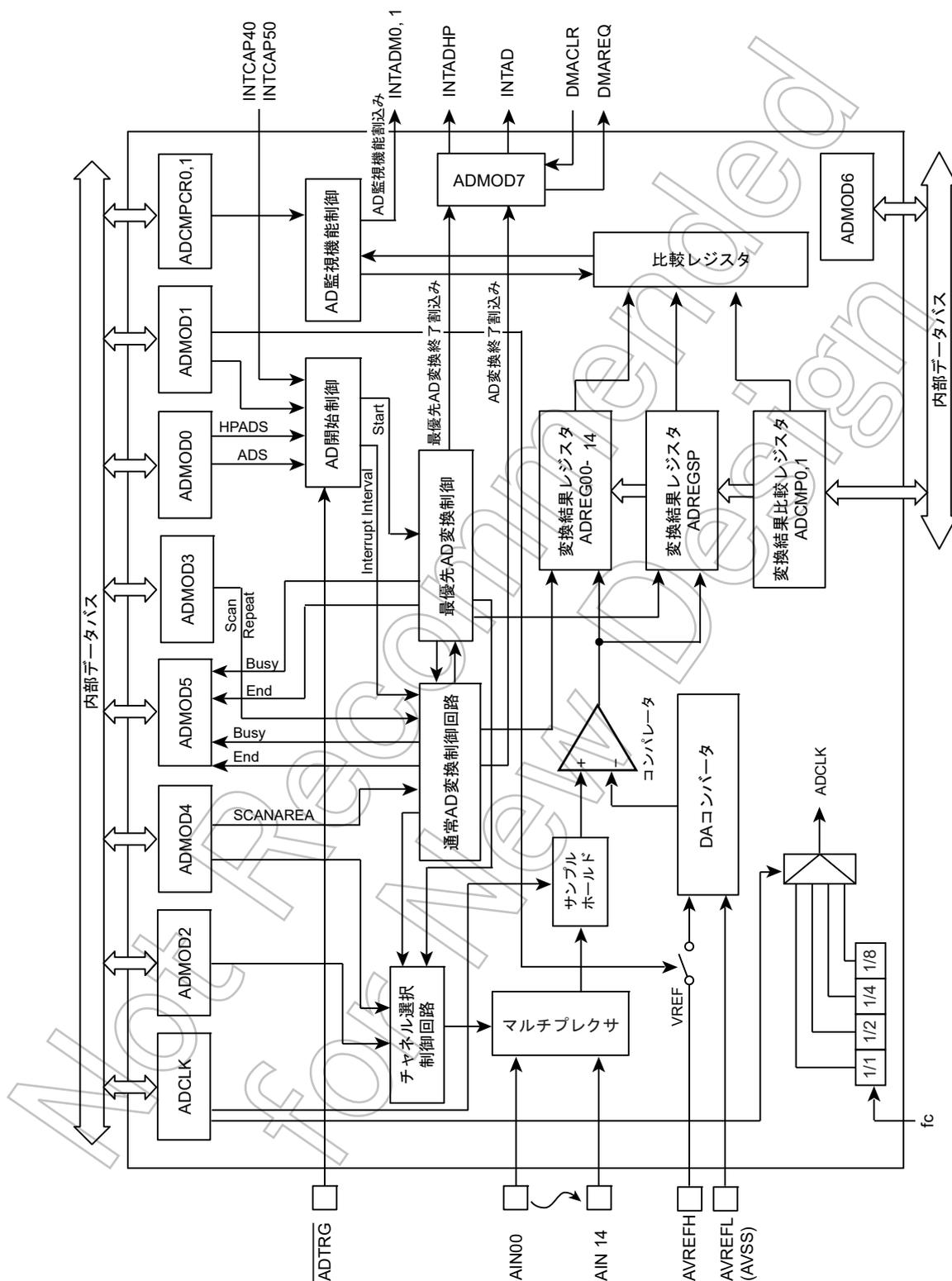


図 19-1 AD コンバータブロック図

## 19.3 レジスタ

### 19.3.1 レジスタ一覧

AD コンバータは、AD モードコントロールレジスタ(ADMOD0~ADMOD7)により制御します。AD 変換結果は、AD 変換結果レジスタ ADREG00~ADREG14 の 15 個のレジスタに格納され、最優先変換結果は ADREGSP に格納されます。

Base Address = 0x4005\_0000

レジスタ名		Address(Base+)
クロック設定レジスタ	ADCLK	0x0000
モード設定レジスタ 0	ADMOD0	0x0004
モード設定レジスタ 1	ADMOD1	0x0008
モード設定レジスタ 2	ADMOD2	0x000C
モード設定レジスタ 3	ADMOD3	0x0010
モード設定レジスタ 4	ADMOD4	0x0014
モード設定レジスタ 5	ADMOD5	0x0018
モード設定レジスタ 6	ADMOD6	0x001C
モード設定レジスタ 7	ADMOD7	0x0020
監視割り込み設定レジスタ 0	ADCMPCR0	0x0024
監視割り込み設定レジスタ 1	ADCMPCR1	0x0028
変換結果比較レジスタ 0	ADCMP0	0x002C
変換結果比較レジスタ 1	ADCMP1	0x0030
変換結果格納レジスタ 0	ADREG00	0x0034
変換結果格納レジスタ 1	ADREG01	0x0038
変換結果格納レジスタ 2	ADREG02	0x003C
変換結果格納レジスタ 3	ADREG03	0x0040
変換結果格納レジスタ 4	ADREG04	0x0044
変換結果格納レジスタ 5	ADREG05	0x0048
変換結果格納レジスタ 6	ADREG06	0x004C
変換結果格納レジスタ 7	ADREG07	0x0050
変換結果格納レジスタ 8	ADREG08	0x0054
変換結果格納レジスタ 9	ADREG09	0x0058
変換結果格納レジスタ 10	ADREG10	0x005C
変換結果格納レジスタ 11	ADREG11	0x0060
変換結果格納レジスタ 12	ADREG12	0x0064
変換結果格納レジスタ 13	ADREG13	0x0068
変換結果格納レジスタ 14	ADREG14	0x006C
Reserved	-	0x0070
最優先変換結果格納レジスタ	ADREGSP	0x0074
Reserved	-	0x0F00
Reserved	-	0x0F04
Reserved	-	0x0F08

注) "Reserved"表記のアドレスにはアクセスしないでください。

### 19.3.2 ADCLK (クロック設定レジスタ)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	ADSH				-	ADCLK			
リセット後	0	0	0	0	0	0	0	1	

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	ADSH[3:0]	R/W	ADC サンプルホールド時間選択 0000: 10 × <ADCLK> 0001: 20 × <ADCLK> 0010: 30 × <ADCLK> 0011: 40 × <ADCLK> 0100: 80 × <ADCLK> 0101 to 1111: Reserved
3	-	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	ADC プリスケアラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100 to 111: Reserved

注 1) 4MHz ≤ ADCLK ≤ 40MHz の範囲内で使用してください。例えば、fosc = 13.5MHz、PLL = 16 通倍で使用する場合、fc = 54MHz となりますが、この場合は ADCLK<ADCLK[2:0]> = "000"以外を使用してください。

注 2) <ADCLK >ADC プリスケアラ出力選択は、AD 変換停止且つ ADMOD1<VREFON>="0"で行なってください。

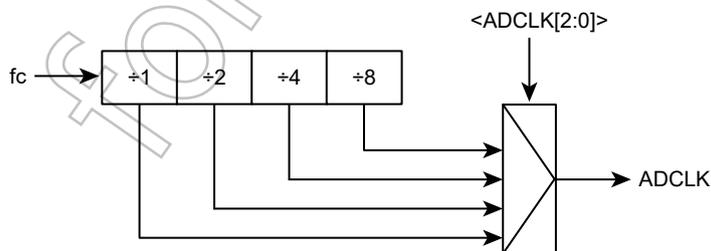


図 19-2 AD 変換クロック(ADCLK)

下表にサンプルホールド時間および変換時間を示します。

<ADCLK[2:0]> 設定	<ADSH[3:0]>	変換時間(Tconv)		
		fc=32MHz	fc=40MHz	fc=54MHz
000 (fc)	10 × ADCLK	1.25 μs	1.00 μs	–
	20 × ADCLK	1.56 μs	1.25 μs	–
	30 × ADCLK	1.88 μs	1.50 μs	–
	40 × ADCLK	2.19 μs	1.75 μs	–
	80 × ADCLK	3.44 μs	2.75 μs	–
001 (fc/2)	10 × ADCLK	2.50 μs	2.00 μs	1.48 μs
	20 × ADCLK	3.13 μs	2.50 μs	1.85 μs
	30 × ADCLK	3.75 μs	3.00 μs	2.22 μs
	40 × ADCLK	4.38 μs	3.50 μs	2.59 μs
	80 × ADCLK	6.88 μs	5.50 μs	4.07 μs
010 (fc/4)	10 × ADCLK	5.00 μs	4.00 μs	2.96 μs
	20 × ADCLK	6.25 μs	5.00 μs	3.70 μs
	30 × ADCLK	7.50 μs	6.00 μs	4.44 μs
	40 × ADCLK	8.75 μs	7.00 μs	5.19 μs
	80 × ADCLK	–	–	8.15 μs
011 (fc/8)	10 × ADCLK	10.0 μs	8.00 μs	5.93 μs
	20 × ADCLK	–	10.0 μs	7.41 μs
	30 × ADCLK	–	–	8.89 μs
	40 × ADCLK	–	–	–
	80 × ADCLK	–	–	–

注 1) AD 変換中は、AD 変換クロック設定を変更しないで下さい。

注 2) "–"は設定禁止です。<ADCLK>の設定は、変換時間 1μs ~ 10μs の範囲内で使用してください。

## 19.3.3 ADMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	HPADS	W	最優先 AD 変換開始を設定します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。
0	ADS	W	通常(ソフト)AD 変換開始を設定します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。

注 1) ADC を使用する場合、ADMOD1<VREFON> = "1"に設定した後、ADMOD0<ADS>、<HPADS>にて AD 変換開始、または外部トリガスタートを行なってください。

注 2) 最優先 AD 変換<HPADS>と通常 AD 変換(ソフト)の両方をイネーブルにして、最優先と通常の両方を  $\overline{\text{ADTRG}}$ (外部トリガ入力)に選択した場合、最優先 AD 変換が優先して起動します。通常 AD 変換は起動しません。

## 19.3.4 ADMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREFON	I2AD	RCUT	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	VREFON	R/W	VREF 印加制御(注 1、注 2) 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の ADC 動作制御(WFI (Wait For Interrupt) 命令実行時の動作を制御します) 0: 停止 1: 動作
5	RCUT	R/W	AVREFH-AVREFL 間のリファレンス電流を制御します。 0: 変換中のみ通電 1: リセット時以外常時通電
4	-	R	リードすると"0"が読めます。
3	HPADHWS	R/W	最優先 AD 変換を開始するためのハードウェア起動要因を設定します。 0: 外部トリガ 1: INTCAP40 割り込みによる起動
2	HPADHWE	R/W	ハードウェア要因(外部トリガ、INTCAP40 割り込みによる起動)による最優先 AD 変換開始を制御します。 0: 禁止 1: 許可
1	ADHWS	R/W	通常 AD 変換を開始するためのハードウェア起動要因を設定します。(注 3) 0: 外部トリガ 1: INTCAP50 割り込みによる起動
0	ADHWE	R/W	ハードウェア要因(外部トリガ、INTCAP50 割り込みによる起動)による通常 AD 変換開始を制御します。 0: 禁止 1: 許可

注 1) AD 変換をスタートさせる場合、ADMOD1<VREFON>="1"に設定してから、ADMOD0<ADS>,<HPADS>にて AD 変換スタート、または外部トリガスタートを行ってください。なお、ADMOD1<VREFON> = ON("1")の起動後、3 $\mu$ s の安定時間が必要です。

注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>ビットを"0"に設定してください。

注 3) 最優先 AD 変換で外部トリガ端子を使用する場合、通常 AD 変換のハードウェア起動要因に外部トリガの設定は出来ません。

注) IDLE、STOP1/2 モードにより電源電流を低減させる場合、以下の条件で使用する場合には、AD コンバータ動作終了後、低消費電力モードに遷移する命令を実行してください。

1. ADMOD1<I2AD>="0"で IDLE モードへ遷移する場合
2. STOP1/STOP2 モードへ遷移する場合

## 19.3.5 ADMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HPADCH				ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	HPADCH[3:0]	R/W	最優先 AD 変換時のアナログ入力チャンネルを選択します。("1111"の設定は禁止です) (表 19-1 参照)
3-0	ADCH[3:0]	R/W	通常 AD 変換時のアナログ入力チャンネルを選択します。("1111"の設定は禁止です) (表 19-1 参照)

表 19-1 通常 AD 変換、最優先 AD 変換時の入力チャンネル選択

<HPADCH[3:0]>	最優先 AD 変換時の アナログ入力チャンネル	<ADCH[3:0]>	通常 AD 変換時の アナログ入力チャンネル
0000	AIN00	0000	AIN00
0001	AIN01	0001	AIN01
0010	AIN02	0010	AIN02
0011	AIN03	0011	AIN03
0100	AIN04	0100	AIN04
0101	AIN05	0101	AIN05
0110	AIN06	0110	AIN06
0111	AIN07	0111	AIN07
1000	AIN08	1000	AIN08
1001	AIN09	1001	AIN09
1010	AIN10	1010	AIN10
1011	AIN11	1011	AIN11
1100	AIN12	1100	AIN12
1101	AIN13	1101	AIN13
1110	AIN14	1110	AIN14

## 19.3.6 ADMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	ITM				-	-	REPEAT	SCAN
リセット後	0	0	0	0	0	0	0	0	

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-4	ITM[2:0]	R/W	チャンネル固定リピート変換モード時の割り込み発生タイミングを設定します。(表 19-2 参照)
3-2	-	R	リードすると"0"が読めます。
1	REPEAT	R/W	リピートモードを設定します。 0: シングル変換 1: リピート変換
0	SCAN	R/W	スキャンモードを設定します。 0: チャンネル固定 1: チャンネルスキャン

表 19-2 チャンネル固定リピート変換モードの割り込み発生タイミング

<ITM[2:0]>	チャンネル固定リピート変換モード <SCAN>="0", <REPEAT>="1"
000	1回毎、割り込み発生
001	2回毎、割り込み発生
010	3回毎、割り込み発生
011	4回毎、割り込み発生
100	5回毎、割り込み発生
101	6回毎、割り込み発生
110	7回毎、割り込み発生
111	8回毎、割り込み発生

注 1) <ITM[2:0]>は、チャンネル固定リピートモード(<REPEAT>=1,<SCAN>=0)時のみ有効です。

注 2) リピート変換中(<REPEAT>=1、チャンネル固定、チャンネルスキャンの時)、リピート変換を中止する場合、<REPEAT>=0にクリアします。その場合、<REPEAT>ビット以外は書き換えしないでください。

### 19.3.7 ADMOD4 (モード設定レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SCANAREA				SCANSTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	SCANAREA [3:0]	R/W	チャンネルスキャンの範囲を設定します。("1111"の設定は禁止です)
3-0	SCANSTA[3:0]	R/W	チャンネルスキャンの先頭チャンネルを設定します。("1111"の設定は禁止です)

ADMOD3<SCAN> = "1", <REPEAT> = "0"に設定するとチャンネルスキャンシングルモードになり、ADMOD3<SCAN> = "1", <REPEAT> = "1"に設定するとチャンネルスキャンリピートモードになります。まず、チャンネルスキャンをスタートさせたいチャンネルを選択します。次に、設定したスタートチャンネルからスキャンしたいチャンネル数を選択します。例えば、ADMOD4<SCANSTA> = "0001"(AIN01), <SCANAREA> = "0010"(3ch スキャン)を設定した場合、AIN01 ~ AIN03(3 チャンネル分)のチャンネルスキャンを行います。

表 19-2 に<SCANSTA>の設定と<SCANAREA>の設定可能な範囲の関係を示します。

表 19-3 チャンネルスキャン設定範囲

<SCANSTA[3:0]>	スタートチャンネル	<SCANAREA[3:0]>	設定可能なチャンネルスキャン範囲
0000	(AIN00)	0000 ~ 1110	(1ch ~ 15ch)
0001	(AIN01)	0000 ~ 1101	(1ch ~ 14ch)
0010	(AIN02)	0000 ~ 1100	(1ch ~ 13ch)
0011	(AIN03)	0000 ~ 1011	(1ch ~ 12ch)
0100	(AIN04)	0000 ~ 1010	(1ch ~ 11ch)
0101	(AIN05)	0000 ~ 1001	(1ch ~ 10ch)
0110	(AIN06)	0000 ~ 1000	(1ch ~ 9ch)
0111	(AIN07)	0000 ~ 0111	(1ch ~ 8ch)
1000	(AIN08)	0000 ~ 0110	(1ch ~ 7ch)
1001	(AIN09)	0000 ~ 0101	(1ch ~ 6ch)
1010	(AIN10)	0000 ~ 0100	(1ch ~ 5ch)
1011	(AIN11)	0000 ~ 0011	(1ch ~ 4ch)
1100	(AIN12)	0000 ~ 0010	(1ch ~ 3ch)
1101	(AIN13)	0000 ~ 0001	(1ch ~ 2ch)
1110	(AIN14)	0000	(1ch)

注) 上記以外の設定場合、ADMOD0 レジスタにて AD 変換スタートしても、変換スタートしません。

## 19.3.8 ADMOD5 (モード設定レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3	HPEOCF	R	最優先 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
2	HPADBF	R	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
1	EOCF	R	通常 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
0	ADBF	R	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中

注 1) <EOCF>,<HPEOCF>は、読み出すことにより“0”にクリアされます。

注 2) IDLE、STOP1/2 モードにより電源電流を低減させる場合、以下の条件で使用する場合には AD コンバータ動作終了後、低消費電力モードに遷移する命令を実行してください。

1. ADMOD1<I2AD>="0"で IDLE モードへ遷移する場合
2. STOP1/STOP2 モードへ遷移する場合

## 19.3.9 ADMOD6 (モード設定レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ADRST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウェアリセットを行います。 ADCLK<ADCLK>ビットを除くレジスタは、全て初期化されます。

注 1) AD 変換終了割り込みを利用して DMA 転送を行う場合、ADMOD6<ADRST>ソフトウェアリセットを行ってから、DMAC を動作させ(DMA 要求待機状態)、ADC の設定(開始)を行ってください。

注 2) ソフトウェアリセットを行なう場合、ADMOD1<VREFON>ビットが"1"の場合のみ有効です。

注 3) ソフトウェアリセットを行なう場合、初期化に 3μs の時間が必要となります。

19.3.10 ADMOD7 (モード設定レジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTADHPDMA	INTADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-2	-	R/W	常に"0"をライトしてください。
1	INTADHPDMA	R/W	最優先 AD 変換 DMA 起動要因設定 最優先 AD 変換終了割り込み(INTADHP)をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
0	INTADDMA	RW	通常 AD 変換 DMA 起動要因設定 通常 AD 変換終了割り込み(INTAD)をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可

19.3.11 ADCMPCR0 (監視割り込み設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	CMPCOND0	ADBIG0	AINS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-8	CMPCNT0[3:0]	R/W	<p>大小判定カウント数を設定します。カウント数に達すると割り込みが発生します。</p> <p>0000 : 1 回カウント      0110 : 7 回カウント      1100 : 13 回カウント                      0001 : 2 回カウント      0111 : 8 回カウント      1101 : 14 回カウント                      0010 : 3 回カウント      1000 : 9 回カウント      1110 : 15 回カウント                      0011 : 4 回カウント      1001 : 10 回カウント      1111 : 16 回カウント                      0100 : 5 回カウント      1010 : 11 回カウント                      0101 : 6 回カウント      1011 : 12 回カウント</p>
7	CMP0EN	R/W	<p>AD 監視機能 0</p> <p>0: 禁止                      1: 許可</p> <p>&lt;CMP0EN&gt;="0" (禁止)に設定することにより、それまでの大小判定カウント数はクリアされます。</p>
6	-	R	リードすると"0"が読めます。
5	CMPCOND0	R/W	<p>判定カウント条件を設定します。</p> <p>0: 連続方式                      1: 累積方式</p> <p>連続方式は&lt;ADBIG0&gt;に設定した状態が連続し、&lt;CMPCNT0&gt;に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込み(INTADM0)が発生します。&lt;ADBIG0&gt;に設定した状態と異なる場合はカウンタ値をクリアします。</p> <p>累積方式は、&lt;ADBIG0&gt;に設定した状態が累積して&lt;CMPCNT0&gt;に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生し、カウントをクリアします。&lt;ADBIG0&gt;に設定した状態と異なる場合でもカウンタ値を保持します。</p>
4	ADBIG0	R/W	<p>大小判定を設定します。</p> <p>0: 比較レジスタより大                      1: 比較レジスタより小</p> <p>比較レジスタ(ADCMP0)よりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。</p> <p>AINS0[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が&lt;ADBIG0&gt;の設定にあてはまればカウンタをプラスします。</p>
3-0	AINS0[3:0]	R/W	<p>比較対象のアナログ入力を設定します。</p> <p>0000 : AIN00      0101 : AIN05      1010 : AIN10 1111:設定禁止                      0001 : AIN01      0110 : AIN06      1011 : AIN11                      0010 : AIN02      0111 : AIN07      1100 : AIN12                      0011 : AIN03      1000 : AIN08      1101 : AIN13                      0100 : AIN04      1001 : AIN09      1110 : AIN14</p>

注) AD 監視機能は、固定リポート変換モード、スキャンリポート変換モードで使用します。

19.3.12 ADCMP1 (監視割り込み設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	CMPCOND1	ADBIG1	AINS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-8	CMPCNT1[3:0]	R/W	<p>大小判定カウント数を設定します。カウント数に達すると割り込みが発生します。</p> <p>0000 : 1 回カウント      0110 : 7 回カウント      1100 : 13 回カウント                      0001 : 2 回カウント      0111 : 8 回カウント      1101 : 14 回カウント                      0010 : 3 回カウント      1000 : 9 回カウント      1110 : 15 回カウント                      0011 : 4 回カウント      1001 : 10 回カウント      1111 : 16 回カウント                      0100 : 5 回カウント      1010 : 11 回カウント                      0101 : 6 回カウント      1011 : 12 回カウント</p>
7	CMP1EN	R/W	<p>AD 監視機能 1</p> <p>0: 禁止                      1: 許可</p> <p>&lt;CMP1EN&gt;="0" (禁止)に設定することにより、それまでの大小判定カウント数はクリアされます。</p>
6	-	R	リードすると"0"が読めます。
5	CMPCOND1	R/W	<p>判定カウント条件を設定します。</p> <p>0: 連続方式                      1: 累積方式</p> <p>連続方式は、&lt;ADBIG1&gt;に設定した状態が連続し、&lt;CMPCNT1&gt;に設定したカウント回数に達すると AD 監視割り込み (INTADM1) が発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込み (INTADM1) が発生します。&lt;ADBIG1&gt;に設定した状態と異なる場合はカウンタ値をクリアします。累積方式は、&lt;ADBIG1&gt;に設定した状態が累積して &lt;CMPCNT1&gt;に設定したカウント回数に達すると AD 監視割り込み (INTADM1) が発生し、カウンタをクリアします。&lt;ADBIG1&gt;に設定した状態と異なる場合でもカウンタ値を保持します。</p>
4	ADBIG1	R/W	<p>大小判定を設定します。</p> <p>0: 比較レジスタより大                      1: 比較レジスタより小</p> <p>比較レジスタ (ADCMP1) よりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。AINS1[3:0] で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が &lt;ADBIG1&gt; の設定にあてはまればカウンタをプラスします。</p>
3-0	AINS1[3:0]	R/W	<p>比較対象のアナログ入力を設定します。</p> <p>0000 : AIN00      0101 : AIN05      1010 : AIN10 1111: 設定禁止                      0001 : AIN01      0110 : AIN06      1011 : AIN11                      0010 : AIN02      0111 : AIN07      1100 : AIN12                      0011 : AIN03      1000 : AIN08      1101 : AIN13                      0100 : AIN04      1001 : AIN09      1110 : AIN14</p>

注) AD 監視機能は、固定リポート変換モード、スキャンリポート変換モードで使用します。

## 19.3.13 ADCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD0CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-0	AD0CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADCMPCR0<CMPxEN> = "0")にした状態で行ってください。

## 19.3.14 ADCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD1CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11-0	AD1CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止(ADCMPPCR1<CMPxEN> = "0")にした状態で行ってください。

19.3.15 ADREG00 ~ ADREG14 (通常 AD 変換結果レジスタ 00 ~ 14)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	ADPOSWF	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると"0"が読めます。
14	ADPOSWF	R	AIN 兼用ポートの出力スイッチングフラグ 0: スイッチングなし 1: スイッチングあり AD 変換中に、AIN と兼用されている汎用入出力ポートのレジスタ PxDATA が変化した場合、ADREGm<ADPOSWF>に"1"がセットされます。この時、変化したビットのレジスタ PxCR が"1"の場合、AD 変換中に行われた出力スイッチングが変換精度に影響を与えた可能性があります。このフラグは(ADREGx)レジスタをリードすると"0"にクリアされます。
13	ADOVRF	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADREGx レジスタをリードすると前回の変換結果がリードされます。

注) AD 変換中、他のアナログ/入出力兼用ポートを出力ポートとして使用した場合、出力スイッチングは極力行わないでください。

## 19.3.16 ADREGSP (最優先 AD 変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	ADPO SWFSP	ADOVRFSP	ADRFSP	ADRSP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRSP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると"0"が読めます。
14	ADPOSWFSP	R	AIN 兼用ポートの出力スイッチングフラグ 0: スイッチングなし 1: スイッチングあり AD 変換中に、AIN と兼用されている汎用入出力ポートのレジスタ PxDATA が変化した場合、ADREGx<ADPOSWF>に"1"がセットされます。この時、変化したビットのレジスタ PxCR が"1"の場合、AD 変換中に行われた出力スイッチングが変換精度に影響を与えた可能性があります。このフラグは(ADREGx)レジスタをリードすると"0"にクリアされます。
13	ADOVRFSP	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
12	ADRFSP	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
11-0	ADRSP[11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADREGSP レジスタをリードすると前回の変換結果がリードされます。

注) AD 変換中、他のアナログ/入出力兼用ポートを出力ポートとして使用した場合、出力スイッチングは極力行わないでください。

## 19.4 動作説明

### 19.4.1 アナログ基準電圧

アナログ基準電圧の"H"レベル側を AVREFH 端子に、"L"レベル側を AVREFL 端子に印加します。ADMOD1<RCUT>ビットに"0"を書き込むことにより、AVREFH - AVREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、必ず<VREFON>ビットに"1"を書き込んだ後、内部基準電圧が安定するまでの 3  $\mu$ s 待ってから ADMOD0<ADS>ビットに"1"を書き込んで下さい。

### 19.4.2 AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

#### 19.4.2.1 通常 AD 変換

通常 AD 変換には次の 4 種類の動作モードが用意されています。動作モードの設定は ADMOD3<REPEAT, SCAN>の設定により選択することが出来ます。

- ・ チャンネル固定シングル変換モード
- ・ チャンネルスキャンシングル変換モード
- ・ チャンネル固定リピート変換モード
- ・ チャンネルスキャンリピート変換モード

##### (1) チャンネル固定シングル変換モード

ADMOD3<REPEAT, SCAN>に"00"を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、ADMOD2<ADCH>で選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、INTAD の割り込み要求が発生します。ADMOD5<EOCF>は読み出す事により"0"にクリアされます。

##### (2) チャンネルスキャンシングル変換モード

ADMOD3<REPEAT,SCAN>に"01"を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、ADMOD4<SCANSTA>で選択したスタートチャンネルから、ADMOD4<SCANAREA>で設定したスキャンチャンネル範囲の変換を 1 回だけ行います。スキャン変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、INTAD の割り込み要求が発生します。ADMOD5<EOCF>は読み出す事で"0"にクリアされません。

##### (3) チャンネル固定リピート変換モード

ADMOD3<REPEAT,SCAN>に"10"を設定するとチャンネル固定リピート変換モードになります。

このモードでは、ADMOD2<ADCH>で選択した 1 チャンネルの変換を ADMOD3<ITM>で設定した回数分繰り返した後、割り込み要求が発生します (INTAD の割り込み要求発生タイミングの選択ができます)。変換が終了した後、ADMOD5<EOCF>が"1"にセットされます。

が、ADM05<ADBF>は"0"にならず"1"を保持します。ADM05<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。ADM05<EOCF>は読み出す事により"0"にクリアされます。

#### (4) チャネルスキャンリピート変換モード

ADM03<REPEAT,SCAN>に"11"を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、ADM04<SCANSTA>で選択したスタートチャネルから、ADM04<SCANAREA>で設定したスキャンチャネル範囲の変換を繰り返し行います。1回のスキャン変換が終了するごとにADM05<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。ADM05<ADBF>は"0"にならず"1"を保持します。ADM05<EOCF>は読み出す事により"0"にクリアされます。

#### 19.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。

動作モードはチャネル固定のシングル変換のみです。ADM03<REPEAT,SCAN>の設定は関係ありません。起動条件が成立すると、ADM02<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生して、ADM05<HPEOCF>は"1"にセットされ、<HPADBF>は"0"に戻ります。<HPEOCF>フラグを読み出すと"0"にクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

#### 19.4.3 AD 監視機能

チャネル固定リピートモード、スキャンリピートモードの設定時に使用する機能です。

ADCMPCR0 <CMP0EN>、ADCMPCR1 <CMP1EN>に"1"をセットすると AD 監視機能が有効になり、2つの監視機能を同時に有効にすることも可能です。

ADCMPCR0 を例に説明します。

ADCMPCR0 レジスタの<AINS0[3:0]>にて比較対象のアナログ入力、<ADBIG0>にて大・小判定、<CMPCOND0>にて判定カウンタの条件、<CMPCNT0[3:0]>にて判定カウンタ数を設定します。

AD 変換をスタートさせると、1回の AD 変換が終了する毎に大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウンタの条件には、連続方式と累計方式があります。連続方式は、<ADBIG0>に設定した状態が連続し、<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生し、カウンタ値をクリアします。<ADBIG0>に設定した状態と異なる場合もカウンタ値をクリアします。累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生します。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。なお、ADCMPCR0 レジスタで指定された変換結果格納レジスタの内容が比較対象レジスタの値とイコールの場合は、カウンタをプラスせず、AD 監視機能割り込み(INTADM0)は発生しません。(ADCMPCR1 の場合も同様)

この比較動作は対象変換結果格納レジスタへ結果が格納される毎に行われ、条件が成立すると割り込み(INTADM0)が発生します。また、AD 監視機能に割りあてている格納レジスタは通常ではソフトで読み出しは行われませんので、オーバーランフラグ ADREG00~14<ADOVRF>の該当するレジスタは常にセットされていることになり、変換結果格納フラグ ADREG00~14<ADRF>もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないで下さい。

- AIN00 入力をチャンネル固定リピート変換に設定し、AD 変換結果比較レジスタ値 (0x0888) を比較判定
  - ADMOD3=0x0002 : チャンネル固定リピート変換 ※AD 変換終了割り込み (INTAD) はディセーブル設定
  - ADCMPCR0 =0x0280 : 比較対象チャンネル: AIN00、大小判定: 比較レジスタより大、判定カウント条件: 連続方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
  - ADCMP0=0x0888 : AD 変換結果比較レジスタ (比較値 0x0888)

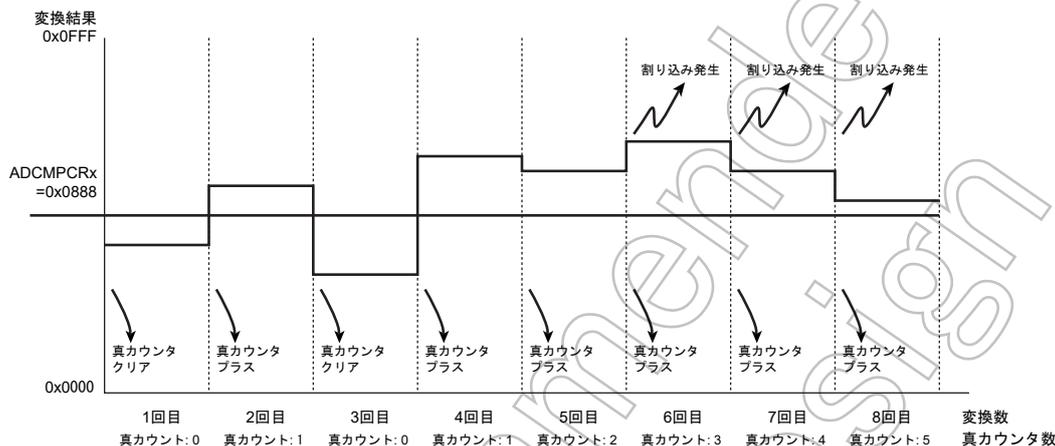


図 19-3 AD 監視機能 (チャンネル固定リピート、判定カウント連続方式)

- AIN00 入力をチャンネル固定リピート変換に設定し、AD 変換結果比較レジスタ値 (0x0888) を比較判定
  - ADMOD3=0x0002 : チャンネル固定リピート変換 ※AD 変換終了割り込み (INTAD) はディセーブル設定
  - ADCMPCR0 =0x02A0 : 比較対象チャンネル: AIN00、大小判定: 比較レジスタより大、判定カウント条件: 累積方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
  - ADCMP0=0x0888 : AD 変換結果比較レジスタ (比較値 0x0888)

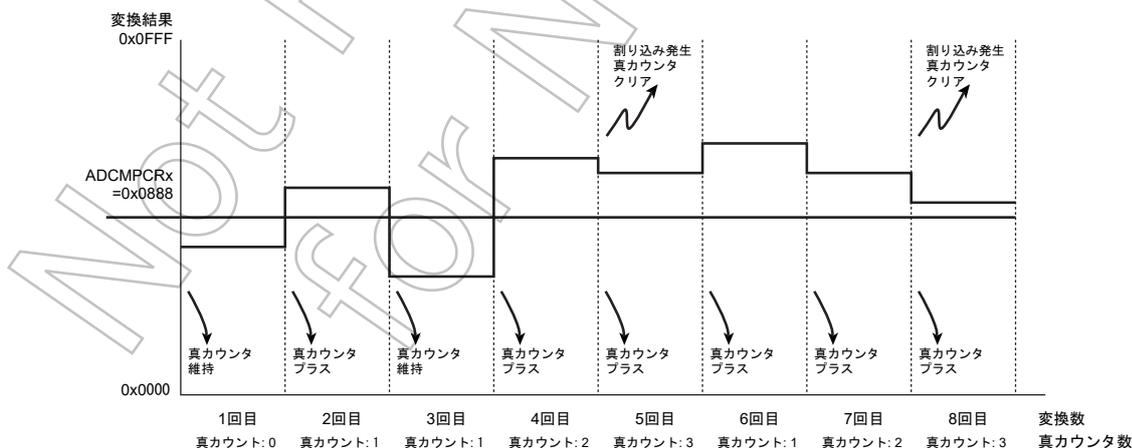


図 19-4 AD 監視機能 (チャンネル固定リピート、判定カウント累積方式)

#### 19.4.4 入力チャネルの選択

リセット後は ADMOD3<REPEAT,SCAN> は"00"に ADMOD2<ADCH[3:0]> は "0000" に初期化されます。

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

##### 1. 通常 AD 変換時

- ・ アナログ入力チャネルを固定で使用する場合 (ADMOD3<SCAN> = "0")  
ADMOD2<ADCH>の設定により、アナログ入力 AIN00 ~ AIN14 端子の中から 1 チャネルを選択します。
- ・ アナログ入力チャネルをスキャンで使用する場合 (ADMOD3<SCAN> = "1")  
ADMOD4<SCANSTA> にてスタートさせたいチャネルを設定し、ADMOD4<SCANAREA>にてスキャンさせたいチャネル数を設定することができます。

##### 2. 最優先 AD 変換時

ADMOD2<HPADCH>の設定により、アナログ入力 AIN00 ~ AIN14 端子の中から 1 チャネルを選択します。通常 AD 変換中に最優先 AD 変換の起動が掛かると、直ちに通常 AD 変換を中断して最優先 AD 変換の起動が実行されます。最優先 AD 終了後に通常 AD 変換を中断したチャネルから再開します。

Not Recommended for New Design

## 19.4.5 AD 変換動作詳細

### 19.4.5.1 AD 変換の起動

通常 AD 変換は ADMOD0<ADS> に "1" をセットすることにより起動されます。また、最優先 AD 変換は ADMOD0<HPADS> に "1" をセットすることにより起動されます。

通常 AD 変換は ADMOD3<REPEAT,SCAN> で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。

また、通常 AD 変換は ADMOD1<ADHWS>、最優先 AD 変換は ADMOD1<HPADHWS> で選択されるハードウェア起動ソースにより起動することができます。<ADHWS>、<HPADHWS> が "0" の場合は、ADTRG 端子より立ち下がりエッジの入力により起動され、このビットが "1" の場合、通常 AD 変換は 16 ビットタイマのチャンネル 5 のキャプチャ 0 割り込み(INTCAP50)で起動され、最優先 AD 変換の場合はチャンネル 4 のキャプチャ 0 割り込み(INTCAP40)で起動されます。

ハードウェア起動を許可するには、通常 AD 変換では ADMOD1<ADHWE>、最優先 AD 変換では ADMOD1<HPADHWE> に "1" をセットします。

ハードウェア起動が許可された場合でもソフトウェア起動は有効です。

注) 最優先 AD 変換のハードウェア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウェア起動としては外部トリガを設定できません。

### 19.4.5.2 AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADMOD5<ADBF>) に "1" がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ(ADMOD5<HPADBF>) に "1" がセットされます。このとき、通常 AD 変換用の BUSY フラグ ADMOD5<ADBF> と通常 AD 変換用の変換終了フラグ ADMOD5<EOCF> は最優先 AD 変換の開始前の値を保持します。

注) 最優先 AD 変換中に通常 AD 変換を再起動させないでください。(最優先 AD 変換終了フラグがセットされません。また、以前の通常 AD 変換のフラグがクリアされません)。

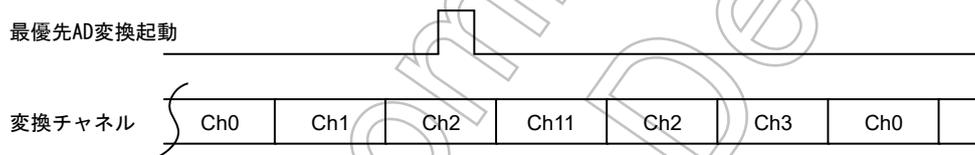
### 19.4.5.3 通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADMOD0<HPADS>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADMOD2<HPADCH>で指定されるチャンネルの AD 変換(チャンネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウェアによる最優先 AD 変換の起動が許可されている場合は、ハードウェア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<HPADCH>で指定されるチャンネルの AD 変換(チャンネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断したチャンネルから通常 AD 変換を再開します。

例えば、チャンネル AIN00~AIN03 までのチャンネルリポート変換が起動されており、AIN02 の変換中に<HPADS>に"1"がセットされた場合は AIN02 の変換が中断され、<HPADCH>で指定されたチャンネルの変換(下図の場合 AIN11)を行い、結果を ADREGSP へ格納後に AIN02 からチャンネルリポート変換を再開します。



### 19.4.5.4 リポート変換モードの停止

リポート変換モード(チャンネル固定リポートまたはチャンネルスキャンリポート変換モード)の動作を停止させたい場合は、ADMOD3<REPEAT>に"0"を書き込んでください。実行中の変換を終了した時点で、リポート変換モードは終了し、ADMOD5<ADBF>は"0"にクリアされます。

### 19.4.5.5 通常 AD 変換の再起動

通常 AD 変換中に ADMOD0<ADS>に"1"を設定すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中断されます。この時、通常 AD 変換 Busy フラグ ADMOD5<ADBF>、通常 AD 変換終了フラグ ADMOD5<EOCF>、格納結果フラグ ADREGm<ADOVRF>、<ADRF>は"0"にクリアされます。(m=00-14)

通常 AD 変換中にハードウェアリソースによる通常 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中断されます。この時、通常 AD 変換 Busy フラグ ADMOD5<ADBF>、通常 AD 変換終了フラグ ADMOD5<EOCF>、格納結果フラグ ADREGm <ADOVRF>、<ADRF>は"0"にクリアされます。(m=00-14)

### 19.4.5.6 変換終了

#### (1) 通常 AD 変換の終了

通常 AD 変換が終了すると、変換終了割り込み要求(INTAD)が発生します。また、AD 変換結果がレジスタに格納され、AD 変換終了を示す ADMOD5<EOCF>と変換中を示す ADMOD5<ADBF>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCF><ADBF>の変化タイミングは異なります。

チャンネル固定リピート変換モード以外のモードでは、変換結果はチャンネルに対応した変換結果レジスタ(ADREG00~ADREG14)に格納されます。

チャンネル固定リピート変換モードでは、ADREG00 から ADREG14 へと順次格納されます。ただし、割り込み発生を<ITM>で 1 回ごとに指定した場合は ADREG00 のみに格納され、<ITM>で 8 回ごとに指定した場合は ADREG00~ADREG07 へと順次格納されます。

モードごとの割り込み要求発生、フラグ変化、変換結果格納レジスタは以下の通りです。

- ・ チャンネル固定シングル変換モード

変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、変換終了割り込み要求が発生します。

変換結果はチャンネルに対応する変換結果レジスタに格納されます。

- ・ チャンネルスキップシングル変換モード

スキップ変換が終了した後、ADMOD5<EOCF>が"1"、ADMOD5<ADBF>が"0"となり、変換終了割り込み要求が発生します。

変換結果はチャンネルに対応する変換結果レジスタに格納されます。

- ・ チャンネル固定リピート変換モード

ADMOD5<ADBF>は"0"とはならず"1"を保持します。割り込み要求発生タイミングは ADMOD3<ITM>の設定により選択できます。ADMOD5<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。

- a. 1 回変換

ADMOD3<ITM>を"000"、ADMOD2<ADCH>を"0000" (AIN00)に設定すると AIN00 の AD 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に変換結果レジスタの ADREG00 に格納されます。格納時点で<EOCF>は"1"になります。

- b. 8 回変換

ADMOD3<ITM>を"111"、ADMOD2<ADCH>を"1110" (AIN14)に設定すると AD 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は変換結果レジスタの ADREG00~ADREG07 に順次格納されます。ADREG07 格納後<EOCF>は"1"にセットされ、再び ADREG00 から格納を始めます。

- ・ チャンネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとに ADMOD5<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。ADMOD5<ADBF>は"0"にならず"1"を保持します。

ADMOD4 <SCANSTA>を"0001"(AIN01)、ADMOD4 <SCANAREA>を"1110" (14 チャンネルスキャン)に設定すると AD 変換が終了するごとに ADMOD5<EOCF> は"1"にセットされ、割り込み要求が発生します。ADMOD5<ADBF>は"0"にならず"1"を保持します。

変換結果はチャンネルに対応する変換結果レジスタに格納されます。

## (2) 最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生し、最優先 AD 変換終了を示す ADMOD5<HPEOCF> が"1"にセットされます。

変換結果は変換結果レジスタ SP に格納されます。

## (3) データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。変換が終了すると ADMOD5<EOCF>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ワードアクセスで読んでください。<ADOVRF> = "0"、<ADRF> = "1"、<ADPOSWE> = "0"であれば、正しい変換結果が得られたことになります。

## (4) DMA 要求

通常 AD 変換終了割り込み(INTAD)、最優先 AD 変換終了割り込み(INTADHP)発生後、DMAC に対して DMA 要求を発行します。ADMOD7 レジスタにて、上記割り込みが発生した場合の DMA 要求を許可/禁止に設定することが可能です。また、AD 変換終了割り込み(INTAD、INTADHP)発生後の 2 システムクロック(fsys)後に DMA 要求を発行します。

19.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

表 19-4 に、AD 変換モード、割り込み発生タイミング、フラグの関係を、表 19-5 にアナログ入力チャンネルと変換結果レジスタの対応をまとめます。

表 19-4 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADMOD3)			割り込み発生 タイミング	(ADMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/ <HPEOCF> セットタイミング (注 1)	<ADBF> (割り込み 発生後)	<ADBFHP> (割り込み 発生後)
通常変換	チャンネル固定 シングル変換	0	0	-	変換終了後	変換終了後	0	-
	チャンネル固定 リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	-
				001	2 回変換ごと	変換 2 回終了後	1	-
				010	3 回変換ごと	変換 3 回終了後	1	-
				011	4 回変換ごと	変換 4 回終了後	1	-
				100	5 回変換ごと	変換 5 回終了後	1	-
				101	6 回変換ごと	変換 6 回終了後	1	-
				110	7 回変換ごと	変換 7 回終了後	1	-
111				8 回変換ごと	変換 8 回終了後	1	-	
チャンネルスキャン シングル変換	0	1	-	スキャン変換 終了後	スキャン変換 終了後	0	-	
チャンネルスキャン リピート変換	1	1	-	1 回のスキャン 変換終了後	1 回のスキャン 変換終了後	1	-	
最優先変換		-	-	-	変換終了後	変換終了後	-	0

注 1) ADMOD5<EOCF><HPEOCF>はリードすると“0”にクリアされます。

注) リピートモードの時、ADMOD5<ADBF>は割り込みが発生しても“0”にクリアされません。リピート動作を停止する為に、ADMOD3<REPEAT>に“0”を書き込み、AD 変換が終了した時点で ADMOD5 <ADBF>は“0”にクリアされます。

表 19-5 アナログ入力チャンネルと AD 変換結果レジスタの対応

チャンネル固定シングルモード		チャンネル固定リピートモード		
チャンネル	格納レジスタ	ADMOD3<ITM[2:0]>		格納レジスタ
AIN00	ADREG00	000	1 回毎、割り込み発生	ADREG00
AIN01	ADREG01	001	2 回毎、割り込み発生	ADREG00 ~ ADREG01
AIN02	ADREG02	010	3 回毎、割り込み発生	ADREG00 ~ ADREG02
AIN03	ADREG03	011	4 回毎、割り込み発生	ADREG00 ~ ADREG03
AIN04	ADREG04	100	5 回毎、割り込み発生	ADREG00 ~ ADREG04
AIN05	ADREG05	101	6 回毎、割り込み発生	ADREG00 ~ ADREG05
AIN06	ADREG06	110	7 回毎、割り込み発生	ADREG00 ~ ADREG06
AIN07	ADREG07	111	8 回毎、割り込み発生	ADREG00 ~ ADREG07
AIN08	ADREG08			
AIN09	ADREG09			
AIN10	ADREG10			
AIN11	ADREG11			
AIN12	ADREG12			
AIN13	ADREG13			
AIN14	ADREG14			

チャンネルスキャンシングルモード/リピートモード (例. ADREG03 ~ 任意のスキャンチャンネル幅)		
ADMOD4<SCANSTA> (スタートチャンネル)	ADMOD4<SCANAREA> (スキャンチャンネル幅)	格納レジスタ
AIN00	15 チャンネル	ADREG00 ~ ADRE14
AIN01	14 チャンネル	ADREG01 ~ ADRE14
AIN02	13 チャンネル	ADREG02 ~ ADRE14
AIN03	12 チャンネル	ADREG03 ~ ADRE14
AIN04	11 チャンネル	ADREG04 ~ ADRE14
AIN05	10 チャンネル	ADREG05 ~ ADRE14
AIN06	9 チャンネル	ADREG06 ~ ADRE14
AIN07	8 チャンネル	ADREG07 ~ ADRE14
AIN08	7 チャンネル	ADREG08 ~ ADRE14
AIN09	6 チャンネル	ADREG09 ~ ADRE14
AIN10	5 チャンネル	ADREG10 ~ ADRE14
AIN11	4 チャンネル	ADREG11 ~ ADRE14
AIN12	3 チャンネル	ADREG12 ~ ADRE14
AIN13	2 チャンネル	ADREG13 ~ ADRE14
AIN14	1 チャンネル	ADREG14

注) チャンネルスキャンモードで設定可能なチャンネルスキャン範囲を超える設定を行なった場合、ADMOD0にて変換スタートしても起動しません。

## AIN 端子に対する設計時の注意事項

<AIN 端子に接続する外部信号源の出カインピーダンスに関して>

AIN 端子に接続する信号源の出カインピーダンスは、下記の式の  $R_{EXAIN}$  以下にする必要があります。

-- 出カインピーダンスの許容値算出式 --

AIN 端子に接続する信号源の出カインピーダンスの最大値： $R_{EXAIN} = T_{scyc} + (ADCLK \times C_{ADC} \times \ln(2^{14})) - R_{AIN}$

MCU 情報	Symbol	Min	Typ	Max	単位
ADC クロック周波数	ADCLK	4	-	40	MHz
総 AIN 入力 MCU 内容量	$C_{ADC}$	-	-	12.2	pF
AIN MCU 内抵抗	$R_{AIN}$	-	-	1	k $\Omega$
サンプルホールド期間のサイクル数	$T_{scyc}$	10	-	80	Cycle

$R_{EXAIN}$  最大値一覧表(ADCLK = 40MHz)

$T_{scyc}$	$R_{EXAIN}$	単位
10	1.1	k $\Omega$
20	3.2	k $\Omega$
30	5.3	k $\Omega$
40	7.5	k $\Omega$
80	15.9	k $\Omega$

<安定化容量の付加に関して>

高速 AD 変換が必要で且つ、サンプルホールド期間が外部インピーダンスの許容算出式の条件を満たせない場合、AIN 端子に安定化容量を付加してください。安定化容量に関しては、外部回路に依存するため基板により異なりますが、0.1 $\mu$ F から 1 $\mu$ F 程度の容量を付加し、基板に適した安定化容量となるように調整してください。

この時、付加する容量の位置は AIN 端子のすぐ近くに接続してください。

<サンプルホールド 期間の調整に関して>

一般にサンプルホールド期間をある程度長く設定することにより、AD コンバータ内部のコンパレータ入力電圧を AIN 端子の電位と等しくすることができるため、変換誤差を小さくすることが出来ます。

ただし長くしすぎることによってサンプルホールド回路に保持されている電圧が変動して、誤差が大きくなることもあります。

基板ごとに最適なサンプルホールド時間が異なりますので、基板での確認をお願いいたします。

## AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力が兼用となっている端子への入力及び出力の変化、出力ポートに設定している他の端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどの対策をして下さい。

## 19.4.5.8 低消費電力モード時のアナログデジタルコンバータの停止方法

低消費電力モードでアナログデジタルコンバータを停止させる場合は、以下の手順に従い停止させてください。

1. ADMOD1<VREFON>を"1"にした状態で AD 変換を終了させてください。
2. ADCLK<ADCLK[2:0]>を"010"(ADCLK =  $fc/4$ )または、"100"(ADCLK =  $fc/8$ )に設定してください。
3. ADMOD6<ADRST[1:0]>に"10"->"01"を書き込み、アナログデジタルコンバータにソフトウェアリセットをかけてください。

4. 低消費電力モードに移行してください。

Not Recommended  
for New Design

Not Recommended  
for New Design

## 第 20 章 デジタルアナログコンバータ(DAC)

TMPM341FDXBG/FYXBG はデジタルアナログコンバータを 2 チャンネル内蔵しています。

### 20.1 機能概要

- ・ 分解能 10 ビット
- ・ バッファアンプ内蔵
- ・ パワーダウン機能内蔵

### 20.2 ブロック図

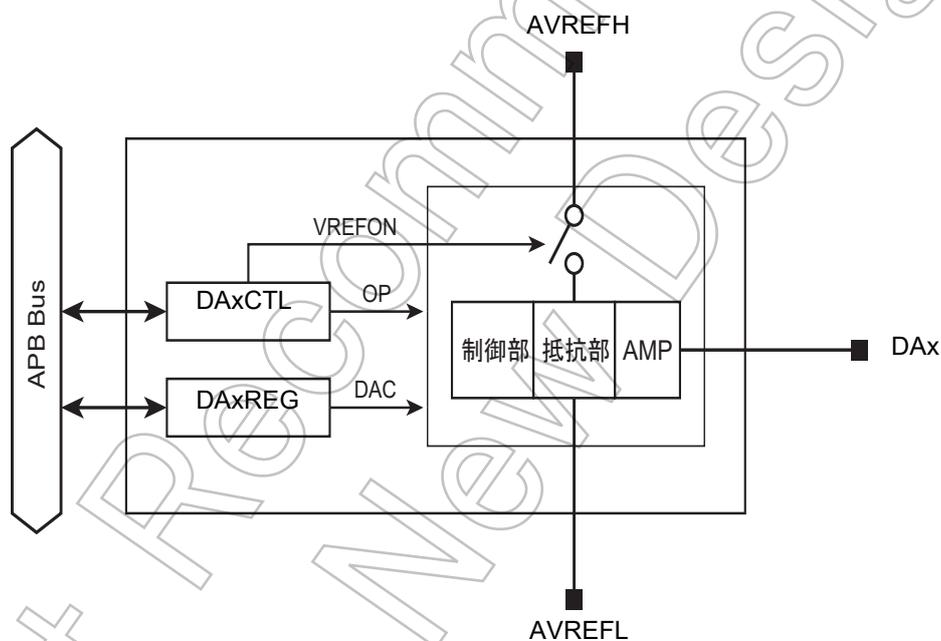


図 20-1 DAC ブロック図

## 20.3 レジスタ説明

### 20.3.1 レジスタ一覧

Channel x	Base Address
Channel0	0x4005_4000
Channel1	0x4005_5000

レジスタ名(x=0~1)		Address(Base+)
コントロールレジスタ	DAxCTL	0x0000
出力レジスタ	DAxREG	0x0004
Reserved	-	0x0010
Reserved	-	0x0030

注) "Reserved"表記のアドレスにはアクセスしないでください。

### 20.3.2 DAxCTL(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VREFON	OP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると 0 が読めます。
1	VREFON	R/W	VREF 制御 0: VREF off 1: VREF on "1"に設定すると AVREFH を DAC 回路に接続します。
0	OP	R/W	DAC 動作 0: 停止 1: 動作 DAC 動作を制御します。"1"に設定すると出力端子 DAx に DAxREG レジスタで設定した電圧を出力します。"0"に設定すると動作が停止し、出力は Hi-Z になります。

## 20.3.3 DAXREG(出力レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	DAC	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DAC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると0が読めます。
9-0	DAC[9:0]	R/W	変換値設定 出力するアナログ電圧値を設定します。出力電圧は以下の式で表されます。 $DAX = DAC \times (AVREFH - AVREFL) / 1024$

## 20.4 動作説明

### 20.4.1 設定方法

DAxCTL<OP><VREFON>を"11"に設定し、DAxREG に変換値を設定することにより、設定値に対応した電圧が DAx に出力されます。

### 20.4.2 低消費電力モード

DAxCTL<VREFON>を"0"に設定することにより VREF をカットし、VREF は AVREFL と同電位となり消費電流を削減することができます。また、DAxCTL<OP>を"0"に設定することにより DAC は動作を停止し、DAx 出力は Hi-Z になります。

低消費電力モードに移行する際は、DAxCTL<OP><VREFON>を"00"に設定してください。

Not Recommended  
for New Design

## 第 21 章 Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

### 21.1 フラッシュメモリ

#### 21.1.1 特長

##### 1. メモリ容量

TMPM341FDXBG/FYXBG はフラッシュメモリを搭載しています。メモリ容量と構成は下記の表のとおりです。

##### 2. 書き込み/消去時間

書き込みはページ単位で行います。1 ページは TMPM341FDXBG では 128 ワード、TMPM341FYXBG では 64 ワードです。

1 ページあたりの書き込み時間は、ワード数にかかわらず 1.25ms (Typ.) です。

消去時間は 1 ブロックあたり 0.1 sec (Typ.) です。

1 チップあたりの書き込み時間、消去時間は以下ようになります。

製品	メモリ容量	ブロック構成				ワード数	書き込み時間	消去時間
		128 KB	64 KB	32 KB	16 KB			
TMPM341FDXBG	512 KB	3	1	2	-	128	1.28 sec	0.4 sec
TMPM341FYXBG	256 KB	-	3	1	2	64		

注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザーの書き替え方法により異なります。

##### 3. プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードには以下の 2 種類のモードがあります。

###### a. ユーザーブートモード

ユーザー独自の書き替え方法をサポート

###### b. シングルブートモード

シリアル転送 (当社オリジナル) での書き替え方法をサポート

##### 4. 書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本

LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

JEDEC 準拠の機能	変更, 追加, 削除した機能
<ul style="list-style-type: none"> <li>・自動プログラム</li> <li>・自動チップ消去</li> <li>・自動ブロック消去</li> <li>・データポーリング/トグルビット</li> </ul>	<p>&lt;変更&gt;ブロック単位でのライト/消去プロテクト(ソフトウェアプロテクトのみサポート)</p> <p>&lt;削除&gt;消去レジューム/サスペンド機能</p>

5. プロテクト/セキュリティ機能

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するライト/消去プロテクトは、コマンド(ソフトウェア)による対応のみで 12 V 電圧を印加して設定する方式(ハードウェア)には対応できません。プロテクト、セキュリティ機能の詳細については、「プロテクト/セキュリティ機能」の章を参照してください。

21.1.2 フラッシュ部ブロック図

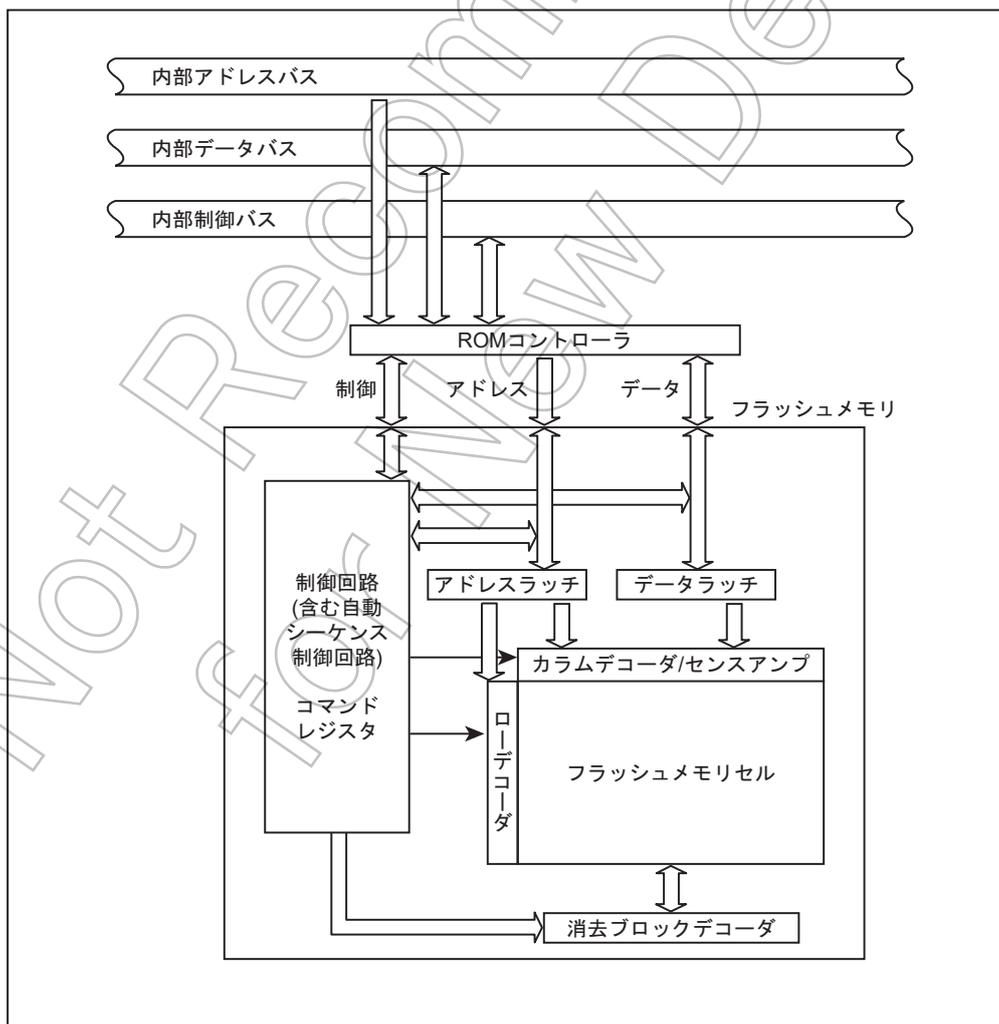


図 21-1 フラッシュ部ブロック図

## 21.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3通りの動作状態(モード)が存在します。

表 21-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート A0 が"1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動します。BOOT ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表 21-1 でプログラムが可能なフラッシュメモリの動作モードはユーザーブートモード、シングルブートモードの2つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この2つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で  $\overline{\text{BOOT}}$  (PF0)端子のレベルを外部で設定することにより決定されます。

表 21-2 動作モード設定表

動作モード	端子	
	RESET	BOOT (PF0)
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

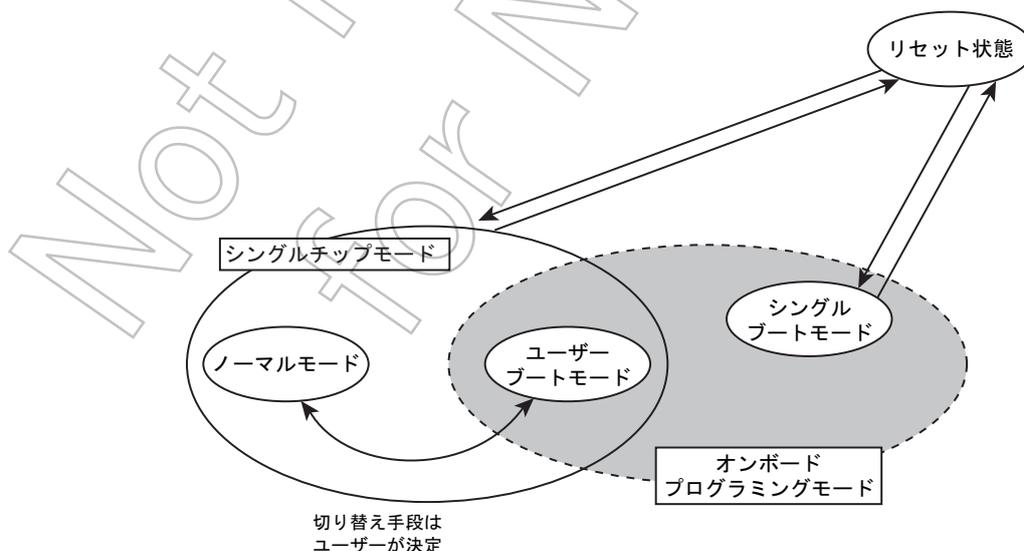


図 21-2 モード遷移図

### 21.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間(40 MHz 動作で 0.3  $\mu$ s (リセット後は、クロックギア 1/1 モード)) RESET 入力を"0"にしてください。

- 注 1) 電源投入後は、電源電圧および発振が安定した状態から 1.0ms 以上経過してからリセット解除してください。
- 注 2) 内蔵フラッシュの自動プログラム/消去動作中にハードウェアリセットを行う場合は、システムクロックによらず 0.5  $\mu$ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

### 21.2.2 ユーザーブートモード(シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード (通常動作モード) 中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

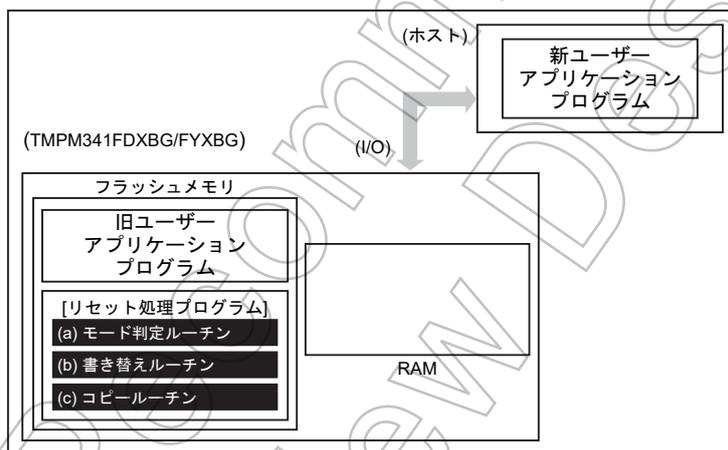
書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「21.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

## 21.2.2.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

## (1) Step-1

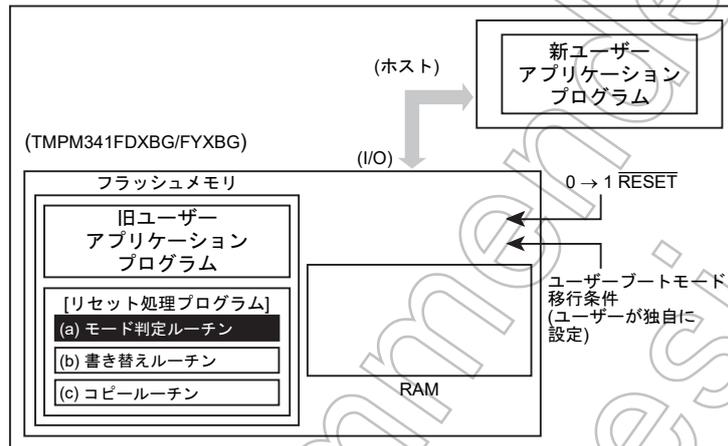
ユーザーは、あらかじめどのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライターなどを使用して以下に示す3つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン: 書き替え動作に移るためのプログラム
- (b) フラッシュ書き替えルーチン: 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
- (c) コピールーチン: 上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



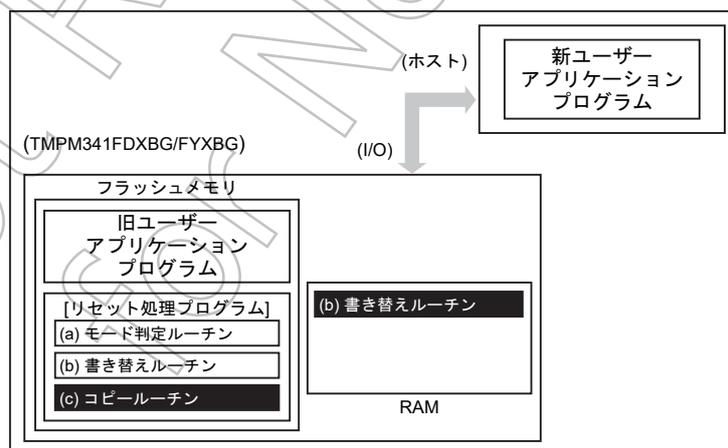
## (2) Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



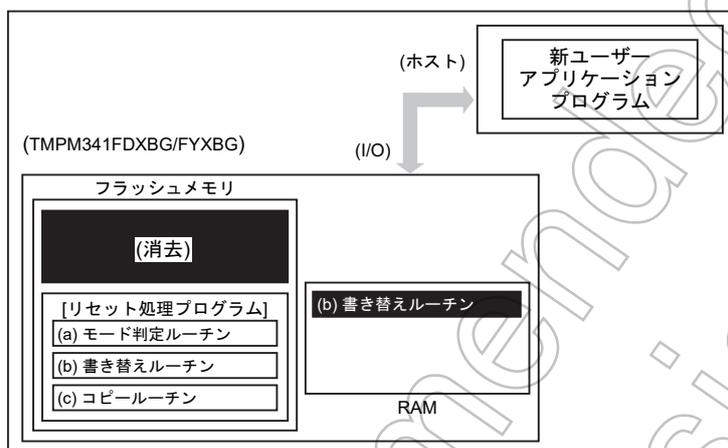
## (3) Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内部 RAM にコピーします。



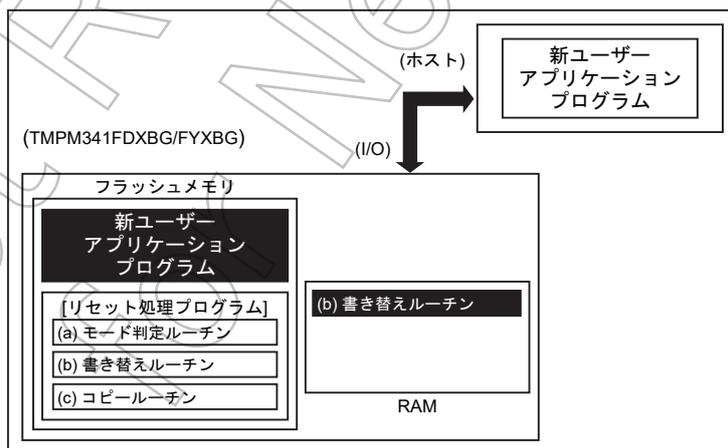
## (4) Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



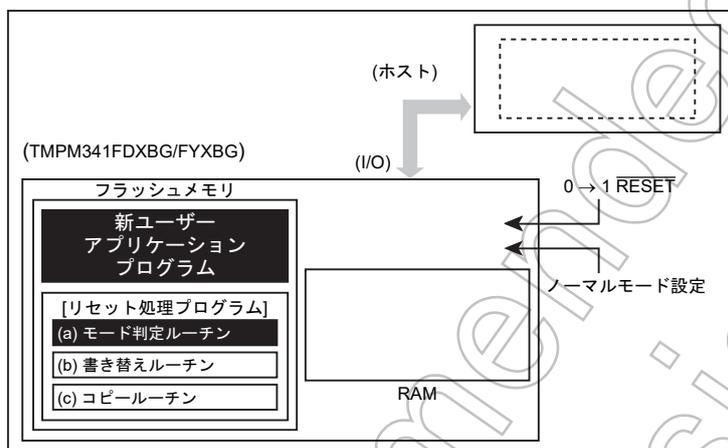
## (5) Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



## (6) Step-6

$\overline{\text{RESET}}$  入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



## 21.2.2.2 (1-B)書き替えルーチンを外部から転送する手順例

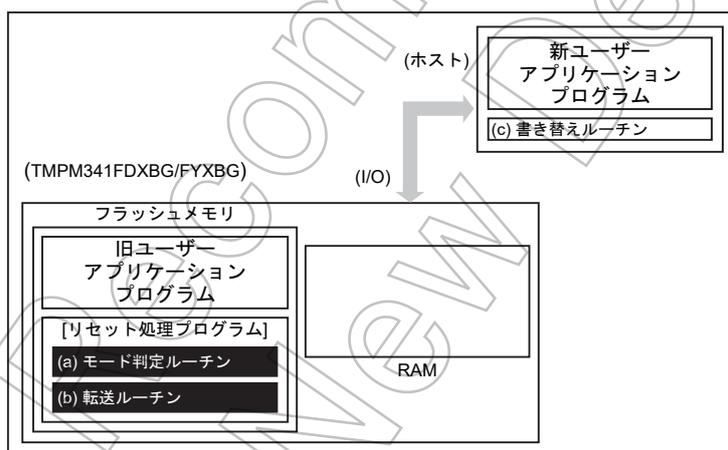
## (1) Step-1

ユーザーは、あらかじめどのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す2つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン: 書き替え動作に移るためのプログラム
- (b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

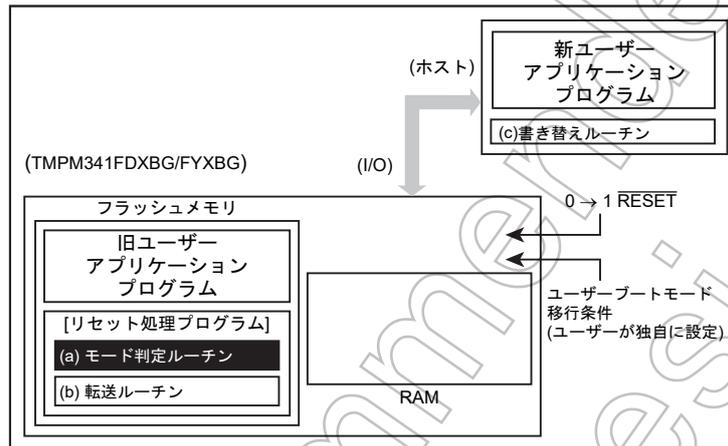
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン: 書き替えを行うためのプログラム



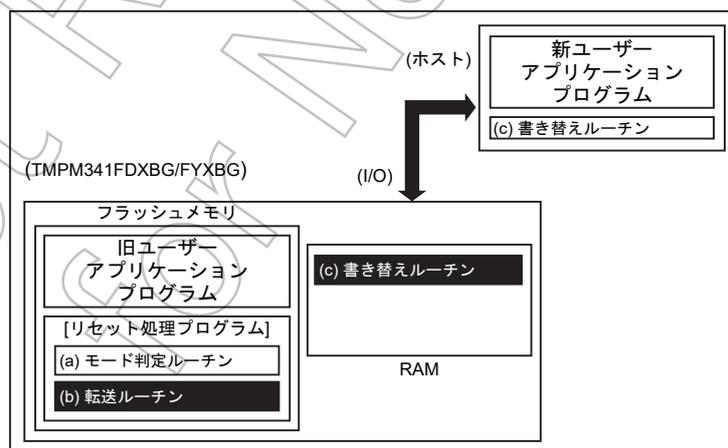
## (2) Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



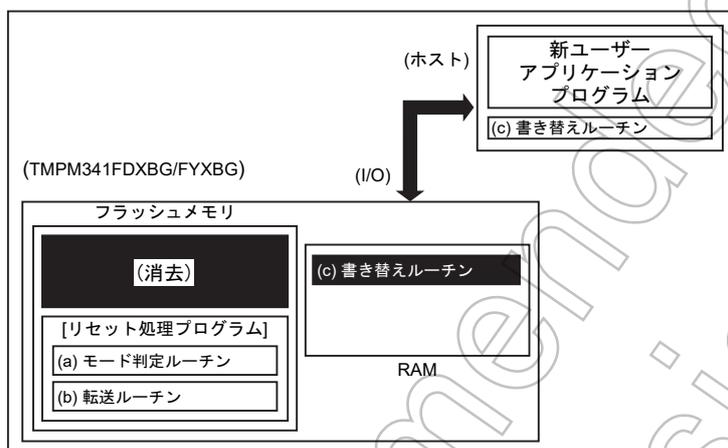
## (3) Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内部RAMにロードします。



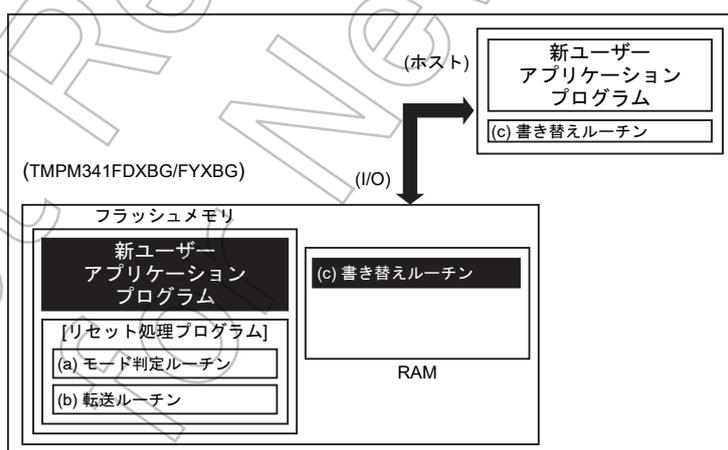
## (4) Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



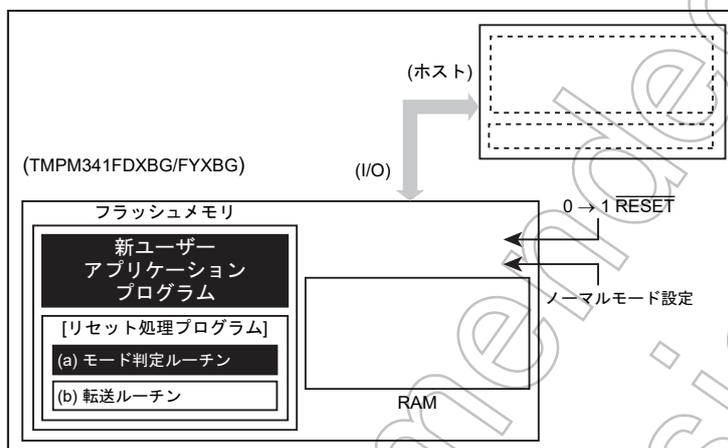
## (5) Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新用户アプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



## (6) Step-6

$\overline{\text{RESET}}$  入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



## 21.2.3 シングルブートモード

内蔵 BOOT ROM (マスク ROM) を起動して、BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵 BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、BOOT ROM プログラムが実行されます。また、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO0) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。

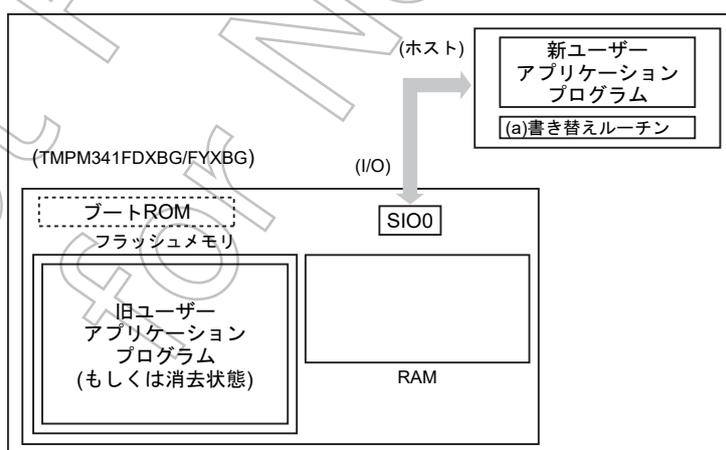
RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、コマンドの実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、BOOT ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

### 21.2.3.1 (2-A)内蔵 BOOT ROM の書き替えアルゴリズムを利用する場合

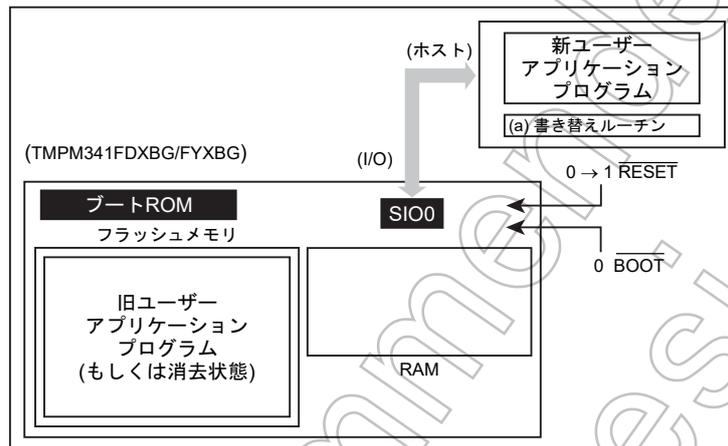
#### (1) Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本デバイスの SIO (SIO0) と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



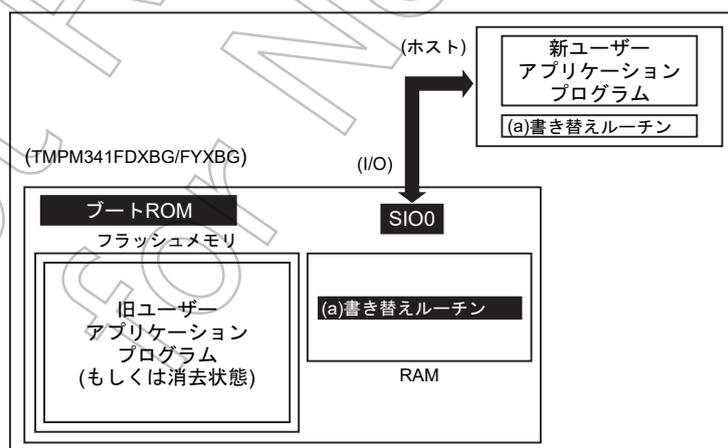
## (2) Step-2

ブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



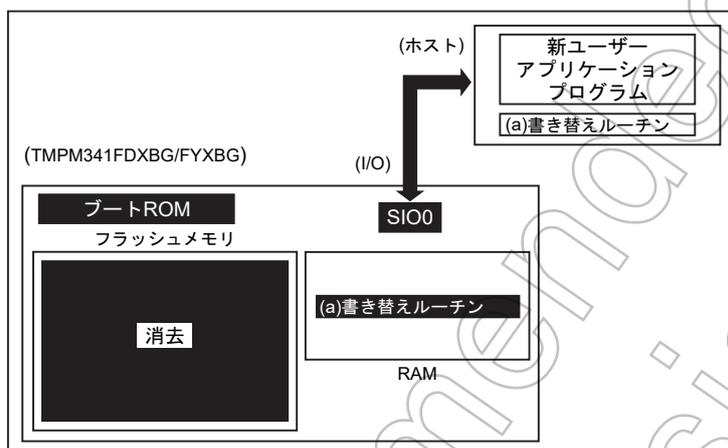
## (3) Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000\_0400 から RAM の最終番地の範囲に格納してください。



## (4) Step-4

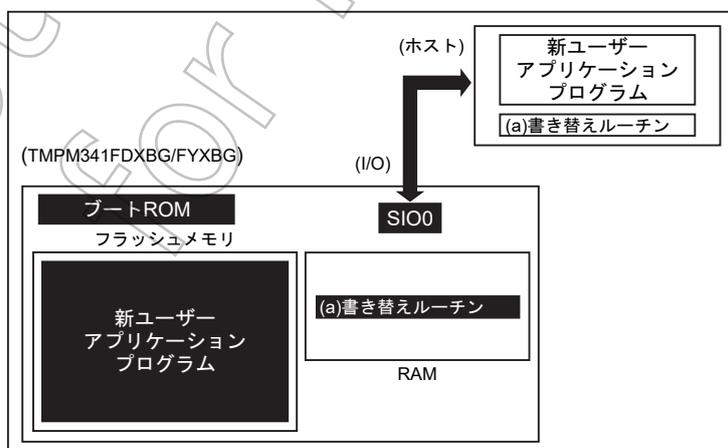
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



## (5) Step-5

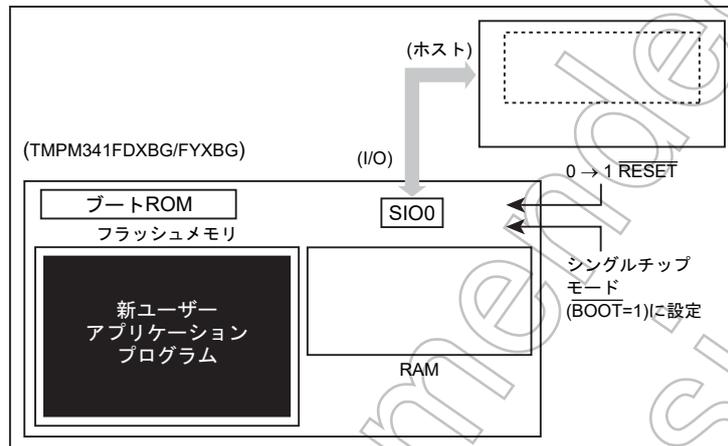
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)よりニューザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



## (6) Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード（ノーマルモード）起動し、新しいユーザーアプリケーションプログラムを実行します。



## 21.2.4 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

BOOT = 0  
RESET = 0 → 1

$\overline{\text{RESET}}$  入力端子を"0"の状態にして、 $\overline{\text{BOOT}}$  端子をあらかじめ上記条件に設定します。その後リセット解除を行うとシングルブートモードで起動します。

### 21.2.5 メモリマップ

図 21-3、図 21-4 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは 0x3F80\_0000 番地からマッピングされます。また、0x0000\_0000 番地から 0x0000\_0FFF 番地には BOOT ROM (マスク ROM) がマッピングされます。

内蔵フラッシュメモリと RAM のマッピングは以下のとおりです。

製品	Flash サイズ	RAM サイズ	Flash アドレス (シングルチップ/シングルブートモード)	RAM アドレス
TMPM341FDXBG	512 KB	32 KB	0x0000_0000 ~ 0x0007_FFFF 0x3F80_0000 ~ 0x3F87_FFFF	0x2000_0000 ~ 0x2000_7FFF
TMPM341FYXBG	256 KB		0x0000_0000 ~ 0x0003_FFFF 0x3F80_0000 ~ 0x3F83_FFFF	

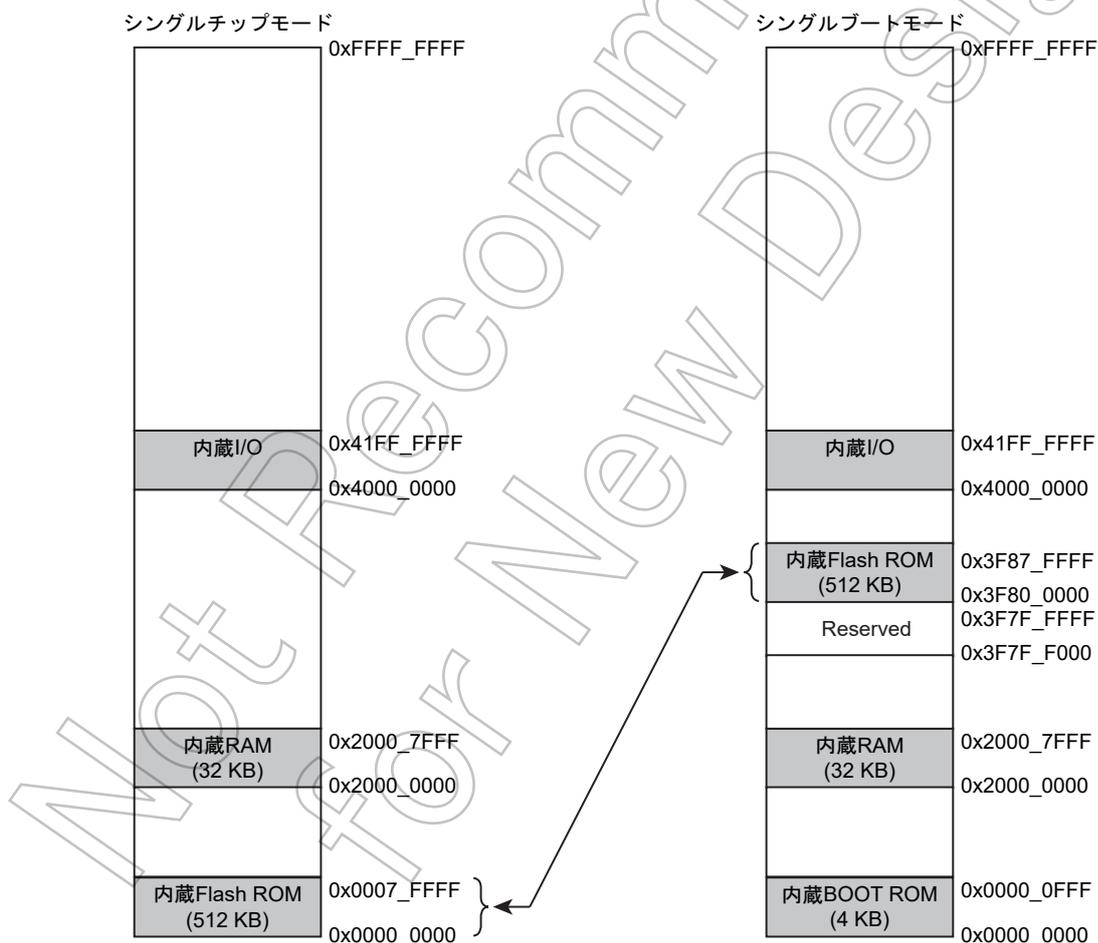


図 21-3 メモリマップの比較(TMPM341FDXBG)

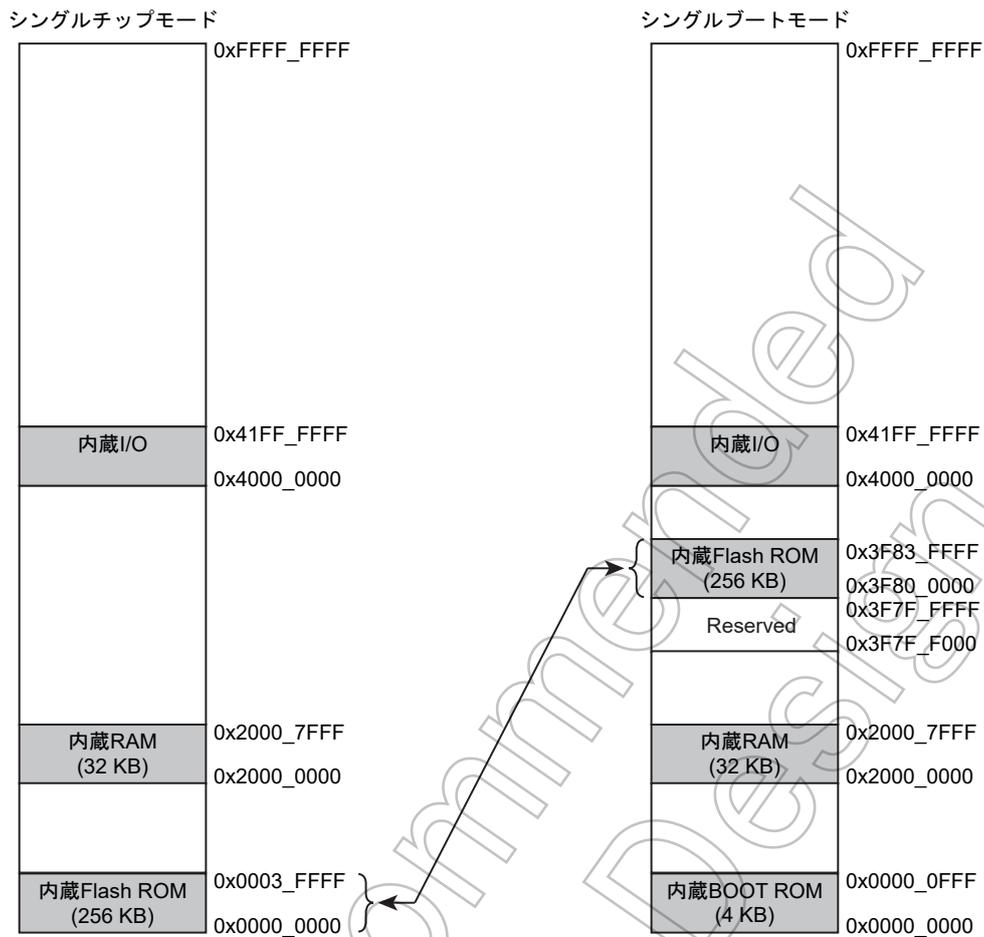


図 21-4 メモリマップの比較(TMPM341FYXBG)

## 21.2.6 インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合
  - 通信チャンネル: SIO チャンネル 0
  - シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト
  - データ長: 8 ビット
  - パリティビット: なし
  - STOP ビット: 1 ビット
  - ボーレート: 任意のボーレート
- I/O インタフェースモードで通信する場合
  - 通信チャンネル: SIO チャンネル 0
  - シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト
  - 同期信号 (SCLK0): 入力モード
  - ハンドシェイク端子: 出力モード PE4
  - ボーレート: 任意のボーレート

表 21-3 端子の接続

端子	インターフェイス		
	UART	I/O インタフェースモード	
モード設定端子	MODE	必ず Pull-down 接続してください	
	INTLV	必ず Pull-down 接続してください	
	FTEST3	必ず Open にしてください	
	BSC	必ず GND に接続してください	
	ENDIAN	必ず Pull-down 接続してください	
	BOOT (PF0)	○	○
リセット端子	RESET	○	○
通信端子	TXD0 (PE0)	○	○
	RXD0 (PE1)	○	○
	SCLK0 (PE2)	×	○ (入力モード)
	PE4	×	○ (出力モード)

○: 端子使用します

×: 端子未使用

### 21.2.7 データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 21-4, 表 21-6 ~ 表 21-7 に示します。「21.2.10 ブートプログラム動作説明」とあわせてお読みください。

表 21-4 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

### 21.2.8 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵 Flash ROM に対して表 21-5 のように制約が付きま

す。

表 21-5 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT ROM のワークエリアになります。 RAM 転送のプログラムは 0x2000_0400 から RAM の最終番地に格納してください。
内蔵 ROM	以下の番地はソフトなどの ID 情報や password の格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 TMPM341FDXBG: 0x3F87_FFF0 ~ 0x3F87_FFFF TMPM341FYXBG: 0x3F83_FFF0 ~ 0x3F83_FFFF

### 21.2.9 ブートプログラムの転送フォーマット

各コマンドのブートプログラムの転送フォーマットを示します。「21.2.10 ブートプログラム動作説明」とあわせて参照してください。

## 21.2.9.1 RAM 転送

表 21-6 ブートプログラムの転送フォーマット[RAM 転送の場合]

	転送バイト数	コントローラ → 本デバイスの転送データ	ボーレート	本デバイス → コントローラへの転送データ
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合: 0x86 I/O インタフェースの場合: 0x30	指定されたボーレート (注 1)	-
	2 バイト目	-		シリアル動作モードに対する ACK 応答 ・ UART の場合 正常(設定可能)の場合: 0x86 (ボーレートの設定が不可能と判断した場合は動作停止) ・ I/O インタフェースの場合 正常の場合: 0x30
	3 バイト目	動作コマンドデータ(0x10)		-
	4 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
	5 バイト目 ~ 16 バイト目	PASS WORD データ(12 バイト) TMPM341FDXBG: 0x3F87_FFF4 ~ 0x3F87_FFFF TMPM341FYXBG: 0x3F83_FFF4 ~ 0x3F83_FFFF		-
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		-
	18 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		-
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		-
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		-
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		-
	23 バイト目	RAM 格納バイト数 15 ~ 8		-
	24 バイト目	RAM 格納バイト数 7 ~ 0		-
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		-
	26 バイト目	-		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8
	27 バイト目 ~ m バイト目	RAM 格納データ		-
	m + 1 バイト目	27 ~ m バイト値の CHECK SUM 値		-
m + 2 バイト目	-	CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8		
RAM	m + 3 バイト目	-	JUMP RAM 格納開始アドレス	

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

注 3) 19 バイト目~25 バイト目のデータは、RAM 上のアドレス 0x2000\_0400 から RAM の最終番地の領域内に納まるようにプログラムしてください。

## 21.2.9.2 フラッシュメモリチップ消去およびプロテクトビット消去

表 21-7 ブートプログラムの転送フォーマット

[フラッシュメモリチップ消去およびプロテクトビット消去の場合]

	転送バイト数	コントローラ → 本デバイスの転送データ	ボーレート	本デバイス → コントローラへの転送データ
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合: 0x86 I/O インタフェースの場合: 0x30	指定されたボーレート (注 1)	-
	2 バイト目	-		シリアル動作モードに対する ACK 応答 正常(設定可能)の場合 ・ UART の場合: 0x86 ・ I/O インタフェースの場合: 0x30 (ボーレートの設定が不可能と判断した場合は動作停止)
	3 バイト目	動作コマンドデータ(0x40)		-
	4 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8
	5 バイト目 ~ 16 バイト目	TMPM341FDXBG: 0x3F87_FFF0 が 0xFF 以外の場合 PASS WORD データ(12 バイト) 0x3F87_FFF4 ~ 0x3F87_FFFF 0x3F87_FFF0 が 0xFF の場合 ダミーデータ(12 バイト) 0x3F87_FFF4 ~ 0x3F87_FFFF  TMPM341FYXBG: 0x3F83_FFF0 が 0xFF 以外の場合 PASS WORD データ(12 バイト) 0x3F83_FFF4 ~ 0x3F83_FFFF 0x3F83_FFF0 が 0xFF の場合 ダミーデータ(12 バイト) 0x3F83_FFF4 ~ 0x3F83_FFFF		-
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		-
	18 バイト目	-		CHECK SUM 値に対する ACK 応答(注 2) 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8
	19 バイト目	消去イネーブルコマンドデータ(0x54)		-
	20 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0xX8
	21 バイト目	-		消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C
	22 バイト目	(次の動作コマンドデータ待ち)		-

注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

## 21.2.10 ブートプログラム動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、「21.2.10.1 RAM 転送コマンド」「21.2.10.2 フラッシュメモリチップ消去およびプロテクトビット消去コマンド」に記載してありますので、参照してください。

### 1. RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000\_0000~0x2000\_03FF)を除く、0x2000\_0400以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、21.3 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

### 2. フラッシュメモリチップ消去およびプロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。コマンド終了後、FCSECBIT<SECBIT>は"1"になります。

このコマンドは、パスワードの照合を行うかどうか選択が可能です。

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

### 21.2.10.1 RAM 転送コマンド

データ転送フォーマットは表 21-6 を参照してください。

- 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 ( $SC0MOD0<RXE> = 0$ ) にしています。
  - UART で通信を行いたい場合  
コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを  $0x86$  にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。
  - I/O インタフェースで通信を行いたい場合  
コントローラからターゲットボードへは、同期式の設定で、所望のボーレート  $\div 16$  でデータを  $0x30$  にして送信してください。2 バイト目も同様に、所望のボーレート  $\div 16$  にしてください。所望のボーレートで転送するのは、3 バイト目(動作コマンドデータ)からにしてください。  
I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。従って、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート  $\div 16$  で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。従って、ACK 応答データの通信異常 ACK (bit 3) ( $0xX8$ ) はありません。
- 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合  $0x86$  を I/O インタフェースと判定された場合  $0x30$  を送信します。
  - UART と判定された場合  
ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、SC0BRCR の値を書き替え、 $0x86$  を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ ( $0x86$ ) を正常受信できなければ、通信不能と判断してください。受信を許可 ( $SC0MOD0<RXE> = 1$ ) するタイミングは、送信バッファにデータ ( $0x86$ ) を書き込む前に行っています。
  - I/O インタフェースと判定された場合  
I/O インタフェースの設定になるように SC0MOD0, SC0CR の値を書き替え、SC0BUF に  $0x30$  を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート  $\div 16$  で行き、受信データが  $0x30$  なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可 ( $SC0MOD0<RXE> = 1$ ) するタイミングは、送信バッファにデータ ( $0x30$ ) を書き込む前に行っています。
- 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ ( $0x10$ ) になります。

4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 21-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目～16 バイト目の受信データは、パスワードデータ(12 バイト)になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM341FDXBG	0x3F87_FFF4 ~ 0x3F87_FFFF
TMPM341FYXBG	0x3F83_FFF4 ~ 0x3F83_FFFF

6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

7. 18 バイト目の送信データは、5 バイト目～17 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、5 バイト目～17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、「1」になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目～16 バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- ・ 5 バイト目～16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。
- ・ 5 バイト目～16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。

8. 19 バイト目～22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット～24 ビットに対応し、22 バイト目が 7 ビット～0 ビットに対応します。格納先の RAM の開始アドレスは偶数アドレスでなければいけません。
9. 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット～8 ビット目に対応し、24 バイト目が 7 ビット～0 ビット目に対応します。
10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

11. 26 バイト目の送信データは、19 バイト目～25 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、19 バイト目～25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目～24 バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- ・ 19 バイト目～25 バイト目のデータは RAM 上のアドレス 0x2000\_0400 から RAM の最終番地の領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

12. 27 バイト目～m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。

13. m+1 バイト目の受信データは、CHECK SUM データになります。27 バイト目～m バイト目の送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

14. m+2 バイト目の送信データは、27 バイト目～m+1 バイト目のデータに対する ACK 応答データ(CHECK SUM に対する ACK 応答)になります。最初に 27 バイト目～m+1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、m+1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目～m バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

15.  $m+2$  バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ  $0x10$  を送信後、19 バイト目～22 バイト目で指定されたアドレスに分岐します。

Not Recommended  
for New Design

## 21.2.10.2 フラッシュメモリチップ消去およびプロテクトビット消去コマンド

データ転送フォーマットは表 21-7 を参照してください。

1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。

2. コントローラ → デバイス

3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリチップ消去コマンドデータ(0x40)になります。

3. デバイス → コントローラ

4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。

最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

次に、3 バイト目の受信データが、表 21-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x40 をエコーバック送信します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

4. 5 バイト目 ~ 16 バイト目の受信データは、消去パスワード要否選択エリア(TMPM341FDXBG: 0x3F87\_FFF0, TMPM341FYXBG: 0x3F83\_FFF0)のデータにより内容が異なります。

(TMPM341FDXBG: 0x3F87\_FFF0, TMPM341FYXBG: 0x3F83\_FFF0)が 0xFF 以外の値の場合、消去パスワードが必要となり、5 バイト目 ~ 16 バイト目はパスワードデータ(12 バイト)になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM341FDXBG	0x3F87_FFF4 ~ 0x3F87_FFFF
TMPM341FYXBG	0x3F83_FFF4 ~ 0x3F83_FFFF

(TMPM341FDXBG: 0x3F87\_FFF0, TMPM341FYXBG: 0x3F83\_FFF0)が 0xFF の場合、パスワードは不要となり、5 バイト目 ~ 16 バイト目はダミーデータとなります。

5. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。

6. 18 バイト目の送信データは、5 バイト目~17 バイト目のデータに対する ACK 応答データ(CHECK SUM 値に対する ACK 応答)になります。最初に、5 バイト目~17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"4" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目~16 バイト目までの受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ(bit 0) 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ(bit 0) 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- ・ 5 バイト目~16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。
- ・ 5 バイト目~16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。

7. コントローラ → デバイス

19 バイト目の受信データは消去イネーブルコマンドデータ(0x54)になります。

8. デバイス → コントローラ

20 バイト目の送信データは、19 バイト目の消去イネーブルコマンドデータに対する ACK 応答データになります。

最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit 3) 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

次に、19 バイト目の受信データが、消去イネーブルコマンドデータに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit 0) 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

9. デバイス → コントローラ

21 バイト目の送信データはが正常に終了したかどうかを示します。

正常に終了した時は、終了コード(0x4F)を返します。

消去 Error が起きた場合は、エラーコード(0x4C)を返します。

10. 22 バイト目の受信データは、次の動作コマンドデータになります。

## 21.2.10.3 ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 21-8 から表 21-11 に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 21-8 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 21-9 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0xX8 (注)	動作コマンドデータに受信エラーが発生した。
0xX1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 21-10 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xX8 (注)	受信エラーが発生していた。
0xX1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1 (X = RAM 転送コマンドデータ[7:4])となります。

表 21-11 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

## 21.2.10.4 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート ÷ 16 で 1 バイト目を 0x30 にして送信してください。図 21-5 にそれぞれの場合の波形を示します。

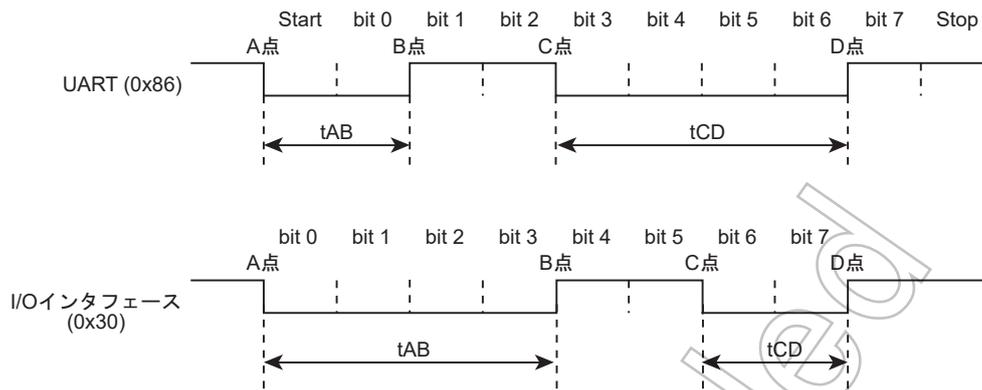


図 21-5 シリアル動作モード判定データ

ブートプログラムは、リセット解除後の1バイト目のシリアル動作モード判定データ(0x86, 0x30)を受信禁止状態にして、図 21-6 に示すフローチャートで、図 21-5 の  $t_{AB}$ ,  $t_{AC}$  と、 $t_{AD}$  の時間を求めています。図 21-6 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、 $t_{AB}$ ,  $t_{AC}$  と、 $t_{AD}$  のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート  $\div 16$  にして送信してください。

図 21-6 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$  の場合 UART と判定し、ボーレートの自動設定が可能かどうかを  $t_{AD}$  の時間から判定します。 $t_{AB} > t_{CD}$  の場合、I/O インタフェースと判定します。なお、先に述べたように、 $t_{AB}$ ,  $t_{AC}$ ,  $t_{AD}$  のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、 $t_{AB} > t_{CD}$  であれば1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり、B 点と D 点の立ち上りを判定できるように 0x91, 0xA1 あるいは 0xB1 を1 バイト目のデータとして送信できます。 $t_{AB} > t_{CD}$  が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも)2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の1 バイト目のデータは 0x30 を表記しています)。

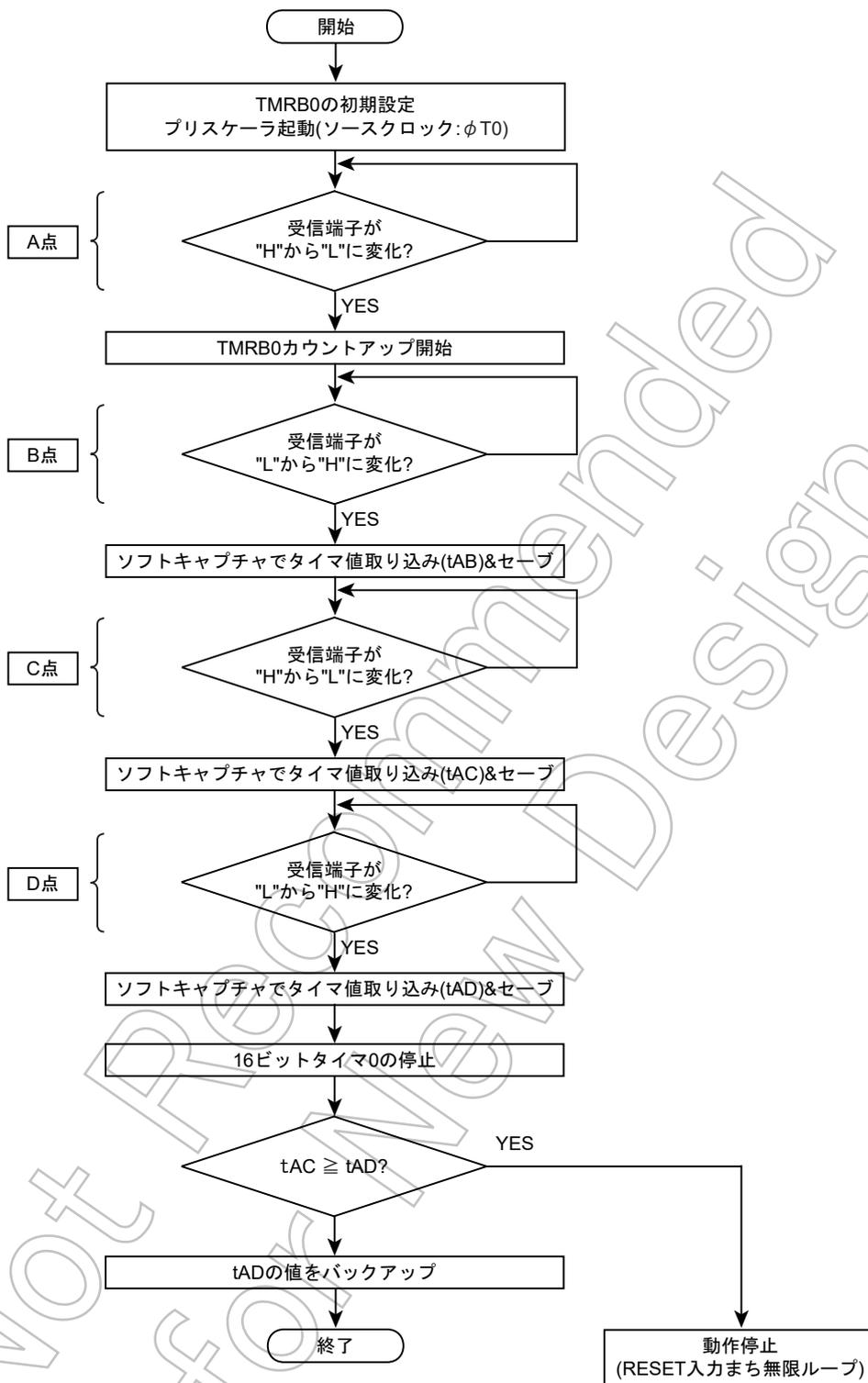


図 21-6 シリアル動作モード受信フローチャート

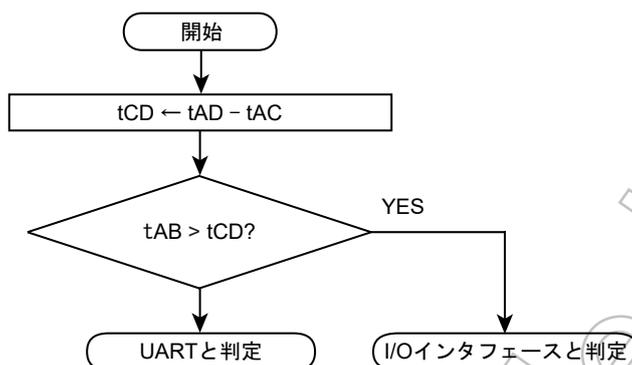


図 21-7 シリアル動作モード判定フローチャート

### 21.2.10.5 パスワードについて

動作コマンドによりパスワードの確認方法が異なります。パスワード領域はコマンドによらず共通で、以下のとおりです。セキュリティ機能が有効な状態でもパスワードの参照は行います。

製品	パスワード領域
TMPM341FDXBG	0x3F87_FFF4 ~ 0x3F87_FFFF
TMPM341FYXBG	0x3F83_FFF4 ~ 0x3F83_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

#### (1) RAM 転送コマンドの場合

まず、動作コマンドデータをエコーバック送信(0x10)後、パスワードエリアのデータ(12 バイト)をチェックします。

図 21-8 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

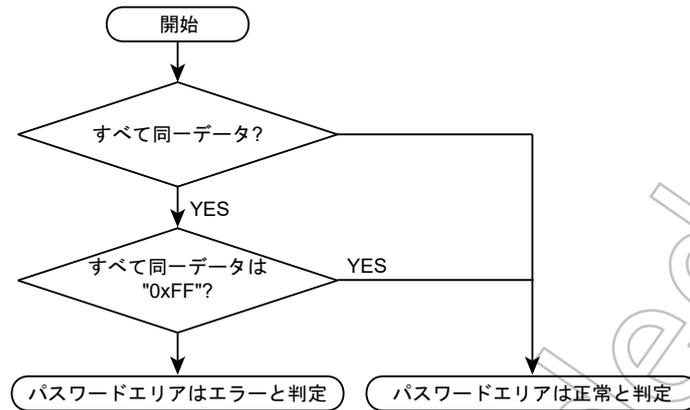


図 21-8 パスワードチェックフローチャート

## (2) フラッシュメモリチップ消去およびプロテクトビット消去の場合

消去パスワード要否の選択エリアのデータによってパスワードの確認をするかどうかが決まります。消去パスワード要否の選択エリアは以下のとおりです。

製品	消去パスワード要否選択エリア
TMPM341FDXBG	0x3F87_FFF0
TMPM341FYXBG	0x3F83_FFF0

図 21-9 に示すように、選択エリアの値が 0xFF 以外の場合パスワードの確認を行います。パスワードエリアのデータがすべて同一データの場合、エラーと判定し 17 バイト目の CHECK SUM 値に対する ACK 応答は"0x41"を送信します。

次に、5 バイト目～16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

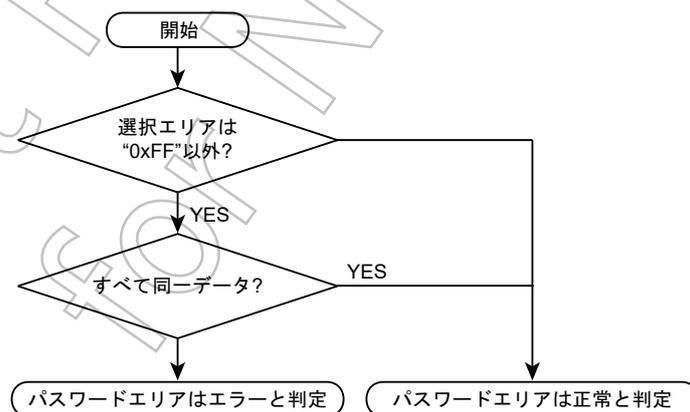


図 21-9 パスワードチェックフローチャート

#### 21.2.10.6 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

$$0xE5 + 0xF6 = 0x1DB$$

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

$$0 - 0xDB = 0x25$$

Not Recommended  
for New Design

### 21.2.11 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

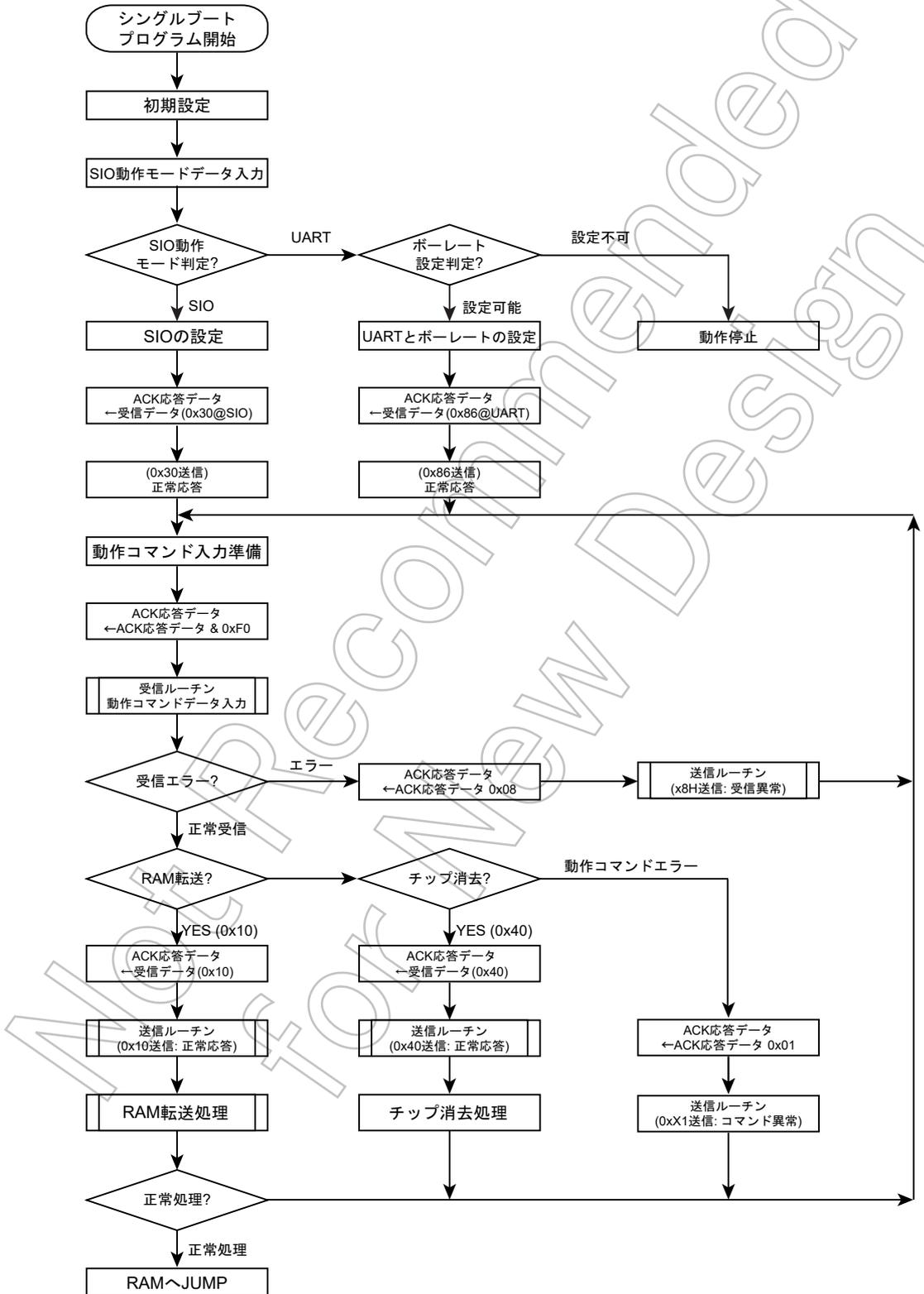


図 21-10 ブートプログラム全体フローチャート

## 21.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵RAM上で実行してください。

### 21.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などはJEDEC標準コマンドに準拠しています。CPUとのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み、消去を行う場合、32ビット(ワード)のデータ転送命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 21-12 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

#### 21.3.1.1 ブロック構成

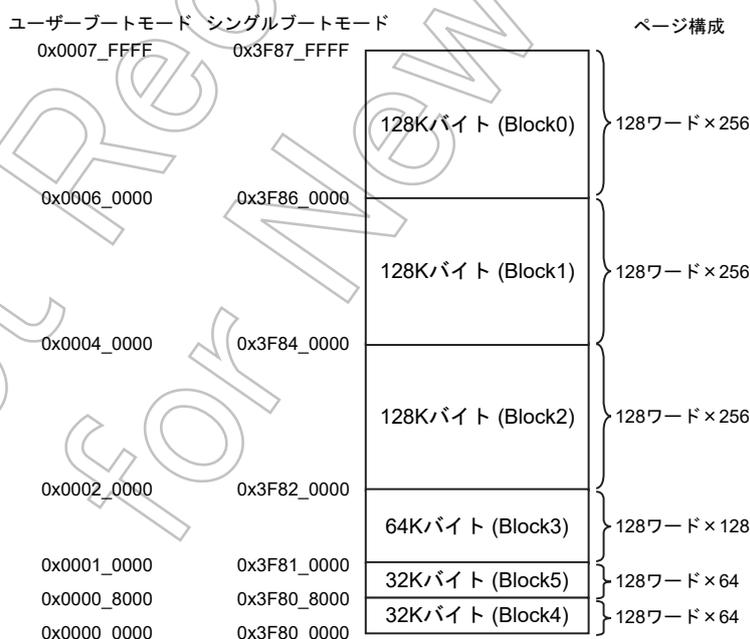


図 21-11 ブロック構成 (TMPM341FDXBG)

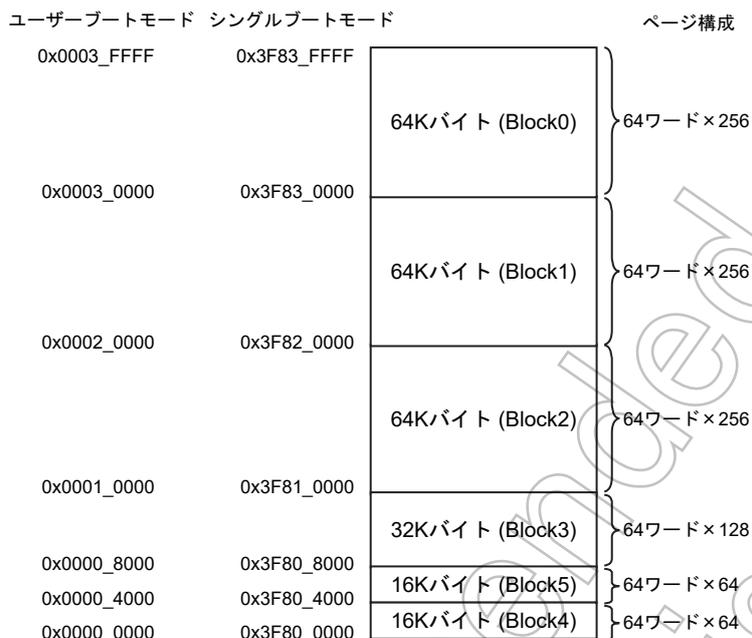


図 21-12 ブロック構成 (TMPM341FYXBG)

Not Recommended for New Design

### 21.3.1.2 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- ・ メモリデータを読み出すモード(リードモード)
- ・ メモリデータを自動的に消去/書き替えるモード(自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。自動動作中はデバッグポート接続時のデバッグ例外とリセットを除いて、すべての例外を発生させないでください。ハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。

#### (1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するRead/リセットコマンド(ソフトウェアリセット)もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- ・ Read/リセットコマンドおよびRead コマンド(ソフトウェアリセット)

ID-Read コマンドを実行した場合、マクロは自動的にRead モードに復帰せず、その状態で停止します。このような状態からRead モードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルしたい場合にも、Read/リセットコマンドを使用します。Read コマンドは、フラッシュメモリの任意のアドレスに0x0000\_00F0 データを32ビット(ワード)のデータ転送命令を実行してリードモードに復帰するコマンドです。

Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。

#### (2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します(コマンドシーケンス参照)。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

フラッシュメモリに対する32ビット(ワード)のデータ転送命令を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスサイクルで構成されています。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。

注1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。

注2) 各バスライトサイクルは連続して、32ビット(ワード)のデータ転送命令で行って下さい。各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスは実施しないで下さい。また、すべての割り込み(デバッグポート接続時は、デバッグ例外を除く)を発生させないでください。

各バスライトサイクルおよび、各コマンドシーケンスの実行中にフラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンスがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性があります。

- 注 3) コマンドシーケンスがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY/BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
- 注 4) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、一度リードモードに戻して下さい。

### 21.3.1.3 リセット (ハードウェアリセット)

ハードウェアリセットは、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了したとき、コマンドライトにより設定した動作モードの解除に使用します。

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、本デバイスの **RESET** 入力端子が "Low" となるか、ウォッチドッグタイマのオーバフローなどにより CPU のリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

CPU のリセット動作については、「21.2.1 リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

### 21.3.1.4 コマンド説明

#### (1) 自動ページプログラム

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、ページごとの書き込みとなります。1 ページは、128 ワードで、アドレス[31:9]が同じで、先頭アドレス[8:0]=0、最後のアドレス[8:0]=0x1FF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)は FCFLCS<RDY/BSY>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1" データセルであっても "0" データセルであってもページに対して 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性がります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第 3 バスライトサイクル終了から開始します。第 5 バスライトサイクル以降は、第 4 バスライトサイクルで指定した次のアドレス(第 4 バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は 32 ビット単位で行います)。第 4 バスライトサイクル以降のコマンドライトは必ず 32 ビット(ワード)のデータ転送命令を使用してください。このとき 32 ビット

ト(ワード)のデータ転送命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページの先頭アドレスにしてください。この時"0"データセルにしたくない箇所は入力データを"1"にしてコマンドライトします。例えば、あるページの前頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第3バスライトサイクルを実行すると自動プログラム動作中となります。このことはFCFLCS<RDY/BSY>をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時にFCFLCS<RDY/BSY>="1"となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムはできません。

ライト/消去プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことはFCFLCS<RDY/BSY>をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注) 自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

## (2) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動チップ消去動作は、FCFLCS<RDY/BSY>をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがライト/消去プロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

## (3) 自動ブロック消去(Block 単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FCFLCS<RDY/BSY>をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行

後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。ハードウェアリセットを用いてデバイスをリセットしてください。

#### (4) 自動プロテクトビットプログラム(Block 単位)

本デバイスはプロテクトビットを内蔵し Block 単位で設定することができます。Block とプロテクトビットの関係は表 21-16 にあります。自動プロテクトビットプログラムは 1 ビット単位で実行します。ビットの指定は第 7 バスライトサイクルの PBA で行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態は FCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。すべてのプロテクトビットをプログラムした後は、FCFLCS レジスタのすべての<BLPRO>ビットが"1"になっています。これ以降はすべての Block に対し、ライト/消去はできません。

注) 自動プロテクトビットプログラム第 7 バスライトサイクルでは、ソフトウェアリセットが無効になります。FCFLCS<RDY/BSY>は、第 7 バスライトサイクル入力後から、FCFLCS<RDY/BSY>="0"となります。

#### (5) 自動プロテクトビット消去

セキュリティビットとプロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。FCSECBIT<SECBIT>=0x1 の場合、FCFLCS レジスタのすべての<BLPRO>が"1"か、それ以外の値かで動作が決まります。自動プロテクトビット消去コマンド実施前に必ず FCFLCS<BLPRO>の値を確認してください。セキュリティの詳細については「プロテクト/セキュリティ機能」の章を参照してください。

- FCFLCS<BLPRO>≡all "1" (すべてのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第 7 バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FCFLCS = 0x00000001 となります。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第 7 バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合リードモードに復帰後、FCFLCS<BLPRO>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去あるいは自動ブロック消去を実行する必要があります。

- FCFLCS<BLPRO>≠all "1" (すべてのプロテクトビットがプログラムされていない) の場合

プロテクトビットを消去することで、プロテクトの状態を解除することができます。本デバイスでは、表 21-17 のように Block 単位でプロテクトビットをプログラムするのに対して消去は 4 ビットをまとめて行います。消去を行いたいプロテクトビットの指定は第 7 バスライトサイクルで行います。各ブロックのプロテクトビットの状態は後で説明する FCFLCS<BLPRO>で確認できます。自動プロテクトビット

プログラム動作の状態は、FCFLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FCFLCS<BLPRO>の消去選択したプロテクトビットの値が"0"となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

注) FCFLCS<RDY/BSY>ビットは自動動作中"0"、自動動作終了後"1"になります。

## (6) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることができます。第4バスライトサイクル以降でのアドレス[15:14]の値によりロードされるデータが異なります(データ入力値は0x00推奨)。第5バスライトサイクル以降で任意のフラッシュメモリエリアの読み出しを行うとIDの値が読み出されます。ID-Read コマンド第4バスライトサイクル以降は自動的にリードモードに復帰しません。第4バスライトサイクルとIDの値の読み出しは繰り返し実行できます。リードモードへの復帰はRead/リセットコマンドまたはハードウェアリセットで行います。

Not Recommended for New Designs

## 21.3.1.5 フラッシュコントロール/ステータスレジスタ

Base Address = 0x41FF\_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000 ~ 0x000F
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014 ~ 0x001F
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024 ~ 0x0FFF

注) "Reserved"表記のアドレスにはアクセスしないでください。

## (1) FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティビット設定可能

注) 本レジスタは、コールドリセットおよびスタンバイモードの STOP2 モード解除で初期化されます。

## (2) FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注 2)					
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	-	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	-	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注 1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず 0.5  $\mu$ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

注 2) プロテクト状態に対応した値になります。

## 21.3.1.6 コマンドシーケンス一覧

各コマンドの、アドレスとデータを表 21-13 に示します。

Read コマンドの第 2 バスサイクル, Read/リセットコマンドの第 4 バスサイクル, ID-Read コマンドの第 5 バスサイクル以外はすべて"バスライトサイクル"です。バスライトサイクルは 32 ビット(ワード)のデータ転送命令で実施します。(表では、データの下位 8 ビットのデータのみ示しています。)

アドレスの詳細は、表 21-14 を参照してください。「コマンド」と記載された、Addr[15:8]に下記の値を使用します。

注) 全バスサイクル, アドレスビット[1:0]へは常に"0"を設定して下さい。

表 21-13 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.						
	Data						
Read	0xXX	-	-	-	-	-	-
	0xF0	-	-	-	-	-	-
Read/リセット	0x54XX	0xAAXX	0x54XX	RA	-	-	-
	0xAA	0x55	0xF0	RD	-	-	-
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	-	-
	0xAA	0x55	0x90	0x00	ID	-	-
自動ページ プログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
自動 ブロック消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-
自動プロテクトビット プログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

## 補足説明

- ・ RA: リードアドレス
- ・ RD: リードデータ
- ・ IA: ID アドレス
- ・ ID: ID データ
- ・ PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)

第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力

- ・ BA: ブロックアドレス
- ・ PBA: プロテクトビットアドレス

21.3.1.7 バスライトサイクル時のアドレスビット構成

表 21-14 は「表 21-13 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。「0」推奨」は適宜変更可能です。

表 21-14 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:19]	Addr [18]	Addr [17]	Addr [16]	Addr [15]	Addr [14]	Addr [13:11]	Addr [10]	Addr [9]	Addr [8]	Addr [7:0]
------	-----------------	--------------	--------------	--------------	--------------	--------------	-----------------	--------------	-------------	-------------	---------------

[TMPM341FDXBG]

通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ領域	"0"推奨		コマンド				Addr[1:0] = "0"固定、 他ビットは"0"推奨			
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)										
	フラッシュ領域	"0"推奨		ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨						
ブロック 消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)										
	ブロックアドレス(表 21-15)				Addr[1:0] = "0"固定、他ビットは"0"推奨						
Auto ページ プログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)										
	ページアドレス									Addr[1:0] = "0"固定、 他ビットは"0"推奨	
プロテクト ビットプログ ラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビッ ト選択 (表 21-16)	"0"固定				プロテクトビッ ト選択 (表 21-16)	Addr[1:0] = "0"固定、 他ビットは"0"推奨			
プロテクト ビット消去	PBA: プロテクトビットアドレス(プロテクトビット消去の第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビッ ト選択 (表 21-17)	"0"固定				Addr[1:0] = "0"固定、 他ビットは"0"推奨				

[TMPM341FYXBG]

通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ領域	"0"推奨		コマンド				Addr[1:0] = "0"固定、 他ビットは"0"推奨			
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)										
	フラッシュ領域	"0"推奨		ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨						
ブロック 消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)										
	ブロックアドレス(表 21-15)				Addr[1:0] = "0"固定、他ビットは"0"推奨						
Auto ページ プログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)										
	ページアドレス									Addr[1:0] = "0"固定、 他ビットは"0"推奨	
プロテクト ビットプログ ラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビッ ト選択 (表 21-16)	"0"固定				プロテクトビッ ト選択 (表 21-16)	Addr[1:0] = "0"固定、 他ビットは"0"推奨			
プロテクト ビット消去	PBA: プロテクトビットアドレス(プロテクトビット消去の第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビッ ト選択 (表 21-17)	"0"固定				Addr[1:0] = "0"固定、 他ビットは"0"推奨				

ブロックアドレスには、消去するブロックに含まれる任意のアドレスを指定します。

表 21-15 ブロックアドレス表

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
-------	----------------------	----------------------	----------------

[TMPM341FDXBG]

4	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32
5	0x0000_8000 ~ 0x0000_FFFF	0x3F80_4000 ~ 0x3F80_FFFF	32
3	0x0001_0000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	64
2	0x0002_0000 ~ 0x0003_FFFF	0x3F82_0000 ~ 0x3F83_FFFF	128
1	0x0004_0000 ~ 0x0005_FFFF	0x3F84_0000 ~ 0x3F85_FFFF	128
0	0x0006_0000 ~ 0x0007_FFFF	0x3F86_0000 ~ 0x3F87_FFFF	128

[TMPM341FYXBG]

4	0x0000_0000 ~ 0x0000_3FFF	0x3F80_0000 ~ 0x3F80_3FFF	16
5	0x0000_4000 ~ 0x0000_7FFF	0x3F80_4000 ~ 0x3F80_7FFF	16
3	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
2	0x0001_0000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	64
1	0x0002_0000 ~ 0x0002_FFFF	0x3F82_0000 ~ 0x3F82_FFFF	64
0	0x0003_0000 ~ 0x0003_FFFF	0x3F83_0000 ~ 0x3F83_FFFF	64

注) 第 1 バスサイクルから第 5 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 21-16 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第7バスライトサイクルのアドレス					
		アドレス [18]	アドレス [17]	アドレス [16:11]	アドレス [10]	アドレス [9]	アドレス [8]

[TMPM341FDXBG]

Block0	<BLPRO[0]>	0	0	"0"固定	0	0	"0"推奨
Block1	<BLPRO[1]>	0	0		0	1	
Block2	<BLPRO[2]>	0	0		1	0	
Block3	<BLPRO[3]>	0	0		1	1	
Block4	<BLPRO[4]>	0	1		0	0	
Block5	<BLPRO[5]>	0	1		0	1	

[TMPM341FYXBG]

Block0	<BLPRO[0]>	0	0	"0"固定	0	0
Block1	<BLPRO[1]>	0	0		0	1
Block2	<BLPRO[2]>	0	0		1	0
Block3	<BLPRO[3]>	0	0		1	1
Block4	<BLPRO[4]>	0	1		0	0
Block5	<BLPRO[5]>	0	1		0	1

表 21-17 プロテクトビット消去アドレス表 (TMPM341FD/FYXBG)

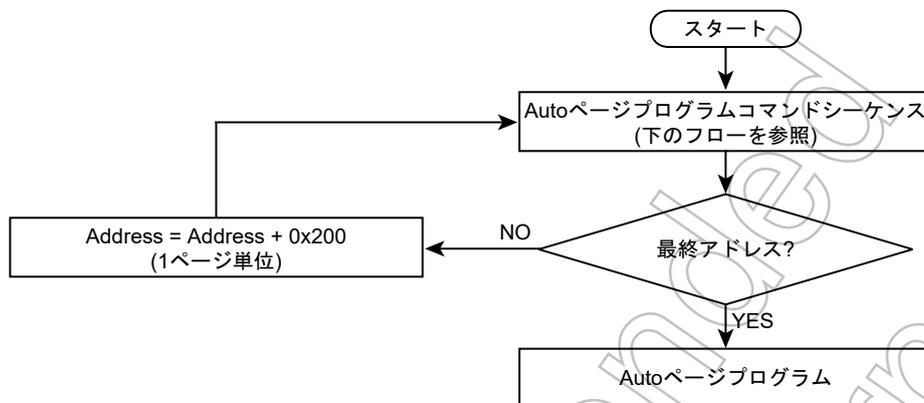
Block	プロテクトビット	第7バスライトサイクルのアドレス [18:17]	
		アドレス[18]	アドレス[17]
Block0 ~ 3	<BLPRO[0:3]>	0	0
Block4 ~ 5	<BLPRO[4:5]>	0	1

注) プロテクトビット消去コマンドは、プロテクトビット単位での消去はできません。

表 21-18 ID-Read コマンド第4バスライトサイクルのID アドレス(IA)とその後の32ビット転送命令で読み出せるデータ

IA[15:14]	ID[7:0]	Code
0y00	0x98	メーカーコード
0y01	0x5A	デバイスコード
0y10	Reserved	-
0y11	0x12 (TMPM341FDXBG) 0x13 (TMPM341FYXBG)	マクロコード

21.3.1.8 フローチャート



Autoページプログラムコマンドシーケンス(アドレス/コマンド)

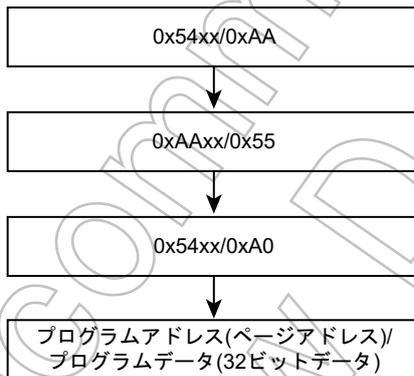


図 21-13 自動プログラム

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

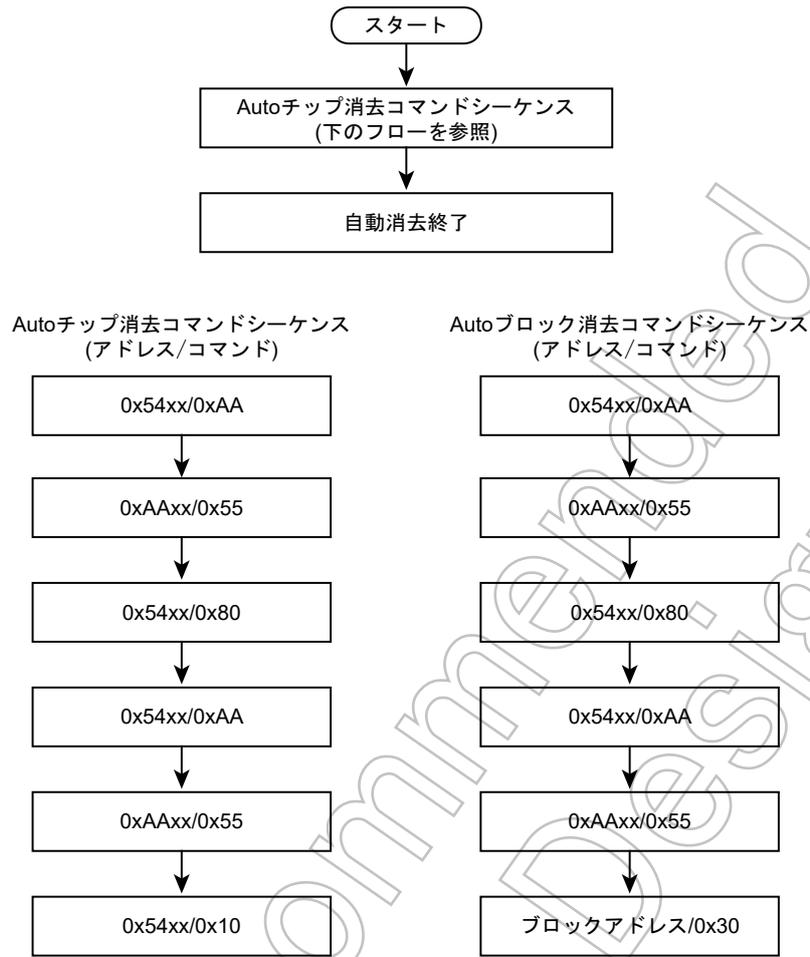


図 21-14 自動消去

注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

Not Recommended  
for New Design

## 第 22 章 プロテクト/セキュリティ機能

### 22.1 概要

本製品は内蔵 ROM (Flash)のライト/消去をプロテクトする機能、およびライターでの内蔵 ROM (Flash)領域を読み出し禁止に設定できるセキュリティ機能を内蔵しています。セキュリティ機能はデバッグ機能の使用制限も行います。プロテクト/セキュリティ機能として、次の2つの機能をもっています。

- ・ 内蔵 ROM (Flash)のライト/消去プロテクト
- ・ セキュリティ機能

### 22.2 特長

#### 22.2.1 内蔵 ROM (Flash)のライト/消去プロテクト

内蔵フラッシュは、ブロック単位で書き込みと消去の動作を禁止することができます。この機能をライト/消去プロテクトと呼びます。

ライト/消去プロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを"1"にします。プロテクトビットを"0"にすることによりブロックプロテクトを解除することができます。(プログラム方法については、「Flash 動作説明」の章をご覧ください。)

プロテクトビットは、FCFLCS<BLPRO[5:0]>でモニタすることができます。

#### 22.2.2 セキュリティ機能

内蔵フラッシュに対してのデータの読み出しの制限および、デバッグ機能を制限することができます。この機能をセキュリティ機能と呼びます。

セキュリティ機能が有効になる条件を、以下に示します。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. ライト/消去プロテクト用のすべてのプロテクトビット(FCFLCS<BLPRO>)が"1"にセットされている。

注) FCSECBIT<SECBIT>はコールドリセットで"1"にセットされます。

セキュリティ機能が有効な状態の制限内容を、表 22-1 に示します。

表 22-1 セキュリティ機能有効時の制限内容

項目	内容
1) ROM 領域のデータの読み出し	CPU からの読み出しは可能です。
2) デバッグポート	JTAG/シリアルワイヤ、トレースの通信ができなくなります。
3) フラッシュに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。また、ライト/消去プロテクト用のプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

## 22.3 レジスタ

### 22.3.1 レジスタ一覧

Base Address = 0x41FF\_F000

レジスタ名		Address(Base+)
Reserved	-	0x0000,0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	-	0x0024,0x0028

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 22.3.2 FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注2)	(注2)	(注2)	(注2)	(注2)	(注2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	-	R	リードすると"0"が読めます。
21-16	BLPRO5- BLPRO0	R	Block5~0のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	-	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注1) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY/BSY出力を備えています。本ビットはこの機能をCPUからモニタするための機能ビットです。フラッシュメモリが自動動作中は"0"を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり"1"を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは"0"出力を継続します。ハードウェアリセットにより"1"に復帰します。

注1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず0.5 μs以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで2 ms程度の時間がかかります。

注2) プロテクト状態に対応した値が読めます。

## 22.3.3 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0: セキュリティ機能設定不可 1: セキュリティ機能設定可能

注) 本レジスタは、コールドリセットおよびスタンバイモードの STOP2 モード解除で初期化されます。

## 22.4 設定/解除方法

### 22.4.1 内蔵 ROM (Flash)のライト/消去プロテクト

プロテクトビットの書き込みと消去はコマンドシーケンスを用いて行います。

プロテクトビットの書き込みはプロテクトビットプログラムコマンドを使用して1ビット単位、消去はプロテクトビット消去コマンドを使用して4ビット単位で行います。

すべてのプロテクトビットが"1"でかつ、FCSECBIT<SECBIT>が"1"の場合、セキュリティ機能が有効になっているので注意が必要です。この状態でプロテクトビットの消去を行うと、チップ消去を行った上でプロテクトビットすべてを消去します。このため、FCSECBIT<SECBIT>を"0"にしてからプロテクトビットの消去を行う必要があります。

コマンドシーケンスの詳細は「Flash 動作説明」の章を参照してください。

### 22.4.2 セキュリティビット

セキュリティ機能を有効にする FCSECBIT<SECBIT>は電源投入時のリセットで"1"にセットされません。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

注) 上記 1., 2.の書き込みは 32bit 転送命令で行ってください。

Not Recommended  
for New Design

## 第 23 章 デバッグインタフェース

### 23.1 仕様概要

TMPM341FDXBG/FYXBG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACE DATA[3:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細に関しましては ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

### 23.2 SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, TRST)をサポートしています。

### 23.3 ETM

データ信号 4pin (TRACE DATA[3:0])と クロック信号 1pin (TRACECLK)および、1pin(SWV)によるトレース出力をサポートしています。

Not Recommended for New Design

## 23.4 端子情報

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子と兼用される汎用ポートのうち、PI5/PI6 端子は JTAG デバッグポート機能とシリアルワイヤデバッグポート機能で、PI7 端子は JTAG デバッグポート機能と SWV トレース出力機能となります。

表 23-1 SWJ-DP,ETM デバッグ機能

SWJ-DP 端子名	汎用 ポート名	JTAG デバッグ機能		SW デバッグ機能	
		I/O	説明	I/O	説明
TMS / SWDIO	PI6	Input	JTAG Test Mode Selection	I/O	Serial Wire Data Input/Output
TCK / SWCLK	PI5	Input	JTAG Test Check	Input	Serial Wire Clock
TDO / SWV	PI7	Output	JTAG Test Data Output	(Output)(注)	(Serial Wire Viewer Output)
TDI	PI4	Input	JTAG Test Data Input	-	-
TRST	PI3	Input	JTAG Test RESET	-	-
TRACECLK	PI2	Output	TRACE Clock Output		
TRACEDATA0	PI1	Output	TRACE DATA Output0		
TRACEDATA1	PI0	Output	TRACE DATA Output1		
TRACEDATA2	PH6	Output	TRACE DATA Output2		
TRACEDATA3	PH5	Output	TRACE DATA Output3		

注) SWV 機能を許可した場合

リセット解除後、PI3/ PI4/ PI5/ PI6/ PI7 はデバッグポート端子となりますが、その他のデバッグインタフェース端子は汎用ポートです。必要に応じてデバッグ端子を使用する設定を行ってください。

低消費電力モードを使用する場合には以下の注意事項に留意してください。

注 1) PI6 と PI7 が機能設定(PI6:TMS/SWDIO,PI7:TDO/SWV)の場合、CGSTBYCR<DRVE>ビットの状態によらず、STOP モード中も出力が有効な状態で保持されます。

表 23-2 にデバッグインタフェースの端子情報とリセット解除後のポートの設定をまとめます。

表 23-2 デバッグインタフェース端子とリセット解除後のポート設定

ポート名 (ビット名)	デバッグ機能	リセット解除後のポートの設定値				
		機能 (PxFR)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)
PI6	TMS/SWDIO	1	1	1	1	-
PI5	TCK/SWCLK	1	1	0	-	1
PI7	TDO/SWV	1	0	1	0	-
PI4	TDI	1	1	0	1	-
PI3	TRST	1	1	0	1	-
PI2	TRACECLK	0	0	0	0	-
PI1	TRACEDATA0	0	0	0	0	-
PI0	TRACEDATA1	0	0	0	0	-
PH6	TRACEDATA2	0	0	0	0	-
PH5	TRACEDATA3	0	0	0	0	-

- : Don't care

## 23.5 ホールトモード中の周辺機能

Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

Not Recommended  
for New Design

## 23.6 デバッグツールとの接続

### 23.6.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注 1) デバックツールを接続した状態で STOP1/STOP2 モード時の消費電流測定は行なわないでください。

### 23.6.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意

TMPM341FDXBG/FYXBG は、 $\overline{\text{RESET}}$  端子からのリセットが有効な間デバッグツールとの通信が禁止されているためリセット中にデバッグモードに移行することができません。

PI3、PI4、PI5、PI6、PI7 ポートはリセット解除後デバッグインタフェース端子となっていますが、デバッグ時にユーザプログラムでリセット解除後すぐに汎用ポートに設定を変更すると、デバッグツールからの制御が受け付けられず、デバッグツールによるデバッグができなくなる場合があります。デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 23-3 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	TRST	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[3:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	x	x
JTAG+SW (TRST なし)	x (注)	o	o	o	o	x	x
JTAG+TRACE	o	o	o	o	o	o	o
SW	x	x	x	o	o	x	x
SW+SWV	x	x	o	o	o	x	x
デバッグ機能ディセーブル	x	x	x	x	x	x	x

o : イネーブル x : ディセーブル(汎用ポートとして使用可能)

注) TRSTが割り当てられている端子は、TRSTを選択して、オープンにするか"High"レベルを入力してください。

## 第 24 章 JTAG インタフェース

### 24.1 仕様概要

TMPM341FDXBG/FYXBG には、Joint Test Action Group (JTAG) 規格に適合するインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE Std 1149.1 ・ 1990(Includes IEEE Std 1149.1a ・ 1993)) が使われています。

本章では、バウンダリスキャン、インタフェースで使われるピンと信号に触れながら、このインタフェースについて説明しています。

#### 1. JTAG 規格バージョン

IEEE Standard 1149.1 ・ 1990 (Includes IEEE Standard 1149.1a ・ 1993)

#### 2. JTAG 命令

標準命令 (BYPASS, SAMPLE/PRELOAD, EXTEST)

HIGHZ 命令

CLAMP 命令

但し、TMPM341FDXBG/FYXBG は JTAG 動作中、内部回路リセットが起動しているため SAMPLE/RELOAD 命令は機能しません

#### 3. IDCODE

なし

#### 4. バウンダリスキャンレジスタ(BSR)対象外端子

- a. 発振回路 (X1, X2)
- b. DAC 出力端子 (DA0, DA1)
- c. JTAG 制御端子 (BSC)
- d. 電源/GND (AD コンバータ基準電源端子を含む)
- e. TEST 端子 (FTEST3)
- f. 機能端子 ( $\overline{\text{RESET}}$ )
- g. 制御端子 (MODE, INTLV)

注) PF0 端子は常時 Pull-up 端子のため、HIGHZ 命令時は High が出力されます。

注) アナログ入力端子への入力レベルに注意してください。

注) NMI 端子の BSR は、出力機能を持っていません。

注) ENDIAN 端子の BSR は、入出力機能を持っています。

## 24.2 信号の要約と接続例

JTAG インタフェース信号は次のとおりです。

- TDI            JTAG シリアルデータ入力
- TDO           JTAG シリアルデータ出力
- TMS           JTAG テストモード選択
- TCK           JTAG シリアルクロック入力
- $\overline{\text{TRST}}$      JTAG テストリセット入力
- BSC           ICE/JTAG テスト選択入力(準拠イネーブル信号)  
0: ICE, 1: JTAG

JTAG 対応の開発ツールを、JTAG インタフェースに接続し、デバッグをサポートします。  
デバッグに関しては、使用する開発ツールの仕様を確認してください。

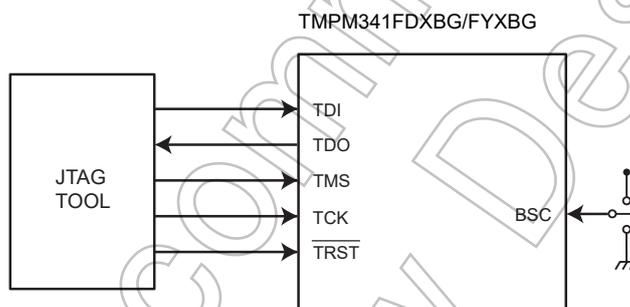


図 24-1 JTAG 開発ツールとの接続例

モード設定端子(BSC)	動作モード
0	Boundary Scan Mode 以外の時は 0 にしてください。 通常の Debug Mode として使用できます。 (注)ただし、内部 BOOT 起動時は Debug 出来ません。
1	Boundary Scan Mode として使用できます。

## 24.3 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC)、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の1つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことです。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TCK, TMS, TDI, TDO および TRST という 5 種類の信号が使われます。

JTAG バウンダリスキャンメカニズム (本章では「JTAG メカニズム」と呼びます) により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムそのものには、プロセッサ自体をテストする機能はありません。

## 24.4 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- ・ 命令レジスタ
- ・ バウンダリスキャンレジスタ
- ・ バイパスレジスタ
- ・ デバイス識別レジスタ
- ・ テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが TMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは表 24-1.に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされる時、TMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

## 24.5 命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 24-1 の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 24-1 JTAG の命令レジスタのビット構成

命令コード (MSB → LSB)	命令	選択されるデータレジスタ
0000	EXTEST	Boundary scan register
0001	SAMPLE/PRELOAD	Boundary scan register
0100 ~ 1110	Reserved	Reserved
0010	HIGHZ	Bypass register
0011	CLAMP	Bypass register
1111	BYPASS	Bypass register

命令レジスタのフォーマットは図 24-2 のとおりです。



図 24-2 命令レジスタ

命令コードは、最下位ビットから命令レジスタにシフトされます。



図 24-3 命令レジスタのシフト方向

バイパスレジスタは 1 ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要なでない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は図 24-4 のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

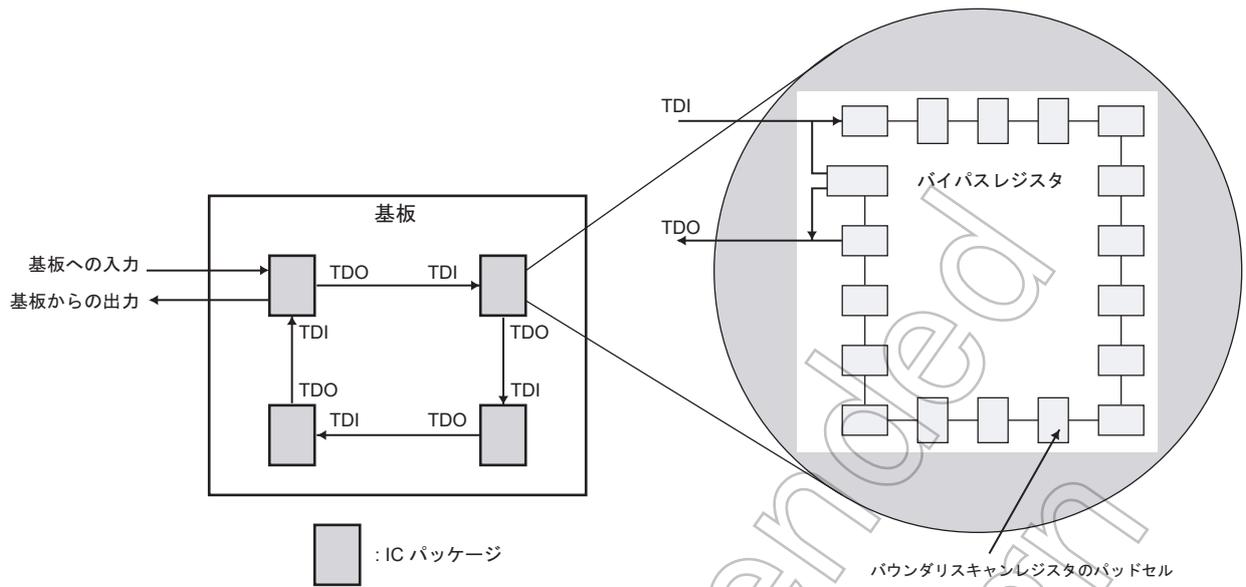


図 24-4 バイパスレジスタの機能

Not Recommended for New Designs

## 24.6 バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMPM341FDXBG/FYXBG の入出力があります。TMPM341FDXBG/FYXBG のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、単一の 231 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、TMPM341FDXBG/FYXBG の入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

## 24.7 テストアクセスポート(TAP)

テストアクセスポート (TAP) は、5 個の信号ピン  $\overline{\text{TRST}}$ 、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 24-5 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

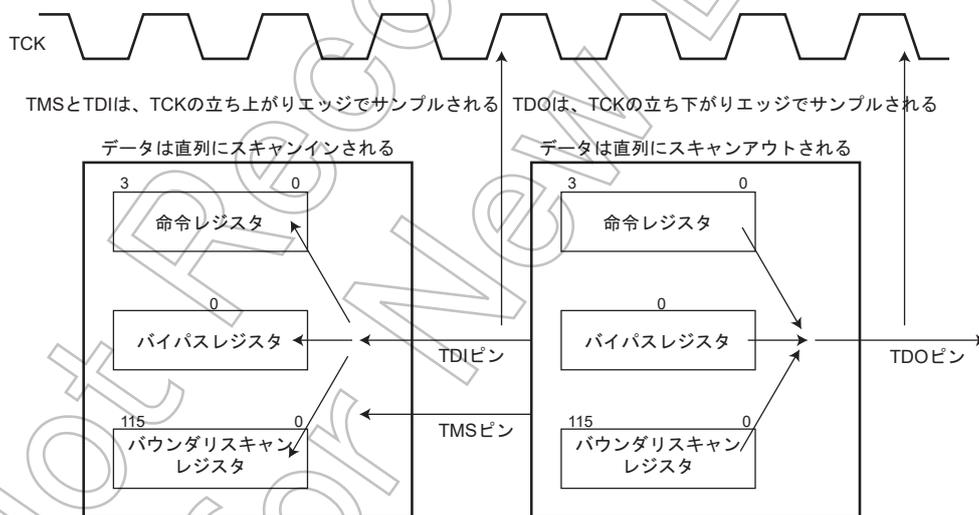


図 24-5 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

## 24.8 TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

## 24.9 TAP コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

$\overline{\text{TRST}}$  信号入力のアサート (Low) により、TAP コントローラはリセットされる。プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続けます。TMS をアサート状態に保てば、リセット状態が保たれます。

## 24.10 コントローラの状態

図 24-6 に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

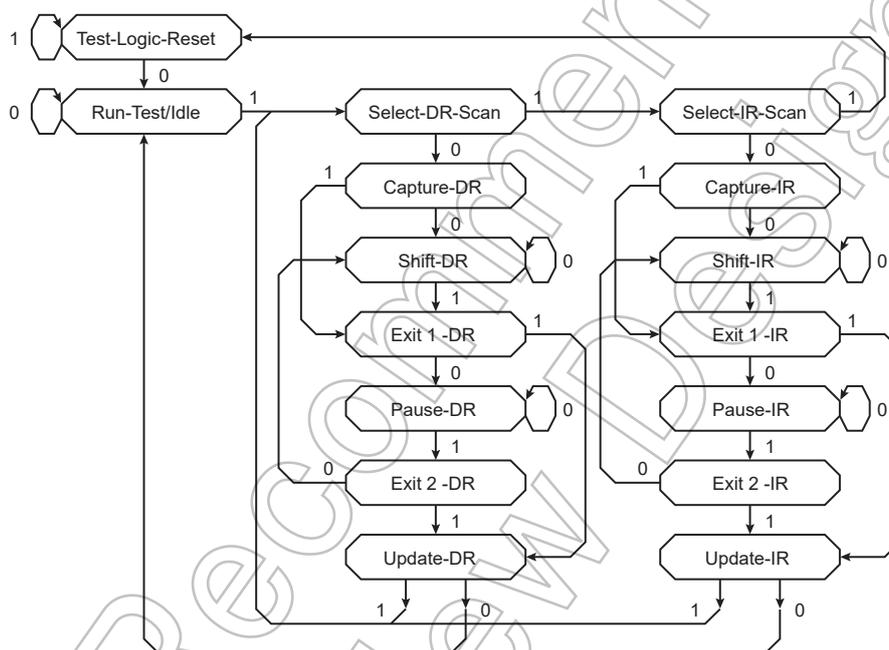


図 24-6 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 24-6 の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR)、命令レジスタ (IR) を表します。

### • Test-Logic-Reset

TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。

TMS が 1 の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に 0 を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。

### • Run-Test/Idle

Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。

TMS が 0 の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に 1 を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。

- **Select-DR-Scan**

Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。

TAP コントローラが Select-DR-Scan 状態のとき TMS に 0 を入力すると Capture-DR 状態に遷移します。TMS に 1 を入力すると命令カラムの Select-IR-Scan 状態に遷移します。

- **Select-IR-Scan**

Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。

TAP コントローラが Select-IR-Scan 状態のとき、TMS に 0 を入力すると Capture-IR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。

- **Capture-DR**

TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタがパラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。

TAP コントローラが Capture-DR 状態のとき TMS に 0 を入力すると、Shift-DR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- **Shift-DR**

TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。

TAP コントローラが Shift-DR 状態のとき、TMS が 0 のあいだ Shift-DR 状態を保持します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- **Exit 1-DR**

Exit 1-DR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-DR 状態のとき、TMS に 0 を入力すると Pause-DR 状態に遷移します。TMS に 1 を入力すると Update-DR 状態に遷移します。

- **Pause-DR**

Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。

TAP コントローラが Pause-DR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-DR 状態に遷移します。

- **Exit 2-DR**

Exit 2-DR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-DR 状態のとき、TMS に 0 を入力すると、Shift-DR 状態に戻ります。TMS に 1 を入力すると Update-DR 状態に遷移します。

- **Update-DR**

Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することではなく、この状態でのみデータを出力します。

TAP コントローラが Update-DR 状態のとき TMS に 0 を入力すると Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると Select-DR-Scan 状態に遷移します。

- **Capture-IR**

Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは 0y0001 です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。

TAP コントローラが Capture-IR 状態のとき TMS に 0 を入力すると Shift-IR 状態に遷移します。TMS に 1 を入力すると Exit 1-IR 状態に遷移します。

- Shift-IR

Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。

TAP コントローラが Shift-IR 状態のとき TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると、Exit 1-IR 状態に遷移します。

- Exit 1-IR

Exit 1-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-IR 状態のとき TMS に 0 を入力すると、Pause-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

- Pause-IR

Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

TAP コントローラが Pause-IR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-IR 状態に遷移します。

- Exit 2-IR

Exit 2-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-IR 状態のとき、TMS に 0 を入力すると、Shift-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

- Update-IR

Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

TAP コントローラが Update-IR 状態のとき、TMS に 0 を入力すると、Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると、Select-DR-Scan 状態に遷移します。

## 24.11 バウンダリスキャン順序

プロセッサ信号に対するバウンダリスキャン順序は、下表のとおりです。

TDI → 1 (PI2) → 2 (PI1) → - → 82 (PH5) → 83 (PH6) → TDO

表 24-2 TMPM341FDXBG/FYXBG プロセッサのピンに対する JTAG スキャン順序

番号	端子名	番号	端子名	番号	端子名	番号	端子名	番号	端子名
	TDI								
1	PI2	21	PE4	41	PB0	61	PK4	81	PH4
2	PI1	22	PE3	42	PA7	62	PK3	82	PH5
3	PI0	23	PE2	43	PA6	63	PK2	83	PH6
4	PG5	24	PE1	44	PA5	64	PK1		TDO
5	PG4	25	PE0	45	PA4	65	PK0		
6	PG3	26	PC7	46	PA3	66	PJ7		
7	PG2	27	PC6	47	PA2	67	PJ6		
8	PG1	28	PC5	48	PA1	68	PJ5		
9	PG0	29	PC4	49	PA0	69	PJ4		
10	PD7	30	PC3	50	PF7	70	PJ3		
11	PD6	31	PC2	51	PF6	71	PJ2		
12	PD5	32	PC1	52	PF5	72	PJ1		
13	PD4	33	PC0	53	PF4	73	PJ0		
14	PD3	34	PB7	54	PF3	74	PG7		
15	PD2	35	PB6	55	PF2	75	PG6		
16	PD1	36	PB5	56	PF1	76	PH2		
17	PD0	37	PB4	57	PF0	77	PH1		
18	PE7	38	PB3	58	ENDIAN	78	PH0		
19	PE6	39	PB2	59	PK6	79	NMI		
20	PE5	40	PB1	60	PK5	80	PH3		

## 24.12 JTAG コントローラセルでサポートしている命令

この項では、TMPM341FDXBG/FYXBG の JTAG コントローラセルでサポートしている命令について説明します。

### 1. EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを図 24-7 にしめします。



図 24-7 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
  2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
  3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
  4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
  5. 命令レジスタに EXTEST 命令をロードします。
  6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
  7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
  8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。
- 6 から 8 をテストパターンごとに繰り返します。

### 2. SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行

します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 24-8 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

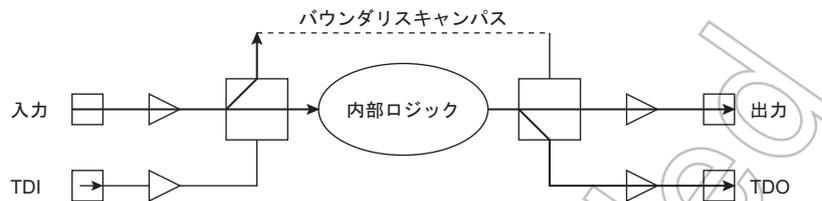


図 24-8 SAMPLE が選択されているときのテストデータの流れ

PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 24-9 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

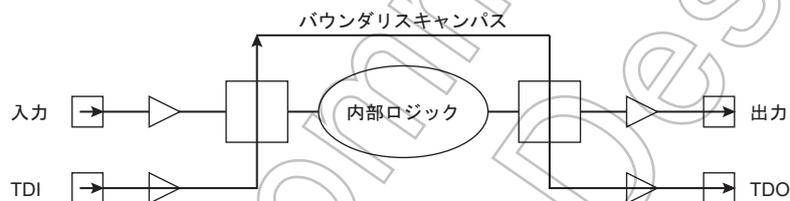


図 24-9 PRELOAD が選択されているときのテストデータの流れ

### 3. BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 24-10 に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

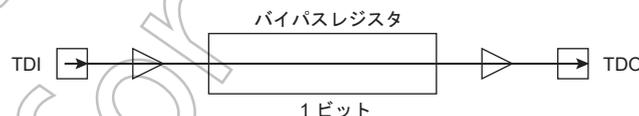


図 24-10 BYPASS レジスタが選択されているときのテストデータの流れ

### 4. CLAMP 命令

CLAMP は Preload 命令によって設定されたバウンダリスキャンレジスタの値を出力し、かつバイパス動作を行います。

CLAMP 命令は TDI と TDO 間に Bypass レジスタを選択します。

## 5. HIGHZ 命令

HIGHZ 命令は内部論理回路からの出力を Disable 状態にします。HIGHZ 命令が実行されると、3 ステート出力をハイ・インピーダンス状態にします。

HIGHZ 命令も TDI と TDO 間に Bypass レジスタを選択します。

### ・ 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

1. PF0 端子は常時 Pull-up 端子のため、HIGHZ 命令時は High が出力されます。

2. アナログ入力端子への入力レベルに注意してください。

3. JTAG 回路のリセット解除は下記の 2 種類のどちらかの手順を選択してください。

$\overline{\text{TRST}}$  をアサートして JTAG 回路を初期化後デアサート

TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

Not Recommended  
for New Design

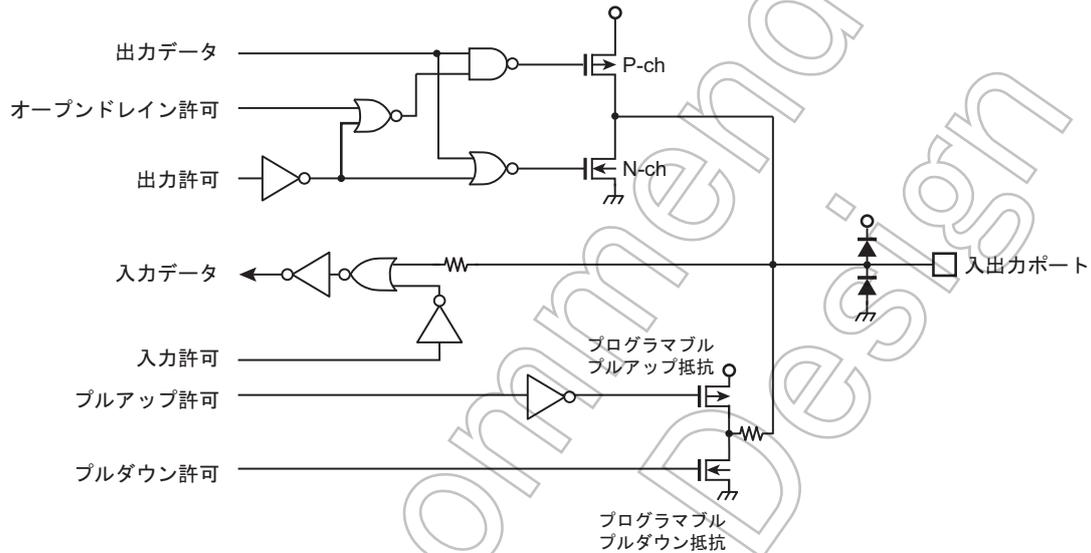
Not Recommended  
for New Design

## 第 25 章 ポート部等価回路図

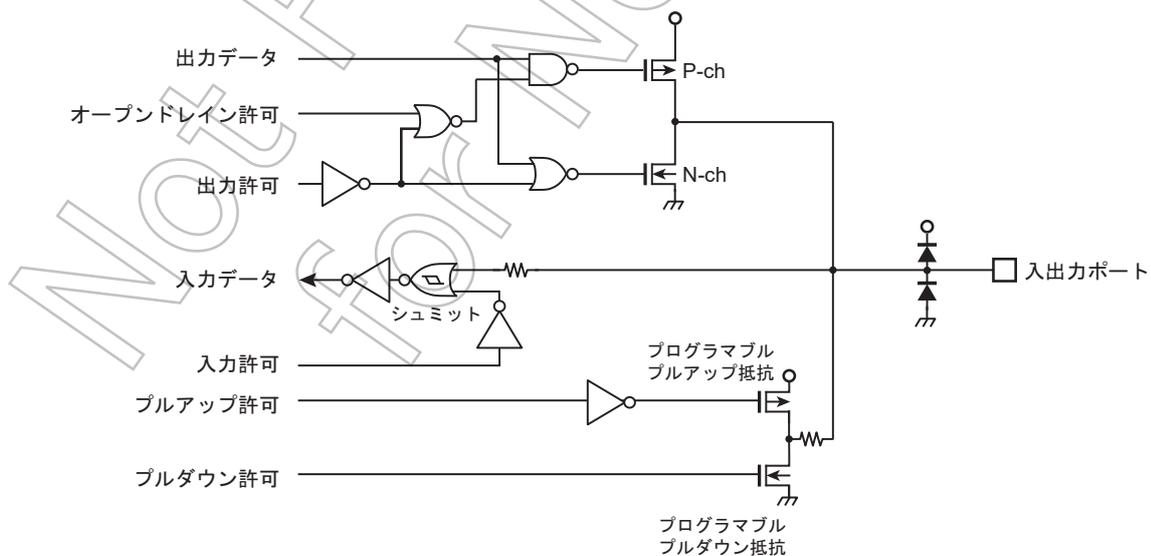
基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十  $\Omega$  ~ 数百  $\Omega$  程度です。X2, XT2 のダンピング抵抗値は、図中に typ. 値を記入しています。

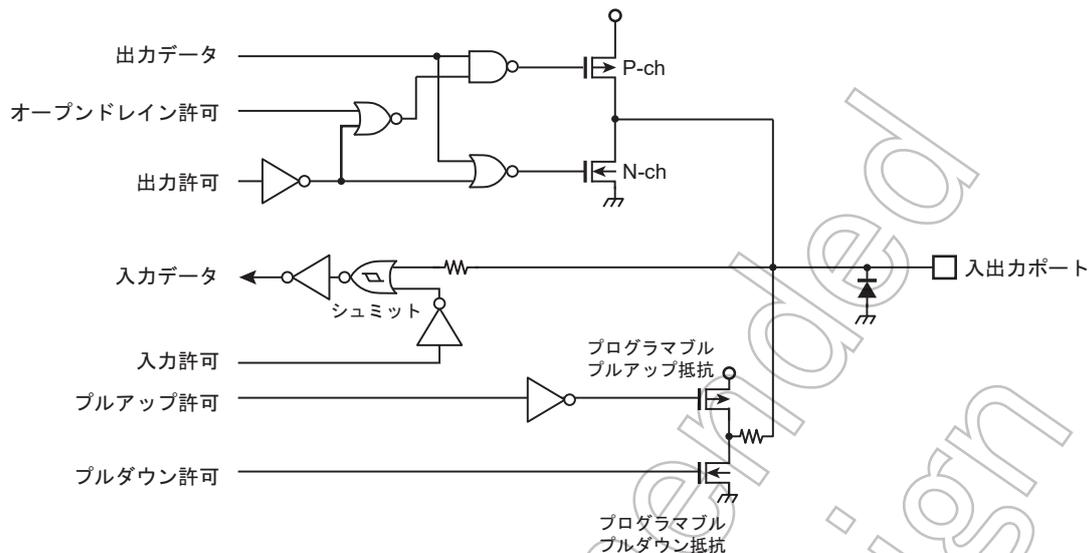
### 25.1 PA0 ~ 7, PB0 ~ 7



### 25.2 PC0 ~ 7, PD0 ~ 6, PE0 ~ 7, PF1 ~ 7, PH3 ~ 6, PI0 ~ 7

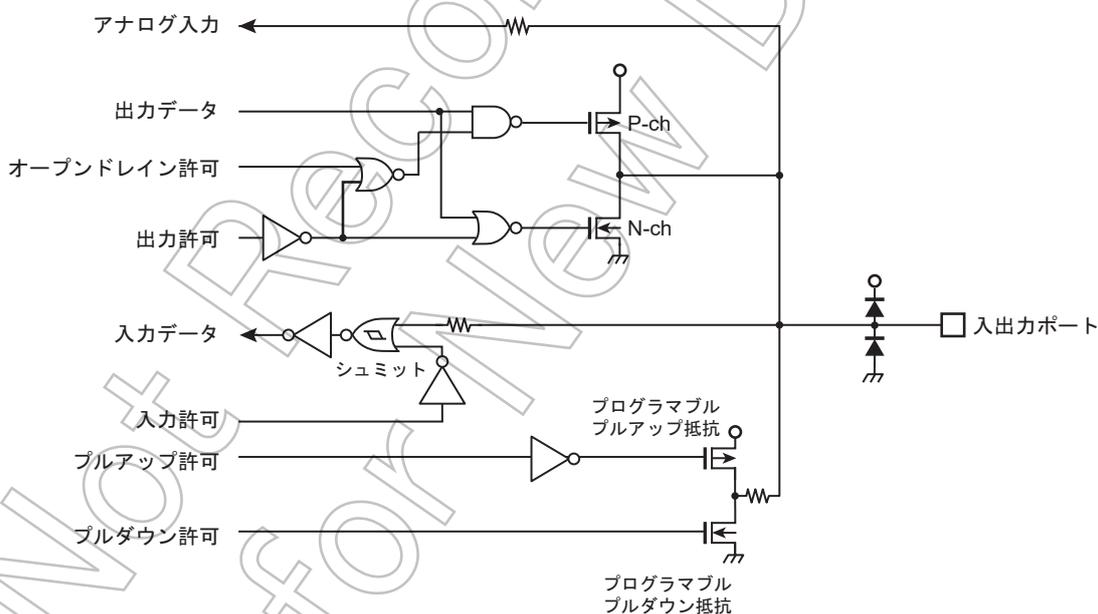


### 25.3 PG0 ~ 7,PH0 ~ 2

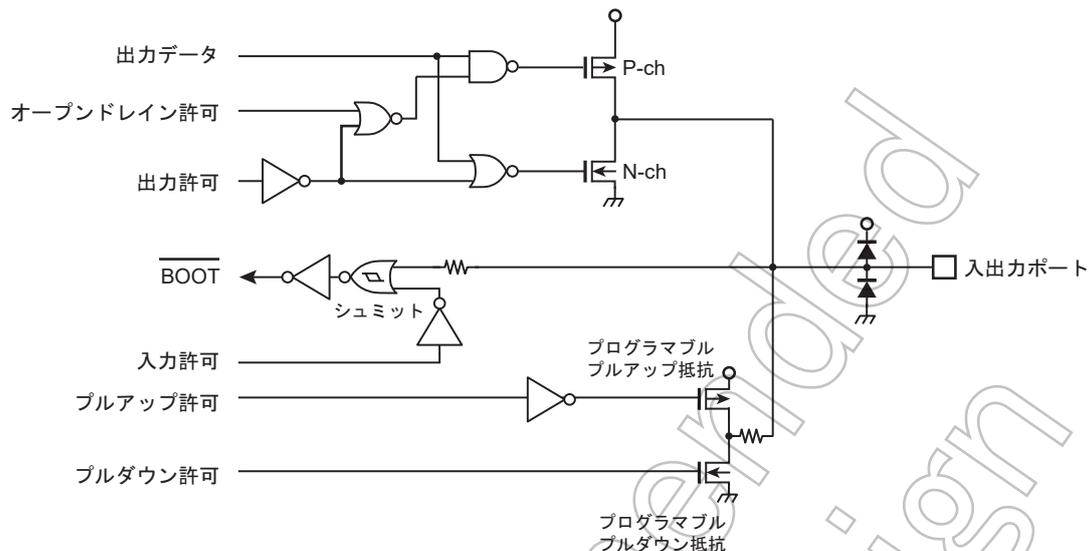


注) 入力端子として使用時のみ 5V 入力が可能です。

### 25.4 PJ0 ~ 7,PK0 ~ 7



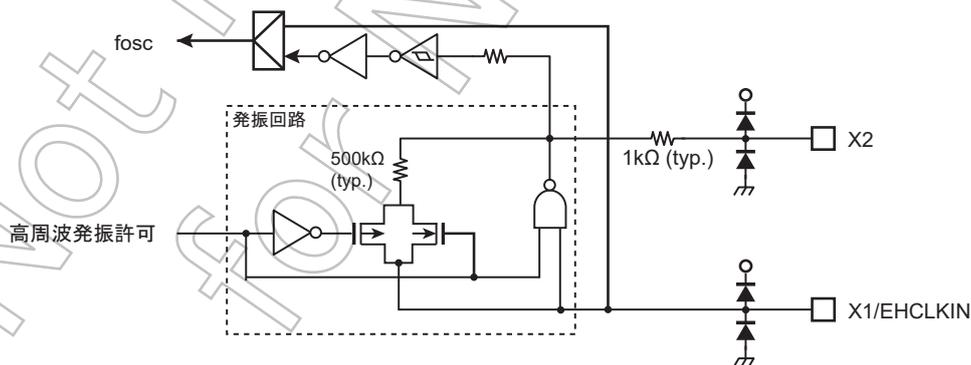
25.5 PF0



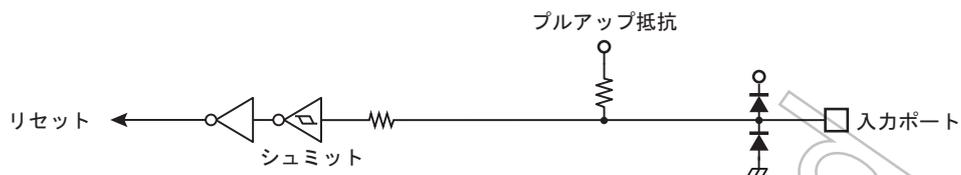
25.6 DA0,DA1



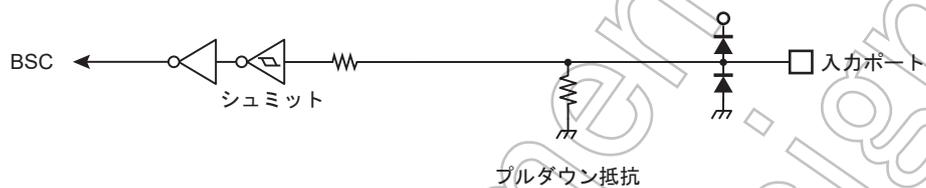
25.7 X1,X2



## 25.8 $\overline{\text{RESET}}$ , $\overline{\text{NMI}}$



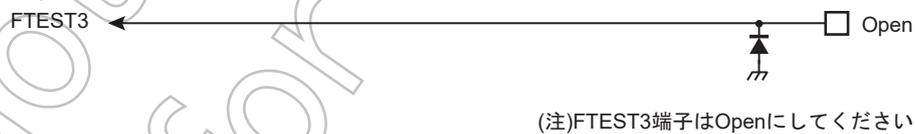
## 25.9 BSC



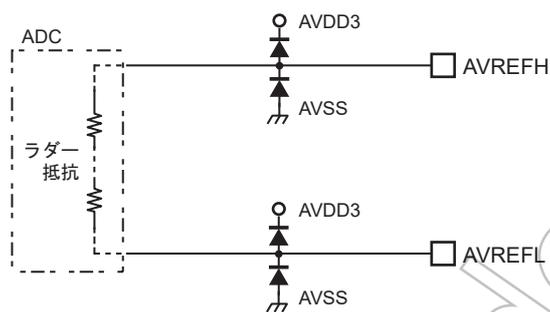
## 25.10 MODE,INTLV,ENDIAN



## 25.11 FTEST3



## 25.12 AVREFH,AVREFL



Not Recommended  
for New Design

Not Recommended  
for New Design

## 第 26 章 電気的特性

### 26.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3A	-0.3 to 3.9	V
		DVDD3B	-0.3 to 3.9	
		AVDD3	-0.3 to 3.9	
		RVDD3	-0.3 to 3.9	
入力電圧	下記端子を除く	$V_{IN1}$	$-0.3 \sim V_{DD} + 0.3$	V
	PG7 ~ PG0、PH2 ~ PH0	$V_{IN2}$	$-0.3 \sim 5.5$	
低レベル 出力電流	1 端子	$I_{OL}$	5	mA
	合計 (注)	$\Sigma I_{OL}$	50	
高レベル 出力電流	1 端子	$I_{OH}$	-5	
	合計 (注)	$\Sigma I_{OH}$	-50	
消費電力 ( $T_a = 85^\circ\text{C}$ )		PD	600	mW
はんだ付け温度(10 s)		$T_{SOLDER}$	260	$^\circ\text{C}$
保存温度		$T_{STG}$	-40 ~ 125	$^\circ\text{C}$
動作温度	Flash W/E 時を除く	$T_{OPR}$	-20 ~ 85	$^\circ\text{C}$
	Flash W/E 時		0 ~ 70	

注 1) DVDD3A, DVDD3B から供給される I/O 毎

注 2) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

## 26.2 DC 電気的特性 (1/3)

Ta = -40 ~ 85 °C

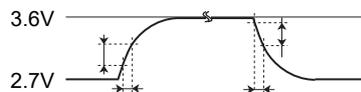
項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
電源電圧	DVDD3A DVDD3B AVDD3 RVDD3	DVDD3A AVDD3 RVDD3 (注 2)	f <sub>osc</sub> = 8 ~ 27 MHz f <sub>sys</sub> = 1 ~ 54 MHz	2.7	-	3.6	V
	DVSSA = DVSSB = AVSS = RVSS = DVSSC = 0V	DVDD3B		1.65	-	3.6	V
低レベル 入力電圧	PA, PB, PC, PD, PE, PF	V <sub>IL1</sub>	1.65 V ≤ DVDD3B ≤ 3.6 V	-0.3	-	0.2 DVDD3B	V
	PG, PH, PI, PJ, PK	V <sub>IL2</sub>	2.7 V ≤ DVDD3A ≤ 3.6 V			0.2 DVDD3A	
	RESET, NMI, MODE, INTLV, BSC, ENDIAN	V <sub>IL3</sub>	(含 5V トレラント入力)				
	X1	V <sub>IL4</sub>	2.7 V ≤ RVDD3 ≤ 3.6 V			0.2 RVDD3	
高レベル 入力電圧	PA, PB, PC, PD, PE, PF	V <sub>IH1</sub>	1.65 V ≤ DVDD3B ≤ 3.6 V	0.8 DVDD3A	-	DVDD3B + 0.3	V
	PH6 ~ PH3, PI, PJ, PK	V <sub>IH2</sub>	2.7 V ≤ DVDD3A ≤ 3.6 V			DVDD3A + 0.3	
	PG7 ~ PG0, PH2 ~ PH0	V <sub>IH5</sub>				5.5	
	RESET, NMI, MODE, INTLV, BSC, ENDIAN	V <sub>IH3</sub>	2.7 V ≤ DVDD3A ≤ 3.6 V			DVDD3A + 0.3	
	X1	V <sub>IH4</sub>	2.7 V ≤ RVDD3 ≤ 3.6 V			RVDD3 + 0.3	
低レベル 出力電圧	PG, PH, PI, PJ, PK	V <sub>OL</sub>	I <sub>OL</sub> = 2 mA, 2.7 V ≤ DVDD3A ≤ 3.6 V	-	-	0.4	V
	PA, PB, PC, PD, PE, PF		I <sub>OL</sub> = 2 mA, 2.7 V ≤ DVDD3B ≤ 3.6 V			0.4	
	PA, PB, PC, PD, PE, PF		I <sub>OL</sub> = 2 mA, 1.65 V ≤ DVDD3B ≤ 3.6 V			0.2	
高レベル 出力電圧	PH6 ~ PH3, PI, PJ, PK	V <sub>OH</sub>	I <sub>OH</sub> = -2 mA, 2.7 V ≤ DVDD3A ≤ 3.6 V	-	-	DVDD3A	V
	PG7 ~ PG0, PH2 ~ PH0		I <sub>OH</sub> = -2 mA, 2.7 V ≤ DVDD3B ≤ 3.6 V			DVDD3B	
	PA, PB, PC, PD, PE, PF		I <sub>OH</sub> = -2 mA, 2.7 V ≤ DVDD3B ≤ 3.6 V			DVDD3B	
	PA, PB, PC, PD, PE, PF		I <sub>OH</sub> = -0.5 mA, 1.65 V ≤ DVDD3B ≤ 3.6 V			DVDD3B	
入力リーク電流	I <sub>LI1</sub>	0.0 ≤ V <sub>IN</sub> ≤ DVDD3A, DVDD3B 0.0 ≤ V <sub>IN</sub> ≤ AVDD3	-	0.02	±5	μA	
出力リーク電流	I <sub>LO</sub>	0.2 ≤ V <sub>IN</sub> ≤ DVDD3A-0.2, DVDD3B-0.2 0.2 ≤ V <sub>IN</sub> ≤ AVDD3 - 0.2	-	0.05	±10	μA	
リセットプルアップ抵抗	RRST	2.7 V ≤ DVDD3A, DVDD3B ≤ 3.6 V	-	50	150	kΩ	
シュミット入力幅	VTH1	2.7 V ≤ DVDD3A, DVDD3B ≤ 3.6 V	0.3	0.6	-	V	
	VTH2	1.65 V ≤ DVDD3B ≤ 2.7 V	0.14	0.19	-	V	
プログラマブルプルアップ/ダウン抵抗	PKH	2.7 V ≤ DVDD3A, DVDD3B ≤ 3.6 V	-	50	150	kΩ	
動作範囲内電源変動レート	VRS	RVDD3 = DVDD3A	-	-	23	mV/μs	
	VFS		-	-	40		
Pin 容量(電源端子を除く)	C <sub>IO</sub>	f <sub>c</sub> = 1 MHz	-	-	10	pF	

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3A = DVDD3B = RVDD3 = AVDD3 = 3.3 V の値です。

注 2) DVDD3A, AVDD3, RVDD3 は同電位で使用してください。

注 3) DVDD3A, RVDD3, AVDD3 の Minimum 動作保証電圧 2.7V を超えた場合、全ての電源(含 DVDD3B)を遮断し再度電源投入を行なってください。

注 4) VRS(上昇)、VFS(降下)の変動は規格に対して厳しい箇所で測定してください。



VRS(上昇)、VFS(降下)の変動は規格に対して厳しい箇所で測定してください。

26.3 DC 電氣的特性 (2/3)

DVDD3A = AVDD3 = RVDD3 = 2.7 V ~ 3.6 V,  
 DVDD3B = 1.65V ~ 3.6V,  
 DVSSA = DVSSB = RVSS = DVSSC = AVSS  
 Ta = -40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
低レベル出力電流	I <sub>OL1</sub>	1 端子ごと 2.7 V ≤ DVDD3A ≤ 3.6 V PH3 ~ PH6, PI0 ~ PI7, PJ0 ~ PJ7, PK0 ~ PK6	-	-	2	mA
	I <sub>OL2</sub>	1 端子ごと 2.7 V ≤ DVDD3A ≤ 3.6 V PG0 ~ PG7, PH0 ~ PH2	-	-	2	
	I <sub>OL3</sub>	1 端子ごと 1.65 V ≤ DVDD3B ≤ 3.6 V PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0 ~ PF7	-	-	2	
	ΣI <sub>OL1</sub>	グループ単位, Port A	-	-	10	
	ΣI <sub>OL2</sub>	グループ単位, Port B	-	-	10	
	ΣI <sub>OL3</sub>	グループ単位, Port C	-	-	10	
	ΣI <sub>OL4</sub>	グループ単位, Port D	-	-	10	
	ΣI <sub>OL5</sub>	グループ単位, Port E	-	-	10	
	ΣI <sub>OL6</sub>	グループ単位, Port F	-	-	10	
	ΣI <sub>OL7</sub>	グループ単位, Port G	-	-	20	
	ΣI <sub>OL8</sub>	グループ単位, PH0 ~ PH2	-	-	10	
	ΣI <sub>OL9</sub>	グループ単位, PH3 ~ PH6	-	-	10	
	ΣI <sub>OL10</sub>	グループ単位, Port I	-	-	10	
ΣI <sub>OL11</sub>	グループ単位, Port J	-	-	10		
ΣI <sub>OL12</sub>	グループ単位, Port K	-	-	10		
ΣI <sub>OL</sub>	全端子(全ポート)	-	-	35		
高レベル出力電流	I <sub>OH1</sub>	1 端子ごと 2.7 V ≤ DVDD3A, DVDD3B ≤ 3.6 V PH3 ~ PH6, PI0 ~ PI7, PJ0 ~ PJ7, PK0 ~ PK6	-	-	-2	mA
	I <sub>OH2</sub>	1 端子ごと 2.7 V ≤ DVDD3A, DVDD3B ≤ 3.6 V PH0 ~ PH2, PG0 ~ PG7	-	-	-2	
	I <sub>OH3</sub>	1 端子ごと 1.65 V ≤ DVDD3B ≤ 3.6 V PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0 ~ PF7	-	-	-2	
	ΣI <sub>OH1</sub>	グループ単位, Port A	-	-	-10	
	ΣI <sub>OH2</sub>	グループ単位, Port B	-	-	-10	
	ΣI <sub>OH3</sub>	グループ単位, Port C	-	-	-10	
	ΣI <sub>OH4</sub>	グループ単位, Port D	-	-	-10	
	ΣI <sub>OH5</sub>	グループ単位, Port E	-	-	-10	
	ΣI <sub>OH6</sub>	グループ単位, Port F	-	-	-10	
	ΣI <sub>OH7</sub>	グループ単位, Port G	-	-	-10	
	ΣI <sub>OH8</sub>	グループ単位, PH0 ~ 2	-	-	-10	
	ΣI <sub>OH9</sub>	グループ単位, PH3 ~ PH6	-	-	-10	
	ΣI <sub>OH10</sub>	グループ単位, Port I	-	-	-10	
ΣI <sub>OH11</sub>	グループ単位, Port J	-	-	-10		
ΣI <sub>OH12</sub>	グループ単位, Port K	-	-	-10		
ΣI <sub>OH</sub>	全端子(全ポート)	-	-	-35		

注 1) DVDD3A, AVDD3, RVDD3 は同電圧で使用してください。

注 2) 高レベル出力電流(ΣI<sub>OH</sub>)は、電源毎の合計値です。

Not Recommended  
for New Design

## 26.4 DC 電氣的特性 (3/3)

DVDD3A = DVDD3B = AVDD3 = RVDD3 = 2.7 V ~ 3.6 V

Ta = -40 ~ 85 °C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL (注 2) ギア比 1/1	I <sub>DD</sub>	fsys = 54 MHz	-	42	50	mA
IDLE (注 3)			-	18	25	
NORMAL (注 2) ギア比 1/1		fsys = 40 MHz	-	33	42	
IDLE (注 3)			-	14	20	
STOP1		-	-	60	1000	μA
STOP2		-	-	2.5	60	

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3A = DVDD3B = AVDD3 = RVDD3 = 3.3 V の値です。

注 2) I<sub>DD</sub> NORMAL の測定条件:

実行プログラム: ドライストン V2.1 (内蔵 FLASH 動作)

動作内蔵周辺機能: AD コンバータ、DA コンバータを除く内蔵周辺機能はすべて動作

注 3) I<sub>DD</sub> IDLE の測定条件:

動作内蔵周辺機能: 周辺機能はすべて停止

I<sub>DD</sub> には DVDD3A, DVDD3B, AVDD3, RVDD3 に流れる電流が含まれます。

Not Recommended for New Design

## 26.5 12 ビット AD コンバータ変換特性

DVDD3A = DVDD3B = AVDD3 = RVDD3 = AVREFH = 2.7 V ~ 3.6 V

AVSS = DVSSA = DVSSB = DVSSC = AVREFL = 0V

Ta = -40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
アナログ基準電圧(+)	AVREFH	-	2.7	3.3	3.6	V
アナログ入力電圧	VAIN	-	AVREFL	-	AVREFH	V
アナログ基準電圧電源電流	AD 変換時	DVSSA = DVSSB = DVSSC = AVSS	-	2.0	2.5	mA
	AD 非変換時		-	-	0.1	μA
積分非直線性誤差	-	AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 30 pF 変換時間 ≥ 2.0 μs	-	±4	-	LSB
微分非直線性誤差			-	±2	-	
ゼロスケール誤差			-	±3	-	
フルスケール誤差			-	±4	-	
総合誤差			-	±6	-	
積分非直線性誤差	-	AIN 負荷抵抗 ≤ 1 kΩ AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.0 μs	-	±4	-	
微分非直線性誤差			-	±2	-	
ゼロスケール誤差			-	±3	-	
フルスケール誤差			-	±4	-	
総合誤差			-	±6	-	
積分非直線性誤差	-	AIN 負荷抵抗 ≤ 5 kΩ AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.0 μs	-	±4	-	
微分非直線性誤差			-	±2	-	
ゼロスケール誤差			-	±3	-	
フルスケール誤差			-	±4	-	
総合誤差			-	±6	-	
変換時間	Tconv	-	1.0	-	10	μs

注 1) 1LSB = (AVREFH - AVREFL)/4096 [V]

注 2) AD コンバータ単体動作の時の特性です。

注 3) アナログ入力電圧の AVREFL は AVSS、DVSSA、DVSSB および DVSSC と電位差はつけないでください。

注 4) 総合誤差は、ゼロスケール誤差、フルスケール誤差および積分非直線性誤差の実測値と理論値との差の最大値です。(量子誤差は含みません)

## 26.6 10ビット DA コンバータ変換特性

DVDD3A = AVDD3 = RVDD3 = AVREFH = 2.7 V ~ 3.6 V

DVDD3B = 1.65 V ~ 3.6 V

AVSS = DVSSA = DVSSB = DVSSC = AVREFL = 0V

Ta = -40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
アナログ基準電圧(+)	DAVREF	-	2.7	3.3	3.6	V
アナログ基準電圧電流	IDREF	<VREFON>=1 ch = 0,1	-	4	10	μA
		<VREFON>=0	-	0.3	1	
セトリングタイム	Tset	-	-	-	100	μs
出力電流	IDA0, IDA1	-	-	-	± 500	μA
出力電圧範囲	DA0, DA1	-	AVSS + 0.3	-	AVDD3 - 0.3	V
総合誤差	TERR	-	-	± 2	± 4	LSB

注 1) 1LSB = (AVREFH - AVREFL)/1024 [V]

注 2) IDREF 電流値は DA コンバータ 2ch 同時に動作させている場合の電流値です。

注 3) 2ch を同時に動作させた時の相対精度は保証していません。

注 4) DAx 端子の外付け容量は 1ch あたり 100pF(max.)としてください。

注 5) 総合誤差とは理論値出力電圧((AVREFH - AVREFL)/1024 × DAC)に対する出力電圧誤差です。

## 26.7 AC 電気的特性

### 26.7.1 AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- ・ 出力レベル: High =  $0.8 \times DVDD3A$ ,  $0.8 \times DVDD3B$
- ・ 出力レベル: Low =  $0.2 \times DVDD3A$ ,  $0.2 \times DVDD3B$
- ・ 入力レベル: DC 電気的特性の、低レベル入力電圧/高レベル入力電圧参照
- ・ 負荷容量: CL = 30pF
- ・ 周囲温度: Ta = -40 ~ 85 °C

### 26.7.2 シリアルチャネル (SIO/UART)

#### 26.7.2.1 I/O インターフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

##### (1) SCLK 入力モード

[データ入力]

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t <sub>SCH</sub>	4x	-	100	-	74.1	-	ns
SCLK クロック Low 幅(入力)	t <sub>SCL</sub>	4x	-	100	-	74.1	-	
SCLK 周期	t <sub>SCY</sub>	t <sub>SCH</sub> + t <sub>SCL</sub>	-	200	-	148	-	
有効 Data 入力 → SCLK 立ち上がり/立ち下がり (注 1)	t <sub>SRD</sub>	30	-	30.0	-	30.0	-	
SCLK 立ち上がり / 立ち下がり (注 1) → 入力 Data 保持	t <sub>HSR</sub>	x + 30	-	55.0	-	48.5	-	

[データ出力]

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t <sub>SCH</sub>	4x	-	120 (注 3)	-	101 (注 3)	-	ns
SCLK クロック Low 幅(入力)	t <sub>SCL</sub>	4x	-	120 (注 3)	-	101 (注 3)	-	
SCLK 周期	t <sub>SCY</sub>	t <sub>SCH</sub> + t <sub>SCL</sub>	-	240	-	201	-	
Output Data → SCLK 立ち上がり/立ち下がり (注 1)	t <sub>OSS</sub>	t <sub>SCY</sub> /2 - 3x - 45	-	0.00 (注 2)	-	0.00 (注 2)	-	
SCLK 立ち上がり / 立ち下がり (注 1) → Output Data 保持	t <sub>OHS</sub>	t <sub>SCY</sub> /2	-	120	-	101	-	

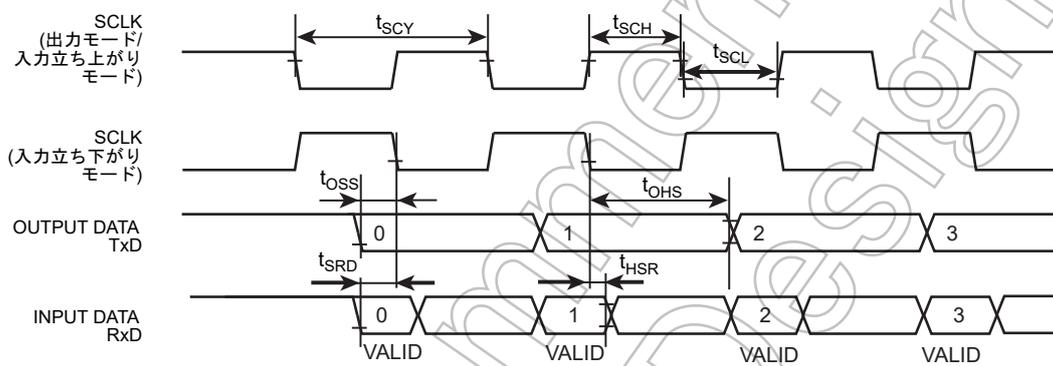
注 1) SCLK 立ち上がり/立ち下がり : SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t<sub>OSS</sub> がマイナスにならない最小値を示しています。

(2) SCLK 出力モード

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK 周期 (プログラマブル)	$t_{SCY}$	4x	-	100	-	74	-	ns
Output Data ← SCLK 立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 30$	-	20	-	7	-	
SCLK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 - 30$	-	20	-	7	-	
有効 Data 入力 → SCLK 立ち上がり	$t_{SRD}$	45	-	45	-	45	-	
SCLK 立ち上がり → Input Data 保持	$t_{HSR}$	0	-	0	-	0	-	



Not Recommended for New

### 26.7.3 シリアルバスインターフェース (I2C/SIO)

#### 26.7.3.1 I2C モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK> で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCL クロック周波数	t <sub>SCL</sub>	0	-	0	100	0	400	kHz
スタートコンディション保持	t <sub>HD; STA</sub>	-	-	4.0	-	0.6	-	μs
SCL クロック Low 幅(入力) (注 1)	t <sub>LOW</sub>	-	-	4.7	-	1.3	-	μs
SCL クロック High 幅(入力) (注 2)	t <sub>HIGH</sub>	-	-	4.0	-	0.6	-	μs
再スタートコンディション セットアップ時間	t <sub>SU; STA</sub>	(注 5)	-	4.7	-	0.6	-	μs
データ保持時間(入力) (注 3, 4)	t <sub>HD; DAT</sub>	-	-	0.0	-	0.0	-	μs
データセットアップ時間	t <sub>SU; DAT</sub>	-	-	250	-	100	-	ns
ストップコンディションセットアップ時間	t <sub>SU; STO</sub>	-	-	4.0	-	0.6	-	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t <sub>BUF</sub>	(注 5)	-	4.7	-	1.3	-	μs

注 1) SCL クロック LOW 幅(出力):  $(2^{n-1} + 58)/x$

注 2) SCL クロック HIGH 幅(出力):  $(2^{n-1} + 14)/x$

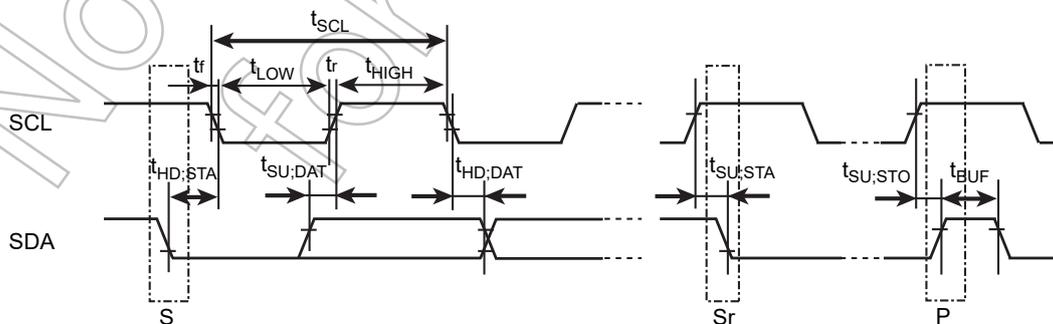
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1, 注 2 の計算式にて設定されますのでご注意ください。

注 3) データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5) ソフトウェアに依存します。

注 6) フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション  
Sr: 再スタートコンディション  
P: ストップコンディション

## 26.7.3.2 クロック同期式 8 ビット SIO モード

x はシリアルバスインタフェースの動作クロックの周期を表します。シリアルバスインタフェースの動作クロックは、システムクロック  $f_{sys}$  と同じ周期です。この周期は、クロックギアの設定に依存します。

## (1) SCK 入力モード(SCK デューティ 50%の場合)

[データ入力]

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCK クロック High 幅(入力)	$t_{SCH}$	$4x$	-	100	-	74	-	ns
SCK クロック Low 幅(入力)	$t_{SCL}$	$4x$	-	100	-	74	-	
SCK 周期	$t_{SCY}$	$t_{SCH} + t_{SCL}$	-	200	-	148	-	
SCK 立ち上がり → 有効 Data 入力	$t_{SRD}$	$30 - x$	-	5	-	11.5	-	
SCK 立ち上がり → Input Data 保持	$t_{HSR}$	$2x + 30$	-	80	-	67	-	

[データ出力]

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCK クロック High 幅(入力)	$t_{SCH}$	$4x$	-	135 (注 2)	-	100.6 (注 2)	-	ns
SCK クロック Low 幅(入力)	$t_{SCL}$	$4x$	-	135 (注 2)	-	100.6 (注 2)	-	
SCK 周期	$t_{SCY}$	$t_{SCH} + t_{SCL}$	-	270	-	201	-	
SCK 立ち上がり → Output Data	$t_{OSS}$	$t_{SCY}/2 - 3x - 45$	-	0 (注 1)	-	0 (注 1)	-	
SCK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 + x$	-	125	-	119.1	-	

注 1) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

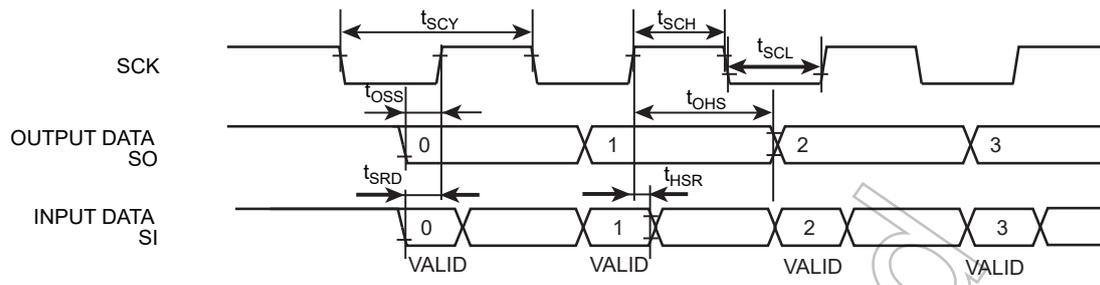
注 2)  $t_{OSS}$  がマイナスにならない最小値を示しています。

## (2) SCK 出力モード(SCK デューティ 50%の場合)

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCK 周期(プログラマブル)	$t_{SCY}$	$16x$	-	400	-	296	-	ns
Output Data → SCK 立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 30$	-	170	-	118	-	
SCK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 - 30$	-	170	-	118	-	
有効 Data 入力 → SCK 立ち上がり	$t_{SRD}$	$x + 45$	-	70	-	63.5	-	
SCK 立ち上がり → Input Data 保持	$t_{HSR}$	0	-	0	-	0	-	

注 1) 自動ウェイト後の SCK 周期は  $14x$  になります。

注 2) 自動ウェイト後の  $t_{OSS}$  が  $t_{SCY}/2 - x - 20$  になることがあります。



Not Recommended for New Design

## 26.7.4 同期式シリアルインターフェース (SSP)

## 26.7.4.1 AC 測定条件

表中の計算式に使われる "T" は内部プリスケアラ入力クロック  $f_{sys}$  周期を示します。

- ・ 出力レベル: High =  $0.7 \times DVDD3A$ , Low =  $0.3 \times DVDD3A$
- ・ 入力レベル: High =  $0.9 \times DVDD3A$ , Low =  $0.1 \times DVDD3A$

注) 表中の "計算式" は  $DVDD3A=2.7V \sim 3.6V$  の範囲での規定を示します。

$DVDD3B = 2.7V \sim 3.6V$  ( $f_{sys} \leq 40MHz$  の場合:  $m = 2$ ,  $f_{sys} > 40MHz$  の場合:  $m = 6$ )

項目	記号	計算式		$f_{sys}=40MHz$ ( $m=2, n=12$ )	$f_{sys}=54MHz$ ( $m=6, n=12$ )	単位
		Min.	Max.			
SPCLK 周期 (マスタ)	$T_m$	(m)T ただし、50ns 以上	-	50	111	ns
SPCLK 周期 (スレーブ)	$T_s$	(n)T	-	300 (3.3MHz)	222 (4.5MHz)	
SPCLK 立ち上がり時間	$t_r$	-	15	15	15	
SPCLK 立ち下がり時間	$t_f$	-	15	15	15	
マスタモード時 SPCLK 低レベルパルス幅	$t_{WLM}$	(m)T/2 - 15	-	10	40.5	
マスタモード時 SPCLK 高レベルパルス幅	$t_{WHM}$	(m)T/2 - 15	-	10	40.5	
スレーブモード時 SPCLK 低レベルパルス幅	$t_{WLS}$	(n)T/2 - 15	-	135	96	
スレーブモード時 SPCLK 高レベルパルス幅	$t_{WHS}$	(n)T/2 - 15	-	135	96	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効	$t_{ODSM}$	-	15	15	15	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	$t_{ODHM}$	(m)T/2 - 15	-	10	40.5	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	$t_{IDSM}$	-	-	10	10	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	$t_{IDHM}$	T/2 + 5	-	17.5	14.3	
マスタモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	$t_{OFSM}$	(m)T - 15	(m)T + 15	35 - 65	96 - 126	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効 遅延時間	$t_{ODSS}$	-	(3T) + 40	115	95.5	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	$t_{ODHS}$	(n)T/2 + (2T)	-	100	74	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	$t_{IDSS}$	-	(n)T/2 + (3T) - 10	215	156.5	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	$t_{IDHS}$	(3T) + 15	-	90	70.5	
スレーブモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	$t_{OFSS}$	(n)T - 15	-	285	207	

DVDD3B = 1.65V ~ 3.6V ( fsys ≤ 40MHz の場合: m = 2, fsys > 40MHz の場合: m = 6 )

項目	記号	計算式		fsys=40MHz (m=2, n=12)	fsys=54MHz (m=6, n=12)	単位
		Min.	Max.			
SPCLK 周期 (マスタ)	T <sub>m</sub>	(m)T ただし、50ns 以上	-	50	111	ns
SPCLK 周期 (スレーブ)	T <sub>s</sub>	(n)T	-	300 (3.3MHz)	222 (4.5MHz)	
SPCLK 立ち上がり時間	t <sub>r</sub>	-	20	20	20	
SPCLK 立ち下がり時間	t <sub>f</sub>	-	20	20	20	
マスタモード時 SPCLK 低レベルパルス幅	t <sub>WLM</sub>	(m)T/2 - 20	-	5	35.5	
マスタモード時 SPCLK 高レベルパルス幅	t <sub>WHM</sub>	(m)T/2 - 20	-	5	35.5	
スレーブモード時 SPCLK 低レベルパルス幅	t <sub>WLS</sub>	(n)T/2 - 20	-	130	91	
スレーブモード時 SPCLK 高レベルパルス幅	t <sub>WHS</sub>	(n)T/2 - 20	-	130	91	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効	t <sub>ODSM</sub>	-	20	20	20	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	t <sub>ODHM</sub>	(m)T/2 - 20	-	5	35.5	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	t <sub>IDS</sub>	-	-	10	10	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	t <sub>IDHM</sub>	T/2 + 5	-	17.5	14.3	
マスタモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	t <sub>OFSM</sub>	(m)T - 15	(m)T + 25	35 - 75	96 - 136	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効 遅延時間	t <sub>ODSS</sub>	-	(3T) + 55	130	110.5	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	t <sub>ODHS</sub>	(n)T/2 + (2T)	-	100	74	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ有効 遅延時間	t <sub>IDSS</sub>	-	(n)T/2 + (3T) - 10	215	156.5	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	t <sub>IDHS</sub>	(3T) + 15	-	90	70.5	
スレーブモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	t <sub>OFSS</sub>	(n)T - 15	-	285	207	

注) 通信ポーレートクロックは以下の条件範囲で設定する必要があります。

マスタモード時

$$m = (<CPSDVR> \times (1 + <SCR>)) = f_{sys} / f_{SPCLK}$$

<CPSDVR>は偶数のみが設定可能です。  
また m の範囲は 65024 ≥ m ≥ 2 となります。

スレーブモード

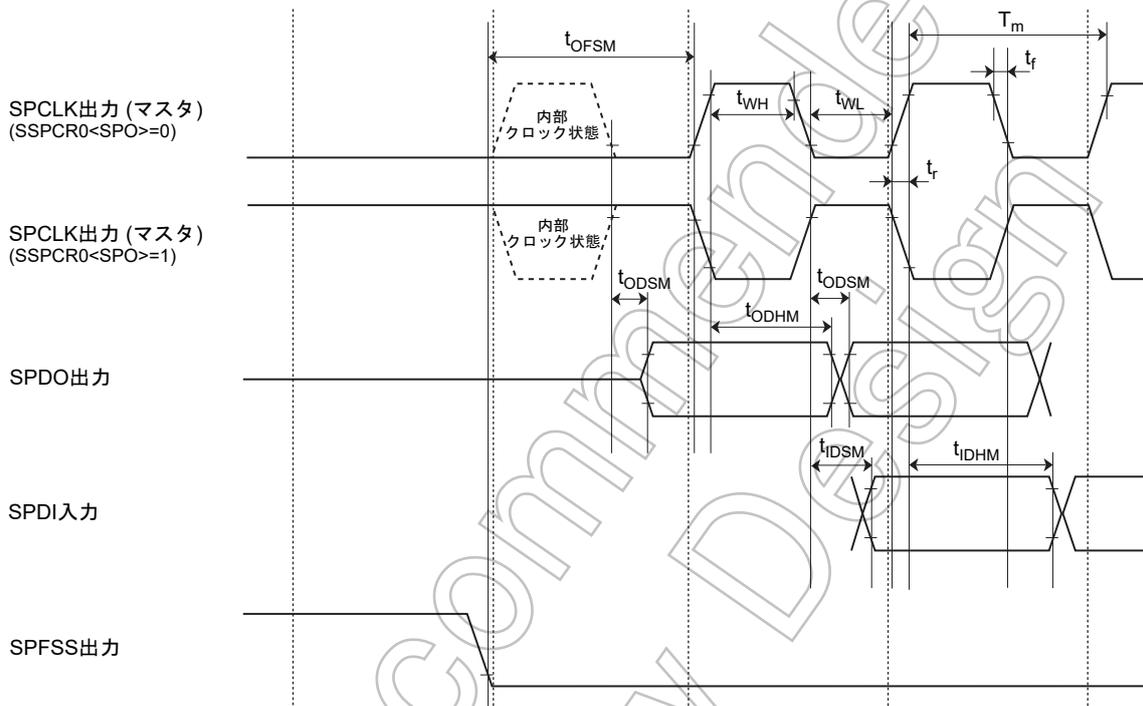
$$n = (<CPSDVR> \times (1 + <SCR>)) = f_{sys} / f_{SPCLK}$$

n の範囲は 65024 ≥ n ≥ 12 となります。

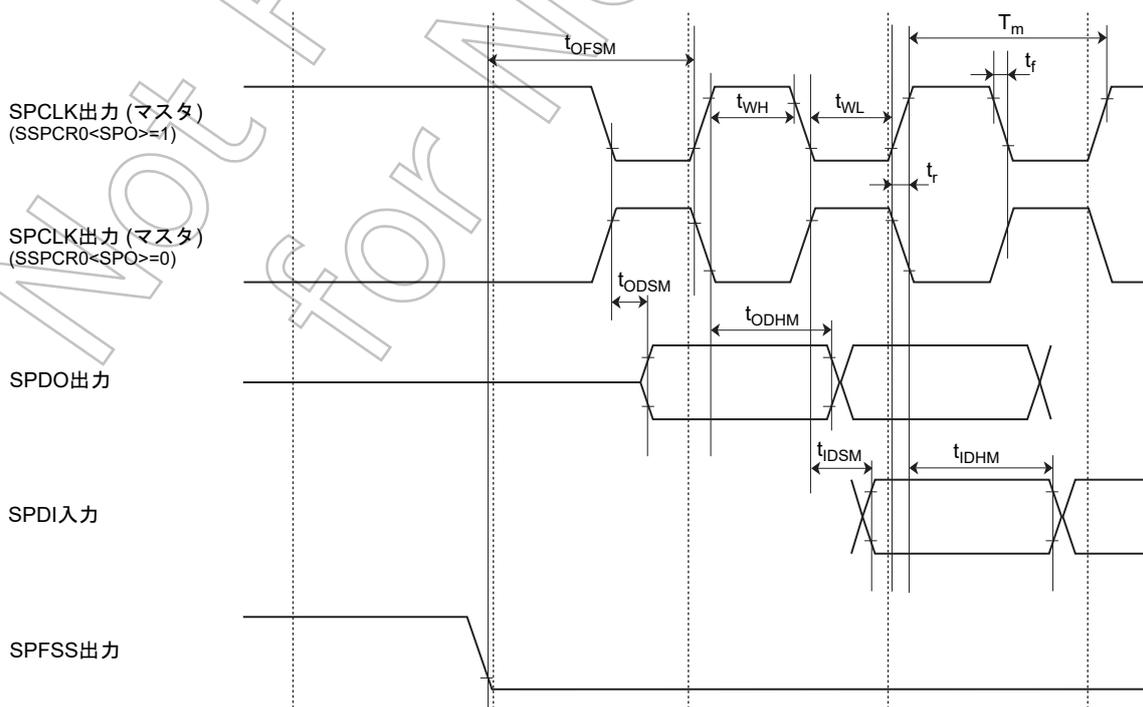
26.7.4.2 SSP の SPI モード (マスタ)

•  $f_{\text{sys}} / 2 \geq f_{\text{SPCLK}} \geq f_{\text{sys}} / 65024$

(1) マスタ SSPCR0<SPH>=0 (1st エッジでデータをラッチ)



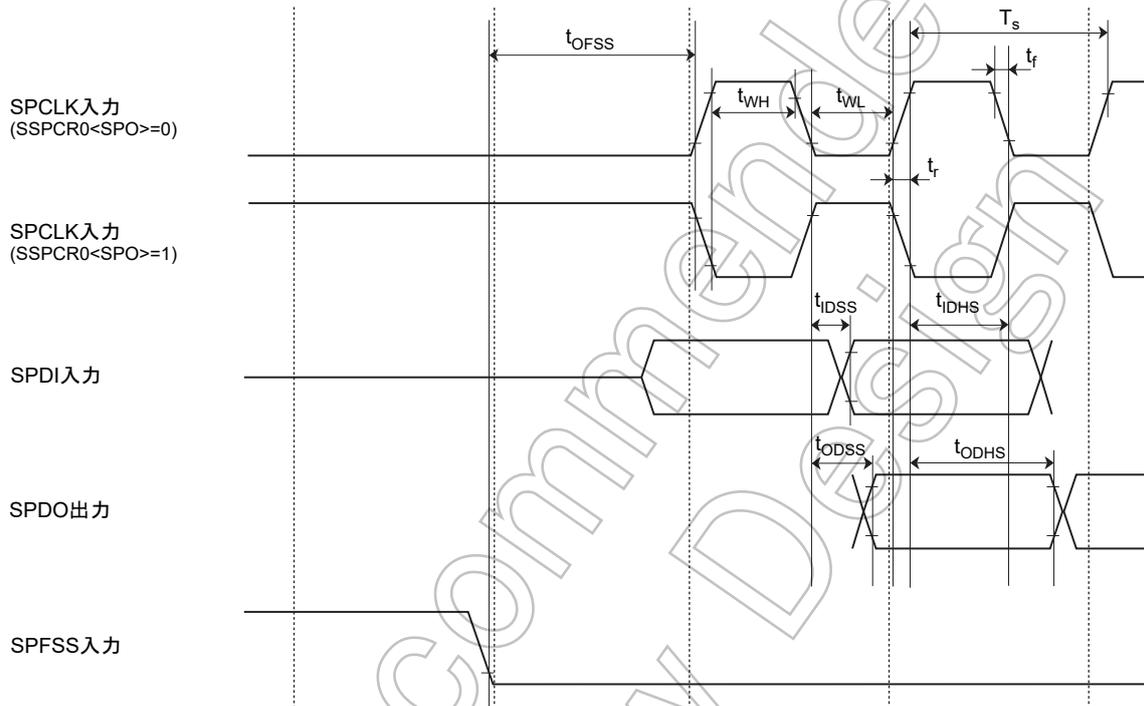
(2) マスタ SSPCR0<SPH>=1 (2nd エッジでデータをラッチ)



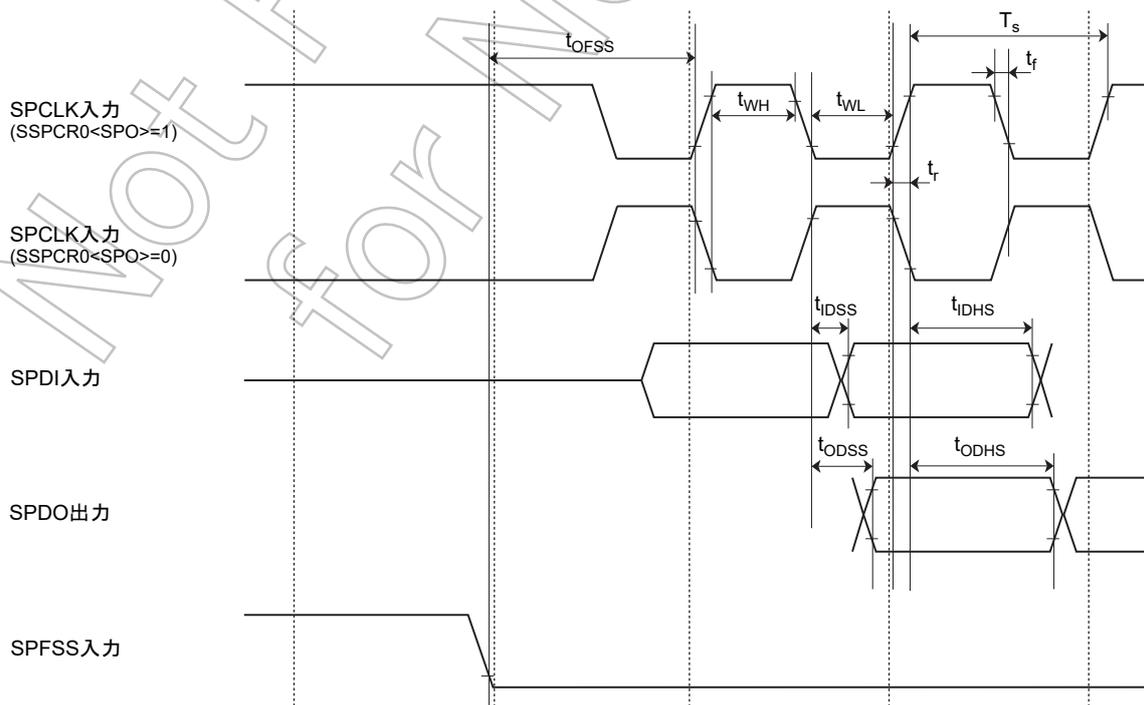
26.7.4.3 SSP の SPI モード (スレーブ)

•  $f_{\text{sys}} / 12 \geq f_{\text{SPCLK}} \geq f_{\text{sys}} / 65024$

(1) スレーブ SSPCR0<SPH>=0 (1st エッジでデータをラッチ)



(2) スレーブ SSPCR0<SPH>=1 (2nd エッジでデータをラッチ)



## 26.7.5 16ビットタイマ/イベントカウンタ

### 26.7.5.1 イベントカウンタ

x は 16 ビットタイマ/イベントカウンタの動作クロックの周期を表します。16 ビットタイマ/イベントカウンタの動作クロックは、システムクロック  $f_{sys}$  と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
クロック低レベルパルス幅	$t_{VCKL}$	$2x + 100$	–	150	–	137	–	ns
クロック高レベルパルス幅	$t_{VCKH}$	$2x + 100$	–	150	–	137	–	ns

### 26.7.5.2 キャプチャ

x は 16 ビットタイマ/イベントカウンタの動作クロックの周期を表します。16 ビットタイマ/イベントカウンタの動作クロックは、システムクロック  $f_{sys}$  と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	$t_{CPL}$	$2x + 100$	–	150	–	137	–	ns
高レベルパルス幅	$t_{CPH}$	$2x + 100$	–	150	–	137	–	ns

## 26.7.6 外部割り込み

表中の x はシステムクロック  $f_{sys}$  の周期を表します。

### 1. STOP1, STOP2 解除割り込み以外

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
INT0 ~ B 低レベルパルス幅	$t_{INTAL}$	$x + 100$	–	125	–	118.5	–	ns
INT0 ~ B 高レベルパルス幅	$t_{INTAH}$	$x + 100$	–	125	–	118.5	–	ns

### 2. STOP1 解除割り込み

項目	記号	Min.	Max.	単位
INT0 ~ B 低レベルパルス幅	$t_{INTBL}$	100	–	ns
INT0 ~ B 高レベルパルス幅	$t_{INTBH}$	100	–	ns

### 3. STOP2 解除割り込み

項目	記号	Min.	Max.	単位
INT0 ~ B 高レベルパルス幅	$t_{INTCH}$	500	–	$\mu s$

### 26.7.7 $\overline{\text{NMI}}$

1. STOP1,STOP2 解除割り込み以外

項目	記号	Min.	Max.	単位
$\overline{\text{NMI}}$ 低レベルパルス幅	$t_{\text{INTCL}}$	100	-	ns

2. STOP1 解除割り込み

項目	記号	Min.	Max.	単位
$\overline{\text{NMI}}$ 低レベルパルス幅	$t_{\text{INTBL}}$	100	-	ns

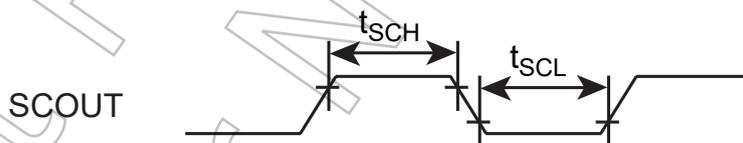
3. STOP2 解除割り込み

項目	記号	Min.	Max.	単位
$\overline{\text{NMI}}$ 低レベルパルス幅	$t_{\text{INTCL}}$	500	-	$\mu\text{s}$

### 26.7.8 SCOUT 端子 AC 特性

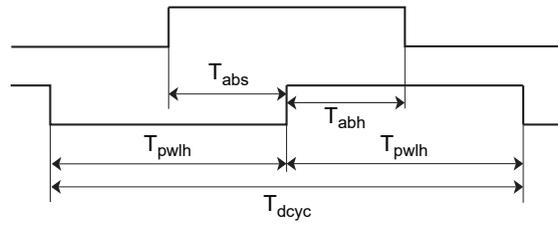
項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
高レベルパルス幅	$t_{\text{SCH}}$	$0.5T - 5$	-	7.5	-	4.3	-	ns
低レベルパルス幅	$t_{\text{SCL}}$	$0.5T - 5$	-	7.5	-	4.3	-	ns

注) 表中の T は SCOUT 出力波形の周期を示します。



### 26.7.9 2 相パルス入力カウンタ端子 AC 特性

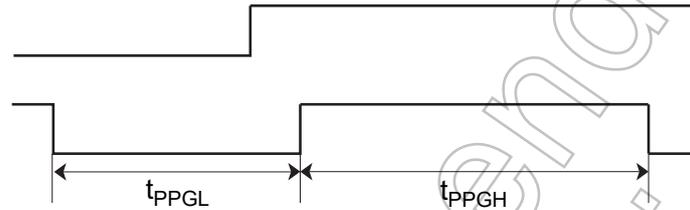
項目	記号	Min.	Max.	単位
2 相入力パルス周期	$T_{\text{dcyc}}$	2	-	$\mu\text{s}$
2 相入力セットアップ	$T_{\text{abs}}$	1	-	
2 相入力ホールド	$T_{\text{abh}}$	1	-	
2 相入力 Low/High パルス幅	$T_{\text{pwlh}}$	1	-	



Not Recommended  
for New Design

## 26.7.10 高分解能 16 ビットタイマ/PPG 出力端子 AC 特性

項目	記号	計算式		40 MHz		54 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
高レベルパルス幅	$t_{PPGH}$	100	-	100	-	100	-	ns
低レベルパルス幅	$t_{PPGL}$	100	-	100	-	100	-	

26.7.11  $\overline{ADTRG}$  入力端子 AC 特性

x はシステムクロック  $f_{sys}$  の周期を示します。この周期はクロックギアの設定に依存します。

項目	記号	計算式		40MHz		54MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	$T_{adi}$	$2x + 20$	-	32.5	-	29.3	-	ns
高レベルパルス間隔	$T_{adh}$	$2x + 20$	-	32.5	-	29.3	-	

## 26.7.12 外部バスインターフェース AC 特性

## 26.7.12.1 AC 測定条件

- 出力レベル: High =  $0.7 \times DVDD3A$ ,  $0.7 \times DVDD3B$
- 出力レベル: Low =  $0.3 \times DVDD3A$ ,  $0.3 \times DVDD3B$

## 26.7.12.2 セパレートバスモード

変数条件 : RWS = 1, TW = 2, RWH = 1, CSH = 1

- RWS :  $\overline{RD}$ ,  $\overline{WR}$  における立下りまでのセットアップサイクル挿入 (TW = 0, 1, 2, 4)
- TW : 内部ウェイトサイクル挿入 (TW = 0 ~ 15)
- RWH :  $\overline{RD}$ ,  $\overline{WR}$  のリカバリサイクル挿入 (RWH = 0 ~ 6, 8)
- CSH :  $\overline{CSx}$  のリカバリサイクル挿入 (CSH = 0, 1, 2, 4)

DVDD3A = DVDD3B = 2.7V ~ 3.6V

項目	記号	計算式		40MHz		54MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
システムクロック周期 (x)	t <sub>SYS</sub>	x	-	25	-	18.5	-	ns
外部バスクロック (EXBCLK)	t <sub>CYC</sub>	x	-	25	-	18.5	-	
A[23:0]有効 → $\overline{RD}$ , $\overline{WR}$ 立下がり	t <sub>AC</sub>	$x(1+RWS)-10$	-	40	-	27	-	
$\overline{RD}$ , $\overline{WR}$ 立上がり → A[23:0]保持	t <sub>CAR</sub>	$x(1+RWH+CSH)-10$	-	65	-	45.5	-	
A[23:0]有効 → D[15:0]入力	t <sub>AD</sub>	-	$x(1+RWS+TW)-35$	-	65	-	39	
$\overline{RD}$ 立下がり → D[15:0]入力	t <sub>RD</sub>	-	$x(1+TW)-30$	-	45	-	25.5	
$\overline{RD}$ 低レベルパルス幅	t <sub>RR</sub>	$x(1+TW)-12$	-	63	-	43.5	-	
$\overline{RD}$ 立上がり → D[15:0]保持	t <sub>HR</sub>	$x(1+RWH)-7$	-	43	-	30	-	
$\overline{RD}$ 立上がり → A[23:0]出力	t <sub>RAE</sub>	$x(1+RWH+CSH)-15$	-	60	-	40.5	-	
$\overline{WR}$ 低レベルパルス幅	t <sub>WW</sub>	$x(1+TW)-15$	-	60	-	40.5	-	
$\overline{WR}$ 立下がり → D[15:0]有効	t <sub>DO</sub>	-	-	-	20	-	20	
D[15:0]有効 → $\overline{WR}$ 立上がり	t <sub>DW</sub>	$x(1+TW)-15$	-	60	-	40.5	-	
$\overline{WR}$ 立上がり → D[15:0]保持	t <sub>WD</sub>	$x(1+RWH)-7$	-	43	-	30	-	

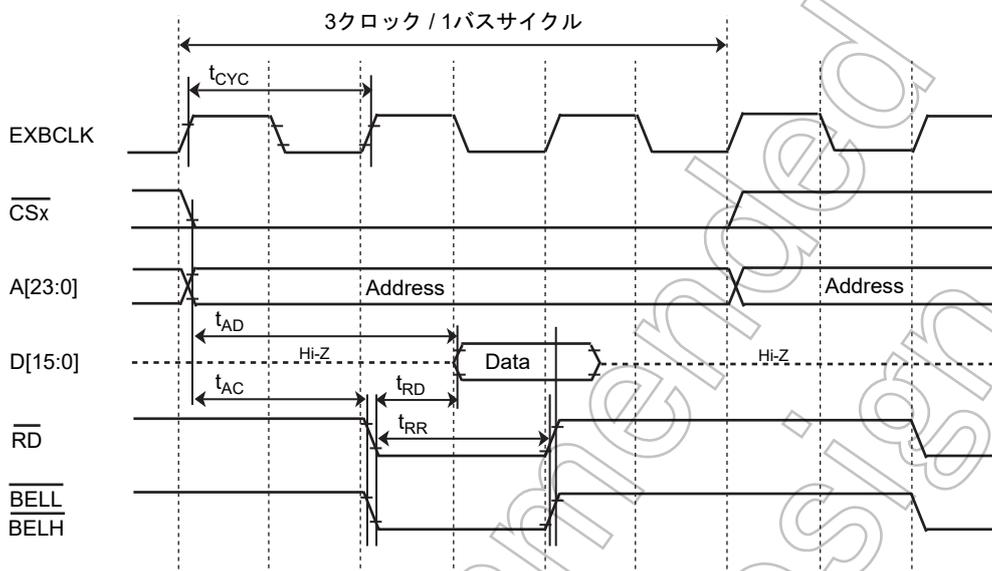
DVDD3A = 3.6V ~ 2.7V, DVDD3B = 3.6V ~ 1.65V

項目	記号	計算式		40MHz		54MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
システムクロック周期 (x)	t <sub>SYS</sub>	x	-	25	-	18.5	-	ns
外部バスクロック (EXBCLK)	t <sub>CYC</sub>	x	-	25	-	18.5	-	
A[23:0]有効 → $\overline{RD}$ , $\overline{WR}$ 立下がり	t <sub>AC</sub>	$x(1+RWS)-20$	-	30	-	17	-	
$\overline{RD}$ , $\overline{WR}$ 立上がり → A[23:0]保持	t <sub>CAR</sub>	$x(1+RWH+CSH)-25$	-	50	-	30.5	-	
A[23:0]有効 → D[15:0]入力	t <sub>AD</sub>	-	$x(1+RWS+TW)-45$	-	55	-	29	
$\overline{RD}$ 立下がり → D[15:0]入力	t <sub>RD</sub>	-	$x(1+TW)-40$	-	35	-	15.5	
$\overline{RD}$ 低レベルパルス幅	t <sub>RR</sub>	$x(1+TW)-20$	-	55	-	35.5	-	
$\overline{RD}$ 立上がり → D[15:0]保持	t <sub>HR</sub>	$x(1+RWH)-15$	-	35	-	22	-	
$\overline{RD}$ 立上がり → A[23:0]出力	t <sub>RAE</sub>	$x(1+RWH+CSH)-20$	-	55	-	35.5	-	
$\overline{WR}$ 低レベルパルス幅	t <sub>WW</sub>	$x(1+TW)-20$	-	55	-	35.5	-	
$\overline{WR}$ 立下がり → D[15:0]有効	t <sub>DO</sub>	-	-	-	25	-	25	
D[15:0]有効 → $\overline{WR}$ 立上がり	t <sub>DW</sub>	$x(1+TW)-20$	-	55	-	35.5	-	
$\overline{WR}$ 立上がり → D[15:0]保持	t <sub>WD</sub>	$x(1+RWH)-15$	-	35	-	22	-	

Not Recommended for New Design

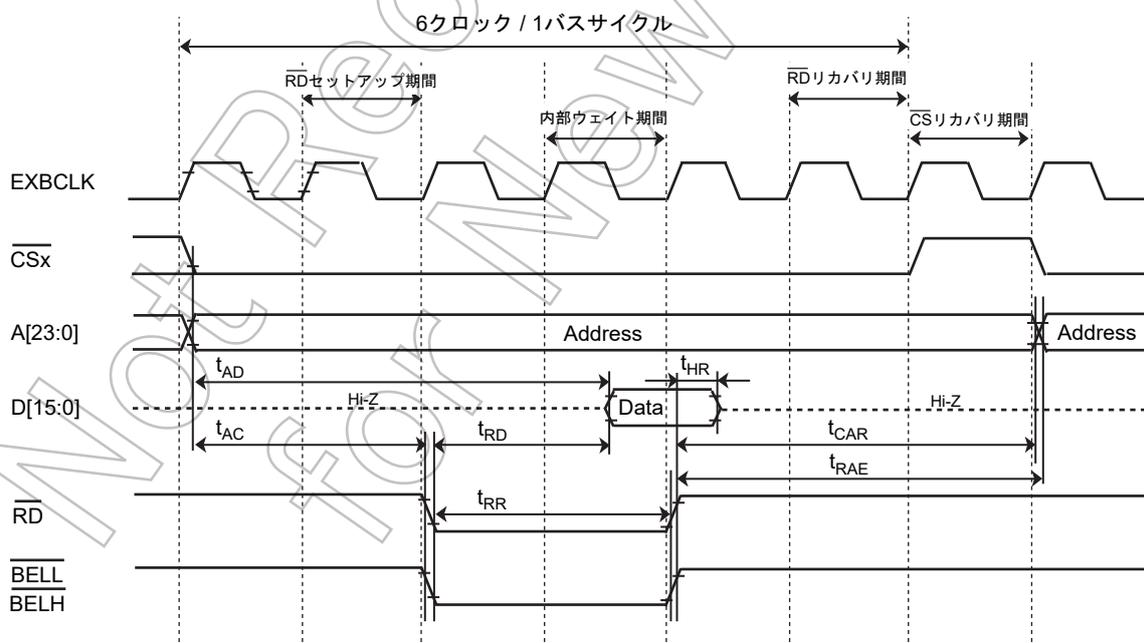
(1) リードサイクル (最短サイクル)

(サイクル拡張無し、RD セットアップ無し、内部ウエイト無し、CS リカバリ無し、RD リカバリ無し)



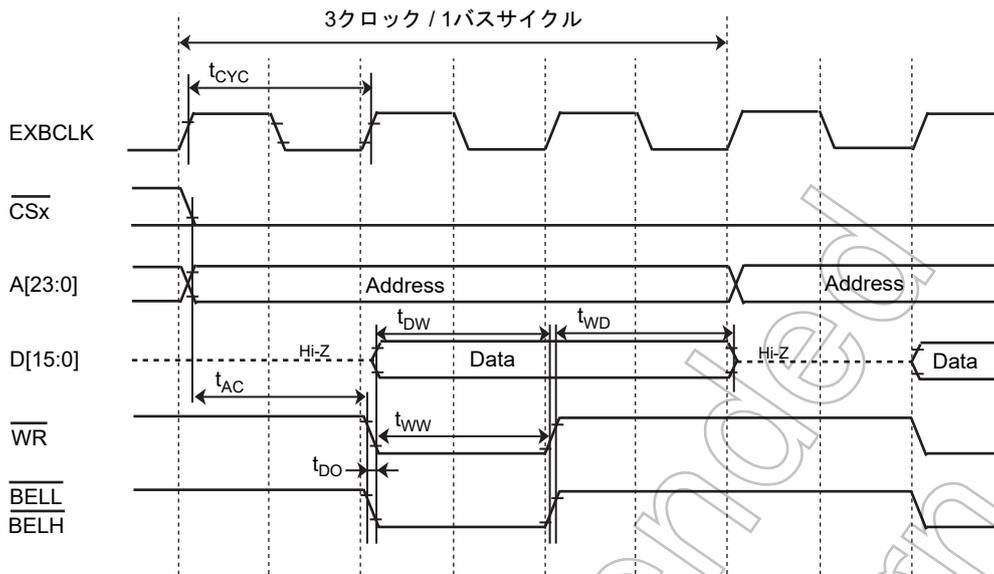
(2) リードサイクル (6 クロック / 1 バスサイクル)

(サイクル拡張無し、RD セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



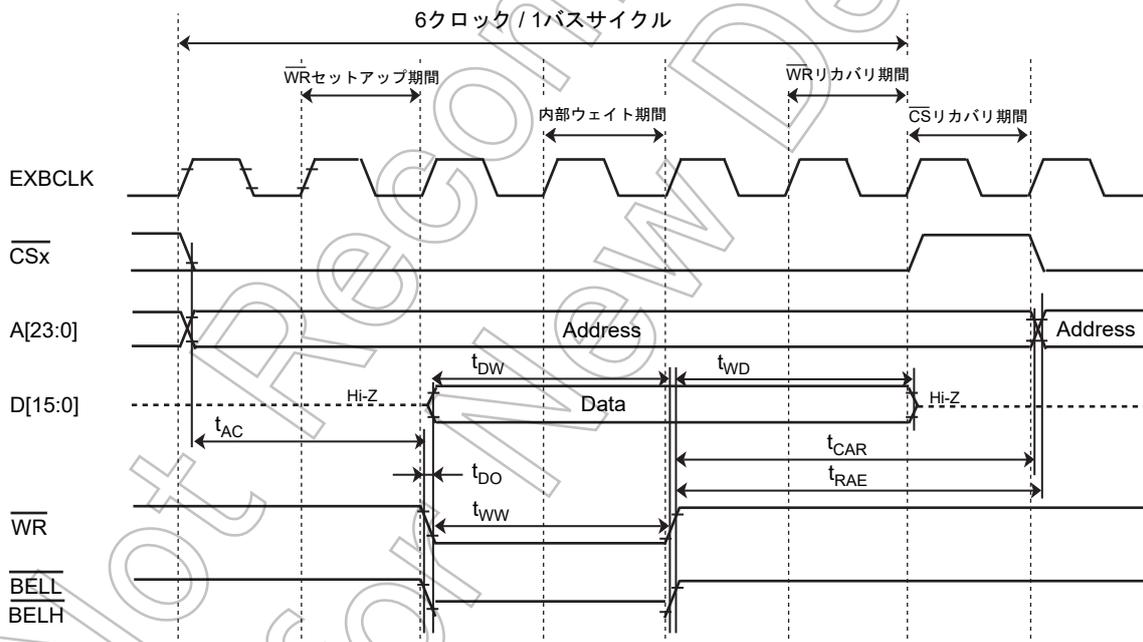
(3) ライトサイクル (最短サイクル)

(サイクル拡張無し、WR セットアップ無し、内部ウエイト無し、CS リカバリ無し、WR リカバリ無し)



(4) ライトサイクル (6 クロック / 1 バスサイクル)

(サイクル拡張無し、WR セットアップ=1 サイクル、内部ウェイト=1 サイクル、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)



## 26.7.12.3 マルチプレクスバスモード

変数条件 : ALE = 1, RWS = 1, TW = 2, RWH = 1, CSH = 1

- ・ ALE : ALE 幅のサイクル数 ( $ALE = 1 + n$ ;  $n = 0, 1, 2, 4$ )
- ・ RWS :  $\overline{RD}$ ,  $\overline{WR}$  における立下りまでのセットアップサイクル挿入 ( $TW = 0, 1, 2, 4$ )
- ・ TW : 内部ウェイトサイクル挿入 ( $TW = 0 \sim 15$ )
- ・ RWH :  $\overline{RD}$ ,  $\overline{WR}$  のリカバリサイクル挿入 ( $RWH = 0 \sim 6, 8$ )
- ・ CSH :  $\overline{CSx}$  のリカバリサイクル挿入 ( $CSH = 0, 1, 2, 4$ )

DVDD3A = DVDD3B = 2.7V ~ 3.6V

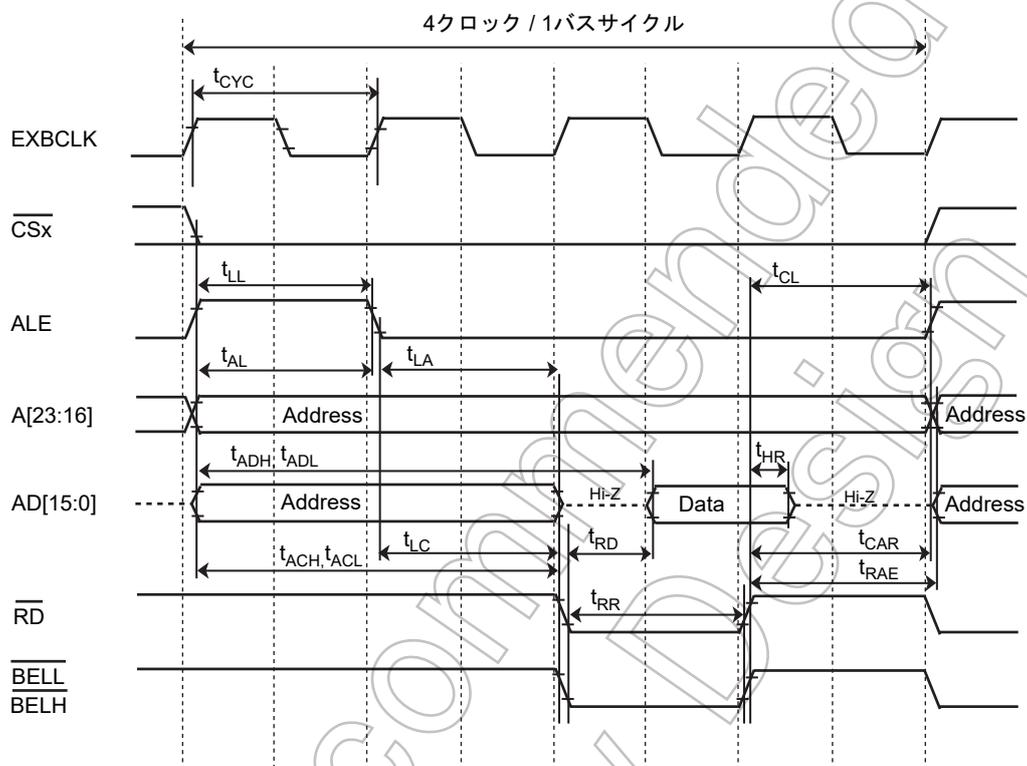
項目	記号	計算式		40MHz		54MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
システムクロック周期 (x)	$t_{SYS}$	x	-	25	-	18.5	-	ns
外部バスクロック (EXBCLK)	$t_{CYC}$	x	-	25	-	18.5	-	
A[23:0]有効 → ALE 立下がり	$t_{AL}$	$x(1+ALE)-15$	-	35	-	22	-	
ALE 立下がり → A[23:0]保持	$t_{LA}$	$x(1+RWS)-7$	-	43	-	30	-	
ALE High パルス幅	$t_{LL}$	$x(1+ALE)-15$	-	35	-	22	-	
ALE 立下がり → $\overline{RD}$ , $\overline{WR}$ 立下がり	$t_{LC}$	$x(1+RWS)-7$	-	43	-	30	-	
$\overline{RD}$ , $\overline{WR}$ 立上がり → ALE 立上がり	$t_{CL}$	$x(1+RWH+CSH)-15$	-	60	-	40.5	-	
A[15:0]有効 → $\overline{RD}$ , $\overline{WR}$ 立下がり	$t_{ACL}$	$x(1+ALE+RWS)-15$	-	60	-	40.5	-	
A[23:16]有効 → $\overline{RD}$ , $\overline{WR}$ 立下がり	$t_{ACH}$							
$\overline{RD}$ , $\overline{WR}$ 立上がり → A[23:16]保持	$t_{CAR}$	$x(1+RWH+CSH)-15$	-	60	-	40.5	-	
A[15:0]有効 → D[15:0]入力	$t_{ADL}$	-	$x(3+ALE+RWS+TW)-35$	-	140	-	94.5	
A[23:16]有効 → D[15:0]入力	$t_{ADH}$							
$\overline{RD}$ 立下がり → D[15:0]入力	$t_{RD}$	-	$x(1+TW)-30$	-	45	-	25.5	
$\overline{RD}$ Low パルス幅	$t_{RR}$	$x(1+TW)-12$	-	63	-	43.5	-	
$\overline{RD}$ 立上がり → D[15:0]保持	$t_{HR}$	$x(1+RWH)-7$	-	43	-	30	-	
$\overline{RD}$ 立上がり → A[23:0]出力	$t_{RAE}$	$x(1+RWH+CSH)-15$	-	60	-	40.5	-	
$\overline{WR}$ Low パルス幅	$t_{WW}$	$x(1+TW)-15$	-	60	-	40.5	-	
D[15:0]有効 → $\overline{WR}$ 立上がり	$t_{DW}$	$x(1+TW)-15$	-	60	-	40.5	-	
$\overline{WR}$ 立上がり → D[15:0]保持	$t_{WD}$	$x(1+RWH)-7$	-	43	-	30	-	

DVDD3A = 3.6V ~ 2.7V, DVDD3B = 3.6V ~ 1.65V

項目	記号	計算式		40MHz		54MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
システムクロック周期 (x)	t <sub>SYS</sub>	x	-	25	-	18.5	-	ns
外部バスクロック (EXBCLK)	t <sub>CYC</sub>	x	-	25	-	18.5	-	
A[23:0]有効 → ALE 立下がり	t <sub>AL</sub>	x (1+ALE)-30	-	20	-	7	-	
ALE 立下がり → A[23:0]保持	t <sub>LA</sub>	x (1+RWS)-15	-	35	-	22	-	
ALE High パルス幅	t <sub>LL</sub>	x (1+ALE)-30	-	20	-	7	-	
ALE 立下がり → $\overline{RD}$ , $\overline{WR}$ 立下がり	t <sub>LC</sub>	x (1+RWS)-15	-	35	-	22	-	
$\overline{RD}$ , $\overline{WR}$ 立上がり → ALE 立上がり	t <sub>CL</sub>	x (1+RWH+CSH)-25	-	50	-	30.5	-	
A[15:0]有効 → $\overline{RD}$ , $\overline{WR}$ 立下がり	t <sub>ACL</sub>	x (1+ALE+RWS)-30	-	45	-	25.5	-	
A[23:16]有効 → $\overline{RD}$ , $\overline{WR}$ 立下がり	t <sub>ACH</sub>							
$\overline{RD}$ , $\overline{WR}$ 立上がり → A[23:16]保持	t <sub>CAR</sub>	x (1+RWH+CSH)-25	-	50	-	30.5	-	
A[15:0]有効 → D[15:0]入力	t <sub>ADL</sub>	-	x (3+ALE+RWS+TW)-45	-	130	-	84.5	
A[23:16]有効 → D[15:0]入力	t <sub>ADH</sub>							
$\overline{RD}$ 立下がり → D[15:0]入力	t <sub>RD</sub>	-	x (1+TW)-40	-	35	-	15.5	
$\overline{RD}$ Low パルス幅	t <sub>RR</sub>	x (1+TW)-20	-	55	-	35.5	-	
$\overline{RD}$ 立上がり → D[15:0]保持	t <sub>HR</sub>	x (1+RWH)-15	-	35	-	22	-	
$\overline{RD}$ 立上がり → A[23:0]出力	t <sub>RAE</sub>	x (1+RWH+CSH)-25	-	50	-	30.5	-	
$\overline{WR}$ Low パルス幅	t <sub>WW</sub>	x (1+TW)-20	-	55	-	35.5	-	
D[15:0]有効 → $\overline{WR}$ 立上がり	t <sub>DW</sub>	x (1+TW)-20	-	55	-	35.5	-	
$\overline{WR}$ 立上がり → D[15:0]保持	t <sub>WD</sub>	x (1+RWH)-15	-	35	-	22	-	

(1) リードサイクル (最短サイクル)

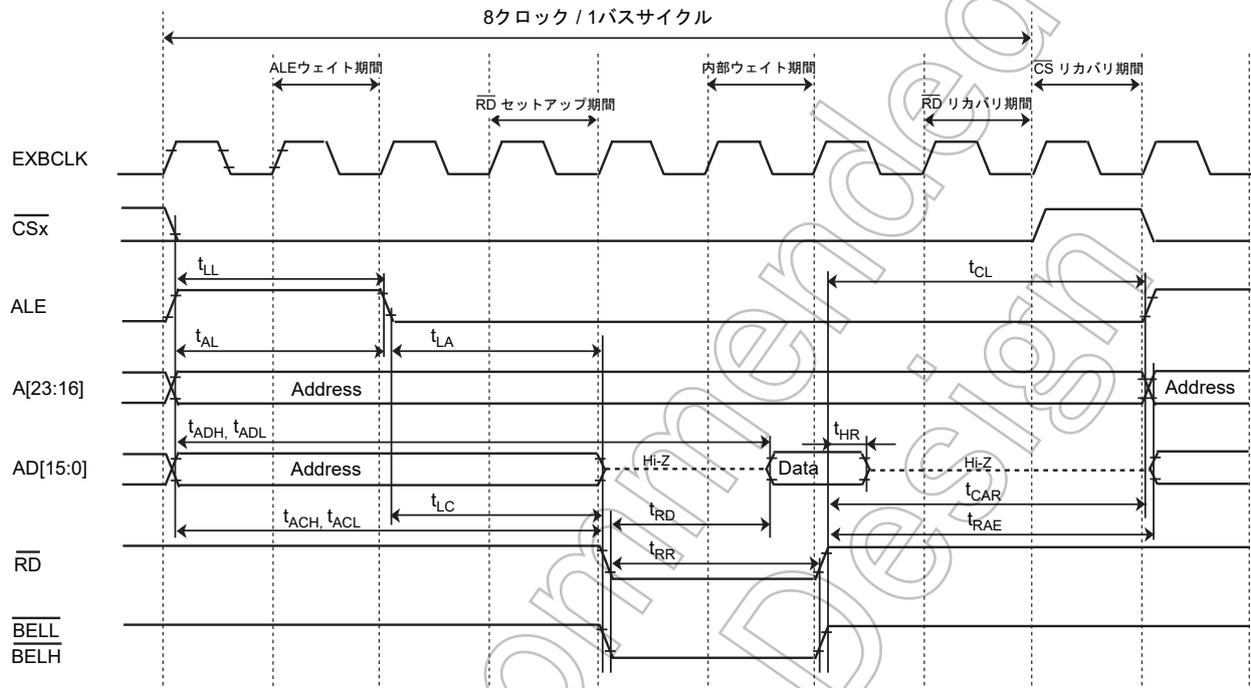
(サイクル拡張無し、ALE ウェイト無し、RD セットアップ無し、内部ウェイト無し、CS リカバリ無し、RD リカバリ無し)



Not Recommended for New

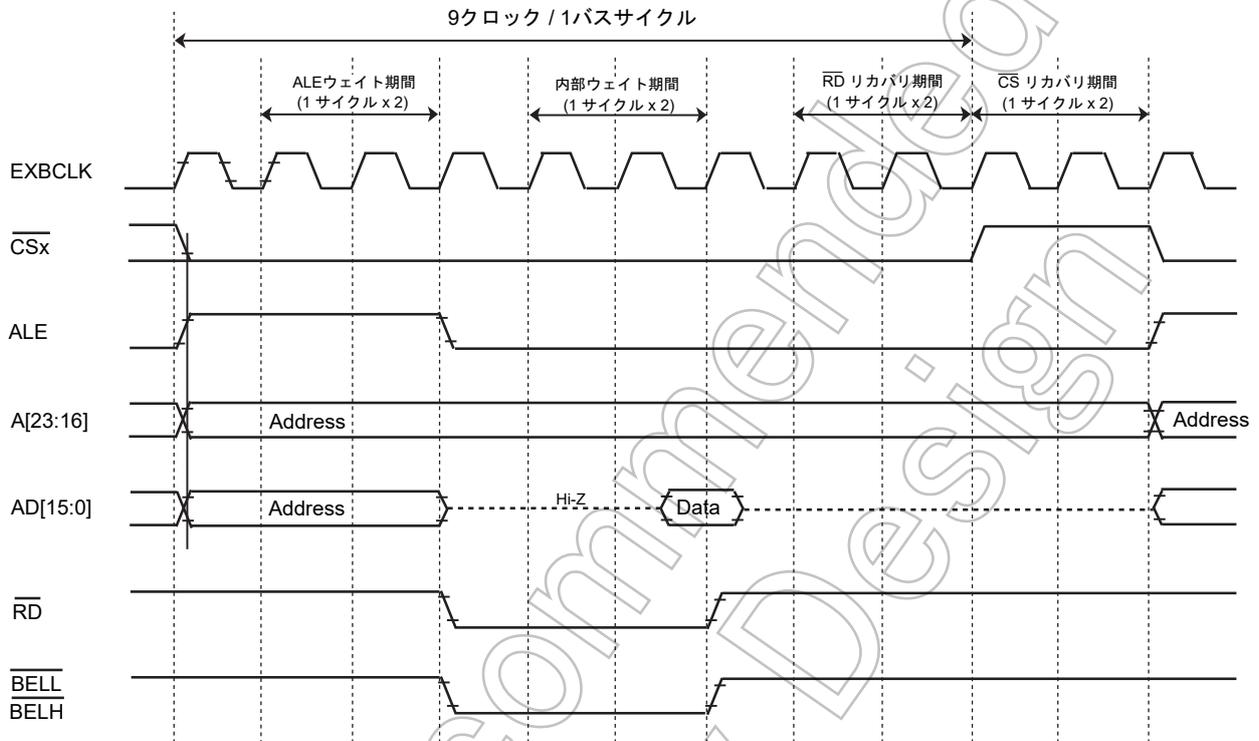
(2) リードサイクル (8 クロック / 1 バスサイクル)

(サイクル拡張無し、ALE ウェイト=1 サイクル、RD セットアップ=1 サイクル、内部ウェイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



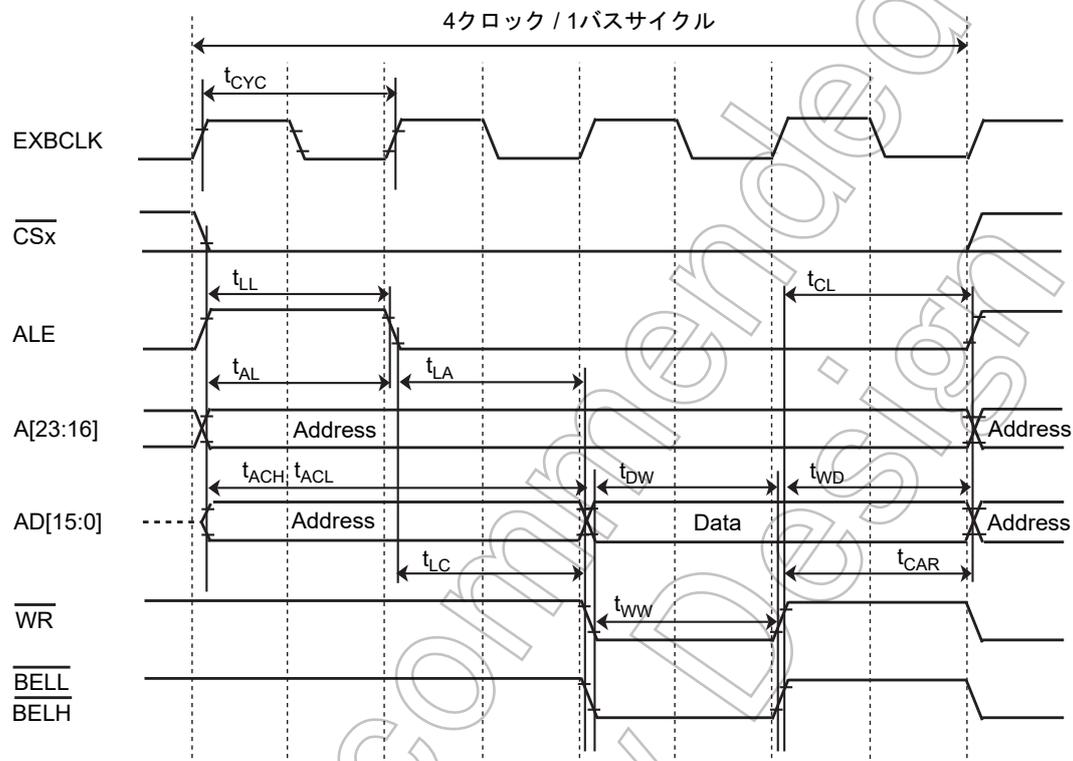
(3) リードサイクル (9クロック/1バスサイクル)

(サイクル拡張=2倍、ALE ウェイト=1 サイクル、RD セットアップ=無し、内部ウェイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



(4) ライトサイクル (最短サイクル)

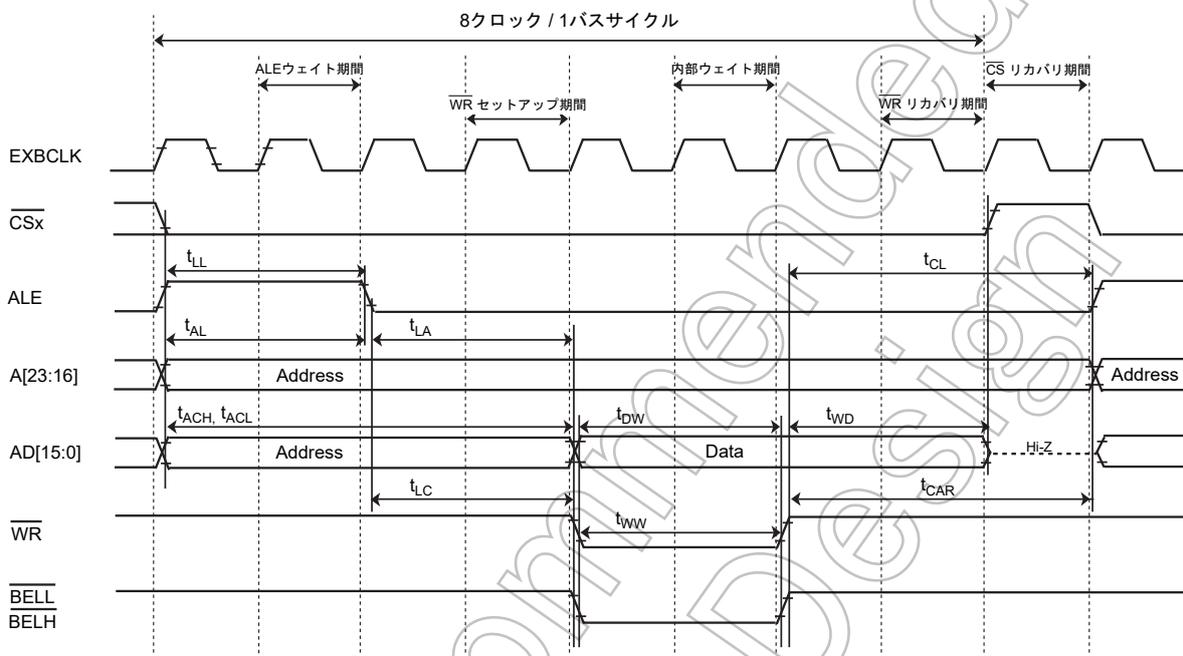
(サイクル拡張無し、WR セットアップ無し、内部ウエイト無し、CS リカバリ無し、WR リカバリ無し)



Not Recommended for New

(5) ライトサイクル (8クロック/1バスサイクル)

(サイクル拡張無し、ALE ウェイト=1 サイクル、WR セットアップ=1 サイクル、内部ウェイト=1 サイクル、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)



Not Recommended for New

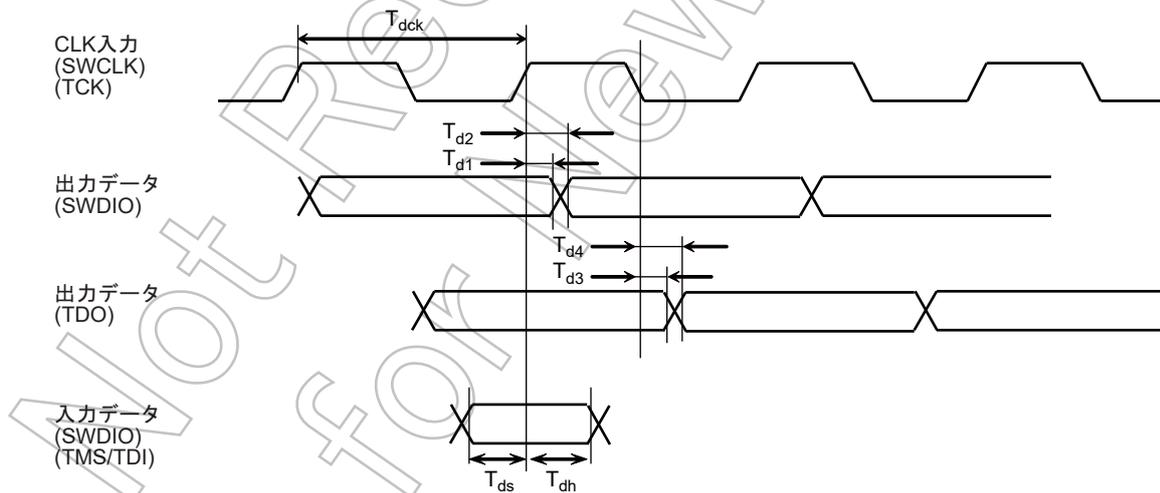
### 26.7.13 デバッグ通信

#### 26.7.13.1 SWD インタフェース

項目	記号	Min.	Max.	単位
CLK 周期	$T_{dck}$	100	-	ns
CLK 立上がり → 出力データ保持	$T_{d1}$	4	-	
CLK 立上がり → 出力データ有効	$T_{d2}$	-	30	
入力データ有効 → CLK 立上がり	$T_{ds}$	20	-	
CLK 立上がり → 入力データ保持	$T_{dh}$	15	-	

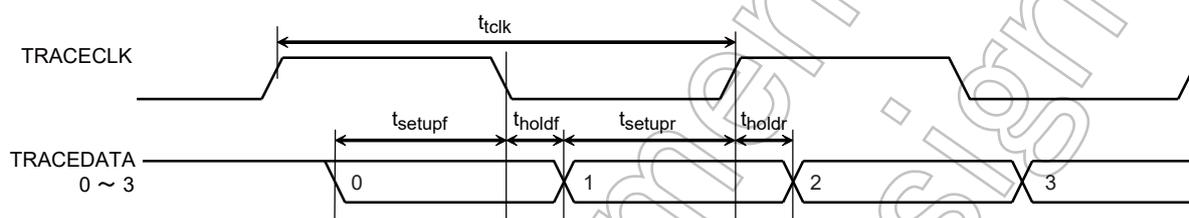
#### 26.7.13.2 JTAG インタフェース

項目	記号	Min.	Max.	単位
CLK 周期	$T_{dck}$	100	-	ns
CLK 立下がり → 出力データ保持	$T_{d3}$	4	-	
CLK 立下がり → 出力データ有効	$T_{d4}$	-	50	
入力データ有効 → CLK 立上がり	$T_{ds}$	20	-	
CLK 立上がり → 入力データ保持	$T_{dh}$	15	-	



## 26.7.14 ETM トレース

項目	記号	Min.	Max.	単位
TRACECLK 周期	$t_{clk}$	37	-	ns
TRACEDATA 有効 ← TRACECLK 立上がり	$t_{setupr}$	2	-	
TRACECLK 立上がり → TRACEDATA 保持	$t_{holdr}$	1	-	
TRACEDATA 有効 ← TRACECLK 立下がり	$t_{setupf}$	2	-	
TRACECLK 立下がり → TRACEDATA 保持	$t_{holdf}$	1	-	



## 26.7.15 内蔵発振回路特性

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数	IHOSC	$T_a = -40 \text{ to } 85^\circ\text{C}$	9	10	11	MHz

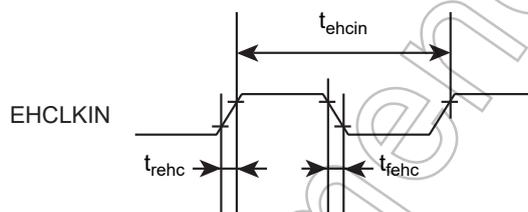
注) 発振周波数精度を要求するシステムクロック( $f_{sys}$ )としては使用しないでください。

## 26.7.16 外部発振子

項目	記号	条件	Min.	Typ.	Max.	単位
高周波発振	EHOSC	$T_a = -40 \text{ to } 85^\circ\text{C}$	8	-	16	MHz

## 26.7.17 外部クロック入力

項目	記号	Min.	Typ.	Max.	単位
クロック周波数	$t_{ehcin}$	8	-	27	MHz
クロック Duty	-	45	-	55	%
クロック立上がり時間	$t_{rehc}$	-	-	10	ns
クロック立下がり時間	$t_{fehcn}$	-	-	10	ns



## 26.7.18 フラッシュ特性

項目	条件	Min.	Typ.	Max.	単位
フラッシュメモリ書き換え保証回数	DVDD3A = AVDD3 = RVDD3 = 2.7 V ~ 3.6 V, DVDD3B = 1.65 V ~ 3.6 V, Ta = 0 ~ 70°C	-	-	200	回

## 26.7.19 ノイズフィルタ特性

項目	記号	Min.	Typ.	Max.	単位
アナログノイズキャンセラ幅	-	15	30	60	ns

## 26.8 発振回路

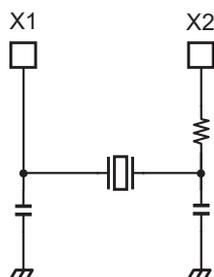


図 26-1 高周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

### 26.8.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

## 26.9 取り扱い上のご注意

### 26.9.1 電源投入時の注意事項

電源投入の際には、内蔵レギュレータの安定のための時間、内蔵フラッシュメモリ及び発振安定の時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間を内部回路が自動的に挿入する為、1ms 以上経過した後にリセットを解除してください。リセット (RESET) 解除後、内部レギュレータの電源応答時間 + 4096 サイクル経過した後 CPU 動作が開始する為、CPU が動作を開始するまでに若干の時間差が発生します。また、本製品には複数の独立した電源が存在しますので、電源投入の手順が必要となります。

4 電源(DVDD3A, DVDD3B, RVDD3, AVDD3)を同電源で使用しない場合、即ち DVDD3B を異電位 (1.65V 系) で使用される場合は、DVDD3A=RVDD3=AVDD3 立ち上がり(動作保証電位までの)時間 ≤ DVDD3B 立ち上がり(動作保証電位までの)時間となるよう電源を立ち上げてください。

また、内蔵レギュレータと発振が安定するための十分な時間、外部リセット端子に"L"を入力する必要があります。

電源投入の手順を図 26-2 に示します。

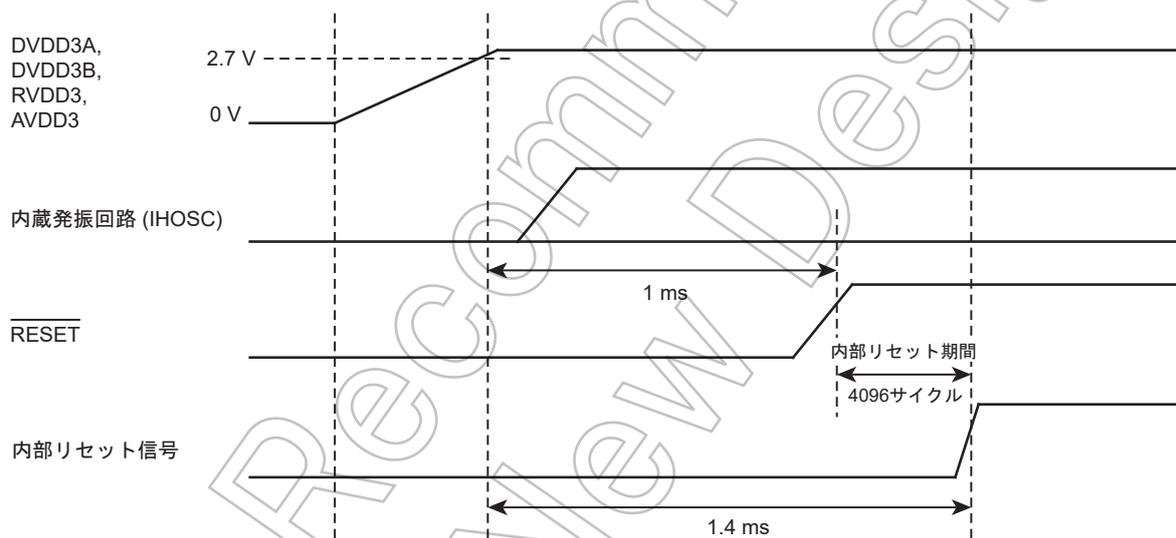


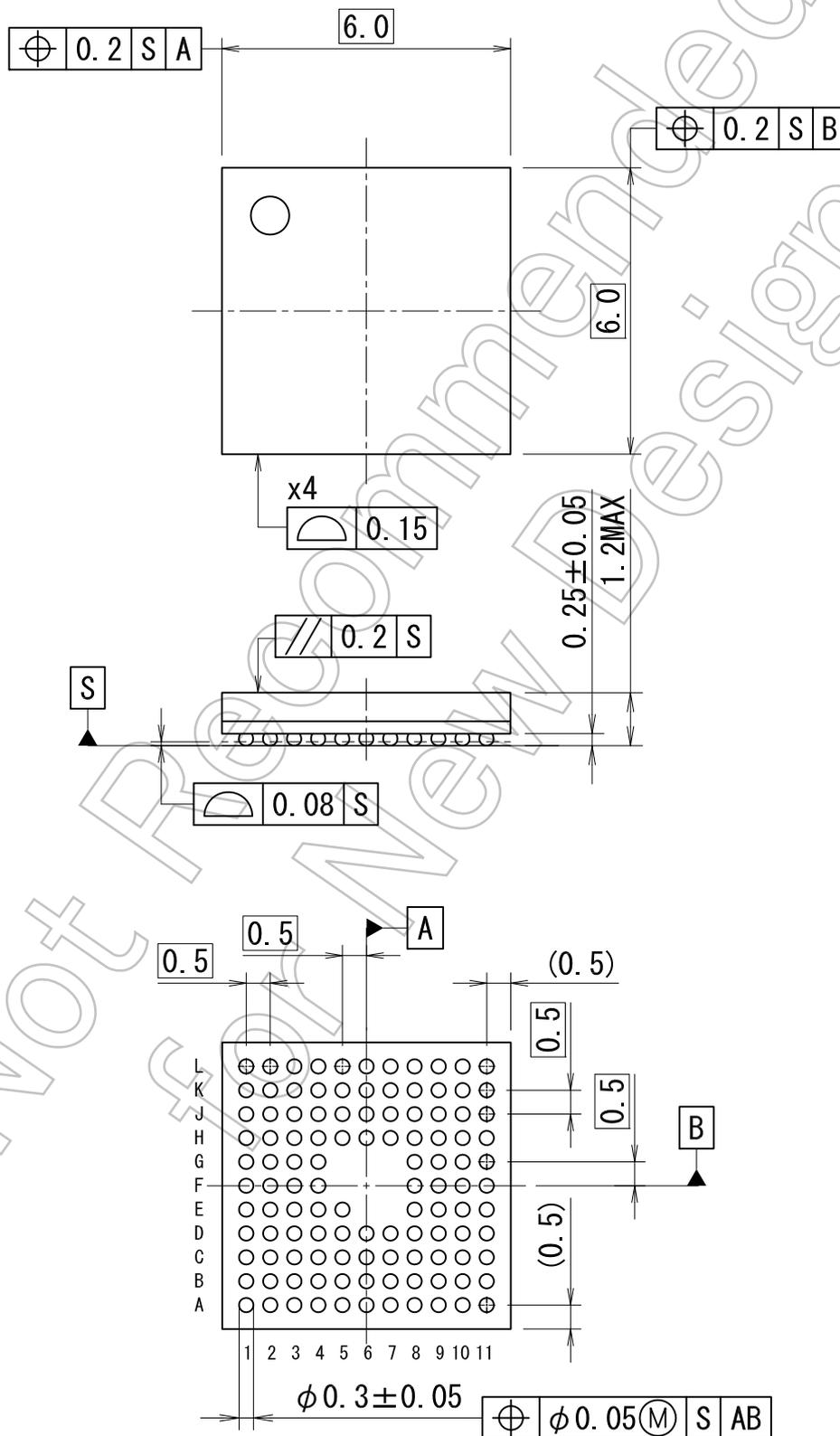
図 26-2 電源投入手順

第 27 章 パッケージ寸法図

パッケージ型名:P-TFBGA113-0606-0.50A4

外形寸法図

Unit: mm



## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。