TOSHIBA

32 ビット RISC マイクロコントローラ
TX04 シリーズ

TMPM440FE/F10XBG

株式会社 東芝

セミコンダクター & ストレージ社

TOSHIBA

お客様各位

2021-9-1

東芝デバイス&ストレージ株式会社
東芝デバイスソリューション株式会社

〒212-8520 神奈川県川崎市幸区堀川町 580-1
Tel: 044-548-2200
Fax: 044-548-8965

非同期シリアル通信機能に関する誤記について

平素より東芝マイクロコントローラーをご使用頂き、誠にありがとうございます。

弊社マイコンに内蔵されております非同期シリアル通信機能(UART、または FUART)、50%デューティーモード付き非同期シリアル通信回路(UART)の送信割り込み発生タイミングで、データシート、リファレンスマニュアルの記載に誤記が発見されました。

大変ご迷惑をおかけ致しますが、本文章をご確認頂きますようお願い申し上げます。

本件のご不明な点につきましては、弊社営業担当までお問い合わせいただきますようお願い申し上げます。

－記－

1. 対象製品

TMPM342FYXBG	TMPM440FEXBG	TMPA900CMXBG
TMPM343F10XBG	TMPM440F10XBG	TMPA901CMXBG
TMPM343FDXBG	TMPM461F10FG	TMPA910CRAXBG
TMPM366F20AFG	TMPM461F15FG	TMPA910CRBXBG
TMPM366FWFG	TMPM462F10FG	TMPA911CRXBG
TMPM366FYFG	TMPM462F15FG	TMPA912CMXBG
TMPM366FDFG	TMPM46BF10FG	TMPA913CHXBG
TMPM366FWXBG	TMPM4G6FDFG	
TMPM366FYXBG	TMPM4G6FEFG	
TMPM366FDXBG	TMPM4G6F10FG	
TMPM367FDFG	TMPM4G7FDFG	
TMPM367FDXBG	TMPM4G7FEFG	
TMPM368FDFG	TMPM4G7F10FG	
TMPM368FDXBG	TMPM4G8FDFG	
TMPM369FDFG	TMPM4G8FDXBG	
TMPM369FDXBG	TMPM4G8FEFG	
TMPM36BF10FG	TMPM4G8FEXBG	
TMPM36BFYFG	TMPM4G8F10FG	
TMPM381FWDFG	TMPM4G8F10XBG	
TMPM381FWFG	TMPM4G8F15FG	
TMPM383FSEFG	TMPM4G8F15XBG	
TMPM383FSUG	TMPM4G9FDFG	
TMPM383FWEFG	TMPM4G9FDXBG	
TMPM383FWUG	TMPM4G9FEFG	
TMPM3V4FSEFG	TMPM4G9FEXBG	
TMPM3V4FSUG	TMPM4G9F10FG	
TMPM3V4FWEFG	TMPM4G9F10XBG	
TMPM3V4FWUG	TMPM4G9F15FG	
TMPM3V6FWDFG	TMPM4G9F15XBG	
TMPM3V6FWFG		

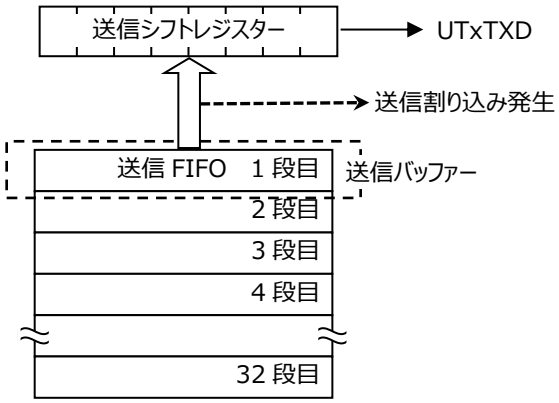
2. 詳細

送信割り込みの発生タイミングは以下となります。

なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

2.1. 送信 FIFO 未使用時

送信バッファー(送信 FIFO 1 段目)から送信シフトレジスターにデータが転送されたときに(送信バッファーに空きができたとき)送信割り込みが発生します。



2.1.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファーへの書き込みタイミングを通知するため、送信バッファーが空になったタイミングで発生します。送信割り込みは送信バッファーに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

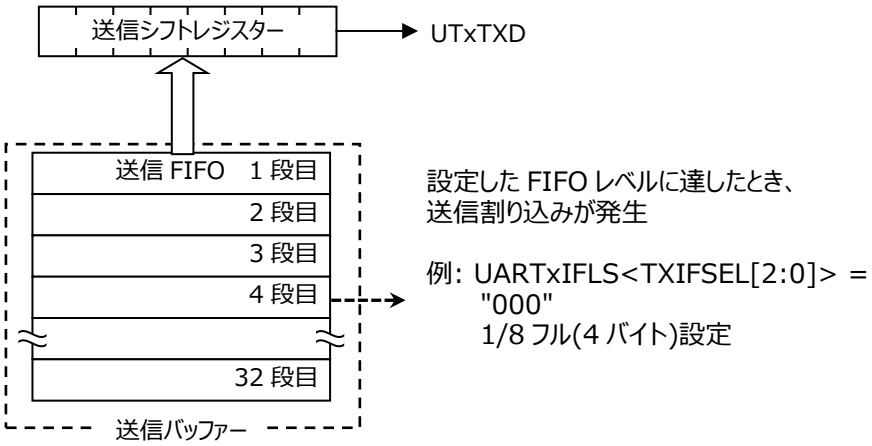
また、送信を終了する場合は、最終送信データがシフトレジスターに転送され、送信バッファーが空になった際に最後の送信割り込みが発生します。送信バッファーに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファーにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファーにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファーにデータを書き込んでください。

連続してデータを送信する場合は、次項の送信 FIFO を利用したデータ転送を推奨致します。

2.2. 送信 FIFO 使用時

送信動作により送信 FIFO の格納段数が UARTxIFLS<TXIFSEL[2:0]>であらかじめ設定した FIFO レベルに達すると送信割り込みが発生します。



2.2.1. 送信割り込み発生タイミング

送信 FIFO 使用時は、設定した FIFO レベルに達したときに送信割り込み発生します。

例えば、UARTxIFLS<TXIFSEL[2:0]> = "000" (1/8 フル 4 バイト設定)の場合、送信 FIFO に格納されたデータが 4 段目に達したときに送信割り込みが発生します。

送信割り込みは設定した FIFO レベルを超えるデータが送信 FIFO に格納されるとクリアされ、設定した FIFO レベルに達すると再度発生します。

3. 誤記内容

製品により送信割り込み発生タイミングの記載内容が異なり、各製品に対する誤記掲載箇所の章番号を以下表に示します。なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

誤記に対する修正、追記内容は、以降の「4. 誤記修正・追記内容」で説明し、全ての対象製品で共通の記載内容となります。

3.1. 記載タイプ A

3.1.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM342FYXBG	16.4.7
TMPM366F20AFG(注)	15.4.7
TMPM366FWFG、TMPM366FYFG、TMPM366FDFG、TMPM366FWXBG、TMPM366FYXBG、TMPM366FDXBG	16.4.7
TMPM367FDFG、TMPM367FDXBG、TMPM368FDFG、TMPM368FDXBG、TMPM369FDFG、TMPM369FDXBG	13.4.7
TMPM36BFYFG、TMPM36BF10FG	13.4.7
TMPA900CMXBG、TMPA901CMXBG、TMPA910CRAXBG、TMPA910CRBXBG、TMPA911CRXBG、TMPA912CMXBG、TMPA913CHXBG	3.13.1.1 (7)

注) 非同期シリアル通信機能(UART)章です。

タイプ A

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

3.2. 記載タイプ B(1)

3.2.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM461F10FG、TMPM461F15FG、TMPM462F10FG、TMPM462F15FG	14.4.6.2

タイプ B(1)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング	
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後	
ブレークエラー割り込み	STOP ビット受信後	
パリティエラー割り込み	パリティデータ受信後	
フレーミングエラー割り込み	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時：	送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時：	STOP ビット送信開始時(MSB データ転送後）に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時：	STOP ビット受信後
	FIFO 使用時：	設定した FIFO がフルとなるでーたの STOP ビット受信後

3.3. 記載タイプ B(2)

3.3.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM343FDXBG、TMPM343F10XBG、TMPM366F20AFG(注)	16.4.6.2
TMPM381FWFG、TMPM381FWDFG、 TMPM383FSUG、TMPM383FSEFG、TMPM383FWUG、TMPM383FWEFG、 TMPM3V4FSUG、TMPM3V4FSEFG、TMPM3V4FWUG、TMPM3V4FWEFG、 TMPM3V6FWFG、TMPM3V6FWDFG	11.4.6.2
TMPM440FEXBG、TMPM440F10XBG	26.4.6.2

注) 50%デューティーモード付き非同期シリアル通信回路(UART)章です。

タイプ B(2)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング	
オーバランエラー発生	FIFO がフルになった時の STOP ビット受信後	
ブレークエラー 割り込み	STOP ビット受信後	
パリティエラー 発生	パリティデータ受信後	
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時:	送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時:	STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時:	STOP ビット受信後
	FIFO 使用時:	設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.4. 記載タイプ B(3)

3.4.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM4G6FDFG、TMPM4G6FEFG、TMPM4G6F10FG、TMPM4G7FDFG、TMPM4G7FEFG、TMPM4G7F10FG、TMPM4G8FDFG、TMPM4G8FDXBG、TMPM4G8FEFG、TMPM4G8FEXBG、TMPM4G8F10FG、TMPM4G8F10XBG、TMPM4G8F15FG、TMPM4G8F15XBG、TMPM4G9FDFG、TMPM4G9FDXBG、TMPM4G9FEFG、TMPM4G9FEXBG、TMPM4G9F10FG、TMPM4G9F10XBG、TMPM4G9F15FG、TMPM4G9F15XB	リファレンスマニュアル(注) 高精度非同期シリアル通信回路(FUART-B) 3.8.2

注) 本文章の UARTxIFLS を ***[FURTxIFLS]***に、UARTxICR を ***[FURTxICR]***に、UARTxFR を ***[FURTxFR]***に読み替えてください。

タイプ B(3)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビ ット送信開始時、2 バイト目以降は、STOP ビット送信開始時(それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.5. 記載タイプ C

3.5.1. 対象製品と対象箇所の章番号

製品名	TD 記載箇所章番号
TMPM46BF10FG	19.4.6.2

タイプ C

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー割り込み	FIFO がフルになった時の STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA の MSB データを送信した後
受信割り込み	STOP ビット受信後

4. 誤記修正・追記内容

製品により送信割り込みの割り込み発生タイミングの記載が異なりますが、共通して正しい記載内容は以下となります。

4.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファーへの書き込みタイミングを通知するため、送信バッファーが空になったタイミングで発生します。送信割り込みは送信バッファーに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

また、送信を終了する場合は、最終送信データがシフトレジスターに転送され、送信バッファーが空になった際に最後の送信割り込みが発生します。送信バッファーに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファーにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファーにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファーにデータを書き込んでください。

以上

© 2014-2025
Toshiba Electronic Devices & Storage Corporation

****
ARM, ARM Powered, AMBA, ADK, ARM9TDMI, TDMI, PrimeCell, RealView, Thumb, Cortex, Coresight, ARM9, ARM926EJ-S, Embedded Trace Macrocell, ETM, AHB, APB, and KEIL はARM LimitedのEUおよびその他の国における登録商標または商標です。
****

ARM

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2014/08/28	1	First Release
2014/09/09	2	Contents Revised
2022/09/30	3	Contents Revised
2023/07/14	4	Contents Revised
2023/07/31	5	Contents Revised
2025/12/12	6	Contents Revised

目　次

はじめに(本仕様書での SFR 表記に関する注意点)

TMPM440FE/F10XBG

1.1 機能概要.....1
1.2 ピン配置図(Top view).....6
1.3 ピン名称と機能.....7
1.3.1 ポート順.....7
1.4 電源の種類と供給端子.....23

第 2 章　製品情報

2.1 各周辺機能の情報.....26
2.1.1 Programmable Servo/Sequence Controller (PSC ver.B).....26
2.1.1.1 PSC 起動要因一覧
2.1.1.2 ダイレクトポート制御機能対応ポート
2.1.2 外部バスインタフェース(EBIF).....27
2.1.2.1 アドレス、データ端子の設定
2.1.3 DMA コントローラ(DMAC).....28
2.1.3.1 内蔵ユニット
2.1.3.2 要因一覧表
2.1.3.3 レジスター一覧
2.1.3.4 使用上の注意
2.1.4 16 ビットタイマ/イベントカウンタ(TMRB).....34
2.1.4.1 内蔵チャネル
2.1.5 高分解能 16 ビットタイマ出力 (TMRD ver.B).....35
2.1.5.1 内蔵ブロック
2.1.5.2 コンペアレジスタの設定範囲
2.1.5.3 レジスター一覧
2.1.6 32 ビットタイマ (TMRC).....37
2.1.6.1 内蔵ユニット
2.1.7 2 相パルス入力カウンタ (PHCNT).....37
2.1.7.1 内蔵チャネル
2.1.8 高機能 2 相パルス入力カウンタ(EPHC).....38
2.1.8.1 PSC がアクセスするレジスタ
2.1.8.2 EPHCx_PSCADAT(EPHCx16 ビットカウンタリードレジスタ)
2.1.8.3 EPHCx_PSCBUC(EPHCx 24 ビットカウンタリードレジスタ)
2.1.8.4 EPHCx_PSCBCAP00(EPHCx キャプチャ 00 レジスタ)
2.1.8.5 EPHCx_PSCBCAP10(EPHCx キャプチャ 10 レジスタ)
2.1.8.6 EPHCx_PSCBCAP20(EPHCx キャプチャ 20 レジスタ)
2.1.8.7 EPHCx_PSCBCAP30(EPHCx キャプチャ 30 レジスタ)
2.1.8.8 EPHCx_PSCB0DAT(EPHCx 周期カウンタ 0 レジスタ)
2.1.8.9 EPHCx_PSCB1DAT(EPHCx 周期カウンタ 1 レジスタ)
2.1.8.10 EPHCx_PSCB2DAT(EPHCx 周期カウンタ 2 レジスタ)
2.1.8.11 EPHCx_PSCB3DAT(EPHCx 周期カウンタ 3 レジスタ)
2.1.8.12 EPHCx_PSCBCDAT(EPHCx 周期カウンタ共通レジスタ)
2.1.8.13 EPHCx_PSCB0PDT(EPHCx 位相差 0 レジスタ)
2.1.8.14 EPHCx_PSCB1PDT(EPHCx 位相差 1 レジスタ)
2.1.8.15 EPHCx_PSCB2PDT(EPHCx 位相差 2 レジスタ)
2.1.8.16 EPHCx_PSCB3PDT(EPHCx 位相差 3 レジスタ)
2.1.9 4 バイト FIFO 付きシリアルチャネル(SIO/UART with 4 bytes FIFO).....47
2.1.9.1 内蔵チャネル
2.1.10 32 バイト FIFO 付きシリアルチャネル(SIO/UART with 32 bytes FIFO).....47
2.1.10.1 内蔵チャネル

2.1.11 拡張シリアル I/O (ESIO)....48
2.1.11.1 内蔵チャネル
2.1.12 非同期シリアル通信回路(UART)....48
2.1.12.1 内蔵チャネル
2.1.12.2 使用できない機能
2.1.13 シリアルバスインタフェース(I2C)....49
2.1.13.1 内蔵チャネル
2.1.14 キーオンウエイクアップ(KWUP)とキーマトリクススキャン(KSCAN)....50
2.1.14.1 内蔵ユニット
2.1.14.2 低消費電力モードからの解除
2.1.15 アナログデジタルコンバータ(ADC)....54
2.1.15.1 使用できない機能
2.1.15.2 内蔵ユニット
2.1.15.3 PSC がアクセスするレジスタ
2.1.15.4 ADx_PSCREGn(変換結果格納レジスタ、n=00～07)
2.1.15.5 ADx_PSCREGSP (最優先 AD 変換結果格納レジスタ)
2.1.16 デジタルアナログコンバータ(DAC)....58
2.1.16.1 内蔵チャネル
2.1.17 デバッグインタフェース....58
2.2 周辺機能間の接続情報....59

第 3 章 プロセッサコア

3.1 コアに関する情報....61
3.2 構成可能なオプション....61
3.3 例外/割り込み....62
3.3.1 割り込み本数....62
3.3.2 割り込み優先度ビット数....62
3.3.3 SysTick....62
3.3.4 SYSRESETREQ....62
3.3.5 LOCKUP....62
3.3.6 補助フォールトステータスレジスタ....62
3.4 イベント....63
3.5 電力管理....63
3.6 排他アクセス....63
3.7 浮動小数点演算装置(FPU)....63

第 4 章 プログラマブルサーボ/シーケンスコントローラ (PSC ver.B)

4.1 概要....65

第 5 章 バスマトリクス(BM)

5.1 概要....67
5.2 内部バス構成....68
5.2.1 バスマトリクス仕様....68
5.2.1.1 シングルチップモード時のバスマトリクス仕様
5.2.1.2 シングルブートモード時のバスマトリクス仕様
5.3 内部接続関係....70
5.3.1 バスマスタ接続表....70
5.3.1.1 CODE 領域 / SRAM 領域アクセス仕様 1(シングルチップモード)
5.3.1.2 CODE 領域 / SRAM 領域アクセス仕様 2(シングルブートモード)
5.3.1.3 Peripheral 領域(Area0_AHB/APB)アクセス仕様
5.3.1.4 Peripheral 領域(Area0_IOBUS)アクセス仕様
5.3.1.5 Peripheral 領域(Area1_AHB/APB)アクセス仕様
5.3.1.6 Peripheral 領域(Area1_IOBUS) / 外部バスエリアアクセス仕様

第 6 章　エンディアン

6.1　Cortex-M4F コアのエンディアン仕様.....77
6.2　TMPM440FE/F10XBG のエンディアン仕様.....78
6.2.1　シングルチップモード.....78
6.2.2　シングルブートモード.....78
6.2.3　その他.....78
6.2.3.1　DMAC からみたエンディアン
6.2.3.2　デバッグツールから見たエンディアン
6.3　設定方法とエンディアン形式.....79
6.3.1　TMPM440FE/F10XBG の動作設定.....79
6.3.2　動作モード.....80
6.3.3　ENDIAN 端子.....80
6.3.4　外部バス領域のエンディアン選択.....81
6.3.5　DMAC のエンディアン選択.....81
6.3.6　PSC のエンディアン.....81
6.4　構成.....82
6.4.1　リトルエンディアンのブロック構成.....82
6.4.2　ビッグエンディアンのブロック構成.....84
6.5　動作説明.....85
6.5.1　ビッグエンディアン形式の違い.....85
6.5.2　制御レジスタアクセス.....86
6.5.3　ビットバンド領域とエイリアス領域の関係.....88
6.5.4　外部バス動作.....89
6.5.4.1　データサイズ 32 ビット
6.5.4.2　データサイズ 16 ビット
6.5.4.3　データサイズ 8 ビット
6.5.5　コンパイル結果のメモリイメージ.....92
6.5.6　シングルブートモードでの動作.....93
6.5.6.1　内蔵メモリへのデータ転送
6.5.6.2　外部メモリへのデータ転送

第 7 章　メモリマップ

7.1　メモリマップ.....97
7.2　周辺機能ベースアドレス一覧.....99
7.3　ビットバンド領域.....103

第 8 章　リセット動作

8.1　コールドリセット時.....106
8.1.1　パワーオンリセット回路によるリセット(RESET 端子を使用しない場合).....106
8.1.2　RESET 端子によるリセット.....107
8.2　ウォームリセット時.....108
8.3　リセット解除後.....108

第 9 章　パワーオンリセット回路(POR)

9.1　構成.....109
9.2　機能.....109
9.2.1　電源投入時の動作.....109
9.2.2　電源切断時の動作.....109
9.2.3　電源切断後の再投入について.....110

第 10 章　クロック/モード制御

10.1　特長.....111
10.2　レジスタ説明.....112
10.2.1　レジスター一覧.....112
10.2.2　CGSYSCR(システムコントロールレジスタ).....113
10.2.3　CGOSCCR(発振コントロールレジスタ).....115
10.2.4　CGSTBYCR(スタンバイコントロールレジスタ).....117
10.2.5　CGPLLSEL(PLL セレクトレジスタ).....118
10.2.6　CGPWMGEAR (タイマクロック設定レジスタ).....120
10.2.7　CGFCLKMSKA (FCLK 供給停止レジスタ).....121
10.2.8　CGFCLKMSKB(FCLK 供給停止レジスタ B).....124
10.2.9　CGFCMSKA (fc 供給停止レジスタ A).....126
10.2.10　CGFCMSKB (fc 供給停止レジスタ B).....129
10.2.11　CGPROTECT(プロテクトレジスタ).....130
10.3　クロック制御.....131
10.3.1　クロックの種類.....131
10.3.2　リセット動作による初期値.....131
10.3.3　クロック系統図.....132
10.3.4　ウォーミングアップ機能.....133
10.3.5　fsys 用クロック逓倍回路(PLL).....135
10.3.5.1　動作開始
10.3.5.2　逓倍数の変更
10.3.5.3　PLL 動作開始手順
10.3.5.4　PLL 逓倍数変更手順
10.3.6　システムクロック.....138
10.3.6.1　システムクロックの設定方法
10.3.7　周辺回路用クロック.....140
10.3.7.1　PSC 用クロック
10.3.7.2　TMRD 用クロック
10.3.7.3　ADC 用クロック
10.3.8　プリスケーラクロック.....146
10.3.9　周辺機能へのクロック供給.....146
10.3.9.1　fsys と φ T0 の関係
10.3.9.2　周辺機能に対するクロック供給停止機能
10.3.10　クロックの端子出力機能.....146
10.4　動作モードとモード遷移.....148
10.4.1　モード状態遷移.....148
10.5　動作モード.....149
10.5.1　NORMAL モード.....149
10.6　低消費電力モード.....150
10.6.1　IDLE モード.....150
10.6.2　STOP1 モード.....150
10.6.3　STOP2 モード.....151
10.6.4　低消費電力モードの選択.....152
10.6.5　各モードにおける動作状態.....153
10.6.6　低消費電力モードの解除.....155
10.6.7　STOP2 モードへの遷移/復帰フロー.....157
10.6.8　ウォーミングアップ.....158
10.6.9　モード遷移によるクロック動作.....159
10.6.9.1　NORMAL → STOP1 → NORMAL 動作モード遷移
10.6.9.2　NORMAL → STOP2 → NORMAL 動作モード遷移
10.6.10　低消費電力モード遷移時の注意事項.....161
10.6.10.1　IDLE、STOP1 モードへ遷移する場合
10.6.10.2　STOP2 モードへ遷移する場合

第 11 章　電源制御

11.1　概要.....163
11.2　電源投入シーケンス.....164

11.2.1 電源投入から外部発振子切り替えシーケンス(パワーオンリセット時)....164
11.2.2 電源投入から外部発振子切り替えシーケンス(外部リセット時)....164
11.3 電源遮断モード(STOP2 モード)....165
11.3.1 特長....165
11.3.2 ブロック図....165
11.3.3 STOP2 モード時の通電ブロック....166
11.3.4 STOP2 モード中の動作について....166

第 12 章 例外

12.1 概要....167
12.1.1 種類....167
12.1.2 処理の流れ....168
12.1.2.1 例外要求と検出
12.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)
12.1.2.3 割り込み処理ルーチンの発行
12.1.2.4 例外からの復帰
12.2 リセット例外....174
12.3 マスク不能割り込み(NMI)....174
12.4 SysTick....175
12.5 割り込み....176
12.5.1 割り込み要求....176
12.5.1.1 経路
12.5.1.2 割り込み要求の発生
12.5.1.3 低消費電力モード解除の設定
12.5.1.4 外部割込み端子を使用する際の注意
12.5.2 要因一覧....179
12.5.3 処理詳細....184
12.5.3.1 処理の流れ
12.5.3.2 準備
12.5.3.3 検出(クロックジェネレータ)
12.5.3.4 検出(CPU)
12.5.3.5 CPU の処理
12.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)
12.6 例外/割り込み関連レジスタ....190
12.6.1 レジスタ一覧....190
12.6.2 NVIC レジスタ....192
12.6.2.1 SysTick 制御およびステータスレジスタ
12.6.2.2 SysTick リロード値レジスタ
12.6.2.3 SysTick 現在値レジスタ
12.6.2.4 SysTick 較正値レジスタ
12.6.2.5 割り込み制御用レジスタ
12.6.2.6 割り込み優先度レジスタ
12.6.2.7 ベクタテーブルオフセットレジスタ
12.6.2.8 アプリケーション割り込みおよびリセット制御レジスタ
12.6.2.9 システムハンドラ優先度レジスタ
12.6.2.10 システムハンドラ制御および状態レジスタ
12.6.3 クロックジェネレータレジスタ....219
12.6.3.1 CG 割り込みモードコントロールレジスタ
12.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)
12.6.3.3 CGRSTFLG(リセットフラグレジスタ)

第 13 章 外部バスインターフェース(EBIF)

13.1 機能概要....229
13.2 レジスタ説明....230
13.2.1 レジスタ一覧....230
13.2.2 EXBMOD (外部バスモードコントロールレジスタ)....231
13.2.3 EXBAS0~1 (外部バス空間エリア/スタートアドレス設定レジスタ)....232
13.2.4 EXBCS0~1 (外部バスチップセレクトコントロールレジスタ)....233
13.3 アドレス、データ端子の設定....234

13.4 データ・フォーマット 235
13.4.1 リトルエンディアンモード 235
13.4.1.1 ワードアクセス
13.4.1.2 ハーフワードアクセス
13.4.1.3 バイトアクセス
13.4.2 ビッグエンディアンモード 237
13.4.2.1 ワードアクセス
13.4.2.2 ハーフワードアクセス
13.4.2.3 バイトアクセス
13.5 外部バスオペレーション（セパレートバスモード） 239
13.5.1 基本バスオペレーション 239
13.5.2 ウェイトタイミング 240
13.5.3 リード/ライトリカバリタイム 242
13.5.4 チップセレクトリカバリタイム 243
13.5.5 リード、ライトセットアップサイクル 244
13.6 外部バスオペレーション（マルチプレクスバスモード） 245
13.6.1 基本バスオペレーション 245
13.6.2 ウェイトタイミング 246
13.6.3 ALE アサート時間 248
13.6.4 リード、ライトリカバリタイム 249
13.6.5 チップセレクトリカバリタイム 250
13.6.6 リード、ライトセットアップサイクル 251
13.7 外部メモリ接続例 252

第 14 章 DMA コントローラ（DMAC）

14.1 概要 255
14.2 DMA 転送タイプ 256
14.3 ブロック図 257
14.4 レジスタ説明 258
14.4.1 レジスター覧 258
14.4.2 DMACxIntStatus (DMAC Interrupt Status Register) 259
14.4.3 DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register) 260
14.4.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register) 261
14.4.5 DMACxIntErrorStatus (DMAC Interrupt Error Status Register) 262
14.4.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register) 263
14.4.7 DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register) 264
14.4.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register) 265
14.4.9 DMACxEnbldChns (DMAC Enabled Channel Register) 266
14.4.10 DMACxSoftBReq (DMAC Software Burst Request Register) 267
14.4.11 DMACxSoftSReq (DMAC Software Single Request Register) 268
14.4.12 DMACxConfiguration (DMAC Configuration Register) 269
14.4.13 DMACxCnSrcAddr (DMAC Channeln Source Address Register) 270
14.4.14 DMACxCnDestAddr (DMAC Channeln Destination Address Register) 271
14.4.15 DMACxCnLLI (DMAC Channelx Linked List Item Register) 272
14.4.16 DMACxCnControl (DMAC Channeln Control Register) 273
14.4.17 DMACxCnConfiguration (DMAC Channeln Configuration Register) 275
14.5 特殊機能 277
14.5.1 Scatter/gather 機能 277
14.5.2 Linked list 動作 278

第 15 章 入出力ポート

15.1 ポート機能 281
15.1.1 機能一覧 281
15.2 レジスタ概略説明 287
15.2.1 PxDATA：ポート x データレジスタ 287
15.2.2 PxCR：ポート x コントロールレジスタ 288
15.2.3 PxFRn：ポート x ファンクションレジスタ n 289

15.2.4 PxOD：ポート x オープンドレインコントロールレジスタ....290
15.2.5 PxPUP：ポート x プルアップコントロールレジスタ....291
15.2.6 PxPDN：ポート x プルダウンコントロールレジスタ....291
15.2.7 PxIE：ポート x 入力コントロールレジスタ....292
15.3 レジスター一覧....293
15.4 ポート機能詳細....295
15.4.1 ポート A (PA0~PA7)....295
15.4.2 ポート B (PB0~PB7)....295
15.4.3 ポート C (PC0~PC7)....296
15.4.4 ポート D (PD0~PD7)....296
15.4.5 ポート E (PE0~PE7)....297
15.4.6 ポート F (PF0~PF7)....297
15.4.7 ポート G (PG0~PG7)....298
15.4.8 ポート H (PH0~PH7)....298
15.4.9 ポート J (PJ0~PJ7)....299
15.4.10 ポート K (PK0~PK7)....299
15.4.11 ポート L (PL0~PL7)....299
15.4.12 ポート M (PM0~PM7)....300
15.4.13 ポート N (PN0~PN7)....300
15.4.14 ポート P (PP0~PP7)....301
15.4.15 ポート R (PR0~PR7)....301
15.4.16 ポート T (PT0~PT7)....302
15.4.17 ポート U (PU0~PU7)....302
15.4.18 ポート V (PV0~PV7)....302
15.4.19 ポート W (PW0~PW7)....303
15.4.20 ポート Y (PY0~PY7)....303
15.4.21 ポート AA (PAA0~PAA7)....304
15.4.22 ポート AB (PAB0~PAB7)....304
15.4.23 ポート AC (PAC0~PAC7)....305
15.4.24 ポート AD (PAD0~PAD7)....305
15.4.25 ポート AE (PAE0~PAE7)....305
15.4.26 ポート AF (PAF0~PAF7)....306
15.4.27 ポート AG (PAG0~PAG7)....306
15.4.28 ポート AH (PAH0~PAH7)....306
15.4.29 ポート AJ (PAJ0~PAJ7)....307
15.5 ポート回路図....308
15.5.1 ポートタイプ一覧....308
15.5.2 タイプ FT1....309
15.5.3 タイプ FT2....310
15.5.4 タイプ FT3....311
15.5.5 タイプ FT4....312
15.5.6 タイプ FT5....313
15.5.7 タイプ FT6....314
15.5.8 タイプ FT7....315
15.5.9 タイプ FT8....316
15.5.10 タイプ FT9....317
15.5.11 タイプ FT10....318
15.5.12 タイプ FT11....319
15.5.13 タイプ FT12....320
15.5.14 タイプ FT13....321
15.5.15 タイプ FT14....322
15.5.16 タイプ FT15....323
15.6 付録 (ポート設定一覧)....324
15.6.1 入出力ポートの設定....324
15.6.2 入力専用ポートの設定....324
15.6.3 出力専用ポートの設定....324
15.6.4 周辺機能の入出力端子として使用する場合の設定....325
15.6.4.1 ポート A 設定
15.6.4.2 ポート B 設定
15.6.4.3 ポート C 設定
15.6.4.4 ポート D 設定
15.6.4.5 ポート E 設定
15.6.4.6 ポート F 設定
15.6.4.7 ポート G 設定
15.6.4.8 ポート H 設定
15.6.4.9 ポート J 設定

15.6.4.10 ポート K 設定
15.6.4.11 ポート L 設定
15.6.4.12 ポート M 設定
15.6.4.13 ポート N 設定
15.6.4.14 ポート P 設定
15.6.4.15 ポート R 設定
15.6.4.16 ポート T 設定
15.6.4.17 ポート U 設定
15.6.4.18 ポート V 設定
15.6.4.19 ポート W 設定
15.6.4.20 ポート Y 設定
15.6.4.21 ポート AA 設定
15.6.4.22 ポート AB 設定
15.6.4.23 ポート AC 設定
15.6.4.24 ポート AD 設定
15.6.4.25 ポート AE 設定
15.6.4.26 ポート AF 設定
15.6.4.27 ポート AG 設定
15.6.4.28 ポート AH 設定
15.6.4.29 ポート AJ 設定

第 16 章 16 ビットタイマ/イベントカウンタ(TMRB)

16.1 概要.....339
16.2 構成.....340
16.3 レジスタ説明.....341
16.3.1 レジスター覧.....341
16.3.2 TBxEN(イネーブルレジスタ).....342
16.3.3 TBxRUN(RUN レジスタ).....343
16.3.4 TBxCR(コントロールレジスタ).....344
16.3.5 TBxMOD(モードレジスタ).....345
16.3.6 TBxFFCR(フリップフロップコントロールレジスタ).....346
16.3.7 TBxST(ステータスレジスタ).....347
16.3.8 TBxIM(割り込みマスクレジスタ).....348
16.3.9 TBxUC(アップカウンタキャプチャレジスタ).....349
16.3.10 TBxRG0(タイマレジスタ 0).....350
16.3.11 TBxRG1(タイマレジスタ 1).....350
16.3.12 TBxCP0(キャプチャレジスタ 0).....351
16.3.13 TBxCP1(キャプチャレジスタ 1).....351
16.3.14 TBxDMA(DMA 要求許可レジスタ).....352
16.4 動作説明.....353
16.4.1 プリスケーラ.....353
16.4.2 アップカウンタ(UC).....353
16.4.2.1 ソースクロック
16.4.2.2 動作開始と停止
16.4.2.3 カウンタのクリア
16.4.2.4 オーバフロー
16.4.3 タイマレジスタ(TBxRG0, TBxRG1).....354
16.4.4 キャプチャ制御.....354
16.4.5 キャプチャレジスタ(TBxCP0, TBxCP1).....355
16.4.6 アップカウンタキャプチャレジスタ(TBxUC).....355
16.4.7 コンパレータ(CP0, CP1).....355
16.4.8 タイマフリップフロップ(TBxFF0).....355
16.4.9 キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1).....355
16.4.10 DMA 要求.....355
16.4.11 PSC の起動.....355
16.5 モード別動作説明.....356
16.5.1 16 ビットインタバルタイマモード.....356
16.5.2 16 ビットイベントカウンタモード.....356
16.5.3 16 ビット PPG (プログラマブル矩形波)出力モード.....357
16.5.4 外部トリガ PPG(プログラマブル矩形波)出力モード.....359
16.6 キャプチャ機能を利用した応用例.....361
16.6.1 外部トリガパルスからのワンショットパルス出力.....361
16.6.2 周波数測定.....364
16.6.3 パルス幅測定.....366

16.6.4 時間差測定....367

第 17 章 高分解能 16 ビットタイマ (TMRD ver.B)

17.1 概要....369
17.2 ブロック図....370
17.2.1 プリスケーラクロック....371
17.2.2 タイマユニット(TMRD0,TMRD1)....372
17.3 レジスタ説明....375
17.3.1 レジスター覧....375
17.3.2 CGPWMGEAR (タイマクロック設定レジスタ)....376
17.3.3 TDEN (タイマイネーブルレジスタ)....377
17.3.4 TDCONF (タイマコンフィグレジスタ)....378
17.3.5 TD0MOD(タイマモードレジスタ)....379
17.3.6 TD1MOD (タイマモードレジスタ)....380
17.3.7 TD0CR (タイマコントロールレジスタ)....381
17.3.8 TD1CR (タイマコントロールレジスタ)....383
17.3.9 TDnRUN (TMRDn タイマ RUN レジスタ)....385
17.3.10 TDBCR (更新フラグ設定レジスタ)....386
17.3.11 TDnDMA (DMA 要求許可レジスタ)....387
17.3.12 TDnRG0 (タイマレジスタ 0)....388
17.3.13 TDnCP0 (タイマコンペアレジスタ 0)....389
17.3.14 TDnRG1 (タイマレジスタ 1)....390
17.3.15 TDnCP1 (タイマコンペアレジスタ 1)....390
17.3.16 TDnRG2 (タイマレジスタ 2)....391
17.3.17 TDnCP2 (タイマコンペアレジスタ 2)....392
17.3.18 TDnRG3 (タイマレジスタ 3)....393
17.3.19 TDnCP3 (タイマコンペアレジスタ 3)....393
17.3.20 TDnRG4 (タイマレジスタ 4)....394
17.3.21 TDnCP4 (タイマコンペアレジスタ 4)....395
17.3.22 TD0RG5 (タイマレジスタ 5)....396
17.3.23 TD0CP5 (タイマコンペアレジスタ 5)....396
17.4 各動作モードの説明....397
17.4.1 各動作モードと割り込み....397
17.4.2 16 ビットインタバルタイマ....398
17.4.2.1 タイマモード
17.4.2.2 連動タイマ(同期スタート)モード
17.4.2.3 タイマ/連動タイマモードにおける各コンパレータの更新
17.4.2.4 タイマモード時のレジスタ設定手順
17.4.2.5 コンペアレジスタの設定範囲
17.4.3 16 ビットプログラマブル矩形波出力....403
17.4.3.1 PPG モード
17.4.3.2 連動 PPG モード
17.4.3.3 コンペアレジスタの設定範囲

第 18 章 32 ビットタイマ(TMRC)

18.1 概要....431
18.2 構成....432
18.3 レジスタ説明....433
18.3.1 レジスター覧....433
18.3.2 TCxEN(イネーブルレジスタ)....434
18.3.3 TCxTBTRUN(RUN レジスタ)....435
18.3.4 TCxTBTCR(コントロールレジスタ)....436
18.3.5 TCxTBTCP(TBT キャプチャレジスタ)....437
18.3.6 TCxTBTRDCP(TBT リードキャプチャレジスタ)....437
18.3.7 TCxCMPCTL0~7(コンペアコントロールレジスタ 0~7)....438
18.3.8 TCxCMP0~7(コンペアレジスタ 0~7)....439
18.3.9 TCxCAPCR0~3(キャプチャコントロールレジスタ 0~3)....440
18.3.10 TCxCAP0~3(キャプチャレジスタ 0~3)....441

18.4 動作説明.....442
18.4.1 プリスケーラ.....442
18.4.2 ノイズ除去回路.....442
18.4.3 アップカウンタ(TBT).....442
18.4.3.1 ソースクロック
18.4.3.2 動作開始と停止
18.4.3.3 カウンタのクリア
18.4.3.4 オーバフロー
18.4.3.5 キャプチャ(TCxTBTCP,TCxTBTRDCP)
18.4.4 32 ビットキャプチャレジスタ.....443
18.4.4.1 エッジ検出回路
18.4.4.2 キャプチャ制御
18.4.4.3 32 ビットキャプチャレジスタ(TCxCAP0~3)
18.4.5 32 ビットコンペアレジスタ.....443
18.4.5.1 コンパレータ(CP0~7)
18.4.5.2 コンペアレジスタ(TCxCMP0~7)
18.4.5.3 タイマフリップフロップ(TCxFF0)
18.4.6 DMA 要求.....444

第 19 章 2 相パルス入力カウンタ (PHCNT)

19.1 概要.....445
19.2 構成.....446
19.3 レジスタ説明.....447
19.3.1 レジスター一覧.....447
19.3.2 PHCxRUN(カウンタ RUN レジスタ).....448
19.3.3 PHCxCR(カウンタコントロールレジスタ).....449
19.3.4 PHCxEN(カウンタイネーブルレジスタ).....450
19.3.5 PHCxFLG(カウンタステータスレジスタ).....451
19.3.6 PHCxCMP0(カウンタコンペアレジスタ 0).....452
19.3.7 PHCxCMP1(カウンタコンペアレジスタ 1).....452
19.3.8 PHCxCNT(カウンタリードレジスタ).....453
19.3.9 PHCxDMA(DMA 要求許可レジスタ).....454
19.4 回路の動作説明.....455
19.4.1 カウント動作.....455
19.4.2 割り込み.....458
19.4.3 アップダウンカウンタ(PHCxCNT).....459

第 20 章 高機能 2 相パルス入力カウンタ (EPHC Ver.B)

20.1 概要.....461
20.1.1 2 相パルス入力カウンタ.....461
20.1.2 周期位相測定.....461
20.2 構成.....462
20.3 レジスタ説明.....464
20.3.1 レジスター一覧.....464
20.3.1.1 EPHCxEN(EPHCx イネーブルレジスタ)
20.3.1.2 EPHCxCNT(EPHCx コントロールレジスタ)
20.3.1.3 EPHCxIE(EPHCx 割り込み許可レジスタ)
20.3.1.4 EPHCxFLG(EPHCx ステータスレジスタ)
20.3.1.5 EPHCxARUN(EPHCx16 ビットカウンタ RUN レジスタ)
20.3.1.6 EPHCxACP0(EPHCx パルスカウンタコンペアレジスタ 0)
20.3.1.7 EPHCxACP1(EPHCx パルスカウンタコンペアレジスタ 1)
20.3.1.8 EPHCxADAT(EPHCx16 ビットカウンタリードレジスタ)
20.3.1.9 EPHCxBRUN(EPHCx24 ビットカウンタ RUN レジスタ)
20.3.1.10 EPHCxBDMA(EPHCx DMA 要求許可レジスタ)
20.3.1.11 EPHCxBUC(EPHCx 24 ビットカウンタリードレジスタ)
20.3.1.12 EPHCxBCAP00(EPHCx キャプチャ 00 レジスタ)
20.3.1.13 EPHCxBCAP10(EPHCx キャプチャ 10 レジスタ)
20.3.1.14 EPHCxBCAP20(EPHCx キャプチャ 20 レジスタ)
20.3.1.15 EPHCxBCAP30(EPHCx キャプチャ 30 レジスタ)
20.3.1.16 EPHCxB0DAT(EPHCx 周期カウンタ 0 レジスタ)

20.3.1.17 EPHCxB1DAT(EPHCx 周期カウンタ 1 レジスタ)
20.3.1.18 EPHCxB2DAT(EPHCx 周期カウンタ 2 レジスタ)
20.3.1.19 EPHCxB3DAT(EPHCx 周期カウンタ 3 レジスタ)
20.3.1.20 EPHCxBCDAT(EPHCx 周期カウンタ共通レジスタ)
20.3.1.21 EPHCxB0PDT(EPHCx 位相差 0 レジスタ)
20.3.1.22 EPHCxB1PDT(EPHCx 位相差 1 レジスタ)
20.3.1.23 EPHCxB2PDT(EPHCx 位相差 2 レジスタ)
20.3.1.24 EPHCxB3PDT(EPHCx 位相差 3 レジスタ)
20.4 回路の動作説明....484
20.4.1 2 相パルス入力カウント....484
20.4.1.1 16 ビットアップダウンカウンタ
20.4.1.2 アップダウンカウンタのインクリメント、デクリメント
20.4.1.3 割り込み
20.4.2 周期位相差測定....491
20.4.2.1 24 ビットフリーランカウンタ
20.4.2.2 キャプチャレジスタ
20.4.2.3 周期測定
20.4.2.4 位相差測定
20.4.2.5 割り込み
20.4.2.6 システムクロックと入力パルスについて
20.4.3 DMA 要求....496

第 21 章 リアルタイムクロック(RTC)

21.1 概要....497
21.2 構成....497
21.3 レジスタ説明....498
21.3.1 レジスター覧....498
21.3.1.1 リセットによるレジスタの初期化
21.3.1.2 RTCSECR(秒桁レジスタ) (PAGE0)
21.3.1.3 RTCMINR(分桁レジスタ) (PAGE0/1)
21.3.1.4 RTCHOURR(時間桁レジスタ) (PAGE0/1)
21.3.1.5 RTCDAYR(曜日桁レジスタ) (PAGE0/1)
21.3.1.6 RTCDATER(日桁レジスタ) (PAGE0/1)
21.3.1.7 RTCMONTHR (月桁レジスタ、24 時間時計/12 時間時計の選択レジスタ)
21.3.1.8 RTCYEARR(年桁レジスタ、うるう年レジスタ)
21.3.1.9 RTCPAGER(PAGE レジスタ)
21.3.1.10 RTCRESTR(リセットレジスタ)
21.4 動作説明....510
21.4.1 時計機能....510
21.4.1.1 時計レジスタの読み出し
21.4.1.2 時計レジスタへの書き込み
21.4.2 アラーム機能....512
21.4.2.1 アラームレジスタと時計レジスタの一致時、ALARM 端子からパルスを出力
21.4.2.2 ALARM 端子から、1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz 周期でパルスを出力する場合
21.4.2.3 割り込み(INTRTC)設定
21.5 低消費電力モードへ遷移する場合の注意....513

第 22 章 ウォッチドッグタイマ(WDT)

22.1 構成....515
22.2 レジスタ....516
22.2.1 レジスター覧....516
22.2.1.1 WDMOD(ウォッチドッグタイマモードレジスタ)
22.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)
22.3 動作説明....518
22.3.1 基本動作....518
22.3.2 動作モードと動作状態....518
22.3.3 暴走検出時の動作....518
22.3.3.1 INTWDT 割り込み発生の場合
22.3.3.2 内部リセット発生の場合
22.4 ウォッチドックタイマの制御....519
22.4.1 ディセーブル制御....519

22.4.2 イネーブル制御 519
22.4.3 ウォッチドッグタイマのクリア制御 519
22.4.4 ウォッチドッグタイマ検出時間の設定 519

第 23 章 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

23.1 概要 521
23.2 構成 522
23.3 レジスタ説明 523
23.3.1 レジスター覧 523
23.3.2 SCxEN (イネーブルレジスタ) 524
23.3.3 SCxBUF (バッファレジスタ) 525
23.3.4 SCxCR (コントロールレジスタ) 526
23.3.5 SCxMOD0 (モードコントロールレジスタ 0) 528
23.3.6 SCxMOD1 (モードコントロールレジスタ 1) 529
23.3.7 SCxMOD2 (モードコントロールレジスタ 2) 530
23.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ) 532
23.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2) 533
23.3.10 SCxFCNF (FIFO コンフィグレジスタ) 534
23.3.11 SCxRFC (受信 FIFO コンフィグレジスタ) 536
23.3.12 SCxTFC (送信 FIFO コンフィグレジスタ) 537
23.3.13 SCxRST (受信 FIFO ステータスレジスタ) 538
23.3.14 SCxTST (送信 FIFO ステータスレジスタ) 539
23.3.15 SCxDMA (DMA 要求許可レジスタ) 540
23.4 動作モード 541
23.5 データフォーマット 542
23.5.1 データフォーマット一覧 542
23.5.2 パリティ制御 543
23.5.2.1 送信
23.5.2.2 受信
23.5.3 STOP ビット長 543
23.6 クロック制御 544
23.6.1 プリスケーラ 544
23.6.2 シリアルクロック生成回路 544
23.6.2.1 ボーレートジェネレータ
23.6.2.2 クロック選択回路
23.6.3 送信/受信バッファと FIFO 548
23.6.3.1 構成
23.6.3.2 送信/受信バッファ
23.6.3.3 送信バッファの初期化
23.6.3.4 FIFO
23.7 ステータスフラグ 550
23.8 エラーフラグ 550
23.8.1 OERR フラグ 550
23.8.2 PERR フラグ 550
23.8.3 FERR フラグ 551
23.9 受信 552
23.9.1 受信カウンタ 552
23.9.2 受信制御部 552
23.9.2.1 I/O インタフェースモードの場合
23.9.2.2 UART モードの場合
23.9.3 受信動作 552
23.9.3.1 受信バッファの動作
23.9.3.2 受信 FIFO の動作
23.9.3.3 I/O インタフェースモード、クロック出力モードでの受信
23.9.3.4 受信データの読み出し
23.9.3.5 ウエイクアップ機能
23.9.3.6 オーバランエラー
23.10 送信 557
23.10.1 送信カウンタ 557
23.10.2 送信制御部 557
23.10.2.1 I/O インタフェースモードの場合
23.10.2.2 UART モードの場合

23.10.3 送信動作....557
23.10.3.1 送信バッファの動作
23.10.3.2 送信 FIFO の動作
23.10.3.3 I/O インタフェースモード、クロック出力モードでの送信
23.10.3.4 I/O インターフェースモード時の最終ビット出力後の TXDx 端子の状態
23.10.3.5 アンダーランエラー
23.10.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間
23.11 ハンドシェイク機能....562
23.12 割り込み/エラー発生タイミング....563
23.12.1 受信割り込み....563
23.12.1.1 シングルバッファ/ダブルバッファ構成の場合
23.12.1.2 FIFO 使用の場合
23.12.2 送信割り込み....564
23.12.2.1 シングルバッファ/ダブルバッファ構成の場合
23.12.2.2 FIFO 使用の場合
23.12.3 エラー発生....565
23.12.3.1 UART モード
23.12.3.2 I/O インタフェースモード
23.13 DMA 要求....566
23.13.1 シングルバッファ/ダブルバッファ構成の場合....566
23.13.2 FIFO を許可しているとき....566
23.14 ソフトウエアリセット....567
23.15 モード別動作説明....568
23.15.1 モード 0 (I/O インタフェースモード)....568
23.15.1.1 送信
23.15.1.2 受信
23.15.1.3 送受信(全二重)
23.15.2 モード 1 (7 ビット UART モード)....579
23.15.3 モード 2 (8 ビット UART モード)....579
23.15.4 モード 3 (9 ビット UART モード)....580
23.15.4.1 ウェイクアップ機能
23.15.4.2 プロトコル

第 24 章 32 バイト FIFO 付きシリアルチャネル(SIO/UART)

24.1 概要....583
24.2 構成....584
24.3 レジスタ説明....585
24.3.1 レジスター覧....585
24.3.2 SCxEN (イネーブルレジスタ)....586
24.3.3 SCxBUF (バッファレジスタ)....587
24.3.4 SCxCR (コントロールレジスタ)....588
24.3.5 SCxMOD0 (モードコントロールレジスタ 0)....590
24.3.6 SCxMOD1 (モードコントロールレジスタ 1)....591
24.3.7 SCxMOD2 (モードコントロールレジスタ 2)....592
24.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)....594
24.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)....595
24.3.10 SCxFCNF (FIFO コンフィグレジスタ)....596
24.3.11 SCxRFC (受信 FIFO コンフィグレジスタ)....598
24.3.12 SCxTFC (送信 FIFO コンフィグレジスタ) 599
24.3.13 SCxRST (受信 FIFO ステータスレジスタ)....600
24.3.14 SCxTST (送信 FIFO ステータスレジスタ)....601
24.3.15 SCxDMA (DMA 要求許可レジスタ)....602
24.4 動作モード....603
24.5 データフォーマット....604
24.5.1 データフォーマット一覧....604
24.5.2 パリティ制御....605
24.5.2.1 送信
24.5.2.2 受信
24.5.3 STOP ビット長....605
24.6 クロック制御....606
24.6.1 プリスケーラ....606

24.6.2 シリアルクロック生成回路....606
24.6.2.1 ボーレートジェネレータ
24.6.2.2 クロック選択回路
24.6.3 送信/受信バッファと FIFO....610
24.6.3.1 構成
24.6.3.2 送信/受信バッファ
24.6.3.3 送信バッファの初期化
24.6.3.4 FIFO
24.7 ステータスフラグ....612
24.8 エラーフラグ....612
24.8.1 OERR フラグ....612
24.8.2 PERR フラグ....612
24.8.3 FERR フラグ....613
24.9 受信....614
24.9.1 受信カウンタ....614
24.9.2 受信制御部....614
24.9.2.1 I/O インタフェースモードの場合
24.9.2.2 UART モードの場合
24.9.3 受信動作....614
24.9.3.1 受信バッファの動作
24.9.3.2 受信 FIFO の動作
24.9.3.3 I/O インタフェースモード、クロック出力モードでの受信
24.9.3.4 受信データの読み出し
24.9.3.5 ウエイクアップ機能
24.9.3.6 オーバランエラー
24.10 送信....619
24.10.1 送信カウンタ....619
24.10.2 送信制御部....619
24.10.2.1 I/O インタフェースモードの場合
24.10.2.2 UART モードの場合
24.10.3 送信動作....619
24.10.3.1 送信バッファの動作
24.10.3.2 送信 FIFO の動作
24.10.3.3 I/O インタフェースモード、クロック出力モードでの送信
24.10.3.4 I/O インターフェースモード時の最終ビット出力後の TXDx 端子の状態
24.10.3.5 アンダーランエラー
24.10.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間
24.11 ハンドシェイク機能....624
24.12 割り込み/エラー発生タイミング....625
24.12.1 受信割り込み....625
24.12.1.1 シングルバッファ/ダブルバッファ構成の場合
24.12.1.2 FIFO 使用の場合
24.12.2 送信割り込み....626
24.12.2.1 シングルバッファ/ダブルバッファ構成の場合
24.12.2.2 FIFO 使用の場合
24.12.3 エラー発生....627
24.12.3.1 UART モード
24.12.3.2 I/O インタフェースモード
24.13 DMA 要求....628
24.13.1 シングルバッファ/ダブルバッファ構成の場合....628
24.13.2 FIFO を許可しているとき....628
24.14 ソフトウエアリセット....630
24.15 モード別動作説明....631
24.15.1 モード 0 (I/O インタフェースモード)....631
24.15.1.1 送信
24.15.1.2 受信
24.15.1.3 送受信(全二重)
24.15.2 モード 1 (7 ビット UART モード)....642
24.15.3 モード 2 (8 ビット UART モード)....642
24.15.4 モード 3 (9 ビット UART モード)....643
24.15.4.1 ウェイクアップ機能
24.15.4.2 プロトコル

第 25 章 拡張シリアル I/O (ESIO)

25.1 概要.....645
25.2 ブロック図.....646
25.3 レジスタ説明.....647
25.3.1 レジスター一覧.....647
25.3.2 ESIOxCR0 (ESIO 制御レジスタ 0).....648
25.3.3 ESIOxCR1 (ESIO 制御レジスタ 1).....649
25.3.4 ESIOxCR2 (ESIO 制御レジスタ 2).....650
25.3.5 ESIOxCR3 (ESIO 制御レジスタ 3).....651
25.3.6 ESIOxBR (ESIO ボーレートレジスタ).....652
25.3.7 ESIOxFMTR0 (ESIO フォーマット制御レジスタ 0).....653
25.3.8 ESIOxFMTR1 (ESIO フォーマット制御レジスタ 1).....655
25.3.9 ESIOxDR (ESIO データレジスタ).....656
25.3.10 ESIOxSR (ESIO ステータスレジスタ).....657
25.3.11 ESIOxPERR (ESIO パリティエラーフラグレジスタ).....660
25.3.12 ESIOxHPERR0 (ESIO 水平パリティエラーフラグレジスタ 0).....662
25.3.13 ESIOxHPERR1 (ESIO 水平パリティエラーフラグレジスタ 1).....663
25.3.14 ESIOxHPERR2 (ESIO 水平パリティエラーフラグレジスタ 2).....664
25.3.15 ESIOxHPERR3 (ESIO 水平パリティエラーフラグレジスタ 3).....665
25.3.16 ESIOxVPERR (ESIO 垂直パリティエラーフレーム番号レジスタ).....666
25.4 動作.....667
25.4.1 転送方法.....667
25.4.2 転送モード.....667
25.4.3 パリティ.....667
25.4.3.1 垂直パリティ
25.4.3.2 水平パリティ
25.4.3.3 送信モード時の動作例
25.4.3.4 受信時の動作例
25.4.4 データフォーマット.....673
25.4.4.1 転送方向
25.4.4.2 フレーム長
25.4.4.3 垂直パリティ
25.4.5 シフトレジスタと FIFO.....675
25.4.5.1 FIFO に格納するデータ
25.4.5.2 送信時の Fill レベルとデータフォーマットの関連
25.4.5.3 受信時の Fill レベルとデータフォーマットの関連
25.4.6 割り込み.....684
25.4.6.1 送信割込み
25.4.6.2 受信割込み
25.4.6.3 エラー割込み
25.4.7 DMA 要求.....687
25.4.8 ESIO の端子設定.....688
25.4.8.1 シリアルクロックの極性
25.4.8.2 ESIOxCS0 端子と ESIOxCS1 端子のアクティブレベル
25.4.8.3 ESIOxCSn 端子のタイミング
25.4.8.4 アイドル状態での ESIOxTXDn 端子レベル
25.4.9 ESIO の制御.....692
25.4.9.1 ESIO レジスタの設定
25.4.9.2 通信の開始・停止
25.4.9.3 FIFO の Empty と Full 時の動作
25.4.10 転送例.....693
25.4.10.1 送信モード
25.4.10.2 受信モード
25.4.10.3 全二重通信モード

第 26 章 非同期シリアル通信回路 (UART)

26.1 概要.....699
26.2 構成.....700
26.3 レジスタ説明.....701
26.3.1 レジスター一覧.....701
26.3.2 UARTxDR (Data レジスタ).....702
26.3.3 UARTxRSR (Receive status レジスタ).....703
26.3.4 UARTxECR (Error clear レジスタ).....704
26.3.5 UARTxFR (UART Flag レジスタ).....705

26.3.6 UARTxIBRD (UART 整数ボーレートレジスタ)....707
26.3.7 UARTxFBRD(UART 小数ボーレートレジスタ)....708
26.3.8 UARTxLCR_H (UART ライン制御レジスタ)....709
26.3.9 UARTxCR (UART 制御レジスタ)....711
26.3.10 UARTxIFLS (UART 割り込み FIFO レベル選択レジスタ)....712
26.3.11 UARTxIMSC (UART 割り込み禁止/許可レジスタ) 713
26.3.12 UARTxRIS (UART 原割り込みステータスレジスタ)....714
26.3.13 UARTxMIS (UART マスク割り込みステータスレジスタ)....715
26.3.14 UARTxICR (UART 割り込みクリアレジスタ)....716
26.3.15 UARTxDMACR (UART DMA 制御レジスタ)....717
26.4 動作説明....718
26.4.1 送信 FIFO と受信 FIFO....718
26.4.1.1 送信 FIFO
26.4.1.2 受信 FIFO
26.4.2 送信データと受信データ....718
26.4.3 ボーレートジェネレータ....719
26.4.3.1 ボーレート除数の求め方
26.4.4 送信ロジック....719
26.4.5 受信ロジック....719
26.4.6 割り込み生成ロジック....720
26.4.6.1 UART 割り込み発生回路
26.4.6.2 割り込み発生タイミング
26.4.7 DMA インタフェース....722
26.4.7.1 DMA インタフェースの信号
26.4.8 ハードウエアフロー制御....723

第 27 章 シリアルバスインタフェース(I2C)

27.1 概要....725
27.2 構成....726
27.3 レジスタ説明....727
27.3.1 レジスター覧....727
27.3.2 SBIxCR0(コントロールレジスタ 0)....727
27.3.3 SBIxCR1(コントロールレジスタ 1)....728
27.3.4 SBIxCR2(コントロールレジスタ 2)....730
27.3.5 SBIxSR(ステータスレジスタ)....731
27.3.6 SBIxBR0(ボーレートレジスタ 0)....732
27.3.7 SBIxDBR(データバッファレジスタ)....733
27.3.8 SBIxI2CAR(I2C バスアドレスレジスタ)....734
27.4 制御....735
27.4.1 動作モードの設定....735
27.4.2 シリアルクロック....735
27.4.2.1 クロックソース
27.4.2.2 クロック同期化
27.4.3 アクノリッジメントモードの指定....736
27.4.4 転送ビット数の選択....736
27.4.5 スレーブアドレスとアドレス認識モードの設定....737
27.4.6 マスタ/スレーブの選択....737
27.4.7 トランスミッタ/レシーバの選択....737
27.4.7.1 マスターモード時
27.4.7.2 スレーブモード時
27.4.8 バスビジーモニタ....738
27.4.9 割り込みサービス要求と解除....738
27.4.10 アービトレーションロスト検出モニタ....738
27.4.11 スレーブアドレス一致検出モニタ....740
27.4.12 ゼネラルコール検出モニタ....740
27.4.13 最終受信ビットモニタ....741
27.4.14 データバッファレジスタ(SBIxDBR)....741
27.4.15 ボーレートレジスタ(SBIxBR0)....741
27.4.16 ソフトウエアリセット....741
27.5 I2C バスモード時のデータ転送手順....742
27.5.1 デバイスの初期化....742
27.5.2 スタートコンディション, スレーブアドレスの発生....742

27.5.3 1 ワードのデータ転送....744
27.5.3.1 マスタモードの場合(<MST> = "1")
27.5.3.2 スレーブモードの場合(<MST> = "0")
27.5.4 ストップコンディションの発生....751
27.5.5 再スタートの手順....751
27.6 I2C バスモード時のデータフォーマット....753
27.7 マルチマスタで使用する際の注意点....754

第 28 章 キーオンウエイクアップ(KWUP)

28.1 概要....755
28.2 ブロック図....755
28.3 レジスタ詳細....756
28.3.1 レジスター覧....756
28.3.2 KWUPxCR0 ~ KWUPxCR31(コントロールレジスタ)....757
28.3.3 KWUPxPKEY(ポートモニタレジスタ)....758
28.3.4 KWUPxCNT(プルアップ周期レジスタ)....759
28.3.5 KWUPxINT(割り込みモニタレジスタ)....759
28.4 動作説明....761
28.5 プルアップ機能....762
28.5.1 プルアップイネーブルで KWUP 入力を使用する場合....762
28.5.2 プルアップディセーブルで KWUP 入力を使用する場合....763
28.6 KWUP 入力との検出と検出タイミング....765

第 29 章 キーマトリクススキャン(KSCAN)

29.1 概要....767
29.2 システム概要....768
29.3 ブロック図....769
29.4 レジスタ説明....770
29.4.1 レジスター覧....770
29.4.2 KSEN(イネーブルレジスタ)....771
29.4.3 KSICR(入力コントロールレジスタ)....772
29.4.4 KSOCR(出力コントロールレジスタ)....773
29.4.5 KSCR(コントロールレジスタ)....774
29.4.6 KSCTR(カウントレジスタ)....775
29.4.7 KSBR0(バッファレジスタ 0)....777
29.4.8 KSBR1(バッファレジスタ 1)....778
29.4.9 KSBMR0(バッファマスクレジスタ 0)....779
29.4.10 KSBMR1(バッファマスクレジスタ 1)....780
29.4.11 KSINTCR(割り込みコントロールレジスタ)....781
29.5 動作説明....782
29.5.1 動作クロック....782
29.5.2 基本動作....782
29.5.2.1 概要
29.5.2.2 概略図
29.5.2.3 初期設定
29.5.2.4 キースキャン動作の開始
29.5.2.5 キースキャン動作の停止
29.5.3 入出力ポートの設定....786
29.5.3.1 キースキャン入力(KSIN)端子による入力設定
29.5.3.2 キースキャン出力(KSOUT)端子による出力設定
29.5.3.3 GPIO の設定
29.5.4 動作モード遷移....789
29.5.4.1 NORMAL モード時の基本設定
29.5.4.2 IDLE モード遷移と NORMAL モード復帰
29.5.4.3 STOP1 モード遷移と NORMAL モード復帰
29.5.4.4 STOP2 モード遷移と NORMAL モード復帰

29.6 留意事項.....793
29.6.1 KSCAN 割り込み発生後の動作.....793
29.6.2 各レジスタの初期化条件.....793
29.6.3 同一レジスタへの連続書き込み.....793
29.6.4 キースキャン動作中の設定変更.....794
29.6.4.1 キーマスクの設定
29.6.4.2 キーマスクの解除
29.7 タイミングチャート.....797

第 30 章 アナログデジタルコンバータ(ADC)

30.1 特徴.....799
30.2 構成.....800
30.3 レジスタ.....801
30.3.1 レジスター覧.....801
30.3.2 ADxCLK (クロック設定レジスタ).....802
30.3.3 ADxMOD0 (モード設定レジスタ 0).....803
30.3.4 ADxMOD1 (モード設定レジスタ 1).....804
30.3.5 ADxMOD2 (モード設定レジスタ 2).....805
30.3.6 ADxMOD3 (モード設定レジスタ 3).....806
30.3.7 ADxMOD4 (モード設定レジスタ 4).....807
30.3.8 ADxMOD5 (モード設定レジスタ 5).....808
30.3.9 ADxMOD6 (モード設定レジスタ 6).....809
30.3.10 ADxMOD7 (モード設定レジスタ 7).....810
30.3.11 ADxCMPCR0 (監視機能設定レジスタ 0).....811
30.3.12 ADxCMPCR1 (監視機能設定レジスタ 1).....812
30.3.13 ADxCMP0 (変換結果比較レジスタ 0).....813
30.3.14 ADxCMP1(変換結果比較レジスタ 1).....814
30.3.15 ADxREGn(変換結果格納レジスタ、n=00 ~ 07).....815
30.3.16 ADxREGSP (最優先 AD 変換結果格納レジスタ).....816
30.4 動作説明.....817
30.4.1 AD 変換スタート前の設定.....817
30.4.1.1 VREF 回路の起動
30.4.1.2 AD 変換クロックの設定
30.4.2 AD 変換モード.....817
30.4.2.1 通常 AD 変換
30.4.2.2 最優先 AD 変換
30.4.3 AD 監視機能.....819
30.4.4 入力チャネルの選択.....822
30.4.5 AD 変換動作詳細.....823
30.4.5.1 AD 変換の起動
30.4.5.2 AD 変換動作
30.4.5.3 通常 AD 変換中の最優先変換要求
30.4.5.4 リピート変換モードの停止
30.4.5.5 通常 AD 変換の再起動
30.4.5.6 変換終了
30.4.5.7 割り込み発生タイミングと変換結果格納レジスタ
30.4.5.8 変換結果の読み出し
30.4.6 PSC 起動.....829
30.4.7 DMA 要求.....829
30.5 AD コンバータに対する設計時の注意事項.....830

第 31 章 デジタルアナログコンバータ(DAC)

31.1 概要.....831
31.2 構成.....831
31.3 レジスタ説明.....832
31.3.1 レジスター覧.....832
31.3.2 DAxCTL (コントロールレジスタ).....832
31.3.3 DAxREG (出力レジスタ).....833

31.3.4 DAxVCTL (VOUTHOLD 時間制御レジスタ)....833
31.4 回路の動作説明....834
31.4.1 出力電圧の設定方法....834
31.4.2 低消費電力モード....834

第 32 章 フラッシュメモリ(FLASH)

32.1 フラッシュメモリの特長....835
32.1.1 メモリ容量と構成....835
32.1.2 機能....838
32.1.3 動作モード....838
32.1.3.1 モードの説明
32.1.3.2 モードの決定
32.1.4 メモリマップ....840
32.1.5 プロテクト/セキュリティ機能....841
32.1.5.1 プロテクト機能
32.1.5.2 セキュリティ機能
32.1.6 レジスタ....843
32.1.6.1 レジスタ一覧
32.1.6.2 FCSECBIT(セキュリティビットレジスタ)
32.1.6.3 FCCR(フラッシュコントロールレジスタ)
32.1.6.4 FCSR(フラッシュステータスレジスタ)
32.1.6.5 FCPSRA(フラッシュプロテクトステータスレジスタ A)
32.1.6.6 FCPSRB(フラッシュプロテクトステータスレジスタ B)
32.2 フラッシュメモリ詳細....848
32.2.1 機能....848
32.2.2 フラッシュメモリの動作モード....848
32.2.3 ハードウエアリセット....848
32.2.4 コマンド実行方法....849
32.2.5 コマンド説明....849
32.2.5.1 自動ページプログラム
32.2.5.2 自動チップ消去
32.2.5.3 自動ブロック消去
32.2.5.4 自動プロテクトビットプログラム
32.2.5.5 自動プロテクトビット消去
32.2.5.6 ID-Read
32.2.5.7 Read/リセットコマンド (ソフトウエアリセット)
32.2.6 コマンドシーケンス....853
32.2.6.1 コマンドシーケンス一覧
32.2.6.2 バスライトサイクル時のアドレスビット構成
32.2.6.3 ブロックアドレス(BA)
32.2.6.4 プロテクトビットの指定(PBA)
32.2.6.5 ID-Read のコード(IA, ID)
32.2.6.6 コマンドシーケンス例
32.2.7 フローチャート....860
32.2.7.1 自動プログラム
32.2.7.2 自動消去
32.3 シングルブートモードによる書き替え方法....862
32.3.1 モード設定....862
32.3.2 インタフェース仕様....862
32.3.3 メモリの制約について....863
32.3.4 動作コマンド....863
32.3.4.1 RAM 転送
32.3.4.2 フラッシュメモリチップ消去およびプロテクトビット消去
32.3.5 コマンドによらず共通の動作....864
32.3.5.1 シリアル動作モード判定
32.3.5.2 ACK 応答データ
32.3.5.3 パスワード判定
32.3.5.4 CHECK SUM の計算方法
32.3.6 シリアル動作モード判定の通信ルール....869
32.3.7 RAM 転送コマンドの通信ルール....870
32.3.8 フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール....872
32.3.9 ブートプログラム全体フローチャート....873
32.3.10 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順....874
32.3.10.1 Step-1
32.3.10.2 Step-2
32.3.10.3 Step-3

32.3.10.4 Step-4
32.3.10.5 Step-5
32.3.10.6 Step-6
32.4 ユーザーブートモードによる書き替え方法.....877
32.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例.....877
32.4.1.1 Step-1
32.4.1.2 Step-2
32.4.1.3 Step-3
32.4.1.4 Step-4
32.4.1.5 Step-5
32.4.1.6 Step-6
32.4.2 (1-B)書き替えルーチンを外部から転送する手順例.....881
32.4.2.1 Step-1
32.4.2.2 Step-2
32.4.2.3 Step-3
32.4.2.4 Step-4
32.4.2.5 Step-5
32.4.2.6 Step-6
32.4.3 ユーザーブートにおける注意事項.....884
32.4.3.1 内蔵フラッシュメモリ書き込み、消去動作周波数

第 33 章 デバッグインタフェース

33.1 仕様概要.....885
33.2 SWJ-DP.....885
33.3 ETM.....885
33.4 ホールトモード中の周辺機能.....885
33.5 デバッグツールとの接続.....886
33.5.1 接続方法.....886
33.5.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意.....886

第 34 章 JTAG インタフェース

34.1 仕様概要.....887
34.2 信号の要約と接続例.....888
34.3 バウンダリスキャンの概要.....889
34.4 JTAG コントローラとレジスタ.....889
34.5 命令レジスタ.....890
34.6 バウンダリスキャンレジスタ.....892
34.7 テストアクセスポート(TAP).....892
34.8 TAP コントローラ.....892
34.9 TAP コントローラのリセット.....893
34.10 コントローラの状態.....893
34.11 バウンダリスキャン順序.....896
34.12 JTAG コントローラセルでサポートしている命令.....897

第 35 章 ポート等価回路図

35.1 ポート.....902
35.2 アナログ端子.....904
35.3 制御端子.....904
35.4 クロック.....905
35.5 テスト端子.....905

第 36 章　電気的特性

36.1　絶対最大定格.....907
36.2　DC 電気的特性 (1/2).....908
36.3　DC 電気的特性 (2/2).....910
36.4　12 ビット AD コンバータ変換特性.....912
36.5　10 ビット DA コンバータ変換特性.....913
36.6　レギュレータ特性.....914
36.7　AC 電気的特性.....915
36.7.1　シリアルチャネル (SIO/UART).....915
36.7.1.1　AC 測定条件
36.7.1.2　I/O インタフェースモード
36.7.2　シリアルバスインタフェース (I2C).....917
36.7.2.1　AC 測定条件
36.7.3　拡張シリアル I/O (ESIO).....919
36.7.3.1　AC 測定条件
36.7.4　16-bit タイマ/イベントカウンタ(TMRB).....921
36.7.4.1　イベントカウンタ
36.7.4.2　キャプチャ
36.7.5　32-bit タイマ(TMRC).....922
36.7.5.1　イベントカウンタ
36.7.5.2　キャプチャ
36.7.6　2 相パルス入力カウンタ (PHC).....923
36.7.6.1　AC 測定条件
36.7.7　高機能 2 相パルス入力カウンタ (EPHC).....924
36.7.7.1　AC 測定条件
36.7.8　高分解能 16 ビットタイマ PPG 出力 (TMRD ver.B).....925
36.7.8.1　AC 測定条件
36.7.9　外部割り込み.....926
36.7.9.1　AC 測定条件
36.7.10　ADC トリガ入力.....927
36.7.10.1　AC 測定条件
36.7.11　KWUP 入力.....927
36.7.11.1　AC 測定条件
36.7.12　SCOUT 端子.....928
36.7.12.1　AC 測定条件
36.7.13　外部バスインタフェース AC 特性.....929
36.7.13.1　AC 測定条件
36.7.13.2　セパレートバスモード
36.7.13.3　マルチプレクスバスモード
36.7.14　デバッグ通信.....937
36.7.14.1　AC 測定条件
36.7.14.2　SWD インタフェース
36.7.14.3　JTAG インタフェース
36.7.15　ETM トレース.....938
36.7.16　内蔵発振回路特性.....938
36.7.17　外部発振子.....938
36.7.18　外部クロック入力.....939
36.7.19　フラッシュ特性.....939
36.7.20　ノイズフィルタ特性.....939
36.8　発振回路.....940
36.8.1　セラミック発振子.....940
36.8.2　水晶発振子.....940
36.8.3　プリント基板の設計に関する注意.....940

第 37 章　パッケージ寸法図



CMOS 32 ビット マイクロコントローラ

TMPM440FE/F10XBG

TMPM440FE/F10XBG は、ARM 社 Cortex®-M4F コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	Main RAM	Backup RAM	PSC RAM (データ / コード)	パッケージ
TMPM440FEXBG	768 Kbyte	56 Kbyte	8 Kbyte	8 Kbyte / 8 Kbyte	VFBGA289 (11mm × 11mm, 0.5mm ピッチ)
TMPM440F10XBG	1024 Kbyte	56 Kbyte	8 Kbyte	8 Kbyte / 8 Kbyte	

機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M4F コアを使用
   a. Thumb®-2 命令で、コード効率の向上を実現
      ・プログラムフロー改善のための新しい 16 ビット命令
      ・性能とコードサイズ向上のための新しい 32 ビット命令
      ・32 ビット/16 ビット混在の命令セットでコード効率を向上
   b. 高性能化と低消費電力化を同時に実現
      【高性能化】
      ・32 ビット乗算(32 × 32 = 32 ビット)、積和演算(32 + 32 × 32 = 32 ビット)を 1 クロックで実行
      ・SIMD(Single Instruction Multiple Data)演算を 1 クロックで実行
      ・除算を 2~12 クロックで実行
      【低消費電力化】
      ・低消費電力ライブラリを使用した最適化設計
      ・プロセッサコアの動作を停止させるスタンバイ機能
   c. リアルタイム制御に向いた高速割り込み応答
      ・実行時間の長い命令は割り込みで中断可能
      ・スタックへの PUSH をハードウエアで自動的に実行

2. 単精度浮動小数点演算(FPU)
   ・ IEEE754 標準に準拠
   ・ 加算/減算/乗算は 1 クロックで実行、積和は 3 クロックで実行
   ・ CPU とは別に専用データレジスタによる並列処理が可能

3. Programmable Servo/Sequence Controller (PSC)
   ・ CPU、FPU と並列処理が可能で、最大 100MHz にて動作可能
   ・ データ RAM=8Kbyte / コード RAM=8Kbyte

- 転送命令、演算命令、シフト命令、論理命令、比較命令、分岐命令、制御命令をサポート
- CPU、16bit タイマ、12bitAD コンバータ、2 相パルスカウンタ、外部割り込みによる動作起動可能
- PSC が 1 クロックで設定可能な入出力ポート(PortA)をサポート
- CPU を経由した、デバッグ機能をサポート

4. 内蔵プログラムメモリ/データメモリ
   - 内蔵 RAM : 80Kbyte

     バックアップ RAM 8Kbyte および PSC RAM 16Kbyte(8K+8K) を含みます。
   - 内蔵 FlashROM :

     TMPM440FEXBG : 768Kbyte

     TMPM440F10XBG : 1024Kbyte
   - PSC RAM

     データ RAM : 8Kbyte

     コード RAM : 8Kbyte

5. 外部バスインタフェース(EBIF)
   - 16MB(プログラム/データ共通)まで拡張可能
   - 外部データバス(セパレートバス/マルチプレクスバス) : 8/16 ビット幅
   - チップセレクトコントローラ : 2 チャネル

6. DMA コントローラ(DMAC) : 3 ユニット(6 チャネル)

   転送モード : 内蔵メモリ、内蔵 I/O および外部メモリ

7. クロックジェネレータ(CG)
   - 外部よりクロックを入力/外部発振(8MHz ~ 10MHz)
   - PLL 内蔵を 2Unit 搭載し、システムクロック(fsys)と AD 変換クロック(ADCLK)の非同期動作が可能
   - クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

8. 割り込み機能
   - 内部 133 本: 7 レベルの優先順位設定可能
   - 外部 24 本: 7 レベルの優先順位設定可能

9. 入出力ポート(PORT) : 228 端子

   入出力端子 : 207 本

   入力端子 : 20 本

   出力端子 : 1 本

10. 16 ビットタイマ(TMRB) : 20 チャネル
    - 16 ビットインターバルタイマモード
    - 16 ビットイベントカウンタモード
    - 16 ビット PPG 出力(4 相同期出力可能)
    - インプットキャプチャ機能
    - PSC 起動用信号対応(ch0 9 のみ)

11. 高分解能 16 ビットタイマ出力(TMRD) : 1 ブロック
    - タイマ出力 : 4 チャネル
    - 最大 100MHz(10ns)の分解能が設定可能
    - 1bit モジュレーション機能にて PWM 出力の分解能を擬似的に上げることが可能
    - PSC から直接レジスタアクセス可能なバス構成

12. 32 ビットタイマ(TMRC) : 1 ユニット
    - 32 ビットタイムベースタイマ : 1 チャネル
    - 32 ビットインプットキャプチャレジスタ : 4 チャネル
    - 32 ビットアウトプットコンペアレジスタ : 8 チャネル

13. 2 相パルスカウンタ(PHC) : 2 チャネル
    - 2 相カウンタモード(通常モード、4 逓倍モード : アップカウント、ダウンカウント可能)
    - 1 相カウンタモード(2 逓倍モード : アップカウントのみ)
    - STOP1、STOP2 モード(電源遮断モード)時も動作可能

14. 高機能 2 相パルスカウンタ(EPHC) : 1 チャネル
    - 2 相カウンタモード(4 逓倍モード : アップカウント、ダウンカウント可能)
    - 1 相カウンタモード(2 逓倍モード : アップカウント、ダウンカウント可能)
    - 周期数測定モード
    - 位相差測定モード
    - EPHC 割り込み(INTEPHC)、EPHC 周期位相差測定周期 0 割り込み(INTPHCPCY0)発生時に PSC の起動が可能
    - カウンタモードに限り、STOP1 モード(クロック停止モード)時も動作可能(STOP2 モード時は停止)
    - 一部のレジスタはミラーレジスタ構成となっており、CPU と PSC で同時リードアクセスが可能

15. リアルタイムクロック(RTC) : 1 チャネル
    - 時計機能(時間, 分, 秒)
    - カレンダー機能(月日, 週, うるう年)
    - 補正機能(ソフトウエアによる補正)
    - アラーム割り込み発生

16. ウォッチドッグタイマ(WDT) : 1 チャネル

    リセットまたはマスク不能割り込み(NMI)発生

17. シリアルチャネル(SIO/UART) : 6 チャネル
    - UART / 同期式モード選択可能
    - 送信 FIFO : 8 ビット幅 4 段、受信 FIFO : 8 ビット幅 4 段(チャネル 0~2)
    - 送信 FIFO : 8 ビット幅 32 段、受信 FIFO : 8 ビット幅 32 段(チャネル 3~5)
    - 通信速度

      マスタモード時 Max. 12.5Mbps/fsys=100MHz 時

      スレーブモード時 Max. 8.3Mbps /fsys=100MHz 時

18. 非同期式シリアル通信インタフェース(UART) : 2 チャネル
    - 5,6,7,8 ビットデータ長

- 送信 FIFO : 8 ビット幅 32 段、受信 FIFO : 12 ビット幅 32 段
- 通信速度 Max. 6.25Mbps/fsys=100MHz 時

19. 拡張シリアル I/O (ESIO) : 3 チャネル
    - クロックマスター専用
    - 送信、受信ラインが 1～4 ラインまで 1 ライン単位で設定可能
    - データ長を 8～32bit まで 1bit 単位で変更可能
    - 半二重送信/半二重受信/全二重送受信対応
    - 送信 FIFO　16 ビット幅 8 段、受信 FIFO　16 ビット幅 8 段
    - 正論理負論理選択可能な Chip セレクト端子にて 2ch の排他動作可能
    - 通信速度 Max. 25Mbps (fsys=100MHz 時)

20. シリアルバスインタフェース(I2C) : 1 チャネル
    - I2C バスモード
    - 通信速度 100kbps / 400kbps

21. キーオンウエイクアップ(KWUP) : 40 チャネル
    - 40 チャネルのうち 8 チャネルはキーマトリクススキャン入力(KSIN7～0)と兼用
    - ダイナミックプルアップ付き
    - STOP1、STOP2 モード(電源遮断モード)時も動作可能

22. キーマトリクススキャン(KSCAN) : 8 入力 × 8 出力
    - 最大 64 キー(8 × 8)のキーマトリクスを接続可能
    - 低速発振器(32.768kHz)および TMRB 出力(チャネル 19)をサンプリングクロックとして使用
    - STOP1、STOP2 モード(電源遮断モード)時も動作可能

23. 12 ビット AD コンバータ(ADC) : 3 ユニット(8 チャネル + 8 チャネル + 4 チャネル)
    - チャネル固定/スキャンモード
    - シングル/リピートモード
    - 外部トリガスタート、内部タイマトリガによるスタート可能
    - リピート変換可能
    - AD 監視機能
    - 最小変換時間 1 μs (ADC 変換クロック 40 MHz 時)
    - AD 変換終了割り込み(INTADA,INTADB)発生時に PSC の起動が可能
    - 一部のレジスタはミラーレジスタ構成となっており、CPU と PSC で同時リードアクセスが可能

24. 10 ビット DA コンバータ(DAC) : 2 チャネル
    - VREFH カット機能
    - 入出力変動セトリングタイム : 100μs

25. 最大動作周波数 : 100MHz

26. エンディアン
    - バイエンディアン方式
    - ENDIAN 端子にて選択

      ビックエンディアン : DVDD3 固定

リトルエンディアン : DVSS 固定

27. デバッグインタフェース
- JTAG/SWD/SWV/DATA TRACE(Data 4bit)に対応

28. JTAG インタフェース
- バウンダリスキャン対応

29. 動作電圧範囲
- DVDD3 (デジタル電源) : 2.7 ~ 3.6V
- RVDD3 (レギュレータ用電源) : 2.7 ~ 3.6V
- ADAVDD3、 ADBVDD3、ADCVDD3 (アナログ電源) : 2.7 ~ 3.6V
- DAVDD3 (アナログ電源) : 2.7 ~ 3.6V

30. 温度範囲
- −40°C ~ 85°C (Flash W/E およびデバッグ時以外)
- 0°C ~ 60°C (Flash W/E 時)

31. パッケージ

VFBGA289 (11mm × 11mm, 0.5mm ピッチ)

1.2 ピン配置図(Top view)

TMPM440FE/F10XBG のピン配置図は、図 1-1 のとおりです。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
A	BSC	PAC1	PAE6	PAE3	PAD7	PAD3	PAD0	PJ0	PJ1	PJ2	PJ3	PK0	PK5	PK4	PK6	PL0	PL1	PL2	PL3	PG0
B	PAC2	PAC0	PAC3	PAE4	PAE1	PAD6	PAD2	PJ4	PJ5	PJ6	PJ7	PK1	PV2	PW0	PW4	PL4	PL5	PL6	PL7	PM6
C	ADCVDD3	ADCVSS	PAA0	PAE7	PAE5	PAE2	PAD5	PAD1	PV4	PW1	PW5	PK2	PV7	PW6	PM2	PM1	PM0	PG1	PM7	PM4
D	ADCVREFH	ADCVREFL	PAA1															PG2	PG3	PM5
E	ADAVDD3	ADAVSS	PAA2															PG4	PG6	PH4
F	ADAVREFH	ADAVREFL	PAA4			PAA3	PAE0	PV1	PV5	PW3	PW7	PV0	PW2	PK7	PG5			PG7	PH1	PH5
G	ADBVDD3	ADBVSS	PAA5			PAA6	PAD4	PV3	DVSS	DVSS	DVSS	PV6	PK3	PM3	PH0			PH3	PH7	PH6
H	ADBVREFH	ADBVREFL	PAB2			PAB0	PAA7	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	PH2	PR3			PR0	PR2	PR1
J	DAVREFL	DAVSS	PAB7			PAB3	PAB1	DVSS	DVSS				DVSS	PY3	PY1			PR5	PR4	ENDIAN
K	DAVDD3	DAVREFH	DAOUT0			PAB5	PAB4	DVSS					DVSS	PT3	PY6			PY0	PR7	PR6
L	PU4	PU1	PU2			DAOUT1	PAB6	DVDD3					DVDD3	PE0	PT5			PY5	PY4	PY2
M	PU6	PU5	PAF2			PU3	PN5	DVDD3					DVDD3	PE5	PE2			PT1	PT0	PY7
N	PU7	PAF5	PAF0			PU0	PN2	DVDD3	DVDD3	DVDD3	DVDD3	DVDD3	DVDD3	PF0	PD1			PT6	PT4	PT2
P	PAF1	PAF4	PAF3			PAH1	PAH7	PN6	DVDD3	DVDD3	DVDD3	DVDD3	PB2	PB7	PF4			PE4	PE1	PT7
R	RVDD3	BVDD3	PAF6			PAJ1	PAH4	PN1	PN3	PN7	PP7	PC2	PC6	PB3	PF3			PD0	PE6	PE3
T	DCSW	PAF7	PAG7															PD4	PD2	PE7
U	RVSS	BVSS	PAG4															PA3	PD5	PD3
V	DCV15IN	PAG5	PAG0	PAJ0	PAJ3	PAJ5	PAH0	PAH3	PN0	PP2	PP3	PC0	PC4	PB0	PB5	PF2	PF7	PA2	PD7	PD6
W	PAG3	PAG1	PAG2	PAG6	PAJ2	PAJ4	PAJ7	PAH5	PP1	PP0	PP4	PC1	PC5	PB1	PB6	PF5	PA0	PA7	PA4	PA6
Y	MODE	XT2	XT1	$\overline{\text{RESET}}$	X1	X2	PAJ6	PAH2	PAH6	PN4	PP5	PP6	PC3	PC7	PB4	PF1	PF6	PA1	PA5	FTEST3

図 1-1 ピン配置図(VFBGA289 TOP VIEW)

1.3 ピン名称と機能

TMPM440FE/F10XBG の入出力ピン名称と機能は、表 1-1 の通りです。

1.3.1 ポート順

表 1-1 ピン名称と機能<ポート順> (1/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT A	機能	W17	PA0 D0/AD0 PSCPTIO0	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	Y18	PA1 D1/AD1 PSCPTIO1	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	V18	PA2 D2/AD2 PSCPTIO2	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	U18	PA3 D3/AD3 PSCPTIO3	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	W19	PA4 D4/AD4 PSCPTIO4	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	Y19	PA5 D5/AD5 PSCPTIO5	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	W20	PA6 D6/AD6 PSCPTIO6	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT A	機能	W18	PA7 D7/AD7 PSCPTIO7	入出力 入出力 入出力	入出力ポート データバス/アドレス・データバス端子 PSC 用入出力ポート
PORT B	機能	V14	PB0 D8/AD8 TB12IN0	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT B	機能	W14	PB1 D9/AD9 TB12IN1	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT B	機能	P13	PB2 D10/AD10 TB13IN0	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT B	機能	R14	PB3 D11/AD11 TB13IN1	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT B	機能	Y15	PB4 D12/AD12 TB14IN0	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子

表 1-1 ピン名称と機能<ポート順> (2/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT B	機能	V15	PB5 D13/AD13 TB14IN1	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT B	機能	W15	PB6 D14/AD14 TB15IN0	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT B	機能	P14	PB7 D15/AD15 TB15IN1	入出力 入出力 入力	入出力ポート データバス/アドレス・データバス端子 タイマ B インプットキャプチャ端子
PORT C	機能	V12	PC0 A0 A16 INT5	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	W12	PC1 A1 A17 INT6	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	R12	PC2 A2 A18 INT7	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	Y13	PC3 A3 A19 INT8	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	V13	PC4 A4 A20 INT9	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	W13	PC5 A5 A21 INTA	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	R13	PC6 A6 A22 INTB	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子
PORT C	機能	Y14	PC7 A7 A23 INTC	入出力 出力 出力 入力	入出力ポート アドレスバス アドレスバス 外部割込み端子

表 1-1 ピン名称と機能<ポート順> (3/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT D	機能	R18	PD0 A8 TB16IN0	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	N15	PD1 A9 TB16IN1	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	T19	PD2 A10 TB17IN0	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	U20	PD3 A11 TB17IN1	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	T18	PD4 A12 TB18IN0	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	U19	PD5 A13 TB18IN1	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	V20	PD6 A14 TB19IN0	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT D	機能	V19	PD7 A15 TB19IN1	入出力 出力 入力	入出力ポート アドレスバス タイマ B インプットキャプチャ端子
PORT E	機能	L14	PE0 A16 TXD2	入出力 出力 出力	入出力ポート アドレスバス SIO 送信端子
PORT E	機能	P19	PE1 A17 RXD2	入出力 出力 入力	入出力ポート アドレスバス SIO 受信端子
PORT E	機能	M15	PE2 A18 SCLK2 $\overline{\text{CTS2}}$	入出力 出力 入出力 入力	入出力ポート アドレスバス SIO クロック端子 ハンドシェイク用端子
PORT E	機能	R20	PE3 A19 $\overline{\text{DREQB}}$ INT16	入出力 出力 入力 入力	入出力ポート アドレスバス DMA リクエスト端子 外部割込み端子
PORT E	機能	P18	PE4 A20 TXD5	入出力 出力 出力	入出力ポート アドレスバス SIO 送信端子

表 1-1 ピン名称と機能<ポート順> (4/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT E	機能	M14	PE5 A21 RXD5	入出力 出力 入力	入出力ポート アドレスバス SIO 受信端子
PORT E	機能	R19	PE6 A22 SCLK5 $\overline{\text{CTS5}}$	入出力 出力 入出力 入力	入出力ポート アドレスバス SIO クロック端子 ハンドシェイク用端子
PORT E	機能	T20	PE7 A23 $\overline{\text{DREQC}}$ INT17	入出力 出力 入力 入力	入出力ポート アドレスバス DMA リクエスト端子 外部割込み端子
PORT F	機能	N14	PF0 $\overline{\text{RD}}$	入出力 出力	入出力ポート リードストローブ端子
PORT F	機能	Y16	PF1 $\overline{\text{WR}}$	入出力 出力	入出力ポート ライトストローブ端子
PORT F	機能	V16	PF2 $\overline{\text{BELL}}$	入出力 出力	入出力ポート バイトイネーブル端子
PORT F	機能	R15	PF3 $\overline{\text{BELH}}$	入出力 出力	入出力ポート バイトイネーブル端子
PORT F	機能	P15	PF4 ALE	入出力 出力	入出力ポート アドレスラッチイネーブル端子
PORT F	機能	W16	PF5 $\overline{\text{CS0}}$	入出力 出力	入出力ポート チップセレクト端子
PORT F	機能	Y17	PF6 $\overline{\text{CS1}}$ $\overline{\text{DREQA}}$ INTD	入出力 出力 入力 入力	入出力ポート チップセレクト端子 DMA リクエスト端子 外部割込み端子
PORT F	機能	V17	PF7 $\overline{\text{BOOT}}$	出力 入力	出力ポート BOOT モード端子 (注)$\overline{\text{RESET}}$ 信号の立ち上がりで"Low"をサンプリングしてシングルブートモードになります。
PORT G	機能	A20	PG0 TDO/SWV	入出力 出力	入出力ポート デバッグ用端子
PORT G	機能	C18	PG1 TMS/SWDIO	入出力 入出力	入出力ポート デバッグ用端子
PORT G	機能	D18	PG2 TCK/SWCLK	入出力 入力	入出力ポート デバッグ用端子
PORT G	機能	D19	PG3 TDI	入出力 入力	入出力ポート デバッグ用端子
PORT G	機能	E18	PG4 $\overline{\text{TRST}}$	入出力 入力	入出力ポート デバッグ用端子
PORT G	機能	F15	PG5 TRACECLK	入出力 出力	入出力ポート デバッグ用端子

表 1-1 ピン名称と機能<ポート順> (5/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT G	機能	E19	PG6 TRACEDATA0	入出力 出力	入出力ポート デバッグ用端子
PORT G	機能	F18	PG7 TRACEDATA1	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能	G15	PH0 TRACEDATA2	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能	F19	PH1 TRACEDATA3	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能	H14	PH2 $\overline{\text{ADTRGA}}$	入出力 入力	入出力ポート AD コンバータの外部起動要求端子
PORT H	機能	G18	PH3 $\overline{\text{ADTRGB}}$ $\overline{\text{ADTRGSNC}}$	入出力 入力 入力	入出力ポート(5V トレラント入力) AD コンバータの外部起動要求端子 AD コンバータ UnitA/UnitB 同時起動要求端子
PORT H	機能	E20	PH4 TXD0	入出力 出力	入出力ポート SIO 送信端子
PORT H	機能	F20	PH5 RXD0	入出力 入力	入出力ポート SIO 受信端子
PORT H	機能	G20	PH6 SCLK0 $\overline{\text{CTS0}}$	入出力 入出力 入力	入出力ポート SIO クロック端子 ハンドシェイク用端子
PORT H	機能	G19	PH7 $\overline{\text{ADTRGC}}$	入出力 入力	入出力ポート(5V トレラント入力) AD コンバータの外部起動要求端子
PORT J	機能	A8	PJ0 ESIO0TXD0	入出力 出力	入出力ポート ESIO 送信端子
PORT J	機能	A9	PJ1 ESIO0TXD1	入出力 出力	入出力ポート ESIO 送信端子
PORT J	機能	A10	PJ2 ESIO0TXD2	入出力 出力	入出力ポート ESIO 送信端子
PORT J	機能	A11	PJ3 ESIO0TXD3	入出力 出力	入出力ポート ESIO 送信端子
PORT J	機能	B8	PJ4 ESIO0RXD0	入出力 入力	入出力ポート ESIO 受信端子
PORT J	機能	B9	PJ5 ESIO0RXD1	入出力 入力	入出力ポート ESIO 受信端子
PORT J	機能	B10	PJ6 ESIO0RXD2	入出力 入力	入出力ポート ESIO 受信端子
PORT J	機能	B11	PJ7 ESIO0RXD3	入出力 入力	入出力ポート ESIO 受信端子
PORT K	機能	A12	PK0 ESIO0SCK	入出力 出力	入出力ポート ESIO モードクロック端子
PORT K	機能	B12	PK1 ESIO0CS0	入出力 出力	入出力ポート ESIO チップセレクト端子

表 1-1 ピン名称と機能<ポート順> (6/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT K	機能	C12	PK2 ESIO0CS1 TB07IN0	入出力 出力 入力	入出力ポート ESIO チップセレクト端子 タイマ B インプットキャプチャ端子
PORT K	機能	G13	PK3 TB07IN1 INTE	入出力 入力 入力	入出力ポート タイマ B インプットキャプチャ端子 外部割込み端子
PORT K	機能	A14	PK4 TXD1	入出力 出力	入出力ポート (5V トレラント) SIO 送信端子
PORT K	機能	A13	PK5 RXD1	入出力 入力	入出力ポート (5V トレラント) SIO 受信端子
PORT K	機能	A15	PK6 SCLK1 TB08IN0 $\overline{\text{CTS1}}$	入出力 入出力 入力 入力	入出力ポート (5V トレラント) SIO クロック端子 タイマ B インプットキャプチャ端子 ハンドシェイク用端子
PORT K	機能	F14	PK7 TB08IN1 INTF	入出力 入力 入力	入出力ポート (5V トレラント) タイマ B インプットキャプチャ端子 外部割込み端子
PORT L	機能	A16	PL0 ESIO1TXD0	入出力 出力	入出力ポート ESIO 送信端子
PORT L	機能	A17	PL1 ESIO1TXD1	入出力 出力	入出力ポート ESIO 送信端子
PORT L	機能	A18	PL2 ESIO1TXD2	入出力 出力	入出力ポート ESIO 送信端子
PORT L	機能	A19	PL3 ESIO1TXD3	入出力 出力	入出力ポート ESIO 送信端子
PORT L	機能	B16	PL4 ESIO1RXD0	入出力 入力	入出力ポート ESIO 受信端子
PORT L	機能	B17	PL5 ESIO1RXD1	入出力 入力	入出力ポート ESIO 受信端子
PORT L	機能	B18	PL6 ESIO1RXD2	入出力 入力	入出力ポート ESIO 受信端子
PORT L	機能	B19	PL7 ESIO1RXD3	入出力 入力	入出力ポート ESIO 受信端子
PORT M	機能	C17	PM0 ESIO1SCK	入出力 出力	入出力ポート ESIO モードクロック端子
PORT M	機能	C16	PM1 ESIO1CS0	入出力 出力	入出力ポート ESIO チップセレクト端子
PORT M	機能	C15	PM2 ESIO1CS1 TB09IN0	入出力 出力 入力	入出力ポート ESIO チップセレクト端子 タイマ B インプットキャプチャ端子

表 1-1 ピン名称と機能<ポート順> (7/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT M	機能	G14	PM3 SCOUT TB09IN1 INT10	入出力 出力 入力 入力	入出力ポート 内部クロック出力端子 タイマ B インプットキャプチャ端子 外部割込み端子
PORT M	機能	C20	PM4 TXD3	入出力 出力	入出力ポート(5V トレラント入力) SIO 送信端子
PORT M	機能	D20	PM5 RXD3	入出力 入力	入出力ポート(5V トレラント入力) SIO 受信端子
PORT M	機能	B20	PM6 SCLK3 TB10IN0 $\overline{\text{CTS3}}$	入出力 入出力 入力 入力	入出力ポート(5V トレラント入力) SIO クロック端子 タイマ B インプットキャプチャ端子 ハンドシェイク用端子
PORT M	機能	C19	PM7 TB10IN1 INT11	入出力 入力 入力	入出力ポート(5V トレラント入力) タイマ B インプットキャプチャ端子 外部割込み端子
PORT N	機能	V9	PN0 ESIO2TXD0	入出力 出力	入出力ポート ESIO 送信端子
PORT N	機能	R8	PN1 ESIO2TXD1	入出力 出力	入出力ポート ESIO 送信端子
PORT N	機能	N7	PN2 ESIO2TXD2 INT12	入出力 出力 入力	入出力ポート ESIO 送信端子 外部割込み端子
PORT N	機能	R9	PN3 ESIO2TXD3 INT13	入出力 出力 入力	入出力ポート ESIO 送信端子 外部割込み端子
PORT N	機能	Y10	PN4 ESIO2RXD0	入出力 入力	入出力ポート ESIO 受信端子
PORT N	機能	M7	PN5 ESIO2RXD1	入出力 入力	入出力ポート ESIO 受信端子
PORT N	機能	P8	PN6 ESIO2RXD2	入出力 入力	入出力ポート ESIO 受信端子
PORT N	機能	R10	PN7 ESIO2RXD3	入出力 入力	入出力ポート ESIO 受信端子
PORT P	機能	W10	PP0 ESIO2SCK	入出力 出力	入出力ポート ESIO モードクロック端子
PORT P	機能	W9	PP1 ESIO2CS0	入出力 出力	入出力ポート ESIO チップセレクト端子
PORT P	機能	V10	PP2 ESIO2CS1 TXD7 INT14	入出力 出力 出力 入力	入出力ポート ESIO チップセレクト端子 UART 送信端子 外部割込み端子
PORT P	機能	V11	PP3 RXD7 INT15	入出力 入力 入力	入出力ポート UART 受信端子 外部割込み端子

表 1-1 ピン名称と機能<ポート順> (8/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT P	機能	W11	PP4 TXD4	入出力 出力	入出力ポート SIO 送信端子
PORT P	機能	Y11	PP5 RXD4	入出力 入力	入出力ポート SIO 受信端子
PORT P	機能	Y12	PP6 SCLK4 $\overline{\text{CTS7}}$ $\overline{\text{CTS4}}$	入出力 入出力 入力 入力	入出力ポート SIO クロック端子 UART ハンドシェイク用端子 ハンドシェイク用端子
PORT P	機能	R11	PP7 $\overline{\text{RTS7}}$ INT0	入出力 出力 入力	入出力ポート UART モデム制御 外部割込み端子
PORT R	機能	H18	PR0 TXD6	入出力 出力	入出力ポート(5V トレラント入力) UART 送信端子
PORT R	機能	H20	PR1 RXD6	入出力 入力	入出力ポート(5V トレラント入力) UART 受信端子
PORT R	機能	H19	PR2 $\overline{\text{CTS6}}$ TB11IN0 INT1	入出力 入力 入力 入力	入出力ポート(5V トレラント入力) UART ハンドシェイク用端子 タイマ B インプットキャプチャ端子 外部割込み端子
PORT R	機能	H15	PR3 $\overline{\text{RTS6}}$ TB11IN1 INT2	入出力 出力 入力 入力	入出力ポート(5V トレラント入力) UART モデム制御 タイマ B インプットキャプチャ端子 外部割込み端子
PORT R	機能	J19	PR4 SCL0	入出力 入出力	入出力ポート I2C モードクロック
PORT R	機能	J18	PR5 SDA0	入出力 入出力	入出力ポート I2C モード送受信
PORT R	機能	K20	PR6 EPHC0IN0 INT3	入出力 入力 入力	入出力ポート 高機能 2 相パルスカウンタ(EPHC)入力端子 外部割込み端子
PORT R	機能	K19	PR7 EPHC0IN1 INT4	入出力 入力 入力	入出力ポート 高機能 2 相パルスカウンタ(EPHC)入力端子 外部割込み端子
PORT T	機能	M19	PT0 TCOUT0	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT T	機能	M18	PT1 TCOUT1	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT T	機能	N20	PT2 TCOUT2	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT T	機能	K14	PT3 TCOUT3	入出力 出力	入出力ポート タイマ(TMRC)出力端子

表 1-1 ピン名称と機能<ポート順> (9/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT T	機能	N19	PT4 TCOUT4	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT T	機能	L15	PT5 TCOUT5	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT T	機能	N18	PT6 TCOUT6	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT T	機能	P20	PT7 TCOUT7	入出力 出力	入出力ポート タイマ(TMRC)出力端子
PORT U	機能	N6	PU0 TCIN0	入出力 入力	入出力ポート タイマ(TMRC)入力端子
PORT U	機能	L2	PU1 TCIN1	入出力 入力	入出力ポート タイマ(TMRC)入力端子
PORT U	機能	L3	PU2 TCIN2	入出力 入力	入出力ポート タイマ(TMRC)入力端子
PORT U	機能	M6	PU3 TCIN3	入出力 入力	入出力ポート タイマ(TMRC)入力端子
PORT U	機能	L1	PU4 PHC0IN0	入出力 入力	入出力ポート 2 相パルスカウンタ入力端子
PORT U	機能	M2	PU5 PHC0IN1	入出力 入力	入出力ポート 2 相パルスカウンタ入力端子
PORT U	機能	M1	PU6 PHC1IN0	入出力 入力	入出力ポート 2 相パルスカウンタ入力端子
PORT U	機能	N1	PU7 PHC1IN1	入出力 入力	入出力ポート 2 相パルスカウンタ入力端子
PORT V	機能	F12	PV0 TB00OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	F8	PV1 TB01OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	B13	PV2 TB02OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	G8	PV3 TB03OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	C9	PV4 TB04OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	F9	PV5 TB05OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	G12	PV6 TB06OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT V	機能	C13	PV7 TB07OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	B14	PW0 TB08OUT	入出力 出力	入出力ポート タイマ B 出力端子

表 1-1 ピン名称と機能<ポート順> (10/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT W	機能	C10	PW1 TB09OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	F13	PW2 TB10OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	F10	PW3 TB11OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	B15	PW4 TB12OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	C11	PW5 TB13OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	C14	PW6 TB14OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT W	機能	F11	PW7 TB15OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT Y	機能	K18	PY0 TB16OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT Y	機能	J15	PY1 TB17OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT Y	機能	L20	PY2 TB18OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT Y	機能	J14	PY3 TB19OUT	入出力 出力	入出力ポート タイマ B 出力端子
PORT Y	機能	L19	PY4 TD0OUT0	入出力 出力	入出力ポート タイマ D 出力端子
PORT Y	機能	L18	PY5 TD0OUT1	入出力 出力	入出力ポート タイマ D 出力端子
PORT Y	機能	K15	PY6 TD1OUT0	入出力 出力	入出力ポート タイマ D 出力端子
PORT Y	機能	M20	PY7 TD1OUT1	入出力 出力	入出力ポート タイマ D 出力端子
PORT AA	機能	C3	PAA0 AINA0	入力 入力	入力ポート アナログ入力端子
PORT AA	機能	D3	PAA1 AINA1	入力 入力	入力ポート アナログ入力端子
PORT AA	機能	E3	PAA2 AINA2	入力 入力	入力ポート アナログ入力端子
PORT AA	機能	F6	PAA3 AINA3	入力 入力	入力ポート アナログ入力端子
PORT AA	機能	F3	PAA4 AINA4	入力 入力	入力ポート アナログ入力端子
PORT AA	機能	G3	PAA5 AINA5	入力 入力	入力ポート アナログ入力端子

表 1-1 ピン名称と機能<ポート順> (11/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT AA	機能	G6	PAA6 AINA6	入力 入力	入力ポート アナログ入力端子
PORT AA	機能	H7	PAA7 AINA7	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	H6	PAB0 AINB0	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	J7	PAB1 AINB1	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	H3	PAB2 AINB2	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	J6	PAB3 AINB3	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	K7	PAB4 AINB4	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	K6	PAB5 AINB5	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	L7	PAB6 AINB6	入力 入力	入力ポート アナログ入力端子
PORT AB	機能	J3	PAB7 AINB7	入力 入力	入力ポート アナログ入力端子
PORT AC	機能	B2	PAC0 AINC0	入力 入力	入力ポート アナログ入力端子
PORT AC	機能	A2	PAC1 AINC1	入力 入力	入力ポート アナログ入力端子
PORT AC	機能	B1	PAC2 AINC2	入力 入力	入力ポート アナログ入力端子
PORT AC	機能	B3	PAC3 AINC3	入力 入力	入力ポート アナログ入力端子
PORT AD	機能	A7	PAD0 KWUPA00	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AD	機能	C8	PAD1 KWUPA01	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AD	機能	B7	PAD2 KWUPA02	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AD	機能	A6	PAD3 KWUPA03	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AD	機能	G7	PAD4 KWUPA04	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AD	機能	C7	PAD5 KWUPA05	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AD	機能	B6	PAD6 KWUPA06	入出力 入力	入出力ポート キーオンウエイクアップ端子

表 1-1 ピン名称と機能<ポート順> (12/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT AD	機能	A5	PAD7 KWUPA07	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	F7	PAE0 KWUPA08	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	B5	PAE1 KWUPA09	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	C6	PAE2 KWUPA10	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	A4	PAE3 KWUPA11	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	B4	PAE4 KWUPA12	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	C5	PAE5 KWUPA13	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	A3	PAE6 KWUPA14	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AE	機能	C4	PAE7 KWUPA15	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	N3	PAF0 KWUPA16	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	P1	PAF1 KWUPA17	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	M3	PAF2 KWUPA18	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	P3	PAF3 KWUPA19	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	P2	PAF4 KWUPA20	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	N2	PAF5 KWUPA21	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	R3	PAF6 KWUPA22	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AF	機能	T2	PAF7 KWUPA23	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	V3	PAG0 KWUPA24	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	W2	PAG1 KWUPA25	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	W3	PAG2 KWUPA26	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	W1	PAG3 KWUPA27	入出力 入力	入出力ポート キーオンウエイクアップ端子

表 1-1 ピン名称と機能<ポート順> (13/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT AG	機能	U3	PAG4 KWUPA28	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	V2	PAG5 KWUPA29	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	W4	PAG6 KWUPA30	入出力 入力	入出力ポート キーオンウエイクアップ端子
PORT AG	機能	T3	PAG7 KWUPA31 TCTBTIN	入出力 入力 入力	入出力ポート キーオンウエイクアップ端子 タイマ(TMRC) TBT 外部クロックソース入力
PORT AH	機能	V7	PAH0 KSIN0 KWUPB0	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	P6	PAH1 KSIN1 KWUPB1	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	Y8	PAH2 KSIN2 KWUPB2	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	V8	PAH3 KSIN3 KWUPB3	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	R7	PAH4 KSIN4 KWUPB4	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	W8	PAH5 KSIN5 KWUPB5	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	Y9	PAH6 KSIN6 KWUPB6	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AH	機能	P7	PAH7 KSIN7 KWUPB7	入出力 入力 入力	入出力ポート キースキャン入力端子 キーオンウエイクアップ端子
PORT AJ	機能	V4	PAJ0 KSOUT0	入出力 出力	入出力ポート キースキャン出力端子
PORT AJ	機能	R6	PAJ1 KSOUT1	入出力 出力	入出力ポート キースキャン出力端子
PORT AJ	機能	W5	PAJ2 KSOUT2	入出力 出力	入出力ポート キースキャン出力端子
PORT AJ	機能	V5	PAJ3 KSOUT3	入出力 出力	入出力ポート キースキャン出力端子

表 1-1 ピン名称と機能<ポート順> (14/16)

PORT	分類	ピン番号	記号	入出力	機能
PORT AJ	機能	W6	PAJ4 KSOUT4	入出力 出力	入出力ポート キースキャン出力端子
PORT AJ	機能	V6	PAJ5 KSOUT5	入出力 出力	入出力ポート キースキャン出力端子
PORT AJ	機能	Y7	PAJ6 KSOUT6	入出力 出力	入出力ポート キースキャン出力端子
PORT AJ	機能	W7	PAJ7 KSOUT7	入出力 出力	入出力ポート キースキャン出力端子
-	機能	K3	DAOUT0	出力	アナログ出力端子
-	機能	L6	DAOUT1	出力	アナログ出力端子
-	クロック	Y5	X1/EHCLKIN	入力	高速発振子接続端子 /外部クロック入力
-	クロック	Y6	X2	出力	高速発振子接続端子
-	クロック	Y3	XT1	入力	低速発振子接続端子 (注)未使用時には必ず GND に接続してください。
-	クロック	Y2	XT2	出力	低速発振子接続端子 (注)未使用時には必ず Open にしてください。
-	制御	Y1	MODE	入力	モード端子 (注)必ず GND に接続してください。
-	機能	Y4	$\overline{\text{RESET}}$	入力	リセット入力端子
-	制御	J20	ENDIAN	入力	エンディアン選択端子 リトルエンディアン動作 : DVSS に固定 ビックエンディアン動作 : DVDD3 に固定
-	制御	A1	BSC	入力	JTAG バウンダリスキャン制御端子 (注)未使用時は必ず GND に接続してください。
-	制御	Y20	FTEST3	入力	テスト端子 (注)必ず OPEN にしてください。
-	PS	K1	DAVDD3	−	DAC 用電源端子
-	PS	J2	DAVSS	−	DAC 用 GND 端子
-	PS	K2	DAVREFH	−	DAC 用基準電源端子
-	PS	J1	DAVREFL	−	DAC 用基準電源端子
-	PS	E1	ADAVDD3	−	SAR ADC UnitA 用電源端子
-	PS	G1	ADBVDD3	−	SAR ADC UnitB 用電源端子
-	PS	C1	ADCVDD3	−	SAR ADC UnitC 用電源端子
-	PS	E2	ADAVSS	−	SAR ADC UnitA 用 GND 端子
-	PS	G2	ADBVSS	−	SAR ADC UnitB 用 GND 端子

表 1-1 ピン名称と機能<ポート順> (15/16)

PORT	分類	ピン番号	記号	入出力	機能
-	PS	C2	ADCVSS	−	SAR ADC UnitC 用 GND 端子
-	PS	F1	ADAVREFH	−	SAR ADC UnitA 用基準電源端子
-	PS	F2	ADAVREFL	−	SAR ADC UnitA 用基準電源端子
-	PS	H1	ADBVREFH	−	SAR ADC UnitB 用基準電源端子
-	PS	H2	ADBVREFL	−	SAR ADC UnitB 用基準電源端子
-	PS	D1	ADCVREFH	−	SAR ADC UnitC 用基準電源端子
-	PS	D2	ADCVREFL	−	SAR ADC UnitC 用基準電源端子
-	PS	L8	DVDD3	−	デジタル電源端子
-	PS	M8	DVDD3	−	デジタル電源端子
-	PS	N8	DVDD3	−	デジタル電源端子
-	PS	N9	DVDD3	−	デジタル電源端子
-	PS	P9	DVDD3	−	デジタル電源端子
-	PS	N10	DVDD3	−	デジタル電源端子
-	PS	P10	DVDD3	−	デジタル電源端子
-	PS	N11	DVDD3	−	デジタル電源端子
-	PS	P11	DVDD3	−	デジタル電源端子
-	PS	N12	DVDD3	−	デジタル電源端子
-	PS	P12	DVDD3	−	デジタル電源端子
-	PS	N13	DVDD3	−	デジタル電源端子
-	PS	M13	DVDD3	−	デジタル電源端子
-	PS	L13	DVDD3	−	デジタル電源端子
-	PS	H8	DVSS	−	デジタル GND 端子
-	PS	J8	DVSS	−	デジタル GND 端子
-	PS	K8	DVSS	−	デジタル GND 端子
-	PS	G9	DVSS	−	デジタル GND 端子
-	PS	H9	DVSS	−	デジタル GND 端子
-	PS	J9	DVSS	−	デジタル GND 端子

表 1-1 ピン名称と機能<ポート順> (16/16)

PORT	分類	ピン番号	記号	入出力	機能
-	PS	G10	DVSS	−	デジタル GND 端子
-	PS	H10	DVSS	−	デジタル GND 端子
-	PS	G11	DVSS	−	デジタル GND 端子
-	PS	H11	DVSS	−	デジタル GND 端子
-	PS	H12	DVSS	−	デジタル GND 端子
-	PS	H13	DVSS	−	デジタル GND 端子
-	PS	J13	DVSS	−	デジタル GND 端子
-	PS	K13	DVSS	−	デジタル GND 端子
-	PS	R1	RVDD3	−	レギュレータ用電源端子 (注)電気的特性に記載されている接続方法を参照してください。
-	PS	U1	RVSS	−	レギュレータ用 GND 端子 (注)電気的特性に記載されている接続方法を参照してください。
-	PS	T1	DCSW	−	レギュレータ用 SW 端子(インダクタ接続端子) (注)電気的特性に記載されている接続方法を参照してください。
-	PS	V1	DCV15IN	−	レギュレータ用 1.5V 入力端子 (注)電気的特性に記載されている接続方法を参照してください。
-	PS	R2	BVDD3	−	常時 ON エリア レギュレータ用電源端子 (注)電気的特性に記載されている接続方法を参照してください。
-	PS	U2	BVSS	−	常時 ON エリア レギュレータ用 GND 端子 (注)電気的特性に記載されている接続方法を参照してください。

1.4 電源の種類と供給端子

表 1-2 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
DVDD3	2.7 ~ 3.6V	L8 , M8, N8, N9, P9, N10, P10, N11, P11, N12, P12, N13, M13, L13	PA,PB,PC,PD,PE,PF,PG,PH,PJ,PK,PL,PM ,PN,PP,PR,PT,PU,PV,PW,PY,PAD,PAE,P AF,PAG, PAH,PAJ X1,X2,XT1,XT2,MODE $\overline{\text{RESET}}$,ENDIAN,BSC,FTEST3
RVDD3		R1	DCSW, DCV15IN
ADAVDD3		E1	PAA
ADBVDD3		G1	PAB
ADCVDD3		C1	PAC
DAVDD3		K1	DAOUT0, DAOUT1
BVDD3		R2	-

第 2 章　製品情報

本章では、周辺機能に関し製品固有の情報についてまとめます。

周辺機能の章と合わせてご使用ください。

- 「2.1.1 Programmable Servo/Sequence Controller (PSC ver.B)」
- 「2.1.2 外部バスインタフェース(EBIF)」
- 「2.1.3 DMA コントローラ(DMAC)」
- 「2.1.4 16 ビットタイマ/イベントカウンタ(TMRB)」
- 「2.1.5 高分解能 16 ビットタイマ出力 (TMRD ver.B)」
- 「2.1.6 32 ビットタイマ (TMRC)」
- 「2.1.7 2 相パルス入力カウンタ (PHCNT)」
- 「2.1.8 高機能 2 相パルス入力カウンタ(EPHC)」
- 「2.1.9 4 バイト FIFO 付きシリアルチャネル(SIO/UART with 4 bytes FIFO)」
- 「2.1.10 32 バイト FIFO 付きシリアルチャネル(SIO/UART with 32 bytes FIFO)」
- 「2.1.11 拡張シリアル I/O (ESIO)」
- 「2.1.12 非同期シリアル通信回路(UART)」
- 「2.1.13 シリアルバスインタフェース(I2C)」
- 「2.1.14 キーオンウエイクアップ(KWUP)とキーマトリクススキャン(KSCAN)」
- 「2.1.15 アナログデジタルコンバータ(ADC)」
- 「2.1.16 デジタルアナログコンバータ(DAC)」
- 「2.1.17 デバッグインタフェース」

2.1　各周辺機能の情報

2.1.1　Programmable Servo/Sequence Controller (PSC ver.B)

2.1.1.1　PSC 起動要因一覧

表 2-1 起動要因表(周辺機能)

要因番号 x	起動要因
15	-
14	-
13	-
12	-
11	-
10	-
9	外部割込み 17 (INT17)
8	外部割込み 16 (INT16)
7	-
6	-
5	-
4	EPHC 周期位相差測定周期 0 割り込み (INTPHCPCY0)
3	EPHC 割り込み(INTEPHC)
2	ADC 変換終了割り込み (ユニット B) (INTADB)
1	ADC 変換終了割り込み (ユニット A) (INTADA)
0	TMRB コンペアレジスタ 1 一致 (チャネル 09) (INTTB09)

2.1.1.2　ダイレクトポート制御機能対応ポート

ポート A がダイレクトポート制御機能に対応します。

2.1.2 外部バスインタフェース(EBIF)

2.1.2.1 アドレス、データ端子の設定

TMPM440FE/F10XBG はセパレートバスまたはマルチプレクスバスの設定が可能です。切り替えは EXBMOD レジスタで行ない、EXBMOD<EXBSEL>ビットに"1"を設定することでセパレートバスモードに、"0"を設定することでマルチプレクスバスモードになります。

外部デバイス（メモリ）接続のためにポート A ~ ポート E 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 2-2 に示します。

表 2-2 バスモードとアドレス、データ端子の関係

ポート	セパレートバスモード EXBMOD<EXBSEL> = "1"	マルチプレクスバスモード EXBMOD<EXBSEL> = "0"
ポート A (PA0 ~ PA7)	D0 ~ D7	AD0 ~ AD7
ポート B (PB0 ~ PB7)	D8 ~ D15	AD8 ~ AD15
ポート C (PC0 ~ PC7)	A0 ~ A7, A16 ~ A23	A16 ~ A23
ポート D (PD0 ~ PD7)	A8 ~ A15	-
ポート E (PE0 ~ PE7)	A16 ~ A23	-

各ポートはリセット後、汎用入出力ポートとなります。外部デバイスにアクセスする場合は、ポートコントロールレジスタ(PxCR)、ポートファンクションレジスタ(PxFRm)によりアドレスバス、データバスの機能に設定し、入力イネーブルレジスタ(PxIE)を設定してください。

外部領域アクセスから内蔵領域アクセスへ遷移した場合、アドレスバスは直前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

2.1.3　DMA コントローラ(DMAC)

2.1.3.1　内蔵ユニット

TMPM440FE/F10XBG では DMA コントローラを 3 ユニット内蔵しています。各ユニットの違いは下記の通りです。

表 2-3 DMAC のユニット別仕様相違点

ユニット	プライオリティ	$\overline{\text{DREQx}}$ 端子	割り込み
ユニット A	(高い) DMACA ch0 > DMACA ch1 > DMACB ch0 > DMACB ch1 > DMACC ch0 > DMACC ch1 (低い)	$\overline{\text{DREQA}}$	INTDMACATC INTDMACAERR
ユニット B		$\overline{\text{DREQB}}$	INTDMACBTC INTDMACBERR
ユニット C		$\overline{\text{DREQC}}$	INTDMACCTC INTDMACCERR

2.1.3.2 要因一覧表

DMA コントローラの要因は下記の通りです。

DMA シングル転送については、各ユニットの DMACxSoftSReq の該当ビットを"1"に設定してください。

表 2-4 DMA リクエスト番号

DMA リクエスト番号	対応するペリフェラル					
	ユニット A (DMACA ch0,ch1)		ユニット B (DMACB ch0,ch1)		ユニット C (DMACC ch0,ch1)	
	バースト	シングル	バースト	シングル	バースト	シングル
0	ESIO0 受信	−	ESIO1 受信	−	ESIO2 受信	−
1	ESIO0 送信	−	ESIO1 送信	−	ESIO2 送信	−
2	通常 AD 変換終了 (Unit A)	−	通常 AD 変換終了 (Unit B)	−	通常 AD 変換終了 (Unit C)	−
3	SIO/UART3 受信	−	SIO/UART4 受信	−	SIO/UART5 受信	−
4	SIO/UART3 送信	−	SIO/UART4 送信	−	SIO/UART5 送信	−
5	SIO/UART0 受信	−	SIO/UART1 受信	−	SIO/UART2 受信	−
6	SIO/UART0 送信	−	SIO/UART1 送信	−	SIO/UART2 送信	−
7	TMRB00 コンパレータ 1 (CP1)一致検出	−	UART0 受信	UART0 受信	UART1 受信	UART1 受信
8	TMRB04 コンパレータ 1 (CP1)一致検出	−	UART0 送信	UART0 送信	UART1 送信	UART1 送信
9	TMRB10 コンパレータ 1 (CP1)一致検出	−	TMRB08 インプットキャプチャ 0 割り込み	−	TMRB19 インプットキャプチャ 0 割り込み	−
10	TMRB14 コンパレータ 1 (CP1)一致検出	−	TMRC インプットキャプチャ 0 割り込み	−	TMRC インプットキャプチャ 2 割り込み	−
11	TMRC コンペア 0 一致	−	TMRC インプットキャプチャ 1 割り込み	−	TMRC インプットキャプチャ 3 割り込み	−
12	TMRC コンペア 1 一致	−	最優先 AD 変換終了 (Unit B)	−	最優先 AD 変換終了 (Unit C)	−
13	最優先 AD 変換終了 (Unit A)	−	PHCNT1 コンペア 0 一致	−	EPHC 周期 0 割り込み	−
14	PHCNT0 コンペア 0 一致	−	TMRD00 コンペアー致	−	TMRD10 コンペアー致	−
15	$\overline{\text{DREQA}}$ 端子	−	$\overline{\text{DREQB}}$ 端子	−	$\overline{\text{DREQC}}$ 端子	−

2.1.3.3　レジスター覧

$\overline{\text{DREQx}}$ 端子と TMRC の制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
DMAC Request Edge Setting Register	DMACxREDGE	0x0000
DMAC Request Clear Register	DMACxRCLR	0x0004

(1)　DMACxREDGE (DMAC Request Edge Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DEDGEC	DEDGEB	DEDGEA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	DEDGEC	R/W	$\overline{\text{DREQC}}$ 端子における DMA 要求アクティブレベルの設定 0:High アクティブ 1:Low アクティブ
1	DEDGEB	R/W	$\overline{\text{DREQB}}$ 端子における DMA 要求アクティブレベルの設定 0:High アクティブ 1:Low アクティブ
0	DEDGEA	R/W	$\overline{\text{DREQA}}$ 端子における DMA 要求アクティブレベルの設定 0:High アクティブ 1:Low アクティブ

(2) DMACxRCLR (DMAC Request Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	DCLR19	DCLR18	DCLR17	DCLR16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	DCLR9	DCLR8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DCLR2	DCLR1	DCLR0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると"0"が読めます。
19	DCLR19	W	TMRC キャプチャ割り込み 3 による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
18	DCLR18	W	TMRC キャプチャ割り込み 2 による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
17	DCLR17	W	TMRC キャプチャ割り込み 1 による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
16	DCLR16	W	TMRC キャプチャ割り込み 0 による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
15-10	-	R	リードすると"0"が読めます。
9	DCLR9	W	TMRC コンペア一致割り込み 1 による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
8	DCLR8	W	TMRC コンペア一致割り込み 0 による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
7-3	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
2	DCLR2	W	$\overline{\text{DREQC}}$ 端子による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
1	DCLR1	W	$\overline{\text{DREQB}}$ 端子による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
0	DCLR0	R/W	$\overline{\text{DREQA}}$ 端子による DMA 要求信号のクリア 0:- 1:DMA 要求クリア DMAC 転送終了割り込みのなかで"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。

2.1.3.4 使用上の注意

(1) SIO/UART の総転送回数の設定

SIO/UART 送信のバースト要求では、総転送回数(DMACxCnControl<TransferSize>)を一回にして使用してください。

2.1.4　16 ビットタイマ/イベントカウンタ(TMRB)

2.1.4.1　内蔵チャネル

TMPM440FE/F10XBG では 20 チャネルの TMRB を内蔵しています。各チャネルの違いは下記の通りです。

表 2-5 TMRB のチャネル別仕様相違点

チャネル	外部端子		タイマ間トリガ機能		割り込み	
	タイマフリップフロップ出力端子	キャプチャトリガ入力	キャプチャトリガ	同期スタートトリガ	TMRB割り込み	キャプチャ割り込み
TMRB00	TB00OUT	−	TB08OUT	−	INTTB00	−
TMRB01	TB01OUT	−	TB08OUT	TMRB00	INTTB01	−
TMRB02	TB02OUT	−	TB08OUT	TMRB00	INTTB02	−
TMRB03	TB03OUT	−	TB08OUT	TMRB00	INTTB03	−
TMRB04	TB04OUT	−	TB08OUT	−	INTTB04	−
TMRB05	TB05OUT	−	TB09OUT	TMRB04	INTTB05	−
TMRB06	TB06OUT	−	TB09OUT	TMRB04	INTTB06	−
TMRB07	TB07OUT	TB07IN0 TB07IN1	TB09OUT	TMRB04	INTTB07	INTTB07CAP0 INTTB07CAP1
TMRB08	TB08OUT	TB08IN0 TB08IN1	TB09OUT	−	INTTB08	INTTB08CAP0 INTTB08CAP1
TMRB09	TB09OUT	TB09IN0 TB09IN1	−	−	INTTB09	INTTB09CAP0 INTTB09CAP1
TMRB10	TB10OUT	TB10IN0 TB10IN1	TB18OUT	−	INTTB10	INTTB10CAP0 INTTB10CAP1
TMRB11	TB11OUT	TB11IN0 TB11IN1	TB18OUT	TMRB10	INTTB11	INTTB11CAP0 INTTB11CAP1
TMRB12	TB12OUT	TB12IN0 TB12IN1	TB18OUT	TMRB10	INTTB12	INTTB12CAP0 INTTB12CAP1
TMRB13	TB13OUT	TB13IN0 TB13IN1	TB18OUT	TMRB10	INTTB13	INTTB13CAP0 INTTB13CAP1
TMRB14	TB14OUT	TB14IN0 TB14IN1	TB18OUT	−	INTTB14	INTTB14CAP0 INTTB14CAP1
TMRB15	TB15OUT	TB15IN0 TB15IN1	TB19OUT	TMRB14	INTTB15	INTTB15CAP0 INTTB15CAP1
TMRB16	TB16OUT	TB16IN0 TB16IN1	TB19OUT	TMRB14	INTTB16	INTTB16CAP0 INTTB16CAP1
TMRB17	TB17OUT	TB17IN0 TB17IN1	TB19OUT	TMRB14	INTTB17	INTTB17CAP0 INTTB17CAP1
TMRB18	TB18OUT	TB18IN0 TB18IN1	TB19OUT	−	INTTB18	INTTB18CAP0 INTTB18CAP1
TMRB19	TB19OUT	TB19IN0 TB19IN1	−	−	INTTB19	INTTB19CAP0 INTTB19CAP1

2.1.5 高分解能 16 ビットタイマ出力 (TMRD ver.B)

2.1.5.1 内蔵ブロック

TMPM440FE/F10XBG では高分解能 16 ビットタイマ出力を 1 ブロック内蔵しています。1 ブロックには 2 ユニットのタイマが内蔵されており、それぞれタイマ出力を 2 チャネル持っています。

表 2-6 TMRD の仕様

ユニット	タイマ出力端子		割り込み		
	TDnOUT0	TDnOUT1	コンパレータ 0/5 一致、カウンタ 0 オーバーフロー 割り込み	コンパレータ 0 一致、カウンタ 1 オーバーフロー 割り込み	コンパレータ 1/2/3/4 一致 割り込み
TMRD0	PY4	PY5	INTTD0CMP0	-	INTTDxCMP2 ~ 4
TMRD1	PY6	PY7	-	INTTD1CMP0	INTTDxCMP2 ~ 4

注) n=0,1

2.1.5.2 コンペアレジスタの設定範囲

TMPM440FE/F10XBG の 16 ビットプログラマブル矩形波出力におけるコンペアレジスタへの設定範囲を表 2-7 に示します。

表 2-7 TMRD ソースクロック選択と設定範囲

CGPWMGEAR<TMRDGEAR[1:0]>	TDnMOD<TDCLK[3:0]>	TDnCP0<CPRG0[15:0]>	
TMRD ソースクロック選択(f_{tmrd})	TMRDn プリスケーラ選択(f_{CLKn})	最小値	最大値
00 : f_{tmrd}=fc/1	0000 : $f_{CLKn}=f_{tmrd}/1$	0x0014	0xFFFF
	1000 : $f_{CLKn}=f_{tmrd}/2$	0x0010	0xFFFF
	1001 : $f_{CLKn}=f_{tmrd}/4$	0x000E	0xFFFF
	1010 : $f_{CLKn}=f_{tmrd}/8$	0x000D	0xFFFF
	1011 : $f_{CLKn}=f_{tmrd}/16$	0x000C	0xFFFF
01 : f_{tmrd}=fc/2	0000 : $f_{CLKn}=f_{tmrd}/1$	0x0010	0xFFFF
	1000 : $f_{CLKn}=f_{tmrd}/2$	0x000E	0xFFFF
	1001 : $f_{CLKn}=f_{tmrd}/4$	0x000D	0xFFFF
	1010 : $f_{CLKn}=f_{tmrd}/8$	0x000C	0xFFFF
	1011 : $f_{CLKn}=f_{tmrd}/16$	0x000C	0xFFFF
10 : f_{tmrd}=fc/4	0000 : $f_{CLKn}=f_{tmrd}/1$	0x000E	0xFFFF
	1000 : $f_{CLKn}=f_{tmrd}/2$	0x000D	0xFFFF
	1001 : $f_{CLKn}=f_{tmrd}/4$	0x000C	0xFFFF
	1010 : $f_{CLKn}=f_{tmrd}/8$	0x000C	0xFFFF
	1011 : $f_{CLKn}=f_{tmrd}/16$	0x000C	0xFFFF

2.1.5.3　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
タイマクロック設定レジスタ	CGPWMGEAR	0x0014

(1)　CGPWMGEAR (タイマクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-		TMRDGEAR		-	-	-	TMRD CLKEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R/W	"0"をライトしてください。
5-4	TMRDGEAR [1:0]	R/W	TMRD ソースクロック選択 00 : fc 01 : fc / 2 10 : fc / 4 11 : Reserved TMRD に入力するソースクロックを選択します。
3-2	−	R	リードすると"0"が読めます。
1	−	R/W	"0"をライトしてください。
0	TMRDCLKEN	R/W	TMRD ソースクロック制御 0 : 停止 (OFF) 1 : 設定 (ON) TMRD への TMRDCLK 供給を設定します。

注 1)　CGPWMGEAR<TMRDAGEAR[1:0]>="10" (TMRD ソースクロックに fc/4 を選択)を設定したときには、CGSYSCR<GEAR[2:0]>には"000"または"100" (ギアクロック fc または fc/2)は設定できません。

注 2)　クロック選択と供給は、同時に行なわないで下さい。 TMRDx を使用する時は、初めにクロック供給が停止した状態でソースクロックの選択を行い、その後、クロック供給を許可して下さい。

注 3)　ソースクロックを切り替える場合は、TMRDx へのクロック供給を停止した状態(<TMRDCLKEN>="0")で切り替えを行なってください。

2.1.6 32 ビットタイマ (TMRC)

2.1.6.1 内蔵ユニット

TMPM440FE/F10XBG では 32 ビットタイマを 1 ユニット内蔵しています。1 ユニットには 32 ビットタイムベースタイマを 1 チャネル、32 ビットインプットキャプチャレジスタを 4 チャネル、32 ビットアウトプットコンペアレジスタを 8 チャネル内蔵しています。

表 2-8 TMRC の仕様

ユニット	クロック入力端子	キャプチャ入力端子	タイマ F/F 出力端子	割り込み		
	TCTBTIN	TCIN0 ~ 3	TCOUT0 ~ 7	オーバーフロー割り込み	キャプチャ割り込み 0 ~ 3	コンペアー致割り込み 0 ~ 7
TMRC	PAG7	PU0 ~ 3	PT0 ~ 7	INTTCTBT	INTTCCAP0 ~ 3	INTTCCMP0 ~ 7

2.1.7 2 相パルス入力カウンタ (PHCNT)

2.1.7.1 内蔵チャネル

TMPM440FE/F10XBG では 2 相パルス入力カウンタを 2 チャネル内蔵しています。各チャネルの違いは下記の通りです。

表 2-9 PHC のチャネル別仕様相違点

チャネル	カウンタ入力端子		割り込み		
	PHCxIN0	PHCxIN1	コンペア 0 割り込み	コンペア 1 割り込み	毎割り込み
PHC0	PU4	PU5	INTPHC00	INTPHC01	INTPHC0 EVRY
PHC1	PU6	PU7	INTPHC10	INTPHC11	INTPHC1 EVRY

2.1.8　高機能 2 相パルス入力カウンタ(EPHC)

TMPM440FE/F10XBG では高機能 2 相パルス入力カウンタを 1 チャネル内蔵しています。

表 2-10 EPHC の仕様

チャネル	カウンタ入力端子		割り込み			
	EPHCxIN0	EPHCxIN1	EPHC 割り込み	EPHC 周期位相差測定 オーバーフロー 割り込み	EPHC 周期位相差測定 周期エラー 割り込み	EPHC 周期位相差測定 周期 x 割り込み
EPHC	PR6	PR7	INTEPHC	INTPHCPOVF	INTPHCPPHE	INTPHCPCY0 ~ INTPHCPCY3

2.1.8.1　PSC がアクセスするレジスタ

EPHC には CPU からアクセスするレジスタのほかに PSC からアクセスするためのミラーレジスタが内蔵されています。

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x=チャネル番号)		Address (Base+)
EPHCx 16 ビットカウンタリードレジスタ	EPHCx_PSCADAT	0x001C
Reserved	-	0x0020 ~ 0x0024
EPHCx 24 ビットカウンタリードレジスタ	EPHCx_PSCBUC	0x0028
Reserved	-	0x002C
EPHCx キャプチャ 00 レジスタ	EPHCx_PSCBCAP00	0x0030
EPHCx キャプチャ 10 レジスタ	EPHCx_PSCBCAP10	0x0034
EPHCx キャプチャ 20 レジスタ	EPHCx_PSCBCAP20	0x0038
EPHCx キャプチャ 30 レジスタ	EPHCx_PSCBCAP30	0x003C
EPHCx 周期カウンタ 0 レジスタ	EPHCx_PSCB0DAT	0x0040
EPHCx 周期カウンタ 1 レジスタ	EPHCx_PSCB1DAT	0x0044
EPHCx 周期カウンタ 2 レジスタ	EPHCx_PSCB2DAT	0x0048
EPHCx 周期カウンタ 3 レジスタ	EPHCx_PSCB3DAT	0x004C
EPHCx 周期カウンタ共通レジスタ	EPHCx_PSCBCDAT	0x0050
Reserved	-	0x0054 ~ 0x005C
EPHCx 位相差 0 レジスタ	EPHCx_PSCB0PDT	0x0060
EPHCx 位相差 1 レジスタ	EPHCx_PSCB1PDT	0x0064
EPHCx 位相差 2 レジスタ	EPHCx_PSCB2PDT	0x0068
EPHCx 位相差 3 レジスタ	EPHCx_PSCB3PDT	0x006C

2.1.8.2 EPHCx_PSCADAT(EPHCx16 ビットカウンタリードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DAT_MIR							
リセット後	0	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	DAT_MIR							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	DAT_MIR[15:0]	R	2 相パルス入力カウンタの読み出しデータ

注 1) EPHCxARUN<CLR>が"1"になると 0x7FFF に初期化されます。
注 2) 値を書き込むときには EPHCxARUN<RUN>に"0"を書き込み、2 相パルス入力カウンタを停止させてください。

2.1.8.3 EPHCx_PSCBUC(EPHCx 24 ビットカウンタリードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	T24UCR_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	T24UCR_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	T24UCR_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	T24UCR_MIR [23:0]	R	周期位相測定 24 ビットカウンタ読み出しデータ

2.1.8.4　EPHCx_PSCBCAP00(EPHCx キャプチャ 00 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF00_MIR
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP00_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP00_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP00_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	−	R	リードすると"0"が読めます。
24	OVF00_MIR	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP00_MIR [23:0]	R	EPHCxIN0 立上がりエッジのキャプチャ値

2.1.8.5　EPHCx_PSCBCAP10(EPHCx キャプチャ 10 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF10_MIR
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP10_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP10_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP10_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	−	R	リードすると"0"が読めます。
24	OVF10_MIR	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP10_MIR [23:0]	R	EPHCxIN1 立上がりエッジのキャプチャ値

2.1.8.6 EPHCx_PSCBCAP20(EPHCx キャプチャ 20 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF20_MIR
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP20_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP20_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP20_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	–	R	リードすると"0"が読めます。
24	OVF20_MIR	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP20_MIR [23:0]	R	EPHCxIN0 立下りエッジのキャプチャ値

2.1.8.7 EPHCx_PSCBCAP30(EPHCx キャプチャ 30 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF30__MIR
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP30_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP30_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP30_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	–	R	リードすると"0"が読めます。
24	OVF30_MIR	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP30_MIR [23:0]	R	EPHCxIN1 立下りエッジのキャプチャ値

2.1.8.8　EPHCx_PSCB0DAT(EPHCx 周期カウンタ 0 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B0DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B0DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B0DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B0DAT_MIR [23:0]	R	EPHCxIN0 の立上がりエッジ間の周期カウンタの値を取り込みます

2.1.8.9　EPHCx_PSCB1DAT(EPHCx 周期カウンタ 1 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B1DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B1DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B1DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B1DAT_MIR [23:0]	R	EPHCxIN1 の立上がりエッジ間の周期カウンタの値を取り込みます

2.1.8.10 EPHCx_PSCB2DAT(EPHCx 周期カウンタ 2 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B2DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B2DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B2DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B2DAT_MIR [23:0]	R	EPHCxIN0 の立下りエッジ間の周期カウンタの値を取り込みます

2.1.8.11 EPHCx_PSCB3DAT(EPHCx 周期カウンタ 3 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B3DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B3DAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B3DAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B3DAT_MIR [23:0]	R	EPHCxIN1 の立下りエッジ間の周期カウンタの値を取り込みます

2.1.8.12　EPHCx_PSCBCDAT(EPHCx 周期カウンタ共通レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	BCDAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BCDAT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BCDAT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	BCDAT_MIR [23:0]	R	EPHCxB0DAT ~ EPHCxB3DAT の取り込みに合わせて、本レジスタにも周期カウンタの値が取り込まれます。

2.1.8.13 EPHCx_PSCB0PDT(EPHCx 位相差 0 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B0PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B0PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B0PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B0PDT_MIR [23:0]	R	正位相の場合、EPHCxIN0 の立上がりエッジから EPHCxIN1 の立上がりエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN1 の立上がりエッジから EPHCxIN0 の立上がりエッジ間の周期カウンタの値を取り込みます。

2.1.8.14 EPHCx_PSCB1PDT(EPHCx 位相差 1 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B1PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B1PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B1PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B1PDT_MIR [23:0]	R	正位相の場合、EPHCxIN1 の立上がりエッジから EPHCxIN0 の立下りエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN0 の立上がりエッジから EPHCxIN1 の立下りエッジ間の周期カウンタの値を取り込みます。

2.1.8.15　EPHCx_PSCB2PDT(EPHCx 位相差 2 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B2PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B2PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B2PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B2PDT_MIR [23:0]	R	正位相の場合、EPHCxIN0 の立下りエッジから EPHCxIN1 の立下りエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN1 の立下りエッジから EPHCxIN0 の立下りエッジ間の周期カウンタの値を取り込みます。

2.1.8.16　EPHCx_PSCB3PDT(EPHCx 位相差 3 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B3PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B3PDT_MIR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B3PDT_MIR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B3PDT_MIR [23:0]	R	正位相の場合、EPHCxIN1 の立下りエッジから EPHCxIN0 の立上がりエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN0 の立下りエッジから EPHCxIN1 の立上がりエッジエッジ間の周期カウンタの値を取り込みます。

2.1.9 4 バイト FIFO 付きシリアルチャネル(SIO/UART with 4 bytes FIFO)

2.1.9.1 内蔵チャネル

TMPM440FE/F10XBG では 4 バイト FIFO 付きシリアルチャネルを 3 チャネル内蔵しています。各チャネルの違いは下記の通りです。

表 2-11 SIO/UART with 4 bytes FIFO のチャネル別仕様相違点

チャネル	端子			割り込み		シリアルクロック生成タイマ	DMA 対応
	TXDx	RXDx	SCLKx/$\overline{\text{CTSx}}$	受信割り込み	送信割り込み		
チャネル 0	PH4	PH5	PH6	INTRX0	INTTX0	TB11OUT	あり
チャネル 1	PK4	PK5	PK6	INTRX1	INTTX1	TB11OUT	あり
チャネル 2	PE0	PE1	PE2	INTRX2	INTTX2	TB12OUT	あり

2.1.10 32 バイト FIFO 付きシリアルチャネル(SIO/UART with 32 bytes FIFO)

2.1.10.1 内蔵チャネル

TMPM440FE/F10XBG では 32 バイト FIFO 付きシリアルチャネルを 3 チャネル内蔵しています。各チャネルの違いは下記の通りです。

表 2-12 SIO/UART with 32 bytes FIFO のチャネル別仕様相違点

チャネル	端子			割り込み		シリアルクロック生成タイマ	DMA 対応
	TXDx	RXDx	SCLKx/$\overline{\text{CTSx}}$	受信割り込み	送信割り込み		
チャネル 3	PM4	PM5	PM6	INTRX3	INTTX3	TB12OUT	あり
チャネル 4	PP4	PP5	PP6	INTRX4	INTTX4	TB13OUT	あり
チャネル 5	PE4	PE5	PE6	INTRX5	INTTX5	TB13OUT	あり

2.1.11　拡張シリアル I/O (ESIO)

2.1.11.1　内蔵チャネル

TMPM440FE/F10XBG では拡張シリアル I/O を 3 チャネル内蔵しています。

各チャネルの違いは下記の通りです。

表 2-13 ESIO のチャネル別仕様相違点

チャネル	端子				割り込み		
	ESIOxCS0/ ESIOxCS1	ESIOxTXD0/ ESIOxTXD1/ ESIOxTXD2/ ESIOxTXD3	ESIOxRXD0/ ESIOxRXD1/ ESIOxRXD2/ ESIOxRXD3	ESIOxSCK	受信割り込み	送信割り込み	エラー 割り込み
チャネル 0	PK1/ PK2	PJ0/PJ1/ PJ2/PJ3	PJ4/PJ5/ PJ6/PJ7	PK0	INTE0RX	INTE0TX	INTE0ERR
チャネル 1	PM1/ PM2	PL0/PL1/ PL2/PL3	PL4/PL5/ PL6/PL7	PM0	INTE1RX	INTE1TX	INTE1ERR
チャネル 2	PP1/ PP2	PN0/PN1/ PN2/PN3	PN4/PN5/ PN6/PN7	PP0	INTE2RX	INTE2TX	INTE2ERR

2.1.12　非同期シリアル通信回路(UART)

2.1.12.1　内蔵チャネル

TMPM440FE/F10XBG では非同期シリアル通信回路を 2 チャネル内蔵しています。

各チャネルの違いは下記の通りです。

表 2-14 UART のチャネル別仕様相違点

チャネル		端子				割り込み
		TXDx	RXD x	$\overline{\text{CTSx}}$	$\overline{\text{RTSx}}$	送受信割り込み
チャネル 0	端子名称	TXD6	RXD6	$\overline{\text{CTS6}}$	$\overline{\text{RTS6}}$	INTUART0
	ポート名	PR0	PR1	PR2	PR3	
チャネル 1	端子名称	TXD7	RXD7	$\overline{\text{CTS7}}$	$\overline{\text{RTS7}}$	INTUART1
	ポート名	PP2	PP3	PP6	PP7	

2.1.12.2　使用できない機能

TMPM440FE/F10XBG では UART の赤外線通信機能は使用できません。

2.1.13 シリアルバスインタフェース(I2C)

2.1.13.1 内蔵チャネル

TMPM440FE/F10XBG ではシリアルバスインタフェースを 1 チャネル内蔵しています。

表 2-15 I2C の仕様

チャネル	端子		割り込み
	SDAx	SCLx	送受信割り込み
チャネル 0	PR5	PR4	INTI2C

2.1.14　キーオンウエイクアップ(KWUP)とキーマトリクススキャン(KSCAN)

2.1.14.1　内蔵ユニット

TMPM440FE/F10XBG ではキーオンウエイクアップを 2 ユニット内蔵しています。
各ユニットの違いは下記の通りです。

表 2-16 KWUP の仕様

ユニット	チャネル数	端子	割り込み	KSCAN 兼用
KWUPA	32 チャネル	PAD0 ~ PAD7 PAE0 ~ PAE7 PAF0 ~ PAF7 PAG0 ~ PAG7	INTKWUPA	-
KWUPB	8 チャネル	PAH0 ~ PAH7	INTKWUPB	サポート

TMPM440FE/F10XBG ではキーマトリクススキャンを 1 チャネル内蔵しています。
キーマトリクススキャンの仕様は下記の通りです。

表 2-17 KSCAN の仕様

機能	KSCLK	KSCAN ポート	端子	割り込み名
KSCAN 入力	fs または TB19OUT	KSIN0 ~ KSIN7	PAH0 ~ PAH7	INTKSCAN
KSCAN 出力		KSOUT0 ~ KSOUT7	PAJ0 ~ PAJ7	-

2.1.14.2 低消費電力モードからの解除

TMPM440FE/F10XBG では KSCAN 機能と KWUP 機能を組み合わせることで、KSCLK 停止中も KSCAN 入力による低消費電力モードの解除を行うことができます。

表 2-18 動作モード遷移と KSCAN 機能、KWUP 機能の組み合わせ

KSCLK	動作モード	ポート AH の兼用機能	KSCAN 動作 (INTKSCAN)	KWUPB 動作 (INTKWUPB)
fs	NORMAL	KSINx	マトリクスキー(最大 64 キー)の状態変化を検出して割り込みを発生	KSCAN として使用している端子は使用できません
	IDLE			
	STOP1			
	STOP2			
TB19OUT	NORMAL			
	IDLE			
	STOP1	KWUPBx	停止 (注)	入力キー(最大 8 キー)の"Low"を検出して割り込みを発生
	STOP2			

注) この場合、TB19OUT が停止するため KSCAN 動作も停止します。そのため事前にポートの兼用機能を KSINx から KWUPBx に切り替えておき、KWUPB 動作で STOP1/2 の解除を行う必要があります。
設定手順については、「(1) KSCLK 停止を伴う低消費電力モードへの移行手順(KSCAN+KWUP)」と「(2) KSCLK 停止を伴う低消費電力モードからの解除後の動作手順(KSCAN+KWUP)」を参照してください。

(1)　KSCLK 停止を伴う低消費電力モードへの移行手順(KSCAN+KWUP)

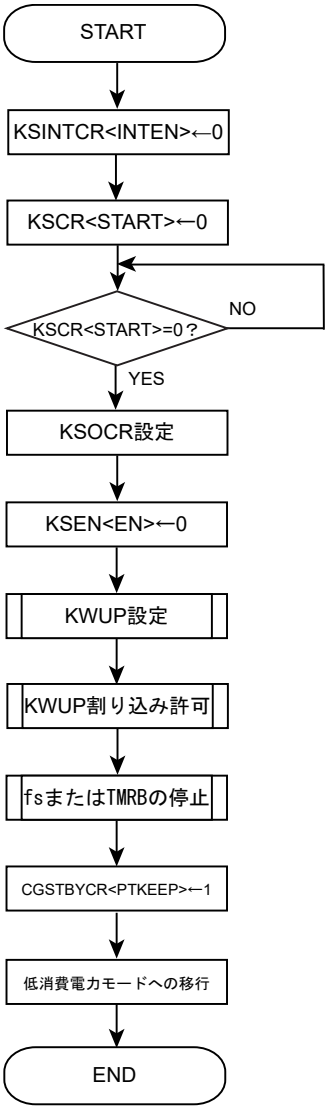


図 2-1 KSCLK 停止を伴う低消費電力モードへの移行フロー

注 1)　「KSOCR 設定」では設定変更が必要な<KSLO0> ~ <KSLO7>ビットをセットします。

注 2)　STOP2 モードに移行するときには CGSTBYCR<PTKEEP>を"1"を設定してください。もし設定しないで STOP2 モードに移行すると KSCAN 出力端子は Hi-Z となり、KSCAN 入力は禁止になります。

(2) KSCLK 停止を伴う低消費電力モードからの解除後の動作手順(KSCAN+KWUP)

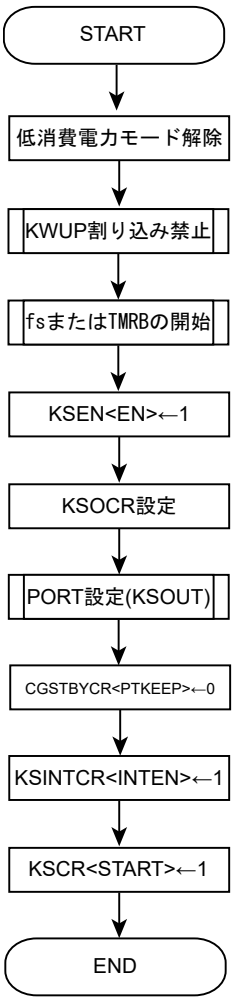


図 2-2 KSCLK 停止を伴う低消費電力モード解除フロー

注 1) STOP2 モードに移行すると、ポートのレジスタは初期化されます。したがってポート出力は Hi-Z に、ポート入力は禁止されます。STOP2 モード解除後、CGSTBYCR<PTKEEP>を"0"にするまえに、ポートのレジスタを再設定してください。

注 2) CGSTBYCR<PTKEEP>を"0"に設定するまで、<PTKEEP>を"1"に設定したときのポート状態を保持します。

2.1.15　アナログデジタルコンバータ(ADC)

2.1.15.1　使用できない機能

TMPM440FE/F10XBG では ADC の以下の機能は使用できません。関連するレジスタの設定は行わないでください。

表 2-19 使用できない ADC の機能

機能	レジスタ
AD 変換監視割り込みによる DMA 要求	ADxMOD7<INTADM0DMA>, <INTADM1DMA>

2.1.15.2　内蔵ユニット

TMPM440FE/F10XBG では 12 ビットアナログデジタルコンバータを 3 ユニット内蔵しています。

各ユニットの違いは下記の通りです。

表 2-20 ADC のユニット別仕様相違点

ユニット	チャネル数	端子	ハードウエア要因 (通常 AD 変換)	ハードウエア要因 (最優先 AD 変換)	割り込み	ADC 同時スタート機能
ユニット A	8 チャネル	PAA0 ~ PAA7 (AINA0 ~ AINA7)	$\overline{\text{ADTRGA}}$ または 16bit タイマ/イベントカウンタチャネル 17 のコンペアレジスタ 0 一致割り込み	$\overline{\text{ADTRGA}}$ または 16bit タイマ/イベントカウンタチャネル 14 のコンペアレジスタ 0 一致割り込み	INTADA INTADAHP INTADAM0 INTADAM1	$\overline{\text{ADTRGSNC}}$(PH3)によってユニット A とユニット B を同時にスタートさせることが可能
ユニット B	8 チャネル	PAB0 ~ PAB7 (AINB0 ~ AINB7)	$\overline{\text{ADTRGB}}$ または 16bit タイマ/イベントカウンタチャネル 18 のコンペアレジスタ 0 一致割り込み	$\overline{\text{ADTRGB}}$ または 16bit タイマ/イベントカウンタチャネル 15 のコンペアレジスタ 0 一致割り込み	INTADB INTADBHP INTADBM0 INTADBM1	
ユニット C	4 チャネル	PAC0 ~ PAC3 (AINC0 ~ AINC3)	$\overline{\text{ADTRGC}}$ または 16bit タイマ/イベントカウンタチャネル 19 のコンペアレジスタ 0 一致割り込み	$\overline{\text{ADTRGC}}$ または 16bit タイマ/イベントカウンタチャネル 16 のコンペアレジスタ 0 一致割り込み	INTADC INTADCHP INTADCM0 INTADCM1	-

注)　ユニット C では、チャネル 4 以上のアナログ入力を選択しないでください。

2.1.15.3 PSC がアクセスするレジスタ

ADC には CPU からアクセスするレジスタのほかに PSC からアクセスするためのミラーレジスタが内蔵されています。

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
変換結果格納レジスタ 0	ADx_PSCREG00	0x0034
変換結果格納レジスタ 1	ADx_PSCREG01	0x0038
変換結果格納レジスタ 2	ADx_PSCREG02	0x003C
変換結果格納レジスタ 3	ADx_PSCREG03	0x0040
変換結果格納レジスタ 4	ADx_PSCREG04	0x0044
変換結果格納レジスタ 5	ADx_PSCREG05	0x0048
変換結果格納レジスタ 6	ADx_PSCREG06	0x004C
変換結果格納レジスタ 7	ADx_PSCREG07	0x0050
Reserved	−	0x0054
Reserved	−	0x0058
Reserved	−	0x005C
Reserved	−	0x0060
Reserved	−	0x0064
Reserved	−	0x0068
Reserved	−	0x006C
Reserved	−	0x0070
最優先変換結果格納レジスタ	ADx_PSCREGSP	0x0074

注) "Reserved"表記のアドレスにはアクセスしないでください。

2.1.15.4　ADx_PSCREGn(変換結果格納レジスタ、n=00 ~ 07)

	31	30	29	28	27	26	25	24
bit symbol	ADR_MR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADR_MR				-	-	ADOVRF_MR	ADRF_MR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	ADR_MR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADx_PSCREGn レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRF_MR	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADx_PSCREGn)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADx_PSCREGn レジスタをリードすると"0"にクリアされます。
16	ADRF_MR	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADx_PSCREGn レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRF	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADxREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADxREGx レジスタをリードすると"0"にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADxREGx レジスタをリードすると"0"にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADx_PSCREGn レジスタをリードすると前回の変換結果がリードされます。

注)　<ADR_MR>、<ADOVRF_MR>、<ADRF_MR>は<ADR>、<ADOVRF>、<ADRF>のミラーレジスタであり、同一の値が読み出せます。何れか一方をご使用ください。動作説明では、<ADR>、<ADOVRF>、<ADRF>で説明してあります。

2.1.15.5 ADx_PSCREGSP (最優先 AD 変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADSPR_MR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADSPR_MR				-	-	ADOVRSPF_MR	ADSPRF_MR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRSPF	ADSPRF	ADSPR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSPR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	ADSPR_MR [11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADx_PSCREGSP レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRSPF_MR	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADx_PSCREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADx_PSCREGSP レジスタをリードすると"0"にクリアされます。
16	ADSPRF_MR	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADx_PSCREGSP レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRSPF	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADx_PSCREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADx_PSCREGSP レジスタをリードすると"0"にクリアされます。
12	ADSPRF	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADx_PSCREGSP レジスタをリードすると"0"にクリアされます。
11-0	ADSPR[11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADx_PSCREGSP レジスタをリードすると前回の変換結果がリードされます。

注) <ADSPR_MR>、<ADOVRSPF_MR>、<ADSPRF_MR>は<ADSPR>、<ADOVRSPF>、<ADSPRF>のミラーレジスタであり、同一の値が読み出せます。何れか一方をご使用ください。動作説明では、<ADSPR>、<ADOVRSPF>、<ADSPRF>で説明してあります。

2.1.16　デジタルアナログコンバータ(DAC)

2.1.16.1　内蔵チャネル

TMPM440FE/F10XBG ではデジタルアナログコンバータを 2 チャネル内蔵しています。

各チャネルの違いは下記の通りです。

表 2-21 DAC のチャネル別仕様相違点

チャネル	端子
チャネル 0	DAOUT0
チャネル 1	DAOUT1

2.1.17　デバッグインタフェース

TMPM440FE/F10XBG はシリアルワイヤデバッグポート、JTAG デバッグポートおよびトレース出力をサポートしています。

表 2-22 端子仕様

	TMS SWDIO	TCK SWCLK	TDO SWV	TDI	$\overline{\text{TRST}}$
JTAG シリアルワイヤ	PG1	PG2	PG0	PG3	PG4

	TRACECLK	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3
トレース出力	PG5	PG6	PG7	PH0	PH1

2.2 周辺機能間の接続情報

以下に周辺機能間の接続情報を示します。

表 2-23 周辺機能間の接続情報

周辺機能	チャネル または ユニット	機能	接続先
PSC	-	周辺機能による PSC 起動	・CPU による起動(PSCSET<INTSETx>を"1"にセット) ・外部割込み(INT16、INT17) ・TMRB ch09 のコンペアレジスタ 1 との一致割り込み (INTTB09) ・EPHC の 2 相パルス入力カウンタ割り込み(INTEPHC) ・EPHC の 2 相パルス周期位相差測定周期 0 割り込み (INTPHCPCY0) ・AD 変換終了ユニット A 割り込み(INTADA) ・AD 変換終了ユニット B 割り込み(INTADB)
TMRB	チャネル 01	タイマ同期モード	TMRB00 のタイマスタートに同期してタイマスタート
	チャネル 02		
	チャネル 03		
	チャネル 05		TMRB04 のタイマスタートに同期してタイマスタート
	チャネル 06		
	チャネル 07		
	チャネル 11		TMRB10 のタイマスタートに同期してタイマスタート
	チャネル 12		
	チャネル 13		
	チャネル 15		TMRB14 のタイマスタートに同期してタイマスタート
	チャネル 16		
	チャネル 17		
	チャネル 01	タイマ同期モード	TMRB00 のプリスケーラスタートに同期してプリスケーラスタート
	チャネル 02		
	チャネル 03		
	チャネル 05		TMRB04 のプリスケーラスタートに同期してプリスケーラスタート
	チャネル 06		
	チャネル 07		
	チャネル 11		TMRB10 のプリスケーラスタートに同期してプリスケーラスタート
	チャネル 12		
	チャネル 13		
	チャネル 15		TMRB14 のプリスケーラスタートに同期してプリスケーラスタート
	チャネル 16		
	チャネル 17		

表 2-23 周辺機能間の接続情報

周辺機能	チャネル または ユニット	機能	接続先
TMRB	チャネル 00	キャプチャトリガ	TMRB08 の F/F 出力をキャプチャトリガとして使用
	チャネル 01		
	チャネル 02		
	チャネル 03		
	チャネル 04		
	チャネル 05		TMRB09 の F/F 出力をキャプチャトリガとして使用
	チャネル 06		
	チャネル 07		
	チャネル 08		
	チャネル 10		TMRB18 の F/F 出力をキャプチャトリガとして使用
	チャネル 11		
	チャネル 12		
	チャネル 13		
	チャネル 14		
	チャネル 15		TMRB19 の F/F 出力をキャプチャトリガとして使用
	チャネル 16		
	チャネル 17		
	チャネル 18		
SIO/UART	チャネル 0	UART モード時の 転送クロック	TMRB11 の F/F 出力を使用
	チャネル 1		
	チャネル 2		TMRB12 の F/F 出力を使用
	チャネル 3		
	チャネル 4		TMRB13 の F/F 出力を使用
	チャネル 5		
ADC	ユニット A	通常 AD 変換の起動	TMRB17 のコンペアレジスタ 0 との一致割り込み (INTTB17)
	ユニット B		TMRB18 のコンペアレジスタ 0 との一致割り込み (INTTB18)
	ユニット C		TMRB19 のコンペアレジスタ 0 との一致割り込み (INTTB19)
	ユニット A	最優先 AD 変換の 起動	TMRB14 のコンペアレジスタ 0 との一致割り込み (INTTB14)
	ユニット B		TMRB15 のコンペアレジスタ 0 との一致割り込み (INTTB15)
	ユニット C		TMRB16 のコンペアレジスタ 0 との一致割り込み (INTTB16)
	ユニット A	外部トリガによる 起動	$\overline{\text{ADTRGA}}$ による起動
	ユニット B		$\overline{\text{ADTRGB}}$ による起動
	ユニット C		$\overline{\text{ADTRGC}}$ による起動
	ユニット A と ユニット B		$\overline{\text{ADTRGSNC}}$ による起動
KSCAN	-	ksclk	TMRB19 の F/F 出力を KSCAN の KSCLK として使用できます。

第 3 章　プロセッサコア

TX04 シリーズには、高性能 32 ビットプロセッサコア(ARM 社 Cortex-M4F コア)が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされるドキュメンテーションセットを参照してください。ここでは、製品固有の情報について説明します。

3.1　コアに関する情報

TMPM440FE/F10XBG で使用している Cortex-M4F コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、下記 URL より ARM 社の"Cortex-M4 プロセッサ用ドキュメンテーションセット"を参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM440FE/F10XBG	r0p1

3.2　構成可能なオプション

Cortex-M4F コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM440FE/F10XBG での構成は以下のとおりです。

Configurable options	Implementation
MPU (Memory Protection Unit)	Absent
FPB (Flash Patch and Breakpoint)	Two literal comparators Six instruction comparators
DWT (Data Watchpoint and Trace)	Four comparators
ITM (Instrumentation Trace Macrocell)	Present
ETM (Embedded Trace Macrocell)	Present
AHB-AP (AHB Access Port)	Present
HTM Interface (AHB Trace Macrocell Interface)	Absent
TPIU (Trace Port Interface Unit)	Present
WIC (Wake-up Interupt Controller)	Absent
Debug Port (Serial-Wire or JTAG Debug Port)	Present
FPU (Floating Point Unit)	Present
Bit banding	Present
Constant AHB control	Disable

3.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

3.3.1　割り込み本数

Cortex-M4F コアは割り込み本数を 1～240 本の間で任意に構成することができます。

TMPM440FE/F10XBG の割り込み本数は 157 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[3:0]>ビットに反映され、本製品では"0x04"が読み出されます。

3.3.2　割り込み優先度ビット数

Cortex-M4F コアは割り込み優先度ビット数を 3～8 ビットの間で任意に構成することができます。

TMPM440FE/F10XBG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

3.3.3　SysTick

Cortex-M4F コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

3.3.4　SYSRESETREQ

Cortex-M4F コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM440FE/F10XBG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

3.3.5　LOCKUP

回復不能な例外が発生すると Cortex-M4F コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM440FE/F10XBG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

3.3.6　補助フォールトステータスレジスタ

Cortex-M4F コアにはソフトウエアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM440FE/F10XBG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

3.4 イベント

Cortex-M4F コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM440FE/F10XBG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.5 電力管理

Cortex-M4F コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM440FE/F10XBG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

3.6 排他アクセス

Cortex-M4F コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM440FE/F10XBG ではこの機能を使用していません。

3.7 浮動小数点演算装置(FPU)

本製品は、ARMv7M 浮動小数点拡張(FPv4-SP)の派生仕様の演算装置(FPU)を実装しており、IEEE 標準(ANSI/IEEE Std 754-2008)に準拠した単精度浮動小数点演算が可能です。

この FPU は、アドレスバスとデータバスを Cortex-M4F コアと共有し、協調して動作します。加算/減算/乗算を 1 クロックで、積和を 3 クロックで実行します。また、CPU とは別に専用データレジスタによる並列処理が可能です。

なお、この FPU は、ARM アーキテクチャーリファレンスマニュアルに掲載された、全ての単精度データ演算命令とデータタイプをサポートします。

第 4 章　プログラマブルサーボ/シーケンスコントローラ (PSC ver.B)

本製品では、モータ等のサーボ制御やさまざまな機器のシーケンス制御を行う演算器として PSC (Programmable Servo/Sequence Controller)を内蔵しています。

4.1 概要

主な機能を以下に示します。

表 4-1 機能概要

項目	機能	概要
メモリ	Code RAM (8KB) Data RAM (8KB)	
リセット	PSC レジスタの初期化	-
PSC の起動方法	CPU による起動	プログラムポインタ(PG0)からスタート
	周辺機能による起動	繰り返し処理ベクトルポインタ(VG0)からスタート <起動要因> CPU による起動 タイマによる周期起動 AD による起動 高機能 2 相パルスカウンタによる起動 外部割込みによる起動
PSC レジスタ	演算用レジスタ	演算等に使用する、符号を含む 33bit(符号 1bit + 値 32bit)の汎用レジスタ
	ポインタ類	アドレスを指定する、32bit アドレスポインタ
	制御レジスタ	動作を制御する 32bit コントロールレジスタ
	フラグレジスタ	内部の状態を示す、32bit フラグレジスタ
命令セット	転送命令	MOV , MVI , MVIL , LD , ST
	演算命令	MLSH , ADD , ADD3 , SUB , CLAMP
	シフト命令	SRL , SRA , SLL , SLA
	論理命令 / 絶対値命令	AND , OR , XOR , NOT , ABS
	比較命令	CMP
	分岐命令	JMP , JO , JU , JZ , JNZ
	制御命令	NOP , STOP
ダイレクトポート制御	DSP が直接ポートを制御することができます	-
デバッグ	ブレーク実行	ブレークポインタ(BR0) = プログラムポインタ(PG0)で、PSC ブレーク割り込み要求
	ステップ実行	1 命令実行し、PSC ステップ割り込み要求
エンディアン	リトルエンディアン/ ビッグエンディアン	-
割り込み制御機構	なし	CPU に対し割り込み要求を出力するのみ

第 5 章　バスマトリクス(BM)

5.1　概要

本マイコンでは、CPU コア、DMA コントローラ、PSC の 3 種類のバスマスタが搭載されています。

また、CPU と DMAC はシステムクロック(fsys : クロックジェネレータの章を参照ください)、PSC は専用のクロックで動作します。

CPU は内蔵 Flash ROM(768Kbyte/1024Kbyte)/内蔵 RAM(64Kbyte)、PSC は、専用のプログラム用 RAM (8Kbyte : Single ポート)/データ用 RAM(8Kbyte : Dual ポート)で、動作を実行します。

内部バス構造としては大きく 2 種類のバスマトリクスを搭載しています。

CPU を含む全体が動作する、System Clock Domain(fsys で動作)内の Bus Matrix1 と、PSC と TMRD(高分解能 PPG 出力)が動作する PSC Clock Domain(PSC クロック:最大 100MHz)内の Bus Matrix2 が搭載されています。

3 種類のバスマスタ(CPU、PSC、DMAC)は、Bus Matrix の Slave ポート(S0~S6 等)に接続され、マトリクス内で、接続を示す記号(○)を経由して、Bus Matrix の Master ポート(M0~M15)から、外部 IP(Slave)に接続されます。

Bus Matrix 内の同一マスターライン上に、複数の Slave が接続されている場合で、同一タイミングで複数 Slave 要求が発生した場合は、Slave 番号の小さい要求が優先されます。

また、クロックギアの設定によっては、System Clock Domain と PSC Clock Domain は、動作周波数が異なります。よって、異なるクロックドメイン間の接続箇所には、クロックの同期回路が挿入されています。

さらに、PSC と CPU が同じ周辺回路に対し、同時にアクセスした場合でも PSC が待たされることが無いように、12bit SAR 型 ADC 及び高機能 2 相パルスカウンタ(EPHC)には READ のみ可能な PSC 専用のミラーレジスタを持たせています。

5.2　内部バス構成

5.2.1　バスマトリクス仕様

5.2.1.1　シングルチップモード時のバスマトリクス仕様

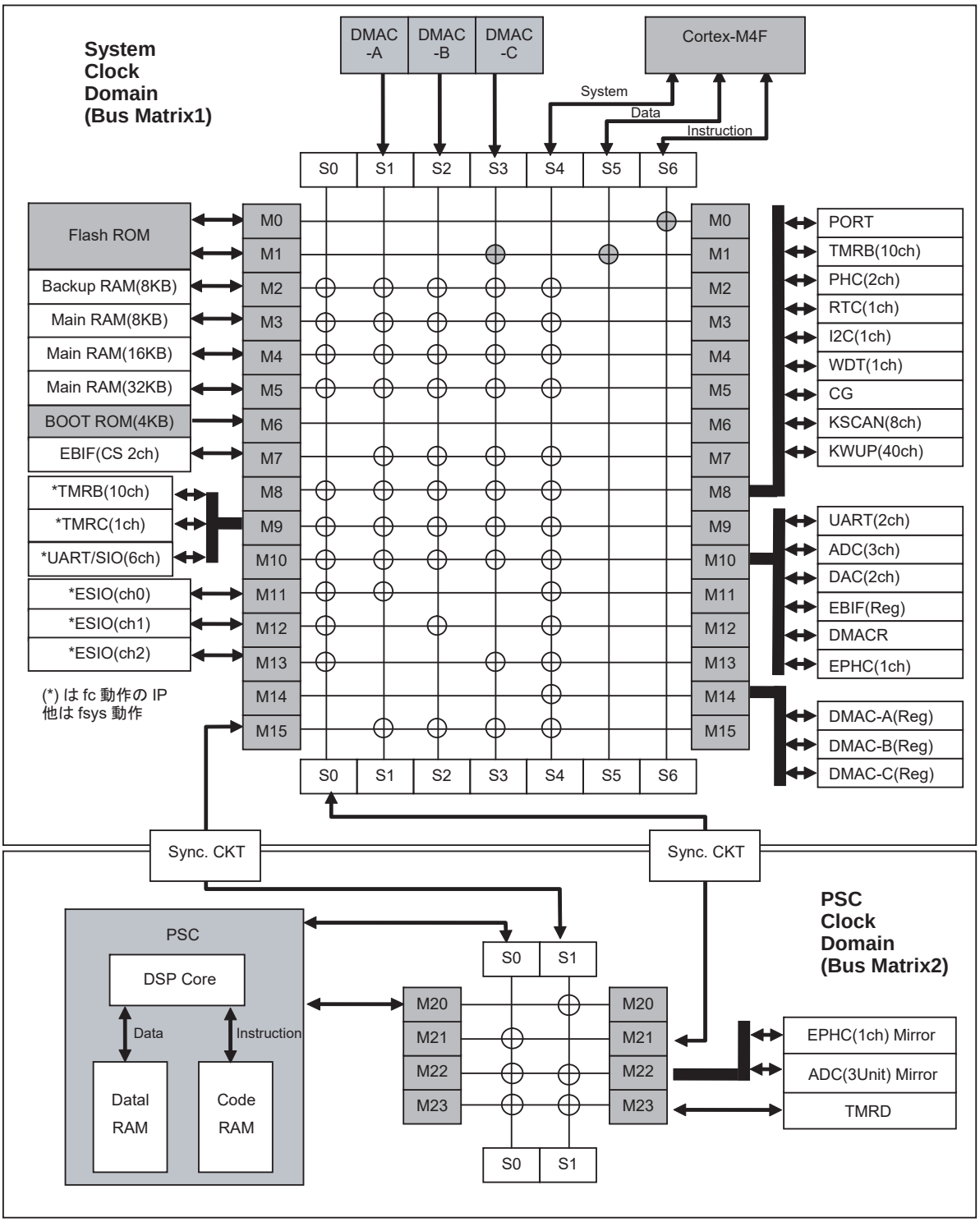


図 5-1 内部バス構成(シングルチップモード)

5.2.1.2　シングルブートモード時のバスマトリクス仕様

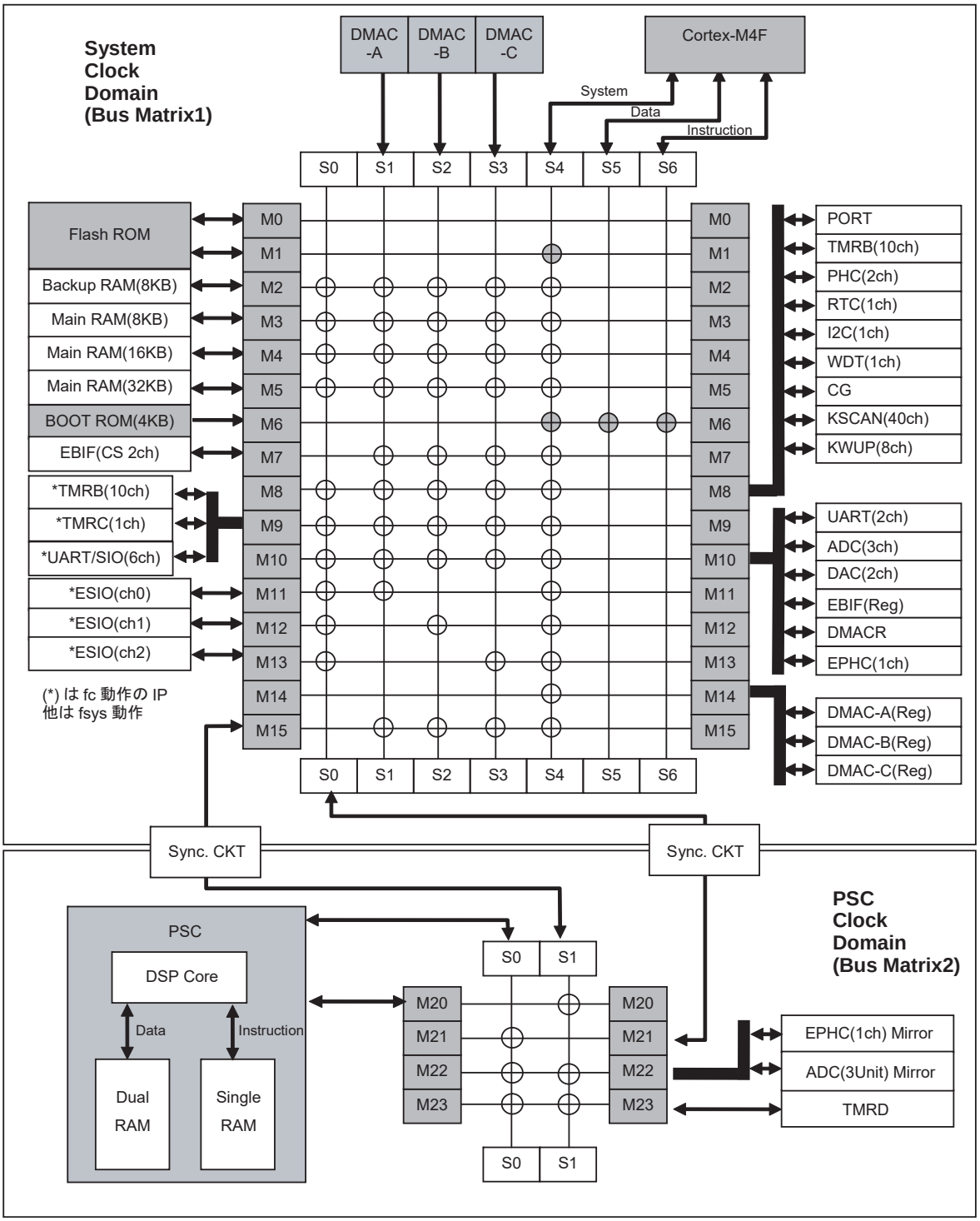


図 5-2 内部バス構成(シングルブートモード)

5.3　内部接続関係

5.3.1　バスマスタ接続表

5.3.1.1　CODE 領域 / SRAM 領域アクセス仕様 1(シングルチップモード)

Start Address End Address	TMPM440 F10XBG	TMPM440 FEXBG		PSC	DMAC UnitA	DMAC UnitB	DMAC UnitC	Core S-bus	Core D-bus	Core I-bus
				S0	S1	S2	S3	S4	S5	S6
0x0000_0000 0x000B_FFFF	FLASH	FLASH	M0/M1	Fault	Fault	Fault	M1	Fault	M1	M0
0x000C_0000 0x000F_FFFF	FLASH	Reserved								
0x0010_0000 0x1FFF_FFFF	Fault	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault
0x2000_0000 0x2000_1FFF	RAM0 8KB	RAM0 8KB	M2	o	o	o	o	o	Fault	Fault
0x2000_2000 0x2000_3FFF	RAM1 8KB	RAM1 8KB	M3	o	o	o	o	o	Fault	Fault
0x2000_4000 0x2000_7FFF	RAM2 16KB	RAM2 16KB	M4	o	o	o	o	o	Fault	Fault
0x2000_8000 0x2000_FFFF	RAM3 32KB	RAM3 32KB	M5	o	o	o	o	o	Fault	Fault
0x2001_0000 0x3FFF_FFFF	Fault	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault

注)　Reserved 記載のアドレス範囲にはアクセスしないで下さい。

5.3.1.2 CODE 領域 / SRAM 領域アクセス仕様 2(シングルブートモード)

Start Address End Address	TMPM440 F10XBG	TMPM440 FEXBG		PSC	DMAC UnitA	DMAC UnitB	DMAC UnitC	Core S-bus	Core D-bus	Core I-bus
				S0	S1	S2	S3	S4	S5	S6
0x0000_0000 0x0000_0FFF	BootROM	BootROM	M6	Fault	Fault	Fault	Fault	o	o	o
0x0000_1000 0x1FFF_FFFF	Fault	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault
0x2000_0000 0x2000_1FFF	RAM0 8KB	RAM0 8KB	M2	o	o	o	o	o	Fault	Fault
0x2000_2000 0x2000_3FFF	RAM1 8KB	RAM1 8KB	M3	o	o	o	o	o	Fault	Fault
0x2000_4000 0x2000_7FFF	RAM2 16KB	RAM2 16KB	M4	o	o	o	o	o	Fault	Fault
0x2000_8000 0x2000_FFFF	RAM3 32KB	RAM3 32KB	M5	o	o	o	o	o	Fault	Fault
0x2001_0000 0x3F7F_EFFF	Fault	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault
0x3F7F_F000 0x3F7F_FFFF	Reserved	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Fault	Fault
0x3F80_0000 0x3F8B_FFFF	FLASH	FLASH	M1	Fault	Fault	Fault	Fault	o	Fault	Fault
0x3F8C_0000 0x3F8F_FFFF	FLASH	Reserved								
0x3F90_0000 0x3FFF_FFFF	Fault	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault

注) **Reserved 記載のアドレス範囲にはアクセスしないで下さい。**

5.3.1.3　Peripheral 領域(Area0_AHB/APB)アクセス仕様

Start Address End Address	Reserved Address	TMPM440 F10/FEXBG Peripheral		PSC	DMAC UnitA	DMAC UnitB	DMAC UnitC	Core S-bus	Core D/I-bus
				S0	S1	S2	S3	S4	S5/S6
0x4000_0000 0x4000_0FFF	-	DMA(Reg) UnitA	M14-0	Fault	Fault	Fault	Fault	o	Fault
0x4000_1000 0x4000_1FFF	-	DMA(Reg) UnitB	M14-1	Fault	Fault	Fault	Fault	o	Fault
0x4000_2000 0x4000_2FFF	-	DMA(Reg) UnitC	M14-2	Fault	Fault	Fault	Fault	o	Fault
0x4000_3000 0x4000_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4001_0000 0x4001_1FFF	-	PSC InstRAM	M20	Fault	o	o	o	o	Fault
0x4001_2000 0x4001_3FFF	-	-		Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4001_4000 0x4001_5FFF	-	PSC DataRAM		Fault	o	o	o	o	Fault
0x4001_6000 0x4001_7FFF	-	-		Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4001_8000 0x4001_8FFF	0x4001_8200 0x4001_8FFF	PSC Reg		Fault	o	o	o	o	Fault
0x4001_9000 0x4001_EFFF	-	-		Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4001_F000 0x4001_FFFF	-	PSC Reg		Fault	o	o	o	o	Fault
0x4002_0000 0x4003_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4004_0000 0x4005_7FFF	-	-	M23	Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4005_8000 0x4005_8FFF	-	TMRD		Fault	o	o	o	o	Fault
0x4005_9000 0x4005_FFFF	-	-		Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4006_0000 0x4007_3FFF	-	-	M22	Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4007_4000 0x4007_4FFF	-	ADC(Mirror) UnitA		Fault	o	o	o	o	Fault
0x4007_5000 0x4007_5FFF	-	EPHC(Mirror)		Fault	o	o	o	o	Fault
0x4007_6000 0x4007_8FFF	-	-		Fault	Reserved	Reserved	Reserved	Reserved	Fault
0x4007_9000 0x4007_9FFF	-	ADC(Mirror) UnitB		Fault	o	o	o	o	Fault
0x4007_A000 0x4007_AFFF	-	ADC(Mirror) UnitC		Fault	o	o	o	o	Fault
0x4007_B000 0x400B_FFFF	-	-		Fault	Reserved	Reserved	Reserved	Reserved	Fault

注 1)　**Reserved Address に記載のアドレス範囲にはアクセスしないで下さい。**

注 2)　**各周辺機能の Reserved Address 及び Reserved bit 詳細については、周辺機能の各章を参照下さい。**

5.3.1.4 Peripheral 領域(Area0_IOBUS)アクセス仕様

Start Address End Address	Reserved Address	TMPM440 F10/FEXBG Peripheral		PSC	DMAC UnitA	DMAC UnitB	DMAC UnitC	Core S-bus	Core D/I-bus
				S0	S1	S2	S3	S4	S5/S6
0x400C_0000 0x400C_1FFF	0x400C_1D00 0x400C_1FFF	PORT		o	o	o	o	o	Fault
0x400C_2000 0x400C_4FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x400C_5000 0x400C_5FFF	0x400C_5A00 0x400C_5FFF	TMRB Ch10-19		o	o	o	o	o	Fault
0x400C_6000 0x400C_9FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x400C_A000 0x400C_AFFF	0x400C_A200 0x400C_AFFF	PHC Ch0-1		o	o	o	o	o	Fault
0x400C_B000 0x400C_BFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x400C_C000 0x400C_CFFF	0x400C_C100 0x400C_CFFF	RTC		o	o	o	o	o	Fault
0x400C_D000 0x400D_FFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x400E_0000 0x400E_0FFF	0x400E_0100 0x400E_0FFF	I2C	M8	o	o	o	o	o	Fault
0x400E_1000 0x400F_1FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x400F_2000 0x400F_2FFF	0x400F_2100 0x400F_2FFF	WDT		o	o	o	o	o	Fault
0x400F_3000 0x400F_3FFF	0x400F_3100 0x400F_3FFF	CG		o	o	o	o	o	Fault
0x400F_4000 0x400F_9FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x400F_A000 0x400F_AFFF	0x400F_A100 0x400F_AFFF	KSCN		o	o	o	o	o	Fault
0x400F_B000 0x400F_B0FF	-	KWUP UnitA		o	o	o	o	o	Fault
0x400F_B100 0x400F_BFFF	0x400F_B200 0x400F_BFFF	KWUP UnitB		o	o	o	o	o	Fault
0x400F_C000 0x400F_FFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4010_0000 0x41FF_EFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault
0x41FF_F000 0x41FF_FFFF	0x41FF_F040 0x41FF_FFFF	FLASH	M8	Reserved	o	o	o	o	Fault
0x4200_0000 0x43FF_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault

注 1) **Reserved Address に記載のアドレス範囲にはアクセスしないで下さい。**

注 2) **各周辺機能の Reserved Address 及び Reserved bit 詳細については、周辺機能の各章を参照下さい。**

5.3.1.5　Peripheral 領域(Area1_AHB/APB)アクセス仕様

Start Address End Address	Reserved Address	TMPM440 F10/FEXBG Peripheral		PSC	DMAC UnitA	DMAC UnitB	DMAC UnitC	Core S-bus	Core D/I-bus
				S0	S1	S2	S3	S4	S5/S6
0x4400_0000 0x4403_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4404_0000 0x4404_7FFF	-	-	M10	Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4404_8000 0x4404_8FFF	-	UART Ch0		o	o	o	o	o	Fault
0x4404_9000 0x4404_9FFF	-	UART Ch1		o	o	o	o	o	Fault
0x4404_A000 0x4404_FFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4405_0000 0x4405_0FFF	-	ADC UnitA		o	o	o	o	o	Fault
0x4405_1000 0x4405_1FFF	-	ADC UnitB		o	o	o	o	o	Fault
0x4405_2000 0x4405_2FFF	-	ADC UnitC		o	o	o	o	o	Fault
0x4405_3000 0x4405_3FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4405_4000 0x4405_4FFF	-	DAC UnitA		o	o	o	o	o	Fault
0x4405_5000 0x4405_5FFF	-	DAC UnitB		o	o	o	o	o	Fault
0x4405_6000 0x4405_BFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4405_C000 0x4405_CFFF	-	EBIF Reg		o	o	o	o	o	Fault
0x4405_D000 0x4405_EFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4405_F000 0x4405_FFFF	-	DMACR		o	o	o	o	o	Fault
0x4406_0000 0x4406_0FFF	-	EPHC		o	o	o	o	o	Fault
0x4406_1000 0x4406_9FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4406_A000 0x4406_AFFF	-	ESIO Ch0	M11	o	o	Fault	Fault	o	Fault
0x4406_B000 0x4406_BFFF	-	ESIO Ch1	M12	o	Fault	o	Fault	o	Fault
0x4406_C000 0x4406_CFFF	-	ESIO Ch2	M13	o	Fault	Fault	o	o	Fault
0x4406_D000 0x440B_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault

注 1)　**Reserved Address に記載のアドレス範囲にはアクセスしないで下さい。**

注 2)　**各周辺機能の Reserved Address 及び Reserved bit 詳細については、周辺機能の各章を参照下さい。**

5.3.1.6 Peripheral 領域(Area1_IOBUS) / 外部バスエリアアクセス仕様

Start Address End Address	Reserved Address	TMPM440 F10/FEXBG Peripheral		PSC	DMAC UnitA	DMAC UnitB	DMAC UnitC	Core S-bus	Core D/I-bus
				S0	S1	S2	S3	S4	S5/S6
0x440C_0000 0x440C_3FFF	-	-	M9	Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x440C_4000 0x440C_4FFF	0x440C_4A00 0x440C_4FFF	TMRB Ch00-09		o	o	o	o	o	Fault
0x440C_5000 0x440C_DFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x440C_E000 0x440C_E01F	-	TMRC TBT		o	o	o	o	o	Fault
0x440C_E020 0x440C_E09F	-	TMRC CMP		o	o	o	o	o	Fault
0x440C_E0A0 0x440C_EFFF	0x440C_E0E0 0x440C_EFFF	TMRC CAP		o	o	o	o	o	Fault
0x440C_F000 0x440E_0FFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x440E_1000 0x440E_12FF	-	UART/SIO Ch0-2		o	o	o	o	o	Fault
0x440E_1300 0x440E_1FFF	0x440E_1600 0x440E_1FFF	UART/SIO Ch3-5		o	o	o	o	o	Fault
0x440E_2000 0x440F_FFFF	-	-		Reserved	Reserved	Reserved	Reserved	Reserved	Fault
0x4410_0000 0x5FFF_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault
0x6000_0000 - 0x61FF_FFFF	-	EBIF	M7	Fault	o	o	o	o	Fault
0x6200_0000 0xDFFF_FFFF	-	-	-	Fault	Fault	Fault	Fault	Fault	Fault
0xE000_0000 0xFFFF_FFFF	-	-	-	Reserved	Reserved	Reserved	Reserved	Reserved	Fault

注 1) **Reserved Address に記載のアドレス範囲にはアクセスしないで下さい。**

注 2) **各周辺機能の Reserved Address 及び Reserved bit 詳細については、周辺機能の各章を参照下さい。**

第 6 章　エンディアン

6.1　Cortex-M4F コアのエンディアン仕様

本製品の CPU コアである Cortex-M4 は、リトルエンディアンとビッグエンディアンの両方をサポート可能なバイエンディアン対応の CPU コアです。特徴は以下の通りです。

1. ビッグエンディアンは ARM 社のエンディアン方式（BE8）

   ARM 社で定義されているビッグエンディアン（BE8）は、弊社 TX19 シリーズ製品でサポートしている MIPS 方式のビッグエンディアンの形式や動作が一部異なります。

   ビッグエンディアン仕様の違いについては「6.5.1 ビッグエンディアン形式の違い」を参照してください。

2. 常にリトルエンディアンとなる空間が存在

   ビッグエンディアン設定での利用時にも、Cortex-M4F コアからのアクセスのうち、以下の動作および領域は常にリトルエンディアンとなります。

   - 命令フェッチ
   - 内部専用ペリフェラル・バス（0xE000_0000 ~ 0xE003_FFFF）
   - 外部専用ペリフェラル・バス（0xE004_0000 ~ 0xE00F_FFFF）

詳細は、ARM 社の下記 URL より"Cortex-M4 series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

6.2　TMPM440FE/F10XBG のエンディアン仕様

本製品はバイエンディアン対応の CPU コア（Cortex-M4F）を搭載しており、CPU コアの特徴を生かしバイエンディアン対応可能です。

ただし、ビッグエンディアンを使用する場合、動作モード、エンディアン形式（BE8 形式、MIPS 形式）、動作やアクセス領域（命令、オペランド）によっていくつかの注意が必要です。

以下、動作モードごとに、仕様と動作を説明します。

6.2.1　シングルチップモード

Cortex-M4F では常に命令コードがリトルエンディアン形式となるため、ビッグエンディアンでのコンパイル結果はリトルエンディアン形式と BE8 形式が混在した形になります。このため、コンパイルデータが配置されるメモリは Cortex-M4F 形式のビッグエンディアンである必要があります。対象は、内蔵メモリと外部バスに接続されるメモリです。

外部バス領域は、外部デバイスと MIPS 形式のビッグエンディアンでのデータ授受を可能にするため、MIPS 形式のデータも扱うことができます。CS 空間ごとに Cortex-M4F 形式と MIPS 形式を選択可能です。

内蔵する周辺機能の制御レジスタは MIPS 形式です。

DMAC の転送するデータも MIPS 形式となります。

6.2.2　シングルブートモード

内蔵 BOOT ROM に格納されているブートプログラムがリトルエンディアン形式であるため、シングルブートモードで動作する場合は ENDIAN 端子の設定にかかわらずリトルエンディアン動作となります。このため、RAM 転送コマンドで RAM 上に展開するプログラムやデータはリトルエンディアン形式で準備する必要がありますのでご注意ください。

6.2.3　その他

6.2.3.1　DMAC からみたエンディアン

DMAC はエンディアン選択ビット（DMACxConfiguration<M>）により個別にエンディアン設定を行うことができますが、常に製品のエンディアン設定と同じエンディアンとしてください。

6.2.3.2　デバッグツールから見たエンディアン

デバッグツールを接続した場合、データは CPU 内部のバスマトリクスを経由して観測するため Cortex-M4F 形式のビッグエンディアンとなります。このため、命令についてはリトルエンディアン、オペランドについては BE8 形式で観測することになります。

6.3 設定方法とエンディアン形式

6.3.1 TMPM440FE/F10XBG の動作設定

本製品のエンディアンは、動作モード($\overline{BOOT}$ 端子で決定)と ENDIAN 端子で設定します。また、製品のエンディアン設定と別に、外部バス領域のエンディアン設定は EBIF の EXBCSx<ENDTYPE>で、DMAC のエンディアン設定は DMACxConfiguration<M>で行います。

表 6-1、表 6-2、表 6-3 に、バスマスタ、設定およびアクセス領域毎のエンディアン形式の一覧を示します。本製品では、バスマスタ（CPU と DMAC と PSC）が存在し、DMAC によるアクセスは、CPU のオペランドアクセスと同様になります。

表 6-1 エンディアン形式まとめ(CPU アクセス)

		製品のエンディアン設定					
		シングルチップモード $\overline{BOOT}$="High"				シングルブートモード $\overline{BOOT}$="Low"	
		リトルエンディアン ENDIAN="Low"		ビッグエンディアン ENDIAN="High"		リトルエンディアン ENDIAN=don't care	
アクセス領域		命令	オペランド	命令	オペランド	命令	オペランド
内蔵 FLASH		LE		LE	BE8	- (使用不可)	LE
内蔵 RAM		LE		LE	BE8	LE	
内蔵 BOOT ROM		-		-		LE	
周辺機能の制御レジスタ		LE		-	MIPS	LE	
外部メモリ	EXBCSx<ENDTYPE>="0"	LE		LE	BE8	LE	
	EXBCSx<ENDTYPE>="1"	- (使用不可)	MIPS	- (使用不可)	MIPS	- (使用不可)	MIPS

LE: リトルエンディアン
BE8: BE8 形式ビッグエンディアン
MIPS: MIPS 形式ビッグエンディアン

表 6-2 エンディアン形式まとめ(DMAC アクセス)

		製品/DMAC のエンディアン設定		
		シングルチップモード $\overline{BOOT}$="High"		シングルブートモード $\overline{BOOT}$="Low"
アクセス領域		リトルエンディアン ENDIAN="Low" DMACxConfiguration <M>="0"	ビッグエンディアン ENDIAN="High" DMACxConfiguration <M>="1"	リトルエンディアン ENDIAN=don't care DMACxConfiguration <M>="0"
内蔵 FLASH		LE	BE8	LE
内蔵 RAM		LE	BE8	LE
内蔵 BOOT ROM		-	-	LE
周辺機能の制御レジスタ		LE	MIPS	LE
外部メモリ	EXBCSx<ENDTYPE>="0"	LE	BE8	LE
	EXBCSx<ENDTYPE>="1"	MIPS	MIPS	MIPS

LE: リトルエンディアン
BE8: BE8 形式ビッグエンディアン
MIPS: MIPS 形式ビッグエンディアン

表 6-3 エンディアン形式まとめ(PSC アクセス)

		製品のエンディアン設定		
		シングルチップモード $\overline{BOOT}$="High"		シングルブートモード $\overline{BOOT}$="Low"
アクセス領域		リトルエンディアン ENDIAN="Low"	ビッグエンディアン ENDIAN="High"	リトルエンディアン ENDIAN=don't care
内蔵 FLASH		LE	BE8	LE
内蔵 RAM		LE	BE8	LE
内蔵 BOOT ROM		-	-	LE
周辺機能の制御レジスタ		LE	MIPS	LE
外部メモリ	EXBCSx<ENDTYPE>="0"	LE	BE8	LE
	EXBCSx<ENDTYPE>="1"	MIPS	MIPS	MIPS

LE: リトルエンディアン
BE8: BE8 形式ビッグエンディアン
MIPS: MIPS 形式ビッグエンディアン

6.3.2　動作モード

$\overline{BOOT}$ 端子により本製品の動作モードが決定されます。本端子は外部リセット端子の立ち上がり時に"Low"レベルの場合シングルブートモードにて起動し、"High"レベルの場合シングルモードにて起動します。

シングルブートモードでは、ENDIAN 端子の設定によらず製品のエンディアンはリトルエンディアンとなります。

6.3.3　ENDIAN 端子

本製品には、エンディアンを決定する ENDIAN 端子が準備されています。本端子は入力専用端子であり、外部リセット端子の立ち上がり時に"Low"レベルの場合、リトルエンディアンにて起動し、"High"レベルの場合、ビッグエンディアンにて起動します。前述の通り、シングルブートモードでは本端子の設定によらずリトルエンディアンとなります。

6.3.4 外部バス領域のエンディアン選択

外部バスインタフェース（EBIF）の EXBCSx<ENDTYPE>にて CS 空間ごとにエンディアンを設定します。ENDIAN 端子と<ENDTYPE>の設定により、外部バス領域のエンディアンは以下のようになります。

エンディアン設定	EXBCSx<ENDTYPE>	
	"0" (CPU と同じエンディアン)	"1" (CPU と異なるエンディアン)
リトルエンディアン	リトルエンディアン	MIPS 形式
ビッグエンディアン	BE8 形式	MIPS 形式

6.3.5 DMAC のエンディアン選択

DMACxConfiguration<M>にてエンディアンを設定します。DMAC のエンディアン設定は、必ず ENDIAN 端子による設定と同じエンディアンとしてください。<M>="0"でリトルエンディアン、<M>="1"でビッグエンディアンとなります。

6.3.6 PSC のエンディアン

PSC にはプログラム実行用 RAM(Code RAM)とデータ保存用の専用 RAM(Data RAM)があり、共にリトルエンディアンで処理されます。

また、PSC 関連のレジスタへのアクセスはワードアクセス(32bit)のみとなります。

6.4　構成

TMPM440FE/F10XBG の構成を以下に示します。ビッグエンディアン仕様の違いに対応するため、AHB バスとバスブリッジの間、AHB バスと DMAC の間にデータ変換回路が存在します。

PSC の Code RAM および Data RAM はリトルエンディアンで処理されるため、CPU の AHB バスと PSC の AHB バスの間にデータ変換回路が存在します。

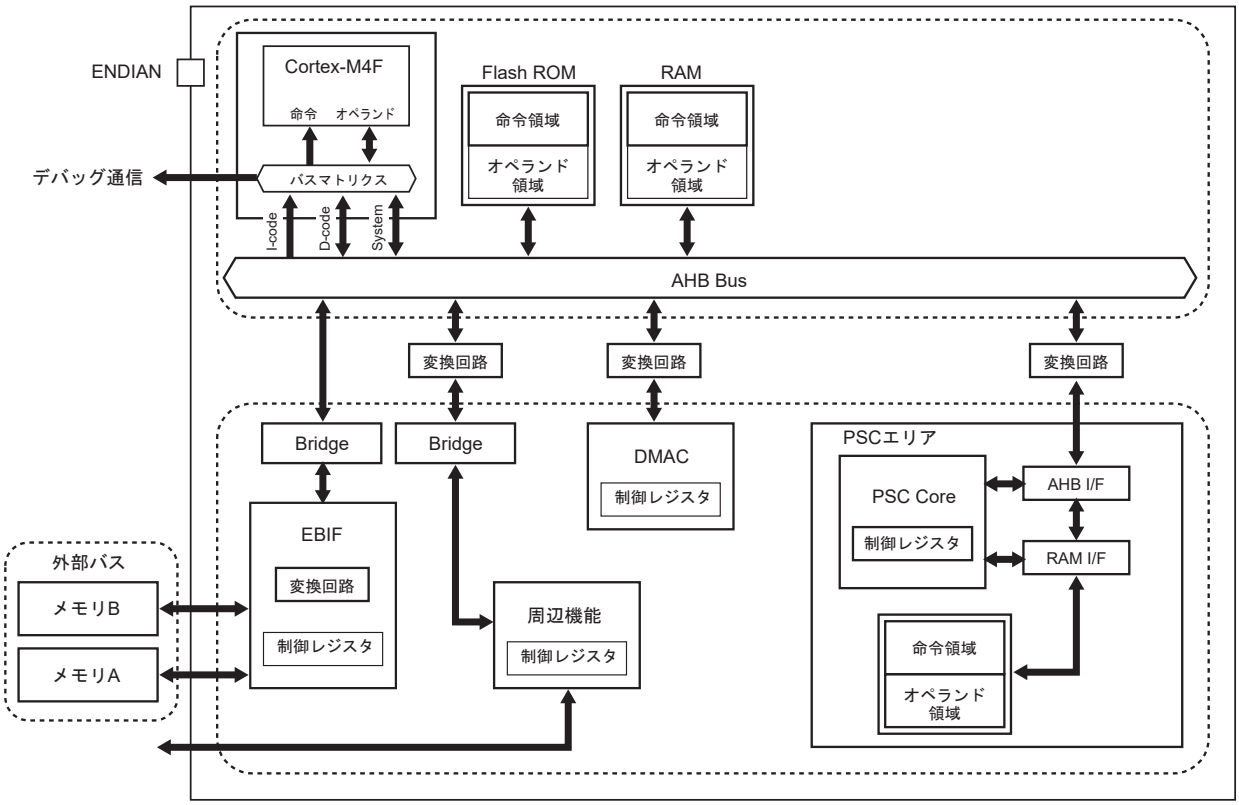


図 6-1 TMPM440FE/F10XBG ブロック図

次章より、リトルエンディアン、ビッグエンディアンそれぞれの動作を具体的に説明します。

6.4.1 リトルエンディアンのブロック構成

リトルエンディアン設定の場合、CPU や内蔵するメモリおよび内蔵する周辺機能の制御レジスタアクセスはリトルエンディアン形式となりますが、外部バスエリアのみメモリごと（チップセレクト信号単位）にリトルエンディアンと MIPS 形式のビッグエンディアンを選択できます。

DMAC はリトルエンディアンの設定で使用します。

EBIF 内部の変換回路は、外部バスが MIPS 形式のメモリアクセスの場合に変換を行います。

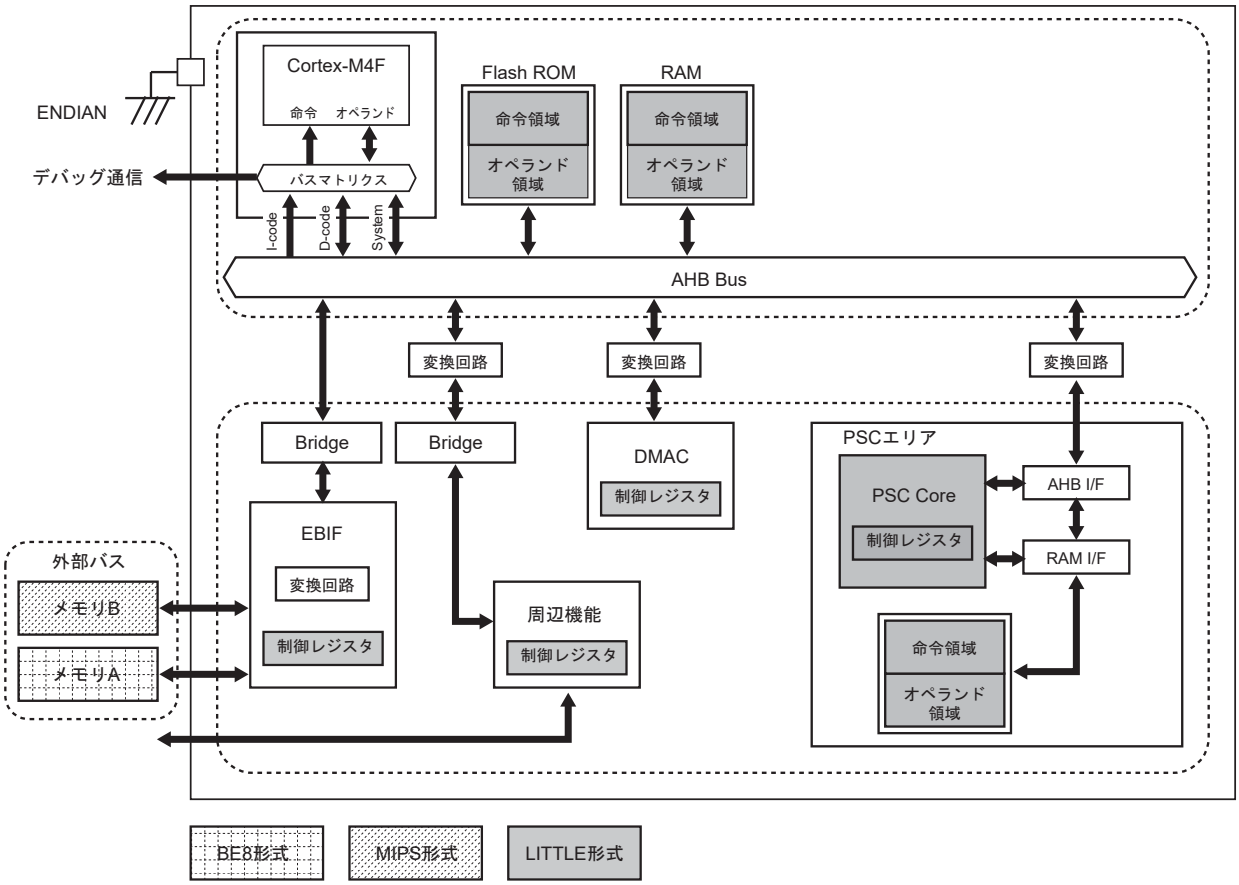


図 6-2 リトルエンディアンのブロック図

6.4.2　ビッグエンディアンのブロック構成

ビッグエンディアン設定の場合、CPU から内蔵メモリへのアクセスのうち、命令フェッチはリトルエンディアン、オペランドアクセスは BE8 形式となります。これらの動作は Cortex-M4F の基本的な動作であるため変換は必要ありません。

外部バスに接続されるメモリについては、設定により BE8 と MIPS 形式ビッグエンディアンを選択可能です。

周辺機能の制御レジスタへのアクセスは MIPS 形式ビッグエンディアンとなります。

DMAC はビッグエンディアンの設定で使用します。転送するデータは MIPS 形式ビッグエンディアンとなります。

変換回路は、外部バス上の MIPS 形式ビッグエンディアンのメモリアクセス場合、周辺機能の制御レジスタアクセスの場合、DMAC によるデータ転送の場合に変換を行います。

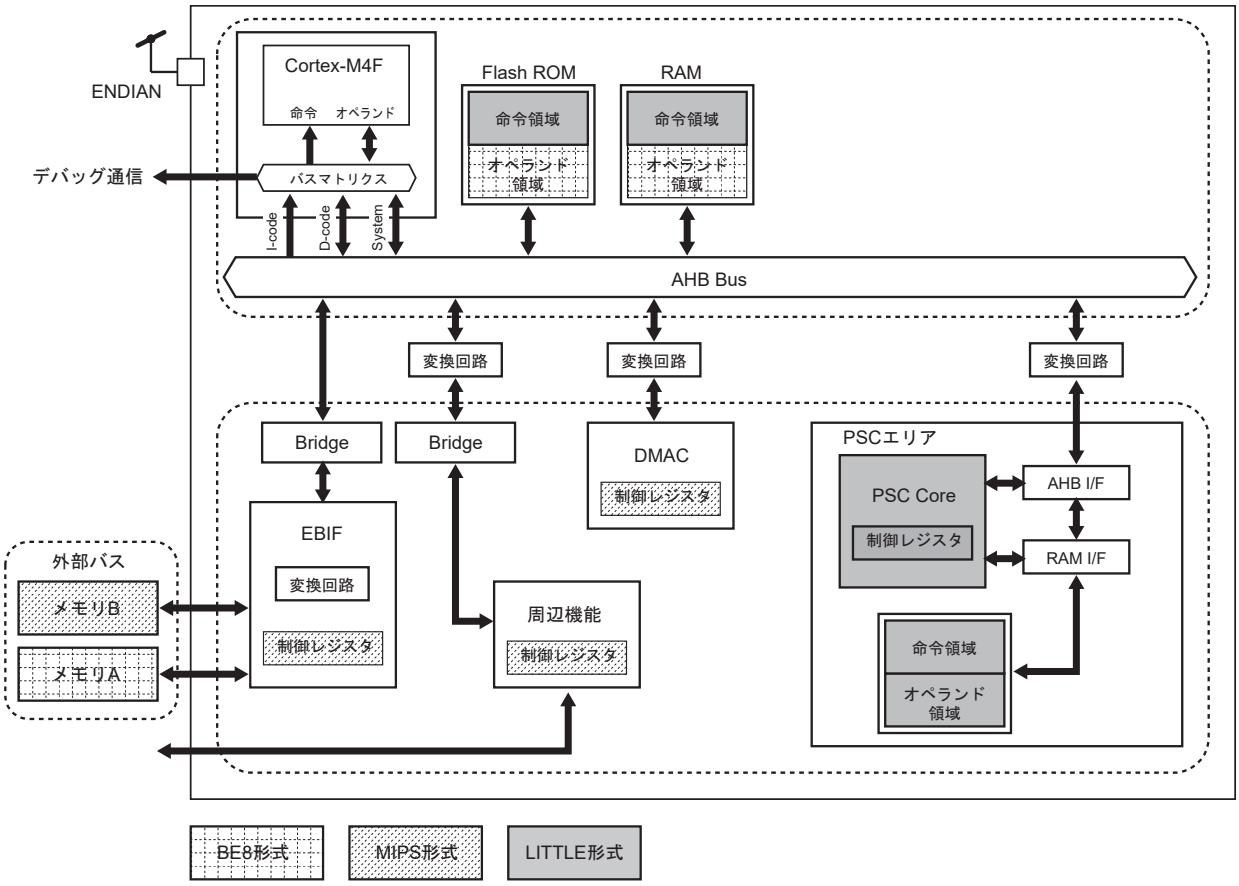


図 6-3 ビッグエンディアンのブロック図

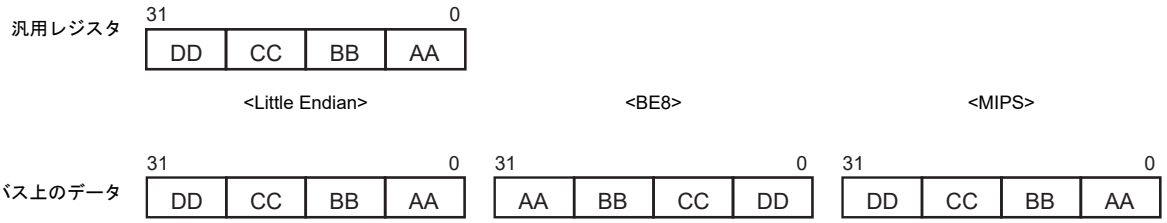
6.5 動作説明

6.5.1 ビッグエンディアン形式の違い

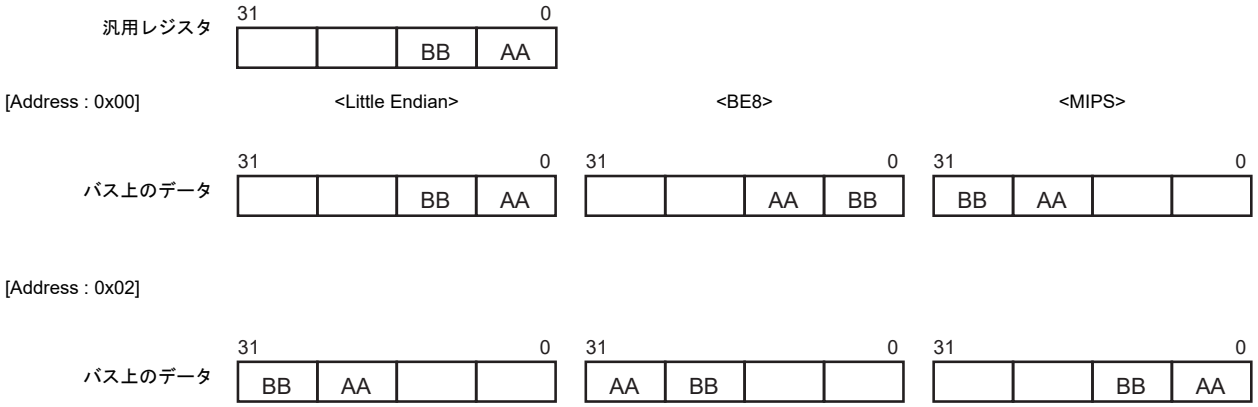
BE8 形式と、MIPS 形式ではデータ配置に違いがあります。

CPU の汎用レジスタのデータは、データサイズ、アドレスにより以下のように CPU に接続するバス上に配置されます。

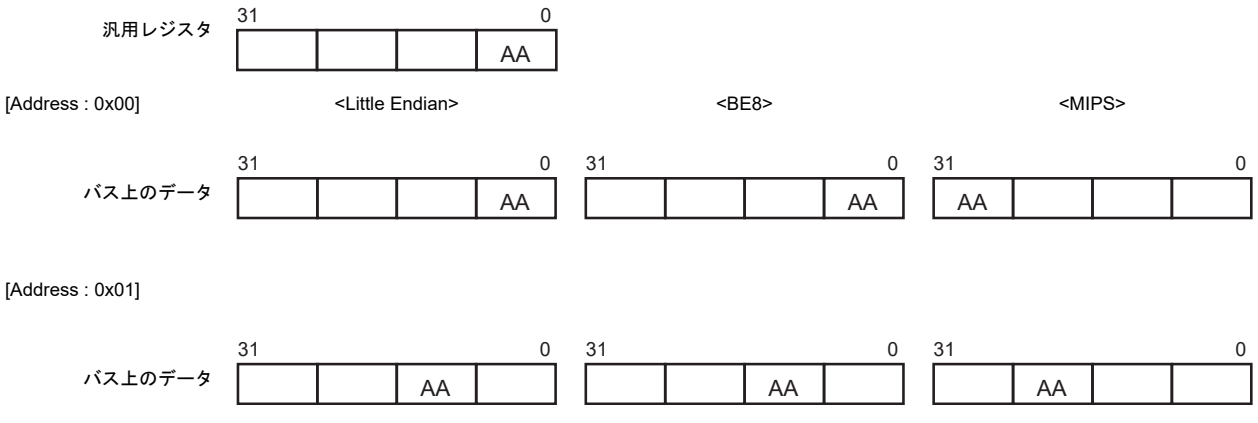
< 4 バイトデータ >

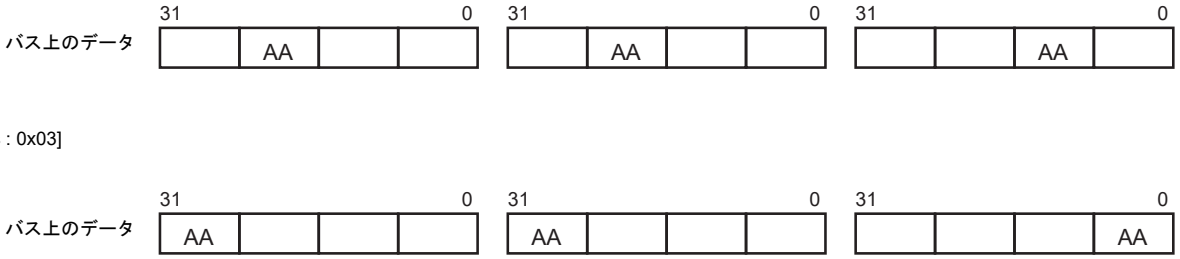


< 2 バイトデータ >



< 1 バイトデータ >



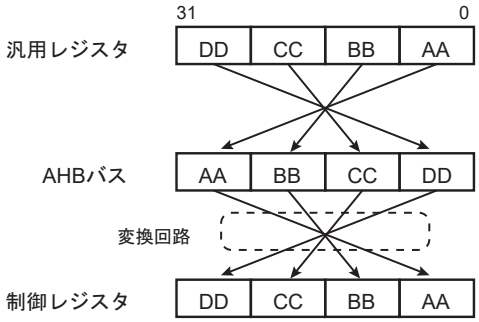


6.5.2　制御レジスタアクセス

ビッグエンディアンで周辺機能の制御レジスタをアクセスする場合、CPU からのオペランドアクセス(BE8 形式)となり、バスに出力する際のデータ配置は「6.5.1 ビッグエンディアン形式の違い」に記載した通りです。このデータを AHB バスと周辺機能の接続するバスとの間にある変換回路で変換し、制御レジスタに書き込まれる際のデータ並びは MIPS 形式となります。

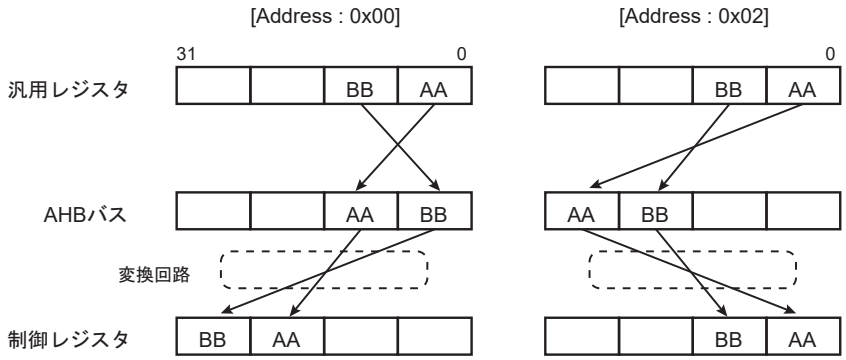
通常 Cortex-M4F をビッグエンディアンで使用する際には、制御レジスタへの書き込みデータを BE8 形式でのデータ配置を考慮して作成する必要がありますが、MIPS 形式では書き込みデータは汎用レジスタのデータ配置と同じになるため、本製品では書き込むデータ並びそのままで扱うことができます。

< 4 バイトデータ >

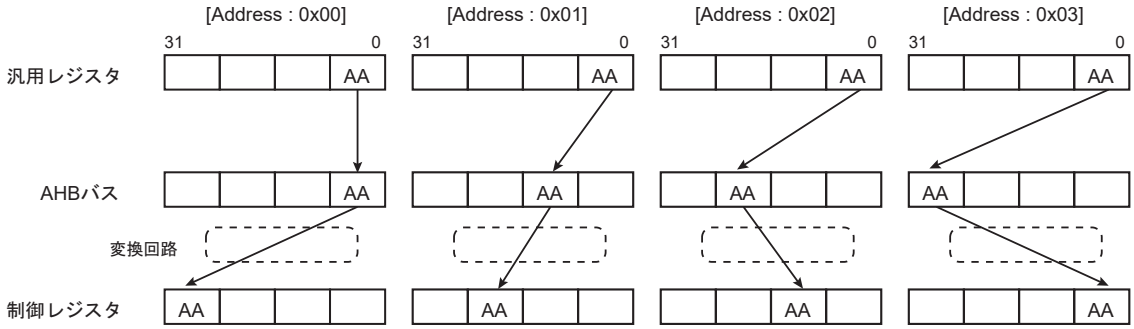


ビッグエンディアンでの 2 バイトデータアクセス、1 バイトデータアクセスの際のデータ出力位置は以下のようになります。リトルエンディアンとビッグエンディアンでは、見掛け上アドレスが異なるので注意が必要です。

< 2 バイトデータ >



< 1 バイトデータ >



外部バスインタフェース（EBIF）の EXBCS0 レジスタを例に、エンディアンによるアドレスの違いは以下のようになります。

Address	Bit	31	30	29	28	27	26	25	24
Little : 0x4005_C003	Symbol	CSR		WRR			RDR		
Big : 0x4005_C000	初期値	0	1	0	0	1	0	0	1
	Bit	23	22	21	20	19	18	17	16
Little : 0x4005_C002	Symbol	-	-	ALEW		WRS		RDS	
Big : 0x4005_C001	初期値	0	0	0	1	0	1	0	1
	Bit	15	14	13	12	11	10	9	8
Little : 0x4005_C001	Symbol	-	-	-	CSIW				
Big : 0x4005_C002	初期値	0	0	0	0	0	0	1	0
	Bit	7	6	5	4	3	2	1	0
Little : 0x4005_C000	Symbol	-	-	-	-	-	CSW		CSW0
Big : 0x4005_C003	初期値	0	0	0	0	0	0	1	0

6.5.3　ビットバンド領域とエイリアス領域の関係

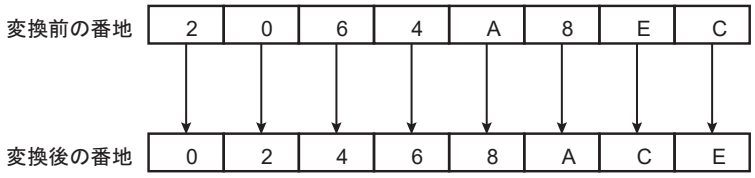
ビッグエンディアンにおいて周辺機能の制御レジスタをビットバンド方式を使ってアクセスする場合、制御レジスタに割り当てられているアドレスの単位によってビットバンド領域の開始アドレスを変換しなければならない場合があります。

表 6-4 ビッグエンディアン時にビットバンド方式を使って制御レジスタにアクセスする場合の留意点

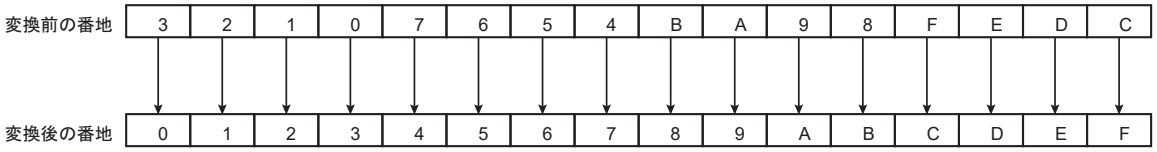
制御レジスタに割り当てられたアドレスの単位	変換後のビットバンド領域の開始アドレス
4 バイト単位	変換不要
2 バイト単位	~(0x0000_0002&addr) | (0xFFFF_FFFE&addr)
1 バイト単位	~(0x0000_0003&addr) | (0xFFFF_FFFC&addr)

addr: 変換前のビットバンド領域の開始アドレス

< 変換前後の 2 バイト単位のアドレス >



< 変換前後の 1 バイト単位のアドレス >



リアルタイムクロック（RTC）の MONTHR レジスタを例に、ビッグエンディアンにおけるビットバンド領域とエイリアス領域の関係は以下のようになります。

表 6-5 RTC の MONTHR レジスタを例にしたビッグエンディアン時のビットバンド領域とエイリアス領域の関係

制御レジスタに割り当てられた開始アドレス		変換後のビットバンド領域の開始アドレス	ビット番号	エイリアス領域の開始アドレス
Little Endian	Big Endian(変換必要)			
0x400C_C006	0x400C_C005	0x400C_C006	0	0x439800C0
			1	0x439800C4
			2	0x439800C8
			3	0x439800CC
			4	0x439800D0
			5	0x439800D4
			6	0x439800D8
			7	0x439800DC

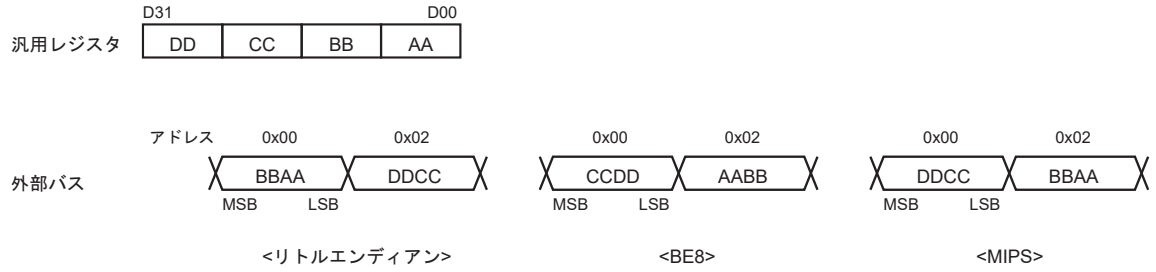
6.5.4 外部バス動作

外部バスアクセスのデータ形式は ENDIAN 端子、EXBCSx<ENDTYPE>の設定で決まります。(「6.3.4 外部バス領域のエンディアン選択」を参照ください。)

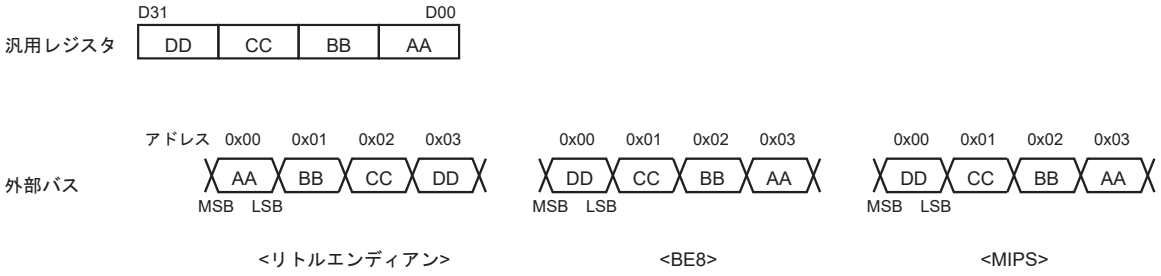
リトルエンディアン、BE8 形式、MIPS 形式での外部バス上のデータフォーマットを以下に示します。

6.5.4.1 データサイズ 32 ビット

(1) 外部バス幅 16 ビット

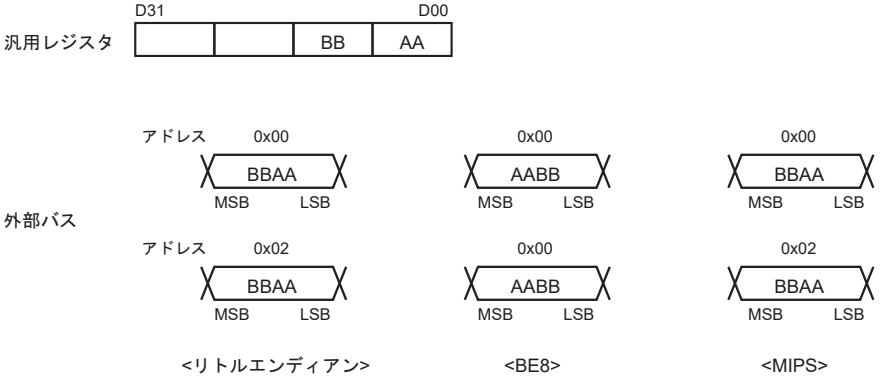


(2) 外部バス幅 8 ビット

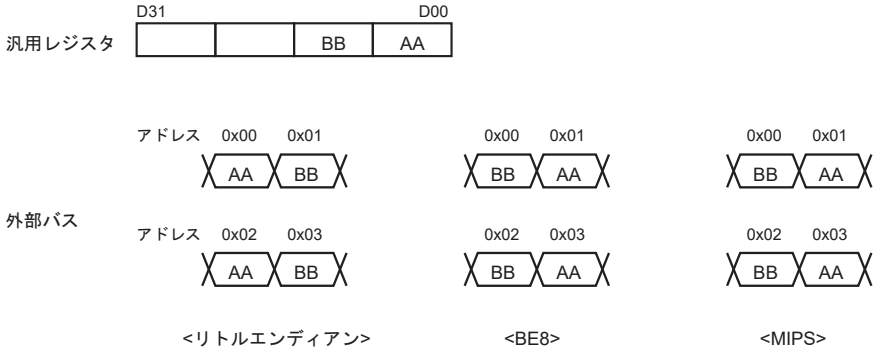


6.5.4.2　データサイズ 16 ビット

(1)　外部バス幅 16 ビット

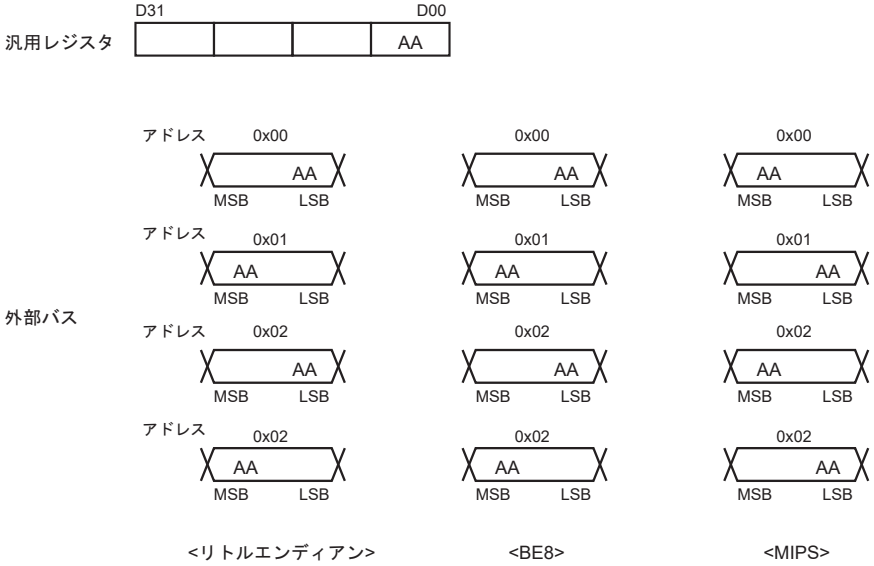


(2)　外部バス幅 8 ビット

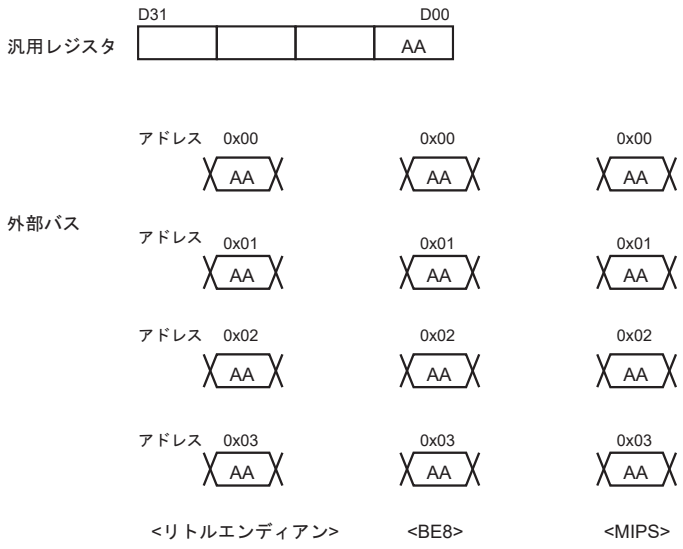


6.5.4.3 データサイズ 8 ビット

(1) 外部バス幅 16 ビット



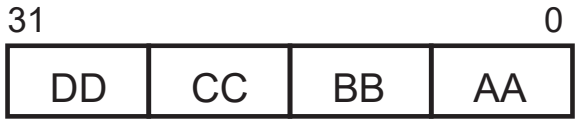
(2) 外部バス幅 8 ビット



6.5.5　コンパイル結果のメモリイメージ

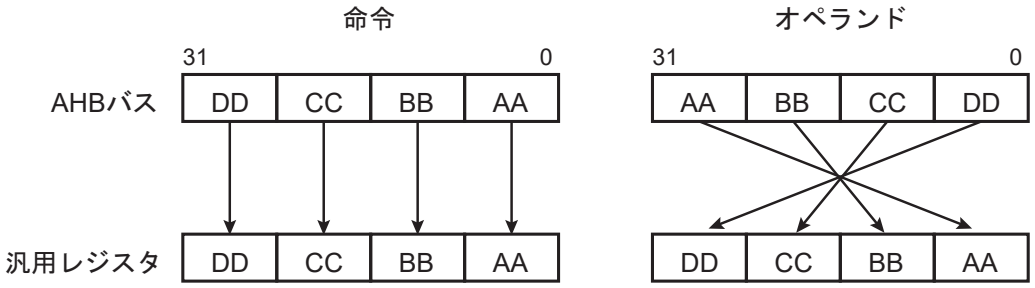
モトローラ S レコードやインテル HEX のような、メモリイメージ上でのデータ配置について説明します。

以下のような 32 ビットデータのメモリイメージを考えた場合、データ配置はコンパイル時のエンディアン設定により下表のようになります。



エンディアン		アドレス			
		0x00	0x01	0x02	0x03
リトルエンディアン		0xAA	0xBB	0xCC	0xDD
ビッグエンディアン (Cortex-M4F)	命令(リトルエンディアン)	0xAA	0xBB	0xCC	0xDD
	オペランド(BE8)	0xDD	0xCC	0xBB	0xAA
ビッグエンディアン(MIPS)		0xDD	0xCC	0xBB	0xAA

Cortex-M4F のビッグエンディアンでは、命令はリトルエンディアン、オペランドは BE8 形式となります。CPU はビッグエンディアンでのオペランドアクセスでは、下図のように CPU が取り込む際にデータ配置の入れ替えを行います。これにより、命令(リトルエンディアン)とオペランド(BE8)でのアドレッシングが見掛け上同じになります。メモリイメージはこれらを考慮した形で生成され、すべてのデータをリトルエンディアンのアドレッシングで扱うことができます。



6.5.6 シングルブートモードでの動作

内蔵 BOOT ROM に格納されているブートプログラムがリトルエンディアン形式であるため、シングルブートモードで動作する場合は ENDIAN 端子の設定にかかわらずリトルエンディアン動作となります。ブートプログラムには、RAM 転送コマンドが準備されており、このコマンドを用いて RAM 上にデータ転送プログラムを展開し、内蔵メモリまたは外部メモリへデータ転送を行うことができます。

注) RAM 転送コマンドで RAM 上に展開するプログラムやデータは、CPU がリトルエンディアンで動作するためリトルエンディアン形式で準備する必要があります。

ここでは、リトルエンディアンと異なるデータフォーマットのコンパイル結果(メモリイメージ)を内蔵メモリまたは外部メモリに転送する際の具体的な動作を説明します。

メモリイメージは「6.5.5 コンパイル結果のメモリイメージ」で示した例を使用します。以下はモトローラ S フォーマットの例です。

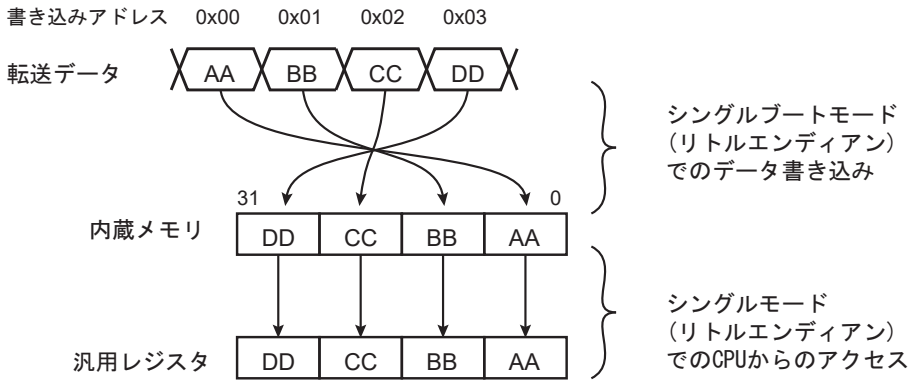
リトルエンディアン		S1xx0000 AA BB CC DD ⋮
ビッグエンディアン (Cortex-M4F)	命令(リトルエンディアン)	S1xx0000 AA BB CC DD ⋮
	オペランド(BE8)	S1xx0000 DD CC BB AA ⋮
ビッグエンディアン(MIPS)		S1xx0000 DD CC BB AA ⋮

6.5.6.1 内蔵メモリへのデータ転送

1 バイトずつ外部から転送した 32 ビットデータを内蔵メモリへ転送する場合を考えます。

(1) リトルエンディアン形式データの転送

リトルエンディアンの場合はアドレス 0x00 からアドレスをインクリメントしながらメモリにライトすることで所望のデータが準備できます。

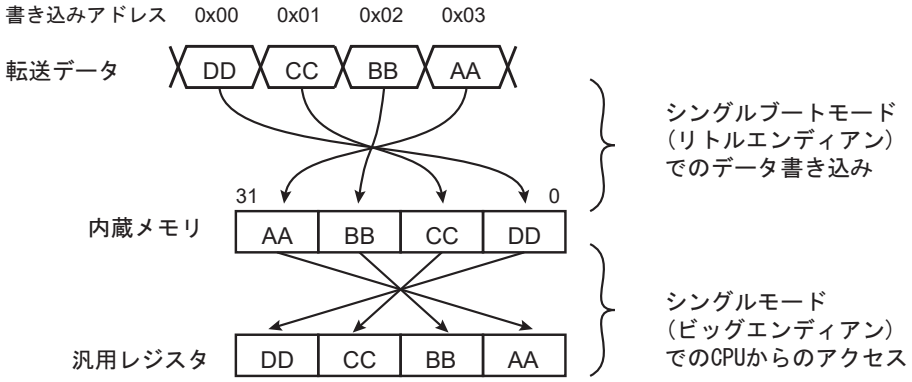


(2)　Cortex-M4F ビッグエンディアン転送

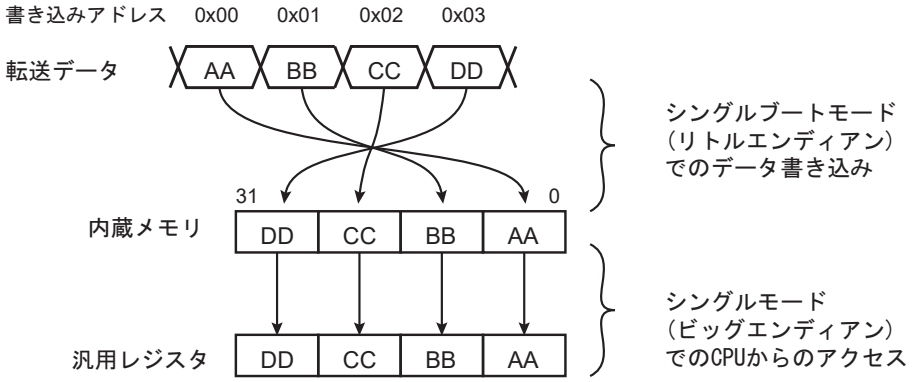
リトルエンディアンの命令と BE8 形式のオペランドが混在するデータをリトルエンディアンでメモリ上に書き込む場合も、「6.5.5 コンパイル結果のメモリイメージ」に示すようにアドレッシングが考慮されてメモリイメージが作成されているため、リトルエンディアンと同様の動作で書き込むことができます。

CPU がリードする際、命令の場合はそのまま、オペランドの場合はバイトごとの入れ替えが発生します。

・　オペランド



・　命令



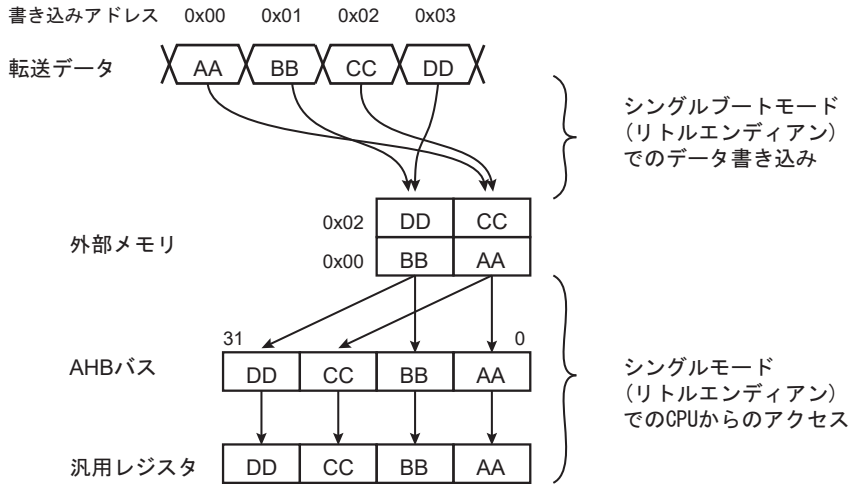
6.5.6.2　外部メモリへのデータ転送

1 バイトずつ外部から転送した 32 ビットデータを 16 ビット幅の外部メモリへ転送する場合を考えます。

(1)　リトルエンディアン形式データの転送

リトルエンディアンの場合はアドレス 0x00 からアドレスをインクリメントしながらメモリにライトすることで所望のデータが準備できます。

CPU が 32 ビットデータをリードする際は、16 ビットずつ読み込んだデータを外部バスインタフェースで下位側から配置して 32 ビットデータを生成しバスに出力します。

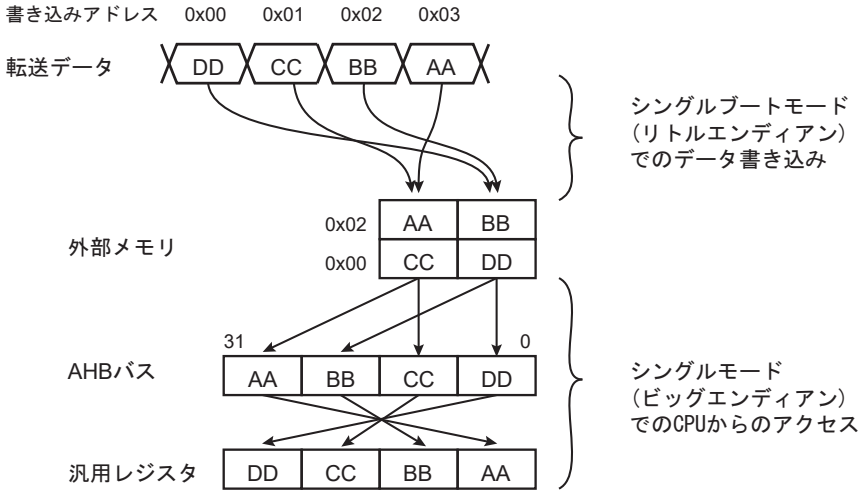


(2) BE8 形式データの転送

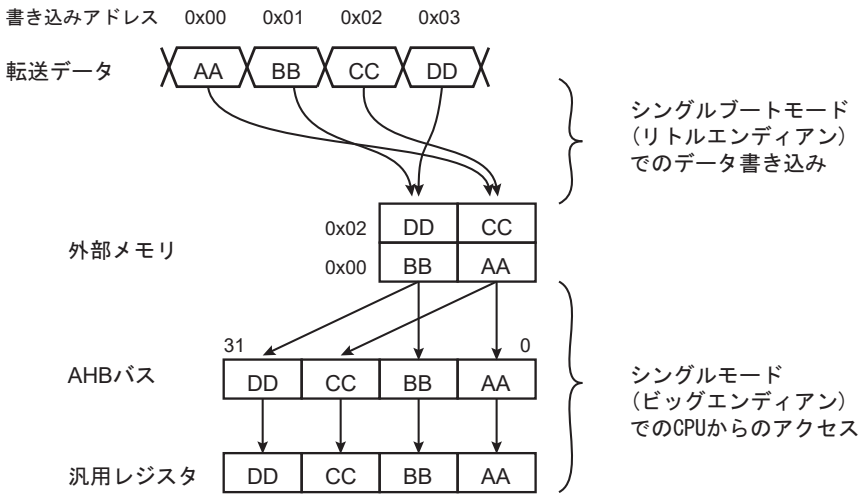
リトルエンディアンの命令と BE8 形式のオペランドが混在するデータをリトルエンディアンでメモリ上に書き込む場合も、「6.5.5 コンパイル結果のメモリイメージ」に示すようにアドレッシングが考慮されてメモリイメージが作成されているため、リトルエンディアンと同様の動作で書き込むことができます。

CPU が 32 ビットデータをリードする際は、16 ビットずつ読み込んだデータを外部バスインタフェースで上位側から配置して 32 ビットデータを生成しバスに出力します。CPU にデータを取り込む際、命令の場合はそのまま、オペランドの場合はバイトごとの入れ替えが発生します。

・ オペランド



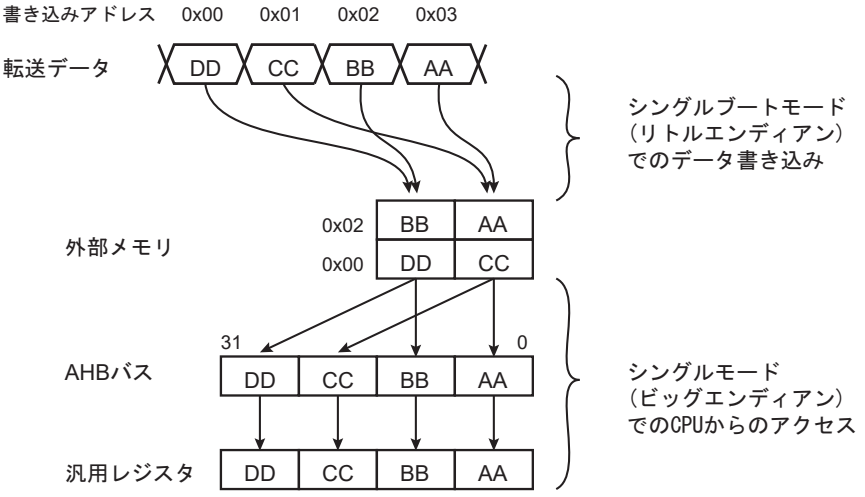
・ 命令



(3)　MIPS 形式データの転送

MIPS 形式のデータをリトルエンディアンでメモリ上に書き込む場合は外部バスインタフェース（EBIF）の EXBCSx<ENDTYPE>の機能が使用できます。<ENDTYPE>を"1"とすることで該当する CS 空間は MIPS 形式となり、EBIF が自動的にメモリのアクセスを制御します。

CPU が 32 ビットデータをリードする際は、16 ビットずつ読み込んだデータを外部バスインタフェースで上位側から配置して 32 ビットデータを生成しバスに出力します。



第 7 章　メモリマップ

7.1　メモリマップ

TMPM440FE/F10XBG のメモリマップは、ARM Cortex-M4F コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M4F コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR : Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"ARM ドキュメンテーションセット Cortex-M4F 編"を参照してください。

"Fault"と記載された領域は、アクセスするとハードフォールトが発生します。また、"Reserved"領域とベンダ固有領域はアクセスしないでください。

TMPM440FE/F10XBG のメモリマップを図 7-1 に示します。

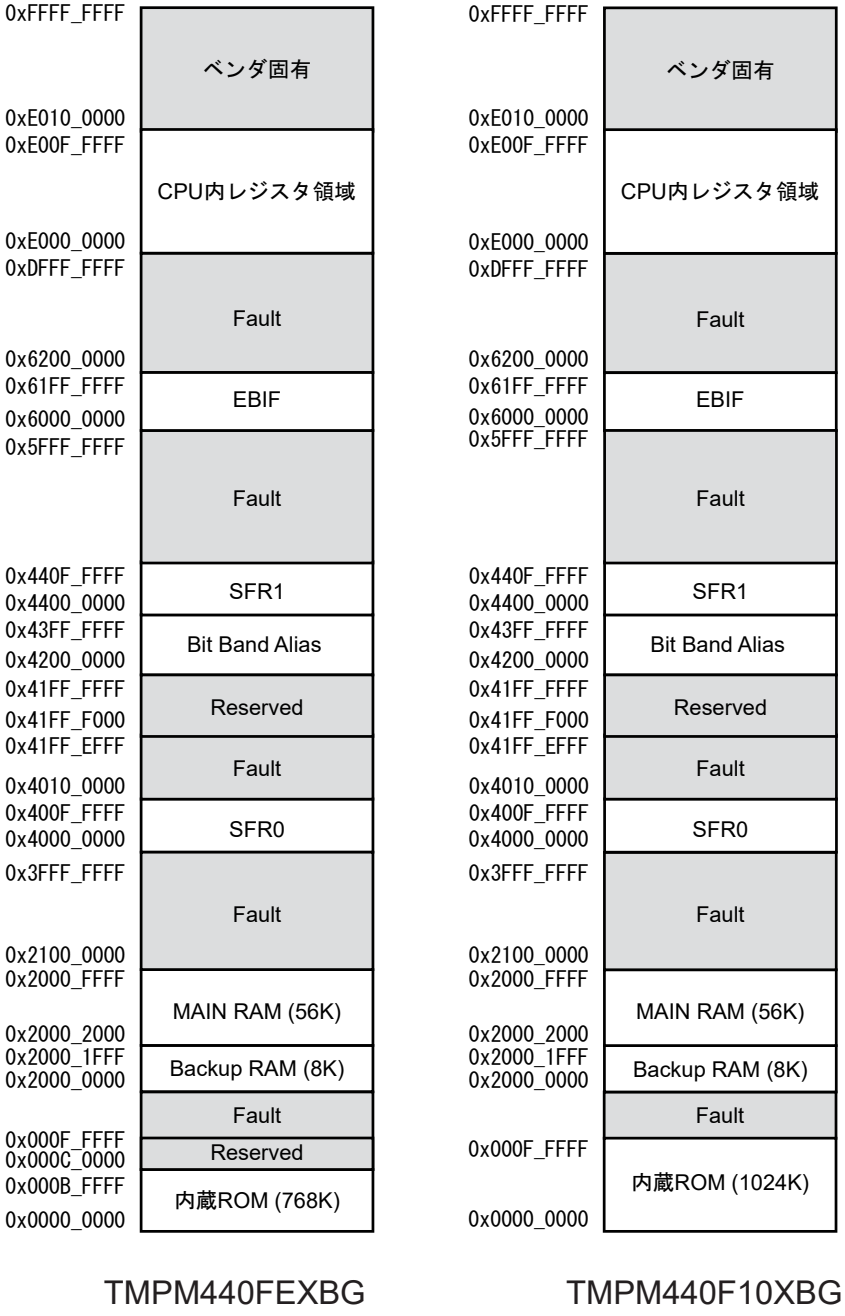

0xFFFF_FFFF
ベンダ固有
0xE010_0000
0xE00F_FFFF
CPU内レジスタ領域
0xE000_0000
0xDFFF_FFFF
Fault
0x6200_0000
0x61FF_FFFF
EBIF
0x6000_0000
0x5FFF_FFFF
Fault
0x440F_FFFF
0x4400_0000
SFR1
0x43FF_FFFF
0x4200_0000
Bit Band Alias
0x41FF_FFFF
0x41FF_F000
Reserved
0x41FF_EFFF
0x4010_0000
Fault
0x400F_FFFF
0x4000_0000
SFR0
0x3FFF_FFFF
Fault
0x2100_0000
0x2000_FFFF
MAIN RAM (56K)
0x2000_2000
0x2000_1FFF
0x2000_0000
Backup RAM (8K)
Fault
0x000F_FFFF
0x000C_0000
Reserved
0x000B_FFFF
内蔵ROM (768K)
0x0000_0000
TMPM440FEXBG
0xFFFF_FFFF
ベンダ固有
0xE010_0000
0xE00F_FFFF
CPU内レジスタ領域
0xE000_0000
0xDFFF_FFFF
Fault
0x6200_0000
0x61FF_FFFF
EBIF
0x6000_0000
0x5FFF_FFFF
Fault
0x440F_FFFF
0x4400_0000
SFR1
0x43FF_FFFF
0x4200_0000
Bit Band Alias
0x41FF_FFFF
0x41FF_F000
Reserved
0x41FF_EFFF
0x4010_0000
Fault
0x400F_FFFF
0x4000_0000
SFR0
0x3FFF_FFFF
Fault
0x2100_0000
0x2000_FFFF
MAIN RAM (56K)
0x2000_2000
0x2000_1FFF
0x2000_0000
Backup RAM (8K)
Fault
0x000F_FFFF
内蔵ROM (1024K)
0x0000_0000
TMPM440F10XBG

図 7-1 メモリマップ

7.2 周辺機能ベースアドレス一覧

周辺機能のベースアドレスを示します。

周辺機能によっては、チャネルにより SFR0 領域と SFR1 領域に分かれて配置されていますのでご注意ください。

SFR 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

クロック/モード制御(CG)	0x400F_3000	SFR0

ポート		
PORTA	0x400C_0000	SFR0
PORTB	0x400C_0100	SFR0
PORTC	0x400C_0200	SFR0
PORTD	0x400C_0300	SFR0
PORTE	0x400C_0400	SFR0
PORTF	0x400C_0500	SFR0
PORTG	0x400C_0600	SFR0
PORTH	0x400C_0700	SFR0
PORTJ	0x400C_0800	SFR0
PORTK	0x400C_0900	SFR0
PORTL	0x400C_0A00	SFR0
PORTM	0x400C_0B00	SFR0
PORTN	0x400C_0C00	SFR0
PORTP	0x400C_0D00	SFR0
PORTR	0x400C_0E00	SFR0
PORTT	0x400C_0F00	SFR0
PORTU	0x400C_1000	SFR0
PORTV	0x400C_1100	SFR0
PORTW	0x400C_1200	SFR0
PORTY	0x400C_1300	SFR0
PORTAA	0x400C_1400	SFR0
PORTAB	0x400C_1500	SFR0
PORTAC	0x400C_1600	SFR0
PORTAD	0x400C_1700	SFR0
PORTAE	0x400C_1800	SFR0
PORTAF	0x400C_1900	SFR0
PORTAG	0x400C_1A00	SFR0
PORTAH	0x400C_1B00	SFR0
PORTAJ	0x400C_1C00	SFR0

16 ビットタイマ/イベントカウンタ(TMRB)		
ch00	0x440C_4000	SFR1
ch01	0x440C_4100	SFR1
ch02	0x440C_4200	SFR1
ch03	0x440C_4300	SFR1
ch04	0x440C_4400	SFR1
ch05	0x440C_4500	SFR1
ch06	0x440C_4600	SFR1
ch07	0x440C_4700	SFR1
ch08	0x440C_4800	SFR1
ch09	0x440C_4900	SFR1
ch10	0x400C_5000	SFR0
ch11	0x400C_5100	SFR0
ch12	0x400C_5200	SFR0
ch13	0x400C_5300	SFR0
ch14	0x400C_5400	SFR0
ch15	0x400C_5500	SFR0
ch16	0x400C_5600	SFR0
ch17	0x400C_5700	SFR0
ch18	0x400C_5800	SFR0
ch19	0x400C_5900	SFR0

32 ビットタイマ (TMRC)	0x440C_E000	SFR1

高分解能 16 ビットタイマ/PPG 出力 (TMRD)	0x4005_8000	SFR0

4 バイト FIFO 付きシリアルチャネル(SIO/UART with 4bytes FIFO)		
ch0	0x440E_1000	SFR1
ch1	0x440E_1100	SFR1
ch2	0x440E_1200	SFR1

32 バイト FIFO 付きシリアルチャネル(SIO/UART with 32bytes FIFO)		
ch3	0x440E_1300	SFR1
ch4	0x440E_1400	SFR1
ch5	0x440E_1500	SFR1

拡張シリアル I/O(ESIO)		
ch0	0x4406_A000	SFR1
ch1	0x4406_B000	SFR1
ch2	0x4406_C000	SFR1

非同期シリアル通信回路(UART)		
ch0	0x4404_8000	SFR1
ch1	0x4404_9000	SFR1

高機能 2 相パルスカウンタ(EPHC)	0x4406_0000	SFR1

高機能 2 相パルスカウンタ(EPHC) PSC 用 Mirror	0x4007_5000	SFR0

2 相パルスカウンタ(PHC)		
ch0	0x400C_A000	SFR0
ch1	0x400C_A100	SFR0

シリアルバスインタフェース (I2C)	0x400E_0000	SFR0

アナログ/デジタルコンバータ(ADC)		
Unit A	0x4405_0000	SFR1
Unit B	0x4405_1000	SFR1
Unit C	0x4405_2000	SFR1

アナログ/デジタルコンバータ(ADC) Mirror		
Unit A	0x4007_4000	SFR0
Unit B	0x4007_9000	SFR0
Unit C	0x4007_A000	SFR0

デジタルアナログコンバータ(DAC)		
Unit A	0x4405_4000	SFR1
Unit B	0x4405_5000	SFR1

Programmable Servo / sequence Controller (PSC)		
Code RAM	0x4001_0000	SFR0
Data RAM	0x4001_4000	SFR0
REG	0x4001_8000	SFR0

DMAC(DMAC)		
UnitA	0x4000_0000	SFR0
UnitB	0x4000_1000	SFR0
UnitC	0x4000_2000	SFR0
DMAC 制御	0x4405_F000	SFR1

リアルタイムクロック(RTC)	0x400C_C000	SFR0

キーマトリックススキャン (KSCAN)	0x400F_A000	SFR0

キーオンウエイクアップ(KWUP)		
Unit A (32 チャネル)	0x400F_B000	SFR0
Unit B (8 チャネル)	0x400F_B100	SFR0

ウォッチドッグタイマ(WDT)	0x400F_2000	SFR0

外部バス(EBIF)	0x4405_C000	SFR1

Flash メモリ	0x41FF_F000	SFR0

7.3 ビットバンド領域

TMPM440FE/F10XBG のビットバンド領域は SFR0 領域の 1Mbyte となります。SFR1 領域はビットバンド領域ではありません。

第 8 章　リセット動作

リセットの種類として以下のものがあります。

- パワーオンリセット回路(POR)
- リセット端子($\overline{\text{RESET}}$)
- ウォッチドッグタイマ(WDT)
- CPU のアプリケーション割り込みおよびリセットレジスタ<SYSRESETREQ>ビット

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG については、例外の章を参照してください。

パワーオンリセット回路、ウォッチドッグタイマについてはそれぞれの章を参照してください。

<SYSRESETREQ>によるリセットについては、"Cortex-M4 テクニカルリファレンスマニュアル"を参照してください。

注 1)　リセット動作を行うと内蔵 RAM のデータは保証されません。

8.1　コールドリセット時

電源投入の際には、内蔵レギュレータ、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。TMPM440FE/F10XBG では、これらの機能の安定のための時間を内部回路が自動的に挿入します。

8.1.1　パワーオンリセット回路によるリセット(RESET 端子を使用しない場合)

電源電圧がパワーオンリセットの解除電圧を超えるとパワーオンカウンタが動作を開始し、約 1.3ms 後に内部リセット信号が解除されます。

パワーオンリセット回路の動作については、「パワーオンリセット回路(POR)」の章を参照してください。

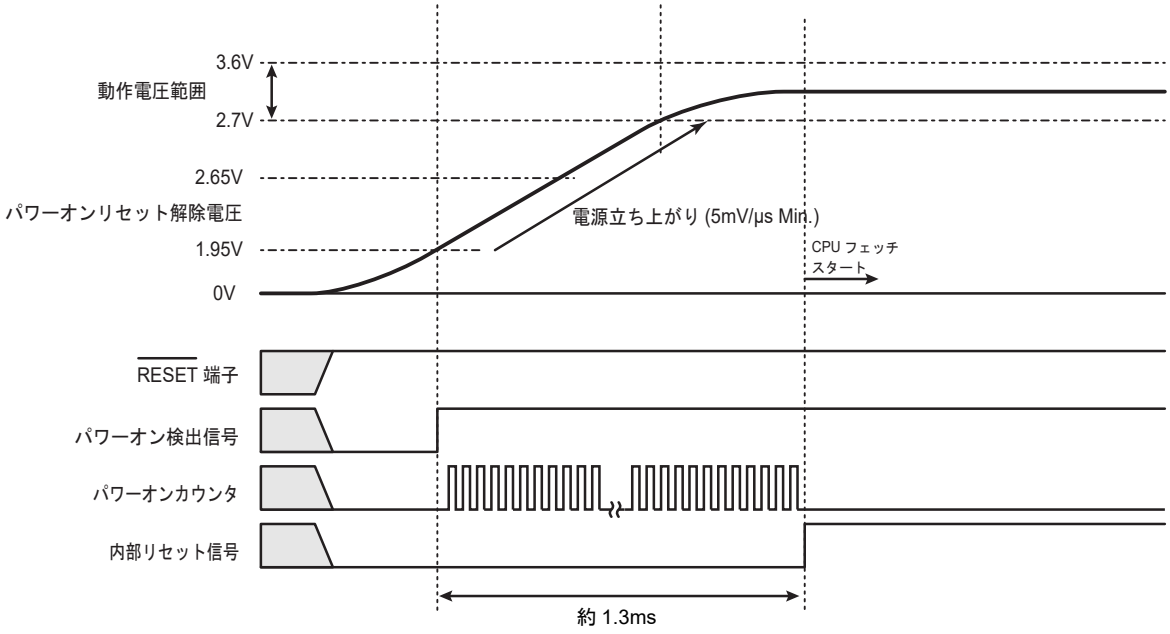


図 8-1 パワーオン回路によるリセット動作

8.1.2 $\overline{\text{RESET}}$ 端子によるリセット

内部リセット信号が解除されるのは、$\overline{\text{RESET}}$ 端子が"High"になってから約 1.0ms 後です。

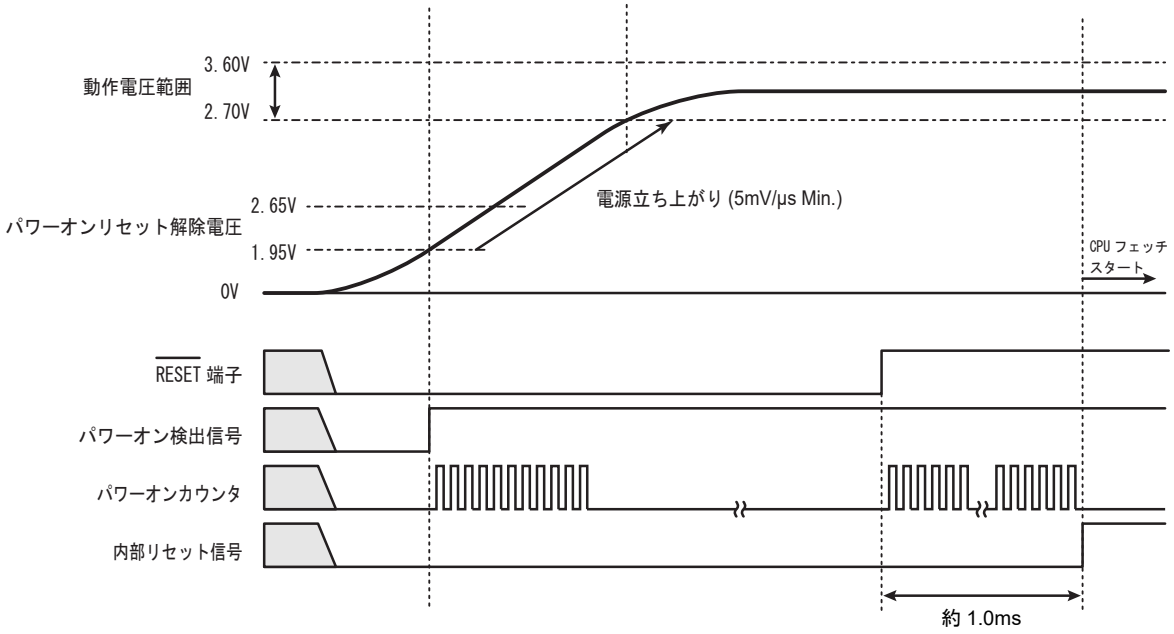


図 8-2 $\overline{\text{RESET}}$ 端子によるリセット動作

8.2　ウォームリセット時

TMPM440FE/F10XBG にリセットをかけるには、電源電圧が動作範囲内であり、$\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 システムクロック間"Low"にしてください。$\overline{\text{RESET}}$ 端子が"High"になってから約 1.0ms 後に内部リセットが解除されます。

8.3　リセット解除後

リセット解除後は、Cortex-M4F コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。コア内部のシステムデバッグコンポーネント(FPB、DWT、ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG および FLASH 関連レジスタの FCSECBIT はコールドリセットでのみ初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逓倍回路の設定を行ってください。

第 9 章　パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入または切断時に、リセット信号を発生する回路です。

注)　電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

9.1　構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータ、パワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧を、基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

電源電圧とは、DVDD3 を指しています。

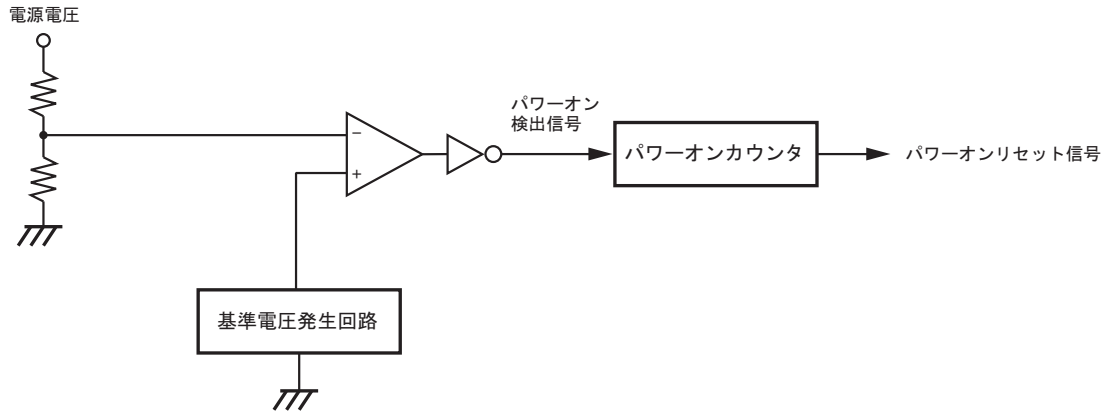


図 9-1 パワーオンリセット回路

9.2　機能

9.2.1　電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(1.95V～2.65V)以下の間、パワーオン検出信号が発生し、パワーオンリセットが発生します。

電源電圧がリセット解除電圧を超えると、パワーオン検出信号が解除されます。パワーオン検出信号が解除されるとパワーオンカウンタがカウントアップを開始します。

パワーオンカウンタが約 1.3ms 後にオーバーフローし、パワーオンリセットが解除されます。

電源電圧がパワーオンリセット解除電圧を超えてから、動作電圧範囲の下限(2.7V)を超えるまで、電源電立ち上がりを 5mV/μs より早くしてください。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

9.2.2　電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検出電圧(2.2V～2.6V)以下になると、パワーオン検出信号が発生し、パワーオンリセットが発生します。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

9.2.3　電源切断後の再投入について

電源が切断され、電源電圧がパワーオンリセット検出電圧以下になった場合、電源電圧を 1.75V 未満にしてください。

その後、電源投入時と同じ制約を守って、電源電圧を立ち上げてください。

電源電圧が 1.75V 未満に下がらない、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、TMPM440FE/F10XBG は正常に動作しません。

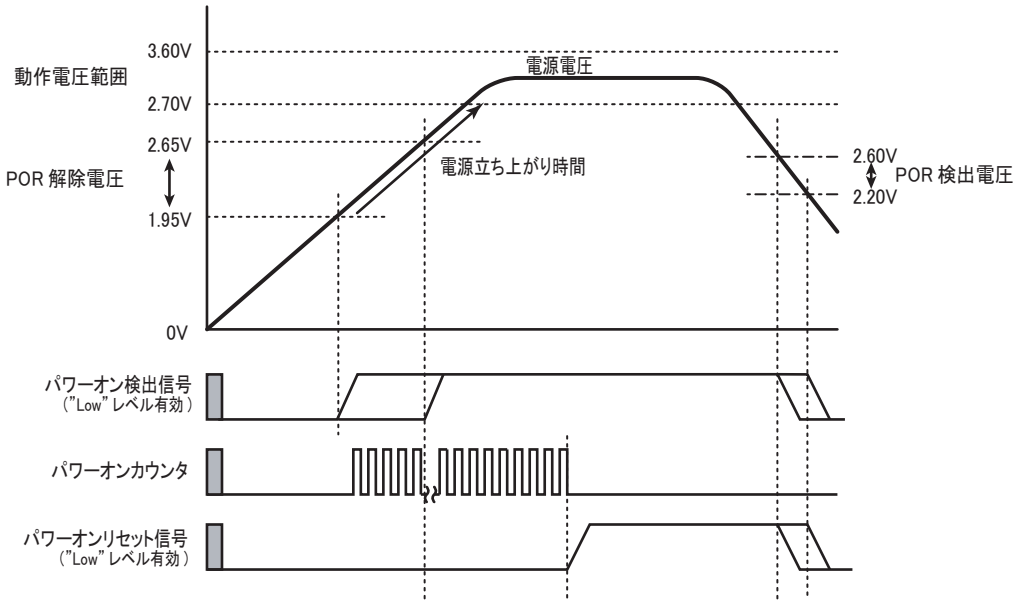


図 9-2 パワーオンリセット動作タイミング

第 10 章　クロック/モード制御

10.1　特長

クロック/モード制御ブロックでは、クロックギアやプリスケーラクロックの選択、PLL(逓倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケーラクロックの制御
- クロック逓倍回路（PLL）の制御
- ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

10.2　レジスタ説明

10.2.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
Reserved	-	0x0010
TMRD クロック設定レジスタ	CGPWMGEAR	0x0014
Reserved	-	0x0018 ~ 0x001C
FCLK 供給停止レジスタ A	CGFCLKMSKA	0x0020
FCLK 供給停止レジスタ B	CGFCLKMSKB	0x0024
FC 供給停止レジスタ A	CGFCMSKA	0x0028
FC 供給停止レジスタ B	CGFCMSKB	0x002C
Reserved	-	0x0038
プロテクトレジスタ	CGPROTECT	0x003C

注)　"Reserved"表記のアドレスにはアクセスしないでください。

10.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	PSCSTOP	FCSTOP2	FCSTOP1	FCSTOP0	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL0	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-22	−	R	リードすると"0"が読めます。
21	PSCSTOP	R/W	PSC クロック選択 0: 動作 1: 停止 PSC 用クロックの供給を停止させることが可能です。 リセット後は PSC 用クロックは供給されています。 "1"(停止)に設定する場合は、必ず PSC が停止していることを確認してください。
20	FCSTOP2	R/W	ADC(Unit C)クロック選択 0: 動作 1: 停止 AD コンバータ(Unit C)用クロックの供給を停止させることが可能です。 リセット後は AD コンバータ用クロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。
19	FCSTOP1	R/W	ADC(Unit B)クロック選択 0: 動作 1: 停止 AD コンバータ(Unit B)用クロックの供給を停止させることが可能です。 リセット後は AD コンバータ用クロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。
18	FCSTOP0	R/W	ADC(Unit A)クロック選択 0: 動作 1: 停止 AD コンバータ(Unit A)用クロックの供給を停止させることが可能です。 リセット後は AD コンバータ用クロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: fc/4 01: fc/8 10: fosc 11: SCOUT 出力禁止(端子からは"Low"が出力されます) SCOUT 端子から出力するクロックを設定します。
15-13	−	R	リードすると"0"が読めます。
12	FPSEL0	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロックを選択します。
7-3	–	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	ギアクロック(fgear)のギア選択 000: fc　100: fc/2 001: Reserved　101: fc/4 010: Reserved　110: fc/8 011: Reserved　111: fc/16

注)　CGPWMGEAR<TMRDGEAR[1:0]>="10" (TMRD ソースクロックに fc/4 を選択)を設定したときには、CGSYSCR<GEAR[2:0]>には"000"または"100" (ギアクロック fc または fc/2)は設定できません。

10.2.3 CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUPT							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUPT				WUPSEL2	EHOSCSEL	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	WUPTL		-	-	-	PLL1ON	XTEN	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLL0ON	WUEF	WUEON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUPT[11:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの、上位 12 ビットのカウント値を設定します。
19	WUPSEL2	R/W	高速ウォームアップクロックの動作選択 0: 内部高速発振 1: 外部高速発振 ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。
18	EHOSCSEL	R/W	外部発振選択 0: 外部クロック入力(EHCLKIN) 1: 発振子(EHOSC)
17	OSCSEL	R/W	高速発振器選択 0: 内部(IHOSC) 1: 外部(feosc)
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-14	WUPTL[1:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの、下位 2 ビットのカウント値を設定します。低速クロックのときのみ使用します。
13-12	−	R/W	"0"をライトしてください。
11	−	R	リードすると"0"が読めます。
10	PLL1ON	R/W	ADC 用 PLL(逓倍回路)の動作選択(注 3) 0: 停止 1: 発振
9	XTEN	R/W	外部低速発振器の動作選択 0: 停止 1: 発振
8	XEN1	R/W	外部高速発振器の使用選択 0: X1 端子を使用しない 1: X1 端子を使用する X1 端子の入力レベルが浮いた状態で<XEN1>を"1"に設定すると X1 端子の入力ゲートで貫通電流が流れます。発振子を接続、あるいは外部クロックを供給した状態で<XEN1>を"1"に設定してください。
7-4	−	R	リードすると"0"が読めます。
3	WUPSEL1	R/W	ウォームアップカウンタ選択 0: 高速 1: 低速
2	PLL0ON	R/W	fsys 用 PLL(逓倍回路)動作の選択(注 3) 0: 停止 1: 発振

Bit	Bit Symbol	Type	機能
1	WUEF	R	ウォーミングアップタイマステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイマの状態を確認できます。
0	WUEON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 リードすると"0"が読めます。

注 1)　ウォーミングアップ時間の設定については「10.3.4 ウォーミングアップ機能」を参照してください。

注 2)　外部クロックを入力する時、<EHOSCSEL>でクロックを選択後、<OSCSEL>を選択してください。(<OSCSEL>の設定変更と同時に<EHOSCSEL>の設定変更を行わないでください。)

注 3)　PLL 逓倍値設定後、PLL 初期化安定時間として 100μs 以上、それぞれ CGOSCCR<PLL0ON>="0" または CGOSCCR<PLL1ON>="0"(PLL 停止)を保持する必要があります。

注 4)　CGOSCCR<PLL0ON>="1"に変更後、ウォーミングアップを実行した後に、CGPLLSEL<PLL0SEL>＝” 1”に切り替えてください。

注 5)　CGOSCCR<PLL1ON>="1"に変更後、ウォーミングアップを実行した後に、CGPLLSEL<PLL1SEL>＝” 1”に切り替えてください。

注 6)　STOP1 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN2>, <XEN1>, <PLL0ON>, <PLL1ON>および CGPLLSEL<PLL0SEL>, <PLL1SEL>は初期化され、内部高速発振で起動します。

注 7)　内蔵高速発振器(IHOSC)を使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

10.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	PTKEEP	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-18	–	R	リードすると"0"が読めます。
17	PTKEEP	R/W	STOP2 モード中の I/O 制御信号を保持 0:Port による制御 1: 0->1 設定時の状態を保持(STOP2 モード遷移時前に設定が必要です)
16	DRVE	R/W	STOP1 モード中の端子状態制御 0: Reserved 1: STOP1 モード中、端子をドライブします STOP1 モードに遷移する前に"1"をライトしてください。
15-3	–	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: STOP2 110: Reserved 111: Reserved

10.2.5　CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	PLL1SETH				-	PLL1SETL		
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PLL1SETL							PLL1SEL
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLL0SET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLL0SET							PLL0SEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-28	PLL1SETH	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x0C: 入力クロック 8MHz, 出力クロック 64MHz (8 逓倍) 0x0E: 入力クロック 8MHz, 出力クロック 80MHz (10 逓倍) 0x0C: 入力クロック 10MHz, 出力クロック 80MHz (8 逓倍) 0x0E: 入力クロック 10MHz, 出力クロック 100MHz (10 逓倍)
27	–	R	リードすると"0"が読めます。
26-17	PLL1SETL	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x01E : 入力クロック 8MHz, 出力クロック 64MHz (8 逓倍) 0x026 : 入力クロック 8MHz, 出力クロック 80MHz (10 逓倍) 0x01E:入力クロック 10MHz, 出力クロック 80MHz (8 逓倍) 0x026:入力クロック 10MHz, 出力クロック 100MHz (10 逓倍)
16	PLL1SEL	R/W	PLL 選択 0: fc 使用 1: f_{PLLADC} 使用 ADC 用 PLL にて逓倍されたクロックの使用可否を選択します。 リセット解除後は"fc(内部高速発振)"選択ですので、PLL を使用する場合はこのビットの設定が必要です。
15-1	PLL0SET	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x7026:入力クロック 8MHz, 出力クロック 40MHz (5 逓倍) 0x782E:入力クロック 8MHz, 出力クロック 48MHz (6 逓倍) 0x78BE:入力クロック 8MHz, 出力クロック 64MHz (8 逓倍) 0x704D:入力クロック 8MHz, 出力クロック 80MHz (10 逓倍) 0x7026:入力クロック 10MHz, 出力クロック 50MHz (5 逓倍) 0x782E:入力クロック 10MHz, 出力クロック 60MHz (6 逓倍) 0x603D:入力クロック 10MHz, 出力クロック 80MHz (8 逓倍) 0x704D:入力クロック 10MHz, 出力クロック 100MHz (10 逓倍)
0	PLL0SEL	R/W	PLL 選択 0: fosc 使用 1: f_{PLL} 使用 fsys 用 PLL にて逓倍されたクロックの使用可否を選択します。 リセット解除後は"fosc(内部高速発振)"選択ですので、PLL を使用する場合はこのビットの設定が必要です。

注 1)　PLL 逓倍数は表 10-2 の設定範囲で使用してください。

注 2)　PLL 逓倍値の設定は、それぞれ CGOSCCR<PLL0ON> = "0"または CGOSCCR<PLL1ON> = "0"(PLL 停止)の状態で行なってください。

注 3)　PLL 逓倍値設定後、PLL 初期化安定時間として 100μs 以上、それぞれ CGOSCCR<PLL0ON> = "0"または CGOSCCR<PLL1ON> = "0"(PLL 停止)を保持する必要があります。

注 4) STOP1 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN2>, <XEN1>, <PLL0ON>, <PLL1ON>および CGPLLSEL<PLL0SEL>, <PLL1SEL>は初期化され、内部高速発振で起動します。

10.2.6　CGPWMGEAR (タイマクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-		TMRDGEAR		-	-	-	TMRD CLKEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R/W	"0"をライトしてください。
5-4	TMRDGEAR [1:0]	R/W	TMRDA ソースクロック選択 00 : fc 01 : fc / 2 10 : fc / 4 11 : Reserved TMRD に入力するソースクロックを選択します。
3-2	−	R	リードすると"0"が読めます。
1	−	R/W	"0"をライトしてください。
0	TMRDCLKEN	R/W	TMRD ソースクロック制御 0 : 停止 (OFF) 1 : 設定 (ON) TMRD への TMRDCLK 供給を設定します。

注 1)　CGPWMGEAR<TMRDGEAR[1:0]>="10" (TMRD ソースクロックに fc/4 を選択)を設定したときには、CGSYSCR<GEAR[2:0]>には"000"または"100" (ギアクロック fc または fc/2)は設定できません。

注 2)　クロック選択と供給は、同時に行なわないで下さい。 TMRD を使用する時は、初めにクロック供給が停止した状態でソースクロックの選択を行い、その後、クロック供給を許可して下さい。

注 3)　ソースクロックを切り替える場合は、TMRD へのクロック供給を停止した状態(<TMRDCLKEN>="0")で切り替えを行なってください。

10.2.7 CGFCLKMSKA (FCLK 供給停止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	PORTN	PORTM	PORTL	PORTK	PORTJ	PORTH	PORTG	PORTF
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PORTE	PORTD	PORTC	PORTB	PORTA	-	DMACC	DMACB
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DMACA	UART1	UART0	EBIF	DAC1	DAC0	TMRB19	TMRB18
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TMRB17	TMRB16	TMRB15	TMRB14	TMRB13	TMRB12	TMRB11	TMRB10
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	PORTN	R/W	ポート N へのクロック供給制御 0: 供給 1: 停止
30	PORTM	R/W	ポート M へのクロック供給制御 0: 供給 1: 停止
29	PORTL	R/W	ポート L へのクロック供給制御 0: 供給 1: 停止
28	PORTK	R/W	ポート K へのクロック供給制御 0: 供給 1: 停止
27	PORTJ	R/W	ポート J へのクロック供給制御 0: 供給 1: 停止
26	PORTH	R/W	ポート H へのクロック供給制御 0: 供給 1: 停止
25	PORTG	R/W	ポート G へのクロック供給制御 0: 供給 1: 停止
24	PORTF	R/W	ポート F へのクロック供給制御 0: 供給 1: 停止
23	PORTE	R/W	ポート E へのクロック供給制御 0: 供給 1: 停止
22	PORTD	R/W	ポート D へのクロック供給制御 0: 供給 1: 停止
21	PORTC	R/W	ポート C へのクロック供給制御 0: 供給 1: 停止
20	PORTB	R/W	ポート B へのクロック供給制御 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
19	PORTA	R/W	ポート A へのクロック供給制御 0: 供給 1: 停止
18	-	R/W	"0"をライトしてください。
17	DMACC	R/W	DMAC UnitC へのクロック供給制御 0: 供給 1: 停止
16	DMACB	R/W	DMAC UnitB へのクロック供給制御 0: 供給 1: 停止
15	DMACA	R/W	DMAC UnitA へのクロック供給制御 0: 供給 1: 停止
14	UART1	R/W	UART チャネル 1 へのクロック供給制御 0: 供給 1: 停止
13	UART0	R/W	UART チャネル 0 へのクロック供給制御 0: 供給 1: 停止
12	EBIF	R/W	EBIF へのクロック供給制御 0: 供給 1: 停止
11	DAC1	R/W	DAC チャネル 1 へのクロック供給制御 0: 供給 1: 停止
10	DAC0	R/W	DAC チャネル 0 へのクロック供給制御 0: 供給 1: 停止
9	TMRB19	R/W	TMRB チャネル 19 へのクロック供給制御 0: 供給 1: 停止
8	TMRB18	R/W	TMRB チャネル 18 へのクロック供給制御 0: 供給 1: 停止
7	TMRB17	R/W	TMRB チャネル 17 へのクロック供給制御 0: 供給 1: 停止
6	TMRB16	R/W	TMRB チャネル 16 へのクロック供給制御 0: 供給 1: 停止
5	TMRB15	R/W	TMRB チャネル 15 へのクロック供給制御 0: 供給 1: 停止
4	TMRB14	R/W	TMRB チャネル 14 へのクロック供給制御 0: 供給 1: 停止
3	TMRB13	R/W	TMRB チャネル 13 へのクロック供給制御 0: 供給 1: 停止
2	TMRB12	R/W	TMRB チャネル 12 へのクロック供給制御 0: 供給 1: 停止
1	TMRB11	R/W	TMRB チャネル 11 へのクロック供給制御 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
0	TMRB10	R/W	TMRB チャネル 10 へのクロック供給制御 0: 供給 1: 停止

10.2.8　CGFCLKMSKB(FCLK 供給停止レジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	WDT	I2C	EPHC	ADCC	ADCB	ADCA	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PORTAJ	PORTAH	PORTAG	PORTAF	PORTAE	PORTAD	PORTAC	PORTAB
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PORTAA	PORTY	PORTW	PORTV	PORTU	PORTT	PORTR	PORTP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-23	-	R/W	リードすると"0"が読めます。
22	WDT	R/W	WDT へのクロック供給制御 0: 供給 1: 停止
21	I2C	R/W	I2C へのクロック供給制御 0: 供給 1: 停止
20	EPHC	R/W	EPHC へのクロック供給制御 0: 供給 1: 停止
19	ADCC	R/W	ADC UnitC へのクロック供給制御 0: 供給 1: 停止
18	ADCB	R/W	ADC UnitB へのクロック供給制御 0: 供給 1: 停止
17	ADCA	R/W	ADC UnitA へのクロック供給制御 0: 供給 1: 停止
16	-	R/W	"0"をライトしてください。
15	PORTAJ	R/W	ポート AJ へのクロック供給制御 0: 供給 1: 停止
14	PORTAH	R/W	ポート AH へのクロック供給制御 0: 供給 1: 停止
13	PORTAG	R/W	ポート AG へのクロック供給制御 0: 供給 1: 停止
12	PORTAF	R/W	ポート AF へのクロック供給制御 0: 供給 1: 停止
11	PORTAE	R/W	ポート AE へのクロック供給制御 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
10	PORTAD	R/W	ポート AD へのクロック供給制御 0: 供給 1: 停止
9	PORTAC	R/W	ポート AC へのクロック供給制御 0: 供給 1: 停止
8	PORTAB	R/W	ポート AB へのクロック供給制御 0: 供給 1: 停止
7	PORTAA	R/W	ポート AA へのクロック供給制御 0: 供給 1: 停止
6	PORTY	R/W	ポート Y へのクロック供給制御 0: 供給 1: 停止
5	PORTW	R/W	ポート W へのクロック供給制御 0: 供給 1: 停止
4	PORTV	R/W	ポート V へのクロック供給制御 0: 供給 1: 停止
3	PORTU	R/W	ポート U へのクロック供給制御 0: 供給 1: 停止
2	PORTT	R/W	ポート T へのクロック供給制御 0: 供給 1: 停止
1	PORTR	R/W	ポート R へのクロック供給制御 0: 供給 1: 停止
0	PORTP	R/W	ポート P へのクロック供給制御 0: 供給 1: 停止

10.2.9　CGFCMSKA (fc 供給停止レジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	TMRCCMP7	TMRCCMP6	TMRCCMP5	TMRCCMP4	TMRCCMP3	TMRCCMP2	TMRCCMP1	TMRCCMP0
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMRCCAP3	TMRCCAP2	TMRCCAP1	TMRCCAP0	TMRB09	TMRB08	TMRB07	TMRB06
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMRB05	TMRB04	TMRB03	TMRB02	TMRB01	TMRB00	SIO_UART5	SIO_UART4
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIO_UART3	SIO_UART2	SIO_UART1	SIO_UART0	TMRD	ESIO2	ESIO1	ESIO0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	TMRCCMP7	R/W	TMRC コンペア回路チャネル 7 へのクロック供給制御 0: 供給 1: 停止
30	TMRCCMP6	R/W	TMRC コンペア回路チャネル 6 へのクロック供給制御 0: 供給 1: 停止
29	TMRCCMP5	R/W	TMRC コンペア回路チャネル 5 へのクロック供給制御 0: 供給 1: 停止
28	TMRCCMP4	R/W	TMRC コンペア回路チャネル 4 へのクロック供給制御 0: 供給 1: 停止
27	TMRCCMP3	R/W	TMRC コンペア回路チャネル 3 へのクロック供給制御 0: 供給 1: 停止
26	TMRCCMP2	R/W	TMRC コンペア回路チャネル 2 へのクロック供給制御 0: 供給 1: 停止
25	TMRCCMP1	R/W	TMRC コンペア回路チャネル 1 へのクロック供給制御 0: 供給 1: 停止
24	TMRCCMP0	R/W	TMRC コンペア回路チャネル 0 へのクロック供給制御 0: 供給 1: 停止
23	TMRCCAP3	R/W	TMRC キャプチャチャネル 3 へのクロック供給制御 0: 供給 1: 停止
22	TMRCCAP2	R/W	TMRC キャプチャチャネル 2 へのクロック供給制御 0: 供給 1: 停止
21	TMRCCAP1	R/W	TMRC キャプチャチャネル 1 へのクロック供給制御 0: 供給 1: 停止
20	TMRCCAP0	R/W	TMRC キャプチャチャネル 0 へのクロック供給制御 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
19	TMRB09	R/W	TMRB チャネル 09 へのクロック供給制御 0: 供給 1: 停止
18	TMRB08	R/W	TMRB チャネル 08 へのクロック供給制御 0: 供給 1: 停止
17	TMRB07	R/W	TMRB チャネル 07 へのクロック供給制御 0: 供給 1: 停止
16	TMRB06	R/W	TMRB チャネル 06 へのクロック供給制御 0: 供給 1: 停止
15	TMRB05	R/W	TMRB チャネル 05 へのクロック供給制御 0: 供給 1: 停止
14	TMRB04	R/W	TMRB チャネル 04 へのクロック供給制御 0: 供給 1: 停止
13	TMRB03	R/W	TMRB チャネル 03 へのクロック供給制御 0: 供給 1: 停止
12	TMRB02	R/W	TMRB チャネル 02 へのクロック供給制御 0: 供給 1: 停止
11	TMRB01	R/W	TMRB チャネル 01 へのクロック供給制御 0: 供給 1: 停止
10	TMRB00	R/W	TMRB チャネル 00 へのクロック供給制御 0: 供給 1: 停止
9	SIO_UART5	R/W	SIO/UART チャネル 5 へのクロック供給制御 0: 供給 1: 停止
8	SIO_UART4	R/W	SIO/UART チャネル 4 へのクロック供給制御 0: 供給 1: 停止
7	SIO_UART3	R/W	SIO/UART チャネル 3 へのクロック供給制御 0: 供給 1: 停止
6	SIO_UART2	R/W	SIO/UART チャネル 2 へのクロック供給制御 0: 供給 1: 停止
5	SIO_UART1	R/W	SIO/UART チャネル 1 へのクロック供給制御 0: 供給 1: 停止
4	SIO_UART0	R/W	SIO/UART チャネル 0 へのクロック供給制御 0: 供給 1: 停止
3	TMRD	R/W	TMRD へのクロック供給制御 0: 供給 1: 停止
2	ESIO2	R/W	ESIO チャネル 2 へのクロック供給制御 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
1	ESIO1	R/W	ESIO チャネル 1 へのクロック供給制御 0: 供給 1: 停止
0	ESIO0	R/W	ESIO チャネル 0 へのクロック供給制御 0: 供給 1: 停止

10.2.10 CGFCMSKB (fc 供給停止レジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TMRCTBT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	TMRCTBT	R/W	TMRC TBT 回路へのクロック供給制御 0: 供給 1: 停止

10.2.11　CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで CG 関連レジスタのうち CGPROTECT 以外のレジスタへの書き込みができなくなります。

10.3 クロック制御

10.3.1 クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
f_{PLL}	: PLL により逓倍されたクロック
fc	: CGPLLSEL<PLL0SEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック
fsys	: fgear と同一のクロック
fperiph	: CGSYSCR<FPSEL>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

ギアクロック fgear、プリスケーラクロック φT0 は以下のように分周することが可能です。

ギアクロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

10.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
fsys 用 PLL (逓倍回路)	: 停止
ADC 用 PLL (逓倍回路)	: 停止
ギアクロック	: fc (分周なし)

リセット動作によりすべてのクロックの設定が fosc と同じになります。

fc = fosc
fsys = fosc
φT0 = fosc

10.3.3　クロック系統図

クロック系統図を図 10-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

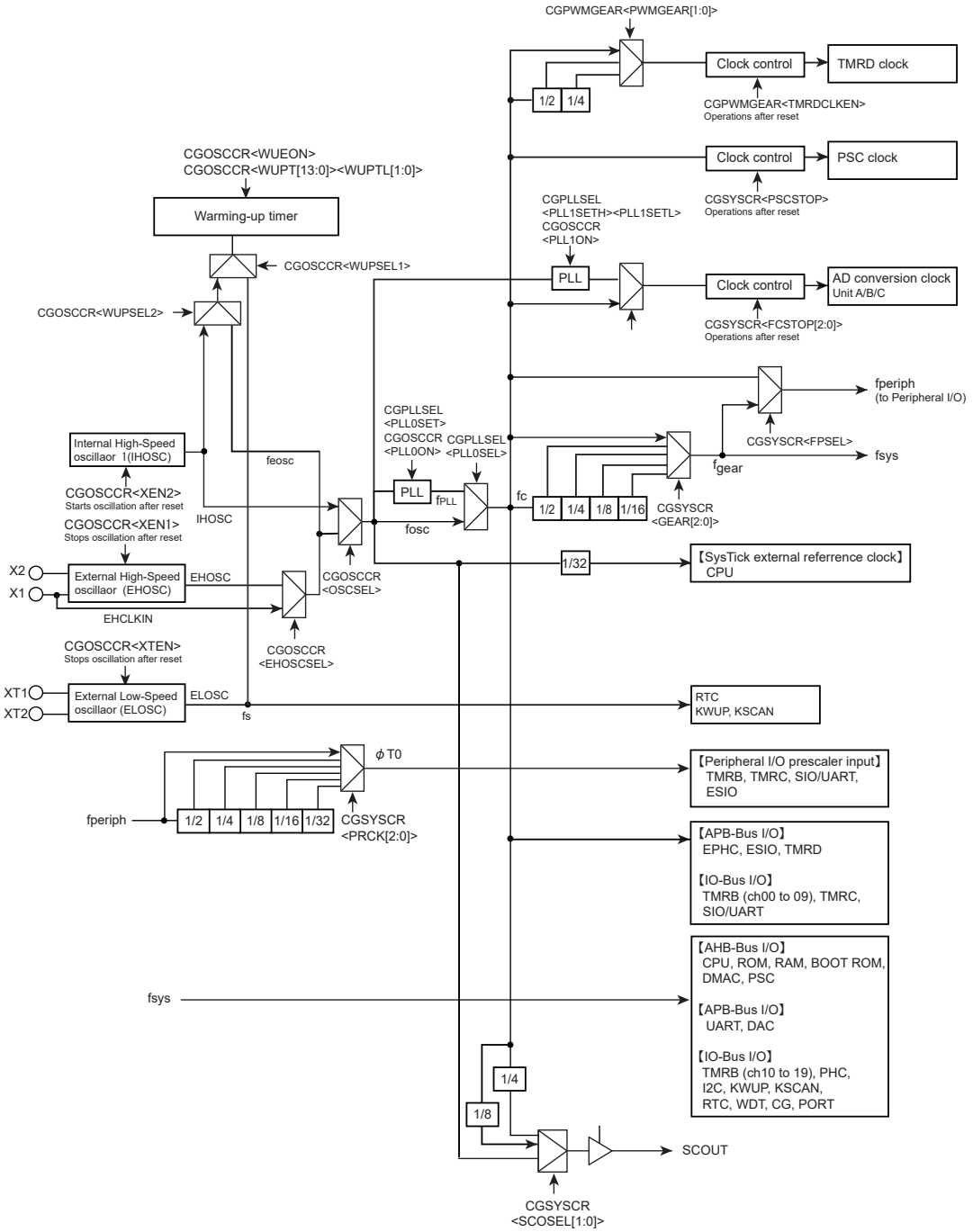


図 10-1 クロック系統図

10.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、PLL の安定時間、外部低速発振回路の発振子の発振安定時間、STOP1 および STOP2 モード解除時の発振子の発振安定時間を確保するための機能です。詳細機能については「10.6.8 ウォーミングアップ」にて説明します。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<WUPSEL2>、<WUPSEL1>で選択します。

2. ウォーミングアップカウンタ設定値の算出

   ウォーミングアップ時間は CGOSCCR<WUPT><WUPTL>により任意の値が設定可能です。CGOSCCR<WUPT[11:0]><WUPTL[1:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて、高速クロックのウォーミングアップの場合は<WUPT[11:0]>に、低速クロックのウォーミングアップの場合は<WUPT[11:0]><WUPTL[1:0]>に設定します。

   注) スタンバイモードへ遷移する場合、カウント値が CGOSCCR<WUPT[11:0]><WUPTL[1:0]>に反映されているのを確認してから WFI 命令を実行してください。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

   注) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

   高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9\text{C}40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUPT[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認

   ソフトウエア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

以下に、ウォーミングアップ機能の設定例を示します。

表 10-1 ウォーミングアップ機能設定例

	CGOSCCR<WUPT[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
↻	CGOSCCR<WUPT[11:0]> リード	: ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
	CGOSCCR<XEN2> = "1"	: 高速発振(fosc)イネーブル
	CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ(WUP)スタート
	CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

注 1)　発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。

注 2)　ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

注 3)　CGOSCCR<WUPT[11:0]><WUPTL[1:0]>にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行してスタンバイモードへ遷移してください。

注 4)　STOP1 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN2>, <XEN1>, <PLL0ON>, <PLL1ON>および CGPLLSEL<PLL0SEL>, <PLL1SEL>は初期化され、内部高速発振で起動します。

10.3.5 fsys 用クロック逓倍回路(PLL)

高速発振器の出力クロック fosc の周波数(8MHz～10MHz)に最適な条件で逓倍(5, 6, 8, 10 逓倍)した f_{PLL} クロック(最大 100MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

10.3.5.1 動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、CGOSCCR<PLL0ON>が"0"の状態で CGPLLSEL<PLL0SET>の逓倍値の設定を行なった後、PLL の初期化時間として約 100μs 経過後に、<PLL0ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100μs 経過後に、CGPLLSEL<PLL0SEL>を"1"に設定することにより、fosc を 5 逓倍、6 逓倍、8 逓倍または 10 逓倍した f_{PLL} クロックを使用することができます。なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

注) 内部高速発振器(IHOSC)を使用している時には、PLL を使用しないでください。

逓倍値は 5 逓倍、6 逓倍、8 逓倍、または 10 逓倍から選択可能です。<PLL0SET>の設定値は以下のとおりです。

fosc	逓倍数	<PLL0SET>
8MHz	5	0x7026
	6	0x782E
	8	0x78BE
	10	0x704D
10MHz	5	0x7026
	6	0x782E
	8	0x603D
	10	0x704D

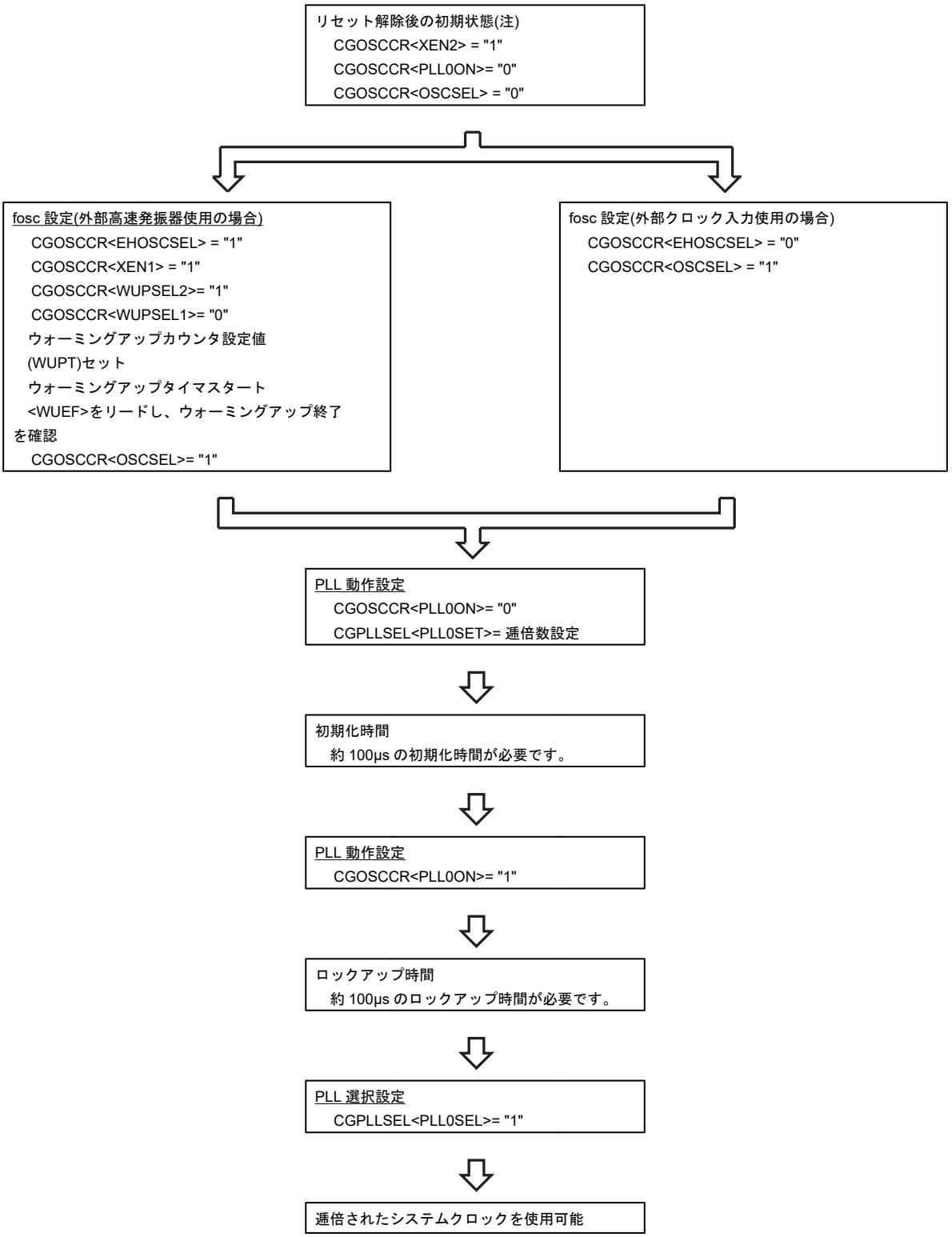
10.3.5.2 逓倍数の変更

逓倍数の変更を行う場合、まず CGPLLSEL<PLL0SEL> に"0"を設定します。そして、CGPLLSEL<PLL0SEL>を読み出し、逓倍クロックを使用しない設定に切り替わったことを確認(CGPLLSEL<PLL0SEL>="0"となっているか)した後、<PLL0ON> を"0"として PLL を停止します。

その後、<PLL0SET>の逓倍値を変更し、PLL の初期化時間として約 100μs 経過後に、<PLL0ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間、約 100μs 経過後に、CGPLLSEL<PLL0SEL>を"1"に設定します。

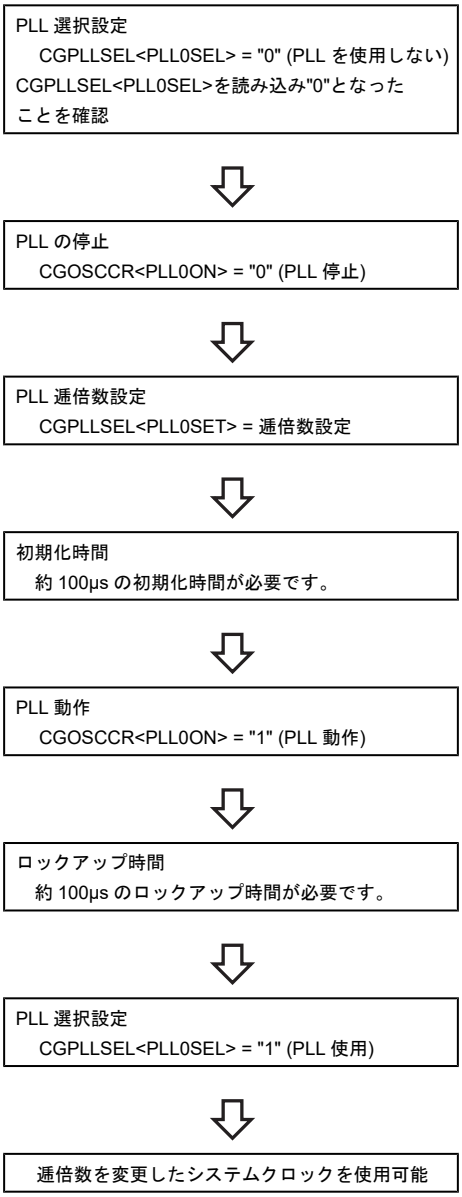
10.3.5.3　PLL 動作開始手順

クロック設定手順



注)　高速発振回路、電源電圧の安定が必要です。

10.3.5.4 PLL 逓倍数変更手順



10.3.6　システムクロック

システムクロックの源振として、内部高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

内部高速発振は、発振周波数精度が要求される場合には使用しないでください。PLL を使用することもできません。

外部高速発振クロックは PLL で逓倍して使用できます。

原振		周波数	PLL 使用
内部高速発振(IHOSC)		10MHz	不可
外部高速発振	発振子(EHOSC)	8 ~ 10MHz	不使用または 5, 6, 8 または 10 逓倍
	クロック入力(EHCLKIN)	8 ~ 10MHz	

注)　PLL の逓倍数と外部高速発振については表 10-2 を参照ください。

システムクロックは CGSYSCR<GEAR>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 10-2 に示します。

表 10-2 fsys 用 PLL 5 逓倍/6 逓倍/8 逓倍/10 逓倍使用時の高周波数設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	fsys 用 PLL 逓倍数	最大動作周波数 (fc) (MHz)	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時				
				1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	5	40	40	20	10	5	2.5	8	4	2	1	-
10	10		50	50	25	12.5	6.25	3.13	10	5	2.5	1.25	-
8	8	6	48	48	24	12	6	4	8	4	2	1	-
10	10		60	60	30	15	7.5	5	10	5	2.5	1.25	-
8	8	8	64	64	32	16	8	4	8	4	2	1	-
10	10		80	80	40	20	10	5	10	5	2.5	1.25	-
8	8	10	80	80	40	20	10	5	8	4	2	1	-
10	10		100	100	50	25	12.5	6.25	10	5	2.5	1.25	-

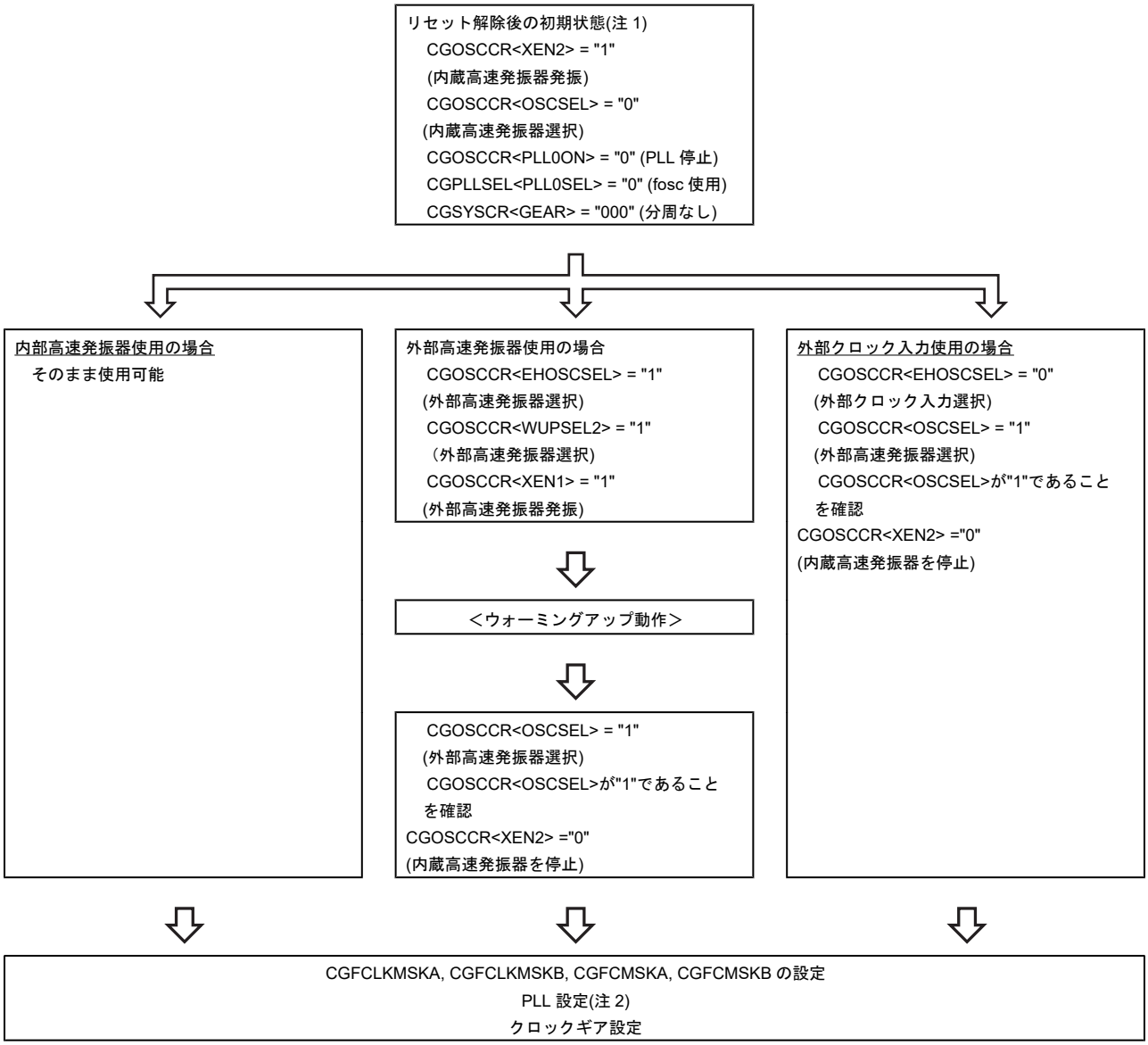
↑リセット後の初期値

10.3.6.1 システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順



注 1) 高速発振回路、電源電圧の安定が必要です。

注 2) 内部高速発振器選択時は使用できません。

10.3.7　周辺回路用クロック

10.3.7.1　PSC 用クロック

PSC 用クロックは fc と同一になります。

CGSYSCR<PSCSTOP>により、PSC へのクロック供給を停止することができます。

表 10-3 fsys 用 PLL 5 逓倍/6 逓倍/8 逓倍/10 逓倍使用時の PSC クロック設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	fsys 用 PLL 逓倍数	最大動作周波数 (PSCCLK) (MHz)
8	8	5	40
10	10		50
8	8	6	48
10	10		60
8	8	8	64
10	10		80
8	8	10	80
10	10		100

10.3.7.2 TMRD 用クロック

TMRD 用クロックは、fc を CGPWMGEAR<PWMGEAR>で分周できます。

CGPWMGEAR<TMRDCLKEN>により、TMRD へのクロック供給を停止することができます。

表 10-4 fsys 用 PLL 5 逓倍/6 逓倍/8 逓倍/10 逓倍使用時の TMRD 用クロック設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	fsys 用 PLL 逓倍数	最大動作周波数 (fc) (MHz)	CGPWMGEAR <PWMGEAR>		
				1/1	1/2	1/4
8	8	5	40	40	20	10
10	10		50	50	25	12.5
8	8	6	48	48	24	12
10	10		60	60	30	15
8	8	8	64	64	32	16
10	10		80	80	40	20
8	8	10	80	80	40	20
10	10		100	100	50	25
				↑リセット後の初期値		

注) CGPWMGEAR<TMRDGEAR[1:0]>="10" (TMRD ソースクロックに fc/4 を選択)を設定したときには、CGSYSCR<GEAR[2:0]>には"000"または"100" (ギアクロック fc または fc/2)は設定できません。

10.3.7.3　ADC 用クロック

ADC 用クロックは ADC 用 PLL からのクロック f_{PLLADC} と fc を CGPLLSEL<PLL1SEL>で選択することができます。

CGSYSCR<FCSTOP[2:0]>により、各ユニットごとに ADC へのクロック供給を停止することができます。

ADC 用 PLL は fosc を 8 逓倍または 10 逓倍することができます。

表 10-5 ADC 用 PLL 8 逓倍/10 逓倍使用時の ADC 用クロック設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	fosc (MHz)	fsys 用 PLL 逓倍数	fc (MHz)	ADC 用 PLL 逓倍数	f_{PLLADC} (MHz)	CGPLLSET <PLL1SEL> (注)	
							"0"	"1"
8	8	8	5	40	8	64	20	32
			6	48		64	24	32
			8	64		64	32	32
			10	80		64	40	32
8	8	8	5	40	10	80	20	40
			6	48		80	24	40
			8	64		80	32	40
			10	80		80	40	40
10	10	10	5	50	8	80	25	40
			6	60		80	30	40
			8	80		80	40	40
			10	100		80	25	40
10	10	10	5	50	10	100	25	25
			6	60		100	30	25
			8	80		100	40	25
			10	100		100	25	25

↑リセット後の初期値

注)　ADxCLK<ADCLK>で ADCLK ≤ 40MHz となるように設定を行った周波数です。

(1) 動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、まず、CGSYSCR<FCSTOP[2:0]>に"111"を設定し、全 ADC ユニットへのクロック供給を停止します。

CGOSCCR<PLL1ON>が"0"の状態で CGPLLSEL<PLL1SETH> <PLL1SETL>の逓倍値の設定を行なった後、PLL の初期化時間として約 100μs 経過後に、<PLL1ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100μs 経過後に、CGPLLSEL<PLL1SEL>を"1"に設定することにより、fosc を 8 逓倍または 10 逓倍した f_{ADCPLL} クロックを使用することができます。なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

最後に、使用する ADC の CGSYSCR<FCSTOP[2:0]>に"1"を設定し、ADC ユニットへのクロック供給を開始します。

注) 内部高速発振器(IHOSC)を使用している時には、PLL を使用しないでください。

逓倍値は 8 逓倍、または 10 逓倍から選択可能です。<PLL1SET>の設定値は以下のとおりです。

fosc	ADC 用 PLL 逓倍数	<PLL1SETH>	<PLL1SETL>
8MHz	8	0x0C	0x01E
8MHz	10	0x0E	0x026
10MHz	8	0x0C	0x01E
10MHz	10	0x0E	0x026

(2) 逓倍数の変更

逓倍数の変更を行う場合、まず、CGSYSCR<FCSTOP[2:0]>に"111"を設定し、全 ADC ユニットへのクロック供給を停止します。

そして、CGPLLSEL<PLL1SEL> に"0"を設定します。CGPLLSEL<PLL1SEL>を読み出し、逓倍クロックを使用しない設定に切り替わったことを確認(CGPLLSEL<PLL1SEL>="0"となっているか)した後、<PLL1ON> を"0"として PLL を停止します。

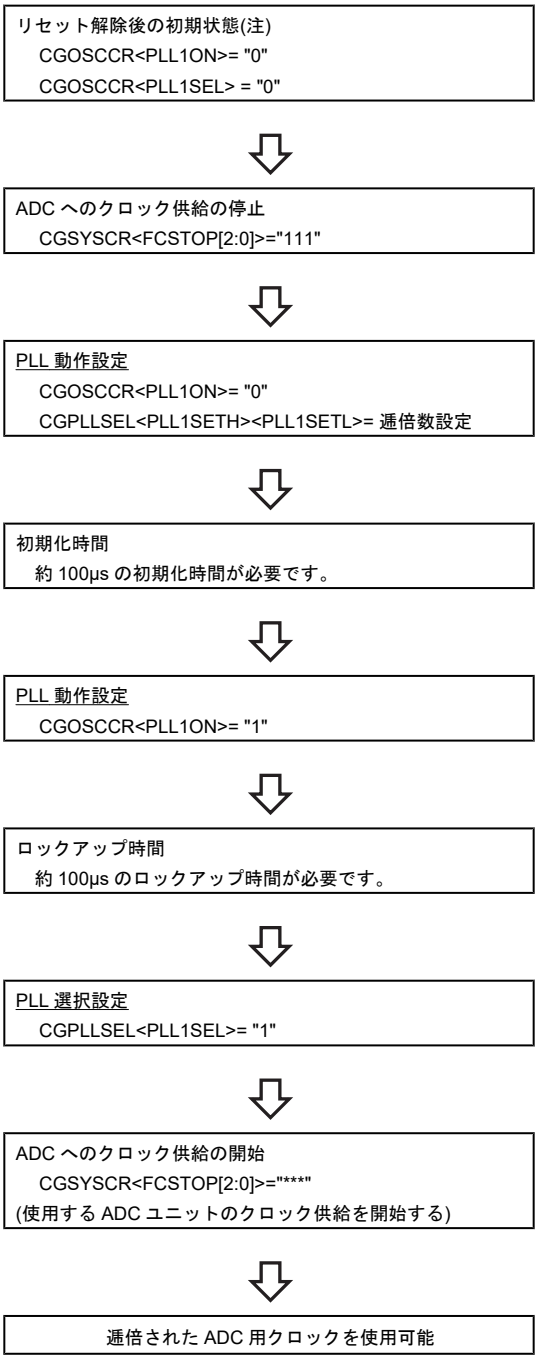
<PLL1SETH> <PLL1SETL>の逓倍値を変更し、PLL の初期化時間として約 100μs 経過後に、<PLL1ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間、約 100μs 経過後に、CGPLLSEL<PLL1SEL>を"1"に設定します。

最後に、使用する ADC の CGSYSCR<FCSTOP[2:0]>に"1"を設定し、ADC ユニットへのクロック供給を開始します。

(3)　ADC 用 PLL 動作開始手順

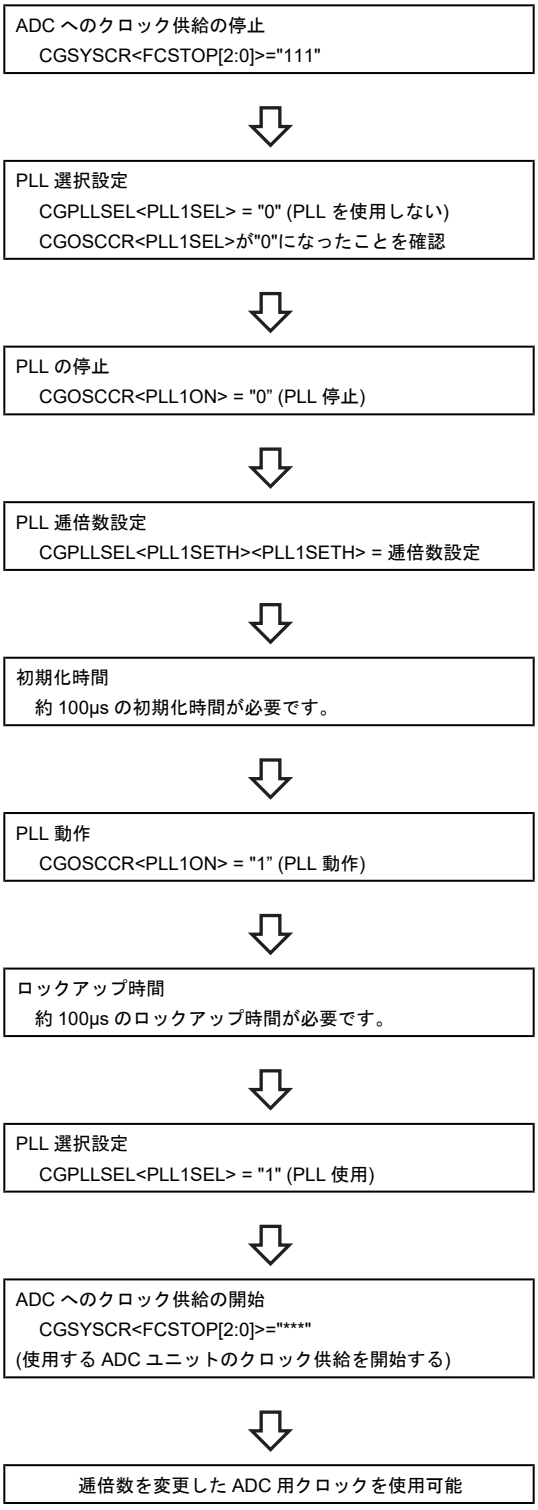
ADC 用 PLL は fosc、fc が安定した状態で動作を開始させてください。

クロック設定手順



注)　高速発振回路、電源電圧の安定が必要です。

(4) PLL 逓倍数変更手順



10.3.8　プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

注)　タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

10.3.9　周辺機能へのクロック供給

10.3.9.1　fsys と φ T0 の関係

下記の周辺機能はプリスケーラ出力 φT0 と fsys の間に制約はありません。それ以外の周辺機能については、fsys ≥ φT0 となるようにクロックギアとプリスケーラ出力の設定を調整する必要があります。

周辺機能
TMRB チャネル 00 ~ 09
TMRC
TMRD
SIO/UART チャネル 0 ~ 5
ESIO チャネル 0 ~ 2
UART チャネル 0~1

10.3.9.2　周辺機能に対するクロック供給停止機能

TMPM440FE/F10XBG には、周辺機能に対してクロック供給停止機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、周辺機能に対して、クロック供給がされている状態です。

クロック供給を停止させるには、CGFCLKMSKA、CGFCLKMSKB、CGFCMSKA、CGFCMSKB、CGFCMSKC の該当周辺機能に対応するビットを"1"に設定します。なお、クロック供給を停止させる周辺機能は、クロック供給を停止させる前に動作を停止させてください。

注)　クロック供給停止状態にある周辺機能のレジスタに対して、アクセスしないようにしてください。

10.3.10　クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、fc/4、fc/8、fosc を SCOUT 端子から出力できます。

注)　SCOUT から出力されるクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

ポートを SCOUT 端子として使用する時の設定は、"入出力ポート"を参照してください。出力クロックの選択は CGSYSCR<SCOSEL[1:0]>によって設定します。

表 10-6 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 10-6 モード別 SCOUT 出力状態

モード / SCOUT 選択 CGSYSCR	NORMAL	低消費電力モード	
		IDLE	STOP1/STOP2 (注)
<SCOSEL[1:0]> = "00"	fc/4 を出力します		"0"または"1"に固定されます
<SCOSEL[1:0]> = "01"	fc/8 を出力します		
<SCOSEL[1:0]> = "10"	fosc を出力します		
<SCOSEL[1:0]> = "11"	SCOUT 出力禁止(端子からは"Low"が出力されます。)		

注) STOP2 モードへ遷移するときに、最初に CGSTBYCR<PTKEEP>を"1"にセットしてポートの状態を保持してください。

10.4　動作モードとモード遷移

10.4.1　モード状態遷移

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード, STOP1 モードがあります。

また、TMPM440FE/F10XBG には、一部機能を保持してメイン電源を遮断することによって、大幅に電力の消費を抑える STOP2 モードがあります。

図 10-2 にモード状態遷移図を示します。

Sleep-on-exit については、"ARM ドキュメンテーションセット"を参照してください。

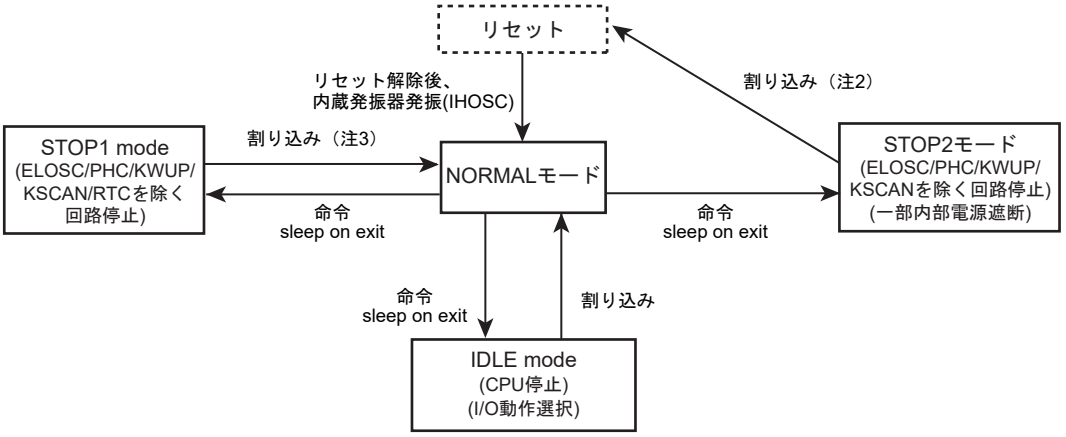


図 10-2 モード状態遷移図

注 1)　復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード（NORMAL モード)にて設定する必要がありあます。ウォーミングアップ時間については「10.6.8 ウォーミングアップ」を参照してください。

注 2)　STOP2 モードからの復帰はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰は割り込み起動要因の処理ルーチンに分岐します。

注 3)　STOP1 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN2>, <XEN1>, <PLL0ON>, <PLL1ON>および CGPLLSEL<PLL0SEL>, <PLL1SEL>は初期化され、内部高速発振で起動します。

10.5 動作モード

10.5.1 NORMAL モード

CPU コアおよび周辺ハードウエアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

10.6　低消費電力モード

低消費電力モードには、IDLE、STOP1/2 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1)　本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。

注 2)　本製品は、Cortex-M4F コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, STOP1, STOP2 モードの特長は次のとおりです。

10.6.1　IDLE モード

CPU が停止するモードです。周辺機能の一部は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です(DA コンバータには常にクロックが供給されます)。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)
- 高分解能 16 ビットカウンタ/PPG 出力(TMRD)
- 32 ビットタイマ(TMRC)
- シリアルチャネル(SIO/UART)
- シリアルバスインタフェース(I2C)
- アナログ/デジタルコンバータ(ADC)
- ウォッチドッグタイマ(WDT)

注)　IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

10.6.2　STOP1 モード

内部発振器も含めてすべての内部回路が停止するモードです。

ただし、外部低速発振器を発振させて STOP1 モードに移行すると、外部低速発振器は発振を続け、以下の IP は動作します。

- 外部低速発振器
- リアルタイムクロック(RTC)
- 2 相パルス入力カウンタ(PHC)
- キーオンウェイクアップ(KWUP)
- キースキャン(KSCAN)

STOP1 モード中は CGSTBYCR<DRVE>の設定により端子のドライブ状態を保持することができます。STOP1 モード時の端子状態を表 10-7 に示します。

STOP1 モードが解除されると内蔵発振器が発振を開始し、ウォーミングアップ時間経過後に NORMAL モードへ復帰します。

10.6.3 STOP2 モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅な電力の消費を抑えることができます。STOP2 モードが解除されると、電源遮断ブロックに対して電源を投入し、リセットシーケンスが実行され、NORMAL モードへ復帰します。

STOP2 モードに移行する前に CGSTBYCR<PTKEEP>="0"→"1"の設定を必ず行い各ポートの状態を保持してください。内部電源が遮断されても外部 IC との I/F を保持し、STOP2 解除要因割り込みを使用することができます。また、CGPLLSEL<PLL0SEL>を"0"、CGPLLSEL<PLL0SEL>を読み出し"0"になったことを確認、CGOSCCR<PLL0ON>を"0"、CGSYSCR<GEAR[2:0]>を"000"に設定し、電源遮断時間を確保してください。

STOP2 モードへ遷移するときに外部低速発振器の動作状態を選択できます。外部低速発振器の動作状態により、下記の機能の動作が変わります。下記の機能については、STOP2 からの復帰によるリセットシーケンスで初期化されません。

機能	外部低速発振器動作	外部低速発振器停止
Backup RAM	保持	保持
RTC	動作	停止
PHC	動作	動作
KWUP	動作	動作(スタティックプルアップのみ)
KSCAN	動作	停止(KSIN を KWUP として使用可)

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード（NORMAL モード)にて設定する必要があります。ウォーミングアップ時間については、「10.3.4 ウォーミングアップ機能」を参照してください。

注 2) STOP1 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN2>, <XEN1>, , <PLL0ON>, <PLL1ON>および CGPLLSEL<PLL0SEL>, <PLL1SEL>は初期化され、内部高速発振で起動します。

注 3) STOP1/STOP2 がリセットで解除された場合、ウォーミングアップカウンタによらず通常のパワーオンカウンタが有効になります。

注 4) STOP2 モードで内部電源遮断を行うための内部タイミング生成のために fsys を使用します。電源遮断時の fsys を一定の周波数にするため、STOP2 モードに遷移する前に、CGOSCCR<PLL0ON>="0"、CGPLLSEL<PLL0SEL>を読み出し、CGOSCCR<PLL0ON>="0"、CGSYSCR<GEAR[2:0]>="000"としてください。

注 5) STOP2 モードは内部電源遮断を行うため、モード遷移から解除まで 45μs 以上の期間を確保してください。期間内に解除を行うと内部電源管理が正常に動作することができません。

表 10-7 STOP モード時の端子状態

機能設定	機能名	入出力	STOP1 モード時	STOP2 モード時
			<DRVE> = 1	<PTKEEP> = 1
ポート	PAx ~ PAJx	入力	PxIE[m]設定による	状態保持
		出力	PxCR[m]設定による	状態保持
デバッグ機能	TRST, TCKI, TMS, TDI, SWCLK, SWDI	入力	PxIE[m]設定による	状態保持
	TDO, SWDO, SWV, TRACECLK, TRACEDATA0/1/2/3	出力	PxCR[m]設定かつ データ有効な時にイネーブル	状態保持
割り込み機能	INT0 ~ 15	入力	PxIE[m]設定による	状態保持
KWUP 機能	KWUPA00 ~ 31、KWUPB0 ~ 7	入力	PxIE[m]設定による	状態保持
PHC 機能	PHCxIN0, PHCxIN1	入力	PxIE[m]設定による	状態保持
KSCAN	KSIN0 ~ 7	入力	PxIE[m]設定による	状態保持
	KSOUT0 ~ 7	出力	PxCR[m]設定による	状態保持
上記以外の機能		入力	PxIE[m]設定による	状態保持
		出力	PxCR[m]設定による	状態保持

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

10.6.4　低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 10-8 に<STBY[2:0]>の設定より選択されるモードを示します。

表 10-8 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011
STOP2	101

注)　上記の設定以外は行わないでください。

10.6.5 各モードにおける動作状態

各モードにおける動作状態を表 10-9 に示します。STOP1/2 モードに遷移する前に"−"、"×"の周辺機能を停止させてから遷移してください。

AD コンバータについては、リファレンス電源を OFF してリーク電流を抑えることでさらに低消費電力化が可能です。

表 10-9 各動作モードにおける動作状態

Block		NORMAL	IDLE	STOP1		STOP2	
				低速外部発振器動作	低速外部発振器停止	低速外部発振器動作	低速外部発振器停止
Processor core / FPU		o	−	−	−	×	×
I/O Port	端子状態	o	o	o (注 2)	o (注 2)	Δ (注 3)	Δ (注 3)
	レジスタ	o	−	−	−	×	×
EBIF		o	o	−	−	×	×
DMAC		o	o	−	−	×	×
PSC		o	Δ	−	−	×	×
UART		o	Δ	−	−	×	×
SIO/UART		o	Δ	−	−	×	×
ESIO		o	Δ	−	−	×	×
I2C		o	Δ	−	−	×	×
TMRB		o	Δ	−	−	×	×
TMRC		o	Δ	−	−	×	×
TMRD		o	Δ	−	−	×	×
WDT		o	Δ (注 4)	−	−	×	×
ADC		o	Δ	−	−	×	×
DAC		o	Δ	−	−	×	×
PHC		o	Δ	o	o	o	o
EPHC		o	Δ	−	−	×	×
KWUP		o	Δ	o	Δ(注 5)	o	Δ(注 5)
KSCAN		o	Δ	o	Δ(注 6)	o	Δ(注 6)
RTC		o	Δ	o	−	o	−
PLL(fsys 用、ADC 用)		o	Δ	−	−	×	×
CG		o	Δ	o	o	o	o
内蔵高速発振器(IHOSC)		o	Δ	−	−	×	×
外部高速発振器(EHOSC)		o	Δ	−	−	×	×
外部低速発振器(ELOSC)		o	Δ	o	−	o	−
Flash ROM		アクセス可能	アクセス可能	データ保持	データ保持	×	×
RAM						×	×
PSC Instruction / Data						×	×
Backup RAM						データ保持	データ保持

o : 対象のモード中に動作が可能

− : 対象のモードに移行すると自動的にモジュールへのクロックが停止

Δ : 対象のモードに移行する前にソフトウエアにて動作/停止を選択可能

× : 対象のモードに移行すると自動的にモジュールへの供給電源が遮断、復帰時はリセットにより初期化される。

注 1)　STOP2 モードに遷移する前に、"−"、"×"の周辺機能を停止させてから STOP2 モードに遷移してください。なお、AD コンバータと DA コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。

注 2)　CGSTBYCR<DRVE>の設定に依存します。

注 3)　CGSTBYCR<PTKEEP>を"1"に設定する必要があります。ポートの状態は<PTKEEP>を"1"に設定したときの状態が保持されます。

注 4)　IDLE モードへ遷移する前に WDT を停止してください。

注 5)　スタティックプルアップのみ使用可能です。

注 6)　外部低速発振器が停止時、キースキャン動作は停止します。KSINx 端子を KWUP として使用できます。

10.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み, リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 10-10 に示します。

表 10-10 解除ソースと解除可能なモード

解除ソース			IDLE	STOP1		STOP2	
				外部低速発振器動作	外部低速発振器停止	外部低速発振器動作	外部低速発振器停止
解除ソース	割り込み	INT0 to 15	o	o	o	o	o
		INT16 to 17	o	×	×	×	×
		INTPSCSTOP, INTPSCBRK, INTPSCII、	o	×	×	×	×
		INTPSCSTEP, INTPSCIA	o	×	×	×	×
		INTTB00 to 09, INTTB10 to 19	o	×	×	×	×
		INTTB07CAP0/1 to INTTB19CAP0/1	o	×	×	×	×
		INTTCCMP0 to 7	o	×	×	×	×
		INTTCCAP0 to 3	o	×	×	×	×
		INTTD0CMP0/1/2/3/4, INTTD0CMP0/1/2/3/4	o	×	×	×	×
		INTTX0 to 5, INTRX0 to 5	o	×	×	×	×
		INTETX0 to 2, INTERX0 to 2	o	×	×	×	×
		INTUART0 to 1	o	×	×	×	×
		INTI2C	o	×	×	×	×
		INTPHC00, INTPHC01, INTPHC0EVRY	o	o	o	o	o
		INTPHC10, INTPHC11, INTPHC1EVRY	o	o	o	o	o
		INTPHCPOVF, INTPHCPPHE, INTPHCPCY0/1/2/3	o	o	o	×	×
		INTRTC	o	o	×	o	×
		INTKWUPA/B	o	o	o(注 1)	o	o(注 1)
		INTKSCAN	o	o	×(注 2)	o	×(注 2)
		INTADA, INTADB, INTADC	o	×	×	×	×
		INTADAHP, INTADBHP, INTADCHP	o	×	×	×	×
		INTADAM0 to 1, INTADBM0 to 1, INTADCM0 to 1	o	×	×	×	×
		INTDMACATC, INTDMACBTC, INTDMACCTC	o	×	×	×	×
		INTDMACAERR, INTDMACBERR, INTDMACCERR	o	×	×	×	×
	SysTick 割り込み		o	×	×	×	×
	マスク不能割り込み (INTWDT)		×	×	×	×	×
	RESET ($\overline{\text{RESET}}$ 端子)		o	o	o	o	o

o : 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

× : 解除に使用できません

注 1) スタティックプルアップ設定時のみ有効となります。

注 2) 外部低速発振器停止し、KSCAN 動作は停止します。KSINx を KWUPBx として使用してください。STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、バックアップモジュールに対しては初期化はされません。

・　割り込み要求による解除

　割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP2 モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があります。

・　リセットによる解除

　$\overline{\text{RESET}}$ 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

　STOP2 モードの解除にリセットを使用する場合、自動ウォーミングアップが行われないため、発振器の動作が安定するまでリセット信号を有効に保ってください。

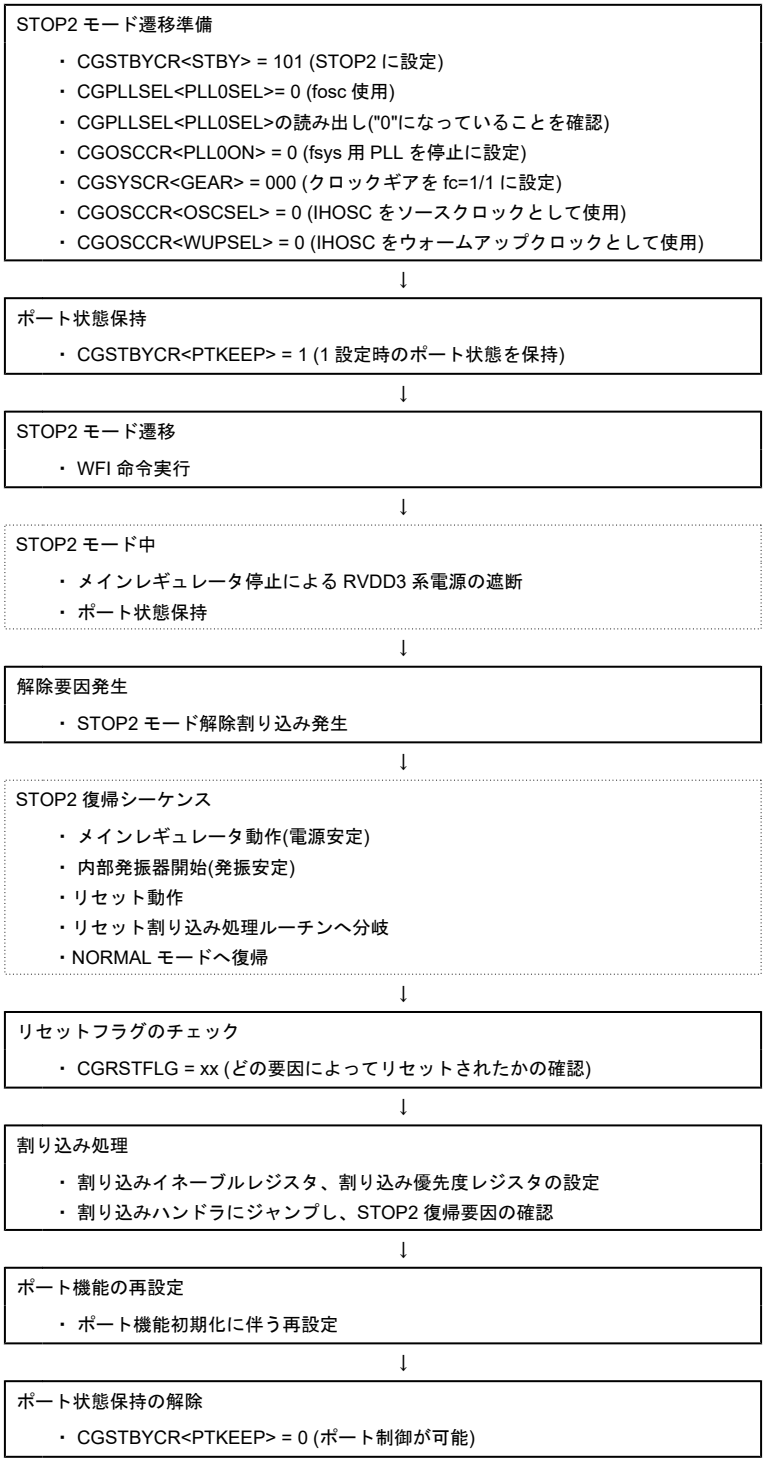
・　SysTick 割り込みによる解除

　SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

10.6.7 STOP2 モードへの遷移/復帰フロー

STOP2 モードへの遷移フローを以下に示します。
[ ]はソフトウエアによる処理を、[ ]はハードウエアによる処理を示しています。



10.6.8　ウォーミングアップ

モード遷移時、内蔵発振器の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内蔵発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP1 モードに移行する命令を実行する前に、CGOSCCR<WUPT>[11:0]>でウォーミングアップ時間の設定を行ってください。

注)　STOP1 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>, <OSCSEL>, <XEN2>, <XEN1>, , <PLL0ON>, <PLL1ON>および CGPLLSEL<PLL0SEL>, <PLL1SEL>は初期化され、内部高速発振で起動します。

各動作モード遷移時におけるウォーミングアップの有無を表 10-11 に示します。

表 10-11 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ
STOP2 → NORMAL	自動ウォーミングアップ

注)　リセットで解除する場合には自動ウォーミングアップを行いません。発振器が安定するまでリセットを入力してください。

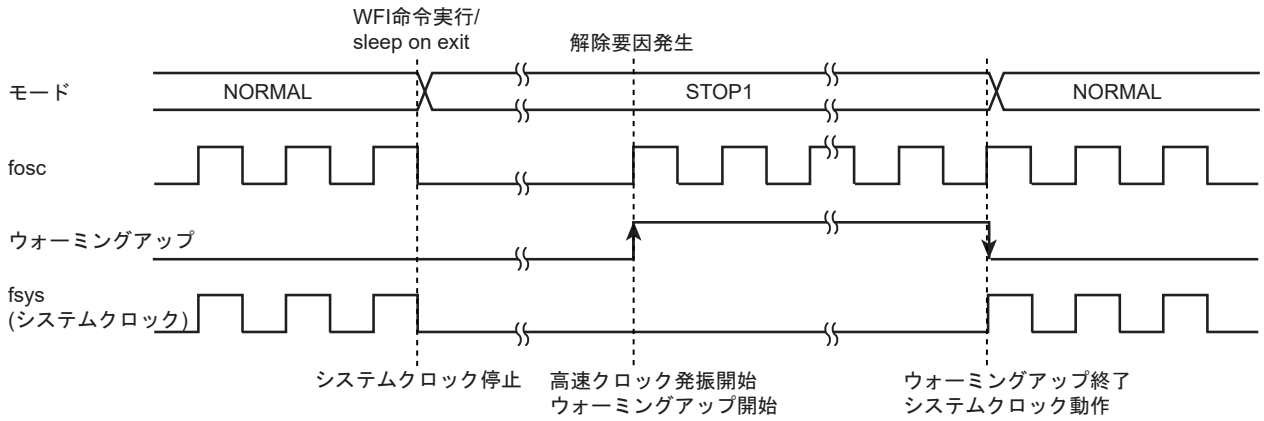
10.6.9 モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

10.6.9.1 NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP1 モードへ遷移する前にウォーミングアップ時間を CGOSCCR<WUPT[11:0]>に設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。



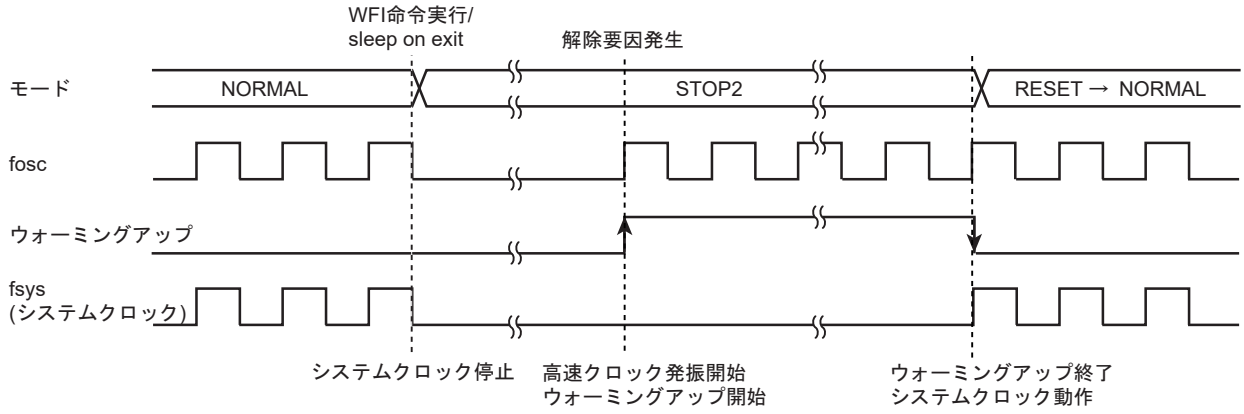
10.6.9.2　NORMAL → STOP2 → NORMAL 動作モード遷移

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。

リセット以外で NORMAL モードへ復帰する場合でもリセットの割り込み処理ルーチンへ分岐します。STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、バックアップモジュールに対して初期化は行ないません。

注 1)　外部割込み端子をレベル解除で使用し、STOP2 モードを解除するときには、解除レベルを 500μs 以上保持してください。

注 2)　外部割り込み端子で STOP2 モードを解除するときには、STOP2 モードへ遷移する前に<PTKEEP>を"1"に設定してください。



10.6.10 低消費電力モード遷移時の注意事項

10.6.10.1 IDLE、STOP1 モードへ遷移する場合

(1) IDLE モードまたは STOP1 モードへ遷移する WFI 命令実行タイミングで解除割り込み要求が発生した場合、解除要求が優先され IDLE/STOP1 モードへ遷移しません。そのため、割り込みの許可、禁止状態に応じて下記の処理記述をしてください。

a. 割り込み禁止状態 (PRIMASK のみでマスクされる状態)

WFI 命令の直後に NOP 命令を 8 つ以上記述し、その後本来実行する命令を記述してください。

b. 割り込み許可状態

割り込み処理ルーチンへ分岐しますので、割り込み処理の記述をしてください。

(2) STOP1 モードへ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCSEL>で選択した同じクロックを CGOSCCR<WUPSEL>に設定してください。

(3) IDLE モードのみマスク不能割り込みによる解除が可能です。

(4) STOP1 モードの解除要因としてマスク不能割り込みは使用しないでください。STOP1 モードへ遷移する前にマスク不能割り込みが入らないようにしてください。（ウォッチドックタイマ停止）

10.6.10.2 STOP2 モードへ遷移する場合

(1) STOP2 モードへ遷移する場合、割り込み許可状態で WFI 命令を実行してください。

(2) STOP2 モードへ遷移する WFI 命令実行タイミングで解除割り込み要求が発生した場合、解除要求が優先され STOP2 モードへ遷移せず、割り込み処理ルーチンへ分岐します。そのため、下記の処理記述をしてください。

a. 割り込み処理ルーチンの記述をしてください。

b. 割り込み処理ルーチンの処理が終わると WFI 命令以降の命令が実行されますので、STOP2 に遷移できなかったときの処理を WFI 命令以降に記述してください。

(3)　STOP2 モードへ遷移しなかった場合、
CGOSCCR<WUPSEL>,<OSCSEL>,<XEN2>,<XEN1>, <PLL0ON>,<PLL1ON>、および、
CGPLLSEL<PLL0SEL>, <PLL1SEL> は初期化されずモード遷移前の状態が保持されます。

(4)　STOP2 モードへ遷移する前に、内部高速発振(IHOSC)がシステムクロックのソースクロックとなるよう CGOSCCR<OSCSEL>=0、CGPLLSEL<PLL0SEL>=0、
CGSYSCR<GEAR[2:0]>=000 と設定してください。

(5)　STOP2 モードへ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCSEL>で選択した同じクロックを CGOSCCR<WUPSEL>に設定してください。

(6)　STOP2 モードの解除要因としてマスク不能割り込みは使用しないでください。STOP2 モードへ遷移する前にマスク不能割り込みが入らないようにしてください。（ウォッチドックタイマ停止）

第 11 章　電源制御

電源投入、電源遮断およびスタンバイなどの制御を説明します。

11.1　概要

各種電源の一覧を表 11-1 に示します。

表 11-1 電源端子リスト

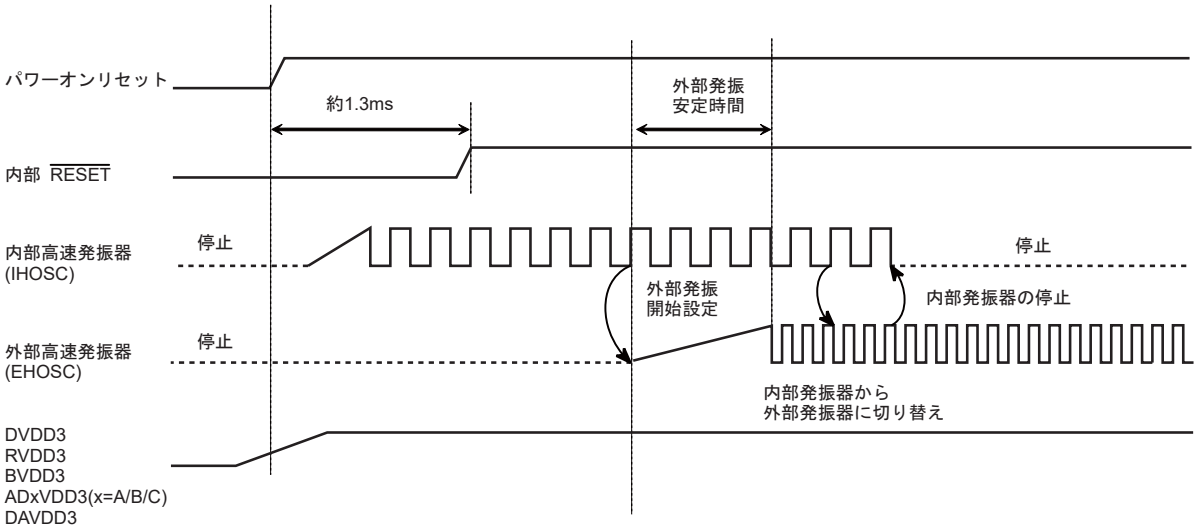
電源名称	本数	入出力	説明	電源電圧範囲	備考
DVDD3	14	入力	デジタル電源 (I/O 用)	2.7V ~ 3.6V (注 1)	−
RVDD3	1	入力	レギュレータ用電源		−
BVDD3	1	入力	バックアップレギュレータ用電源		−
ADAVDD3	1	入力	ADC Unit A 用アナログ電源		−
ADBVDD3	1	入力	ADC Unit B 用アナログ電源		−
ADCVDD3	1	入力	ADC Unit C 用アナログ電源		−
DAVDD3	1	入力	DAC Unit A/B 用アナログ電源		−
DVSS	14	入力	デジタル用 GND (I/O 用)	GND (注 1)	−
RVSS	1	入力	レギュレータ用 GND		−
BVSS	1	入力	バックアップレギュレータ用 GND		−
ADAVSS	1	入力	ADC Unit A 用アナログ GND		−
ADBVSS	1	入力	ADC Unit B 用アナログ GND		−
ADCVSS	1	入力	ADC Unit C 用アナログ GND		−
DAVSS	1	入力	DAC Unit A/B 用アナログ GND		−
ADAVREFH	1	入力	ADC Unit A 用アナログ基準電圧 (H)	2.7V ~ 3.6V	−
ADBVREFH	1	入力	ADC Unit B 用アナログ基準電圧 (H)		−
ADCVREFH	1	入力	ADC Unit C 用アナログ基準電圧 (H)		−
DAVREFH	1	入力	DAC Unit A/B 用アナログ基準電圧 (H)		−
ADAVREFL	1	入力	ADC Unit A 用アナログ基準電圧 (L)	0V	−
ADBVREFL	1	入力	ADC Unit B 用アナログ基準電圧 (L)		−
ADCVREFL	1	入力	ADC Unit C 用アナログ基準電圧 (L)		−
DAVREFL	1	入力	DAC Unit A/B 用アナログ基準電圧 (L)		−
DCSW	1	出力	レギュレータ用 SW 端子	−	外部接続については「電気的特性」の章を参照してください。
DCV15IN	1	入力	レギュレータ用 1.5V 入力端子 (注 2)	−	

注 1)　グループ内の電源、GND は同電位としてください。
注 2)　DCV15IN 端子の 1.5V 電圧は他の電源として使用しないでください。

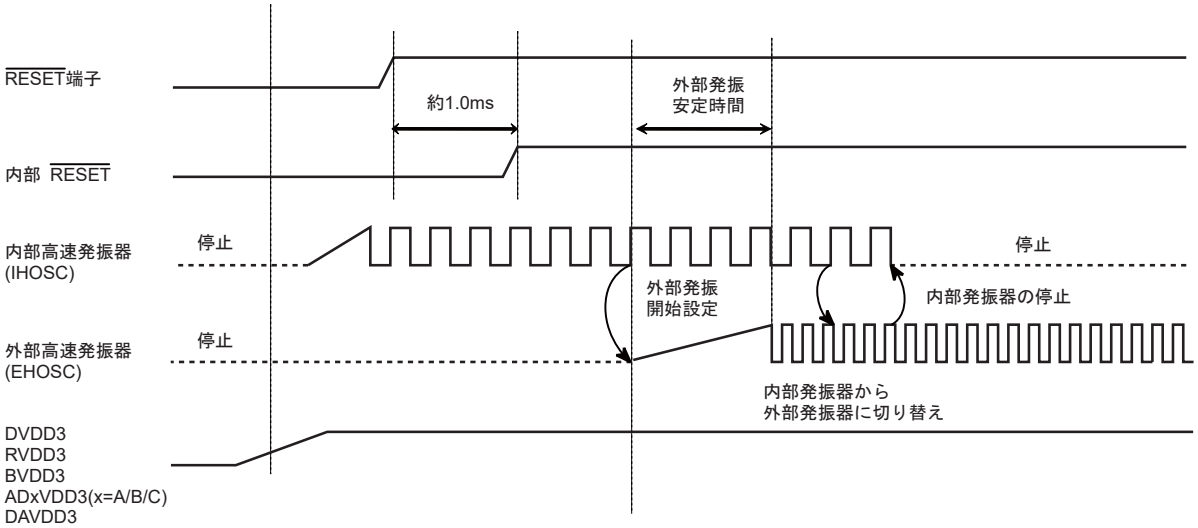
11.2　電源投入シーケンス

電源投入シーケンスを以下に示します。

11.2.1　電源投入から外部発振子切り替えシーケンス(パワーオンリセット時)



11.2.2　電源投入から外部発振子切り替えシーケンス(外部リセット時)



11.3 電源遮断モード(STOP2 モード)

11.3.1 特長

STOP2 モードでは、一部の機能を保持して内部電源を遮断することが可能です。STOP1 モードより大幅な電力の消費を抑えることが可能です。

11.3.2 ブロック図

図 11-1 にブロック図を示します。

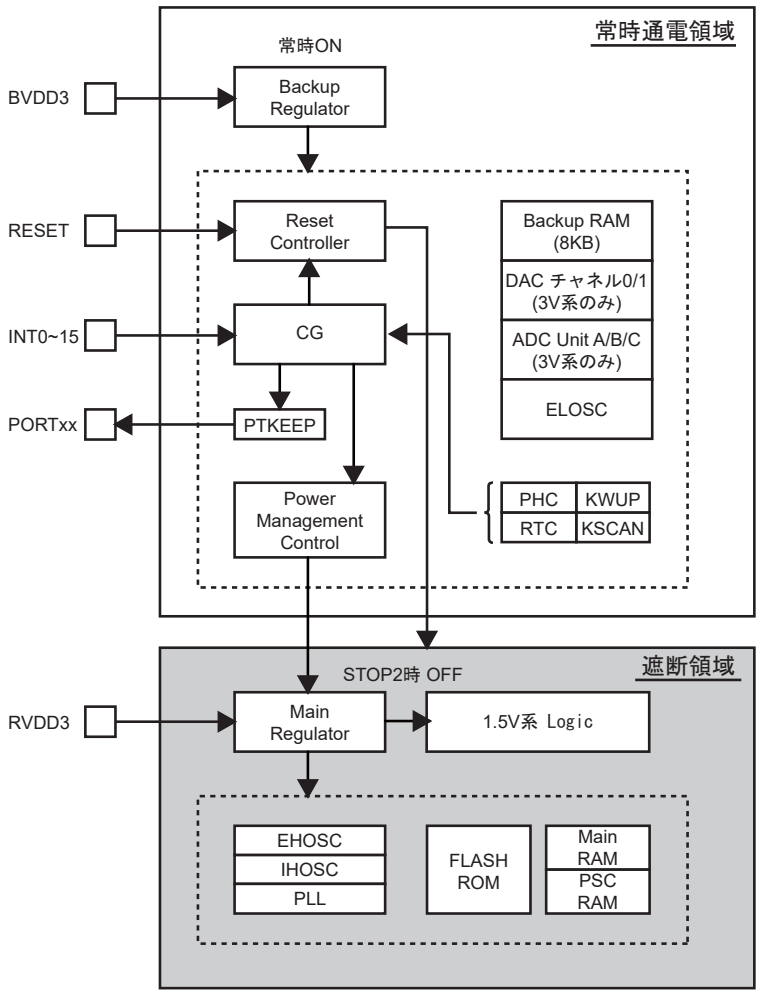


図 11-1 電源遮断ブロック図

11.3.3　STOP2 モード時の通電ブロック

STOP2 モードでは、表 11-2 の動作が可能です。

表 11-2 STOP2 モード時の動作条件とスタンバイ解除条件

条件	動作する周辺機能	STOP2 モード解除可能条件
低速発振器(fs)動作時	CG, PHC, KWUP, KSCAN, ELOSC, RTC, Backup RAM(データ保持)	外部割り込み(INT0~15), RTC, PHC, KWUPA/B, KSCAN, Reset
低速発振器(fs)停止時	CG, PHC, KWUP, KSCAN, Backup RAM(データ保持)	外部割り込み(INT0~15), PHC, KWUPA/B, Reset

11.3.4　STOP2 モード中の動作について

PORT(ポートキープ機能)に関して

出力/Pull up は、CGSTBYCR<PTKEEP>(ポートキープ機能)に設定した時の状態を保持します。入力はディセーブル状態にも対応します。なお、2 相パルス入力、KWUP 入力、KSCAN 入力、外部割り込み(INT0 ~15)は状態保持されず、入力を継続します。

第 12 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"ARM ドキュメンテーションセット"もご覧ください。

12.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

12.1.1　種類

例外には以下のようなものがあります。

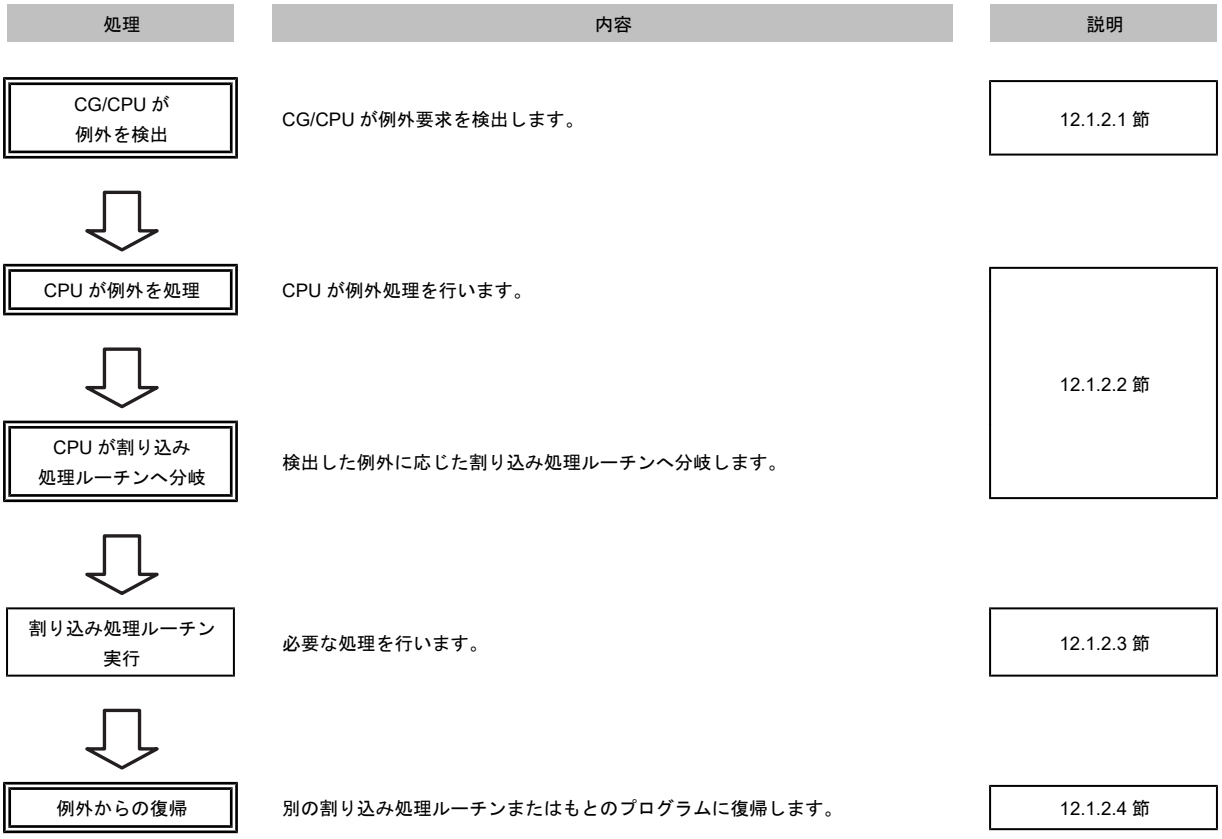
それぞれの例外の詳細な内容は、"ARM ドキュメンテーションセット"をご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

12.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。



12.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。低消費電力モード解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「12.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、 バスフォールト、 用法フォールトは許可/禁止を選択することができます。

禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 12-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, POR, SYSRESETREQ
2	マスク不能割り込み	−2	WDT
3	ハードフォールト	−1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	−	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	−	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「12.5.2 要因一覧」を参照してください。

(3)　優先度の設定

・　優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>に設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

TMPM440FE/F10XBG では、<PRI_n>は 3 ビット構成になっています。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

・　優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 12-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 12-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注)　<PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。
たとえば、3 ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

12.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

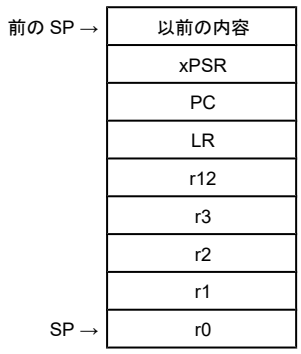
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

1. プログラムステータスレジスタ(xPSR)
2. プログラムカウンタ(PC)
3. リンクレジスタ(LR)
4. r12
5. r3 ~ r0

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

また、ベクタテーブルにはメインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの初期値、リセット、マスク不能割り込み、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。

その他の例外については、割り込み処理ルーチンのアドレスを必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

12.1.2.3　割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「12.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

12.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(xPSR, PC, LR, r12, r3～r0)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

12.2　リセット例外

リセット例外には、以下の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子によるリセット例外

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- POR によるリセット例外

  POR によるリセット例外を発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください。

- WDT によるリセット例外

  WDT にリセット例外を発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- <SYSRESETREQ>によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>をセットすることで、リセット例外を発生させることができます。

12.3　マスク不能割り込み(NMI)

マスク不能割り込みには、以下の要因があります。

- WDT によるマスク不能割り込み

  WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

12.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正値レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正値レジスタに設定されている値も異なります。

注) 本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

12.5　割り込み

この節では、割り込み要求の伝わる経路、要因、 必要な設定について説明します。

割り込みは、割り込み要因ごとに割り込み要求信号により CPU へ通知されます。CPU は、優先順位付けを行い、最も優先度の高い割り込みを発生します。

低消費電力モード解除に使用する割り込み要求は、クロックジェネレータに入力され低消費電力モード解除ロジックを経由して CPU に要因が伝わります。低消費電力モード解除に使用する要因ごとに、低消費電力モード解除ロジックの設定が必要です。

12.5.1　割り込み要求

12.5.1.1　経路

割り込み要求の経路を図 12-1 に示します。

周辺機能からの割り込み要求のうち、低消費電力モード解除に使用されないものは直接 CPU に入力されます。(経路 ①)

周辺機能からの割り込み要求(経路 ②)のうち、低消費電力モード解除に使用されるものはクロックジェネレータの低消費電力モード解除のロジックに入力されます。それぞれの要因ごとに、低消費電力モード解除のアクティブレベルが検出されると、低消費電力解除ロジックにより、あらたな割り込み要求信号に変換され、CPU に入力されます(経路 ⑥⑦⑧)。

外部割込み端子からの割り込み要求(経路 ③)は<INTxEN>により、低消費電力モード解除に使用する、しないを選択できます。

低消費電力モード解除に使用されるものは、クロックジェネレータの低消費電力モード解除のロジックに入力されます。あらかじめ設定されたアクティブレベルが検出されると、低消費電力解除ロジックにより、あらたな割り込み要求信号に変換され、CPU に入力されます(経路 ②④⑤)。

低消費電力モード解除に使用されないものは、直接 CPU に入力されます(経路 ②③⑤)。

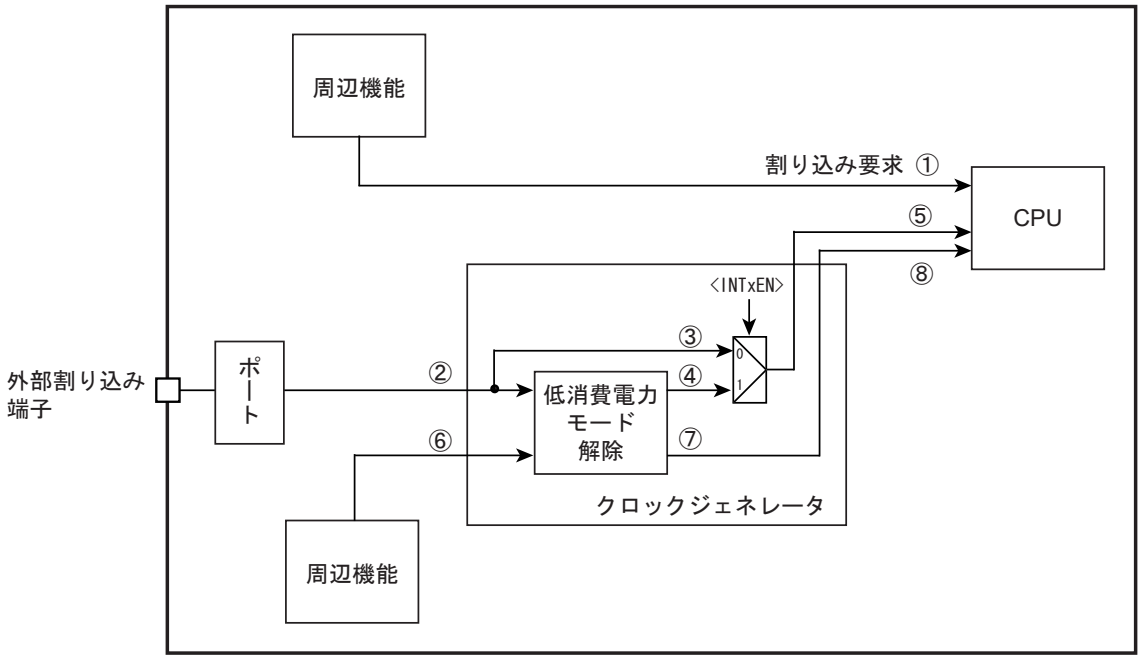


図 12-1 割り込み要求の経路

12.5.1.2 割り込み要求の発生

割り込み要求は、割り込み要因に割り当てられた外部割り込み端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部割り込み端子からの割り込み

  外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み

  周辺機能の割り込みを使用する場合、使用する周辺機能で割り込み要求が発生されるよう設定する必要があります。

  設定の詳細については各章を参照ください。
- 割り込み要求の強制的な発生

  NVIC の割り込み保留セットレジスタの該当するビットをセットすることで、割り込み要求を強制的に発生させることができます。

CPU は、割り込み要求の"High"レベルを割り込みとして認識します。

12.5.1.3 低消費電力モード解除の設定

割り込み要求のうち、いくつかは低消費電力モード解除に使用することができます。

割り込み要求を低消費電力モード解除に使用するには、クロックジェネレータの<INTxEN>を"1"に設定し、<EMCGx[2:0]>で解除のためのアクティブレベルを設定します。

外部割込み端子に<EMCGx[2:0]>で設定したアクティブレベルが入力されると、低消費電力モード状態は解除され、"High"レベルの割り込み要求が発生します。

<EMCGx[2:0]>が"100"のときには、低消費電力モードが解除されるまでに検出されたアクティブレベルを EMSTx[1:0]から読み出すことができます。

割り込み要求の取り下げは、CGICRCG<ICRCG>で行います。CGICRCG<ICRCG>で割り込み要求が取り下げられると、EMSTx[1:0]は"00"に初期化されます。

12.5.1.4　外部割込み端子を使用する際の注意

外部割込み端子を使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割込み端子からの入力信号(「図 12-1 割り込み要求の経路」の ②)は、ポート入力が禁止(PxIE<PxmIE>="0")の場合"High"となります。

また、外部割込み端子を低消費電力モード解除要因として使用しない場合、外部割込み端子からの入力信号がそのまま CPU に伝わります(「図 12-1 割り込み要求の経路」の ②③⑤)。

CPU は"High"入力を割り込み要求として認識するため、ポート入力が禁止の状態で、該当する割り込みを許可すると予期しない割り込みが発生します。

これを防ぐために、外部割込み端子を低消費電力モード解除要因とせず割り込み要因として使用する際には、外部割り込み端子の入力レベルが"Low"の状態でポート入力を許可し、その後で割り込み許可設定を行ってください。

12.5.2 要因一覧

割り込みの要因一覧を表 12-3 に示します。

表 12-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
0	INT0	外部割込み端子 0	o	o	o	o	o	CGIMCGA
1	INT1	外部割込み端子 1	o	o	o	o	o	
2	INT2	外部割込み端子 2	o	o	o	o	o	
3	INT3	外部割込み端子 3	o	o	o	o	o	
4	INT4	外部割込み端子 4	o	o	o	o	o	CGIMCGB
5	INT5	外部割込み端子 5	o	o	o	o	o	
6	INT6	外部割込み端子 6	o	o	o	o	o	
7	INT7	外部割込み端子 7	o	o	o	o	o	
8	INT8	外部割込み端子 8	o	o	o	o	o	CGIMCGC
9	INT9	外部割込み端子 9	o	o	o	o	o	
10	INTA	外部割込み端子 A	o	o	o	o	o	
11	INTB	外部割込み端子 B	o	o	o	o	o	
12	INTC	外部割込み端子 C	o	o	o	o	o	CGIMCGD
13	INTD	外部割込み端子 D	o	o	o	o	o	
14	INTE	外部割込み端子 E	o	o	o	o	o	
15	INTF	外部割込み端子 F	o	o	o	o	o	
16	INT10	外部割込み端子 10	o	o	o	o	o	CGIMCGE
17	INT11	外部割込み端子 11	o	o	o	o	o	
18	INT12	外部割込み端子 12	o	o	o	o	o	
19	INT13	外部割込み端子 13	o	o	o	o	o	
20	INT14	外部割込み端子 14	o	o	o	o	o	CGIMCGF
21	INT15	外部割込み端子 15	o	o	o	o	o	
22	INTKWUPA	キーオンウエイクアップ割り込みユニット A	×	o	×	×	×	
23	INTKWUPB	キーオンウエイクアップ割り込みユニット B	×	o	×	×	×	
24	INTKSCAN	キースキャン割り込み	×	×	o	×	×	CGIMCGG
25	INTRTC	RTC 割り込み	×	×	×	o	×	
26	INT16	外部割込み端子 16						
27	INT17	外部割込み端子 17						
28	INTPSCSTOP	PSC 終了割り込み						
29	INTPSCBRK	PSC ブレーク割り込み						
30	INTPSCSTEP	PSC ステップ割り込み						
31	INTPSCII	PSC 不当命令割り込み						
32	INTPSCIA	PSC 不当アドレス割り込み						
33	INTE0RX	拡張 SIO0(ESIO0)受信割り込み						
34	INTE0TX	拡張 SIO0(ESIO0)送信割り込み						
35	INTE0ERR	拡張 SIO0(ESIO0)エラー割り込み						
36	INTE1RX	拡張 SIO1(ESIO1)受信割り込み						
37	INTE1TX	拡張 SIO1(ESIO1)送信割り込み						
38	INTE1ERR	拡張 SIO1(ESIO1)エラー割り込み						
39	INTE2RX	拡張 SIO2(ESIO2)受信割り込み						

表 12-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
40	INTE2TX	拡張 SIO2(ESIO2)送信割り込み						
41	INTE2ERR	拡張 SIO2(ESIO2)エラー割り込み						
42	INTRX0	シリアルチャネル 0 受信割り込み						
43	INTTX0	シリアルチャネル 0 送信割り込み						
44	INTRX1	シリアルチャネル 1 受信割り込み						
45	INTTX1	シリアルチャネル 1 送信割り込み						
46	INTRX2	シリアルチャネル 2 受信割り込み						
47	INTTX2	シリアルチャネル 2 送信割り込み						
48	INTRX3	シリアルチャネル 3 受信割り込み						
49	INTTX3	シリアルチャネル 3 送信割り込み						
50	INTRX4	シリアルチャネル 4 受信割り込み						
51	INTTX4	シリアルチャネル 4 送信割り込み						
52	INTRX5	シリアルチャネル 5 受信割り込み						
53	INTTX5	シリアルチャネル 5 送信割り込み						
54	INTUART0	UART0 送受信割り込み						
55	INTUART1	UART1 送受信割り込み						
56	INTI2C	I2C 送受信割り込み						
57	INTADA	AD 変換終了ユニット A 割り込み						
58	INTADB	AD 変換終了ユニット B 割り込み						
59	INTADC	AD 変換終了ユニット C 割り込み						
60	INTTB00	16 ビットタイマ/イベントカウンタ 00 コンペアー致割り込み						
61	INTTB01	16 ビットタイマ/イベントカウンタ 01 コンペアー致割り込み						
62	INTTB02	16 ビットタイマ/イベントカウンタ 02 コンペアー致割り込み						
63	INTTB03	16 ビットタイマ/イベントカウンタ 03 コンペアー致割り込み						
64	INTTB04	16 ビットタイマ/イベントカウンタ 04 コンペアー致割り込み						
65	INTTB05	16 ビットタイマ/イベントカウンタ 05 コンペアー致割り込み						
66	INTTB06	16 ビットタイマ/イベントカウンタ 06 コンペアー致割り込み						
67	INTTB07	16 ビットタイマ/イベントカウンタ 07 コンペアー致割り込み						
68	INTTB08	16 ビットタイマ/イベントカウンタ 08 コンペアー致割り込み						
69	INTTB09	16 ビットタイマ/イベントカウンタ 09 コンペアー致割り込み						
70	INTTB10	16 ビットタイマ/イベントカウンタ 10 コンペアー致割り込み						
71	INTTB11	16 ビットタイマ/イベントカウンタ 11 コンペアー致割り込み						
72	INTTB12	16 ビットタイマ/イベントカウンタ 12 コンペアー致割り込み						

表 12-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
73	INTTB13	16 ビットタイマ/イベントカウンタ 13 コンペアー致割り込み						
74	INTTB14	16 ビットタイマ/イベントカウンタ 14 コンペアー致割り込み						
75	INTTB15	16 ビットタイマ/イベントカウンタ 15 コンペアー致割り込み						
76	INTTB16	16 ビットタイマ/イベントカウンタ 16 コンペアー致割り込み						
77	INTTB17	16 ビットタイマ/イベントカウンタ 17 コンペアー致割り込み						
78	INTTB18	16 ビットタイマ/イベントカウンタ 18 コンペアー致割り込み						
79	INTTB19	16 ビットタイマ/イベントカウンタ 19 コンペアー致割り込み						
80	INTTCCMP0	32 ビットタイマコンペアー致割り込み 0						
81	INTTCCMP1	32 ビットタイマコンペアー致割り込み 1						
82	INTTCCMP2	32 ビットタイマコンペアー致割り込み 2						
83	INTTCCMP3	32 ビットタイマコンペアー致割り込み 3						
84	INTTCCMP4	32 ビットタイマコンペアー致割り込み 4						
85	INTTCCMP5	32 ビットタイマコンペアー致割り込み 5						
86	INTTCCMP6	32 ビットタイマコンペアー致割り込み 6						
87	INTTCCMP7	32 ビットタイマコンペアー致割り込み 7						
88	INTTCCAP0	32 ビットタイマキャプチャ割り込み 0						
89	INTTCCAP1	32 ビットタイマキャプチャ割り込み 1						
90	INTTCCAP2	32 ビットタイマキャプチャ割り込み 2						
91	INTTCCAP3	32 ビットタイマキャプチャ割り込み 3						
92	INTPHC00	2 相パルス入力カウンタ 0 コンペア 0 一致割り込み	×	×	o	×	×	CGIMCGG
93	INTPHC01	2 相パルス入力カウンタ 0 コンペア 1 一致割り込み	×	×	o	×	×	
94	INTPHC0EVRY	2 相パルス入力カウンタ 0 毎割り込み	×	×	o	×	×	CGIMCGH
95	INTPHC10	2 相パルス入力カウンタ 1 コンペア 0 一致割り込み 0	×	×	o	×	×	
96	INTPHC11	2 相パルス入力カウンタ 1 コンペア 1 一致割り込み 1	×	×	o	×	×	
97	INTPHC1EVRY	2 相パルス入力カウンタ 1 毎割り込み	×	×	o	×	×	
98	INTEPHC	EPHC 割り込み						
99	INTPHCPOVF	EPHC 周期位相差測定オーバーフロー割り込み						
100	INTPHCPPHE	EPHC 周期位相差測定周期エラー割り込み						
101	INTPHCPCY0	EPHC 周期位相差測定周期 0 割り込み						
102	INTPHCPCY1	EPHC 周期位相差測定周期 1 割り込み						
103	INTPHCPCY2	EPHC 周期位相差測定周期 2 割り込み						
104	INTPHCPCY3	EPHC 周期位相差測定周期 3 割り込み						
105	INTTD0CMP0	高分解能 16 ビットタイマ/PPG 出力コンペアー致 00 割り込み						

表 12-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
106	INTTD0CMP1	高分解能 16 ビットタイマ/PPG 出力コンペアー致 01 割り込み						
107	INTTD0CMP2	高分解能 16 ビットタイマ/PPG 出力コンペアー致 02 割り込み						
108	INTTD0CMP3	高分解能 16 ビットタイマ/PPG 出力コンペアー致 03 割り込み						
109	INTTD0CMP4	高分解能 16 ビットタイマ/PPG 出力コンペアー致 04 割り込み						
110	INTTD1CMP0	高分解能 16 ビットタイマ/PPG 出力コンペアー致 10 割り込み						
111	INTTD1CMP1	高分解能 16 ビットタイマ/PPG 出力コンペアー致 11 割り込み						
112	INTTD1CMP2	高分解能 16 ビットタイマ/PPG 出力コンペアー致 12 割り込み						
113	INTTD1CMP3	高分解能 16 ビットタイマ/PPG 出力コンペアー致 13 割り込み						
114	INTTD1CMP4	高分解能 16 ビットタイマ/PPG 出力コンペアー致 14 割り込み						
115	INTADAHP	最優先 AD 変換終了ユニット A 割り込み						
116	INTADBHP	最優先 AD 変換終了ユニット B 割り込み						
117	INTADCHP	最優先 AD 変換終了ユニット C 割り込み						
118	INTTB07CAP0	16 ビットタイマ/イベントカウンタ 07 キャプチャ 0 割り込み						
119	INTTB07CAP1	16 ビットタイマ/イベントカウンタ 07 キャプチャ 1 割り込み						
120	INTTB08CAP0	16 ビットタイマ/イベントカウンタ 08 キャプチャ 0 割り込み						
121	INTTB08CAP1	16 ビットタイマ/イベントカウンタ 08 キャプチャ 1 割り込み						
122	INTTB09CAP0	16 ビットタイマ/イベントカウンタ 09 キャプチャ 0 割り込み						
123	INTTB09CAP1	16 ビットタイマ/イベントカウンタ 09 キャプチャ 1 割り込み						
124	INTTB10CAP0	16 ビットタイマ/イベントカウンタ 10 キャプチャ 0 割り込み						
125	INTTB10CAP1	16 ビットタイマ/イベントカウンタ 10 キャプチャ 1 割り込み						
126	INTTB11CAP0	16 ビットタイマ/イベントカウンタ 11 キャプチャ 0 割り込み						
127	INTTB11CAP1	16 ビットタイマ/イベントカウンタ 11 キャプチャ 1 割り込み						
128	INTTB12CAP0	16 ビットタイマ/イベントカウンタ 12 キャプチャ 0 割り込み						
129	INTTB12CAP1	16 ビットタイマ/イベントカウンタ 12 キャプチャ 1 割り込み						
130	INTTB13CAP0	16 ビットタイマ/イベントカウンタ 13 キャプチャ 0 割り込み						
131	INTTB13CAP1	16 ビットタイマ/イベントカウンタ 13 キャプチャ 1 割り込み						

表 12-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
132	INTTB14CAP0	16 ビットタイマ/イベントカウンタ 14 キャプチャ 0 割り込み						
133	INTTB14CAP1	16 ビットタイマ/イベントカウンタ 14 キャプチャ 1 割り込み						
134	INTTB15CAP0	16 ビットタイマ/イベントカウンタ 15 キャプチャ 0 割り込み						
135	INTTB15CAP1	16 ビットタイマ/イベントカウンタ 15 キャプチャ 1 割り込み						
136	INTTB16CAP0	16 ビットタイマ/イベントカウンタ 16 キャプチャ 0 割り込み						
137	INTTB16CAP1	16 ビットタイマ/イベントカウンタ 16 キャプチャ 1 割り込み						
138	INTTB17CAP0	16 ビットタイマ/イベントカウンタ 17 キャプチャ 0 割り込み						
139	INTTB17CAP1	16 ビットタイマ/イベントカウンタ 17 キャプチャ 1 割り込み						
140	INTTB18CAP0	16 ビットタイマ/イベントカウンタ 18 キャプチャ 0 割り込み						
141	INTTB18CAP1	16 ビットタイマ/イベントカウンタ 18 キャプチャ 1 割り込み						
142	INTTB19CAP0	16 ビットタイマ/イベントカウンタ 19 キャプチャ 0 割り込み						
143	INTTB19CAP1	16 ビットタイマ/イベントカウンタ 19 キャプチャ 1 割り込み						
144	INTADAM0	AD 変換監視機能 0 ユニット A 割り込み						
145	INTADAM1	AD 変換監視機能 1 ユニット A 割り込み						
146	INTADBM0	AD 変換監視機能 0 ユニット B 割り込み						
147	INTADBM1	AD 変換監視機能 1 ユニット B 割り込み						
148	INTADCM0	AD 変換監視機能 0 ユニット C 割り込み						
149	INTADCM1	AD 変換監視機能 1 ユニット C 割り込み						
150	INTDMACATC	DMAC ユニット A 転送終了割り込み						
151	INTDMACAERR	DMAC ユニット A 転送エラー割り込み						
152	INTDMACBTC	DMAC ユニット B 転送終了割り込み						
153	INTDMACBERR	DMAC ユニット B 転送エラー割り込み						
154	INTDMACCTC	DMAC ユニット C 転送終了割り込み						
155	INTDMACBERR	DMAC ユニット B 転送エラー割り込み						
156	INTTCTBT	32 ビットタイマオーバーフロー割り込み						

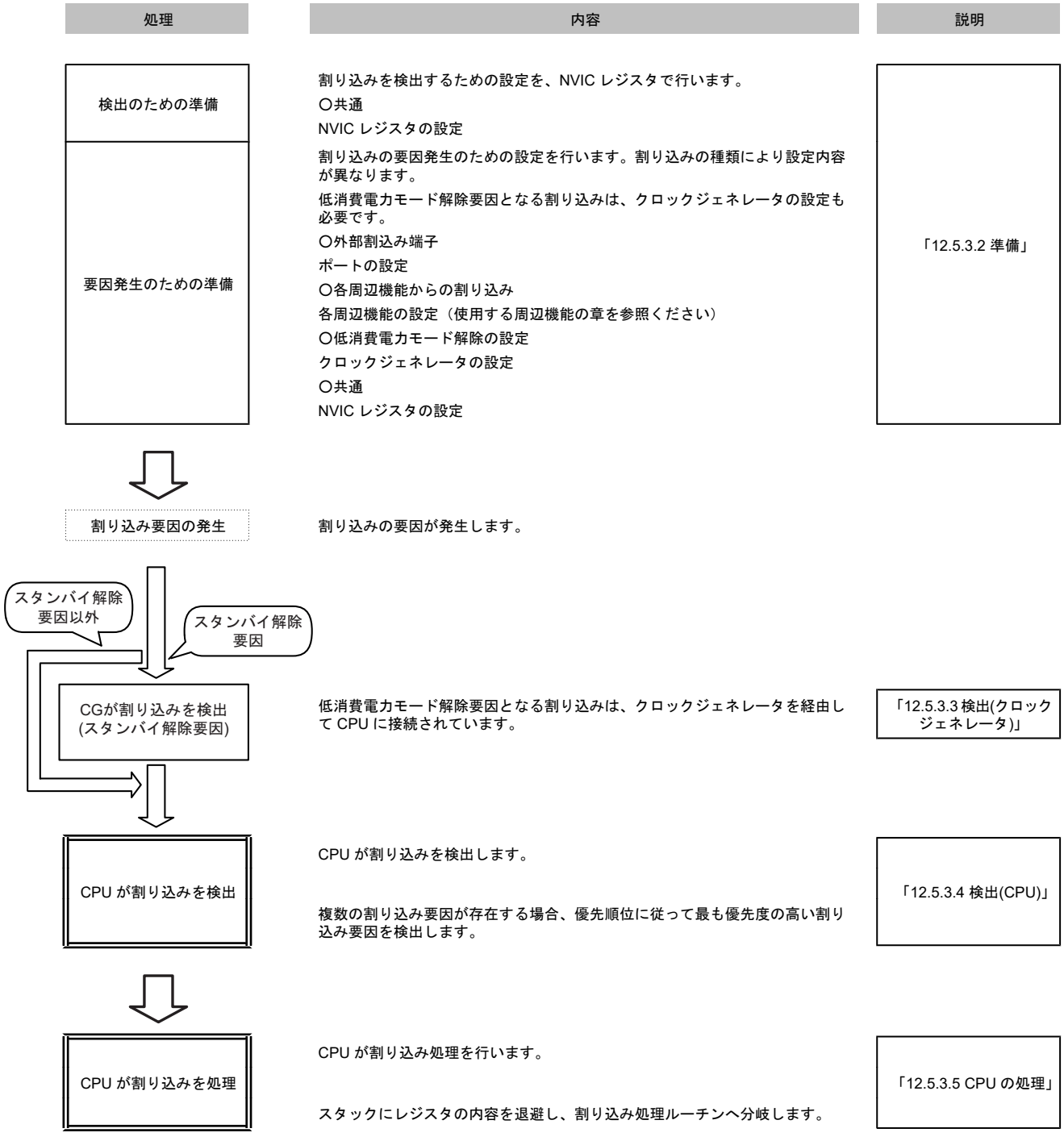
注) 低消費電力モード解除のアクティブレベルは"o"のついたものが選択できます。"×"のついたものは選択できません。

12.5.3　処理詳細

12.5.3.1　処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「12.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

12.5.3.2　準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割込み端子)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1)　CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。
注 2)　PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2)　CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3) 要因の準備(1) (外部割込み端子)

外部割込み端子を使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「12.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
<SETPEND[m]>	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

低消費電力モード解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。要因ごとのアクティブレベルの設定については、「表 12-3 割り込み要因一覧」を参照してください。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「12.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

外部割込み端子からの割り込み要求を低消費電力モード解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み

要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。また、「12.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7)　CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
<CLRPEND[m]>	←	"1"
<SETENA[m]>	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1) 「m」は該当ビットを示します。
注 2)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

12.5.3.3　検出(クロックジェネレータ)

低消費電力モード解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後、クロックジェネレータで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

12.5.3.4　検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

12.5.3.5 CPU の処理

割り込みが検出されると、CPU はスタックへ xPSR、PC、LR、R12、r3～r0 を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

12.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M4F コアは自動的に xPSR、PC、LR、R12、r3～r0 をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

低消費電力モード解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

12.6　例外/割り込み関連レジスタ

12.6.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」のクロック/モード制御(CG)を参照ください。

NVIC レジスタ　　Base Address = 0xE000_E000

レジスタ名	Address (+BASE)
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
割り込みイネーブルセットレジスタ 3	0x0108
割り込みイネーブルセットレジスタ 4	0x010C
割り込みイネーブルセットレジスタ 5	0x0110
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
割り込みイネーブルクリアレジスタ 3	0x0188
割り込みイネーブルクリアレジスタ 4	0x018C
割り込みイネーブルクリアレジスタ 5	0x0190
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
割り込み保留セットレジスタ 3	0x0208
割り込み保留セットレジスタ 4	0x020C
割り込み保留セットレジスタ 5	0x0210
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
割り込み保留クリアレジスタ 3	0x0288
割り込み保留クリアレジスタ 4	0x028C
割り込み保留クリアレジスタ 5	0x0290
割り込み優先度レジスタ	0x0400 ~ 0x047F
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

レジスタ名		Address (+BASE)
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB	0x0044
CG 割り込みモードコントロールレジスタ C	CGIMCGC	0x0048
CG 割り込みモードコントロールレジスタ D	CGIMCGD	0x004C
CG 割り込みモードコントロールレジスタ E	CGIMCGE	0x0050
CG 割り込みモードコントロールレジスタ F	CGIMCGF	0x0054
CG 割り込みモードコントロールレジスタ G	CGIMCGG	0x0058
CG 割り込みモードコントロールレジスタ H	CGIMCGH	0x005C
CG 割り込み要求クリアレジスタ	CGICRCG	0x0060
リセットフラグレジスタ	CGRSTFLG	0x0064
Reserved	-	0x0068

12.6.2　NVIC レジスタ

12.6.2.1　SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	−	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	−	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック(fosc/32) (注) 1: CPU クロック(fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注)　本製品では外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

12.6.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

12.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

12.6.2.4　SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	1	1	0	1	0	1

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	−	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値 外部参照クロックで 10 ms をカウントするために使用するリロード値(0xC35)です。(注)

注)　マルチショットで使用する場合、この値を-1 して使用してください。

12.6.2.5 割り込み制御用レジスタ

それぞれの割り込み要因について、割り込みイネーブルセットレジスタ、割り込みイネーブルクリアレジスタ、割り込み保留セットレジスタ、割り込みクリアレジスタがあります。

各ビットが指定された割り込みに対応しています。

(1)　割り込みイネーブルセットレジスタ

割り込みを許可したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを許可します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

このレジスタのビットをクリアするには、割り込みイネーブルクリアレジスタの対応するビットに"1"をセットします。

Bit symbol	Type	機能
SETENA	R/W	割り込み番号[156:0] [ライト] 1: 割り込みを許可状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

(a) 割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(b) 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	SETENA (割り込み 35)	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

(c)　割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 95)	SETENA (割り込み 94)	SETENA (割り込み 93)	SETENA (割り込み 92)	SETENA (割り込み 91)	SETENA (割り込み 90)	SETENA (割り込み 89)	SETENA (割り込み 88)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 87)	SETENA (割り込み 86)	SETENA (割り込み 85)	SETENA (割り込み 84)	SETENA (割り込み 83)	SETENA (割り込み 82)	SETENA (割り込み 81)	SETENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 79)	SETENA (割り込み 78)	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	SETENA (割り込み 65)	SETENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

(d)　割り込みイネーブルセットレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 127)	SETENA (割り込み 126)	SETENA (割り込み 125)	SETENA (割り込み 124)	SETENA (割り込み 123)	SETENA (割り込み 122)	SETENA (割り込み 121)	SETENA (割り込み 120)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 119)	SETENA (割り込み 118)	SETENA (割り込み 117)	SETENA (割り込み 116)	SETENA (割り込み 115)	SETENA (割り込み 114)	SETENA (割り込み 113)	SETENA (割り込み 112)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 111)	SETENA (割り込み 110)	SETENA (割り込み 109)	SETENA (割り込み 108)	SETENA (割り込み 107)	SETENA (割り込み 106)	SETENA (割り込み 105)	SETENA (割り込み 104)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 103)	SETENA (割り込み 102)	SETENA (割り込み 101)	SETENA (割り込み 100)	SETENA (割り込み 99)	SETENA (割り込み 98)	SETENA (割り込み 97)	SETENA (割り込み 96)
リセット後	0	0	0	0	0	0	0	0

(e) 割り込みイネーブルセットレジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	SETENA (割り込み 156)	SETENA (割り込み 155)	SETENA (割り込み 154)	SETENA (割り込み 153)	SETENA (割り込み 152)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 151)	SETENA (割り込み 150)	SETENA (割り込み 149)	SETENA (割り込み 148)	SETENA (割り込み 147)	SETENA (割り込み 146)	SETENA (割り込み 145)	SETENA (割り込み 144)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 143)	SETENA (割り込み 142)	SETENA (割り込み 141)	SETENA (割り込み 140)	SETENA (割り込み 139)	SETENA (割り込み 138)	SETENA (割り込み 137)	SETENA (割り込み 136)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 135)	SETENA (割り込み 134)	SETENA (割り込み 133)	SETENA (割り込み 132	SETENA (割り込み 131)	SETENA (割り込み 130)	SETENA (割り込み 129)	SETENA (割り込み 128)
リセット後	0	0	0	0	0	0	0	0

(2)　割り込みイネーブルクリアレジスタ

割り込みを禁止したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを禁止します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

Bit symbol	Type	機能
CLRENA	R/W	割り込み番号[156:0] [ライト] 1: 割り込みを禁止状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

(a) 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(b) 割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	CLRENA (割り込み 35)	CLRENA (割り込み 34)	CLRENA (割り込み 33)	CLRENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

(c)　割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 95)	CLRENA (割り込み 94)	CLRENA (割り込み 93)	CLRENA (割り込み 92)	CLRENA (割り込み 91)	CLRENA (割り込み 90)	CLRENA (割り込み 89)	CLRENA (割り込み 88)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 87)	CLRENA (割り込み 86)	CLRENA (割り込み 85)	CLRENA (割り込み 84)	CLRENA (割り込み 83)	CLRENA (割り込み 82)	CLRENA (割り込み 81)	CLRENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 79)	CLRENA (割り込み 78)	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	CLRENA (割り込み 65)	CLRENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

(d)　割り込みイネーブルクリアレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 127)	CLRENA (割り込み 126)	CLRENA (割り込み 125)	CLRENA (割り込み 124)	CLRENA (割り込み 123)	CLRENA (割り込み 122)	CLRENA (割り込み 121)	CLRENA (割り込み 120)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 119)	CLRENA (割り込み 118)	CLRENA (割り込み 117)	CLRENA (割り込み 116)	CLRENA (割り込み 115)	CLRENA (割り込み 114)	CLRENA (割り込み 113)	CLRENA (割り込み 112)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 111)	CLRENA (割り込み 110)	CLRENA (割り込み 109)	CLRENA (割り込み 108)	CLRENA (割り込み 107)	CLRENA (割り込み 106)	CLRENA (割り込み 105)	CLRENA (割り込み 104)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 103)	CLRENA (割り込み 102)	CLRENA (割り込み 101)	CLRENA (割り込み 100)	CLRENA (割り込み 99)	CLRENA (割り込み 98)	CLRENA (割り込み 97)	CLRENA (割り込み 96)
リセット後	0	0	0	0	0	0	0	0

(e) 割り込みイネーブルクリアレジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	CLRENA (割り込み 156)	CLRENA (割り込み 155)	CLRENA (割り込み 154)	CLRENA (割り込み 153)	CLRENA (割り込み 152)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 151)	CLRENA (割り込み 150)	CLRENA (割り込み 149)	CLRENA (割り込み 148)	CLRENA (割り込み 147)	CLRENA (割り込み 146)	CLRENA (割り込み 145)	CLRENA (割り込み 144)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 143)	CLRENA (割り込み 142)	CLRENA (割り込み 141)	CLRENA (割り込み 140)	CLRENA (割り込み 139)	CLRENA (割り込み 138)	CLRENA (割り込み 137)	CLRENA (割り込み 136)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 135)	CLRENA (割り込み 134)	CLRENA (割り込み 133)	CLRENA (割り込み 132)	CLRENA (割り込み 131)	CLRENA (割り込み 130	CLRENA (割り込み 129)	CLRENA (割り込み 128)
リセット後	0	0	0	0	0	0	0	0

(3)　割り込み保留セットレジスタ

割り込みを強制的に保留したり、保留されているかどうかを確認できます。

"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

Bit symbol	Type	機能
SETPEND	R/W	割り込み番号[156:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

(a) 割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(b) 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	SETPEND (割り込み 35)	SETPEND (割り込み 34)	SETPEND (割り込み 33)	SETPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(c)　割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 95)	SETPEND (割り込み 94)	SETPEND (割り込み 93)	SETPEND (割り込み 92)	SETPEND (割り込み 91)	SETPEND (割り込み 90)	SETPEND (割り込み 89)	SETPEND (割り込み 88)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 87)	SETPEND (割り込み 86)	SETPEND (割り込み 85)	SETPEND (割り込み 84)	SETPEND (割り込み 83)	SETPEND (割り込み 82)	SETPEND (割り込み 81)	SETPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 79)	SETPEND (割り込み 78)	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	SETPEND (割り込み 65)	SETPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(d)　割り込み保留セットレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 127)	SETPEND (割り込み 126)	SETPEND (割り込み 125)	SETPEND (割り込み 124)	SETPEND (割り込み 123)	SETPEND (割り込み 122)	SETPEND (割り込み 121)	SETPEND (割り込み 120)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 119)	SETPEND (割り込み 118)	SETPEND (割り込み 117)	SETPEND (割り込み 116)	SETPEND (割り込み 115)	SETPEND (割り込み 114)	SETPEND (割り込み 113)	SETPEND (割り込み 112)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 111)	SETPEND (割り込み 110)	SETPEND (割り込み 109)	SETPEND (割り込み 108)	SETPEND (割り込み 107)	SETPEND (割り込み 106)	SETPEND (割り込み 105)	SETPEND (割り込み 104)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 103)	SETPEND (割り込み 102)	SETPEND (割り込み 101)	SETPEND (割り込み 100)	SETPEND (割り込み 99)	SETPEND (割り込み 98)	SETPEND (割り込み 97)	SETPEND (割り込み 96)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(e) 割り込み保留セットレジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	SETPEND (割り込み 156)	SETPEND (割り込み 155)	SETPEND (割り込み 154)	SETPEND (割り込み 153)	SETPEND (割り込み 152)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 151)	SETPEND (割り込み 150)	SETPEND (割り込み 149)	SETPEND (割り込み 148)	SETPEND (割り込み 147)	SETPEND (割り込み 146)	SETPEND (割り込み 145)	SETPEND (割り込み 144)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 143)	SETPEND (割り込み 142)	SETPEND (割り込み 141)	SETPEND (割り込み 140)	SETPEND (割り込み 139)	SETPEND (割り込み 138)	SETPEND (割り込み 137)	SETPEND (割り込み 136)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 135)	SETPEND (割り込み 134)	SETPEND (割り込み 133)	SETPEND (割り込み 132)	SETPEND (割り込み 131)	SETPEND (割り込み 130)	SETPEND (割り込み 129)	SETPEND (割り込み 128)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(4)　割り込み保留クリアレジスタ

保留された割り込みをクリアしたり、保留されているかどうかを確認できます。

"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

Bit symbol	Type	機能
CLRPEND	R/W	割り込み番号[156:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり

(a) 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(b) 割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	-CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	CLRPEND (割り込み 35)	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	CLRPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(c)　割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 95)	CLRPEND (割り込み 94)	CLRPEND (割り込み 93)	CLRPEND (割り込み 92)	CLRPEND (割り込み 91)	CLRPEND (割り込み 90)	CLRPEND (割り込み 89)	CLRPEND (割り込み 88)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 87)	CLRPEND (割り込み 86)	CLRPEND (割り込み 85)	CLRPEND (割り込み 84)	CLRPEND (割り込み 83)	CLRPEND (割り込み 82)	CLRPEND (割り込み 81)	CLRPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 79)	CLRPEND (割り込み 78)	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	CLRPEND (割り込み 65)	CLRPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(d)　割り込み保留クリアレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 127)	CLRPEND (割り込み 126)	CLRPEND (割り込み 125)	CLRPEND (割り込み 124)	CLRPEND (割り込み 123)	CLRPEND (割り込み 122)	CLRPEND (割り込み 121)	CLRPEND (割り込み 120)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 119)	CLRPEND (割り込み 118)	CLRPEND (割り込み 117)	CLRPEND (割り込み 116)	CLRPEND (割り込み 115)	CLRPEND (割り込み 114)	CLRPEND (割り込み 113)	CLRPEND (割り込み 112)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 111)	CLRPEND (割り込み 110)	CLRPEND (割り込み 109)	CLRPEND (割り込み 108)	CLRPEND (割り込み 107)	CLRPEND (割り込み 106)	CLRPEND (割り込み 105)	CLRPEND (割り込み 104)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 103)	CLRPEND (割り込み 102)	CLRPEND (割り込み 101)	CLRPEND (割り込み 100)	CLRPEND (割り込み 99)	CLRPEND (割り込み 98)	CLRPEND (割り込み 97)	CLRPEND (割り込み 96)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(e) 割り込み保留クリアレジスタ 5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	CLRPEND (割り込み 156)	CLRPEND (割り込み 155)	CLRPEND (割り込み 154)	CLRPEND (割り込み 153)	CLRPEND (割り込み 152)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 151)	CLRPEND (割り込み 150)	CLRPEND (割り込み 149)	CLRPEND (割り込み 148)	CLRPEND (割り込み 147)	CLRPEND (割り込み 146)	CLRPEND (割り込み 145)	CLRPEND (割り込み 144)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 143)	CLRPEND (割り込み 142)	CLRPEND (割り込み 141)	CLRPEND (割り込み 140)	CLRPEND (割り込み 139)	CLRPEND (割り込み 138)	CLRPEND (割り込み 137)	CLRPEND (割り込み 136)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 135)	CLRPEND (割り込み 134)	CLRPEND (割り込み 133)	CLRPEND (割り込み 132)	CLRPEND (割り込み 131)	CLRPEND (割り込み 130)	CLRPEND (割り込み 129)	CLRPEND (割り込み 128)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

12.6.2.6　割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28
0xE000_E420	PRI_35	PRI_34	PRI_33	PRI_32
0xE000_E424	PRI_39	PRI_38	PRI_37	PRI_36
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40
0xE000_E42C	PRI_47	PRI_46	PRI_45	PRI_44
0xE000_E430	PRI_51	PRI_50	PRI_49	PRI_48
0xE000_E434	PRI_55	PRI_54	PRI_53	PRI_52
0xE000_E438	PRI_59	PRI_58	PRI_57	PRI_56
0xE000_E43C	PRI_63	PRI_62	PRI_61	PRI_60
0xE000_E440	PRI_67	PRI_66	PRI_65	PRI_64
0xE000_E444	PRI_71	PRI_70	PRI_69	PRI_68
0xE000_E448	PRI_75	PRI_74	PRI_73	PRI_72
0xE000_E44C	PRI_79	PRI_78	PRI_77	PRI_76
0xE000_E450	PRI_83	PRI_82	PRI_81	PRI_80
0xE000_E454	PRI_87	PRI_86	PRI_85	PRI_84
0xE000_E458	PRI_91	PRI_90	PRI_89	PRI_88
0xE000_E45C	PRI_95	PRI_94	PRI_93	PRI_92
0xE000_E460	PRI_99	PRI_98	PRI_97	PRI_96
0xE000_E464	PRI_103	PRI_102	PRI_101	PRI_100
0xE000_E468	PRI_107	PRI_106	PRI_105	PRI_104
0xE000_E46C	PRI_111	PRI_110	PRI_109	PRI_108
0xE000_E470	PRI_115	PRI_114	PRI_113	PRI_112
0xE000_E474	PRI_119	PRI_118	PRI_117	PRI_116
0xE000_E478	PRI_123	PRI_122	PRI_121	PRI_120
0xE000_E47C	PRI_127	PRI_126	PRI_125	PRI_124
0xE000_E460	PRI_131	PRI_130	PRI_129	PRI_128
0xE000_E464	PRI_135	PRI_134	PRI_133	PRI_132
0xE000_E468	PRI_139	PRI_138	PRI_137	PRI_136
0xE000_E46C	PRI_143	PRI_142	PRI_141	PRI_140
0xE000_E470	PRI_147	PRI_146	PRI_145	PRI_144
0xE000_E474	PRI_151	PRI_150	PRI_149	PRI_148
0xE000_E478	PRI_155	PRI_154	PRI_153	PRI_152
0xE000_E47C	-	-	-	PRI_156

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	–	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	–	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	–	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	–	R	リードすると"0"が読めます。

12.6.2.7　ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	TBLOFF	R/W	オフセット値 アドレス 0x0000_0000 からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	−	R	リードすると"0"が読めます。

12.6.2.8 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	−	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	−	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

12.6.2.9　システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_ED18	PRI_7	PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	−	R	リードすると"0"が読めます。

12.6.2.10 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	−	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAUL TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	−	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	−	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	−	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注)　アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

12.6.3 クロックジェネレータレジスタ

12.6.3.1 CG 割り込みモードコントロールレジスタ

CG 割り込みモードコントロールレジスタは低消費電力モード解除に使用する割り込み要因のアクティブレベル設定、検出されたアクティブレベル、低消費電力モード解除の許可/禁止をおこないます。

Bit symbol	Type	機能
EMCGx[2:0]	R/W	低消費電力モード解除のアクティブレベルを設定 (下記のアクティブレベルのうち表 12-3 のアクティブレベルに記載されている解除要因から選択する) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外:設定禁止
EMSTx[1:0]	R	検出されたアクティブレベル(EMCGx[2:0]="100"の場合のみ有効) 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
INTxEN	R/W	低消費電力モード解除 0:禁止 1: 許可

表 12-4 低消費電力モード解除のアクティブレベル設定

要因		アクティブレベル設定レジスタ	低消費電力モード解除のアクティブレベル				
			"Low" レベル	"HIGH" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ
INT0	外部割込み端子 0	CGIMCGA <EMST00[1:0]>	o	o	o	o	o
INT1	外部割込み端子 1	CGIMCGA <EMST01[1:0]>	o	o	o	o	o
INT2	外部割込み端子 2	CGIMCGA <EMST02[1:0]>	o	o	o	o	o
INT3	外部割込み端子 3	CGIMCGA <EMST03[1:0]>	o	o	o	o	o
INT4	外部割込み端子 4	CGIMCGB <EMST04[1:0]>	o	o	o	o	o
INT5	外部割込み端子 5	CGIMCGB <EMST05[1:0]>	o	o	o	o	o
INT6	外部割込み端子 6	CGIMCGB <EMST06[1:0]>	o	o	o	o	o
INT7	外部割込み端子 7	CGIMCGB <EMST07[1:0]>	o	o	o	o	o
INT8	外部割込み端子 8	CGIMCGC <EMST08[1:0]>	o	o	o	o	o
INT9	外部割込み端子 9	CGIMCGC <EMST09[1:0]>	o	o	o	o	o
INTA	外部割込み端子 A	CGIMCGC <EMST0A[1:0]>	o	o	o	o	o
INTB	外部割込み端子 B	CGIMCGC <EMST0B[1:0]>	o	o	o	o	o
INTC	外部割込み端子 C	CGIMCGD <EMST0C[1:0]>	o	o	o	o	o
INTD	外部割込み端子 D	CGIMCGD <EMST0D[1:0]>	o	o	o	o	o
INTE	外部割込み端子 E	CGIMCGD <EMST0E[1:0]>	o	o	o	o	o
INTF	外部割込み端子 F	CGIMCGD <EMST0F[1:0]>	o	o	o	o	o
INT10	外部割込み端子 10	CGIMCGE <EMST10[1:0]>	o	o	o	o	o
INT11	外部割込み端子 11	CGIMCGE <EMST11[1:0]>	o	o	o	o	o
INT12	外部割込み端子 12	CGIMCGE <EMST12[1:0]>	o	o	o	o	o
INT13	外部割込み端子 13	CGIMCGE <EMST13[1:0]>	o	o	o	o	o
INT14	外部割込み端子 14	CGIMCGF <EMST14[1:0]>	o	o	o	o	o
INT15	外部割込み端子 15	CGIMCGF <EMST15[1:0]>	o	o	o	o	o
INTKWUPA	キーオンウエイクアップ割り込みユニット A	CGIMCGF <EMST16[1:0]>	×	o	×	×	×
INTKWUPB	キーオンウエイクアップ割り込みユニット B	CGIMCGF <EMST17[1:0]>	×	o	×	×	×

表 12-4 低消費電力モード解除のアクティブレベル設定

要因		アクティブレベル設定レジスタ	低消費電力モード解除のアクティブレベル				
			"Low" レベル	"HIGH" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ
INTKSCAN	キースキャン割り込み	CGIMCGG <EMST18[1:0]>	×	×	o	×	×
INTRTC	時計用タイマ割り込み	CGIMCGG <EMST19[1:0]>	×	×	×	o	×
INTPHC00	PHC0 コンペアー致 0 割り込み	CGIMCGG <EMST1A[1:0]>	×	×	o	×	×
INTPHC01	PHC0 コンペアー致 1 割り込み	CGIMCGG <EMST1B[1:0]>	×	×	o	×	×
INTPHC0EVRY	PHC0 カウント毎割り込み	CGIMCGH <EMST1C[1:0]>	×	×	o	×	×
INTPHC10	PHC1 コンペアー致 0 割り込み	CGIMCGH <EMST1D[1:0]>	×	×	o	×	×
INTPHC11	PHC1 コンペアー致 1 割り込み	CGIMCGH <EMST1E[1:0]>	×	×	o	×	×
INTPHC1EVRY	PHC1 カウント毎割り込み	CGIMCGH <EMST1F[1:0]>	×	×	o	×	×

注) 低消費電力モード解除のアクティブレベルは"o"のついたものが選択できます。"×"のついたものは選択できません。

(1)　CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG03			EMST03		-	INT03EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG02			EMST02		-	INT02EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG01			EMST01		-	INT01EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG00			EMST00		-	INT00EN
リセット後	0	0	1	0	0	0	不定	0

注 1)　<EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4)　ビット 31、23、15、7 は"0"が読み出されます。

注 5)　ビット 25、17、9、1 は不定が読み出されます。

(2)　CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG07			EMST07		-	INT07EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG06			EMST06		-	INT06EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG05			EMST05		-	INT05EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG04			EMST04		-	INT04EN
リセット後	0	0	1	0	0	0	不定	0

注 1)　<EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4)　ビット 31、23、15、7 は"0"が読み出されます。

注 5)　ビット 25、17、9、1 は不定が読み出されます。

(3) CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG0B			EMST0B		-	INT0BEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG0A			EMST0A		-	INT0AEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG09			EMST09		-	INT09EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG08			EMST08		-	INT08EN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

(4) CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG0F			EMST0F		-	INT0FEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG0E			EMST0E		-	INT0EEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG0D			EMST0D		-	INT0DEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0C			EMST0C		-	INT0CEN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

(5)　CGIMCGE(CG 割り込みモードコントロールレジスタ E)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG13			EMST13		-	INT13EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG12			EMST12		-	INT12EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG11			EMST11		-	INT11EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG10			EMST10		-	INT10EN
リセット後	0	0	1	0	0	0	不定	0

注 1)　<EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4)　ビット 31、23、15、7 は"0"が読み出されます。

注 5)　ビット 25、17、9、1 は不定が読み出されます。

(6)　CGIMCGF(CG 割り込みモードコントロールレジスタ F)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG17			EMST17		-	INT17EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG16			EMST16		-	INT16EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG15			EMST15		-	INT15EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG14			EMST14		-	INT14EN
リセット後	0	0	1	0	0	0	不定	0

注 1)　<EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4)　ビット 31、23、15、7 は"0"が読み出されます。

注 5)　ビット 25、17、9、1 は不定が読み出されます。

(7) CGIMCGG(CG 割り込みモードコントロールレジスタ G)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG1B			EMST1B		-	INT1BEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG1A			EMST1A		-	INT1AEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG19			EMST19		-	INT19EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG18			EMST18		-	INT18EN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

(8) CGIMCGH(CG 割り込みモードコントロールレジスタ H)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG1F			EMST1F		-	IN1FEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG1E			EMST1E		-	INT1EEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1D			EMST1D		-	INT1DEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG1C			EMST1C		-	INT1CEN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 12-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

12.6.3.2　CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0　0_1000: INT8　1_0000: INT10　1_1000: INTKSCAN 0_0001: INT1　0_1001: INT9　1_0001: INT11　1_1001: INTRTC 0_0010: INT2　0_1010: INTA　1_0010: INT12　1_1010: INTPHC00 0_0011: INT3　0_1011: INTB　1_0011: INT13　1_1011: INTPHC01 0_0100: INT4　0 _ 1100 : INTC　1_0100: INT14　1_1100: INTPHC0EVRY 0_0101: INT5　0_1101 : INTD　1_0101: INT15　1_1101: INTPHC10 0_0110: INT6　0 _ 1110 : INTE　1_0110: INTKWUPA　1_1110: INTPHC11 0_ 0111: INT7　0 _ 1111 : INTF　1_ 0111: INTKWUPB　1_ 1111: INTPHC1EVRY リードすると"0"が読めます

12.6.3.3 CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
パワーオンリセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PONRSTF1	-	SYSRSTF	BUPRSTF	WDTRSTF	PINRSTF	PONRSTF0
パワーオンリセット後	0	不定	0	不定	不定	不定	不定	1

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	PONRSTF1	R/W	パワーオンリセットフラグ PONRSTF0 と組み合わせて使います。 [Read] PONRSTF[1:0]= 00: - 01: パワーオンリセットによるリセット 10:パワーオンリセットによるリセット 11:パワーオンリセットによるリセット [Write] 0 : クリア (クリアは 0x0000 を書き込んですべてのリセットフラグに対して行ってください) 1 : don't care
5	−	R	リードすると"0"が読めます。
4	SYSRSTF	R/W	<SYSRESETREQ>リセットフラグ [Read] 0: - 1: <SYSRESETREQ>によるリセットフラグ [Write] 0 : クリア (クリアは 0x0000 を書き込んですべてのリセットフラグに対して行ってください) 1 : don't care
3	BUPRSTF	R/W	STOP2 リセットフラグ [Read] 0: - 1: STOP2 モード解除によるリセットフラグ [Write] 0 : クリア (クリアは 0x0000 を書き込んですべてのリセットフラグに対して行ってください) 1 : don't care
2	WDTRSTF	R/W	WDT リセットフラグ [Read] 0: - 1: WDT によるリセットフラグ [Write] 0 : クリア (クリアは 0x0000 を書き込んですべてのリセットフラグに対して行ってください) 1 : don't care

Bit	Bit Symbol	Type	機能
1	PINRSTF	R/W	RESET 端子フラグ 0: - 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ [Write] 0 : クリア (クリアは 0x0000 を書き込んですべてのリセットフラグに対して行ってください) 1 : don't care
0	PONRSTF0	R/W	パワーオンリセットフラグ PONRSTF1 と組み合わせて使います。 [Read] PONRSTF[1:0]= 00: - 01: パワーオンリセットによるリセット 10:パワーオンリセットによるリセット 11:パワーオンリセットによるリセット [Write] 0 : クリア (クリアは 0x0000 を書き込んですべてのリセットフラグに対して行ってください) 1 : don't care

注 1)　CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2)　パワーオンリセット解除後、<PONRSTF[1:0]>以外のリセットフラグは不定となります。パワーオンリセットの解除が検出された場合、すべてのリセットフラグに"0"を書き込み、初期化してください。

第 13 章　外部バスインターフェース(EBIF)

13.1　機能概要

TMPM440FE/F10XBG は、外部にメモリや I/O などを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF)と CS(チップセレクト)/内蔵ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 2 ブロックアドレス空間のマッピングアドレス指定と、この 2 ブロックアドレス空間に対して、ウェイトおよびデータバス幅(8 ビットまたは 16 ビット)を制御します。

外部バスインタフェース回路(EBIF)は、CS/内蔵ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。

また、本製品は CPU コアである Cortex-M4F に内蔵されているリトルエンディアンおよびビッグエンディアンをサポート可能なバイエンディアンに対応した製品です。本章では CS/内蔵ウェイトコントローラの説明を主に行ない、バイエンディアンに関する説明はエンディアン章、詳細は、ARM 社の下記 URL より"Cortex-M4 series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

表 13-1 外部バスインターフェースの特長

特長	
サポートメモリ	外部非同期メモリ(NOR フラッシュメモリ、SRAM、周辺 I/O 等) セパレートバス、マルチプレクスバスに対応
データバス幅	チャネル毎に 8 ビットまたは 16 ビット幅の設定が可能
チップセレクト	2 チャネル ($\overline{CS0}$, $\overline{CS1}$)
エンディアン	バイエンディアンをサポート
アクセス空間	最大 32MB のアクセス空間をサポート 0x6000_0000 ~ 0x61FF_FFFF (各 CS 毎に最大 16MB 空間)
内部ウェイト機能	チャネル毎に最大 15 サイクルまで挿入可能
ALE ウェイト機能	チャネル毎に最大 4 サイクルまで ALE 端子の High 幅挿入可能
セットアップ サイクル挿入機能	チャネル毎に $\overline{RD}$、$\overline{WR}$ セットアップサイクル挿入可能 (tAC サイクル期間延長)
リカバリ(ホールド) サイクル挿入機能	外部バスサイクルが連続するときに最大 8 クロックまでのダミーサイクルを挿入可能 (チャネル毎に設定可能) $\overline{CS}$, $\overline{RD}$, $\overline{WR}$ におけるアドレス/データホールドサイクル挿入機能 (tCAR, tRAE サイクル期間延長)
バス拡張機能	内部ウェイト、ALE ウェイト、セットアップサイクル、リカバリサイクルの設定値を 2 倍、4 倍に拡張することが可能(チャネル共通)
制御端子	セパレートバスモード: D[15:0], A[23:0], $\overline{RD}$, $\overline{WR}$, $\overline{BELL}$, $\overline{BELH}$, $\overline{CS0}$, $\overline{CS1}$, ENDIAN
	マルチプレクスバスモード: AD[15:0], A[23:16], $\overline{RD}$, $\overline{WR}$, $\overline{BELL}$, $\overline{BELH}$, $\overline{CS0}$, $\overline{CS1}$, ALE, ENDIAN

13.2　レジスタ説明

13.2.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
外部バスモードコントロールレジスタ	EXBMOD	0x0000
Reserved	-	0x0004 ~ 0x000C
外部バス空間エリア/スタートアドレス設定レジスタ 0	EXBAS0	0x0010
外部バス空間エリア/スタートアドレス設定レジスタ 1	EXBAS1	0x0014
Reserved	-	0x0018 ~ 0x003C
外部バスチップセレクトコントロールレジスタ 0	EXBCS0	0x0040
外部バスチップセレクトコントロールレジスタ 1	EXBCS1	0x0044
Reserved	-	0x0048 ~ 0x0FFC

注 1)　レジスタのリード/ライトはワード(32 ビット)アクセスのみとなります。
注 2)　"Reserved"表記のアドレスにはアクセスしないでください。

13.2.2 EXBMOD (外部バスモードコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	EXBWAIT		EXBSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-1	EXBWAIT[1:0]	R/W	バスサイクルウェイト拡張 00: 拡張なし 01: 2 倍 10: 4 倍 11: 設定禁止 バスサイクルのセットアップ、ウエイト、リカバリサイクル機能を 2 倍、4 倍に設定するビットです。例えば、<EXBWAIT>="00" (拡張なし)設定にてリードセットアップサイクルを 2 サイクルに設定していた場合、<EXBWAIT>="01" (2 倍)に設定変更すると、4 サイクルに拡張されます。同様に<EXBWAIT>="10" (4 倍)に設定変更すると、8 サイクルに拡張されます。なお、拡張サイクルは、EXBCS0/1 レジスタにて設定されるリード/ライトセットアップ、チップセレクト/リード/ライトリカバリ、ALE/内部ウエイトサイクルと、<EXBWAIT>の設定（2 倍/4 倍）によってサイクル数が拡張されます。
0	EXBSEL	R/W	マルチプレクスバス/セパレートバスモードを選択するビットです。 0: マルチプレクスバスモード 1: セパレートバスモード

注) マルチプレクス/セパレートモードの設定は、外部バス動作中に変更しないでください。

13.2.3　EXBAS0~1 (外部バス空間エリア/スタートアドレス設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EXAR							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	SA31-SA16	R/W	スタートアドレスを設定します。 アドレス A[31:16]のスタートアドレスを設定します。 下記「 アドレス空間サイズ設定」を参照してください。
15-8	−	R	リードすると"0"が読めます。
7-0	EXAR[7:0]	R/W	チップセレクト($\overline{CS0}$~$\overline{CS1}$)空間サイズを設定します。 アドレス空間サイズは最大 16M バイトから最小 64K バイトまでの 9 種類の設定が可能です。 "0000_0000": 16 Mbyte, "0000_0011": 2 Mbyte, "0000_0110": 256 Kbyte, "0000_0001": 8 Mbyte, "0000_0100": 1 Mbyte, "0000_0111": 128 Kbyte, "0000_0010": 4 Mbyte, "0000_0101": 512 Kbyte, "0000_1000": 64 Kbyte, 上記以外は設定禁止

注)　同一のアドレス領域が設定された場合、その領域はチャネル番号の若いチャネル(CS0)が有効になります。

注)　0x6000_0000 ~ 0x61FF_FFFF のアクセス空間を越えた場合、Hard Fault エラーが発生します。

アドレス空間サイズ設定

チップセレクト空間サイズ	SA																-	EXAR							
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-8	7	6	5	4	3	2	1	0
16Mbyte	0	1	1	0	0	0	0	x	0	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	0
8Mbyte	0	1	1	0	0	0	0	x	x	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	1
4Mbyte	0	1	1	0	0	0	0	x	x	x	0	0	0	0	0	0	-	0	0	0	0	0	0	1	0
2Mbyte	0	1	1	0	0	0	0	x	x	x	x	0	0	0	0	0	-	0	0	0	0	0	0	1	1
1Mbyte	0	1	1	0	0	0	0	x	x	x	x	x	0	0	0	0	-	0	0	0	0	0	1	0	0
512Kbyte	0	1	1	0	0	0	0	x	x	x	x	x	x	0	0	0	-	0	0	0	0	0	1	0	1
256Kbyte	0	1	1	0	0	0	0	x	x	x	x	x	x	x	0	0	-	0	0	0	0	0	1	1	0
128Kbyte	0	1	1	0	0	0	0	x	x	x	x	x	x	x	x	0	-	0	0	0	0	0	1	1	1
64Kbyte	0	1	1	0	0	0	0	x	x	x	x	x	x	x	x	x	-	0	0	0	0	1	0	0	0

x : 任意のアドレスを選択

13.2.4 EXBCS0~1 (外部バスチップセレクトコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	CSR		WRR			RDR		
After reset	0	1	0	0	1	0	0	1
	23	22	21	20	19	18	17	16
bit symbol	-	-	ALEW		WRS		RDS	
After reset	0	0	0	1	0	1	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	CSIW				
After reset	0	0	0	0	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	ENDTYPE	-	-	-	-	CSW		CSW0
After reset	0	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-30	CSR[1:0]	R/W	チップセレクト($\overline{CS0}$~$\overline{CS1}$)リカバリサイクル "00": リカバリサイクル無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル
29-27	WRR[2:0]	R/W	ライト($\overline{WR}$)リカバリサイクル "000": リカバリサイクル無し, "001": 1 サイクル, "010": 2 サイクル, "011": 3 サイクル, "100": 4 サイクル, "101": 5 サイクル, "110": 6 サイクル, "111": 8 サイクル
26-24	RDR[2:0]	R/W	リード($\overline{RD}$)リカバリサイクル "000": リカバリサイクル無し, "001": 1 サイクル, "010": 2 サイクル, "011": 3 サイクル, "100": 4 サイクル, "101": 5 サイクル, "110": 6 サイクル, "111": 8 サイクル
23-22	−	R	リードすると"0"が読めます。
21-20	ALEW[1:0]	R/W	ALE ウェイトサイクル(マルチプレクスバスモード時) "00": ウェイト無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル
19-18	WRS[1:0]	R/W	ライト($\overline{WR}$)セットアップサイクル "00": セットアップサイクル無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル
17-16	RDS[1:0]	R/W	リード($\overline{RD}$)セットアップサイクル "00": セットアップサイクル無し, "01": 1 サイクル, "10": 2 サイクル, "11": 4 サイクル
15-13	−	R	リードすると"0"が読めます。
12-8	CSIW[4:0]	R/W	内部ウェイト(自動挿入) 0_0000: 0 ウェイト　0_0001: 1 ウェイト　0_0010: 2 ウェイト　0_0011: 3 ウェイト 0_0100: 4 ウェイト　0_0101: 5 ウェイト　0_0110: 6 ウェイト　0_0111: 7 ウェイト 0_1000: 8 ウェイト　0_1001: 9 ウェイト　0_1010: 10 ウェイト　0_1011: 11 ウェイト 0_1100: 12 ウェイト　0_1101: 13 ウェイト　0_1110: 14 ウェイト　0_1111: 15 ウェイト
7	ENDTYPE	W	外部メモリ/周辺 IO(ASIC 等)のエンディアンを設定します。 エンディアン設定 / <ENDTYPE> / "0" (CPU と同じエンディアン) / "1" (CPU と異なるエンディアン) リトルエンディアン / リトルエンディアン / MIPS 形式 ビッグエンディアン / BE8 / MIPS 形式
6-4	−	R	リードすると"0"が読めます。
3	−	R/W	"0"を書いてください。
2-1	CSW[2:1]	R/W	データバス幅設定 "00": 8-bit, "01": 16-bit, 他の設定禁止
0	CSW0	R/W	CS イネーブル "0": 禁止, "1": 許可

13.3　アドレス、データ端子の設定

TMPM440FE/F10XBG はセパレートバスまたはマルチプレクスバスの設定が可能です。切り替えは EXBMOD レジスタで行ない、EXBMOD<EXBSEL>ビットに"1"を設定することでセパレートバスモードに、"0"を設定することでマルチプレクスバスモードになります。

外部デバイス（メモリ）接続のためのアドレスバス、データバス、アドレス・データバスはポートと兼用になっています。

各ポートはリセット後、汎用入出力ポートとなります。外部デバイスにアクセスする場合は、ポートコントロールレジスタ(PxCR)、ポートファンクションレジスタ(PxFCm)によりアドレスバス、データバスの機能に設定し、インプットイネーブルレジスタ(PxIE)を設定してください。

外部領域アクセスから内蔵領域アクセスへ遷移した場合、アドレスバスは直前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

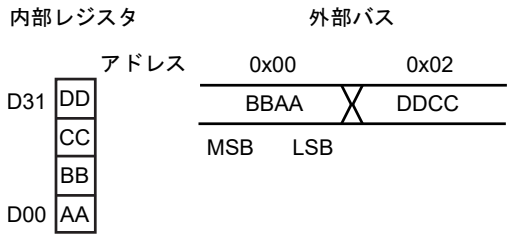
13.4 データ・フォーマット

TMPM440FE/F10XBG の内部レジスタと外部バスインタフェースとの関係を説明します。

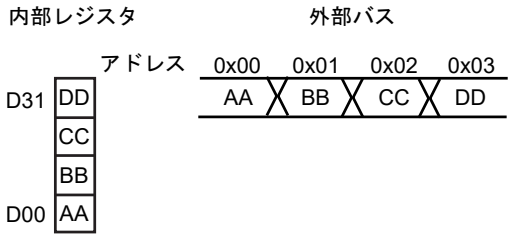
13.4.1 リトルエンディアンモード

13.4.1.1 ワードアクセス

・ 16 ビットバス幅

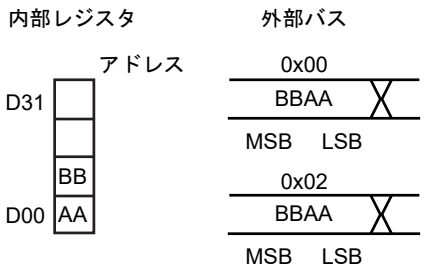


・ 8 ビットバス幅

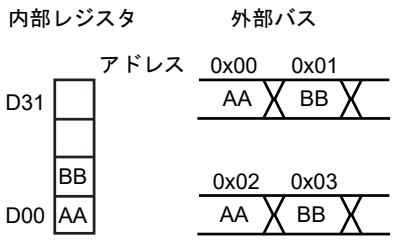


13.4.1.2 ハーフワードアクセス

・ 16 ビットバス幅

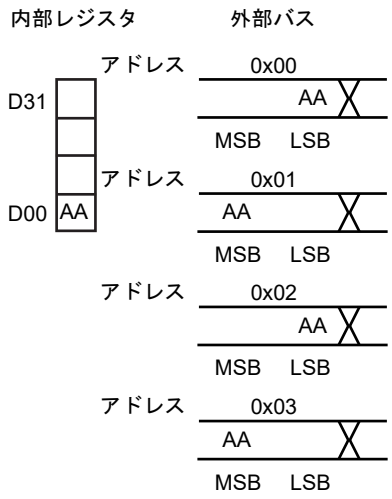


・ 8 ビットバス

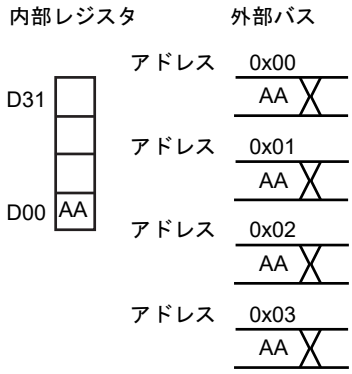


13.4.1.3　バイトアクセス

・　16 ビットバス幅



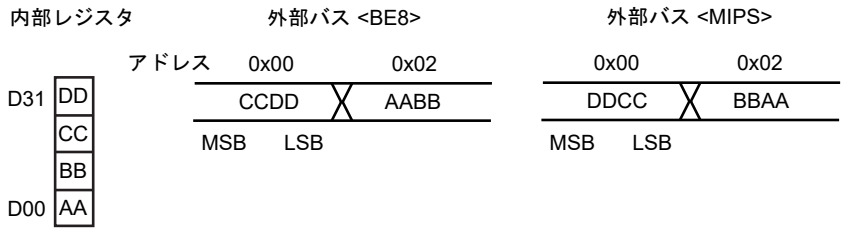
・　8 ビットバス幅



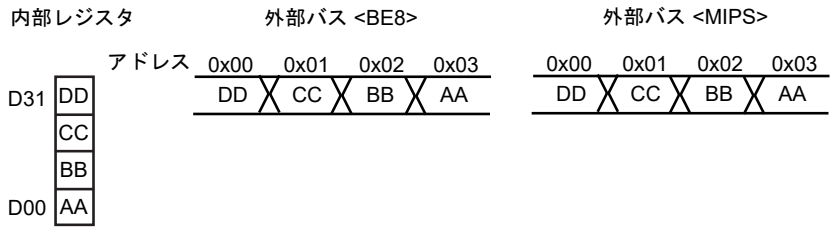
13.4.2 ビッグエンディアンモード

13.4.2.1 ワードアクセス

・ 16 ビットバス幅

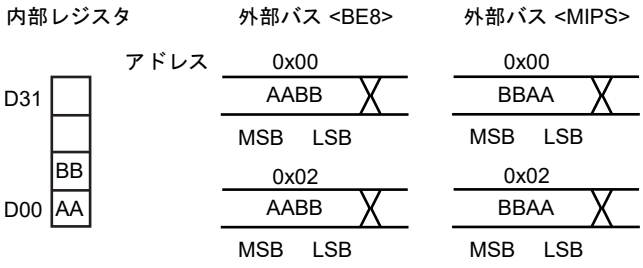


・ 8 ビットバス幅

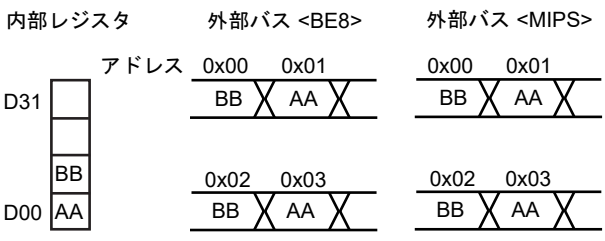


13.4.2.2 ハーフワードアクセス

・ 16 ビットバス幅

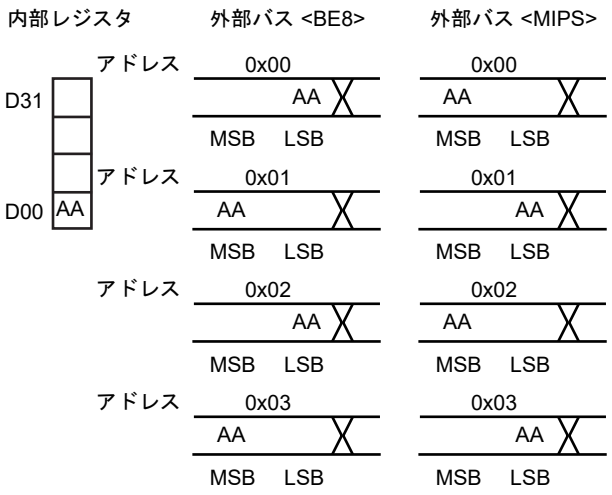


・ 8 ビットバス

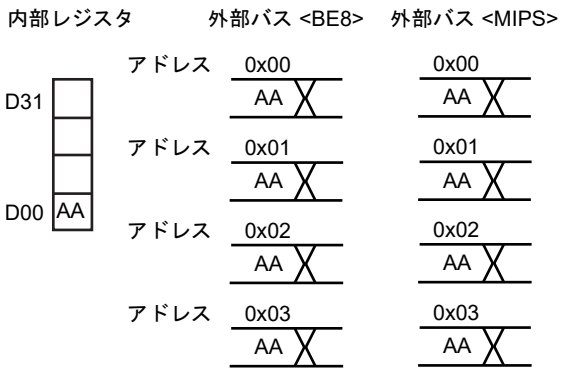


13.4.2.3　バイトアクセス

・　16 ビットバス幅



・　8 ビットバス幅



13.5 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23～A0，D15～D0 を設定したときのものを示しています。

13.5.1 基本バスオペレーション

TMPM440FE/F10XBG の外部バスサイクルは基本 3 クロックです。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。図 13-1 にリードバスタイミングを、図 13-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり $\overline{RD}$、$\overline{WR}$ 端子などの制御信号もアクティブになりません。

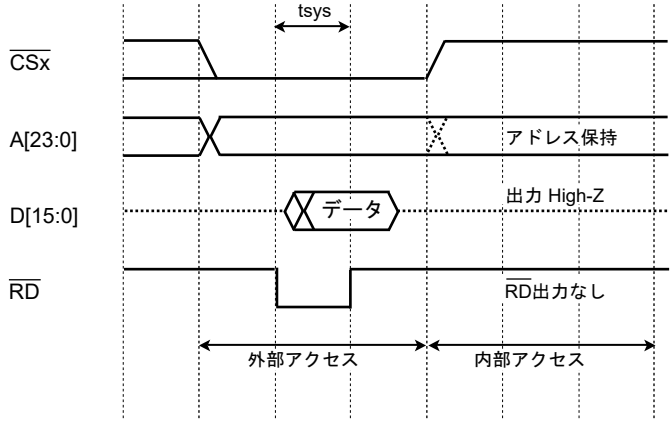


図 13-1 リードオペレーションタイミング

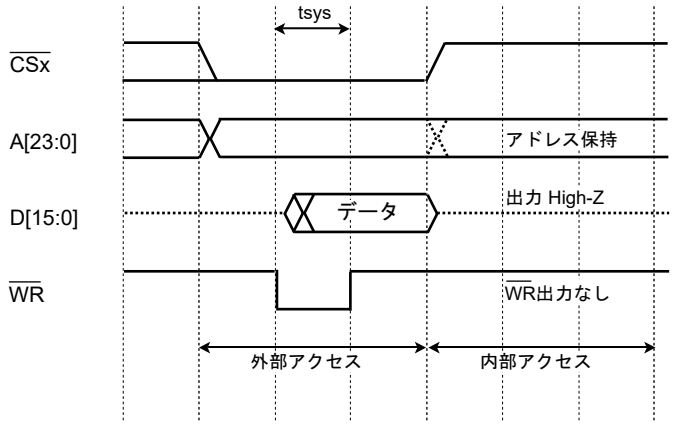


図 13-2 ライトオペレーションタイミング

13.5.2　ウェイトタイミング

内蔵ウェイトコントローラによりチャネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下となります。

・　最大 15 クロックまでの内部ウェイト(自動挿入)

内部ウェイト数の設定は、EXBCS0~1<CSIW[4:0]>で設定します。

図 13-3、図 13-4 に内部ウェイトを挿入したタイミング図を示します。

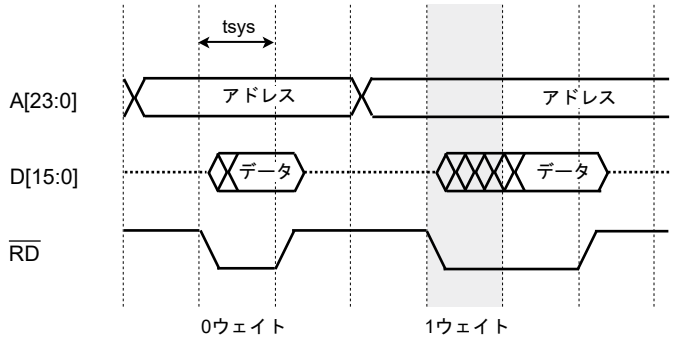


図 13-3 リードオペレーションタイミング (0 ウェイトおよび内部 1 ウェイト)

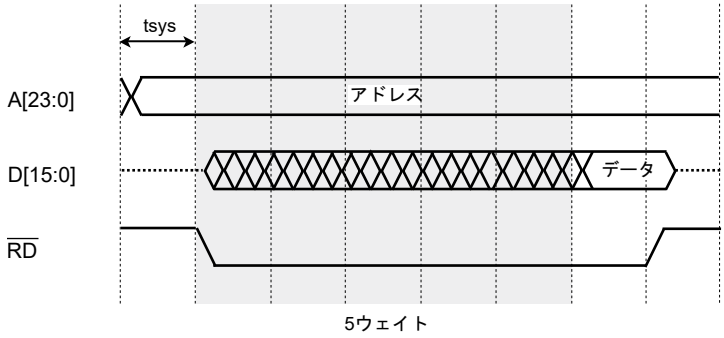


図 13-4 リードオペレーションタイミング (内部 5 ウェイト)

図 13-5、図 13-6 にセパレートバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトオペレーションタイミングを示します。

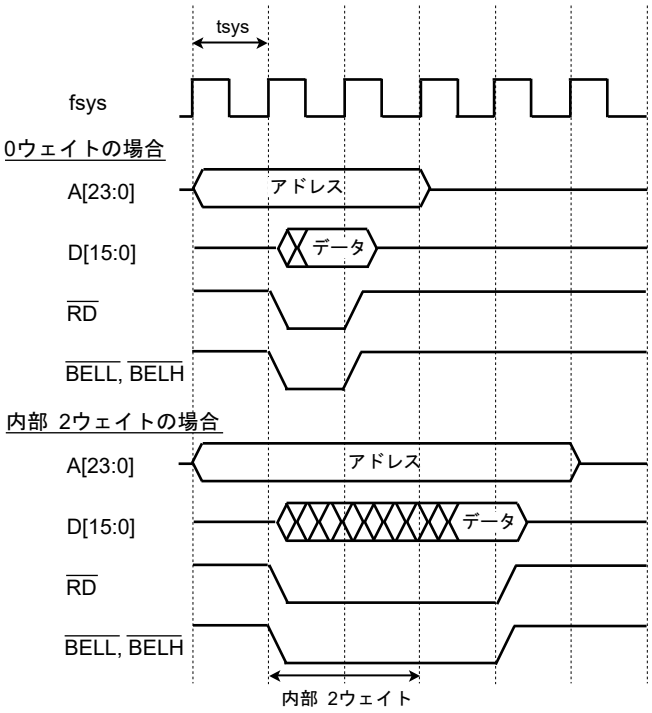


図 13-5 リードオペレーションタイミング

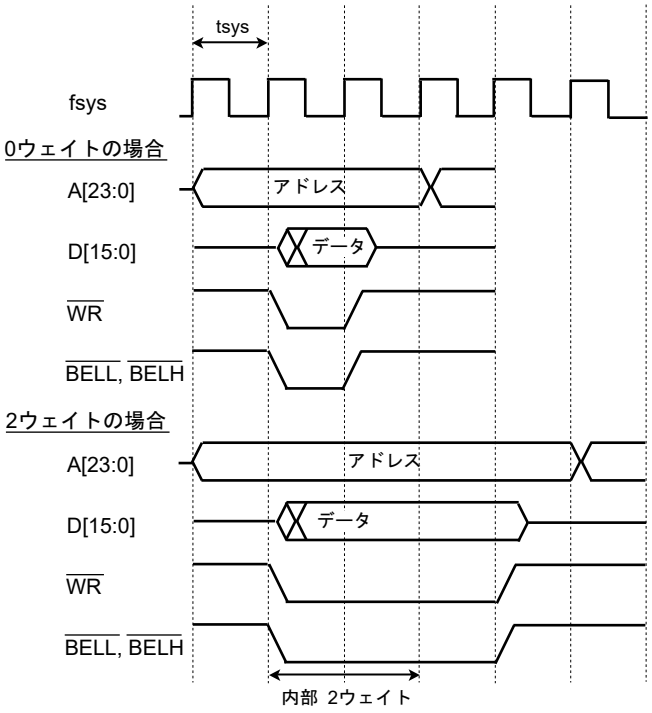


図 13-6 ライトオペレーションタイミング

13.5.3　リード/ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については EXBCS0~1<WRR[2:0]>（ライト・リカバリサイクル）、<RDR[2:0]>（リード・リカバリサイクル）にて設定します。ダミーサイクル数はチャネルごとにダミーサイクル無し、1 ~ 6、および 8 システムクロック（内部）を指定できます。図 13-7 にリカバリタイム挿入時のタイミング図を示します。

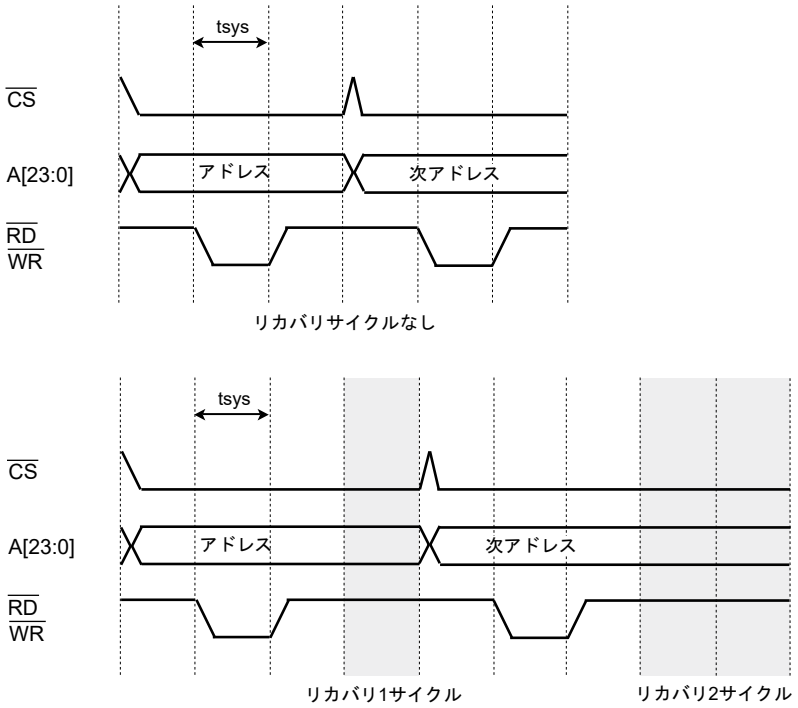


図 13-7 セパレートバスにおけるリカバリタイム挿入時のタイミング

13.5.4 チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については EXBCS0~1<CSR[1:0]>にて設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1、2 および 4 システムクロック（内部）を指定することができます。図 13-8 にリカバリタイム挿入時のタイミング図を示します。

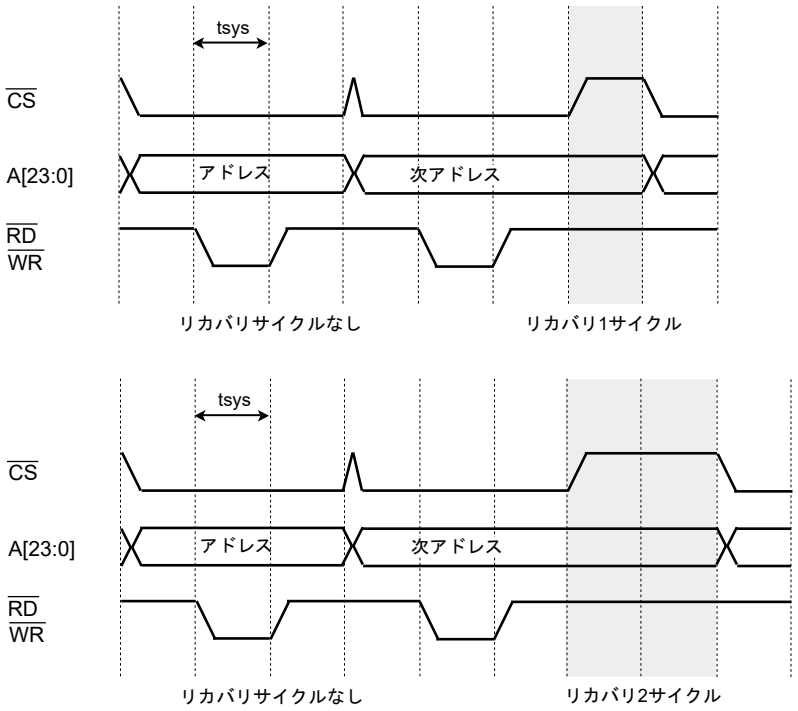


図 13-8 チップセレクトリカバリタイム挿入時のタイミング

13.5.5　リード、ライトセットアップサイクル

内部セットアップコントローラによりチャネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

・　最大 4 クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、EXBCS0~1 の<WRS[1:0]>および<RDS[1:0]>で設定します。図 13-9 にセットアップサイクル挿入時のタイミング図を示します。

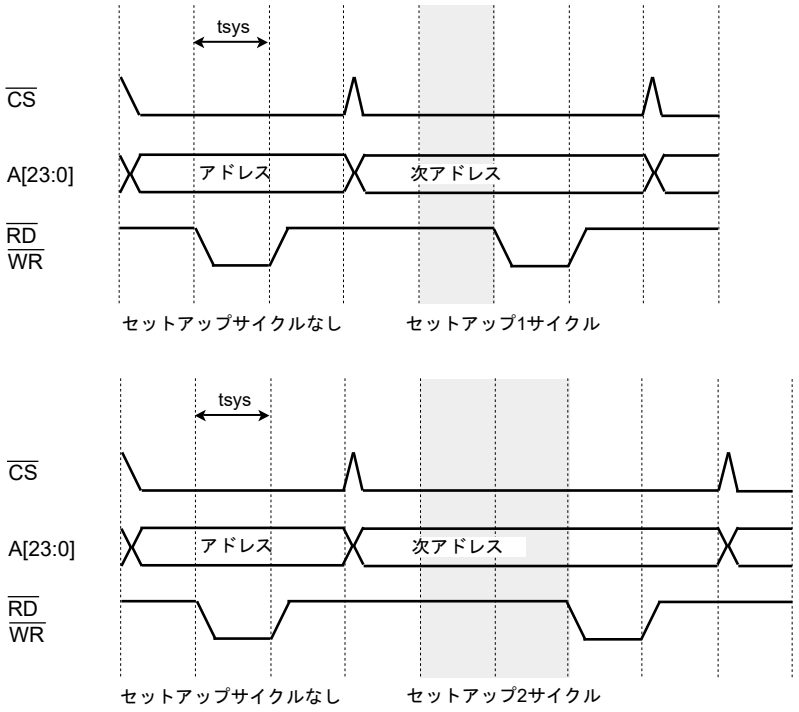


図 13-9 リード、ライトセットアップ挿入時のタイミング

13.6 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23～A16，AD15～AD0 を設定したときのものを示しています。

13.6.1 基本バスオペレーション

TMPM440FE/F10XBG の外部バスサイクルは基本 4 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 13-10 にリードバスタイミングを、図 13-11 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出力しません。またアドレス/データバスはハイインピーダンスになり $\overline{RD}$、$\overline{WR}$ などの制御信号もアクティブになりません。

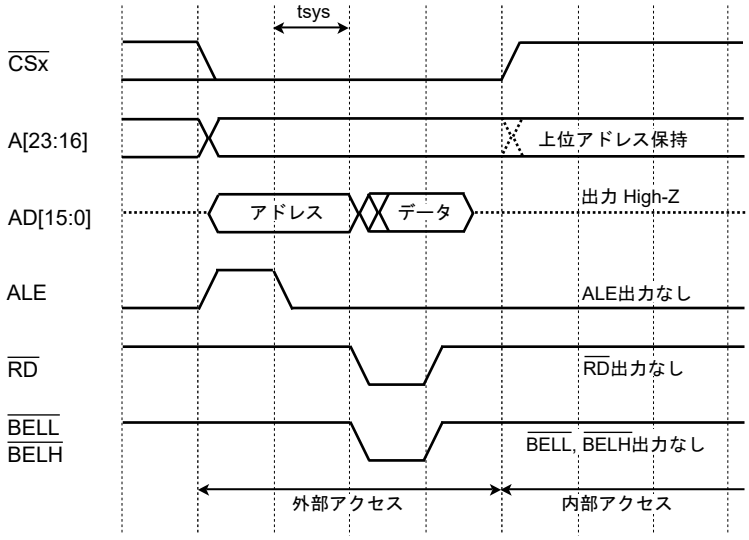


図 13-10 リードオペレーションタイミング

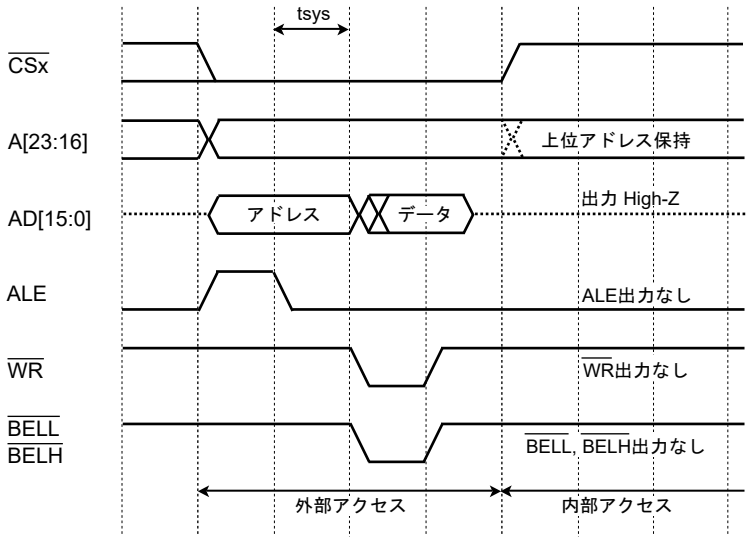


図 13-11 ライトオペレーションタイミング

13.6.2　ウェイトタイミング

内部ウェイトコントローラによりチャネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下となります。

・　最大 15 クロックまでの内部ウェイト(自動挿入)

内部ウェイト数の設定は、EXBCS0~1 の<CSIW[4:0]>で設定します。

図 13-12、図 13-13 にマルチプレスクバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトタイミングを示します。

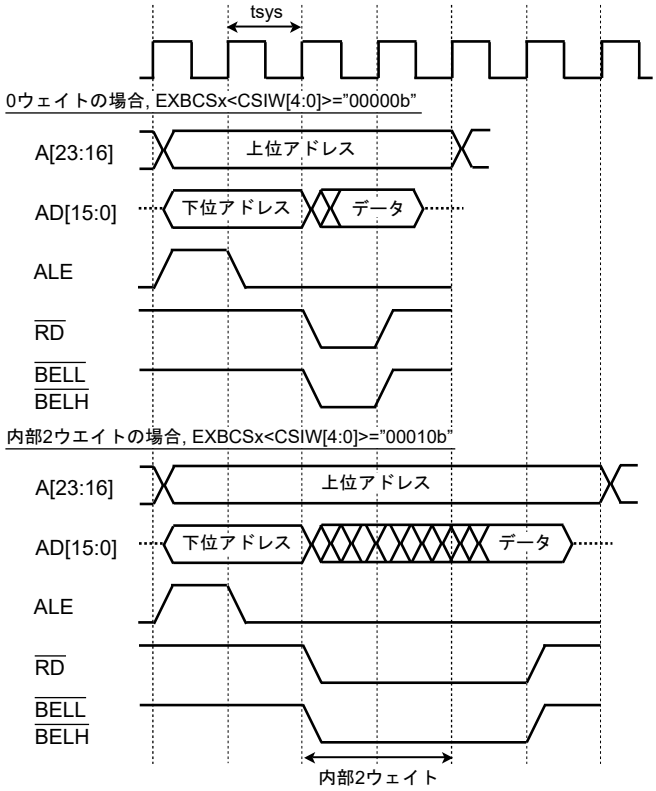


図 13-12 リードオペレーションタイミング

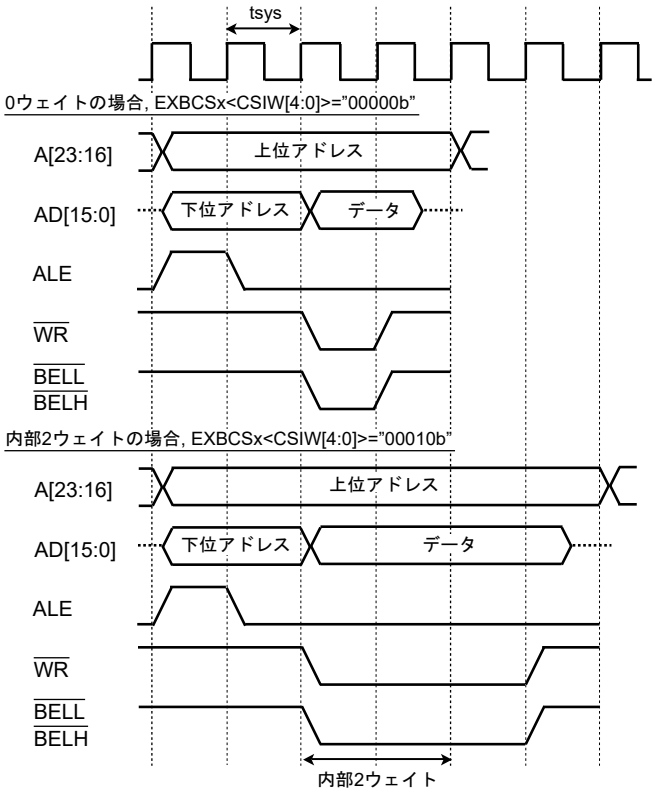


図 13-13 ライトオペレーションタイミング

13.6.3　ALE アサート時間

ALE アサート時間は、1,2,4 システムクロックの中から選択できます。設定用のビットは EXBCS0~1<ALEW[1:0]>にあります。初期設定ではアドレス成立から 2 システムクロック（内部）後に $\overline{RD}$ または $\overline{WR}$ 信号がアサートされます。

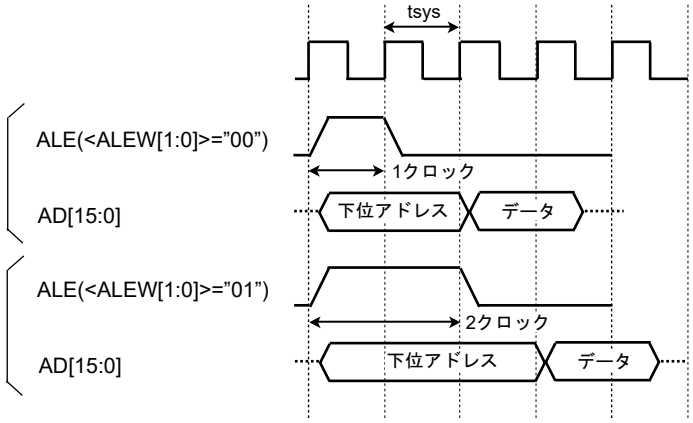


図 13-14 ALE のアサート時間

図 13-15 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

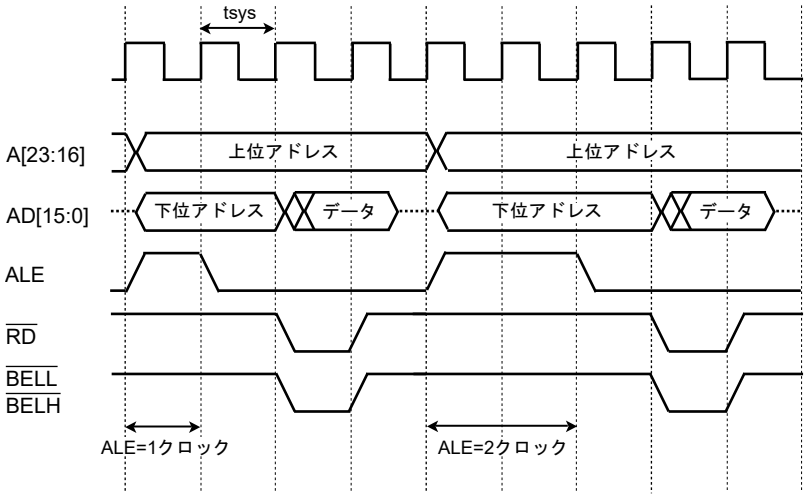


図 13-15 リードオペレーションタイミング (ALE1 クロックおよび 2 クロック)

13.6.4 リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については EXBCS0~1<WRR[2:0]>（ライト・リカバリサイクル）、<RDR[2:0]>（リード・リカバリサイクル）にて設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1～6 システムクロック、および 8 システムクロックを指定することができます。図 13-16 にリカバリタイム挿入時のタイミング図を示します。

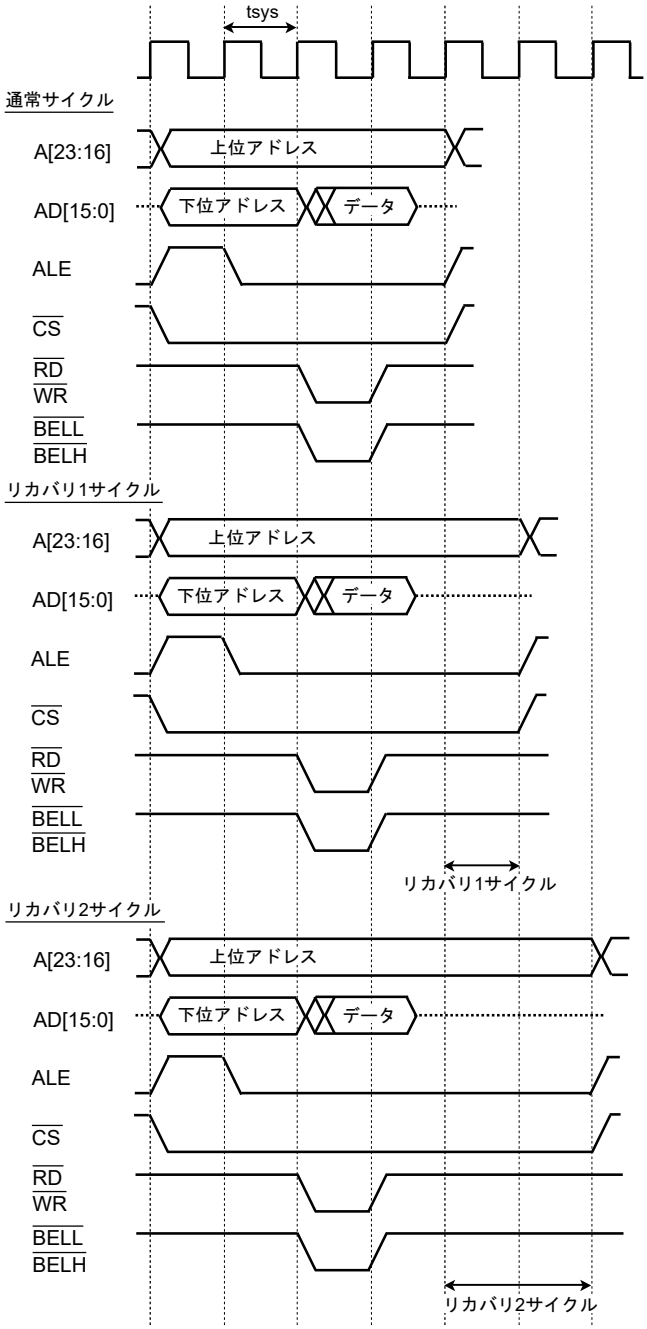


図 13-16 リカバリタイム挿入時のタイミング

13.6.5　チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については EXBCS0~1<CSR[1:0]>にて設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1、2 および 4 システムクロック（内部）を指定することができます。図 13-17 にリカバリタイム挿入時のタイミング図を示します。

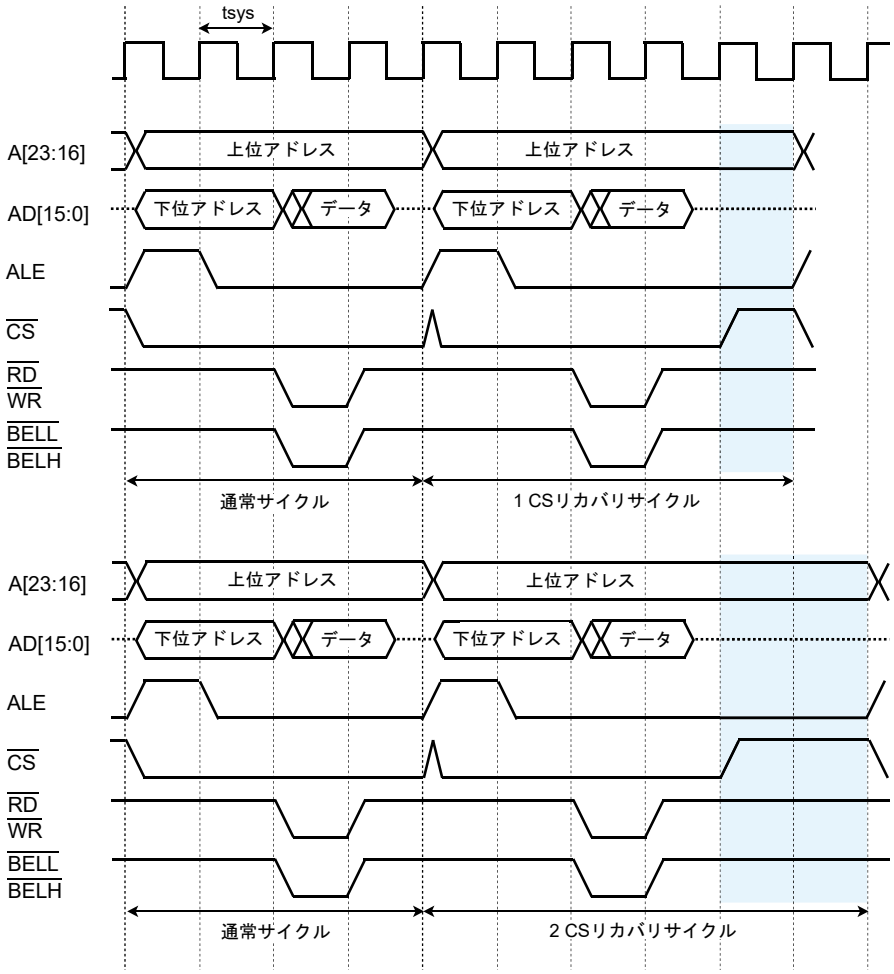


図 13-17 リカバリタイム挿入時のタイミング(ALE 幅:1 クロック)

13.6.6 リード、ライトセットアップサイクル

内部セットアップコントローラによりチャネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

- 最大 4 クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、EXBCS0~1 の<WRS[1:0]>および<RDS[1:0]>で設定します。

図 13-18 にリード、ライトセットアップサイクル挿入時のタイミング図を示します。

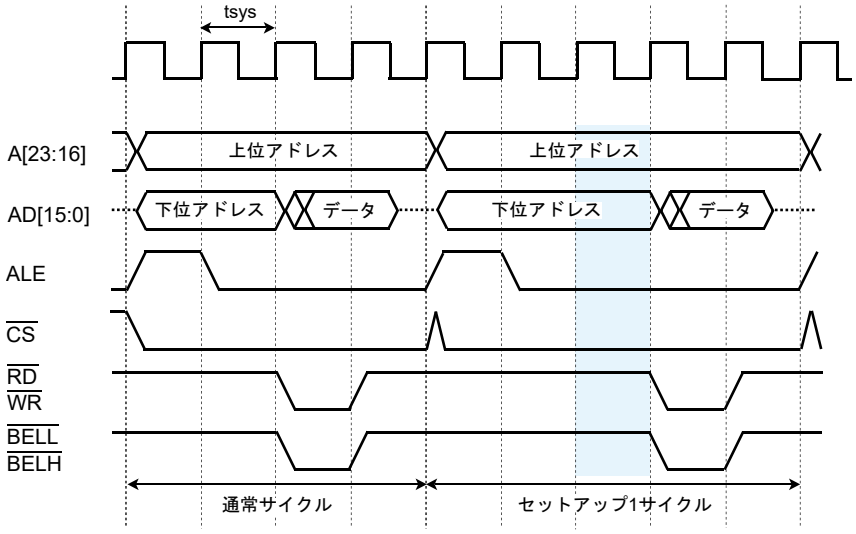


図 13-18 リード、ライトセットアップ挿入時のタイミング

13.7　外部メモリ接続例

下図はセパレートバスモードでの 16 ビット SRAM、16 ビット NOR-Flash との接続例を示しています。

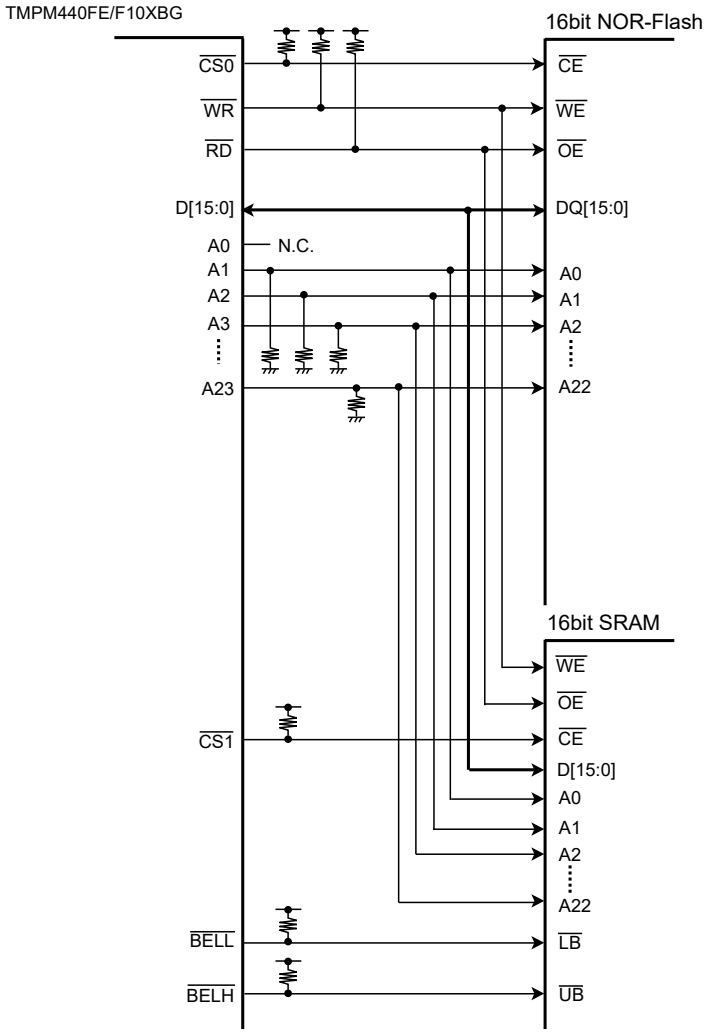


図 13-19 外部 16 ビット SRAM、NOR-Flash 接続例(セパレートバスモード)

下図はマルチプレクスバスモードでの 16 ビット SRAM、16 ビット NOR-Flash との接続例を示しています。

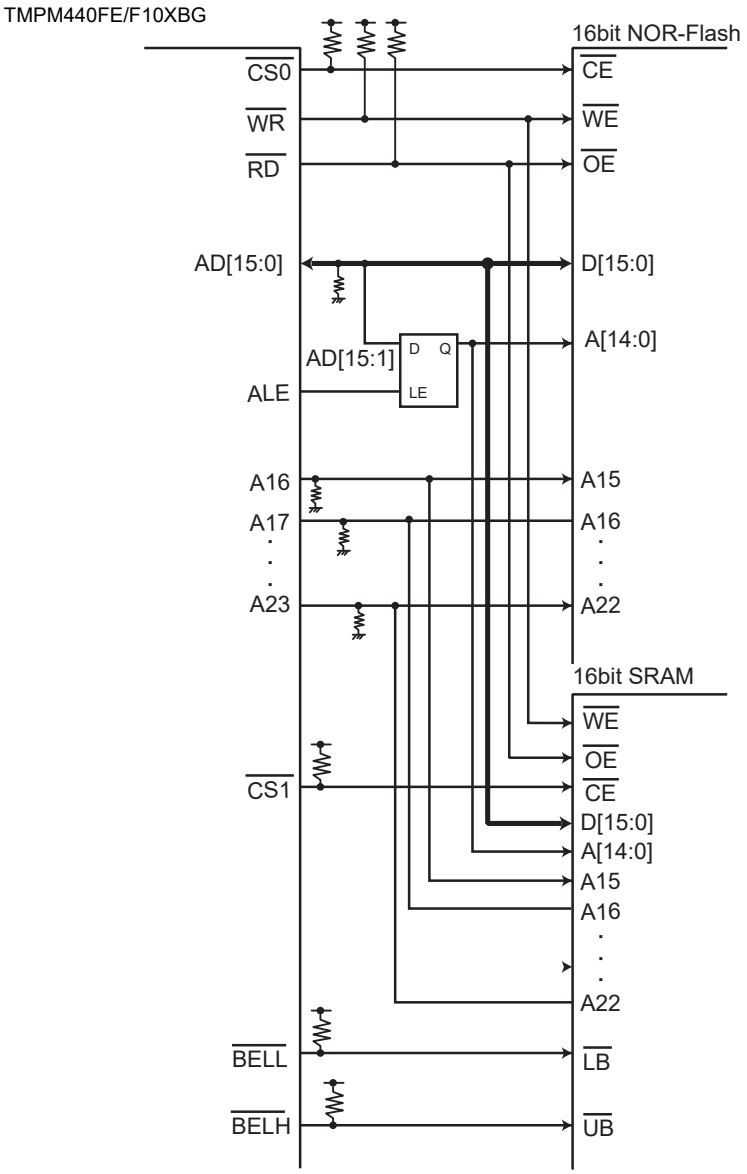


図 13-20 外部 16 ビット SRAM、NOR-Flash 接続例(マルチプレクスバスモード)

第 14 章　DMA コントローラ（DMAC）

14.1　概要

1 ユニットあたりの主な機能を以下に説明します。

表 14-1 DMA 概要

項目	機能		概要
チャネル数	2ch (1 ユニット)		
スタートトリガ	ハードウエアでスタート		周辺 IP の DMA 要求に対応
	ソフトウエアでスタート		DMACxSoftBReq レジスタへのライトで起動
バスマスタ	32bit × 1 (AHB)		
プライオリティ	(高) DMAC ch0 > DMAC ch1 (低い)		ハードウエア固定
FIFO	4word × 2ch		
バス幅	8/16/32bit		転送元側、転送先側で別々に設定可能
バーストサイズ	1/4/8/16/32/64/128/256		
転送回数	~4095 回		
アドレス	転送元アドレス	incr / no-incr	Source と Destination のアドレスは increment するか No-increment (固定) かを選択できます。(アドレス wrapping は非サポート)
	転送先アドレス	incr / no-incr	
エンディアン	リトルエンディアン、ビックエンディアン		
転送タイプ	周辺回路(レジスタ) → メモリ メモリ → 周辺回路(レジスタ) メモリ → メモリ 周辺回路(レジスタ) → 周辺回路(レジスタ)		メモリ → メモリを選択した場合、DMA 起動のハードウエアスタートはサポートしていません。 詳細は DMACCxConfiguration レジスタを参照してください。
割込み機能	転送終了割込み(INTDMACxTC) エラー割込み (INTDMACxERR)		
特殊機能	Scatter/gather 機能		

注)　1 word = 32bit

14.2　DMA 転送タイプ

表 14-2 DMA 転送タイプ

<table>
<tr><th>No.</th><th>DMA 転送タイプ</th><th>DMA 要求元</th><th>受付可能な DMA 要求の種類</th><th>説明</th></tr>
<tr><td>1</td><td>Memory to Peripheral</td><td>Peripheral (Destination)</td><td>バースト要求</td><td>Word の転送要求の場合、DMA のバーストサイズを 1 に設定して下さい</td></tr>
<tr><td>2</td><td>Peripheral to Memory</td><td>Peripheral (Source)</td><td>バースト要求 / シングル要求</td><td>データの総転送サイズが、バーストサイズの整数倍でない時、バースト要求とシングル要求の両方を使用することができます。
データの総転送サイズ ≥ バーストサイズのときには、シングル要求は無視されバースト転送が行われます。
総転送サイズ < バーストサイズ時となったときには、シングル転送が行われます。</td></tr>
<tr><td>3</td><td>Memory to Memory
注)</td><td>DMAC</td><td>−</td><td>DMA 要求なしで、DMA を Enable にするとデータ転送が開始します。
(Mem to Mem を選択し、 DMACxCnConfiguration<E>を "1"に設定します。)
全てのデータ転送が終了するか、DMAC を disabled にすると停止します。</td></tr>
<tr><td rowspan="2">4</td><td rowspan="2">Peripheral to Peripheral</td><td>Peripheral (Source)</td><td>バースト 要求 / シングル要求</td><td rowspan="2"><table><tr><th>転送サイズ</th><th>Source</th><th>Destination</th></tr><tr><td>(1)バーストサイズの整数倍</td><td>バースト要求</td><td>バースト要求</td></tr><tr><td>(2)バーストサイズの非整数倍</td><td>バースト要求 / シングル要求</td><td>-</td></tr></table></td></tr>
<tr><td>Peripheral (Destination)</td><td>バースト要求</td></tr>
</table>

注)　推奨：メモリ → メモリを使用して、(大量)データを転送する場合、低い Priority のチャネル(DMAC チャネル 1)を使用することによって、転送途中でも他の AHB マスタがバス権を取ることが可能です。DMAC チャネル 1 以外のチャネルを使用する場合は転送終了まで待つ必要があります。

14.3 ブロック図

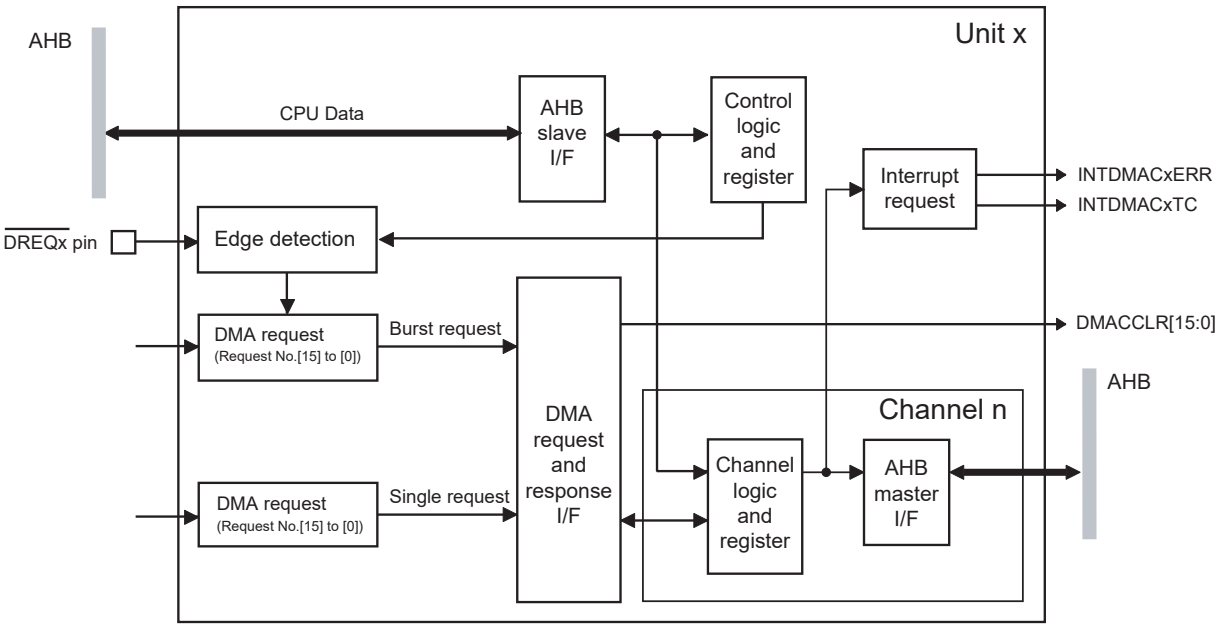


図 14-1 DMAC ブロック図

14.4　レジスタ説明

14.4.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
DMAC Interrupt Status Register	DMACxIntStatus	0x0000
DMAC Interrupt Terminal Count Status Register	DMACxIntTCStatus	0x0004
DMAC Interrupt Terminal Count Clear Register	DMACxIntTCClear	0x0008
DMAC Interrupt Error Status Register	DMACxIntErrorStatus	0x000C
DMAC Interrupt Error Clear Register	DMACxIntErrClr	0x0010
DMAC Raw Interrupt Terminal Count Status Register	DMACxRawIntTCStatus	0x0014
DMAC Raw Error Interrupt Status Register	DMACxRawIntErrorStatus	0x0018
DMAC Enabled Channel Register	DMACxEnbldChns	0x001C
DMAC Software Burst Request Register	DMACxSoftBReq	0x0020
DMAC Software Single Request Register	DMACxSoftSReq	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
DMAC Configuration Register	DMACxConfiguration	0x0030
Reserved	-	0x0034
DMAC Channel0 Source Address Register	DMACxC0SrcAddr	0x0100
DMAC Channel0 Destination Address Register	DMACxC0DestAddr	0x0104
DMAC Channel0 Linked List Item Register	DMACxC0LLI	0x0108
DMAC Channel0 Control Register	DMACxC0Control	0x010C
DMAC Channel0 Configuration Register	DMACxC0Configuration	0x0110
DMAC Channel1 Source Address Register	DMACxC1SrcAddr	0x0120
DMAC Channel1 Destination Address Register	DMACxC1DestAddr	0x0124
DMAC Channel1 Linked List Item Register	DMACxC1LLI	0x0128
DMAC Channel1 Control Register	DMACxC1Control	0x012C
DMAC Channel 1 Configuration Register	DMACxC1Configuration	0x0130

注 1)　上記レジスタはワード（32bit）アクセスのみとなります。

注 2)　"Reserved"表記のアドレスにはアクセスしないでください。

注 3)　チャネルごとにレジスタが用意されているものに関しては、チャネルの構造が同じ場合、レジスタ詳細説明において、ユニット名をあらわす部分を"x"、チャネル番号をあらわす部分を"n"で表現しています。

注 4)　チャネルごとに用意されているレジスタへの Write の後にチャネルごとに用意されていないレジスタを Read する場合、命令の間を 1 サイクル以上あけるか、2 回 Read してください。

14.4.2 DMACxIntStatus (DMAC Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntStatus1	IntStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntStatus1	R	DMAC チャネル 1 の割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送終了割り込み、エラー割り込みのどちらでも"1"にセットされます。
0	IntStatus0	R	DMAC チャネル 0 の割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送終了割り込み、エラー割り込みのどちらでも"1"にセットされます。

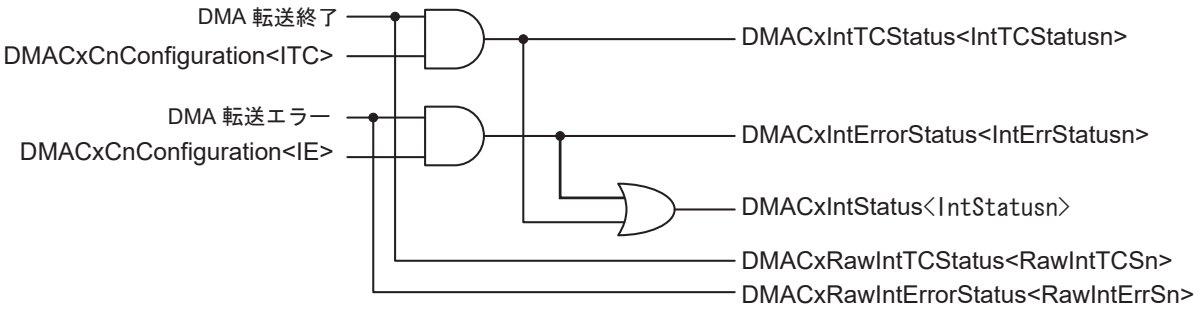


図 14-2 割り込みステータスブロック図

14.4.3　DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCStatus1	IntTCStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntTCStatus1	R	DMAC チャネル 1 の転送終了割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 許可後の転送終了割込み発生状態を示します。
0	IntTCStatus0	R	DMAC チャネル 0 の転送終了割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 許可後の転送終了割込み発生状態を示します。

14.4.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCClear1	IntTCClear0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntTCClear1	W	DMAC チャネル 1 の転送終了割込みクリア 0 : 無効 1 : クリア "1"をライトすると DMACxIntTCStatus<IntTCStatus1>がクリアされます。
0	IntTCClear0	W	DMAC チャネル 0 の転送終了割込みクリア 0 : 無効 1 : クリア "1"をライトすると DMACxIntTCStatus<IntTCStatus0>がクリアされます。

14.4.5　DMACxIntErrorStatus (DMAC Interrupt Error Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrStatus1	IntErrStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntErrStatus1	R	DMAC チャネル 1 のエラー割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 許可後のエラー割込み発生状態を示します。
0	IntErrStatus0	R	DMAC チャネル 0 のエラー割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 許可後のエラー割込み発生状態を示します。

14.4.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrClr1	IntErrClr0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	IntErrClr1	W	DMAC チャネル 1 のエラー割込みクリア 0 : 無効 1 : クリア "1"をライトすると DMACIntErrorStatus<IntErrStatus1>がクリアされます。
0	IntErrClr0	W	DMAC チャネル 0 のエラー割込みクリア 0 : 無効 1 : クリア "1"をライトすると DMACIntErrorStatus<IntErrStatus0>がクリアされます。

14.4.7　DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntTCS1	RawIntTCS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	RawIntTCS1	R	DMAC チャネル 1 の許可前転送終了割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 許可前の転送終了割込み発生状態を示します。
0	RawIntTCS0	R	DMAC チャネル 0 の許可前転送終了割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り 許可前の転送終了割込み発生状態を示します。

14.4.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntErrS1	RawIntErrS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	RawIntErrS1	R	DMAC チャネル 1 の許可前エラー割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り
0	RawIntErrS0	R	DMAC チャネル 0 の許可前エラー割込み発生状態 0 : 割込み要求無し 1 : 割込み要求有り

14.4.9　DMACxEnbldChns (DMAC Enabled Channel Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EnabledCH1	EnabledCH0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	EnabledCH1	R	DMAC チャネル 1 の許可状態 0 : DMA 転送終了時クリア 1 : チャネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる）クリアされます。
0	EnabledCH0	R	DMAC チャネル 0 の許可状態 0 : DMA 転送終了時クリア 1 : チャネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる）クリアされます。

14.4.10 DMACxSoftBReq (DMAC Software Burst Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftBReq15	SoftBReq14	SoftBReq13	SoftBReq12	SoftBReq11	SoftBReq10	SoftBReq9	SoftBReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftBReq7	SoftBReq6	SoftBReq5	SoftBReq4	SoftBReq3	SoftBReq2	SoftBReq1	SoftBReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0"をライトしてください。
15-0	SoftBReq[15:0]	R/W	ソフトウエアによる DMA バースト要求の発生 ソフトウエアによる DMA バースト転送要求を設定します。ソフトウエアによる DMA バースト転送が終了すると該当ビットがクリアされます。 リード時　0 : DMA バースト停止中 1 : DMA バースト実行中 ライト時　0 : 無効 1 : DMA バースト要求の発生

注)　同時にソフトウエアとハードウエアペリフェラルによる DMA 要求を実施しないでください。

14.4.11　DMACxSoftSReq (DMAC Software Single Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftSReq15	SoftSReq14	SoftSReq13	SoftSReq12	SoftSReq11	SoftSReq10	SoftSReq9	SoftSReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftSReq7	SoftSReq6	SoftSReq5	SoftSReq4	SoftSReq3	SoftSReq2	SoftSReq1	SoftSReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	W	"0"をライトしてください。
15-0	SoftSReq[15:0]	R/W	ソフトウエアによる DMA シングル要求の発生 ソフトウエアによる DMA シングル転送要求を設定します。ソフトウエアによる DMA シングル転送が終了すると該当ビットがクリアされます。 リード時　0 : DMA シングル停止中 1 : DMA シングル実行中 ライト時　0 : 無効 1 : DMA シングル要求の発生

注)　同時にソフトウエアとハードウエアペリフェラルによる DMA 要求を実施しないでください。

14.4.12 DMACxConfiguration (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	M	E
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	W	"0"をライトしてください。
1	M	R/W	DMA エンディアンコンフィギュレーション 0 : リトルエンディアン 1: ビックエンディアン
0	E	R/W	DMA 回路制御 0 : 停止 1 : 動作 DMA 回路が停止している場合、DMA 回路のレジスタへの書き込み、読み出しはできません。DMA を動作させる場合には常に<E>="1"を設定してください。

14.4.13　DMACxCnSrcAddr (DMAC Channeln Source Address Register)

	31	30	29	28	27	26	25	24
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SrcAddr[31:0]	R/W	DMA 転送元アドレスの設定 設定する前には転送元のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送元のビット幅の設定により、以下の制約があります。

転送元のビット幅 DMACxCnControl<Swidth[2:0]>	最下位アドレスの設定
000　:バイト(8 ビット)	制約なし
001　:ハーフワード(16 ビット)	2 の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC…)になるように設定
010　:ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC…)になるように設定

チャネル n を許可(DMACxCnConfiguration<E>="1")すると、レジスタに記述された内容が更新されますので、チャネルを許可する前に DMACxCnSrcAddr を設定してください。

DMA が動作中の場合、DMACxCnSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

また、転送中に DMACxCnSrcAddr をアップデートしないでください。DMACxCnSrcAddr を変更する場合には必ずチャネル n を禁止(DMACxCnConfiguration<E>="0")に設定後、変更してください。

14.4.14 DMACxCnDestAddr (DMAC Channeln Destination Address Register)

	31	30	29	28	27	26	25	24
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	DestAddr[31:0]	R/W	DMA 転送先アドレスの設定 設定する前には転送先のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送先のビット幅の設定により、以下の制約があります。

転送先のビット幅 DMACxCControl<Dwidth[2:0]>	最下位アドレスの設定
000 :バイト(8 ビット)	制約なし
001 :ハーフワード(16 ビット)	2 の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC…)になるように設定
010 :ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC…)になるように設定

転送中に DMACxCnDestAddr をアップデートしないでください。DMACxCnDestAddr を変更する場合には必ずチャネルを禁止(DMACxCnConfiguration<E>="0")に設定後、変更してください。

14.4.15　DMACxCnLLI (DMAC Channelx Linked List Item Register)

	31	30	29	28	27	26	25	24
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LLI						-	-
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
31-2	LLI[29:0]	R/W	次の転送情報の先頭アドレスを設定 設定値は 0xFFFF_FFF0 以内で設定してください。 <LLI>="0"のとき、LLI が最後のチェーンであり、DMA 転送終了後、DMA チャネルが禁止になります。
1-0	-	W	"0"をライトしてください。

<LLI>動作の詳細については「14.5 特殊機能」を参照してください。

14.4.16 DMACxCnControl (DMAC Channeln Control Register)

	31	30	29	28	27	26	25	24
bit symbol	I	-	-	-	DI	SI	-	-
リセット後	0	不定	不定	不定	0	0	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	Dwidth			Swidth			DBSize	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DBSize	SBSize			TransferSize			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TransferSize							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	I	R/W	転送割り込み許可ビット (Scatter/gather 機能使用時に有効) 0 : 禁止 1 : 許可 <I>="1"かつ DMACxCnConfiguration<ITC>="1"の設定で、転送終了割り込みが発生します。Scatter/gather 機能使用時に、最終転送の DMAC 設定フロー内で、本ビットを'1'にすることで、最終転送時にのみ転送終了割り込みを発生することが可能になります。通常転送時に割り込みを発生させたいときには、本ビットも"1"に設定し Enable 状態にする必要があります。
30-28	-	W	"0"をライトしてください。
27	DI	R/W	転送先アドレスインクリメント 0 : アドレス固定 1 : インクリメント
26	SI	R/W	転送元アドレスインクリメント 0 : アドレス固定 1 : インクリメント
25-24	-	W	"0"をライトしてください。
23-21	Dwidth[2:0]	R/W	転送先ビット幅 000 : バイト(8 ビット) 001 : ハーフワード(16 ビット) 010 : ワード(32 ビット) 上記以外 : Reserved
20-18	Swidth[2:0]	R/W	転送元ビット幅 000 : バイト(8 ビット) 001 : ハーフワード(16 ビット) 010 : ワード(32 ビット) 上記以外 : Reserved
17-15	DBSize[2:0]	R/W	転送先バーストサイズ(注) 000: 1 ビート 100: 32 ビート 001: 4 ビート 101: 64 ビート 010: 8 ビート 110: 128 ビート 011: 16 ビート 111: 256 ビート
14-12	SBSize[2:0]	R/W	転送元バーストサイズ(注) 000: 1 ビート 100: 32 ビート 001: 4 ビート 101: 64 ビート 010: 8 ビート 110: 128 ビート 011: 16 ビート 111: 256 ビート

Bit	Bit Symbol	Type	機能
11-0	TransferSize [11:0]	R/W	総転送回数の設定 転送元ビット幅で定義された幅（4byte/2byte/1byte）単位のデータの、転送したい総回数を設定します。 バーストサイズは、内部動作の DMA 要求毎に一度に転送されるデータ量のみを示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。 この値は DMAC 転送の実施に伴い、"0"までデクリメントします。 転送実行時はリードすると未転送回数が読み出され、転送停止時は"0"が読み出されます。 総転送回数は転送元ビット幅の単位になります。 例えば、 <Swidth>="000"（8bit)の場合、転送回数は byte 単位 <Swidth>="001"（16bit)の場合、転送回数は half word 単位 <Swidth>="010"（32bit)の場合、転送回数は word 単位

<Dwidth[2:0]> / <Swidth[2:0]>	以下の計算式を満たすように設定してください。 転送元ビット幅 × 総転送回数＝転送先ビット幅 ×N (N：整数) (例 1)転送元ビット幅:8 ビット、転送先ビット幅:32 ビット、総転送回数:25 回の場合 8 ビット × 25 回 = 200 ビット(25 バイト) N = 200 ÷ 32 = 6.25 ワード 6.25 は整数でないことから、上記設定は出来ません。 転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。 (例 2)転送元ビット幅:32 ビット、転送先ビット幅:16 ビット、総転送回数:13 回の場合 32 ビット × 13 回 = 416 ビット(13 ワード) N = 416 ÷ 16 = 26 ハーフワード 26 は整数の為、問題ありません。
<DBSize[2:0]> / <SBSize[2:0]>	「周辺回路→メモリ」や、「メモリ→周辺回路」の転送の場合、周辺回路は転送準備が整った事を示す DMA 要求信号を発生し、この信号をトリガに複数回実行されます（「メモリ→メモリ」転送の場合は、ソフトスタートのみです）。 周辺回路からの、DMA 要求信号ごとに転送されるデータ量を、バーストサイズで設定し、FIFO バッファなどの複数のデータを格納できる周辺回路の場合に使用します。

注)　DBsize および SBsize で設定するバーストサイズは AHB バスの HBURST とは関係ありません。

14.4.17 DMACxCnConfiguration (DMAC Channeln Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	Halt	Active	Lock
リセット後	不定	不定	不定	不定	不定	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ITC	IE	FlowCntrl			-	DestPeripheral	
リセット後	0	0	0	0	0	不定	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestPeripheral		-	SrcPeripheral				E
リセット後	0	0	不定	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	W	"0"をライトしてください。
18	Halt	R/W	DMA 要求受付制御 0 : DMA 要求 受付 1 : DMA 要求 無視
17	Active	R	チャネル FIFO 内のデータの有無 0 : FIFO 内にデータなし 1 : FIFO 内にデータあり
16	Lock	R/W	ロック転送設定（不分割転送） 0 : ロック転送 禁止 1 : ロック転送 許可 (注3) ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。
15	ITC	R/W	転送終了割込み許可 0 : 割込み禁止 1 : 割込み許可 <ITC> = 1 かつ、DMACxCnControl<I> = 1、の設定で、転送終了割り込みが発生します。
14	IE	R/W	エラー割込み許可 0 : 割込み禁止 1 : 割込み許可
13-11	FlowCntrl[2:0]	R/W	転送方式設定ビット(注 1)
10	-	W	"0"をライトしてください。
9-6	DestPeripheral [3:0]	R/W	転送先 DMA 要求番号 要求番号は「表 2-4 DMAリクエスト番号」を参照してください 転送先が Memory の場合はこの設定は無視されます
5	-	W	"0"をライトしてください。

<FlowCntrl[2:0]> の設定値	転送方式
000:	メモリ → メモリ
001:	メモリ → 周辺回路
010:	周辺回路 → メモリ
011:	周辺回路 → 周辺回路
100~111:	Reserved

Bit	Bit Symbol	Type	機能
4-1	SrcPeripheral [3:0]	R/W	転送元 DMA 要求番号 要求番号は「表 2-4 DMA リクエスト番号」を参照してください 転送元が Memory の場合はこの設定は無視されます.
0	E	R/W	チャネルイネーブル 0 : 禁止 1 : 許可 このビットでチャネルを Enable/Disable できます。(メモリ → メモリを選択している場合、転送開始ビットとして動作します。) DMACxCnControl の総転送回数を全て、転送（値が 0 になる）終了すると、対象のチャネルは自動的にクリアされます。 転送中に Disable を実行すると、チャネル FIFO のデータが消失してしまいますので、再スタートする場合はチャネルをすべて初期化して、スタートしてください。 もし、一時的に停止したい場合は、<Halt>ビットで DMA 要求を停止して、<Active>ビットを"0"になるまでポーリングした後、<E>ビットでチャネルを Disable してください。

注 1)　メモリ→ メモリを選択した場合、DMA 起動のハードウエアスタートはサポートしていません。<E>= 1 をライトすることで転送を開始します。

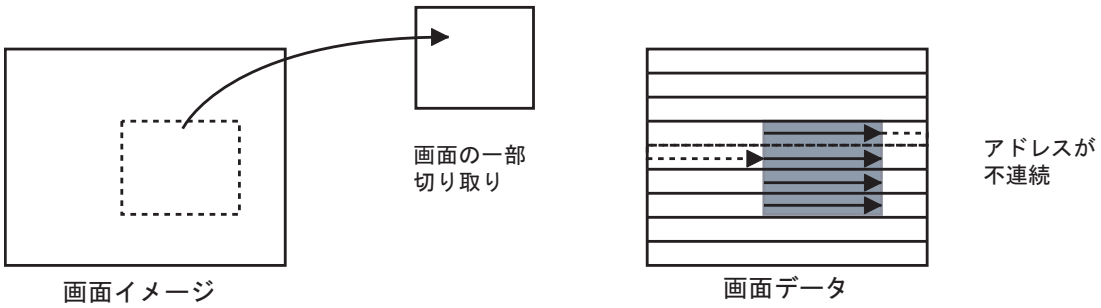
注 2)　DMACxEnableChns<EnabledCHx>がイネーブルの時に、対応する DMACxCnConfiguration<Halt>を”1”にする書込み実施時には、チャンネルイネーブルビット(E：bit0）を先に 0：禁止にしてから、書込みを行って下さい。 上記を行わずに、書込みを行った場合にスレーブエラーが発生した場合は、リセット処理でのみで復帰が可能です。スレーブエラーとは、転送幅/アドレスなどに不整合がある場合に発生するエラーです。

注 3)　ロック転送を行うには下記の条件を満たす必要があります。
a）転送元と転送先のビット幅が同じ
b）転送元のバーストサイズは4以上

14.5 特殊機能

14.5.1 Scatter/gather 機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ない DMA では、アドレスが変化する箇所で、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された"Linked list"を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定（転送元アドレス、転送先アドレス、転送回数、転送バス幅）を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに"Linked list"のアドレスをセットすることで動作の許可／停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。

1. DMACxCnSrcAddr
2. DMACxCnDestAddr
3. DMACxCnLLI
4. DMACxCnControl

割り込み動作との併用も可能です。

DMACxCnControl<I>=1、かつ、DMACxCnConfiguration<ITC>=1 の設定で、DMA 転送終了割り込みが発生します。

Scatter/gather 機能使用時、DMA 最終転送の時のみ、終了割り込みを発生させたい場合は、DMACxCnControl<I>=0、かつ、DMACxCnConfiguration<ITC>=1 にて転送を開始し、最終回の DMA 転送設定フロー内で、<I>=1 にすることで、最終転送でのみ転送終了割り込みを発生することが可能になります。このビットを利用することで、LLI を使った転送途中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACxIntTCClear レジスタの対応ビット を制御します。

14.5.2　Linked list 動作

Scatter/gather 機能を動作させるには、まず 一連の Linked List を作成し、転送元と転送先のデータエリアを定義する必要があります。

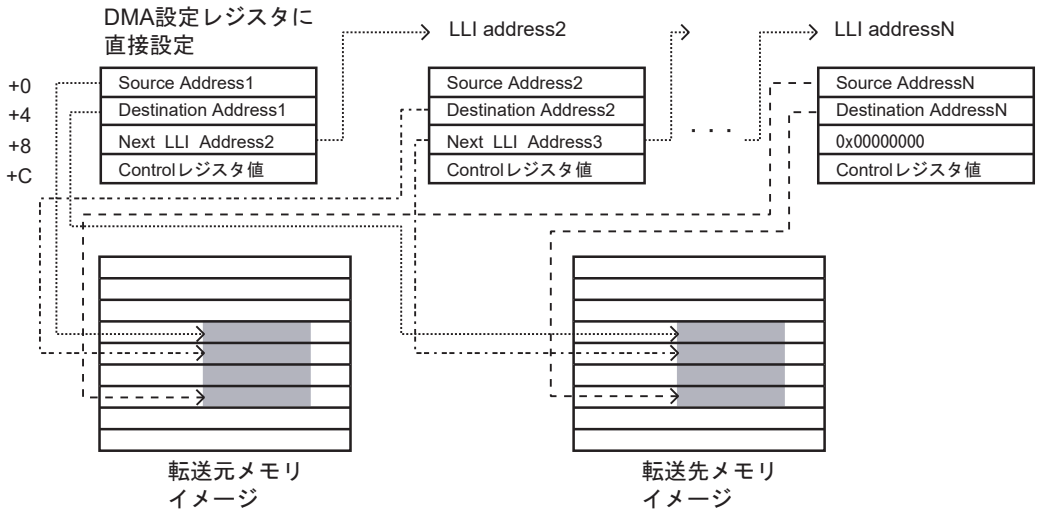
各々の設定を LLI（LinkedList）と呼びます。

LLI は、1 ブロック分のデータ転送を制御しています。 1 回の LLI は通常の DMA 設定を示し、連続データの転送制御を行っています。 1 回の DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続（Daisy Chain）をすることが出来ます。

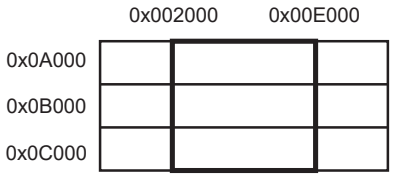
注)　ビックエンディアン設定にて Scatter/gather 機能を使用する場合、LinkedList の設定値はリトルエンディアンで配置してください。

以下に、設定例を示します。

1. 1 番最初の DMA 転送設定は、DMA のレジスタに直接設定します。
2. 2 番目の DMA 転送以降は、"next LLI AddressX" に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、"next LLI AddressX"を 0x0000_0000 と設定します。

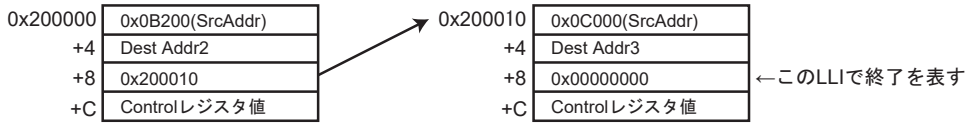


転送元メモリイメージの四角で囲まれたエリアを転送する場合



	設定レジスタ	設定項目
+0	DMACxCnSrcAddr	:0x0A200
+4	DMACxCnDestAddr	:転送先アドレス 1
+8	DMACxCnLL	:0x200000
+C	DMACxCnControl	:バースト転送回数,転送回数などを設定

Linked List



第 15 章　入出力ポート

15.1　ポート機能

15.1.1　機能一覧

ポートは、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 15-1 にポート機能の一覧を示します。

表 15-1 ポート機能一覧(ポート A ~ ポート AJ)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィルタ	プログラマブル Open-drain	機能端子名
ポート A	PA0	I/O	Pull-up	–	–	–	PA0/D0/AD0/PSCPTIO0
	PA1	I/O	Pull-up	–	–	–	PA1/D1/AD1/PSCPTIO1
	PA2	I/O	Pull-up	–	–	–	PA2/D2/AD2/PSCPTIO2
	PA3	I/O	Pull-up	–	–	–	PA3/D3/AD3/PSCPTIO3
	PA4	I/O	Pull-up	–	–	–	PA4/D4/AD4/PSCPTIO4
	PA5	I/O	Pull-up	–	–	–	PA5/D5/AD5/PSCPTIO5
	PA6	I/O	Pull-up	–	–	–	PA6/D6/AD6/PSCPTIO6
	PA7	I/O	Pull-up	–	–	–	PA7/D7/AD7/PSCPTIO7
ポート B	PB0	I/O	Pull-up	–	–	–	PB0/D8/AD8/TB12IN0
	PB1	I/O	Pull-up	–	–	–	PB1/D9/AD9/TB12IN1
	PB2	I/O	Pull-up	–	–	–	PB2/D10/AD10/TB13IN0
	PB3	I/O	Pull-up	–	–	–	PB3/D11/AD11/TB13IN1
	PB4	I/O	Pull-up	–	–	–	PB4/D12/AD12/TB14IN0
	PB5	I/O	Pull-up	–	–	–	PB5/D13/AD13/TB14IN1
	PB6	I/O	Pull-up	–	–	–	PB6/D14/AD14/TB15IN0
	PB7	I/O	Pull-up	–	–	–	PB7/D15/AD15/TB15IN1
ポート C	PC0	I/O	Pull-up	o	o(INT5のみ)	–	PC0/A0/A16/INT5
	PC1	I/O	Pull-up	o	o(INT6のみ)	–	PC1/A1/A17/INT6
	PC2	I/O	Pull-up	o	o(INT7のみ)	–	PC2/A2/A18/INT7
	PC3	I/O	Pull-up	o	o(INT8のみ)	–	PC3/A3/A19/INT8
	PC4	I/O	Pull-up	o	o(INT9のみ)	–	PC4/A4/A20/INT9
	PC5	I/O	Pull-up	o	o(INTAのみ)	–	PC5/A5/A21/INTA
	PC6	I/O	Pull-up	o	o(INTBのみ)	–	PC6/A6/A22/INTB
	PC7	I/O	Pull-up	o	o(INTCのみ)	–	PC7/A7/A23/INTC
ポート D	PD0	I/O	Pull-up	o	–	–	PD0/A8/TB16IN0
	PD1	I/O	Pull-up	o	–	–	PD1/A9/TB16IN1
	PD2	I/O	Pull-up	o	–	–	PD2/A10/TB17IN0
	PD3	I/O	Pull-up	o	–	–	PD3/A11/TB17IN1
	PD4	I/O	Pull-up	o	–	–	PD4/A12/TB18IN0
	PD5	I/O	Pull-up	o	–	–	PD5/A13/TB18IN1
	PD6	I/O	Pull-up	o	–	–	PD6/A14/TB19IN0
	PD7	I/O	Pull-up	o	–	–	PD7/A15/TB19IN1

表 15-1 ポート機能一覧(ポート A ~ ポート AJ)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィルタ	プログラマブル Open-drain	機能端子名
ポート E	PE0	I/O	Pull-up	o	−	o	PE0/A16/TXD2
	PE1	I/O	Pull-up	o	−	o	PE1/A17/RXD2
	PE2	I/O	Pull-up	o	−	o	PE2/A18/SCLK2/$\overline{\text{CTS2}}$
	PE3	I/O	Pull-up	o	o(INT16のみ)	−	PE3/A19/$\overline{\text{DREQB}}$/INT16
	PE4	I/O	Pull-up	o	−	o	PE4/A20/TXD5
	PE5	I/O	Pull-up	o	−	o	PE5/A21/RXD5
	PE6	I/O	Pull-up	o	−	o	PE6/A22/SCLK5/$\overline{\text{CTS5}}$
	PE7	I/O	Pull-up	o	o(INT17のみ)	−	PE7/A23/$\overline{\text{DREQC}}$/INT17
ポート F	PF0	I/O	Pull-up	o	−	−	PF0/$\overline{\text{RD}}$
	PF1	I/O	Pull-up	o	−	−	PF1/$\overline{\text{WR}}$
	PF2	I/O	Pull-up	o	−	−	PF2/$\overline{\text{BELL}}$
	PF3	I/O	Pull-up	o	−	−	PF3/$\overline{\text{BELH}}$
	PF4	I/O	Pull-up	o	−	−	PF4/ALE
	PF5	I/O	Pull-up	o	−	−	PF5/$\overline{\text{CS0}}$
	PF6	I/O	Pull-up	o	o(INTDのみ)	−	PF6/$\overline{\text{CS1}}$/$\overline{\text{DREQA}}$/INTD
	PF7	O	Pull-up	o	−	−	PF7/$\overline{\text{BOOT}}$
ポート G	PG0	I/O	Pull-up	o	−	−	PG0/TDO/SWV
	PG1	I/O	Pull-up	o	−	−	PG1/TMS/SWDIO
	PG2	I/O	Pull-down	o	−	−	PG2/TCK/SWCLK
	PG3	I/O	Pull-up	o	−	−	PG3/TDI
	PG4	I/O	Pull-up	o	−	−	PG4/$\overline{\text{TRST}}$
	PG5	I/O	Pull-up	o	−	−	PG5/TRACECLK
	PG6	I/O	Pull-up	o	−	−	PG6/TRACEDATA0
	PG7	I/O	Pull-up	o	−	−	PG7/TRACEDATA1
ポート H	PH0	I/O	Pull-up	o	−	−	PH0/TRACEDATA2
	PH1	I/O	Pull-up	o	−	−	PH1/TRACEDATA3
	PH2	I/O	Pull-up	o	o(PH2除く)	−	PH2/$\overline{\text{ADTRGA}}$
	PH3	I/O	Pull-up	o	o(PH3除く)	−	PH3/$\overline{\text{ADTRGB}}$/$\overline{\text{ADTRGSNC}}$
	PH4	I/O	Pull-up	o	−	o	PH4/TXD0
	PH5	I/O	Pull-up	o	−	o	PH5/RXD0
	PH6	I/O	Pull-up	o	−	o	PH6/SCLK0/$\overline{\text{CTS0}}$
	PH7	I/O	Pull-up	o	o(PH7除く)	−	PH7/$\overline{\text{ADTRGC}}$
ポート J	PJ0	I/O	Pull-up	o	−	−	PJ0/ESIO0TXD0
	PJ1	I/O	Pull-up	o	−	−	PJ1/ESIO0TXD1
	PJ2	I/O	Pull-up	o	−	−	PJ2/ESIO0TXD2
	PJ3	I/O	Pull-up	o	−	−	PJ3/ESIO0TXD3
	PJ4	I/O	Pull-up	−	−	−	PJ4/ESIO0RXD0
	PJ5	I/O	Pull-up	−	−	−	PJ5/ESIO0RXD1
	PJ6	I/O	Pull-up	−	−	−	PJ6/ESIO0RXD2
	PJ7	I/O	Pull-up	−	−	−	PJ7/ESIO0RXD3

表 15-1 ポート機能一覧(ポート A ~ ポート AJ)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィルタ	プログラマブル Open-drain	機能端子名
ポート K	PK0	I/O	Pull-up	o	−	−	PK0/ESIO0SCK
	PK1	I/O	Pull-up	o	−	−	PK1/ESIO0CS0
	PK2	I/O	Pull-up	o	−	−	PK2/ESIO0CS1/TB07IN0
	PK3	I/O	Pull-up	o	o(INTEのみ)	−	PK3/TB07IN1/INTE
	PK4	I/O	Pull-up	o	−	o	PK4/TXD1
	PK5	I/O	Pull-up	o	−	o	PK5/RXD1
	PK6	I/O	Pull-up	o	−	o	PK6/SCLK1/TB08IN0/$\overline{\text{CTS1}}$
	PK7	I/O	Pull-up	o	o(INTFのみ)	o	PK7/TB08IN1/TB08IN1/INTF
ポート L	PL0	I/O	Pull-up	o	−	−	PL0/ESIO1TXD0
	PL1	I/O	Pull-up	o	−	−	PL1/ESIO1TXD1
	PL2	I/O	Pull-up	o	−	−	PL2/ESIO1TXD2
	PL3	I/O	Pull-up	o	−	−	PL3/ESIO1TXD3
	PL4	I/O	Pull-up	−	−	−	PL4/ESIO1RXD0
	PL5	I/O	Pull-up	−	−	−	PL5/ESIO1RXD1
	PL6	I/O	Pull-up	−	−	−	PL6/ESIO1RXD2
	PL7	I/O	Pull-up	−	−	−	PL/7ESIO1RXD3
ポート M	PM0	I/O	Pull-up	o	−	−	PM0/ESIO1SCK
	PM1	I/O	Pull-up	o	−	−	PM1/ESIO1CS0
	PM2	I/O	Pull-up	o	−	−	PM2/ESIO1CS1/TB09IN0
	PM3	I/O	Pull-up	o	o(INT10のみ)	−	PM3/SCOUT/TB09IN1/INT10
	PM4	I/O	Pull-up	o	−	o	PM4/TXD3
	PM5	I/O	Pull-up	o	−	o	PM5/RXD3
	PM6	I/O	Pull-up	o	−	o	PM6/SCLK3/TB10IN0/$\overline{\text{CTS3}}$
	PM7	I/O	Pull-up	o	o(INT11のみ)	o	PM7/TB10IN1/INT11
ポート N	PN0	I/O	Pull-up	o	−	−	PN0/ESIO2TXD0
	PN1	I/O	Pull-up	o	−	−	PN1/ESIO2TXD1
	PN2	I/O	Pull-up	o	o(INT12のみ)	−	PN2/ESIO2TXD2/INT12
	PN3	I/O	Pull-up	o	o(INT13のみ)	−	PN3/ESIO2TXD3/INT13
	PN4	I/O	Pull-up	−	−	−	PN4/ESIO2RXD0
	PN5	I/O	Pull-up	−	−	−	PN5/ESIO2RXD1
	PN6	I/O	Pull-up	−	−	−	PN6/ESIO2RXD2
	PN7	I/O	Pull-up	−	−	−	PN7/ESIO2RXD3
ポート P	PP0	I/O	Pull-up	o	−	−	PP0/ESIO2SCK
	PP1	I/O	Pull-up	o	−	−	PP1/ESIO2CS0
	PP2	I/O	Pull-up	o	o(INT14のみ)	−	PP2/ESIO2CS1/TXD7/INT14
	PP3	I/O	Pull-up	o	o(INT15のみ)	−	PP3/RXD7/INT15
	PP4	I/O	Pull-up	o	−	−	PP4/TXD4
	PP5	I/O	Pull-up	o	−	−	PP5/RXD4
	PP6	I/O	Pull-up	o	−	−	PP6/SCLK4/$\overline{\text{CTS7}}$/$\overline{\text{CTS4}}$
	PP7	I/O	Pull-up	o	o(INT0のみ)	−	PP7/$\overline{\text{RTS7}}$/INT0

表 15-1 ポート機能一覧(ポート A ~ ポート AJ)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィルタ	プログラマブル Open-drain	機能端子名
ポート R	PR0	I/O	Pull-up	o	−	o	PR0/TXD6
	PR1	I/O	Pull-up	o	−	o	PR1/RXD6
	PR2	I/O	Pull-up	o	o(INT1のみ)	o	PR2/$\overline{\text{CTS6}}$/TB11IN0/INT1
	PR3	I/O	Pull-up	o	o(INT2のみ)	o	PR3/$\overline{\text{RTS6}}$/TB11IN1/INT2
	PR4	I/O	Pull-up	o	−	o	PR4/SCL0
	PR5	I/O	Pull-up	o	−	o	PR5/SDA0
	PR6	I/O	Pull-up	o	o(PR6除く)	−	PR6/EPHC0IN0/INT3
	PR7	I/O	Pull-up	o	o(PR7除く)	−	PR7/EPHC0IN1/INT4
ポート T	PT0	I/O	Pull-up	o	−	−	PT0/TCOUT0
	PT1	I/O	Pull-up	o	−	−	PT1/TCOUT1
	PT2	I/O	Pull-up	o	−	−	PT2/TCOUT2
	PT3	I/O	Pull-up	o	−	−	PT3/TCOUT3
	PT4	I/O	Pull-up	o	−	−	PT4/TCOUT4
	PT5	I/O	Pull-up	o	−	−	PT5/TCOUT5
	PT6	I/O	Pull-up	o	−	−	PT6/TCOUT6
	PT7	I/O	Pull-up	o	−	−	PT7/TCOUT7
ポート U	PU0	I/O	Pull-up	o	−	−	PU0/TCIN0
	PU1	I/O	Pull-up	o	−	−	PU1/TCIN1
	PU2	I/O	Pull-up	o	−	−	PU2/TCIN2
	PU3	I/O	Pull-up	o	−	−	PU3/TCIN3
	PU4	I/O	Pull-up	o		−	PU4/PHC0IN0
	PU5	I/O	Pull-up	o	o(PU5除く)	−	PU5/PHC0IN1
	PU6	I/O	Pull-up	o	o(PU6除く)	−	PU6/PHC1IN0
	PU7	I/O	Pull-up	o	o(PU7除く)	−	PU7/PHC1IN1
ポート V	PV0	I/O	Pull-up	o	−	−	PV0/TB00OUT
	PV1	I/O	Pull-up	o	−	−	PV1/TB01OUT
	PV2	I/O	Pull-up	o	−	−	PV2/TB02OUT
	PV3	I/O	Pull-up	o	−	−	PV3/TB03OUT
	PV4	I/O	Pull-up	o	−	−	PV4/TB04OUT
	PV5	I/O	Pull-up	o	−	−	PV5/TB05OUT
	PV6	I/O	Pull-up	o	−	−	PV6/TB06OUT
	PV7	I/O	Pull-up	o	−	−	PV7/TB07OUT
ポート W	PW0	I/O	Pull-up	o	−	o	PW0/TB08OUT
	PW1	I/O	Pull-up	o	−	o	PW1/TB09OUT
	PW2	I/O	Pull-up	o	−	o	PW2/TB10OUT
	PW3	I/O	Pull-up	o	−	o	PW3/TB11OUT
	PW4	I/O	Pull-up	o	−	o	PW4/TB12OUT
	PW5	I/O	Pull-up	o	−	o	PW5/TB13OUT
	PW6	I/O	Pull-up	o	−	o	PW6/TB14OUT
	PW7	I/O	Pull-up	o	−	o	PW7/TB15OUT

表 15-1 ポート機能一覧(ポート A ~ ポート AJ)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィルタ	プログラマブル Open-drain	機能端子名
ポート Y	PY0	I/O	Pull-up	o	−	−	PY0/TB16OUT
	PY1	I/O	Pull-up	o	−	−	PY1/TB17OUT
	PY2	I/O	Pull-up	o	−	−	PY2/TB18OUT
	PY3	I/O	Pull-up	o	−	−	PY3/TB19OUT
	PY4	I/O	Pull-up	o	−	−	PY4/TD0OUT0
	PY5	I/O	Pull-up	o	−	−	PY5/TD0OUT1
	PY6	I/O	Pull-up	o	−	−	PY6/TD1OUT0
	PY7	I/O	Pull-up	o	−	−	PY7/TD1OUT1
ポート AA	PAA0	I	Pull-up	o	−	−	PAA0/AINA0
	PAA1	I	Pull-up	o	−	−	PAA1/AINA1
	PAA2	I	Pull-up	o	−	−	PAA2/AINA2
	PAA3	I	Pull-up	o	−	−	PAA3/AINA3
	PAA4	I	Pull-up	o	−	−	PAA4/AINA4
	PAA5	I	Pull-up	o	−	−	PAA5/AINA5
	PAA6	I	Pull-up	o	−	−	PAA6/AINA6
	PAA7	I	Pull-up	o	−	−	PAA7/AINA7
ポート AB	PAB0	I	Pull-up	o	−	−	PAB0/AINB0
	PAB1	I	Pull-up	o	−	−	PAB1/AINB1
	PAB2	I	Pull-up	o	−	−	PAB2/AINB2
	PAB3	I	Pull-up	o	−	−	PAB3/AINB3
	PAB4	I	Pull-up	o	−	−	PAB4/AINB4
	PAB5	I	Pull-up	o	−	−	PAB5/AINB5
	PAB6	I	Pull-up	o	−	−	PAB6/AINB6
	PAB7	I	Pull-up	o	−	−	PAB7/AINB7
ポート AC	PAC0	I	Pull-up	o	−	−	PAC0/AINC0
	PAC1	I	Pull-up	o	−	−	PAC1/AINC1
	PAC2	I	Pull-up	o	−	−	PAC2/AINC2
	PAC3	I	Pull-up	o	−	−	PAC3/AINC3
ポート AD	PAD0	I/O	Pull-up	o	o(PAD0除く)	−	PAD0/KWUPA0
	PAD1	I/O	Pull-up	o	o(PAD1除く)	−	PAD1/KWUPA1
	PAD2	I/O	Pull-up	o	o(PAD2除く)	−	PAD2/KWUPA2
	PAD3	I/O	Pull-up	o	o(PAD3除く)	−	PAD3/KWUPA3
	PAD4	I/O	Pull-up	o	o(PAD4除く)	−	PAD4/KWUPA4
	PAD5	I/O	Pull-up	o	o(PAD5除く)	−	PAD5/KWUPA5
	PAD6	I/O	Pull-up	o	o(PAD6除く)	−	PAD6/KWUPA6
	PAD7	I/O	Pull-up	o	o(PAD7除く)	−	PAD7/KWUPA7
ポート AE	PAE0	I/O	Pull-up	o	o(PAE0除く)	−	PAE0/KWUPA8
	PAE1	I/O	Pull-up	o	o(PAE1除く)	−	PAE1/KWUPA9
	PAE2	I/O	Pull-up	o	o(PAE2除く)	−	PAE2/KWUPA10
	PAE3	I/O	Pull-up	o	o(PAE3除く)	−	PAE3/KWUPA11
	PAE4	I/O	Pull-up	o	o(PAE4除く)	−	PAE4/KWUPA12
	PAE5	I/O	Pull-up	o	o(PAE5除く)	−	PAE5/KWUPA13
	PAE6	I/O	Pull-up	o	o(PAE6除く)	−	PAE6/KWUPA14
	PAE7	I/O	Pull-up	o	o(PAE7除く)	−	PAE7/KWUPA15

表 15-1 ポート機能一覧(ポート A ~ ポート AJ)

ポート	端子名	入出力	プログラマブル Pull-up Pull-down	Schmitt 入力	ノイズフィルタ	プログラマブル Open-drain	機能端子名
ポート AF	PAF0	I/O	Pull-up	o	o(PAF0除く)	−	PAF0/KWUPA16
	PAF1	I/O	Pull-up	o	o(PAF1除く)	−	PAF1/KWUPA17
	PAF2	I/O	Pull-up	o	o(PAF2除く)	−	PAF2/KWUPA18
	PAF3	I/O	Pull-up	o	o(PAF3除く)	−	PAF3/KWUPA19
	PAF4	I/O	Pull-up	o	o(PAF4除く)	−	PAF4/KWUPA20
	PAF5	I/O	Pull-up	o	o(PAF5除く)	−	PAF5/KWUPA21
	PAF6	I/O	Pull-up	o	o(PAF6除く)	−	PAF6/KWUPA22
	PAF7	I/O	Pull-up	o	o(PAF7除く)	−	PAF7/KWUPA23
ポート AG	PAG0	I/O	Pull-up	o	o(PAG0除く)	−	PAG0/KWUPA24
	PAG1	I/O	Pull-up	o	o(PAG1除く)	−	PAG1/KWUPA25
	PAG2	I/O	Pull-up	o	o(PAG2除く)	−	PAG2/KWUPA26
	PAG3	I/O	Pull-up	o	o(PAG3除く)	−	PAG3/KWUPA27
	PAG4	I/O	Pull-up	o	o(PAG4除く)	−	PAG4/KWUPA28
	PAG5	I/O	Pull-up	o	o(PAG5除く)	−	PAG5/KWUPA29
	PAG6	I/O	Pull-up	o	o(PAG6除く)	−	PAG6/KWUPA30
	PAG7	I/O	Pull-up	o	o(KWUOA31のみ)	−	PAG7/KWUPA31/TCTBTIN
ポート AH	PAH0	I/O	Pull-up	o	o(PAH0除く)	−	PAH0/KSIN0/KWUPB0
	PAH1	I/O	Pull-up	o	o(PAH1除く)	−	PAH1/KSIN1/KWUPB1
	PAH2	I/O	Pull-up	o	o(PAH2除く)	−	PAH2/KSIN2/KWUPB2
	PAH3	I/O	Pull-up	o	o(PAH3除く)	−	PAH3/KSIN3/KWUPB3
	PAH4	I/O	Pull-up	o	o(PAH4除く)	−	PAH4/KSIN4/KWUPB4
	PAH5	I/O	Pull-up	o	o(PAH5除く)	−	PAH5/KSIN5/KWUPB5
	PAH6	I/O	Pull-up	o	o(PAH6除く)	−	PAH6/KSIN6/KWUPB6
	PAH7	I/O	Pull-up	o	o(PAH7除く)	−	PAH7/KSIN7/KWUPB7
ポート AJ	PAJ0	I/O	Pull-up	o	−	o	PAJ0/KSOUT0
	PAJ1	I/O	Pull-up	o	−	o	PAJ1/KSOUT1
	PAJ2	I/O	Pull-up	o	−	o	PAJ2/KSOUT2
	PAJ3	I/O	Pull-up	o	−	o	PAJ3/KSOUT3
	PAJ4	I/O	Pull-up	o	−	o	PAJ4/KSOUT4
	PAJ5	I/O	Pull-up	o	−	o	PAJ5/KSOUT5
	PAJ6	I/O	Pull-up	o	−	o	PAJ6/KSOUT6
	PAJ7	I/O	Pull-up	o	−	o	PAJ7/KSOUT7

注)　ノイズフィルタのノイズ除去幅は、Typ.条件で約 30ns です。

15.2 レジスタ概略説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタはすべて 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では、8 ビットのポートの場合を示しています。各ポートにおけるレジスタ構成および初期値についてはそれぞれのポートの章を参照してください。

注) 以下の説明で"x"はポート名を、"n"はファンクション番号を示します。

15.2.1 PxDATA：ポート x データレジスタ

ポートのデータ読み込み、データ書き込みを行います。

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7	Px6	Px5	Px4	Px3	Px2	Px1	Px0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7-Px0	R/W	ポート x データレジスタ

15.2.2　PxCR：ポート x コントロールレジスタ

出力の制御を行います。

入力の制御は PxIE で設定してください。

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7C	Px6C	Px5C	Px4C	Px3C	Px2C	Px1C	Px0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7C-Px0C	R/W	出力 0: 禁止 1: 許可

15.2.3 PxFRn：ポート x ファンクションレジスタ n

機能設定を行ないます。

"1"をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7Fn	Px6Fn	Px5Fn	Px4Fn	Px3Fn	Px2Fn	Px1Fn	Px0Fn
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7Fn-Px0Fn	R/W	0: PORT 1: 機能

15.2.4　PxOD：ポート x オープンドレインコントロールレジスタ

プログラマブルオープンドレイン出力の制御を行います。

プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7OD	Px6OD	Px5OD	Px4OD	Px3OD	Px2OD	Px1OD	Px0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7OD-Px0OD	R/W	0: CMOS 1: オープンドレイン

15.2.5 PxPUP：ポート x プルアップコントロールレジスタ

プログラマブルプルアップを制御します。

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7UP	Px6UP	Px5UP	Px4UP	Px3UP	Px2UP	Px1UP	Px0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	Px7UP-Px0UP	R/W	プルアップ 0: 禁止 1: 許可

15.2.6 PxPDN：ポート x プルダウンコントロールレジスタ

プログラマブルプルダウンを制御します。

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7DN	Px6DN	Px5DN	Px4DN	Px3DN	Px2DN	Px1DN	Px0DN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	Px7DN-Px0DN	R/W	プルダウン 0: 禁止 1: 許可

15.2.7　PxIE：ポート x 入力コントロールレジスタ

入力の制御を行ないます。

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	Px7IE	Px6IE	Px5IE	Px4IE	Px3IE	Px2IE	Px1IE	Px0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	Px7IE-Px0IE	R/W	入力 0: 禁止 1: 許可

15.3 レジスター覧

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

但し、オープンドレインコントロールレジスタのアドレスは注を参照してください。

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA	PFDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR	PFCR
ファンクションレジスタ 1	0x0008	PAFR1	PBFR1	PCFR1	PDFR1	PEFR1	PFFR1
ファンクションレジスタ 2	0x000C			PCFR2	PDFR2	PEFR2	PFFR2
ファンクションレジスタ 3	0x0010	PAFR3	PBFR3	PCFR3		PEFR3	PFFR3
オープンドレインコントロールレジスタ	(注)					PEOD	
プルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP	PFPUP
プルダウンコントロールレジスタ	0x0030						
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE	PFIE

注) PEOD のアドレスは 0x400C_1404 です。

レジスタ名	Address (Base+)	ポート G	ポート H	ポート J	ポート K	ポート L	ポート M
データ レジスタ	0x0000	PGDATA	PHDATA	PJDATA	PKDATA	PLDATA	PMDATA
出力コントロールレジスタ	0x0004	PGCR	PHCR	PJCR	PKCR	PLCR	PMCR
ファンクションレジスタ 1	0x0008	PGFR1	PHFR1	PJFR1	PKFR1	PLFR1	PMFR1
ファンクションレジスタ 2	0x000C		PHFR2		PKFR2		PMFR2
ファンクションレジスタ 3	0x0010				PKFR3		PMFR3
オープンドレインコントロールレジスタ	(注 1)				PKOD		PMOD
オープンドレインコントロールレジスタ 1	(注 2)		PHOD1				
オープンドレインコントロールレジスタ 2			PHOD2				
プルアップコントロールレジスタ	0x002C	PGPUP	PHPUP	PJPUP	PKPUP	PLPUP	PMPUP
プルダウンコントロールレジスタ	0x0030	PGPDN					
入力コントロールレジスタ	0x0038	PGIE	PHIE	PJIE	PKIE	PLIE	PMIE

注 1) PKOD のアドレスは 0x400C_1604 で、PMOD のアドレスは 0x400C_1608 です。

注 2) PHOD1 のアドレスは 0x400C_1404、PHOD2 のアドレスは 0x400C_1408 です。

レジスタ名	Address (Base+)	ポート N	ポート P	ポート R	ポート T	ポート U	ポート V
データ レジスタ	0x0000	PNDATA	PPDATA	PRDATA	PTDATA	PUDATA	PVDATA
出力コントロールレジスタ	0x0004	PNCR	PPCR	PRCR	PTCR	PUCR	PVCR
ファンクションレジスタ 1	0x0008	PNFR1	PPFR1	PRFR1	PTFR1	PUFR1	PVFR1
ファンクションレジスタ 2	0x000C		PPFR2	PRFR2			
ファンクションレジスタ 3	0x0010	PNFR3	PPFR3	PRFR3			
オープンドレインコントロールレジスタ	(注)			PROD			
プルアップコントロールレジスタ	0x002C	PNPUP	PPPUP	PRPUP	PTPUP	PUPUP	PVPUP
プルダウンコントロールレジスタ	0x0030						
入力コントロールレジスタ	0x0038	PNIE	PPIE	PRIE	PTIE	PUIE	PVIE

注)　PROD のアドレスは 0x400C_1408 です。

レジスタ名	Address (Base+)	ポート W	ポート Y	ポート AA	ポート AB	ポート AC	ポート AD
データ レジスタ	0x0000	PWDATA	PYDATA	PAADATA	PABDATA	PACDATA	PADDATA
出力コントロールレジスタ	0x0004	PWCR	PYCR				PADCR
ファンクションレジスタ 1	0x0008	PWFR1	PYFR1				PADFR1
オープンドレインコントロールレジスタ	(注)	PWOD					
プルアップコントロールレジスタ	0x002C	PWPUP	PYPUP	PAAPUP	PABPUP	PACPUP	PADPUP
プルダウンコントロールレジスタ	0x0030						
入力コントロールレジスタ	0x0038	PWIE	PYIE	PAAIE	PABIE	PACIE	PADIE

注)　PWOD のアドレスは 0x400C_1504 です。

レジスタ名	Address (Base+)	ポート AE	ポート AF	ポート AG	ポート AH	ポート AJ
データ レジスタ	0x0000	PAEDATA	PAFDATA	PAGDATA	PAHDATA	PAJDATA
出力コントロールレジスタ	0x0004	PAECR	PAFCR	PAGCR	PAHCR	PAJCR
ファンクションレジスタ 1	0x0008	PAEFR1	PAFFR1	PAGFR1		PAJFR1
ファンクションレジスタ 2	0x000C			PAGFR2		
オープンドレインコントロールレジスタ	(注)					PAJOD
プルアップコントロールレジスタ	0x002C	PAEPUP	PAFPUP	PAGPUP	PAHPUP	PAJPUP
プルダウンコントロールレジスタ	0x0030					
入力コントロールレジスタ	0x0038	PAEIE	PAFIE	PAGIE	PAHIE	PAJIE

注)　PAJOD のアドレスは 0x400C_1508 です。

15.4 ポート機能詳細

レジスタの構成、初期値、ファンクションレジスタの機能割り当てを示します。

ビット 31～8 および表中の網掛けのビットはリードすると"0"が読め、ライトは意味を持ちません。

15.4.1 ポート A (PA0~PA7)

	7	6	5	4	3	2	1	0
PADATA	0	0	0	0	0	0	0	0
PACR	0	0	0	0	0	0	0	0
PAFR1	D7/AD7	D6/AD6	D5/AD5	D4/AD4	D3/AD3	D2/AD2	D1/AD1	D0/AD0
	0	0	0	0	0	0	0	0
PAFR3	PSCPTIO7	PSCPTIO6	PSCPTIO5	PSCPTIO4	PSCPTIO3	PSCPTIO2	PSCPTIO1	PSCPTIO0
	0	0	0	0	0	0	0	0
PAOD								
PAPUP	0	0	0	0	0	0	0	0
PAPDN								
PAIE	0	0	0	0	0	0	0	0

15.4.2 ポート B (PB0~PB7)

	7	6	5	4	3	2	1	0
PBDATA	0	0	0	0	0	0	0	0
PBCR	0	0	0	0	0	0	0	0
PBFR1	D15/AD15	D14/AD14	D13/AD13	D12/AD12	D11/AD11	D10/AD10	D9/AD9	D8/AD8
	0	0	0	0	0	0	0	0
PBFR3	TB15IN1	TB15IN0	TB14IN1	TB14IN0	TB13IN1	TB13IN0	TB12IN1	TB12IN0
	0	0	0	0	0	0	0	0
PBOD								
PBPUP	0	0	0	0	0	0	0	0
PBPDN								
PBIE	0	0	0	0	0	0	0	0

15.4.3　ポート C (PC0~PC7)

	7	6	5	4	3	2	1	0
PCDATA	0	0	0	0	0	0	0	0
PCCR	0	0	0	0	0	0	0	0
PCFR1	A7	A6	A5	A4	A3	A2	A1	A0
	0	0	0	0	0	0	0	0
PCFR2	A23	A22	A21	A20	A19	A18	A17	A16
	0	0	0	0	0	0	0	0
PCFR3	INTC	INTB	INTA	INT9	INT8	INT7	INT6	INT5
	0	0	0	0	0	0	0	0
PCOD								
PCPUP	0	0	0	0	0	0	0	0
PCPDN								
PCIE	0	0	0	0	0	0	0	0

15.4.4　ポート D (PD0~PD7)

	7	6	5	4	3	2	1	0
PDDATA	0	0	0	0	0	0	0	0
PDCR	0	0	0	0	0	0	0	0
PDFR1	A15	A14	A13	A12	A11	A10	A9	A8
	0	0	0	0	0	0	0	0
PDFR2	TB19IN1	TB19IN0	TB18IN1	TB18IN0	TB17IN1	TB17IN0	TB16IN1	TB16IN0
	0	0	0	0	0	0	0	0
PDOD								
PDPUP	0	0	0	0	0	0	0	0
PDPDN								
PDIE	0	0	0	0	0	0	0	0

15.4.5 ポート E (PE0~PE7)

	7	6	5	4	3	2	1	0
PEDATA	0	0	0	0	0	0	0	0
PECR	0	0	0	0	0	0	0	0
PEFR1	A23	A22	A21	A20	A19	A18	A17	A16
	0	0	0	0	0	0	0	0
PEFR2	$\overline{\text{DREQC}}$	SCLK5	RXD5	TXD5	$\overline{\text{DREQB}}$	SCLK2	RXD2	TXD2
	0	0	0	0	0	0	0	0
PEFR3		$\overline{\text{CTS5}}$				$\overline{\text{CTS2}}$		
		0				0		
PEOD (注 1)	PH5OD(注 3)	PH4OD(注 3)	PE6OD(注 2)	PE5OD(注 2)	PE4OD(注 2)	PE2OD	PE1OD	PE0OD
	0	0	0	0	0	0	0	0
PEPUP	0	0	0	0	0	0	0	0
PEPDN								
PEIE	0	0	0	0	0	0	0	0
備考	INT17(注 4)				INT16(注 4)			

注 1) オープンドレインコントロールレジスタのみ 0x400C_1404 に配置されています。これ以外のレジスタはポート E のベースアドレス 0x400C_0400 からオフセットしたアドレスに配置されています。

注 2) シンボル名の端子番号とビット位置が異なります。

注 3) PEOD[7:6]は PHOD1 レジスタの<PH5OD>, <PH4OD>が配置されています。

注 4) 割り込みの入力として使用する際は、該当ポートのファンクションレジスタ(PxFRn)を PORT に設定し、入力コントロールレジスタ(PxIE)を入力許可に設定してください。

15.4.6 ポート F (PF0~PF7)

	7	6	5	4	3	2	1	0
PFDATA	0	0	0	0	0	0	0	0
PFCR	0	0	0	0	0	0	0	0
PFFR1		$\overline{\text{CS1}}$	$\overline{\text{CS0}}$	ALE	$\overline{\text{BELH}}$	$\overline{\text{BELL}}$	$\overline{\text{WR}}$	$\overline{\text{RD}}$
		0	0	0	0	0	0	0
PFFR2		$\overline{\text{DREQA}}$						
		0						
PFFR3		INTD						
		0						
PFOD								
PFPUP	0	0	0	0	0	0	0	0
PFPDN								
PFIE	0	0	0	0	0	0	0	0

15.4.7　ポート G (PG0~PG7)

	7	6	5	4	3	2	1	0
PGDATA	0	0	0	0	0	0	0	0
PGCR	0	0	0	0	0	0	1	1
PGFR1	TRACE DATA1	TRACE DATA0	TRACECLK	$\overline{\text{TRST}}$	TDI	TCK/SWCLK	TMS/SWDIO	TDO/SWV
	0	0	0	1	1	1	1	1
PGOD								
PGPUP	0	0	0	1	1		1	0
PGPDN						1		
PGIE	0	0	0	1	1	1	1	0

15.4.8　ポート H (PH0~PH7)

	7	6	5	4	3	2	1	0
PHDATA	0	0	0	0	0	0	0	0
PHCR	0	0	0	0	0	0	0	0
PHFR1	$\overline{\text{ADTRGC}}$	SCLK0	RXD0	TXD0	$\overline{\text{ADTRGB}}$	$\overline{\text{ADTRGA}}$	TRACE DATA3	TRACE DATA2
	0	0	0	0	0	0	0	0
PHFR2		$\overline{\text{CTS0}}$			$\overline{\text{ADTRGSNC}}$			
		0			0			
PHOD1 (注 1)	PH5OD(注 2)	PH4OD(注 2)	PE6OD(注 3)	PE5OD(注 3)	PEO4D(注 3)	PE2OD(注 3)	PE1OD(注 3)	PE0OD(注 3)
	0	0	0	0	0	0	0	0
PHOD2 (注 1)		PH6OD	PR5OD(注 4)	PR4OD(注 4)	PR3OD(注 4)	PR2OD(注 4)	PR1OD(注 4)	PR0OD(注 4)
		0	0	0	0	0	0	0
PHPUP	0	0	0	0	0	0	0	0
PHPDN								
PHIE	0	0	0	0	0	0	0	0

注 1)　オープンドレインコントロールレジスタのみ 0x400C_1404 と 0x400C_1408 に配置されています。これ以外のレジスタはポート H のベースアドレス 0x400C_0700 からオフセットしたアドレスに配置されています。

注 2)　シンボル名の端子番号とビット位置が異なります。

注 3)　PHOD1[5:0]は PEOD レジスタの<PE6OD> ~ <PE4OD>, <PE2OD> ~ <PE0OD>が配置されています。

注 4)　PHOD2[5:0]は PROD レジスタの<PR5OD> ~ <PR0OD>が配置されています。

15.4.9 ポート J (PJ0~PJ7)

	7	6	5	4	3	2	1	0
PJDATA	0	0	0	0	0	0	0	0
PJCR	0	0	0	0	0	0	0	0
PJFR1	ESIO0RXD3	ESIO0RXD2	ESIO0RXD1	ESIO0RXD0	ESIO0TXD3	ESIO0TXD2	ESIO0TXD1	ESIO0TXD0
	0	0	0	0	0	0	0	0
PJOD								
PJPUP	0	0	0	0	0	0	0	0
PJPDN								
PJIE	0	0	0	0	0	0	0	0

15.4.10 ポート K (PK0~PK7)

	7	6	5	4	3	2	1	0
PKDATA	0	0	0	0	0	0	0	0
PKCR	0	0	0	0	0	0	0	0
PKFR1		SCLK1	RXD1	TXD1		ESIO0CS1	ESIO0CS0	ESIO0SCK
		0	0	0		0	0	0
PKFR2	TB08IN1	TB08IN0			TB07IN1	TB07IN0		
	0	0			0	0		
PKFR3	INTF	$\overline{\text{CTS1}}$			INTE			
	0	0			0			
PKOD (注 1)					PK7OD(注 2)	PK6OD(注 2)	PK5OD(注 2)	PK4OD(注 2)
					0	0	0	0
PKPUP	0	0	0	0	0	0	0	0
PKPDN								
PKIE	0	0	0	0	0	0	0	0

注 1) オープンドレインコントロールレジスタのみ 0x400C_1604 に配置されています。これ以外のレジスタはポート K のベースアドレス 0x400C_0900 からオフセットしたアドレスに配置されています。

注 2) シンボル名の端子番号とビット位置が異なります。

15.4.11 ポート L (PL0~PL7)

	7	6	5	4	3	2	1	0
PLDATA	0	0	0	0	0	0	0	0
PLCR	0	0	0	0	0	0	0	0
PLFR1	ESIO1RXD3	ESIO1RXD2	ESIO1RXD1	ESIO1RXD0	ESIO1TXD3	ESIO1TXD2	ESIO1TXD1	ESIO1TXD0
	0	0	0	0	0	0	0	0
PLOD								
PLPUP	0	0	0	0	0	0	0	0
PLPDN								
PLIE	0	0	0	0	0	0	0	0

15.4.12　ポート M (PM0~PM7)

	7	6	5	4	3	2	1	0
PMDATA	0	0	0	0	0	0	0	0
PMCR	0	0	0	0	0	0	0	0
PMFR1		SCLK3	RXD3	TXD3	SCOUT	ESIO1CS1	ESIO1CS0	ESIO1SCK
		0	0	0	0	0	0	0
PMFR2	TB10IN1	TB10IN0			TB09IN1	TB09IN0		
	0	0			0	0		
PMFR3	INT11	$\overline{\text{CTS3}}$			INT10			
	0	0			0			
PMOD (注 1)					PM7OD(注 2)	PM6OD(注 2)	PM5OD(注 2)	PM4OD(注 2)
					0	0	0	0
PMPUP	0	0	0	0	0	0	0	0
PMPDN								
PMIE	0	0	0	0	0	0	0	0

注 1)　オープンドレインコントロールレジスタのみ 0x400C_1608 に配置されています。これ以外のレジスタはポート M のベースアドレス 0x400C_0B00 からオフセットしたアドレスに配置されています。

注 2)　シンボル名の端子番号とビット位置が異なります。

15.4.13　ポート N (PN0~PN7)

	7	6	5	4	3	2	1	0
PNDATA	0	0	0	0	0	0	0	0
PNCR	0	0	0	0	0	0	0	0
PNFR1	ESIO2RXD3	ESIO2RXD2	ESIO2RXD1	ESIO2RXD0	ESIO2TXD3	ESIO2TXD2	ESIO2TXD1	ESIO2TXD0
	0	0	0	0	0	0	0	0
PNFR3					INT13	INT12		
					0	0		
PNOD								
PNPUP	0	0	0	0	0	0	0	0
PNPDN								
PNIE	0	0	0	0	0	0	0	0

15.4.14 ポート P (PP0~PP7)

	7	6	5	4	3	2	1	0
PPDATA	0	0	0	0	0	0	0	0
PPCR	0	0	0	0	0	0	0	0
PPFR1		SCLK4	RXD4	TXD4		ESIO2CS1	ESIO2CS0	ESIO2SCK
		0	0	0		0	0	0
PPFR2	$\overline{RTS7}$	$\overline{CTS7}$			RXD7	TXD7		
	0	0			0	0		
PPFR3	INT0	$\overline{CTS4}$			INT15	INT14		
	0	0			0	0		
PPOD								
PPPUP	0	0	0	0	0	0	0	0
PPPDN								
PPIE	0	0	0	0	0	0	0	0

15.4.15 ポート R (PR0~PR7)

	7	6	5	4	3	2	1	0
PRDATA	0	0	0	0	0	0	0	0
PRCR	0	0	0	0	0	0	0	0
PRFR1			SDA0	SCL0	$\overline{RTS6}$	$\overline{CTS6}$	RXD6	TXD6
			0	0	0	0	0	0
PRFR2					TB11IN1	TB11IN0		
					0	0		
PRFR3	INT4	INT3			INT2	INT1		
	0	0			0	0		
PROD (注 1)		PH6OD(注 2)	PR5OD	PR4OD	PR3OD	PR2OD	PR1OD	PR0OD
		0	0	0	0	0	0	0
PRPUP	0	0	0	0	0	0	0	0
PRPDN								
PRIE	0	0	0	0	0	0	0	0
備考	EPCH0IN1 (注 3)	EPCH0IN0 (注 3)						

注 1) オープンドレインコントロールレジスタのみ 0x400C_1408 に配置されています。これ以外のレジスタはポート R のベースアドレス 0x400C_0E00 からオフセットしたアドレスに配置されています。

注 2) PROD[6]は、PHOD2<PH6OD>が配置されています。

注 3) EPHC0IN0、EPHC0IN1 の入力として使用する際は、該当ポートのファンクションレジスタ(PxFRn)を PORT に設定し、入力コントロールレジスタ(PxIE)を入力許可に設定してください

15.4.16　ポート T (PT0~PT7)

	7	6	5	4	3	2	1	0
PTDATA	0	0	0	0	0	0	0	0
PTCR	0	0	0	0	0	0	0	0
PTFR1	TCOUT7	TCOUT6	TCOUT5	TCOUT4	TCOUT3	TCOUT2	TCOUT1	TCOUT0
	0	0	0	0	0	0	0	0
PTOD								
PTPUP	0	0	0	0	0	0	0	0
PTPDN								
PTIE	0	0	0	0	0	0	0	0

15.4.17　ポート U (PU0~PU7)

	7	6	5	4	3	2	1	0
PUDATA	0	0	0	0	0	0	0	0
PUCR	0	0	0	0	0	0	0	0
PUFR1	PHC1IN1	PHC1IN0	PHC0IN1	PHC0IN0	TCIN3	TCIN2	TCIN1	TCIN0
	0	0	0	0	0	0	0	0
PUOD								
PUPUP	0	0	0	0	0	0	0	0
PUPDN								
PUIE	0	0	0	0	0	0	0	0

15.4.18　ポート V (PV0~PV7)

	7	6	5	4	3	2	1	0
PVDATA	0	0	0	0	0	0	0	0
PVCR	0	0	0	0	0	0	0	0
PVFR1	TB07OUT	TB06OUT	TB05OUT	TB04OUT	TB03OUT	TB02OUT	TB01OUT	TB00OUT
	0	0	0	0	0	0	0	0
PVOD								
PVPUP	0	0	0	0	0	0	0	0
PVPDN								
PVIE	0	0	0	0	0	0	0	0

15.4.19 ポート W (PW0~PW7)

	7	6	5	4	3	2	1	0
PWDATA	0	0	0	0	0	0	0	0
PWCR	0	0	0	0	0	0	0	0
PWFR1	TB15OUT	TB14OUT	TB13OUT	TB12OUT	TB11OUT	TB10OUT	TB09OUT	TB08OUT
	0	0	0	0	0	0	0	0
PWOD	0	0	0	0	0	0	0	0
PWPUP	0	0	0	0	0	0	0	0
PWPDN								
PWIE	0	0	0	0	0	0	0	0

15.4.20 ポート Y (PY0~PY7)

	7	6	5	4	3	2	1	0
PYDATA	0	0	0	0	0	0	0	0
PYCR	0	0	0	0	0	0	0	0
PYFR1	TD1OUT1	TD1OUT0	TD0OUT1	TD0OUT0	TB19OUT	TB18OUT	TB17OUT	TB16OUT
	0	0	0	0	0	0	0	0
PYOD								
PYPUP	0	0	0	0	0	0	0	0
PYPDN								
PYIE	0	0	0	0	0	0	0	0

15.4.21　ポート AA (PAA0~PAA7)

アナログ入力機能として使用する際は初期値のままで使用してください。

	7	6	5	4	3	2	1	0
PAADATA	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
PAACR								
PAAOD								
PAAPUP	0	0	0	0	0	0	0	0
PAAPDN								
PAAIE	0	0	0	0	0	0	0	0
備考	AINA7(注 2)	AINA6(注 2)	AINA5(注 2)	AINA4(注 2)	AINA3(注 2)	AINA2(注 2)	AINA1(注 2)	AINA0(注 2)

注 1)　不定値が読み出せます。入力データを読み出す場合は、入力コントロールレジスタに"1"をセットし、その後データレジスタから値を読み出してください。

注 2)　アナログ入力として使用する際は、当該ポートのレジスタ設定は禁止です。(初期状態から変更しないでください)

15.4.22　ポート AB (PAB0~PAB7)

アナログ入力機能として使用する際は初期値のままで使用してください。

	7	6	5	4	3	2	1	0
PABDATA	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
PABCR								
PABOD								
PABPUP	0	0	0	0	0	0	0	0
PABPDN								
PABIE	0	0	0	0	0	0	0	0
備考	AINB7(注 2)	AINB6(注 2)	AINB5(注 2)	AINB4(注 2)	AINB3(注 2)	AINB2(注 2)	AINB1(注 2)	AINB0(注 2)

注 1)　不定値が読み出せます。入力データを読み出す場合は、入力コントロールレジスタに"1"をセットし、その後データレジスタから値を読み出してください。

注 2)　アナログ入力として使用する際は、当該ポートのレジスタ設定は禁止です。(初期状態から変更しないでください)

15.4.23 ポート AC (PAC0~PAC7)

アナログ入力機能として使用する際は初期値のままで使用してください。

	7	6	5	4	3	2	1	0
PACDATA					(注 1)	(注 1)	(注 1)	(注 1)
PACCR								
PACOD								
PACPUP					0	0	0	0
PACPDN								
PACIE					0	0	0	0
備考					AINC3(注 2)	AINC2(注 2)	AINC1(注 2)	AINC0(注 2)

注 1) 不定値が読み出せます。入力データを読み出す場合は、入力コントロールレジスタに"1"をセットし、その後データレジスタから値を読み出してください。

注 2) アナログ入力として使用する際は、当該ポートのレジスタ設定は禁止です。(初期状態から変更しないでください)

15.4.24 ポート AD (PAD0~PAD7)

	7	6	5	4	3	2	1	0
PADDATA	0	0	0	0	0	0	0	0
PADCR	0	0	0	0	0	0	0	0
PADFR1	KWUPA07	KWUPA06	KWUPA05	KWUPA04	KWUPA03	KWUPA02	KWUPA01	KWUPA00
	0	0	0	0	0	0	0	0
PADOD								
PADPUP	0	0	0	0	0	0	0	0
PADPDN								
PADIE	0	0	0	0	0	0	0	0

15.4.25 ポート AE (PAE0~PAE7)

	7	6	5	4	3	2	1	0
PAEDATA	0	0	0	0	0	0	0	0
PAECR	0	0	0	0	0	0	0	0
PAEFR1	KWUPA15	KWUPA14	KWUPA13	KWUPA12	KWUPA11	KWUPA10	KWUPA09	KWUPA08
	0	0	0	0	0	0	0	0
PAEOD								
PAEPUP	0	0	0	0	0	0	0	0
PAEPDN								
PAEIE	0	0	0	0	0	0	0	0

15.4.26　ポート AF (PAF0~PAF7)

	7	6	5	4	3	2	1	0
PAFDATA	0	0	0	0	0	0	0	0
PAFCR	0	0	0	0	0	0	0	0
PAFFR1	KWUPA23	KWUPA22	KWUPA21	KWUPA20	KWUPA19	KWUPA18	KWUPA17	KWUPA16
	0	0	0	0	0	0	0	0
PAFOD								
PAFPUP	0	0	0	0	0	0	0	0
PAFPDN								
PAFIE	0	0	0	0	0	0	0	0

15.4.27　ポート AG (PAG0~PAG7)

	7	6	5	4	3	2	1	0
PAGDATA	0	0	0	0	0	0	0	0
PAGCR	0	0	0	0	0	0	0	0
PAGFR1	KWUPA31	KWUPA30	KWUPA29	KWUPA28	KWUPA27	KWUPA26	KWUPA25	KWUPA24
	0	0	0	0	0	0	0	0
PAGFR2	TCTBTIN							
	0							
PAGOD								
PAGPUP	0	0	0	0	0	0	0	0
PAGPDN								
PAGIE	0	0	0	0	0	0	0	0

15.4.28　ポート AH (PAH0~PAH7)

	7	6	5	4	3	2	1	0
PAHDATA	0	0	0	0	0	0	0	0
PAHCR	0	0	0	0	0	0	0	0
PAHFR								
PAHOD								
PAHPUP	0	0	0	0	0	0	0	0
PAHPDN								
PAHIE	0	0	0	0	0	0	0	0
備考	KSIN7/ KWUPB7 (注)	KSIN6/ KWUPB6 (注)	KSIN5/ KWUPB5 (注)	KSIN4/ KWUPB4 (注)	KSIN3/ KWUPB3 (注)	KSIN2/ KWUPB2 (注)	KSIN1/ KWUPB1 (注)	KSIN0/ KWUPB0 (注)

注)　キースキャン/キーオンウエイクアップの入力として使用する際は、当該ポートの入力コントロールレジスタ(PxIE)を入力許可に設定してください。

15.4.29 ポート AJ (PAJ0~PAJ7)

	7	6	5	4	3	2	1	0
PAJDATA	0	0	0	0	0	0	0	0
PAJCR	0	0	0	0	0	0	0	0
PAJFR1	KSOUT7	KSOUT6	KSOUT5	KSOUT4	KSOUT3	KSOUT2	KSOUT1	KSOUT0
	0	0	0	0	0	0	0	0
PAJOD (注)	0	0	0	0	0	0	0	0
PAJPUP	0	0	0	0	0	0	0	0
PAJPDN								
PAJIE	0	0	0	0	0	0	0	0

注) オープンドレインコントロールレジスタのみ 0x400C_1508 に配置されています。これ以外のレジスタは
ポート AJ のベースアドレス 0x400C_1C00 からオフセットしたアドレスに配置されています。

15.5　ポート回路図

15.5.1　ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 15-2 機能一覧

Type	機能入出力					Pull-up	Pull-down	アナログ
	入出力	イネーブル信号の有無		STOP モード中動作				
		入力	出力	入力	出力			
FT1	入出力	−	−	−	−	R	R	−
FT2	入出力	−	o	o	o	R	R	−
FT3	入出力	−	o	−	−	R	R	−
FT4	入力 (int)	−	−	o	−	R	R	−
FT5	入力(AIN)	−	−	−	−	R	R	o
FT6	入力($\overline{\text{BOOT}}$)	−	−	−	−	EnR	R	−
FT7	入出力	o	o	o	o	R	R	−
FT8	入力	−	−	o	−	R	R	−
FT9	入出力	−	−	−	o	R	R	−
FT10	入出力	−	o	−	o	R	R	−
FT11	入力	−	−	o	−	R	R	−
FT12	入力	−	−	−	−	R	R	−
FT13	入力	−	−	−	−	R	R	−
FT14	入力	−	−	−	−	R	R	−
FT15	出力	−	−	−	o	R	R	−

int: 割り込み入力
−: なし
o: 有り
R: リセット中は強制的に禁止
EnR: リセット中は強制的に許可

15.5.2 タイプ FT1

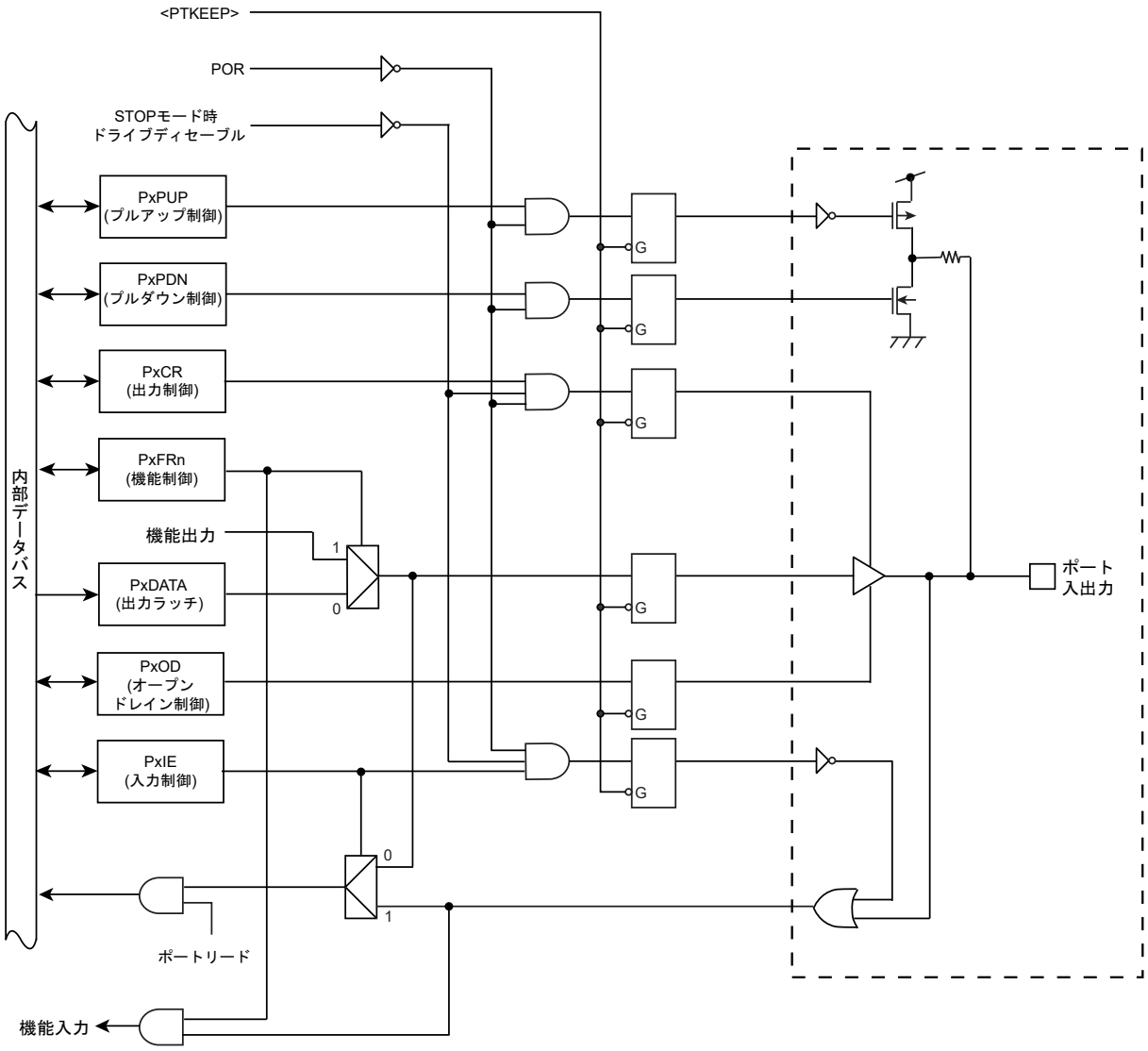


図 15-1 ポートタイプ FT1

15.5.3　タイプ FT2

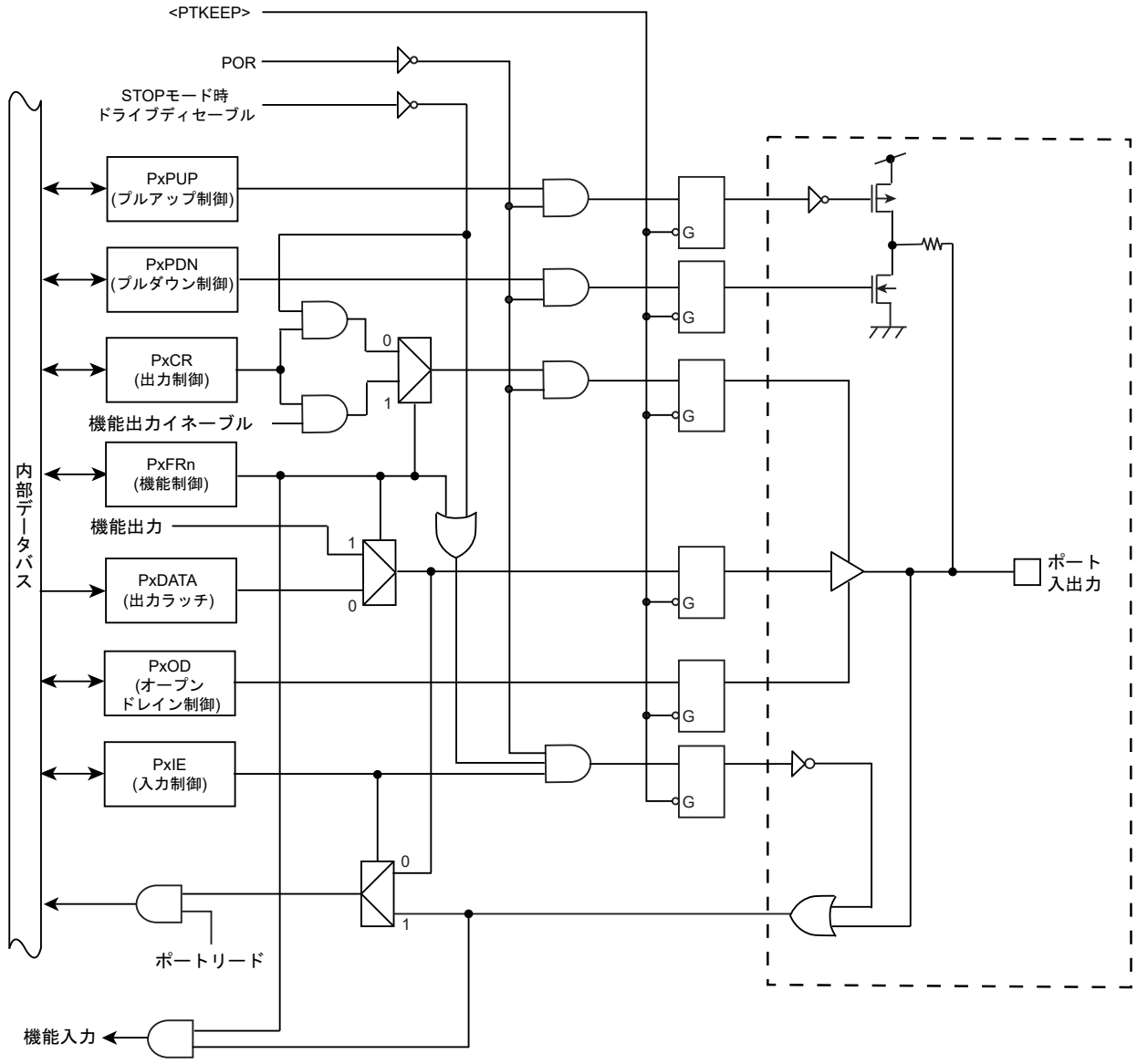


図 15-2 ポートタイプ FT2

15.5.4 タイプ FT3

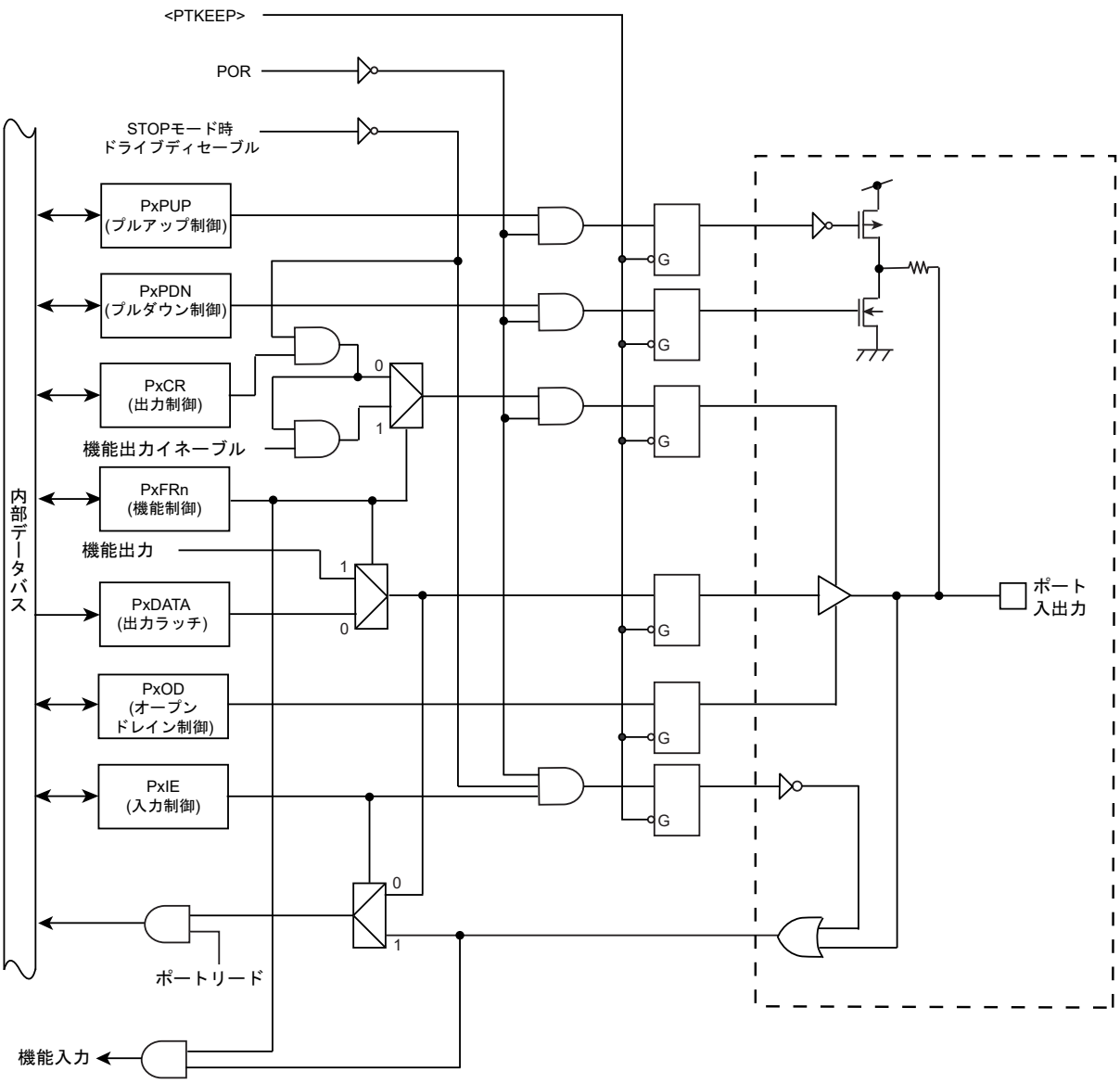


図 15-3 ポートタイプ FT3

15.5.5　タイプ FT4

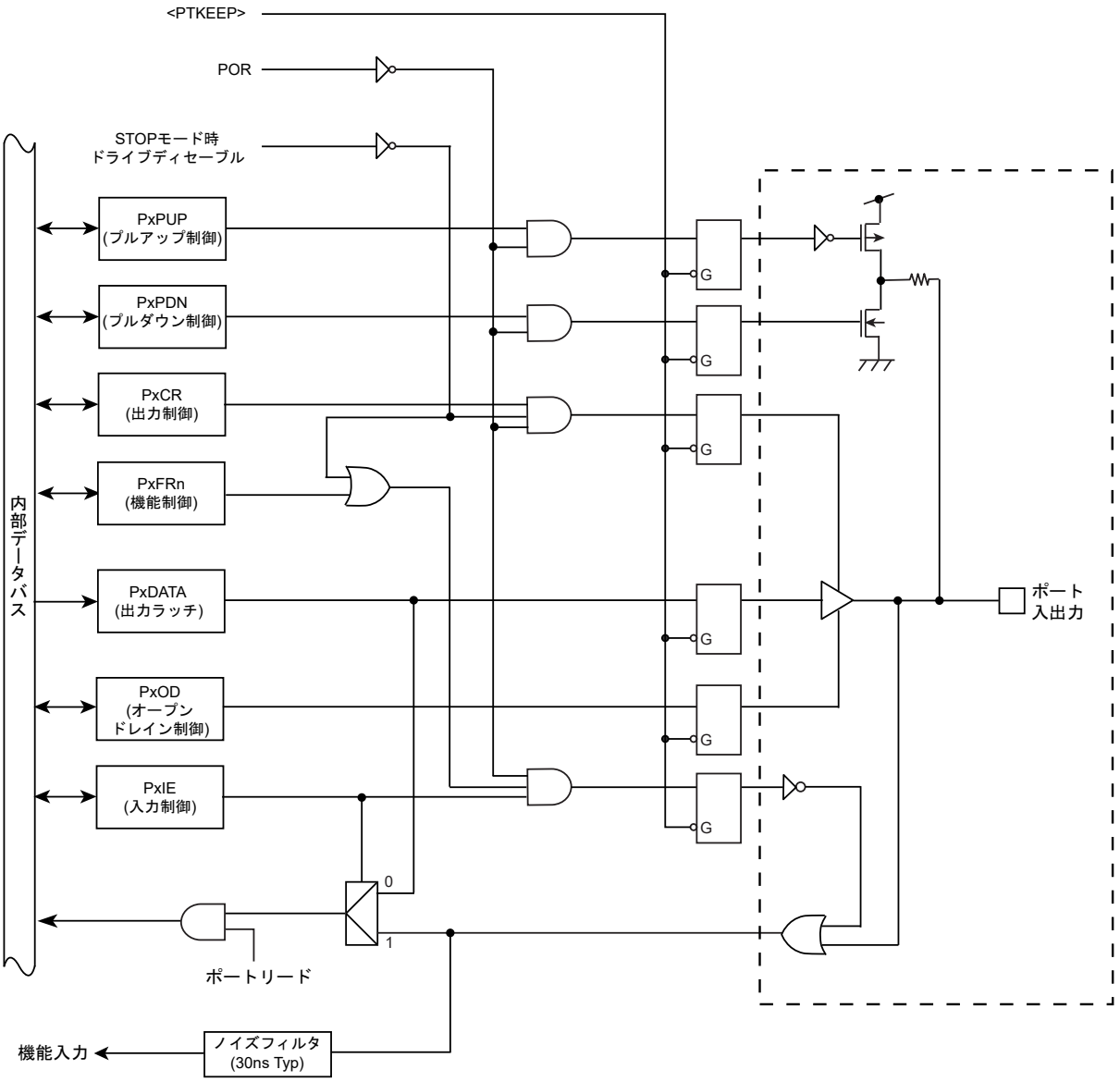


図 15-4 ポートタイプ FT4

15.5.6 タイプ FT5

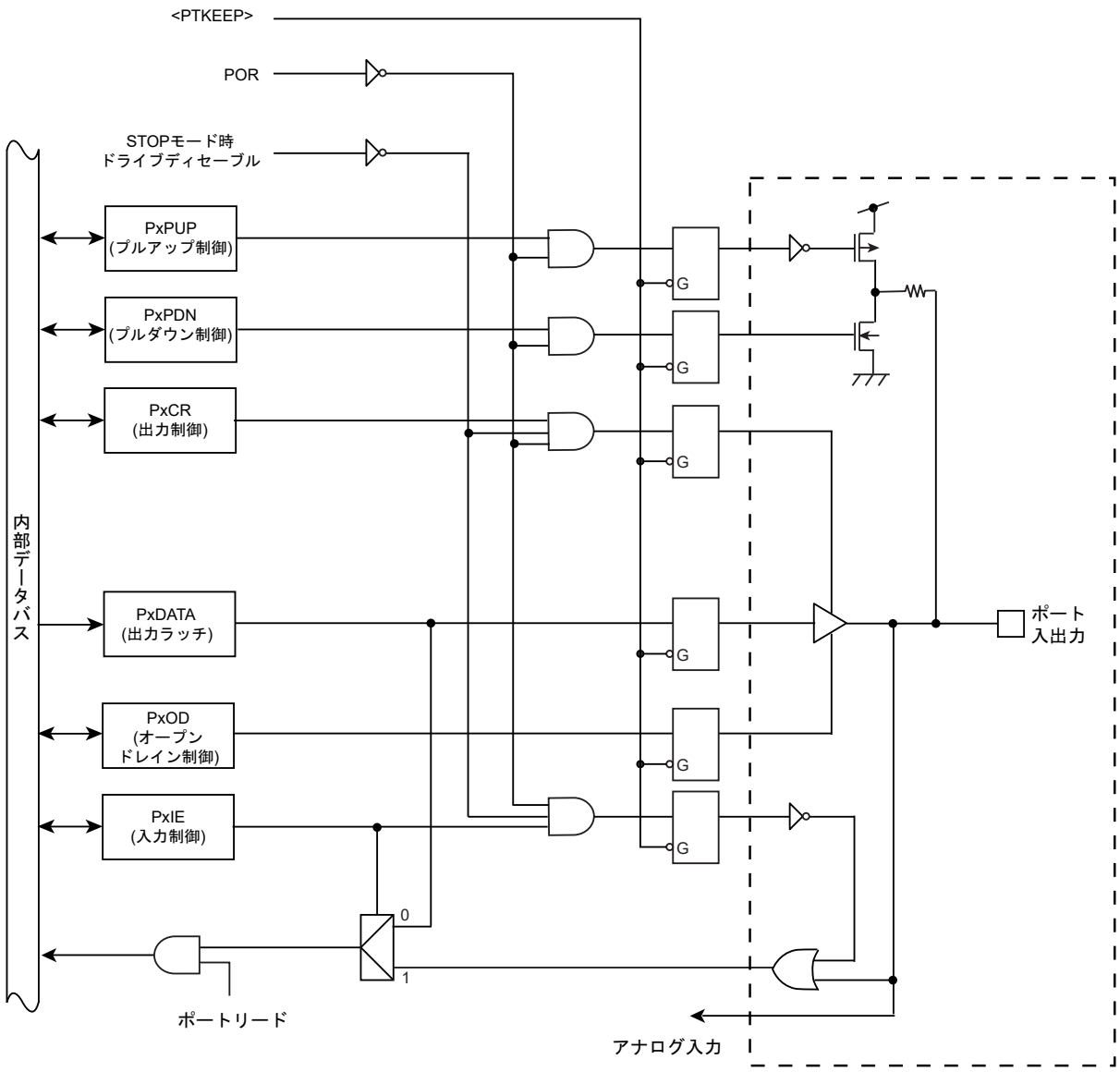


図 15-5 ポートタイプ FT5

15.5.7　タイプ FT6

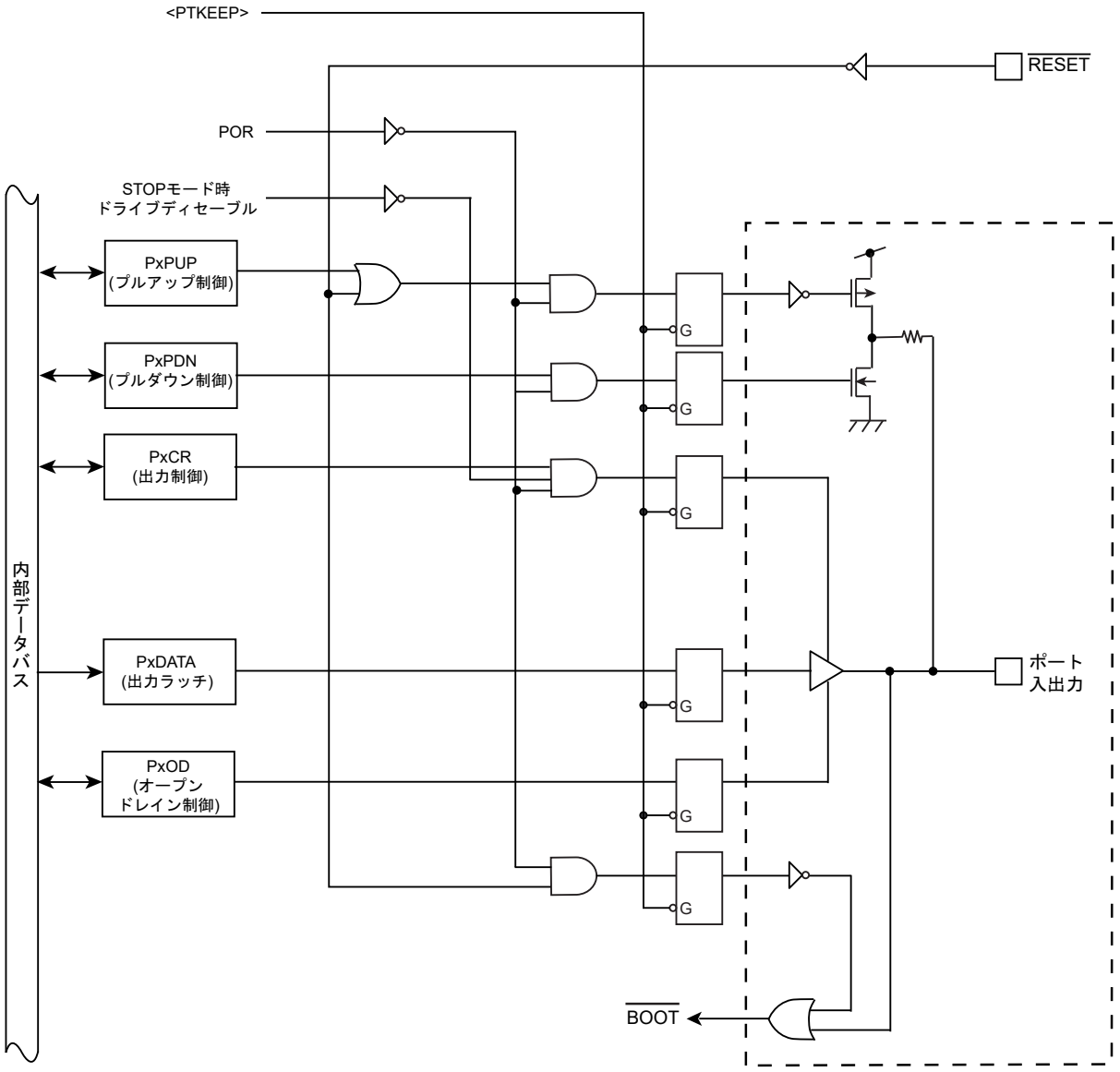


図 15-6 ポートタイプ FT6

15.5.8 タイプ FT7

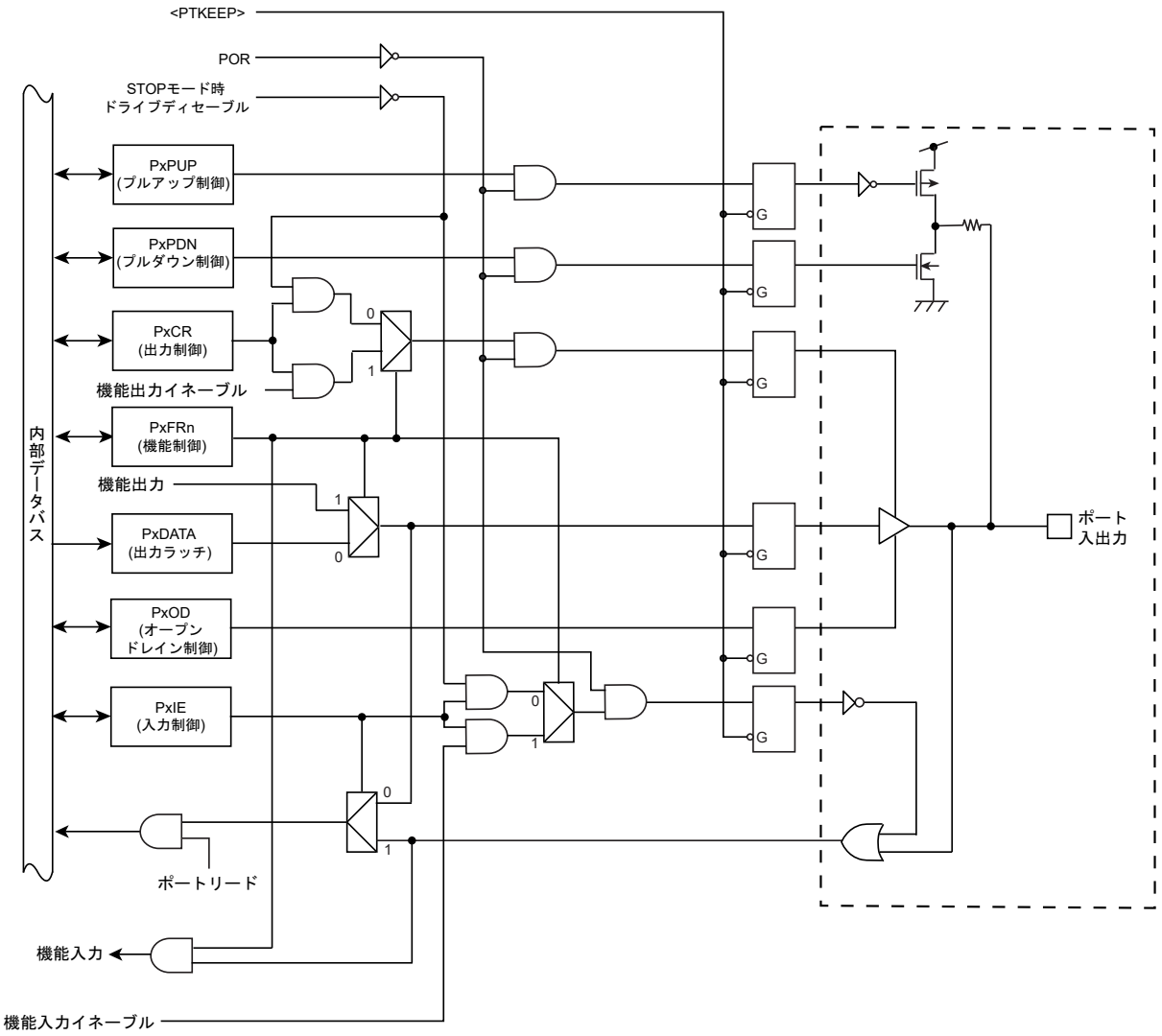


図 15-7 ポートタイプ FT7

15.5.9　タイプ FT8

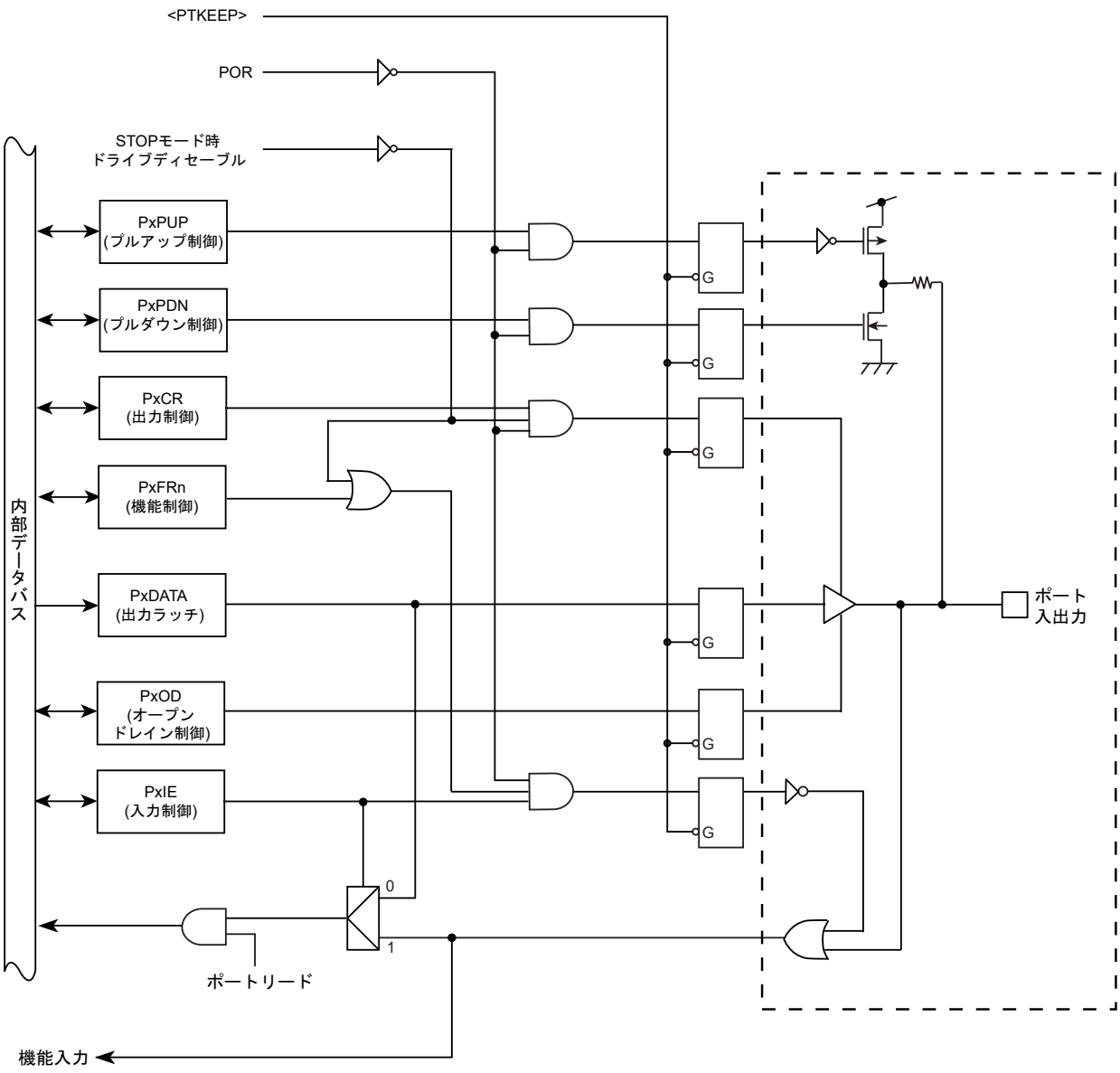


図 15-8 ポートタイプ FT8

15.5.10 タイプ FT9

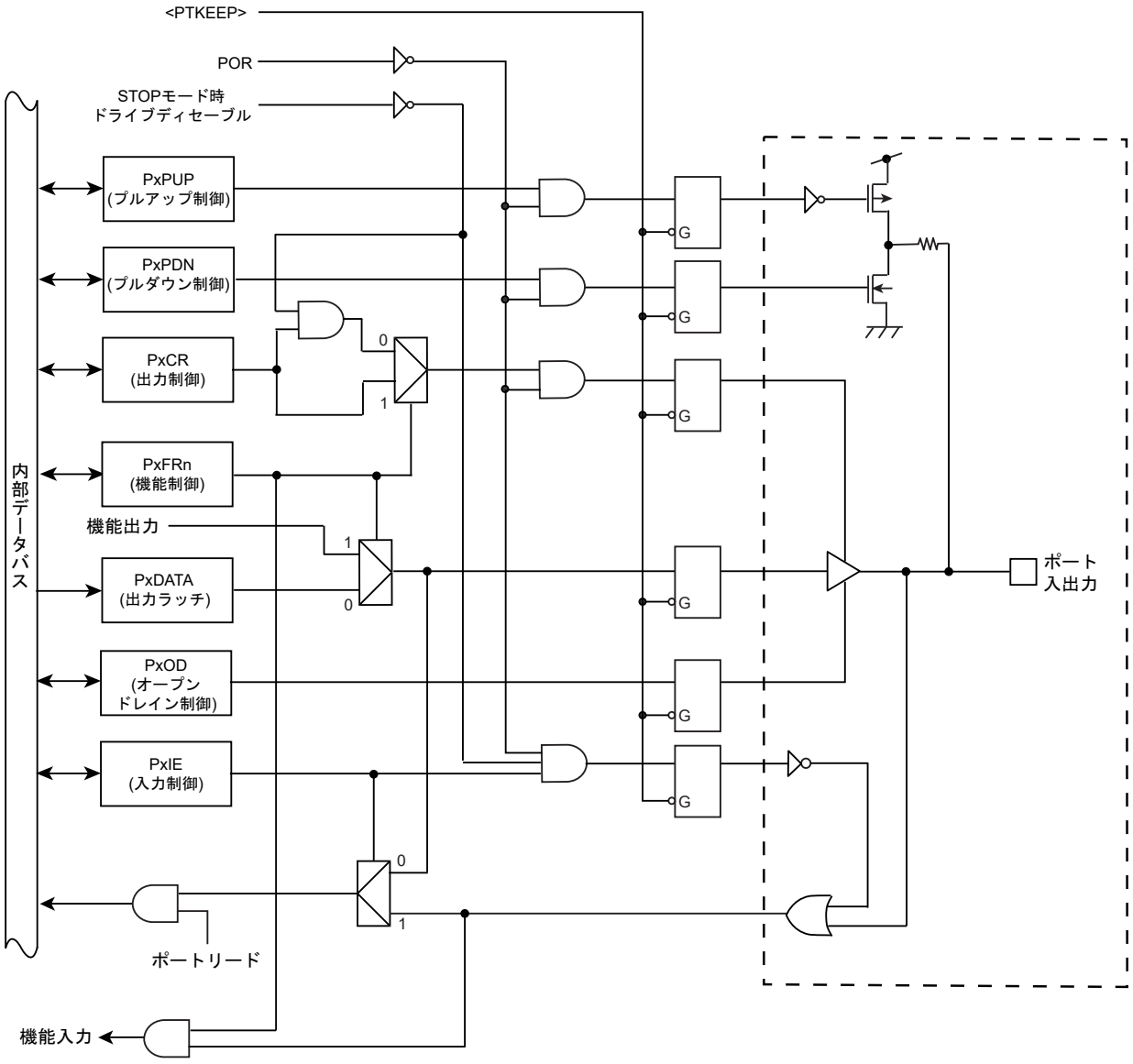


図 15-9 ポートタイプ FT9

15.5.11　タイプ FT10

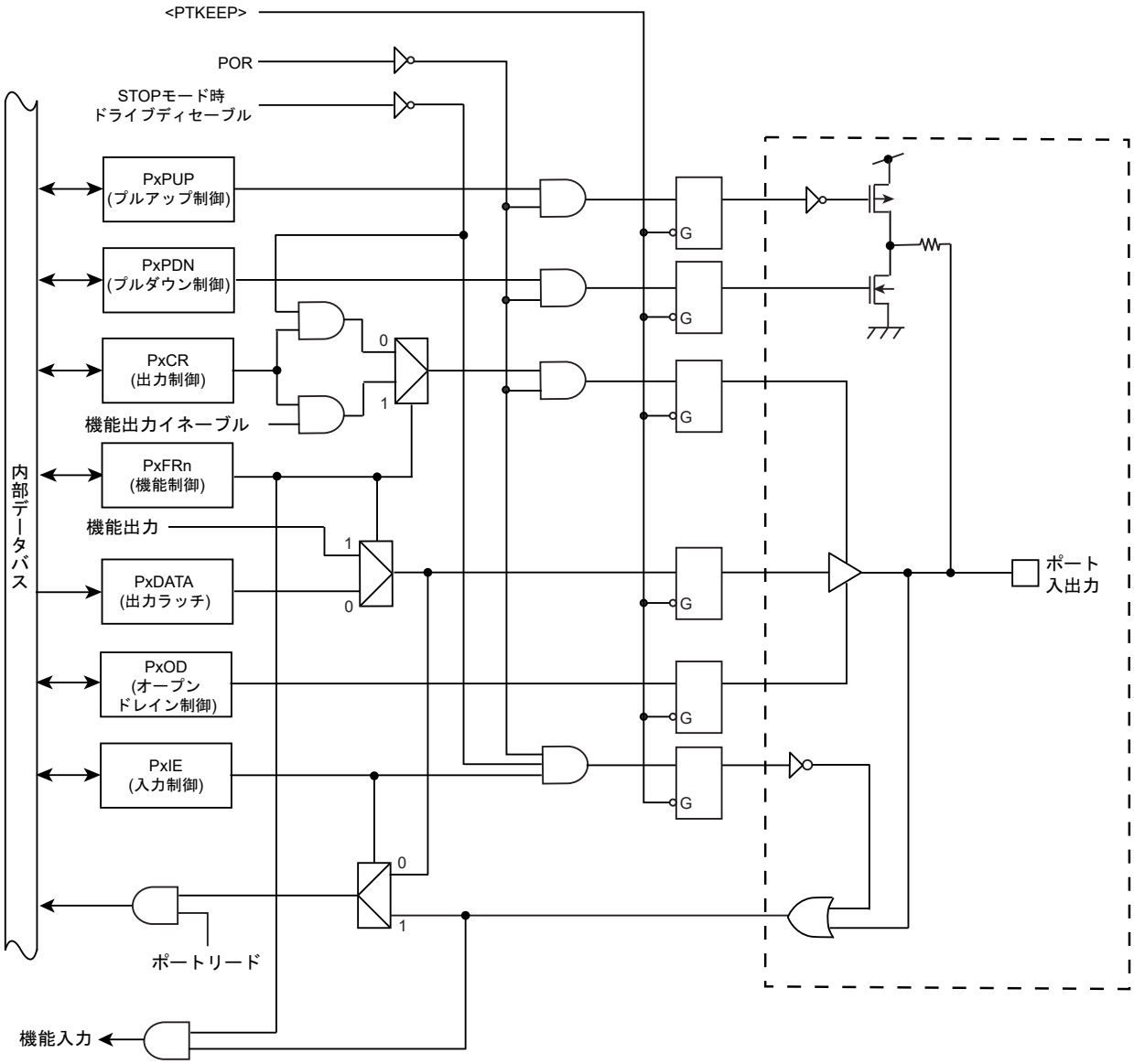


図 15-10 ポートタイプ FT10

15.5.12 タイプ FT11

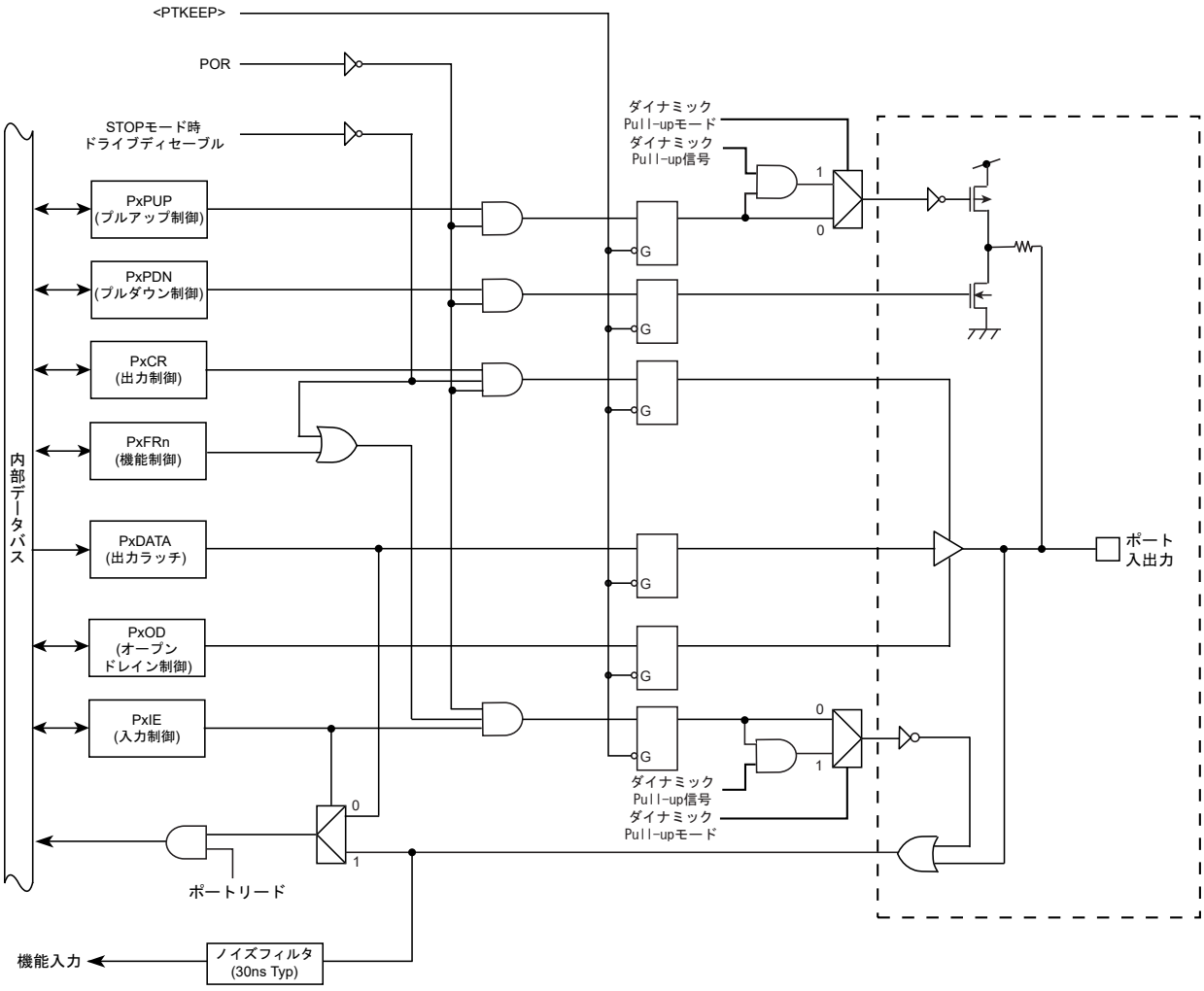


図 15-11 ポートタイプ FT11

15.5.13　タイプ FT12

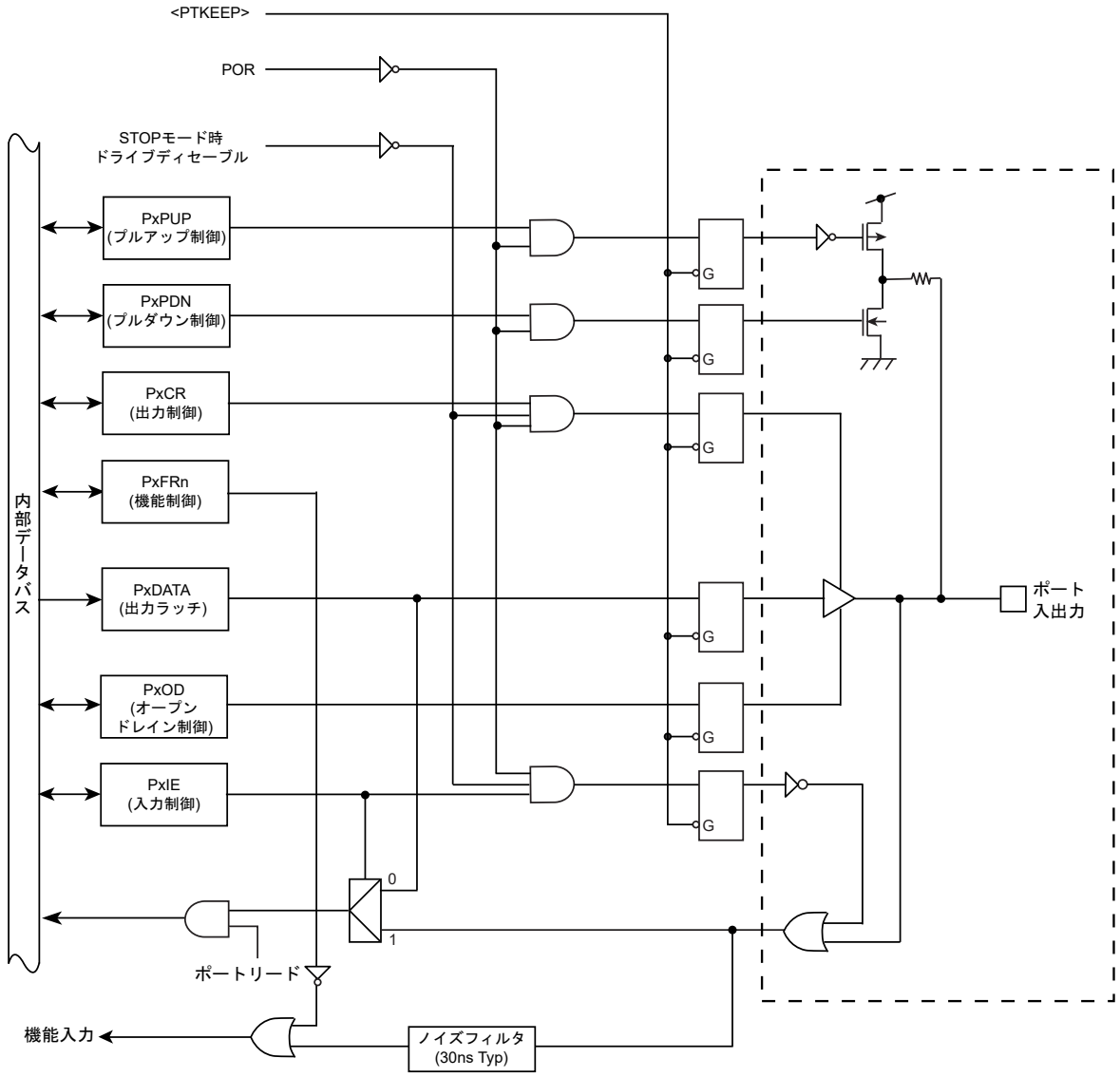


図 15-12 ポートタイプ FT12

15.5.14 タイプ FT13

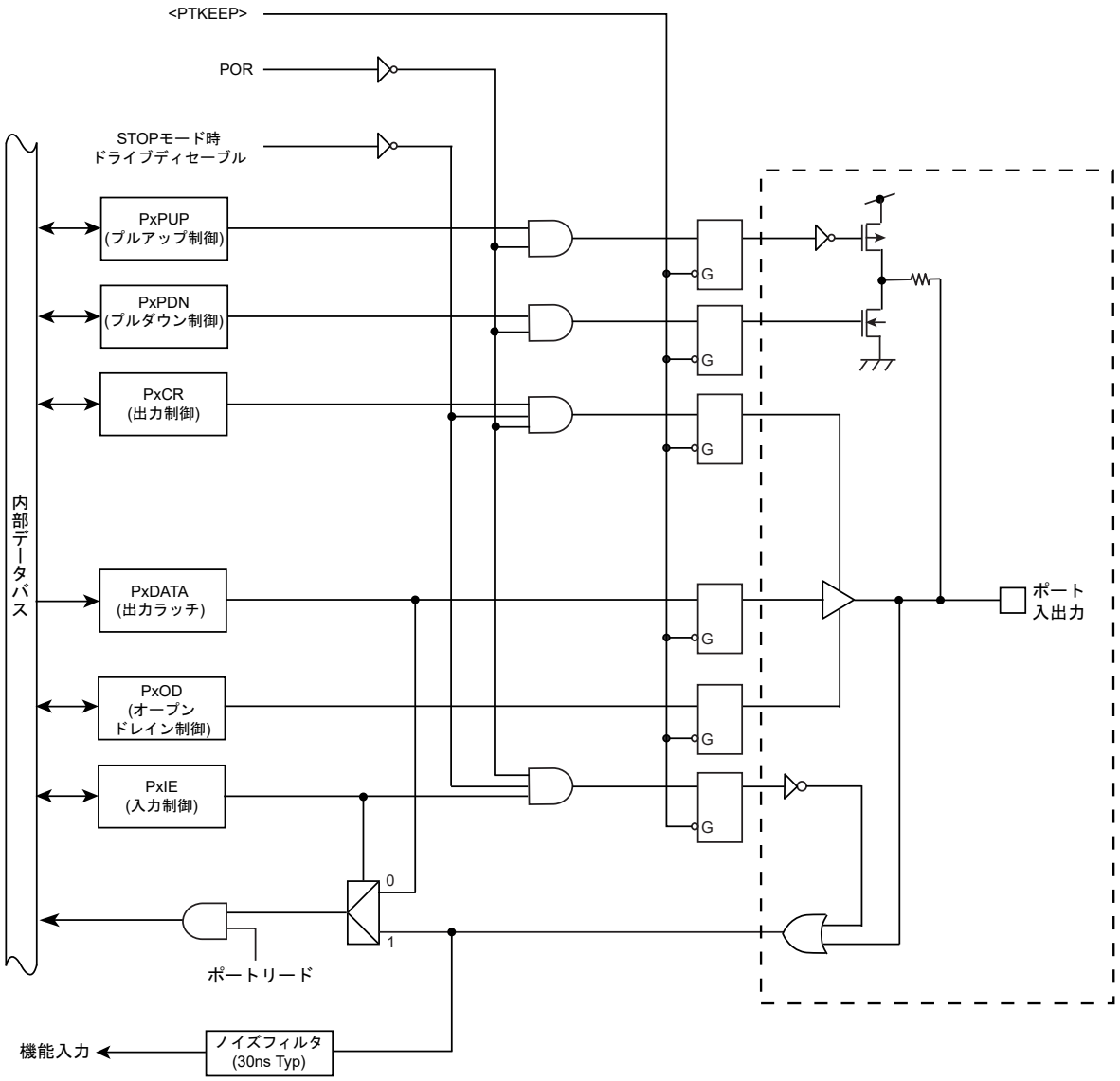


図 15-13 ポートタイプ FT13

15.5.15　タイプ FT14

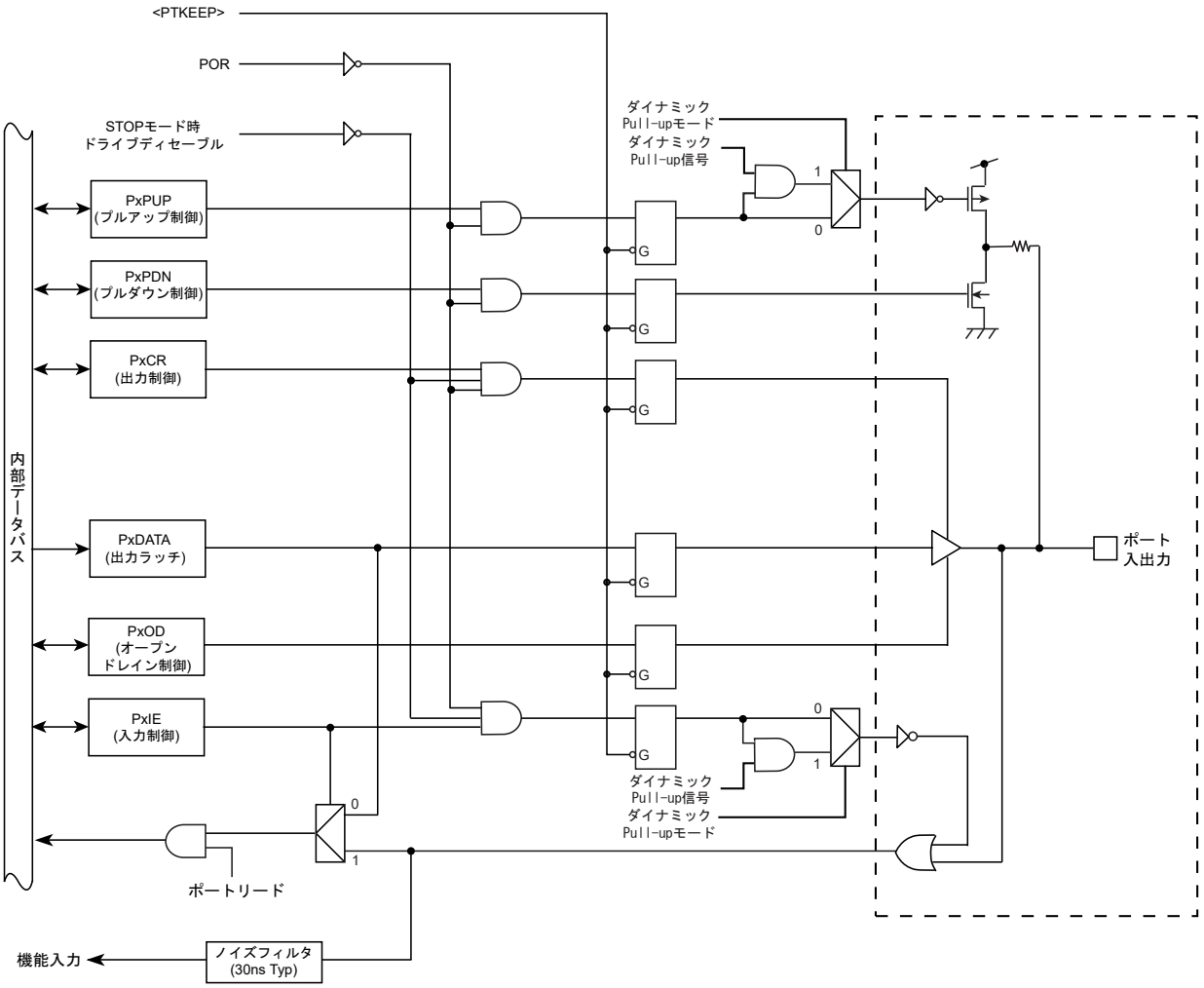


図 15-14 ポートタイプ FT14

15.5.16 タイプ FT15

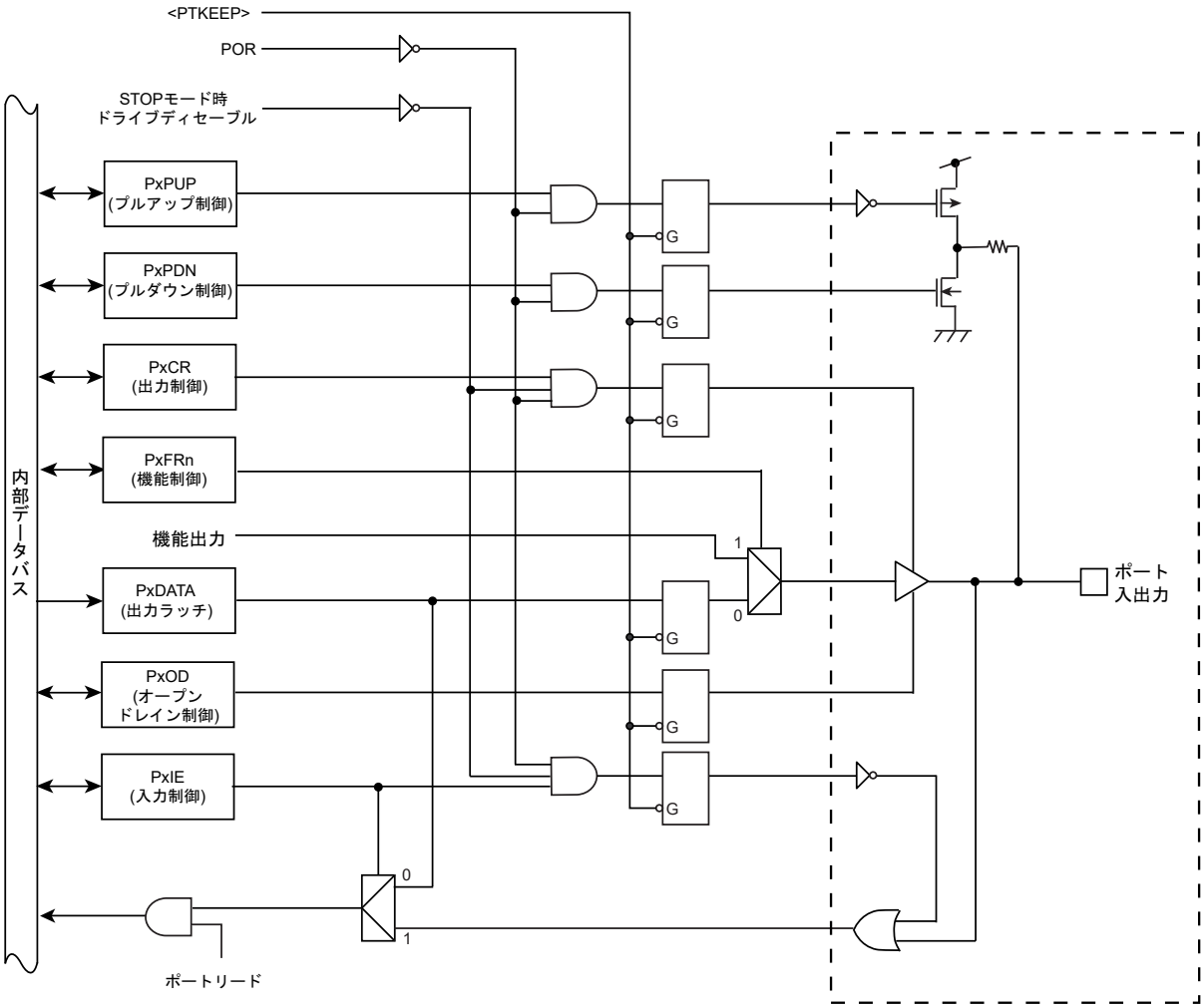


図 15-15 ポートタイプ FT15

15.6　付録 (ポート設定一覧)

端子ごとにポートレジスタに設定する値を示します。

レジスタ名の下に記載されている"0"、"1"は設定値を示し、"x"は任意に設定可能であることを示します。

表中の網掛けのビットはリードすると"0"が読め、ライトは意味を持ちません。

15.6.1　入出力ポートの設定

入出力ポートを入力ポート、出力ポートとして使用する場合は、下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px CR	Px FRn	Px OD	Px PUP	Px PDN	Px IE
Pxn	-	入力ポート		0	0	x	x	x	1
		出力ポート		1	0	x	x	x	0

15.6.2　入力専用ポートの設定

入力専用ポートは下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px FRn	Px OD	Px PUP	Px PDN	Px IE
Pxn	-	入力ポート		0	x	x	x	1

15.6.3　出力専用ポートの設定

出力専用ポートは下記の通り設定します。

端子名	ポートタイプ	機能	初期設定	Px CR	Px FRn	Px OD	Px PUP	Px PDN
Pxn	-	出力ポート		1	0	x	x	x
		出力ポート(Hi-Z 出力)		0	0	x	x	x

15.6.4 周辺機能の入出力端子として使用する場合の設定

周辺機能として使用する場合の設定を示します。

ほとんどの端子は、リセット解除後のポートレジスタの初期状態はすべて"0"で入出力は禁止されています。

リセット解除後に特定の機能に設定される端子については、該当する機能の「初期設定」欄に"o"を記載しています。

PxFRn の欄は、設定の必要なファンクションレジスタを示します。

15.6.4.1　ポート A 設定

端子名	ポート タイプ	機能	初期 設定	PA CR	PA FRn	PA OD	PA PUP	PA PDN	PA IE
PA0	FT7	D0/AD0		1	PA0F1		x		1
	FT3	PSCPTIO0 (入力)		0	PA0F3		x		1
	FT3	PSCPTIO0 (出力)		1	PA0F3		x		0
PA1	FT7	D1/AD1		1	PA1F1		x		1
	FT3	PSCPTIO1 (入力)		0	PA1F3		x		1
	FT3	PSCPTIO1 (出力)		1	PA1F3		x		0
PA2	FT7	D2/AD2		1	PA2F1		x		1
	FT3	PSCPTIO2 (入力)		0	PA2F3		x		1
	FT3	PSCPTIO2 (出力)		1	PA2F3		x		0
PA3	FT7	D3/AD3		1	PA3F1		x		1
	FT3	PSCPTIO3 (入力)		0	PA3F3		x		1
	FT3	PSCPTIO3 (出力)		1	PA3F3		x		0
PA4	FT7	D4/AD4		1	PA4F1		x		1
	FT3	PSCPTIO4 (入力)		0	PA4F3		x		1
	FT3	PSCPTIO4 (出力)		1	PA4F3		x		0
PA5	FT7	D5/AD5		1	PA5F1		x		1
	FT3	PSCPTIO5 (入力)		0	PA5F3		x		1
	FT3	PSCPTIO5 (出力)		1	PA5F3		x		0
PA6	FT7	D6/AD6		1	PA6F1		x		1
	FT3	PSCPTIO6 (入力)		0	PA6F3		x		1
	FT3	PSCPTIO6 (出力)		1	PA6F3		x		0
PA7	FT7	D7/AD7		1	PA7F1		x		1
	FT3	PSCPTIO7 (入力)		0	PA7F3		x		1
	FT3	PSCPTIO7 (出力)		1	PA7F3		x		0

15.6.4.2 ポート B 設定

端子名	ポートタイプ	機能	初期設定	PB CR	PB FRn	PB OD	PB PUP	PB PDN	PB IE
PB0	FT7	D8/AD8		1	PB0F1		x		1
	FT1	TB12IN0		0	PB0F3		x		1
PB1	FT7	D9/AD9		1	PB1F1		x		1
	FT1	TB12IN1		0	PB1F3		x		1
PB2	FT7	D10/AD10		1	PB2F1		x		1
	FT1	TB13IN0		0	PB2F3		x		1
PB3	FT7	D11/AD11		1	PB3F1		x		1
	FT1	TB13IN1		0	PB3F3		x		1
PB4	FT7	D12/AD12		1	PB4F1		x		1
	FT1	TB14IN0		0	PB4F3		x		1
PB5	FT7	D13/AD13		1	PB5F1		x		1
	FT1	TB14IN1		0	PB5F3		x		1
PB6	FT7	D14/AD14		1	PB6F1		x		1
	FT1	TB15IN0		0	PB6F3		x		1
PB7	FT7	D15/AD15		1	PB7F1		x		1
	FT1	TB15IN1		0	PB7F3		x		1

15.6.4.3 ポート C 設定

端子名	ポートタイプ	機能	初期設定	PC CR	PC FRn	PC OD	PC PUP	PC PDN	PC IE
PC0	FT7	A0		1	PC0F1		x		0
	FT7	A16		1	PC0F2		x		0
	FT4	INT5		0	PC0F3		x		1
PC1	FT7	A1		1	PC1F1		x		0
	FT7	A17		1	PC1F2		x		0
	FT4	INT6		0	PC1F3		x		1
PC2	FT7	A2		1	PC2F1		x		0
	FT7	A18		1	PC2F2		x		0
	FT4	INT7		0	PC2F3		x		1
PC3	FT7	A3		1	PC3F1		x		0
	FT7	A19		1	PC3F2		x		0
	FT4	INT8		0	PC3F3		x		1
PC4	FT7	A4		1	PC4F1		x		0
	FT7	A20		1	PC4F2		x		0
	FT4	INT9		0	PC4F3		x		1
PC5	FT7	A5		1	PC5F1		x		0
	FT7	A21		1	PC5F2		x		0
	FT4	INTA		0	PC5F3		x		1
PC6	FT7	A6		1	PC6F1		x		0
	FT7	A22		1	PC6F2		x		0
	FT4	INTB		0	PC6F3		x		1

端子名	ポート タイプ	機能	初期 設定	PC CR	PC FRn	PC OD	PC PUP	PC PDN	PC IE
PC7	FT7	A7		1	PC7F1		x		0
	FT7	A23		1	PC7F2		x		0
	FT4	INTC		0	PC7F3		x		1

15.6.4.4　ポート D 設定

端子名	ポート タイプ	機能	初期 設定	PD CR	PD FRn	PD OD	PD PUP	PD PDN	PD IE
PD0	FT7	A8		1	PD0F1		x		0
	FT1	TB16IN0		0	PD0F2		x		1
PD1	FT7	A9		1	PD1F1		x		0
	FT1	TB16IN1		0	PD1F2		x		1
PD2	FT7	A10		1	PD2F1		x		0
	FT1	TB17IN0		0	PD2F2		x		1
PD3	FT7	A11		1	PD3F1		x		0
	FT1	TB17IN1		0	PD3F2		x		1
PD4	FT7	A12		1	PD4F1		x		0
	FT1	TB18IN0		0	PD4F2		x		1
PD5	FT7	A13		1	PD5F1		x		0
	FT1	TB18IN1		0	PD5F2		x		1
PD6	FT7	A14		1	PD6F1		x		0
	FT1	TB19IN0		0	PD6F2		x		1
PD7	FT7	A15		1	PD7F1		x		0
	FT1	TB19IN1		0	PD7F2		x		1

15.6.4.5 ポート E 設定

端子名	ポートタイプ	機能	初期設定	PE CR	PE FRn	PE OD	PE PUP	PE PDN	PE IE
PE0	FT7	A16		1	PE0F1	x	x		0
	FT1	TXD2		1	PE0F2	x	x		0
PE1	FT7	A17		1	PE1F1	x	x		0
	FT1	RXD2		0	PE1F2	x	x		1
PE2	FT7	A18		1	PE2F1	x	x		0
	FT1	SCLK2 (入力)		0	PE2F2	x	x		1
	FT1	SCLK2 (出力)		1	PE2F2	x	x		0
	FT1	$\overline{\text{CTS2}}$		0	PE2F3	x	x		1
PE3	FT7	A19		1	PE3F1		x		0
	FT1	$\overline{\text{DREQB}}$		0	PE3F2		x		1
	FT13	INT16		0			x		1
PE4	FT7	A20		1	PE4F1	x	x		0
	FT1	TXD5		1	PE4F2	x	x		0
PE5	FT7	A21		1	PE5F1	x	x		0
	FT1	RXD5		0	PE5F2	x	x		1
PE6	FT7	A22		1	PE6F1	x	x		0
	FT1	SCLK5 (入力)		0	PE6F2	x	x		1
	FT1	SCLK5 (出力)		1	PE6F2	x	x		0
	FT1	$\overline{\text{CTS5}}$		0	PE6F3	x	x		1
PE7	FT7	A23		1	PE7F1		x		0
	FT1	$\overline{\text{DREQC}}$		0	PE7F2		x		1
	FT13	INT17		0			x		1

15.6.4.6 ポート F 設定

端子名	ポートタイプ	機能	初期設定	PF CR	PF FRn	PF OD	PF PUP	PF PDN	PF IE
PF0	FT7	$\overline{\text{RD}}$		1	PF0F1		x		0
PF1	FT7	$\overline{\text{WR}}$		1	PF1F1		x		0
PF2	FT7	$\overline{\text{BELL}}$		1	PF2F1		x		0
PF3	FT7	$\overline{\text{BELH}}$		1	PF3F1		x		0
PF4	FT7	ALE		1	PF4F1		x		0
PF5	FT7	$\overline{\text{CS0}}$		1	PF5F1		x		0
PF6	FT7	$\overline{\text{CS1}}$		1	PF6F1		x		0
	FT1	$\overline{\text{DREQA}}$		0	PF6F2		x		1
	FT4	INTD		0	PF6F3		x		1
PF7	FT6	$\overline{\text{BOOT}}$(注)		0			1		1

注) PF7 は $\overline{\text{RESET}}$ 端子が"Low"の間 Pull-up と入力が許可になっており、$\overline{\text{BOOT}}$ 入力端子として機能します。

15.6.4.7　ポート G 設定

端子名	ポートタイプ	機能	初期設定	PG CR	PG FRn	PG OD	PG PUP	PG PDN	PG IE
PG0	FT2	TDO/ SWV	o	1	PG0F1		0		0
PG1	FT2	TMS/ SWDIO	o	1	PG1F1		1		1
PG2	FT2	TCK/ SWCLK	o	0	PG2F1			1	1
PG3	FT2	TDI	o	0	PG3F1		1		1
PG4	FT2	$\overline{\text{TRST}}$	o	0	PG4F1		1		1
PG5	FT9	TRACECLK		1	PG5F1		0		0
PG6	FT9	TRACEDATA0		1	PG6F1		0		0
PG7	FT9	TRACEDATA1		1	PG7F1		0		0

15.6.4.8　ポート H 設定

端子名	ポートタイプ	機能	初期設定	PH CR	PH FRn	PH OD	PH PUP	PH PDN	PH IE
PH0	FT9	TRACEDATA2		1	PH0F1		0		0
PH1	FT9	TRACEDATA3		1	PH1F1		0		0
PH2	FT12	$\overline{\text{ADTRGA}}$		0	PH2F1		x		1
PH3	FT12	$\overline{\text{ADTRGB}}$		0	PH3F1		x		1
	FT12	$\overline{\text{ADTRGSNC}}$		0	PH3F2		x		1
PH4	FT1	TXD0		1	PH4F1	x	x		0
PH5	FT1	RXD0		0	PH5F1	x	x		1
PH6	FT1	SCLK0 (入力)		0	PH6F1	x	x		1
	FT1	SCLK0 (出力)		1	PH6F1	x	x		0
	FT1	$\overline{\text{CTS0}}$		0	PH6F2	x	x		1
PH7	FT12	$\overline{\text{ADTRGC}}$		0	PH7F1		x		1

15.6.4.9　ポート J 設定

端子名	ポートタイプ	機能	初期設定	PJ CR	PJ FRn	PJ OD	PJ PUP	PJ PDN	PJ IE
PJ0	FT1	ESIO0TXD0		1	PJ0F1		x		0
PJ1	FT1	ESIO0TXD1		1	PJ1F1		x		0
PJ2	FT1	ESIO0TXD2		1	PJ2F1		x		0
PJ3	FT1	ESIO0TXD3		1	PJ3F1		x		0
PJ4	FT1	ESIO0RXD0		0	PJ4F1		x		1
PJ5	FT1	ESIO0RXD1		0	PJ5F1		x		1
PJ6	FT1	ESIO0RXD2		0	PJ6F1		x		1
PJ7	FT1	ESIO0RXD3		0	PJ7F1		x		1

15.6.4.10 ポート K 設定

端子名	ポートタイプ	機能	初期設定	PK CR	PK FRn	PK OD	PK PUP	PK PDN	PK IE
PK0	FT1	ESIO0SCK		1	PK0F1		x		0
PK1	FT1	ESIO0CS0		1	PK1F1		x		0
PK2	FT1	ESIO0CS1		1	PK2F1		x		0
	FT1	TB07IN0		0	PK2F2		x		1
PK3	FT1	TB07IN1		0	PK3F2		x		1
	FT4	INTE		0	PK3F3		x		1
PK4	FT1	TXD1		1	PK4F1	x	x		0
PK5	FT1	RXD1		0	PK5F1	x	x		1
PK6	FT1	SCLK1 (入力)		0	PK6F1	x	x		1
	FT1	SCLK1 (出力)		1	PK6F1	x	x		0
	FT1	TB8IN0		0	PK6F2	x	x		1
	FT1	$\overline{\text{CTS1}}$		0	PK6F3	x	x		1
PK7	FT1	TB8IN1		0	PK7F2	x	x		1
	FT4	INTF		0	PK7F3	x	x		1

15.6.4.11 ポート L 設定

端子名	ポートタイプ	機能	初期設定	PL CR	PL FRn	PL OD	PL PUP	PL PDN	PL IE
PL0	FT1	ESIO1TXD0		1	PL0F1		x		0
PL1	FT1	ESIO1TXD1		1	PL1F1		x		0
PL2	FT1	ESIO1TXD2		1	PL2F1		x		0
PL3	FT1	ESIO1TXD3		1	PL3F1		x		0
PL4	FT1	ESIO1RXD0		0	PL4F1		x		1
PL5	FT1	ESIO1RXD1		0	PL5F1		x		1
PL6	FT1	ESIO1RXD2		0	PL6F1		x		1
PL7	FT1	ESIO1RXD3		0	PL7F1		x		1

15.6.4.12　ポート M 設定

端子名	ポートタイプ	機能	初期設定	PM CR	PM FRn	PM OD	PM PUP	PM PDN	PM IE
PM0	FT1	ESIO1SCK		1	PM0F1		x		0
PM1	FT1	ESIO1CS0		1	PM1F1		x		0
PM2	FT1	ESIO1CS1		1	PM2F1		x		0
	FT1	TB09IN0		0	PM2F2		x		1
PM3	FT1	SCOUT		1	PM3F1		x		0
	FT1	TB09IN1		0	PM3F2		x		1
	FT4	INT10		0	PM3F3		x		1
PM4	FT1	TXD3		1	PM4F1	x	x		0
PM5	FT1	RXD3		0	PM5F1	x	x		1
PM6	FT1	SCLK3 (入力)		0	PM6F1	x	x		1
	FT1	SCLK3 (出力)		1	PM6F1	x	x		0
	FT1	TB10IN0		0	PM6F2	x	x		1
	FT1	$\overline{\text{CTS3}}$		0	PM6F3	x	x		1
PM7	FT1	TB10IN1		0	PM7F2	x	x		1
	FT4	INT11		0	PM7F3	x	x		1

15.6.4.13　ポート N 設定

端子名	ポートタイプ	機能	初期設定	PN CR	PN FRn	PN OD	PN PUP	PN PDN	PN IE
PN0	FT1	ESIO2TXD0		1	PN0F1		x		0
PN1	FT1	ESIO2TXD1		1	PN1F1		x		0
PN2	FT1	ESIO2TXD2		1	PN2F1		x		0
	FT4	INT12		0	PN2F3		x		1
PN3	FT1	ESIO2TXD3		1	PN3F1		x		0
	FT4	INT13		0	PN3F3		x		1
PN4	FT1	ESIO2RXD0		0	PN4F1		x		1
PN5	FT1	ESIO2RXD1		0	PN5F1		x		1
PN6	FT1	ESIO2RXD2		0	PN6F1		x		1
PN7	FT1	ESIO2RXD3		0	PN7F1		x		1

15.6.4.14 ポート P 設定

端子名	ポートタイプ	機能	初期設定	PP CR	PP FRn	PP OD	PP PUP	PP PDN	PP IE
PP0	FT1	ESIO2SCK		1	PP0F1		x		0
PP1	FT1	ESIO2CS0		1	PP1F1		x		0
PP2	FT1	ESIO2CS1		1	PP2F1		x		0
	FT1	TXD7		1	PP2F2		x		0
	FT4	INT14		0	PP2F3		x		1
PP3	FT1	RXD7		0	PP3F2		x		1
	FT4	INT15		0	PP3F3		x		1
PP4	FT1	TXD4		1	PP4F1		x		0
PP5	FT1	RXD4		0	PP5F1		x		1
PP6	FT1	SCLK4 (入力)		0	PP6F1		x		1
	FT1	SCLK4 (出力)		1	PP6F1		x		0
	FT1	$\overline{\text{CTS7}}$		0	PP6F2		x		1
	FT1	$\overline{\text{CTS4}}$		0	PP6F3		x		1
PP7	FT1	$\overline{\text{RTS7}}$		1	PP7F2		x		0
	FT4	INT0		0	PP7F3		x		1

15.6.4.15 ポート R 設定

端子名	ポートタイプ	機能	初期設定	PR CR	PR FRn	PR OD	PR PUP	PR PDN	PR IE
PR0	FT1	TXD6		1	PR0F1	x	x		0
PR1	FT1	RXD6		0	PR1F1	x	x		1
PR2	FT1	$\overline{\text{CTS6}}$		0	PR2F1	x	x		0
	FT1	TB11IN0		0	PR2F2	x	x		1
	FT4	INT1		0	PR2F3	x	x		1
PR3	FT1	$\overline{\text{RTS6}}$		1	PR3F1	x	x		0
	FT1	TB11IN1		0	PR3F2	x	x		1
	FT4	INT2		0	PR3F3	x	x		1
PR4	FT1	SCL0		1	PR4F1	1	x		1
PR5	FT1	SDA0		1	PR5F1	1	x		1
PR6	FT13	EPHC0IN0		0			x		1
	FT4	INT3		0	PR6F3		x		1
PR7	FT13	EPHC0IN1		0			x		1
	FT4	INT4		0	PR7F3		x		1

15.6.4.16　ポート T 設定

端子名	ポートタイプ	機能	初期設定	PT CR	PT FRn	PT OD	PT PUP	PT PDN	PT IE
PT0	FT1	TCOUT0		1	PT0F1		x		0
PT1	FT1	TCOUT1		1	PT1F1		x		0
PT2	FT1	TCOUT2		1	PT2F1		x		0
PT3	FT1	TCOUT3		1	PT3F1		x		0
PT4	FT1	TCOUT4		1	PT4F1		x		0
PT5	FT1	TCOUT5		1	PT5F1		x		0
PT6	FT1	TCOUT6		1	PT6F1		x		0
PT7	FT1	TCOUT7		1	PT7F1		x		0

15.6.4.17　ポート U 設定

端子名	ポートタイプ	機能	初期設定	PU CR	PU FRn	PU OD	PU PUP	PU PDN	PU IE
PU0	FT1	TCIN0		0	PU0F1		x		1
PU1	FT1	TCIN1		0	PU1F1		x		1
PU2	FT1	TCIN2		0	PU2F1		x		1
PU3	FT1	TCIN3		0	PU3F1		x		1
PU4	FT4	PHC0IN0		0	PU4F1		x		1
PU5	FT4	PHC0IN1		0	PU5F1		x		1
PU6	FT4	PHC1IN0		0	PU6F1		x		1
PU7	FT4	PHC1IN1		0	PU7F1		x		1

15.6.4.18　ポート V 設定

端子名	ポートタイプ	機能	初期設定	PV CR	PV FRn	PV OD	PV PUP	PV PDN	PV IE
PV0	FT1	TB00OUT		1	PV0F1		x		0
PV1	FT1	TB01OUT		1	PV1F1		x		0
PV2	FT1	TB02OUT		1	PV2F1		x		0
PV3	FT1	TB03OUT		1	PV3F1		x		0
PV4	FT1	TB04OUT		1	PV4F1		x		0
PV5	FT1	TB05OUT		1	PV5F1		x		0
PV6	FT1	TB06OUT		1	PV6F1		x		0
PV7	FT1	TB07OUT		1	PV7F1		x		0

15.6.4.19 ポート W 設定

端子名	ポートタイプ	機能	初期設定	PW CR	PW FRn	PW OD	PW PUP	PW PDN	PW IE
PW0	FT1	TB08OUT		1	PW0F1	x	x		0
PW1	FT1	TB09OUT		1	PW1F1	x	x		0
PW2	FT1	TB10OUT		1	PW2F1	x	x		0
PW3	FT1	TB11OUT		1	PW3F1	x	x		0
PW4	FT1	TB12OUT		1	PW4F1	x	x		0
PW5	FT1	TB13OUT		1	PW5F1	x	x		0
PW6	FT1	TB14OUT		1	PW6F1	x	x		0
PW7	FT1	TB15OUT		1	PW7F1	x	x		0

15.6.4.20 ポート Y 設定

端子名	ポートタイプ	機能	初期設定	PY CR	PY FRn	PY OD	PY PUP	PY PDN	PY IE
PY0	FT1	TB16OUT		1	PY0F1		x		0
PY1	FT1	TB17OUT		1	PY1F1		x		0
PY2	FT1	TB18OUT		1	PY2F1		x		0
PY3	FT1	TB19OUT		1	PY3F1		x		0
PY4	FT1	TD0OUT0		1	PY4F1		x		0
PY5	FT1	TD0OUT1		1	PY5F1		x		0
PY6	FT1	TD1OUT0		1	PY6F1		x		0
PY7	FT1	TD1OUT1		1	PY7F1		x		0

15.6.4.21 ポート AA 設定

端子名	ポートタイプ	機能	初期設定	PAA CR	PAA FRn	PAA OD	PAA PUP	PAA PDN	PAA IE
PAA0	FT5	AINA0	o	0			0		0
PAA1	FT5	AINA1	o	0			0		0
PAA2	FT5	AINA2	o	0			0		0
PAA3	FT5	AINA3	o	0			0		0
PAA4	FT5	AINA4	o	0			0		0
PAA5	FT5	AINA5	o	0			0		0
PAA6	FT5	AINA6	o	0			0		0
PAA7	FT5	AINA7	o	0			0		0

15.6.4.22　ポート AB 設定

端子名	ポートタイプ	機能	初期設定	PABCR	PABFRn	PABOD	PABPUP	PABPDN	PABIE
PAB0	FT5	AINB0	o	0			0		0
PAB1	FT5	AINB1	o	0			0		0
PAB2	FT5	AINB2	o	0			0		0
PAB3	FT5	AINB3	o	0			0		0
PAB4	FT5	AINB4	o	0			0		0
PAB5	FT5	AINB5	o	0			0		0
PAB6	FT5	AINB6	o	0			0		0
PAB7	FT5	AINB7	o	0			0		0

15.6.4.23　ポート AC 設定

端子名	ポートタイプ	機能	初期設定	PACCR	PACFRn	PACOD	PACPUP	PACPDN	PACIE
PAC0	FT5	AINC0	o	0			0		0
PAC1	FT5	AINC1	o	0			0		0
PAC2	FT5	AINC2	o	0			0		0
PAC3	FT5	AINC3	o	0			0		0

15.6.4.24　ポート AD 設定

端子名	ポートタイプ	機能	初期設定	PADCR	PADFRn	PADOD	PADPUP	PADPDN	PADIE
PAD0	FT11	KWUPA0		0	PAD0F1		x		1
PAD1	FT11	KWUPA1		0	PAD1F1		x		1
PAD2	FT11	KWUPA2		0	PAD2F1		x		1
PAD3	FT11	KWUPA3		0	PAD3F1		x		1
PAD4	FT11	KWUPA4		0	PAD4F1		x		1
PAD5	FT11	KWUPA5		0	PAD5F1		x		1
PAD6	FT11	KWUPA6		0	PAD6F1		x		1
PAD7	FT11	KWUPA7		0	PAD7F1		x		1

15.6.4.25 ポート AE 設定

端子名	ポートタイプ	機能	初期設定	PAECR	PAEFRn	PAEOD	PAEPUP	PAEPDN	PAEIE
PAE0	FT11	KWUPA8		0	PAE0F1		x		1
PAE1	FT11	KWUPA9		0	PAE1F1		x		1
PAE2	FT11	KWUPA10		0	PAE2F1		x		1
PAE3	FT11	KWUPA11		0	PAE3F1		x		1
PAE4	FT11	KWUPA12		0	PAE4F1		x		1
PAE5	FT11	KWUPA13		0	PAE5F1		x		1
PAE6	FT11	KWUPA14		0	PAE6F1		x		1
PAE7	FT11	KWUPA15		0	PAE7F1		x		1

15.6.4.26 ポート AF 設定

端子名	ポートタイプ	機能	初期設定	PAFCR	PAFFRn	PAFOD	PAFPUP	PAFPDN	PAFIE
PAF0	FT11	KWUPA16		0	PAF0F1		x		1
PAF1	FT11	KWUPA17		0	PAF1F1		x		1
PAF2	FT11	KWUPA18		0	PAF2F1		x		1
PAF3	FT11	KWUPA19		0	PAF3F1		x		1
PAF4	FT11	KWUPA20		0	PAF4F1		x		1
PAF5	FT11	KWUPA21		0	PAF5F1		x		1
PAF6	FT11	KWUPA22		0	PAF6F1		x		1
PAF7	FT11	KWUPA23		0	PAF7F1		x		1

15.6.4.27 ポート AG 設定

端子名	ポートタイプ	機能	初期設定	PAGCR	PAGFRn	PAGOD	PAGPUP	PAGPDN	PAGIE
PAG0	FT11	KWUPA24		0	PAG0F1		x		1
PAG1	FT11	KWUPA25		0	PAG1F1		x		1
PAG2	FT11	KWUPA26		0	PAG2F1		x		1
PAG3	FT11	KWUPA27		0	PAG3F1		x		1
PAG4	FT11	KWUPA28		0	PAG4F1		x		1
PAG5	FT11	KWUPA29		0	PAG5F1		x		1
PAG6	FT11	KWUPA30		0	PAG6F1		x		1
PAG7	FT11	KWUPA31		0	PAG7F1		x		1
	FT1	TCTBTIN		0	PAG7F2		x		1

15.6.4.28　ポート AH 設定

端子名	ポートタイプ	機能	初期設定	PAHCR	PAHFRn	PAHOD	PAHPUP	PAHPDN	PAHIE
PAH0	FT13	KSIN0		0			x		1
	FT14	KWUPB0		0			x		1
PAH1	FT13	KSIN1		0			x		1
	FT14	KWUPB1		0			x		1
PAH2	FT13	KSIN2		0			x		1
	FT14	KWUPB2		0			x		1
PAH3	FT13	KSIN3		0			x		1
	FT14	KWUPB3		0			x		1
PAH4	FT13	KSIN4		0			x		1
	FT14	KWUPB4		0			x		1
PAH5	FT13	KSIN5		0			x		1
	FT14	KWUPB5		0			x		1
PAH6	FT13	KSIN6		0			x		1
	FT14	KWUPB6		0			x		1
PAH7	FT13	KSIN7		0			x		1
	FT14	KWUPB7		0			x		1

15.6.4.29　ポート AJ 設定

端子名	ポートタイプ	機能	初期設定	PAJCR	PAJFRn	PAJOD	PAJPUP	PAJPDN	PAJIE
PAJ0	FT15	KSOUT0		1	PAJ0F1	x	x		0
PAJ1	FT15	KSOUT1		1	PAJ1F1	x	x		0
PAJ2	FT15	KSOUT2		1	PAJ2F1	x	x		0
PAJ3	FT15	KSOUT3		1	PAJ3F1	x	x		0
PAJ4	FT15	KSOUT4		1	PAJ4F1	x	x		0
PAJ5	FT15	KSOUT5		1	PAJ5F1	x	x		0
PAJ6	FT15	KSOUT6		1	PAJ6F1	x	x		0
PAJ7	FT15	KSOUT7		1	PAJ7F1	x	x		0

第 16 章　16 ビットタイマ/イベントカウンタ(TMRB)

16.1　概要

TMRB は、次の動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 外部トリガスタート

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 外部トリガパルスからのワンショットパルス出力
- 周波数測定
- パルス幅測定
- 時間差測定

以下の説明中、"x"はチャネル番号を表します。

16.2　構成

TMRB は、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

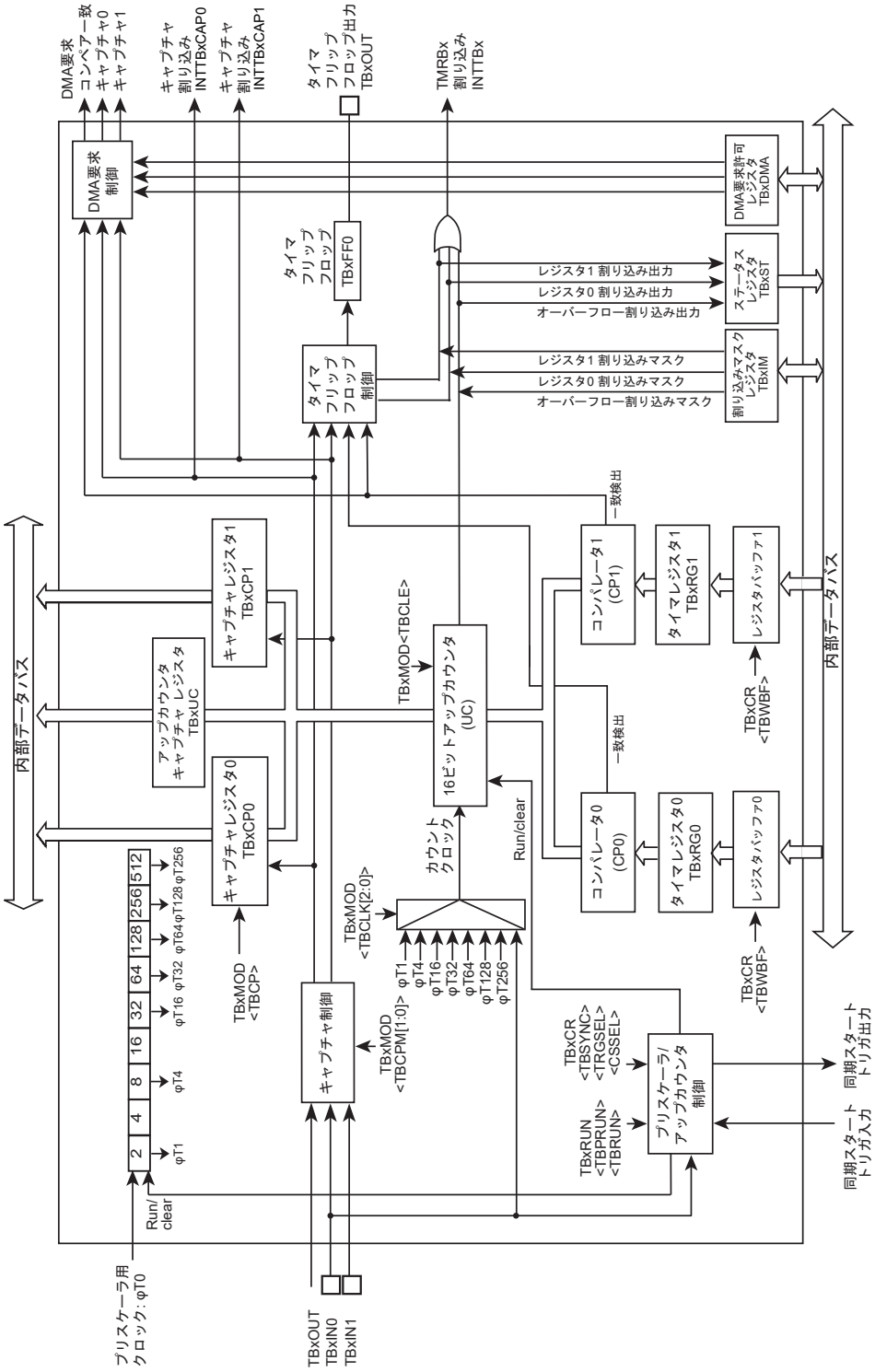


図 16-1 TMRB ブロック図

16.3 レジスタ説明

16.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C
DMA 要求許可レジスタ	TBxDMA	0x0030

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

16.3.2　TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行ないます。
5-0	–	R	リードすると"0"が読めます。

16.3.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注) カウンタ停止状態(<TBRUN>="0")でアップカウンタキャプチャレジスタの TBxUC<TBUC[15:0]>をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

16.3.4　TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	−	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	−	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	−	R/W	"0"を書いてください。
1	TRGSEL	R/W	外部トリガエッジ選択 0: 立ち上がり 1:立ち下がり 外部トリガ(TBxIN0)でのカウントスタート選択時のカウントスタートのエッジを選択します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

16.3.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: TBxIN0↑ TBxIN1↑ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 10: TBxIN0↑ TBxIN0↓ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN0 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxFF0↑ TBxFF0↓ TBxFF0 の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxFF0 の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN0 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注) TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

16.3.6　TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

16.3.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフロー割り込み要求フラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致(TBxRG1)割り込み要求フラグ 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致(TBxRG0)割り込み要求フラグ 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。
注 2) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。
注 3) フラグをクリアするためには TBxST をリードしてしてください。

16.3.8　TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致(TBxRG1)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　TBxRG1 との一致割り込み要求をマスクする／しないを設定します。
0	TBIM0	R/W	一致(TBxRG0)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　TBxRG0 との一致割り込み要求をマスクする／しないを設定します。

注)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

16.3.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作時に TB x UC をリードすると、リード時のアップカウンタの値をキャプチャし、リードすることができます。

16.3.10　TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

16.3.11　TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

16.3.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

16.3.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

16.3.14　TBxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBDMAEN2	TBDMAEN1	TBDMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBDMAEN2	R/W	DMA 要求選択:コンパレータ 1(CP1)一致検出 0:禁止 1:許可
1	TBDMAEN1	R/W	DMA 要求選択:インプットキャプチャ 1 0:禁止 1:許可
0	TBDMAEN0	R/W	DMA 要求選択:インプットキャプチャ 0 0:禁止 1:許可

注 1)　TBxIM レジスタで割り込みをマスク設定している場合、DMA 要求を許可しても要求は発生しません。
注 2)　DMA 要求要因の割り当てはチャネル毎に異なります。詳細は"製品情報"の章の「DMAC」の章を参照ください。

16.4 動作説明

16.4.1 プリスケーラ

アップカウンタのソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

16.4.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

16.4.2.1 ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN0 入力のいずれかを選択できます。

16.4.2.2 動作開始と停止

カウンタのスタート方法には、ソフトスタート、外部トリガスタート、同期スタートがあります。

1. ソフトスタート

   <TBRUN> に "1"を設定することでカウントを開始します。"0"でカウント停止と同時にアップカウンタのクリアを行います。

2. 外部トリガスタート

   外部トリガカウントスタートモードでは、外部信号でタイマのカウントスタートが可能となります。

   TBxCR<CSSEL>に"1"を設定することで外部トリガスタートモードとなります。この状態で、<TBRUN>に"1"を設定するとトリガ待ち状態となり、TBxIN0 の立ちあがりまたは立ち下がりでカウントを開始します。

   TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

   - <TRGSEL> = "0"：TBxIN0 の立上りエッジが選択されます。
   - <TRGSEL> = "1"：TBxIN0 の立下がりエッジが選択されます。

   <TBRUN> に "0"を設定することでカウント停止と同時にアップカウンタのクリアを行います。

3. 同期スタート

   タイマ同期モードでは、タイマ間のスタートの同期を取ることが可能となります。PPG 出力モードにてタイマ同期モードを使用することによりモータ等の駆動に応用が可能です。

製品によってマスタとなるチャネルとスレーブとなるチャネルの組み合わせは決まっています。本製品でのマスタとスレーブの組み合わせは「製品情報」の章を参照ください。

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのソフトウエアまたは外部トリガによるスタートに同期してカウント開始および停止します。スレーブチャネルの TBxRUN <TBPRUN, TBRUN>ビットの設定は不要です。マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

なお、外部トリガカウントモードとタイマ同期モードが同時に設定されている場合は、タイマ同期モードが優先されます。

16.4.2.3　カウンタのクリア

アップカウンタは以下のタイミングでクリアされます。

1. TBxRG1 との一致時

   TBxMOD<TBCLE> = "1"に設定することで、アップカウンタと TBxRG1 との一致でカウンタをクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. アップカウンタ停止時

   TBxRUN<TBRUN> = "0"に設定すると、アップカウンタが停止するとともにクリアされます。

16.4.2.4　オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTBx が発生します。

16.4.3　タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタと比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、タイマレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値が書き込まれます。

16.4.4　キャプチャ制御

アップカウンタの値をキャプチャレジスタ TBxCP0、TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができます。TBxMOD<TBCP> に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ TBxCP0 へキャプチャします。

16.4.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタの値をキャプチャするレジスタです。

16.4.6 アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

16.4.7 コンパレータ(CP0, CP1)

アップカウンタと、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

16.4.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアされます。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

16.4.9 キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1)

キャプチャレジスタ TBxCP0, TBxCP1 にアップカウンタの値をラッチするタイミングで割り込み INTTBxCAP0, INTTBxCAP1 をそれぞれ発生します。

16.4.10 DMA 要求

一致割り込みまたはキャプチャ割り込み発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は TBxDMA レジスタの該当ビットで許可の設定を行なってください。

注) TBxIM レジスタで割り込みをマスク設定している場合、DMA 要求を許可しても要求は発生しません。

16.4.11 PSC の起動

アップカウンタと TBxRG1 との一致により PSC を起動することができます。起動に使用できるチャネルは「製品情報」を参照してください。

16.5　モード別動作説明

16.5.1　16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注)　X; Don’t care、*; 任意の値、-; Don't change

16.5.2　16 ビットイベントカウンタモード

入力クロックを外部クロック(TBxIN0 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
該当ポートを TBxIN0 に割り付けます。										
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	0	0	0	入力クロックを TBxIN0 にします。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBxMOD	←	X	0	-	-	-	-	-	-	ソフトウエアキャプチャを行います。

注)　X; Don’t care、*; 任意の値、-; Don't change

16.5.3 16 ビット PPG (プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) に反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。

ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

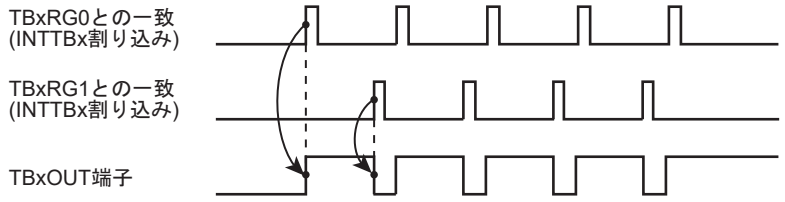


図 16-2 プログラマブル矩形波(PPG)出力波形例

16 ビット PPG モードでは、ダブルバッファをイネーブルにすることにより、アップカウンタと TBxRG1 との一致で、レジスタバッファ 0/1 の値が TBxRG0/1 へ転送されます。

これにより、TBxRG0/1 の更新タイミングを意識せずに、周波数、デューティを変更することができます。

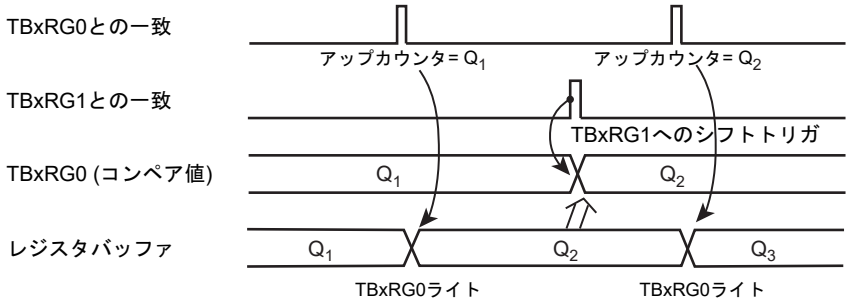


図 16-3 レジスタバッファの動作

このモードのブロック図を示します。

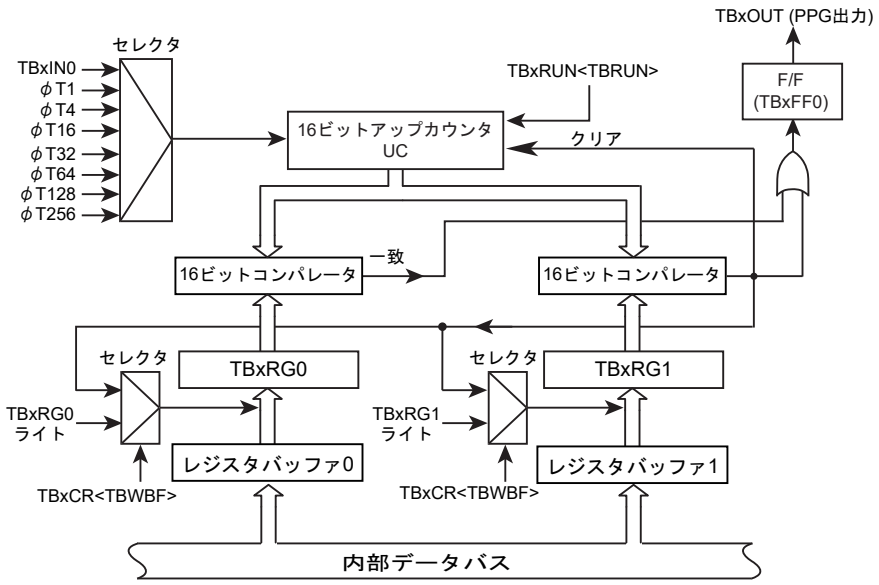


図 16-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。
	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
該当ポートを TBxOUT に割り付けます。										
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注)　X; Don't care、*; 任意の値、-; Don't change

16.5.4 外部トリガ PPG(プログラマブル矩形波)出力モード

PPG(プログラマブル矩形波)出力モードを外部トリガカウントスタートモードで動作させることで、ソフトウエアでは処理が間に合わない短いディレイタイムの PPG 波形を出力することができます。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり）の例を以下に示します。

16 ビットアップカウンタが停止している状態で、TBxIN0 端子の立ち上がりでカウントアップするように TBxCR<CSSEL>を"1"に TBxCR<TRGSEL>を"0"に設定しておきます。

TBxRG0 には、外部トリガからのディレイタイム(d)を設定します。TBxRG1 にはディレイタイム(d)とワンショットパルスの幅(p)を加算した値(d)+(p)を設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

TBxRUN<TBPRUN>、<TBRUN>を"1"にセットし、アップカウンタをスタートできる状態にします。

この状態で、TBxIN0 に外部トリガパルスが入力されると、外部トリガパルスの立ち上がりで、アップカウンタがスタートします。アップカウンタの値が(d)になると TBxRG0 と一致し、TBxFF0 が反転、"High"レベルになります。アップカウンタの値が(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、"Low"レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアするか、TBxRUN<TBPRUN><TBRUN>でアップカウンタの動作を停止します。

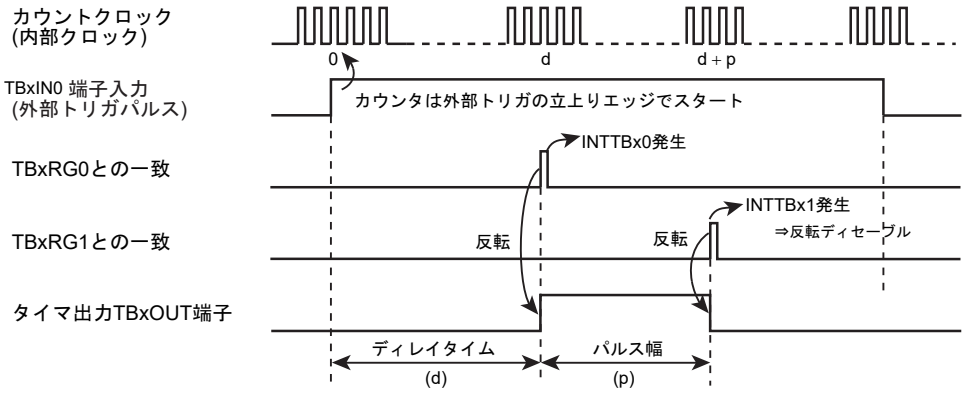


図 16-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

TBxIN0 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]										
該当ポートを TBxIN0 に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3ms/ϕT1)
TBxRG0	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3+2)ms/ϕT1)
TBxRG1	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。TBxFF0 を"0"にクリアします。
TBxMOD	←	X	1	0	0	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを ϕT1 にします。アップカウンタの取り込みをディセーブルにします。
該当ポートを TBxOUT に割り付けます。										
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します。
[INTTBx 割り込みサービスルーチンでの処理]　出力ディセーブル										
TBxFFCR	←	X	X	–	–	0	0	–	–	TBxFF0 反転トリガ設定をクリアします。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。

注)　X; Don't care、*; 任意の値、-; Don't change

16.6 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、多くの応用が可能です。

以下にキャプチャを利用した応用例を示します。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

16.6.1 外部トリガパルスからのワンショットパルス出力

外部トリガパルスの立ち上がりから、ディレイタイム(d)後に、一定幅(p)の"High"レベルワンショットパルスを出力する例を示します。

16 ビットアップカウンタをプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。

TBxIN0 端子の立ち上がりでアップカウンタの値を TBxCP0 に取り込むように TBxMOD<TBCPM>を"01"または"10"に設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアします。また TBxFF0 を"0"にするために、TBxFFCR<TBFF0C>を"10"に設定します。

割り込み INTTBxCAP0 と割り込み INTTB x を許可しておきます。

TBxIN0 端子に外部トリガパルスの立ち上がりが入力されると、アップカウンタの値(c)が TBxCP0 に取り込まれます。

このときに発生する INTTBxCAP0 で TBxCP0 の値(c)とディレイタイム(d)を加算し、TBxRG0 に設定します。あわせて、TBxCP0 の値(c)、ディレイタイム(d)にパルス幅(p)を加算し、TBxRG1 に設定します。また、TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

アップカウンタの値が(c)+(d)になると TBxRG0 と一致し、TBxFF0 が反転、High レベルになります。アップカウンタの値が(c)+(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、Low レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアします。

外部トリガの立ち上がりタイミングによっては、(c)+(d)がオーバーフローすることがあります。(c)の値にあわせて補正を行ってください。

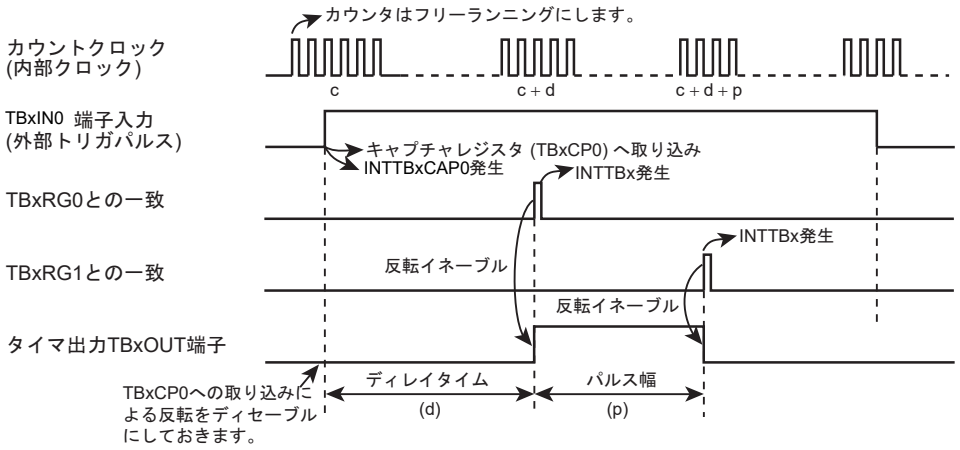


図 16-6 ワンショットパルス出力(ディレイあり)

TBxIN0 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN0 でのキャプチャ設定										
該当ポートを TBxIN0 に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
TBxMOD	←	X	1	0	1	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にし、TBxIN0 端子の立ち上がりで TBxCP0 へアップカウンタ値を取り込みます。
該当ポートを TBxOUT に割り付けます。										
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP0、INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します。
[INTTBxCAP0 割り込みサービスルーチンでの処理]　パルス出力設定										
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + 3ms/φT1)
TBxRG0	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + (3+2)ms/φT1)
TBxRG1	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	–	–	1	1	–	–	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
[INTTBx 割り込みサービスルーチンでの処理]　出力ディセーブル										
TBxFFCR	←	X	X	–	–	0	0	–	–	TBxFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"0"にし、割り込みを禁止します。

注)　X; Don't care、*; 任意の値、-; Don't change

ディレイが不要な場合、下記のように行います

16 ビットアップカウンタをプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。

TBxIN0 端子の立ち上がりでアップカウンタの値を TBxCP0 に取り込むように TBxMOD<TBCPM>を"01"または"10"に設定します。

TBxFF0 をアップカウンタの値が TBxCP0 に取り込まれたときに反転するように TBxFFCR<TBC0T1>に"1"を設定しておきます。

割り込み INTTBxCAP0 と割り込み INTTB x を許可しておきます。

TBxIN0 端子に外部トリガパルスの立ち上がりが入力されると、アップカウンタの値(c)が TBxCP0 に取り込まれます。このとき TBxFF0 が反転し High レベルになります。

このときに発生する INTTBxCAP0 で TBxCP0 の値(c)とパルス幅(p)を加算し、TBxRG1 に設定します。また、TBxFF0 をアップカウンタと TBxRG1 との一致で反転するように TBxFFCR<TBE1T1>を"1"にセットします。

アップカウンタの値が(c)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、Low レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>を"0"にクリアします。

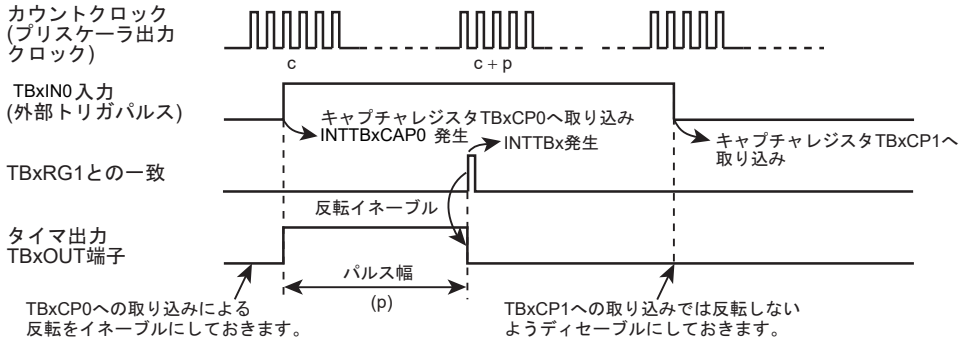


図 16-7 外部トリガパルスのワンショットパルス出力(ディレイなし)

16.6.2　周波数測定

外部から入力されるクロックの周波数測定を行う例を示します。

ここでは TMRBm を 16 ビットインターバルタイマで、TMRBn を 16 ビットイベントカウンタモードで使用します。

TMRBn の 16 ビットアップカウンタを外部から入力されるクロックにてフリーランニングでカウントアップさせておくため、TBnMOD<TBCLK>を"000"に、TBnRUN<TBPRUN>、<TBRUN>を"1"に設定します。

TBmFF0 が TBmRG0/1 と一致したときに反転するように TBmFFCR<TBE1T1>、<TBE0T1>を"1"に設定します。

TBmFF0 の立ち上がりで TBnCP0 にアップカウンタの値を取り込み、TBmOUT の立下りで TBnCP1 でアップカウンタの値を取り込むように TBxMOD<TBCPM>を"11"に設定します。

TBmRG0 と TBmRG1 に外部クロック数をカウントする測定時間を設定し、TMRBm を動作させます。

TMRBm のアップカウンタが TBmRG0 と一致すると TBmFF0 が立ち上がり、TBnCP0 に TMRBn のアップカウンタの値が取り込まれます。また、TMRBm のアップカウンタが TBmRG1 と一致すると TBmFF0 が立ち下がり、TBnCP1 に TMRBn のアップカウンタの値が取り込まれます。

周波数は INTTBm で、(TBnCP1-TBnCP0)を TBmRG1 と TBmRG0 の時間差で割ることで求めます。

例えば、TBmRG1 と TBmRG0 の時間差が 0.5 s で、TBnCP0 と TBnCP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

TBmFF0 の変化タイミングにより、TBnCP1-TBnCP0 がマイナスになることがあります。TBnCP1-TBnCP0 の値にあわせて補正を行ってください。

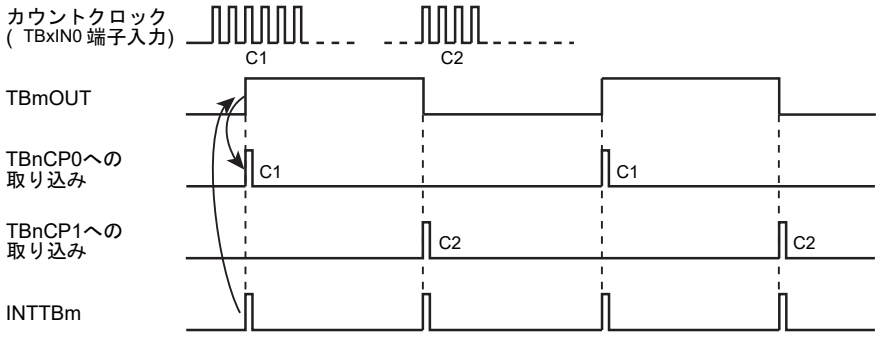


図 16-8 周波数測定

TBnIN0 端子に周波数測定を行うパルスを入力した場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBmFF0 でのキャプチャ設定										
該当ポートを TBnIN0 に割り付けます。										
TBmEN	←	1	X	X	X	X	X	X	X	TMRBm モジュールを起動します。
TBmRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBnEN	←	1	X	X	X	X	X	X	X	TMRBn モジュールを起動します。
TBnRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBmCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBmRG0	←	*	*	*	*	*	*	*	*	外部クロック測定時間 1 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmRG1	←	*	*	*	*	*	*	*	*	外部クロック測定時間 2 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmFFCR	←	X	X	0	0	1	1	1	0	TBmFF0 反転トリガをクリアし、TBmRG0/1 との一致で反転するように設定します。
TBnMOD	←	0	1	1	1	0	0	0	0	TBmFF0 の立ち上がり/立下りでアップカウンタの内容を取り込み、アップカウンタのクリアディセーブル、入力クロックを TBnIN0 にします。
TBmIM	←	X	X	X	X	X	1	0	1	TBmRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBm 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBnRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBmRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
[INTTBm 割り込みサービスルーチンでの処理]										
TBmFFCR	←	X	X	−	−	0	0	−	−	TBmFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTB m割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBnCP0/1 を読み出し、周波数を計算します。										

注)　X; Don’t care、*; 任意の値、-; Don't change

16.6.3　パルス幅測定

外部から入力されるパルスの"High"レベル幅測定を行う例を示します。

TBxIN0 端子の立ち上がりでアップカウンタの値を TBxCP0 に、立下りで TBxCP1 に取り込むように TBxMOD<TBCPM>を"10"に設定します。

割り込み INTTBxCAP1 を許可しておきます。

TMRBx を動作させます。

TBxIN0 端子に外部パルスの立ち上がりが入力されると、TBxCP0 にアップカウンタの値が取り込まれます。TBxIN0 端子に外部パルスの立下りが入力されると TBxCP1 にアップカウンタの値が取り込まれるとともに割り込み INTTBxCAP1 が発生します。

割り込みサービスルーチンの中で TBxCP1 と TBxCP0 の差を求め、プリスケーラ出力クロックの周期をかけることで、外部パルスの"High"レベル幅を求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、アップカウンタの最大カウント時間を越えるパルス幅の測定を行う場合は、補正を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、割り込み INTTBxCAP0 も許可し、「図 16-9 パルス幅測定」における、2 回目の INTTBxCAP0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

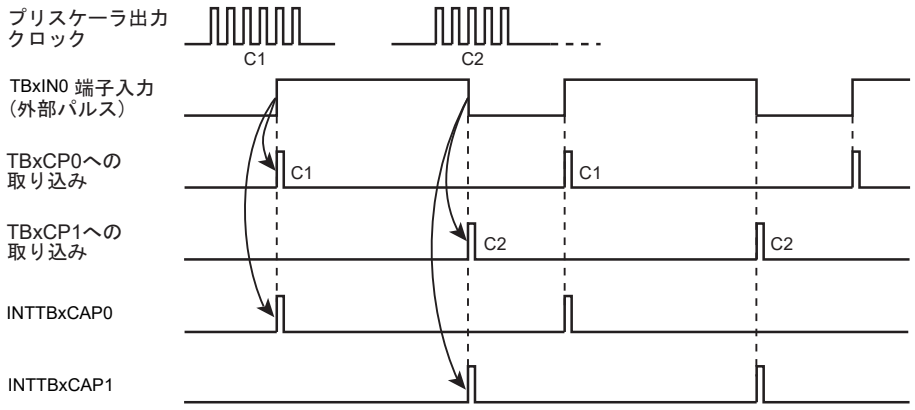


図 16-9 パルス幅測定

TBxIN0 端子に入力される外部パルスの"High"レベル幅を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN0 でのキャプチャ設定										
該当ポートを TBxIN0 に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
TBxMOD	←	X	1	1	0	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にし、TBxIN0 端子への立ち上がりで TBxCP0 へ、TBxIN0 端子への立下りで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	TMRBx を起動します。
[INTTBxCAP1 割り込みサービスルーチンでの処理]　"High"レベル幅を計算する										
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、"High"レベル幅を計算する。										

注)　X; Don't care、*; 任意の値、-; Don't change

16.6.4　時間差測定

外部から入力される 2 つのパルスの時間差を測定する例を示します。

TBxIN0 端子の立ち上がりでアップカウンタの値を TBxCP0 に取り込み、TBxIN1 の端子の立ち上がりでアップカウンタの値を TBxCP1 に取り込むように、TBxMOD<TBCPM>を"01"に設定します。

また、TBxCP1 への取り込みタイミングで割り込み INTTBxCAP1 を発生するように設定します。

TMRBx を動作させます。

時間差は、INTTBxCAP1 のサービスルーチンで、TBxCP1 から TBxCP0 を引いた値に、プリスケーラ出力クロックの周期をかけて求めることができます。TBxIN0 端子、TBxIN1 端子に入力されるパルスのタイミングによっては、TBxCP1-TBxCP0 がマイナスになることがあります。TBxCP1-TBxCP0 の値にあわせて補正を行ってください。

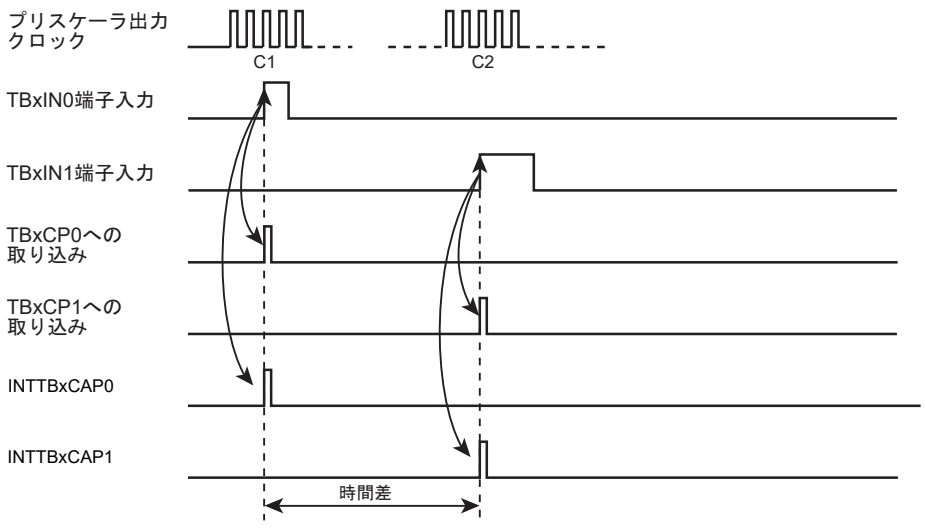


図 16-10 時間差測定

TBxIN0 端子と TBxIN1 に入力される外部パルスの時間差を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN0 でのキャプチャ設定										
該当ポートを TBxIN0 に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
TBxMOD	←	X	1	0	1	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にし、TBxIN0 端子への立ち上がりで TBxCP0 へ、TBxIN1 端子への立上がりで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	TMRBx を起動します。
[INTTBxCAP1 割り込みサービスルーチンでの処理]　パルスの時間差を計算する										
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、パルスの時間差を計算する。										

注)　X; Don’t care、*; 任意の値、-; Don't change

第 17 章　高分解能 16 ビットタイマ (TMRD ver.B)

17.1　概要

TMPM440FE/F10XBG は、以下の高分解能 16bit タイマ（TMRD）を有します。

TMRD	: PSC からは wait なしでアクセス可能(CPU からは wait あり)

TMRD は、2 つのタイマユニット（TMRD0、TMRD1）とこれらタイマユニットにクロックを供給する 2 つのクロック設定回路（プリスケーラ）から構成され、以下の機能を有します。

1. 16 ビットインターバルタイマ

   16 ビットインターバルタイマでは、以下の 2 つのモードを有します。
   - TMRD0 と TMRD1 が独立して動作するタイマモード
   - TMRD0 と TMRD1 のタイマ動作を同時にスタート可能な連動タイマモード

2. 16 ビットプログラマブル矩形波出力 (PPG)

   1bit モジュレーション機能を有し、PWM 出力で使用する場合、擬似的に分解能を上げることが可能です。

   16 ビットプログラマブル矩形波出力では、以下の 2 つのモードを有します。
   - TMRD0 と TMRD1 が独立してプログラムされた矩形波を出力する PPG モード
   - TMRD0 が生成する矩形波出力と TMRD1 が生成する矩形波出力の位相関係を-180°～+180 範囲で可変可能な連動 PPG モード

以降、それぞれのタイマユニットにある回路要素、レジスタ等をまとめて表現する場合、名称の中に記載の番号を n,m で表現します。CPn0,UCn,TDnRGm,TDnCPm 等。

ここで、n,m は断りのない限り、n=0,1 で、また、n=0 の時 m=0~5、n=1 の時 m=0~4 の値をとります。

n	: 0 , 1	(TMRD0,TMRD1)
m	: 0 , 1 , 2 , 3 , 4 , 5	(n=0 のとき)
m	: 0 , 1 , 2 , 3 , 4	(n=1 のとき)
**	: n0 , n1	

17.2　ブロック図

図 17-1 にクロック設定、図 17-2 にタイマユニットのブロック図を示します。

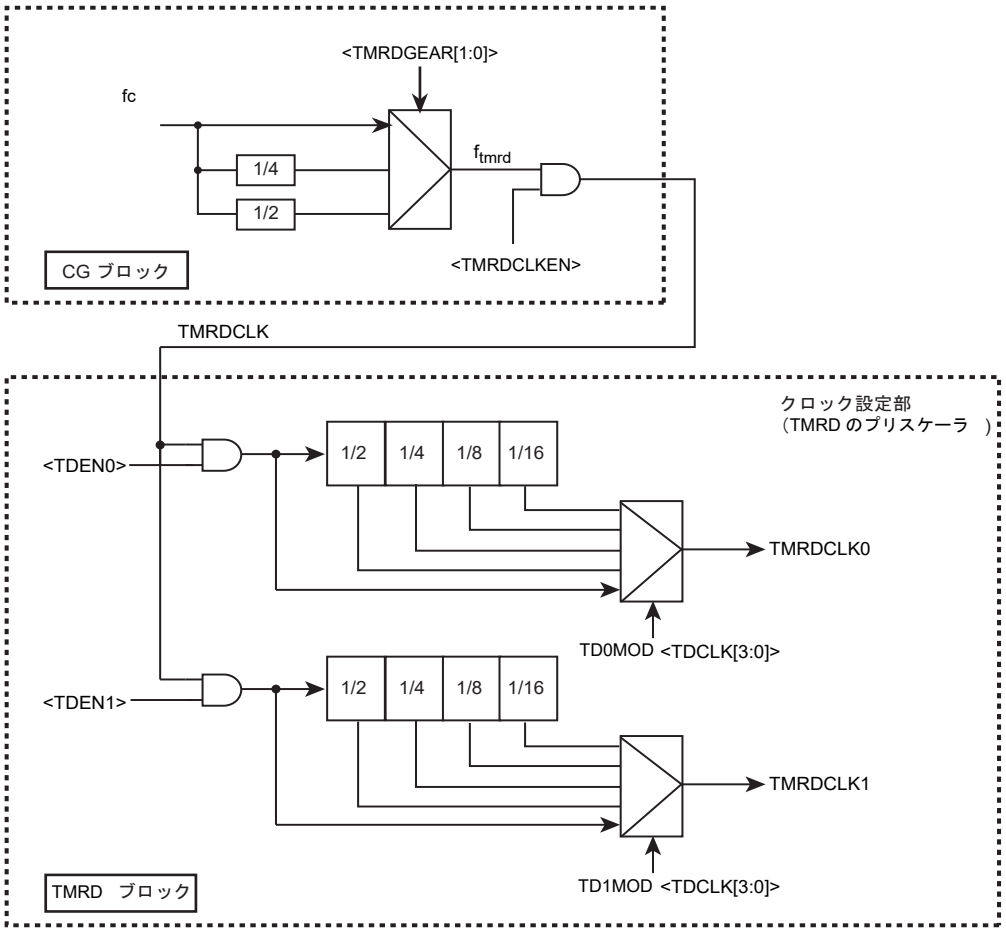


図 17-1 TMRD クロック図

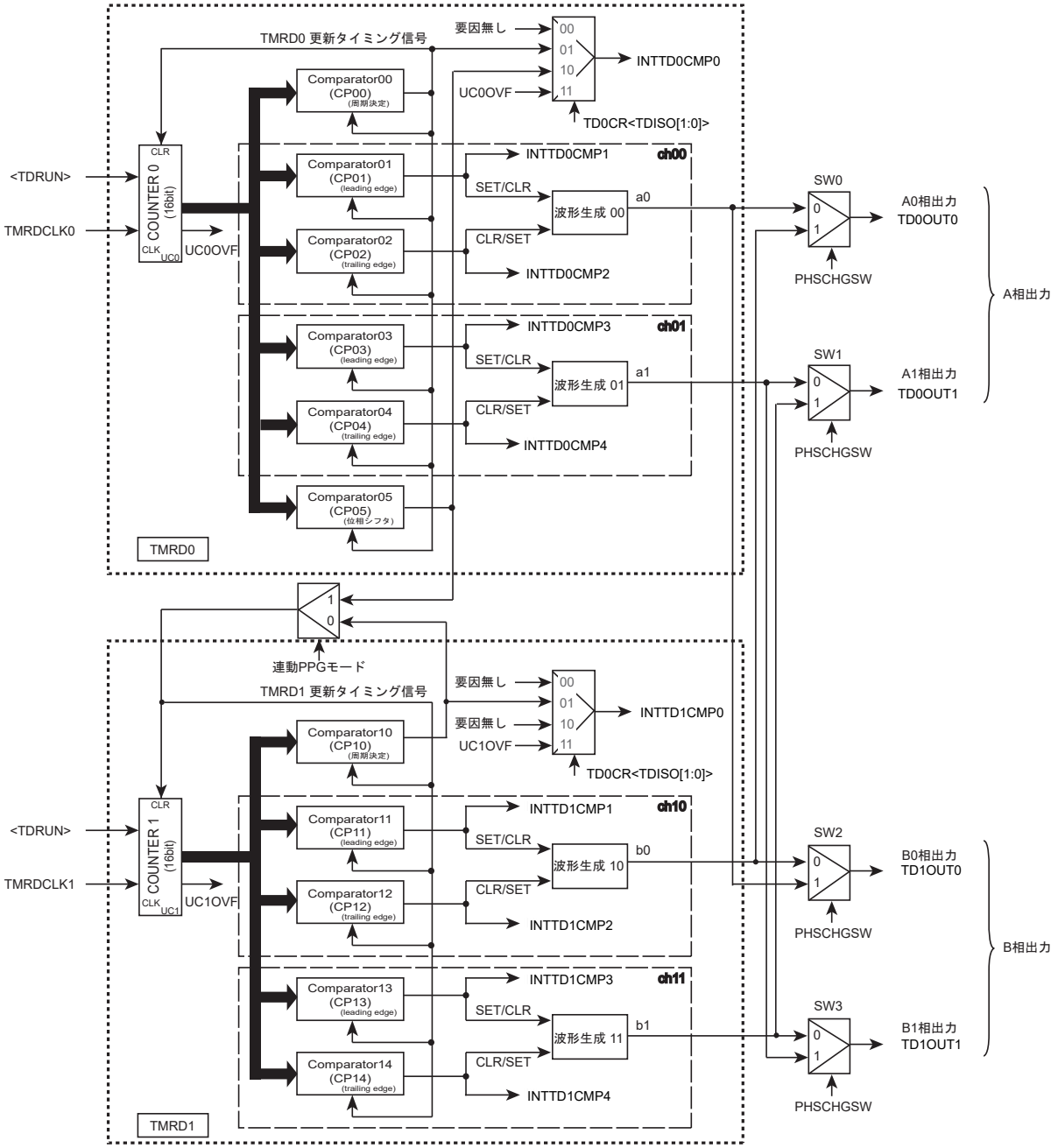


図 17-2 TMRD ブロック図

17.2.1 プリスケーラクロック

TMRD を動作させるプリスケーラクロック TMRDCLK0 / TMRDCLK1 は、CG ブロックの PLL 回路を介して入力クロック設定を行なうレジスタ(TMRD:CGPWMGEAR<TMRDAGEAR[1:0]>)でソースクロックを選択し、クロック設定レジスタ TD0MOD<TDCLK[3:0]>、TD1MOD<TDCLK[3:0]>にて TMRD0、TMRD1 のプリスケーラクロックを選択します。

注) TMRD に供給可能な最大動作周波数は 100MHz です。

17.2.2　タイマユニット(TMRD0,TMRD1)

図 17-2 に示すように、タイマユニット(TMRD0)は、主に 16 ビットのカウンタ(UC0)、6 つのコンパレータ(CP0m、m=0 ~ 5)および 2 つの波形生成回路(00、01)から構成され、PPG/連動 PPG モード時、CP01 と CP02 及び波形生成回路 00 で出力チャネル ch00 を CP03 と CP04 及び波形生成回路 01 で出力チャネル ch01を構成します。

もう一つのタイマユニット(TMRD1)は、主に 16 ビットのカウンタ(UC1)、5 つのコンパレータ(CP1m、m=0 ~ 4)および 2 つの波形生成回路(10、11)から構成され、PPG/連動 PPG モード時、CP11 と CP12 及び波形生成回路 10 で出力チャネル ch10 を CP13 と CP14 及び波形生成回路 11 で出力チャネル ch11 を構成します。

1. カウンタ(UC0/UC1)

UC0/UC1 は、クロック設定部から出力されるクロック(TMRDCLK0/TMRDCLK1)でカウントアップする 16 ビットのバイナリカウンタで、TD0MOD<TDCLE>/TD1MOD<TDCLE>で設定される値によって、フリーランカウンタもしくは CP00/CP10 の一致出力で“0”に戻るカウンタとして動作します。ただし、連動 PPG モード時は、UC1 は CP10 ではなく CP05 の一致出力で“0”に戻るカウンタとして動作します。

UC0 : TD0MOD<TDCLE> = 0　フリーランカウンタ
TD0MOD<TDCLE> = 1　CP00 の一致出力で“0”に戻るカウンタ
UC1 : TD1MOD<TDCLE> = 0　フリーランカウンタ
TD1MOD<TDCLE> = 1　CP10 または CP05(連動 PPG モード時) の一致出力で“0”に戻るカウンタ

また、UC0/UC1 は制御信号 TD0RUN/TD1RUN によって、カウンタの動作・停止を制御します。

UC0 : TD0RUN<TDRUN>= 0 :　カウンタ停止、“0”に初期化
TD0RUN<TDRUN> = 1 :　カウンタ動作開始
UC1 : TD1RUN<TDRUN> = 0 :　カウンタ停止、“0”に初期化
TD1RUN<TDRUN> = 1 :　カウンタ動作開始

2. コンパレータ(CPnm)

各コンパレータの機能は以下のとおりです。

TMRD0	TMRD1	機能
CP00	CP10	: TMRD0,TMRD1 の周期を決定
CP01,CP03,	CP11,CP13	: PPG/連動 PPG モード時、矩形波の leading edge のタイミングを決定
CP02,CP04	CP12,CP14	: PPG/連動 PPG モード時、矩形波の trailing edge のタイミングを決定
CP05	-	: 連動 PPG モード時に、TMRD0 の矩形波出力と TMRD1 矩形波出力の位相関係を決定

CP01 と CP02、CP03 と CP04、CP11 と CP12、CP13 と CP14 でそれぞれ ch00、ch01、ch10、ch11 の矩形波のパルス幅(duty)を決定します。

これらのコンパレータは TDnRGm と TDnCPm のダブルバッファ構造をとり、TDnCPm へのデータ書込み経路はレジスタ TDnCR<TDRDE>の値によって選択されます。

TDnCR<TDRDE> = 0 :	TDnRGm への書込みと同時に同じ値が TDnCPm に書込まれます。 ただし、TDnCPm は read only レジスタのため、このアドレスを指定しての直接の書込みは出来ません。 (任意のタイミングで TDnCPm への初期値設定が可能)
TDnCR<TDRDE> = 1 :	更新イネーブルフラグ TDBCR<TDSFT**> = 1 の時、下記の更新タイミングで、TDnRGm の値が TDnCPm に書き込まれます。
	更新タイミングについては各動作モードで説明します。

各コンパレータの構成を以下に示します。

a. CP00,CP01,CP03,CP05,CP10,CP11,CP13 の構成

図 17-3 に示すように、コンパレータ(CPnm) は、タイマレジスタ(TDnRGm)、コンペアレジスタ(TDnCPm)、書込みタイミング生成回路 n および一致検出回路 nm で構成されます。

TDnRGm	: 16 ビットタイマレジスタ
TDnCPm	: 16 ビットコンペアレジスタ
書込みタイミング生成回路 n	: 各タイマレジスタの値を各コンペアレジスタに書き込むタイミングを生成
一致検出回路 nm	: UCn のカウンタ出力値と TDnCPm<CPRGm[15:0]>との一致を検出

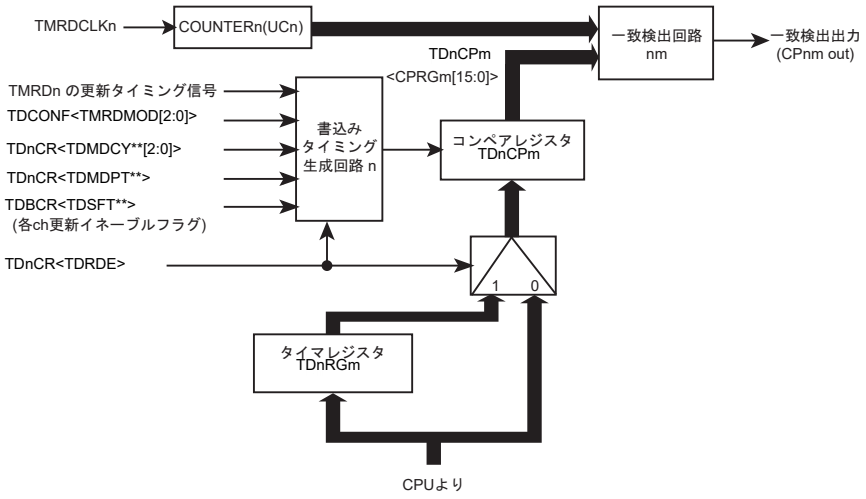


図 17-3 コンパレータ(CPnm)の構成

b. CP02,CP04,CP12,CP14 の構成

図 17-4 に示すように、コンパレータ(CPnm) は、タイマレジスタ(TDnRGm)、コンペアレジスタ(TDnCPm)、書込みタイミング生成回路 n、1bit モジュレーション設定回路 nm および一致検出回路 nm で構成されます。

TDnRGm	: 16 ビットタイマレジスタ
TDnCPm	: 16 ビットコンペアレジスタ(<CPRGm[15:0]>) <CPMDRT[3:0]>を設定することにより 20 ビット相当のコンペアレジスタとして機能します
書込みタイミング生成回路 n	: 各タイマレジスタの値を各コンペアレジスタに書き込むタイミングを生成
1bit モジュレーション設定回路 nm	: PPG/連動 PPG モード時に機能します。 1bit モジュレーション周期内において、TDnCPm<CPMDRT[3:0]>で設定される数の矩形波周期(CP00/CP10 で決定される周期)分だけ、TDnCPm<CPRGm[15:0]>で設定された値に+1 されたタイミングで、一致検出信号が出力されるよう一致検出回路 nm に制御信号を出力します。
一致検出回路 nm	: 下記 2 つの信号を生成し、1bit モジュレーション設定回路 nm から入力される制御信号に基づいて切換え、一致検出信号として出力 ・ UCn の出力値と TDnCPm<CPRGm[15:0]>で設定された値とが一致したタイミングで出力される信号 ・ UCn と TDnCPm<CPRGm[15:0]>の一致出力信号を TMRDCLKn の 1clock 分シフトした信号

1 ビットモジューション機能とは、出力される矩形波のパルス幅を<CPRGm[15:0]>で設定された値よりも TMRDCLKn の 1clock 分広げ、擬似的に分解能をあげることができる機能です。

また、1bit モジュレーション周期とは、CP00/CP10 で決まる周期を整数倍した周期であり、その周期はコントロールレジスタ TDnxCR で各 ch 毎に設定することができます

1bit モジュレーション機能については、PPG モードの項で詳細を説明します。

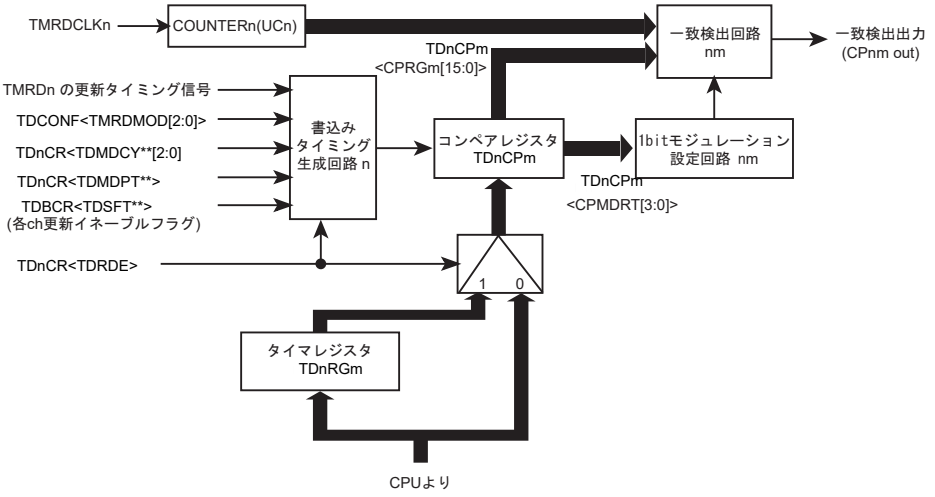


図 17-4 コンパレータ(CPnm)の構成

3. 波形生成回路

それぞれの波形生成回路は、それぞれ CP01/CP03/CP11/CP13 の一致検出出力のタイミングで leading edge を、それぞれ CP02/CP04/CP12/CP14 の一致検出出力のタイミングで trailing edge を生成する矩形波出力回路であり、leading edge/trailing edge の極性(立上り/立下り)は、TDnMOD<TDIV0>、<TDIV1>で設定することが出来ます。

17.3 レジスタ説明

17.3.1 レジスター覧

レジスタ名			Address(Base+)
TMRD0 タイマ RUN レジスタ	TD0RUN	TMRD0	0x0000
TMRD0 タイマコントロールレジスタ	TD0CR	TMRD0	0x0004
TMRD0 タイマモードレジスタ	TD0MOD	TMRD0	0x0008
TMRD0 DMA 要求許可レジスタ	TD0DMA	TMRD0	0x000C
TMRD0 タイマレジスタ 0	TD0RG0	TMRD0	0x0014
TMRD0 タイマレジスタ 1	TD0RG1	TMRD0	0x0018
TMRD0 タイマレジスタ 2	TD0RG2	TMRD0	0x001C
TMRD0 タイマレジスタ 3	TD0RG3	TMRD0	0x0020
TMRD0 タイマレジスタ 4	TD0RG4	TMRD0	0x0024
TMRD0 タイマレジスタ 5	TD0RG5	TMRD0	0x0028
TMRD1 タイマレジスタ 0	TD1RG0	TMRD1	0x002C
TMRD1 タイマレジスタ 1	TD1RG1	TMRD1	0x0030
TMRD1 タイマレジスタ 2	TD1RG2	TMRD1	0x0034
TMRD1 タイマレジスタ 3	TD1RG3	TMRD1	0x0038
TMRD1 タイマレジスタ 4	TD1RG4	TMRD1	0x003C
更新フラグ設定レジスタ	TDBCR		0x0040
タイマイネーブルレジスタ	TDEN		0x0050
タイマコンフィグレジスタ	TDCONF		0x0054
Reserved	-		0x0060
TMRD1 タイマ RUN レジスタ	TD1RUN	TMRD1	0x0100
TMRD1 タイマコントロールレジスタ	TD1CR	TMRD1	0x0104
TMRD1 タイマモードレジスタ	TD1MOD	TMRD1	0x0108
TMRD1 DMA 要求許可レジスタ	TD1DMA	TMRD1	0x010C
TMRD0 コンペアレジスタ 0	TD0CP0	TMRD0	0x0114
TMRD0 コンペアレジスタ 1	TD0CP1	TMRD0	0x0118
TMRD0 コンペアレジスタ 2	TD0CP2	TMRD0	0x011C
TMRD0 コンペアレジスタ 3	TD0CP3	TMRD0	0x0120
TMRD0 コンペアレジスタ 4	TD0CP4	TMRD0	0x0124
TMRD0 コンペアレジスタ 5	TD0CP5	TMRD0	0x0128
TMRD1 コンペアレジスタ 0	TD1CP0	TMRD1	0x012C
TMRD1 コンペアレジスタ 1	TD1CP1	TMRD1	0x0130
TMRD1 コンペアレジスタ 2	TD1CP2	TMRD1	0x0134
TMRD1 コンペアレジスタ 3	TD1CP3	TMRD1	0x0138
TMRD1 コンペアレジスタ 4	TD1CP4	TMRD1	0x013C
Reserved	-		0x0160

Base Address = 0x400F_3000

レジスタ名		Address(Base+)
タイマクロック設定レジスタ	CGPWMGEAR	0x0014

注 1) "Reserved"表記のアドレスにはアクセスしないでください。
注 2) レジスタへはワードアクセスでリード/ライトしてください。

17.3.2　CGPWMGEAR (タイマクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-		TMRDGEAR		-	-	-	TMRD CLKEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R/W	"0"をライトしてください。
5-4	TMRDGEAR [1:0]	R/W	TMRD ソースクロック選択 00 : fc 01 : fc / 2 10 : fc / 4 11 : Reserved TMRD に入力するソースクロックを選択します。
3-2	−	R	リードすると"0"が読めます。
1	−	R/W	"0"をライトしてください。
0	TMRDCLKEN	R/W	TMRD ソースクロック制御 0 : 停止 (OFF) 1 : 設定 (ON) TMRD への TMRDCLK 供給を設定します。

注 1)　CGPWMGEAR<TMRDAGEAR[1:0]>="10" (TMRD ソースクロックに fc/4 を選択)を設定したときには、CGSYSCR<GEAR[2:0]>には"000"または"100" (ギアクロック fc または fc/2)は設定できません。

注 2)　クロック選択と供給は、同時に行なわないで下さい。 TMRD を使用する時は、初めにクロック供給が停止した状態でソースクロックの選択を行い、その後、クロック供給を許可して下さい。

注 3)　ソースクロックを切り替える場合は、TMRD へのクロック供給を停止した状態(<TMRDCLKEN>="0")で切り替えを行なってください。

17.3.3 TDEN (タイマイネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDEN1	TDEN0	TDHALT	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TDEN1	R/W	TMRD1 へのクロック供給動作 0: 停止 (OFF) 1: 動作 (ON) TMRD1 へのクロック供給動作 ON/OFF を設定します。
6	TDEN0	R/W	TMRD0 へのクロック供給動作 0: 停止 (OFF) 1: 動作 (ON) TMRD0 へのクロック供給動作 ON/OFF を設定します。
5	TDHALT	R/W	デバック中の動作設定(HALT 時のアップカウンタ) 0: 停止 (アップカウンタのみ停止します) 1: 動作 (アップカウンタは停止しません) HALT 命令がデバック中に発生した場合の動作を設定します。
4-0	−	R	リードすると"0"が読めます。

17.3.4　TDCONF (タイマコンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDI2TD1	TDI2TD0	-	-	-	TMRDMOD		
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TDI2TD1	R/W	IDLE 中の TMRD1 動作設定 0: 停止 (OFF) 1: 動作 (ON) IDLE 中の TMRD1 動作 ON/OFF を設定します。
6	TDI2TD0	R/W	IDLE 中の TMRD0 動作設定 0: 停止 (OFF) 1: 動作 (ON) IDLE 中の TMRD0 動作 ON/OFF を設定します。
5-3	−	R	リードすると"0"が読めます。
2-0	TMRDMOD [2:0]	R/W	動作モード選択 TMRD1 と TMRD0 の動作モードを設定します。

<TMRDMOD[2:0]>	TMRD0 の動作モード	TMRD1 の動作モード
000 :	タイマモード	タイマモード
001 :	タイマモード	PPG モード
010 :	PPG モード	タイマモード
011 :	PPG モード	PPG モード
100 :	TMRD0 と TMRD1 を同時スタートさせるタイマモード	
101 :	設定禁止	
110 :	TMRD0 と TMRD1 が連動する PPG モード (TMRD0 の ch00 と TMRD1 の ch10 の更新タイミングが同期)	
111 :	TMRD0 と TMRD1 が連動する PPG モード (TMRD0 の ch00 と TMRD1 の全 ch の更新タイミングが同期)	

注 1)　<TMRDMOD[2:0]>="000" ~ "100"の場合、TMRDCLK0 と TMRDCLK1 は個別に設定可能です。

注 2)　連動 PPG モード(<TMRDMOD[2:0]>="110" or "111")の場合、TMRDCLK0 と TMRDCLK1 は個別に設定できません。TD1xMOD<TDCLK[3:0]>の値は無視され、TMRDCLK1 は TMRDCLK0 と同じ周波数になります。

17.3.5 TD0MOD(タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号 a1 の leading edge/trailing edge の初期設定をします。 0: CP03 の一致で立ち上がり、CP04 の一致で立ち下がり 1: CP03 の一致で立ち下がり、CP04 の一致で立ち上がり ch01 の出力信号 a1 の leading edge/trailing edge の極性を選択します。
6	TDIV0	R/W	信号 a0 の leading edge/trailing edge の初期設定をします。 0: CP01 の一致で立ち上がり、CP02 の一致で立ち下がり 1: CP01 の一致で立ち下がり、CP02 の一致で立ち上がり ch00 の出力信号 a0 の leading edge/trailing edge の極性を選択します。
5	−	R	リードすると"0"が読めます。
4	TDCLE	R/W	CP00 の一致時の COUNTER0（UC0)の動作 0: 一致検出にかかわらずフリーランカウンタとして動作 1: 一致検出で、"0"に初期化 CP00 の一致時の COUNTER0（UC0)の動作を設定します。
3-0	TDCLK[3:0]	R/W	TMRD0 のプリスケーラを選択 0000: ftmrd 1000: ftmrd/2 1001: ftmrd/4 1010: ftmrd/8 1011: ftmrd/16 上記以外は設定禁止 TMRDCLK0 の周波数を選択します。

注) PPG モード、連動 PPG モードの場合、<TDCLE>="0" の設定は無効となります。(フリーランカウンタとして動作しません)

17.3.6　TD1MOD (タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号 b1 の leading edge/trailing edge の初期設定をします。 0: CP13 の一致で立ち上がり、CP14 の一致で立ち下がり 1: CP13 の一致で立ち下がり、CP14 の一致で立ち上がり ch11 の出力信号 b1 の leading edge/trailing edge の極性を選択します。
6	TDIV0	R/W	信号 b0 の leading edge/trailing edge の初期設定をします。 0: CP11 の一致で立ち上がり、CP12 の一致で立ち下がり 1: CP11 の一致で立ち下がり、CP12 の一致で立ち上がり ch10 の出力信号 b0 の leading edge/trailing edge の極性を選択します。
5	−	R	リードすると"0"が読めます。
4	TDCLE	R/W	CP10 の一致時の COUNTER1（UC1)の動作 0: 一致検出にかかわらずフリーランカウンタとして動作 1: 一致検出で、"0"に初期化 CP10 の一致時の COUNTER1（UC1)の動作を設定します。
3-0	TDCLK[3:0]	R/W	TMRD1 のプリスケーラを選択 0000: ftmrd 1000: ftmrd/2 1001: ftmrd/4 1010: ftmrd/8 1011: ftmrd/16 上記以外は設定禁止 TMRDCLK1 の周波数を選択します。

注 1)　PPG モード、連動 PPG モードの場合、<TDCLE>="0" の設定は無効となります。(フリーランカウンタとして動作しません)。また、連動 PPG モードの場合、<TDCLE>ビットの設定は無効となります。

注 2)　連動 PPG モードの場合、<TDCLK[3:0]>の設定値は TD0MOD で設定した値が選択され動作します。

17.3.7 TD0CR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	TDMDCY01			TDMDPT01
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDMDCY00			TDMDPT00	-	TDRDE	TDISO	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-9	TDMDCY01 [2:0]	R/W	ch01 の 1bit モジュレーションの周期を選択 000： 1bit モジュレーション機能無し 001： (CP00 で決定される周期) × 2 010： (CP00 で決定される周期) × 4 011： (CP00 で決定される周期) × 8 100： (CP00 で決定される周期) × 16 上記以外:設定禁止 PPG 及び連動 PPG モードにおける ch01 の出力信号 a1 の 1bit モジュレーションの周期を選択します。
8	TDMDPT01	R/W	TD0CP3 / TD0CP4 の更新タイミングを選択 0: 1bit モジュレーション周期ごと 1: CP00 の一致検出 PPG 及び連動 PPG モードにおいて、<TDRDE>=1 の時、TD0CP3、TD0CP4 の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 ただし、<TDMDCY01[2:0]>="000" の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。
7-5	TDMDCY00 [2:0]	R/W	ch00 の 1bit モジュレーションの周期を選択 000： 1bit モジュレーション機能無し 001： (CP00 で決定される周期) × 2 010： (CP00 で決定される周期) × 4 011： (CP00 で決定される周期) × 8 100： (CP00 で決定される周期) × 16 上記以外:設定禁止 PPG 及び連動 PPG モードにおける ch00 の出力信号 a0 の 1bit モジュレーションの周期を選択します。
4	TDMDPT00	R/W	TD0CP0/TD0CP1/TD0CP2/TD0CP5 の更新タイミングを選択 0: 1bit モジュレーション周期ごと 1: CP00 の一致検出 PPG 及び連動 PPG モードにおいて、<TDRDE>=1 の時、TD0CP0,TD0CP1,TD0CP2,TD0CP5 の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 ただし、<TDMDCY00[2:0]>="000" の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。
3	−	R	リードすると"0"が読めます。
2	TDRDE	R/W	TMRD0 のコンペアレジスタ(TD0CPm)へのデータ書込経路を設定します。 (m = 0~ 5) 0: CPU の命令によるダイレクト書き込み

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td></td><td></td><td></td><td>タイマレジスタ(TD0RGm)への書き込みと同時に、同値が対応するコンペアレジスタ(TD0CPm)に書き込まれます。
この場合、TDBCR<TDSFT00><TDSFT01>を"1"(更新イネーブル設定)に設定する必要はありません。
1: TMRD0 のタイマレジスタ(TD0RGm)経由書き込み
TDBCR<TDSFT00><TDSFT01>を"1"に設定してください。
<table>
<tr><td rowspan="2">タイマモード時</td><td>TD0MOD
<TDCLE>="0"</td><td>UC0 のオーバーフロー時にコンペアレジスタ(TD0CPm)の値が、タイマレジスタ(TD0RGm)の値に更新されます。</td></tr>
<tr><td>TD0MOD
<TDCLE>="1"</td><td>CP00 の一致時にコンペアレジスタ(TD0CPm)の値が、タイマレジスタ(TD0RGm)の値に更新されます。</td></tr>
<tr><td colspan="2">PPG モード/連動 PPG モード時</td><td>CP00 の一致時にコンペアレジスタ(TD0CPm)の値が、タイマレジスタ(TD0RGm)の値に更新されます。</td></tr>
</table></td></tr>
<tr><td>1-0</td><td>TDISO[1:0]</td><td>R/W</td><td>INTTD0CMP0 の割込要因
00: 割込要因なし
01: CP00 の一致
10: CP05 の一致
11: COUNTER0(UC0)の overflow (PPG モードでは、この設定は無効で割込要因となりません。)
INTTD0CMP0 の割込要因を選択します。</td></tr>
</table>

注 1)　タイマモード、連動タイマモード時は、<TDMDCY00[2:0]>、<TDMDCY01[2:0]>への設定は無視されます。

注 2)　タイマモード、連動タイマモード時は、<TDMDPT00>、<TDMDPT01>への設定は無視され、
TD0MOD<TDCLE>=0：COUNTER0 のオーバーフローが更新タイミングになります。
TD0MOD<TDCLE>=1：CP00 の一致検出が更新タイミングになります。

17.3.8 TD1CR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	TDMDCY11			TDMDPT11
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDMDCY10			TDMDPT10	-	TDRDE	TDISO	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-9	TDMDCY11 [2:0]	R/W	ch11 の 1bit モジュレーションの周期を選択 000 : 1bit モジュレーション機能無し 001 : (CP10 / CP00 で決定される周期) × 2 010 : (CP10 / CP00 で決定される周期) × 4 011 : (CP10 / CP00 で決定される周期) × 8 100 : (CP10 / CP00 で決定される周期) × 16 上記以外:設定禁止 PPG 及び連動 PPG モードにおける ch11 の出力信号 b1 の 1bit モジュレーションの周期を選択します。 連動 PPG モード(TDCONF<TMRDMOD[2:0]>="110"、"111")の時は、基本周期は CP10 ではなく CP00 で決定される周期になります。 また、連動 PPG モード(TDCONF<TMRDMOD[2:0]>=111)の時は、TD0CR<TDMDCY00[2:0]>と同じ値に設定してください。
8	TDMDPT11	R/W	TD1CP3 / TD1CP4 の更新タイミングを選択 0: 1bit モジュレーション周期ごと 1: CP10 または CP05 の一致検出 TDCONF<TMRDMOD[2:0]> = 000 , 011 : コンパレータ CP10 の一致検出 (PPG モード) TDCONF<TMRDMOD[2:0]> = 110 , 111 : コンパレータ CP05 の一致検出 (連動 PPG モード) ただし、<TDMDCY11[2:0]>="000" の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。 PPG モードにおいて、TD1CR<TDRDE>=1 の時,、連動 PPG モードにおいて TD0CR<TDRDE>=1 の時、TD1CP3、TD1CP4 の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 連動 PPG モード(TDCONF<TMRDMOD[2:0]>=111)の時は、TD0CR<TDMDPT00>と同じ値に設定してください。。
7-5	TDMDCY10 [2:0]	R/W	ch10 の 1bit モジュレーションの周期を選択 000 : 1bit モジュレーション機能無し 001 : (CP10 / CP00 で決定される周期) × 2 010 : (CP10 / CP00 で決定される周期) × 4 011 : (CP10 / CP00 で決定される周期) × 8 100 : (CP10 / CP00 で決定される周期) × 16 上記以外:設定禁止 PPG 及び連動 PPG モードにおける ch10 の出力信号 b0 の 1bit モジュレーションの周期を選択します。 連動 PPG モード(TDCONF<TMRDMOD[2:0]>="110"、"111")の時は、基本周期は CP10 ではなく CP00 で決定される周期になります。 また、連動 PPG モード(TDCONF<TMRDMOD[2:0]>="110"、"111")の時は、TD0CR<TDMDCY00[2:0]>と同じ値に設定してください。

Bit	Bit Symbol	Type	機能
4	TDMDPT10	R/W	TD1CP0/TD1CP1/TD1CP2 の更新タイミングを選択 0: 1bit モジュレーション周期ごと 1: CP10 または CP05 の一致検出 TDCONF<TMRDMOD[2:0]> = 000 , 011　　: コンパレータ CP10 の一致検出 (PPG モード) TDCONF<TMRDMOD[2:0]> = 110 , 111　　: コンパレータ CP05 の一致検出 (連動 PPG モード) PPG 及び連動 PPG モードにおいて、<TDRDE>=1 の時、TD1CP0,TD1CP1,TD1CP2,TD1CP5 の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 ただし、<TDMDCY10[2:0]>="000" の時は、設定値 1 と同様の動作となり本レジスタへの設定は無視されます。 連動 PPG モード(TDCONF<TMRDMOD[2:0]>="110"、"111")の時は、TD0CR<TDMDPT00>と同じ値に設定してください。。
3	−	R	リードすると"0"が読めます。
2	TDRDE	R/W	TMRD1 のコンペアレジスタ(TD1CPm)へのデータ書込経路を設定します。 (m = 0~ 4) 0: CPU の命令によるダイレクト書き込み タイマレジスタ(TD1RGm)への書き込みと同時に、同値が対応するコンペアレジスタ(TD1CPm)に書き込まれます。 この場合、TDBCR<TDSFT10><TDSFT11>を"1"(更新イネーブル設定)に設定する必要はありません。 1: TMRD1 のタイマレジスタ(TD1RGm)経由書き込み TDBCR<TDSFT00><TDSFT01>を"1"に設定してください。 タイマモード時 / TD1MOD <TDCLE>="0" : UC1 のオーバーフロー時にコンペアレジスタ(TD1CPm)の値が、タイマレジスタ(TD1RGm)の値に更新されます。 タイマモード時 / TD1MOD <TDCLE>="1" : CP10 の一致時にコンペアレジスタ(TD1CPm)の値が、タイマレジスタ(TD1RGm)の値に更新されます。 PPG モード/連動 PPG モード時 : CP10 の一致時にコンペアレジスタ(TD1CPm)の値が、タイマレジスタ(TD1RGm)の値に更新されます。
1-0	TDISO[1:0]	R/W	INTTD1CMP0 の割込要因 00: 割込要因なし 01: CP10 の一致 (連動 PPG モードでは、割込要因となりません) 10: 割込要因なし 11: COUNTER1(UC1)の overflow (PPG モードでは、この設定は無効で割込要因となりません。) INTTD1CMP0 の割込要因を選択します。

注 1)　タイマモード、連動タイマモード時は、<TDMDCY10[2:0]>、<TDMDCY11[2:0]>への設定は無視されます。

注 2)　タイマモード、連動タイマモード時は、<TDMDPT10>、<TDMDPT11>への設定は無視され、TD1MOD<TDCLE>=0：COUNTER1 のオーバーフローが更新タイミングになります。
TD1MOD<TDCLE>=1：CP10 の一致検出が更新タイミングになります。

注 3)　連動 PPG モードの時は、<TDRDE>の設定値は TD0CR<TDRDE>で設定した値が選択され動作します。

17.3.9 TDnRUN (TMRDn タイマ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TDRUN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	−	W	常に"0"を書いてください。
0	TDRUN	W	TMRDn 動作 0: TMRDn の動作を停止 (COUNTERn (UCn)の動作を停止し、"0"に初期化します。) 1: TMRDn の動作を開始 (COUNTERn (UCn)の動作(アップカウント)を開始します。) TMRDn のカウント動作を制御します。

注) TD1RUN<TDRUN>は連動タイマモード及び連動 PPG モードの場合、設定は無効となり COUNTER0(UC0) と連動して動作を開始します。

17.3.10　TDBCR (更新フラグ設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PHSCHG	TDSFT11	TDSFT10	TDSFT01	TDSFT00
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4	PHSCHG	R/W	A 相出力に対する B 相出力の位相関係(進み/遅れ)を設定 0: 遅らせる、または同位相 1: 進める、または同位相 A 相出力に対する B 相出力の位相関係（進み/遅れ)を設定します。 設定は、TD0RUN<TDRUN>=1 設定による起動のタイミング、起動中は<TDSFT00> による更新タイミング時に反映されます。
3	TDSFT11	R/W	TD1CP3/TD1CP4 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル TMRD1 の TD1CPm を対応する TD1RGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT11>はクリアされます。
2	TDSFT10	R/W	TD1CP0/TD1CP1/TD1CP2 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル TMRD1 の TD1CPm を対応する TD1RGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT10>はクリアされます。
1	TDSFT01	R/W	TD0CP3/TD0CP4 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル TMRD0 の TD0CPm を対応する TD0RGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT01>はクリアされます。
0	TDSFT00	R/W	TD0CP0/TD0CP1/TD0CP2/TD0CP5 の更新イネーブルフラグ 0: 無効 1: 更新イネーブル TMRD0 の TD0CPm を対応する TD0RGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT00>はクリアされます。

注 1)　更新イネーブルフラグは、各レジスタをリードすることで、そのフラグの状態をモニタすることが可能です。

注 2)　<PHSCHG>は連動 PPG モードで TDCONF<TMRDMOD[2:0]>=111 の時のみ有効です。(タイマモード、連動タイマモード、PPG モード、連動 PPG モードの TDCONF<TMRDMOD[2:0]>=110 では、A 相/B 相出力入れ替えは出来ません。)

17.3.11 TDnDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	DMAEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4-1	−	R/W	常に"0"を書いてください。
0	DMAEN	R/W	DMA 要求許可設定(INTTDnCMP0) 1: 許可 0: 禁止 DMA 要求の許可/禁止を設定します。(INTTDnCMP0 要因で DMA リクエストを発行します)

17.3.12　TDnRG0 (タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG0							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG0							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TDRG0[15:0]	R/W	周期の設定可能範囲については、「表 17-2 16 ビットインタバルタイマ時のコンペアレジスタの設定範囲」、「表 17-4 16 ビットプログラマブル矩形波出力時のコンペアレジスタの設定範囲」および「製品情報」の章を参照願います。 16 ビットインタバルタイマ時　:タイマ周期または CPn0 の一致タイミングを設定 TDnMOD<TDCLE>=0 で CPn0 の一致タイミングを設定 TDnMOD<TDCLE>=1 でタイマ周期を設定 16 ビット PPG 時　:矩形波出力の周期を設定(ただし、連動 PPG モードでは、TD1CP0 は周期設定レジスタとして使用しません。)

17.3.13 TDnCP0 (タイマコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG0							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG0							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	CPRG0[15:0]	R	周期の設定可能範囲については、「表 17-2 16 ビットインタバルタイマ時のコンペアレジスタの設定範囲」、「表 17-4 16 ビットプログラマブル矩形波出力時のコンペアレジスタの設定範囲」および「製品情報」の章を参照願います。 連動 PPG モードでは、TD1CP0 は周期設定レジスタとして使用しません。

注) タイマレジスタ TDnRG0 はコンペアレジスタ TDnCP0 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

17.3.14　TDnRG1 (タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG1							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG1							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TDRG1[15:0]	R/W	タイミング設定 16 ビットインタバルタイマ時　:割り込み信号 INTTDnCMP1 を発生させるタイミング設定 16 ビット PPG 時　:信号 a0/b0 の leading edge のタイミング設定

17.3.15　TDnCP1 (タイマコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG1							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG1							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	CPRG1[15:0]	R	タイミング設定

注)　タイマレジスタ TDnRG1 はコンペアレジスタ TDnCP1 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

17.3.16 TDnRG2 (タイマレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	TDRG2			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG2							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG2				TDMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	–	R	リードすると"0"が読めます。
19-4	TDRG2[15:0]	R/W	タイミング設定 16 ビットインタバルタイマ時 :割り込み信号 INTTDnCMP2 を発生させるタイミング設定 16 ビット PPG 時 : chn0 の出力信号 a0/b0 の trailing edge のタイミング設定
3-0	TDMDRT[3:0]	R/W	1bit モジュレーションのレート設定 PPG モード及び連動 PPG モードにおける chn0 の 1bit モジュレーションのレートを設定します。<TDMDCY00[2:0]><TDMDCY01[2:0]><TDMDCY10[2:0]><TDMDCY11[2:0]>の値によって、本レジスタの有効な bit が異なります。

<TDMDCY**[2:0]>	<TDMDRT[3:0]>の有効ビット	レート設定
000	:全ての bit が無視されます。	なし
001	:<TDMDRT[3]>が有効で、その他の bit の設定は無視されます。	0~1
010	:<TDMDRT[3:2]>が有効で、その他の bit の設定は無視されます。	0~3
011	:<TDMDRT[3:1]>が有効で、その他の bit の設定は無視されます。	0~7
100	:<TDMDRT[3:0]>が有効です。	0~15

レートとは、1bit モジュレーションの周期内において、trailing edge のタイミングを TMRDCLKn の 1clock 分遅延させる矩形波の数を示します。

17.3.17　TDnCP2 (タイマコンペアレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	CPRG2			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG2							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG2				CPMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	−	R	リードすると"0"が読めます。
19-4	CPRG2[15:0]	R	タイミング設定レジスタ
3-0	CPMDRT[3:0]	R	1bit モジュレーションのレート設定

注)　タイマレジスタ TDnRG2 はコンペアレジスタ TDnCP2 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

17.3.18 TDnRG3 (タイマレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG3							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG3							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TDRG3[15:0]	R/W	タイミング設定 16 ビットインタバルタイマ時 :割り込み信号 INTTDnCMP3 を発生させるタイミング設定 16 ビット PPG 時 :信号 a1/b1 の leading edge のタイミング設定

17.3.19 TDnCP3 (タイマコンペアレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG3							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG3							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	CPRG3[15:0]	R	タイミング設定

注) タイマレジスタ TDnRG3 はコンペアレジスタ TDnCP3 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

17.3.20　TDnRG4 (タイマレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	TDRG4			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG4							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG4				TDMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	–	R	リードすると"0"が読めます。
19-4	TDRG4[15:0]	R/W	タイミング設定 16 ビットインタバルタイマ時　:割り込み信号 INTTDnCMP4 を発生させるタイミング設定 16 ビット PPG 時　: chn1 の出力信号 a1/b1 の trailing edge のタイミング設定
3-0	TDMDRT[3:0]	R/W	1bit モジュレーションのレート設定 PPG モード及び連動 PPG モードにおける chn1 の 1bit モジュレーションのレートを設定します。<TDMDCY01[2:0]><TDMDCY11[2:0]>の値によって、本レジスタの有効な bit が異なります。

<TDMDCY**[2:0]>	<TDMDRT[3:0]>の有効ビット	レート設定
000	:全ての bit が無視されます。	なし
001	:<TDMDRT[3]>が有効で、その他の bit の設定は無視されます。	0~1
010	:<TDMDRT[3:2]>が有効で、その他の bit の設定は無視されます。	0~3
011	:<TDMDRT[3:1]>が有効で、その他の bit の設定は無視されます。	0~7
100	:<TDMDRT[3:0]>が有効です。	0~15

レートとは、1bit モジュレーションの周期内において、trailing edge のタイミングを TMRDCLKn の 1clock 分遅延させる矩形波の数を示します。

17.3.21 TDnCP4 (タイマコンペアレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	CPRG4			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG4							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG4				CPMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	−	R	リードすると"0"が読めます。
19-4	CPRG4[15:0]	R	タイミング設定
3-0	CPMDRT[3:0]	R	1bit モジュレーションのレート設定

注) タイマレジスタ TDnRG4 はコンペアレジスタ TDnCP4 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

17.3.22　TD0RG5 (タイマレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG5							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG5							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TDRG5[15:0]	R/W	タイミング設定と位相のシフト量の設定 16 ビットインタバルタイマ時　:CP05 の一致タイミング設定 16 ビット PPG 時　:連動 PPG モード時に位相のシフト量を設定(PPG モード時は無効)

17.3.23　TD0CP5 (タイマコンペアレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG5							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG5							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	CPRG5[15:0]	R	タイミング設定と位相のシフト量の設定

注)　タイマレジスタ TD0RG5 はコンペアレジスタ TD0CP5 とのダブルバッファ構成になっています。コンペアレジスタへの設定はタイマレジスタで設定します。

17.4 各動作モードの説明

TMRD の各動作モードは、TDCONF<TMRDMOD[2:0]>で設定します。レジスタへの設定値とそれぞれのタイマユニットの動作モードの関係については、「17.3.4 TDCONF (タイマコンフィグレジスタ)」を参照してください。

- 16 ビットインタバルタイマ
  - タイマモード
  - 連動タイマモード
- 16 ビットプログラマブル矩形波出力
  - PPG モード
  - 連動 PPG モード

17.4.1 各動作モードと割り込み

表 17-1 に各動作モードと割り込み要因の関係について示します。

INTTD0CMP0 は、TD0CR<TDISO[1:0]>、INTTD1CMP0 は TD1CR<TDISO[1:0]>の値によってその割込み要因を設定します。

表 17-1 各動作モードと割り込み要因

タイマユニット	割込信号	割り込み要因		16 ビットインタバルタイマ		16 ビットプログラマブル矩形波出力	
		TDnCR <TDISO[1:0]>		タイマモード	連動タイマモード	PPG モード	連動 PPG モード
TMRD0	INTTD0CMP0	00	要因なし	×	×	×	×
		01	コンパレータ 00(CP00)の一致検出	o	o	o	o
		10	コンパレータ 05(CP05)の一致検出	o	o	o	o
		11	カウンタ 0(UC0)のオーバーフロー	o	o	×	×
	INTTD0CMP1	コンパレータ 01(CP01)の一致検出		o	o	o	o
	INTTD0CMP2	コンパレータ 02(CP02)の一致検出		o	o	o	o
	INTTD0CMP3	コンパレータ 03(CP03)の一致検出		o	o	o	o
	INTTD0CMP4	コンパレータ 04(CP04)の一致検出		o	o	o	o
TMRD1	INTTD1CMP0	00	要因なし	×	×	×	×
		01	コンパレータ 10(CP10)の一致検出	o	o	o	×
		10	要因なし	×	×	×	×
		11	カウンタ 1(UC1)のオーバーフロー	o	o	×	×
	INTTD1CMP1	コンパレータ 11(CP11)の一致検出		o	o	o	o
	INTTD1CMP2	コンパレータ 12(CP12)の一致検出		o	o	o	o
	INTTD1CMP3	コンパレータ 13(CP13)の一致検出		o	o	o	o
	INTTD1CMP4	コンパレータ 14(CP14)の一致検出		o	o	o	o

それぞれのモードについては、以下にその動作を説明します。

17.4.2　16 ビットインタバルタイマ

17.4.2.1　タイマモード

本モードは、TMRD0 と TMRD1 が独立したタイマ動作を行ないます。

TDnMOD<TDCLE>の値が"0"の場合、UCn は 0x0000 からカウントアップを始め、0xFFFF まで達すると再び 0x0000 に戻るフリーランカウンタとして動作し、カウント値が 0xFFFF になるとオーバーフロー割り込み(UCnOVF)を発生します。

TDnMOD<TDCLE>の値が"1"の場合、UCn は 0x0000 からカウントアップを始め、カウント値が CPn0 のコンペアレジスタ(TDnCP0)に設定された値と一致したとき、再び 0x0000 に戻るカウンタとして動作します。

上記どちらの場合もそれぞれのコンパレータ(CPnm)は、UCn のカウント値がそれぞれのコンペアレジスタ(TDnCPm)に設定された値と一致した場合、タイマ割込みを発生します。

17.4.2.2　連動タイマ(同期スタート)モード

本モードは、TMRD0 と TMRD1 のタイマ動作を同時にスタート可能なタイマモードであり、2 つのカウンタ UC0 と UC1 は、TD0RUN<TDRUN>を"1"に設定することで同時に動作を開始します。このモードでは、タイマ動作スタート、停止ともに TD1RUN<TDRUN>の設定は無視されます。ただし、TMRD0、TMRD1 のタイマ周期は個別に設定することが可能です。

17.4.2.3　タイマ/連動タイマモードにおける各コンパレータの更新

各コンパレータにおけるコンペアレジスタ TDnCPm への値の更新について説明します。

TDnCR<TDRDE>を 0 に設定した場合は、TDnRGm の値を更新すると同時に対応した TDnCPm の値が更新されます。

TDnCR<TDRDE>を 1 に設定した場合は、図 17-5 に示すタイミングで TDnCPm の値が更新されます。ここで、TDBCR<TDSFT**>は更新イネーブル信号で、この信号が 1 の時、TMRDn の更新タイミング信号が 1 のタイミングで値の更新が行われます。

TDBCR<TDSFT**>はこの更新のタイミングでクリアされます。

ここで、<TDSFT**>で更新されるそれぞれのコンペアレジスタは、次のようになります。

<TDSFT00>　:TD0CP0 , TD0CP1 , TD0CP2 , TD0CP5
<TDSFT01>　:TD0CP3 , TD0CP4
<TDSFT10>　:TD1CP0 , TD1CP1 , TD1CP2
<TDSFT11>　:TD1CP3 , TD1CP4

また、本モードにおける TMRD0 の更新タイミング信号はコンパレータ CP00 の一致検出、TMRD1 の更新タイミング信号は、コンパレータ CP10 の一致検出信号になります。

- TMRD0 : CP00 の一致検出出力タイミング
- TMRD1 : CP10 の一致検出出力タイミング

図 17-5 に、TDnCR<TDRDE> = 1 時の TDnRGm の値を TDnCPm に書き込むタイミング波形を示します。

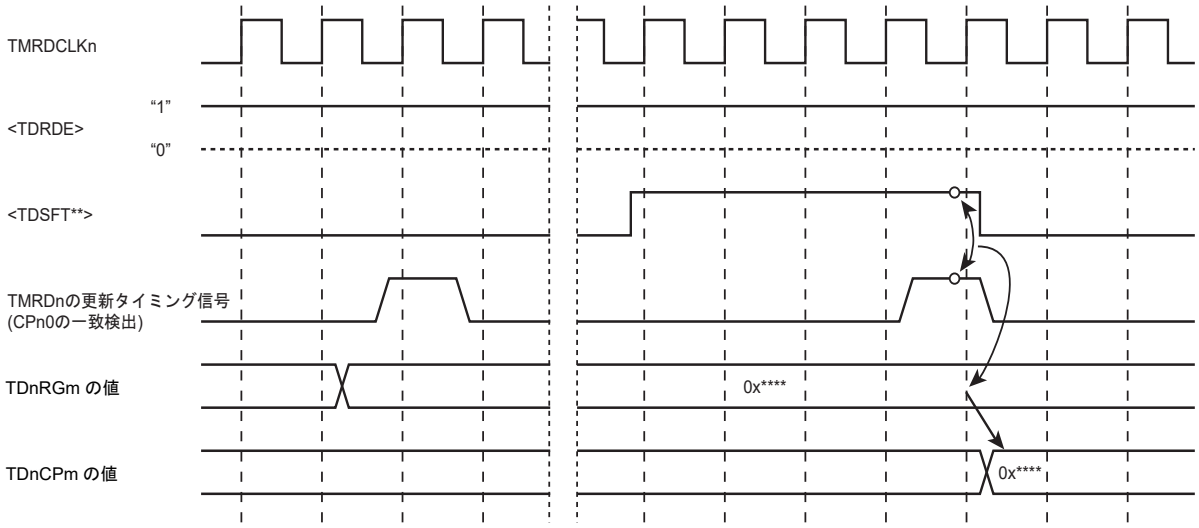


図 17-5 TDnRGm の値を TDnCPm に書き込むタイミング（<TDRDE>=1）

17.4.2.4　タイマモード時のレジスタ設定手順

(1)　起動までの手順

(1-1) タイマモード　　:タイマモードを起動するまでのレジスタの設定は以下の手順で行なってください。

a. 供給クロックの選択

1. TMRD に供給するクロックを CGPWMGEAR<TMRDAGEAR[1:0]>で選択します。
2. CGPWMGEAR<TMRDACLKEN>を"1"に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず <TMRDAGEAR[1:0]>の値を設定した後、<TMRDACLKEN>をセットしてください。

b. 各タイマユニットの動作モード選択

1. タイマモードで使用するタイマユニットを TDCONF<TMRDMOD[2:0]>で設定します。
   同時に、IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

c. 各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 各タイマユニットへのクロック供給動作を ON/OFF するレジスタ TDEN の各ビット<TDEN1>、<TDEN0> を"1"に設定します。（OFF のままでよいタイマユニットは、セットする必要はありません）
2. 各タイマユニットで使用するクロックを TDnMOD<TDCLK[3:0]>で選択します。
   同時に、タイマモードで使用するタイマユニットのカウンタの動作を TDnMOD<TDCLE>で設定します。

d. 各タイマレジスタ及びコンペアレジスタへの初期設定

1. TDnCR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書込みモードにします。（タイマレジスタへの書込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモード）同時に、INTTDnCMP0 の割込み要因を TDnCR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ(TDnRGm)に所望の値を設定します。
   TDnCR<TDRDE> = "0" のモードでは、TDBCR<TDSFT**>を"1" に設定する操作及び更新タイミング信号は必要ありません。

e. タイマモードの起動

1. TDnCR<TDRDE> = "1" に設定し、コンペアレジスタへの書込みをタイマレジスタ経由にします。（タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモード）
2. TDnRUN<TDRUN> = "1" に設定し、スタートさせます。

(1-2) 連動タイマモード :連動タイマモードを起動するまでのレジスタの設定は以下の手順で行なってください。

a. 供給クロックの選択

1. TMRD に供給するクロックを CGPWMGEAR<TMRDAGEAR[1:0]>で選択します。
2. CGPWMGEAR<TMRDACLKEN>を"1"に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず <TMRDAGEAR[1:0]>の値を設定した後、<TMRDACLKEN>をセットしてください。

b. 各タイマユニットの動作モード選択

1. 連動タイマモードを TDCONF<TMRDMOD[2:0]>で設定します。
   同時に IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

c. 各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 2 つのタイマユニットへのクロック供給動作を ON/OFF するレジスタ TDEN の各ビット<TDEN1>、<TDEN0> を"1"に設定します。(<TDEN1>、<TDEN0> ともにセットしてください)
2. 各タイマユニットで使用するクロックを TDnMOD<TDCLK[3:0]>で選択します。
   同時に、各タイマユニットのカウンタの動作を TDnMOD<TDCLE>で設定します。

d. 各タイマレジスタ及びコンペアレジスタへの初期設定

1. TDnCR<TDRDE> = "0" に設定し、コンペアレジスタへの書き込みをダイレクト書込みモードにします(タイマレジスタへの書込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです)。
   同時に、INTTDnCMP0 の割込み要因を TDnCR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ(TDnRGm)に所望の値を設定します。
   TDnCR<TDRDE> = "0" のモードでは、TDBCR<TDSFT**>を"1" に設定する操作及び更新タイミング信号は必要有りません。

e. タイマモードの起動

1. TDnCR<TDRDE> = "1" に設定し、コンペアレジスタへの書込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. TD0RUN<TDRUN> = "1" に設定し、2 つのタイマユニットを同時にスタートさせます。連動タイマモードなので、TD1RUN<TDRUN>への設定は不要です。

(2) 起動後の設定手順

(2-1) タイマモード
(2-2)連動タイマモード :タイマモード/連動タイマモードを起動した後のレジスタの設定は以下の手順で行ってください。

a. 各タイマレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマレジスタ(TDnRGm)に任意の値を設定します。
2. 上記設定後、更新するタイマユニットに対応したレジスタ TDBCR<TDSFT**>を"1"にセットします。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。(図 17-5 参照)

注) タイマ起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnRGm)、(TDBCR)、(TDnRUN)の 3 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。

17.4.2.5　コンペアレジスタの設定範囲

16 ビットインタバルタイマモードにおけるコンペアレジスタへの設定範囲を表 17-2 に示します。

表 17-2 16 ビットインタバルタイマ時のコンペアレジスタの設定範囲

タイマユニット	コンペアレジスタ	レジスタ設定範囲	
		<TDCLE> = "0"	<TDCLE> = "1"
TMR0	TD0CP0	0x0000 ≤ <CPRG0[15:0]> ≤ 0xFFFF	(注) ≤ <CPRG0[15:0]> ≤ 0xFFFF
	TD0CP1	0x0000 ≤ <CPRG1[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG1[15:0]> ≤ <CPRG0[15:0]>
	TD0CP2	0x0000 ≤ <CPRG2[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG2[15:0]> ≤ <CPRG0[15:0]>
	TD0CP3	0x0000 ≤ <CPRG3[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG3[15:0]> ≤ <CPRG0[15:0]>
	TD0CP4	0x0000 ≤ <CPRG4[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG4[15:0]> ≤ <CPRG0[15:0]>
	TD0CP5	0x0000 ≤ <CPRG5[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG5[15:0]> ≤ <CPRG0[15:0]>
TMR1	TD1CP0	0x0000 ≤ <CPRG0[15:0]> ≤ 0xFFFF	(注) ≤ <CPRG0[15:0]> ≤ 0xFFFF
	TD1CP1	0x0000 ≤ <CPRG1[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG1[15:0]> ≤ <CPRG0[15:0]>
	TD1CP2	0x0000 ≤ <CPRG2[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG2[15:0]> ≤ <CPRG0[15:0]>
	TD1CP3	0x0000 ≤ <CPRG3[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG3[15:0]> ≤ <CPRG0[15:0]>
	TD1CP4	0x0000 ≤ <CPRG4[15:0]> ≤ 0xFFFF	0x0000 ≤ <CPRG4[15:0]> ≤ <CPRG0[15:0]>

注)　本製品におけるレジスタ設定範囲は TMRD のソースクロックによって異なります。設定範囲は「製品情報」の章をご参照ください。

タイマ周期 Tn は、TMRDCLKn の周波数を f_{CLKn} とすると、下記で計算します。

1. <TDCLE>="0"の場合:$Tn=(1/f_{CLKn}) \times 2^{16}$
2. <TDCLE>="1"の場合:$Tn=(1/f_{CLKn}) \times$ (TDnCP0<CPRG0[15:0]> + 1)

17.4.3 16 ビットプログラマブル矩形波出力

17.4.3.1 PPG モード

本モードは、TMRD0 と TMRD1 は独立して動作し、それぞれ周波数と Duty がプログラム可能な矩形波を出力するモードです。TMRD0、TMRD1 ともそれぞれ周波数が同じ 2 系統(チャネル)の矩形波を出力することが可能です。

	チャネル	矩形波出力
TMRD0	ch00	a0
	ch01	a1
TMRD1	ch10	b0
	ch11	b1

(1) 矩形波(PPG)出力の周期

TMRD0 では、矩形波出力(a0/a1)の周期は、CP00 のコンペアレジスタ TD0CP0 <CPRG0[15:0]>の値で設定します。即ち、図 17-6 で示すようにタイマモードと同様 UC0 は CP00 の一致検出出力で"0"に戻るカウンタとして動作します。

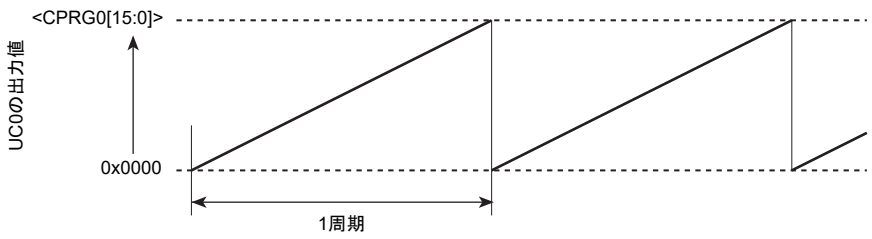


図 17-6 PPG モードの矩形波周期

TMRD1 も同様に、矩形波出力(b0/b1)の周期は CP10 のコンペアレジスタ(TD1CP0 <CPRG0[15:0]>の値)で設定します。

(2) 矩形波(PPG)出力の Duty

TMRD0 では、矩形波出力 a0 の leading edge は CP01 の一致検出、trailing edge は CP02 の一致検出を基に矩形波を生成します。

同様に、矩形波出力 a1 の leading edge は CP03 の一致検出、trailing edge は CP04 の一致検出を基に矩形波を生成します。

TMRD1 は TMRD0 同様、矩形波出力 b0/b1 の leading edge は CP11/CP13 の一致検出、trailing edge は CP12/CP14 の一致検出を基に、矩形波を生成します。

図 17-7 に波形生成のタイミングを示します。

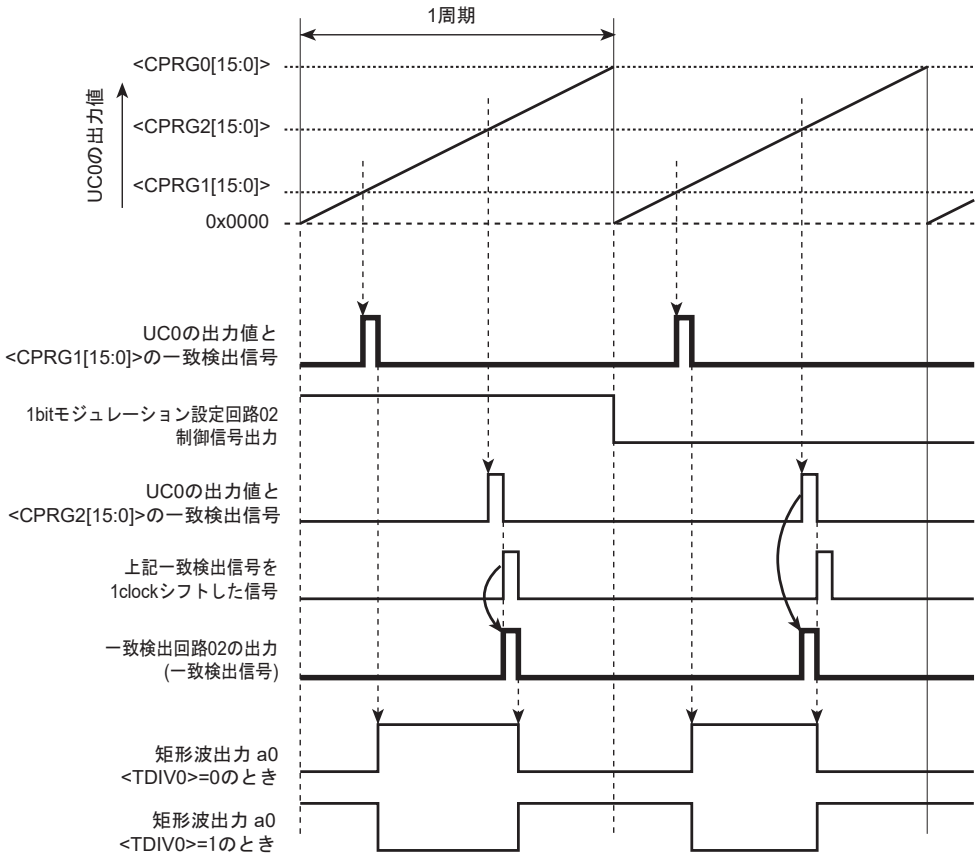


図 17-7 PPG モードの矩形波出力(a0 の場合)

図に示すように、CP01 では UC0 の出力値と<CPRG1[15:0]>の値の一致で一致検出回路 01 から一致検出信号が出力されますが、CP02 では一致検出回路 02 は、1bit モジュレーション設定回路 02 から入力される制御信号が High レベルの時、UC0 の出力値と<CPRG2[15:0]>の値の一致検出信号を TMRDCLK0 の 1clock 分シフトした信号を、Low レベルの時は、UC0 の出力値と<CPRG2[15:0]>の値との一致検出信号を、CP02 の一致検出信号として波形生成回路に 00 に出力します。

a0 の出力は、TD0MOD<TDIV0>=0 とき、CP01 の一致信号(leading edge)が立上がり、CP02 の一致信号(trailing edge)は立下がりとなり、TD0MOD<TDIV0>=1 とき、CP01 の一致信号(leading edge)が立下がり、CP02 の一致信号(trailing edge)は立上がりとなります。

また、PPG モードの場合、SW0/SW1/SW2/SW3 のコントロール信号 PHSCHGSW は"0"に固定されます。TMRD0 の出力は SW0、SW1 を介して、TMRD1 の出力は SW2、SW3 を介してのみ出力されます。(「図 17-2 TMRD ブロック図」参照)

(3)　1bit モジュレーション機能について

PPG モードを PWM 出力として使用する場合、TMRDCLKn の周波数を f_{CLKn}、必要分解能を N とすると PWM 周波数 f_{PWM} は、以下の計算式で求められます。

$f_{PWM}=f_{CLKn}/N$

本 TMRD に供給可能な最大動作周波数(f_{CLKn})は 100MHz であるため、N=1000 の分解能をえるためには f_{PWM} は最大 100kHz となります。

この PWM 周波数で更に分解能を上げるには、上記計算式から f_{CLKn} を更に上げる必要がありますが、1bit モジューション機能を使用することで f_{CLKn} を上げず、擬似的に分解能を上げることができます。

1bit モジュレーションは、出力される矩形波のパルス幅を TDnCPm<CPRGm[15:0]>で設定された値よりも TMRDCLKn の 1clock 分広げ、1bit モジュレーション周期単位でその周期毎に設定される数の PWM 波形に 1bit モジュレーションを施し、この周期単位で平均的に分解能を向上します。

1bit モジュレーション周期は、CP00/CP10 で決まる周期を整数倍した周期です。その周期は<TDMDCY00[2:0]>、<TDMDCY01[2:0]>、<TDMDCY10[2:0]>、<TDMDCY11[2:0]> で各チャネルごとに設定することができます。

<TDMDCY**[2:0]>に"000"を設定すると"1bit モジュレーション機能なし"に設定できます。

	チャネル	PWM 周期: N (CP00/CP10 で決まる周期)	1bit モジュレーション周期 (2/4/8/16 倍)	パルス幅 : N'
TMRD0	ch00	<CPRG0[15:0]>	<TDMDCY00[2:0]>	TD0CP2<CPRG2[15:0]> − TD0CP1<CPRG1[15:0]>
	ch01	<CPRG0[15:0]>	<TDMDCY01[2:0]>	TD0CP4<CPRG4[15:0]> − TD0CP3<CPRG3[15:0]>
TMRD1	ch10	<CPRG0[15:0]>	<TDMDCY10[2:0]>	TD1CP2<CPRG2[15:0]> − TD1CP1<CPRG1[15:0]>
	ch11	<CPRG0[15:0]>	<TDMDCY11[2:0]>	TD1CP4<CPRG4[15:0]> − TD1CP4<CPRG3[15:0]>

また、<CPMDRT[3:0]>で 1bit モジュレーションを施す PWM 周期を設定します。

<TDMDCY**[2:0]> の設定値	<CPMDRT[3:0]>の設定値				説明
	[3]	[2]	[1]	[0]	
000	無効				1bit モジュレーション機能なし
001	0	無効			1bit モジュレーション機能なし
	1				周期 1 に対してモジュレーション機能付加
010	0	0	無効		1bit モジュレーション機能なし
	0	1			周期 1 に対してモジュレーション機能付加
	1	0			周期 1,2 に対してモジュレーション機能付加
	1	1			周期 1,2,3 に対してモジュレーション機能付加
011	0	0	0	無効	1bit モジュレーション機能なし
	0	0	1		周期 1 に対してモジュレーション機能付加
	0	1	0		周期 1,2 に対してモジュレーション機能付加
	・ ・				
	1	1	0	無効	周期 1~6 に対してモジュレーション機能付加
	1	1	1		周期 1~7 に対してモジュレーション機能付加
100	0	0	0	0	1bit モジュレーション機能なし
	0	0	0	1	周期 1 に対してモジュレーション機能付加
	0	0	1	0	周期 1,2 に対してモジュレーション機能付加
	・ ・				
	1	1	1	0	周期 1~14 に対してモジュレーション機能付加
	1	1	1	1	周期 1~15 に対してモジュレーション機能付加

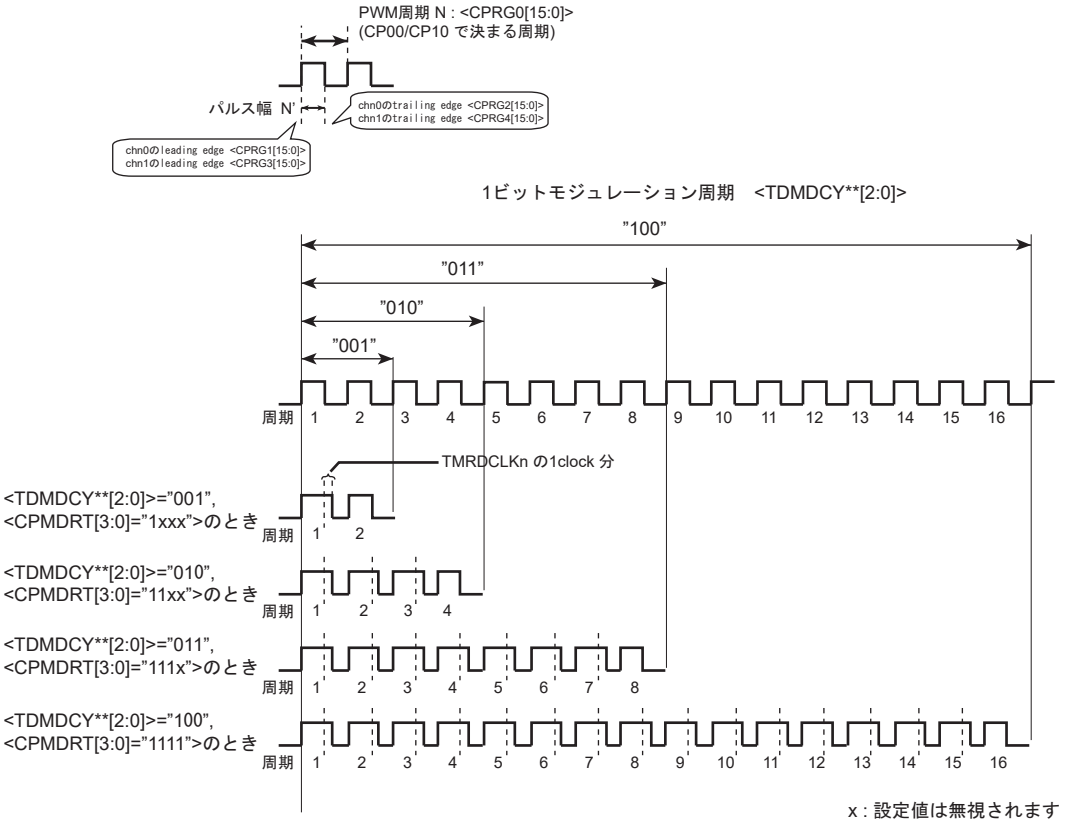
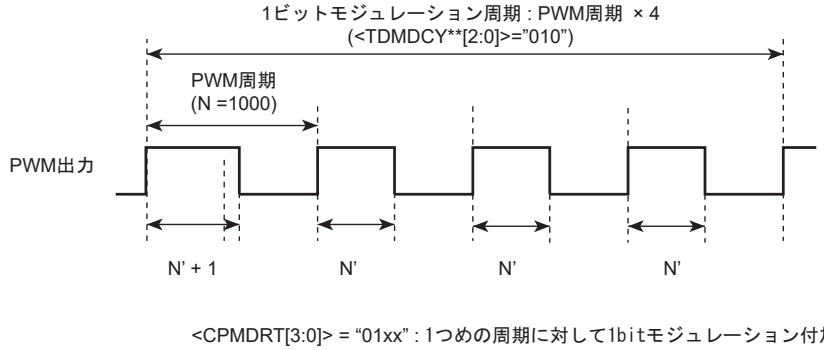


図 17-8 1bit モジュレーション機能の説明図

f_{PWM} を変更せず、分解能を 4 倍(2 ビット)、1bit モジュレーションの周期内にある 4 つの PWM 波形の内、最初の PWM 波形に 1bit モジュレーションを施した例を以下に示します。

1bit モジュレーション周期	: <TDMDCY**[2:0]> = "010"
PWM 周期の分解能	: N = 1000
パルス幅の設定	: N' = 600
1bit モジュレーションを実施する PWM 周期の数	: <CPMDRT[3:0]> = "01xx" (x : don't care)



<CPMDRT[3:0]> = "01xx" : 1つめの周期に対して1bitモジュレーション付加

（601 + 600 × 3）/4 = 600.25 のパルス幅(Duty)を平均的に実現することになり、1bit モジュレーション周期で、擬似的に分解能を 4 倍(2bit)に上げることになります。

(4) PPG モードにおける更新タイミング

PPG モードにおける各コンパレータのコンペアレジスタ TDnCPm への値の更新について説明します。

データ書き込み経路を選択するレジスタ TDnCR<TDRDE>=0 の場合は、タイマモード時と同様なので省略し、TDnCR<TDRDE>=1 の場合について説明します。

各コンパレータの更新のタイミングは、それぞれ対応する下記のコントロールレジスタの設定で異なる 3 つのパターンがあり、以下それぞれについて説明します。どのコンパレータの更新も同様の動作をするので、CPn0、CPn1、CPn2 について説明を行います。

a. 1bit モジュレーション機能を使用しない場合<TDMDCY**[2:0]> = "000"
b. 1bit モジュレーション機能を使用する場合<TDMDCY**[2:0]> ≠ "000"
   - <TDMDPT**> = 0 のとき 1bit モジュレーション周期毎に更新
   - <TDMDPT**> = 1 のとき CP00 で決まる周期毎に更新

TMRD0	TD0CR<TDMDCY00[2:0]><TDMDPT00>	(CP00/CP01/CP02/CP05)
	TD0CR<TDMDCY01[2:0]><TDMDPT10>	(CP03/CP04)
TMRD1	TD1CR<TDMDCY10[2:0]><TDMDPT10>	(CP10/CP11/CP12)
	TD1CR<TDMDCY11[2:0]><TDMDPT11>	(CP13/CP14)

上記レジスタに対応したコンパレータを右に記載しています。（PPG モードの時は、CP05 は使用しません。）

a. 1bit モジュレーション機能を使用しない場合(<TDMDCY**[2:0]>="000")

1bit モジュレーション機能を使用しないモードでは、図 17-9 に示すタイミングで、コンパレータ CPn0 及び chn0 のコンパレータ CPn1/CPn2 のコンペアレジスタ TDnCP0、TDnCP1、TDnCP2 の値が対応するタイマレジスタ TDnRG0、TDnRG1、TDnRG2 の値に更新されます。

TDBCR<TDSFTn0>は CPn0、CPn1、CPn2 に対応した更新イネーブルフラグで、この信号が 1 の時、CPn0 の一致検出信号(TMRDn の更新タイミング信号)が 1 のタイミングで値の更新が行われます。

TDBCR<TDSFTn0>はこの更新のタイミングでクリアされます。

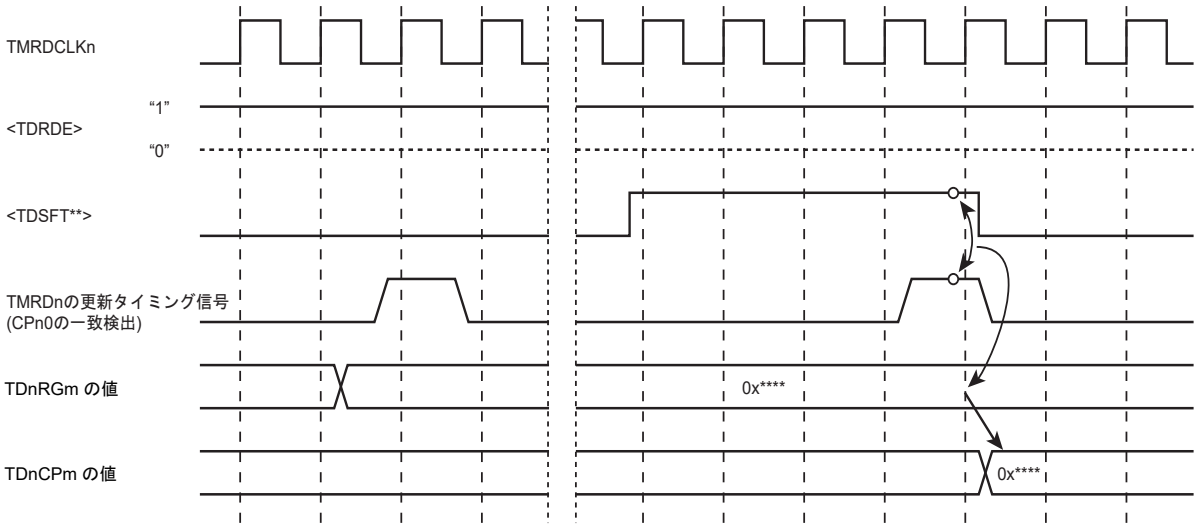


図 17-9 PPG モードにおける CPn0,CPn1,CPn2 の更新タイミング（<TDMDCY**[2:0]> = "000"）

それぞれの更新イネーブルフラグとそれぞれのコンパレータの対応は、17.4.2.3 の項で記載したタイマ/連動タイマモードの場合と同じです。

b. 1bit モジュレーション機能を使用する場合(<TDMDCY**[2:0]>="000"以外)

1bit モジュレーション機能を使用するモードでは、TDnCR<TDMDPT**>の設定で、次の 2 つの更新タイミングを選択できます。

- <TDMDPT**> = 0 のとき 1bit モジュレーション周期毎
- <TDMDPT**> = 1 のとき CP00 で決まる周期毎

1). <TDMDPT**>=0 を設定したときの更新タイミング

<TDMDCY**[2:0]>="010" の場合を例にとって、図 17-10 に示します。

図からわかるように更新イネーブルフラグ TDBCR<TDSFT00>に 1 を設定した時点の 1bit モジュレーション周期を終了したタイミングで値を更新することになります。この更新イネーブルフラグは設定値が更新されるタイミングでクリアされます。

TDnCP0、TDnCP1、TDnCP2 の値が次に更新されると出力信号 a0/b0 の leading/trailing edge のタイミングと 矩形波出力の周期がこの値に応じて変化します。

ただし、図においては、これらの値が更新の前後で変わらない場合を示します。

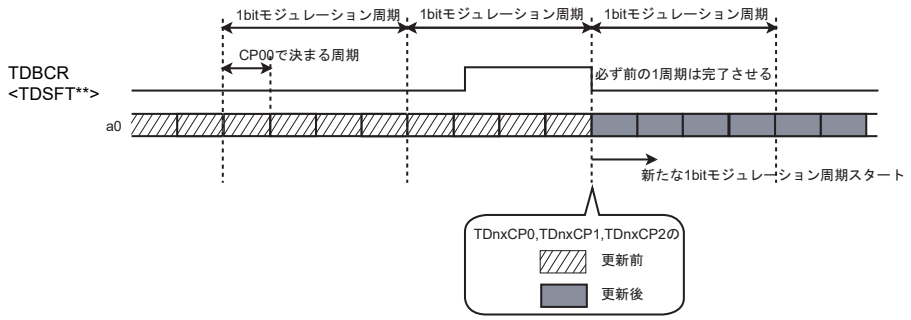


図 17-10 PPG モードにおける 1bit モジュレーション時の更新タイミング(CPn0,CPn1,CPn2 : <TDMDCY**[2:0]>="010", <TDMDPT**>="0")

図 17-11 に TDnCR<TDMDPT00> = 0 におけるコンパレータ CPn0 及び chn0 のコンパレータ CPn1/CPn2 のコンペアレジスタ TDnCP0、TDnCP1、TDnCP2 の値が対応するタイマレジスタ TDnRG0、TDnRG1、TDnRG2 の値に更新される近傍のタイミングを示します。図中「1bit モジュレーション周期での更新タイミング信号」は、書込みタイミング生成回路 0 で作成され、1bit モジュレーション周期の最後の CP00 で決まる周期を示す信号です。更新イネーブルフラグ TDBCR<TDSFT00>が 1 でかつこの 1bit モジュレーション周期での更新タイミング信号が 1 の CP00 の一致検出でコンペアレジスタの値が更新されます。

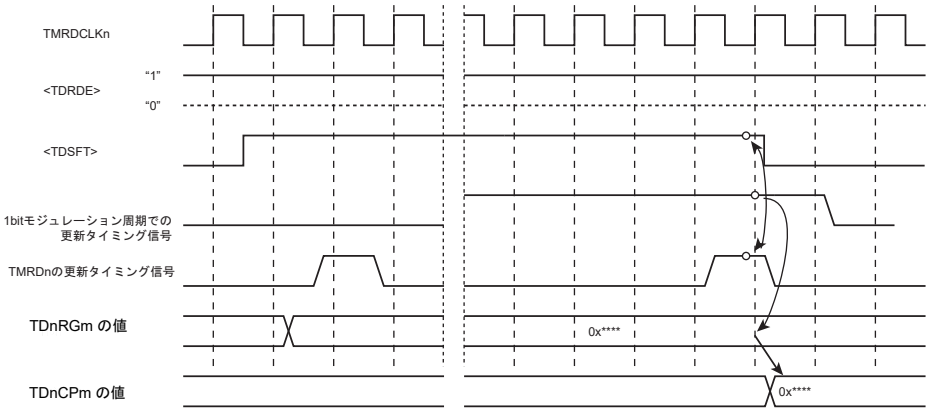


図 17-11 PPG モードにおける更新近傍のタイミング図(CPn0,CPn1,CPn2 : <TDMDPT**>="0")

2). TD0CR<TDMDPT00> = 1 を設定したときの更新タイミング

TD0CR<TDMDCY00[2:0]> = "010"の場合を例にとって、図 17-12 に示します。

図からわかるように更新イネーブルフラグ TDBCR<TDSFT00>に 1 を設定した時点の CP00 で決まる周期が終了したタイミングで値を更新することになります。この更新イネーブルフラグは設定値が更新されるタイミングでクリアされます。

TDnCP0、TDnCP1、TDnCP2 の値が次に更新されると出力信号 a0/b0 の leading/trailing edge のタイミングと 矩形波出力の周期がこの値に応じて変化します。

ただし、図においては、これらの値が更新の前後で変わらない場合を示します。

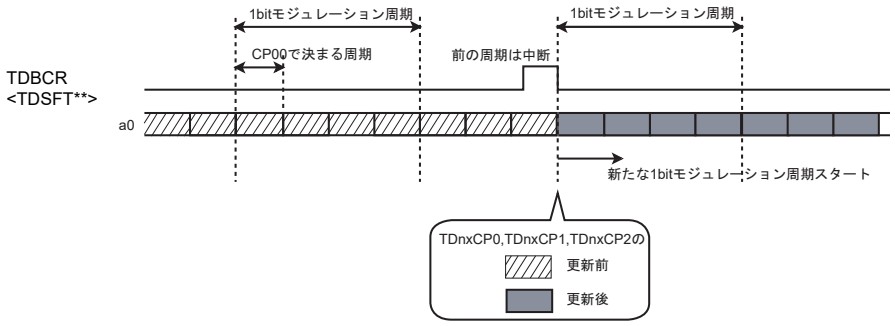


図 17-12 PPG モードにおける 1bit モジュレーション時の更新タイミング

図 17-13 に TDnCR<TDMDPT00> = 1 におけるコンパレータ CPn0 及び chn0 のコンパレータ CPn1、CPn2 の TDnCP0、TDnCP1、TDnCP2 の値が対応するタイマレジスタ TDnRG0、TDnRG1、TDnRG2 の値に更新される近傍のタイミングを示します。本タイミングは、1bit モジュレーション機能を使用しない場合と同様で、更新イネーブルフラグ TDBCR<TDSFT00>が 1 の時、CP00 の一致検出信号が 1 のタイミングで値の更新が行われます。TDBCR<TDSFT00>はこの更新のタイミングでクリアされます。

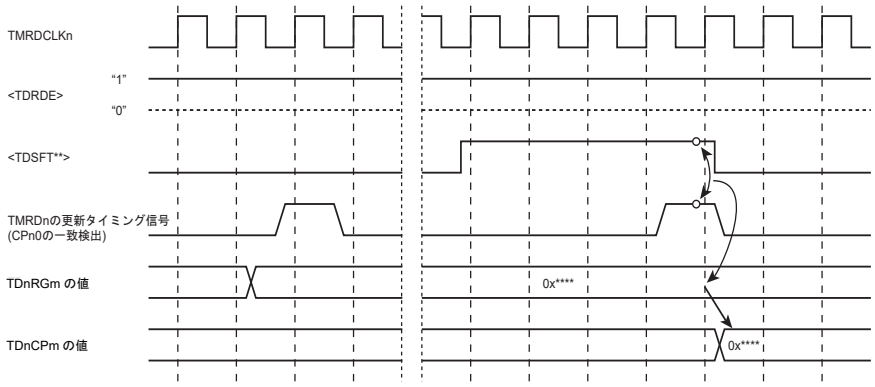
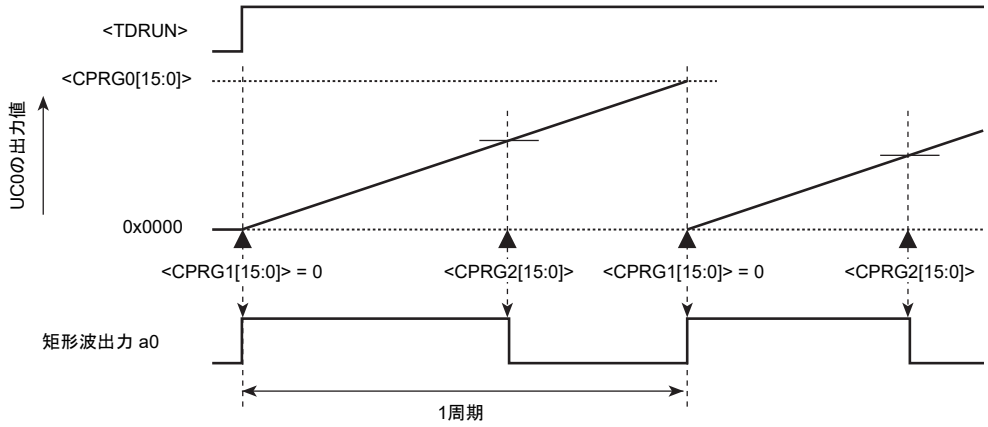


図 17-13 PPG モードにおける更新近傍のタイミング図(CPn0,CPn1,CPn2 : <TDMDPT**>="1")

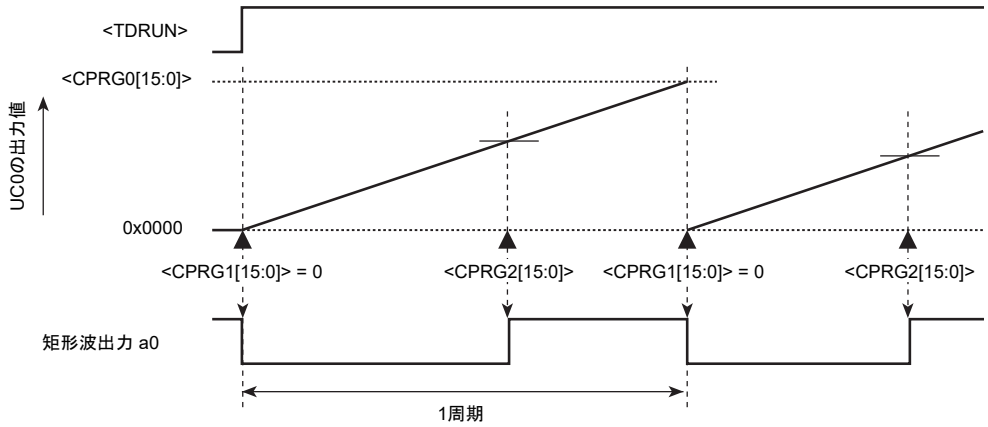
PPG モードにおいて、ch00 と ch01 もしくは ch10 と ch11 を同期させる(更新を同時に行う)場合は、更新イネーブルフラグ<TDSFT00> と<TDSFT01> もしくは<TDSFT10> と<TDSFT11> を同時に設定を行ってください。

(5)　矩形波(PPG)出力のスタートタイミング

矩形波(PPG)出力は、TDnRUN<TDRUN>に"1"を書き込むことによってスタートします。図 17-14 に示すようにスタートと同時に leading edge が立上り/立下り設定の場合も最初の周期から任意の矩形波を出力することが可能です。図は a0 の場合ですが、a1、b0/b1 の場合も同様です。また、図のタイミングは<CPRG1[15:0]>="0"の場合のタイミングです。



(1) leading edgeを立ち上がりに指定した場合



(2) leading edgeを立ち下りに指定した場合

図 17-14 スタート時のタイミングチャート(a0 の場合)

(6)　PPG モードのレジスタ設定手順

(6-1) PPG モード　　:PPG モードを起動するまでのレジスタの設定は以下の手順で行なってください。

a. 供給クロックの選択

1. TMRD に供給するクロックを CGPWMGEAR<TMRDAGEAR[1:0]>で選択します。
2. CGPWMGEAR<TMRDACLKEN>を"1"に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず<TMRDAGEAR[1:0]>の値を設定した後、<TMRDACLKEN>をセットしてください。

b. 各タイマユニットの動作モード選択

1. PPG モードで使用するタイマユニットを TDCONF<TMRDMOD[2:0]>で設定します。
   同時に、IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

c. 各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 各タイマユニットへのクロック供給動作を ON/OFF するレジスタ TDEN の各ビット<TDEN1>、<TDEN0> を"1"に設定します。（OFF のままでよいタイマユニットは、セットする必要はありません）
2. 各タイマユニットで使用するクロックをレジスタ TDnMOD<TDCLK[3:0]>で選択します。
   このとき、同じレジスタにある矩形波出力の leading edge と trailing edge を決める<TDIV1><TDIV0>の設定も同時に行います。

d.各 ch における PPG の動作モード設定、各タイマレジスタ/コンペアレジスタの初期値設定

1. 各 ch 毎に 1bit モジュレーション機能の使用の有無、使用する場合はその周期と更新タイミングを TDnCR<TDMDCYn1[2:0]>、<TDMDPTn1>、<TDMDCYn0[2:0]>、<TDMDPTn0>で設定します。
   同時に TDnCR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書込みモードにします。（タイマレジスタへの書込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモード）
2. 各タイマレジスタ(TDnRGm)に所望の値を設定します。
   TDnCR<TDRDE> = "0" のモードでは、TDBCR<TDSFT**>を"1" に設定する操作及び更新タイミング信号は必要ありません。

e. PPG モードの起動

1. TDnCR<TDRDE> = "1" に設定し、コンペアレジスタへの書込みをタイマレジスタ経由にします。（タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモード）
2. TDnRUN<TDRUN> = "1" に設定し、スタートさせます。

(6-2) PPG モード　　:PPG モードを起動した後のレジスタの設定は以下の手順で行なってください。

a. 各タイマーレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマレジスタ(TDnRGm)に任意の値を設定します。
2. 上記設定後、更新する ch に対応したレジスタ TDBCR<TDSFT**>を"1"にセットします。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。

3. 起動後、更新タイミングの変更は、対応する ch の TDnCR<TDMDPTn1>、<TDMDPTn0>の設定を変更することで可能です。

b. 矩形波出力の停止

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TDnRUN<TDRUN> = "0" に設定します。

注)　PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnRGm)、(TDBCR)、(TDnRUN)、(TDnCR<TDMDPTn1><TDMDPTn0>)の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。

17.4.3.2 連動 PPG モード

本モードは、タイマユニット TMRD0 と TMRD1 が位相シフタ機能を有するコンパレータ CP05 を介し連動して動作するモードです。

本モードでは、先に説明した PPG モードの機能に加えて、

1. 3ch もしくは 4ch の同期した矩形波を出力することが可能
2. TMRD0 が出力する矩形波(a0/a1)と TMRD1 が出力する矩形波(b0/b1)の位相関係を-180° < θ < +180° の範囲でダイナミックに設定可能

(1) 動作概要

本モードにおける TMRD の概略構成を図 17-15 に示します。図に示すようにタイマユニット TMRD0 と TMRD1 がコンパレータ CP05 を介して接続された状態となり、TMRD0 におけるダブルバッファの更新タイミング及びカウンタ UC0 を"0" に戻すタイミングは他のモードと同様 CP00 の一致検出ですが、TMRD1 の更新タイミング及びカウンタ UC1 を"0" に戻すタイミングはコンパレータ CP05 の一致検出になります。ここで、CP05 は CP00 の一致検出から TMRDCLK0 を計測を始め、計測値がコンペアレジスタ TD0CP5 に設定された値になったときに一致検出信号を出力する遅延器(位相シフタ)として機能します。

従って、TMRD0、TMRD1 の各矩形波出力の周波数はコンパレータ CP00 で決定され、どの出力も同一周波数になり、また TMRD0 と TMRD1 の位相関係は CP05 で決定されることになります。この位相関係は、TMRD0 と TMRD1 が同相もしくは TMRD0 が進んだ関係になり、位相を θ とすると 0° < θ < +180° の範囲で設定することが可能です。

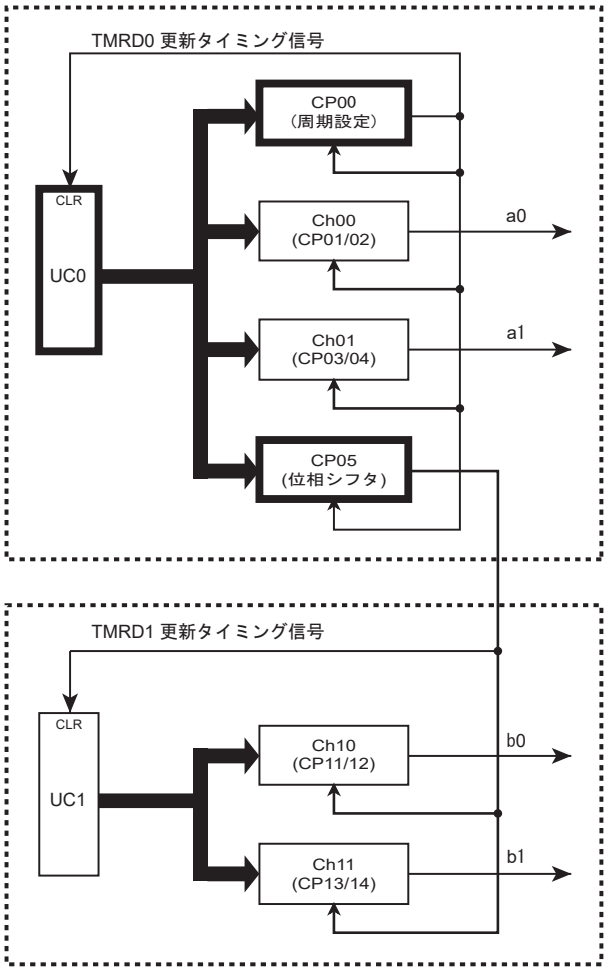


図 17-15 連動 PPG モード時の概略構成

本モードでは、TMRD1 のダブルバッファの更新を ch10 のみ ch00 に同期させる場合と ch10 及び ch11 を同期させる 2 つの場合の設定がレジスタ TDCONF<TMRDMOD[2:0]>で可能です。

TDCONF<TMRDMOD[2:0]> = "110" ： ch00 と ch10 の更新が同期

TDCONF<TMRDMOD[2:0]> = "111" ： ch00 と ch10、ch11 の更新が同期

ここでいう同期とは、TMRD0 と TMRD1 の位相差が 0° の時、各 ch のダブルバッファの更新は同時に、TMRD0 の位相が進んでいる場合は、必ず TMRD0 の更新を TMRD1 の更新に先行して行う動作のこと(以下同期更新という)をいい、更新イネーブルフラグを同時に設定する必要があります。

上記いずれの場合も ch01 の更新イネーブルフラグを同時に設定することで、ch01 も加えて同期させることが可能です。

TDCONF<TMRDMOD[2:0]> = "110" に設定することで ch00、ch01、ch10 の 3ch の同期更新を、TDCONF<TMRDMOD[2:0]> = "111" に設定することで全 ch の同期更新を行うことが可能です。

また、TDCONF<TMRDMOD[2:0]> = "111" では、出力切換えスイッチ SW0,SW1,SW2,SW3 により相切換えを行うことによって、SW0/SW1 から出力される A 相出力と SW2/SW3 から出力される B 相出力の位相関係を-180° < θ < +180° の範囲でダイナミックに設定可能です。

連動 PPG モードでも TDCONF<TMRDMOD[2:0]> = "110" の場合は本動作はできません。図 17-16 に切換 SW まで含めた連動 PPG モード時の構成を示します。この場合、ch00(出力 a0)と ch10(出力 b0)、ch01(出力 a1)と ch11(出力 b1)を対にして使用する必要があります。

一つの対になる A0 相と B0 相の場合ともう一つの対になる A1 相と B1 相の場合は、断りのない限り動作は同様なので、以下 A0 相と B0 相を例にとって図 17-16 をもとに動作の概要を説明します。

図 17-16 は図 17-2 タイマユニットのブロック図を簡略化したものです。

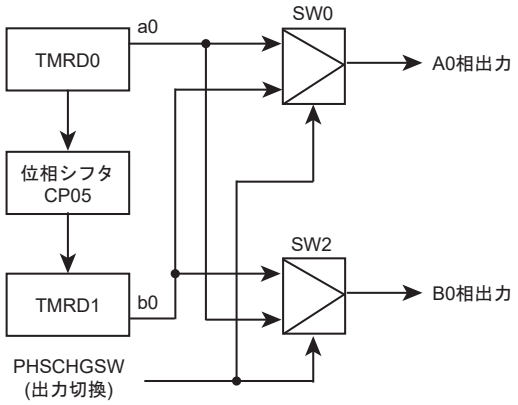


図 17-16 連動 PPG の構成(A0 相/B0 相の場合)

図 17-16 において、CP05 は矩形波出力 a0 に対して b0 の位相 θ を 0° ≤ θ < 180°の範囲で遅延可能な位相シフタ(遅延器)として動作させ、A0 相出力の位相に対し、B0 相出力の位相を同相もしくは遅らせる場合は、

「A0 相出力 = a0、B0 相出力 = b0」

になるように、また、A0 相出力の位相に対し、B0 相出力の位相を同相もしくは進める場合は、

「A0 相出力 = b0、B0 相出力 = a0」

になるように、出力切換信号(PHSCHGSW)によって SW0/SW2 を切り換えることによって本動作モードを実現します。ここで、PPG モードとは異なり、CP10 ではなく CP05 の一致検出でカウンタ UC1 を"0"に戻すことで位相シフタを実現します。

(2) 動作詳細説明

TDCONF<TMRDMOD[2:0]>を"110"または"111"に設定することによって連動 PPG モードとなり、カウンタ UC1 は、CP10 の一致検出ではなく TMRD0 の CP05 の一致検出で、"0"に戻るカウンタとして動作します。また、TMRDCLK0 と TMRDCLK1 は個別に設定不可となり、TMRDCLK1 は TMRDCLK0 と同じ周波数に設定されます。従って、矩形波 b0 は、CP05 のコンペアレジスタ TD0CP5<CPRG5[15:0]>の設定値に相当する時間、矩形波 a0 より遅れて出力されることになります。その位相関係を図 17-17 に示します。図からも分かるように本モードでは、矩形波 a0 の位相は矩形波 b0 の位相に対し、同相もしくは進んだ関係になります。

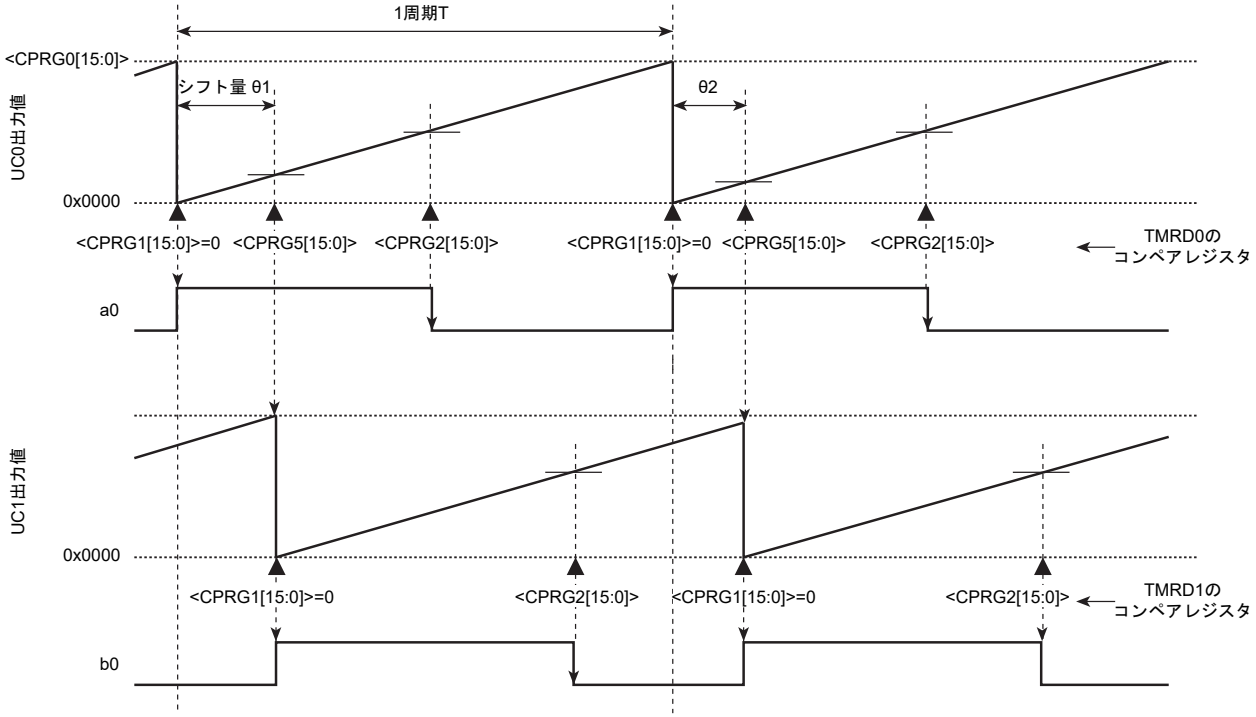


図 17-17 矩形波 a0 と矩形波 b0 の位相関係

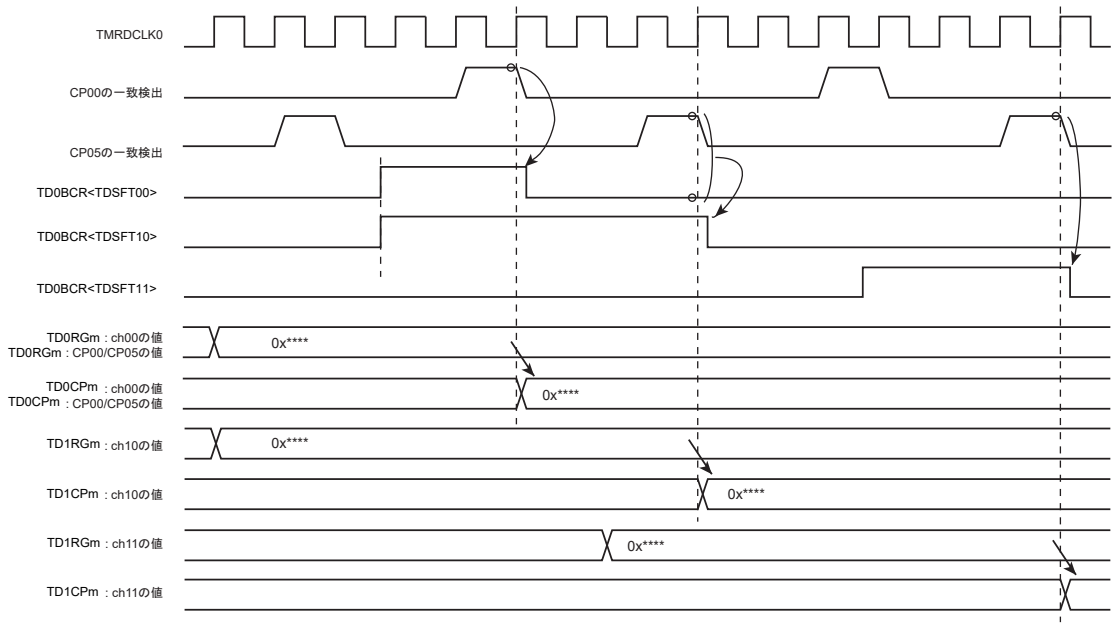
ここで、矩形波 a0 と b0 の周期は CP00 のコンペアレジスタ TD0CP0<CPRG0[15:0]>の設定値によって決まるため、位相シフト(遅延)量(θ) は、

θ = 360° × (<CPRG5[15:0]> ÷ (<CPRG0[15:0]> + 1))

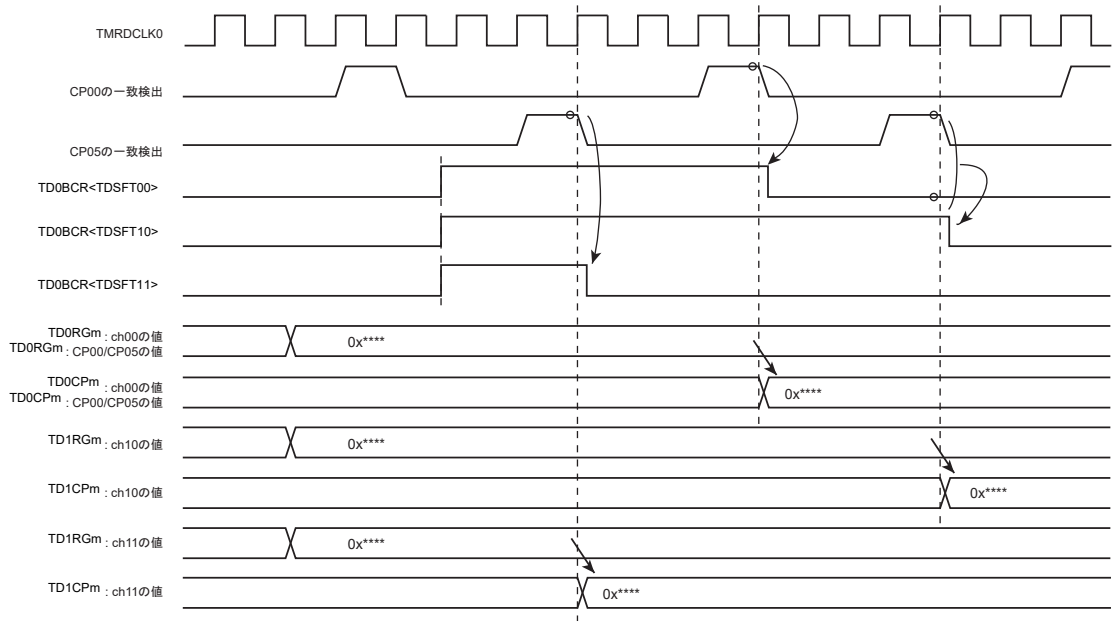
で計算します。また、本動作モードでは、0° ≤ θ < 180°であるので、 <CPRG5[15:0]>の設定範囲は、0x0000 ≤ CPRG5[15:0] ＜ ((CPRG0[15:0]+1) ÷ 2) となります。

本モードも PPG モードと同様、矩形波 a0 と b0 の Duty を決めるのは、それぞれコンパレータ CP01、CP02 および、CP11、CP12 となります。

次に、TMRD0 と TMRD1 の同期更新について TDCONF<TMRDMOD[2:0]> = "110" のモードを例に説明します。本モードは、先にも述べましたが、ch00 と ch10 の同期更新するモードで、ch00、ch10 の更新イネーブルフラグ TDBCR<TDSFT00>、<TDSFT11>を設定するタイミングによって、更新タイミングが図 17-18 に示す 2 つのケースが考えられます。



(1)CASE1



(2)CASE2

図 17-18 同期更新タイミング(TDCONF<TMRDMOD[2:0]> = 110)

・ CASE1 : 図 17-18 (1)

更新イネーブルフラグの設定タイミングが、時間的に TMRD1 の更新タイミング信号であるコンパレータ CP05 の一致検出の後、TMRD0 の更新タイミング信号であるコンパレータ CP00 の一致検出の前にある場合

図 17-18 の (1) のように、更新イネーブルフラグ設定直後の CP00 の一致検出で更新イネーブルフラグ<TDSFT00>がクリアされると同時に、コンパレータ CP00、CP05 及び ch00 のコンパレータのコンペアレジスタの値が更新され、更新イネーブルフラグ設定直後の CP05 の一致検出で更新イネーブルフラグ<TDSFT10> がクリアされると同時に ch10 のコンパレータのコンペアレジスタの値が更新されます。

・ CASE2 : 図 17-18 (2)

更新イネーブルフラグの設定タイミングが時間的に TMRD0 の更新タイミング信号であるコンパレータ CP00 の一致検出の後、TMRD1 の更新タイミング信号であるコンパレータ CP05 の一致検出の前にある場合

図 17-18 の (2)に示すように、更新イネーブルフラグの設定直後の CP00 の一致検出で ch00 の更新イネーブルフラグ<TDSFT00> のクリア及びコンパレータ CP00、CP05 及び ch00 のコンパレータのコンペアレジスタが更新されますが、更新イネーブルフラグの設定直後の CP05 の一致検出では、ch10 の更新イネーブルフラグ<TDSFT10>のクリア及び ch10 のコンペアレジスタの値の更新は行われず、次の CP05 の一致検出で行われます。

同期更新設定されていない ch11 は、図に示すように、更新イネーブルフラグ<TDSFT11>を他のそれと同時に設定する必要もなく、また同時に設定しても直後の CP05 の一致検出で、<TDSFT11> のクリアと ch11 のコンペアレジスタの値の更新が行われます。

また、ch01 を加えて同期更新させるには、更新イネーブルフラグ<TDSFT01> を<TDSFT00>と同時に設定することで可能です。ch00 と同タイミングでコンペアレジスタの更新と<TDSFT01> のクリアが行われます。

TDCONF<TMRDMOD[2:0]> = "111" の場合は、ch11 も ch10 と同様に同期更新されることになります。上記は、更新タイミングが CP00 の設定で決まる周期の場合を例に説明しましたが、1bit モジュレーション周期の場合も同様です。

(2-1)TDCONF<TMRDMOD[2:0]>="110" 設定の場合

本設定は、TMRD を 3 相(ch00、ch01、ch10) + 1 相(ch11)で動作させることを想定したモードです。本動作をさせる場合は、1bit モジュレーションの使用有無/ 周期を選択するレジスタ TD0CR<TDMDCY00[2:0]>、<TDMDCY01[2:0]>、TD1CR<TDMDCY10[2:0]>は同じ値に、更新タイミングを選択するレジスタ TD0CR<TDMDPT00> 、 <TDMDPT01> 、TD1CR<TDMDPT10>も同じ値に設定してください。更に、TMRD0 と TMRD1 の位相差を 0 (TD0CP5 を 0）に設定します。（TMRD0 と TMRD1 に位相差を持たせたい場合は、この限りではありません。）

また、コンペアレジスタの更新が必要な場合は対応するタイマレジスタに値を設定後、更新が必要な 3 相もしくは 1 相の ch の更新イネーブルフラグを設定してください（3 相側の場

合は、ch00、ch01、ch10 の更新イネーブルフラグを同時に設定してください)。ch11 のこれらのレジスタを独立に設定可能ですが、周波数は CP00 の設定で、TMRD0 と TMRD1 の位相差は CP05 の設定で一義的に決まりますので注意してください。

(2-2)TDCONF<TMRDMOD[2:0]>="111" 設定の場合

本設定は、TMRD を 4 相(ch00、ch01、ch10、ch11)で動作させるモード及び TMRD0 の矩形波出力と TMRD1 の矩形波出力の位相関係をダイナミックに可変させて動作させるモードを想定しています。この位相可変モードは、矩形波の周波数、DUTY が一定であれば、コンパレータ CP05 の設定の変更のみで動作させることが可能です。

(2-2-1) 4 相動作モード

本動作をさせる場合は、全ての ch の 1bit モジュレーションの使用有無/周期を選択するレジスタ<TDMDCY00[2:0]>、<TDMDCY01[2:0]>、<TDMDCY10[2:0]> 、<TDMDCY11[2:0]>は同じ値に、更新タイミングを選択するレジスタ<TDMDPT00> 、<TDMDPT01> 、<TDMDPT10>、<TDMDPT11>も同じ値に設定してください。更に、TMRD0 と TMRD1 の位相差を 0(TD0CP5 を 0）に設定します。（TMRD0 と TMRD1 に位相差を持たせたい場合は、この限りではありません。）

また、コンペアレジスタの更新が必要な場合は対応するタイマレジスタに値を設定後、各 ch の更新イネーブルフラグを同時に設定してください。

(2-2-2)位相可変動作モード

本動作においても、全ての ch の 1bit モジュレーションの使用有無/周期を選択するレジスタ<TDMDCY00[2:0]>、<TDMDCY01[2:0]>、<TDMDCY10[2:0]> 、<TDMDCY11[2:0]>は同じ値に、更新タイミングを選択するレジスタ<TDMDPT00>、<TDMDPT01>、<TDMDPT10>、<TDMDPT11>も同じ値に設定してください。また、コンペアレジスタの更新が必要な場合は対応するタイマレジスタに値を設定後、更新が必要な ch の更新イネーブルフラグを同時に設定してください。

次に位相可変の動作について A0 相と B0 相出力を例に説明します。

a. A0 相の位相を B0 相の位相より進めるもしくは同相の場合

A0 相出力の位相を B0 相出力の位相より進める、もしくは同位相にする場合は、

「A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0」

になるように SW0/SW2 の PHSCHGSW を設定します。PHSCHGSW の設定に関しては後述します。

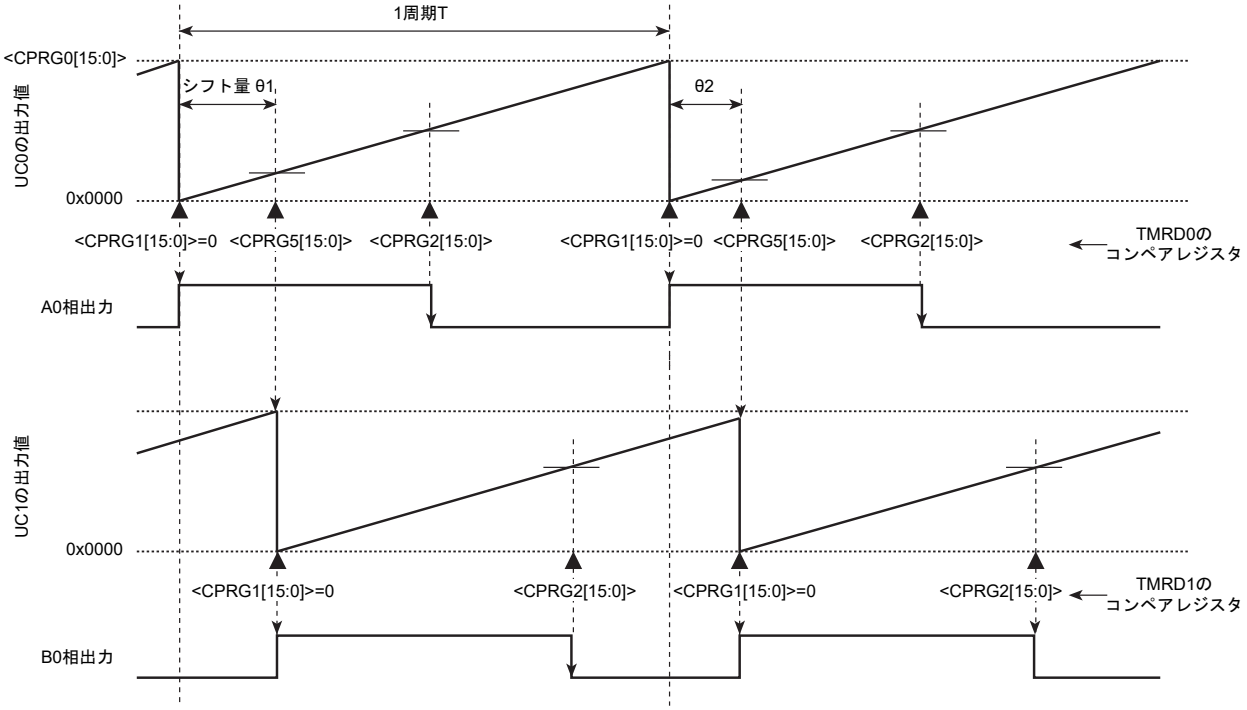


図 17-19 A0 相の位相を B0 相より進める場合(A0 相出力=矩形波 a0、B0 相出力=矩形波 b0)

b.　A0 相の位相を B0 相の位相より遅らせる場合

A0 相出力の位相を B0 相出力の位相より遅らせる、もしくは同位相の場合は、

「A0 相出力 = 矩形波 b0、 B0 相出力 = 矩形波 a0」

になるように SW0/SW2 の PHSCHGSW を設定します。図 17-20 に波形図を示します。

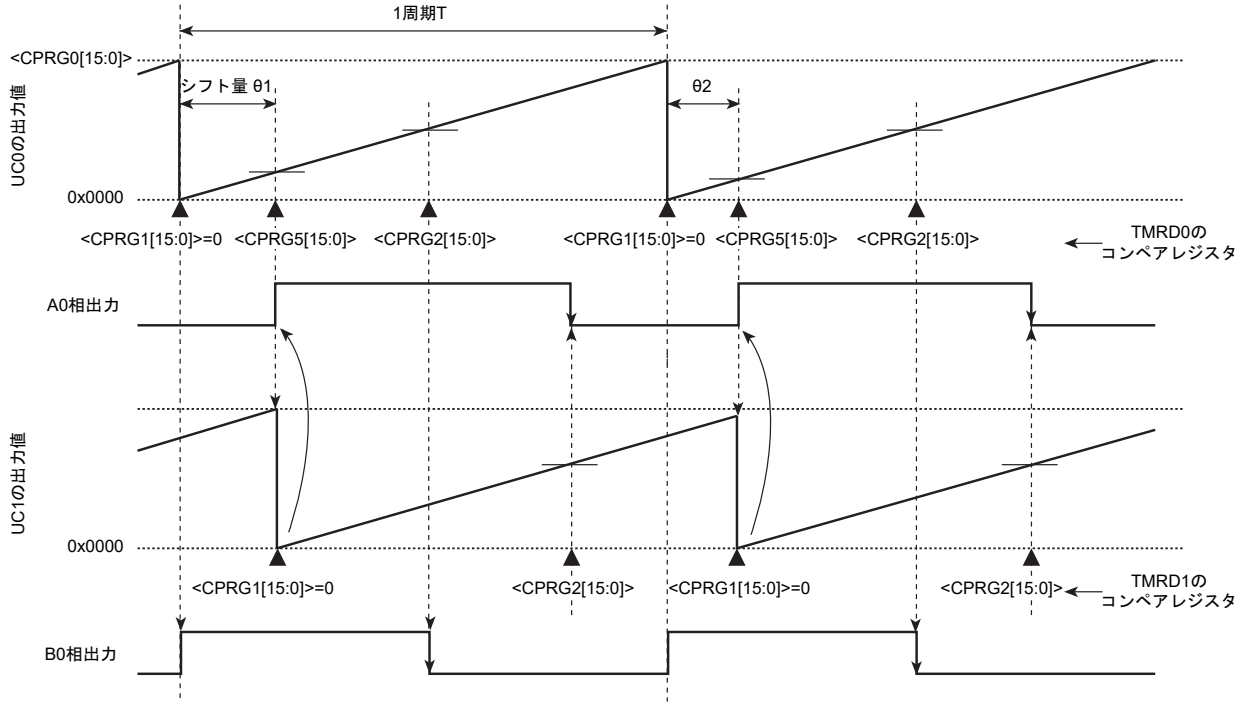


図 17-20 A0 相の位相を B0 相より遅らせる場合 (A0 相出力=矩形波 b0、B0 相出力=矩形波 a0)

c. 出力 SW(SW0/SW1/SW2/SW3)の切換え

SW0/SW1/SW2/SW3 の制御は、TDBCR<PHSCHG>への設定によって行ないます。ただし、SW0/SW1/SW2/SW3 を個別に制御することは出来ません。

TDBCR<PHSCHG>は、A 相出力に対する B 相出力の位相関係を設定するもので、

TDBCR<PHSCHG> = "0" : 遅らせる、または同位相
(A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1)

TDBCR<PHSCHG> = "1" : 進める、または同位相
(A 相出力 = 矩形波 b0/b1、B 相出力 = 矩形波 a0/a1)

となります。

ただし、これらレジスタのビット操作は、、TDCONF<TMRDMOD[2:0]>="111" の設定時のみ有効でその他の設定では無視され、、常に、A0/A1 相出力 = 矩形波 a0/a1、B0/B1 相出力 = 矩形波 b0/b1 となります。

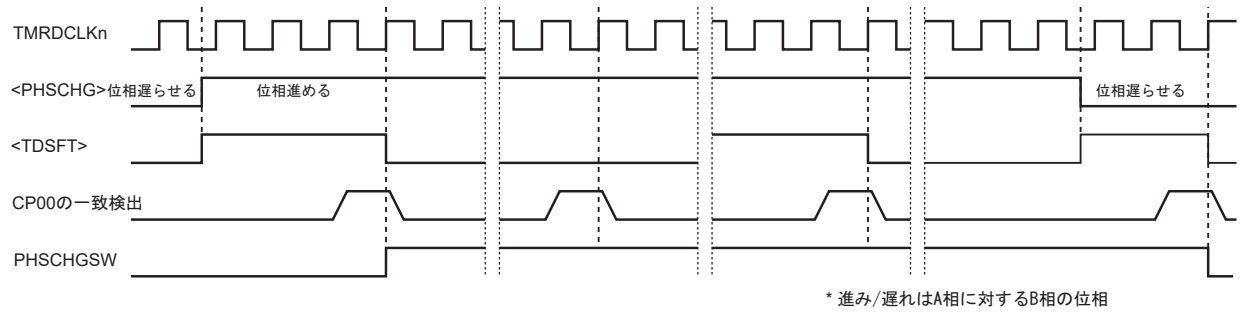


図 17-21 出力 SW(SW0/SW1/SW2/SW3)の切換えタイミング

図 17-21 に、SW(SW0～SW3)の切換えタイミング波形を示します。出力 SW を切り換える信号 PHSCHGSW は、図のように TMRD0 の更新イネーブルフラグ TDBCR<TDSFT00> が "1" の時、CP00 の一致検出のタイミング、もしくは TD0RUN<TDRUN>="1"でレジスタ TDBCR<PHSCHG>の値に応じて変化し、

PHSCHGSW = "0" : A 相出力 = 矩形波 a0/a1、B 相出力 = 矩形波 b0/b1

PHSCHGSW = "1" : A 相出力 = 矩形波 b0/b1、B 相出力 = 矩形波 a0/a1

になるように、出力 SW を切り換えます。

図 17-22 に PHSCHGSW が"0" から"1" に切り換わった場合の波形図を一例として示します。

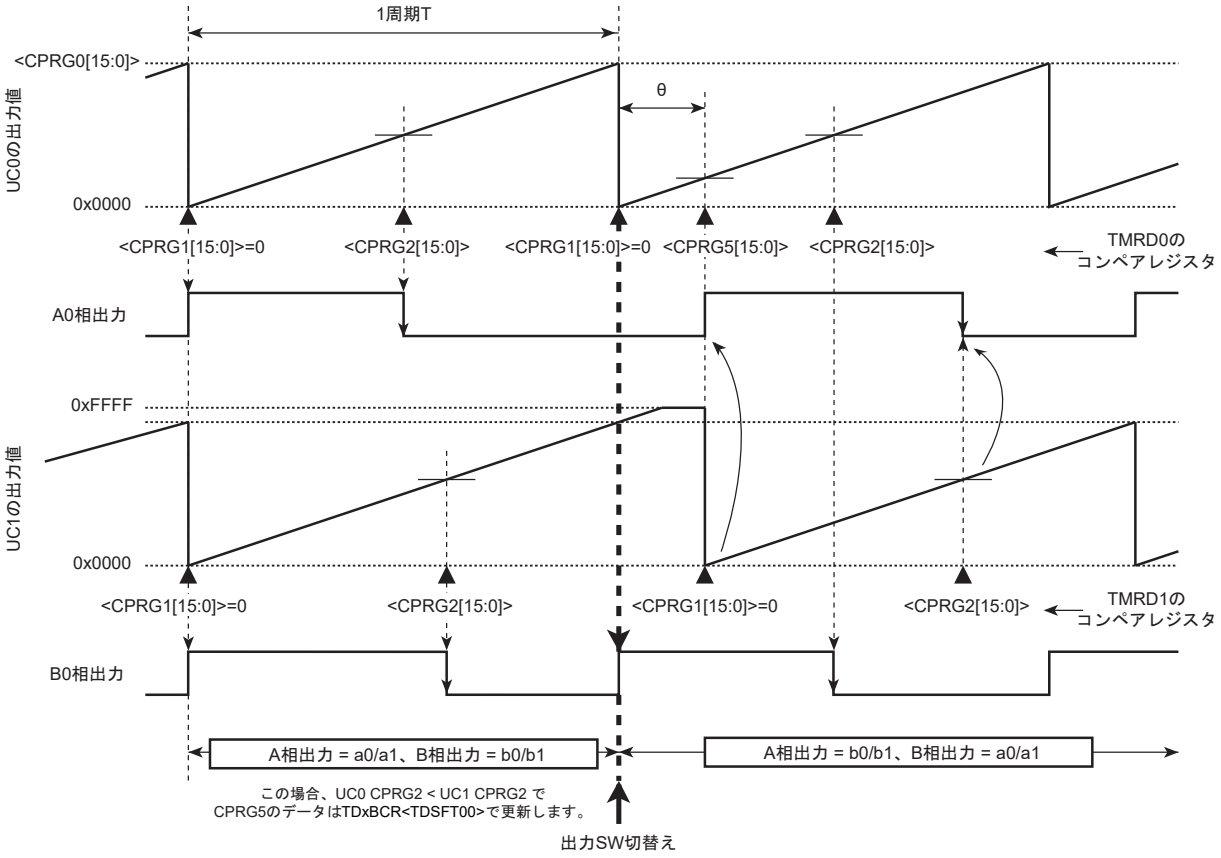


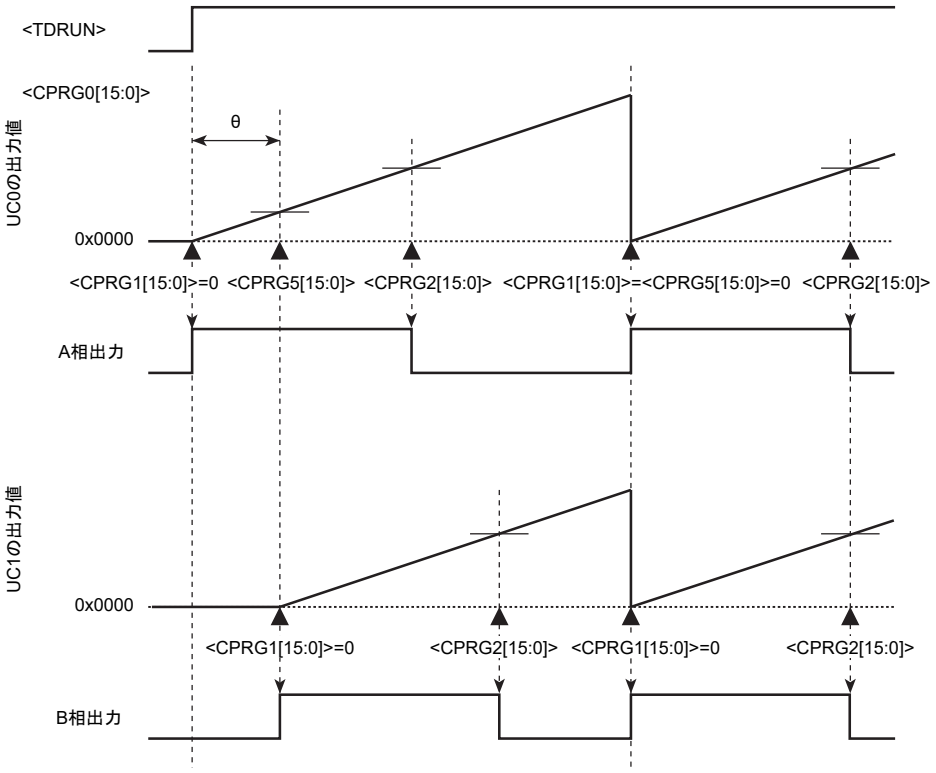
図 17-22 PHSCHGSW が"0"から"1"へ切り換わった場合の波形図

d. カウンタ 1 のオーバーフロー処理

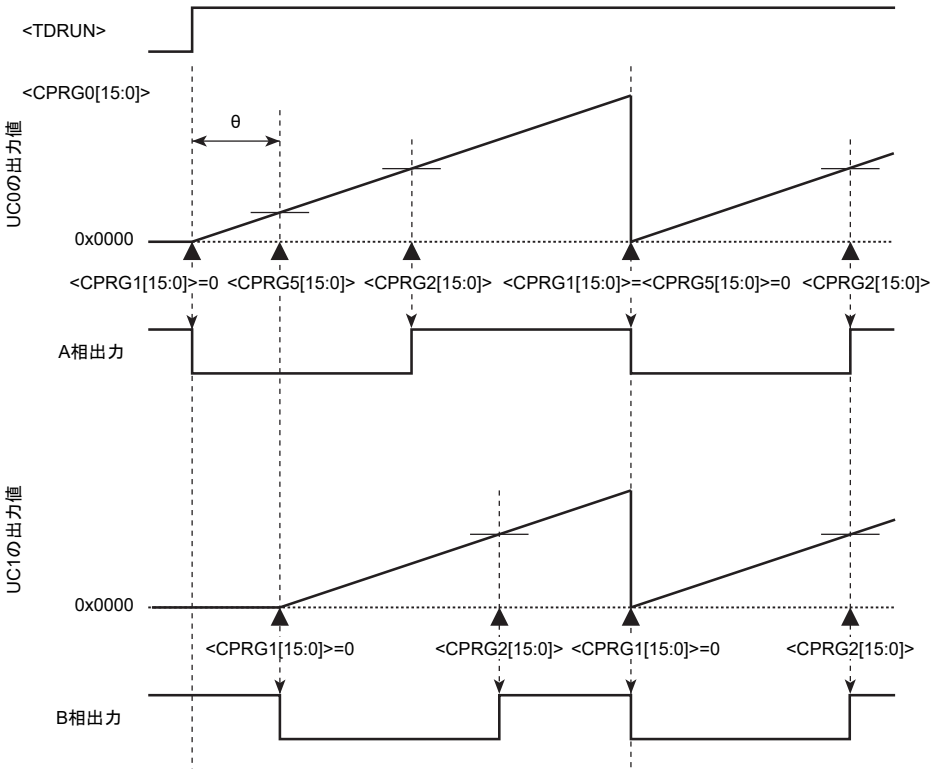
位相シフト量の範囲が $0° \leq \theta < 180°$ であるため、位相シフト量を決める CP05 の一致検出から次の一致検出までの時間 Tθ のとりうる範囲は、A 相/B 相出力の周期を T とすると $0.5T \leq T\theta < 1.5T$ となるため、周期 T の値によっては、カウンタ 1(UC1) はオーバーフローする場合が発生します。従って、本モードにおいては、UC1 のカウンタ値が 0xFFFF を超える場合は、次の CP05 の一致検出までカウンタのアップ動作を止め 0xFFFF の値を保持するオーバーフロー処理が施されています。

e. 連動 PPG モードのスタートタイミング

連動 PPG の出力は、レジスタ TD0RUN<TDRUN>に"1"を書き込むことによってスタートします。図 17-23 に示すようにスタートと同時に leading edge が立上り/立下り設定の場合も、最初の周期から任意の出力をすることが可能です。また、図のタイミングは TDnCP1<CPRG1[15:0]>="0" の場合のタイミングです。



(1) Leading edgeを立ち上がりに指定した場合



(2) Leading edgeを立ち下りに指定した場合

図 17-23 スタート時のタイミングチャート

(3)　連動 PPG モードのレジスタ設定手順

(3-1) 連動 PPG モードにおけるレジスタ設定の優先

本モードにおいて、TMRD0 がマスタ、TMRD1 がスレーブ的に動作するため TMRD0 への設定が TMRD1 の設定よりも優先するビットがあります。その対象ビットを表 17-3 に示します。

表 17-3 TMRD0 の設定が優先するビット

TMRD0	TMRD1
TD0MOD<TDCLK[3:0]>	TD1MOD<TDCLK[3:0]>
TD0CR<TDRDE>	TD1CR<TDRDE>
TD0RUN<TDRUN>	TD1RUN<TDRUN>

従って、本モードにおいて、上記 TMRD1 のレジスタへの設定は不要となります。但し、設定した場合には設定値は無視されますが対象レジスタにはその設定値が残るため注意してください。

例えば、TD1RUN<TDRUN> = "1"に設定されていると、本モード停止後、TMRD1 が再動作を開始するので TD1RUN<TDRUN> = "0"に設定してください。

(3-2) 連動 PPG モード :連動 PPG モードを起動するまでのレジスタの設定は以下の手順で行なってください。

a. 供給クロックの選択

1. TMRD に供給するクロックを CGPWMGEAR<TMRDAGEAR[1:0]>で選択します。
2. CGPWMGEAR<TMRDACLKEN>を"1"に設定し TMRD へのクロック供給をイネーブルにします。このとき、必ず <TMRDAGEAR[1:0]>の値を設定した後、<TMRDACLKEN>をセットしてください。

b. 各タイマユニットの動作モード選択

1. 各タイマユニット共、更新を同期させる ch に応じて、TDCONF<TMRDMOD[2:0]>を"110"もしくは"111"に設定します。
   同時に IDLE モードにおけるタイマユニットの動作状態を同レジスタの<TDI2TD1>、<TDI2TD0>で設定します。

c. 各タイマユニット(TMRD0/TMRD1)で使用するクロックの選択

1. 2 つのタイマユニットへのクロック供給動作を ON/OFF するレジスタ TDEN の各ビット<TDEN1>、<TDEN0> を"1"に設定します。(<TDEN1>、<TDEN0> ともにセットしてください)
2. タイマユニットで使用するクロックを TDnMOD<TDCLK[3:0]>で選択します。
   同時に、TD0MOD<TDIV0><TDIV1>ビットで a0/ a1、TD1MOD<TDIV0><TDIV1>ビット b0/b1 の leading edge と trailing edge の極性を設定します。

d. 各タイマレジスタ及びコンペアレジスタへの初期設定

1. TDnCR<TDRDE> = "0" に設定し、コンペアレジスタへの書き込みをダイレクト書込みモードにします(タイマレジスタへの書込みと同時に、同じ値が対応するコンペアレジスタに書込まれるモードです)。
2. 各タイマレジスタ(TDnRGm)に所望の値を設定します。
   TDnCR<TDRDE> = "0" のモードでは、TDBCR<TDSFT**>を"1" に設定する操作及び更新タイミング信号は必要有りません。

e.A 相出力と B 相出力の進み/遅れの位相関係の初期設定(TDCONF<TMRDMOD[2:0]>="111" の場合)

1. 起動時の A 相出力と B 相出力の進み遅れの位相関係をレジスタ TDBCR<PHSCHG>に設定します。このとき、TDBCR<TDSFT**>に"1"の設定は不要です。

f. 1bit モジュレーション設定、更新タイミング及び連動 PPG モードの起動

1. TD0CR<TDMDCY00[2:0]>、<TDMDCY01[2:0]>で ch00、ch01 の 1bit モジュレーション機能の有無、周期を同レジスタの<TDMDPT00>、<TDMDPT01>でコンペアレジスタの更新タイミングを設定します。
   同時に TD0CR<TDRDE> = "1" に設定し、コンペアレジスタへの書込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書込まれるモードです。)
2. TD1CR<TDMDCY10[2:0]>、<TDMDCY11[2:0]>で ch10、ch11 の 1bit モジュレーション機能の有無、周期を同レジスタの<TDMDPT00>、<TDMDPT01>でコンペアレジスタの更新タイミングを設定します。この設定は、後述するレジスタ説明で記載の内容に従って行って下さい。
   また、TD1CR<TDRDE>を 1 に設定する必要はありません。
3. レジスタ TD0RUN<TDRUN>="1"に設定し、スタートさせます。

(3-3) 連動 PPG モード 連動 PPG モードを起動した後のレジスタの設定は以下の手順で行います。

a. 各タイマーレジスタ及びコンペアレジスタ値の更新

1. 更新するコンペアレジスタに対応したタイマレジスタ(TDnRGm)に任意の値を設定します。ただし、TD1RG0 の値は本モードの動作には寄与しません。
2. 上記設定後、更新するコンペアレジスタに対応する TDBCR の更新イネーブルフラグ<TDSFT**>に"1" を設定します。
3. TDCONF<TMRDMOD[2:0]>="111" の場合、A 相出力と B 相出力の進み遅れの位相関係を変更する場合は、同時に TDBCR<PHSCHG>の設定値を変更し、TDBCR<TDSFT00>に"1"を設定します。上記設定後、A 相出力と B 相出力の進み遅れの位相関係を変更する場合は、レジスタ TD0BCR<PHSCHG>の設定値を変更し、同時に TD0BCR<TDSFT>を"1"に設定します。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。

4. 起動後、更新タイミングの変更は、対応する ch の TDnCR<TDMDPT**>の設定を変更することで可能です。

b. 矩形波出力の停止

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TDnRUN<TDRUN>="0"に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnRGm)、(TDBCR)、(TDnRUN)、(TDnCR<TDMDPTn1><TDMDPTn0>)の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行なってください。

(3-4) 連動 PPG モードにおける出力 SW 切り替え時の注意事項

連動 PPG モード（TDCONF<TMRDMOD[2:0]>="111" の場合）では、矩形波 b0/b1 の trailing edge は COUNTER0(UC0)の周期を越えたタイミングでも設定可能なため、位相を「進みから遅れ」また「遅れから進み」に切換える場合(出力 SW の切換え時)に注意が必要です。

以下、矩形波 b0/b1 の traling edge が UC0 の周期内にある場合と周期を超えたタイミングにある場合との出力 SW 切り換え時の A 相及び B 相出力の波形について説明します。

ここで UC0 の周期とは、カウンタ値が"0"から"0"に戻るまでの時間です。

(3-4.1) 矩形波 b0/b1 の traling edge が UC0 の周期内にある場合

図 17-24 の様に、trailing edge が UC0 の周期内にある場合の A0 相出力と B0 相出力の位相関係で、A0 相を進んだ状態から遅れた状態に切り換える場合、図 17-25 に示すように、所定の CP00 の一致検出のタイミングで出力 SW を切り換え、A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0 の関係を A0 相出力 = 矩形波 b0、B0 相出力 = 矩形波 a0 に切り換えるが、出力 SW 切り換えのタイミングで矩形波 a0 と b0 の信号レベルが同じため、異常な波形は発生せずに切り換わります。

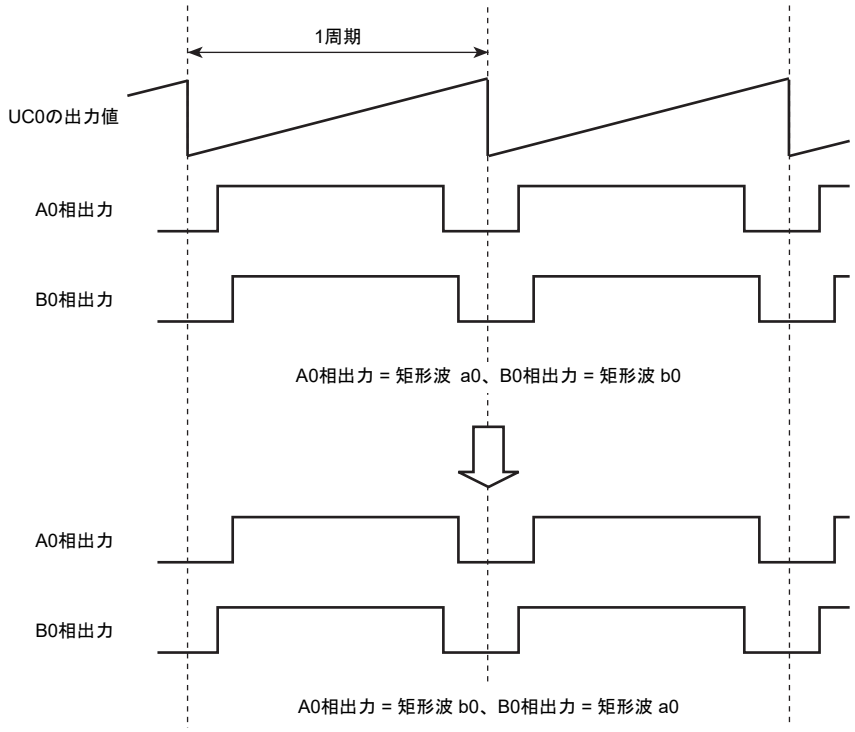


図 17-24 位相進み遅れ(出力 SW)切換前と後の波形（矩形波 b0 の trailing edge が UC0 の周期内)

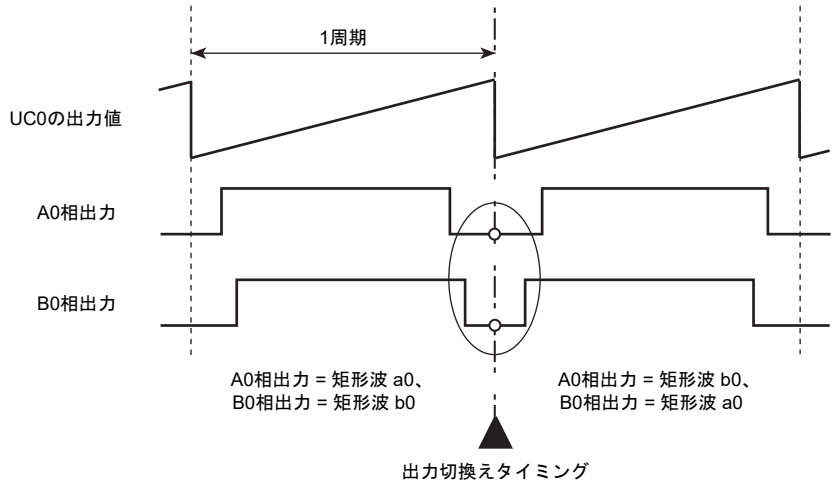


図 17-25 出力 SW0 の切換前後の波形（矩形波 b0 の trailing edge が UC0 の周期内)

A0 相出力が B0 相出力に対して位相が進んだ状態から遅れた状態に切り換える場合について述べましたが、逆に遅れた状態から進んだ状態に切換える場合も同様で、異常な波形は発生しません。

また、A1 相/B1 相の場合も同様です。

(3-4.2) 矩形波 b0/b1 の traling edge が UC0 の周期を超えた場合

図 17-26 の様に、trailing edge が UC0 の周期を越えている A0 相出力と B0 相出力の位相関係で、A0 相が進んだ状態から遅れた状態に切り換える場合、図 17-27 に示すように、所定の CP00 の一致検出のタイミングで出力 SW0 を切り換え、A0 相出力 = 矩形波 a0、B0 相出力 = 矩形波 b0 の関係を A0 相出力 = 矩形波 b0、B0 相出力 = 矩形波 a0 に変更します。この時、出力 SW 切り換えのタイミングで矩形波 a0 と b0 の信号レベルが異なるので、図 17-27 のようにパルス状の波形が発生します。

A0 相出力が B0 相出力に対して位相が進んだ状態から遅れた状態に切換える場合について述べましたが、逆に遅れた状態から進んだ状態に切換える場合も同様、図 17-27 のようにパルス状の波形が発生します。また、A1 相/B1 相の場合も同様です。

位相進み遅れの切り換え点で、このようなパルスが発生することがシステム的に問題になる場合、位相の進みから遅れ、また遅れから進みに切り換える前に一度、同位相の状態を経由させることで回避することが出来ます。

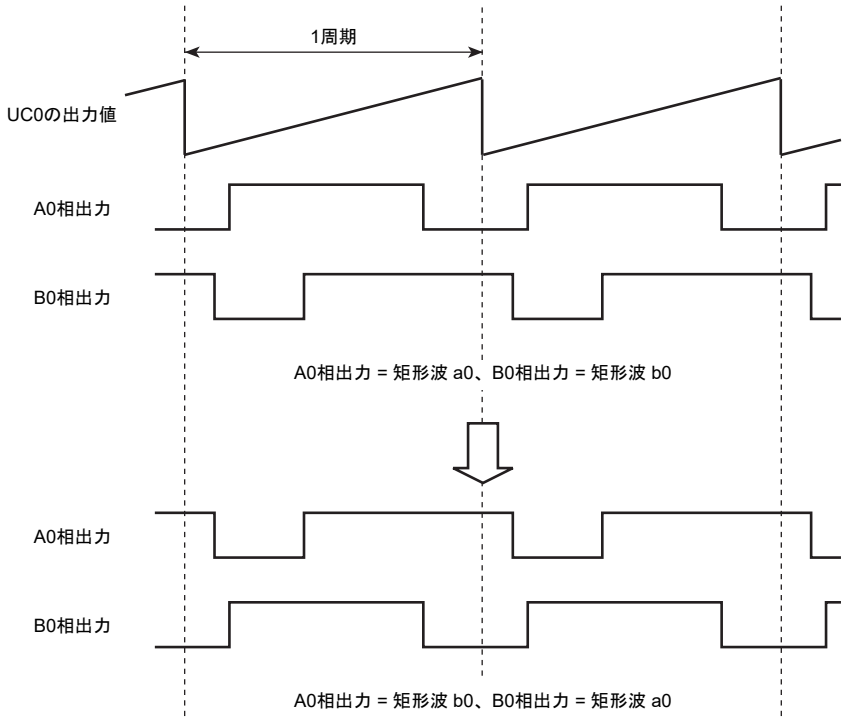


図 17-26 位相進み遅れ(出力 SW)切換前と後の波形（矩形波 b0 の trailing edge が UC0 の周期を越える)

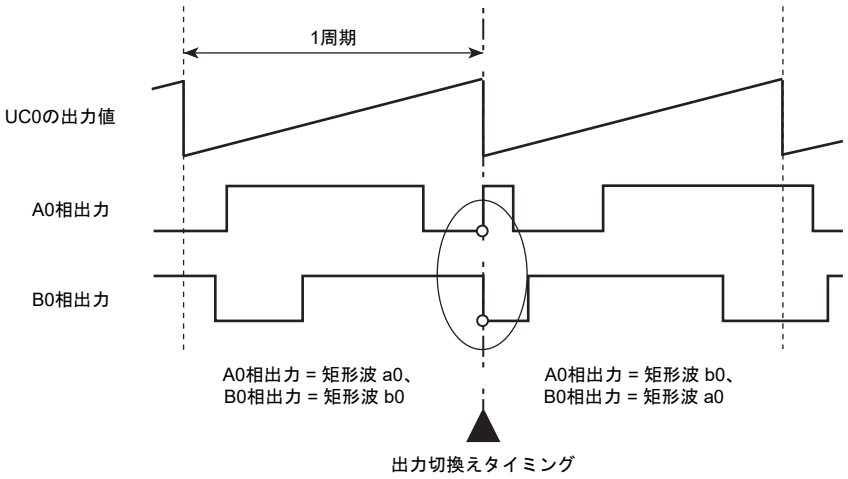


図 17-27 出力 SW0 の切換前後の波形（矩形波 b0 の trailing edge が UC0 の周期を越える)

17.4.3.3　コンペアレジスタの設定範囲

16 ビットプログラマブル矩形波出力におけるコンペアレジスタへの設定範囲を表 17-4 に示します。

表 17-4 16 ビットプログラマブル矩形波出力時のコンペアレジスタの設定範囲

タイマユニット	レジスタ設定範囲			PPG	連動 PPG
	最小値	コンペアレジスタ	最大値		
TMRD0	(注) ≤	TD0CP0<CPRG0[15:0]>	≤ 0xFFFF	A	A
	0x0000 ≤	TD0CP1<CPRG1[15:0]>	< TD0CP2<CPRG2[15:0]>	A	A
	TD0CP1<CPRG1[15:0]> <	TD0CP2<CPRG2[15:0]>	≤ TD0CP0<CPRG0[15:0]>	A	A
	0x0000 ≤	TD0CP3<CPRG3[15:0]>	< TD0CP4<CPRG4[15:0]>	A	A
	TD0CP3<CPRG3[15:0]> <	TD0CP4<CPRG4[15:0]>	≤ TD0CP0<CPRG0[15:0]>	A	A
	0x0000 ≤	TD0CP5<CPRG5[15:0]>	< TD0CP0<CPRG0[15:0]> ÷ 2	NA	A
TMRD1	(注) ≤	TD1CP0<CPRG0[15:0]>	≤ 0xFFFF	A	NA
	0x0000 ≤	TD1CP1<CPRG1[15:0]>	< TD1CP2<CPRG2[15:0]>	A	A
	TD1CP1<CPRG1[15:0]> <	TD1CP2<CPRG2[15:0]>	≤ TD1CP0<CPRG0[15:0]>	A	A
	0x0000 ≤	TD1CP3<CPRG3[15:0]>	< TD1CP4<CPRG4[15:0]>	A	A
	TD1CP3<CPRG3[15:0]> <	TD1CP4<CPRG4[15:0]>	≤ TD1CP0<CPRG0[15:0]>	A	A

A : 有効
NA : 無効

注) 本製品におけるレジスタ設定範囲は TMRD のソースクロックによって異なります。設定範囲は「製品情報」の章をご参照ください。

矩形波出力の周期 Tn は、TMRDCLKn の周波数を f_{CLKn} とすると、下記で計算します。

(1) PPG の場合 n = 0,1

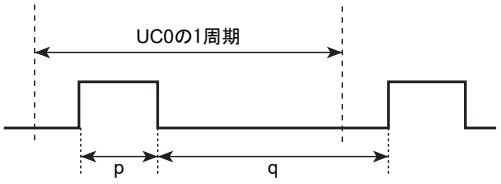
$$Tn = (1/f_{CLKn}) \times (TDnCP0<CPRG0[15:0]> + 1)$$

(2) 連動 PPG の場合

$$T = (1/f_{CLK0}) \times (TD0CP0<CPRG0[15:0]> + 1)$$

矩形波出力の Duty は、TMRDCLK0 の周波数を f_{CLK0} とすると、例えば a0 の場合下記で計算します。

p : q = {CPRG2[15:0] - CPRG1[15:0]} : {(CPRG0[15:0]+1) - CPRG2[15:0] + CPRG1[15:0]}



第 18 章　32 ビットタイマ(TMRC)

18.1　概要

TMRC は、次の動作モードをもっています。

- 32 ビットインタバルタイマモード
- 32 ビットイベントカウンタモード
- コンペア出力

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 周波数測定
- パルス幅測定

18.2　構成

32 ビットのタイムベースタイマ（TBT）を 1 チャネルと 32 ビットインプットキャプチャレジスタを 4 チャネル（TCxCAP0～3）、32 ビットのコンペアレジスタを 8 チャネル（TCxCMP0～7）を内蔵しています。

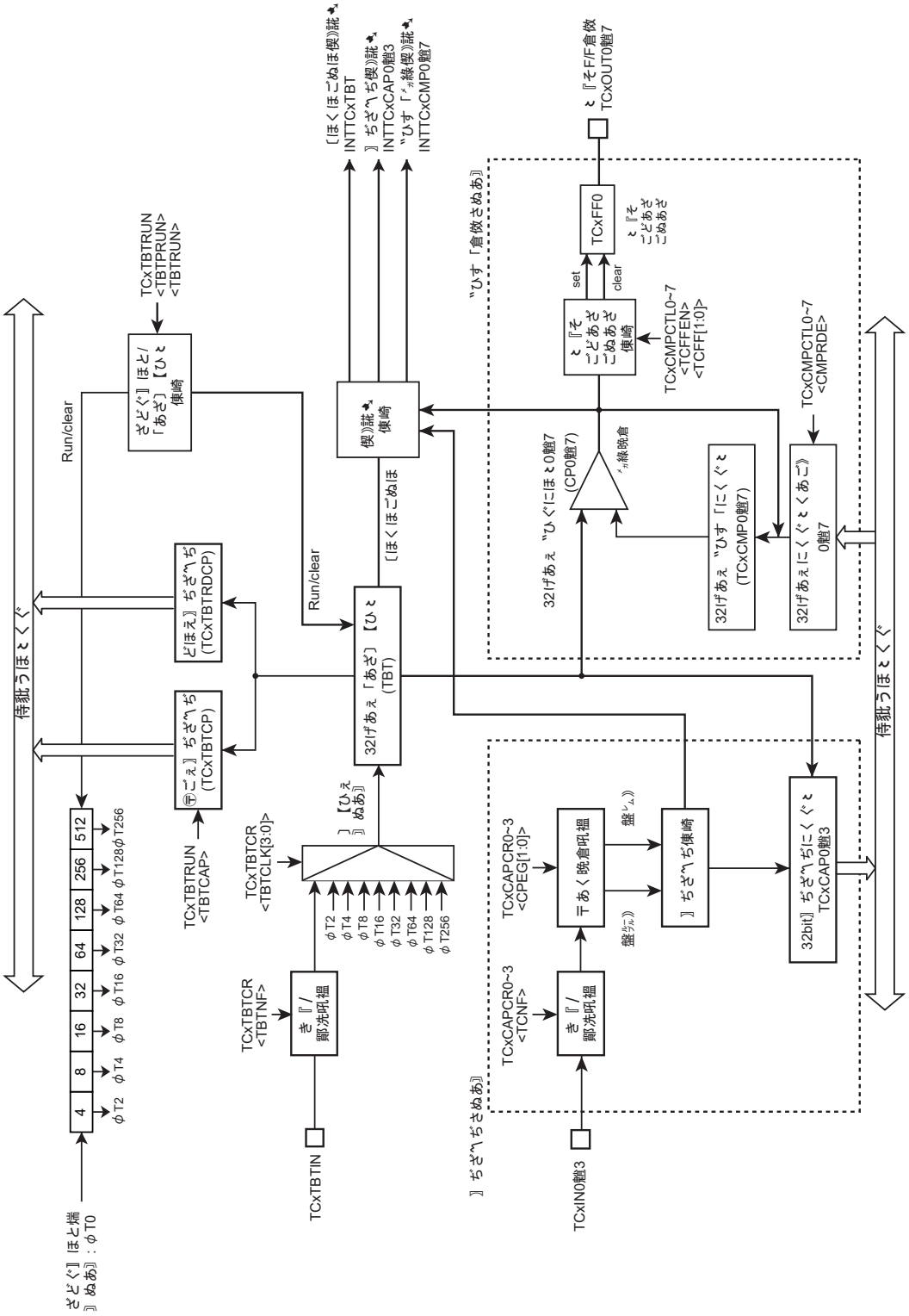


図 18-1 TMRC のブロック図

18.3 レジスタ説明

18.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	TCxEN	0x0000
RUN レジスタ	TCxTBTRUN	0x0004
コントロールレジスタ	TCxTBTCR	0x0008
TBT キャプチャレジスタ	TCxTBTCP	0x000C
TBT リードキャプチャレジスタ	TCxTBTRDCP	0x0010
コンペアコントロールレジスタ 0	TCxCMPCTL0	0x0020
コンペアレジスタ 0	TCxCMP0	0x0024
コンペアコントロールレジスタ 1	TCxCMPCTL1	0x0030
コンペアレジスタ 1	TCxCMP1	0x0034
コンペアコントロールレジスタ 2	TCxCMPCTL2	0x0040
コンペアレジスタ 2	TCxCMP2	0x0044
コンペアコントロールレジスタ 3	TCxCMPCTL3	0x0050
コンペアレジスタ 3	TCxCMP3	0x0054
コンペアコントロールレジスタ 4	TCxCMPCTL4	0x0060
コンペアレジスタ 4	TCxCMP4	0x0064
コンペアコントロールレジスタ 5	TCxCMPCTL5	0x0070
コンペアレジスタ 5	TCxCMP5	0x0074
コンペアコントロールレジスタ 6	TCxCMPCTL6	0x0080
コンペアレジスタ 6	TCxCMP6	0x0084
コンペアコントロールレジスタ 7	TCxCMPCTL7	0x0090
コンペアレジスタ 7	TCxCMP7	0x0094
キャプチャコントロールレジスタ 0	TCxCAPCR0	0x00A0
キャプチャレジスタ 0	TCxCAP0	0x00A4
キャプチャコントロールレジスタ 1	TCxCAPCR1	0x00B0
キャプチャレジスタ 1	TCxCAP1	0x00B4
キャプチャコントロールレジスタ 2	TCxCAPCR2	0x00C0
キャプチャレジスタ 2	TCxCAP2	0x00C4
キャプチャコントロールレジスタ 3	TCxCAPCR3	0x00D0
キャプチャレジスタ 3	TCxCAP3	0x00D4

注) タイマ動作中に、コントロールレジスタの変更はできません。タイマを停止後に、前記レジスタの更新を実施して下さい。

18.3.2　TCxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TCEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TCEN	R/W	TMRCx 動作 0: 禁止 1: 許可 TMRC の動作を指定します。動作禁止の状態では TMRC モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TCxEN 以外のレジスタへのリード、ライトはできません)。 TMRC を使用する場合は、TMRC モジュールの各レジスタを設定する前に TMRC 動作許可("1")にしてください。TMRC をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6-0	−	R	リードすると"0"が読めます。

18.3.3 TCxTBTRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2TBT	-	-	-	TBTCAP	TBTPRUN	TBTRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	I2TBT	R/W	IDLE 時の動作 0: 停止 1:動作
5-4	−	R	リードすると"0"が読めます。
3	−	R/W	"0"をライトしてください。
2	TBTCAP	R/W	TBT カウンタソフトキャプチャ 0: Don't care 1: ソフトキャプチャ "1"を設定すると、そのときの TBT のカウンタ値を TCxTBTCP に取り込みます。
1	TBTPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
0	TBTRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

18.3.4　TCxTBTCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBTNF	-	-	-	TBTCLK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBTNF	R/W	TCxTBTIN 入力ノイズ除去 0: 2/fsys 以上 1: 6/fsys 以上 TCxTBTIN 端子入力のノイズ除去を制御します。 "0（除去なし）"の場合は、TCxTBTIN 端子入力に対して"High"レベル、"Low"レベルともに 2/fsys 以上 (20ns@fperiph ＝ fc ＝ 100MHz)で TBT のソースクロックとなります。 "1（除去あり）"の場合は、TCxTBTIN 端子入力に対して"High"レベル、"Low"レベルともに 6/fsys 以上 (60ns@fperiph ＝ fc ＝ 100MHz)に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。
6-4	−	R/W	"0"をライトしてください。
3-0	TBTCLK[3:0]	R/W	TBT のソースクロック選択 0000: φT2 0001: φT4 0010: φT8 0011: φT16 0100: φT32 0101: φT64 0110: φT128 0111: φT256 1111: TCxTBTIN 端子入力

18.3.5 TCxTBTCP(TBT キャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CAP[31:0]	R	キャプチャデータ

18.3.6 TCxTBTRDCP(TBT リードキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	RDCP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RDCP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RDCP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RDCP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RDCP[31:0]	R	キャプチャデータ

18.3.7　TCxCMPCTL0~7(コンペアコントロールレジスタ 0~7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TCFFEN	TCFF		-	-	CMPRDE	CMPEN
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	TCFFEN	R/W	TCxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がコンペアレジスタ (TCxCMP0~7)と一致した時にタイマフリップフロップを反転します。
5-4	TCFF[1:0]	R/W	TCxFF0 の制御 00: Invert TCxFF0 の値を反転(ソフト反転)します。 01: Set TCxFF0 を"1"にセットします。 10: Clear TCxFF0 を"0"にクリアします。 11: Don't care
3-2	−	R	リードすると"0"が読めます。
1	CMPRDE	R/W	コンペアレジスタのダブルバッファ 0: ディセーブル 1: イネーブル
0	CMPEN	R/W	コンペアー致検出 0: ディセーブル 1: イネーブル

18.3.8 TCxCMP0~7(コンペアレジスタ 0~7)

	31	30	29	28	27	26	25	24
bit symbol	CMP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CMP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CMP[31:0]	R/W	カウンタと比較する値を設定します。

18.3.9　TCxCAPCR0~3(キャプチャコントロールレジスタ 0~3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TCNF	-	-	-	-	-	CPEG	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TCNF	R/W	TCxIN0~3 端子入力ノイズ除去制御 0: 2/fsys 以上 1: 6/fsys 以上 "0（除去なし）"の場合は、TCxIN 0~3 端子入力に対して"High"レベル、"Low"レベルともに 2/fsys 以上(20ns@fperiph ＝ fc ＝ 100MHz)で TCxCAP0~3 となります。 "1（除去あり）"の場合は、TCxIN0~3 端子入力に対して"High"レベル、"Low"レベルともに 6/fsys 以上(60ns@fperiph ＝ fc ＝ 100MHz)に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。
6-1	−	R	リードすると"0"が読めます。
0	CPEG[1:0]	R/W	TCxIN0~3 入力の有効エッジ選択 00:キャプチャしない 01:立ち上り 10:立ち下り 11:両エッジ

18.3.10 TCxCAP0~3(キャプチャレジスタ 0~3)

	31	30	29	28	27	26	25	24
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CAP[31:0]	R	カウンタ値をキャプチャした値

18.4　動作説明

18.4.1　プリスケーラ

アップカウンタのソースクロックを生成する 8 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラクロックはシステムクロック(fsys)に依存せず設定可能です。そのため、fsys より速いプリスケーラクロックの設定が可能です。

プリスケーラは TCxTBTRUN<TBTPRUN> により動作/停止の設定をします。"1" を設定するとカウントを開始し "0" をライトするとクリアされ停止します。

18.4.2　ノイズ除去回路

タイムベースタイマ（TBT）の外部クロックソース入力（TCxTBTIN)、キャプチャトリガ入力（TCxIN0~3）に対してノイズ成分を除去します。ノイズ除去処理を行なわない入力信号を出力することも可能です。

18.4.3　アップカウンタ(TBT)

32 ビットのバイナリカウンタです。

リセット時、アップカウンタはクリアされて、タイマは停止しています。カウントスタートするとフリーラン動作します。

18.4.3.1　ソースクロック

ソースクロックは TCxTBTCR<TBTCLK[3:0]>で設定することができます。

プリスケーラ出力クロック φT2, φT4, φT8, φT16, φT32, φT64, φT128, φT256 または、TCxTBTIN 入力のいずれかを選択できます。

18.4.3.2　動作開始と停止

TCxTBTRUN<TBTRUN> に "1"を設定することでカウントを開始します。"0"でカウント停止と同時にアップカウンタのクリアを行います。

18.4.3.3　カウンタのクリア

TCxTBTRUN<TBTRUN>に "0"を設定すると、アップカウンタが停止するとともにクリアされます。

18.4.3.4　オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTCxTBT が発生し、カウンタ値は"0"にクリアされ、再びアップカウント動作します。

18.4.3.5 キャプチャ(TCxTBTCP,TCxTBTRDCP)

1. ソフトキャプチャ

   ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、TCxTBTRUN<TBTCAP> に"1"を書き込むたびに、その時点のカウンタの値をTCxTBTCP へキャプチャします。なお、プリスケーラは、RUN 状態(TCxTBTRUN<TBTPRUN> = "1") にしておく必要があります。

2. リードキャプチャ

   本カウンタは TCxTBTRDCP をリードしたときのアップカウント値がキャプチャできます。

18.4.4 32 ビットキャプチャレジスタ

18.4.4.1 エッジ検出回路

外部からのキャプチャ入力(TCxIN0~3)の入力エッジをサンプリング検出します。<CPEG[1:0]>により、立ち上がり、立下り、両エッジ、キャプチャしない、の選択が可能です。 図 18-2 にキャプチャ入力とエッジ検出回路の出力(キャプチャ要因出力)の関係を示します。

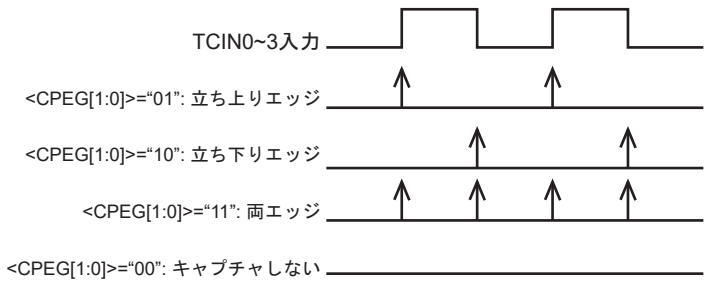


図 18-2 キャプチャ入力とキャプチャ要因出力(エッジ検出回路出力)

18.4.4.2 キャプチャ制御

アップカウンタの値をキャプチャレジスタ TCxCAP0~3 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、<CPEG[1:0]>で設定します。

18.4.4.3 32 ビットキャプチャレジスタ(TCxCAP0~3)

キャプチャ要因をトリガにして TBT のカウント値が取り込まれる 32 ビットのレジスタです。キャプチャ動作が行われるとキャプチャ割り込み INTTCxCAP0~3 が発生します。

18.4.5 32 ビットコンペアレジスタ

18.4.5.1 コンパレータ(CP0~7)

アップカウンタと、コンペアレジスタ TCxCMP0~7 への設定値とを比較し、一致を検出します。一致すると、INTTCxCMP0~7 を発生します。

18.4.5.2　コンペアレジスタ(TCxCMP0~7)

アップカウンタ(TBT)と比較する値を設定する 32bit レジスタで、8 本(TCxCMP0~7)内蔵されています。コンペアレジスタに設定された値とアップカウンタ(TBT)の値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。TCxCMPCTL0~7<CMPEN>でコンペアイネーブル/ディゼーブルを制御します。

TCxCMP0~7 はダブルバッファ構成になっており、コンペアレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TCxCMPCTL0~7<CMPRDE>によって行います。<CMPRDE> = "0" のときディセーブル、 <CMPRDE> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TCxCMP0~7 との一致時にレジスタバッファ 0~7 からコンペアレジスタ 0~7 へデータ転送が行われます。

リセット動作により、TCxCMPCTL <CMPRDE>="0"に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、コンペアレジスタにデータを書き込み<CMPRDE>="1"に設定した後、レジスタバッファへ次のデータを書き込んでください。

TCxCMP0~7 とレジスタバッファは、同じアドレスに割り付けられています。<CMPRDE> = "0"のときは、TCxCMP0~7 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<CMPRDE>="1"のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、コンペアレジスタに初期値を書き込むときには、ダブルバッファをディセーブルにしておく必要があります。

18.4.5.3　タイマフリップフロップ(TCxFF0)

タイマフリップフロップ (TCxFF0) は、コンパレータからの一致信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、<TCFFEN> によって設定できます。

リセット後、TCxFF0 の値は不定となります。<TCFF[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアされます。

TCxFF0 の値は、タイマ出力端子 TCxOUT0~7 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

18.4.6　DMA 要求

一致割り込みまたはキャプチャ割り込み発生のタイミングで DMAC に対して DMA 要求を発行します。

DMA 要求クリアの設定と DMA 要求要因の割り当ては「製品情報」の章を参照してください。

第 19 章　2 相パルス入力カウンタ (PHCNT)

19.1　概要

2 相パルス入力カウンタは、下記の特徴を持っています。

- カウント動作モードは下記の 3 種類から選択可能
  - 通常動作モード(4 カウント目でアップダウン)
  - 4 逓倍モード(全てのカウントでアップダウン)
  - 2 逓倍モード(PHCxIN0 または PHCxIN1 の入力でカウントアップ)
- 割り込み
  - 2 つのコンペアレジスタと PHCxCNT の一致で割り込み
  - アップダウンカウント動作ごとに割り込み
- PHCxCNT のオーバーフロー、アンダーフロー、コンペアレジスタとの一致を示すステータスレジスタ
- 許可/禁止が可能なノイズフィルタ内蔵

19.2　構成

2 相パルス入力カウンタはアップダウンカウンタ PHCxCNT、コンパレータ回路およびカウンタ制御回路で構成されています。カウント動作はレジスタで制御されます。

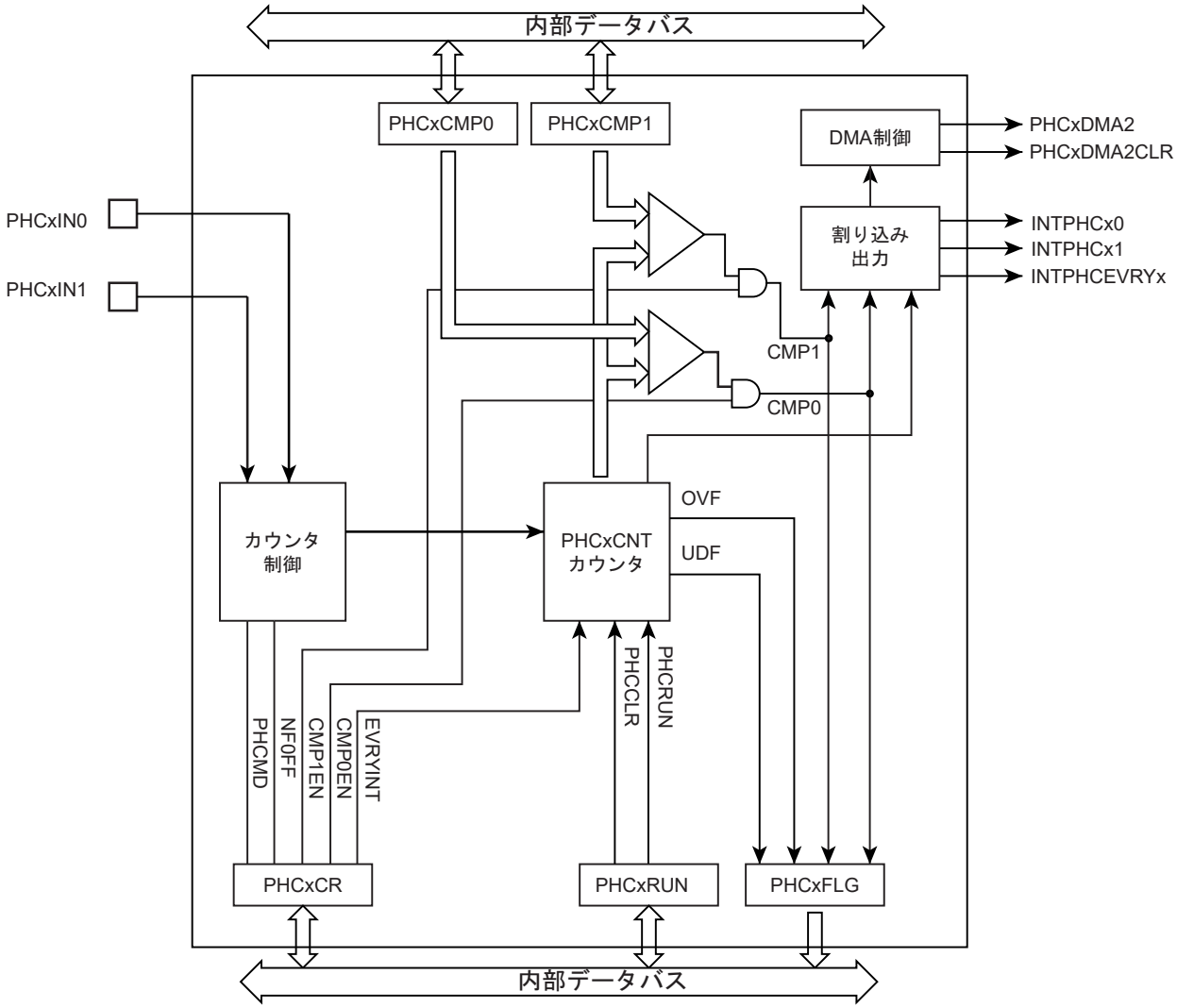


図 19-1 2 相パルス入力カウンタ(PHCNTx)ブロック図

19.3 レジスタ説明

19.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x=0~1)		Address(Base+)
カウンタ RUN レジスタ	PHCxRUN	0x0000
カウンタコントロールレジスタ	PHCxCR	0x0004
カウンタイネーブルレジスタ	PHCxEN	0x0008
カウンタステータスレジスタ	PHCxFLG	0x000C
カウンタコンペアレジスタ 0	PHCxCMP0	0x0010
カウンタコンペアレジスタ 1	PHCxCMP1	0x0014
カウンタリードレジスタ	PHCxCNT	0x0018
DMA 要求許可レジスタ	PHCxDMA	0x001C

注) 2 相パルス入力カウンタ動作中に、カウンタコントロールレジスタ、カウンタイネーブルレジスタの変更はできません。2 相パルス入力カウンタ動作を停止後に変更して下さい。

19.3.2　PHCxRUN(カウンタ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PHCCLR	PHCRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	PHCCLR	R/W	アップダウンカウンタ PHCxCNT のカウント値を初期値(0x7FFF)にクリアします。 0: Don’t care 1: クリア
0	PHCRUN	R/W	アップダウンカウンタ PHCxCNT のカウント動作制御 0: 停止&0x7FFF へのクリア 1: 動作

19.3.3 PHCxCR(カウンタコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	EVRYINT	CMP1EN	CMP0EN	NFOFF	PHCMD	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます。
5	EVRYINT	R/W	カウントアップダウンごとの割り込み 0 : 禁止 1 : 許可 コンペアー致割り込み使用時にカウントアップ、ダウン動作ごとの割り込み発生を禁止することができます。
4	CMP1EN	R/W	コンペア割り込み 1 設定 0 : 禁止 1 : 許可 アップダウンカウンタ PHCxCNT とコンペアレジスタ 1 との一致で割り込みを発生します。
3	CMP0EN	R/W	コンペア割り込み 0 設定 0 : 禁止 1 : 許可 アップダウンカウンタ PHCxCNT とコンペアレジスタ 0 との一致で割り込みを発生します。
2	NFOFF	R/W	ノイズフィルタ 0 : ON 1 : OFF ノイズ除去を制御します。ノイズフィルタ値は Typ.20ns です。
1-0	PHCMD[1:0]	R/W	動作モード設定 00: 通常モード 01: 4 逓倍モード 10: 2 逓倍モード(PHCxIN0 入力) 11: 2 逓倍モード(PHCxIN1 入力)

注) 2 相パルス入力カウンタ動作中にモード切替を行なわないでください。

19.3.4　PHCxEN(カウンタイネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PHCEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	PHCEN	R/W	PHCNTx 動作 0: 禁止 1: 許可 PHCNTx の動作を設定します。動作禁止の状態では PHCNTx の他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。PHCNTx を使用する場合は、PHCNTx の各レジスタを設定する前に PHCNTx 動作許可にしてください。PHCNTx を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます

19.3.5 PHCxFLG(カウンタステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	UDF	OVF	CMP1	CMP0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3	UDF	R/W	アンダーフロー 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT のアンダーフロー発生
2	OVF	R/W	オーバーフロー 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT のオーバーフロー発生
1	CMP1	R/W	コンペア 1 一致割込み 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT とコンペアレジスタ 1（PHCxCMP1）との一致割り込み
0	CMP0	R/W	コンペア 0 一致割込み 0: 発生なし 1: 発生 アップダウンカウンタ PHCxCNT とコンペアレジスタ 0（PHCxCMP0）との一致割り込み

注) 各ビットに"1"をライトするとフラグは"0"にクリアされます。また、各フラグは自動クリアされません。

19.3.6　PHCxCMP0(カウンタコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PHCCMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PHCCMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	PHCCMP0 [15:0]	R/W	コンペア値を設定 0x0000 ~ 0xFFFF

19.3.7　PHCxCMP1(カウンタコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PHCCMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PHCCMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	PHCCMP1 [15:0]	R/W	コンペア値を設定 0x0000 ~ 0xFFFF

19.3.8 PHCxCNT(カウンタリードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PHCCNT							
リセット後	0	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	PHCCNT							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	PHCCNT[15:0]	R	アップダウンカウンタ PHCxCNT の読み出しデータ

注 1) PHCxCNT は MCU の動作クロックと非同期でカウントアップダウンします。そのため読み出すタイミングによっては正しい値を読み出すことができません。PHCxCNT を読み出すには、PHCxCNT を 2 回読み出し、読み出した値が一致するか確認するか、INTPHEVRYx の割り込みサービスルーチンの中で、次のカウントアップダウンまでに PHCxCNT を読み出してください。

注 2) PHCxRUN<PHCRUN>が"1"になると 0x7FFF に初期化されます。

19.3.9　PHCxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PHCDMA2	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	PHCDMA2	R/W	DMA 要求許可制御 0: 禁止 1: 許可 カウントアップ、ダウンごとの割り込みによる DMA 要求許可を制御します。
1-0	−	R/W	常に"0"を書いてください。

注)　割り込み要求を禁止している場合、DMA 要求を許可しても DMA 要求は発行されません。

19.4 回路の動作説明

19.4.1 カウント動作

カウント動作は、PHCxCR<PHCMD[1:0]>により、通常モード、4 逓倍モード、2 逓倍モードから選択されます。

PHCxIN0、PHCxIN1 から入力される非同期の 2 相パルス入力の状態遷移により、PHCxCNT をアップまたはダウンします。

２つのコンペアレジスタを持ち、PHCxCNT がコンペアレジスタと一致した時に割り込みを発生させることができます。また、アップダウンカウント動作ごとに割り込みを発生させることもできます。

状態の遷移には下記の組み合わせがあります。

表 19-1 通常モード、4 逓倍モードの 2 相パルス入力の組み合わせ

PHCxIN1	PHCxIN0	状態
0	0	0
0	1	1
1	0	2
1	1	3

以下に各モードのカウント動作について説明します。

1. 通常モード

   通常モードは 2 相パルス入力の状態遷移が 4 つ変わるごとに PHCxCNT をアップまたはダウンさせるモードです。

   誤カウントを防ぐために、一度クリア状態が入力されると、セット状態が入力されるまでカウントアップ状態、カウントダウン状態が入力されても PHCxCNT はアップまたはダウンされません。

・　カウントアップ

1 クロック前の状態が"2"で、現在の状態が"3" の時、カウントアップされます。

1 クロック前の状態が"3"で、現在の状態が"2" の時、クリア状態となります。

1 クロック前の状態が"3"で、現在の状態が"1" の時、セット状態となります。

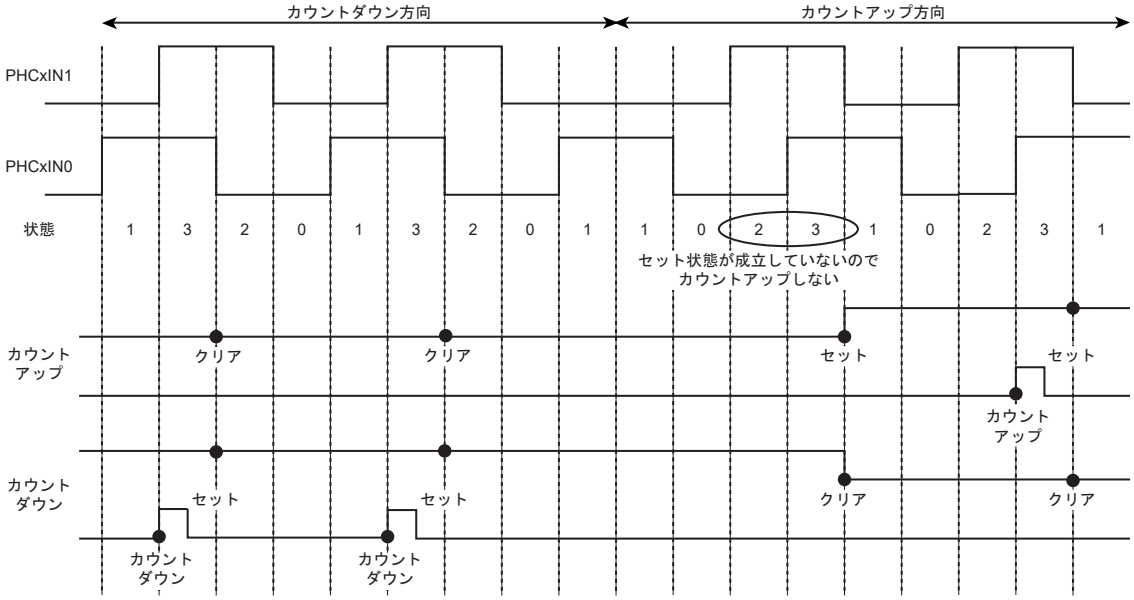


図 19-2 通常モードのカウントアップ

・　カウントダウン

1 クロック前の状態が"1"で、現在の状態が"3" の時、カウントダウンされます。

1 クロック前の状態が"3"で、現在の状態が"1" の時、クリア状態となります。

1 クロック前の状態が"3"で、現在の状態が"2" の時 、セット状態となります。

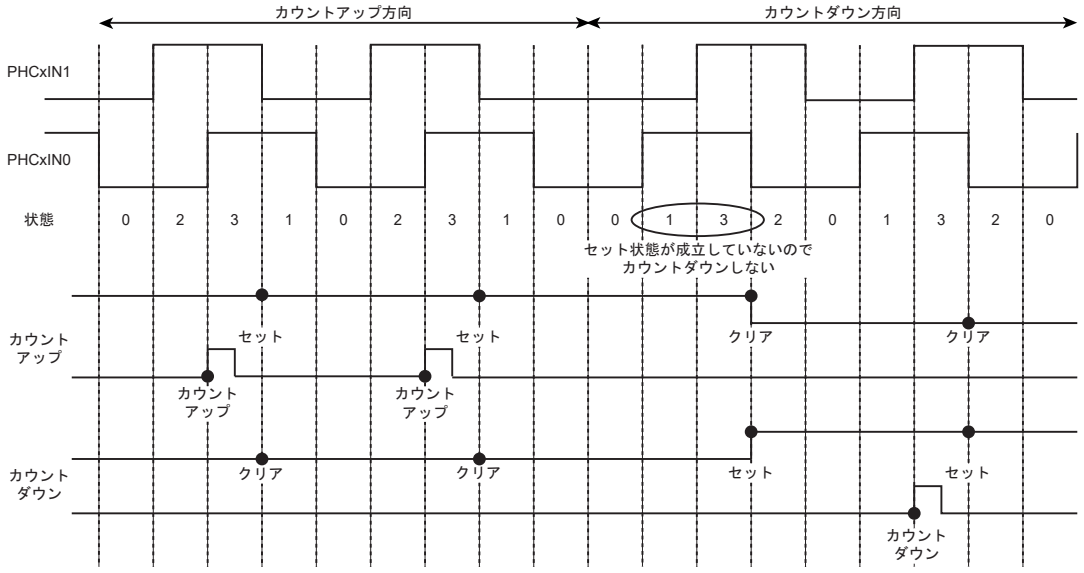


図 19-3 通常モードのカウントダウン

2. 4 逓倍モード

4 逓倍モードは、2 相パルス入力の状態遷移が 1 つ変わるごとに PHCxCNT をアップまたはダウンさせるモードです。

・ カウントアップ

1 クロック前の状態が"3"で、現在の状態が"1" の時、カウントアップされます。
1 クロック前の状態が"1"で、現在の状態が"0" の時、カウントアップされます。
1 クロック前の状態が"0"で、現在の状態が"2" の時、カウントアップされます。
1 クロック前の状態が"2"で、現在の状態が"3" の時、カウントアップされます。

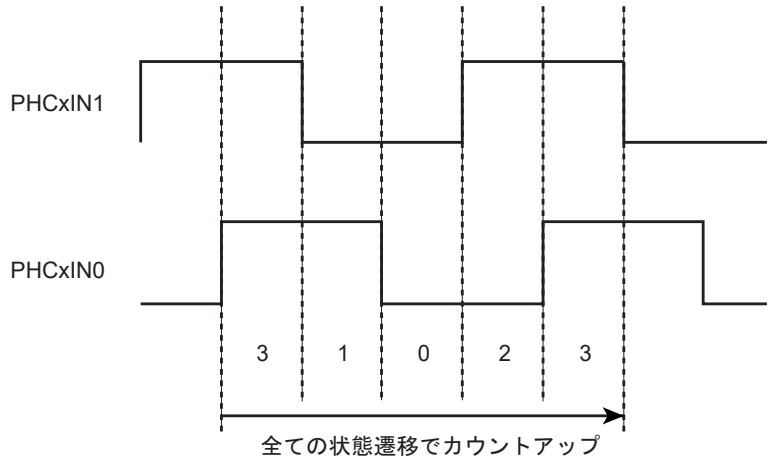


図 19-4 4 逓倍モードのカウントアップ

・ カウントダウン

1 クロック前の状態が"3"で、現在の状態が"2" の時、カウントダウンされます。
1 クロック前の状態が"2"で、現在の状態が"0" の時、カウントダウンされます。
1 クロック前の状態が"0"で、現在の状態が"1" の時、カウントダウンされます。
1 クロック前の状態が"1"で、現在の状態が"3" の時、カウントダウンされます。

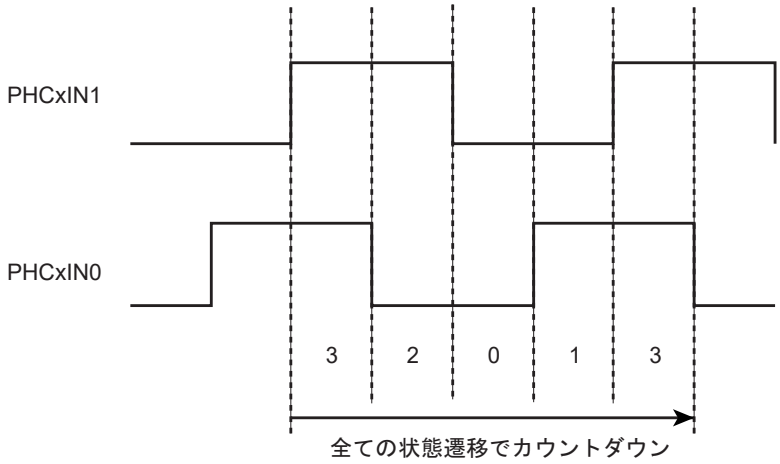


図 19-5 4 逓倍モードのカウントダウン

3. 2 逓倍モードは 2 相パルス入力の一方の状態遷移が 1 つ変わるごとに PHCxCNT をアップさせるモードです。

   他の 2 つのモードと異なり、PHCxCNT をダウンさせることはありません。

   ・ カウントアップ

   1 クロック前の状態が"0"で、現在の状態が"1"の場合

   1 クロック前の状態が"1"で、現在の状態が"0"の場合

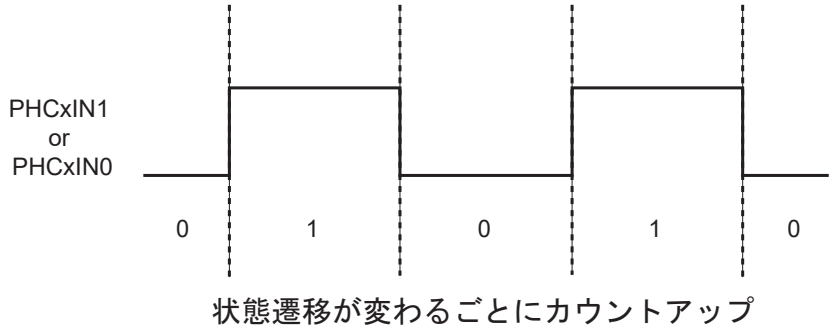


図 19-6 2 逓倍モードのカウントアップ

   ・ カウントダウン

   本モードではカウントダウンの状態はありません。

19.4.2　割り込み

1. カウントアップ、ダウンごとの割り込み

   アップまたはダウンカウントにより INTPHEVRYx が発生します。

   割込み処理の中で、ステータスレジスタ PHCxFLG をリードすることにより、オーバーフロー、アンダーフローが発生しているかを知ることができます。PHCxFLG<OVF> = "1"であればオーバーフローが発生、また<UDF> = "1"であればアンダーフローが発生している状態です。このレジスタは"1"を書き込むことでクリアされます。

2. コンペア一致割り込み

   PHCxCNT とコンペアレジスタ 0、1 の一致により INTPHTx0/1 が発生します。

   割り込み処理の中で、ステータスレジスタ PHCxFLG をリードすることにより、一致したコンペアレジスタを知ることができます。PHCxFLG<CMP0>="1"であればカウンタコンペアレジスタ 0 との一致が発生、<CMP1> = "1"であればカウンタコンペアレジスタ 1 との一致が発生している状態です。このレジスタは"1"を書き込むことでクリアされます。

19.4.3 アップダウンカウンタ(PHCxCNT)

2 相入力カウントをスタートさせると (PHCxRUN<PHCRUN> = "1")、PHCxCNT は 0x7FFF (初期値)からスタートします。また、アップダウンカウンタ値をクリアする場合はアップダウンカウンタ制御ビットを(PHCxRUN<PHCCLR> = "1")に設定することによりカウンタ値は 0x7FFF にクリアされます。

PHCxCNT がオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF になり、カウントは継続します。

INTPHEVRYx 割込み発生時にカウンタ値とステータスフラグレジスタ PHCxFLG をリードすることにより、オーバーフロー、アンダーフローの発生を検出することができます。

PHCxCNT を読み出すには、PHCxCNT を 2 回読み出し、読み出した値が一致するか確認するか、INTPHEVRYx の割り込みサービスルーチンの中で、次のカウントアップダウンまでに PHCxCNT を読み出してください。

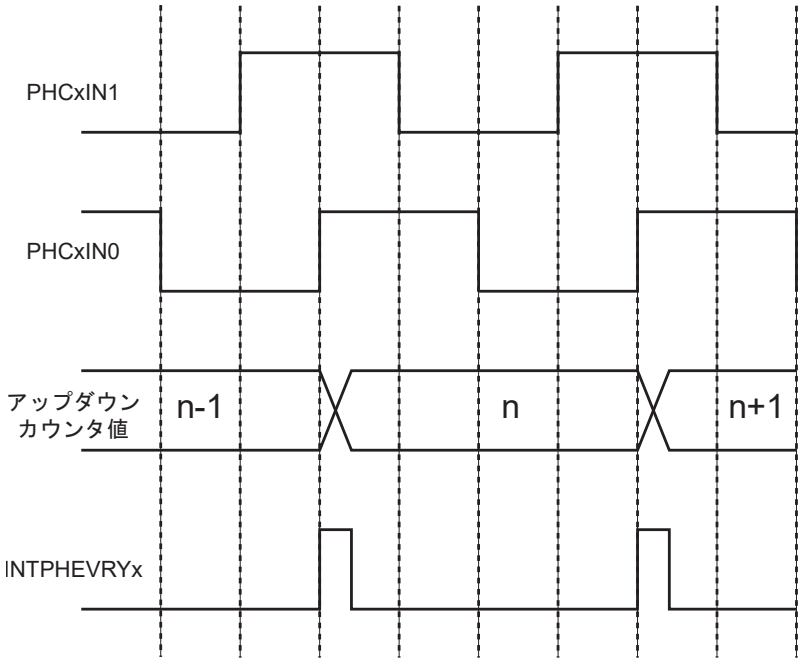


図 19-7 通常モード時のアップカウント割込みタイミング

第 20 章　高機能 2 相パルス入力カウンタ (EPHC Ver.B)

20.1　概要

高機能 2 相パルス入力カウンタは、下記の機能を持っています。

20.1.1　2 相パルス入力カウンタ

2 相パルス入力カウンタは、2 相の入力パルスの組み合わせの変化、または、1 相の入力パルスの状態の変化により、アップダウンカウンタをインクリメントまたはデクリメントする機能です。

- カウント動作モードは下記から選択可能
  - 1 相パルスカウントモード

    (EPHCxIN0 または EPHCxIN1 の状態変化でカウントアップ/ダウン)
  - 2 相パルスカウントモード

    (EPHCxIN0 と EPHCxIN1 の組み合わせの変化でカウントアップ/ダウン)
- 割り込み
  - 2 つのコンペアレジスタとアップダウンカウンタの一致で割り込みを発生
  - アップダウンカウンタのオーバーフロー、アンダーフローで割り込みを発生
- アップダウンカウンタのオーバーフロー、アンダーフロー、コンペアレジスタとの一致を示すステータスレジスタ
- 許可/禁止が可能なノイズフィルタ内蔵(周期位相測定機能と共通)

20.1.2　周期位相測定

周期位相測定は、2 相の入力パルスの周期やエッジ間の位相を測定する機能です。

- 24 ビットアップカウンタによる長い周期のパルス測定が可能
- EPHCxIN0 と EPHCxIN1 の周期を測定
  - 立上がりエッジから立上がりエッジ
  - 立下りエッジから立下りエッジ
- EPHCxIN0 と EPHCxIN1 のエッジ間の位相差を測定(下記の位相と逆位相)
  - EPHCxIN0 の立上がりエッジから EPHCxIN1 の立上がりエッジ
  - EPHCxIN1 の立上がりエッジから EPHCxIN0 の立下りエッジ
  - EPHCxIN0 の立下りエッジから EPHCxIN1 の立下りエッジ
  - EPHCxIN1 の立下りエッジから EPHCxIN0 の立上がりエッジ
- 割り込み発生
  - 周期の取り込みタイミングで割り込み発生
  - 設定された位相検出で割り込み発生
  - アップカウンタのオーバーフローで割り込み発生
- EPHCxIN0、EPHCxIN1 に入力されるパルスのエッジ、設定された位相が検出されたことを示すステータスフラグ
- 周期の取り込みタイミングで発生する割り込みにより DMAC 起動が可能
- 許可/禁止が可能なノイズフィルタ内蔵(周期位相測定機能と共通)

20.2　構成

高機能 2 相パルス入力カウンタは 2 相パルス入力カウンタと周期位相測定で構成されています。

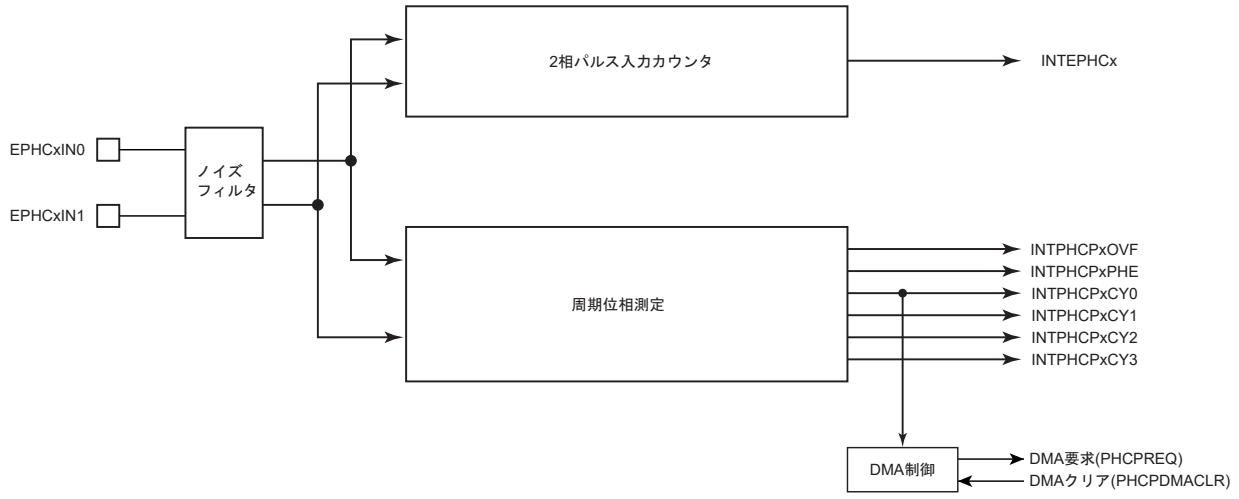


図 20-1 高機能 2 相パルス入力カウンタ(EPHCx)ブロック図

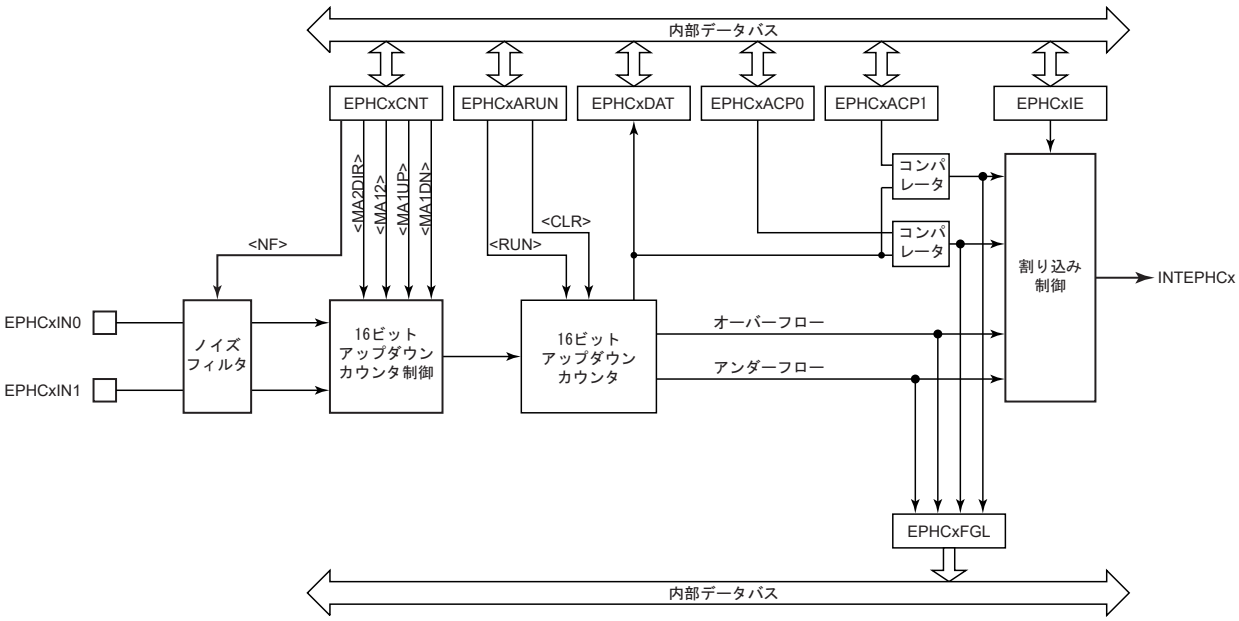


図 20-2 2 相パルス入力カウンタ機能ブロック図

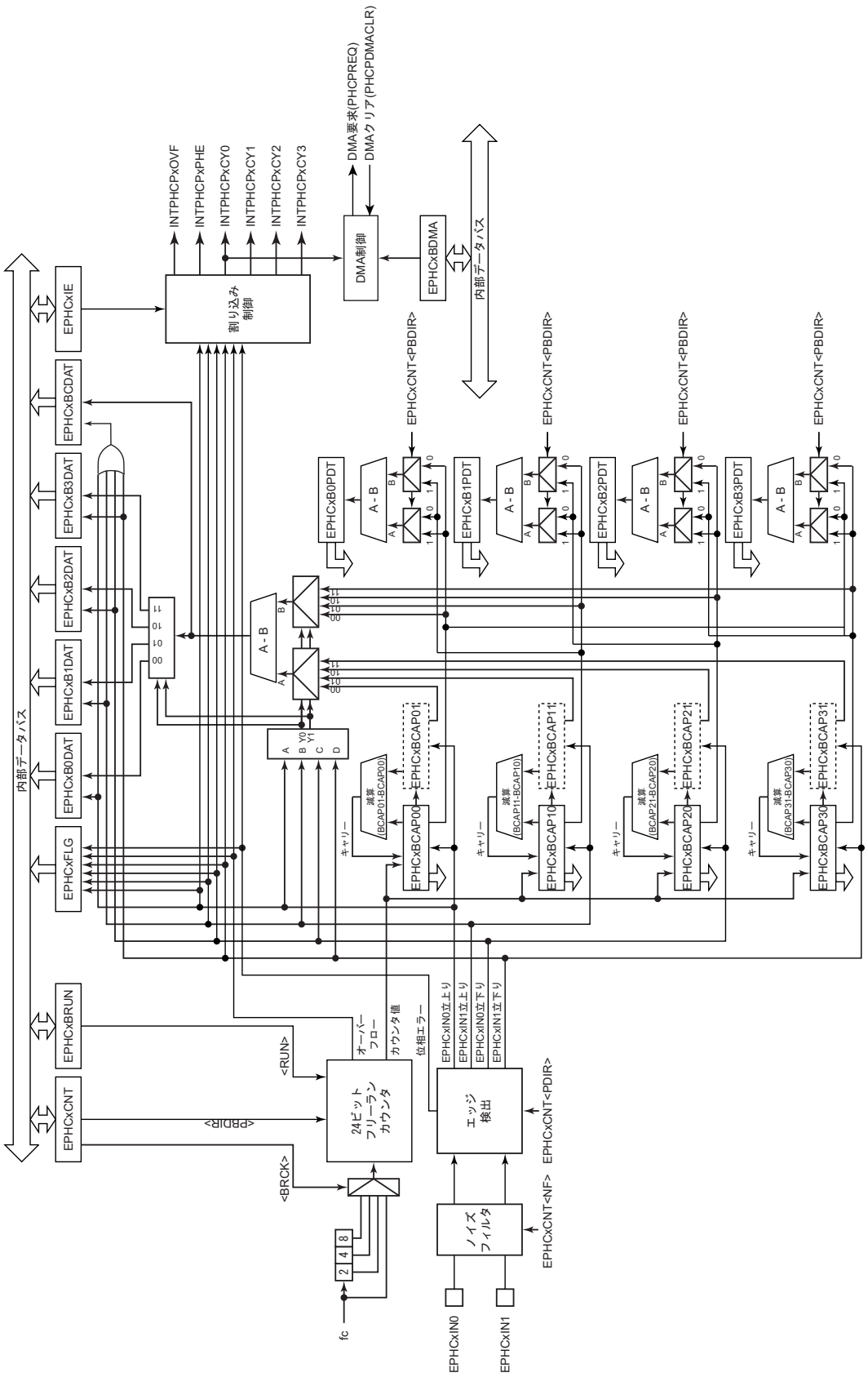


図 20-3 周期位相測定機能ブロック図

20.3　レジスタ説明

20.3.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
EPHCx イネーブルレジスタ	EPHCxEN	0x0000
EPHCx コントロールレジスタ	EPHCxCNT	0x0004
EPHCx 割り込み許可レジスタ	EPHCxIE	0x0008
EPHCx ステータスレジスタ	EPHCxFLG	0x000C
EPHCx16 ビットカウンタ RUN レジスタ	EPHCxARUN	0x0010
EPHCx パルスカウンタコンペア 0 レジスタ	EPHCxACP0	0x0014
EPHCx パルスカウンタコンペア 1 レジスタ	EPHCxACP1	0x0018
EPHCx 16 ビットカウンタリードレジスタ	EPHCxADAT	0x001C
EPHCx 24 ビットカウンタ RUN レジスタ	EPHCxBRUN	0x0020
EPHCx DMA 要求許可レジスタ	EPHCxBDMA	0x0024
EPHCx 24 ビットカウンタリードレジスタ	EPHCxBUC	0x0028
Reserved	-	0x002C
EPHCx キャプチャ 00 レジスタ	EPHCxBCAP00	0x0030
EPHCx キャプチャ 10 レジスタ	EPHCxBCAP10	0x0034
EPHCx キャプチャ 20 レジスタ	EPHCxBCAP20	0x0038
EPHCx キャプチャ 30 レジスタ	EPHCxBCAP30	0x003C
EPHCx 周期カウンタ 0 レジスタ	EPHCxB0DAT	0x0040
EPHCx 周期カウンタ 1 レジスタ	EPHCxB1DAT	0x0044
EPHCx 周期カウンタ 2 レジスタ	EPHCxB2DAT	0x0048
EPHCx 周期カウンタ 3 レジスタ	EPHCxB3DAT	0x004C
EPHCx 周期カウンタ共通レジスタ	EPHCxBCDAT	0x0050
Reserved	-	0x0054 ~ 0x005C
EPHCx 位相差 0 レジスタ	EPHCxB0PDT	0x0060
EPHCx 位相差 1 レジスタ	EPHCxB1PDT	0x0064
EPHCx 位相差 2 レジスタ	EPHCxB2PDT	0x0068
EPHCx 位相差 3 レジスタ	EPHCxB3PDT	0x006C

注)　高機能 2 相パルス入力カウンタ動作中に、EPHCx イネーブルレジスタ、EPHCx コントロールレジスタの変更はできません。高機能 2 相パルス入力カウンタ動作を停止後に変更して下さい。

20.3.1.1 EPHCxEN(EPHCx イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	EN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	EN	R/W	EPHCx の動作許可/禁止 0: 禁止 1: 許可

注 1) EPHCx の動作を禁止する前に、EPHCxIE で割り込みを禁止に、EPHCxBDMA で DMA 要求を禁止してください。

注 2) EPHCx の動作を許可してから、EPHCxIN0 と EPHCxIN1 の状態が、回路内部に伝わるまで最大、13/fsys かかります。

20.3.1.2　EPHCxCNT(EPHCx コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	NF		MA2DIR	MA12	PBDIR	-	BRCK	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	MA1UP			-	MA1DN		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-14	NF[1:0]	R/W	EPHCxIN0、EPHCxIN1 のノイズ除去時間 00 : なし 01 : 2/fsys 以下の信号をノイズとして削除する 10 : 4/fsys 以下の信号をノイズとして削除する 11 : Reserved
13	MA2DIR	R/W	2 相パルスカウント機能での 2 相パルスカウンタモードの方向設定 0 : 正方向 1 : 逆方向 アップダウンカウンタ PHCxCNT とコンペアレジスタ 1 との一致で割り込みを発生します。
12	MA12	R/W	2 相パルスカウント機能でのモード設定 0 : 2 相パルスカウンタモード 1 : 1 相パルスカウンタモード
11	PBDIR	R/W	周期位相差測定機能の位相選択 0 : 正位相 1 : 逆位相
10	−	R	リードすると"0"が読めます。
9-8	BRCK[1:0]	R/W	24 ビットカウンタの入力クロック選択 00 : fc 01 : fc/2 10 : fc/4 11 : fc/8
7	−	R	リードすると"0"が読めます。
6-4	MA1UP[2:0]	R/W	2 相パルスカウンタ機能での 1 相パルスカウンタモードのカウントアップエッジ選択 000 : EPHCxIN0、EPHCxIN1 が変化してもカウントアップしません 001 : EPHCxIN0 の立上がりエッジ 010 : EPHCxIN1 の立上がりエッジ 011 : EPHCxIN0 の立下りエッジ 100 : EPHCxIN1 の立下りエッジ 101 : EPHCxIN0 の両エッジ 110 : EPHCxIN1 の両エッジ 111 : EPHCxIN0、EPHCxIN1 が変化してもカウントアップしません
3	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
2-0	MA1DN[2:0]	R/W	2 相パルスカウンタ機能での 1 相パルスカウンタモードのカウントダウンエッジ選択 000 : EPHCxIN0、EPHCxIN1 が変化してもカウントダウンしません 001 : EPHCxIN0 の立上がりエッジ 010 : EPHCxIN1 の立上がりエッジ 011 : EPHCxIN0 の立下りエッジ 100 : EPHCxIN1 の立下りエッジ 101 : EPHCxIN0 の両エッジ 110 : EPHCxIN1 の両エッジ 111 : EPHCxIN0、EPHCxIN1 が変化してもカウントダウンしません

注) EPHCx が動作しているときに<NF>を変更しないでください。

20.3.1.3　EPHCxIE(EPHCx 割り込み許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	INTPCUOVF	INTPCDIR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INTPCDT3	INTPCDT2	INTPCDT1	INTPCDT0	INTPCUDF	INTPCOVF	INTPCCP1	INTPCCP0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9	INTPCUOVF	R/W	2 相パルス周期位相測定オーバーフロー割り込み 0 : 禁止 1 : 許可
8	INTPCDIR	R/W	2 相パルス周期位相測定周期エラー割り込み 0 : 禁止 1 : 許可
7	INTPCDT3	R/W	2 相パルス周期位相測定周期 3 0 : 禁止 1 : 許可
6	INTPCDT2	R/W	2 相パルス周期位相測定周期 2 0 : 禁止 1 : 許可
5	INTPCDT1	R/W	2 相パルス周期位相測定周期 1 0 : 禁止 1 : 許可
4	INTPCDT0	R/W	2 相パルス周期位相測定周期 0 0 : 禁止 1 : 許可
3	INTPCUDF	R/W	2 相パルス 16 ビットカウンタアンダーフロー割り込み 0 : 禁止 1 : 許可
2	INTPCOVF	R/W	2 相パルス 16 ビットカウンタオーバーフロー割り込み 0 : 禁止 1 : 許可
1	INTPCCP1	R/W	2 相パルスコンペアー致 1 0 : 禁止 1 : 許可
0	INTPCCP0	R/W	2 相パルスコンペアー致 0 0 : 禁止 1 : 許可

20.3.1.4 EPHCxFLG(EPHCx ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	DIRF
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SB3F	SB2F	SB1F	SB0F	UDFF	OVFF	CMP1F	CMP0F
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8	DIRF	R/W	2 相パルス周期位相測定周期エラー [Read] 0: エラー発生なし 1: エラー発生 [Write] 0 : Don't Care 1 : クリア
7	SB3F	R/W	EPHCxIN1 立上がりエッジ [Read] 0: 立上がりエッジなし 1: 立上がりエッジあり [Write] 0 : Don't Care 1 : クリア
6	SB2F	R/W	EPHCxIN0 立上がりエッジ [Read] 0: 立上がりエッジなし 1: 立上がりエッジあり [Write] 0 : Don't Care 1 : クリア
5	SB1F	R/W	EPHCxIN1 立下りエッジ [Read] 0: 立上がりエッジなし 1: 立上がりエッジあり [Write] 0 : Don't Care 1 : クリア
4	SB0F	R/W	EPHCxIN0 立下りエッジ [Read] 0: 立上がりエッジなし 1: 立上がりエッジあり [Write] 0 : Don't Care 1 : クリア

Bit	Bit Symbol	Type	機能
3	UDFF	R/W	2 相パルス 16 ビットカウンタアンダーフロー [Read] 0: 発生なし 1: 発生 [Write] 0 : Don't Care 1 : クリア
2	OVFF	R/W	2 相パルス 16 ビットカウンタオーバーフロー [Read] 0: 発生なし 1: 発生 [Write] 0 : Don't Care 1 : クリア
1	CMP1	R/W	2 相パルスコンペア 1 一致割込み [Read] 0: 発生なし 1: 発生 [Write] 0 : Don't Care 1 : クリア
0	CMP0	R/W	2 相パルスコンペア 0 一致割込み [Read] 0: 発生なし 1: 発生 [Write] 0 : Don't Care 1 : クリア

20.3.1.5 EPHCxARUN(EPHCx16 ビットカウンタ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	CLR	RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	CLR	R/W	2 相パルス入力カウンタクリア制御 0 :Do'nt care 1 :クリア
0	RUN	R/W	2 相パルス入力カウンタ RUN/STOP 制御 0 :STOP 1 :RUN

注 1) <RUN>="1"の場合、<CLR>を"1"に設定しても 2 相パルス入力カウンタは初期化されません。

注 2) <CLR><RUN>="11"は設定禁止です。

20.3.1.6　EPHCxACP0(EPHCx パルスカウンタコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	CMP0[15:0]	R/W	コンペア値を設定 0x0000 ~ 0xFFFF

20.3.1.7　EPHCxACP1(EPHCx パルスカウンタコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	CMP1[15:0]	R/W	コンペア値を設定 0x0000 ~ 0xFFFF

20.3.1.8 EPHCxADAT(EPHCx16 ビットカウンタリードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DAT							
リセット後	0	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	DAT							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	DAT[15:0]	R/W	2 相パルス入力カウンタの読み出しデータ

注 1) EPHCxARUN<RUN>が"0"のときに、EPHCxARUN<CLR>が"1"になると 0x7FFF に初期化されます。

注 2) 値を書き込むときには EPHCxARUN<RUN>に"0"を書き込み、2 相パルス入力カウンタを停止させてください。

20.3.1.9　EPHCxBRUN(EPHCx24 ビットカウンタ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	T24RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	T24RUN	R/W	周期位相測定 24 ビットカウンタ制御 0 :停止&クリア 1 :カウンタスタート

20.3.1.10 EPHCxBDMA(EPHCx DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	DMADT0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-1	−	R/W	"0"をライトしてください。
0	DMADT0	R/W	INTPHCY0 による DMAC 起動要求許可制御 0: 禁止 1: 許可

注) 割り込み要求を禁止している場合、DMAC 起動要求を許可しても DMAC 起動要求は発行されません。

20.3.1.11　EPHCxBUC(EPHCx 24 ビットカウンタリードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	T24UCR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	T24UCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	T24UCR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	T24UCR[23:0]	R	周期位相測定 24 ビットカウンタ読み出しデータ

20.3.1.12 EPHCxBCAP00(EPHCx キャプチャ 00 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF00
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP00							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP00							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP00							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	–	R	リードすると"0"が読めます。
24	OVF00	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP00[23:0]	R	EPHCxIN0 立上がりエッジのキャプチャ値

20.3.1.13 EPHCxBCAP10(EPHCx キャプチャ 10 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF10
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP10							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP10							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	–	R	リードすると"0"が読めます。
24	OVF10	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP10[23:0]	R	EPHCxIN1 立上がりエッジのキャプチャ値

20.3.1.14　EPHCxBCAP20(EPHCx キャプチャ 20 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF20
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP20							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP20							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP20							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	–	R	リードすると"0"が読めます。
24	OVF20	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP20[23:0]	R	EPHCxIN0 立下りエッジのキャプチャ値

20.3.1.15　EPHCxBCAP30(EPHCx キャプチャ 30 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	OVF30
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CAP30							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CAP30							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CAP30							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	–	R	リードすると"0"が読めます。
24	OVF30	R	オーバーフロー発生有無 0 : オーバーフロー発生なし 1 : オーバーフロー発生あり
23-0	CAP30[23:0]	R	EPHCxIN1 立下りエッジのキャプチャ値

20.3.1.16 EPHCxB0DAT(EPHCx 周期カウンタ 0 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B0DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B0DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B0DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B0DAT[23:0]	R	EPHCxIN0 の立上がりエッジ間の周期カウンタの値を取り込みます

20.3.1.17 EPHCxB1DAT(EPHCx 周期カウンタ 1 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B1DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B1DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B1DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B1DAT[23:0]	R	EPHCxIN1 の立上がりエッジ間の周期カウンタの値を取り込みます

20.3.1.18　EPHCxB2DAT(EPHCx 周期カウンタ 2 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B2DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B2DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B2DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	B2DAT[23:0]	R	EPHCxIN0 の立下りエッジ間の周期カウンタの値を取り込みます

20.3.1.19　EPHCxB3DAT(EPHCx 周期カウンタ 3 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B3DAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B3DAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B3DAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	B3DAT[23:0]	R	EPHCxIN1 の立下りエッジ間の周期カウンタの値を取り込みます

20.3.1.20 EPHCxBCDAT(EPHCx 周期カウンタ共通レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	BCDAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BCDAT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BCDAT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	BCDAT[23:0]	R	EPHCxB0DAT ~ EPHCxB3DAT の取り込みに合わせて、本レジスタにも周期カウンタの値が取り込まれます。

20.3.1.21　EPHCxB0PDT(EPHCx 位相差 0 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B0PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B0PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B0PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B0PDT[23:0]	R	正位相の場合、EPHCxIN0 の立上がりエッジから EPHCxIN1 の立上がりエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN1 の立上がりエッジから EPHCxIN0 の立上がりエッジ間の周期カウンタの値を取り込みます。

20.3.1.22　EPHCxB1PDT(EPHCx 位相差 1 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B1PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B1PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B1PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B1PDT[23:0]	R	正位相の場合、EPHCxIN1 の立上がりエッジから EPHCxIN0 の立下りエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN0 の立上がりエッジから EPHCxIN1 の立下りエッジ間の周期カウンタの値を取り込みます。

20.3.1.23 EPHCxB2PDT(EPHCx 位相差 2 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B2PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B2PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B2PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B2PDT[23:0]	R	正位相の場合、EPHCxIN0 の立下りエッジから EPHCxIN1 の立下りエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN1 の立下りエッジから EPHCxIN0 の立下りエッジ間の周期カウンタの値を取り込みます。

20.3.1.24 EPHCxB3PDT(EPHCx 位相差 3 レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	B3PDT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	B3PDT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	B3PDT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	–	R	リードすると"0"が読めます。
23-0	B3PDT[23:0]	R	正位相の場合、EPHCxIN1 の立下りエッジから EPHCxIN0 の立上がりエッジ間の周期カウンタの値を取り込みます。 逆位相の場合、EPHCxIN0 の立下りエッジから EPHCxIN1 の立上がりエッジエッジ間の周期カウンタの値を取り込みます。

20.4　回路の動作説明

20.4.1　2 相パルス入力カウント

2 相パルス入力カウンタは 2 相の入力パルスの組み合わせの変化(2 相パルスカウントモード)、または、1 相の入力パルスの状態の変化(1 相パルスカウントモード)により、アップダウンカウンタをインクリメントまたはデクリメントする機能です。

コンペアレジスタを 2 つ持ち、コンペアレジスタとアップダウンカウンタの一致により割り込みを発生させることができます。

また、アップダウンカウンタのオーバーフロー、アンダーフローでも割り込みを発生させることができます。

20.4.1.1　16 ビットアップダウンカウンタ

アップダウンカウンタをクリアする場合は EPHCxARUN<RUN>="0" に設定した後、EPHCxARUN<CLR> = "1"に設定することにより 0x7FFF に初期化されます。

アップダウンカウンタを動作させる場合は、EPHCxARUN<RUN>="1"に設定します。

アップダウンカウンタががオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF になり、カウントは継続します。

20.4.1.2　アップダウンカウンタのインクリメント、デクリメント

(1)　2 相パルスカウントモード

EPHCxIN0、EPHCxIN1 に入力される入力パルスの組み合わせの変化によりアップダウンカウンタをインクリメント、または、デクリメントするモードです。

EPHCxCNT<MA12>を"1"にセットすることにより、2 相パルスカウントモードになります。

EPHCxIN0、EPHCxIN1 に入力される入力パルスの組み合わせには下記の組み合わせがあります。

また、EPHCxCNT<MA2DIR>により、アップダウンカウンタをインクリメント、デクリメントする入力パルスの組み合わせの順番を逆転させることができます。

表 20-1 EPHCxCNT<MA2DIR>と 2 相パルス入力の組み合わせ

EPHC_STATUS	EPHCxCNT<MA2DIR>="0"の時		EPHCxCNT<MA2DIR>="1"の時	
	EPHCxIN1	EPHCxIN0	EPHCxIN1	EPHCxIN0
0	0	0	0	0
1	0	1	1	0
2	1	0	0	1
3	1	1	1	1

以下に、EPHCxCNT<MA2DIR>の値によってインクリメント、デクリメントする入力パルスの組み合わせを示します。

・ EPHCxCNT<MA2DIR>="0"の場合(正方向)

- インクリメント

  1 クロック前の状態が"0"で、現在の状態が"1" の時、インクリメントされます。

  1 クロック前の状態が"1"で、現在の状態が"3" の時、インクリメントされます。

  1 クロック前の状態が"3"で、現在の状態が"2" の時、インクリメントされます。

  1 クロック前の状態が"2"で、現在の状態が"0" の時、インクリメントされます。

- デクリメント

  1 クロック前の状態が"0"で、現在の状態が"2" の時、デクリメントされます。

  1 クロック前の状態が"2"で、現在の状態が"3" の時、デクリメントされます。

  1 クロック前の状態が"3"で、現在の状態が"1" の時、デクリメントされます。

  1 クロック前の状態が"1"で、現在の状態が"0" の時、デクリメントされます。

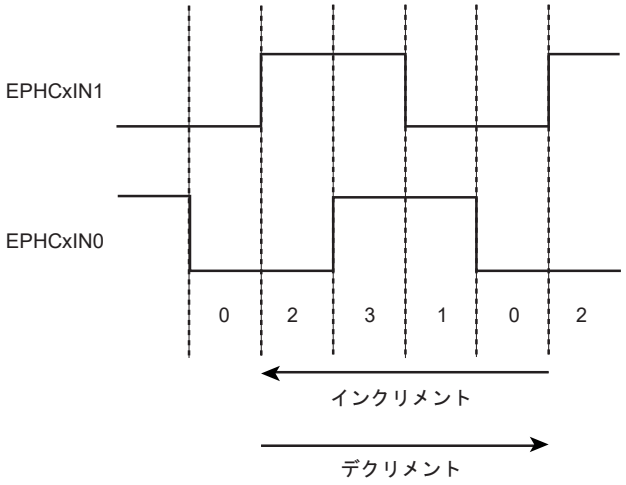


図 20-4 EPHCxCNT<MA2DIR>="0"の時のインクリメント/デクリメント

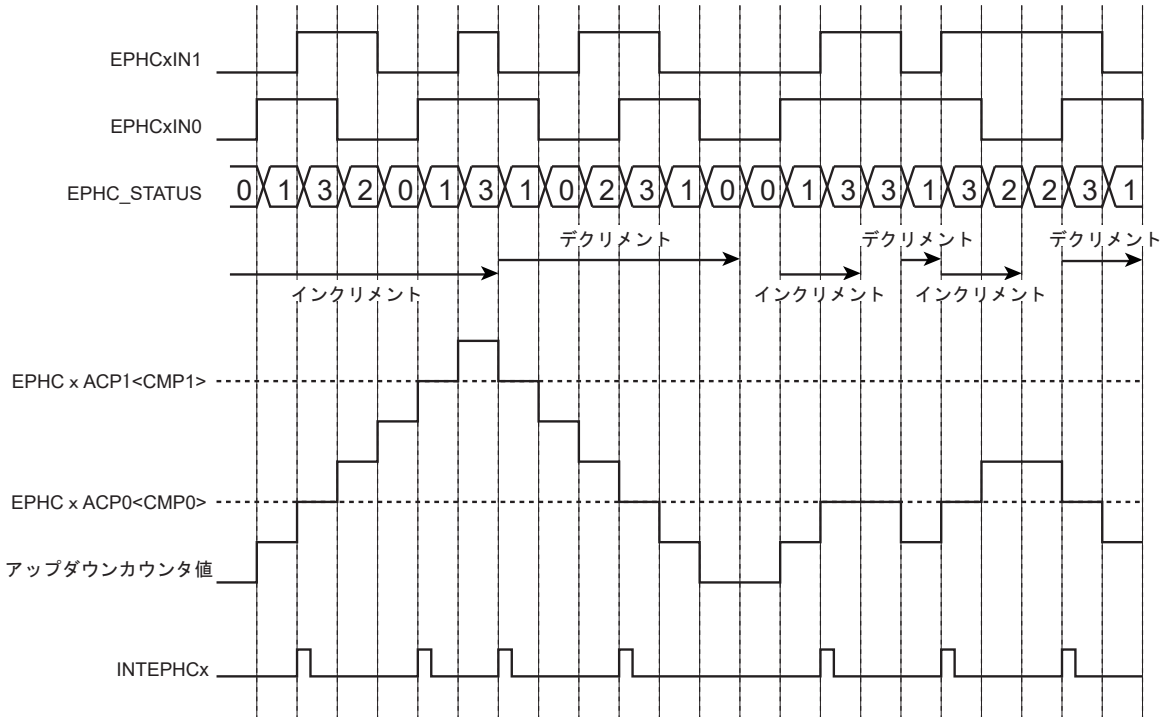


図 20-5 EPHCxCNT<MA2DIR>="0"の時のアップダウンカウンタの動作例

・ EPHCxCNT<MA2DIR>="1"の場合(逆方向)

- インクリメント

  1 クロック前の状態が"0"で、現在の状態が"2" の時、インクリメントされます。

  1 クロック前の状態が"2"で、現在の状態が"3" の時、インクリメントされます。

  1 クロック前の状態が"3"で、現在の状態が"1" の時、インクリメントされます。

  1 クロック前の状態が"1"で、現在の状態が"0" の時、インクリメントされます。

- デクリメント

  1 クロック前の状態が"0"で、現在の状態が"1" の時、デクリメントされます。

  1 クロック前の状態が"1"で、現在の状態が"3" の時、デクリメントされます。

  1 クロック前の状態が"3"で、現在の状態が"2" の時、デクリメントされます。

  1 クロック前の状態が"2"で、現在の状態が"0" の時、デクリメントされます。

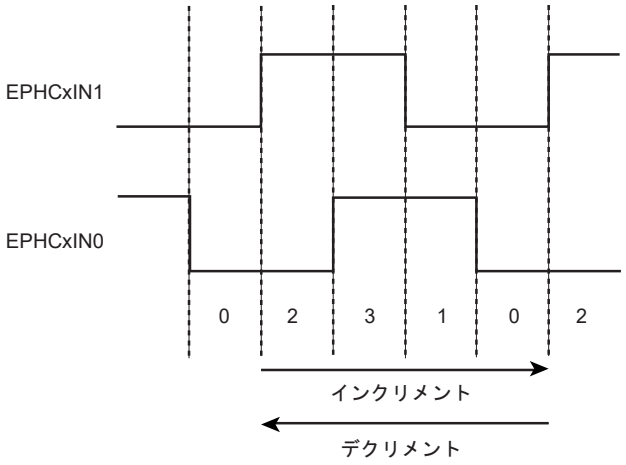


図 20-6 EPHCxCNT<MA2DIR>="1"の時のインクリメント/デクリメント

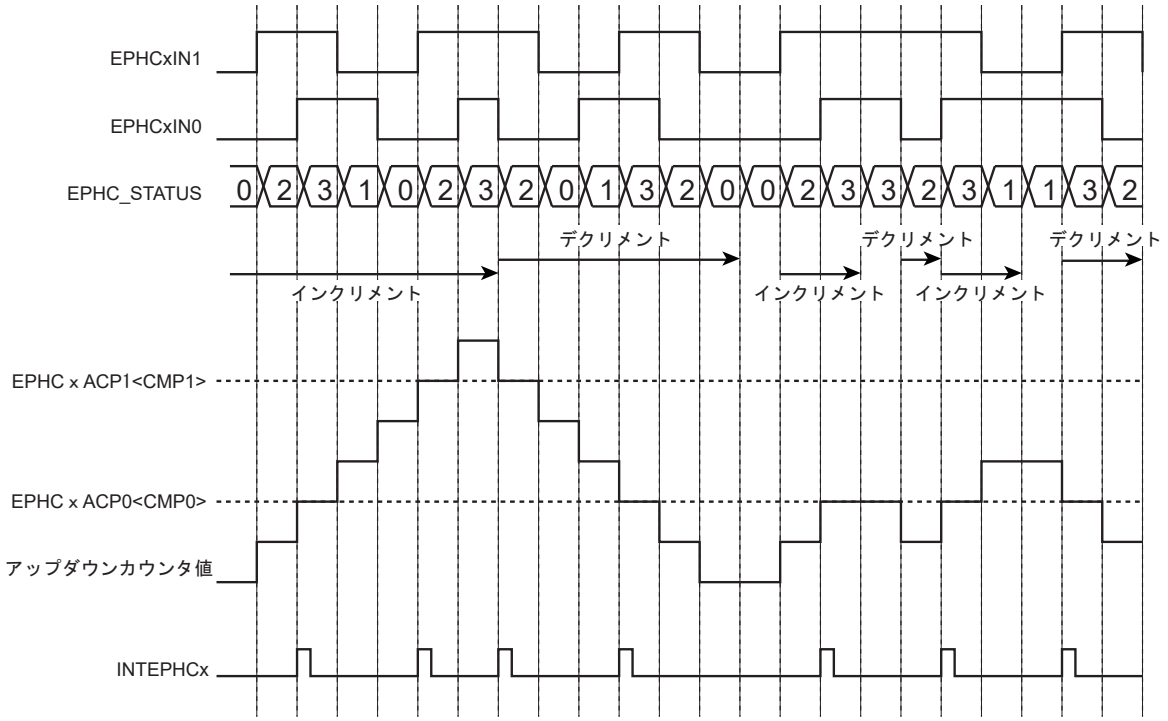


図 20-7 EPHCxCNT<MA2DIR>="1"の時のアップダウンカウンタの動作例

(2) 1相パルスカウントモード

EPHCxIN0、EPHCxIN1 に入力される入力パルスの状態の変化によりアップダウンカウンタをインクリメント、または、デクリメントするモードです。

インクリメントするときの状態変化は EPHCxCNT<MA1UP>で、デクリメントするときの状態変化は、EPHCxCNT<MA1DN>で指定します。

EPHCxCNT<MA1UP>、EPHCxCNT<MA1DN>で同一の状態変化を設定したときには、デクリメントが優先になります。

20.4.1.3　割り込み

下記の割り込み要因があります。割り込み要因が発生すると INTEPHCx が発生します。割り込み処理の中で、EPHCxFLG を読み出すことで、発生した割り込み要因を知ることができます。また、EPHCxIE<INTPCUDF><INTPCOVF><INTPCCP1><INTPCCP0>で各要因ごとに割り込み要求発生の許可/禁止が可能です。

1. コンペア一致割り込み

   アップダウンカウンタと EPHCxACP0、EPHCxACP1 との一致により、割り込み要因が発生します。

2. アップダウンカウンタのオーバーフロー、アンダーフロー割り込み

   アップダウンカウンタのオーバーフロー、または、アンダーフローにより、割り込み要因が発生します。

20.4.2 周期位相差測定

周期位相測定は、2 相の入力パルスの立上がり、立下りエッジで、24 ビットのフリーランカウンタの値をキャプチャし、キャプチャした値を使って、2 相の入力パルスの周期やエッジ間の位相を測定する機能です。

周期を格納するごとに割り込みを発生することができます。また、あらかじめ設定した位相と逆位相の波形が入力されるたびに、割り込みを発生することができます。24 ビットフリーランカウンタがオーバーフローしたときに、割り込みを発生することができます。

周期 0 を格納するごとに発生する割り込みで DMAC を起動することができます。

20.4.2.1 24 ビットフリーランカウンタ

24 ビットカウンタは EPHCxBRUN<T24RUN>に"0"を設定すると、0x000000 に初期化され、停止しします。EPHCxBRUN<T24RUN>に"1"を設定すると、EPHCxCNT<BRCK[1:0]>で設定したソースクロックでカウントアップを開始します。

ソースクロックは EPHCxCNT<BRCK[1:0]>により、下記のクロックから選択できます。

<BRCK[1:]>	ソースクロック
00	fc
01	fc/2
10	fc/4
11	fc/8

20.4.2.2 キャプチャレジスタ

キャプチャレジスタはダブルバッファ構造になっています。それぞれ決められた入力パルスのエッジで EPHCxBCA00 ~ EPHCxBCA30 の内容がダブルバッファの EPHCxBCA01 ~ EPHCxBCA31 に格納されると同時に、24 ビットフリーランカウンタの値が、キャプチャレジスタ(EPHCxBCAP00 ~ EPHCxBCAP30)に取り込まれます。このとき、キャプチャレジスタ 1 の値がキャプチャレジスタ 0 の値より大きいとき、フリーランカウンタがオーバーフローを起こしたと判断して、EPHCxBCAP00<OVF00> ~ EPHCxBCAP30<OVF30>に"1"がセットされます。

このキャプチャレジスタの値を使って、周期、位相差が計算されます。

キャプチャタイミング			キャプチャレジスタ 0		キャプチャレジスタ 1
EPHCxIN0 立上がりエッジ	フリーランカウンタ	→	EPHCxBCAP00<CAP00>	→	EPHCxBCAP00<CAP01>
EPHCxIN1 立上がりエッジ	フリーランカウンタ	→	EPHCxBCAP10<CAP10>	→	EPHCxBCAP10<CAP11>
EPHCxIN0 立下りエッジ	フリーランカウンタ	→	EPHCxBCAP20<CAP20>	→	EPHCxBCAP20<CAP21>
EPHCxIN1 立下りエッジ	フリーランカウンタ	→	EPHCxBCAP30<CAP30>	→	EPHCxBCAP30<CAP31>

キャプチャタイミング	条件		キャプチャレジスタ 0
EPHCxIN0 立上がりエッジ	If EPCxBCAP01 - EPHCxBCAP00 > 0	→	EPHCxBCAP00<OVF00>="1"
EPHCxIN1 立上がりエッジ	If EPCxBCAP11 - EPHCxBCAP10 > 0	→	EPHCxBCAP10<OVF10>="1"
EPHCxIN0 立下りエッジ	If EPCxBCAP21 - EPHCxBCAP20 > 0	→	EPHCxBCAP20<OVF20>="1"
EPHCxIN1 立下りエッジ	If EPCxBCAP31 - EPHCxBCAP30 > 0	→	EPHCxBCAP30<OVF30>="1"

注 1)　キャプチャレジスタ 1 は周期、位相計算用のレジスタです。CPU、PSC からアクセスすることはできません。
注 2)　キャプチャレジスタ 1 にはオーバーフローを示すビットはありません。

20.4.2.3　周期測定

各格納タイミングで、キャプチャレジスタ 0 の値からキャプチャレジスタ 1 の値が引かれ、周期カウンタレジスタ(EPHCxB0DAT ~ EPHCxB3DAT)に格納されます。

キャプチャレジスタ 0 はオーバーフローフラグを持つので、格納タイミングの間隔がフリーランカウンタ 1 周期以下の場合は正しく周期が計算されます。1 周期を超えた場合は、正しく計算ができません。適切なプリスケーラ出力を選択してください。

また、周期カウントタジスタ(EPHCxBCDAT)が更新されるたびに、周期カウント共通レジスタにその値が格納されます。

格納タイミング	計算		周期カウンタレジスタ
EPHCxIN0 立上がりエッジ	EPHCxBCAP00 - EPHCxBCAP01	→	EPHCxB0DAT
EPHCxIN1 立上がりエッジ	EPHCxBCAP10 - EPHCxBCAP11	→	EPHCxB1DAT
EPHCxIN0 立下りエッジ	EPHCxBCAP20 - EPHCxBCAP21	→	EPHCxB2DAT
EPHCxIN1 立下りエッジ	EPHCxBCAP30 - EPHCxBCAP31	→	EPHCxB3DAT

20.4.2.4 位相差測定

(1) 格納タイミング

各格納タイミングで、下記のキャプチャレジスタ 0 の計算が行われ、位相差レジスタ(EPHCxB0PDT ~ EPHCxB3PDT)に格納されます。

格納タイミングは EPHCxCNT<PBDIR>によって、正位相と逆位相が選択できます。

EPHCxCNT<PBDIR>="0"の場合

格納タイミング	計算		位相差レジスタ	
EPHCxIN1 立上がりエッジ	EPHCxBCAP10 - EPHCxBCAP00	→	EPHCxB0PDT	A
EPHCxIN0 立下りエッジ	EPHCxBCAP20 - EPHCxBCAP10	→	EPHCxB1PDT	B
EPHCxIN1 立下りエッジ	EPHCxBCAP30 - EPHCxBCAP20	→	EPHCxB2PDT	C
EPHCxIN0 立上がりエッジ	EPHCxBCAP00 - EPHCxBCAP30	→	EPHCxB3PDT	D

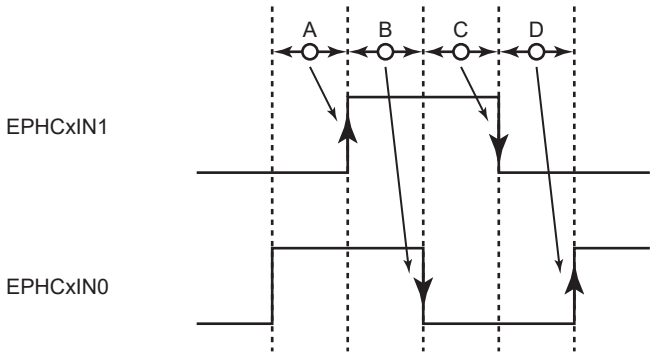


図 20-8 位相差測定(正位相:EPHCxCNT<PBDIR>="0")

EPHCxCNT<PBDIR>="1"の場合

格納タイミング	計算		位相差レジスタ	
EPHCxIN0 立上がりエッジ	EPHCxBCAP00 - EPHCxBCAP10	→	EPHCxB0PDT	A
EPHCxIN1 立下りエッジ	EPHCxBCAP10 - EPHCxBCAP20	→	EPHCxB1PDT	B
EPHCxIN0 立下りエッジ	EPHCxBCAP20 - EPHCxBCAP30	→	EPHCxB2PDT	C
EPHCxIN1 立上がりエッジ	EPHCxBCAP30 - EPHCxBCAP00	→	EPHCxB3PDT	D

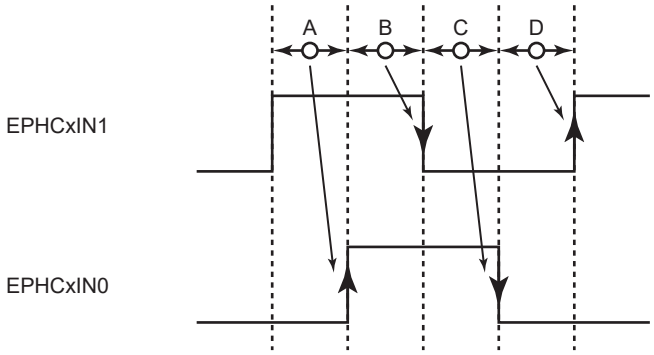


図 20-9 位相差測定(逆位相:EPHCxCNT<PBDIR>="1")

(2)　位相エラー発生について

EPHCxCNT<PBDIR>で設定した位相と逆位相の信号が入力された場合、EPHCxFLG <DIRF>が"1"にセットされます。

なお、EPHCxFLG　<DIRF>がセットされると、EPHC x CNT<PBDIR>で設定した位相と同位相の信号が入力されても EPHCxCNT<PBDIR>は自動的にクリアされず、"1"を保ちます。

このとき、位相差レジスタの値は正しい位相差を示しません。

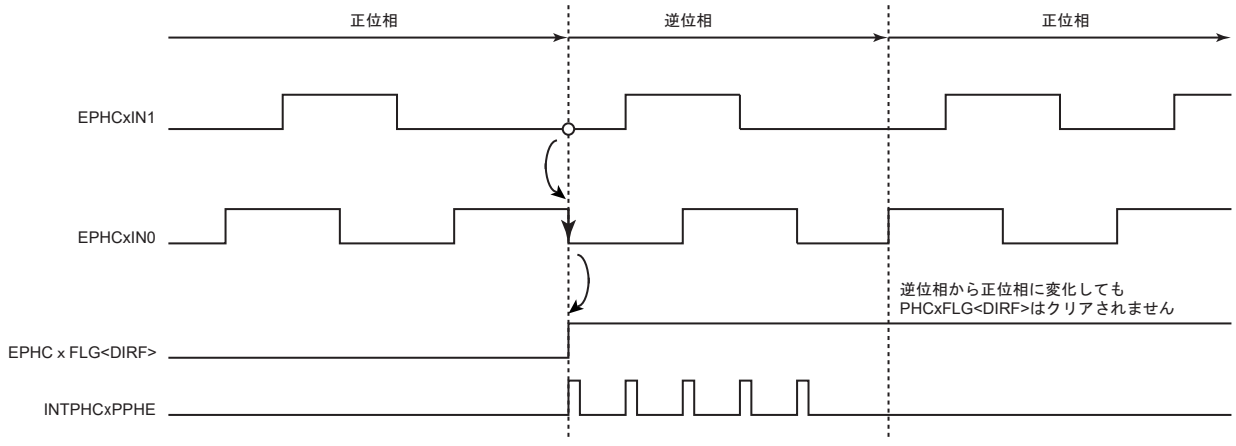


図 20-10 正位相(EPHCxCNT<PBDIR>="0")のとき、逆位相が入力された場合

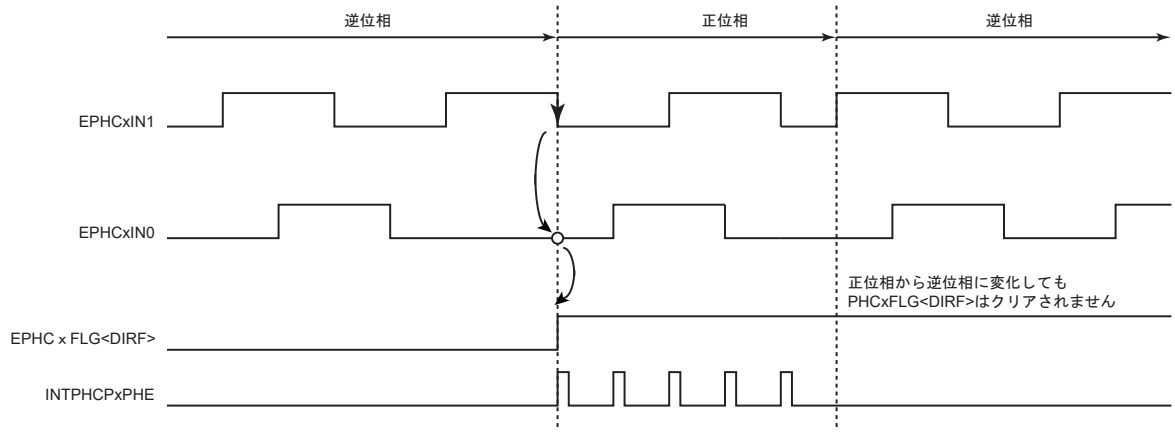


図 20-11 逆位相(EPHCxCNT<PBDIR>="1")のとき、正位相が入力された場合

20.4.2.5 割り込み

下記の割り込み要因があります。

1. 周期割り込み

周期カウンタレジスタへの格納タイミングで周期割り込み(INTPHCPxCY0 ~ INTPHCPxCY3)が発生します。

周期割り込み 0 によって DMAC 要求を発生することができます。

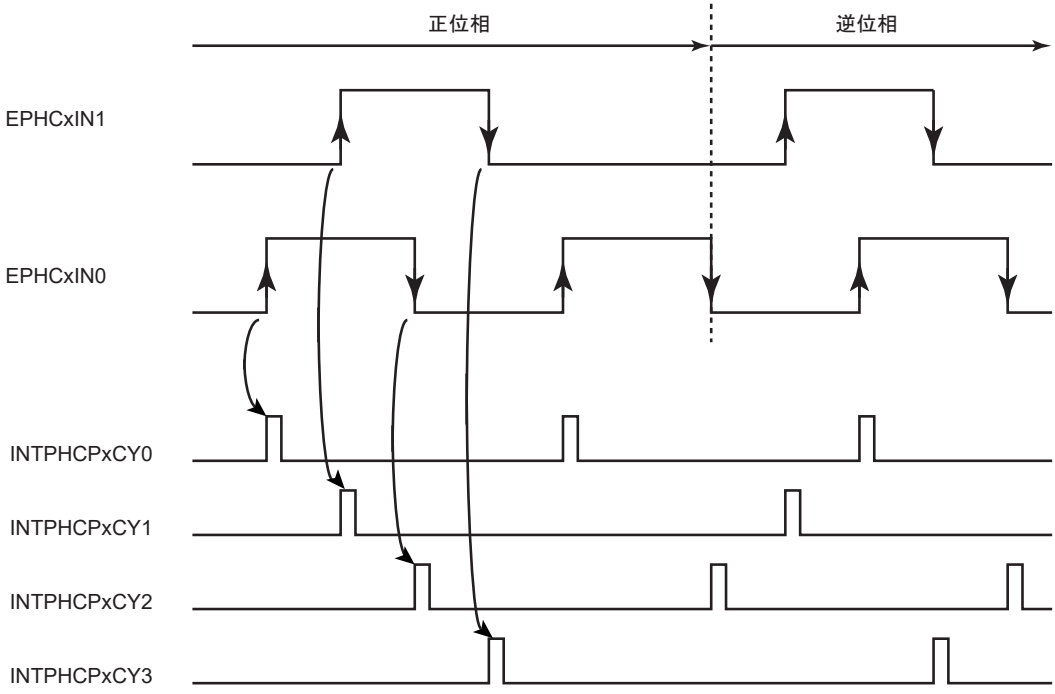


図 20-12 周期割り込みの発生タイミング

2. 位相エラー割り込み

EPHCxIN0 と EPHCxIN1 に EPHCxCNT<PBDIR>で設定した位相と逆位相の信号が入力されると、入力されるたびに位相エラー割り込み(INTPHCPxPHE)が発生します。

3. オーバーフロー割り込み

24 ビットフリーランカウンタがオーバーフローするとオーバーフロー割り込み (INTPHCPxOVF）が発生します。

20.4.2.6　システムクロックと入力パルスについて

周期位相測定に入力する 2 相の入力パルスの位相差は 5/fsys 以上必要です。2 相の入力パルスにあわせて、適切な fsys を設定してください。

fsys の詳細については、クロック制御回路を参照してください。

20.4.3　DMA 要求

周期割り込みのタイミングで DMAC に対して DMA 要求を発行します。

DMA 転送を行う場合は EPHCxBDMA レジスタの該当ビットで許可の設定を行ってください。

DMA 要求要因の割り当ては「製品情報」の章を参照してください。

第 21 章　リアルタイムクロック(RTC)

21.1　概要

RTC は、次の機能を持っています。

- 時計機能(時間、分、秒)
- カレンダー機能(年月日、曜日、うるう年)
- 24 時間計と 12 時間計(AM/PM)のいずれかを選択可能
- +/−30 秒補正機能(ソフトウエアによる補正)
- アラーム機能(アラーム割り込み、$\overline{\text{ALARM}}$ 端子)

注 1)　西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2)　うるう年について

うるう年は、4 で割り切れる年ですが、例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。本製品は前記の例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

注 3)　TMPM440FE/F10XBG には $\overline{\text{ALARM}}$ 端子はありません。

21.2　構成

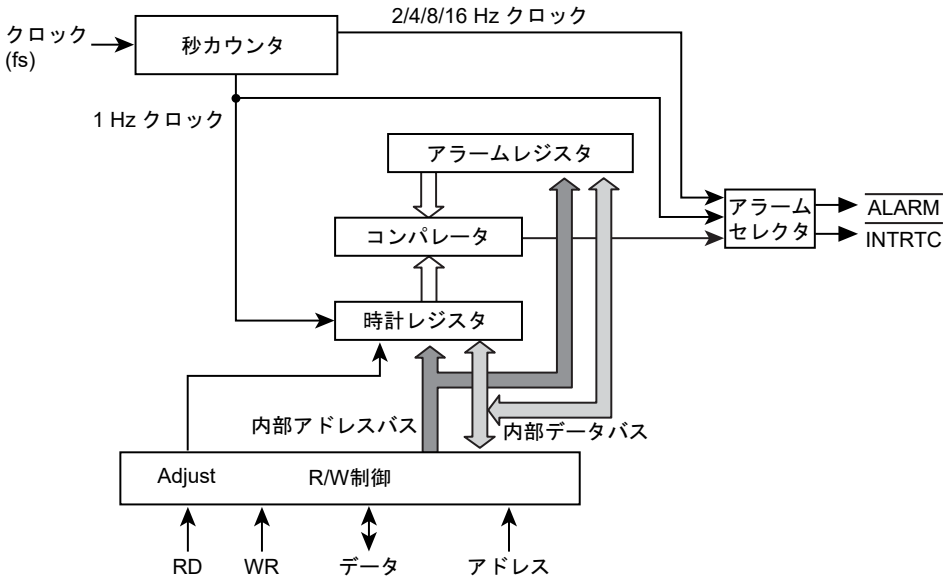


図 21-1 RTC ブロック図

21.3　レジスタ説明

21.3.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

RTC のレジスタは時計レジスタ(PAGE0)、アラームレジスタ(PAGE1)で一部のレジスタを共用しています。PAGE0 と PAGE1 の切り替えは、RTCPAGER<PAGE>で行います。

レジスタ名		PAGE	Address(Base+)
秒桁レジスタ	RTCSECR	PGAE0	0x0000
分桁レジスタ	RTCMINR	PAGE0 / PAGE1	0x0001
時間桁レジスタ	RTCHOURR	PAGE0 / PAGE1	0x0002
− (注 1)	−	−	0x0003
曜日桁レジスタ	RTCDAYR	PAGE0 / PAGE1	0x0004
日桁レジスタ	RTCDATER	PAGE0 / PAGE1	0x0005
月桁レジスタ	RTCMONTHR	PAGE0	0x0006
24 時間時計、12 時間時計の選択レジスタ		PAGE1	
年桁レジスタ	RTCYEARR	PAGE0	0x0007
うるう年レジスタ		PAGE1	
PAGE レジスタ	RTCPAGER	−	0x0008
− (注 1)	−	−	0x0009
− (注 1)	−	−	0x000A
− (注 1)	−	−	0x000B
リセットレジスタ	RTCRESTR	−	0x000C
Reserved (注 2)	−	−	0x000D
− (注 1)	−	−	0x000E
− (注 1)	−	−	0x000F

注 1)　リードすると"0x00"が読めます。また、書き込みは無視されます。
注 2)　"Reserved"表記のアドレスにはアクセスしないでください。

21.3.1.1　リセットによるレジスタの初期化

リセット動作により下記レジスタが初期化されます。

- RTCPAGER<PAGE>、<ADJUST>、<INTENA>
- RTCRESTR<RSTALM> 、 <RSTTMR> 、 <DIS16HZ> 、 <DIS1HZ> 、 <DIS2HZ> 、 <DIS4HZ>、<DIS8HZ>

これ以外のレジスタはリセット動作が行なわれても初期化されません。

21.3.1.2 RTCSECR(秒桁レジスタ) (PAGE0)

	7	6	5	4	3	2	1	0
bit symbol	-	SE						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	−	R	リードすると"0"が読めます。
6-0	SE	R/W	秒桁設定 (下記以外は設定禁止) 000_0000 : 00 秒　001_0000 : 10 秒　010_0000 : 20 秒 000_0001 : 01 秒　001_0001 : 11 秒　・ 000_0010 : 02 秒　001_0010 : 12 秒　011_0000 : 30 秒 000_0011 : 03 秒　001_0011 : 13 秒　・ 000_0100 : 04 秒　001_0100 : 14 秒　100_0000 : 40 秒 000_0101 : 05 秒　001_0101 : 15 秒　・ 000_0110 : 06 秒　001_0110 : 16 秒　101_0000 : 50 秒 000_0111 : 07 秒　001_0111 : 17 秒　・ 000_1000 : 08 秒　001_1000 : 18 秒　・ 000_1001 : 09 秒　001_1001 : 19 秒　101_1001 : 59 秒

注 1) RTCSECR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2) RTCSECR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3) 書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

21.3.1.3　RTCMINR(分析レジスタ) (PAGE0/1)

	7	6	5	4	3	2	1	0
bit symbol	-	MI						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	−	R	リードすると"0"が読めます。
6-0	MI	R/W	分析設定 (下記以外は設定禁止) 000_0000 : 00 分　001_0000 : 10 分　010_0000 : 20 分　111_1111 : don't care 000_0001 : 01 分　001_0001 : 11 分　・　(PAGE1 のみ設定可能。時計レジスタとの比較対象になりません。) 000_0010 : 02 分　001_0010 : 12 分　011_0000 : 30 分 000_0011 : 03 分　001_0011 : 13 分　・ 000_0100 : 04 分　001_0100 : 14 分　100_0000 : 40 分 000_0101 : 05 分　001_0101 : 15 分　・ 000_0110 : 06 分　001_0110 : 16 分　101_0000 : 50 分 000_0111 : 07 分　001_0111 : 17 分　・ 000_1000 : 08 分　001_1000 : 18 分　・ 000_1001 : 09 分　001_1001 : 19 分　101_1001 : 59 分

注 1)　PAGE0 の RTCMINR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2)　PAGE0 の RTCMINR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3)　PAGE0 の RTCMINR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

注 4)　PAGE1 の RTCMINR は、RTCPAGER<ENAALM>が"0"の状態で書き込んでください。

21.3.1.4 RTCHOURR(時間桁レジスタ) (PAGE0/1)

RTCHOURR は 24 時間クロックモードと 12 時間クロックモードで設定する内容が異なります。

(1) 24 時間クロックモード(RTCMONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (下記以外は設定禁止) 00_0000 : 00 時 00_0001 : 01 時 00_0010 : 02 時 00_0011 : 03 時 00_0100 : 04 時 00_0101 : 05 時 00_0110 : 06 時 00_0111 : 07 時 00_1000 : 08 時 00_1001 : 09 時 01_0000 : 10 時 01_0001 : 11 時 01_0010 : 12 時 01_0011 : 13 時 01_0100 : 14 時 01_0101 : 15 時 01_0110 : 16 時 01_0111 : 17 時 01_1000 : 18 時 01_1001 : 19 時 10_0000 : 20 時 10_0001 : 21 時 10_0010 : 22 時 10_0011 : 23 時 11_1111 : don't care (PAGE1 のみ設定可能。時計レジスタとの比較対象になりません。)

注 1) PAGE0 の RTCHOURR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2) PAGE0 の RTCHOURR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3) PAGE0 の RTCHOURR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

注 4) PAGE1 の RTCHOURR は、RTCPAGER<ENAALM>が"0"の状態で書き込んでください。

(2)　12 時間クロックモード(RTCMONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (下記以外は設定禁止) (AM)　(PM)　11_1111 : don't care 00_0000 : 00 時　10_0000 : 00 時　(PAGE1 のみ設定可能。時計レジスタとの比較対象になりません。) 00_0001 : 01 時　10_0001 : 01 時 00_0010 : 02 時　10_0010 : 02 時 00_0011 : 03 時　10_0011 : 03 時 00_0100 : 04 時　10_0100 : 04 時 00_0101 : 05 時　10_0101 : 05 時 00_0110 : 06 時　10_0110 : 06 時 00_0111 : 07 時　10_0111 : 07 時 00_1000 : 08 時　10_1000 : 08 時 00_1001 : 09 時　10_1001 : 09 時 01_0000 : 10 時　11_0000 : 10 時 01_0001 : 11 時　11_0001 : 11 時

注 1)　PAGE0 の RTCHOURR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2)　PAGE0 の RTCHOURR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3)　PAGE0 の RTCHOURR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

注 4)　PAGE1 の RTCHOURR は、RTCPAGER<ENAALM>が"0"の状態で書き込んでください。

21.3.1.5 RTCDAYR(曜日桁レジスタ) (PAGE0/1)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WE		
リセット後	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-3	−	R	リードすると"0"が読めます。
2-0	WE	R/W	曜日桁設定(下記以外は設定禁止) 000 : 日曜日　　111 : don't care 001 : 月曜日　　(PAGE1 のみ設定可能。時計レジスタとの比較対象になりません。) 010 : 火曜日 011 : 水曜日 100 : 木曜日 101 : 金曜日 110 : 土曜日

注 1) PAGE0 の RTCDAYR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2) PAGE0 の RTCDAYR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3) PAGE0 の RTCDAYR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

注 4) PAGE1 の RTCDAYR は、RTCPAGER<ENAALM>が"0"の状態で書き込んでください。

21.3.1.6　RTCDATER(日桁レジスタ) (PAGE0/1)

	7	6	5	4	3	2	1	0
bit symbol	-	-	DA					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	DA	R/W	日桁設定 (下記以外は設定禁止) 01_0000 : 10 日　10_0000 : 20 日　11_0000 : 30 日 00_0001 : 01 日　01_0001 : 11 日　10_0001 : 21 日　11_0001 : 31 日 00_0010 : 02 日　01_0010 : 12 日　10_0010 : 22 日 00_0011 : 03 日　01_0011 : 13 日　10_0011 : 23 日　11_1111 : don't care 00_0100 : 04 日　01_0100 : 14 日　10_0100 : 24 日　(PAGE1 のみ設定可能。時計レジスタとの比較対象になりません。) 00_0101 : 05 日　01_0101 : 15 日　10_0101 : 25 日 00_0110 : 06 日　01_0110 : 16 日　10_0110 : 26 日 00_0111 : 07 日　01_0111 : 17 日　10_0111 : 27 日 00_1000 : 08 日　01_1000 : 18 日　10_1000 : 28 日 00_1001 : 09 日　01_1001 : 19 日　10_1001 : 29 日

注 1)　PAGE0 の RTCDATER は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2)　PAGE0 の RTCDATER の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3)　PAGE0 の RTCDATER に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

注 4)　PAGE1 の RTCDATER は、RTCPAGER<ENAALM>が"0"の状態で書き込んでください。

注 5)　2 月 30 日など、存在しない日は設定しないでください。

21.3.1.7 RTCMONTHR (月桁レジスタ、24 時間時計/12 時間時計の選択レジスタ)

RTCMONTHR は PAGE0 と PAGE1 で設定する内容が異なります。

(1) RTCMONTHR(月桁レジスタ) (PAGE0)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	MO				
リセット後	0	0	0	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-5	−	R	リードすると"0"が読めます。
4-0	MO	R/W	月桁設定(下記以外は設定禁止) 0_0001 : 1 月　0_0111 : 7 月 0_0010 : 2 月　0_1000 : 8 月 0_0011 : 3 月　0_1001 : 9 月 0_0100 : 4 月　1_0000 : 10 月 0_0101 : 5 月　1_0001 : 11 月 0_0110 : 6 月　1_0010 : 12 月

注 1) PAGE0 の RTCMONTHR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2) PAGE0 の RTCMONTHR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3) PAGE0 の RTCMONTHR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

(2) RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ) (PAGE1)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MO0
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
7-1	−	R	リードすると"0"が読めます。
0	MO0	R/W	0 : 12 時間時計 1 : 24 時間時計

注) PAGE1 の RTCMONTHR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

21.3.1.8　RTCYEARR(年桁レジスタ、うるう年レジスタ)

RTCYEARR は PAGE0 と PAGE1 で設定する内容が異なります。

(1)　RTCYEARR(年桁レジスタ) (PAGE0)

	7	6	5	4	3	2	1	0
bit symbol	YE							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-0	YE	R/W	年桁設定(下記以外は設定禁止) 0000_0000 : 00 年　0001_0000 : 10 年　0110_0000 : 60 年 0000_0001 : 01 年　・　・ 0000_0010 : 02 年　0010_0000 : 20 年　0111_0000 : 70 年 0000_0011 : 03 年　・　・ 0000_0100 : 04 年　0011_0000 : 30 年　1000_0000 : 80 年 0000_0101 : 05 年　・　・ 0000_0110 : 06 年　0100_0000 : 40 年　1001_0000 : 90 年 0000_0111 : 07 年　・　・ 0000_1000 : 08 年　01001_0000 : 50 年　・ 0000_1001 : 09 年　・　1001_1001 : 99 年

注 1)　PAGE0 の RTCYEARR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2)　PAGE0 の RTCYAERR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3)　PAGE0 の RTCYEARR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

(2)　RTCYEARR(うるう年レジスタ)(PAGE1)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	LEAP	
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
7-2	−	R	リードすると"0"が読めます。
1-0	LEAP	R/W	00 : 現在の年(今年)がうるう年 01 : 現在がうるう年から 1 年目 10 : 現在がうるう年から 2 年目 11 : 現在がうるう年から 3 年目

注 1)　PAGE1 の RTCYEARR は CPU と非同期に変化します。読み出すときには「21.4.1.1 時計レジスタの読み出し」で説明している方法で読み出してください。

注 2)　PAGE1 の RTCYAERR の書き込みには注意が必要です。書き込むときには「21.4.1.2 時計レジスタへの書き込み」で説明している方法で書き込んでください。

注 3)　PAGE1 の RTCYEARR に書き込んだ値がレジスタに反映されるまで、最大 1s かかります。

21.3.1.9 RTCPAGER(PAGE レジスタ)

	7	6	5	4	3	2	1	0
bit symbol	INTENA	-	-	ADJUST	ENATMR	ENAALM	-	PAGE
リセット後	0	0	0	0	不定	不定	0	0

Bit	Bit Symbol	Type	機能
7	INTENA	R/W	INTRTC 設定 0: 禁止 1: 許可
6-5	−	R	リードすると"0"が読めます。
4	ADJUST	R/W	時計の補正要求 [ライト時] 0: Don't care 1: ADJUST 要求セット 秒を補正します。補正が終了すると自動的に"0"にクリアされます。 要求は低速クロックでサンプリングされます。 秒が 0~29 秒の場合、秒桁のみ "0" になります。また、30~59 秒のときは分を桁上げして秒を"0"にします。 [リード時] 0: ADJUST 要求なし 1: ADJUST 要求あり "1"の場合 ADJUST 実行中を示し、"0"で補正が終了したことを示します。
3	ENATMR	R/W	時計の桁上げ設定 設定は低速クロックでサンプリングされます。 0: 禁止 1: 許可
2	ENAALM	R/W	アラーム割り込み 0: 禁止 1: 許可
1	−	R	リードすると"0"が読めます。
0	PAGE	R/W	PAGE 設定 表 21-1、表 21-2 に示すレジスタは、RTCPAGER<PAGE>により、設定内容が変わります。 0:時計レジスタ(PAGE0)が選択されます。 1:アラームレジスタ(PAGE1)が選択されます。

注 1) このレジスタはリードモディファイライトによる操作はできません。

注 2) <ENAALM>の設定変更は、<INTENA>が"0"の状態で行ってください。<ENAALM>と<INTENA>は同時に設定することはできません。

時計、アラーム許可と割り込み許可の設定順

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	1	0	0	時計機能、アラーム機能許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

表 21-1 時計レジスタ(PAGE0)

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	−	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁
RTCMINR	−	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁
RTCHOURR	−	−	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁
RTCDAYR	−	−	−	−	−	曜日設定			曜日桁
RTCDATER	−	−	20 日	10 日	8 日	4 日	2 日	1 日	日桁
RTCMONTHR	−	−	−	10 月	8 月	4 月	2 月	1 月	月桁
RTCYEARR	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁(西暦下 2 桁)

表 21-2 アラームレジスタ(PAGE1)

Symbol	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR	−	−	−	−	−	−	−	−	−
RTCMINR	−	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁
RTCHOURR	−	−	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁
RTCDAYR	−	−	−	−	−	曜日設定			アラーム曜日桁
RTCDATER	−	−	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁
RTCMONTHR	−	−	−	−	−	−	−	24/12	24 時間クロックモード
RTCYEARR	−	−	−	−	−	−	うるう年設定		うるう年モード

21.3.1.10 RTCRESTR(リセットレジスタ)

	7	6	5	4	3	2	1	0
bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	DIS2HZ	DIS4HZ	DIS8HZ
リセット後	1	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
7	DIS1HZ	R/W	1 Hz 割り込み 0: 許可 1: 禁止
6	DIS16HZ	R/W	16 Hz 割り込み 0: 許可 1: 禁止
5	RSTTMR	R/W	秒カウンタリセット要求 [ライト時] 0: Don't care 1: 秒カウンタリセット 秒カウンタをリセットします。秒カウンタがリセットされると自動的に"0"にクリアされます。 要求は低速クロックでサンプリングされます。 [リード時] 0: リセット要求なし 1: リセット要求あり "1"の場合リセット実行中を示し、"0"で処理が終了したことを示します。
4	RSTALM	R/W	アラームリセット要求 0:Don't care 1: アラームリセット アラームレジスタ(分, 時, 日, 週桁レジスタ)を初期化します。 初期化後は、00 分, 00 時, 01 日, 日曜日になります。 アラームレジスタが初期化されると自動的に"0"にクリアされます。
3	−	R	リードすると"0"が読めます。
2	DIS2HZ	R/W	2 Hz 割り込み 0: 許可 1: 禁止
1	DIS4HZ	R/W	4 Hz 割り込み 0: 許可 1: 禁止
0	DIS8HZ	R/W	8 Hz 割り込み 0: 許可 1: 禁止

注 1) このレジスタはリードモディファイライトによる操作はできません。

注 2) <DIS1HZ>、<DIS2HZ>、<DIS4HZ>、<DIS8HZ>、<DIS16HZ>の設定変更は、<INTENA>が"0"の状態で行ってください。

注 3) <RSTALM>の設定変更は、RTCPAGER<ENAALM>が"0"の状態で行ってください。

21.4　動作説明

21.4.1　時計機能

時計機能を使用する際には、時計レジスタに時刻、月、日、曜日、年、うるう年を設定後、RTCPAGER<ENATMR>を"1"に設定します。

時計レジスタへの書き込みは「21.4.1.2 時計レジスタへの書き込み」にしたがって行ってください。

21.4.1.1　時計レジスタの読み出し

時計レジスタは低速クロックに同期して変化します。CPU は低速クロックと非同期に動作しているため、時計レジスタを正しく読み出すためには時計レジスタの変化するタイミングを避けて読み出す必要があります。

1. 1Hz 割り込みを利用する

   1Hz 割り込みを許可すると、秒カウンタのカウントアップに同期して 1 Hz 割り込みが発生します。

   1 Hz 割り込みを待って、次の秒カウンタのカウントアップまでに、時計レジスタを読み出せば正しく読み出すことができます。

2. 2 度読みをする

   時計を２度読みし、それぞれの値が一致するまで、読み出しを繰り返します。

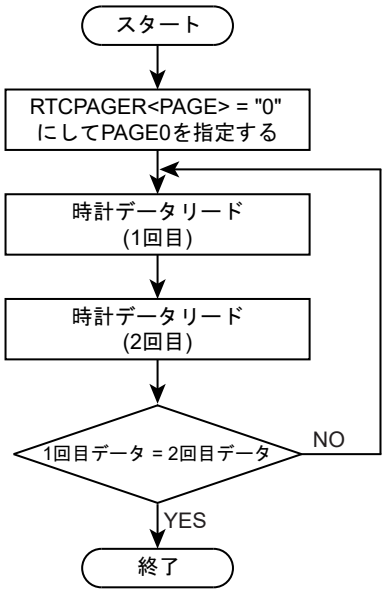


図 21-2 時計データのリードフロー

21.4.1.2 時計レジスタへの書き込み

時計レジスタはバッファを持っています。書き込まれた値は、いったんバッファに書き込まれ、秒カウンタのカウントアップに同期して、時計レジスタに転送されます。

時計レジスタへの書き込みと転送のタイミングが重なると、期待した値を書き込むことができません。転送のタイミングを避けて、値を書き込む必要があります。

1. 1 Hz 割り込みを利用する

   1Hz 割り込みを許可すると、秒カウンタのカウントアップに同期して 1 Hz 割り込みが発生します。

   1 Hz 割り込みを待って、次の秒カウンタのカウントアップまでに時計の書き込みを行えば、期待した値を書き込むことができます。

2. 秒カウンタをリセットする

   RTCRESTR<RSTTMR>で秒カウンタをリセットした後、次の秒カウンタのカウントアップまでに時計の書き込みを行えば、期待した値を書き込むことができます。

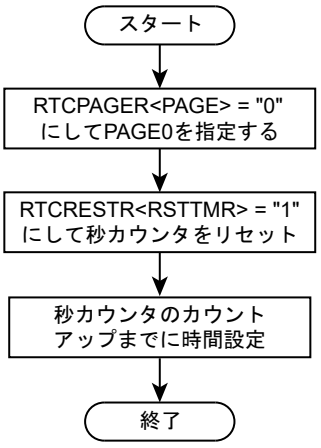


図 21-3 データライトのフロー

21.4.2　アラーム機能

アラーム機能は下記の機能を持ちます。

1. アラームレジスタと時計レジスタの一致時、$\overline{\text{ALARM}}$ 端子から低速クロック 1 周期分の"Low"パルスを出力するとともに、INTRTC 割り込みを発生
2. $\overline{\text{ALARM}}$ 端子から 1Hz, 2Hz, 4Hz, 8Hz, 16Hz 周期で、低速クロック 1 周期分の"Low"パルスを出力するとともに INTRTC 割り込みを発生

注)　TMPM440FE/F10XBG には $\overline{\text{ALARM}}$ 端子は実装されていません。

21.4.2.1　アラームレジスタと時計レジスタの一致時、$\overline{\text{ALARM}}$ 端子からパルスを出力

アラームレジスタと時計レジスタの内容が一致したときに $\overline{\text{ALARM}}$ 端子に"Low"パルスを出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を説明します。

1. RTCPAGER<INTENA>を"0"に設定し、割り込みを禁止します。
2. RTCPAGER<ENAALM>を"0"に設定し、アラーム機能を禁止します。
3. RTCRESTR<RSTALM>を"1"に設定し、アラームレジスタを初期化します。初期化されるとアラーム分桁, アラーム時桁, アラーム日桁, アラーム曜日桁は 00 分, 00 時, 01 日, 日曜日になります。
4. PAGE1 のアラーム分桁, アラーム時桁, アラーム日桁, アラーム曜日桁を設定します。
5. RTCPAGER<ENAALM>を"1"に設定し、アラーム機能を許可します。
6. RTCPAGER<INTENA>を"1"に設定し、割り込みを許可します。

月曜日 5 日正午(12:00)に ALARM 端子に"Low"パルスを出力するとともに、INTRTC 割り込み発生させる場合のプログラム例を下記に示します。

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	1	0	0	割り込み禁止
RTCPAGER	←	0	0	0	0	1	0	0	1	アラーム禁止, PAGE1 設定
RTCRESTR	←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR	←	0	0	0	0	0	0	0	1	月曜日
RTCDATER	←	0	0	0	0	0	1	0	1	5 日
RTCHOURR	←	0	0	0	1	0	0	1	0	12 時設定
RTCMINR	←	0	0	0	0	0	0	0	0	00 分設定
RTCPAGER	←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

21.4.2.2 $\overline{\text{ALARM}}$ 端子から、1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz 周期でパルスを出力する場合

$\overline{\text{ALARM}}$ 端子から 1Hz, 2Hz, 4Hz, 8Hz, 16Hz 周期で、低速クロック 1 周期分の"Low"パルスを出力するとともに INTRTC 割り込みを発生します。

パルス出力を使用する方法を説明します。

1. RTCPAGER<INTENA>を"0"に設定し、割り込みを禁止します。
2. RTCPAGER<ENAALM> 、 RTCRESTR<DIS1HZ> 、 <DIS2HZ> 、 <DIS4HZ> 、 <DIS8HZ>、<DIS16HZ>を設定します。
3. RTCPAGER<INTENA>を"1"に設定し、割り込みを許可します。

21.4.2.3 割り込み(INTRTC)設定

アラームレジスタと時計レジスタの一致、1Hz、2Hz、4Hz、8Hz、16Hz で割り込みを発生させる場合の、RTCRESTR<DIS1HZ> 、 <DIS2HZ> 、 <DIS4HZ> 、 <DIS8HZ> 、 <DIS16HZ> 、RTCPAGER<ENAALM>の設定を表 21-3 に示します。

INTRTC 割り込み信号は、立ち下がりエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、"立ち下がりエッジ"に設定してください。

表 21-3 割り込みソース信号の選択

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割り込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1 Hz
1	0	1	1	1	0	2 Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16 Hz
その他						割り込みは発生しません。

21.5 低消費電力モードへ遷移する場合の注意

時計レジスタの設定、時計の補正、秒カウンタリセット後に、システムクロックが停止する低消費電力モードへ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. 時計レジスタの設定、または RTCPAGER<ADJUST>、RTCRESTR<RSTTMR>の設定後に、1 秒割り込みの発生を待った後、低消費電力モードへ移行する。
2. 時計レジスタの設定、または RTCPAGER<ADJUST>、RTCRESTR<RSTTMR>の設定後に、<ADJUST>と<RSTTMR>の値を読み出し、要求が実行されたことを確認した後、低消費電力モードへ移行する。

第 22 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　TMPM440FE/F10XBG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

22.1　構成

図 22-1 にウォッチドッグタイマのブロック図を示します。

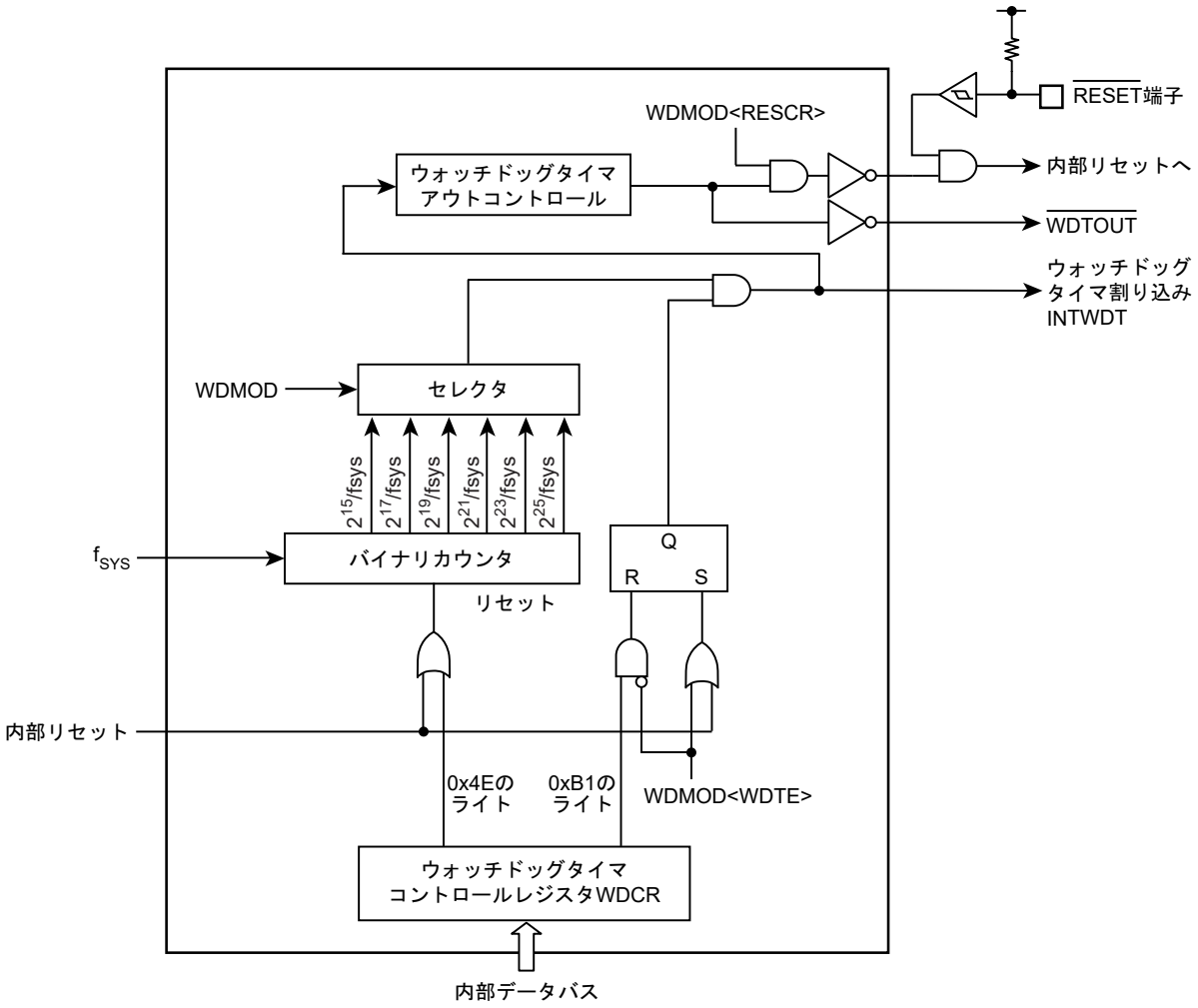


図 22-1 ウォッチドッグタイマのブロック図

22.2　レジスタ

22.2.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

22.2.1.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可 暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。 ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。
6-4	WDTP[2:0]	R/W	検出時間の選択 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

22.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

22.3　動作説明

22.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　TMPM440FE/F10XBG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

22.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP1 mode
- STOP2 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

22.3.3　暴走検出時の動作

22.3.3.1　INTWDT 割り込み発生の場合

図 22-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注)　TMPM440FE/F10XBG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

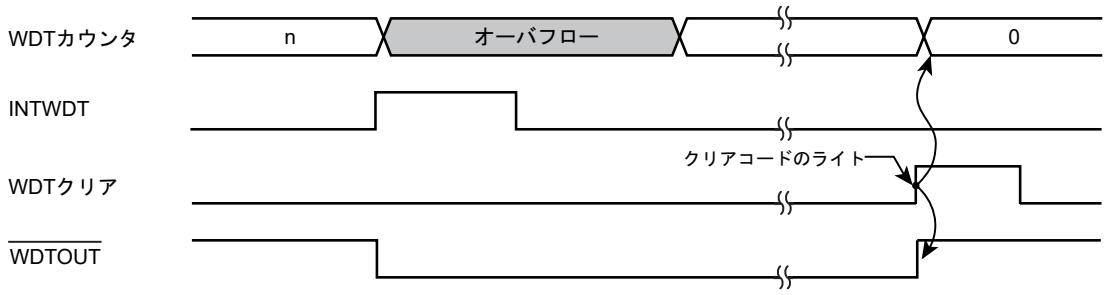


図 22-2 INTWDT 割り込み発生

22.3.3.2 内部リセット発生の場合

図 22-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間リセットを行います。

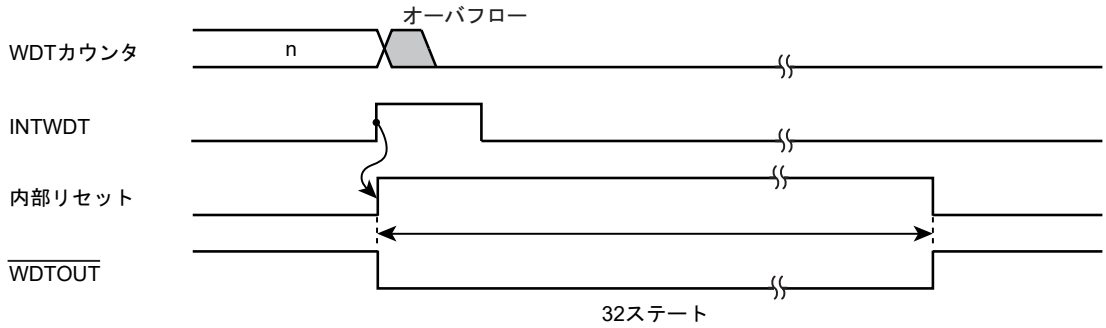


図 22-3 内部リセット発生

22.4 ウォッチドックタイマの制御

22.4.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

22.4.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

22.4.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

22.4.4 ウォッチドッグタイマ検出時間の設定

検出時間を WDMOD<WDTP[2:0]>に設定します。

例えば、検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

第 23 章　4 バイト FIFO 付きシリアルチャネル(SIO/UART)

23.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- 同期通信モード(I/O インタフェースモード)
- 非同期通信モード(UART モード)

特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能

    (UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
- FIFO

  送受信合わせて 4 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
  - 最終ビット出力後の TXDx 端子の状態を下記から選択可能

    "High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダーランエラーが発生したときの TXDx 端子の状態を下記から選択可能

    "High"保持/"Low"保持
  - クロック入力モード時、TXDx 端子の最終ビットホールド時間を設定可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTSx}}$ 端子を用いたハンドシェイク機能

以下の説明中、"x"はチャネル番号をあらわします。

23.2　構成

図 23-1 にシリアルチャネルのブロック図を示します。

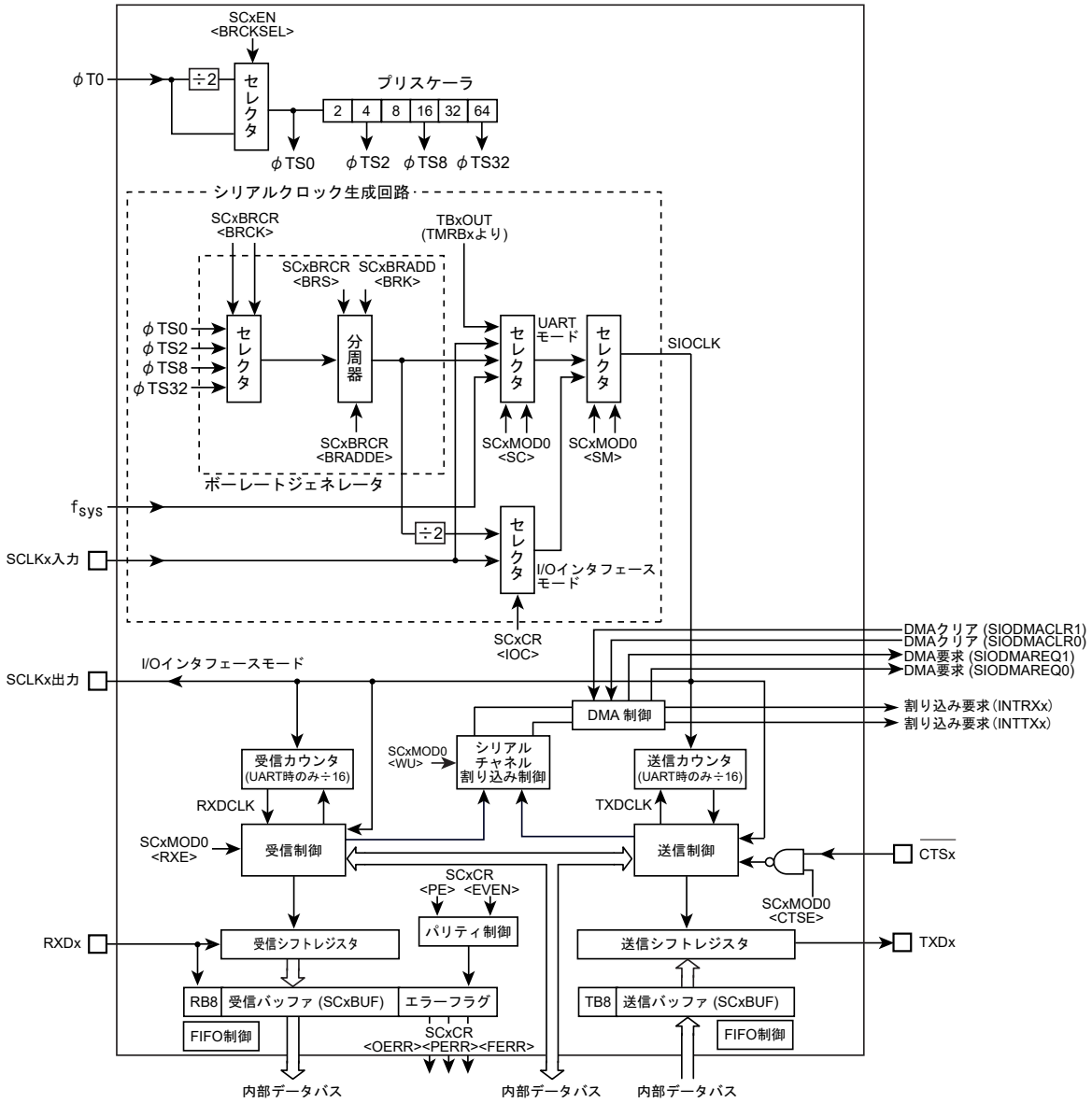


図 23-1 シリアルチャネルブロック図

23.3 レジスタ説明

23.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x= チャネル番号)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ	SCxDMA	0x0034

注) 送信中、受信中にコントロールレジスタを書き換えないでください。

23.3.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入力クロックを選択します。 0: φT0/2 1: φT0
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルのすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

23.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファまたは FIFO [リード] RB：受信用バッファまたは FIFO

23.3.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	−	R	リードすると"0"が読めます。
14-12	EHOLD	R/W	クロック入力モードの TXDx 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fc　100: 32/fc 001: 4/fc　101: 64/fc 010: 8/fc　110: 128/fc 011: 16/fc　111: Reserved
11	−	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダーランエラーが発生したときの TXDx 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE	R/W	最終ビット出力後の TXDx 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加(UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) 0: SCLKx 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は High レベルからスタートします(立ち上がりモード)。 1: SCLKx 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は Low レベルからスタートします。(立ち下りモード) クロック出力モードのときは"0"を設定してください。
0	IOC	R/W	クロック選択(I/O インタフェース用) 0: ボーレートジェネレータ 1: SCLKx 端子入力

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

23.3.5　SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると $\overline{\text{CTSx}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART 用) 00: タイマ出力 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック(SCLKx 端子入力) (I/O インタフェースモード時の転送クロックは、コントロールレジスタ(SCxCR)で選択します。)

注 1)　<RXE>は、すべての設定が終わった後に許可してください。
注 2)　受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

23.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェース用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定 します。
0	–	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

23.3.7　SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。
4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first I/O インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、 受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトウエアリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態に なります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td>RXE</td></tr>
<tr><td>SCxMOD1</td><td>TXE</td></tr>
<tr><td>SCxMOD2</td><td>TBEMP, RBFLL, TXRUN</td></tr>
<tr><td>SCxCR</td><td>OERR, PERR, FERR</td></tr>
</table>
</td></tr>
</table>

注 1)　転送動作中にソフトウエアリセットを実施する場合は 2 回連続して実行してください。

注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

23.3.8　SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φTS0 01:TS2 10: φTS8 11: φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

注 1)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

23.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 23-1 にまとめます。

表 23-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

23.3.10　SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注2)　9 ビット UART モードでは FIFO は使用できません。

23.3.11　SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき
5-2	−	R	リードすると"0"が読めます。
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル

	半二重	全二重
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

注)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

23.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8	TBCLR	W	送信バッファクリア 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき
5-2	−	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00	Empty	Empty
01	1 バイト	1 バイト
10	2 バイト	Empty
11	3 バイト	1 バイト

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止) した場合は、必ず SCxTFC の再設定を行ってください。

23.3.13　SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

23.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>はバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

23.3.15　SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求(受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求(送信割り込み INTTX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注)　DMA 要求(転送)中に同要求が発行された場合、要求は保持されずネスティングされません。

23.4 動作モード

表 23-2 にモードとデータフォーマットをまとめます。

表 23-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK はクロック入力/出力モードのいずれでも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

23.5　データフォーマット

23.5.1　データフォーマット一覧

図 23-2 にデータフォーマットを示します。

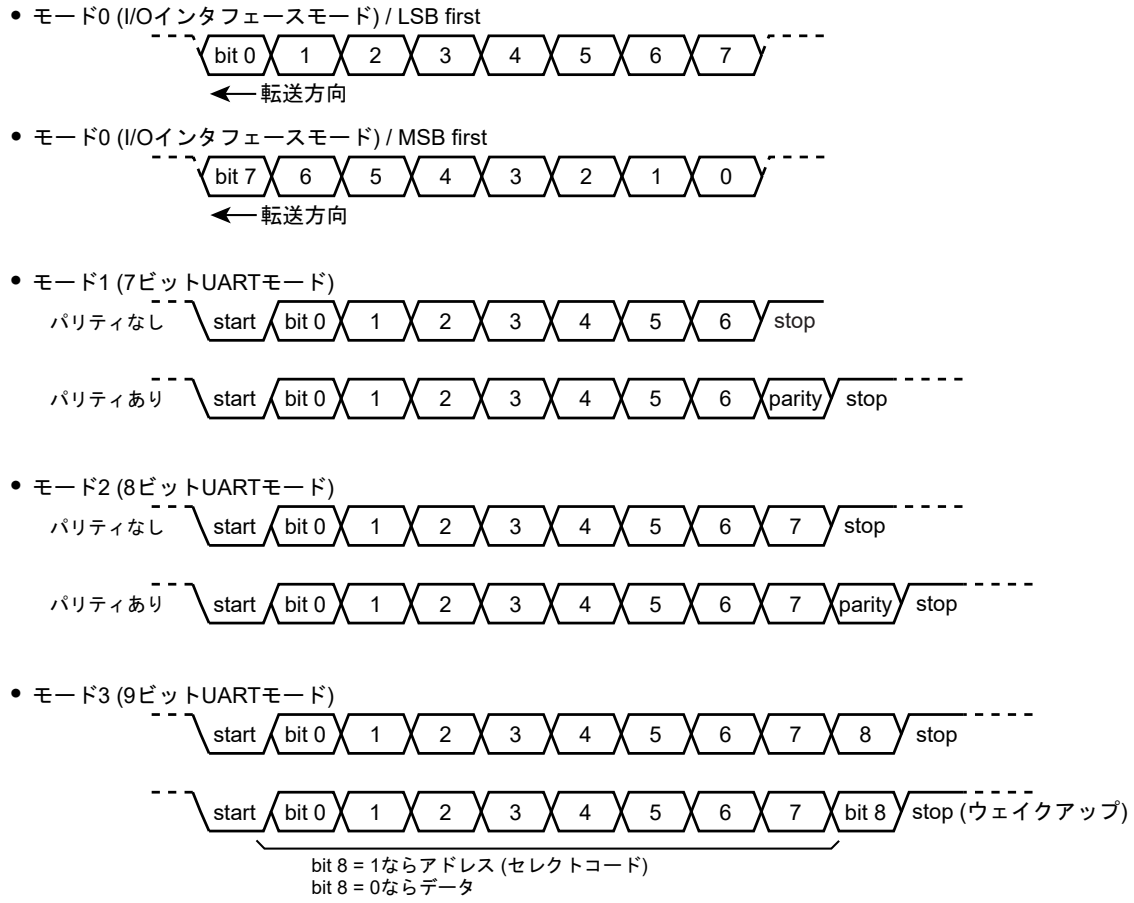


図 23-2 データフォーマット

23.5.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

23.5.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

23.5.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

23.5.3 STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

23.6　クロック制御

シリアルクロック(SIOCLK)生成回路をに示します。シリアルクロックの設定は、AC 電気的特性を満足することを確認の上行ってください

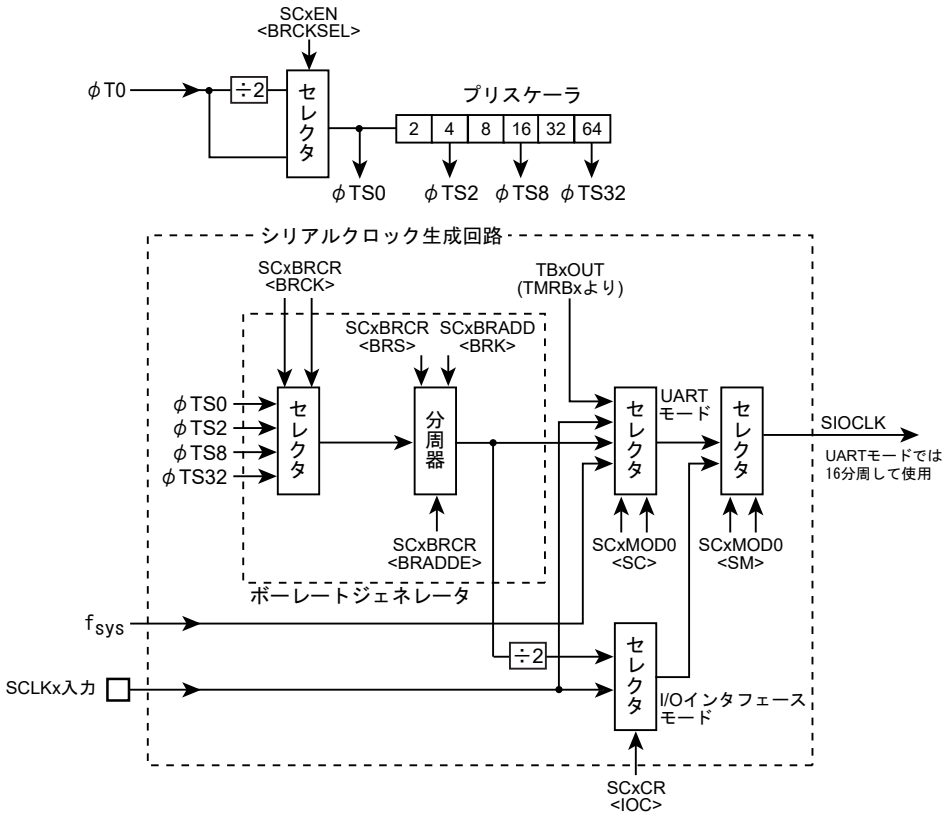


図 23-3 シリアルクロック生成回路

23.6.1　プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 1 / 2/ 4 / 8 / 16 / 32/ 64 / 128 分周のクロックを生成します。

プリスケーラの入力クロックは、クロック/モード制御部の CGSYSCR レジスタと SCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

23.6.2　シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

23.6.2.1　ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 φTx
0	00	φT0/2
0	01	φT0/8
0	10	φT0/32
0	11	φT0/128
1	00	φT0
1	01	φT0/4
1	10	φT0/16
1	11	φT0/64

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を φTx とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・ N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・ N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

23.6.2.2　クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1)　I/O インタフェースモードの転送クロック

表 23-3 に I/O インタフェースモードで可能なクロックを示します。

表 23-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
I/O インタフェース モード	クロック出力 モード	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2 分周
	クロック入力 モード	立ち上がり	SCLKx 端子入力 立ち上がりエッジ
		立下り	SCLKx 端子入力 立ち下がりエッジ

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2) UART モードの転送クロック

表 23-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 23-4 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLKx 端子入力

SCLKx 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマフリップフロップ反転2回で1クロック周期となる)

(タイマプリスケーラクロックφT1(2分周)を選択した場合)

23.6.3　送信/受信バッファと FIFO

23.6.3.1　構成

送信/受信バッファと FIFO の構成を図 23-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

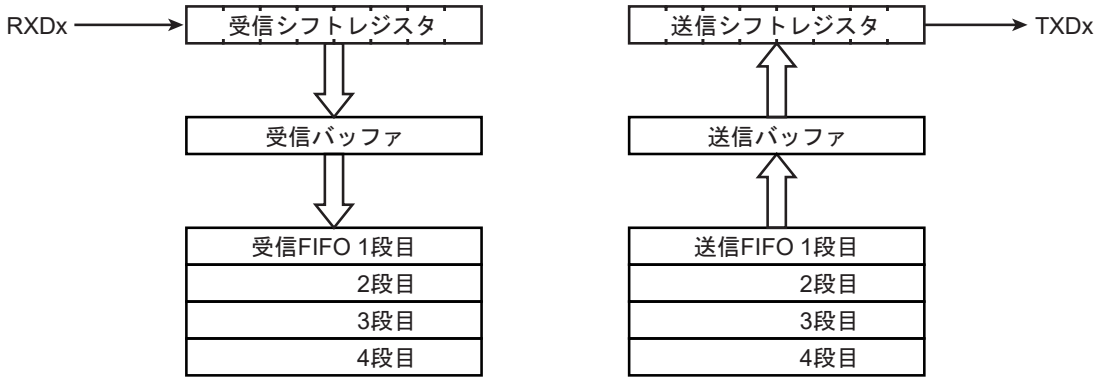


図 23-4 バッファと FIFO の構成

23.6.3.2　送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 23-5 にモードとバッファ構成の関係をまとめます。

表 23-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

23.6.3.3 送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注) I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

23.6.3.4 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 23-6 にモードと FIFO 構成の関係をまとめます。

表 23-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

23.7　ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

23.8　エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART</td><td>オーバランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
(クロック入力モード)</td><td rowspan="2">オーバランエラー</td><td>アンダーランエラー
(ダブルバッファまたは FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファおよび FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
(クロック出力モード)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

23.8.1　OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注)　I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

23.8.2　PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダーランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

23.8.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

23.9　受信

23.9.1　受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

23.9.2　受信制御部

23.9.2.1　I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCLKx 端子へ出力されるクロックの立ち上がりで RXDx 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLKx 端子の立ち上がり/立ち下がりエッジでシリアル受信データ RXDx 端子をサンプリングします。

23.9.2.2　UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

23.9.3　受信動作

23.9.3.1　受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

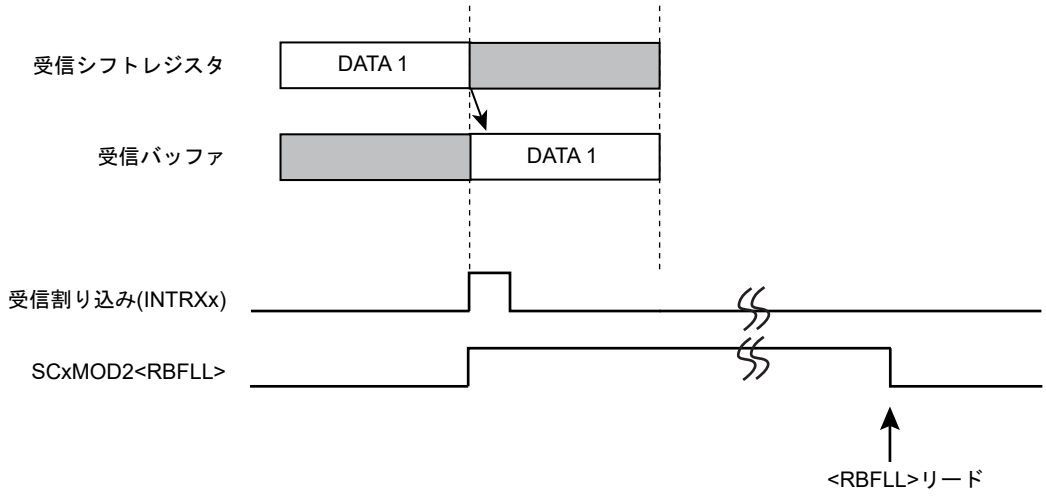


図 23-5 受信バッファの動作

23.9.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注)　UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "01"	: 転送モードを半二重受信に設定
SCxFCNF<RFST><TFIE><RFIE>	: fill レベル到達後の継続受信自動禁止
<RXTCNT><CNFG> = "10111"	受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC<RIL[1:0]> = "00"	: 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC<RFCS><RFIS> = "11"	: 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

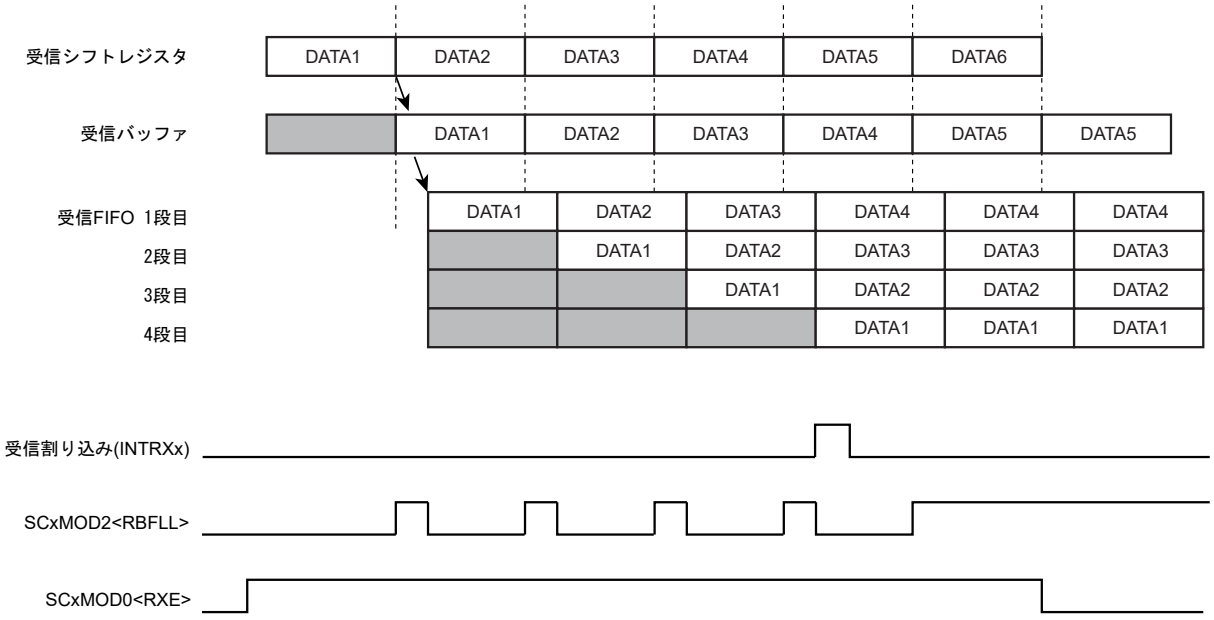


図 23-6 受信 FIFO の動作

23.9.3.3　I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されるとクロック出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0 <RXE>がクリアされ受信動作を停止します。

23.9.3.4　受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリディビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

23.9.3.5　ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

23.9.3.6　オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生してオーバーランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

23.10 送信

23.10.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

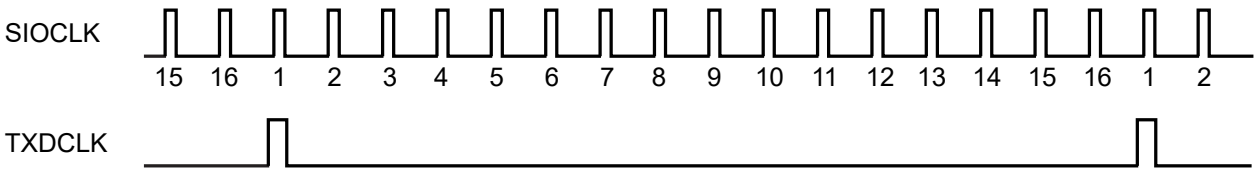


図 23-7 UART モード送信クロックの生成

23.10.2 送信制御部

23.10.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCLKx 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXDx 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCLKx 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXDx 端子へ出力します。

23.10.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

23.10.3 送信動作

23.10.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

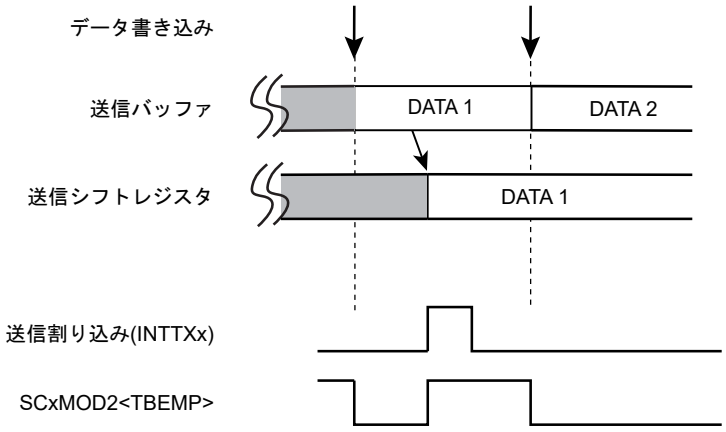


図 23-8 送信バッファの動作(ダブルバッファ有効時)

23.10.3.2　送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP>フラグは"0"にクリアされます。

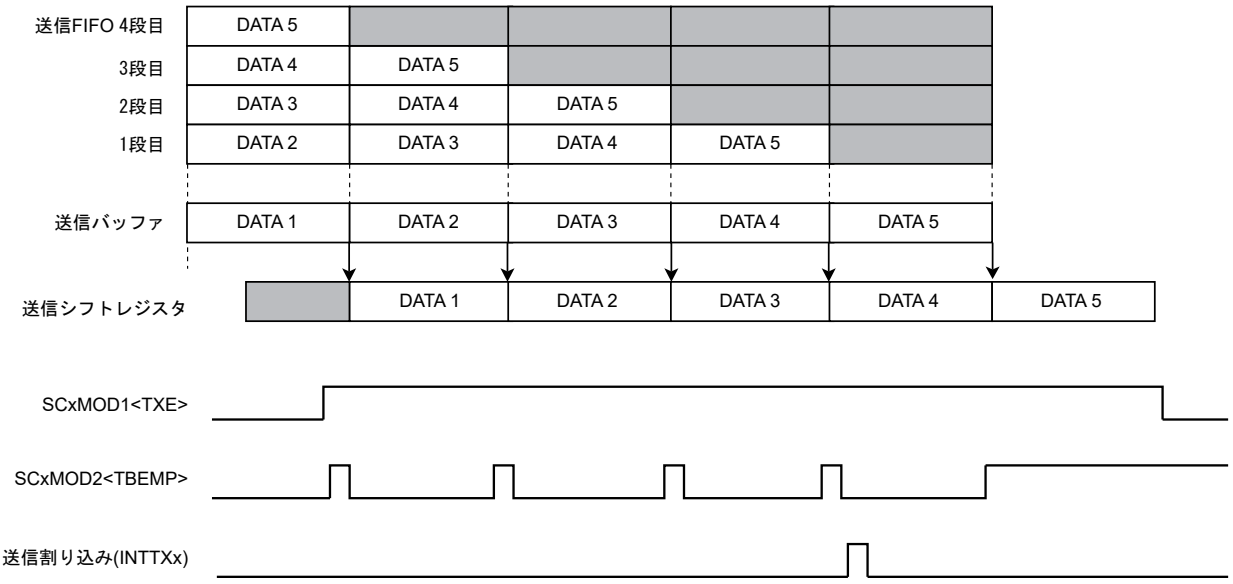
注)　送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半二重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[1:0]> = "00"	: 割り込み発生の fill レベル を 0 に設定
SCxTFC<TFCS[1:0]> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。


送信FIFO 4段目
3段目
2段目
1段目
送信バッファ
送信シフトレジスタ
DATA 1
DATA 2
DATA 3
DATA 4
DATA 5
SCxMOD1<TXE>
SCxMOD2<TBEMP>
送信割り込み(INTTXx)

23.10.3.3　I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1)　シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2)　ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3)　FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

23.10.3.4　I/O インターフェースモード時の最終ビット出力後の TXDx 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の TXDx 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、TXDx 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、TXDx 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、TXDx 端子は最終ビットを保持します。

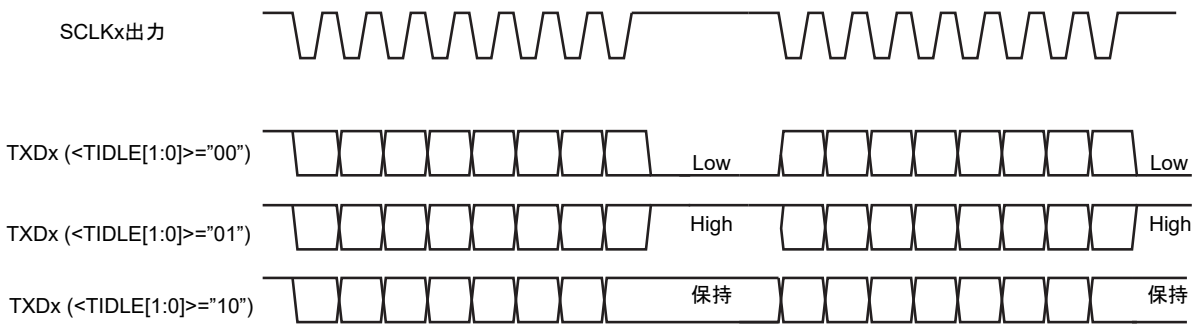


図 23-9 最終ビット出力後の TXDx 端子の状態

23.10.3.5 アンダーランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダーランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダーランエラーが発生したときの TXDx 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、TXDx 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、TXDx 端子はデータ出力期間の間、"High"出力を保持します。

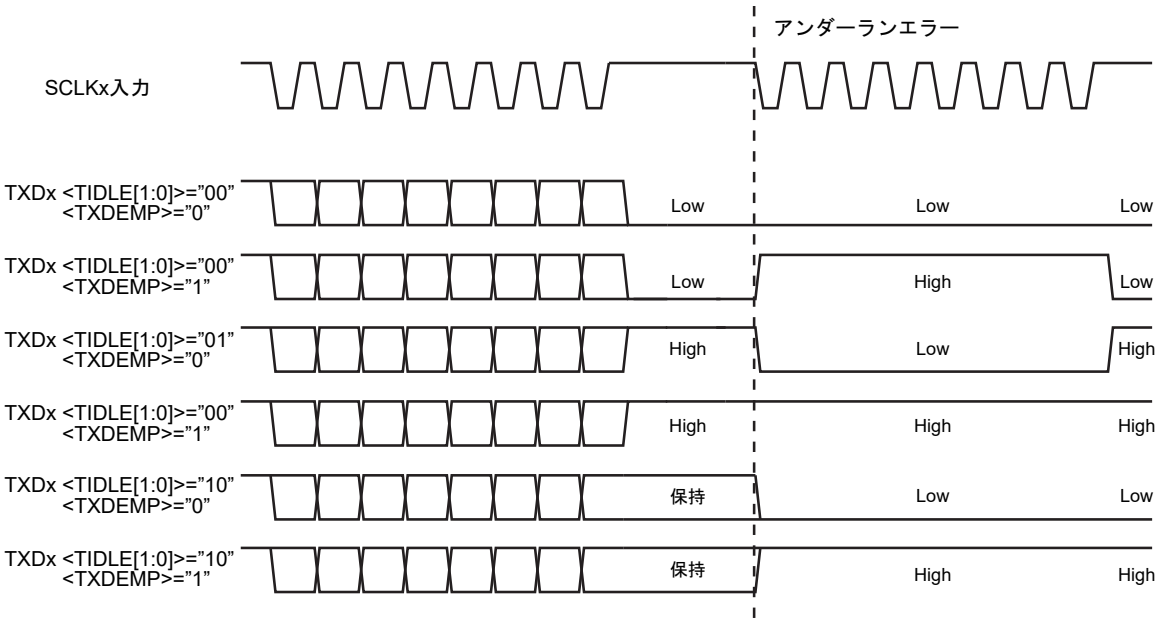


図 23-10 アンダーランが発生したときの TXDx 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

23.10.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間 ≤ SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

23.11　ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTSx}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTSx}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1)　送信中に $\overline{\text{CTSx}}$ 信号を立ち上げた場合、送信終了後に停止します。
注 2)　$\overline{\text{CTSx}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

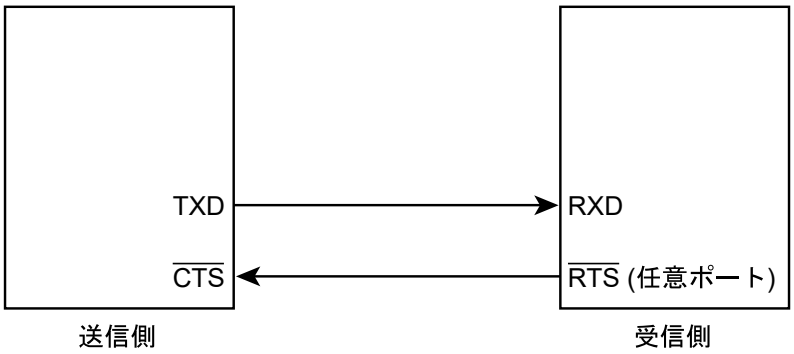


図 23-11 ハンドシェイク機能接続

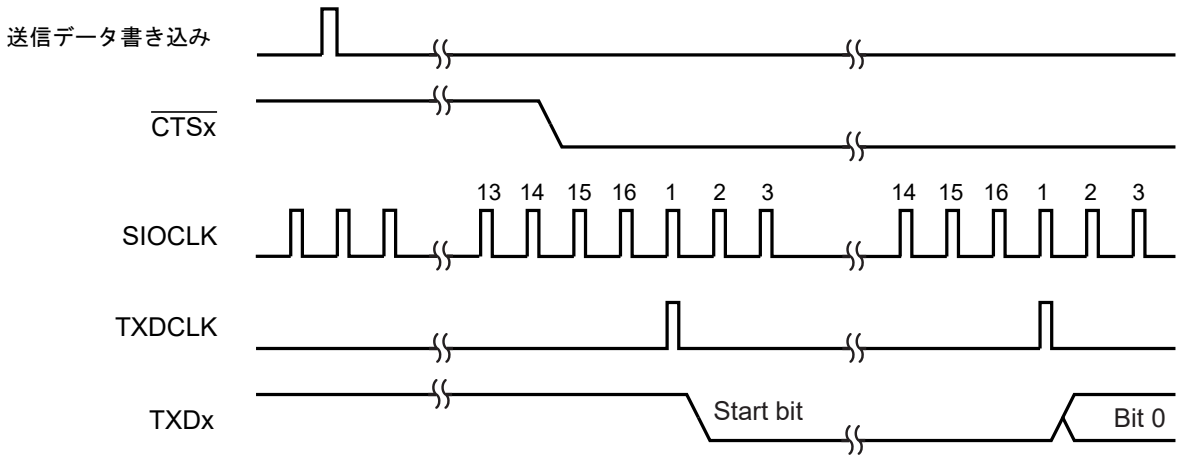


図 23-12 $\overline{\text{CTSx}}$ 信号のタイミング

23.12 割り込み/エラー発生タイミング

23.12.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 23-13 に示します。

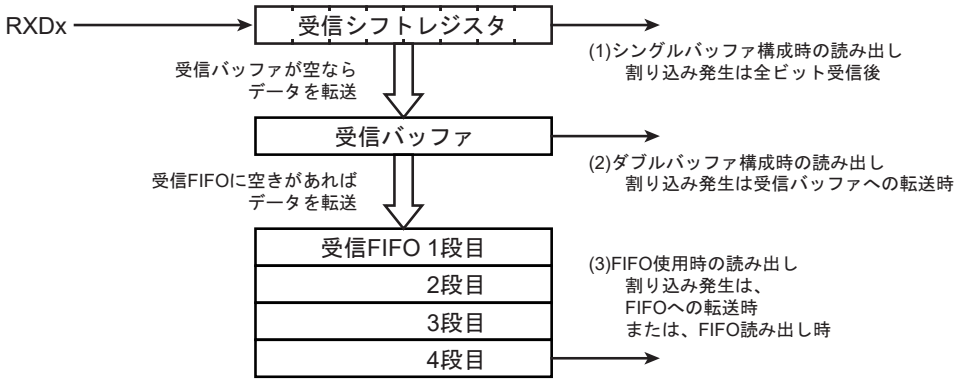


図 23-13 受信バッファ/FIFO 構成図

23.12.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 23-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	−	・最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第 1 ストップビットの中央付近	・最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注) オーバーランエラー成立時は割り込みは発生しません。

23.12.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 23-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 23-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信FIFOへ受信データの転送が行われるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信FIFOから受信データをリードしたとき ・受信バッファから受信FIFOへ受信データの転送が行われるとき

23.12.2　送信割り込み

送信動作のデータの流れと書き込みの経路を図 23-14 に示します。

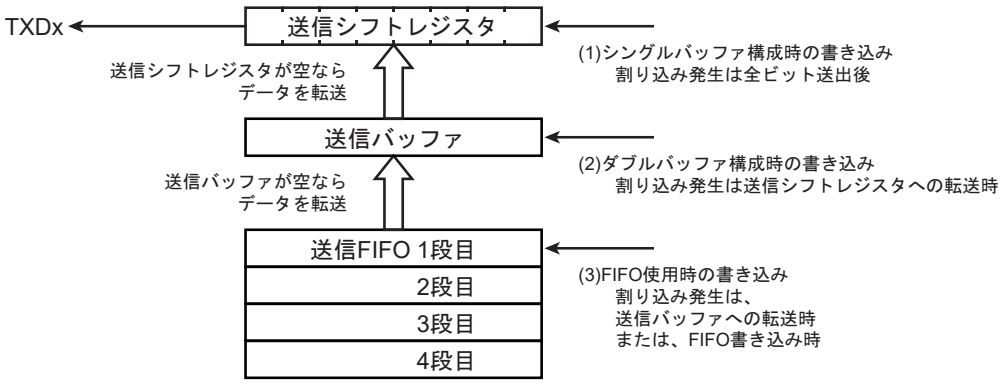


図 23-14 送信バッファ/FIFO 構成図

23.12.2.1　シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 23-9 シングルバッファ/ ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE> の値と関係なく、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。	

23.12.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 23-10 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 23-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信FIFOから送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信FIFOへ送信データをライトしたとき ・送信FIFOから送信バッファへ送信データの転送が行われたとき

23.12.3 エラー発生

23.12.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	パリティビットの中央付近

23.12.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回の SCLKx 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

23.13　DMA 要求

UART/SIO 割り込み(INTRXx,INTTXx)発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は SCxDMA レジスタの該当ビットの設定を行なってください。

本製品で DMA 要求に使用できるチャネルについては、「製品情報」の章を参照してください。

注)　SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウエアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

23.13.1　シングルバッファ/ダブルバッファ構成の場合

「23.12.1.1 シングルバッファ/ダブルバッファ構成の場合」、「23.12.2.1 シングルバッファ/ダブルバッファ構成の場合」のタイミングで割り込みが発生し、DMA 転送が開始されます。

23.13.2　FIFO を許可しているとき

「23.12.1.2 FIFO 使用の場合」、「23.12.2.2 FIFO 使用の場合」のタイミングで割り込みが発生し、DMA 転送が開始されます。

送信の場合、割り込みの発生する Fill レベル、送信開始前に FIFO に書き込むデータ数の最小値と DMA 転送データ数の最大値は、下記のようになります。

表 23-11 割り込みの発生する Fill レベル、FIFO に書き込むデータ数の最小値と DMA 転送データ数の最大値

SCxTFC <TIL[1:0]>	半二重		全二重	
	転送開始前に書き込むデータ数の最小値	DMA 転送データ数の最大値	転送開始前に書き込むデータ数の最小値	DMA 転送データ数の最大値
00	3	4 バイト	3	2 バイト
01	4	3 バイト	4	1 バイト
10	5	2 バイト	3	2 バイト
11	6	1 バイト	4	1 バイト

注)　SCxMOD1<TXE>の値と関係なく、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。この送信割り込みで DMA 転送が起動しないようにしてください。DMA 転送起動の詳細については、DMAC の章を参照ください。

受信の場合、割り込みの発生する Fill レベルと DMA 転送データ数の最大値は、下記のようになります。

表 23-12 割り込みの発生する Fill レベルと DMA 転送データ数の最大値

SCxRFC <RIL[1:0]>	DMA 転送データ数の最大値 (半二重)	DMA 転送データ数の最大値 (全二重)
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

23.14 ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR <OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。その他の状態は保持されます。

23.15　モード別動作説明

23.15.1　モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

23.15.1.1　送信

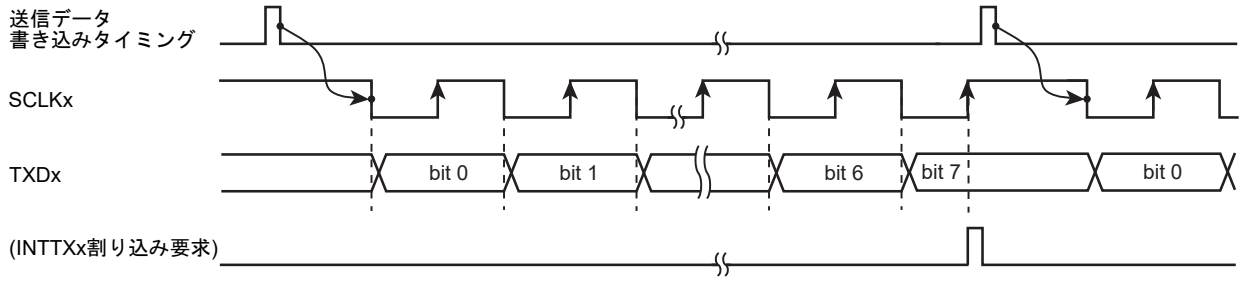
(1)　クロック出力モード

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

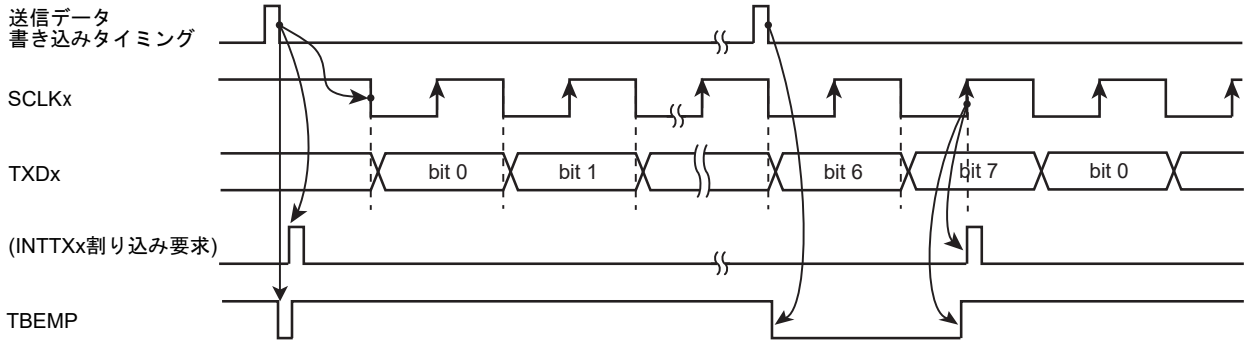
  送信バッファにデータを書き込むたびに、データが TXDx 端子から、クロックが SCLKx 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。
- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  送信停止の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

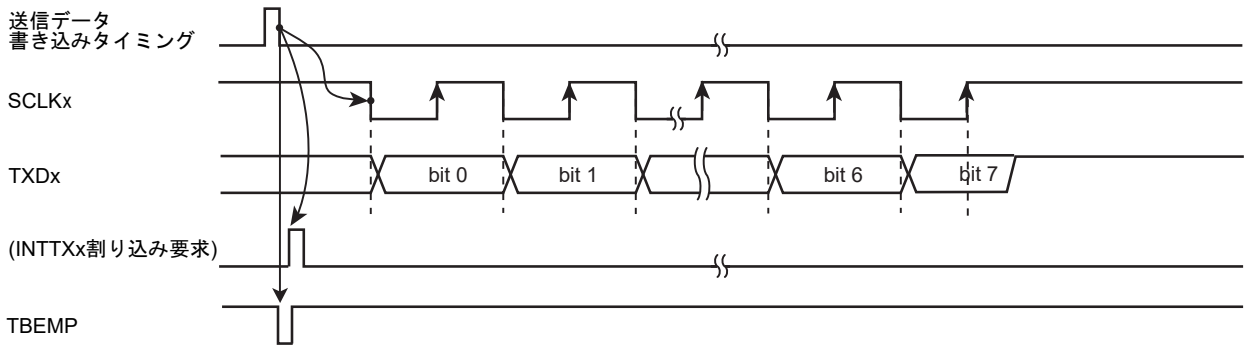
  シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合) (SCxCR<TIDLE>="01")

図 23-15 I/O インタフェースモード送信動作(クロック出力モード)

(2)　クロック入力モード

・　ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 23-16 に示す A 点までに書き込んでください。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP>が"1"にセットされ、割り込み(INTTXx)が発生します。

送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが TXDx 端子に出力されます。

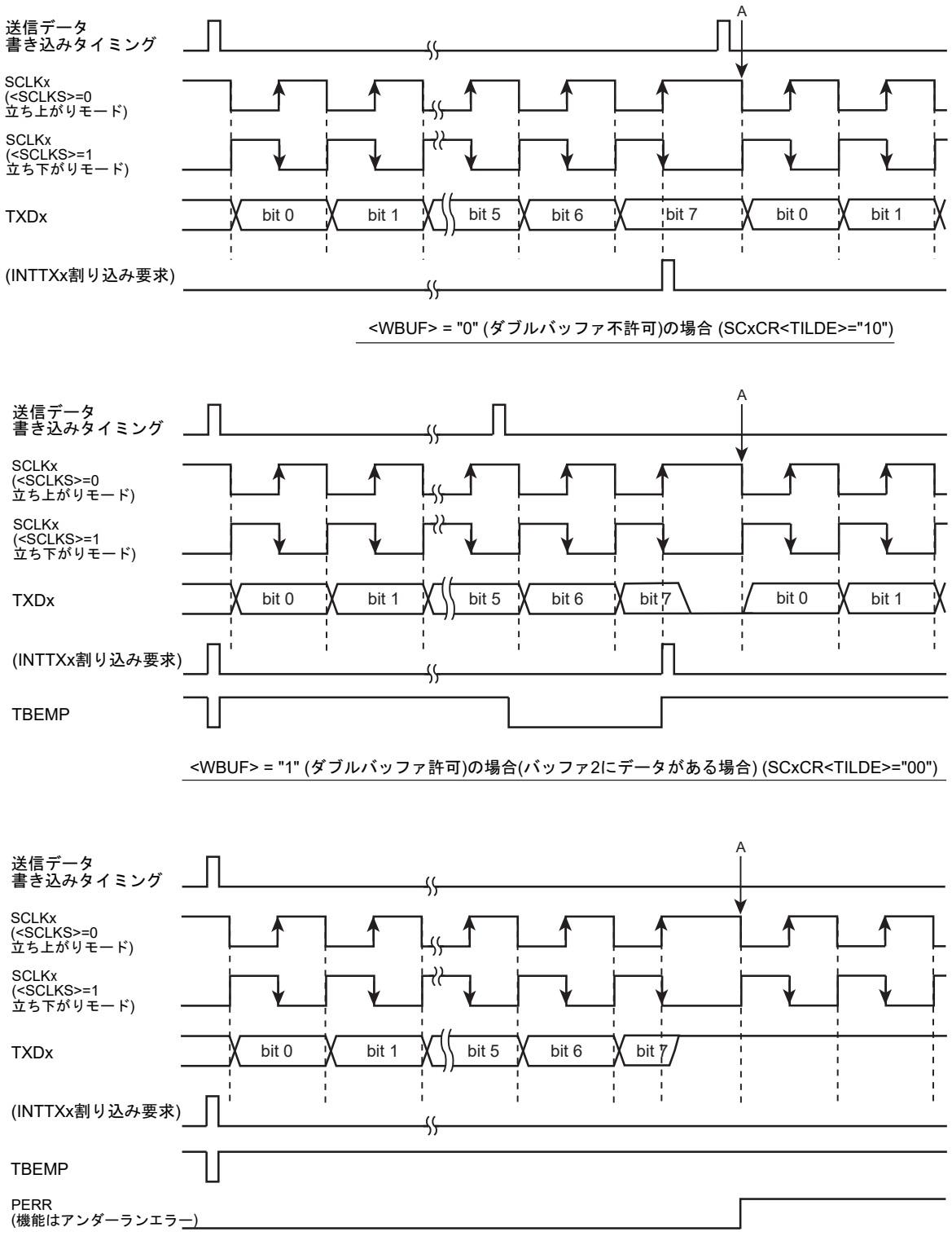


図 23-16 I/O インタフェースモード送信動作(クロック入力モード)

23.15.1.2　受信

(1)　クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCLKx 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

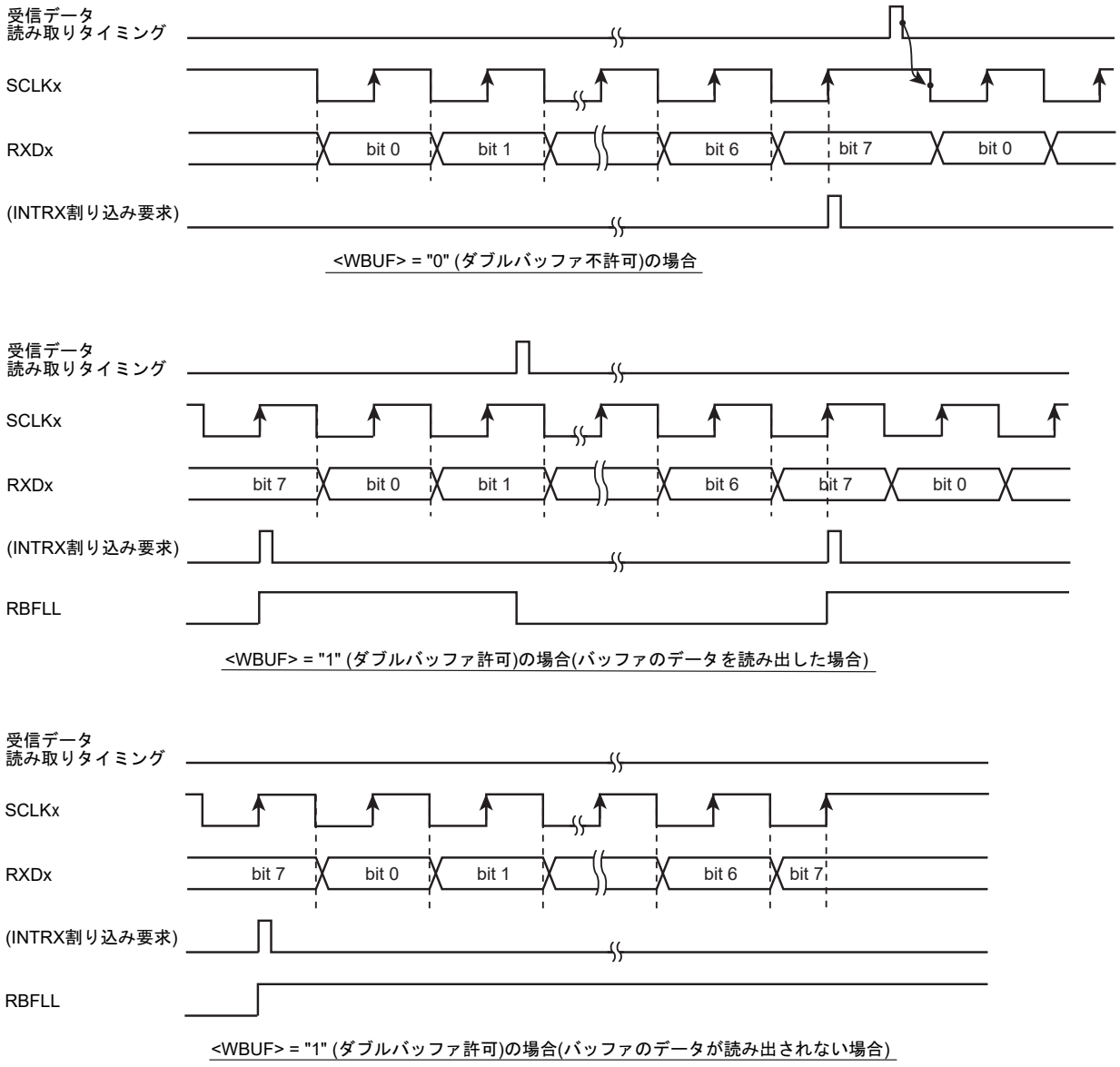


図 23-17 I/O インタフェースモード受信動作(クロック出力モード)

(2)　クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。

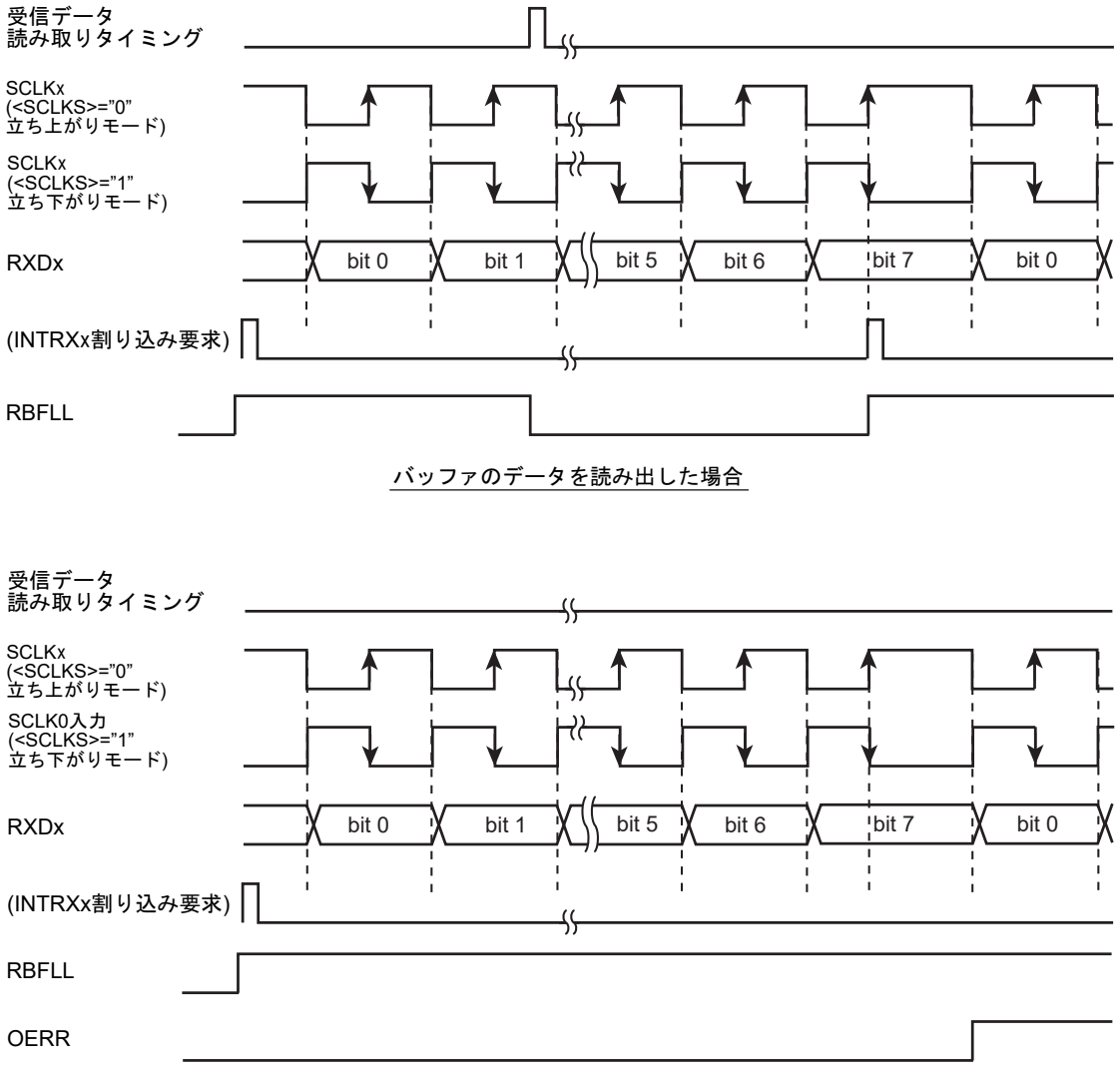


図 23-18 I/O インタフェースモード受信動作(クロック入力モード)

23.15.1.3 送受信(全二重)

(1) クロック出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXDx 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態でクロック出力は停止します。

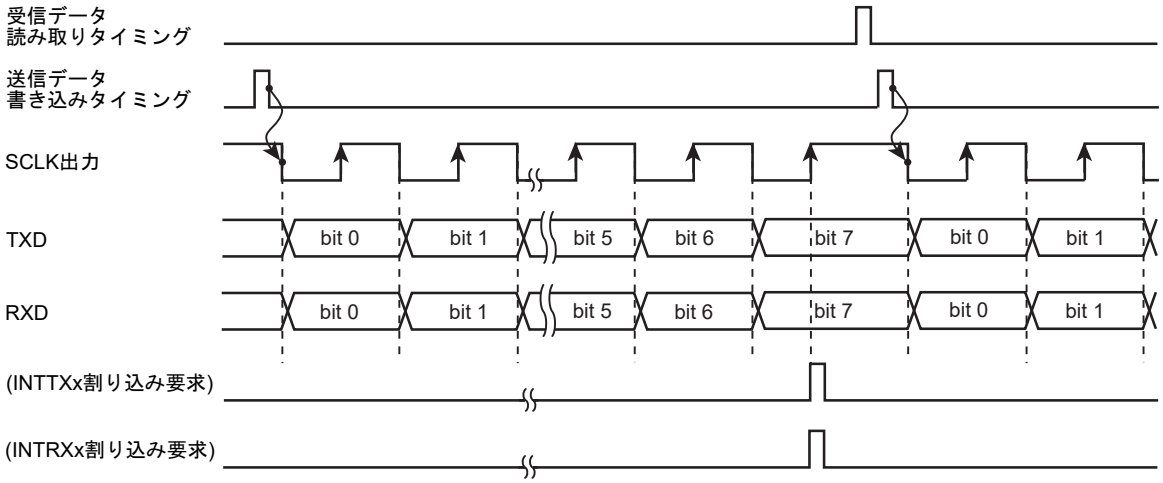
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

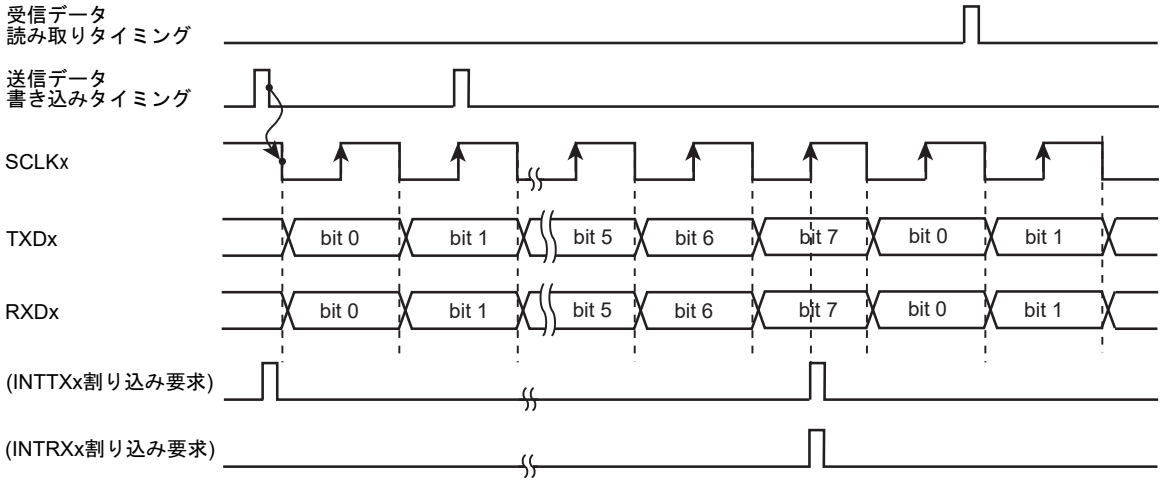
送信バッファにデータを書き込むとクロック出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXDx 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

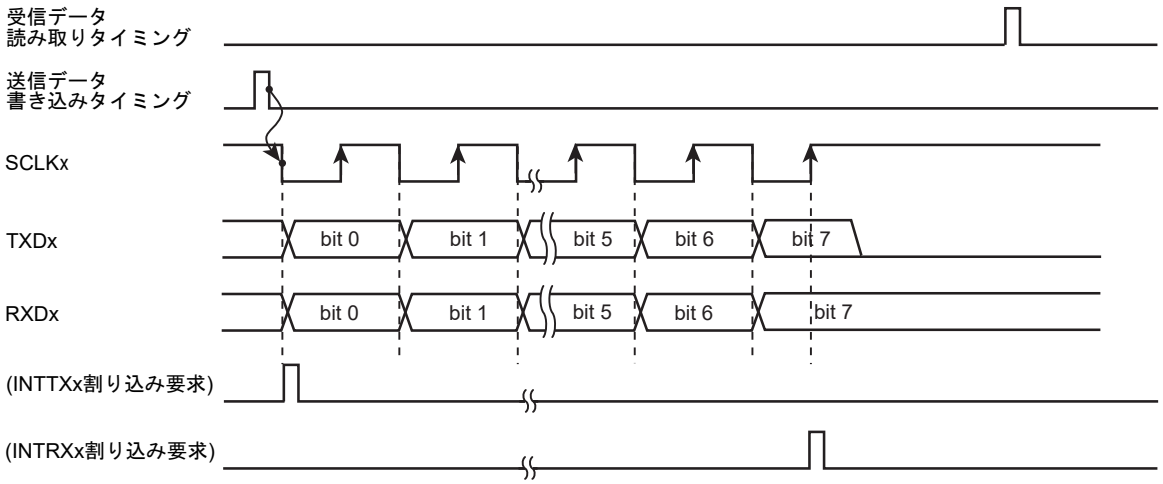
この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合 (SCxCR<TIDLE>="00"

図 23-19 I/O インタフェースモード送受信動作(クロック出力モード)

(2) クロック入力モード

・ 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 23-20 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 23-20 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。

また、次のフレームのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが TXDx 端子に出力されます。

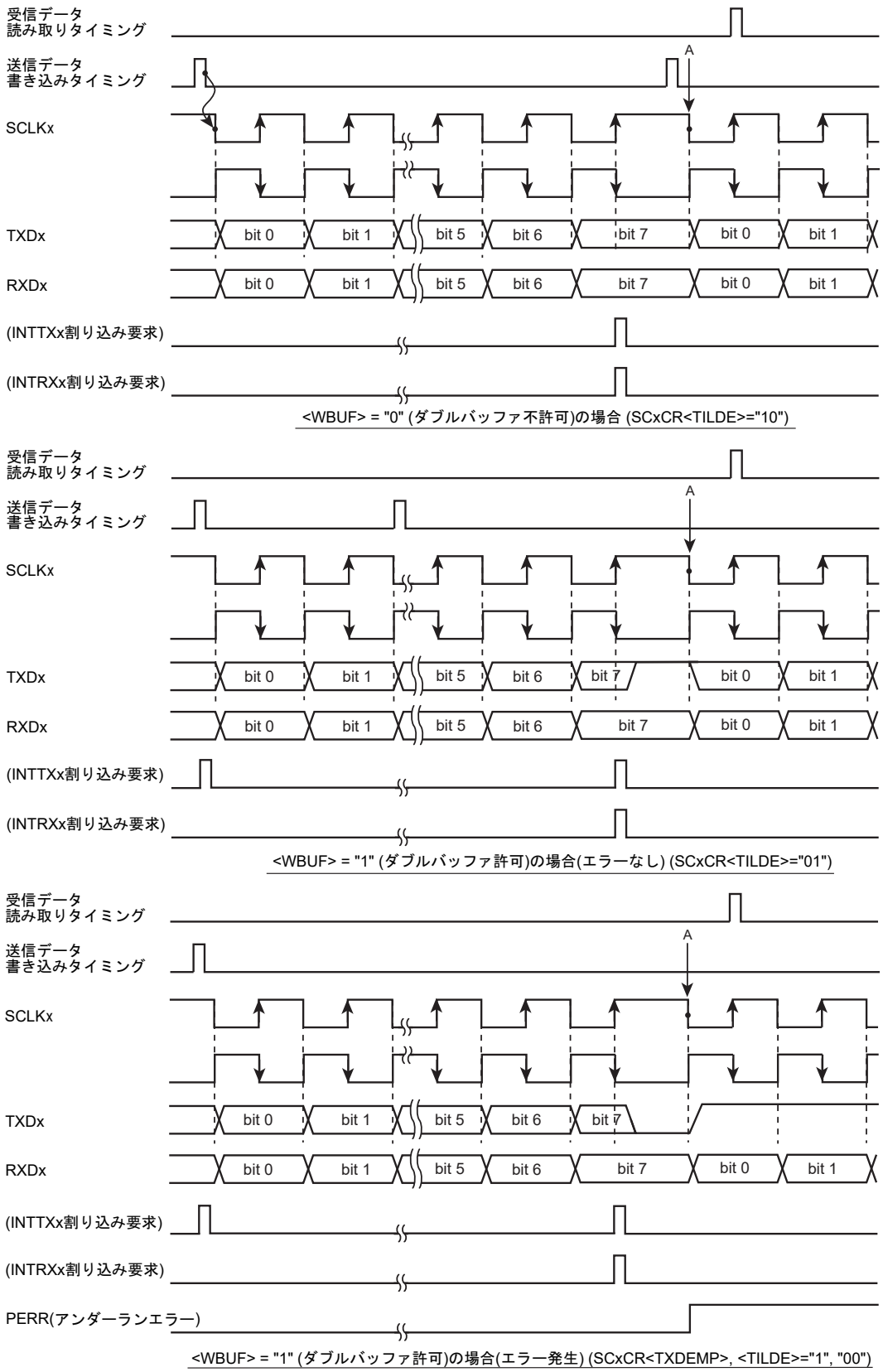


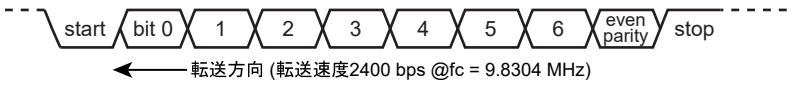
図 23-20 I/O インタフェースモード送受信動作(クロック入力モード)

23.15.2 モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

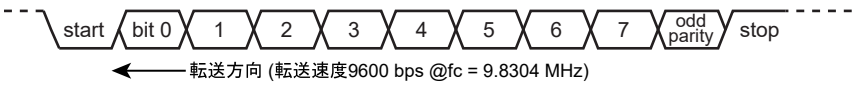
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

23.15.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don’t care - : no change

23.15.4　モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

23.15.4.1　ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注)　スレーブコントローラの TXDx 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

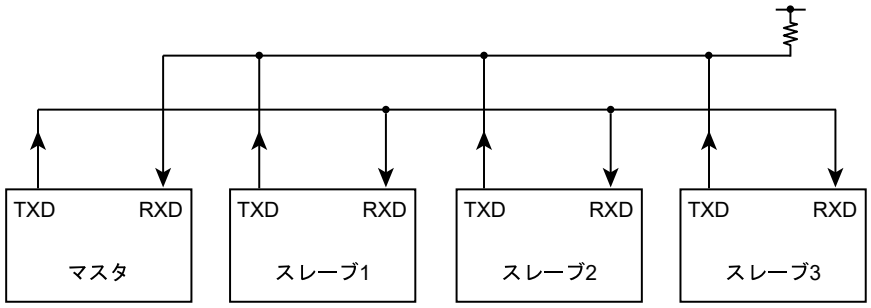
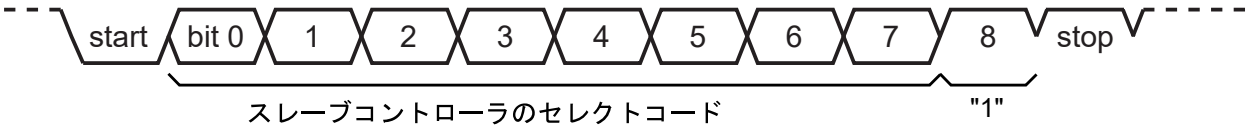


図 23-21 ウェイクアップ機能によるシリアルリンク

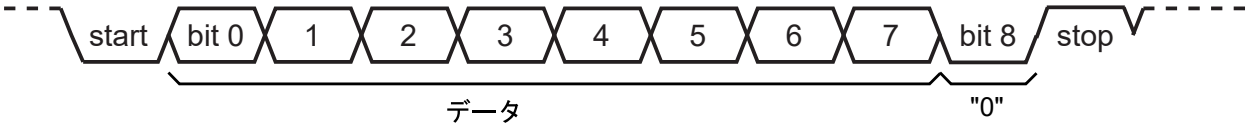
23.15.4.2　プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。

5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 24 章　32 バイト FIFO 付きシリアルチャネル(SIO/UART)

24.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- 同期通信モード(I/O インタフェースモード)
- 非同期通信モード(UART モード)

特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能

    (UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
- FIFO

  送受信合わせて 32 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
  - 最終ビット出力後の TXDx 端子の状態を下記から選択可能

    "High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダーランエラーが発生したときの TXDx 端子の状態を下記から選択可能

    "High"保持/"Low"保持
  - クロック入力モード時、TXDx 端子の最終ビットホールド時間を設定可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTSx}}$ 端子を用いたハンドシェイク機能

以下の説明中、"x"はチャネル番号をあらわします。

24.2　構成

図 24-1 にシリアルチャネルのブロック図を示します。

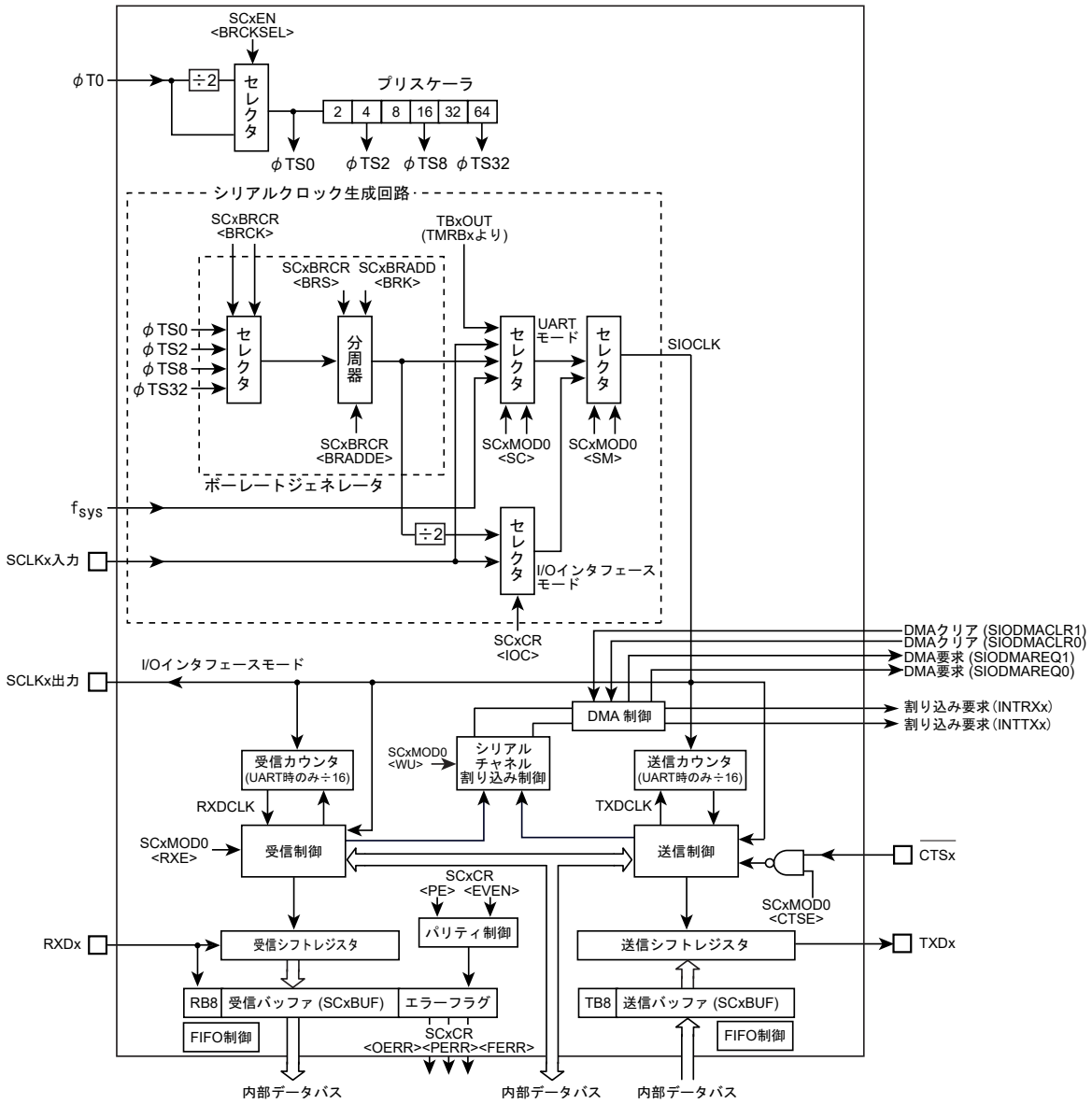


図 24-1 シリアルチャネルブロック図

24.3 レジスタ説明

24.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x= チャネル番号)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ	SCxDMA	0x0034

注) 送信中、受信中にコントロールレジスタを書き換えないでください。

24.3.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入力クロックを選択します。 0: φT0 / 2 1: φT0
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルのすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

24.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファまたは FIFO [リード] RB：受信用バッファまたは FIFO

24.3.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	−	R	リードすると"0"が読めます。
14-12	EHOLD	R/W	クロック入力モードの TXDx 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fc　100: 32/fc 001: 4/fc　101: 64/fc 010: 8/fc　110: 128/fc 011: 16/fc　111: Reserved
11	−	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダーランエラーが発生したときの TXDx 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE	R/W	最終ビット出力後の TXDx 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加(UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) 0: SCLKx 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は High レベルからスタートします(立ち上がりモード)。 1: SCLKx 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx 端子の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx 端子は Low レベルからスタートします。(立ち下りモード) クロック出力モードのときは"0"を設定してください。
0	IOC	R/W	クロック選択(I/O インタフェース用) 0: ボーレートジェネレータ 1: SCLKx 端子入力

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

24.3.5　SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると $\overline{\text{CTSx}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART 用) 00: タイマ出力 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック(SCLKx 端子入力) (I/O インタフェースモード時の転送クロックは、コントロールレジスタ(SCxCR)で選択します。)

注 1)　<RXE>は、すべての設定が終わった後に許可してください。
注 2)　受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

24.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェース用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定 します。
0	−	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

24.3.7　SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。
4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first I/O インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、 受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトウエアリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態に なります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td>RXE</td></tr>
<tr><td>SCxMOD1</td><td>TXE</td></tr>
<tr><td>SCxMOD2</td><td>TBEMP, RBFLL, TXRUN</td></tr>
<tr><td>SCxCR</td><td>OERR, PERR, FERR</td></tr>
</table>
</td></tr>
</table>

注 1)　転送動作中にソフトウエアリセットを実施する場合は 2 回連続して実行してください。

注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

24.3.8　SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φTS0 00: φTS2 10: φTS8 11: φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

注 1)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

24.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 24-1 にまとめます。

表 24-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

24.3.10　SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 32 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 32 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 16 バイト + 送信 FIFO 16 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2)　9 ビット UART モードでは FIFO は使用できません。

24.3.11　SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	RIL				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[5:0]>) = 割り込み発生 fill レベル(<RIL[4:0]>) のとき 1: FIFO fill レベル(SCxRST<RLVL[5:0]>) ≥ 割り込み発生 fill レベル(<RIL[4:0]>) のとき
5	−	R	リードすると"0"が読めます。
4-0	RIL[4:0]	R/W	受信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00000	32 バイト	16 バイト
00001	1 バイト	1 バイト
00001	2 バイト	2 バイト
:	:	:
01111	15 バイト	15 バイト
10000	16 バイト	16 バイト
10001	17 バイト	1 バイト
10010	18 バイト	2 バイト
:	:	:
11110	30 バイト	14 バイト
11111	31 バイト	15 バイト

注)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

24.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	TIL				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8	TBCLR	W	送信バッファクリア 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[5:0]>) = 割り込み発生 fill レベル(<TIL[4:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[5:0]>) ≤ 割り込み発生 fill レベル(<TIL[4:0]>) のとき
5	−	R	リードすると"0"が読めます。
4-0	TIL[4:0]	R/W	送信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00000	empty	empty
00001	1 バイト	1 バイト
00001	2 バイト	2 バイト
:	:	:
01111	15 バイト	15 バイト
10000	16 バイト	empty
10001	17 バイト	1 バイト
10010	18 バイト	2 バイト
:	:	:
11110	30 バイト	14 バイト
11111	31 バイト	15 バイト

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止) した場合は、必ず SCxTFC の再設定を行ってください。

24.3.13　SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	RLVL					
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6	−	R	リードすると"0"が読めます。
5-0	RLVL[5:0]	R	受信 FIFO の fill レベル 000000: Empty 000001: 1 バイト 000010: 2 バイト 000011: 3 バイト 000100: 4 バイト : 011110: 30 バイト 011111: 31 バイト 100000: 32 バイト

注)　<ROR>ビットはバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

24.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	TLVL					
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6	−	R	リードすると"0"が読めます。
5-0	TLVL[5:0]	R	送信 FIFO の fill レベル 000000: Empty 000001: 1 バイト 000010: 2 バイト 000011: 3 バイト 000100: 4 バイト : 011110: 30 バイト 011111: 31 バイト 100000: 32 バイト

注) <TUR>ビットはバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

24.3.15　SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求(受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求(送信割り込み INTTX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注)　DMA 要求(転送)中に同要求が発行された場合、要求は保持されずネスティングされません。

24.4 動作モード

表 24-2 にモードとデータフォーマットをまとめます。

表 24-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK はクロック入力/出力モードのいずれでも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

24.5　データフォーマット

24.5.1　データフォーマット一覧

図 24-2 にデータフォーマットを示します。

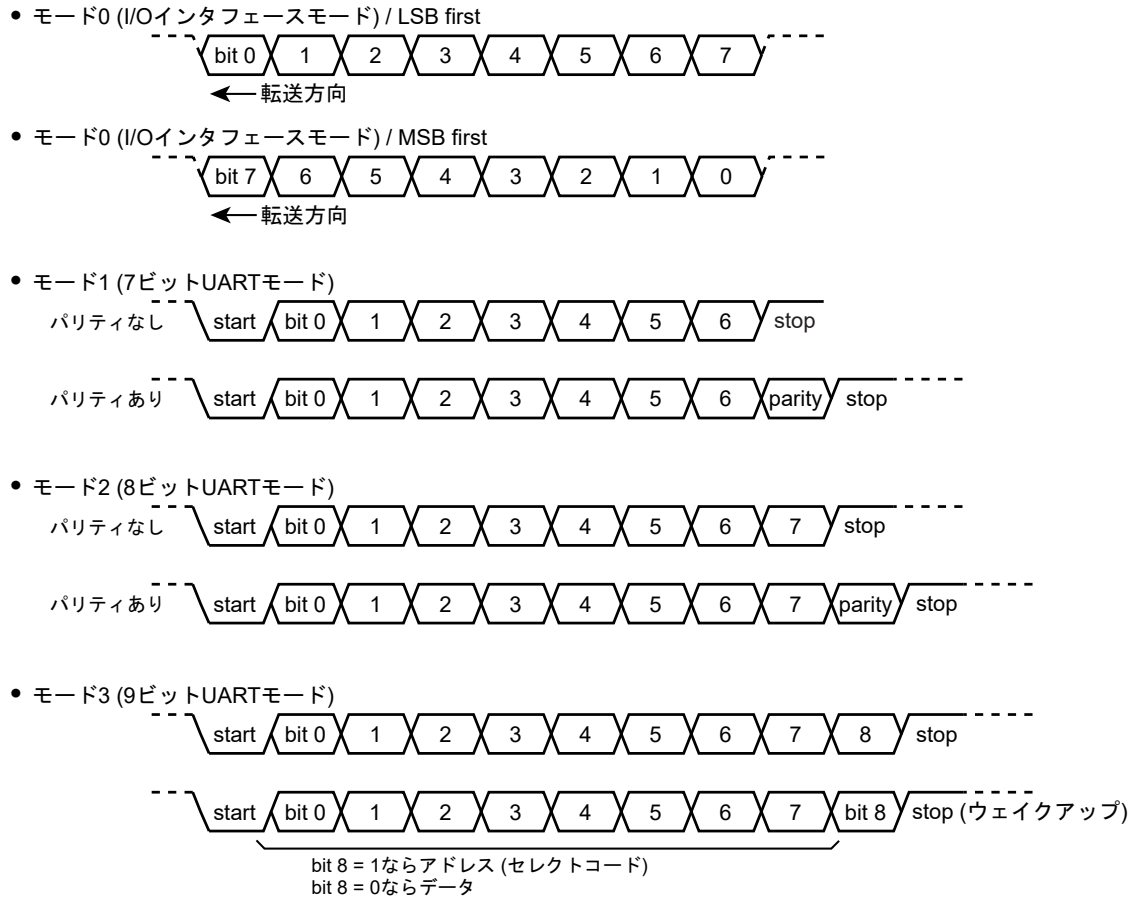


図 24-2 データフォーマット

24.5.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

24.5.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

24.5.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

24.5.3 STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

24.6　クロック制御

シリアルクロック(SIOCLK)生成回路をに示します。シリアルクロックの設定は、AC 電気的特性を満足することを確認の上行ってください

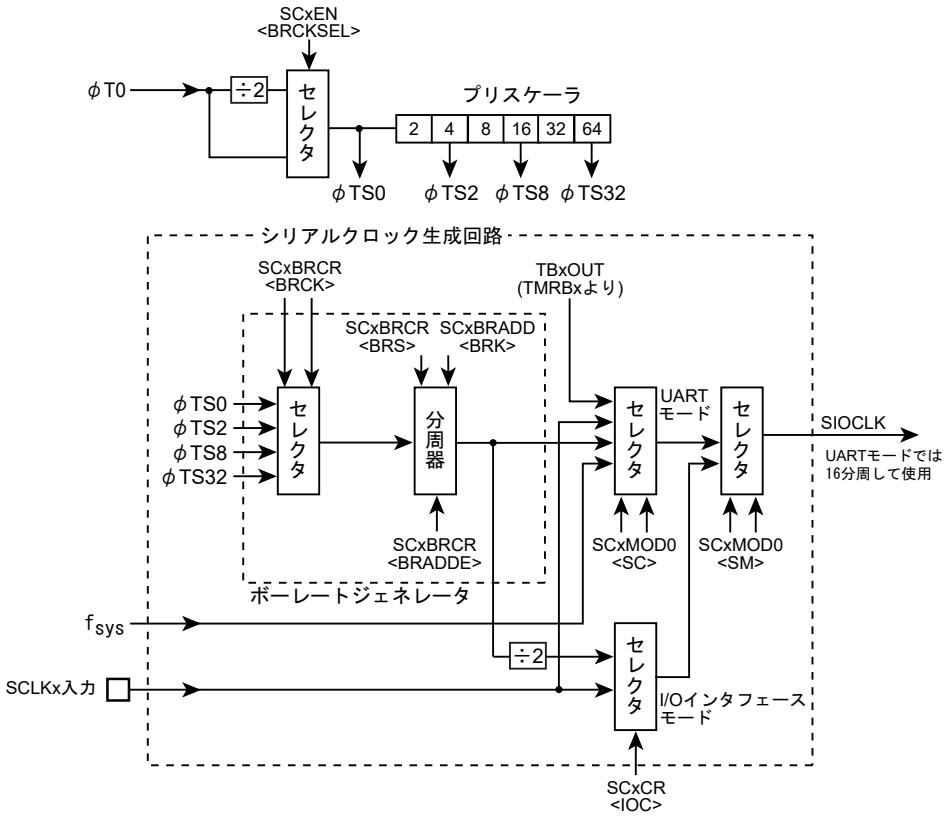


図 24-3 シリアルクロック生成回路

24.6.1　プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 1 / 2/ 4 / 8 / 16 / 32/ 64 / 128 分周のクロックを生成します。

プリスケーラの入力クロックは、クロック/モード制御部の CGSYSCR レジスタと SCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

24.6.2　シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

24.6.2.1　ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 φTx
0	00	φT0/2
0	01	φT0/8
0	10	φT0/32
0	11	φT0/128
1	00	φT0
1	01	φT0/4
1	10	φT0/16
1	11	φT0/64

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を φTx とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・ N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・ N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

24.6.2.2　クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1)　I/O インタフェースモードの転送クロック

表 24-3 に I/O インタフェースモードで可能なクロックを示します。

表 24-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
I/O インタフェース モード	クロック出力 モード	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2 分周
	クロック入力 モード	立ち上がり	SCLKx 端子入力 立ち上がりエッジ
		立下り	SCLKx 端子入力 立ち下がりエッジ

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2) UART モードの転送クロック

表 24-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 24-4 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLKx 端子入力

SCLKx 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマプリスケーラクロックφT1(2分周)を選択した場合)

(タイマフリップフロップ反転2回で1クロック周期となる)

24.6.3　送信/受信バッファと FIFO

24.6.3.1　構成

送信/受信バッファと FIFO の構成を図 24-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

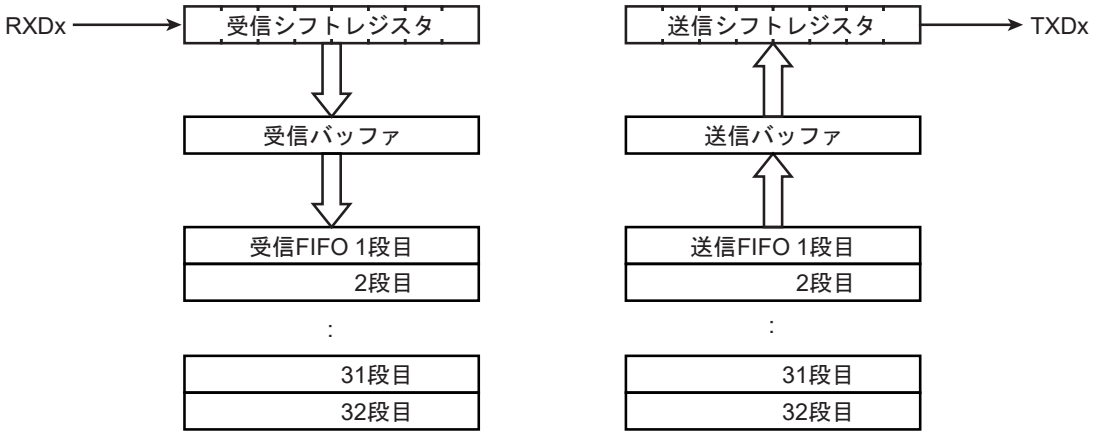


図 24-4 バッファと FIFO の構成

24.6.3.2　送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 24-5 にモードとバッファ構成の関係をまとめます。

表 24-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

24.6.3.3 送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注) I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

24.6.3.4 FIFO

ダブルバッファに加えて、32byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 24-6 にモードと FIFO 構成の関係をまとめます。

表 24-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	32byte	-
半二重送信	"10"	-	32byte
全二重	"11"	16byte	16byte

24.7　ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

24.8　エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART</td><td>オーバランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
(クロック入力モード)</td><td rowspan="2">オーバランエラー</td><td>アンダーランエラー
(ダブルバッファまたは FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファおよび FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
(クロック出力モード)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

24.8.1　OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注)　I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

24.8.2　PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダーランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

24.8.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

24.9　受信

24.9.1　受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

24.9.2　受信制御部

24.9.2.1　I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCLKx 端子へ出力されるクロックの立ち上がりで RXDx 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLKx 端子の立ち上がり/立ち下がりエッジでシリアル受信データ RXDx 端子をサンプリングします。

24.9.2.2　UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

24.9.3　受信動作

24.9.3.1　受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

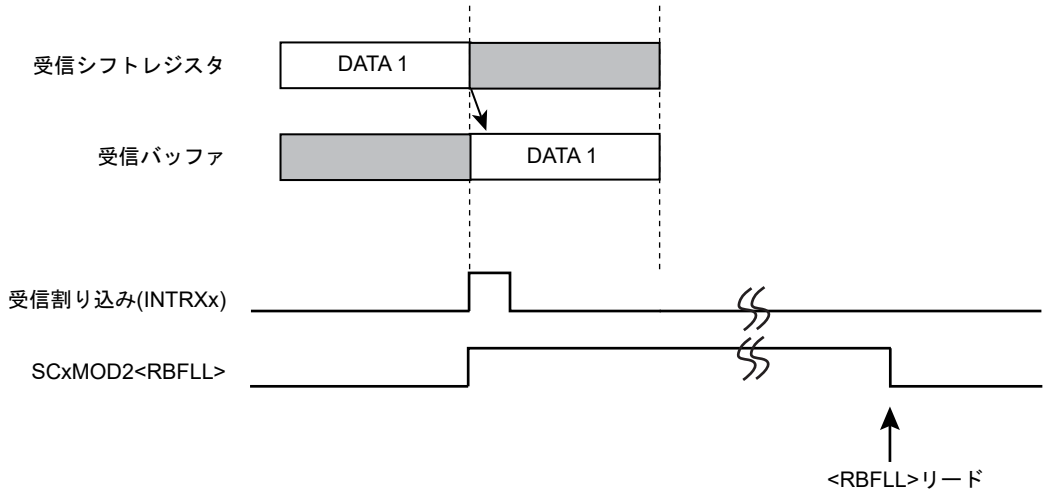


図 24-5 受信バッファの動作

24.9.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[4:0]>の設定に従って発生します。

注)　UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

```
SCxMOD1<FDPX[1:0]> = "01"          : 転送モードを半二重受信に設定
SCxFCNF<RFST><TFIE><RFIE>          : fill レベル到達後の継続受信自動禁止
<RXTCNT><CNFG> = "10111"             受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC<RIL[4:0]> = "00000"         : 受信割り込みが発生する FIFO の fill レベルを 32 バイトに設定
SCxRFC<RFCS><RFIS> = "11"          : 受信 FIFO のクリアと割り込み発生条件の設定
```

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

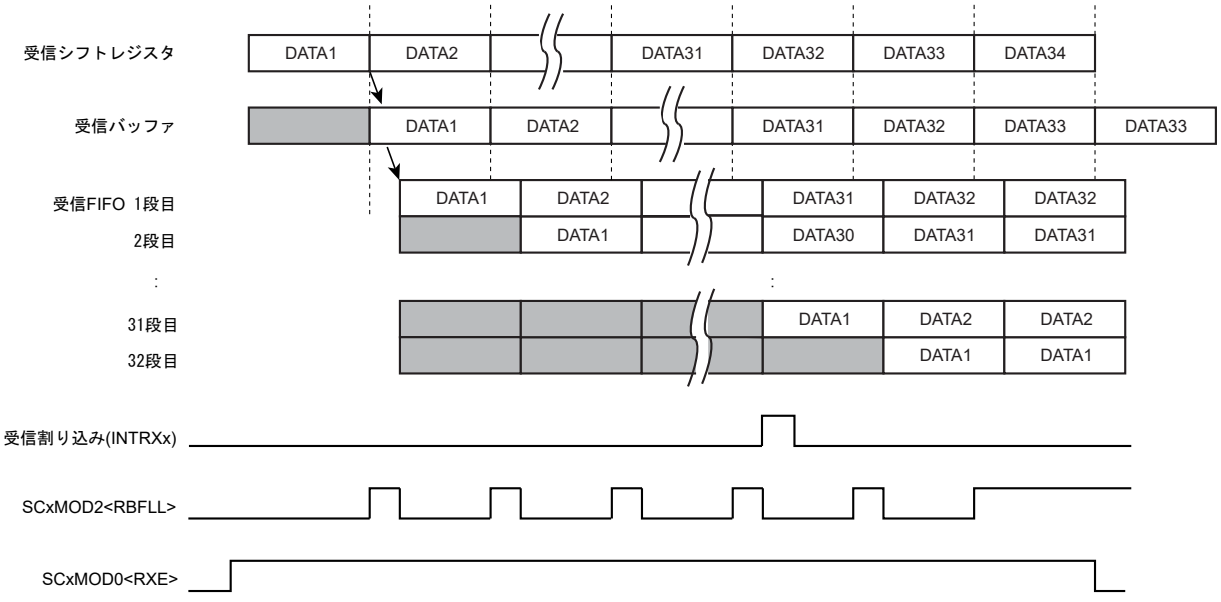


図 24-6 受信 FIFO の動作

24.9.3.3　I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されるとクロック出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0 <RXE>がクリアされ受信動作を停止します。

24.9.3.4　受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリディビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

24.9.3.5　ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

24.9.3.6　オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生してオーバーランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

24.10 送信

24.10.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

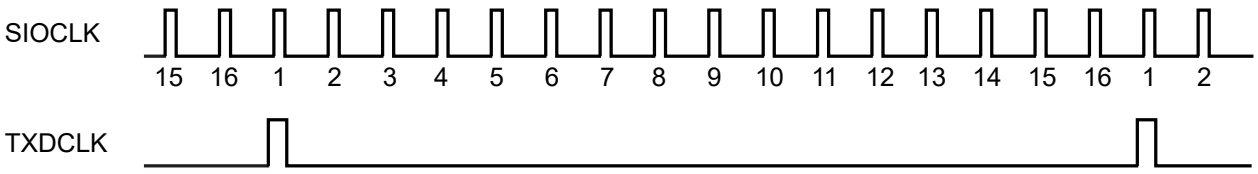


図 24-7 UART モード送信クロックの生成

24.10.2 送信制御部

24.10.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCLKx 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXDx 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCLKx 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXDx 端子へ出力します。

24.10.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

24.10.3 送信動作

24.10.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

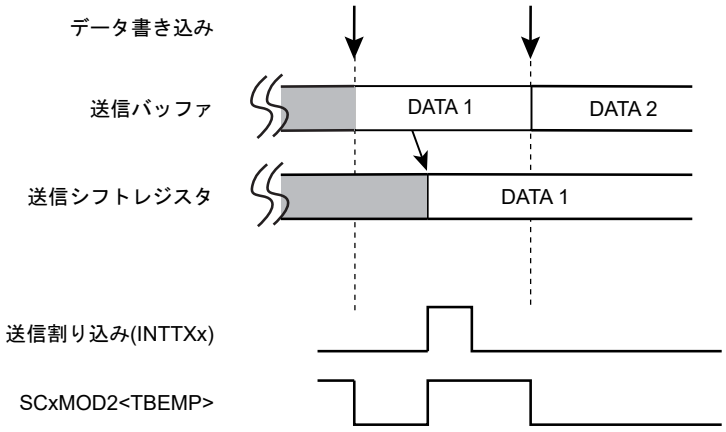


図 24-8 送信バッファの動作(ダブルバッファ有効時)

24.10.3.2　送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP>フラグは"0"にクリアされます。

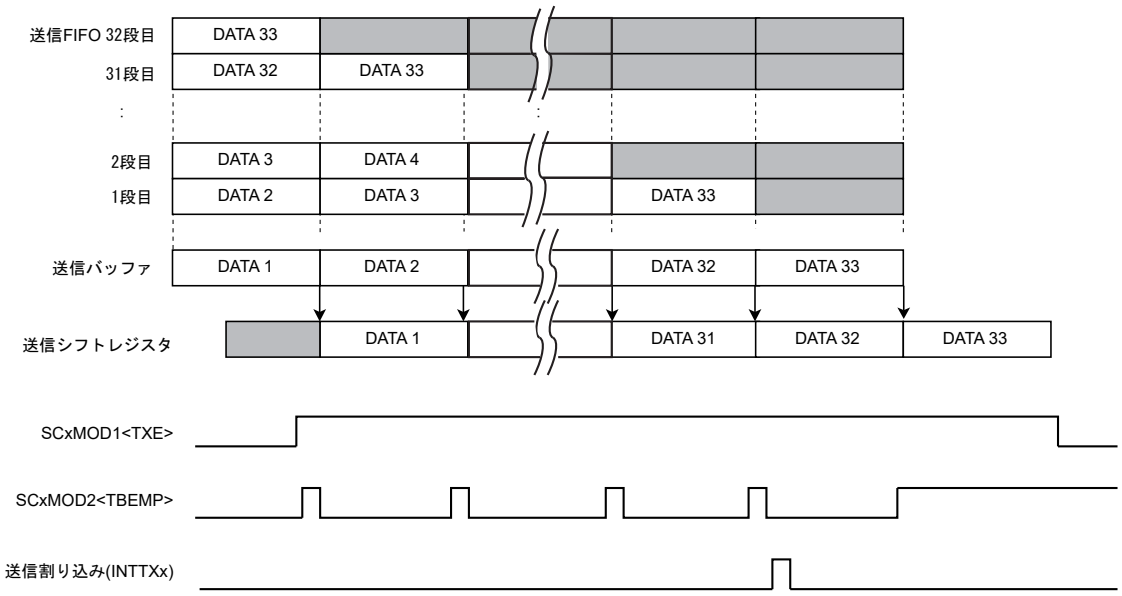
注)　送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半二重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[4:0]> = "00000"	: 割り込み発生の fill レベル を Empty に設定
SCxTFC<TFCS[1:0]> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。


送信FIFO 32段目
31段目
2段目
1段目
送信バッファ
送信シフトレジスタ
DATA 33
DATA 32
DATA 3
DATA 4
DATA 2
DATA 1
DATA 31
SCxMOD1<TXE>
SCxMOD2<TBEMP>
送信割り込み(INTTXx)

24.10.3.3　I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1)　シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2)　ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3)　FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

24.10.3.4　I/O インターフェースモード時の最終ビット出力後の TXDx 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の TXDx 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、TXDx 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、TXDx 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、TXDx 端子は最終ビットを保持します。

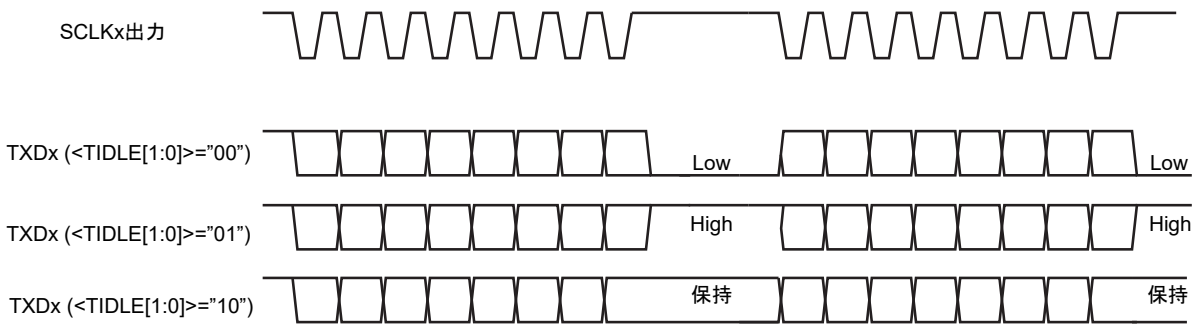


図 24-9 最終ビット出力後の TXDx 端子の状態

24.10.3.5 アンダーランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダーランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダーランエラーが発生したときの TXDx 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、TXDx 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、TXDx 端子はデータ出力期間の間、"High"出力を保持します。

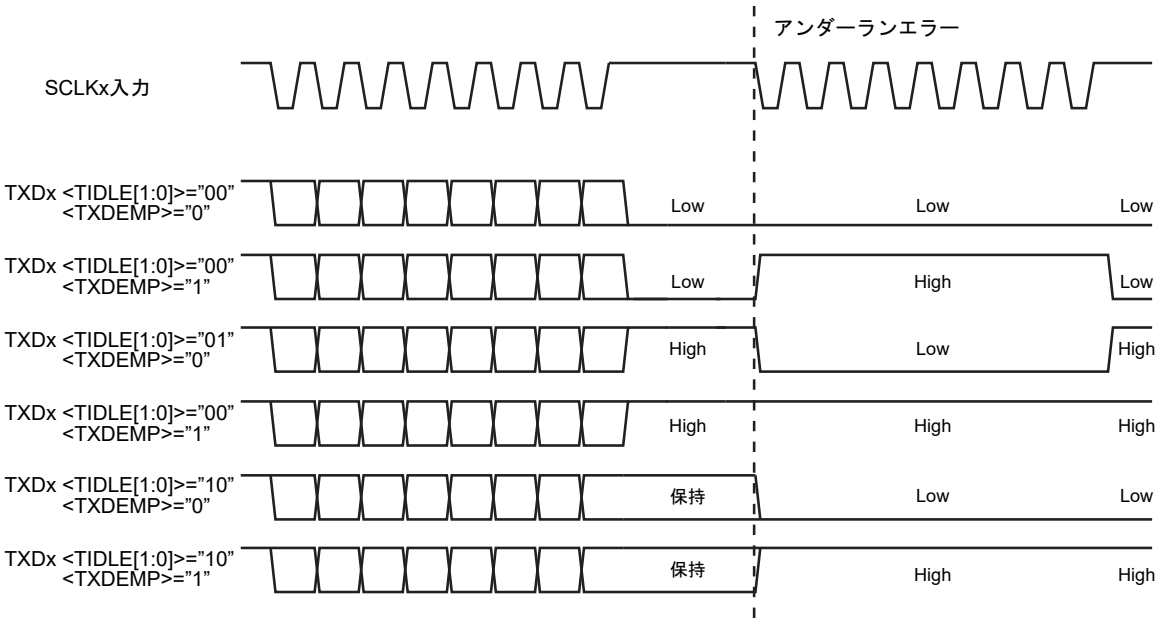


図 24-10 アンダーランが発生したときの TXDx 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

24.10.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間 ≤ SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

24.11　ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{CTSx}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTSx}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1)　送信中に $\overline{\text{CTSx}}$ 信号を立ち上げた場合、送信終了後に停止します。
注 2)　$\overline{\text{CTSx}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

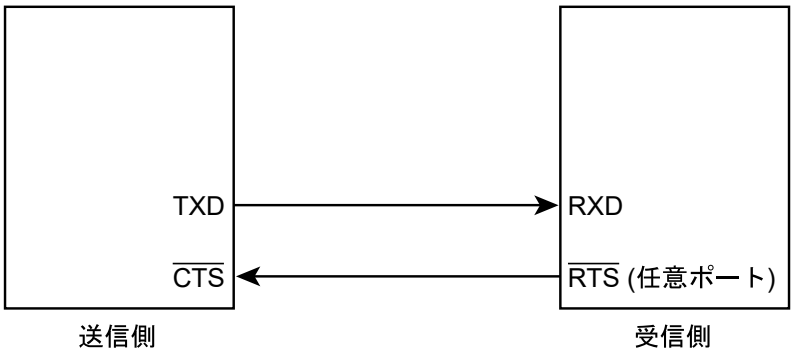


図 24-11 ハンドシェイク機能接続

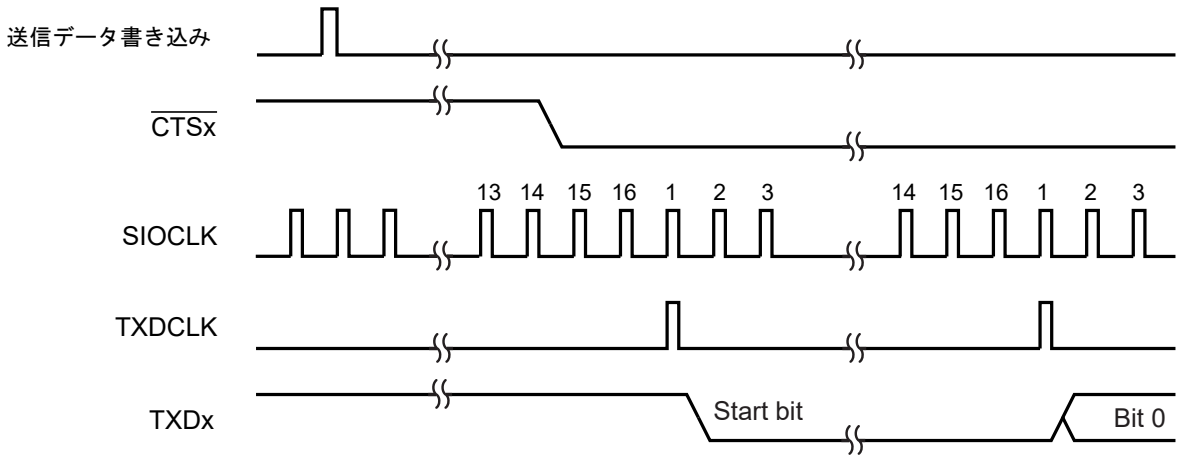


図 24-12 $\overline{\text{CTSx}}$ 信号のタイミング

24.12 割り込み/エラー発生タイミング

24.12.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 24-13 に示します。

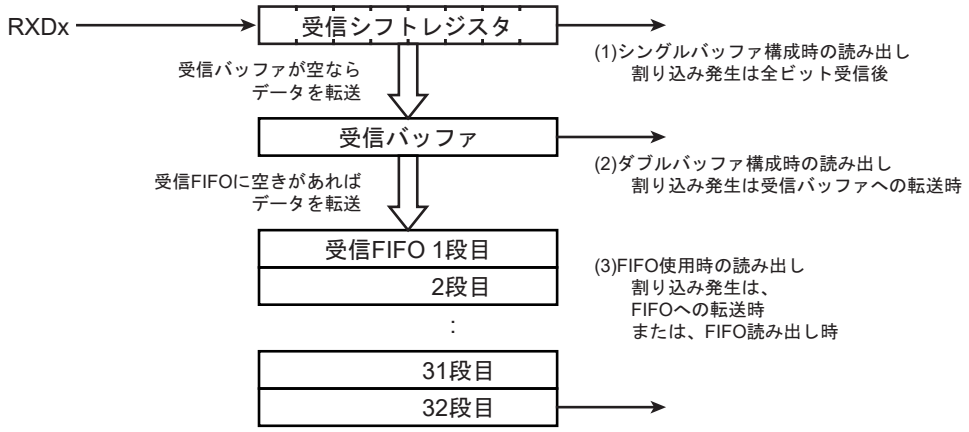


図 24-13 受信バッファ/FIFO 構成図

24.12.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 24-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	−	・最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第 1 ストップビットの中央付近	・最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注) オーバーランエラー成立時は割り込みは発生しません。

24.12.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、以下のどちらかの動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件(表 24-8)を満たしていると発生します。

- 受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
- 受信 FIFO から受信データをリードしたとき

表 24-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件
"0"	FIFO fill レベル(SCxRST<RLVL[5:0]>) = 割り込み発生 fill レベル(<RIL[4:0]>) のとき
"1"	FIFO fill レベル(SCxRST<RLVL[5:0]>) ≥ 割り込み発生 fill レベル(<RIL[4:0]>) のとき

24.12.2　送信割り込み

送信動作のデータの流れと書き込みの経路を図 24-14 に示します。

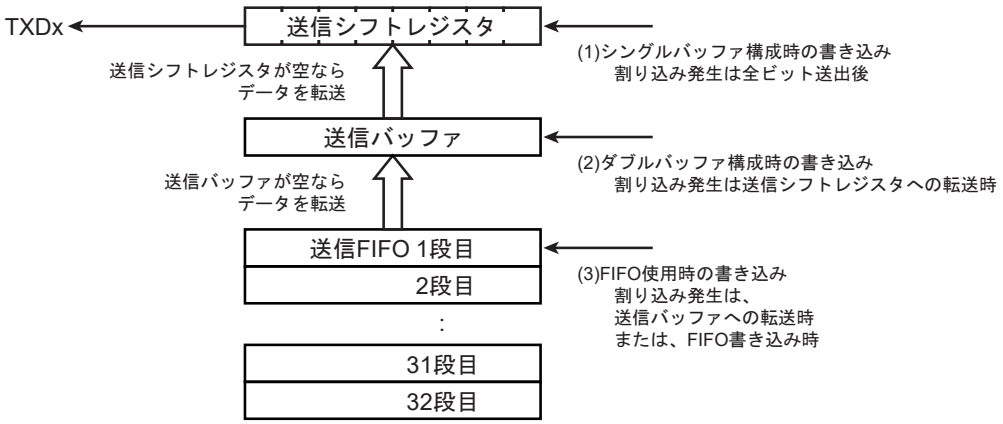


図 24-14 送信バッファ/FIFO 構成図

24.12.2.1　シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 24-9 シングルバッファ/ ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE> の値と関係なく、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。	

24.12.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、以下のどちらかの動作が発生したときに、SCxTFC<TFIS>の設定(表 24-10)で決まる条件を満たした場合に発生します。

- 送信 FIFO から送信バッファへ送信データの転送が行われたとき
- 送信 FIFO へ送信データをライトしたとき

表 24-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件
"0"	FIFO fill レベル(SCxTST<TLVL[5:0]>) = 割り込み発生 fill レベル(<TIL[4:0]>) のとき
"1"	FIFO fill レベル(SCxTST<TLVL[5:0]>) ≤ 割り込み発生 fill レベル(<TIL[4:0]>) のとき

24.12.3 エラー発生

24.12.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	パリティビットの中央付近

24.12.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCLKx 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回の SCLKx 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

24.13　DMA 要求

UART/SIO 割り込み(INTRXx,INTTXx)発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は SCxDMA レジスタの該当ビットの設定を行なってください。

本製品で DMA 要求に使用できるチャネルについては、「製品情報」の章を参照してください。

注)　SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウエアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

24.13.1　シングルバッファ/ダブルバッファ構成の場合

「24.12.1.1 シングルバッファ/ダブルバッファ構成の場合」、「24.12.2.1 シングルバッファ/ダブルバッファ構成の場合」のタイミングで割り込みが発生し、DMA 転送が開始されます。

24.13.2　FIFO を許可しているとき

「24.12.1.2 FIFO 使用の場合」、「24.12.2.2 FIFO 使用の場合」のタイミングで割り込みが発生し、DMA 転送が開始されます。

送信の場合、割り込みの発生する Fill レベル、送信開始前に FIFO に書き込むデータ数の最小値と DMA 転送データ数の最大値は、下記のようになります。

表 24-11 割り込みの発生する Fill レベル、FIFO に書き込むデータ数の最小値と DMA 転送データ数の最大値

SCxTFC <TIL[4:0]>	半二重		全二重	
	転送開始前に書き込むデータ数の最小値	DMA 転送データ数の最大値	転送開始前に書き込むデータ数の最小値	DMA 転送データ数の最大値
00000	3	32 バイト	3	16 バイト
00001	4	31 バイト	4	15 バイト
:	:	:	:	:
01111	18	17	18	1 バイト
10000	19	16	3	16 バイト
:	:	:	:	:
11111	34	1 バイト	18	1 バイト

注)　SCxMOD1<TXE>の値と関係なく、送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。この送信割り込みで DMA 転送が起動しないようにしてください。DMA 転送起動の詳細については、DMAC の章を参照ください。

受信の場合、割り込みの発生する Fill レベルと DMA 転送データ数の最大値は、下記のようになります。

表 24-12 割り込みの発生する Fill レベルと
DMA 転送データ数の最大値

SCxRFC <RIL[4:0]>	DMA 転送 データ数の最大値 (半二重)	DMA 転送 データ数の最大値 (全二重)
00000	32 バイト	16 バイト
00001	1 バイト	15 バイト
:	:	:
01111	15 バイト	1 バイト
10000	16 バイト	16 バイト
:	:	:
11111	31 バイト	1 バイト

24.14　ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。その他の状態は保持されます。

24.15 モード別動作説明

24.15.1 モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

24.15.1.1 送信

(1) クロック出力モード

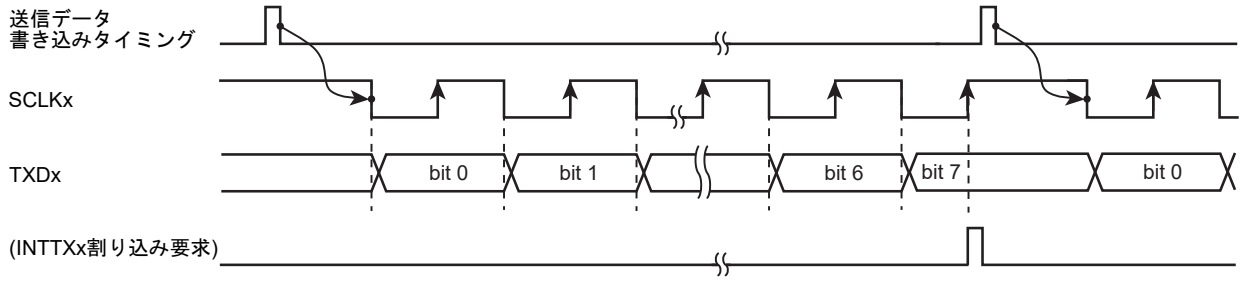
- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  送信バッファにデータを書き込むたびに、データが TXDx 端子から、クロックが SCLKx 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

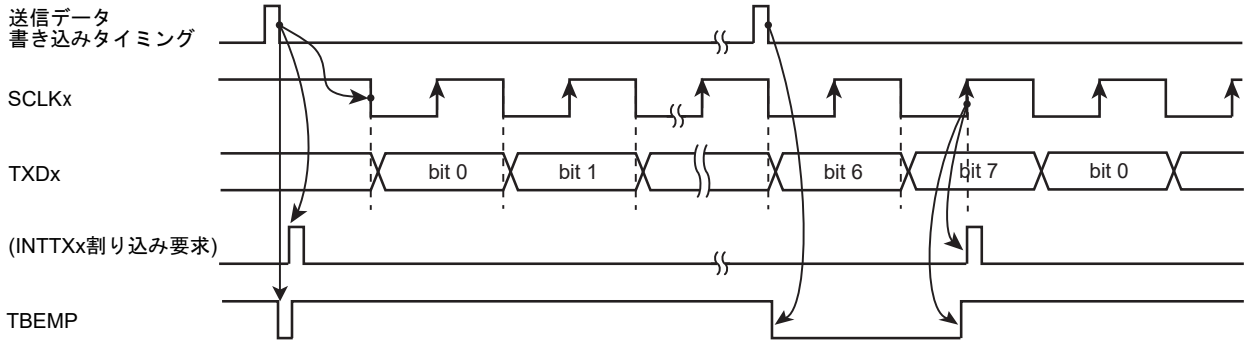
- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  送信停止の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

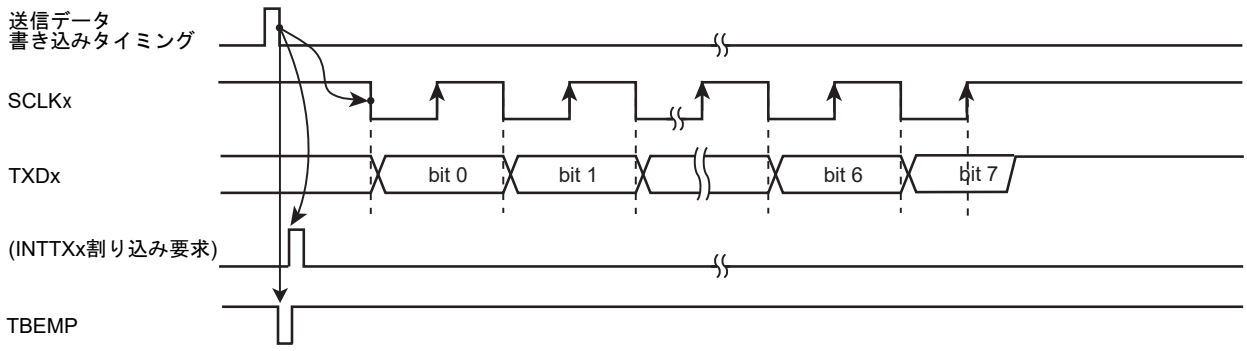
  シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合) (SCxCR<TIDLE>="01")

図 24-15 I/O インタフェースモード送信動作(クロック出力モード)

(2) クロック入力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 24-16 に示す A 点までに書き込んでください。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP>が"1"にセットされ、割り込み(INTTXx)が発生します。

送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが TXDx 端子に出力されます。

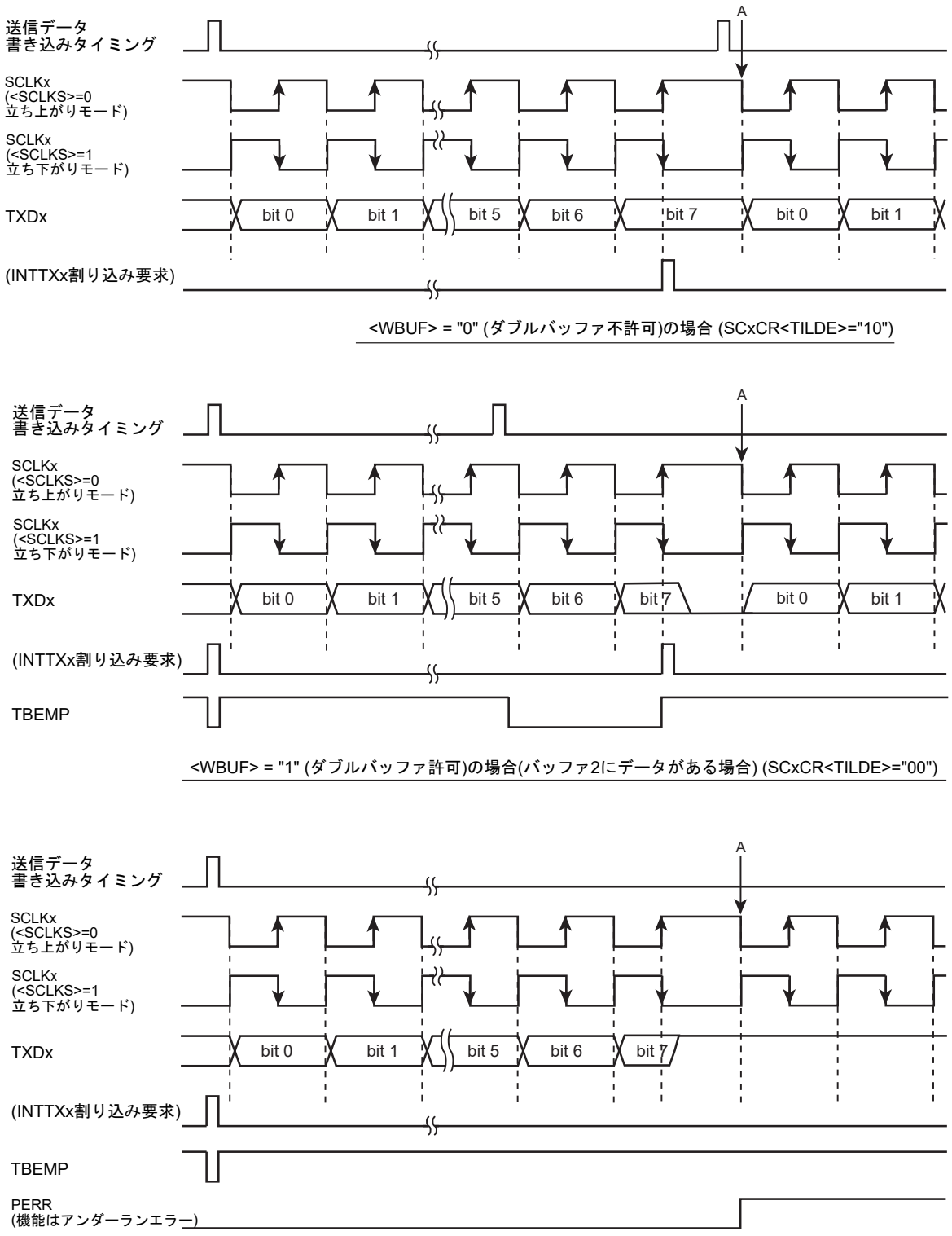


図 24-16 I/O インタフェースモード送信動作(クロック入力モード)

24.15.1.2 受信

(1) クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCLKx 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

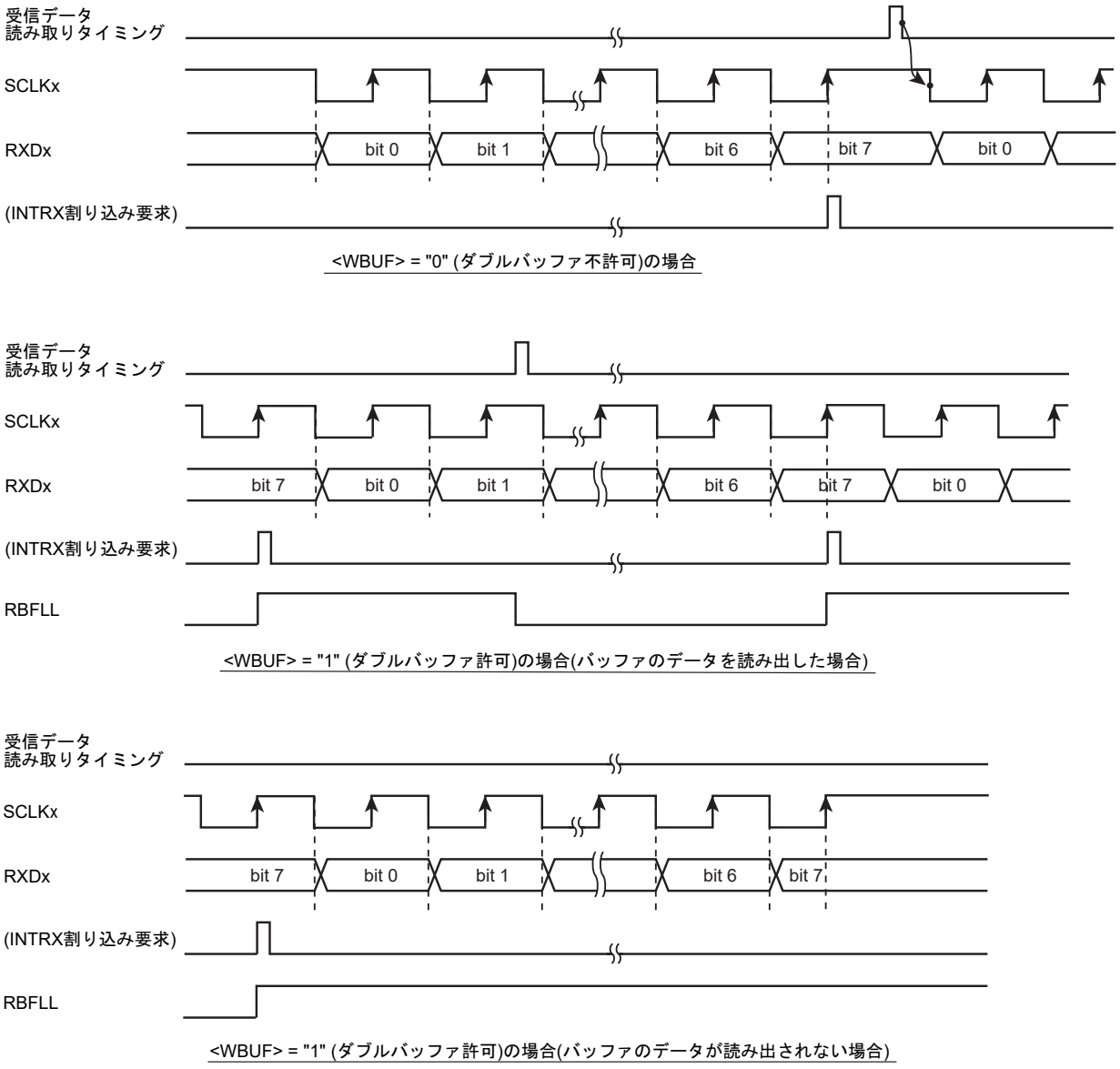
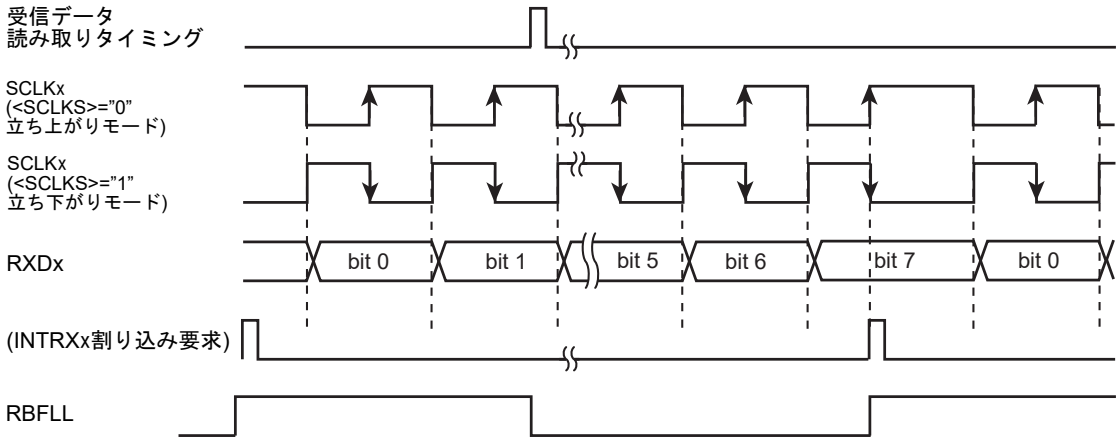


図 24-17 I/O インタフェースモード受信動作(クロック出力モード)

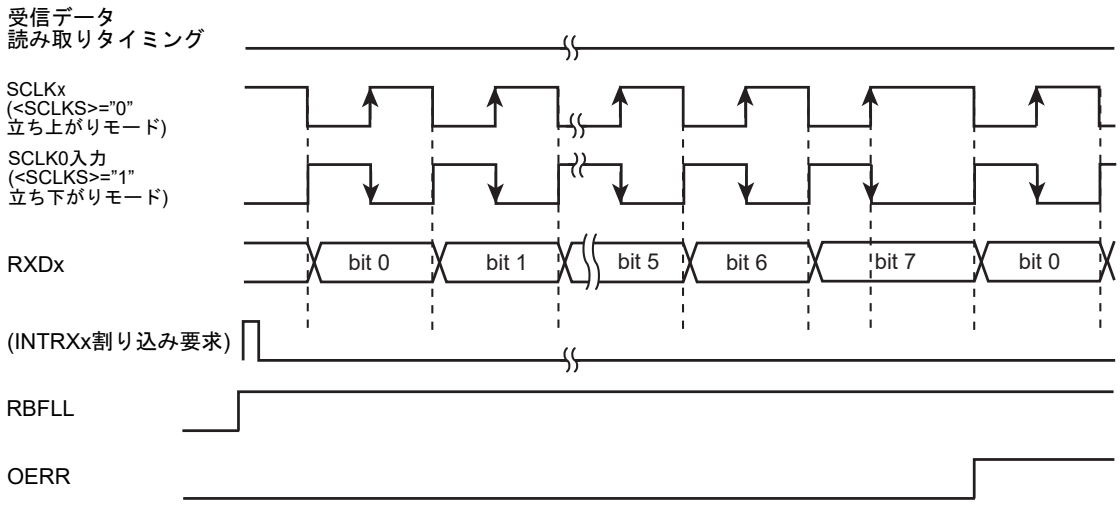
(2) クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 24-18 I/O インタフェースモード受信動作(クロック入力モード)

24.15.1.3　送受信(全二重)

(1)　クロック出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXDx 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態でクロック出力は停止します。

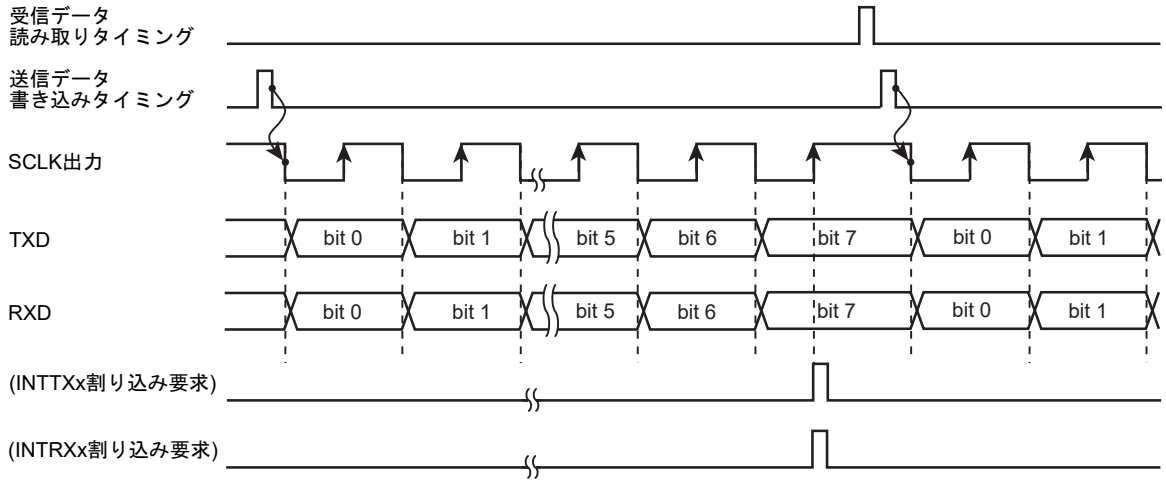
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

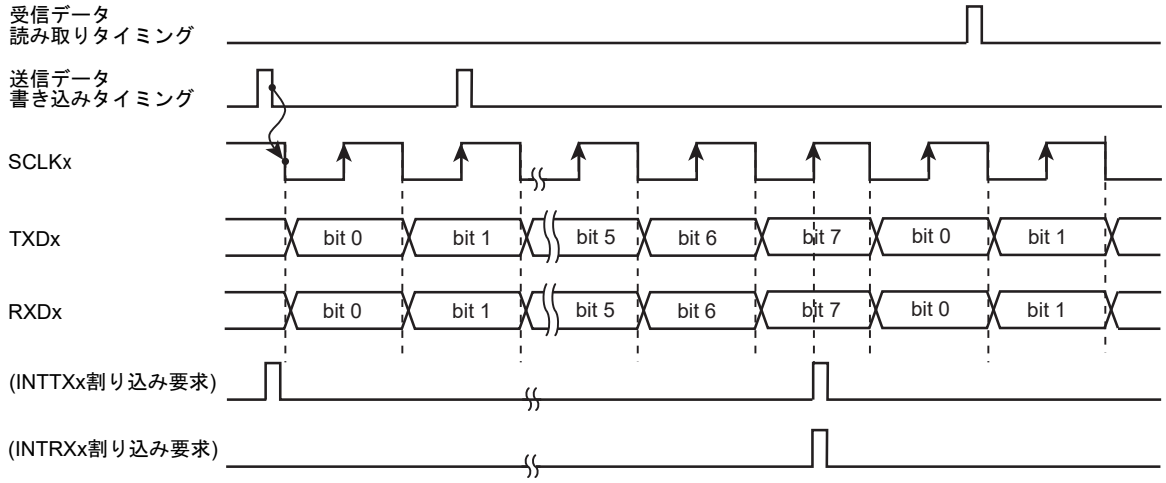
送信バッファにデータを書き込むとクロック出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXDx 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

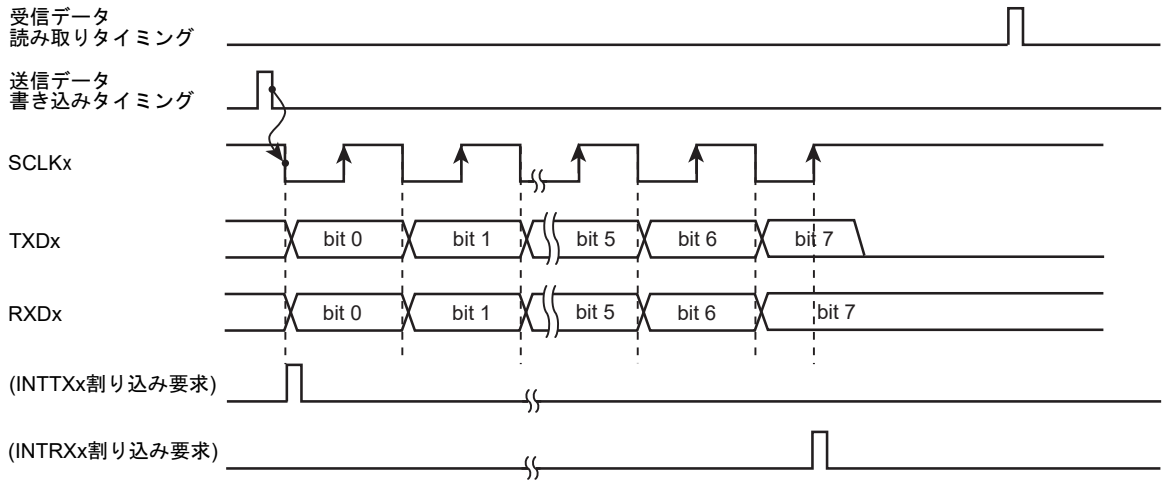
この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合 (SCxCR<TIDLE>="00"

図 24-19 I/O インタフェースモード送受信動作(クロック出力モード)

(2)　クロック入力モード

・　送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが TXDx 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 24-20 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 24-20 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。

また、次のフレームのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが TXDx 端子に出力されます。

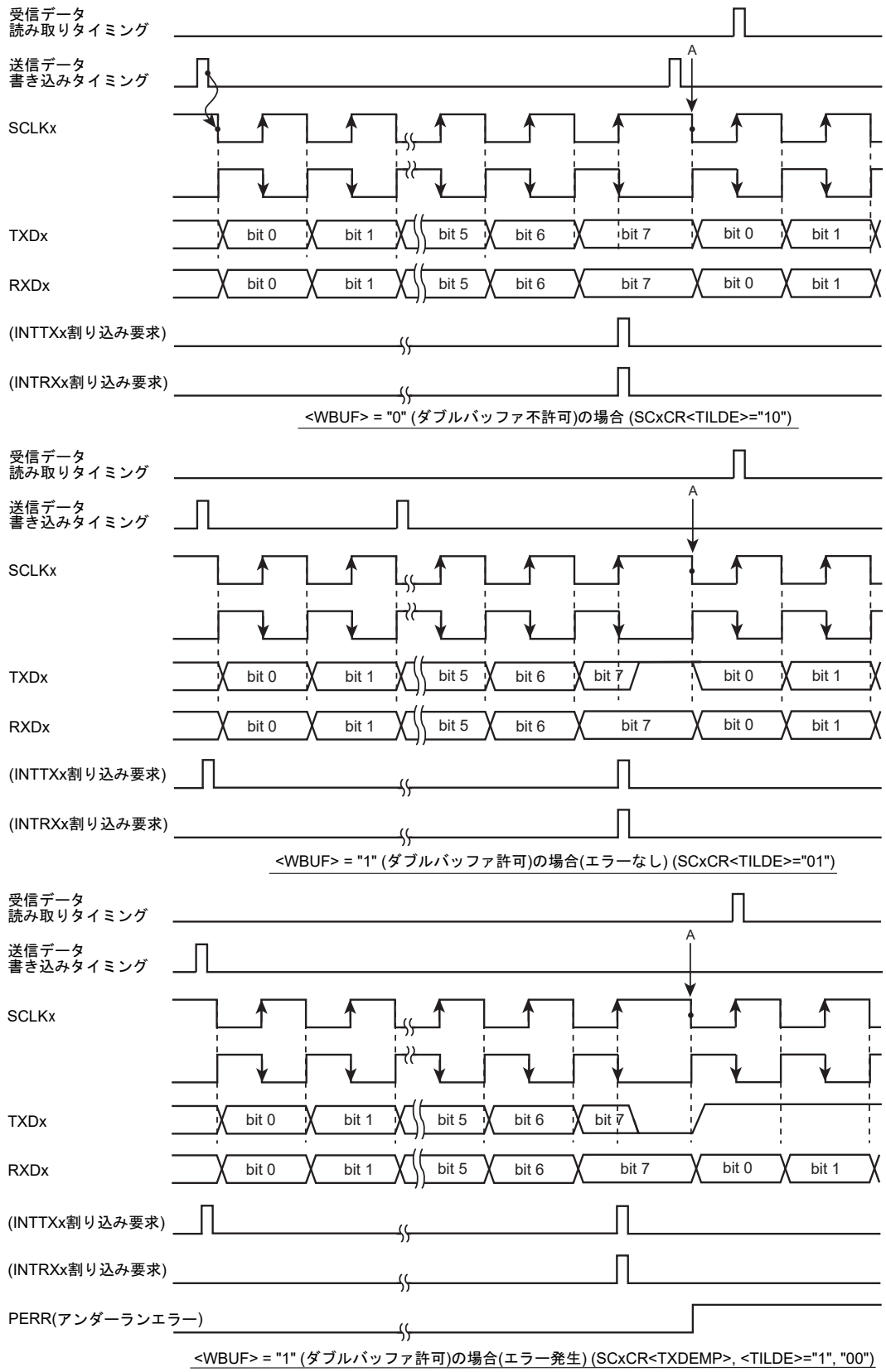


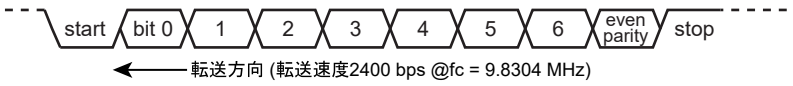
図 24-20 I/O インタフェースモード送受信動作(クロック入力モード)

24.15.2　モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

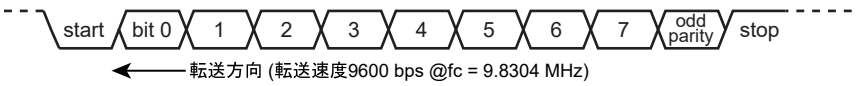
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

24.15.3　モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

24.15.4 モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

24.15.4.1 ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの TXDx 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

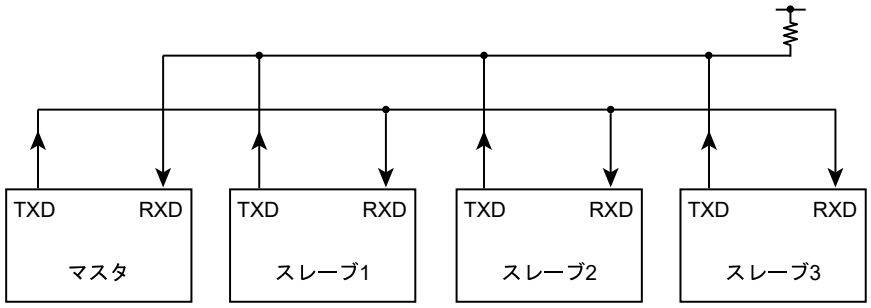
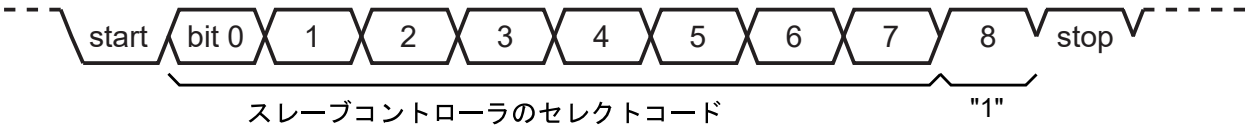


図 24-21 ウェイクアップ機能によるシリアルリンク

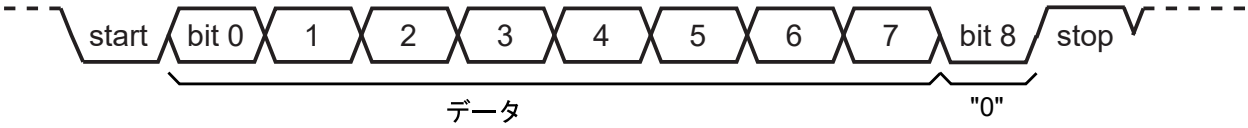
24.15.4.2 プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。

5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 25 章　拡張シリアル I/O (ESIO)

25.1　概要

主な概要を以下に示します。

表 25-1 拡張シリアル I/O の概要

項目	機能
通信方式	SPI モード、SIO モードの 2 種類から選択可能
マスタ/スレーブ選択	マスタのみ
送信/受信選択	半二重(送信)、半二重(受信)、全二重(送信/受信)から選択可能
転送モード	シングル転送(1 フレームの転送) バースト転送(複数フレームの連続転送) 2 フレームから 255 フレーム、1 フレームごと指定可能(水平パリティなし時) 2 フレームから 254 フレーム、1 フレームごと指定可能(水平パリティあり時)
データフォーマット	転送方向 : MSB ファーストまたは LSB ファーストの 2 種類から選択可能 フレーム長 : 8 ビットから 32 ビット、1 ビット毎指定可能 データ長 : 8 ビットから 32 ビット、1 ビット毎指定可能(垂直パリティなし時) 7 ビットから 31 ビット、1 ビット毎指定可能(垂直パリティあり時) パリティ : パリティ付加の有無が選択可能
チップセレクト信号	2 本(ESIOxCS0 または ESIOxCS1)
送受信信号	1 ラインから 4 ラインまで下記の通り選択可能 1 ライン : ESIOxTXD0 (送信)、ESIO x RXD0(受信) 2 ライン: ESIOxTXD0~1 (送信)、ESIO x RXD0~1(受信) 3 ライン : ESIOxTXD0~2 (送信)、ESIO x RXD0~2(受信) 4 ライン : ESIOxTXD0~3 (送信)、ESIO x RXD0~3(受信)
信号線の制御	ESIOxSCK の極性を選択可能 ESIOxCSn のアクティブレベルを端子毎に選択可能 ESIOxSCK と ESIOxCSn の位相タイミングを設定可能 アイドル期間(転送と転送の間の期間)での ESIOxTXDn 端子の端子レベルを設定可能
エラー検出	パリティによるエラー検出が可能 垂直パリティ : フレームごとにパリティビット付加またはパリティエラー検出が可能 水平パリティ : バースト転送モード時にフレーム間のパリティビット付加またはパリティエラー検出が可能
割り込み機能	送信 : 送信完了割り込みまたは送信 FIFO 割り込み 受信 : 受信完了割り込みまたは受信 FIFO 割り込み エラー検出 : 垂直パリティエラー割込みまたは水平パリティエラー検出
DMA 転送要求	送信 : 現在の送信 FIFO Fill レベルがあらかじめ設定した Fill レベルを下回っている間中、発生 受信: 現在の受信 FIFO Fill レベルがあらかじめ設定した Fill レベルを上回っている間中、発生

25.2　ブロック図

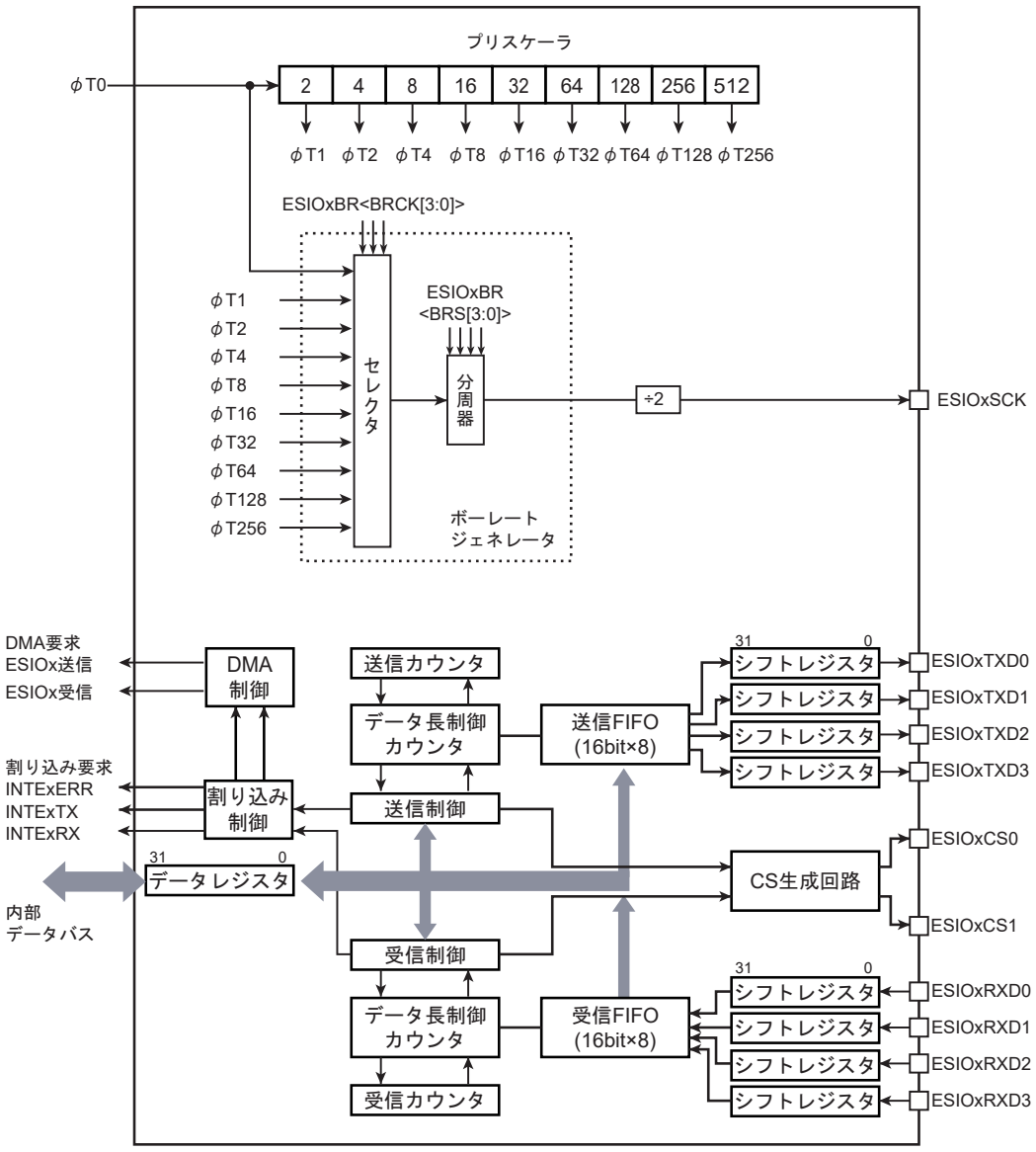


図 25-1 ESIOx のブロック図

25.3 レジスタ説明

25.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
ESIO 制御レジスタ 0	ESIOxCR0	0x0000
ESIO 制御レジスタ 1	ESIOxCR1	0x0004
ESIO 制御レジスタ 2	ESIOxCR2	0x0008
ESIO 制御レジスタ 3	ESIOxCR3	0x000C
ESIO ボーレートレジスタ	ESIOxBR	0x0010
ESIO フォーマット制御レジスタ 0	ESIOxFMTR0	0x0014
ESIO フォーマット制御レジスタ 1	ESIOxFMTR1	0x0018
Reserved	−	0x001C~0x00FF
ESIO データレジスタ	ESIOxDR	0x0100
Reserved	−	0x0104~0x01FF
ESIO ステータスレジスタ	ESIOxSR	0x0200
ESIO パリティエラーフラグレジスタ	ESIOxPERR	0x0204
ESIO 水平パリティエラーフラグレジスタ 0	ESIOxHPERR0	0x0208
ESIO 水平パリティエラーフラグレジスタ 1	ESIOxHPERR1	0x020C
ESIO 水平パリティエラーフラグレジスタ 2	ESIOxHPERR2	0x0210
ESIO 水平パリティエラーフラグレジスタ 3	ESIOxHPERR3	0x0214
ESIO 垂直パリティエラーフレーム番号レジスタ	ESIOxVPERR	0x0218
Reserved	−	0x021C~0x0FFF

注) "Reserved"表記のアドレスにはアクセスしないでください。

レジスタ表の「設定制約」欄に"SETUP"と書かれているシンボルは、ESIOxSR<ESIOSUE>が"0"のときに変更してください。詳細は「25.3.10 ESIOxSR (ESIO ステータスレジスタ)」および「25.4.9.1 ESIO レジスタの設定」を参照してください。

25.3.2　ESIOxCR0 (ESIO 制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SWRST		-	-	-	-	-	ESIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-8	−	R	−	リードすると"0"が読めます。
7-6	SWRST[1:0]	W	−	ESIO ソフトウエアリセット(注) <SWRST[1:0]>ビットに連続して"10" → "01" とライトするとソフトウエアリセットが発生します。 ソフトウエアリセットにより、<ESIOE>をのぞいたすべてのレジスタが初期化されます。
5-1	−	R	−	リードすると"0"が読めます。
0	ESIOE	R/W	SETUP	ESIO の動作制御 0: 停止 1: 動作 <ESIOE>は ESIO 全体の動作/停止(クロック遮断)制御を行います。<ESIOE>=0(停止状態)では、ESIO 内部にクロックが供給されません。<ESIOE>=1(動作状態)にしてから初期設定および通信を行なって下さい。

注)　ソフトウエアリセット動作が完了するには命令実行後 2 クロック必要です。したがって、ソフトウエアリセット直後にリード動作を行なう場合には一度ダミーリードを行ってください。

25.3.3 ESIOxCR1 (ESIO 制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	TRXE	ESIOMS	-	TMMD		-	CSSEL
リセット後	0	0	0	1	1	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	FC							
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	設定制約	機能
31-15	–	R	–	リードすると"0"が読めます。
14	TRXE	R/W	–	通信制御(注) 0 :通信停止 1 :通信許可 全二重モード(送信/受信)/送信モードの場合 : 送信 FIFO やシフトレジスタ に有効データが存在する場合に、送信を開始します。送信 FIFO やシフトレジスタに有効なデータ無い場合には、転送は開始されませんので、送信 FIFO にデータを書き込んだ後に送信開始するやり方と、通信許可状態で送信データを書き込む方法で送信を開始出来ます。 送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。 受信モードの場合 : 通信許可にすると直ちに受信を開始します。受信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。
13	ESIOMS	R/W	SETUP	ESIO モード選択 0 : SPI モード(ESIOxCSn を使用する通信) 1 : SIO モード(ESIOxCSn を使用しない通信)
12	–	R	–	リードすると"1"が読めます。
11-10	TMMD[1:0]	R/W	SETUP	転送モード選択 00 : 設定禁止 01 : 半二重モード(送信) 10 : 半二重モード(受信) 11 : 全二重モード(送信/受信)
9	–	R	–	リードすると"0"が読めます。
8	CSSEL	R/W	SETUP	ESIOxCS0/1 の選択 0 : ESIOxCS0 1 : ESIOxCS1
7-0	FC[7:0]	R/W	SETUP	転送フレーム数設定 転送するフレーム数を設定します。 水平パリティを有効にした場合は、転送するフレーム数に 1 を加え、水平パリティのフレーム分を含んだ値を設定してください。 0 : 設定禁止 1 : シングル転送 2 to 255 : バースト転送

注) <TRXE>はバースト転送の場合は設定したバースト転送数を転送完了後に自動的に"0"に戻ります。シングル転送の場合自動に"0"に戻りません。

25.3.4　ESIOxCR2 (ESIO 制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TXIFV		-	-	-	-	-	-
リセット後	1	1	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	TIL				RIL			
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	INTTXFE	INTTXWE	INTRXFE	INTRXWE	-	INTPERR	DMATE	DMARE
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	設定制約	機能
31-24	–	R	–	リードすると"0"が読めます。
23-22	TXIFV[1:0]	R/W	SETUP	アイドル期間の ESIOxTXDn 出力レベル 00 : Reserved 01 : 直前の転送の最終データを保持します。 10 : "Low"レベルを保持します。 11 : "High"レベルを保持します。
21-17	–	R	–	リードすると"0"が読めます。
16	–	R/W	–	"1"を書いて下さい。
15-12	TIL[3:0]	R/W	SETUP	送信 Fill レベル設定 送信割込み発生条件(注)
11-8	RIL[3:0]	R/W	SETUP	受信 Fill レベル設定 受信割込み発生条件(注)
7	INTTXFE	R/W	SETUP	送信 FIFO 割込制御 0 : 禁止 1 : 許可
6	INTTXWE	R/W	SETUP	送信完了割込み制御 0 : 禁止 1 : 許可
5	INTRXFE	R/W	SETUP	受信 FIFO 割込制御 0 : 禁止 1 : 許可
4	INTRXWE	R/W	SETUP	受信完了割込み制御 0 : 禁止 1 : 許可
3	–	R	–	リードすると"0"が読めます。
2	INTPERR	R/W	SETUP	パリティエラー割込み制御 0 : 禁止 1 : 許可
1	DMATE	R/W	SETUP	送信 DMA 制御 0 : 禁止 1 : 許可
0	DMARE	R/W	SETUP	受信 DMA 制御 0 : 禁止 1 : 許可

注)　Fill レベルは利用可能な Fill レベルの範囲内の値を設定して下さい。利用可能な Fill レベルについては「表 25-17 モード設定毎の転送開始」を参照して下さい。

25.3.5 ESIOxCR3 (ESIO 制御レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TFEMPCLR	RFFLLCLR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-2	–	R	–	リードすると"0"が読めます。
1	TFEMPCLR	W	SETUP	送信 FIFO/シフトレジスタポインタ値初期化 0 : - 1 : 初期化 "1"をライトすることで、送信 FIFO と送信シフトレジスタのポインタを初期化します。
0	RFFLLCLR	W	SETUP	受信 FIFO/シフトレジスタポインタ値初期化 0 : - 1 : 初期化 "1"をライトすることで、受信 FIFO と受信シフトレジスタのポインタを初期化します。

25.3.6　ESIOxBR (ESIO ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BRCK				BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-8	−	R	−	リードすると"0"が読めます。
7-4	BRCK[3:0]	R/W	SETUP	ボーレートジェネレータ入力クロック選択 0000 : φT0　0101 : φT16 0001 : φT1　0110 : φT32 0010 : φT2　0111 : φT64 0011 : φT4　1000 : φT128 0100 : φT8　1001 : φT256 1010~1111 : 設定禁止
3-0	BRS[3:0]	R/W	SETUP	ボーレートジェネレータの 分周値 "N" の設定 0000 :16 分周　0110 : 6 分周　1100 : 12 分周 0001 : 1 分周　0111 : 7 分周　1101 : 13 分周 0010 : 2 分周　1000 : 8 分周　1110 : 14 分周 0011 : 3 分周　1001 : 9 分周　1111 : 15 分周 0100 : 4 分周　1010 :10 分周 0101 : 5 分周　1011 :11 分周

25.3.7 ESIOxFMTR0 (ESIO フォーマット制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	DIR	-	FL					
リセット後	1	0	0	0	1	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	FINT				-	-	FW	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CKPOL	CSINT				CS1POL	CS0POL
リセット後	1	1	0	0	0	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	CSSCKDL				SCKCSDL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31	DIR	R/W	SETUP	転送方向 0 : LSB ファースト 1 : MSB ファースト
30	−	R	−	リードすると"0"が読めます。
29-24	FL[5:0]	R/W	SETUP	フレーム長 (垂直パリティビットありの場合は垂直パリティビットも含みます) 00_0000 to 00_0111 : Reserved 00_1000 : 8 ビット 00_1001 : 9 ビット . . 10_0000 : 32 ビット 10_1001 to 11_1111 : Reserved
23-20	FINT[3:0]	R/W	SETUP	バースト転送モード時のフレーム間インターバルタイム 0000 : インターバルタイムなし 0001 : シリアルクロックの 1 周期分 0010 : シリアルクロックの 2 周期分 . . 1111 : シリアルクロックの 15 周期分
19-18	−	R	−	リードすると"0"が読めます。
17-16	FW[1:0]	R/W	SETUP	ライン数設定 00 : 1 ライン 01 : 2 ライン 10 : 3 ライン 11 : 4 ライン
15	−	R	−	リードすると"1"が読めます。
14	CKPOL	R/W	SETUP	シリアルクロックの極性 0 : データ出力 : ESIOxSCK の立ち上がり、データ入力 : ESIOxSCK の立ち下がり 1 : データ出力 : ESIOxSCK の立ち下がり、データ入力 : ESIOxSCK の立ち上がり
13-10	CSINT[3:0]	R/W	SETUP	最低アイドル時間 0000 : 設定禁止 0001 : シリアルクロックの 1 周期分 0010 : シリアルクロックの 2 周期分 . . 1111 : シリアルクロックの 15 周期分

Bit	Bit Symbol	Type	設定制約	機能
9	CS1POL	R/W	SETUP	ESIOxCS1 のアクティブレベル 0: "Low"レベル 1: "High"レベル
8	CS0POL	R/W	SETUP	ESIOxCS0 のアクティブレベル 0: "Low"レベル 1: "High"レベル
7-4	CSSCKDL[3:0]	R/W	SETUP	ESIOxCSn のアサートからシリアルクロックの出力までのディレイタイム (ta) 0000 : シリアルクロックの 1 周期分 0001 : シリアルクロックの 2 周期分 . . 1111 : シリアルクロックの 16 周期分
3-0	SCKCSDL[3:0]	R/W	SETUP	転送終了から ESIOxCSn のネゲートまでのディレイタイム (tb) 0000 : シリアルクロックの 1 周期分 0001 : シリアルクロックの 2 周期分 . . 1111 : シリアルクロックの 16 周期分

25.3.8 ESIOxFMTR1 (ESIO フォーマット制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPE	HPM	VPE	VPM
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-4	−	R	−	リードすると"0"が読めます。
3	HPE	R/W	SETUP	水平パリティ機能許可 0 : 禁止 1 : 許可 水平パリティはバースト転送時のみ使用可能です。シングル転送時には水平パリティ機能を許可しないで下さい。
2	HPM	R/W	SETUP	水平パリティモード選択 0 : 偶数パリティ 1 : 奇数パリティ
1	VPE	R/W	SETUP	垂直パリティ機能許可 0 : 禁止 1 : 許可
0	VPM	R/W	SETUP	垂直パリティモード選択 0 : 偶数パリティ 1 : 奇数パリティ

25.3.9　ESIOxDR (ESIO データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ESIODR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ESIODR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ESIODR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ESIODR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-0	ESIODR[31:0]	R/W	−	[ライト] : 送信 FIFO へのデータ書き込み [リード] : 受信 FIFO からのデータ読み出し

注 1)　本レジスタへの書き込みは送信 FIFO が Full の状態では行わないでください。
注 2)　本レジスタの読み出しは受信 FIFO が Empty の状態では行わないでください。

25.3.10 ESIOxSR (ESIO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ESIOSUE	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TXRUN	TWEND	INTTXWF	TFEMP	TLVL			
リセット後	0	0	0	1	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RXRUN	RWEND	INTRXFF	RFFLL	RLVL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31	ESIOSUE	R	−	ESIO 設定可能状態フラグ 0 : 設定可能状態 1 : 設定禁止状態
30-24	−	R	−	リードすると"0"が読めます。
23	TXRUN	R	−	送信シフト動作中フラグ 0 : 停止 1 : 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TFEMP>ビットの組み合わせで、以下のような状態を示します。 <TXRUN> / <TFEMP> / 状態 0 / 0 / ESIOxCR0<ESIOE>="0"または次回送信待ち 0 / 1 / 送信 FIFO が空で、送信が完了 1 / - / 送信動作中 <TXRUN>は、送信 FIFO にデータが存在しなくとも、送信シフトレジスタにデータが存在する場合は、セットされます。
22	TWEND	R/W	−	送信完了フラグ [リード] 0 : - 1 : 送信完了 [ライト] 0 : - 1 : フラグクリア シングル転送時およびバースト転送の最終フレーム転送時の ESIOxCSn がネゲートされたタイミングでセットされます。
21	INTTXWF	R/W	−	送信 FIFO 割込フラグ [リード] 0 : - 1 : 割り込み発生 [ライト] 1 : フラグクリア 送信 FIFO 内データの残量が割り込み発生の Fill レベル設定値(TIL)+1 から TIL 値になったときにセットされます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>設定制約</th><th>機能</th></tr>
<tr><td>20</td><td>TFEMP</td><td>R</td><td>−</td><td>送信 FIFO エンプティフラグ
0 : FIFO にデータあり
1 : エンプティ
送信 FIFO に送信データが書き込まれると自動的に"0"にクリアされます。</td></tr>
<tr><td>19-16</td><td>TLVL[3:0]</td><td>R</td><td>−</td><td>送信 FIFO fill レベル状態
TLVL[3:0]の範囲を表 25-2 に示します。</td></tr>
<tr><td>15-8</td><td>−</td><td>R</td><td>−</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7</td><td>RXRUN</td><td>R</td><td>−</td><td>受信シフト動作中フラグ
0 : 停止
1 : 動作
受信シフト動作中を示すステータスフラグです。
<RXRUN>と<RFFLL>ビットの組み合わせで、以下のような状態を示します
<table>
<tr><th><RXRUN></th><th><RFFLL></th><th>状態</th></tr>
<tr><td rowspan="2">0</td><td>0</td><td>ESIOCR0<ESIOE>="0"または次回受信待ち</td></tr>
<tr><td>1</td><td>受信 FIFO が FULL で、受信が完了</td></tr>
<tr><td>1</td><td>-</td><td>受信動作中</td></tr>
</table></td></tr>
<tr><td>6</td><td>RWEND</td><td>R/W</td><td>−</td><td>受信完了フラグ
[リード]
0 : -
1 : 受信完了
シングル転送時およびバースト転送の最終フレーム転送時は ESIOxCSn がネゲートされたタイミングでセットされます。
[ライト]
0 : -
1 : フラグクリア</td></tr>
<tr><td>5</td><td>INTRXFF</td><td>R/W</td><td>−</td><td>受信 FIFO 割込フラグ
[リード]
0 : -
1 : 割り込み発生
[ライト]
0 : -
1 : フラグクリア
受信 FIFO 内データが割り込み発生の Fill レベル設定値(RIL)-1 から RIL 値になったときにセットされます。本ビットに 1 を書き込む事でクリア出来ます。</td></tr>
<tr><td>4</td><td>RFFLL</td><td>R</td><td>−</td><td>受信 FIFO Full フラグ
0 : FIFO に空あり
1 : Full
受信 FIFO からデータを読み出すと自動でクリアされます</td></tr>
<tr><td>3-0</td><td>RLVL[3:0]</td><td>R</td><td>−</td><td>受信 FIFO fill レベル状態
RLVL[3:0]の範囲を表 25-2 に示します。</td></tr>
</table>

<ESIOSUE> : ESIO 設定可能状態フラグ

<ESIOSUE>が 0 のとき制御レジスタ表の「設定制約」に SETUP と書かれているビットを設定することが可能です。

<ESIOSUE>が"0"になるのは、以下の場合です。

1. TMPM440FE/F10XBG がリセットされたとき。
2. ソフトウエアリセットされたとき。

3. ESIOxCR1<TRXE>を"0"にして転送中のフレームが転送終了したとき。

4. バースト転送モード時に ESIOxCR1<FC[7:0]>に設定した転送数が終了したとき

5. バースト転送途中 ESIOxCR1<TRXE>を"0"にして転送中のフレームが転送終了したとき。

<TLVL[3:0]>と<RLVL[3:0]>は現在の送信/受信 FIFO に格納されているデータ数(フィルレベル)を表示します。ライン数とフレーム長により FIFO の段数が変わります。

<TLVL[3:0]>と<RLVL[3:0]>の範囲を表 25-2 に示します。

表 25-2 ライン数、フレーム長よる Fill レベル現在値<TLVL[3:0]>/<RLVL[3:0]>の 範囲

ライン数	フレーム長	FIFO 構成		
		FIFO 段数	<RLVL[3:0]>範囲	<TLVL[3:0]>範囲
1	8~16bit	8 段	0~8	0~8
	17~32bit	4 段	0~4	0~4
2	8~16bit	4 段	0~4	0~4
	17~32bit	2 段	0~2	0~2
3	8~16bit	2 段	0~2	0~2
	17~32bit	1 段	0~1	0~1
4	8~16bit	1 段	0~1	0~1
	17~32bit	1 段	0~1	0~1

25.3.11　ESIOxPERR (ESIO パリティエラーフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	VPERR	HPERR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	L3VPERR		L2VPERR		L1VPERR		L0VPERR	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-10	−	R	−	リードすると"0"が読めます。
9	VPERR	R/W	SETUP	垂直パリティエラーフラグ [リード] 0 : エラーなし 1 : エラーあり [ライト] 0 : - 1 : フラグクリア 垂直パリティエラーがあったときにセットされるフラグです。 "1"を書き込む事でクリア出来ます。
8	HPERR	R/W	SETUP	水平パリティエラーフラグ [リード] 0 : エラーなし 1 : エラーあり [ライト] 0 : - 1 : フラグクリア 水平パリティエラーがあったときにセットされるフラグです。 "1"を書き込む事でクリア出来ます。
7-6	L3VPERR[1:0]	R/W	SETUP	受信ライン 3 垂直パリティエラーフラグ [リード] 00 : エラーなし 01 : エラー 1 回発生 1* : エラー 2 回以上発生 [ライト] 11 : フラグクリア 上記の値以外書き込まないでください。 受信ライン 3 の垂直パリティエラー数をカウントします。 "11"を書き込む事でクリア出来ます。
5-4	L2VPERR[1:0]	R/W	SETUP	受信ライン 2 垂直パリティエラーフラグ [リード] 00 : エラーなし 01 : エラー 1 回発生 1* : エラー 2 回以上発生 [ライト] 11 : フラグクリア 上記の値以外書き込まないでください。

Bit	Bit Symbol	Type	設定制約	機能
				受信ライン 2 の垂直パリティエラー数をカウントします。 "11"を書き込む事でクリア出来ます。
3-2	L1VPERR[1:0]	R/W	SETUP	受信ライン 1 垂直パリティエラーフラグ [リード] 00 : エラーなし 01 : エラー 1 回発生 1* : エラー 2 回以上発生 [ライト] 11 : フラグクリア 上記の値以外書き込まないでください。 受信ライン 1 の垂直パリティエラー数をカウントします "11"を書き込む事でクリア出来ます。
1-0	L0VPERR[1:0]	R/W	SETUP	受信ライン 0 垂直パリティエラーフラグ [リード] 00 : エラーなし 01 : エラー 1 回発生 1* : エラー 2 回以上発生 [ライト] 11 : フラグクリア 上記の値以外書き込まないでください。 受信ライン 0 の垂直パリティエラー数をカウントします。 "11"を書き込む事でクリア出来ます。

25.3.12　ESIOxHPERR0 (ESIO 水平パリティエラーフラグレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	L0HP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	L0HP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	L0HP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	L0HP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-0	L0HP[31:0]	R/W	SETUP	受信ライン 0 の水平パリティエラーフラグ [リード] 0 : エラーなし 1 : エラーあり [ライト] 0 : - 1 : フラグクリア 受信ライン 0 の水平パリティエラーの状態を表示します。対応するビットに"1"を書くことによりフラグをクリアします。

25.3.13 ESIOxHPERR1 (ESIO 水平パリティエラーフラグレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	L1HP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	L1HP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	L1HP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	L1HP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-0	L1HP[31:0]	R/W	SETUP	受信ライン 1 の水平パリティエラーフラグ [リード] 0 : エラーなし 1 : エラーあり [ライト] 0 : - 1 : フラグクリア 受信ライン 1 の水平パリティエラーの状態を表示します。対応するビットに"1"を書くことによりフラグをクリアします。

25.3.14　ESIOxHPERR2 (ESIO 水平パリティエラーフラグレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	L2HP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	L2HP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	L2HP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	L2HP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-0	L2HP[31:0]	R/W	SETUP	受信ライン 2 の水平パリティエラーフラグ [リード] 0 : エラーなし 1 : エラーあり [ライト] 0 : - 1 : フラグクリア 受信ライン 2 の水平パリティエラーの状態を表示します。対応するビットに"1"を書くことによりフラグをクリアします。

25.3.15 ESIOxHPERR3 (ESIO 水平パリティエラーフラグレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	L3HP							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	L3HP							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	L3HP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	L3HP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-0	L3HP[31:0]	R/W	SETUP	受信ライン 3 の水平パリティエラーフラグ [リード] 0 : エラーなし 1 : エラーあり [ライト] 0 : - 1 : フラグクリア 受信ライン 3 の水平パリティエラーの状態を表示します。対応するビットに"1"を書くことによりフラグをクリアします。

25.3.16　ESIOxVPERR (ESIO 垂直パリティエラーフレーム番号レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	L3VPFN							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	L2VPFN							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	L1VPFN							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	L0VPFN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	設定制約	機能
31-24	L3VPFN[7:0]	R/W	SETUP	受信ライン 3 垂直パリティエラー番号保持ビット [リード] 受信ライン 3 の垂直パリティエラーが発生したフレーム番号(注 1) [ライト] 0xFF : フラグクリア 受信ライン 3 で最初の垂直パリティエラーが発生したフレーム番号を保持します
23-16	L2VPFN[7:0]	R/W	SETUP	受信ライン 2 垂直パリティエラー番号保持ビット [リード] 受信ライン 2 の垂直パリティエラーが発生したフレーム番号(注 1) [ライト] 0xFF : フラグクリア 受信ライン 2 で最初の垂直パリティエラーが発生したフレーム番号を保持します
15-8	L1VPFN[7:0]	R/W	SETUP	受信ライン 1 垂直パリティエラー番号保持ビット [リード] 受信ライン 1 の垂直パリティエラーが発生したフレーム番号(注 1) [ライト] 0xFF : フラグクリア 受信ライン 1 で最初の垂直パリティエラーが発生したフレーム番号を保持します
7-0	L0VPFN[7:0]	R/W	SETUP	受信ライン 0 垂直パリティエラー番号保持ビット [リード] 受信ライン 0 の垂直パリティエラーが発生したフレーム番号(注 1) [ライト] 0xFF : フラグクリア 受信ライン 0 で最初の垂直パリティエラーが発生したフレーム番号を保持します

25.4 動作

25.4.1 転送方法

ESIO は SPI と SIO の 2 つの転送方式を持っています。

1. SPI 方式

   ESIOxCR0<ESIOM>を"0"にすると SPI が許可されます。

   SPI 方式では ESIOxCS0 と ESIOxCS1 の 2 本のチップセレクト信号を持ちます。

   したがって、2 つのスレーブデバイスを接続することができます。

   ただし、同時には 1 つのスレーブデバイスとしか通信できません。

2. SIO 方式

   ESIOxCR0<ESIOM> を"1"にすると SIO が許可されます。

   SIO 方式ではチップセレクト信号を持ちません。

   したがって、1 つのスレーブデバイスしか接続できません。

25.4.2 転送モード

ESIO はシングル転送モードとバースト転送モードの 2 つの転送モードを持ちます。

1. シングル転送モード

   ESIOxCR1<FC[7:0]>を"1"にセットすると有効になります。シングル転送モードでは 1 フレームのデータが転送されます。

   シングル転送モードのとき、1 フレームの転送が終了しても、ESIOxCR1<TRXE>は自動的にクリアされません。

2. バースト転送モード

   バースト転送モードでは、ESIOxCR1<FC[7:0]>に設定したフレーム数のデータが転送されます。

   バースト転送モードのとき、すべてのフレームの転送が終了すると、ESIOxCR1<TRXE>は自動的にクリアされます。

   SPI モードでは、転送中、ESIOxCSn はアクティブレベルを保ちます。

25.4.3 パリティ

ESIO は 2 種類のパリティを持ちます。

1 つは垂直パリティで 1 フレームごとに付加されます。

もう 1 つは水平パリティで、複数のフレームごとに付加されます。

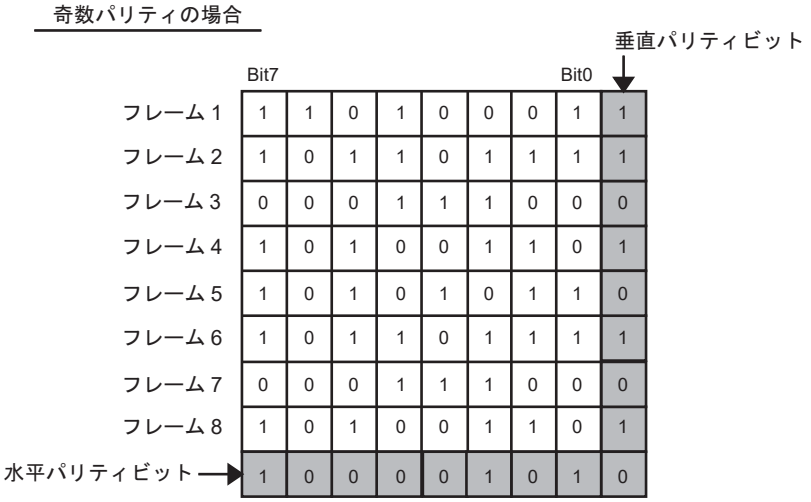


図 25-2 垂直パリティと水平パリティ

25.4.3.1　垂直パリティ

垂直パリティ機能はシングル転送、バースト転送とも使用可能です。

ESIOXFMTR1<VPE>を"1"に設定すると垂直パリティが有効になります。ESIOxFMTR1<VPM>でパリティの奇数または偶数を選択できます。

送信モードまたは全二重モード(送信/受信)では、ESIOxFMTR1<VPM>で指定されたパリティビットがデータに付加されて転送されます。

受信モードまたは全二重モード(送信/受信)では、ESIOxFMTR1<VPM>で指定されたパリティビットと受信データの最終ビットが比較されます。

どちらの場合も、送信あるいは受信するフレーム長よりも 1 ビット分多い値を ESIOxFMT0 <FL[5:0]>に設定する必要があります。

もし、パリティエラーが発生すると、ESIOx<VPERR>が"1"にセットされ、ESIOxPERR <LnVPERR[1:0]>にパリティエラーの回数が、ESIOxVPERR<LnVPFN[7:0]>に最初に発生したフレームの番号が格納され、割り込みが発生します。

パリティビットをのぞいたデータが FIFO に格納されます。パリティエラーが発生したデータも FIFO に格納されます。

水平パリティが有効なとき、水平パリティを転送するフレームの垂直パリティは、水平パリティの垂直パリティとなります。

25.4.3.2　水平パリティ

水平パリティはバースト転送時のみ使用することが出来ます。シングル転送時には使用できません。

ESIOxFMTR1<HPE>を"1"に設定すると水平パリティが有効になります。ESIOxFMTR1 <HPM>でパリティの奇数または偶数を選択できます。

水平パリティを有効にした場合、水平パリティを除いた転送フレーム数分のパリティが自動的に計算されます。

送信モードでは、最終フレームのデータが送信された後に、ESIOxFMT1<HPM>に合わせて計算された水平パリティが、自動的に送信されます。FIFO には水平パリティデータを書き込んでおく必要はありません。

受信モードでは、最終フレームのデータが受信された後に、水平パリティデータが受信され、FIFO に格納され、ESIOxFMT1<HPM>に合わせて計算された水平パリティと比較されます。FIFO に格納されたデータを読み出す場合、水平パリティデータも読み出してください。

全二重モード(送信/受信)では、送信モードと受信モードを組み合わせた動作となります。受信した水平パリティの読み出しのため、FIFO への送信データ書き込み数に対して、FIFO からの受信データ数が"1"大きくなります。

どの場合も、送信あるいは受信するデータのフレーム数に水平パリティ分のフレーム数(1 フレーム)を加えた値を ESIOxCR1　<FC[5:0]>に設定してください。

25.4.3.3　送信モード時の動作例

図 25-3 はデータ長が 8 ビット、フレーム数が 8 フレームのデータを垂直/水平パリティ有り、奇数パリティで送信する例です。

垂直パリティのためにフレーム長を 9 ビット、水平パリティのために転送フレーム数を 9 フレームとして設定します。

- データ構成

  データ長:8 ビット

  フレーム数:8 フレーム

- ライン数とパリティ設定

  ライン数:1 (ライン 0 を使用)

  垂直パリティあり、奇数

  水平パリティあり、奇数

- レジスタ設定

  ESIOxCR1<FC[7:0]>="001001" : 転送フレーム数 9 フレーム

  ESIOxFMTR0<FW[1:0]>="00" : 1 ライン

  ESIOxFMTR0<FL[5:0:]>="001001" : フレーム長 9 ビット

  ESIOxFMTR1<VPE><VPM>="11" : 垂直パリティあり、奇数

  ESIOxFMTR1<HPE><HPM>="11" : 水平パリティあり、奇数

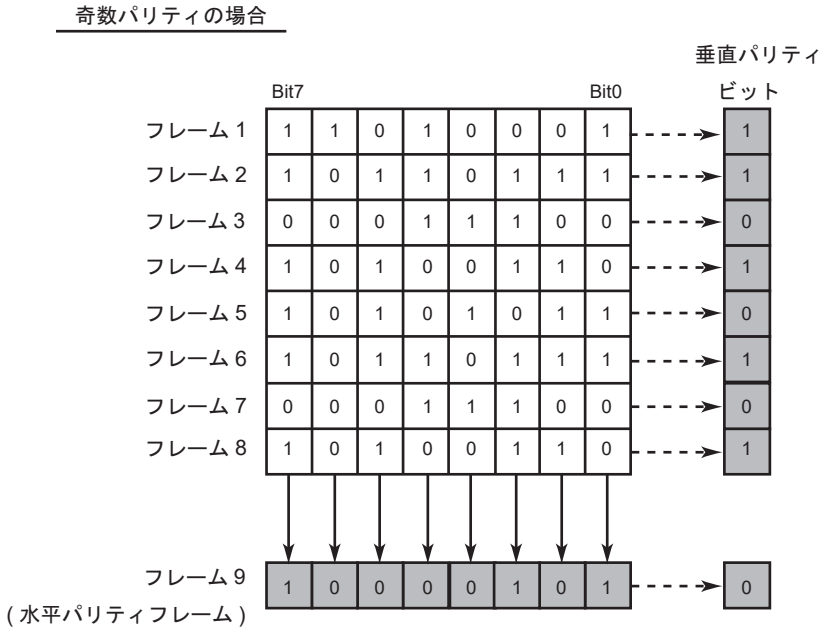


図 25-3 送信時の垂直/水平パリティ例

25.4.3.4 受信時の動作例

図 25-4 はデータ長が 8 ビット、フレーム数が 5 フレームのデータを垂直/水平パリティ有り、奇数パリティで受信する例です。

垂直パリティのためにフレーム長を 9 ビット、水平パリティのために転送フレーム数を 6 フレームとして設定します。

- データ構成

  データ長:8 ビット

  フレーム数:5 フレーム

- ライン数とパリティ設定

  ライン数:1 (ライン 0 を使用)

  垂直パリティあり、奇数

  水平パリティあり、奇数

- レジスタ設定

  ESIOxCR1<FC[7:0]>="000110" : 転送フレーム数 6 フレーム

  ESIOxFMTR0<FW[1:0]>="00" : 1 ライン

  ESIOxFMTR0<FL[5:0:]>="001001" : フレーム長 9 ビット

  ESIOxFMTR1<VPE><VPM>="11" : 垂直パリティあり、奇数

  ESIOxFMTR1<HPE><HPM>="11" : 水平パリティあり、奇数

受信の例
データ長 :8bit　　バースト転送数 :6 フレーム
データ数 :5　　垂直パリティあり : 奇数
ライン数 :1　　水平パリティあり : 奇数
フレーム長 :9bit

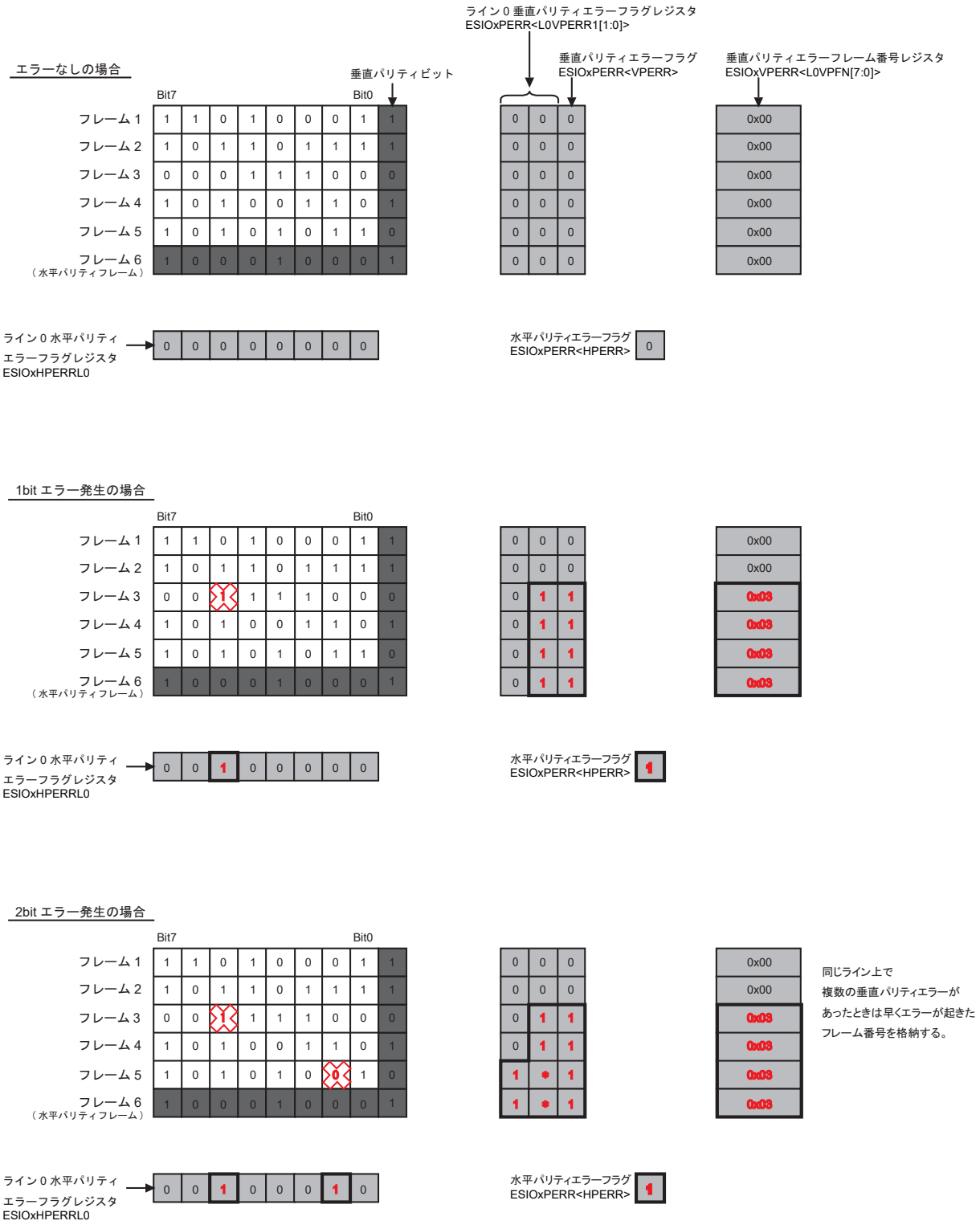


図 25-4 受信時の垂直/水平パリティ例

25.4.4 データフォーマット

ESIOxFMTR0 と ESIOxFMTR1 で転送方向(MSB ファーストまたは LSB ファースト)、垂直パリティの付加、フレーム長を制御することができます。

25.4.4.1 転送方向

ESIOxFMTR0<DIR>で転送方向が制御できます。<DIR>が"0"の場合、データは LSB ファーストで転送されます。"1"の場合、MSB ファーストで転送されます。

どちらの場合でも、転送データは送信 FIFO に LSB づめで書き込んでください。

また、受信データは受信 FIFO に LSB づめで格納されます。

25.4.4.2 フレーム長

ESIOxFMTR0<FL[5:0]>によってフレーム長を制御できます。

垂直パリティが付加されない場合、フレーム長はデータ長と同じになります。例えば、垂直パリティなしの 10 ビットデータの場合、ESIOxFMTR0<FL[5:0]>に 0x0a を設定します。

垂直パリティが付加される場合、フレーム長はデータ長に 1 を加えた値と同じになります。例えば、垂直パリティ付の 10 ビットデータの場合、ESIOxFMTR0<FL[5:0]>に 0x0b を設定します。

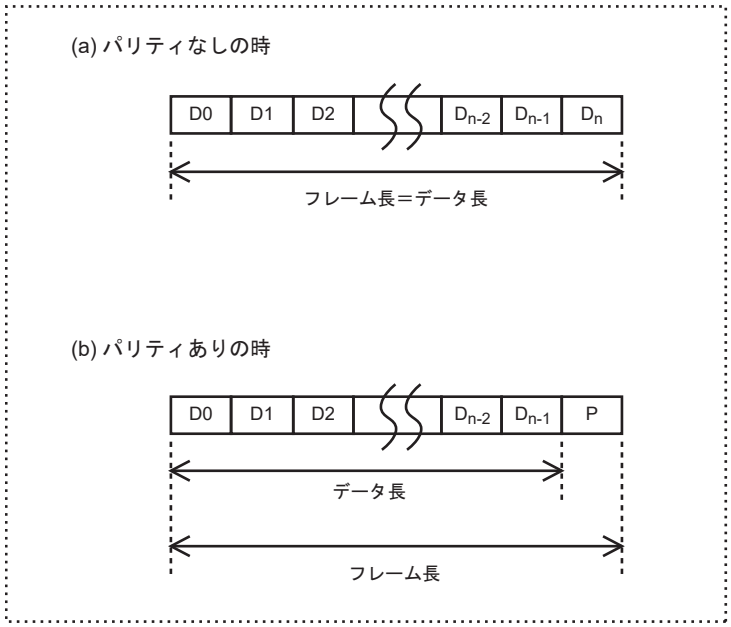


図 25-5 フレーム長

25.4.4.3　垂直パリティ

ESIOxFMTR1<VPE>は垂直パリティの付加を制御できます。<VPE>が"0"の場合、垂直パリティは付加されません。

表 25-3 垂直パリティ付加

ESIOxFMTR1<VPE>	ESIOxFMTR1<VPM>	垂直パリティ
0	0	なし
0	1	なし
1	0	偶数
1	1	奇数

垂直パリティは転送方向に関係なく、最終ビットとして付加されます。

25.4.5 シフトレジスタと FIFO

25.4.5.1 FIFO に格納するデータ

送信と受信の FIFO とシフトレジスタは独立しています。

それぞれのラインは送信シフトレジスタと受信シフトレジスタを持っています。それぞれのシフトレジスタは 32 ビットの長さを持ちます。

ESIO は送信 FIFO と受信 FIFO を持っています。FIFO のビット長は 16 ビットで 8 段の深さを持ちます。

FIFO の fill レベルはラインの数とフレーム長によって変化します。

25.4.5.2 送信時の Fill レベルとデータフォーマットの関連

送信時の Fill レベルとデータフォーマットの関連を表 25-4 に示します。

表 25-4 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル
1	8 ~ 16 ビット	7
	17 ~ 32 ビット	3
2	8 ~ 16 ビット	3
	17 ~ 32 ビット	1
3	8 ~ 16 ビット	1
	17 ~ 32 ビット	0
4	8 ~ 16 ビット	1
	17 ~ 32 ビット	0

25.4.5.3　受信時の Fill レベルとデータフォーマットの関連

受信時の Fill レベルとデータフォーマットの関連を下記に示します。

本章では、ライン数とフレームの受信データを"L"+ライン数+"- f"+フレーム数で表します。例えば、ライン 1、フレーム 5 の受信データは、L1-f5 と表します。

データの上位 16 ビットは( )Hi、下位 16 ビットは( )Lo で表します。例えば、L1-f5 の上位 16 ビットは(L1-f5)Hi と表します。

(1)　データ長 8~16 ビット、ライン数 1 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-5 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
1	8 ~ 16 ビット	8	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: 不定
			2 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: 不定
			3 回目の読み出しデータ	下位 16 ビット : (L0-f2) 上位 16 ビット: 不定
			4 回目の読み出しデータ	下位 16 ビット : (L0-f3) 上位 16 ビット: 不定
			5 回目の読み出しデータ	下位 16 ビット : (L0-f4) 上位 16 ビット: 不定
			6 回目の読み出しデータ	下位 16 ビット : (L0-f5) 上位 16 ビット: 不定
			7 回目の読み出しデータ	下位 16 ビット : (L0-f6) 上位 16 ビット: 不定
			8 回目の読み出しデータ	下位 16 ビット : (L0-f7) 上位 16 ビット: 不定

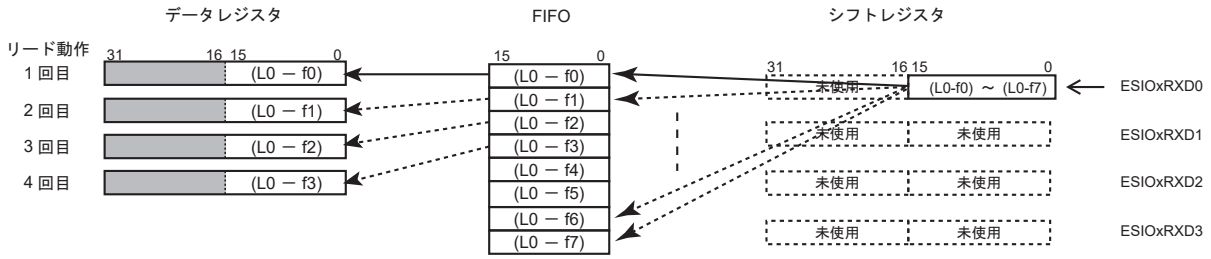


図 25-6 データ長 8~16 ビット、ライン数 1 の 受信シフトレジスタ/FIFO/データレジスタ動作

(2) データ長 8~16 ビット、ライン数 2 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-6 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
2	8 ~ 16 ビット	4	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L1-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: (L1-f1)
			3 回目の読み出しデータ	下位 16 ビット : (L0-f2) 上位 16 ビット: (L1-f2)
			4 回目の読み出しデータ	下位 16 ビット : (L0-f3) 上位 16 ビット: (L1-f3)

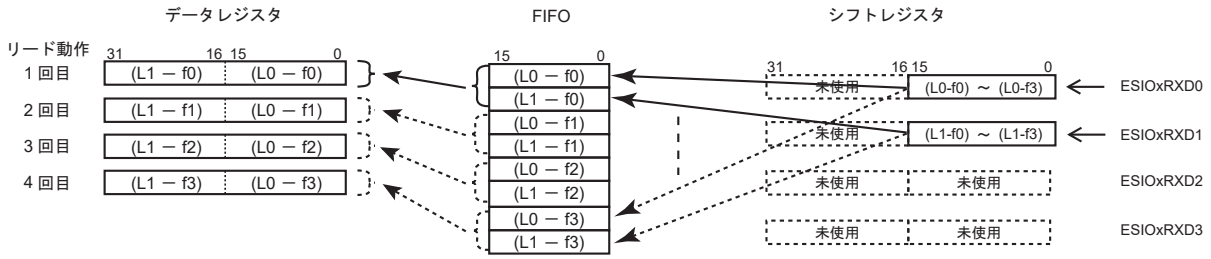


図 25-7 データ長 8~16 ビット、ライン数 2 の 受信シフトレジスタ/FIFO/データレジスタ動作

(3)　データ長 8~16 ビット、ライン数 3 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-7 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
3	8 ~ 16 ビット	2	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L1-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L2-f0) 上位 16 ビット: 不定
			3 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: (L1-f1)
			4 回目の読み出しデータ	下位 16 ビット : (L2-f1) 上位 16 ビット: 不定

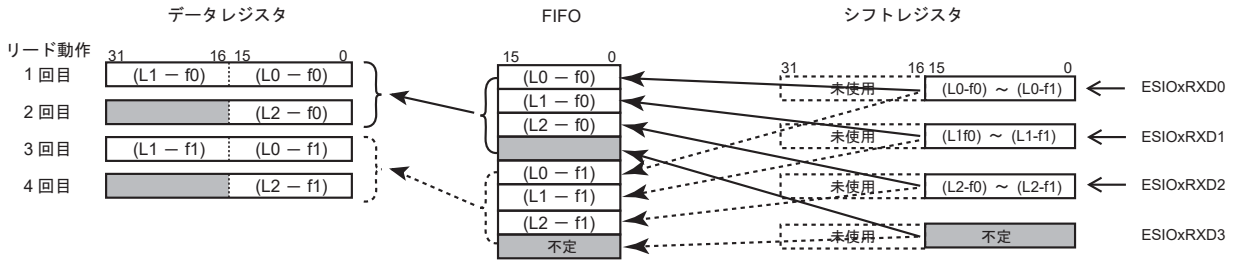


図 25-8 データ長 8~16 ビット、ライン数 3 の 受信シフトレジスタ/FIFO/データレジスタ動作

(4) データ長 8~16 ビット、ライン数 4 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-8 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
4	8 ~ 16 ビット	2	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L1-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L2-f0) 上位 16 ビット: (L3-f0)
			3 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: (L1-f1)
			4 回目の読み出しデータ	下位 16 ビット : (L2-f1) 上位 16 ビット: (L3-f1)

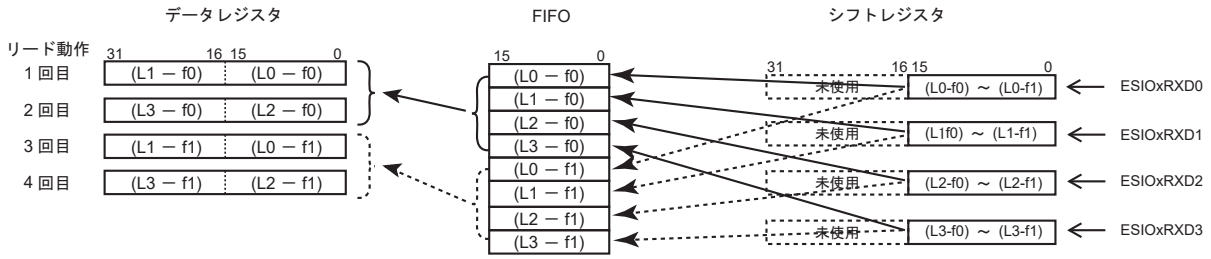


図 25-9 データ長 8~16 ビット、ライン数 4 の 受信シフトレジスタ/FIFO/データレジスタ動作

(5)　データ長 17~32 ビット、ライン数 1 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-9 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
1	17 ~ 32 ビット	4	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L0-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: (L0-f1)
			3 回目の読み出しデータ	下位 16 ビット : (L0-f2) 上位 16 ビット: (L0-f2)
			4 回目の読み出しデータ	下位 16 ビット : (L0-f3) 上位 16 ビット: (L0-f3)

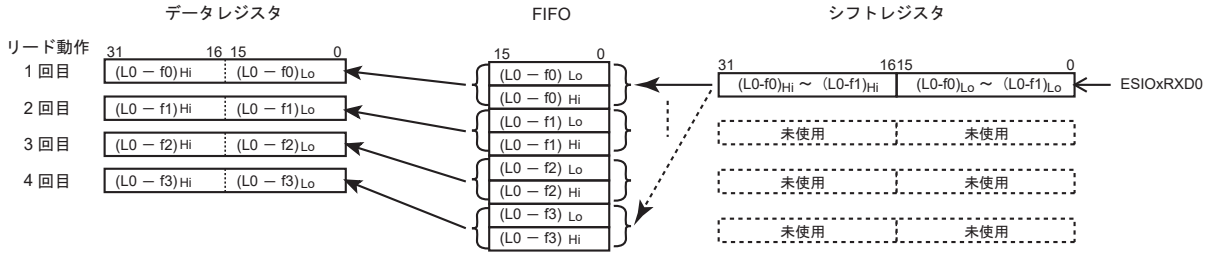


図 25-10 データ長 17~32 ビット、ライン数 1 の 受信シフトレジスタ/FIFO/データレジスタ動作

(6) データ長 17~32 ビット、ライン数 2 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-10 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
2	17 ~ 32 ビット	2	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L0-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L1-f0) 上位 16 ビット: (L1-f0)
			3 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: (L0-f1)
			4 回目の読み出しデータ	下位 16 ビット : (L1-f1) 上位 16 ビット: (L1-f1)

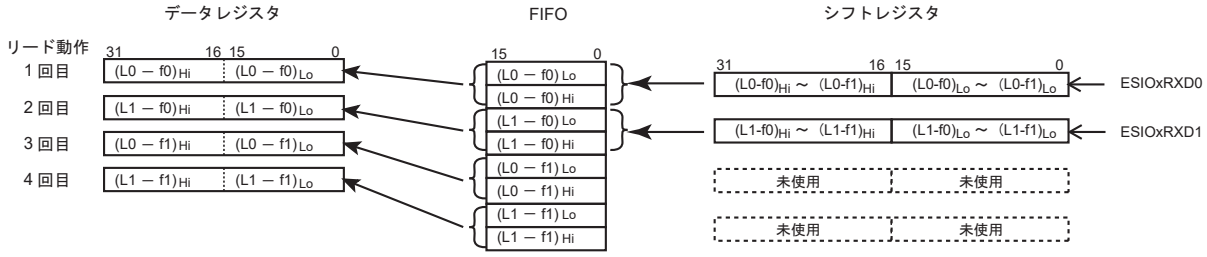


図 25-11 データ長 17~32 ビット、ライン数 2 の 受信シフトレジスタ/FIFO/データレジスタ動作

(7)　データ長 17~32 ビット、ライン数 3 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-11 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
3	17 ~ 32 ビット	1	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L0-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L1-f0) 上位 16 ビット: (L1-f0)
			3 回目の読み出しデータ	下位 16 ビット : (L2-f0) 上位 16 ビット: (L2-f0)
			4 回目の読み出しデータ	下位 16 ビット : (L0-f1) 上位 16 ビット: (L0-f1)

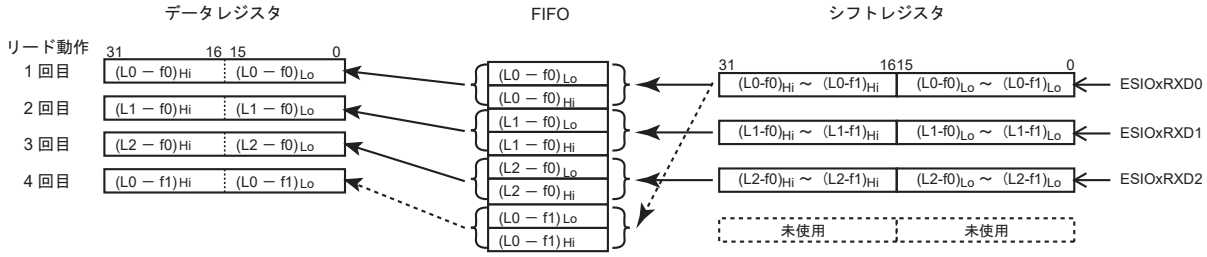


図 25-12 データ長 17~32 ビット、ライン数 3 の 受信シフトレジスタ/FIFO/データレジスタ動作

(8) データ長 17~32 ビット、ライン数 3 の受信シフトレジスタ/FIFO/データレジスタ動作

表 25-12 Fill レベルとデータフォーマットの関連

ライン	データ長	最大 Fill レベル	読み出し回数	ESIOxDR から 1 回読み出したときのデータ
4	17 ~ 32 ビット	1	最初の読み出しデータ	下位 16 ビット : (L0-f0) 上位 16 ビット: (L0-f0)
			2 回目の読み出しデータ	下位 16 ビット : (L1-f0) 上位 16 ビット: (L1-f0)
			3 回目の読み出しデータ	下位 16 ビット : (L2-f0) 上位 16 ビット: (L2-f0)
			4 回目の読み出しデータ	下位 16 ビット : (L3-f0) 上位 16 ビット: (L3-f0)

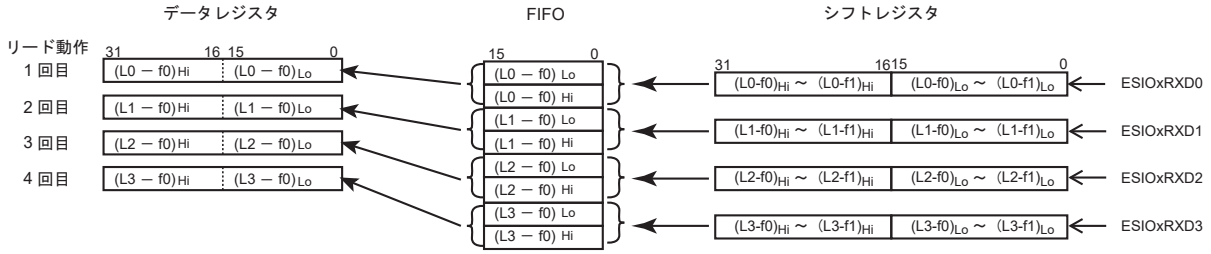


図 25-13 データ長 17~32 ビット、ライン数 4 の 受信シフトレジスタ/FIFO/データレジスタ動作

25.4.6　割り込み

ESIO には、送信割込み(INTExTX)、受信割込み(INTExRX)、エラー割込み(INTExERR)の 3 種類の割込みがあります。

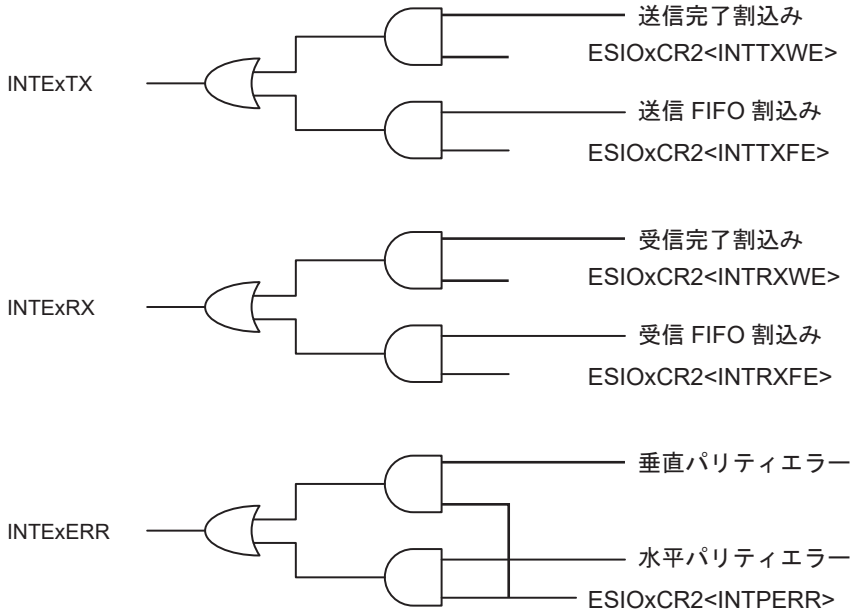


図 25-14 ESIO 割り込み回路

25.4.6.1　送信割込み

送信割り込みは半二重(送信)モードか全二重(送信/受信)モードのとき発生します。

(1)　送信完了割り込み

送信完了割り込みは ESIOxCSn がネゲートされたときに発生します。この時、ESIOxSR<TWEND>が"1"にセットされます。

送信完了割り込みは ESIOxCR2<INTTXWE>でマスクすることができます。

(2)　送信 FIFO 割り込み

送信 FIFO 割り込みは ESIOxSR<TLVL>がデクリメントされ、ESIOxCR2<TIL[3:0]>と一致したときに、一度だけ発生します。この時、ESIOxSR<INTTXWF>が"1"にセットされます。

送信 FIFO 割り込みは ESIOxCR2<INTTXFE>でマスクすることができます。

25.4.6.2　受信割込み

受信割り込みは半二重(受信)モードか全二重(送信/受信)モードのとき発生します。

(1)　受信完了割り込み

受信完了割り込みは ESIOxCSn がネゲートされたときに発生します。この時、ESIOxSR<RWEND>が"1"にセットされます。

受信完了割り込みは ESIOxCR2<INTRXWE>でマスクすることができます。

(2) 受信 FIFO 割り込み

受信 FIFO 割り込みは ESIOxSR<RLVL>がインクリメントされ、ESIOxCR2<RIL[3:0]>と一致したときに、一度だけ発生します。この時、ESIOxSR<INTRXWF>が"1"にセットされます。

受信 FIFO 割り込みは ESIOxCR2<INTRXFE>でマスクすることができます。

25.4.6.3 エラー割込み

(1) 垂直パリティエラー割込み

垂直パリティエラー割込みは、垂直パリティエラーが起こったときに発生する割り込みです。

垂直パリティエラー割り込みが生成するタイミングは受信データが受信 FIFO に格納される際に発生します。この時、垂直パリティの発生した回数が ESIOxPERR<LnVPERR[1:0]>に格納され、ESIOxPERR<VPERR>が"1"にセットされます。

垂直パリティエラー割り込みは ESIOxCR2<INTPERR>でマスクできます。

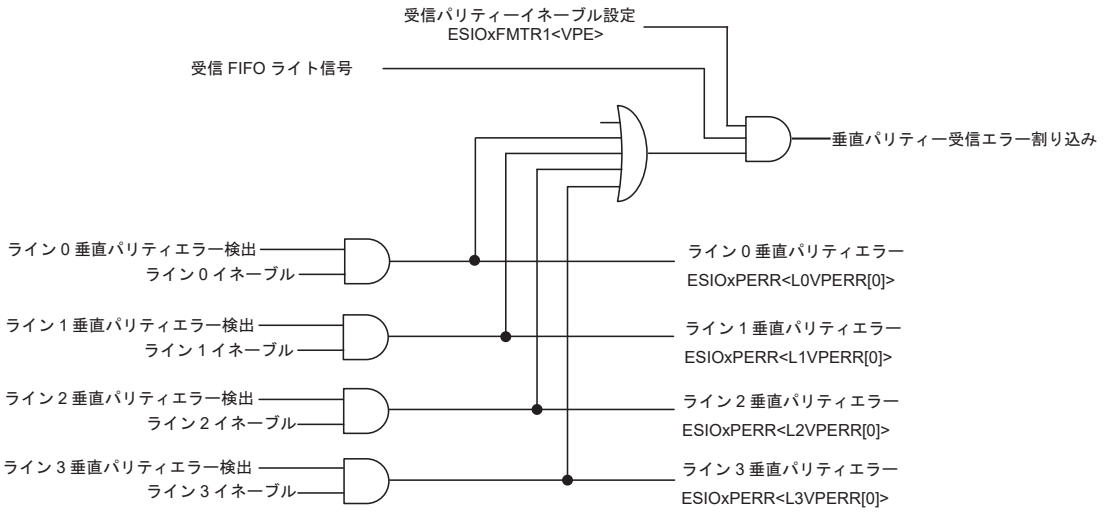


図 25-15 垂直パリティエラー割込み回路

(2)　水平パリティエラー割込み

水平パリティエラー割込みは、水平パリティエラーが起こったときに発生する割り込みです。

水平パリティエラー割り込みが生成するタイミングは、水平パリティフレームデータの最後の受信ビットが取り込まれる、クロックの立ち上がりエッジで発生します。この時、ESIOxPERR<HPERR>が"1"がセットされます。

水平パリティエラーは ESIOxCR2<INTPERR>でマスクできます。

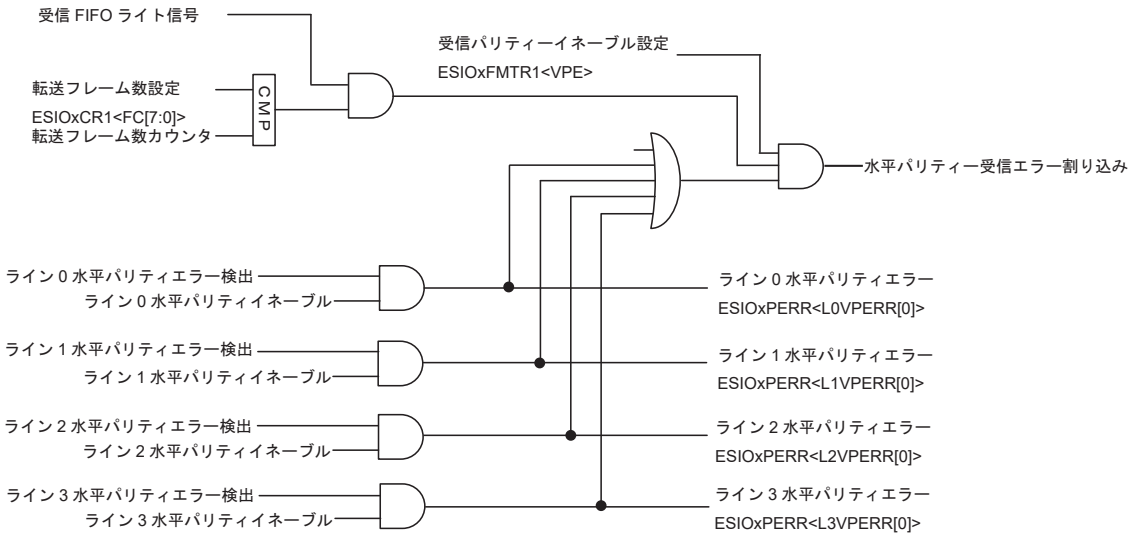


図 25-16 水平パリティエラー割込み回路

25.4.7 DMA 要求

送信 DMA 要求は、ESIOxSR<TLVL[3:0]>の値が ESIOxCR2<TIL[3:0]>に設定された 値以下になった時に発生します。DMA 転送終了時に、まだ ESIOxSR<TLVL[3:0]>の値が ESIOxCR2 <TIL[3:0]>に設定された 値以下だった場合、再び送信 DMA 要求が発生します。

受信 DMA 要求は、ESIOxSR<RLVL[3:0]>の値が ESIOxCR2<RIL[3:0]>に設定された 値以上になった時に発生します。DMA 転送終了時に、まだ ESIOxSR<RLVL[3:0]>の値が ESIOxCR2 <RIL[3:0]>に設定された 値以上だった場合、再び受信 DMA 要求が発生します。

DMA 要求要因の割り当ては「製品情報」の章を参照してください。

25.4.8　ESIO の端子設定

25.4.8.1　シリアルクロックの極性

シリアルクロックの極性は、ESIOxFMTR0<CKPOL>で選択できます。

表 25-13 シリアルクロックの極性

ESIOxFMTR0 <CKPOL>	アイドル期間の ESIOxSCK 端子レベル	ESIOxTXDn 端子へのデータ出力タイミング	ESIOxRXDn 端子からのデータ入力タイミング
0	"Low"レベル	ESIOxSCK 端子の立ち上がり	ESIOxSCK 端子の立ち下がり
1	"High"レベル	ESIOxSCK 端子の立ち下がり	ESIOxSCK 端子の立ち下がり

25.4.8.2　ESIOxCS0 端子と ESIOxCS1 端子のアクティブレベル

ESIOxCS0 端子と ESIOxCS1 端子のアクティブレベルは ESIOxFMTR0<CS0POL> <CS1POL>で選択できます。

表 25-14 ESIOxCS0 端子のアクティブレベル

ESIOxFMTR0 <CS0POL>	ESIOxCS0 端子のアクティブレベル
0	"Low"
1	"High"

表 25-15 ESIOxCS1 端子のアクティブレベル

ESIOxFMTR0 <CS1POL>	ESIOxCS1 端子のアクティブレベル
0	"Low"
1	"High"

25.4.8.3 ESIOxCSn 端子のタイミング

ESIOxCSn 端子のタイミングを下記に示します。

1. ta : ESIOxCSn のアサートから ESIOxSCK の最初の変化までのディレイタイムです。
   ESIOxFMTR0<CSSCKDL>でディレイタイムを制御できます。
2. tb : 転送終了から ESIOxCSn がネゲートされるまでのディレイタイムです。
   ESIOxFMTR0<SCKCSDL>でディレイタイムを制御できます。
3. tc : バースト転送モード時のフレーム間のインターバルタイムです。
   ESIOxFMTR0<FINT>でインターバルタイムを制御できます。
4. td : ESIOxCSn がネゲートしてからアサートされるまでの最小時間です。
   ESIOxFMTR0<CSINT>で制御できます。

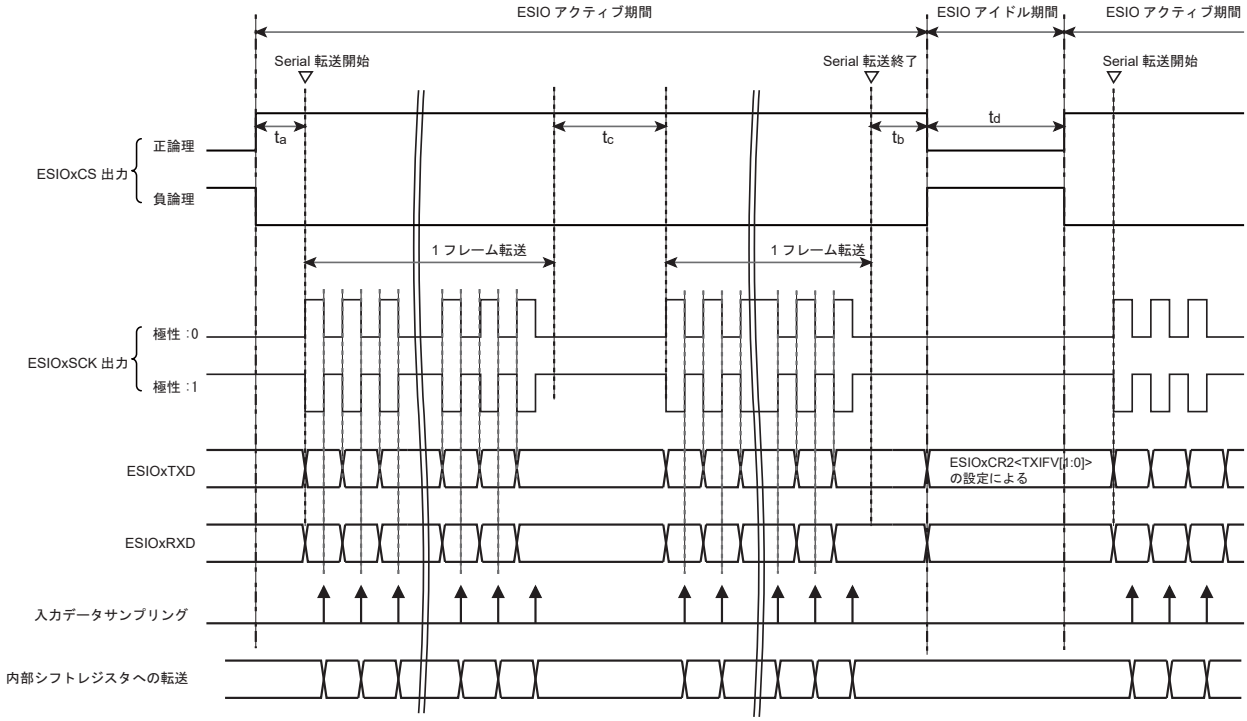


図 25-17 ESIOxCSn のタイミング

25.4.8.4　アイドル状態での ESIOxTXDn 端子レベル

アイドル状態での ESIOxTXDn 端子のレベルを ESIOxCR2<TXIFV[1:0]>で"Low", "High",最後に出力したデータのレベルの中から選択できます。

リセット解除後に転送を行うことなく、ESIOxCR2<TXIFV[1:0]>に"01"を設定して最後に出力したデータを選択した場合、"High"レベルが出力されます。

表 25-16 アイドル状態での ESIOxTXDn 端子レベル

ESIOxCR2 <TXIFV[1:0]>	ESIOxTXDn の出力レベル
00	Reserved
01	最後に出力したデータ
10	"Low"レベル
11	"High"レベル

ESIOxCR2<TXIFV[1:0]> = “10” : アイドル時 Low 出力の例

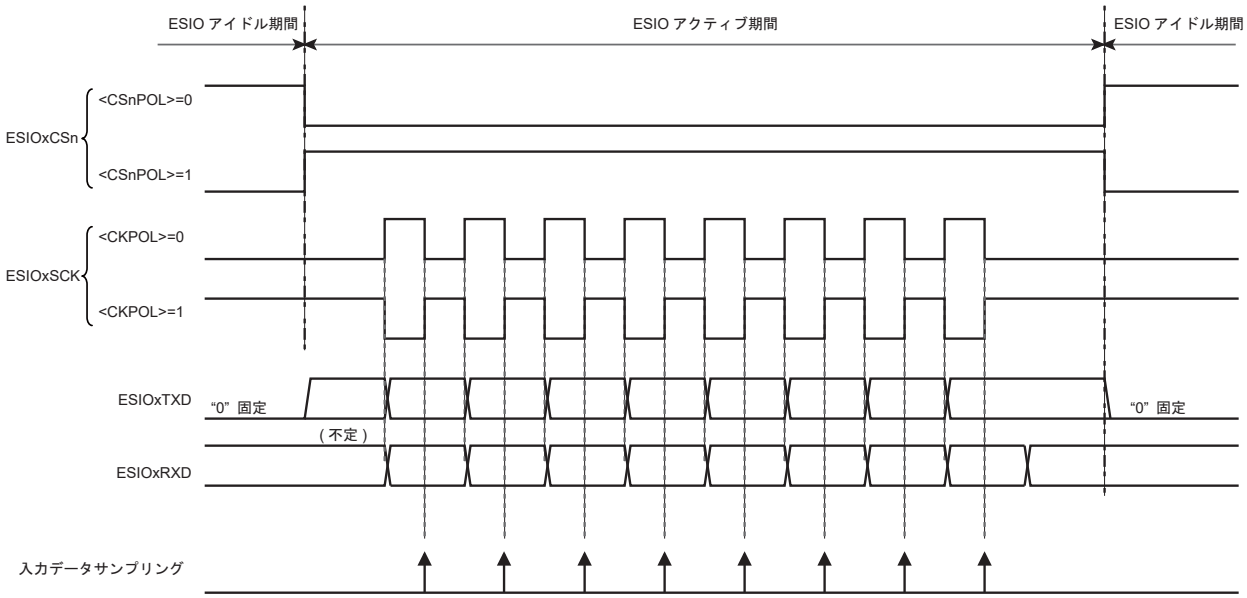


図 25-18 SPI モードのアイドル期間時の ESIOxTXDn 端子

ESIOxCR2<TXIFV[1:0]> = “10” : アイドル時 Low 出力の例

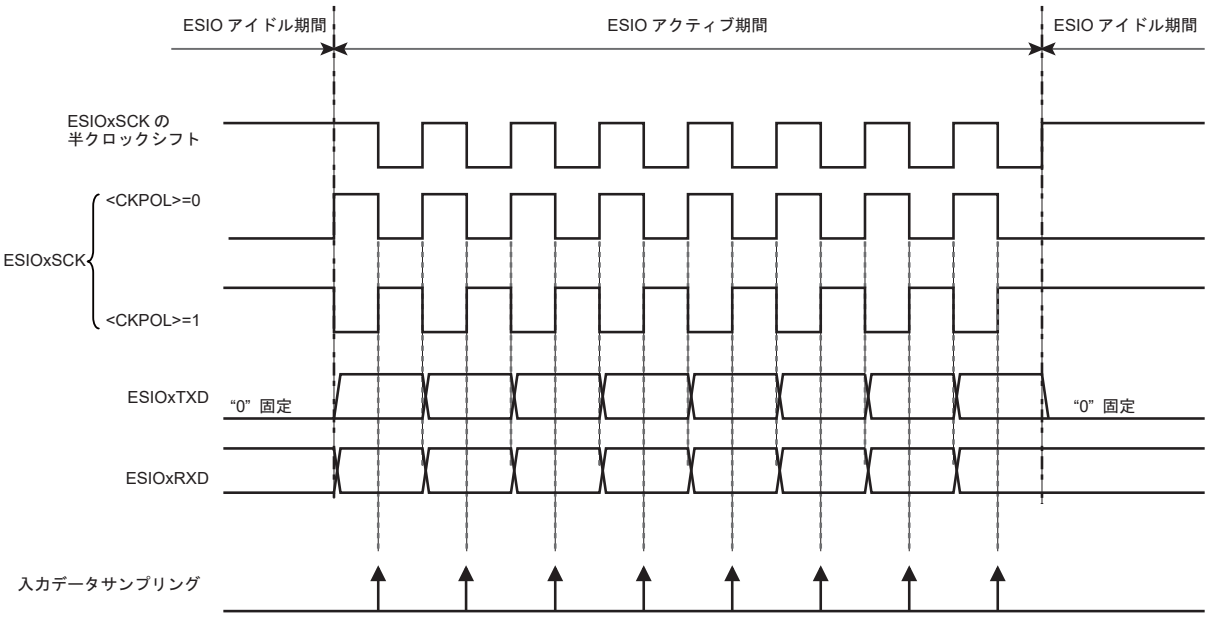


図 25-19 SIO モードのアイドル期間時の ESIOxTXDn 端子

25.4.9　ESIO の制御

25.4.9.1　ESIO レジスタの設定

まず最初に、ESIOxCR0<ESIOE>を"1"に設定します。

設定制約の欄に"SETUP"と記述があるレジスタは ESIOxSR<ESIOUE>が"0"の間に変更する必要があります。

25.4.9.2　通信の開始・停止

転送開始の方法は通信モードによって異なります。その方法については、「表 25-17 モード設定毎の転送開始」を参照してください。

転送を終了するには、ESIOxCR1<TRXE>を"0"にクリアします。

シングル転送モード、バースト転送モードでは、転送中のフレームの転送が完了すると停止します。

ESIOxSCK 端子と ESIOxCS0 ~ 1、ESIOxTXD0 ~ 3 は、転送停止中は、ESIOxCR2<TXIFV[1:0]>で指定したレベルを保持します。

注)　ESIOxSR<ESIOSUE>が"1"のとき、ESIOxCR1<TRXE>に"1"(通信許可)を設定するときは前回転送が終了していることを確認するため SETUP 状態にて行って下さい。0(通信停止)の設定は通信中にも可能です。

表 25-17 モード設定毎の転送開始

転送モード		通信開始タイミング
半二重 (送信)	シングル転送	ESIOxCR1<TRXE>が"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。
	バースト転送	ESIOxCR1<TRXE>が"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。転送が終了すると ESIOxCR1<TRXE>は自動的に"0"にクリアされます バースト転送の送信を再度を行う場合は、ESIOxSR<ESIOSUE>が"0"であることを確認してから ESIOxCR1<TRXE>を"1"に設定して下さい。
半二重 (受信)	シングル転送	ESIOxCR1<TRXE>が"1"に設定されるとすぐに受信が開始されます。
	バースト転送	ESIOxCR1<TRXE>が"1"に設定されるとすぐに受信が開始されます。転送が終了すると ESIOxCR1<TRXE>は自動的に"0"にクリアされます。 バースト転送の受信を再度行う場合は、ESIOxSR<ESIOSUE>が"0"であることを確認してから ESIOxCR1<TRXE>を"1"に設定してください。
全二重 (送信/ 受信)	シングル転送	ESIOxCR1<TRXE>が"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。
	バースト転送	ESIOxCR1<TRXE>が"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。転送が終了すると ESIOxCR1<TRXE>は自動的に"0"にクリアされます。 バースト転送の送信/受信を再度を行う場合は、ESIOxSR<ESIOSUE>が"0"であることを確認してから ESIOxCR1<TRXE>を"1"に設定して下さい。

25.4.9.3 FIFO の Empty と Full 時の動作

送信 FIFO が Empty になった場合、または受信 FIFO が Full になった場合の動作を下記に示します。

1 回のバースト転送で、どちらかの状態が発生した場合、先に発生した状態に合わせ、ESIO は動作します。

(1) Empty

バースト転送モードで、送信済みフレーム数が ESIOxCR1<FC[5:0]>と同じになる前に、送信 FIFO が Empty になった場合、ESIOxCSn 端子はアクティブレベルを保ち、シリアルクロックの出力を停止します。

送信 FIFO に有効なデータが書き込まれ、送信 FIFO が Empty でなくなると、自動的にシリアルクロックの出力が再開されます。

(2) Full

バースト転送モードで、受信済みフレーム数が ESIOxCR1<FC[5:0]>と同じになる前に、受信 FIFO が Full になった場合、ESIOxCSn 端子はアクティブレベルを保ち、シリアルクロックの出力を停止します。

FIFO の受信データが読み出され、受信 FIFO が Full でなくなると、自動的にシリアルクロックの出力が再開されます。

25.4.10 転送例

25.4.10.1 送信モード

a. ESIOxCR1<TRXE>を"1"にセットします。
b. ESIOxDR に送信データを書き込みます。
c. ESIOxDR に送信データを書き込むと、送信データが送信 FIFO に転送されます。
d. ESIOxSR<TLVL>が 1 増加します。
e. 送信 FIFO に転送されたデータは送信シフトレジスタに転送されます。そして、その時に ESIxSR<TLVL>が 1 減少します。ESIOxFMTR0<CSSCLKD>に設定した ta が経過した後、シリアルクロックが ESOxSCK 端子から出力されます。
f. ESIOxSE<TLVL>が 1 から 0 になる時に、送信 FIFO 割り込み(または送信の DMA 要求)が発生します。
g. 送信 FIFO に有効なデータあっても、ESIOxFMTR0<CSINT>で設定した td が経過するまで、シリアルデータの送信は再開されず、ESIOxCS0 はネゲートレベルを保持します。td が経過すると、ESIOxCS0 のレベルはアクティブレベルに変化し、送信が再開されます。

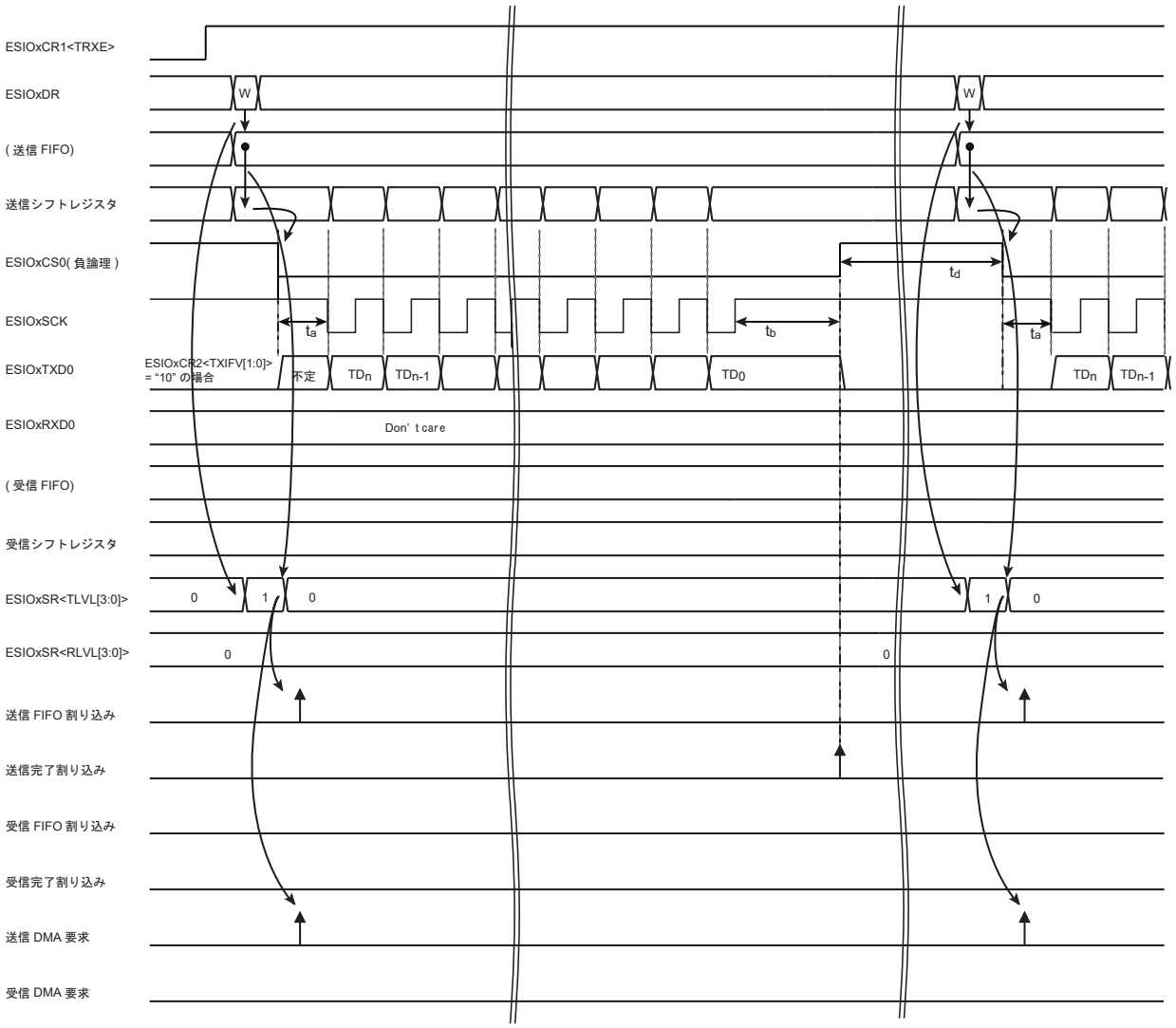


図 25-20 送信モードの動作例 (ライン数 1、データ長 32 ビット、パリティなし、FIFO を 1 段)

25.4.10.2 受信モード

a. ESIOxCR1<TRXE>に"1"をセットします。受信 FIFO に空きがあるため直ちに ESIOxCSn がアクティブレベルになります。
b. ESIOxFMTR0<CSSCKDL>で設定した ta が経過した後、ESIOxSCK 端子からシリアルクロックが出力されます。
c. シリアルクロックの最後の立ち上がりエッジで受信データが受信 FIFO に転送されます。
d. 1 フレーム分のデータが受信 FIFO に転送されると ESIOxSR<RLVL>が 1 増加します。
e. ESIOxSR<RLVL>が 0 から 1 に変化した時に、受信 FIFO 割込み(または受信の DMA 要求)が発生します。
f. ESIOxFMTR0<SCKCSDL>で設定した tb が経過した後、ESIOxCS0 がネゲートレベルに変化し、受信完了割り込みが発生します。
g. ESIOxFMTR0<CSINT>で設定した td が経過するまで、シリアルデータの受信は行われず、ESIOxCS0 をネゲートのまま保持します。td が経過すると、受信 FIFO が Full でなければ、ESIOxCSn のレベルはアクティブレベルに変化し、送信が再開されます。

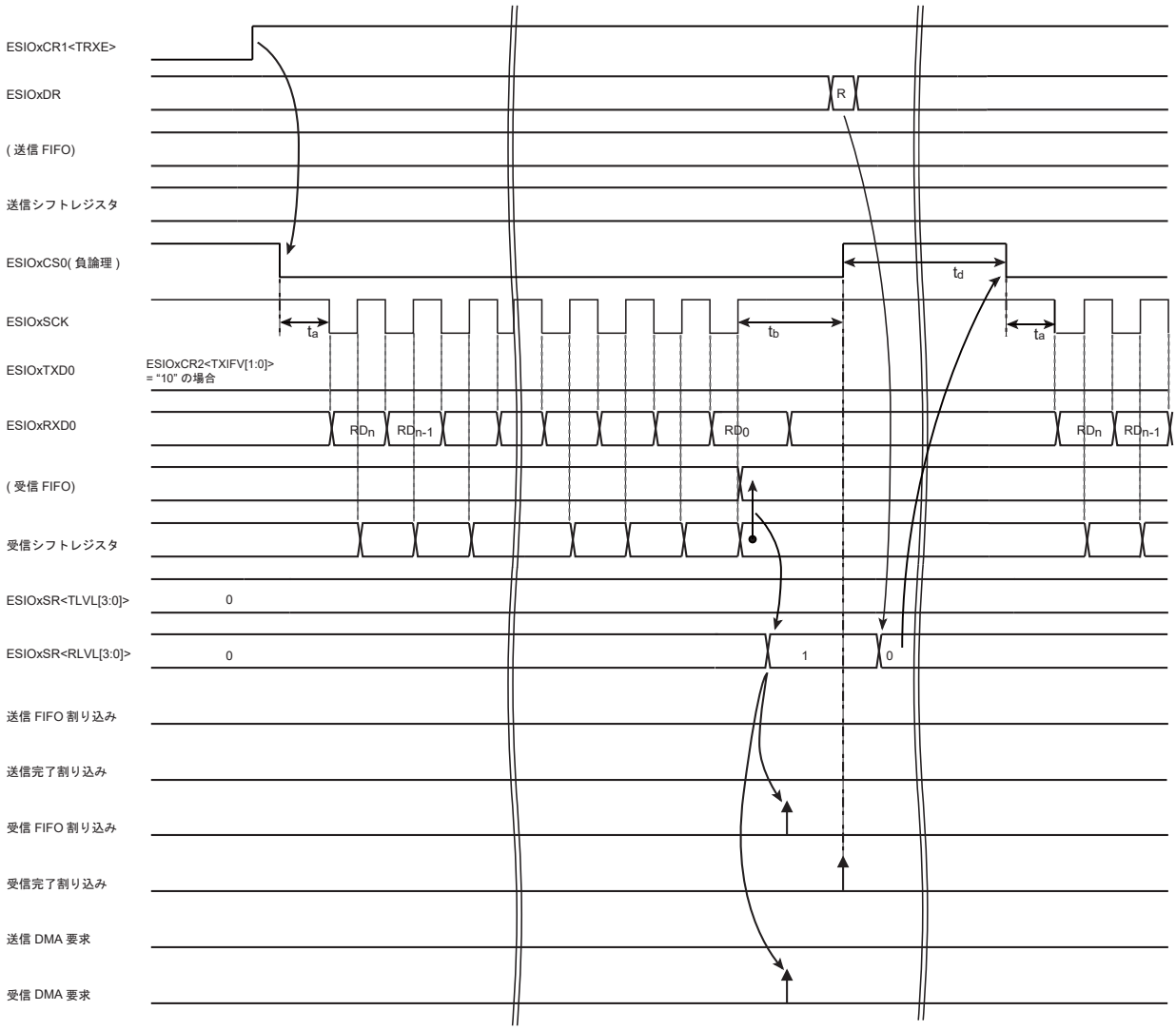


図 25-21 受信モードの動作例 (ライン数 1、データ長 32 ビット、パリティなし、FIFO を 1 段)

25.4.10.3　全二重通信モード

a. ESIOxCR1<TRXE> に"1"をセットします。
b. ESIOxDR に送信データを書き込みます。
c. ESIOxDR に送信データを書き込むと、送信データが送信 FIFO に転送されます。
d. 送信 FIFO に 1 フレームのデータを書き込むと ESIOxSR<TLVL>が 1 増加します。
e. 送信 FIFO に転送されたデータはシフトレジスタに転送され、ESIOxSR<TLVL>が 1 減少します。ESIOxFMTR0<CSSCKDL>で設定した ta が経過した後、シリアルクロックが ESIOxSCK 端子から出力されます。
f. ESIOxSR<TLVL>がが 1 から 0 になる時に、送信 FIFO 割込み(または送信の DMA 要求)が発生します。
g. シリアルクロックの最後の立ち上がりエッジで受信データが受信 FIFO に転送されます。ESIOxFMTR0<SCKCSDL>で設定した tb が経過した後、ESIOxCS0 がネゲートレベルに変化し、送信完了割り込みと受信完了割り込みが発生します。
h. 1 フレーム分のデータが受信 FIFO に転送されると ESIOxSR<RLVL>が 1 増加します。
i. ESIOxSR<RLVL>が 0 から 1 に変化した時に、受信 FIFO 割込み(または受信の DMA 要求)が発生します。
j. 送信 FIFO に有効なデータあっても、ESIOxFMTR0<CSINT>で設定した td が経過するまで、シリアルデータの送信は再開されず、ESIOxCS0 はネゲートレベルを保持します。td が経過すると、ESIOxCS0 のレベルはアクティブレベルに変化し、送信が再開されます。

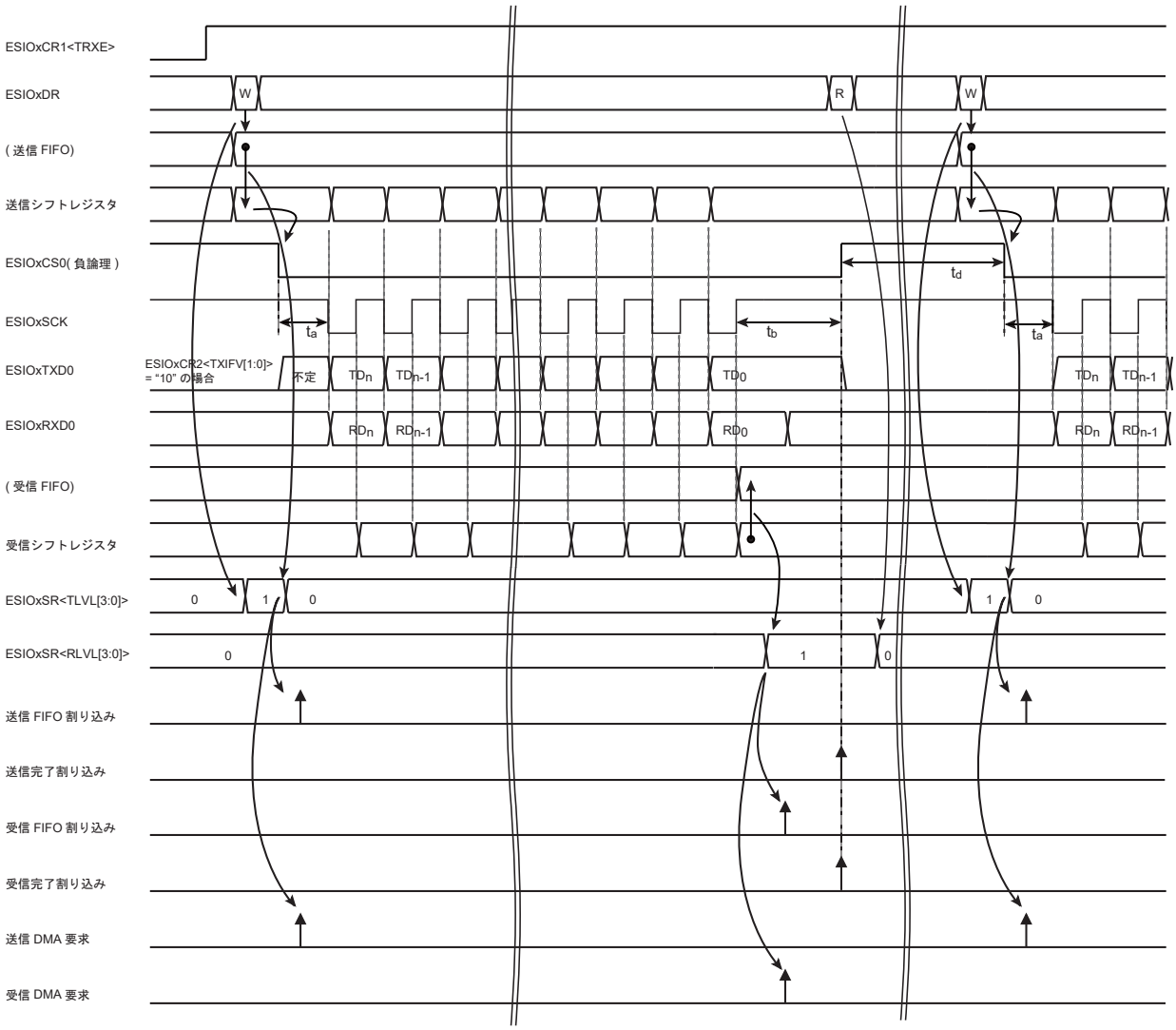


図 25-22 全二重通信の動作例 (ライン数 1、データ長 32 ビット、パリティなし、FIFO を 1 段)

第 26 章　非同期シリアル通信回路 (UART)

26.1　概要

非同期シリアル通信回路は、以下の特徴を持っています。

- 送信 /受信 データフォーマット
  - DATA 長: 5、6、7、8 bits 選択.
  - PARITY 付加: 有り /無し
  - STOP bit 長 : 1bit / 2 bits 選択
- FIFO
  - 送信:8-bit 幅/ 32 段、受信:12-bit 幅/ 32 段
  - 許可/不許可指定可能
- 割り込み機能
  - 複数要因の割り込みを出力
  - 各割り込み要因の許可が指定可能
- ボーレートジェネレーター

  fsys から、送信、受信用共通のクロックを生成可能
- DMA サポート
- モデム制御端子

  下記の制御端子に対応
  - $\overline{\text{CTSx}}$
  - $\overline{\text{RTSx}}$
- RTS、CTS によるハードウェアフロー制御が可能

26.2　構成

図 26-1 に UART のブロック図を示します。

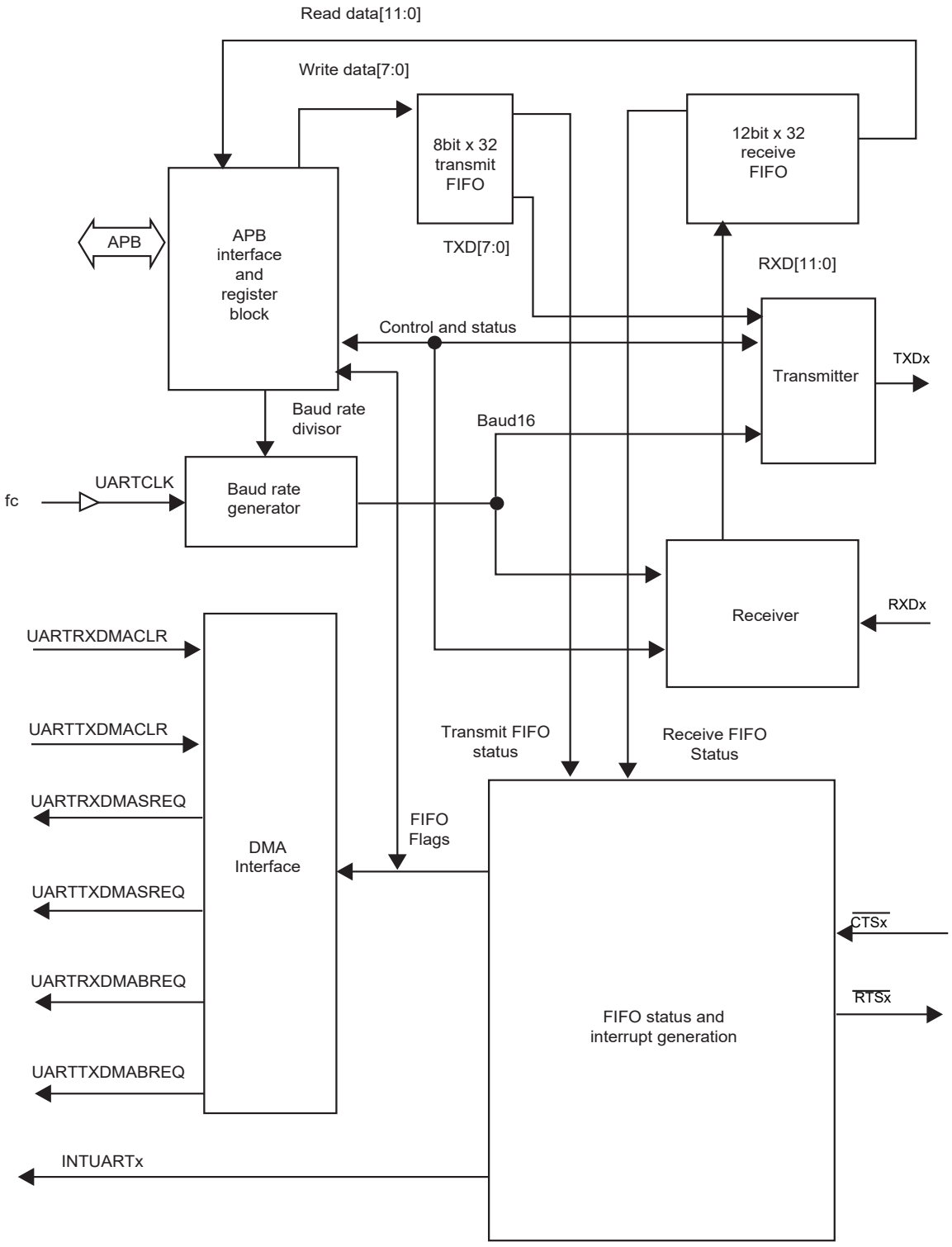


図 26-1 UART ブロック図

26.3 レジスタ説明

26.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
Data register	UARTxDR	0x0000
Receive status register	UARTxRSR	0x0004
Error clear register	UARTxECR	0x0004
Reserved	-	0x0008 to 0x0017
Flag register	UARTxFR	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Integer baud rate register	UARTxIBRD	0x0024
Fractional baud rate register	UARTxFBRD	0x0028
Line control register	UARTxLCR_H	0x002C
Control register	UARTxCR	0x0030
interrupt FIFO level select register	UARTxIFLS	0x0034
Interrupt mask set/clear register	UARTxIMSC	0x0038
Raw interrupt status register	UARTxRIS	0x003C
Masked interrupt status register	UARTxMIS	0x0040
Interrupt clear register	UARTxICR	0x0044
DMA control register	UARTxDMACR	0x0048
Reserved	-	0x004C to 0x0FFF

注) 制御レジスタを再設定するときは、UART を動作禁止にして下さい。送信または受信の動作途中で動作禁止にすると、動作中の転送が完了しだい、停止状態となります。

26.3.2　UARTxDR (Data レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	−	R	読み出すと"0"が読めます。
11	OE	R	オーバーランエラー 0 : エラーではない 1 : エラー データ受信時に FIFO が既に full の場合には、このビットに"1" がセットされます。 FIFO が空き、新しいデータを書き込めるようになると、このビットは"0" にクリアされます。
10	BE	R	ブレークエラー 0 : エラーではない 1 : エラー ブレーク状態(RXDx 入力がスタートビット、データビット、パリティビット、ストップビット、すべての合計の送信時間よりも長く"Low" で保持される）が検出されると、このビットに"1"がセットされます。 FIFO が許可されているときは、このエラーは FIFO の最上位の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。 次のデータ受信は、RXDx 入力が"1"（マーキング状態）になり、スタートビットが受信された後に許可されます。
9	PE	R	パリティエラー 0 : エラーではない 1 : エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが UARTxLCR_H<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
8	FE	R	フレーミングエラー 0 : エラーではない 1 : エラー このビットに" 1 "がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
7-0	DATA[7:0]	R/W	[読み出し時] 受信データ [書き込み時] 送信データ

注)　エラーステータスは UARTxRSR を読み出すことでも知ることができます。

26.3.3 UARTxRSR (Receive status レジスタ)

UARTxRSR と UARTxECR レジスタは同じアドレスにマッピングされています。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	−	R	読み出すと"0"が読めます。
3	OE	R	オーバーランエラー 0 : エラーではない 1 : エラー データ受信時に FIFO が既に full の場合には、このビットに"1" がセットされます。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が full になっている場合は、それ以上データが書き込まれないため、FIFO の内容は有効であり、シフトレジスタの内容だけが上書きされます。CPU は FIFO を空にするためにデータを読み出さなければいけません。
2	BE	R	ブレークエラー 0 : エラーではない 1 : エラー ブレーク状態(RXDx 入力がスタートビット、データビット、パリティビット、ストップビット、すべての合計の送信時間よりも長く"Low" で保持される）が検出されると、このビットに"1"がセットされます。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が許可されているときは、このエラーは FIFO の最後の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。 次のデータ受信は、RXDx 入力が"1"（マーキング状態）になり、スタートビットが受信された後に許可されます。
1	PE	R	パリティエラー 0 : エラーではない 1 : エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが UARTxLCR_H<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
0	FE	R	フレーミングエラー 0 : エラーではない 1 : エラー このビットに" 1 "がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。

注 1) オーバーランエラーは、エラーが発生するとすぐにセットされます。

注 2) UARTxRSR は、UARTxDR からデータを読み出したときに更新されます。したがって、UARTxRSR からエラーステータスを読み出す前に、UARTxDR から受信データを読み出す必要があります。この読み出しシーケンスを逆にすることはできません。なお、エラーステータスは、UARTxDR を読み出すことでも知ることができます。

26.3.4　UARTxECR (Error clear レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	–	R	読み出すと"0"が読めます。
3	OE	W	UARTxECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバーランの各エラーがクリアされます。データ値には関係なくクリアを実行します。 このレジスタのアドレスは、UARTxSR レジスタと同じです。.
2	BE	W	
1	PE	W	
0	FE	W	

26.3.5 UARTxFR (UART Flag レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	不定
	7	6	5	4	3	2	1	0
bit symbol	TXFE	RXFF	TXFF	RXFE	BUSY	-	-	CTS
After reset	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	Function
31-9	−	R	読み出すと不定値が読み出されます。
8	-	R	読み出すと不定値が読み出されます。
7	TXFE	R	UARTxLCR_H<FEN>="1"の時 0 : 送信 FIFO が empty でない 1 : 送信 FIFO が empty
			UARTxLCR_H<FEN>="0"の時 0 : 送信保持レジスタが empty でない 1 : 送信保持レジスタが empty
6	RXFF	R	UARTxLCR_H<FEN>="1"の時 0 : 受信 FIFO が full でない 1 : 受信 FIFO が full
			UARTxLCR_H<FEN>="0"の時 0 : 受信保持レジスタが full でない 1 : 受信保持レジスタが full
5	TXFF	R	UARTxLCR_H<FEN>="1"の時 0 : 送信 FIFO が full でない 1 : 送信 FIFO が full
			UARTxLCR_H<FEN>="0"の時 0 : 送信保持レジスタが full でない 1 : 送信保持レジスタが full
4	RXFE	R	UARTxLCR_H<FEN>="1"の時 0 : 受信 FIFO が empty でない 1 : 受信 FIFO が empty
			UARTxLCR_H<FEN>="0"の時 0 : 受信保持レジスタが empty でない 1 : 受信保持レジスタが empty
3	BUSY	R	UART ビジー 0 : UART 送信が停止している 1 : UART 送信している このビットは、UART 動作が許可されているかに関係なく、送信 FIFO が empty でなくなると"1"にセットされます。
2	-	R	読み出すと不定値が読み出されます。
1	-	R	読み出すと不定値が読み出されます。

Bit	Bit Symbol	Type	Function
0	CTS	R	Clear to send 0 : $\overline{\text{CTSx}}$ 端子が"High" 1 : $\overline{\text{CTSx}}$ 端子が"Low" $\overline{\text{CTSx}}$ 端子の反転状態を読み出すことができます。

注)　<TXFE>はシフトレジスタの状態は示しません。

26.3.6 UARTxIBRD (UART 整数ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BAUDDIVINT							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BAUDDIVINT							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	読み出すと不定値が読み出されます。
15-0	BAUDDIVINT [15:0]	R/W	整数ボーレート除数。 (0x0002 ~ 0xFFFF) ボーレート除数値の整数部です。

注 1) UARTxIBRD に書き込んだ値は、現在行われている送信または受信が終わるまで有効になりません。

注 2) UARTxIBRD に書き込んだ値は、 UARTxLCR_H への書き込みが行われると有効になります。

注 3) UARTxCR<UARTEN> を"1"にする前に設定して下さい。

注 4) 0x0000,0x0001 を設定することはできません。

注 5) ボーレート除数の値は、送信側と受信側とのボーレートのずれ（総合誤差）によって設定値のワーストケース(データ8bit+Parity/データ9bitの場合)が下表のようになります。

総合誤差	BAUDDIVINT(下限値)
2.0%以下	0x0002
2.8%以下	0x0003
3.3%以下	0x0004

26.3.7　UARTxFBRD(UART 小数ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	BAUDDIVFRAC					
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-6	-	R	読み出すと"0"が読めます。
5 -0	BAUD DIVFRAC [5:0]	R/W	小数ボーレート除数。 (0x01 ~ 0x3F) ボーレート除数値の小数部です。

注 1)　UARTxFBRD に書き込んだ値は、現在行われている送信または受信が終わるまで有効になりません。

注 2)　UARTxFBRD 書き込んだ値は、 UARTxLCR_H への書き込みが行われると有効になります。

注 3)　UARTxCR<UARTEN> を"1"にする前に設定して下さい。

注 4)　ボーレート除数に設定できる最小値は 1 です。最大値は 65535 です。そのため、ボーレート除数の整数部に 0 を設定することはできません。また、ボーレート除数の整数部に 65535 を設定したときには、小数部は 0 を設定してください。

26.3.8 UARTxLCR_H (UART ライン制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPS	WLEN		FEN	STP2	EPS	PEN	BRK
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	読み出すと"0"が読めます。
7	SPS	RW	スティックパリティ選択 0 : スティックパリティ禁止 1 : <EPS> = "0"のとき、パリティビットとして、"1"を送信または受信 <EPS> = "1"のとき、パリティビットとして、"0"を送信または受信 <SPS>は、<PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合には、意味をもちません。 <SPS>、<EPS>ならびに<PEN>ビットの真理値表については、表 26-1 を参照して下さい。
6-5	WLEN[1:0]	RW	ワード長 00 : 5bit 01 : 6bit 10 : 7bit 11 : 8bit これらのビットは、フレームで送信または受信されたデータビットの数を示します。
4	FEN	RW	FIFO の許可選択 0 : FIFO 禁止(FIFO は 1 段の保持レジスタとなります) 1 : FIFO 許可
3	STP2	RW	送信ストップビット長選択 0: 1bit 1: 2 bit 受信のときは、2bit 長のストップビットをチェックしません。
2	EPS	RW	偶数パリティ選択 0: 奇数パリティ 1: 偶数パリティ 送信、受信時のパリティビットの選択を制御します。 <PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合は、意味を持ちません。
1	PEN	RW	パリティイネーブル 0 : 禁止 (パリティは禁止され、パリティビットの付加はされません) 1 : 許可 (パリティチェックと生成が許可されます)
0	BRK	RW	ブレーク送信選択 0: ブレーク送信しない 1: ブレーク送信する <BRK>が"1"に設定されると、現在送信しているフレームの送信が終わると、TXDx 出力に LOW レベルが出力され続けます。ブレーク条件が生成するためには、少なくとも 2 フレームの送信時間、<BRK>を"1"にする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。 ブレークを送信しない場合には、<BRK>を"0"に設定する必要があります。

注) UARTxIBRD または UARTxFBRD の内容を更新するには、 UARTxLCR_H の書き込みを常に最後に実行する必要があります。

表 26-1 真理値表 UARTxLCR_H <SPS>, <EPS>, <PEN>

パリティイネーブル <PEN>	偶数パリティ選択 <EPS>	スティックパリティ選択<SPS>	パリティ選択(送信またはチェック)
0	×	×	パリティの送信およびチェックなし
1	1	0	偶数パリティ送信または偶数パリティ受信
1	0	0	奇数パリティ送信または奇数パリティ受信
1	0	1	パリティビットとして"1" を送信、または受信
1	1	1	パリティビットとして"0"を送信、または受信

26.3.9 UARTxCR (UART 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CTSEN	RTSEN	-	-	-	-	RXE	TXE
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UARTEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	読み出すと不定値が読み出されます。
15	CTSEN	RW	CTS ハードウェアフロー制御イネーブル 0 : 禁止 1 : 許可 <CTSEN>が"1"に設定されると CTS ハードウェアフロー制御が許可されます。データは $\overline{\text{CTSx}}$ 端子が"L"になったときにだけ送信されます。
14	RTSEN	RW	RTS ハードウェアフロー制御イネーブル 0 : 禁止 1 : 許可 <RTSEN>が"1"に設定されると RTS ハードウェアフロー制御がイネーブルされます。データは、受信 FIFO に空きがある場合にのみ要求されます。
13-12	-	R	読み出すと不定値が読み出されます。
11	-	RW	"0"をライトしてください。
10	-	RW	"0"をライトとしてください。
9	RXE	RW	受信許可設定 0 : 禁止 1 : 許可 <RXE>が"1"に設定されると受信が許可されます。<SIREN>の値に応じて、UART 機能または SIR 機能によってデータが受信されます。受信の途中で受信が禁止されると、現在のデータ受信終了後に停止します。
8	TXE	RW	送信許可設定 0 : 禁止 1 : 許可 <TXE>が"1"に設定されると送信が許可されます。<SIREN>の値に応じて、UART 機能または SIR 機能によってデータが送信されます。送信の途中で送信が禁止されると、現在のデータ送信終了後に停止します。
7	-	RW	"0"を書いてください。
6-3	-	R	読み出すと不定値が読み出されます。
2	-	RW	"0"をライトしてください。
1	-	RW	"0"をライトしてください。
0	UARTEN	R/W	UART 許可設定 0 : 禁止 1 : 許可 <UARTEN>が"0"に設定されると UART が禁止されます。送信または受信の途中で禁止にされた場合、送信または受信中のデータの転送が完了した後に停止します。 <UARTEN>が"1"に設定されると、データの送信と受信が行われます。

26.3.10　UARTxIFLS (UART 割り込み FIFO レベル選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	RXIFLSEL			TXIFLSEL		
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-6	−	R	読み出すと不定値が読み出されます。
5-3	RXIFLSEL[2:0]	RW	受信割り込み FIFO レベル選択 000: 受信 FIFO ≥ 1/8 フル 001: 受信 FIFO ≥ 1/4 フル 010: 受信 FIFO ≥ 1/2 フル 011:受信 FIFO ≥ 3/4 フル 100: 受信 FIFO ≥ 7/8 フル 上記以外 : Reserved 受信 FIFO の割り込み FIFO レベルの選択を行います。割り込みは FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。例えば、FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、4 バイト目のデータが受信 FIFO に格納されたとき(STOP ビット受信後)に割り込みが発生します。UARTxDRの読み出しによりFIFOレベルが設定より小さくなると割り込みは自動的にクリアされます。 FIFOが禁止で1バイト保持レジスタとして機能している場合、データが積まれると割り込みが発生し、データを読み出すと自動的にクリアされます。
2-0	TXIFSEL[2:0]	RW	送信割り込み FIFO レベル選択 000: 送信 FIFO ≤ 1/8 フル 001: 送信 FIFO ≤ 1/4 フル 010: 送信 FIFO ≤ 1/2 フル 011: 送信 FIFO ≤ 3/4 フル 100: 送信 FIFO ≤ 7/8 フル 上記以外 : Reserved 送信 FIFO の割り込み FIFO レベルの選択を行います。割り込みは FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。例えば、FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、5 バイト目のデータが送信 FIFO から読み出され(STOP ビット送信開始時)、FIFO 内のデータが 4 バイトとなったときに割り込みが発生します。UARTxDRへの書き込みによりFIFOレベルが設定より大きくなると割り込みは自動的にクリアされます。 FIFOが禁止で1バイト保持レジスタとして機能している場合、送信ロジックからデータが読み出されると割り込みが発生し、書き込むと自動的にクリアされます。

26.3.11 UARTxIMSC (UART 割り込み禁止/許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIM	BEIM	PEIM
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIM	RTIM	TXIM	RXIM	-	-	CTSMIM	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	−	R	読み出すと不定値が読み出されます。
10	OEIM	RW	オーバーランエラー割り込みマスク 0: 禁止 1: 許可
9	BEIM	RW	ブレークエラー割り込みマスク 0: 禁止 1: 許可
8	PEIM	RW	パリティーエラー割り込みマスク 0: 禁止 1: 許可
7	FEIM	RW	フレーミングエラー割り込みマスク 0: 禁止 1: 許可
6	RTIM	RW	受信タイムアウト割り込みマスク 0: 禁止 1: 許可
5	TXIM	RW	送信割り込みマスク 0: 禁止 1: 許可
4	RXIM	RW	受信割り込みマスク 0: 禁止 1: 許可
3	-	RW	"0"をライトしてください。
2	-	RW	"0"をライトしてください。
1	CTSMIM	RW	CTS モデム割り込みマスク 0: 禁止 1: 許可
0	-	RW	"0"をライトしてください。

26.3.12　UARTxRIS (UART 源割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OERIS	BERIS	PERIS
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FERIS	RTRIS	TXRIS	RXRIS	-	-	CTSRMIS	-
After reset	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-11	−	R	読み出すと不定値が読み出されます。
10	OERIS	R	オーバーランエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求.
9	BERIS	R	ブレークエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
8	PERIS	R	パリティエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
7	FERIS	R	フレーミングエラー割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
6	RTRIS	R	受信タイムアウト割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
5	TXRIS	R	送信割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
4	RXRIS	R	受信割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
3	-	R	読み出すと不定値が読み出されます。
2	-	R	読み出すと不定値が読み出されます。
1	CTSRMIS	R	CTS モデム割り込みステータス : 0: 割り込み要求なし 1: 割り込み要求
0	-	R	読み出すと不定値が読み出されます。

26.3.13 UARTxMIS (UART マスク割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEMIS	BEMIS	PEMIS
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEMIS	RTMIS	TXMIS	RXMIS	-	-	CTSMMIS	-
After reset	0	0	0	0	Undefined	Undefined	Undefined	Undefined

Bit	Bit Symbol	Type	Function
31-11	−	R	読み出すと不定値が読み出されます。
10	OEMIS	R	オーバーランエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
9	BEMIS	R	ブレークエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
8	PEMIS	R	パリティエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
7	FEMIS	R	フレーミングエラーマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
6	RTMIS	R	受信タイムアウトマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
5	TXMIS	R	送信マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
4	RXMIS	R	受信マスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
3	-	R	読み出すと不定値が読み出されます。
2	-	R	読み出すと不定値が読み出されます。
1	CTSMMIS	R	CTS モデムマスク割り込みステータス: 0: 割り込み要求なし 1: 割り込み要求
0	-	R	読み出すと不定値が読み出されます。

26.3.14　UARTxICR (UART 割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIC	BEIC	PEIC
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIC	RTIC	TXIC	RXIC	-	-	CTSMIC	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	−	W	"0"をライトしてください。
10	OEIC	W	オーバーランエラー割り込みクリア : 0: 無効 1: クリア
9	BEIC	W	ブレークエラー割り込みクリア : 0: 無効 1: クリア
8	PEIC	W	パリティエラー割り込みクリア : 0: 無効 1: クリア
7	FEIC	W	フレーミングエラー割り込みクリア : 0: 無効 1: クリア
6	RTIC	W	受信タイムアウト割り込みクリア : 0: 無効 1: クリア
5	TXIC	W	送信割り込みクリア : 0: 無効 1: クリア
4	RXIC	W	受信割り込みクリア : 0: 無効 1: クリア
3	-	W	"0"をライトしてください。
2	-	W	"0"をライトしてください。
1	CTSMIC	W	CTS モデム割り込みクリア : 0: 無効 1: クリア
0	-	W	"0"をライトしてください。

注)　UARTxICR レジスタは、書き込みオンリーの割り込みクリアレジスタです。 このレジスタのビットが 1 にセットされると、対応する割り込みがクリアされます。0 の書き込みは無効です。

26.3.15 UARTxDMACR (UART DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DMAONERR	TXDMAE	RXDMAE
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-3	–	R	読み出すと不定値が読み出されます。
2	DMAONERR	RW	DMA オンエラー 0: あり 1: なし このビットが"1"に設定されると、データ受信中にエラーが発生したときに DMA 受信要求と UARTxRXDMASREQ (UART recieve DMA single request)または UARTxRXDMABREQ (UART receive DMA burst request)が禁止されます。
1	TXDMAE	RW	送信 DMA 許可選択 0: 禁止 1:許可
0	RXDMAE	RW	受信 DMA 許可選択 0: 禁止 1: 許可

注) DMAC を用いた送信/受信 FIFO のデータ転送の場合、バス幅は、8bit へする必要があります。

26.4　動作説明

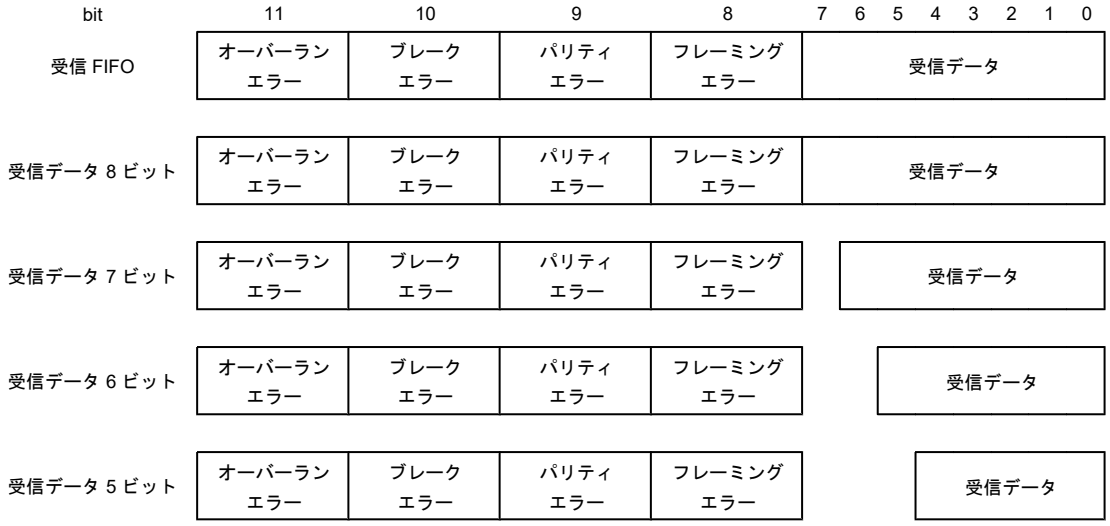
26.4.1　送信 FIFO と受信 FIFO

26.4.1.1　送信 FIFO

送信 FIFO は、8-bit 幅、32 段の FIFO メモリバッファです。 APB インターフェース経由で書き込まれた CPU データは、送信ロジックによって読みだされるまで、この FIFO に積まれます。送信 FIFO は禁止することによって、 1 バイト保持レジスタのように動作させることができます。

26.4.1.2　受信 FIFO

受信 FIFO は、12-bit 幅、 32 段の FIFO メモリバッファです。 受信データと対応するエラービットは、APB インタフェース経由で CPU によって読みだされるまで、受信ロジックによって受信 FIFO に積まれます。受信 FIFO は、ディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。



注)　受信データの空きビットは不定となります。

26.4.2　送信データと受信データ

UARTDR に書き込まれたデータは、FIFO が許可されているときには送信 FIFO に積まれます。

FIFO が禁止されているときには送信保持レジスタに転送されます。

データを書き込むことで転送が開始されます。データにはスタートビット、パリティが許可されているときにはパリティ、ストップビットが付加され、送信されます。

受信されたデータは 4 ビットのステータス(ブレークエラー、フレーミングエラー、パリティエラー、オーバーランエラー)とあわせ、12 ビット幅で受信 FIFO に積まれます。FIFO が禁止されているときには、受信されたデータとステータスは受信保持レジスタに転送されます。

26.4.3 ボーレートジェネレータ

ボーレートジェネレータは、UART 送信/ 受信制御のタイミングを生成する内部クロック(Baud16)と、低電力モード時に IrDA エンコード送信ビットストリームのパルス幅を生成する内部クロック(IrLPBaud16)を出力します。

ボーレートは UART に入力される fUARTCLK とボーレート除数から下記のように設定されます。

ボーレート = ($f_{UARTCLK}$) / (16 x ボーレート除数)

26.4.3.1 ボーレート除数の求め方

ボーレート除数は、以下のように求めることができます。

ボーレート除数 BAUDDIV = ($f_{UARTCLK}$) / (16 x baud rate)

ここで、 $f_{UARTCLK}$ は UART クロックの周波数です。

BAUDDIV は整数部(BAUDDIVINT)と小数部(BAUDDIVFRAC)から構成されます。

例: 除数値の計算

要求されるボーレートが、 230400 で $f_{UARTCLK}$ = 4 MHz の場合:

ボーレート除数 = $(4 \times 10^6)/ (16 \times 230400) = 1.085$

したがって、ボーレート除数の整数部(BAUDDIVINT) = 1 、ボーレート除数の小数部 = 0.085 となります。

上記から、BAUDDIVFRAC は、

BAUDDIVFRAC = ((0.085 × 64) + 0.5) = 5.94 = 5 (小数点以下切捨て)

となります。

この整数部と小数部から生成されるボーレート除数は

BAUDDIV = 1 + 5/64 = 1.078

です。このとき生成されるボーレートは、

生成されるボーレート = $(4 \times 10^6)/ (16 \times 1.078) = 231911$

誤差 = (231911 - 230400)/ 230400 × 100 = 0.656 %

なお、UARTxFBRD レジスタを使用した時の最大誤差は、 = 1/64 × 100 = 1.56 %で、この誤差は、UARTxFBRD = 1 の時に発生します。

26.4.4 送信ロジック

送信ロジックは送信 FIFO から読み出されたデータのパラレル/シリアル変換を行います。制御ロジックは、制御レジスタに設定された設定に従い、スタートビット、LSB から始まるデータ、パリティビット、ストップビットから構成される信号を出力します。

26.4.5 受信ロジック

受信ロジックは、スタートビット検出後に受信されたビットストリームのシリアル/パラレル変換を行います。オーバラン、パリティ、フレームの各エラーチェックとラインブレークの検出も行われ、オーバラン、パリティ、フレーミング、ブレークのエラービットに関連するデータが受信 FIFO に書き込まれます。

26.4.6　割り込み生成ロジック

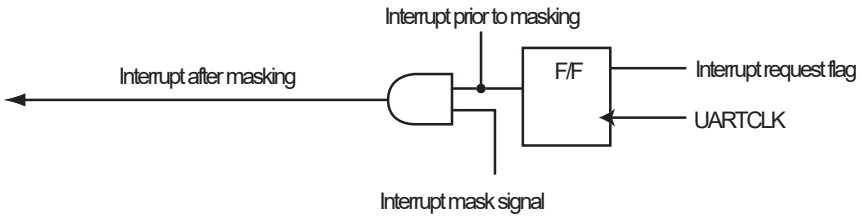
UART は、割り込み要因別にマスク可能な割り込みを出力します 。

26.4.6.1　UART 割り込み発生回路

(1)　割り込み要求フラグ発生回路

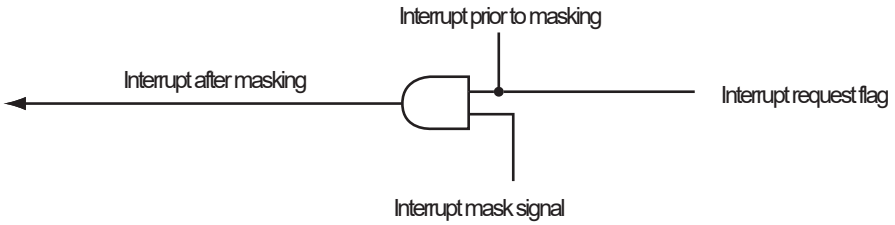
1. ブレークエラー,パリティエラー、フレーミングエラー フラグの発生回路

　割り込み要求フラグはリアルタイムに変化し、F/F に連動します。各フラグは、対応する割り込みクリアレジスタに書き込みがあった場合にクリアされます。



2. オーバーランエラーフラグの発生回路.

　オーバーランエラーにより割り込み要求フラグは、リアルタイムに変化し、状態は保持されません。 オーバーラン フラグは、受信 FIFO をリードするとクリアされます。



(2)　UART 割り込み

　各割り込み要因ごとにマスクされた割り込みステータスが OR され、INTUARTx として UART から出力されます。

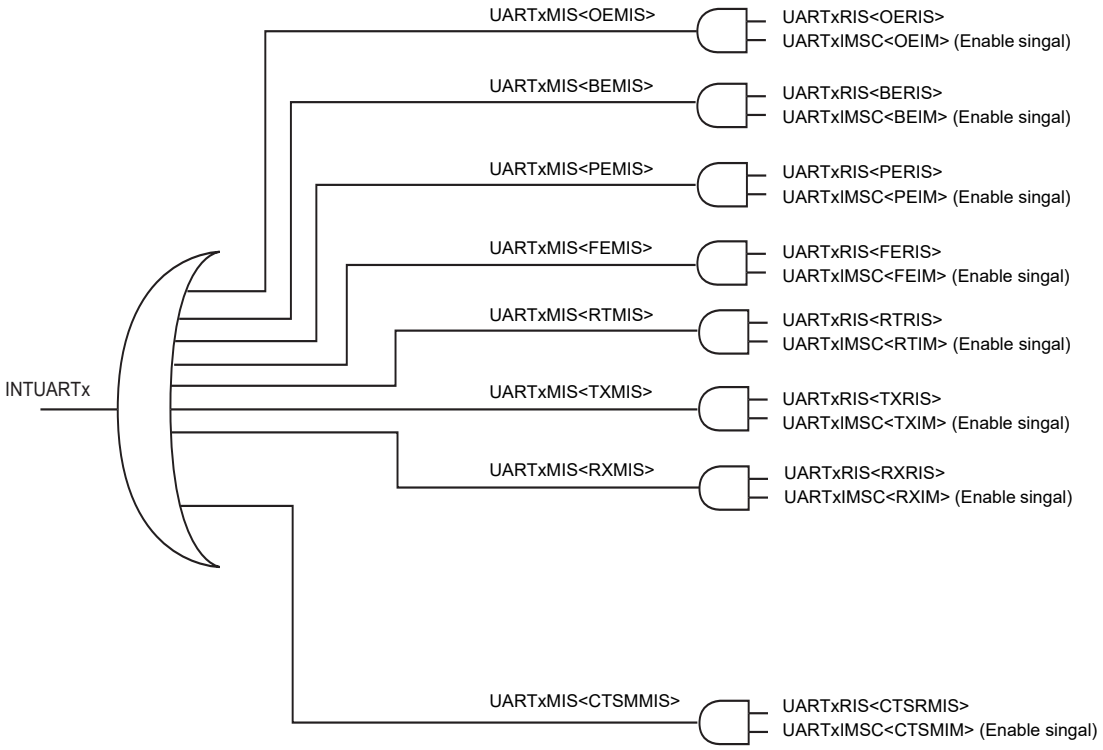


図 26-2 UART 割り込みブロック

26.4.6.2 割り込み発生タイミング

割り込み種類	割り込み発生タイミング	
オーバーランエラー発生	FIFO がフルになった時の STOP ビット受信後	
ブレークエラー 割り込み	STOP ビット受信後	
パリティエラー 発生	パリティデータ受信後	
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時:	送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時:	STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時:	STOP ビット受信後
	FIFO 使用時:	設定した FIFO レベルがフルとなるデータの STOP ビット受信後

注) STOP ビットは最終 STOP ビットのことを意味します。(UARTxLCR_H<STP2>で STOP ビット長を選択できます。)

26.4.7　DMA インタフェース

UART は、 DMA をサポートしています。

26.4.7.1　DMA インタフェースの信号

DMA インターフェースの信号として以下のものがあります。

a. UARTRXDMASREQ

UART によって有効になるシングル DMA 転送要求信号です。受信 FIFO に 1 ワード以上のデータが積まれていれば、この信号が有効になります。

b. UARTRXDMABREQ

UART によって有効になるバースト DMA 転送要求信号です。

UARTxIFLS<RXIFSEL[2:0]>で設定されたウォーターマークレベル以上のデータが受信 FIFO に積まれていると有効になります。

c. UARTRXDMACLR

受信要求信号をクリアするために DMA コントローラが有効にする DMA 要求クリア信号です。DMA バースト転送が要求されると、バーストの最後のデータ転送中に、この信号が有効となります。

d. UARTTXDMASREQ

UART によって有効になるシングル DMA 転送要求信号です。送信 FIFO に 1 ワード以上の空きがあれば、この信号が有効になります。

e. UARTTXDMABREQ

UART によって有効になるバースト DMA 転送要求信号です。送信 FIFO に積まれているデータが、UARTxIFLS<TXIFSEL[2:0]>で設定されたウォーターマークレベルに満たないときに有効になります。

f. UARTTXDMACLR

送信要求信号をクリアするために DMA コントローラが有効にする DMA 要求クリア信号です。DMA バースト転送が要求されると、バーストの最後のデータ転送中に、この信号が有効となります。

バースト DMA 転送要求信号とシングル DMA 要求信号は同時に有効になることがあります。例えば、受信 FIFO 内にウォーターマークレベル以上のデータが格納されているときです。受信 FIFO 内のデータがウォーターマークレベルに満たなくなるとシングル DMA 要求のみが有効となります。

例えば、19 文字を受信する必要がある時に、ウォーターマークレベルが 4 になるようにプログラムされている場合には、DMA コントローラは 4 文字のバーストを 4 回転送し、3 回のシングル転送を行って転送を完了させます。

26.4.8 ハードウエアフロー制御

$\overline{\text{RTSx}}$ 端子と $\overline{\text{CTSx}}$ 端子を用いてシリアルデータフローを制御することができます。

図 26-3 に、2 つのデバイスの接続を示します。

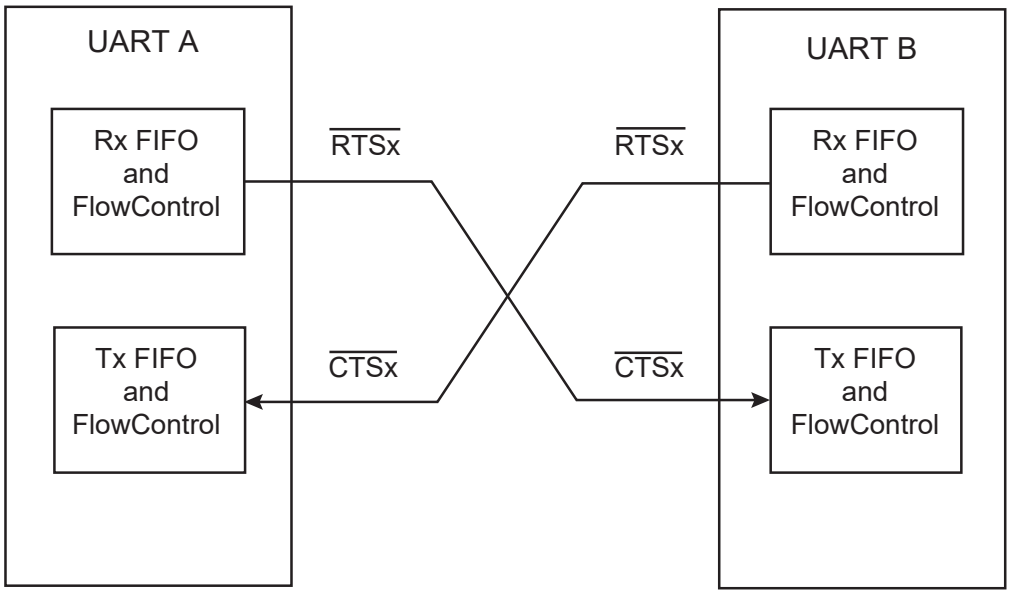


図 26-3 ハードウェアフロー制御

1. RTS ハードウェアフロー制御

   RTS ハードウェアフロー制御ロジックの動作は、UARTxIFLS<RXIFSEL[2:0]>で設定された受信 FIFO のウォーターマークレベルと関係します。

   RTS ハードウェアフロー制御が許可されている場合は、受信 FIFO がウォーターマークレベルに満たない場合、$\overline{\text{RTSx}}$ 端子が有効になります。受信 FIFO がウォーターマークレベル以上になると、$\overline{\text{RTSx}}$ 端子が無効になり、受信 FIFO にデータを積むための空き場所がないことを示します。

   受信 FIFO からデータが読み出され、ウォーターマークレベル未満になると、$\overline{\text{RTSx}}$ 端子が再度、有効になります。

   RTS ハードウェア フロー制御が禁止の状態でも通信は可能です。

2. CTS ハードウェアフロー制御

   CTS ハードウェアフロー制御が許可されている場合、送信する前に $\overline{\text{CTSx}}$ 端子をチェックします。$\overline{\text{CTSx}}$ 端子が有効であればデータを送信しますが、有効でなければ送信しません。

   $\overline{\text{CTSx}}$ 端子が有効で、かつ送信 FIFO が空でない間はデータが送信され続けます。送信 FIFO が空であれば、$\overline{\text{CTSx}}$ 端子が有効であってもデータは送信されません。

   CTS ハードウェアフロー制御が許可されている時に $\overline{\text{CTSx}}$ 端子が無効になった場合、現在送信中のデータ送信が完了してから停止します。

   CTS ハードウェアフロー制御が禁止の状態でも通信は可能です。

表 26-2 ハードウェアフロー制御のイネーブル/ディセーブル

UARTxCR		説　明
<CTSEN>	<RTSEN>	
1	1	RTS および CTS のハードウェアフロー制御がイネーブルされます。
1	0	CTS ハードウェアフロー制御のみがイネーブルされます。
0	1	RTS ハードウェアフロー制御のみがイネーブルされます。
0	0	RTS および CTS の両方のハードウェアフローが制御がディセーブルされます。

第 27 章　シリアルバスインタフェース(I2C)

27.1　概要

シリアルバスインタフェースは、下記の動作モードを持っています。

・ I2C バスモード(マルチマスタ)

以下の説明中、"x"はチャネル番号をあらわします。

27.2　構成

図 27-1 にシリアルバスインタフェースのブロック図を示します。

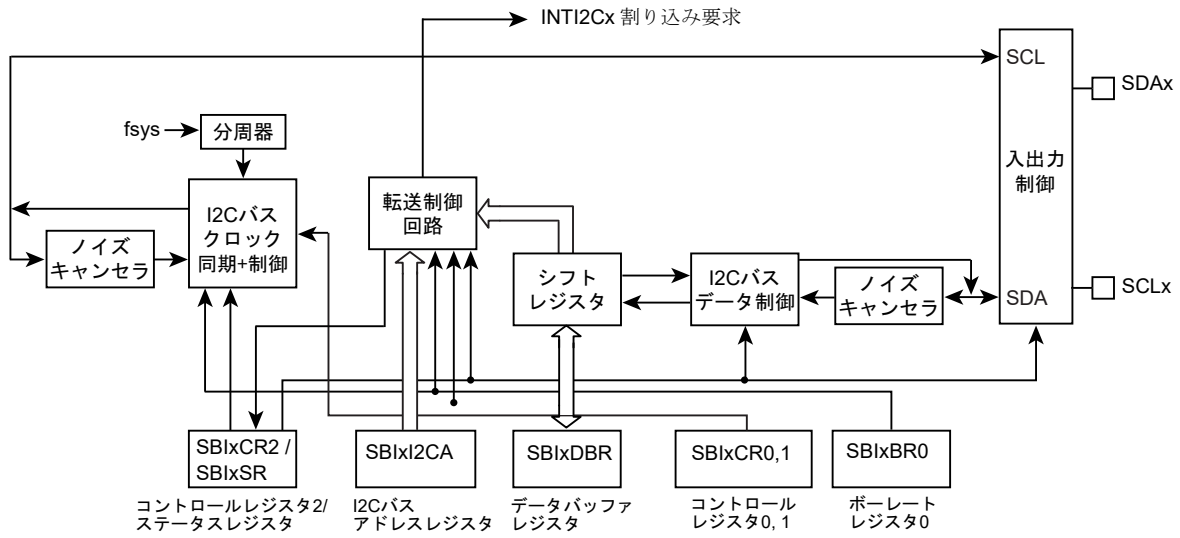


図 27-1 シリアルバスインタフェースブロック図

27.3 レジスタ説明

27.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
コントロールレジスタ 0	SBIxCR0	0x0000
コントロールレジスタ 1	SBIxCR1	0x0004
データバッファレジスタ	SBIxDBR	0x0008
I2C バスアドレスレジスタ	SBIxI2CAR	0x000C
コントロールレジスタ 2	SBIxCR2(ライト時)	0x0010
ステータスレジスタ	SBIxSR(リード時)	
ボーレートレジスタ 0	SBIxBR0	0x0014

27.3.2 SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、一番最初に<SBIEN>に"1"を設定してください。 <SBIEN>を"1"に設定することで SBI に関連するレジスタのリード、ライトが可能になります。 動作禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルバスインタフェース回路を一旦動作させた後に動作禁止にした場合は、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

27.3.3　SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1)
4	ACK	R/W	マスターモード 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する スレーブモード 0:アクノリッジメントのためのクロックをカウントしない 1:アクノリッジメントのためのクロックをカウントする
3	-	R	リードすると"1"が読めます。
2-1	SCK[2:1]	R/W	SCL クロック出力の周波数選択<SCK[2:0]>@ライト　(注 2)
0	SCK[0]	W	
	SWRMON	R	ソフトウエアリセット状態モニタ 0:ソフトウエアリセット中 1:ソフトウエアリセット中ではない

<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

000	n = 5	システムクロック: fsys クロックギア: fc/1 周波数 = $\frac{fsys}{2^n + 72}$ [Hz]
001	n = 6	
010	n = 7	
011	n = 8	
100	n = 9	
101	n = 10	
110	n = 11	
111	Reserved	

注 1)　SCL ラインクロックの周波数については、「27.4.2 シリアルクロック」を参照してください。

注 2) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

注 3) マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

27.3.4　SBIxCR2(コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: レシーバ 1: トランスミッタ
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTI2Cx 割り込み要求解除 0: − 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 1) 00: ポートモード(シリアルバスインタフェースの入力/出力禁止) (注 2) 01: Reserved 10: I2C バスモード (注 3) 11: Reserved
1-0	SWRST[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。 詳細は「27.4.16 ソフトウエアリセット」を参照願います。

注 1)　通信中は動作モードを切り替えないでください。

注 2)　ポートモードへの切り替えは、SDAx 端子/SCL 端子が"High"になっていることを確認してから行ってください。

注 3)　ポートモードから I2C バスモードの切り替えは、SDAx 端子/SCLx 端子が"High"になっていることを確認してから行ってください。

注 4)　SBIxCR2 は SBIxSR と同じアドレスに割り当てられています。したがってリードモディファイライトによる操作はできません。

27.3.5 SBIxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTI2Cx 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ゼネラルコールアドレス検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

27.3.6　SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

27.3.7 SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1) 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、リードモディファイライトによる操作はできません。

27.3.8　SBIxI2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1)　<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2)　スレーブモード時 SBIxI2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

27.4 制御

27.4.1 動作モードの設定

SBIxCR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するときは、<SBIM[1:0]>を"10"に設定してください。

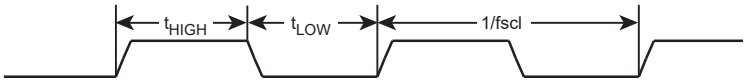
注 1) ポートモードへの切り替えは、SDAx 端子/SCL 端子が"High"になっていることを確認してから行ってください。

注 2) ポートモードから I2C バスモードの切り替えは、SDAx 端子/SCLx 端子が"High"になっていることを確認してから行ってください。

27.4.2 シリアルクロック

27.4.2.1 クロックソース

SBIxCR1 <SCK[2:0]>で、マスタモード時に SCLx 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$t_{LOW} = 2^{n-1}/fsys + 58/fsys$
$t_{HIGH} = 2^{n-1}/fsys + 14/fsys$
$fscl = 1/(t_{LOW} + t_{HIGH})$
$= \frac{fsys}{2^n + 72}$

SBIxCR1<SCK[2:0]>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 27-2 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。SCL クロック出力の周波数が規格の上限を超えないように SBIxCR1<SCK>を設定してください。

27.4.2.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

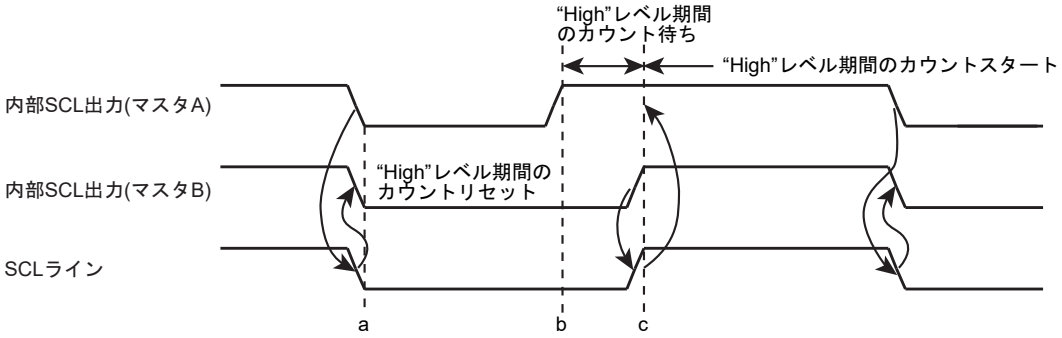


図 27-3 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後,"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

27.4.3　アクノリッジメントモードの指定

SBIxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。

マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。

スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。

トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。

レシーバモードのときはアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引きアクノリッジ信号を発生します。また、同様に、スレーブモードでゼネラルコールアドレスを受信した場合にも、アクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。Second byte は内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを付加しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

27.4.4　転送ビット数の選択

SBIxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

27.4.5 スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBIxI2CAR<ALS>に"0"を設定し、SBIxI2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

27.4.6 マスタ/スレーブの選択

SBIxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。

なお、<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

27.4.7 トランスミッタ/レシーバの選択

SBIxCR2<TRX> を"1"に設定すると、トランスミッタとして動作します。

<TRX>を"0"に設定すると、レシーバとして動作します。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウエアによって設定されることはありません。

アドレッシングフォーマットで使用するときには、<TRX>は下記のように設定されます。

27.4.7.1 マスターモード時

マスタモード時は、スレーブアドレスと方向ビットを送信後、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、下記のように<TRX>が設定されます。アクノリッジが返ってこないときは、以前の状態を保ちます。

- 送信した方向ビットが"1"の場合、<TRX>は"0"に設定されます。
- 送信した方向ビットが"0"の場合、<TRX>は"1"に設定されます。

27.4.7.2 スレーブモード時

スレーブモード時は、アドレッシングフォーマットでデータ転送を行う場合に、下記の条件が成立するとマスタデバイスの送ってくる方向ビットにあわせ、<TRX>が設定されます。

- 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき
- ゼネラルコールを受信したとき

<TRX>は下記のように設定されます。

- 受信した方向ビットが"1"の場合、<TRX>は"1"に設定されます。
- 受信した方向ビットが"0"の場合、<TRX>は"0"に設定されます。

27.4.8　バスビジーモニタ

SBIxSR<BB>を読み出すことで、バスの状態を知ることができます。

<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ、ストップコンディションを検出すると"0"にクリアされます。

<BB>が"1"のときをバスビジー状態、<BB>が"0"のときをバスフリー状態と呼びます。

マスタデバイスは、バスフリーの状態でのみスタートコンディションを発生することができます。スタートコンディションを発生する前には、必ず<BB>が"0"であることを確認してください。

<BB>が"1"の状態でスタートコンディションを発生すると、スタートコンディションは発生せず、アービトレーションロストが発生します。

27.4.9　割り込みサービス要求と解除

割り込み要求(INTI2Cx)が発生すると、SBIxCR2<PIN>が"0"にクリアされ、割り込みサービス要求状態になります。<PIN>が"0"の間、SCL 端子を"Low"レベルにします。

<PIN>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"1"にセットされます。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

<PIN>が"1"にセットされると SCL 端子が開放されます。<PIN>が"1"にセットされてから SCL 端子が開放されるまで t_{LOW} の時間がかかります。

注)　マスタモードでアービトレーションロストが発生した時、スレーブアドレスが一致しなかった場合は,<PIN>は"0"にクリアされません。(INTI2Cx は発生します。)

27.4.10　アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。

b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。

マスタ B のこの状態を"アービトレーションロスト"と呼びます。アービトレーションロストが発生したマスタ B は、SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。

もし、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

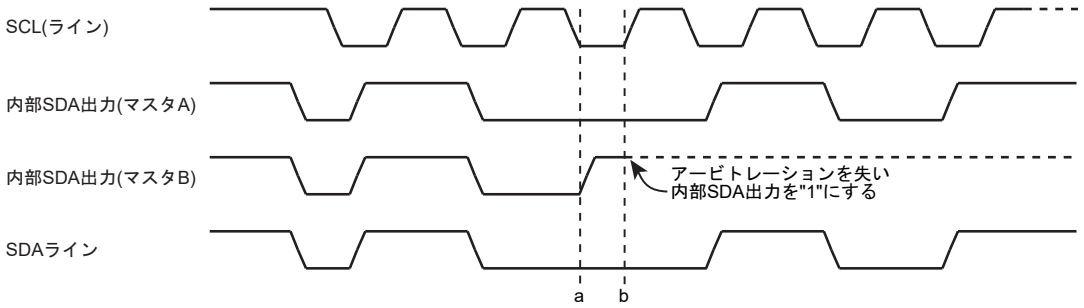


図 27-4 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIxSR<AL> が"1"にセットされます。

アービトレーションロストが発生すると、SBIxSR<MST, TRX>は"0"にクリアされ、スレーブレシーバモードになり、SCL クロックの出力を停止します。

スレーブアドレス転送中にアービトレーションロストが発生したデバイスは、通常のスレーブデバイスのように、他のマスタが送信するスレーブアドレスを受信します。

受信したスレーブアドレスが、SBIxI2CAR<SA>と一致した場合、<PIN>が"0"にクリアされ、INTI2Cx が発生します。一致しなかった場合、<PIN>は"1"のままですが、INTI2Cx が発生します。

<AL>は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと"0"にクリアされます。

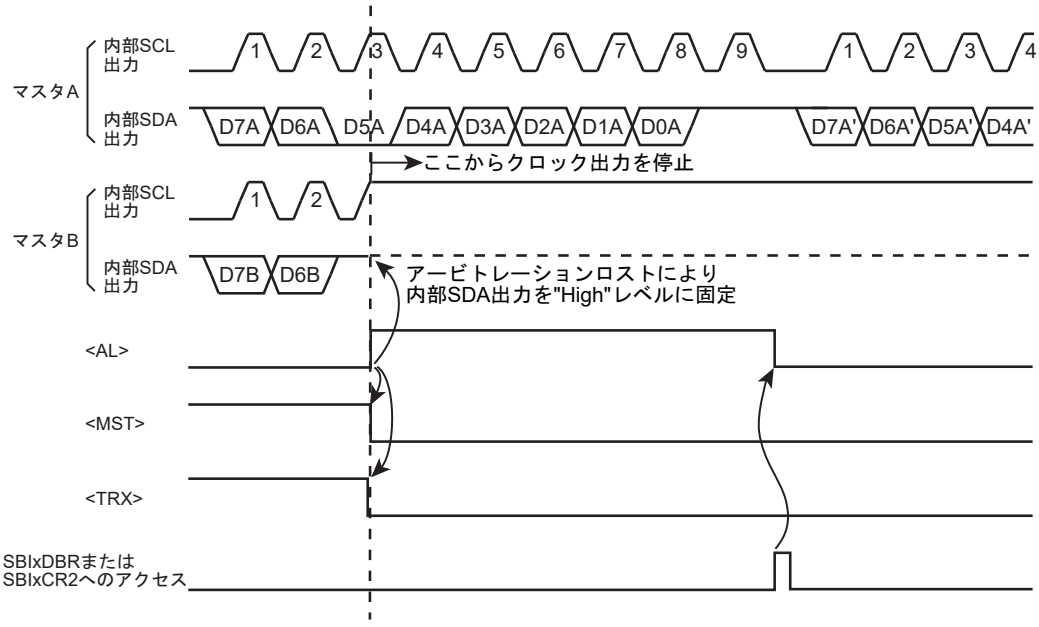


図 27-5 マスタ B の場合の例(D7A=D7B,D6A=D6B)

27.4.11　スレーブアドレス一致検出モニタ

SBIxSR<AAS>は、スレーブモード時、アドレス認識モード(SBIxI2CAR<ALS> = "0")のとき、ゼネラルコールアドレスまたは SBIxI2CAR<SA>にセットした値と同じスレーブアドレスを受信すると、"1"にセットされます。

フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。

<AAS> は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"0"にクリアされます。

27.4.12　ゼネラルコール検出モニタ

SBIxSR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき、"1"にセットされます。

バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

27.4.13 最終受信ビットモニタ

SBIxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTI2Cx 割り込み要求発生直後に SBIxSR<LRB> を読み出すと、ACK 信号が読み出されます。

27.4.14 データバッファレジスタ(SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時に、SBIxDBR にスレーブアドレスと方向ビットを設定後、スタートコンディションを発生しすることで、スレーブデバイスに対し、スレーブアドレスと方向ビットを送信することができます。

27.4.15 ボーレートレジスタ(SBIxBR0)

SBIxBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

27.4.16 ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

I2C モードで SBIxCR2<SWRST[1:0]>へ、最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。ライトの際、SBIxCR2<MST><TRX><BB><PIN>は"0000"、SBIxCR2<SBIM[1:0]> は"10" (I2C バスモード)を指定してください。ソフトウエアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST>は、シリアルバスインタフェースを初期化すると、自動的に"00"にクリアされます。

注) ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

27.5　I2C バスモード時のデータ転送手順

27.5.1　デバイスの初期化

最初に SBIxCR1<ACK, SCK[2:0]>を設定します。SBIxCR1[7:5]には、"0"を書き込んでください。

次に SBIxI2CAR にスレーブアドレス<SA[6:0]>と<ALS> (アドレッシングフォーマット時、<ALS> = "0")を設定します。

それから、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBIxCR2<MST, TRX, BB>に"0", <PIN>に"1", <SBIM[1:0]>に"10", ビット 1, 0 に"0"を書き込み、初期状態をスレーブレシーバモードにします。

注)　シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	0	X	0	X	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	←	X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注)　X; Don't care

27.5.2　スタートコンディション, スレーブアドレスの発生

スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(SBIxSR<BB> = "0")を確認します。次に、SBIxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、SBIxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。

スタートコンディションの発生に次いで、SCLx 端子から 9 発の SCL クロックを出力します。

最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。

9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTI2Cx 割り込み要求が発生し、<PIN> = "0"にされます。

<PIN> = "0" の間、SCL 端子を"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTI2Cx 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> が変化します。

注)　スレーブアドレスを出力するために SBIxDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

```
                        7  6  5  4  3  2  1  0
Reg.          ←  SBIxSR
Reg.          ←  Reg.AND 0x20
if Reg.       ≠  0x00                          バスがフリー状態になるまで確認します。
Then
SBIxCR1       ←  X  X  X  1  0  X  X  X        アクノリッジメントモードに設定します。
SBIxDBR       ←  X  X  X  X  X  X  X  X        目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2       ←  1  1  1  1  1  0  0  0        スタートコンディションの発生を行います。
```

INTI2Cx 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

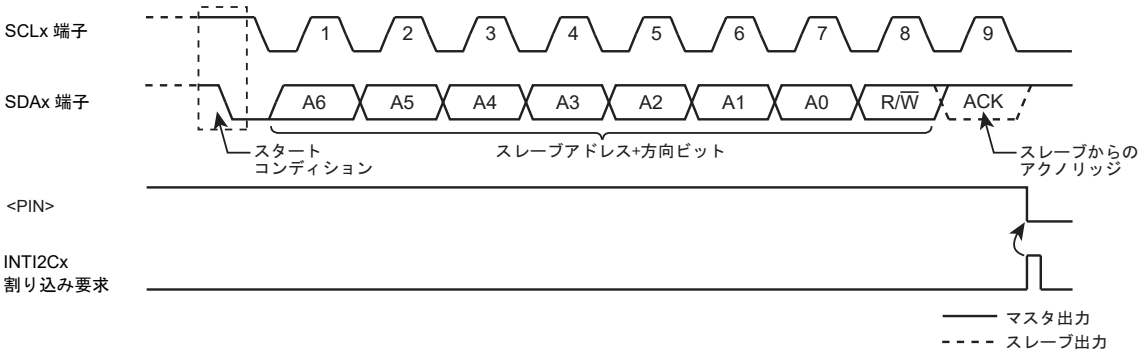


図 27-6 スタートコンディションとスレーブアドレスの発生

27.5.3　1 ワードのデータ転送

1 ワード転送終了の INTI2Cx 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

27.5.3.1　マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1)　トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。

次に転送するデータのビット数が 8 ビットのとき SBIxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>を設定し、転送データを SBIxDBR に書き込みます。

データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用の SCL クロックが発生され、SDA 端子から 1 ワードのデータが転送されます。

転送終了後 INTI2Cx 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。

複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTI2Cx 割り込み

```
if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBIxCR1     ←  X  X  X  X  0  X  X  X     転送ビット数および ACK を設定します。
SBIxDBR     ←  X  X  X  X  X  X  X  X     転送データを書き込みます。
割り込み処理終了
```

注)　X; Don't care

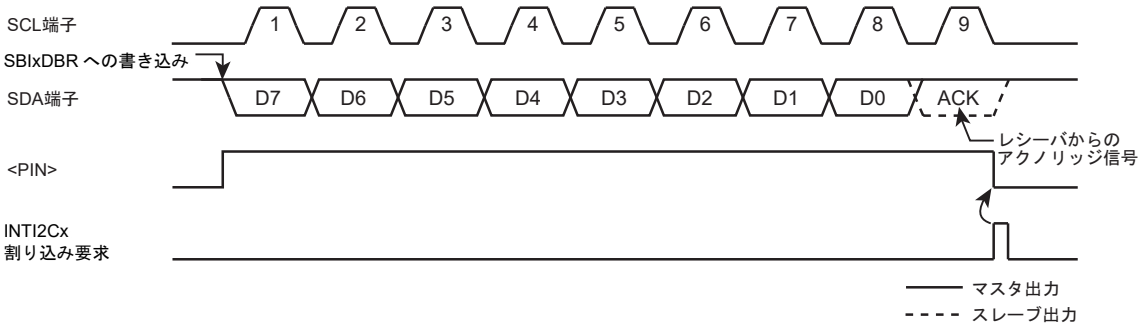


図 27-7 <BC[2:0]>="000",<ACK>="1"の場合（トランスミッタモード）

(2)　レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIxDBR から受信データを読み出します。8 ビット以外のときは<BC[2:0]>を設定し、SCL 端子を解放するために SBIxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。

データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用の SCL クロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTI2Cx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"Low"レベルに引きます。SBIxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

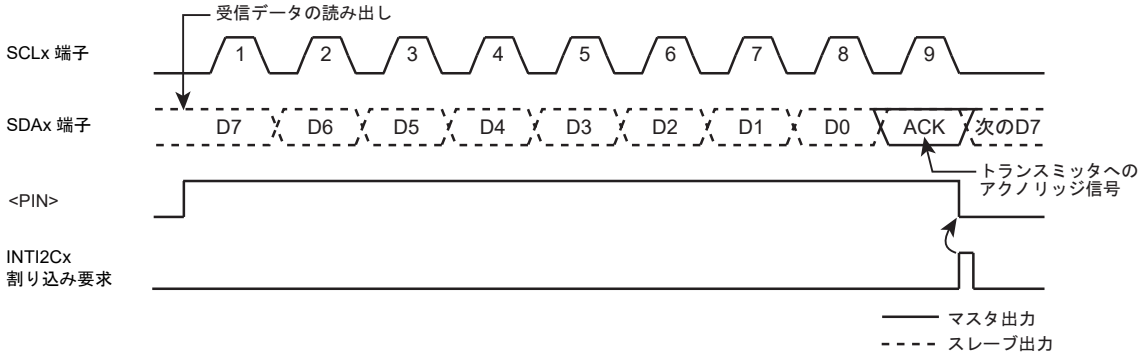


図 27-8 <BC[2:0]="000",<ACK>="1"のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

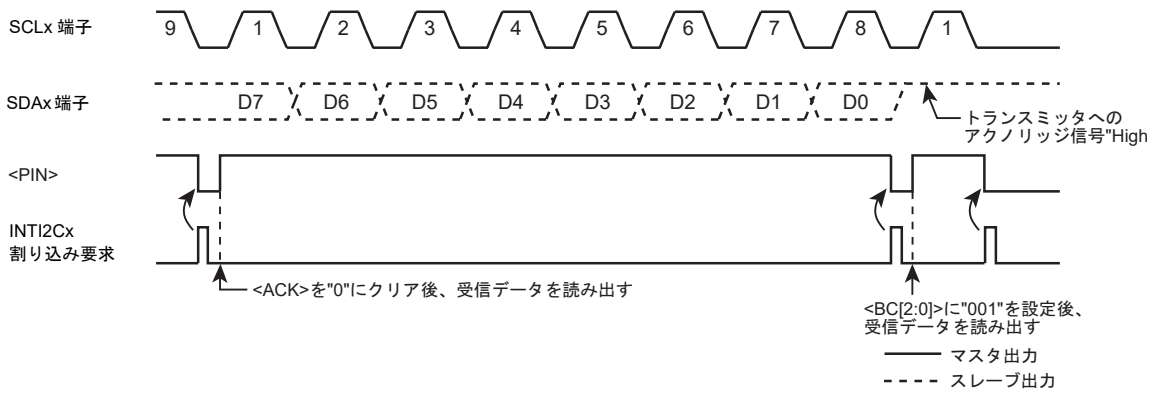


図 27-9 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTI2Cx 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	SBIxDBR								ダミーデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 1~(N − 2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	SBIxDBR								1~(N − 2)回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 (N − 1)回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	SBIxDBR								(N − 1)回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	1	0	0	X	X	X	1 ビット転送にします。
Reg.	←	SBIxDBR								N 回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

27.5.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールアドレスを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールアドレスを受信した後のデータ転送終了時に INTI2Cx 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTI2Cx 割り込み要求が発生します。INTI2Cx 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"Low"レベルに引きます。SBIxDBR にデータを書き込む、SBIxDBR からデータを読み出す、または<PIN>に"1"を設定すると SCLx 端子が t_{LOW} 後に開放されます。

なお、ゼネラルコールの Second byte は内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行なってください。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBIxSR<AL>, <TRX>, <AAS>, <ADO>をテストし、場合分けを行います。「表 27-1 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTI2Cx 割り込み

```
if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBIxCR1     ←  X  X  X  1  0  X  X  X      送信ビット数を設定します。
SBIxDBR     ←  X  X  X  X  X  X  X  X      送信データをセットします。
```

注) X; Don't care

表 27-1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIxDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを SBIxDBR から読み出します。

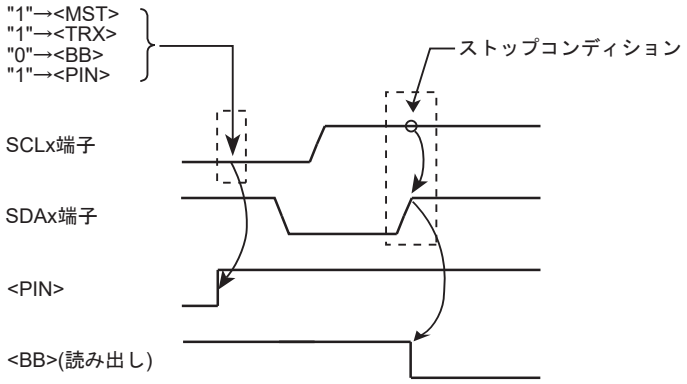


図 27-10 ストップコンディションの発生

27.5.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDAx 端子は"High"レベルを保ち、SCLx 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「27.5.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1) <MST> = "0"の状態の時に<MST> = "0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if SBIxSR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if SBIxSR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
Then										
4.7 μs Wait										
SBIxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注)　X; Don't care

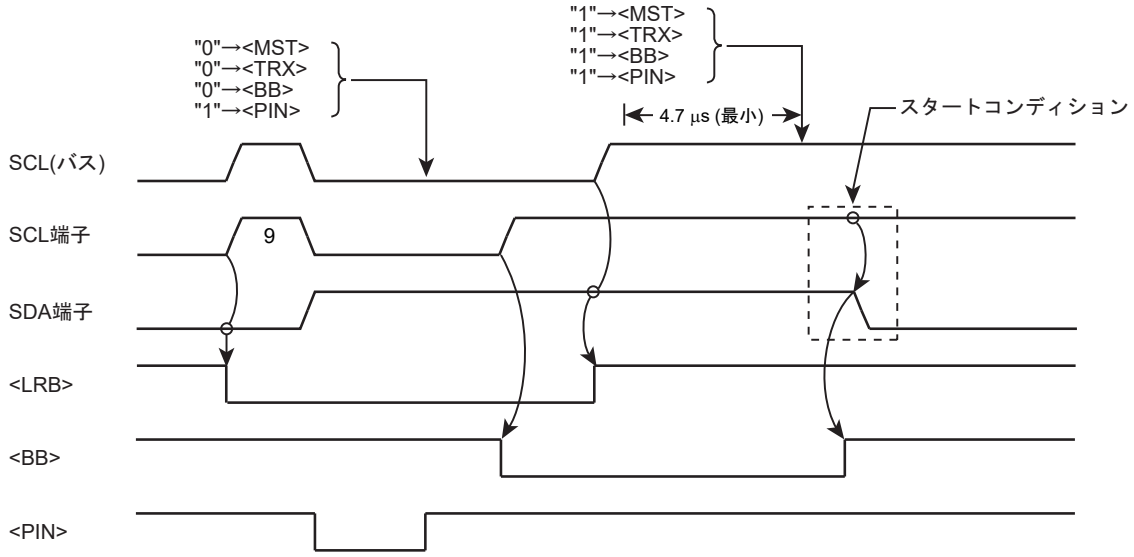
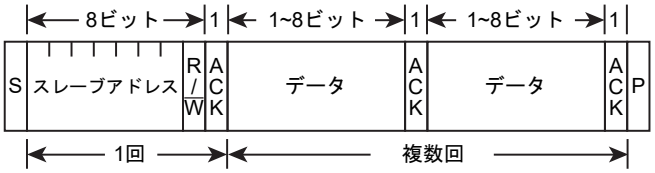


図 27-11 再スタートを発生する場合のタイミングチャート

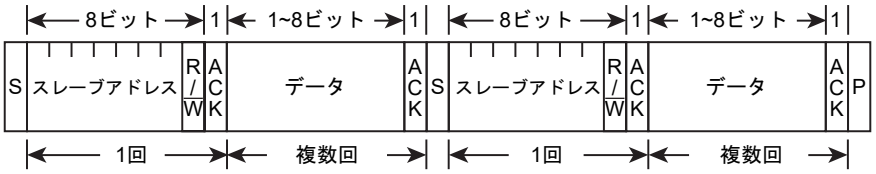
27.6 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 27-12 に示します。

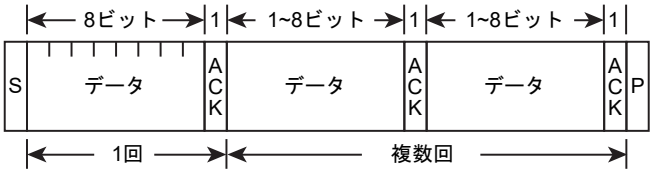
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S : スタートコンディション
R/W : 方向ビット
ACK : アクノリッジビット
P : ストップコンディション

図 27-12 I2C バスモード時のデータフォーマット

27.7　マルチマスタで使用する際の注意点

マルチマスタで使用している際に通信がロックした場合に備え、ソフトウェアによるリカバリ対策を用意願います。

リカバリ処理例

1. 送信開始と共にタイムアウト検知用のタイマカウントを開始
2. 一定時間内にシリアルインターフェイス割り込み（INTI2Cx）が発生せず、タイムアウトとなった場合、通信がロックしたと判断
3. シリアルバスインターフェースのソフトウェアリセットを実行し通信ロックを解除
4. 送信タイミングの調整処理 (注)
5. 送信データを再送信

注)　再送信タイミングが重ならないよう、デバイス毎に送信タイミングを調整してください。

第 28 章　キーオンウエイクアップ(KWUP)

28.1　概要

キーオンウエイクアップ(以下、KWUP と略します)は、次のような特徴をもっています。

- KWUP の各入力は STOP 解除または外部割り込みとして使用可能です。ただし、これらの入力に対する割り込み要因は 1 要因であり、CG ブロック内で設定する必要があります。また、KWUP 入力の使用/未使用をレジスタにて各入力個別に制御することが可能です。
- KWUP 入力の立ち上がりエッジ/立ち下がりエッジ/両エッジ/High レベル/Low レベルを検出するアクティブ状態 をレジスタにて各入力個別に設定することが可能です。
- KWUP 入力にはプルアップが付いており、スタティックプルアップ/ダイナミックプルアップをレジスタにて各入力個別に設定することが可能です。

28.2　ブロック図

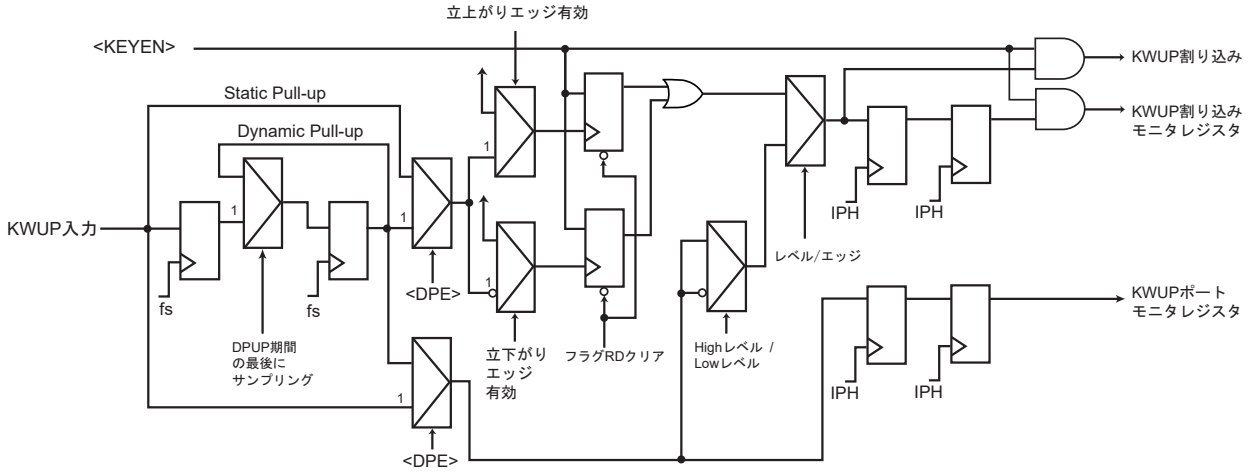


図 28-1 キーオンウエイクアップ回路ブロック図

28.3　レジスタ詳細

28.3.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
コントロールレジスタ 0	KWUPxCR0	0x0000
コントロールレジスタ 1	KWUPxCR1	0x0004
コントロールレジスタ 2	KWUPxCR2	0x0008
コントロールレジスタ 3	KWUPxCR3	0x000C
コントロールレジスタ 4	KWUPxCR4	0x0010
コントロールレジスタ 5	KWUPxCR5	0x0014
コントロールレジスタ 6	KWUPxCR6	0x0018
コントロールレジスタ 7	KWUPxCR7	0x001C
コントロールレジスタ 8	KWUPxCR8	0x0020
コントロールレジスタ 9	KWUPxCR9	0x0024
コントロールレジスタ 10	KWUPxCR10	0x0028
コントロールレジスタ 11	KWUPxCR11	0x002C
コントロールレジスタ 12	KWUPxCR12	0x0030
コントロールレジスタ 13	KWUPxCR13	0x0034
コントロールレジスタ 14	KWUPxCR14	0x0038
コントロールレジスタ 15	KWUPxCR15	0x003C
コントロールレジスタ 16	KWUPxCR16	0x0040
コントロールレジスタ 17	KWUPxCR17	0x0044
コントロールレジスタ 18	KWUPxCR18	0x0048
コントロールレジスタ 19	KWUPxCR19	0x004C
コントロールレジスタ 20	KWUPxCR20	0x0050
コントロールレジスタ 21	KWUPxCR21	0x0054
コントロールレジスタ 22	KWUPxCR22	0x0058
コントロールレジスタ 23	KWUPxCR23	0x005C
コントロールレジスタ 24	KWUPxCR24	0x0060
コントロールレジスタ 25	KWUPxCR25	0x0064
コントロールレジスタ 26	KWUPxCR26	0x0068
コントロールレジスタ 27	KWUPxCR27	0x006C
コントロールレジスタ 28	KWUPxCR28	0x0070
コントロールレジスタ 29	KWUPxCR29	0x0074
コントロールレジスタ 30	KWUPxCR30	0x0078
コントロールレジスタ 31	KWUPxCR31	0x007C
ポートモニタレジスタ	KWUPxPKEY	0x0080
プルアップ周期レジスタ	KWUPxCNT	0x0084
割り込みモニタレジスタ	KWUPxINT	0x008C

28.3.2 KWUPxCR0 ~ KWUPxCR31(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DPE	KEY			–	–	–	KEYEN
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	DPE	R/W	スタティックプルアップ、ダイナミックプルアップを選択 0: スタティック 1: ダイナミック
6-4	KEY[2:0]	R/W	KWUP 入力を検出するアクティブ状態を設定 000:"Low" レベル 001:"High" レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
3-1	–	R	リードすると"0"が読めます。
0	KEYEN	R/W	KWUP 割り込み要求を設定 0: 禁止(割り込み要求を行わない) 1: 許可(割り込み要求を行う) KWUP 入力により KWUP 割り込み要求をおこなうかどうかを選択します

注 1) KWUP 入力を検出するアクティブ状態の変更は、必ず<KEYEN>="0"の状態で行ってください。

注 2) <KEY[2:0]>にて KWUP 入力を検出するアクティブ状態を"Low"レベル("000")または"High"レベル("001")に設定した場合、KWUP 割り込みが発生してから KWUP 割り込みモニタレジスタをリードするまでの間に KWUP 入力のレベルが取り下げられていると KWUP 割り込みモニタレジスタの各 KWUP 入力に対応したビットシンボルに割り込みが入ったことを示す"1"をリードできません。

28.3.3　KWUPxPKEY(ポートモニタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	PKEY31	PKEY30	PKEY29	PKEY28	PKEY27	PKEY26	PKEY25	PKEY24
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PKEY23	PKEY22	PKEY21	PKEY20	PKEY19	PKEY18	PKEY17	PKEY16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PKEY15	PKEY14	PKEY13	PKEY12	PKEY11	PKEY10	PKEY9	PKEY8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PKEY7	PKEY6	PKEY5	PKEY4	PKEY3	PKEY2	PKEY1	PKEY0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	PKEY31 ~ PKEY0	R	KWUP 入力の端子状態 0:"Low" 1:"High" <PKEY0> ~ <PKEY31>を参照することによりダイナミックプルアップ動作中においても、外部の状態をモニタ可能になります。 ダイナミックプルアップ周期にてサンプリングを行います。

28.3.4 KWUPxCNT(プルアップ周期レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	T2S		T1S		–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	–	R	リードすると"0"が読めます。
5-4	T2S[1:0]	R/W	ダイナミックプルアップ周期 00: 256/fs (7.8 ms @fs = 32.768 kHz) 01: 512/fs (15.6 ms @fs = 32.768 kHz) 10: 1024/fs (31.3 ms @fs = 32.768 kHz) 11: 2048/fs (62.5 ms @fs = 32.768 kHz) <T2S>で決まる T2 の周期でダイナミックプルアップ動作を繰り返します。
3-2	T1S[1:0]	R/W	ダイナミックプルアップ期間 00: 2/fs (61.04 μs @fs = 32.768 kHz) 01: 4/fs (122.1 μs @fs = 32.768 kHz) 10: 8/fs (244.1 μs @fs = 32.768 kHz) 11: 16/fs (488.3 μs @fs = 32.768 kHz) <T1S>で決まる T1 の期間のみ プルアップが行われ、残りの期間は、プルアップは行われません。
1-0	–	R	リードすると"0"が読めます。

注 1) ダイナミックプルアップ使用時は fs を動作させてください。
注 2) ダイナミックプルアップ切り替え後、T1 期間を 1 回待ってからキー入力してください。

ダイナミックプルアップの動作は下図の通りです。

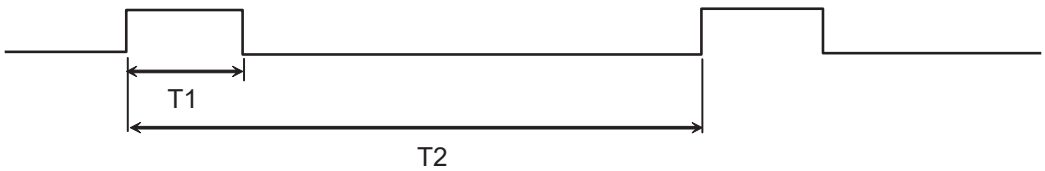


図 28-2 ダイナミックプルアップ動作

28.3.5 KWUPxINT(割り込みモニタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	KEYINT31	KEYINT30	KEYINT29	KEYINT28	KEYINT27	KEYINT26	KEYINT25	KEYINT24
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	KEYINT23	KEYINT22	KEYINT21	KEYINT20	KEYINT19	KEYINT18	KEYINT17	KEYINT16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	KEYINT15	KEYINT14	KEYINT13	KEYINT12	KEYINT11	KEYINT10	KEYINT9	KEYINT8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	KEYINT7	KEYINT6	KEYINT5	KEYINT4	KEYINT3	KEYINT2	KEYINT1	KEYINT0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	KEYINT31 ~ KEYINT0	R	KWUP 割り込み発生時に検出された KWUP 入力の状態 0:無し 1:有り

KWUP コントロールレジスタの<KEYEN>が"1"のときに KWUP 入力にアクティブな信号が入力されると、各 KWUP 入力に対応したビットシンボルに割り込みが入ったことを示す"1"がリードできます。

本レジスタは読み出し専用レジスタで、本レジスタをリードすることにより、"1"にセットされた該当ビットおよび割り込み要求はクリアされます。

ダイナミックプルアップ使用時、プルアップ期間(T1 期間)の終わりでサンプリングした KWUP 入力の値が保持されます。KWUP コントロールレジスタの<KEY[2:0]>で検出するアクティブ状態を High または Low レベルに設定した場合は、外部入力を取り下げない限り、本レジスタの該当ビットをリードしてもクリアされず"1"のままです。この場合、"1"にセットされた該当ビットおよび割り込み要求がクリアされるのは次のダイナミックプルアップのサンプリングのタイミングで KWUP 入力が非アクティブレベルになる時となります。

28.4 動作説明

各 KWUP 入力は STOP 解除または外部割り込みとして使用でき、CG 割り込みモードコントロールレジスタの低消費電力モード解除設定を許可/禁止に設定することで切り替えます。KWUP 入力ごとの割り込み入力許可／禁止は KWUP コントロールレジスタの<KEYEN>で設定すると同時に、使用する KWUP 入力ごとの検出レベルを KWUP コントロールレジスタ<KEY[2:0]>で設定してください。

KWUP 入力の検出結果はアクティブ状態"High"レベルとして CG 割り込みモードコントロールレジスタへ通知されます。したがって、CG 割り込みモードコントロールレジスタの低消費電力モード解除の検出レベル設定を"High"レベル（"001"）に設定してください。

CG 割り込みモードコントロールレジスタの低消費電力モード解除を禁止に設定することにより、すべての KWUP 入力は通常割り込みになります。この場合は CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。

各 KWUP 入力の KWUP 割り込み要求や検出レベルは KWUP コントロールレジスタで同様に設定します。割り込み処理の中で、KWUP 割り込みモニタレジスタをリードすることによりすべての KWUP 割り込み要求がクリアされます。

注) KWUP 割り込み発生時に複数の KWUP 入力を検出した場合、KWUP 割り込みモニタレジスタをリードすることによりすべての KWUP 入力の検出状態がクリアされます。

28.5　プルアップ機能

各 KWUP 入力にはプルアップ機能があります。ポート内のレジスタにより端子ごとに設定することが出来ます。

スタティックプルアップ設定時は、KWUP コントロールレジスタの<KEYEN>によらずプルアップは使用可能です。

ダイナミックプルアップ動作は、「28.3.4 KWUPxCNT(プルアップ周期レジスタ)」を参照してください。

28.5.1　プルアップイネーブルで KWUP 入力を使用する場合

a. 電源投入後最初に設定する場合(例：KWUPA3 入力, 両エッジ割り込みの場合)

PADFR1<KWUPA03>	=	1			: KWUPA3 に機能設定
PADPUP<PAD3UP>	=	1			: プルアップ ON 制御
PADIE<PAD3IE>	=	1			: 入力許可
KWUPACR3<KEYEN>	=	0			: 割り込み禁止
KWUPACR3<KEY[2:0]>	=	1	0	0	:アクティブ状態変更(両エッジ)
プルアップが完了する時間を待つ					
KWUPAINT	リード				: KWUPA 割り込み全要因クリア
KWUPACR3<KEYEN>	=	1			: 割り込み許可
CGIMCGF<EMCG16[2:0]>	=	0	0	1	: "High"レベル設定
割り込みイネーブルセットレジスタ 1[22]	=	1			: INTKWUPA を許可設定

b. 動作途中で KWUP 入力のアクティブ状態を変更する場合

割り込みイネーブルクリアレジスタ 2[1]	=	1			: INTKWUPA を禁止設定
KWUPACR3<KEYEN>	=	0			: 割り込み禁止
KWUPACR3<KEY[2:0]>	=	0	0	0	: アクティブ状態変更("Low"レベル)
KWUPAINT	リード				: KWUPA 割り込み全要因クリア
KWUPACR3<KEYEN>	=	1			: 割り込み許可
割り込み優先度レジスタ<PRI_22>	=	*	*	*	: 所定のレベルに設定 (***= 000~111)
割り込みイネーブルセットレジスタ 1[22]	=	1			: INTKWUPA を許可設定

c. 動作途中で KWUP 入力を許可する場合

割り込みイネーブルクリアレジスタ 1[22]	=	1			: INTKWUPA を禁止設定
KWUPACR3<KEYEN>	=	0			: 割り込み禁止
KWUPACR3<KEY[2:0]>	=	*	*	*	: アクティブ状態の設定 (***= 000~100)
KWUPAINT	リード				: KWUPA 割り込み全要因クリア
KWUPACR3<KEYEN>	=	1			: 割り込み許可
割り込み優先度レジスタ<PRI_22>	=	*	*	*	: 所定のレベルに設定 (***= 000~111)
割り込みイネーブルセットレジスタ 1[22]	=	1			: INTKWUPA を許可設定

28.5.2 プルアップディセーブルで KWUP 入力を使用する場合

a. 電源投入後最初に設定する場合

PADFR1<KWUPA03>	=	1			: KWUPA3 に機能設定
PADPUP<PAD3UP>	=	0			: プルアップ OFF 制御
PADIE<PAD3IE>	=	1			: 入力許可
KWUPACR3<KEYEN>	=	0			: 割り込みを禁止
KWUPACR3<KEY[2:0]>	=	0	0	0	:アクティブ状態設定("Low"レベル)
KWUPAINT	リード				: KWUPA 割り込み全要因クリア
KWUPACR3<KEYEN>	=	1			: 割り込み許可
CGIMCGF<EMCG16[2:0]>	=	0	0	1	: "High"レベル設定
割り込みイネーブルセットレジスタ 1[22]	=	1			: INTKWUPA を許可設定

b. 動作途中で KWUP 入力のアクティブ状態を変更する場合

割り込みイネーブルクリアレジスタ 1[22]	=	1			: INTKWUPA を禁止設定
KWUPACR3<KEY3EN>	=	0			: 割り込み禁止
KWUPACR3<KEY3[2:0]>	=	*	*	*	: アクティブ状態の設定 (***= 000~100)
KWUPAINT	リード				: KWUPA 割り込み全要因クリア
KWUPACR3<KEY3EN>	=	1			: 割り込み許可
割り込み優先度レジスタ<PRI_22>	=	*	*	*	: 所定のレベルに設定 (***= 000~111)
割り込みイネーブルセットレジスタ 1[22]	=	1			: INTKWUPA を許可

c. 動作途中で KWUP 入力を許可する場合

割り込みイネーブルクリアレジスタ 1[22]	= 1	: INTKWUPA を禁止設定
KWUPACR3<KEYEN>	= 0	: 割り込み禁止
KWUPACR3<KEY[2:0]>	= * * *	: アクティブ状態の設定 (***= 000~100)
KWUPAINT	リード	: KWUPA 割り込み全要因クリア
KWUPACR3<KEYEN>	= 1	: 割り込み許可
割り込み優先度レジスタ<PRI_22>	= * * *	: 所定のレベルに設定 (***= 000~111)
割り込みイネーブルセットレジスタ 1[22]	= 1	: INTKWUPA を許可

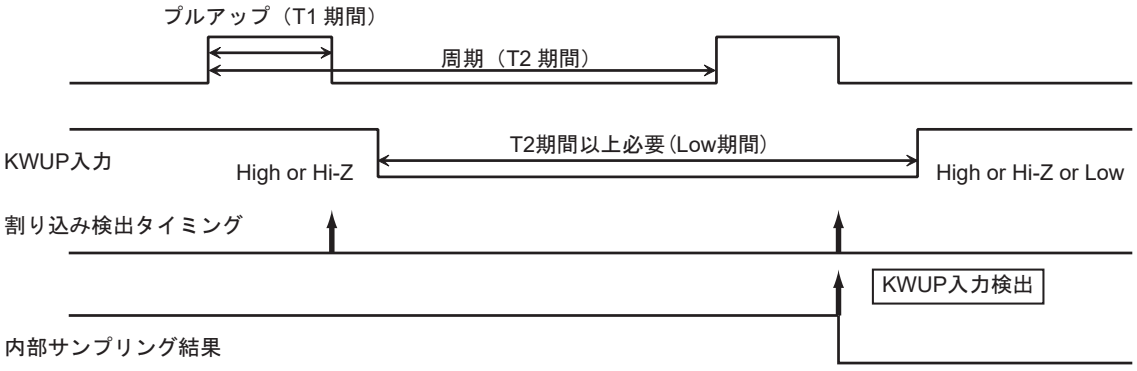
28.6 KWUP 入力との検出と検出タイミング

1. プルアップイネーブルで常時プルアップの場合

   各 KWUP 入力の検出レベルは KWUP コントロールレジスタの<KEY[2:0]>で High/Low レベル/エッジの指定ができます。KWUP 入力のレベル検出は常に行われています。

2. プルアップイネーブルでダイナミックプルアップの場合

   各 KWUP 入力のレベル検出（割り込みの検出）は T1 期間終了の fs で 1 クロック手前のエッジ検出のみ行われます。したがって、KWUP 入力は、T2 期間以上必要となります。また、検出までに最大 T2 時間分の遅れを持ちます。下図は検出レベルが立ち下がりエッジの場合。



注) **プルアップイネーブルは、ポートプルアップ制御レジスタのプルアップイネーブルビットを"1"に設定します。また、KWUP の常時プルアップやダイナミックプルアップは KWUP コントロールレジスタの<DPE>にて切り替えます。**

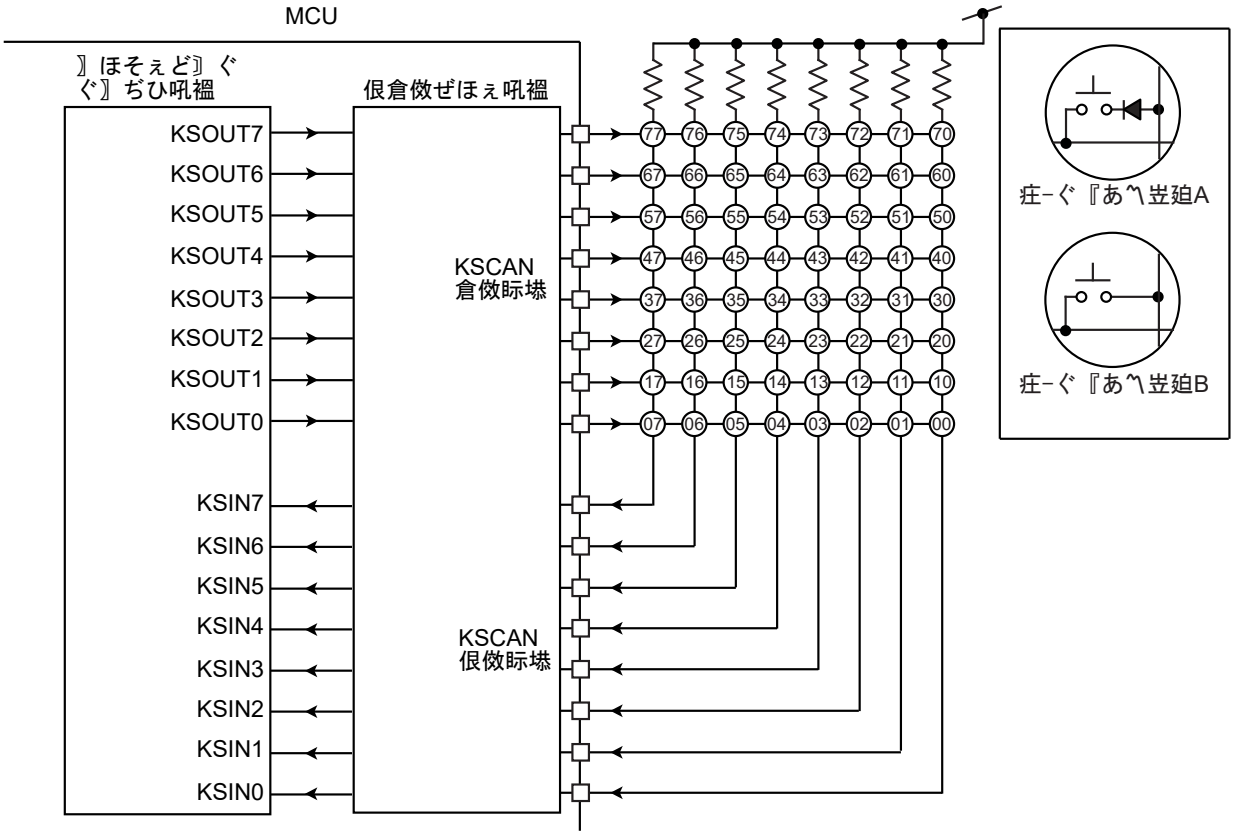
第 29 章　キーマトリクススキャン(KSCAN)

29.1　概要

キーマトリクススキャン(以下、キースキャンまたは KSCAN と略します)は、次のような特長をもっています。

- KSCAN 入出力は各 8 チャネルあり、最大 64(8×8)キーのキーマトリクスをレジスタで制御することができます。
- チャタリング除去をレジスタで制御することができます。
- スキャン結果をレジスタから読み出すことができます。
- 低周波発振(fs)またはタイマ出力で動作します。
- KSCAN 割り込みにて低消費電力モードの解除が可能です。
- KSCAN のキー入力のポートに KWUP のキー入力を併設することにより、クロック停止を伴う低消費電力モードの解除が可能です。詳細は「製品情報」章をご参照ください。

29.2　システム概要



’榻(桜宇➢》ほ値壊❹⊙➢➡✷づほ㊂➡〜ぐぅた/ゞあぇ➢刃、❻❿ざな「あざ性怛㋡幅税❷→④➔⑩❸✷

図 29-1 システム概要図

29.3 ブロック図

KSCAN 機能のブロック図を以下に示します。

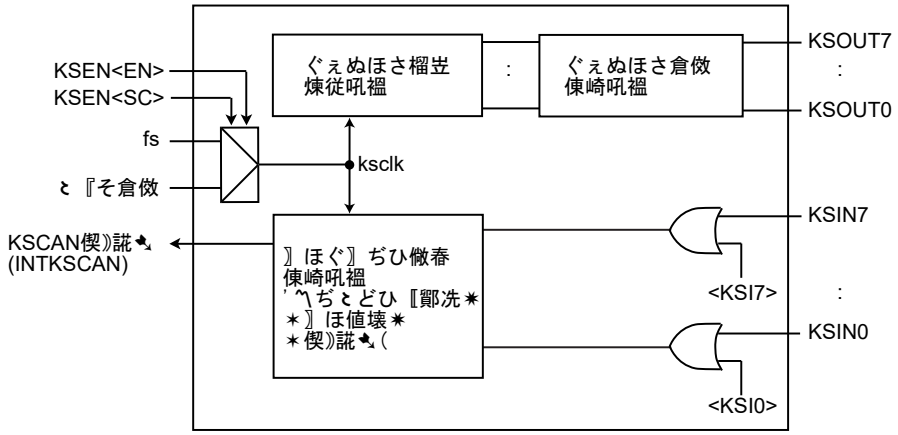


図 29-2 キースキャン機能のブロック図

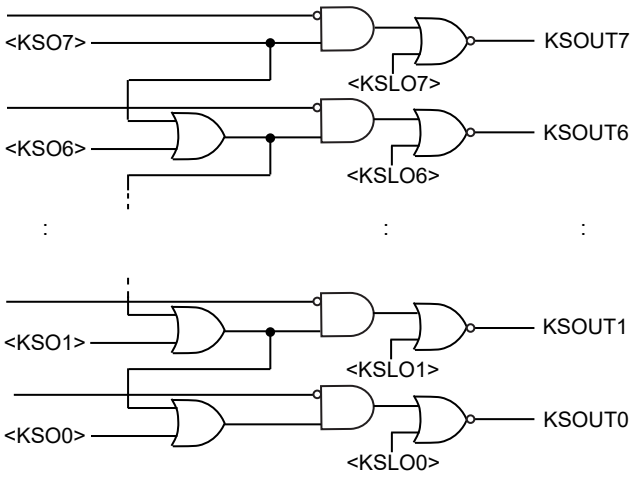


図 29-3 ストローブ出力制御回路のブロック図

29.4　レジスタ説明

29.4.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名	略称	Address(Base+)
イネーブルレジスタ	KSEN	0x0000
入力コントロールレジスタ	KSICR	0x0004
出力コントロールレジスタ	KSOCR	0x0008
コントロールレジスタ	KSCR	0x000C
カウントレジスタ	KSCTR	0x0010
バッファレジスタ 0	KSBR0	0x0014
バッファレジスタ 1	KSBR1	0x0018
バッファマスクレジスタ 0	KSBMR0	0x001C
バッファマスクレジスタ 1	KSBMR1	0x0020
割り込みコントロールレジスタ 1	KSINTCR	0x0024

29.4.2 KSEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	–	–	–	–	SC	EN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R/W	リードすると"0"が読めます。"0"を書き込んでください。
1	SC	R/W	KSCAN 動作クロック(ksclk)を選択します。以下のクロックを選択できます。 0: fs 1: タイマ出力 (~ 100KHz)
0	EN	R/W	KSCAN 機能の有効／無効を切り替えます。 0: 無効 1: 有効 KSCAN 機能を利用する場合は、<EN>を"1"にしてください。 <EN>を"0"にすることで KSCAN 回路へのクロック供給が停止されますので、消費電力の低減が可能です。 KSCAN を一旦動作させた後に動作禁止した場合は、レジスタの設定は保持されます。

注 1) 全ての KSCAN 関連レジスタの設定は、低速クロック(fs)、またはタイマ出力が安定している状態にて行ってください。

注 2) <SC>設定変更時に限り<EN>="0"の状態にて設定し、KSEN レジスタを除く他の KSCAN 関連レジスタの設定は、<EN>="1"の状態で設定してください。

注 3) KSCAN 動作クロックとしてタイマ出力を選択する場合、周期 100kHz 以下、デューティ比 50%に設定してください。なお、低消費出力モード(STOP1、STOP2 モード)中は汎用タイマが停止し、タイマ出力も停止するため、KSCAN 動作は停止します。

29.4.3　KSICR(入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	KSI7	KSI6	KSI5	KSI4	KSI3	KSI2	KSI1	KSI0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	KSI7 ~ KSI0	R/W	KSCAN 入力(KSIN7 ~ KSIN0)をマスクします。 0: マスクしない 1: マスクする マスクした KSCAN 入力は非アクティブ(キー非選択)となり、バッファレジスタ(KSBR0~1)更新時に"1"を格納します。

29.4.4 KSOCR(出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	KSLO7	KSLO6	KSLO5	KSLO4	KSLO3	KSLO2	KSLO1	KSLO0
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	KSO7	KSO6	KSO5	KSO4	KSO3	KSO2	KSO1	KSO0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能３
31-16	–	R	リードすると"0"が読めます。
15-8	KSLO7 ~ KSLO0	R/W	KSOUT 出力端子からの常時 Low レベル出力制御 0: <KSO0>~<KSO7>に設定したスキャン範囲にて順次 Low レベル出力を行います。 1: KSOUT 出力端子から常時 Low レベル出力を行います。 スキャン動作/停止、<KSO>設定に関わらず、常時ストローブ信号(Low レベル)を出力します。
7-0	KSO7 ~ KSO0	R/W	スキャン範囲設定 0000_0000：設定禁止 0000_0001：KSOUT0 のみストローブ出力 0000_0010：KSOUT0~KSOUT1 にてスキャン動作 0000_0100：KSOUT0~KSOUT2 にてスキャン動作 0000_1000：KSOUT0~KSOUT3 にてスキャン動作 0001_0000：KSOUT0~KSOUT4 にてスキャン動作 0010_0000：KSOUT0~KSOUT5 にてスキャン動作 0100_0000：KSOUT0~KSOUT6 にてスキャン動作 1000_0000：KSOUT0~KSOUT7 にてスキャン動作 設定した KSCAN 出力端子から一定幅(KSCTR<STP>にて設定)のストローブ信号(Low レベル)が順次出力され、スキャン動作を行います。なお、未設定(スキャン動作対象外)の KSCAN 出力端子からは High レベルを出力します。

注) <KSLO7> ~ <KSLO0>の Low 信号出力は、クロック停止を伴う低消費電力モード中も出力します。

29.4.5　KSCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	–	CMPCNT	SWRST[1:0]		BRRST	START
リセット後	0	0	0	0	0		0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4	CMPCNT	R/W	KSCAN 入力の比較回数 0: 2 回連続一致 1: 4 回連続一致 チャタリング除去設定が有効の場合、<CMPCNT>にて設定された回数の間に KSCTR<RCT>にて指定されたチャタリング除去時間を挿入します。
3-2	SWRST[1:0]	R/W	"10"→"01"の順に書き込むことでソフトウェアリセットを行います。 ソフトウェアリセットにより、KSEN レジスタ以外の KSCAN 関連レジスタ、および KSCAN 内部状態が初期化されます。フェールセーフとして使うことができます。
1	BRRST	W	バッファレジスタ(KSBR1 ~ 0)の値を初期化します。リードすると不定値が読み出せます。 1： KSBR1 ~ 0 の初期化
0	START	R/W	キーストローブの出力とカウンタを停止/開始します。リードするとスキャン動作状態が読み出せます。 0: キースキャン停止中/キースキャンを停止します 1: キースキャン動作中/キースキャンを開始します

注 1)　ソフトウェアリセット設定後 fsys=2 クロック以上の間隔を空けてからにレジスタ値を読み出してください。ソフトウェアリセット設定直後にレジスタ読み出すとリセット前の値が読み出されます。

注 2)　<BRRST>によるバッファレジスタ(KSBR1 ~ 0)の初期化は、ksclk 同期で更新されるため<BRRST>実行直後に読み出すと初期化前の値が読み出されます。

29.4.6 KSCTR(カウントレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	STP[2:0]		
リセット後	0	0	0	0	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	RCT[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	–	R	リードすると"0"が読めます。
10-8	STP[2:0]	R/W	ストローブ幅を設定します。 000: 4/ksclk 001: 8/ksclk 010: 16/ksclk 011: 32/ksclk 100: 64/ksclk 101: 128/ksclk 上記以外: 設定しないでください。 ストローブ信号は KSOCR<KSO0>~<KSO7>にて設定した若い番号の順に出力します。 (KSOCR<KSO>=0x80 設定時: KSOUT0->KSOUT1->...->KSOUT6->KSOUT7->KSOUT0->...)
7-0	RCT[7:0]	R/W	チャタリング除去時間を設定します。(0 ~ 255: n) 16/ksclk × n

注) チャタリング除去時間は、動作クロックが 32.768KHz の場合に、0 ~ 124.51ms の範囲を 0.488ms 間隔を設定することができます。詳細は下表をご参照ください。

表 29-1 チャタリング除去時間の例(ksclk=fs=32.768KHz)

RCT	0	1	2	3	4	5	6	7	8	9
時間(ms)	0	0.488	0.977	0.1465	0.1953	2.441	2.930	3.418	3.906	4.395
RCT	10	11	12	13	14	15	16	17	18	19
時間(ms)	4.883	5.371	5.859	6.348	6.836	7.324	7.813	8.301	8.789	9.277
RCT	20	21	22	23	24	25	26	27	28	29
時間(ms)	9.766	10.254	10.742	11.230	11.719	12.207	12.695	13.184	13.672	14.160
RCT	30	31	32	33	34	35	36	37	38	39
時間(ms)	14.648	15.137	15.625	16.113	16.602	17.090	17.578	18.066	18.555	19.043
RCT	40	41	42	43	44	45	46	47	48	49
時間(ms)	19.531	20.020	20.508	20.996	21.484	21.973	22.461	22.949	23.438	23.926
RCT	50	51	52	53	54	55	56	57	58	59
時間(ms)	24.414	24.902	25.391	25.879	26.367	26.855	27.344	27.832	28.320	28.809
RCT	60	61	62	63	64	65	66	67	68	69
時間(ms)	29.297	29.785	30.273	30.762	31.250	31.738	32.227	32.715	33.203	33.691

表 29-1 チャタリング除去時間の例(ksclk=fs=32.768KHz)

RCT	70	71	72	73	74	75	76	77	78	79
時間(ms)	34.180	34.668	35.156	35.645	36.133	36.621	37.109	37.598	38.086	38.574
RCT	80	81	82	83	84	85	86	87	88	89
時間(ms)	39.063	39.551	40.039	40.527	41.016	41.504	41.992	42.480	42.969	43.457
RCT	90	91	92	93	94	95	96	97	98	99
時間(ms)	43.945	44.434	44.922	45.410	45.898	46.387	46.875	47.363	47.852	48.340
RCT	100	101	102	103	104	105	106	107	108	109
時間(ms)	48.828	49.317	49.805	50.295	50.780	51.270	51.760	52.245	52.735	53.225
RCT	110	111	112	113	114	115	116	117	118	119
時間(ms)	53.711	54.199	54.688	55.176	55.664	56.152	56.641	57.129	57.617	58.105
RCT	120	121	122	123	124	125	126	127	128	129
時間(ms)	58.594	59.082	59.570	60.059	60.547	61.035	61.523	62.012	62.500	62.988
RCT	130	131	132	133	134	135	136	137	138	139
時間(ms)	63.477	63.965	64.453	64.941	65.430	65.918	66.406	66.895	67.383	67.871
RCT	140	141	142	143	144	145	146	147	148	149
時間(ms)	68.359	68.848	69.336	69.824	70.313	70.801	71.289	71.777	72.266	72.754
RCT	150	151	152	153	154	155	156	157	158	159
時間(ms)	73.242	73.730	74.219	74.707	75.195	75.684	76.172	76.660	77.148	77.637
RCT	160	161	162	163	164	165	166	167	168	169
時間(ms)	78.125	78.613	79.102	79.590	80.078	80.566	81.055	81.543	82.031	82.520
RCT	170	171	172	173	174	175	176	177	178	179
時間(ms)	83.008	83.379	83.984	84.473	84.961	85.449	85.938	86.426	86.914	87.402
RCT	180	181	182	183	184	185	186	187	188	189
時間(ms)	87.891	88.379	88.867	89.355	89.844	90.332	90.820	91.309	91.797	92.285
RCT	190	191	192	193	194	195	196	197	198	199
時間(ms)	92.773	93.262	93.750	94.238	94.727	95.215	95.703	96.191	96.680	97.168
RCT	200	201	202	203	204	205	206	207	208	209
時間(ms)	97.656	98.145	98.633	99.121	99.609	100.10	100.59	101.07	101.56	102.05
RCT	210	211	212	213	214	215	216	217	218	219
時間(ms)	102.54	103.03	103.52	104.00	104.49	104.98	105.47	105.96	106.45	106.93
RCT	220	221	222	223	224	225	226	227	228	229
時間(ms)	107.42	107.91	108.40	108.89	109.38	109.86	110.35	110.84	111.33	111.82
RCT	230	231	232	233	234	235	236	237	238	239
時間(ms)	112.30	112.79	113.28	113.77	114.26	114.75	115.23	115.72	116.21	116.70
RCT	240	241	242	243	244	245	246	247	248	249
時間(ms)	117.19	117.68	118.16	118.65	119.14	119.63	120.12	120.61	121.09	121.58
RCT	250	251	252	253	254	255				
時間(ms)	122.07	122.56	123.05	123.54	124.02	124.51				

29.4.7 KSBR0(バッファレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	B3							
リセット後	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	B2							
リセット後	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	B1							
リセット後	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	B0							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-24	B3	R	KSCAN 出力 3 のスキャン結果を確認できます。
23-16	B2	R	KSCAN 出力 2 のスキャン結果を確認できます。
15-8	B1	R	KSCAN 出力 1 のスキャン結果を確認できます。
7-0	B0	R	KSCAN 出力 0 のスキャン結果を確認できます。

注) バッファレジスタの更新タイミングは KSCAN 割り込み発生時です。詳細は「29.7 タイミングチャート」を参照してください。

29.4.8　KSBR1(バッファレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	B7							
リセット後	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	B6							
リセット後	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	B5							
リセット後	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	B4							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31-24	B7	R	KSCAN 出力 7 のスキャン結果を確認できます。
23-16	B6	R	KSCAN 出力 6 のスキャン結果を確認できます。
15-8	B5	R	KSCAN 出力 5 のスキャン結果を確認できます。
7-0	B4	R	KSCAN 出力 4 のスキャン結果を確認できます。

注)　バッファレジスタの更新タイミングは KSCAN 割り込み発生時です。詳細は「29.7 タイミングチャート」を参照してください。

29.4.9 KSBMR0(バッファマスクレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	BM3							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	BM2							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BM1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BM0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	BM3	R/W	KSCAN 出力 3 のスキャン結果(KSBR0<B3[7:0]>)をマスクします。 0： マスクしない 1： マスクする
23-16	BM2	R/W	KSCAN 出力 2 のスキャン結果(KSBR0<B2[7:0]>)をマスクします。 0： マスクしない 1： マスクする
15-8	BM1	R/W	KSCAN 出力 1 のスキャン結果(KSBR0<B1[7:0]>)をマスクします。 0： マスクしない 1： マスクする
7-0	BM0	R/W	KSCAN 出力 0 のスキャン結果(KSBR0<B0[7:0]>)をマスクします。 0： マスクしない 1： マスクする

注) キー動作不良時のリカバリや同一基板で機能有と無を分けたいなど特定のキーをキー判定に使用しない場合、当該ビットをマスクすることでその他のキーマトリクスのキー判定を行うことができます。

29.4.10　KSBMR1(バッファマスクレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	BM7							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	BM6							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BM5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BM4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	BM7	R/W	KSCAN 出力 7 のスキャン結果(KSBR1<B7[7:0]>)をマスクします。 0： マスクしない 1： マスクする
23-16	BM6	R/W	KSCAN 出力 6 のスキャン結果(KSBR1<B6[7:0]>)をマスクします。 0： マスクしない 1： マスクする
15-8	BM5	R/W	KSCAN 出力 5 のスキャン結果(KSBR1<B5[7:0]>)をマスクします。 0： マスクしない 1： マスクする
7-0	BM4	R/W	KSCAN 出力 4 のスキャン結果(KSBR1<B4[7:0]>)をマスクします。 0： マスクしない 1： マスクする

注)　キー動作不良時のリカバリや同一基板で機能有と無を分けたいなど特定のキーをキー判定に使用しない場合、当該ビットをマスクすることでその他のキーマトリクスのキー判定を行うことができます。

29.4.11 KSINTCR(割り込みコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	–	–	–	–	–	–	–	INTEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	INTEN	R/W	KSCAN 割り込み要求制御 0:禁止(割り込みをマスクする) 1:許可(割り込みをマスクしない)

29.5　動作説明

29.5.1　動作クロック

KSCAN 動作クロック(ksclk)は、32.768kHz の低速クロック(fs)、またはタイマ出力を選択して使用します。

ksclk の設定は、fs、またはタイマ出力が安定している状態、かつ、KSCAN 機能が無効(KSEN<EN>="0")の状態にて KSEN<SC>を選択します。なお、リセット解除後は fs が選択されます。

ksclk としてタイマ出力を選択する場合、予め汎用タイマの対象チャネル(「製品情報」章参照)にてタイマ出力の設定を行う必要があります。タイマ出力は、周期 100kHz 以下、デューティ比 50%に設定してください。なお、低消費電力モード(STOP1、STOP2 モード)中は汎用タイマが停止するため、KSCAN 動作は停止します。このような場合にもキー入力にて STOP1、STOP2 モードを解除できるように、KSCAN 入力のポートにキーオンウエイクアップ(KWUP)のキー入力を併設しています。WFI 命令を実行する前に KSCAN から KWUP に切り替えて使用してください。詳細は「製品情報」章を参照してください。

注)　汎用タイマのペリフェラルクロック(fperiph)にギアクロック(fgear)を選択した場合(CGSYSCR<FPSEL>="0"設定時)、システムクロック(fsys)のギア変動設定(CGSYSCR<GEAR>)により汎用タイマのクロックも変動します。汎用タイマのクロックを一定に保つには、CGSYSCR<FPSEL>="1"(fc)を選択し、クロックジェネレータ内のプリスケーラクロック(φT0)と汎用タイマ内のクロックにてタイマ出力の周期を調整してください。

29.5.2　基本動作

29.5.2.1　概要

KSCAN 機能は、KSCAN 入力コントロールレジスタ(KSICR)および KSCAN 出力コントロールレジスタ(KSOCR)の設定によって、最大 8×8 のキーマトリクスを組むことが可能です。

KSCAN の基本機能は、KSOCR レジスタによって設定された KSCAN 出力端子(KSOUT7~KSOUT0)から出力されるストローブ信号が一定間隔 Low レベル(キー入力検知動作)を出力し、出力端子を順に変えながらスキャン動作が行われます。スキャン動作は KSCR<START>="0"(キースキャン動作の停止)を実行しない限り、スキャン動作を続けます。なお、ストローブ信号の Low レベル幅(キー入力検知幅)は KSCTR<STP>レジスタにて 4/ksclk~128/ksclk の範囲で選択することが可能です。

KSCAN 動作を開始する(KSCR<START>="1")と、KSCTR<RCT>レジスタで設定されたチャタリング除去時間経過後、ストローブ信号で検知した KSCAN 入力端子の値を一旦内部バッファに格納し、前回に格納された値とキー比較判定を行います。判定の結果、キー入力値が同一であれば判定カウントを+1 し、判定カウントが KSCR<CMPCNT>="0"(2 回連続一致)の場合、判定カウント合計が"1"にてスキャン成功、KSCR<CMPCNT>"1"(4 回連続一致)の場合、判定カウント合計が"3"にてスキャン成功と判断し、内部バッファとバッファレジスタ(KSBR0~1)の値を比較します。

内部バッファと KSBR0~1 レジスタの値を比較した際、比較結果が異なる場合のみ内部バッファの値を KSBR0~1 レジスタへ格納し、同時に KSCAN 割り込み(INTKSCAN)を発生します。比較結果が同一の場合、KSBR0~1 レジスタを更新せず、INTKSCAN も発生しません。

29.5.2.2 概略図

キースキャン動作概略図を図 29-4 に示します。図中の記号は以下となります。

記号	意味
Scan Start	KSCAN 動作の開始です。KSCR<START>にて設定します。
STATE1、STATE2、...	KSCAN 入力の比較回数です。KSCR<CMPCNT>にて設定します。
CH	チャタリング除去の挿入タイミングです。チャタリング除去時間は KSCTR<RCT>にて設定します。
S0、S1、...	KSCAN ストローブ遷移タイミングです。KSOCR<KSO>にて設定された KSCAN ストローブ出力範囲です。

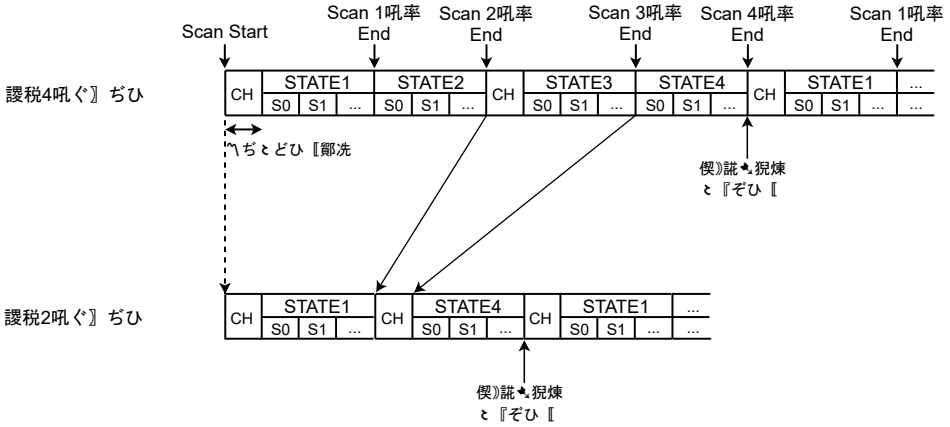


図 29-4 キースキャン動作概略図

29.5.2.3　初期設定

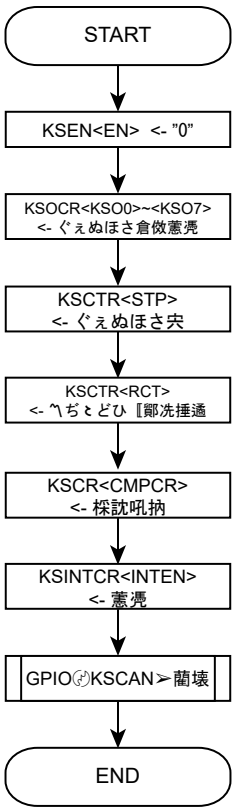


図 29-5 初期設定手順

ksclk が安定した状態で、以下の順序で操作を行ってください。

1. キースキャン回路の許可

   KSEN<EN>に"1"を設定します。

2. ストローブ信号の設定

   KSOCR<KSO0>~<KSO7>に"1"を設定し、ストローブ信号の出力許可/禁止を設定します。ストローブ幅は KSCTR<STP>にて設定します。

3. チャタリング除去時間の設定

   チャタリング除去時間が必要な場合は、KSCTR<RCT>に必要な時間を設定します。

4. スキャン入力の比較回数の設定

   スキャン入力の比較回数は、KSCR<CMPCR>にて 2 回、または 4 回のいずれかを選択します。

5. KSCAN 割り込みの設定

   KSCAN 割り込みを発生させる場合は、KSINTCR<INTEN>に"1"を設定します。

6. GPIO をキースキャンに設定

   キースキャン入力を行う端子は入力設定を、キースキャン出力を行う端子は出力設定を行います。詳細は「29.5.3 入出力ポートの設定」を参照してください。

29.5.2.4 キースキャン動作の開始

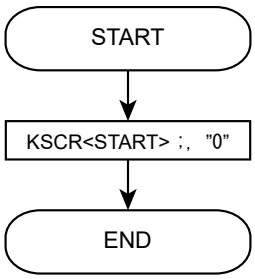


図 29-6 開始手順

キースキャン動作の開始は、KSCR<START>に"1"を設定します。

なお、既に KSCR<START>が"1"の場合に再設定すると、KSCAN 入力の比較を始めからやり直します。

29.5.2.5 キースキャン動作の停止

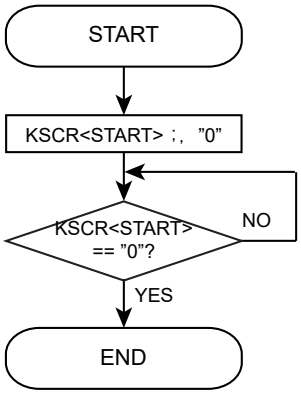


図 29-7 停止手順

以下の順序で操作を行ってください。

1. キースキャン動作の停止

   KSCR<START>に"0"を設定します。

2. キースキャン動作の停止確認

   KSCR<START>から"0"がリードできるまでポーリングします。

29.5.3　入出力ポートの設定

29.5.3.1　キースキャン入力(KSIN)端子による入力設定

KSIN 端子は、該当ポートの入力コントロールレジスタ(PxIE)を入力許可、外部プルアップ抵抗、またはプルアップコントロールレジスタ(PxPUP)による内部プルアップ抵抗を許可にした状態にてキー入力が有効となります。正常にキー判定を取得するには、ユーザのシステムセット条件に合わせたプルアップ抵抗を接続してください。

また、KSCAN 入力コントロールレジスタ(KSICR)を使用して、KSIN 端子をキー入力有効状態のままキー入力をマスクすることができます。マスクしたキー入力は KSCAN バッファレジスタ(KSBR0~1)更新時に"1"が格納されます。

29.5.3.2　キースキャン出力(KSOUT)端子による出力設定

KSOUT 端子は、該当ポートのコントロールレジスタ(PxCR)、ファンクションレジスタ(PxFRn)、必要に応じてオープンドレインコントロールレジスタ(PxOD)を許可にした状態にて、KSCAN 出力コントロールレジスタ(KSOCR)、KSCAN コントロールレジスタ(KSCR)、KSCAN カウントレジスタ(KSCTR)を設定し、KSCR<START>="1"(キースキャン動作の開始)を設定することでストローブ出力が行われます。なお、上記レジスタの設定変更を行う場合は、キースキャン動作停止(KSCR<START>="0")の状態にて各種レジスタの設定変更を行い、KSCAN バッファレジスタ(KSBR0~1)をクリア(KSCR<BRRST>="1"ライト)してからキースキャン動作を開始(KSCR<START>="1")してください。

注)　KSBR0~1 の値を残したまま各種レジスタの設定変更を行う場合は、「29.6.4 キースキャン動作中の設定変更」を参照してください。

KSCAN 出力端子のスキャン範囲は KSOCR<KSO0>~<KSO7>にて設定します。設定した KSCAN 出力端子からストローブ信号(Low レベル)が順次出力されます。なお、未設定の KSCAN 端子からは High レベルが出力されます。KSOCR<KSLO0>~<KSLO7>にて"1"を設定した KSCAN 端子からは、KSOCR<KSO0>~<KSO7>の設定に関わらず、常時 Low レベルが出力されます。

ストローブ信号の Low レベル出力幅は KSCTR<STP>にて設定します。ストローブ信号幅の状態とキー入力の取り込みタイミングを図 29-8 に示します。

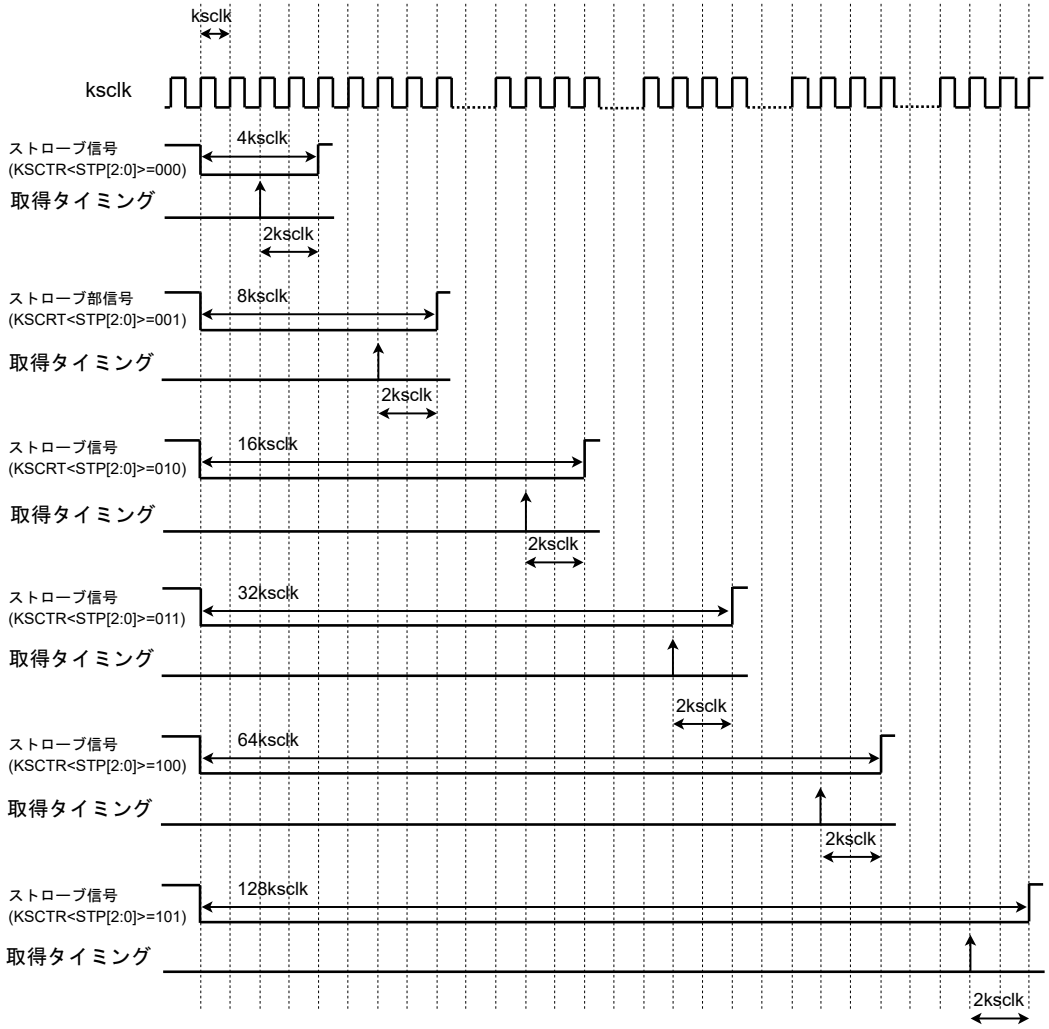


図 29-8 ストローブとキー入力の取り込みタイミング

チャタリング除去時間は KSCTR<RCT>にて設定します。チャタリング除去の挿入タイミングは「図 29-4 キースキャン動作概略図」を参照してください。

29.5.3.3　GPIO の設定

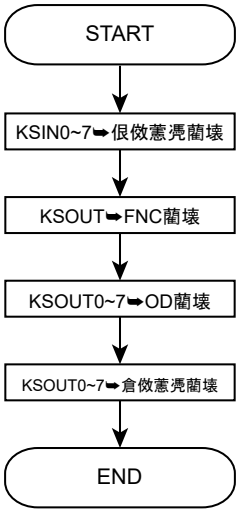


図 29-9 キースキャン入出力端子の設定手順

以下の順序で操作を行ってください。

1. キースキャン入力端子の入力許可

   キースキャン入力端子の入力コントロールレジスタ(PxIE)を入力許可に設定します。

2. キースキャン出力端子の機能選択

   キースキャン出力端子のファンクションコントロールレジスタ(PxFRn)をキースキャン出力に設定します。

3. キースキャン出力端子のオープンドレイン(OD)設定

   必要に応じて、キースキャン出力端子のオープンドレインコントロールレジスタ(PxOD)を許可に設定します。

4. キースキャン出力端子の出力許可

   キースキャン出力端子の PxIE を入力禁止に設定し、出力コントロールレジスタ(PxCR)を出力許可に設定します。

29.5.4 動作モード遷移

29.5.4.1 NORMAL モード時の基本設定

NORMAL モード時の基本設定手順を説明します。

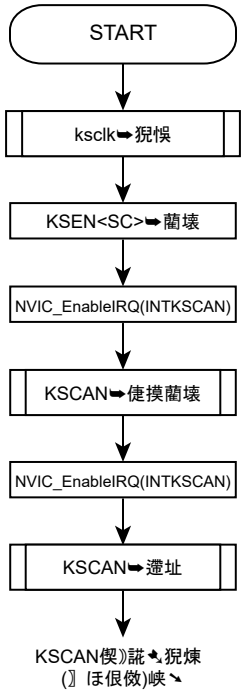


図 29-10 基本設定手順

以下の順序で操作を行ってください。

1. ksclk のソースクロック発振

   ksclk として選択可能な fs の発振、またはタイマ出力の発振を行います。

   fs の設定については「クロック/モード制御」章を、タイマ出力の設定については「製品情報」章を参照してください。

2. KSEN<SC>の設定

   手順 1 で発振させたソースクロックを KSEN<SC>にて選択します。

3. KSCAN の初期設定

   「29.5.2.3 初期設定」を参考に KSCAN の初期設定を行います。

4. 割り込みの許可

   CPU 内にある NVIC の KSCAN 割り込みを許可します。

5. キースキャン動作の開始

   「29.5.2.4 キースキャン動作の開始」を参考にキースキャン動作を開始します。以後は KSCAN 割り込み発生(キー入力)待ちになります。

29.5.4.2　IDLE モード遷移と NORMAL モード復帰

IDLE モードへの遷移、および KSCAN 割り込みにて IDLE モードを解除し、NORMAL モードへ復帰する手順については、「クロック/動作モード制御」章を参照してください。

また NORMAL モードから IDLE モードに移行するための条件判定は、ユーザのシステムセット条件に合わせて独自に構築してください。

29.5.4.3　STOP1 モード遷移と NORMAL モード復帰

STOP1 モードへの遷移、および KSCAN 割り込みにて STOP1 モードを解除し、NORMAL モードへ復帰する手順については、「クロック/動作モード制御」章を参照してください。

また NORMAL モードから STOP1 モードに移行するための条件判定は、ユーザのシステムセット条件に合わせて独自に構築してください。

なお、ksclk がタイマ出力の場合に KWUP 割り込みで STOP2 モードを解除する場合は「製品情報」章を参照してください。

29.5.4.4　STOP2 モード遷移と NORMAL モード復帰

STOP2 モードへの遷移、および NORMAL モードへの復帰手順を説明します。

なお、ksclk がタイマ出力の場合に KWUP 割り込みで STOP2 モードを解除する場合は「製品情報」章を参照してください。

(1)　基本設定

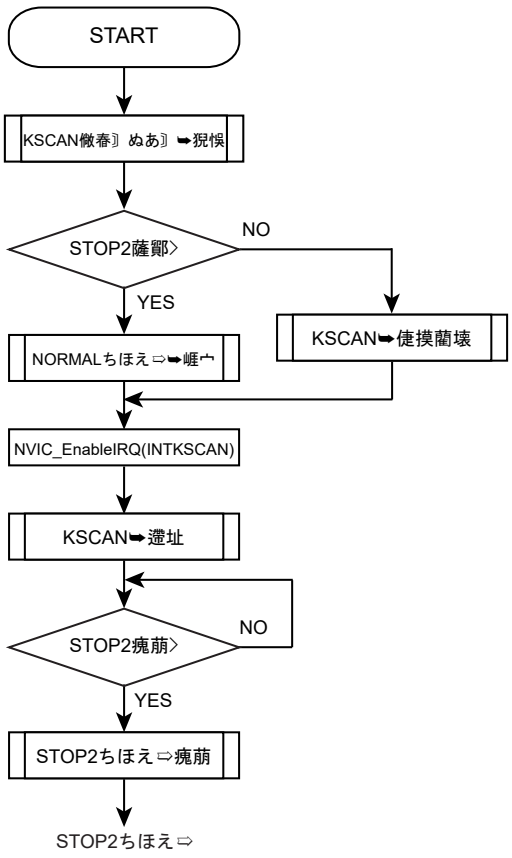


図 29-11 基本設定手順

以下の順序で操作を行ってください。

1. ksclk のソースクロック発振

   KSCAN 割り込みにて STOP2 モードを解除するため、ksclk として fs 入力を許可します。

2. CGRSTFLG の確認

   CGRSTFLG をリードし、システムがリセット入力により起動した場合は「29.5.2.3 初期設定」を参考に KSCAN の初期設定を行います。システムが STOP2 モード解除により起動した場合は「(2) NOMAL モードへの復帰」を参考に NORMAL モードへの復帰設定を行います。

3. 割り込みの許可

   CPU 内にある NVIC の KSCAN 割り込みを許可します。

4. キースキャン動作の開始

   「29.5.2.4 キースキャン動作の開始」を参考にキースキャン動作を開始します。

5. STOP2 モード遷移条件の取得

   NORMAL モードから STOP2 モードに移行するための条件判定は、ユーザのシステムセット条件に合わせて独自に構築してください。

6. STOP2 モードへ移行

   クロック/モード制御」章を参考に STOP2 モードへ移行する準備を行います。設定後、WFI 命令を実行することで STOP2 モードへ移行します。

(2) NOMAL モードへの復帰

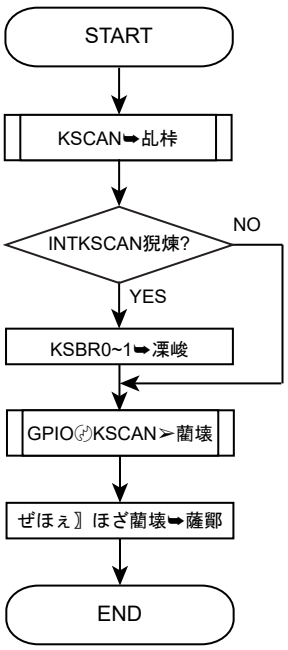


図 29-12 NORMAL モードへの復帰手順

以下の順序で操作を行ってください。

1. KSCAN 動作の停止

   「29.5.2.5 キースキャン動作の停止」を参考にキースキャン動作を停止します。

2. STOP2 解除要因の取得

   CPU 内の NVIC から KSCAN 割り込み発生の有無を取得します。

   KSCAN 割り込み発生の場合は、KSCAN バッファレジスタ(KSBR0~1)をリードし、必要に応じてユーザアプリケーションプログラム内の状態を更新します。

3. GPIO をキースキャンに設定

   STOP2 モードに遷移すると GPIO 内のレジスタ設定が初期化されるため、ポートキープ設定を解除する前に、GPIO の設定を STOP2 モードに遷移する前の状態に戻します。設定手順は「29.5.3.3 GPIO の設定」を参照してください。

4. ポートキープ設定の解除

   「クロック/モード制御£章を参考にポートキープ設定を解除します。

29.6 留意事項

本機能を利用する上での主な留意事項は次の通りです。

1. KSCAN 割り込み発生後の動作
2. 各レジスタの初期化条件
3. 同一レジスタへの連続書き込み
4. キースキャン動作中の設定変更

29.6.1 KSCAN 割り込み発生後の動作

KSCAN 割り込みが発生しても、スキャン動作は停止しないため、継続している KSCAN 入力によりバッファレジスタ(KSBR0～1)の上書き(キーの取りこぼし)が発生することがあります。特に低消費電力モードから NORMAL モードに遷移する場合はご注意ください。

29.6.2 各レジスタの初期化条件

KSCR<SWRST>などにより初期化されるレジスタは下表の通りです。

レジスタ名	システムリセット	KSCR<SWRST>	KSCR<START>	KSCR<BRRST>
KSEN	o	x	x	x
KSICR	o	o	x	x
KSOCR	o	o	x	x
KSCR	o	o	x	x
KSCTR	o	o	x	x
KSBR0	o	o	x	o
KSBR1	o	o	x	o
KSBMR0	o	o	x	x
KSBMR1	o	o	x	x
KSINTCR	o	o	x	x

o:初期化される　　x:初期化されない

29.6.3 同一レジスタへの連続書き込み

システムクロック動作でレジスタに書き込まれた値は、ksclk で同期化されるまで、最大 3 サイクルかかります。このため、同一レジスタに連続書き込みを行う場合は、ksclk にて 3 サイクル以上待った後に次の値を書き込むか、レジスタを読み出して書き込んだ値が読み出せることを確認してから次の書き込みを行ってください。

29.6.4　キースキャン動作中の設定変更

キースキャン動作の設定変更(KSCAN 割り込みの許可/禁止、KSCAN 動作の開始/停止、バッファレジスタの初期化は除きます)は、KSCAN 割り込みの禁止(KSINTCR<INTEN>="0")、かつキースキャン動作の停止(29.5.2.5 参照)状態にて行ってください。

設定変更後は、KSCAN 動作再開前にバッファレジスタリセット(KSCR<BRRST>="1")を実施し、バッファレジスタの初期化(KSBR0~1 が ALL"1")を行います。

いずれかのキーが押された状態で実施した場合は、再開後のスキャン動作にて KSCAN 割り込みが発生します。キーの状態変化を伴わない割り込み発生ですので注意が必要です。

バッファマスクレジスタ(KSBMR0~1)または入力コントロールレジスタ(KSICR)を"1"設定(キーマスク)することにより、任意のキーの状態変化を無効(比較判定の対象外)に設定できます。

設定変更の前後でキーの状態変化がない時に割り込みを発生させたくない場合は、KSCAN 割り込みを禁止した状態(KSINTCR<INTEN>="0") でスキャン動作を開始(KSCR<START>="1") し、KSBR1~0 レジスタが更新されたことを確認の上で KSCAN 割り込みを許可(KSINTCR<INTEN>="1") します。具体的な手順は「29.6.4.1 キーマスクの設定」、「29.6.4.2 キーマスクの解除」を参照してください。

29.6.4.1 キーマスクの設定

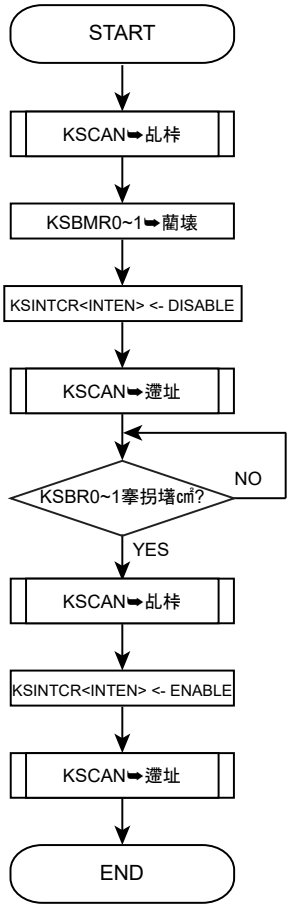


図 29-13 キーマスクの設定手順

以下の順序で操作を行ってください。

1. KSCAN 動作の停止

   「29.5.2.5 キースキャン動作の停止」を参考にキースキャン動作を停止します。

2. バッファマスクレジスタ(KSBMR0~1)の設定

   KSBMR0~1 の、マスクするキーに対するビットに"1"をセットします。

3. バッファレジスタ(KSBR0~1)の更新

   バッファマスクレジスタを設定することでバッファレジスタ(KSBR0~1)の値が変わり、意図しない KSCAN 割り込みの発生を回避するため、KSINTCR<INTEN>を"0"クリアして KSCAN 割り込みをマスクした上で KSBR0~1 を更新します。

   なお、KSBR0~1 の中でマスク対象のビットが既に"1"の場合、本手順(KSBR0~1 の更新)は不要です。

4. KSCAN 動作の開始

   「29.5.2.4 キースキャン動作の開始」を参考にキースキャン動作を開始します。

29.6.4.2　キーマスクの解除

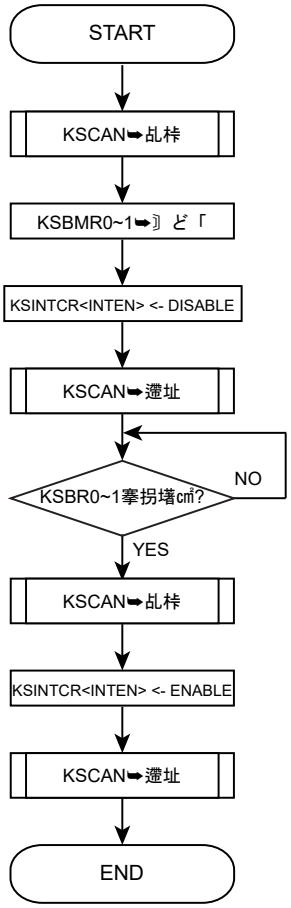


図 29-14 キーマスクの解除手順

以下の順序で操作を行ってください。

1. KSCAN 動作の停止

   「29.5.2.5 キースキャン動作の停止」を参考にキースキャン動作を停止します。

2. バッファマスクレジスタ(KSBMR0~1)のクリア

   KSBMR0~1 の、マスクするキーに対するビットを"0"クリアします。

3. バッファレジスタ(KSBR0~1)の更新

   バッファマスクレジスタをクリアすることでバッファレジスタ(KSBR0~1)の値が変わり、意図しない KSCAN 割り込みの発生を回避するため、KSINTCR<INTEN>を"0"クリアして KSCAN 割り込みをマスクした上で KSBR0~1 を更新します。

4. KSCAN 動作の開始

   「29.5.2.4 キースキャン動作の開始」を参考にキースキャン動作を開始します。

29.7 タイミングチャート

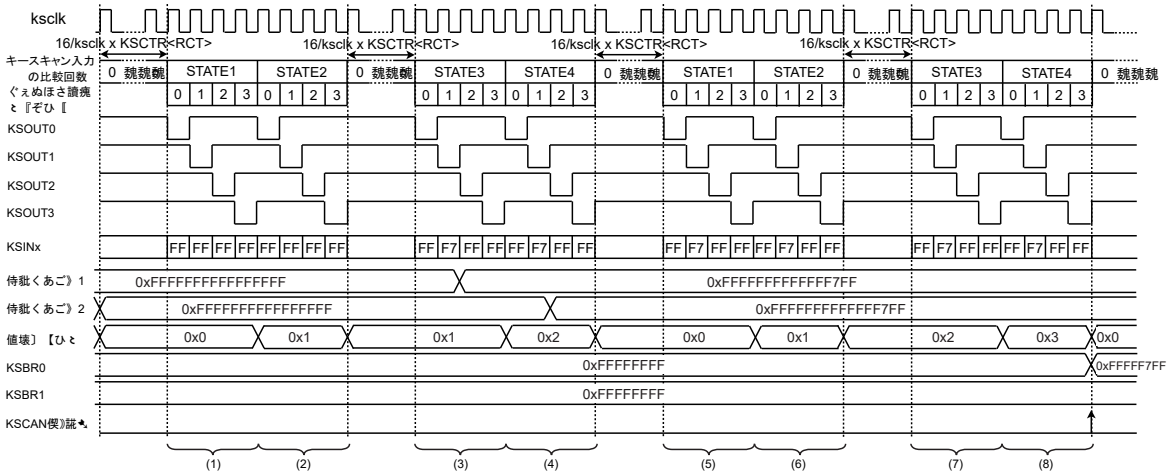


図 29-15 キー入力の読み込み動作(4×4 マトリクス、4 回連続一致条件)

図 29-15 に下記条件にて、ストローブ出力 KSOUT1 に対するキー入力 KSIN3 にボタン(「図 29-1 システム概要図」の「13」の位置に相当します)の押下げがあった場合のキー入力のスキャン動作を説明します。

KSCAN レジスタ名	レジスタ値	意味
KSICR	0x00F0	KSIN7~KSIN4 をマスクします。
KSOCR	0x0008	KSOUT3~KSOUT0 にてキースキャン動作を行います。
KSCR	0x0011	キースキャン動作中、KSCAN 入力の比較回数を 4 回連続一致にします。
KSCTR	0x****	チャタリング除去時間と KSOUT の Low 幅は任意に設定します。

1. キー入力による押下げはありません。

   内部バッファ 1 に STATE1 の KSINx の値を取り込みます。

   STATE1 のため判定カウントをクリアします。(判定カウント"0")

2. キー入力による押下げはありません。

   内部バッファ 2 に STATE2 の KSINx の値を取り込みます。

   内部バッファ 2 の値が前回の内部バッファ 1 の値と同一のため判定カウントを+1 します。(判定カウント"1")

3. KSOUT1 に対する KSIN3 にて押下げが発生した状態です。

   内部バッファ 1 に STATE3 の KSINx の値を取り込みます。

   内部バッファ 1 の値が前回の内部バッファ 2 の値と異なるため判定カウントをそのままにします。(判定カウント"1")

4. KSOUT1 に対する KSIN3 にて押上げが発生した状態です。

   内部バッファ 2 に STATE4 の KSINx の値を取り込みます。

   内部バッファ 2 の値が前回の内部バッファ 2 の値と同一のため判定カウントを+1 します。(判定カウント"2")

   STATE4 で判定カウントが"2"のためスキャン失敗と判定します。

5. KSOUT1 に対する KSIN3 にて押下げが発生した状態です。

内部バッファ 1 に STATE1 の KSINx の値を取り込みます。

STATE1 のため判定カウントをクリアします。(判定カウント"0")

6. KSOUT1 に対する KSIN3 にて押下げが発生した状態です。

   内部バッファ 2 に STATE2 の KSINx の値を取り込みます。

   内部バッファ 2 の値が前回の内部バッファ 1 の値と同一のため判定カウントを+1 します。(判定カウント"1")

7. KSOUT1 に対する KSIN3 にて押下げが発生した状態です。

   内部バッファ 1 に STATE3 の KSINx の値を取り込みます。

   内部バッファ 1 の値が前回の内部バッファ 2 の値と同一のため判定カウントを+1 します。(判定カウント"2")

8. KSOUT1 に対する KSIN3 にて押下げが発生した状態です。

   内部バッファ 2 に STATE4 の KSINx の値を取り込みます。

   内部バッファ 2 の値が前回の内部バッファ 1 の値と同一のため判定カウントを+1 します。(判定カウント"3")

   STATE4 で判定カウントが"3"のためスキャン成功と判定します。内部バッファ 2 と KSBR0~1 を比較し値が異なるため、内部バッファ 2 の値を KSBR0~1 にライトし、KSCAN 割り込みを発生します。

第 30 章　アナログデジタルコンバータ(ADC)

30.1　特徴

AD コンバータは、次の特徴を持っています。

- 通常 AD 変換、最優先 AD 変換の起動
  - ソフトウェアによる起動
  - 外部トリガ入力($\overline{\text{ADTRGx}}$、$\overline{\text{ADTRGSNC}}$)によるハードウェア起動
  - 16 ビットタイマによる起動
- 通常 AD 変換機能の動作モード
  - チャネル固定シングル変換モード
  - チャネルスキャンシングル変換モード
  - チャネル固定リピート変換モード
  - チャネルスキャンリピート変換モード
- 最優先 AD 変換機能の動作モード
  - チャネル固定シングル変換モード
- 通常 AD 変換終了、最優先 AD 変換終了時、割り込み発生機能
- 通常 AD 変換機能、最優先 AD 変換機能は以下のステータスフラグを持っています。
  - AD 変換結果格納フラグ
  - オーバーランフラグ
  - AD 変換終了フラグ
  - AD 変換ビジーフラグ
- AD 監視機能
  - AD 変換結果とあらかじめ設定した値とを比較し、特定の条件で割り込みを発生
- AD 変換クロックを fc または f_{PLLAD} から選択し、ADC 内部のプリスケーラにて 1/2 ~ 1/16 に分周が可能
- AD コンバータ回路 ON/OFF 機能

30.2　構成

図 30-1 に AD コンバータのブロック図を示します。

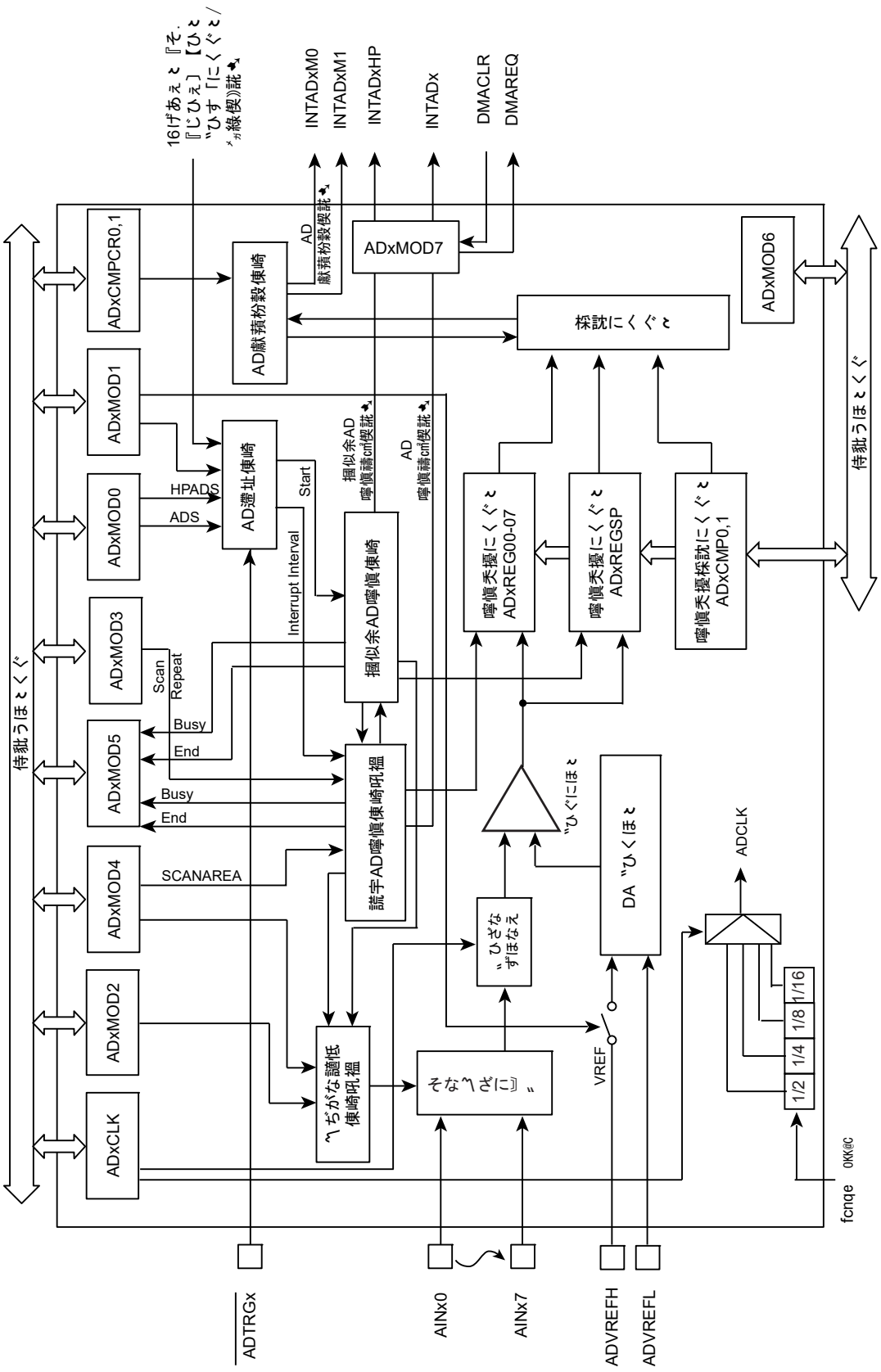


図 30-1 AD コンバータブロック図

30.3 レジスタ

30.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
クロック設定レジスタ	ADxCLK	0x0000
モード設定レジスタ 0	ADxMOD0	0x0004
モード設定レジスタ 1	ADxMOD1	0x0008
モード設定レジスタ 2	ADxMOD2	0x000C
モード設定レジスタ 3	ADxMOD3	0x0010
モード設定レジスタ 4	ADxMOD4	0x0014
モード設定レジスタ 5	ADxMOD5	0x0018
モード設定レジスタ 6	ADxMOD6	0x001C
モード設定レジスタ 7	ADxMOD7	0x0020
監視割り込み設定レジスタ 0	ADxCMPCR0	0x0024
監視割り込み設定レジスタ 1	ADxCMPCR1	0x0028
変換結果比較レジスタ 0	ADxCMP0	0x002C
変換結果比較レジスタ 1	ADxCMP1	0x0030
変換結果格納レジスタ 0	ADxREG00	0x0034
変換結果格納レジスタ 1	ADxREG01	0x0038
変換結果格納レジスタ 2	ADxREG02	0x003C
変換結果格納レジスタ 3	ADxREG03	0x0040
変換結果格納レジスタ 4	ADxREG04	0x0044
変換結果格納レジスタ 5	ADxREG05	0x0048
変換結果格納レジスタ 6	ADxREG06	0x004C
変換結果格納レジスタ 7	ADxREG07	0x0050
Reserved	−	0x0054
Reserved	−	0x0058
Reserved	−	0x005C
Reserved	−	0x0060
Reserved	−	0x0064
Reserved	−	0x0068
Reserved	−	0x006C
Reserved	−	0x0070
最優先変換結果格納レジスタ	ADxREGSP	0x0074

注 1) "Reserved"表記のアドレスにはアクセスしないでください。

注 2) 同一のレジスタに対して、連続して値を書き込むことはできません。

30.3.2　ADxCLK (クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSH				-	ADCLK		
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	ADSH[3:0]	R/W	ADC サンプルホールド時間選択 0000: 10 × <ADCLK> 0001: 20 × <ADCLK> 0010: 30 × <ADCLK> 0011: 40 × <ADCLK> 0100: 80 × <ADCLK> 0101: 160 × <ADCLK> 0110: 320 × <ADCLK> 0111 ~ 1111: Reserved
3	−	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	ADC プリスケーラ出力選択 000: Reserved 001: fc/2 or f_{PLLAD}/2 010: fc/4 or f_{PLLAD}/4 011: fc/8 or f_{PLLAD}/8 100: fc/16 or f_{PLLAD}/16 101 ~ 111: Reserved

注 1)　<ADCLK >ADAMOD1/ADBMOD1<DACON>="0"の状態で変更してください。
注 2)　AD 変換中は、クロック設定レジスタを変更しないでください。
注 3)　4MHz ≤ ADCLK ≤ 40MHz の範囲内で使用してください。
注 4)　ソフトウエアリセットを行った場合、<ADCLK>を再設定してください。

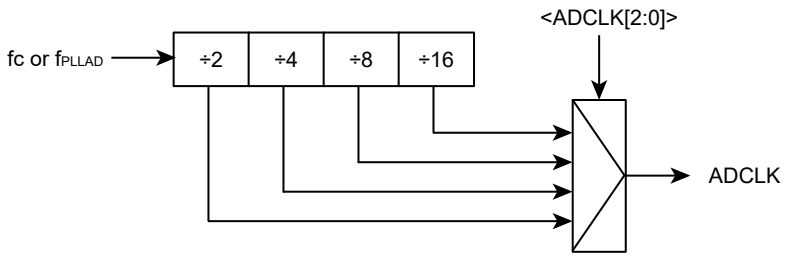


図 30-2 AD 変換クロック(ADCLK)

30.3.3 ADxMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	HPADS	W	最優先 AD 変換を開始します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。
0	ADS	W	通常(ソフト)AD 変換を開始します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。

注 1) AD 変換をスタートさせる場合、ADxMOD1<DACON>="1"に設定してから、ADxMOD0<ADS>,<HPADS>にてソフトウエアトリガスタート、またはハードウエアトリガスタートを行ってください。なお、ADxMOD1<DACON> = "1"の設定後、3μs の安定時間が必要です。

注 2) 最優先 AD 変換<HPADS>と通常 AD 変換<ADS>を同時に開始した場合、最優先 AD 変換が優先して起動します。その後、最優先 AD 変換が終了すると、通常 AD 変換を開始します。

30.3.4　ADxMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DACON	I2AD	RCUT	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	DACON	R/W	VREF 回路 ON/OFF 制御 0: OFF 1: ON AD 変換をスタートさせる前に"1"に設定してください。 AD コンバータを使用しない場合は、<DACON>に"0"を設定することで AD コンバータの消費電力を抑えることができます。
6	I2AD	R/W	IDLE モード時の ADC 動作制御。(WFI(Wait For Interrupt)命令実行時の動作を制御します) 0: 停止 1: 動作
5	RCUT	R/W	ADxVREFH-ADxVREFL 間のリファレンス電流を制御します。 0: 変換中のみ通電 1: リセット時以外常時通電
4	−	R	リードすると"0"が読めます。
3	HPADHWS	R/W	最優先 AD 変換を開始するためのハードウエア起動要因を設定します。 0: $\overline{\text{ADTRGx}}$ または $\overline{\text{ADTRGSNC}}$ 1: 16-bit タイマ/イベントカウンタの一致割り込み
2	HPADHWE	R/W	ハードウエア要因による最優先 AD 変換開始を制御します。 0: 禁止 1: 許可
1	ADHWS	R/W	通常 AD 変換を開始するためのハードウエア起動要因を設定します。 0: $\overline{\text{ADTRGx}}$ または $\overline{\text{ADTRGSNC}}$ 1: 16-bit タイマ/イベントカウンタの一致割り込み
0	ADHWE	R/W	ハードウエア要因による通常 AD 変換開始を制御します。 0: 禁止 1: 許可

注 1)　STOP1/STOP2 モード、または<I2AD>が"0"の状態で IDLE モードへ遷移する際に消費電流を低減するには、AD 変換終了後に、<DACON>と<RCUT>に"0"を設定した後、STOP1/STOP2、IDLE モードに遷移してください。

注 2)　最優先 AD 変換で $\overline{\text{ADTRGx}}$ を使用する場合、通常 AD 変換のハードウエア起動要因に $\overline{\text{ADTRGx}}$ を使用することはできません。

注 3)　AD 変換をスタートさせる場合、ADxMOD1<DACON>="1"に設定してから、ADxMOD0<ADS>,<HPADS>にてソフトウエアトリガスタート、またはハードウエアトリガスタートを行ってください。なお、ADxMOD1<DACON> = "1"の設定後、3μs の安定時間が必要です。

30.3.5 ADxMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HPADCH				ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	HPADCH[3:0]	R/W	最優先 AD 変換時のアナログ入力チャネルを選択します。(表 30-1 参照) 1000~1111 は設定禁止です。
3-0	ADCH[3:0]	R/W	通常 AD 変換時のアナログ入力チャネルを選択します。 (表 30-1 参照) 1000~1111 は設定禁止です。

表 30-1 通常 AD 変換、最優先 AD 変換時の入力チャネル選択(ADxMOD2)

<HPADCH[3:0]>	最優先 AD 変換時の アナログ入力チャネル	<ADCH[3:0]>	通常 AD 変換時の アナログ入力チャネル
0000	AINx0	0000	AINx0
0001	AINx1	0001	AINx1
0010	AINx2	0010	AINx2
0011	AINx3	0011	AINx3
0100	AINx4	0100	AINx4
0101	AINx5	0101	AINx5
0110	AINx6	0110	AINx6
0111	AINx7	0111	AINx7

30.3.6　ADxMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	ITM			-	-	REPEAT	SCAN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6-4	ITM[2:0]	R/W	チャネル固定リピート変換モード時の割り込み発生タイミングを設定します。(表 30-2 参照)
3-2	−	R	リードすると"0"が読めます。
1	REPEAT	R/W	リピートモードを設定します。 0 : シングル変換 1 : リピート変換
0	SCAN	R/W	スキャンモードを設定します。 0 : チャネル固定 1 : チャネルスキャン

表 30-2 チャネル固定リピート変換モードの割り込み発生タイミング

<ITM[2:0]>	チャネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"
000	1 回毎、割り込み発生
001	2 回毎、割り込み発生
010	3 回毎、割り込み発生
011	4 回毎、割り込み発生
100	5 回毎、割り込み発生
101	6 回毎、割り込み発生
110	7 回毎、割り込み発生
111	8 回毎、割り込み発生

注 1)　<ITM[2:0]>は、チャネル固定リピートモード(<REPEAT>=1,<SCAN>=0)時のみ有効です。

注 2)　リピート変換中(<REPEAT>=1、チャネル固定、チャネルスキャンの時)、リピート変換を中止する場合、<REPEAT>=0 にクリアします。その場合、<REPEAT>ビット以外は書き換えないでください。

30.3.7 ADxMOD4 (モード設定レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SCANAREA				SCANSTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	SCANAREA [3:0]	R/W	チャネルスキャンの範囲を設定します。(表 30-3 参照)
3-0	SCANSTA[3:0]	R/W	チャネルスキャンの先頭チャネルを設定します。(表 30-3 参照)

ADxMOD3<SCAN> = "1", <REPEAT> = "0"に設定するとチャネルスキャンシングルモードになります。ADxMOD3<SCAN> = "1", <REPEAT> = "1"に設定するとチャネルスキャンリピートモードになります。

先ず、チャネルスキャンをスタートさせたい先頭チャネルを<SCANSTA[3:0]>に設定します。次に、チャネルスキャンの範囲を<SCANAREA[3:0]>に設定します。

例えば、AINx1 を先頭チャネルとして、3 チャネルの範囲でチャネルスキャンしたいときには(AINx1~AINx3 がスキャンされます)、<SCANSTA[3:0]>に"0001"を、<SCANAREA[3:0]>に"0010"を設定します。

表 30-3 に<SCANSTA[3:0]>の設定と<SCANAREA[3:0]>で設定可能なチャネルスキャンの範囲を示します。

表 30-3 チャネルスキャンの先頭チャネルとチャネルスキャンの範囲

<SCANSTA[3:0]>	チャネルスキャンの先頭チャネル	<SCANAREA[3:0]>	設定可能なチャネルスキャンの範囲
0000	AINx0	0000 ~ 0111	1ch ~ 8ch
0001	AINx1	0000 ~ 0110	1ch ~ 7ch
0010	AINx2	0000 ~ 0101	1ch ~ 6ch
0011	AINx3	0000 ~ 0100	1ch ~ 5ch
0100	AINx4	0000 ~ 0011	1ch ~ 4ch
0101	AINx5	0000 ~ 0010	1ch ~ 3ch
0110	AINx6	0000 ~ 0001	1ch ~ 2ch
0111	AINx7	0000	1ch

注) 上記以外の設定は禁止です。

30.3.8　ADxMOD5 (モード設定レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3	HPEOCF	R	最優先 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
2	HPADBF	R	最優先 AD 変換ビジーフラグ 0: 変換停止 1: 変換中
1	EOCF	R	通常 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
0	ADBF	R	通常 AD 変換ビジーフラグ 0: 変換停止 1: 変換中

注)　<EOCF>,<HPEOCF>は、読み出すことにより“0”にクリアされます。

30.3.9 ADxMOD6 (モード設定レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウエアリセットを行います。 レジスタは、全て初期化されます。

注 1) AD 変換終了割り込みを利用して DMA 転送を行う場合、ADxMOD6<ADRST>でソフトウエアリセットを行った後に DMAC を動作させ、DMA 要求待機状態にしてから、AD 変換を開始してください。

注 2) ソフトウエアリセットを行なう場合、初期化に 3μs の時間が必要となります。

30.3.10　ADxMOD7 (モード設定レジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	INTAD M1DMA	INTAD M0DMA	INTAD HPDMA	INTADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3	INTADM1DMA	R/W	AD 変換監視 1 DMA 起動要因設定 AD 変換監視 1 割り込み(INTADM1)をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
2	INTADM0DMA	R/W	AD 変換監視 0 DMA 起動要因設定 AD 変換監視 0 割り込み(INTADM0)をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
1	INTADHPDMA	R/W	最優先 AD 変換 DMA 起動要因設定 最優先 AD 変換終了割り込み(INTADHP)をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
0	INTADDMA	R/W	通常 AD 変換 DMA 起動要因設定 通常 AD 変換終了割り込み(INTAD)をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可

注)　DMA 変換中にレジスタをクリアしないでください。

30.3.11 ADxCMPCR0 (監視機能設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	CMPCOND0	ADBIG0	AINS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT0[3:0]	R/W	大小判定カウント数を設定します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP0EN	R/W	AD 監視機能 0 0: 禁止　（大小判定カウント数はクリア） 1: 許可　（条件成立で AD 監視割り込み INTADxM0 を発生します）
6	−	R	リードすると"0"が読めます。
5	CMPCOND0	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG0>に設定した状態が連続して発生し、<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込みが発生します。設定したカウント回数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込みが発生します。<ADBIG0>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込みが発生し、カウントをクリアします。<ADBIG0>に設定した状態と異なる場合でもカウンタ値は保持します。
4	ADBIG0	R/W	判定条件を設定します。 0: 比較レジスタ(ADxCMP0)より AD 変換結果が大 1: 比較レジスタ(ADxCMP0)より AD 変換結果が小 判定カウントをカウントアップするときの条件を設定します。 AINS0[3:0]で設定したチャネルの AD 変換が終了するたびに比較レジスタとの大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまればカウンタをプラスします。
3-0	AINS0[3:0]	R/W	比較対象のアナログ入力チャネルを設定します。 0000 : AINx0　0100 : AINx4　1000 ~ 1111 : 設定禁止 0001 : AINx1　0101 : AINx5 0010 : AINx2　0110 : AINx6 0011 : AINx3　0111 : AINx7

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

30.3.12　ADxCMPCR1 (監視機能設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	CMPCOND1	ADBIG1	AINS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT1[3:0]	R/W	大小判定カウント数を設定します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP1EN	R/W	AD 監視機能 1 0: 禁止　（大小判定カウント数はクリア） 1: 許可　（条件成立で AD 監視割り込み INTADxM1 を発生します）
6	−	R	リードすると"0"が読めます。
5	CMPCOND1	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG1>に設定した状態が連続して発生し、<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込みが発生します。設定したカウント回数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込みが発生します。<ADBIG1>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG1>に設定した状態が累積して<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込みが発生し、カウントをクリアします。<ADBIG1>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG1	R/W	判定条件を設定します。 0: 比較レジスタ(ADxCMP1)より AD 変換結果が大 1: 比較レジスタ(ADxCMP1)より AD 変換結果が小 判定カウントをカウントアップするときの条件を設定します。 AINS1[3:0]で設定したチャネルの AD 変換が終了するたびに比較レジスタとの大・小比較判定を行い、判定結果が<ADBIG1>の設定にあてはまればカウンタをプラスします。
3-0	AINS1[3:0]	R/W	比較対象のアナログ入力チャネルを設定します。 0000 : AINx0　0100 : AINx4　1000 ~ 1111 : 設定禁止 0001 : AINx1　0101 : AINx5 0010 : AINx2　0110 : AINx6 0011 : AINx3　0111 : AINx7

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

30.3.13 ADxCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD0CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-0	AD0CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注) ADxCMP0 に値を設定する時には、AD 監視機能を禁止（ADxCMPCR0<CMP0EN> = "0")にした状態で行ってください。

30.3.14　ADxCMP1(変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD1CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-0	AD1CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注)　AD x CMP1 に値を設定するときには、AD 監視機能を禁止（ADxCMPCR1<CMP1EN> = "0")にした状態で行ってください。

30.3.15 ADxREGn(変換結果格納レジスタ、n=00 ~ 07)

	31	30	29	28	27	26	25	24
bit symbol	ADR_MR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADR_MR				-	-	ADOVRF_MR	ADRF_MR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	ADR_MR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADxREGn レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRF_MR	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADxREGn)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADxREGn レジスタをリードすると"0"にクリアされます。
16	ADRF_MR	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADxREGn レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRF	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADxREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADxREGx レジスタをリードすると"0"にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADxREGx レジスタをリードすると"0"にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADxREGn レジスタをリードすると前回の変換結果がリードされます。

注) <ADR_MR>、<ADOVRF_MR>、<ADRF_MR>は<ADR>、<ADOVRF>、<ADRF>のミラーレジスタであり、同一の値が読み出せます。何れかを一方をご使用ください。動作説明では、<ADR>、<ADOVRF>、<ADRF>で説明してあります。

30.3.16　ADxREGSP (最優先 AD 変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADSPR_MR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADSPR_MR				-	-	ADOVRSPF_MR	ADSPRF_MR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRSPF	ADSPRF	ADSPR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSPR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	ADSPR_MR [11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADxREGSP レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRSPF_MR	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADxREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADxREGSP レジスタをリードすると"0"にクリアされます。
16	ADSPRF_MR	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADxREGSP レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRSPF	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADxREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADxREGSP レジスタをリードすると"0"にクリアされます。
12	ADSPRF	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADxREGSP レジスタをリードすると"0"にクリアされます。
11-0	ADSPR[11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADxREGSP レジスタをリードすると前回の変換結果がリードされます。

注)　<ADSPR_MR>、<ADOVRSPF_MR>、<ADSPRF_MR>は<ADSPR>、<ADOVRSPF>、<ADSPRF>のミラーレジスタであり、同一の値が読み出せます。何れかを一方をご使用ください。動作説明では、<ADSPR>、<ADOVRSPF>、<ADSPRF>で説明してあります。

30.4 動作説明

30.4.1 AD 変換スタート前の設定

30.4.1.1 VREF 回路の起動

AD 変換をスタートさせる場合は、必ず ADxMOD1<DACON>に"1"を書き込んだ後、内部回路状態が安定するまでの 3 μs 待ってから ADxMOD0<ADS>に"1"を書き込み、AD 変換をスタートさせてください。

30.4.1.2 AD 変換クロックの設定

変換時間を 1μs～10μs にしてください。

変換時間はサンプルホールド時間に実際の変換に必要な時間(30 クロック)を加えたものになります。

変換時間 = (30 クロック + サンプルホールド) / ADCLK

ADxCLK<ADCLK>と ADxCLK<ADSH>をセットに合わせて調整してください。

30.4.2 AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

30.4.2.1 通常 AD 変換

通常 AD 変換には次の 4 種類の動作モードが用意されています。動作モードの設定は ADxMOD3<REPEAT><SCAN>の設定により選択することが出来ます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

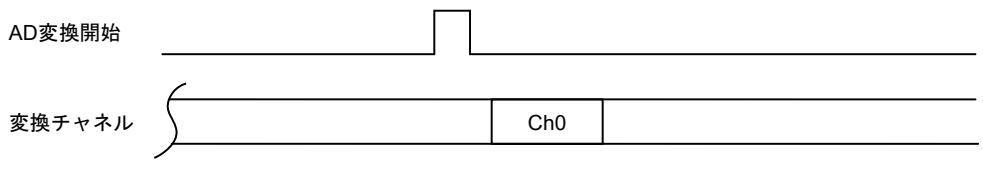
(1) チャネル固定シングル変換モード

ADxMOD3<REPEAT><SCAN> に"00"を設定すると、チャネル固定シングル変換モードになります。

このモードでは、ADxMOD2<ADCH[3:0]>で選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADxMOD5<EOCF>が"1"にセット、ADxMOD5<ADBF>が"0"にクリアされ、INTADx の割り込み要求が発生します。

<EOCF>は読み出す事により"0"にクリアされます。

以下はチャネル固定シングル変換モードで AINx0 を変換した動作例です。



(2)　チャネルスキャンシングル変換モード

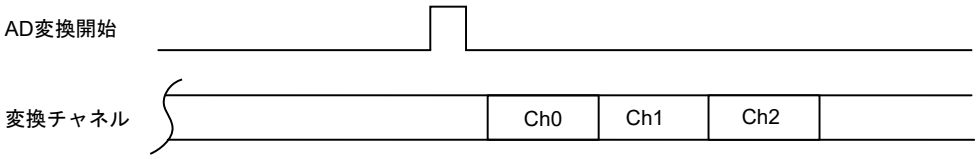
ADxMOD3<REPEAT><SCAN> に"01"を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、ADxMOD4<SCANSTA[3:0]>で選択したスタートチャネルから、ADxMOD4　<SCANAREA[3:0]>で設定したチャネルスキャン範囲の変換を 1 回だけ行います。

チャネルスキャン変換が終了した後、ADxMOD5<EOCF> が "1" にセット、ADxMOD5<ADBF>が"0"にクリアされ、INTADx の割り込み要求が発生します。

<EOCF>は読み出す事で"0"にクリアされます。

以下は AINx0 から AINx2 までをチャネルスキャンシングル変換モードで変換した動作例です。



(3)　チャネル固定リピート変換モード

ADxMOD3<REPEAT><SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

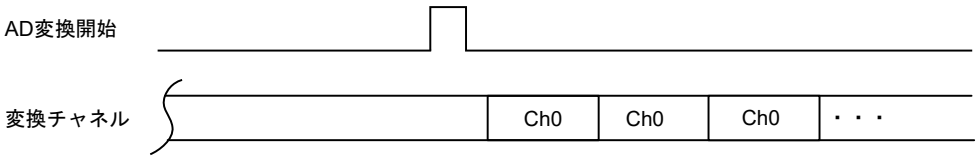
このモードでは、ADxMOD2<ADCH>で選択した 1 チャネルの変換を繰り返し行います。

ADxMOD3 <ITM[2:0]>で設定した回数分、変換を繰り返した後、ADxMOD5<EOCF>が"1"にセットされ、INTADx 割り込み要求が発生します。

このとき、ADxMOD5<ADBF>は"0"にならず"1"を保持します。

<EOCF>は読み出す事により"0"にクリアされます。

以下は AINx0 をチャネル固定リピート変換モードで変換した動作例です。



(4)　チャネルスキャンリピート変換モード

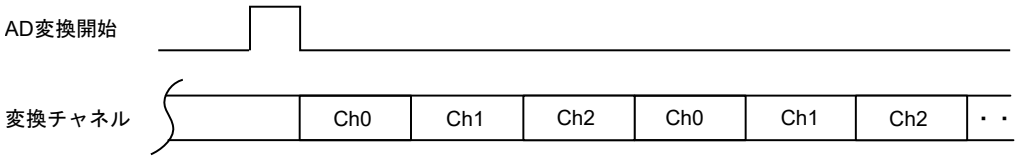
ADxMOD3<REPEAT><SCAN>に“11” を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、ADxMOD4<SCANSTA[3:0]>　で選択したスタートチャネルから、ADxMOD4 <SCANAREA[3:0]>で設定したチャネルスキャン範囲の変換を繰り返し行います。

1 回のスキャン変換が終了するごとに ADxMOD5<EOCF>が"1"にセットされ、INTADx 割り込み要求が発生します。ADxMOD5<ADBF>は"0"にならず"1" を保持します。

<EOCF>は読み出す事により"0"にクリアされます。

以下は AINx0 ~ AINx2 をチャネルスキャンリピート変換モードで変換した動作例です。



30.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行う変換です。

最優先 AD 変換が通常 AD 変換時に割り込んだ場合は、最優先 AD 変換終了後に通常 AD 変換を中止したチャネルから再開します。

選択できる動作モードはチャネル固定シングル変換モードのみです。

ADxAMOD3<REPEAT><SCAN>の設定は無効となります。起動条件が成立すると、ADxMOD2<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、INTADxHP の最優先変換終了割り込み要求が発生して、ADxMOD5<HPEOCF>は"1" にセットされ、<HPADBF>は"0"に戻ります。

<HPEOCF>フラグを読み出すと"0"にクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は先に起動していた最優先 AD 変換は無効となり、後から起動した最優先 AD 変換が有効になります。

30.4.3 AD 監視機能

チャネル固定リピートモード、チャネルスキャンリピートモードの設定時に使用する機能です。

ADxCMPCR0<CMP0EN>、ADxACMPCR1<CMP1EN>に"1"をセットすると AD 監視機能が有効になります。2 つの 監視機能を同時に有効にすることも可能です。

ADxCMPCR0 を例に説明します（ADxCMPCR1 も同様です）。

ADxCMPCR0<AINS0[3:0]>にて比較対象の変換結果格納レジスタ、<ADBIG0>にて判定条件、<CMPCOND0>にて判定カウントの条件、<CMPCNT0[3:0]>にて判定カウント数、ADxCMP0 に変換結果と比較するための値を設定します。

AD 変換をスタートさせると、1 回の AD 変換が終了する毎に変換結果レジスタと変換結果比較値の大・小判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウントの条件には、連続方式と累計方式があります。

連続方式は、<ADBIG0>に設定した状態が連続して発生し、<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み要求(INTADxM0)が発生します。

カウント回数に達した後、更に判定結果が設定結果にあてはまった場合もカウンタをクリアせずに割り込みを発生します。

判定結果が<ADBIG0>に設定した状態と反対の場合のみカウンタ値をクリアします。

累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達するとカウンタをクリアし、AD 監視割り込み要求(INTADxM0)が発生します。

判定結果が<ADBIG0>に設定した状態と反対の場合でもカウンタ値を保持します。

なお ADxCMPCR0 で指定された変換結果格納レジスタの内容が比較対象レジスタの値とイコールの場合は、カウントはプラスされず、AD 監視機能割り込み(INTADxM0)も発生しません。

なお、AD 監視機能を使用しているとき、通常、AD 監視機能に割りあてている変換結果格納レジスタはソフトで読み出しは行われないので、オーバーランフラグ ADxREG<ADOVRF>は常にセットされます。また、変換結果格納フラグ ADxREG<ADRF>もセットされます。

以下に AINx0 入力をチャネル固定リピート変換モードに設定し、0x0888 と連続方式で比較する例を示します。

1. ADxMOD3=0x0002 (<ITM[2:0]>="000"、 <REPEAT>="1"、<SCAN>="0")

   チャネル固定リピート設定

2. ADxCMPCR0　=0x0280　(<CMPCNT0>="010" 、 <CMP0EN>="0" 、 <CMPCOND>="0" 、 <ADBIG0>="0"、<AINS0[3:0]>="0000")

   比較対象チャネル:AINx0、 大小判定:変換結果比較値より大、判定カウント条件:連続方式、AD 監視機能:許可、大小判定カウント数:3 回カウント

3. ADxCMP0<AD0CMP[11:0]>=0x0888: AD 変換結果比較レジスタ（比較値 0x0888）

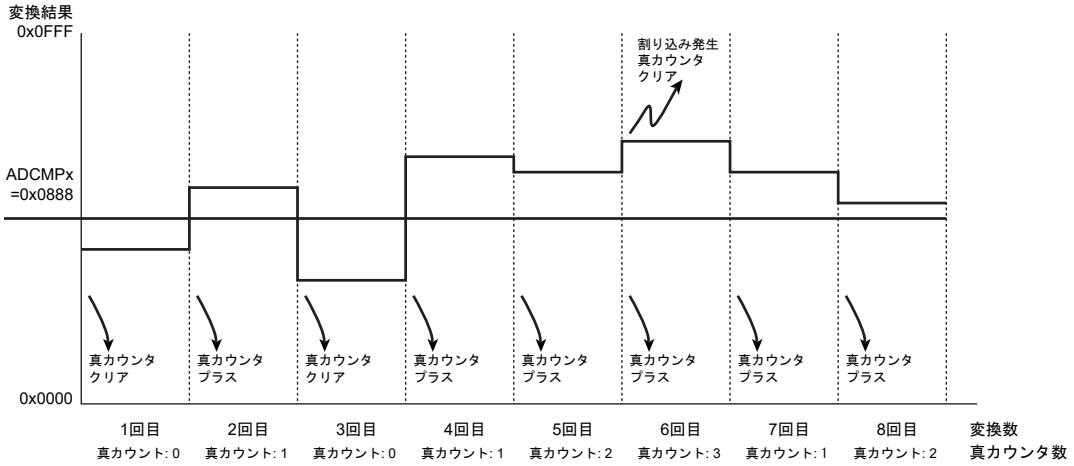


図 30-3 AD 監視機能（チャネル固定リピート、判定カウント連続方式）

また、以下に AINx0 入力をチャネル固定リピート変換モードに設定し、0x0888 と累積方式で比較する例を示します。

1. ADxMOD3=0x0002 (<ITM[2:0]>="000"、 <REPEAT>="1"、<SCAN>="0")

   チャネル固定リピート設定

2. ADxCMPCR0　=0x02A0　(<CMPCNT0>="010" 、 <CMP0EN>="0" 、 <CMPCOND>="1" 、 <ADBIG0>="0"、<AINS0[3:0]>="0000")

   比較対象チャネル:AINx0、 大小判定:変換結果比較値より大、判定カウント条件:累積方式、AD 監視機能:許可、大小判定カウント数:3 回カウント

3. ADxCMP0<AD0CMP[11:0]>=0x0888: AD 変換結果比較レジスタ（比較値 0x0888）

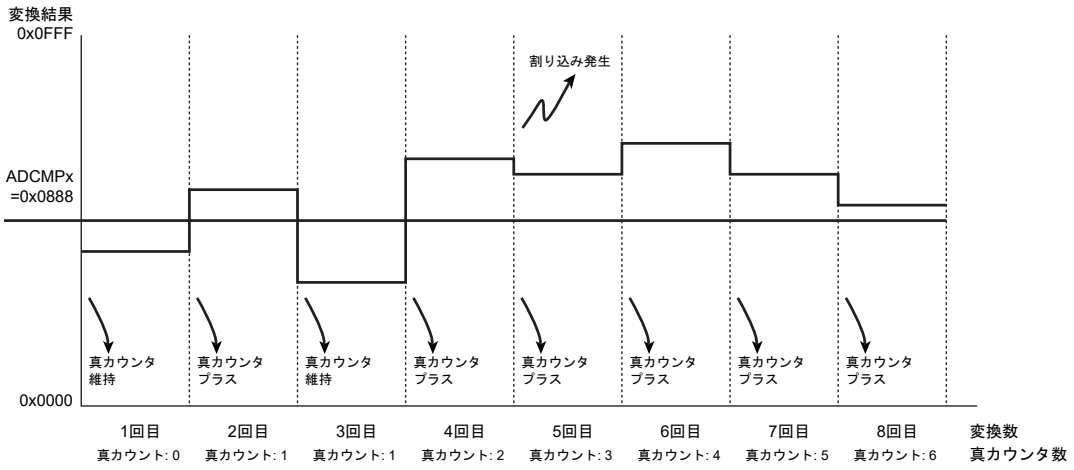


図 30-4 AD 監視機能（チャネル固定リピート、判定カウント累積方式）

30.4.4　入力チャネルの選択

リセット後は ADxMOD3<REPEAT><SCAN> は"00"に ADxMOD2<ADCH[3:0]> は "0000" に初期化されます。

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時
   - 入力チャネルを固定で使用する場合 (ADxMOD3<SCAN> = "0")

     ADxMOD2<ADCH[3:0]>の設定により、アナログ入力 AINx0 ~ AINx7 端子の中から 1 チャネルを選択します。
   - 入力チャネルをスキャンで使用する場合(ADxMOD3<SCAN> = "1")

     ADxMOD4<SCANSTA[3:0]>にてチャネルスキャンをスタートさせたい先頭チャネルを設定し、ADxMOD4<SCANAREA[3:0]>にてスキャンさせたいチャネルスキャンの範囲を設定することができます。

2. 最優先 AD 変換時

   ADxMOD2<HPADCH>の設定により、アナログ入力 AINx0 ~ AINx7 の中から 1 チャネルを選択します。

   通常 AD 変換中に最優先 AD 変換が起動されると、直ちに通常 AD 変換を中断して最優先 AD 変換が起動されます。最優先 AD 変換が 終了後に中断したチャネルから通常 AD 変換を再開します。

30.4.5 AD 変換動作詳細

30.4.5.1 AD 変換の起動

通常 AD 変換は ADxMOD0<ADS> に"1"をセットすることにより起動されます。また、最優先 AD 変換は ADxMOD0<HPADS> に"1"をセットすることにより起動されます。これをソフトウエア起動と呼びます。

通常 AD 変換は ADxMOD3<REPEAT><SCAN>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャネル固定シングル変換モードのみです。

また、ハードウエアにより起動することができます。通常 AD 変換では ADxMOD1<ADHWS>、最優先 AD 変換では ADxMOD1<HPADHWS>でハードウエア要因を選択できます。

ハードウエアによる起動を許可するには、通常 AD 変換では ADxMOD1<ADHWE>、最優先 AD 変換では ADxMOD1<HPADHWE>に"1"をセットします。

ハードウエアによる起動には $\overline{\text{ADTRGx}}$ 端子または $\overline{\text{ADTRGSNC}}$ 端子からの起動と 16 ビットタイマ/イベントカウンタのコンペアレジスタ 0 一致割り込みによる起動があります。

$\overline{\text{ADTRGx}}$ 端子はユニット毎に存在します。

$\overline{\text{ADTRGSNC}}$ 端子は搭載ユニットで共通で、全ユニットを同時に起動することが可能です。

ハードウエアによる起動が許可された場合でもソフトウエア起動は有効です。

注 1) 最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。

注 2) $\overline{\text{ADTRGSNC}}$ 端子で ADC を起動した場合、ユニット間の変換開始が、最大 1ADCLK ずれることがあります。

30.4.5.2 AD 変換動作

通常 AD 変換が起動されると、AD 変換中を示す AD 変換ビジーフラグ(ADxMOD5<ADBF>)に"1"がセットされます。

また、最優先 AD 変換が起動されると、最優先 AD 変換中を示す最優先 AD 変換ビジーフラグ(ADxMOD5<HPADBF>)に"1" がセットされます。このとき、通常 AD 変換用の変換終了フラグ ADxMOD5<EOCF><ADBF>は最優先 AD 変換起動前の値を保持します。

注) 最優先 AD 変換中に通常 AD 変換を起動させないでください。(最優先 AD 変換終了フラグがセットされません。また、以前の通常 AD 変換のフラグがクリアされません)。

30.4.5.3　通常 AD 変換中の最優先変換要求

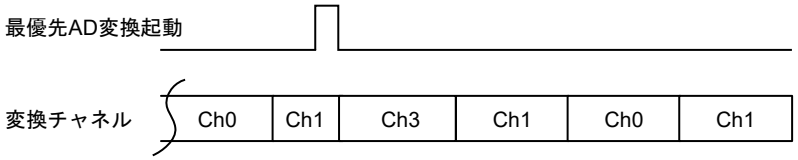
通常 AD 変換中に ADxMOD0<HPADS>に"1"をセットして最優先 AD 変換を起動すると、現在変換中の通常 AD 変換は中断されて、ADxMOD2<HPADCH[3:0]>で指定されるチャネルの最優先 AD 変換(チャネル固定シングル変換)が行われます。

この結果を変換結果レジスタ ADxREGSP<ADSPR[11:0]>へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウエアによる最優先 AD 変換の起動が許可されている場合は、ハードウエア起動ソースの起動条件が成立すると現在変換中の通常 AD 変換は中断されて、ADxMOD2<HPADCH[3:0]>で指定されるチャネルの最優先 AD 変換(チャネル固定シングル変換)が行われます。

この結果を変換結果レジスタ ADxREGSP<ADSPR[11:0]> へ格納すると、中断した通常 AD 変換を再開します。

例えば、チャネル AINx0~AINx1 までのチャネルスキャンリピート変換が起動されており、AINx1 の変換中に<HPADS>に"1"がセットされた場合は AINx1 の変換が中断され、<HPADCH[3:0]>で指定されたチャネルの変換(下図の場合 AINx3)を行い、変換結果を ADxREGSP<ADSPR[11:0]> へ格納後、中断した AINx1 からチャネルリピート変換を再開します。



30.4.5.4　リピート変換モードの停止

チャネル固定リピート変換モード、またはチャネルスキャンリピート変換モードの動作を停止させたい場合は、ADxMOD3<REPEAT>に"0"を設定してください。

実行中の AD 変換を終了した時点で、リピート変換モードは終了し、ADxMOD5<ADBF>は"0"にクリアされます。

30.4.5.5 通常 AD 変換の再起動

通常 AD 変換中に ADxMOD0<ADS>に"1"を設定すると通常 AD 変換が再起動されます。

再起動された時点で、それまでの通常 AD 変換は直ちに停止されます。この時、通常 AD 変換終了フラグ ADxMOD5<EOCF>、オーバーランフラグ、AD 変換結果格納フラグ ADxREGn<ADOVRF> <ADRF>は"0"にクリアされます。

通常 AD 変換中にハードウェアによる通常 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると通常 AD 変換が再起動されます。再起動後の動作は、ソフトウエア起動と同じです。

30.4.5.6 変換終了

(1) 通常 AD 変換の終了

通常 AD 変換が終了すると、AD 変換終了割り込み要求(INTADx)が発生します。また、AD 変換結果が変換結果格納レジスタに格納され、通常 AD 変換終了フラグ ADxMOD5 <EOCF>及び通常 AD 変換ビジーフラグ ADxMOD5 <ADBF>が変化します。

変換モードにより、AD 変換終了割り込み要求発生タイミング、変換結果格納レジスタ、ADxMOD5<EOCF> <ADBF>の変化タイミングは異なります。

チャネル固定リピート変換モード以外のモードでは、AD 変換結果はチャネルに対応した変換結果レジスタ ADxREG00-07 に格納されます。

チャネル固定リピート変換モードでは、ADxMOD3<ITM[2:0]>に設定した割り込み発生条件に従い ADxREG00 から最大 ADxREG07 へと AD 変換結果は順次格納されます。

モードごとの AD 変換割り込み要求 INTADx 発生タイミング、変換結果格納レジスタ、ADxMOD5<EOCF> <ADBF>の変化タイミングは以下の通りです。

- チャネル固定シングル変換モード

  変換が終了した後、<EOCF>が"1"にセット、<ADBF>が"0"にクリアされ、AD 変換終了割り込み要求 INTADx が発生します。

  変換結果はチャネルに対応する変換結果格納レジスタに格納されます。

- チャネルスキャンシングル変換モード

  スキャン変換終了後、<EOCF>が"1"にセット、<ADBF>が"0"にクリアされ、AD 変換終了割り込み要求 INTADx が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- チャネル固定リピート変換モード

  リピートモードのため<ADBF>は"0"とはならず"1"を保持します。割り込み要求発生タイミングは<ITM[2:0]>の設定により選択できます。<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。

  a. 1 回変換

     <ITM[2:0]>を"000"に設定すると、ADxMOD2<ADCH[3:0]>に設定した 1 チャネルの AD 変換が 1 回終了するごとに AD 変換終了割り込み要求 INTADx が発生します。

     この場合、変換結果は常に ADxREG00 に格納されます。格納時点で<EOCF>は"1" になります。

  b. 8 回変換

<ITM[2:0]>を"111"に設定すると、ADxMOD2<ADCH[3:0]>に設定した 1 チャネルの AD 変換が 8 回終了するごとに AD 変換終了割り込み要求 INTADx が発生します。

この場合、変換結果は ADxREG00 から ADxREG07 に順次格納されます。ADxREG07 に変換結果を格納後<EOCF>は"1"にセットされ、再び ADxREG00 から格納を始めます。

・ チャネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとに<EOCF>が"1"にセットされ、AD 変換終了割り込み要求 INTADx が発生します。 <ADBF>は"0"にならず"1"を保持します。

ADxMOD4<SCANAREA[3:0]>を"0011" (4 チャネルスキャン)に設定すると、ADxMOD4 <SCANSTA[3:0]>にて設定した先頭チャネルから 4 チャネルスキャンし最終チャネルの変換終了するごとに<EOCF> は"1"にセットされ AD 変換終了割り込み要求 INTADx が発生し、再びスタートチャネルから 4 チャネルスキャンします。リピートモードのため<ADBF>は"0"にならず"1"を保持します。

変換結果はチャネルに対応する変換結果格納レジスタに格納されます。

(2)　最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先 AD 変換終了フラグ ADxMOD5 <HPEOCF> が"1"にセット、最優先 AD 変換ビジーフラグ ADxMOD5<HPADBF>が"0"にクリアされ、最優先変換終了割り込み要求(INTADAHP)が発生します。

変換結果は最優先 AD 変換結果格納レジスタ ADxREGSP<ADSPR[11:0]> に格納されます。

(3)　データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。

通常変換が終了すると ADxMOD5 <EOCF>に"1"がセットされますので、このビットをポーリングすることで変換終了を確認し AD 変換結果を読み出してください。

変換結果格納レジスタは、ワードアクセスで読んでください。変換結果格納レジスタ ADxREG00 ~ ADxREG0 の AD 変換結果格納フラグ<ADRF>="1"、オーバーランフラグ<ADOVRF>="0"であれば、正しい変換結果が得られたことになります。

最優先 AD 変換についても同様にポーリングが使用可能です。

30.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

表 30-4 に AD 変換モード、割り込み発生タイミング、フラグの関係を、表 30-5、表 30-6、表 30-7 にアナログ入力チャネルと変換結果レジスタの対応をまとめます。

表 30-4 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADxMOD3)			割り込み発生タイミング	変換ステータスフラグ (ADxMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/<HPEOCF> セットタイミング (注 1)	<ADBF> (割り込み発生後)	<HPADBF> (割り込み発生後)
通常変換	チャネル固定シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	−
				001	2 回変換ごと	変換 2 回終了後	1	−
				010	3 回変換ごと	変換 3 回終了後	1	−
				011	4 回変換ごと	変換 4 回終了後	1	−
				100	5 回変換ごと	変換 5 回終了後	1	−
				101	6 回変換ごと	変換 6 回終了後	1	−
				110	7 回変換ごと	変換 7 回終了後	1	−
				111	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャンシングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャンリピート変換	1	1	−	1 回のスキャン変換終了後	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了後	−	0

注 1) ADxMOD5<EOCF><HPEOCF>はリードすると“0”にクリアされます。

注 2) リピートモードの時、ADxMOD5<ADBF>は割り込みが発生しても"0"にクリアされません。リピート動作を停止する為に、ADxMOD3<REPEAT>に"0"を書き込み、AD 変換が終了した時点で<ADBF>は"0"にクリアされます。

表 30-5 アナログ入力チャネルと AD 変換結果レジスタの対応 (チャネル固定シングルモード)

チャネル固定シングルモード	
チャネル	格納レジスタ
AINx0	ADxREG00
AINx1	ADxREG01
AINx2	ADxREG02
AINx3	ADxREG03
AINx4	ADxREG04
AINx5	ADxREG05
AINx6	ADxREG06
AINx7	ADxREG07

表 30-6 アナログ入力チャネルと AD 変換結果レジスタの対応
(チャネル固定リピートモード)

チャネル固定リピートモード		
ADxMOD3<ITM[2:0]>		格納レジスタ
000	1 回毎、割り込み発生	ADxREG00
001	2 回毎、割り込み発生	ADxREG00 ~ ADxREG01
010	3 回毎、割り込み発生	ADxREG00 ~ ADxREG02
011	4 回毎、割り込み発生	ADxREG00 ~ ADxREG03
100	5 回毎、割り込み発生	ADxREG00 ~ ADxREG04
101	6 回毎、割り込み発生	ADxREG00 ~ ADxREG05
110	7 回毎、割り込み発生	ADxREG00 ~ ADxREG06
111	8 回毎、割り込み発生	ADxREG00 ~ ADxREG07

表 30-7 アナログ入力チャネルと AD 変換結果レジスタの対応
(チャネルスキャンシングルモード/リピートモード)

チャネルスキャンシングルモード/リピートモード				
ADxMOD4<SCANSTA[3:0]> (スタートチャネル)		ADxMOD4<SCANAREA[3:0]> (スキャンチャネル幅)		格納レジスタ
0000	AINx0	0000 ~ 0111	1ch ~ 8ch	ADxREG00 ~ ADxREG07
0001	AINx1	0000 ~ 0110	1ch ~ 7ch	ADxREG01 ~ ADxREG07
0010	AINx2	0000 ~ 0101	1ch ~ 6ch	ADxREG02 ~ ADxREG07
0011	AINx3	0000 ~ 0100	1ch ~ 5ch	ADxREG03 ~ ADxREG07
0100	AINx4	0000 ~ 0011	1ch ~ 4ch	ADxREG04 ~ ADxREG07
0101	AINx5	0000 ~ 0010	1ch ~ 3ch	ADxREG05~ ADxREG07
0110	AINx6	0000 ~ 0001	1ch ~ 2ch	ADxREG06 ~ ADxREG07
0111	AINx7	0000	1ch	ADxREG07

30.4.5.8 変換結果の読み出し

fsys と ADCLK を個別に設定できるため、フラグ、変換結果の格納タイミングと CPU の動作タイミングによって、変換結果の読み出しに制約があります。

(1) フラグ変化のポーリングで変換終了を検出して変換結果を読み出す場合

フラグ変化のポーリングで変換終了を検出してから、1ADCLK 後に変換結果を読み出してください。

(2) 割り込みで変換終了を検出して変換結果を読み出す場合

割り込みで変換終了を検出してから、1ADCLK 後に変換結果を読み出してください。

(3) DMAC で変換結果を読み出す場合

DMA リクエストが発生してから、fsys × 6 後に変換結果がレジスタに格納されます。そのため、DMAC で変換結果を転送する場合は、fsys < ADCLK × 6 [Hz]の設定で使用してください。

30.4.6 PSC 起動

各ユニットの AD 変換終了割り込み(INTADx)発生で PSC を起動することができます。

PSC の設定は、「Programmable Servo/Sequnce Controller」の章を参照してください。

PSC 起動要因の割り当ては「製品情報」の章を参照してください。

30.4.7 DMA 要求

AD 変換終了割り込みまたは AD 監視割り込みのタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行う場合は ADxMOD7 レジスタの該当ビットで許可の設定を行ってください。

DMA 要求要因の割り当ては「製品情報」の章を参照してください。

30.5　AD コンバータに対する設計時の注意事項

AIN 端子に対する設計時の注意事項

<AIN 端子に接続する外部信号源の出力インピーダンスに関して>

AIN 端子に接続する信号源の出力インピーダンスは、下記の式の R_{EXAIN} 以下にする必要があります。

-- 出力インピーダンスの許容値算出式 --

AIN 端子に接続する信号源の出力インピーダンスの最大値 : $R_{EXAIN} = Tscyc \div (ADCLK \times C_{ADC} \times \ln (2^{14})) - R_{AIN}$

MCU 情報	Symbol	Min	Typ	Max	単位
A/DC クロック周波数	ADCLK	4	-	40	MHz
総 AIN 入力 MCU 内容量	C_{ADC}	-	-	12.2	pF
AIN MCU 内抵抗	R_{AIN}	-	-	1	kΩ
サンプルホールド期間のサイクル数	Tscyc	10	-	320	Cycle

R_{EXAIN} 最大値一覧表(ADCLK = 40MHz)

Tcsyc	R_{EXAIN}	単位
10	1.1	kΩ
20	3.2	
30	5.3	
40	7.5	
80	15.9	
160	32.8	
320	66.6	

< 安定化容量の付加に関して >

高速 AD 変換が必要で且つ、サンプルホールド期間が外部インピーダンスの許容算出式の条件を満たせない場合、AIN 端子に安定化容量を付加してください。安定化容量に関しては、外部回路に依存するため基板により異なりますが、0.1μF から 1μF 程度の容量を付加し、基板に適した安定化容量となるように調整してください。

この時、付加する容量の位置は AIN 端子のすぐ近くに接続してください。

< サンプルホールド 期間の調整に関して>

一般にサンプルホールド期間をあるていど長く設定することにより、AD コンバータ内部のコンパレータ入力電圧を AIN 端子の電位と等しくすることができるため、変換誤差を小さくすることが出来ます。

ただし長くしすぎることでサンプルホールド回路に保持されている電圧が変動して、誤差が大きくなることもあります。

基板ごとに最適なサンプルホールド時間が異なりますので、基板での確認をお願いいたします。

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力が兼用となっている端子への入力及び出力の変化、出力ポートに設定している他の端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどの対策をして下さい。

第 31 章　デジタルアナログコンバータ(DAC)

31.1　概要

デジタルアナログコンバータは下記の特徴を持っています。

- 分解能 10 ビット
- バッファアンプ内蔵
- 低消費電力モード

31.2　構成

デジタルアナログコンバータは制御部、抵抗部、アンプで構成されています。

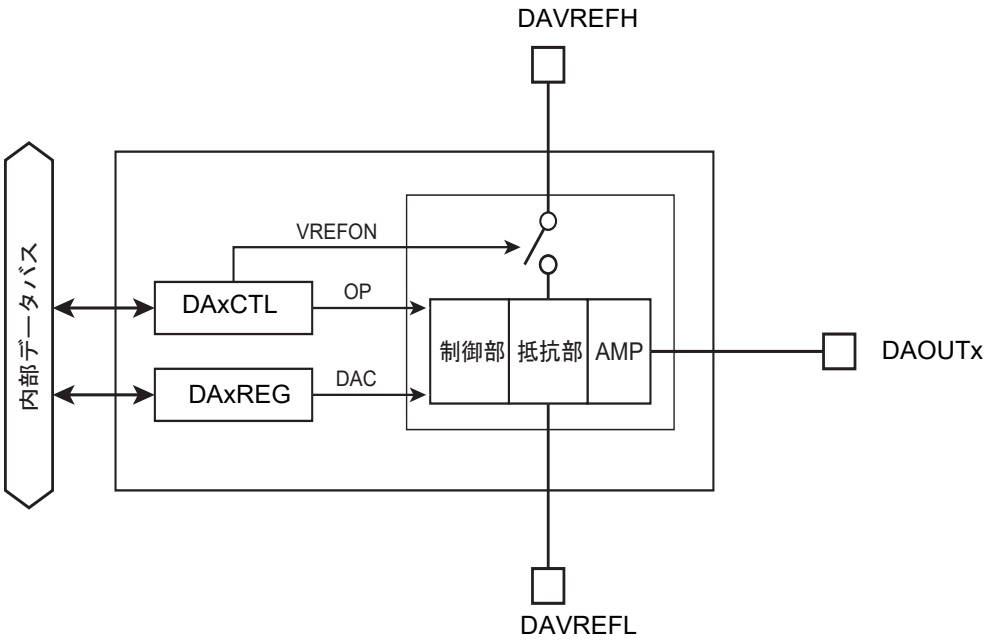


図 31-1 DAC ブロック図

31.3　レジスタ説明

31.3.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x=0~1)		Address(Base+)
コントロールレジスタ	DAxCTL	0x0000
出力レジスタ	DAxREG	0x0004
VOUTHOLD 時間制御レジスタ	DAxVCTL	0x0010

31.3.2　DAxCTL (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	VREFON	OP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	VREFON	R/W	VREF 制御 0: VREF off 1: VREF on "1"に設定すると DAVREFH を抵抗部に接続します。
0	OP	R/W	DAC 動作 0: 停止 1: 動作 デジタルアナログコンバータの動作を制御します。"1"に設定すると DAOUTx 端子に DAxREG レジスタで設定した電圧を出力します。"0"に設定すると動作が停止し、DAOUTx 端子は Hi-Z になります。

31.3.3 DAxREG (出力レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	DAC	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DAC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-0	DAC[9:0]	R/W	出力電圧設定 出力するアナログ電圧値を設定します。

31.3.4 DAxVCTL (VOUTHOLD 時間制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	VHOLDCTB							
リセット後	0	0	1	0	1	1	0	1
	7	6	5	4	3	2	1	0
bit symbol	VHOLDCTF							
リセット後	0	0	0	0	0	1	1	1

Bit	Bit Symbol	Type	Function
31-16	−	R	リードすると"0"が読めます。
15-8	VHOLDCTB	R/W	0x54 を設定してください。
7-0	VHOLDCTF	R/W	0x0D を設定してください。

31.4　回路の動作説明

31.4.1　出力電圧の設定方法

DAxCTL<OP><VREFON>を"11"に設定しデジタルアナログコンバータを動作させ、DAVREFH を抵抗部に接続した後、 DAxREG<DAC[9:0]>に変換値を設定することにより、設定値に対応した電圧が DAOUTx に出力されます。

出力電圧は以下の式で表されます。

出力電圧 = DAC[9:0] x (AVREFH - AVREFL) / 4096

31.4.2　低消費電力モード

DAxCTL<VREFON>を "0" に設定することにより、抵抗部を DAVREFH 端子から切り離し、抵抗部に流れる電流を削減することができます。

DAxCTL<OP>を "0" に設定することによりデジタルアナログコンバータは動作を停止し、DAOUTx 端子は Hi-Z になります。

低消費電力モードに移行する際は、DAxCTL<OP><VREFON>を"00"に設定してください。

第 32 章　フラッシュメモリ(FLASH)

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

32.1　フラッシュメモリの特長

32.1.1　メモリ容量と構成

TMPM440FE/F10XBG の内蔵するフラッシュメモリの容量と構成は、表 32-1 と表 32-2 の通りです。

表 32-1 メモリ容量と構成

製品	容量 (KB)	ブロック構成				1 ページのワード数	ページ数	書き込み時間(s)	消去時間(s)	
		64 KB	32 KB	16 KB	8 KB				1 ブロック	チップ
TMPM440F10XBG	1024	12	4	4	8	64	4096	5.12	0.1	1.6
TMPM440FEXBG	768	8	4	4	8		3073	3.84		

注)　上記の値は理論時間を表しており、データ転送時間などは含まれていません。 チップ当たりの時間はユーザーの書き替え方法により異なります。

表 32-2 ブロック構成

[TMPM440F10XBG]

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)	ページ構成
0	0x0000_0000 ~ 0x0000_1FFF	0x3F80_0000 ~ 0x3F80_1FFF	8	64 ワード×32
1	0x0000_2000 ~ 0x0000_3FFF	0x3F80_2000 ~ 0x3F80_3FFF	8	64 ワード×32
2	0x0000_4000 ~ 0x0000_5FFF	0x3F80_4000 ~ 0x3F80_5FFF	8	64 ワード×32
3	0x0000_6000 ~ 0x0000_7FFF	0x3F80_6000 ~ 0x3F80_7FFF	8	64 ワード×32
4	0x0000_8000 ~ 0x0000_BFFF	0x3F80_8000 ~ 0x3F80_BFFF	16	64 ワード×64
5	0x0000_C000 ~ 0x0000_FFFF	0x3F80_C000 ~ 0x3F80_FFFF	16	64 ワード×64
6	0x0001_0000 ~ 0x0000_7FFF	0x3F81_0000 ~ 0x3F81_7FFF	32	64 ワード×128
7	0x0001_8000 ~ 0x0001_FFFF	0x3F81_8000 ~ 0x3F81_FFFF	32	64 ワード×128
8	0x0002_0000 ~ 0x0002_FFFF	0x3F82_0000 ~ 0x3F82_FFFF	64	64 ワード×256
9	0x0003_0000 ~ 0x0003_FFFF	0x3F83_0000 ~ 0x3F83_FFFF	64	64 ワード×256
10	0x0004_0000 ~ 0x0004_FFFF	0x3F84_0000 ~ 0x3F84_FFFF	64	64 ワード×256
11	0x0005_0000 ~ 0x0005_FFFF	0x3F85_0000 ~ 0x3F85_FFFF	64	64 ワード×256
12	0x0006_0000 ~ 0x0006_FFFF	0x3F86_0000 ~ 0x3F86_FFFF	64	64 ワード×256
13	0x0007_0000 ~ 0x0007_FFFF	0x3F87_0000 ~ 0x3F87_FFFF	64	64 ワード×256
14	0x0008_0000 ~ 0x0008_1FFF	0x3F88_0000 ~ 0x3F88_1FFF	8	64 ワード×32
15	0x0008_2000 ~ 0x0008_3FFF	0x3F88_2000 ~ 0x3F88_3FFF	8	64 ワード×32
16	0x0008_4000 ~ 0x0008_5FFF	0x3F88_4000 ~ 0x3F88_5FFF	8	64 ワード×32
17	0x0008_6000 ~ 0x0008_7FFF	0x3F88_6000 ~ 0x3F88_7FFF	8	64 ワード×32
18	0x0008_8000 ~ 0x0008_BFFF	0x3F88_8000 ~ 0x3F88_BFFF	16	64 ワード×64
19	0x0008_C000 ~ 0x0008_FFFF	0x3F88_C000 ~ 0x3F88_FFFF	16	64 ワード×64
20	0x0009_0000 ~ 0x0009_7FFF	0x3F89_0000 ~ 0x3F89_7FFF	32	64 ワード×128
21	0x0009_8000 ~ 0x0009_FFFF	0x3F89_8000 ~ 0x3F89_FFFF	32	64 ワード×128
22	0x000A_0000 ~ 0x000A_FFFF	0x3F8A_0000 ~ 0x3F8A_FFFF	64	64 ワード×256

表 32-2 ブロック構成

23	0x000B_0000 ~ 0x000B_FFFF	0x3F8B_0000 ~ 0x3F8B_FFFF	64	64 ワード×256
24	0x000C_0000 ~ 0x000C_FFFF	0x3F8C_0000 ~ 0x3F8C_FFFF	64	64 ワード×256
25	0x000D_0000 ~ 0x000D_FFFF	0x3F8D_0000 ~ 0x3F8D_FFFF	64	64 ワード×256
26	0x000E_0000 ~ 0x000E_FFFF	0x3F8E_0000 ~ 0x3F8E_FFFF	64	64 ワード×256
27	0x000F_0000 ~ 0x000F_FFFF	0x3F8F_0000 ~ 0x3F8F_FFFF	64	64 ワード×256

[TMPM440FEXBG]

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)	ページ構成
0	0x0000_0000 ~ 0x0000_1FFF	0x3F80_0000 ~ 0x3F80_1FFF	8	64 ワード×32
1	0x0000_2000 ~ 0x0000_3FFF	0x3F80_2000 ~ 0x3F80_3FFF	8	64 ワード×32
2	0x0000_4000 ~ 0x0000_5FFF	0x3F80_4000 ~ 0x3F80_5FFF	8	64 ワード×32
3	0x0000_6000 ~ 0x0000_7FFF	0x3F80_6000 ~ 0x3F80_7FFF	8	64 ワード×32
4	0x0000_8000 ~ 0x0000_BFFF	0x3F80_8000 ~ 0x3F80_BFFF	16	64 ワード×64
5	0x0000_C000 ~ 0x0000_FFFF	0x3F80_C000 ~ 0x3F80_FFFF	16	64 ワード×64
6	0x0001_0000 ~ 0x0000_7FFF	0x3F81_0000 ~ 0x3F81_7FFF	32	64 ワード×128
7	0x0001_8000 ~ 0x0001_FFFF	0x3F81_8000 ~ 0x3F81_FFFF	32	64 ワード×128
8	0x0002_0000 ~ 0x0002_FFFF	0x3F82_0000 ~ 0x3F82_FFFF	64	64 ワード×256
9	0x0003_0000 ~ 0x0003_FFFF	0x3F83_0000 ~ 0x3F83_FFFF	64	64 ワード×256
10	0x0004_0000 ~ 0x0004_FFFF	0x3F84_0000 ~ 0x3F84_FFFF	64	64 ワード×256
11	0x0005_0000 ~ 0x0005_FFFF	0x3F85_0000 ~ 0x3F85_FFFF	64	64 ワード×256
12	0x0006_0000 ~ 0x0006_FFFF	0x3F86_0000 ~ 0x3F86_FFFF	64	64 ワード×256
13	0x0007_0000 ~ 0x0007_FFFF	0x3F87_0000 ~ 0x3F87_FFFF	64	64 ワード×256
14	0x0008_0000 ~ 0x0008_1FFF	0x3F88_0000 ~ 0x3F88_1FFF	8	64 ワード×32
15	0x0008_2000 ~ 0x0008_3FFF	0x3F88_2000 ~ 0x3F88_3FFF	8	64 ワード×32
16	0x0008_4000 ~ 0x0008_5FFF	0x3F88_4000 ~ 0x3F88_5FFF	8	64 ワード×32
17	0x0008_6000 ~ 0x0008_7FFF	0x3F88_6000 ~ 0x3F88_7FFF	8	64 ワード×32
18	0x0008_8000 ~ 0x0008_BFFF	0x3F88_8000 ~ 0x3F88_BFFF	16	64 ワード×64
19	0x0008_C000 ~ 0x0008_FFFF	0x3F88_C000 ~ 0x3F88_FFFF	16	64 ワード×64
20	0x0009_0000 ~ 0x0009_7FFF	0x3F89_0000 ~ 0x3F89_7FFF	32	64 ワード×128
21	0x0009_8000 ~ 0x0009_FFFF	0x3F89_8000 ~ 0x3F89_FFFF	32	64 ワード×128
22	0x000A_0000 ~ 0x000A_FFFF	0x3F8A_0000 ~ 0x3F8A_FFFF	64	64 ワード×256
23	0x000B_0000 ~ 0x000B_FFFF	0x3F8B_0000 ~ 0x3F8B_FFFF	64	64 ワード×256

27	0x000F_FE000 ~ 0x000F_FFFF	0x3F8F_FE00 ~ 0x3F8F_FFFF	1	64 ワード×1

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

- ページ

  1 ページは 64 ワードで、アドレス[31:8]が同じで、先頭アドレス[7:0] = 0 、最後のアドレス[7:0] = 0xFF のグループです。
- ブロック

  最大ブロックサイズとして 64KB が 12 ブロック、最小ブロックサイズとして 8KB が 4 ブロック、その他に 32KB と 16KB のブロックがそれぞれ 2 個のブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 0.1 s (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 1.6s(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「32.1.5 プロテクト/セキュリティ機能」を参照してください

32.1.2　機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、 チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

32.1.3　動作モード

32.1.3.1　モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザーブートモードがあります。モード遷移図を図 32-1 に示します。

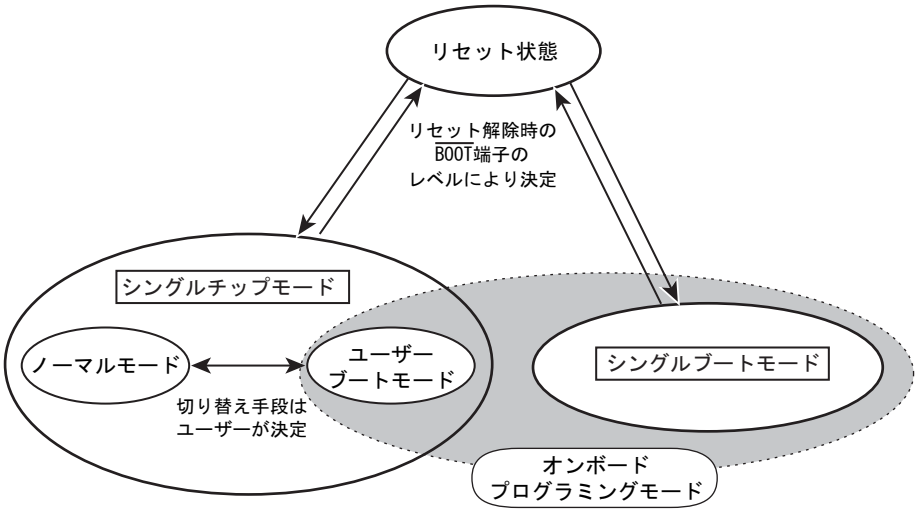


図 32-1 モード遷移図

(1)　シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の 2 つのモードがあります。

- ノーマルモード

  ユーザーのアプリケーションプログラムを実行するモードです。
- ユーザーブートモード

  ユーザーのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザーブートモードの切り替えはユーザーが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。 シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3) オンボードプログラミングモード

ユーザーのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードです。この 2 つをオンボードプログラミングモードと定義します。

32.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの $\overline{\text{BOOT}}$ 端子の状態により決定されます。

表 32-3 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

32.1.4　メモリマップ

図 32-2 および図 32-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

製品	Flash サイズ	RAM サイズ	Flash アドレス	RAM アドレス
TMPM440F10XBG	1024 KB	64 KB	0x0000_0000 ~ 0x000F_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F8F_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_FFFF
TMPM440FEXBG	768KB		0x0000_0000 ~ 0x000B_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F8B_FFFF(シングルブートモード)	

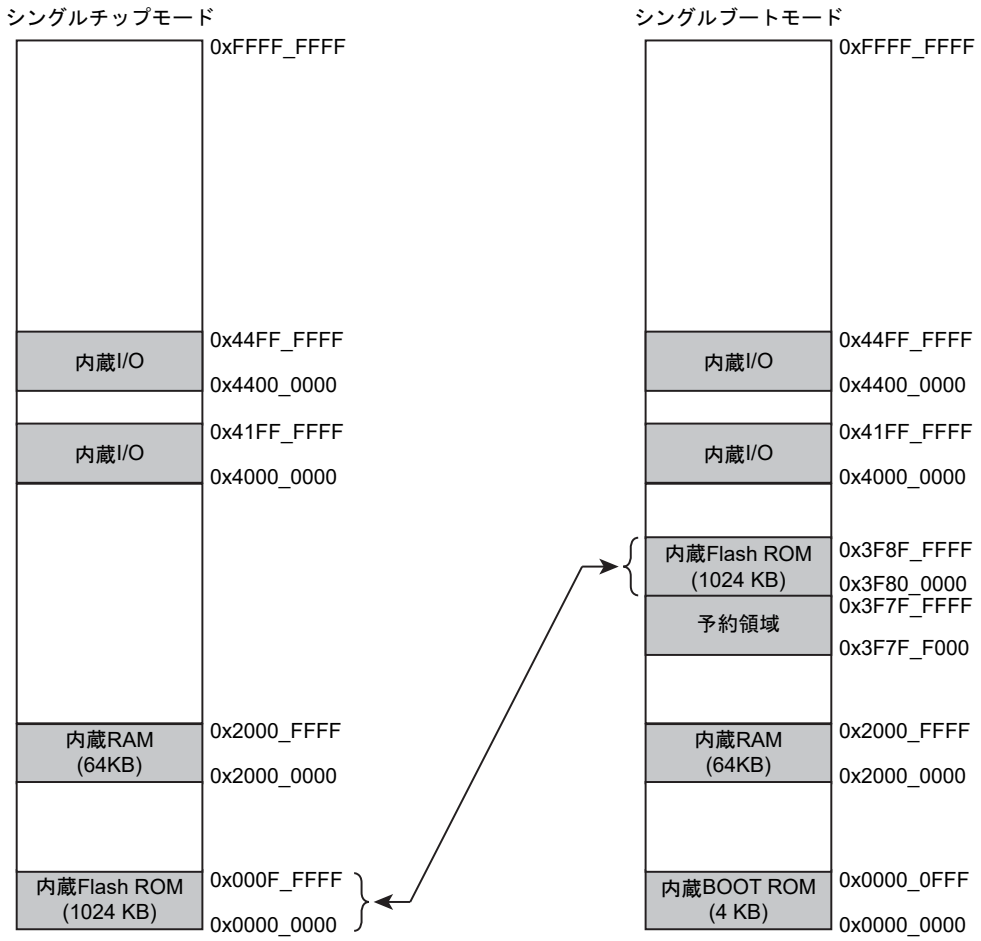


図 32-2 メモリマップの比較(TMPM440F10XBG)

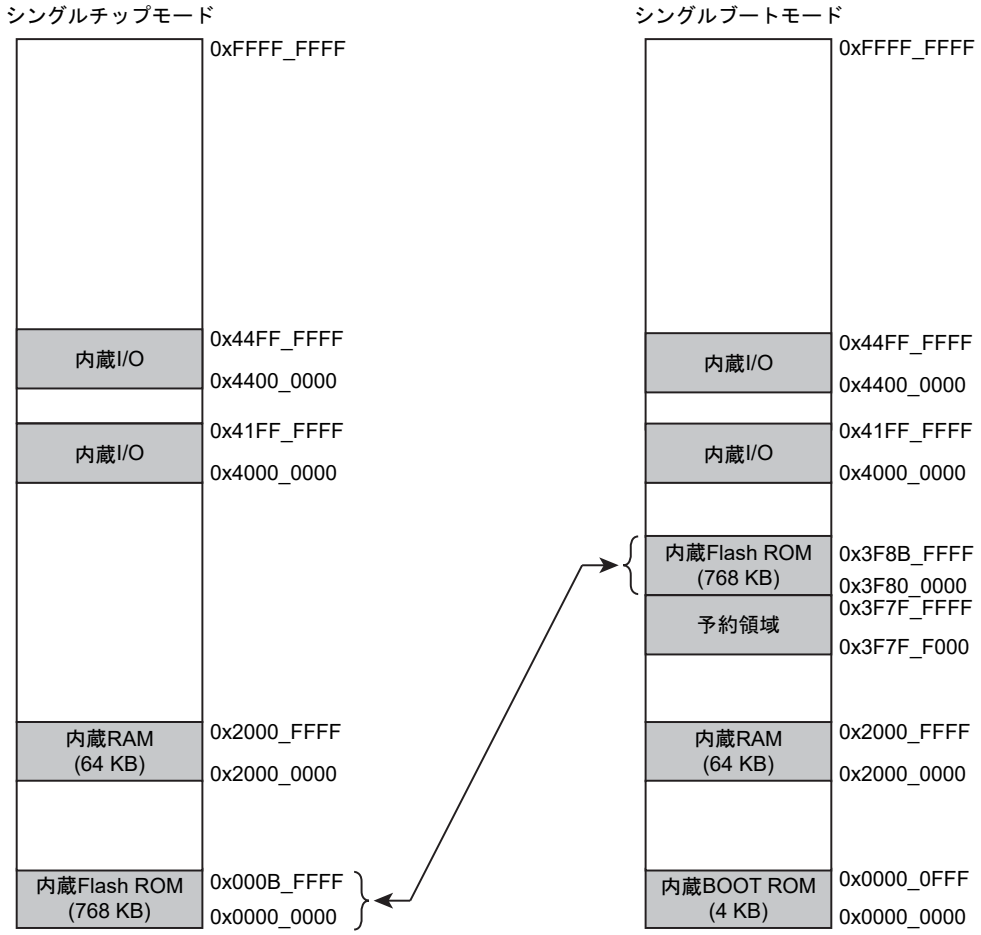


図 32-3 メモリマップの比較(TMPM440FEXBG)

32.1.5 プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの 2 つの機能を持っています。

1. プロテクト機能

   フラッシュメモリへの書き込み、消去をブロック単位で禁止

2. セキュリティ機能

   フラッシュライタによるフラッシュメモリの読み出しの禁止

   デバッグ機能の使用制限

32.1.5.1 プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトは解除されます。プロテクトビットは、各 FCPSR レジスタの <BLK13>～<BLK0>でそれぞれモニタすることができます。

プロテクトビットのプログラムは 1 ビット単位、消去は 8 ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「32.2.5 コマンド説明」の章を参照してください。

32.1.5.2　セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 32-4 に示します。

表 32-4 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. すべてのプロテクトビット(各 FCPSR レジスタの<BLK13>～<BLK0>)が"1"にセットされている。

   セキュリティを有効にするために設定が必要なプロテクトビットは次の通りです。

製品	プロテクトビット
TMPM440F10XBG	FCPSRA<BLK13>~<BLK0>
TMPM440FEXBG	FCPSRB<BLK13>~<BLK0>

FCSECBIT<SECBIT>はコールドリセットで"1"にセットされます。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注)　以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

32.1.6 レジスタ

32.1.6.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
Reserved	-	0x0000 ~ 0x000F
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	-	0x0014 ~ 0x001B
フラッシュコントロールレジスタ	FCCR	0x001C
フラッシュステータスレジスタ	FCSR	0x0020
Reserved	-	0x0024 ~ 0x002F
フラッシュプロテクトステータスレジスタ A	FCPSRA	0x0030
フラッシュプロテクトステータスレジスタ B	FCPSRB	0x0034
Reserved	-	0x0038 ~ 0x0FFF

注) "Reserved"表記の領域にはアクセスしないでください。

32.1.6.2 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注) 本レジスタは、コールドリセットで初期化されます。

32.1.6.3　FCCR(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	FLBOFF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	FLBOFF	R/W	Flash バッファの有効/無効を切り替えます。 0:バッファ有効 1:バッファ無効

注)　本レジスタは、システムリセットで初期化されます。

32.1.6.4 FCSR(フラッシュステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	RDY_BSY	R	Ready/Busy (注) 0: 自動動作中 1:自動動作終了 自動動作の状態を認識する方法として、RDY_BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウエアリセットにより"1"に復帰します。

注) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウエアリセットで復帰してください。ハードウエアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

32.1.6.5　FCPSRA(フラッシュプロテクトステータスレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	BLK13	BLK12	BLK11	BLK10	BLK9	BLK8
リセット後	0	0	(注)	(注)	(注)	(注)	(注)	(注)
	7	6	5	4	3	2	1	0
bit symbol	BLK7	BLK6	BLK5	BLK4	BLK3	BLK2	BLK1	BLK0
リセット後	(注)	(注)	(注)	(注)	(注)	(注)	(注)	(注)

Bit	Bit Symbol	Type	機能
31-14	−	R	リードすると"0"が読めます。
13-0	BLK13 ~ BLK0	R	Block0 ~ 13 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

注)　プロテクト状態に対応した値になります。

32.1.6.6 FCPSRB(フラッシュプロテクトステータスレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	BLK13	BLK12	BLK11	BLK10	BLK9	BLK8
リセット後	0	0	(注)	(注)	(注)	(注)	(注)	(注)
	7	6	5	4	3	2	1	0
bit symbol	BLK7	BLK6	BLK5	BLK4	BLK3	BLK2	BLK1	BLK0
リセット後	(注)	(注)	(注)	(注)	(注)	(注)	(注)	(注)

Bit	Bit Symbol	Type	機能
31-14	−	R	リードすると"0"が読めます。
13-0	BLK13 ~ BLK0	R	Block14 ~ 27 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

注) プロテクト状態に対応した値になります。

32.2　フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。 また、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

32.2.1　機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 32-5 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

32.2.2　フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させる場合には、後述する Read/リセットコマンドもしくはハードウエアリセットを用います。

32.2.3　ハードウエアリセット

ハードウエアリセットとはコールドリセットおよびウォームリセットを指しており、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了した場合のリードモードへの復帰のために使用します。

自動動作中にハードウエアリセットが発生すると、フラッシュメモリは自動動作を中止しリードモードに戻ります。フラッシュメモリの自動プログラム/消去動作中にハードウエアリセットを行う場合は、システムクロックによらず 0.5μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。なお、自動動作の実行中にハードウエアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

本製品のリセット動作については、「リセット動作」の章を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

32.2.4 コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「32.2.5 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行された時はコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read/リセットコマンドをソフトウエアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCSR<RDY_BSY>が"0"になります。自動動作が正常終了した時に FCSR<RDY_BSY> = "1" となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウエアリセットを用います。また、自動動作が正常終了しない場合(FCSR<RDY_BSY>が"0"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはハードウエアリセットを行う必要があります。ハードウエアリセットで動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行する際には以下の事項に留意してください。

1. コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCSR<RDY_BSY> = 1 であることを確認してください。続いて Read/リセットコマンドを実行することを推奨します。

2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。

3. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行って下さい。

4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないで下さい。また、リセットを除く割り込み/フォールトは発生させないようにしてください。

5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、リードモードに戻して下さい。

32.2.5 コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「32.2.6 コマンドシーケンス」を参照してください。

32.2.5.1　自動ページプログラム

(1)　動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであっても 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります

注 1)　消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

注 2)　プロテクトされたブロックへの書き込みはできません。

(2)　実行方法

第 1～第 3 バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降、連続して 1 ページ分のデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

ページの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを"0xFFFFFFFF"として 1 ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

32.2.5.2　自動チップ消去

(1)　動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

(2)　実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

自動チップ消去動作が正常終了しなかった場合、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

32.2.5.3 自動ブロック消去

(1) 動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

(2) 実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

自動ブロック消去動作が正常終了しなかった場合、以降不良ブロックを使用しないことを推奨します。

32.2.5.4 自動プロテクトビットプログラム

(1) 動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「32.1.5 プロテクト/セキュリティ機能」を参照してください。

(2) 実行方法

第 1～第 3 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 4 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、各 FCPSR レジスタの<BLK13>～<BLK0>で確認してください。

32.2.5.5 自動プロテクトビット消去

(1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「32.1.5 プロテクト/セキュリティ機能」を参照してください。

- セキュリティ状態でない場合

  指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は 8 ビット単位で行われます。
- セキュリティ状態の場合

  フラッシュメモリの全アドレスのデータを消去した後、すべてのプロテクトビットを消去します。

(2)　実行方法

第 1 ~ 第 3 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 4 バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、各 FCPSR レジスタの<BLK13> ~ <BLK0>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去およびすべてのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中は FCSR<RDY_BSY>が"0"となり、終了後"1"となりリードモードに戻ります。自動動作を中断するためにはハードウエアリセットが必要です。

32.2.5.6　ID-Read

(1)　動作内容

ID-Read コマンドは、フラッシュメモリのタイプ等の情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

(2)　実行方法

第 1 ~ 第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read/リセットコマンドまたはハードウエアリセットで行います。

32.2.5.7　Read/リセットコマンド (ソフトウエアリセット)

(1)　動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的には Read モードに復帰せず、その状態で停止します。このような状態から Read モードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2)　実行方法

Read/リセットコマンドでは第 1 ~ 3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

32.2.6 コマンドシーケンス

32.2.6.1 コマンドシーケンス一覧

表 32-6 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外はすべて"「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 32-7 を参照してください。表 32-7 で「コマンド」と記載された、Addr [15:9]に下記の値を使用します。

注 1) アドレスビット[1:0]へは常に"0"を設定してください。

注 2) アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。

メモリサイズが 512KB 以下	:常に"0"
メモリサイズが 512KB を超える	: 512KB 以下の領域へのバスライトサイクルでは"0"
	: 512KB を超える領域へのバスライトサイクルでは"1"

表 32-6 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read/リセット	0x54XX	0xAAXX	0x54XX	RA	–	–	–
	0xAA	0x55	0xF0	RD	–	–	–
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページ プログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動 ブロック消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビット プログラム	0x54XX	0xAAXX	0x54XX	PBA	–	–	–
	0xAA	0x55	0x9A	0x9A	–	–	–
自動プロテクトビット 消去	0x54XX	0xAAXX	0x54XX	PBA	–	–	–
	0xAA	0x55	0x6A	0x6A	–	–	–

補足説明

- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)

  第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス(表 32-2 参照)
- PBA: プロテクトビットアドレス(表 32-8 参照)

32.2.6.2　バスライトサイクル時のアドレスビット構成

表 32-7 は「表 32-6 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 32-7 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:20]	Addr [19]	Addr [18:17]	Addr [16]	Addr [15:14]	Addr [13]	Addr [12:11]	Addr [10:8]	Addr [7:0]

Read/ リセット	RA:RD アドレス(Read/リセットの第 4 バスライトサイクルアドレス設定)								
	フラッシュ領域	注 2)	Addr[1:0] = "0"固定、他ビットは"0"推奨						
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)								
	フラッシュ領域	注 2)	"0"推奨		ID アドレス		Addr[1:0] = "0"固定、他ビットは"0"推奨		
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)								
	フラッシュ領域	注 2)	ブロックアドレス(表 32-2)				Addr[1:0] = "0"固定、他ビットは"0"推奨		
Auto ページプログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)								
	フラッシュ領域	注 2)	ページアドレス						Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 4 バスライトサイクルアドレス設定)								
	フラッシュ領域	注 2)	プロテクトビット選択 (表 32-8)	"0"固定				プロテクトビット選択 (表 32-8)	Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビット消去	PBA: プロテクトビットアドレス(プロテクトビット消去の第 4 バスライトサイクルアドレス設定)								
	フラッシュ領域	注 2)	プロテクトビット選択 (表 32-9)	"0"固定					Addr[1:0] = "0"固定、他ビットは"0"推奨

注 1)　アドレスビット[1:0]へは常に"0"を設定してください。

注 2)　アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。

メモリサイズが 512KB 以下　　:常に"0"

メモリサイズが 512KB を超える　　: 512KB 以下の領域へのバスライトサイクルでは"0"
: 512KB を超える領域へのバスライトサイクルでは"1"

32.2.6.3 ブロックアドレス(BA)

表 32-2 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

32.2.6.4 プロテクトビットの指定(PBA)

プロテクトビットは、プログラム時は 1 ビット単位、消去時は 8 ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表 32-8 に示します。アドレス例の、上段はシングルモード時のアドレス、下段はシングルブートモード時のアドレスです。

消去は、自動プロテクトビット消去コマンドを実行することで 8 ビットのプロテクトビットがまとめて消去されます。

表 32-8 プロテクトビットプログラムアドレス表

[TMPM440F10XBG]

Block	レジスタ	プロテクトビット	第 7 バスライトサイクルのアドレス						
			アドレス [19]	アドレス [18]	アドレス [17]	アドレス [16:11]	アドレス [10]	アドレス [9]	アドレス [8]
0	FCPSRA	<BLK0>	0	0	0	"0"固定	0	0	0
1		<BLK1>	0	0	0		0	0	1
2		<BLK2>	0	0	0		0	1	0
3		<BLK3>	0	0	0		0	1	1
4		<BLK4>	0	0	0		1	0	0
5		<BLK5>	0	0	0		1	0	1
6		<BLK6>	0	0	0		1	1	0
7		<BLK7>	0	0	0		1	1	1
8		<BLK8>	0	0	1		0	0	0
9		<BLK9>	0	0	1		0	0	1
10		<BLK10>	0	0	1		0	1	0
11		<BLK11>	0	0	1		0	1	1
12		<BLK12>	0	0	1		1	0	0
13		<BLK13>	0	0	1		1	0	1
14	FCPSRB	<BLK0>	1	0	0		0	0	0
15		<BLK1>	1	0	0		0	0	1
16		<BLK2>	1	0	0		0	1	0
17		<BLK3>	1	0	0		0	1	1
18		<BLK4>	1	0	0		1	0	0
19		<BLK5>	1	0	0		1	0	1
20		<BLK6>	1	0	0		1	1	0
21		<BLK7>	1	0	0		1	1	1
22		<BLK8>	1	0	1		0	0	0
23		<BLK9>	1	0	1		0	0	1
24		<BLK10>	1	0	1		0	1	0
25		<BLK11>	1	0	1		0	1	1
26		<BLK12>	1	0	1		1	0	0
27		<BLK13>	1	0	1		1	0	1

[TMPM440FEXBG]

Block	レジスタ	プロテクトビット	第 7 バスライトサイクルのアドレス						
			アドレス [19]	アドレス [18]	アドレス [17]	アドレス [16:11]	アドレス [10]	アドレス [9]	アドレス [8]
0	FCPSRA	<BLK0>	0	0	0	"0"固定	0	0	0
1		<BLK1>	0	0	0		0	0	1
2		<BLK2>	0	0	0		0	1	0
3		<BLK3>	0	0	0		0	1	1
4		<BLK4>	0	0	0		1	0	0
5		<BLK5>	0	0	0		1	0	1
6		<BLK6>	0	0	0		1	1	0
7		<BLK7>	0	0	0		1	1	1
8		<BLK8>	0	0	1		0	0	0
9		<BLK9>	0	0	1		0	0	1
10		<BLK10>	0	0	1		0	1	0
11		<BLK11>	0	0	1		0	1	1
12		<BLK12>	0	0	1		1	0	0
13		<BLK13>	0	0	1		1	0	1
14	FCPSRB	<BLK0>	1	0	0		0	0	0
15		<BLK1>	1	0	0		0	0	1
16		<BLK2>	1	0	0		0	1	0
17		<BLK3>	1	0	0		0	1	1
18		<BLK4>	1	0	0		1	0	0
19		<BLK5>	1	0	0		1	0	1
20		<BLK6>	1	0	0		1	1	0
21		<BLK7>	1	0	0		1	1	1
22		<BLK8>	1	0	1		0	0	0
23		<BLK9>	1	0	1		0	0	1
27		<BLK13>	1	0	1	"0"固定	1	0	1

表 32-9 プロテクトビット消去アドレス表 (TMPM440F10/FEXBG)

Block	レジスタ	プロテクトビット	第 4 バスライトサイクルのアドレス [19:17]		
			アドレス[19]	アドレス[18]	アドレス[17]
0 ~ 7	FCPSRA	<BLK0> ~ <BLK7>	0	0	0
8 ~ 13		<BLK8> ~ <BLK13>	0	0	1
14 ~ 21	FCPSRB	<BLK0> ~ <BLK7>	1	0	0
22 ~ 27		<BLK8> ~ <BLK13>	1	0	1

32.2.6.5 ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 32-10 に示します。

下表のアドレス例の、上段はシングルモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 32-10 ID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[15:14]	アドレス例[31:0]
メーカーコード	0x98	00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	01	0x0000_4000 0x3F80_4000
–	Reserved	10	–
マクロコード	0x71	11	0x0000_C000 0x3F80_C000

32.2.6.6 コマンドシーケンス例

(1) シングルチップモード

シングルチップモード時のコマンドシーケンス例

（Block0~27）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
ID-Read	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動チップ消去	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	0x0000_AA00	0x0000_5400	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–

（Block0~13）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read/リセット	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	–	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	–	–	–	–
自動ページプログラム	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動ブロック消去	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	0x0000_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A	–	–	–
自動プロテクトビット消去	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A	–	–	–

（Block14~27）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read/リセット	アドレス	0x0008_5400	0x0008_AA00	0x0008_5400	–	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	–	–	–	–
自動ページプログラム	アドレス	0x0008_5400	0x0008_AA00	0x0008_5400	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動ブロック消去	アドレス	0x0008_5400	0x0008_AA00	0x0008_5400	0x0008_5400	0x0008_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x0008_5400	0x0008_AA00	0x0008_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A	–	–	–
自動プロテクトビット消去	アドレス	0x0008_5400	0x0008_AA00	0x0008_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A	–	–	–

(2)　シングルブートモード

シングルブートモード時のコマンドシーケンス例

（Block0~27）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
ID-Read	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動チップ消去	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	0x3F80_5400	0x3F80_AA00	0x3F80_5400	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–

（Block0~13）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read/リセット	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	–	–	–	–
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	–	–	–	–
自動ページプログラム	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動ブロック消去	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	0x3F80_5400	0x3F80_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A	–	–	–
自動プロテクトビット消去	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A	–	–	–

（Block14~27）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read/リセット	アドレス	0x3F88_5400	0x3F88_AA00	0x3F88_5400	–	–	–	–
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	–	–	–	–
自動ページプログラム	アドレス	0x3F88_5400	0x3F88_AA00	0x3F88_5400	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動ブロック消去	アドレス	0x3F88_5400	0x3F88_AA00	0x3F88_5400	0x3F88_5400	0x3F88_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x3F88_5400	0x3F88_AA00	0x3F88_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A	–	–	–
自動プロテクトビット消去	アドレス	0x3F88_5400	0x3F88_AA00	0x3F88_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A	–	–	–

32.2.7　フローチャート

32.2.7.1　自動プログラム

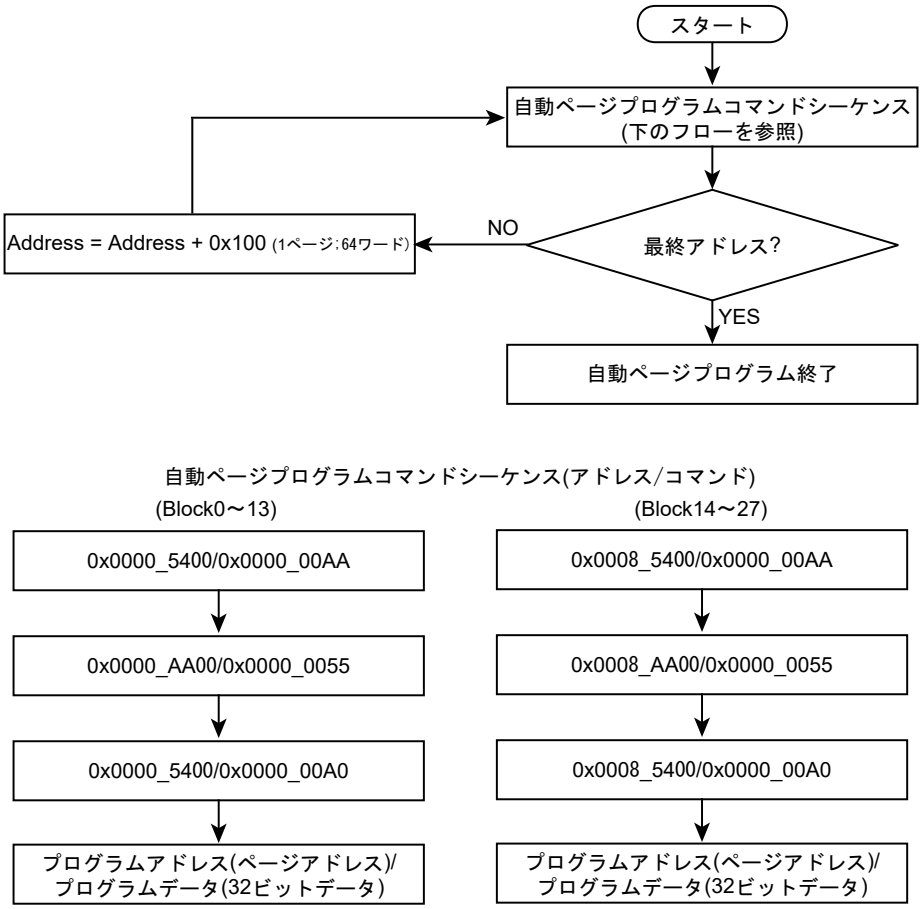


図 32-4 自動プログラムフローチャート

32.2.7.2 自動消去

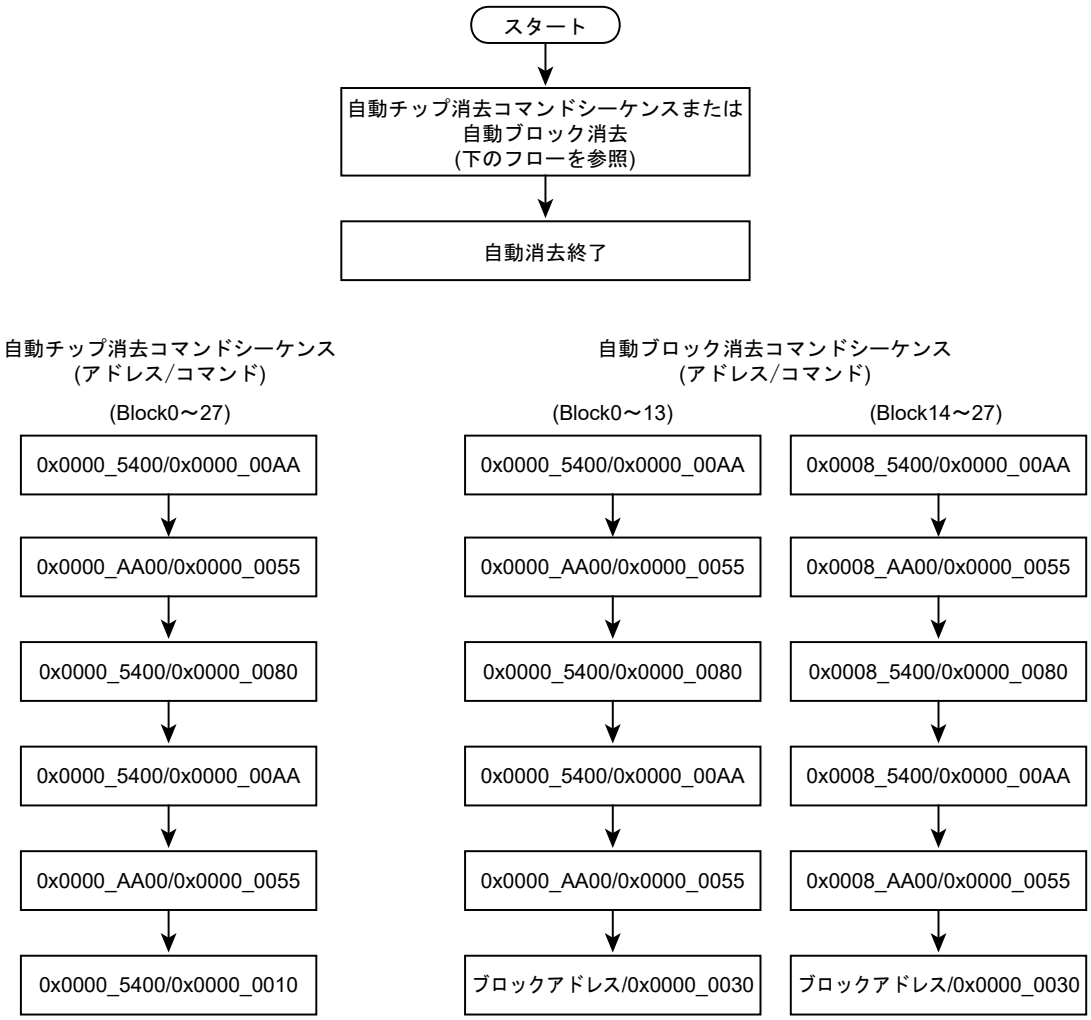


図 32-5 自動消去フローチャート

32.3　シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

32.3.1　モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$ = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、$\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

32.3.2　インタフェース仕様

シングルブートモードでのシリアル通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

通信チャネル:	チャネル 0
シリアル転送モード:	UART (非同期通信) モード, 半二重通信, LSB ファスト
データ長:	8 ビット
パリティビット:	なし
STOP ビット:	1 ビット
ボーレート:	任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「32.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB) を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは ΦT1(fc/2)で動作します。

ブートプログラムで使用する端子を表 32-11 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 32-11 端子の接続

端子		接続の有無
モード設定端子	$\overline{\text{BOOT}}$(PF7)	o
リセット端子	$\overline{\text{RESET}}$	o
通信端子	TXD0 (PH4)	o
	RXD0 (PH5)	o

o;必要、×;不要

32.3.3 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 32-12 のような制約がありますのでご注意ください。

表 32-12 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 プログラムは 0x2000_0400 から RAM の最終番地に格納してください。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F8F_FFF0 ~ 0x3F8F_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

32.3.4 動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 32-13 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

32.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボートプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、32.2.6 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

32.3.4.2　フラッシュメモリチップ消去および プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。

32.3.5　コマンドによらず共通の動作

ブートプログラム実行において、共通に行われる動作について説明します。

32.3.5.1　シリアル動作モード判定

コントローラは、所望のボーレートで 1 バイト目を 0x86 にして送信してください。図 32-6 に波形を示します。

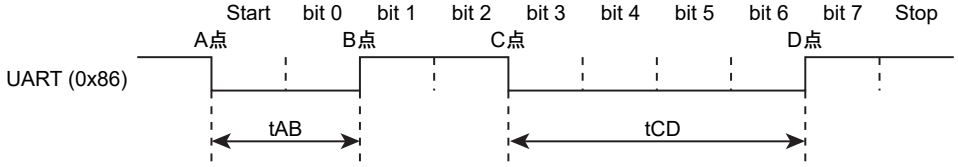


図 32-6 シリアル動作モード判定データ

ブートプログラムは図 32-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86)を、16 ビットタイマ(TMRB)を用いて図 32-6 の tAB, tAC と、tAD の時間から求めています。図 32-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。

図 32-8 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、UART と判定しません。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、UART と判定されないことがあります。このようなことを考慮して、コントローラは 1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。

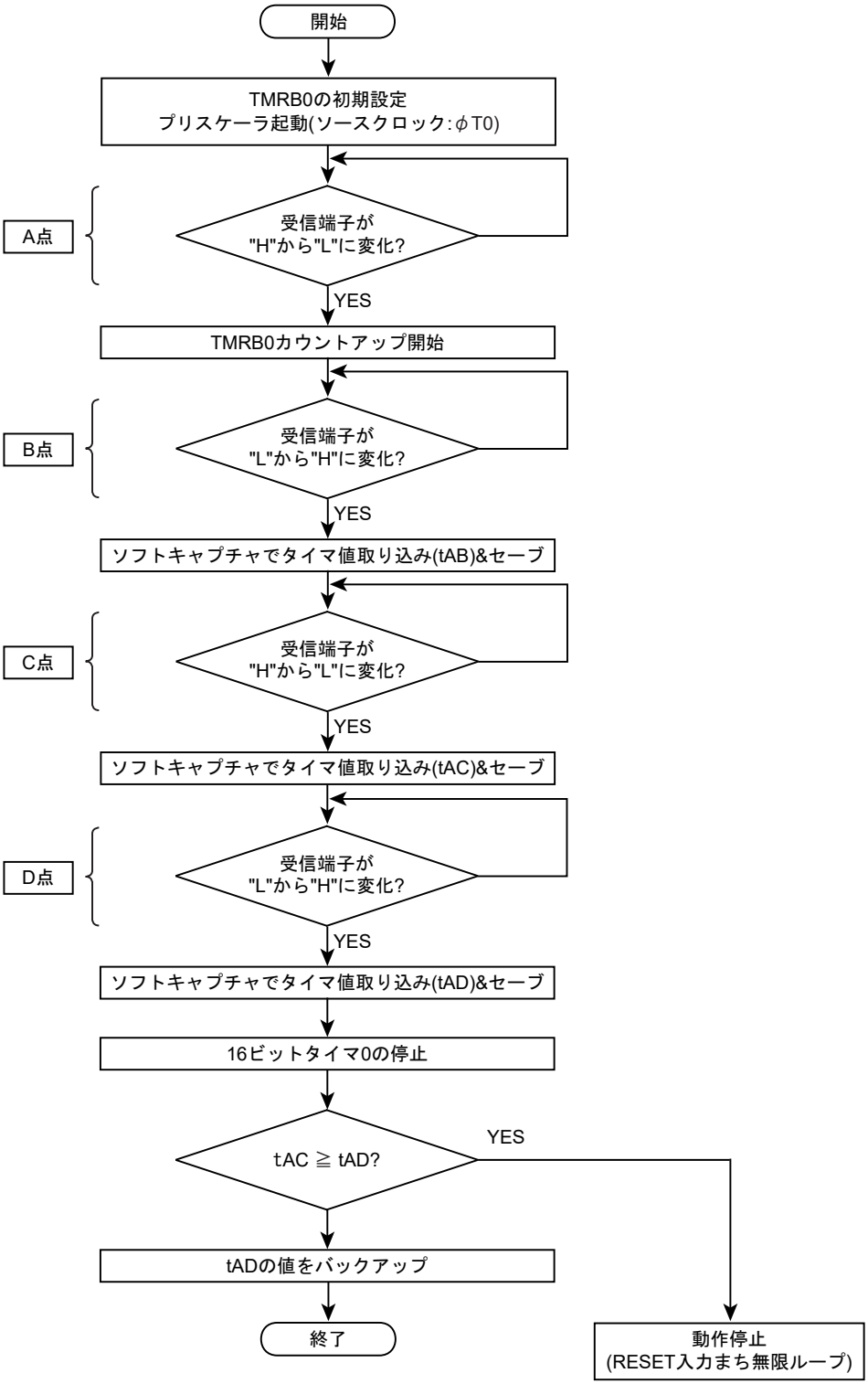


図 32-7 シリアル動作モード受信フローチャート

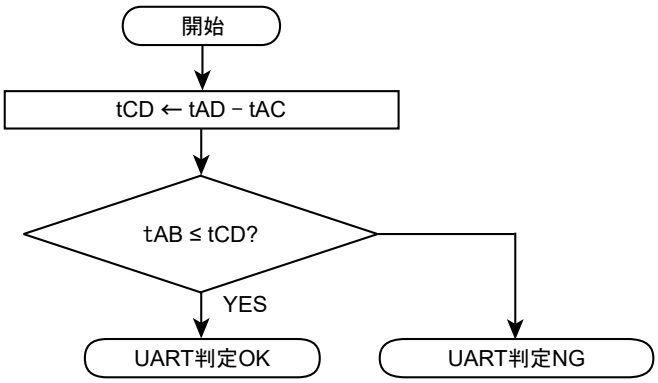


図 32-8 シリアル動作モード判定フローチャート

32.3.5.2　ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 32-14 から表 32-17 に各受信データに対する ACK 応答データを示します。

表 32-15 から表 32-17 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。

表 32-14 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)

注)　UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 32-15 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注)　上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 32-16 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注)　上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 32-17 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

32.3.5.3 パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定およびパスワードのデータ領域として使用します。

領域	アドレス
パスワード要否判定	0x3F8F_FFF0 (1byte)
パスワード	0x3F8F_FFF4 ~ 0x3F8F_FFFF (12byte)

RAM 転送コマンドでは、パスワード要否判定にかかわらずパスワード判定を行います。

フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは、パスワード要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドでのパスワード判定

「RAM 転送コマンドの通信ルール」における No.5 のパスワード判定について説明します。

図 32-9 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、ACK 対応は 0x11 を送信します。

次に、受信データ(パスワードデータ)の照合を行います。12 バイト分すべてがフラッシュメモリ内のパスワードと一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

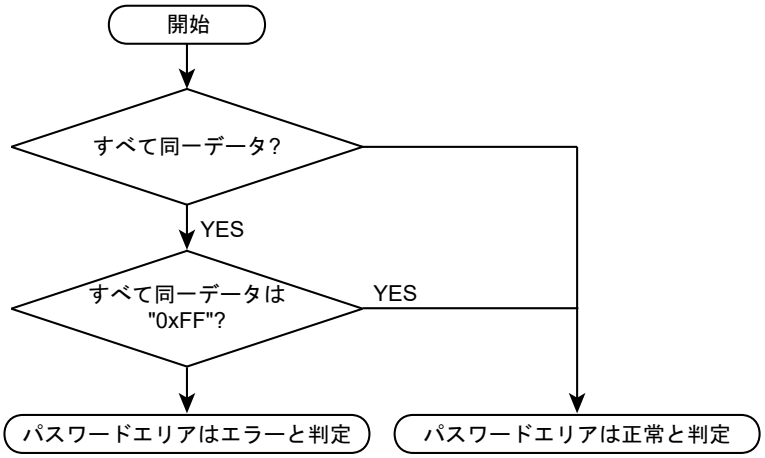


図 32-9 パスワードエリアチェックフローチャート

(2)　フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

「フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール」における No.5 のパスワード判定について説明します。

図 32-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、受信データ (パスワードデータ) の照合を行います。12 バイト分すべてがフラッシュメモリ内のパスワードと一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照は行います。

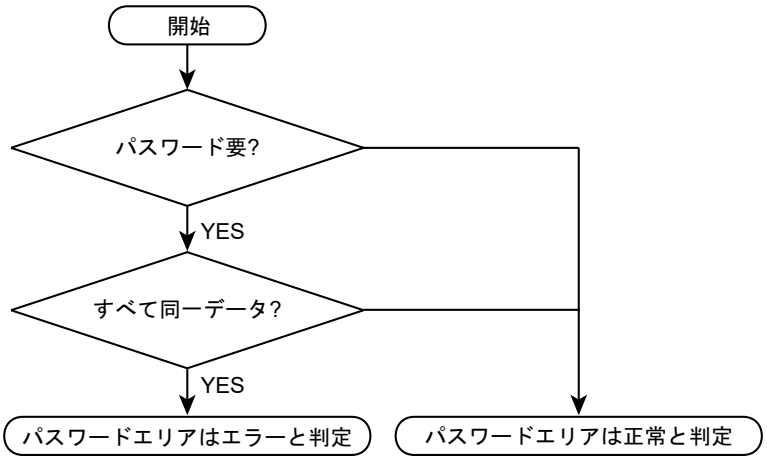


図 32-10 パスワードエリアチェックフローチャート

32.3.5.4 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

32.3.6 シリアル動作モード判定の通信ルール

シリアル動作モード判定の通信ルールを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TMPM440FE/F10XBG へ

転送方向「C←T」: TMPM440FE/F10XBG からコントローラへ

シリアル動作モード判定の通信ルール

No	転送方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	コントローラ側はシリアル動作モードを判定するデータを送信します。ターゲット側のモード判定の詳細は「32.3.5.1 シリアル動作モード判定」を参照してください。
		0x86	コントローラ側は 0x86 を送信してください。 ターゲット側が UART モード OK と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	シリアル動作モードに対する ACK 応答	コントローラ側の受信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。 ターゲット側は設定が可能と判定した場合、UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		正常の場合: 0x86	ターゲット側が設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラ側は、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けてください。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
3	−	−	コントローラ側は動作コマンドデータを送信してください。 各動作コマンドの転送フォーマットは「32.3.7 RAM 転送コマンドの通信ルール」または「32.3.8 フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール」を参照してください。

32.3.7　RAM 転送コマンドの通信ルール

RAM 転送コマンドの通信ルールを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TMPM440FE/F10XBG へ

転送方向「C←T」: TMPM440FE/F10XBG からコントローラへ

RAM 転送コマンドの通信ルール

No	転送方向	転送データ	内容
1	C→T	動作コマンドデータ(0x10)	コントローラ側は RAM 転送コマンドデータ(0x10)を送信してください。
2	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x18 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、表 32-13 に記載の動作コマンドデータとの照合を行います。 照合に失敗した場合、異常の ACK 応答データ 0x11 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ 0x10 を返信して、次の送信データを待ちます。
3	C→T	パスワードデータ(12 バイト)	コントローラ側はフラッシュメモリのパスワードのデータ領域と同じデータを送信してください。 パスワードのデータ領域は「32.3.5.3 パスワード判定」を参照してください。
4	C→T	送信データ(No.3)の CHECK SUM 値	コントローラ側は送信データ(No.3)の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「32.3.5.4 CHECK SUM の計算方法」を参照してください。
5	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x18 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認とパスワードの照合を行います。パスワードの照合の詳細は「32.3.5.3 パスワード判定」してください。 照合に失敗した場合、異常の ACK 応答データ 0x11 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ 0x10 を返信して、次の送信データを待ちます。
6	C→T	RAM 格納開始アドレス 31 ~ 24	コントローラ側は次の送信データとして RAM 格納データの格納先の RAM の開始アドレスを 4 回に分けて送信してください。送信順番は、1 番目がアドレスの 31 ビット ~ 24 ビットに対応し、4 番目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください。 ターゲット側は受信データをチェックします。 受信エラーがある場合は通信異常の ACK 応答データ 0x18 を返信して初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合は何も ACK 応答データは返信せずに次の送信データを待ちます。
7	C→T	RAM 格納開始アドレス 23 ~ 16	
8	C→T	RAM 格納開始アドレス 15 ~ 8	
9	C→T	RAM 格納開始アドレス 7 ~ 0	
10	C→T	RAM 格納バイト数 15 ~ 8	コントローラ側はブロック転送するバイト数を送信してください。送信順番は、1 番目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、2 番目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください。 ターゲット側は受信データをチェックします。 受信エラーがある場合は通信異常の ACK 応答データ 0x18 を返信して初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合は何も ACK 応答データは返信せずに次の送信データを待ちます。
11	C→T	RAM 格納バイト数 7 ~ 0	
12	C→T	送信データ(No.6 ~ 11)の CHECK SUM 値	コントローラ側は送信データ(No.6 ~ 11)の CHECK SUM 値を送信してください。
13	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x18 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認を行います。 確認に失敗した場合、異常の ACK 応答データ 0x11 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、正常の ACK 応答データ 0x10 を返信して、次の送信データを待ちます。
14	C→T	RAM 格納データ	コントローラ側は RAM に格納するデータを送信してください。 ターゲット側は RAM 格納バイト数分のデータを受信します。

RAM 転送コマンドの通信ルール

No	転送 方向	転送データ	内容
15	C→T	送信データ(No.14)の CHECK SUM 値	コントローラ側は送信データ(No.14)の CHECK SUM 値を送信してください。
16	C←T	CHECK SUM 値に対する ACK 応答 正常の場合:0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x18 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認を行います。 確認に失敗した場合、異常の ACK 応答データ 0x11 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、正常の ACK 応答データ 0x10 を返信して、RAM 格納開始アドレス(No.6 ~ 9)を分岐先アドレスとしてジャンプします。

32.3.8　フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの通信ルールを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TMPM440FE/F10XBG

転送方向「C←T」: コントローラ←TMPM440FE/F10XBG

フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール

No	転送方向	転送データ	内容
1	C→T	動作コマンドデータ(0x40)	コントローラ側はフラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
2	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x48 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、表 32-13 に記載の動作コマンドデータとの照合を行います。 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ 0x40 を返信して、次の送信データを待ちます。
3	C→T	パスワードデータ(12 バイト)	コントローラ側はフラッシュメモリのパスワードのデータ領域と同じデータを送信してください。 但し、フラッシュメモリのパスワード要否選択が「否」(データ:0xFF)の場合、ターゲット側はパスワード認証を行いませんので、パスワードデータはダミーデータで構いません。 パスワードのデータ領域は「32.3.5.3 パスワード判定」を参照してください。
4	C→T	送信データ(No.3)の CHECK SUM 値	コントローラ側は送信データ(No.3)の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「32.3.5.4 CHECK SUM の計算方法」を参照してください。
5	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	ターゲット側は受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x48 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認を行います。 確認に失敗した場合、異常の ACK 応答データ 0x41 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、パスワードの照合を行います。 パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、パスワードの照合を行います。 照合に失敗した場合、異常の ACK 応答データ 0x41 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ 0x40 を返信して、次の送信データを待ちます。
6	C→T	消去イネーブルコマンドデータ(0x54)	コントローラ側は消去イネーブルコマンドデータ(0x54)を送信してください。
7	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0x51 通信異常の場合: 0x58	ターゲット側は受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ 0x58 を返信して、初めの動作コマンドデータ待ち状態状態に戻ります。 受信エラーがない場合、消去イネーブルコマンド(0x54)であることを確認します。 確認に失敗した場合、異常の ACK 応答データ 0x51 を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、正常の ACK 応答データ 0x54 を返信して、チップ消去処理を行います。
8	C←T	消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C	ターゲット側はチップ消去処理の結果を返信します。 問題なく消去できた場合、正常の応答データ(0x4F)を返信します。 消去 Error が起きた場合は、異常の応答データ(0x4C)を返します。 その後、初めの動作コマンドデータ待ち状態に戻ります。

32.3.9 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

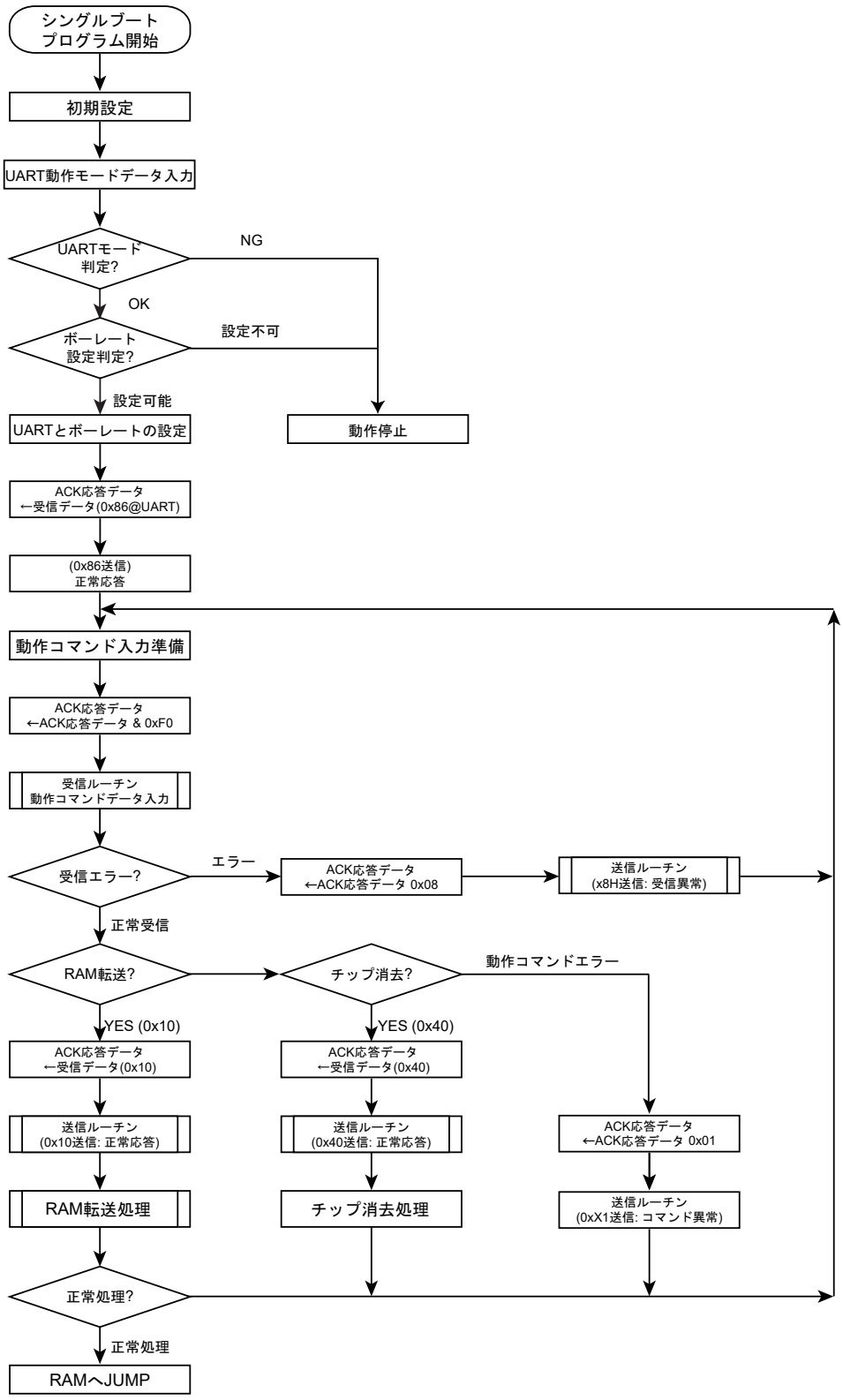


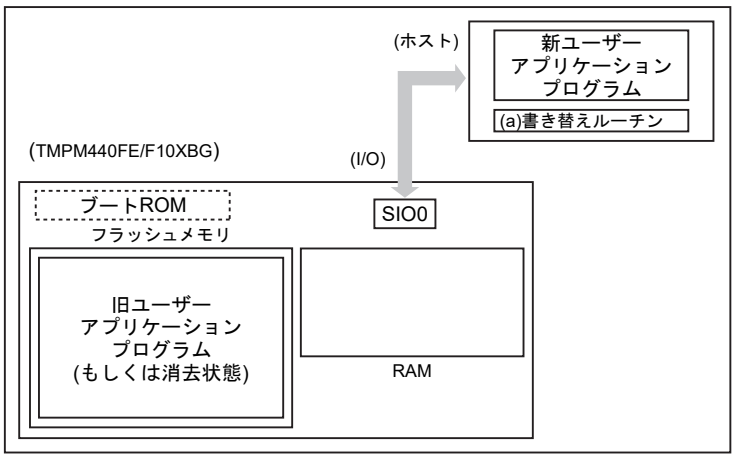
図 32-11 ブートプログラム全体フローチャート

32.3.10　内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

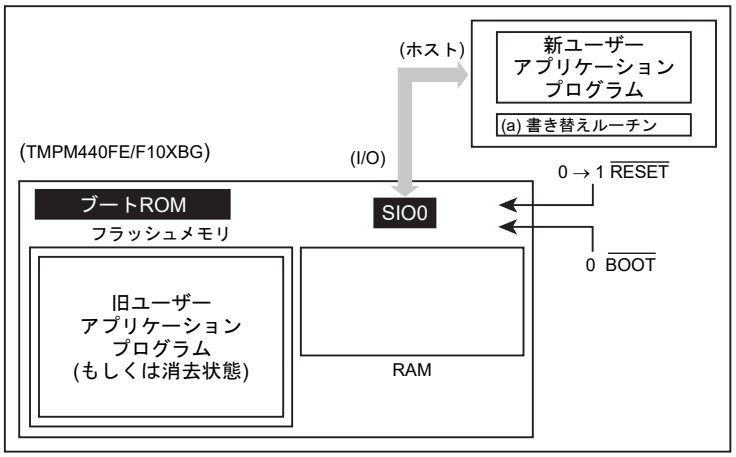
32.3.10.1　Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0)を経由して行いますので、ボード上で本デバイスの SIO (SIO0)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



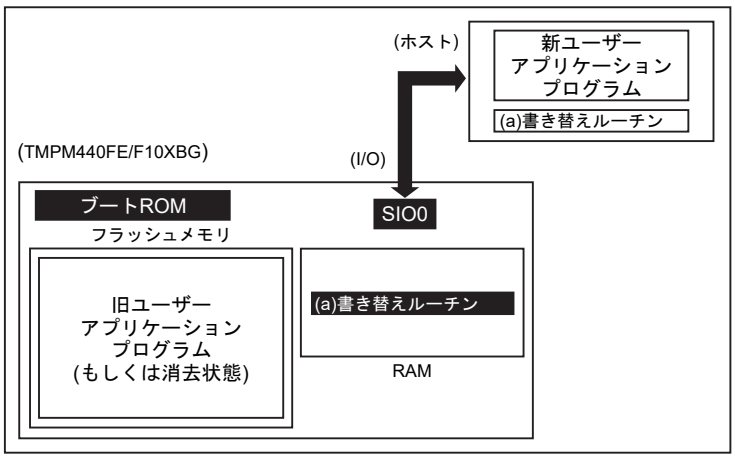
32.3.10.2　Step-2

ブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



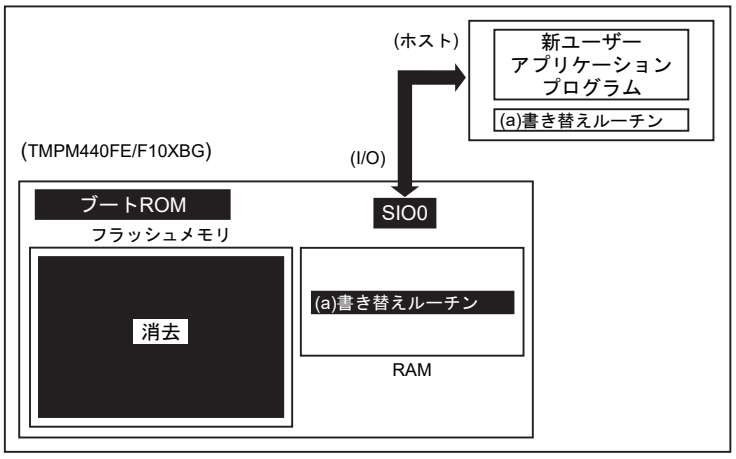
32.3.10.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



32.3.10.4 Step-4

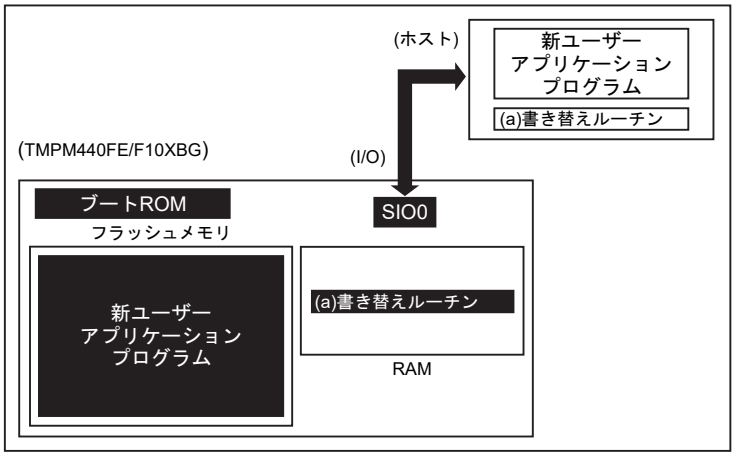
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



32.3.10.5　Step-5

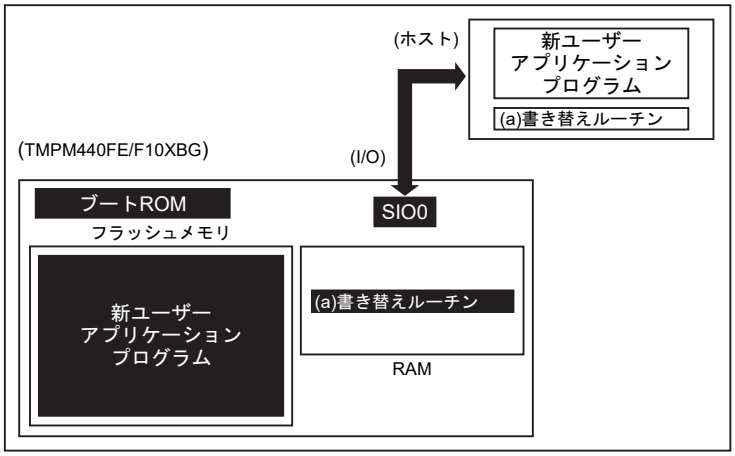
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



32.3.10.6　Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプリケーションプログラムを実行します。



32.4 ユーザーブートモードによる書き替え方法

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザーのシステムセット条件 に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザーブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

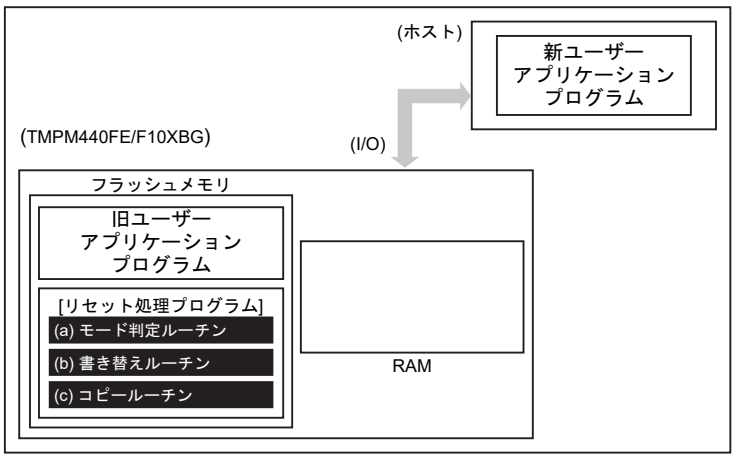
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下(1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「32.2 フラッシュメモリ詳細」を参照してください。

32.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

32.4.1.1 Step-1

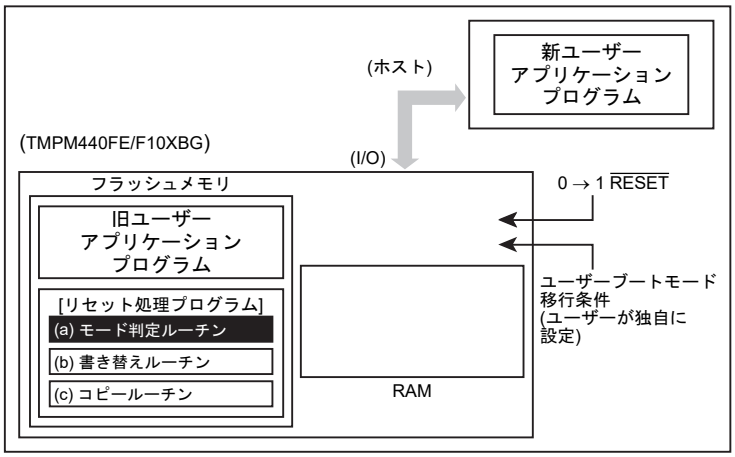
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



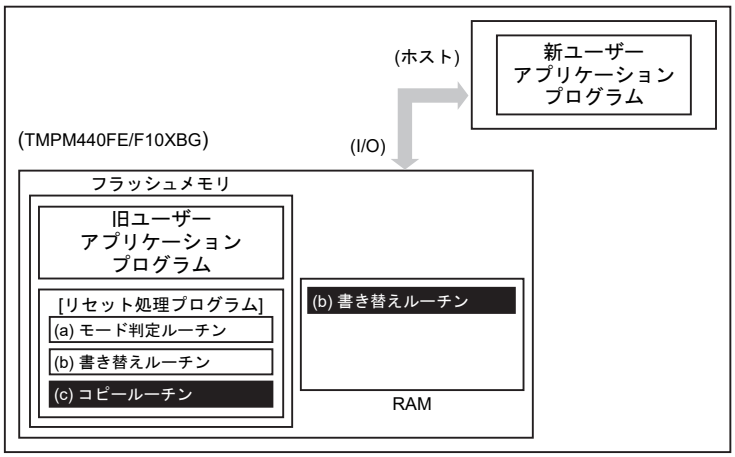
32.4.1.2　Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。



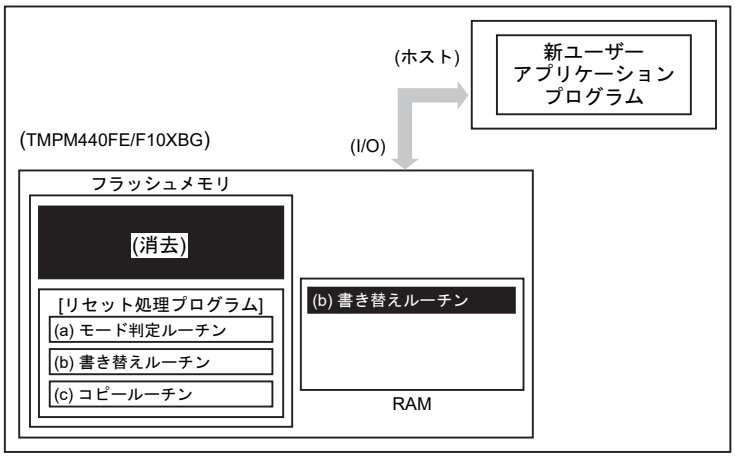
32.4.1.3　Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



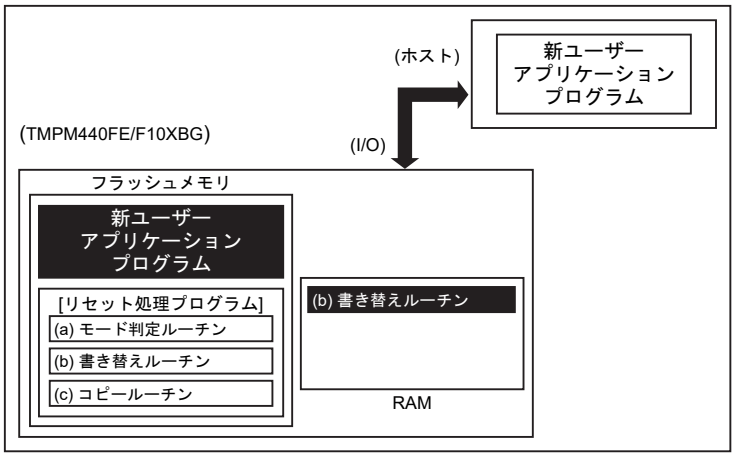
32.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



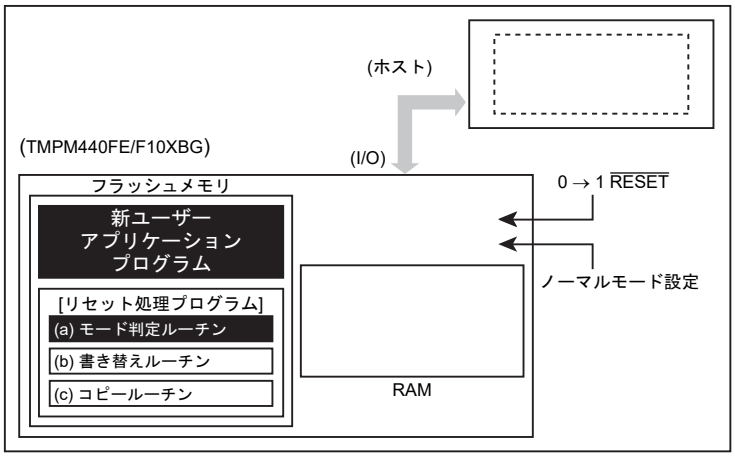
32.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



32.4.1.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



32.4.2 (1-B)書き替えルーチンを外部から転送する手順例

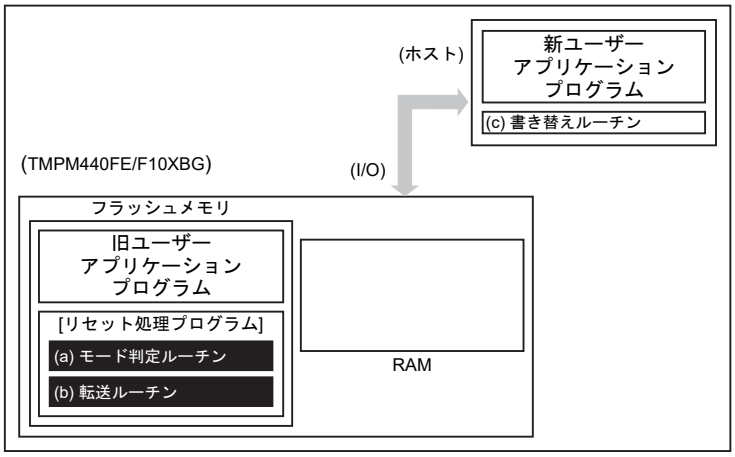
32.4.2.1 Step-1

ユーザーは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム
(b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

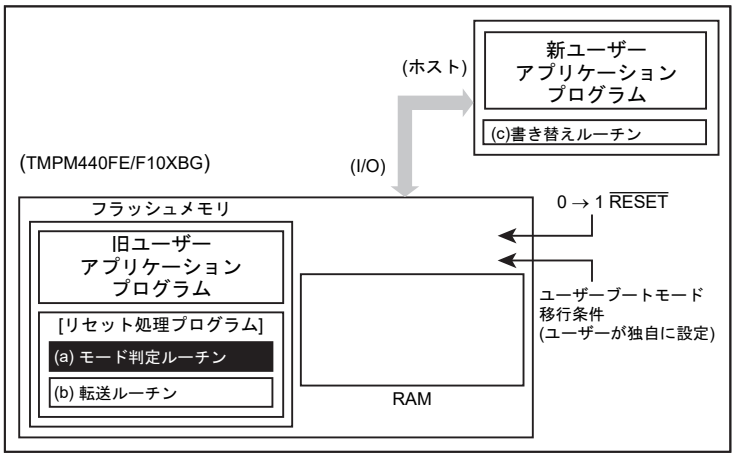
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン: 書き替えを行うためのプログラム



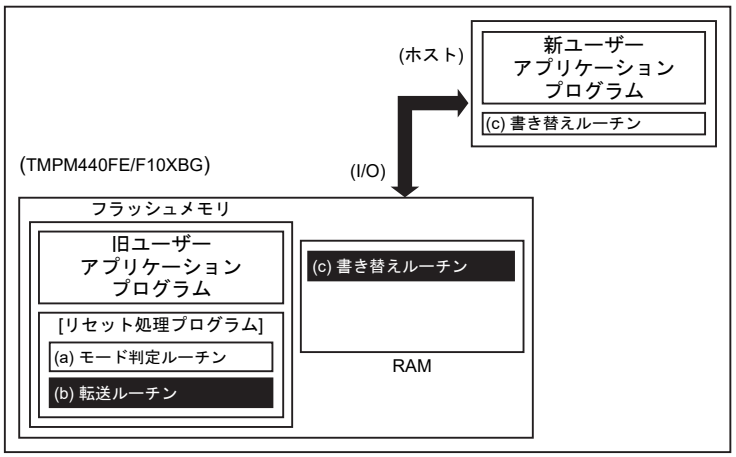
32.4.2.2　Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。



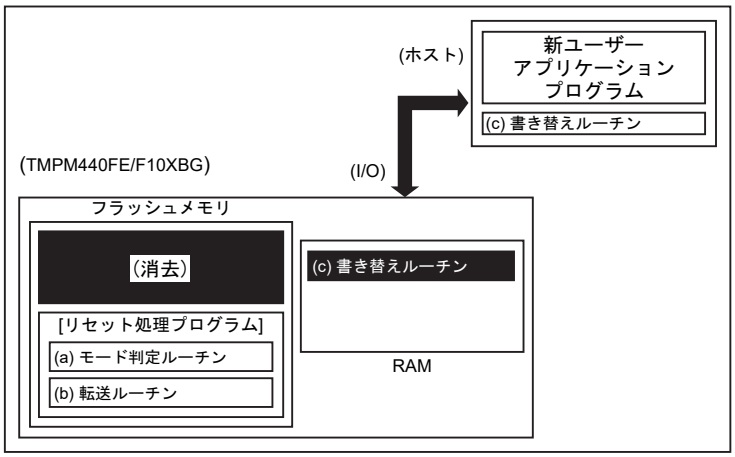
32.4.2.3　Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



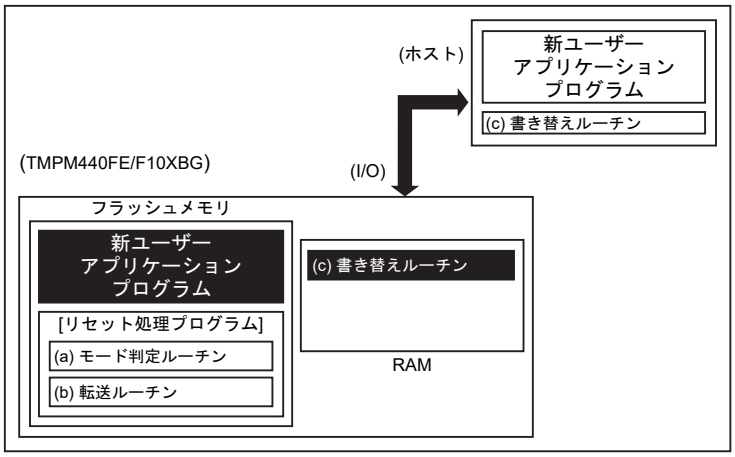
32.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



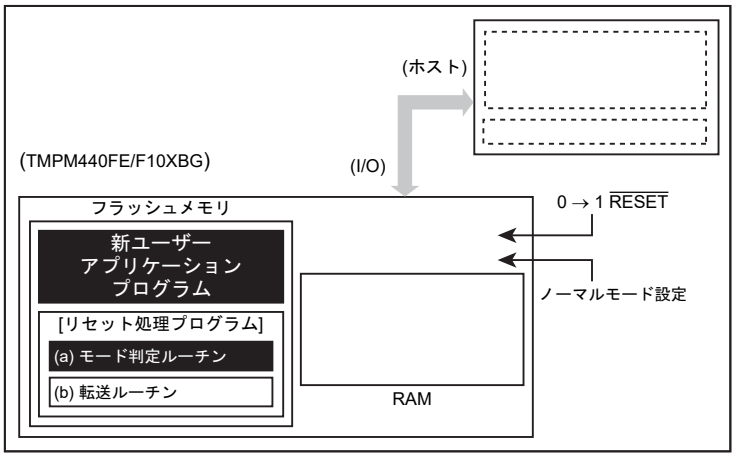
32.4.2.5 Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



32.4.2.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



32.4.3　ユーザーブートにおける注意事項

32.4.3.1　内蔵フラッシュメモリ書き込み、消去動作周波数

内蔵フラッシュメモリへの書き込み、消去は、CGPLLSEL<PLL0SEL>が"0"の状態(fc に fosc が選択されている状態)で行ってください。

下記の手順で CGPLLSEL<PLL0SEL>を"0"にしてください。

1. CGPLLSEL<PLL0SEL>に"0"を設定する。
2. CGPLLSEL<PLL0SEL>を読み出し、"0"になったこと確認する。
3. 内蔵フラッシュメモリへの書き込み、消去の実行が可能

第 33 章　デバッグインタフェース

33.1　仕様概要

TMPM440FE/F10XBG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA[3:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細に関しましては ARM 社からリリースされる"ARM ドキュメンテーションセット Cortex-M4 用"を参照してください。

33.2　SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, $\overline{\text{TRST}}$)をサポートしています。

Pin name	Function	Description	I/O
TMS	JTAG	JTAG Test Mode Selection	Input
SWDIO	SW	Serial Wire Data Input/Output	I/O
TCK	JTAG	JTAG Test Check	Input
SWCLK	SW	Serial Wire Clock	Input
TDO	JTAG	JTAG Test Data Output	Output
SWV	SW	(Serial Wire Viewer Output)	(Output)(注)
TDI	JTAG	JTAG Test Data Input	Input
$\overline{\text{TRST}}$	JTAG	JTAG Test $\overline{\text{RESET}}$	Input

注)　SWV 機能を許可した場合

33.3　ETM

データ信号 4pin (TRACEDATA[3:0])と クロック信号 1pin (TRACECLK)および、1pin(SWV)によるトレース出力をサポートしています。

33.4　ホールトモード中の周辺機能

Cortex-M4F コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

33.5　デバッグツールとの接続

33.5.1　接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注)　デバッグツールを接続すると、STOP1/STOP2 モード時の消費電流は増加します。

33.5.2　デバッグインタフェース端子を汎用ポートとして使用する際の注意

デバッグインタフェース端子は汎用ポートと兼用です。

リセット解除後、デバッグ端子となるもの以外は汎用ポート機能となります。必要に応じてデバッグ端子を使用する設定を行ってください。

デバッグ時にユーザプログラムでリセット解除後すぐに汎用ポートに設定を変更すると、デバッグツールからの制御が受け付けられず、デバッグツールによるデバッグができなくなる場合があります。

デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 33-1 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	$\overline{\text{TRST}}$	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[3:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	×	×
JTAG+SW ($\overline{\text{TRST}}$ なし)	×（注）	o	o	o	o	×	×
JTAG+TRACE	o	o	o	o	o	o	o
SW	×	×	×	o	o	×	×
SW+SWV	×	×	o	o	o	×	×
デバッグ機能ディセーブル	×	×	×	×	×	×	×

o：イネーブル ×：ディセーブル(汎用ポートとして使用可能)

注) $\overline{\text{TRST}}$が割り当てられている端子は、$\overline{\text{TRST}}$ を選択して、オープンにするか"High"レベルを入力してください。

第 34 章　JTAG インタフェース

34.1　仕様概要

TMPM440FE/F10XBG には、Joint Test Action Group (JTAG) 規格に適合するインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE Std 1149.1 ・ 1990(Includes IEEE Std 1149.1a ・ 1993)) が使われています。

本章では、バウンダリスキャン、インタフェースで使われるピンと信号に触れながら、このインタフェースについて説明しています。

1. JTAG 規格バージョン

   IEEE Standard 1149.1・1990 (Includes IEEE Standard 1149.1a・1993)

2. JTAG 命令

   標準命令 (BYPASS, SAMPLE/PRELOAD, EXTEST)

   HIGHZ 命令

   CLAMP 命令

   但し、TMPM440FE/F10XBG は JTAG 動作中、内部回路リセットが起動しているため SAMPLE/RELOAD 命令は機能しません

3. IDCODE

   なし

4. バウンダリスキャンレジスタ(BSR)対象外端子
   a. 発振回路 (X1, X2, XT1, XT2)
   b. DAC 出力端子 (DAOUT0, DAOUT1)
   c. JTAG 制御端子 (BSC)
   d. 電源/GND (AD コンバータと DA コンバータ基準電源端子を含む)
   e. TEST 端子 (FTEST3)
   f. 機能端子 ($\overline{\text{RESET}}$)
   g. 制御端子 (MODE, ENDIAN)
   h. レギュレータ端子（DCSW, DCV15IN）

注)　アナログ入力端子への入力レベルに注意してください。

34.2　信号の要約と接続例

JTAG インタフェース信号は次のとおりです。

- TDI　JTAG シリアルデータ入力
- TDO　JTAG シリアルデータ出力
- TMS　JTAG テストモード選択
- TCK　JTAG シリアルクロック入力
- $\overline{\text{TRST}}$　JTAG テストリセット入力
- BSC　ICE/JTAG テスト選択入力(準拠イネーブル信号)
  0: ICE, 1: JTAG

JTAG 対応の開発ツールを、JTAG インタフェースに接続し、デバッグをサポートします。
デバッグに関しては、使用する開発ツールの仕様を確認してください

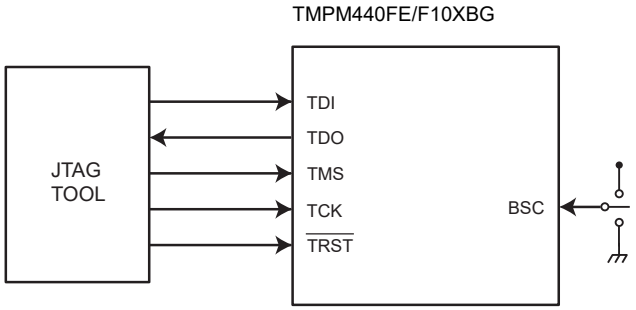


図 34-1 JTAG 開発ツールとの接続例

モード設定端子(BSC)	動作モード
0	Boundary Scan Mode 以外の時は 0 にしてください。 通常の Debug Mode として使用できます。 (注)ただし、内部 BOOT 起動時は Debug 出来ません。
1	Boundary Scan Mode として使用できます。

34.3 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC) 、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことです。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TCK, TMS, TDI, TDO および $\overline{\text{TRST}}$ という 5 種類の信号が使われます。

JTAG バウンダリスキャンメカニズム (本章では「JTAG メカニズム」と呼びます) により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムそのものには、プロセッサ自体をテストする機能はありません。

34.4 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが TMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは 表 34-1.に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされるとき、TMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

34.5　命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 34-1 の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 34-1 JTAG の命令レジスタのビット構成

命令コード (MSB → LSB)	命令	選択されるデータレジスタ
0000	EXTEST	Boundary scan register
0001	SAMPLE/PRELOAD	Boundary scan register
0100 ~ 1110	Reserved	Reserved
0010	HIGHZ	Bypass register
0011	CLAMP	Bypass register
1111	BYPASS	Bypass register

命令レジスタのフォーマットは図 34-2 のとおりです。

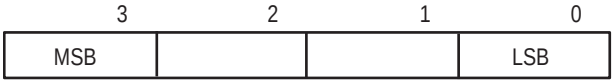


図 34-2 命令レジスタ

命令コードは、最下位ビットから命令ジレスタにシフトされます。

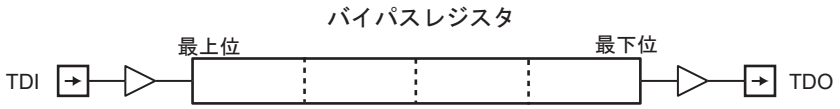


図 34-3 命令レジスタのシフト方向

バイパスレジスタは 1 ビット幅です。TAP コントロ−ラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は 図 34-4 のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

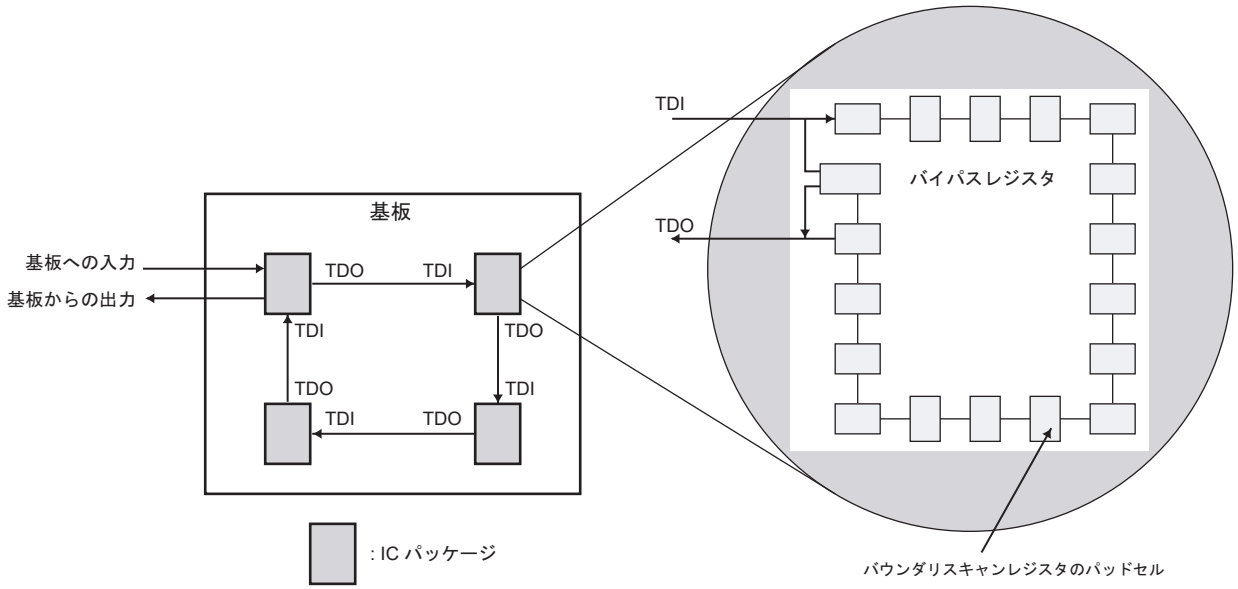


図 34-4 バイパスレジスタの機能

34.6　バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMPM440FE/F10XBG の入出力があります。 TMPM440FE/F10XBG のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、単一の 231 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、 TMPM440FE/F10XBG の入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

34.7　テストアクセスポート(TAP)

テストアクセスポート (TAP) は、5 個の信号ピン $\overline{\text{TRST}}$、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 34-5 のように、 データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

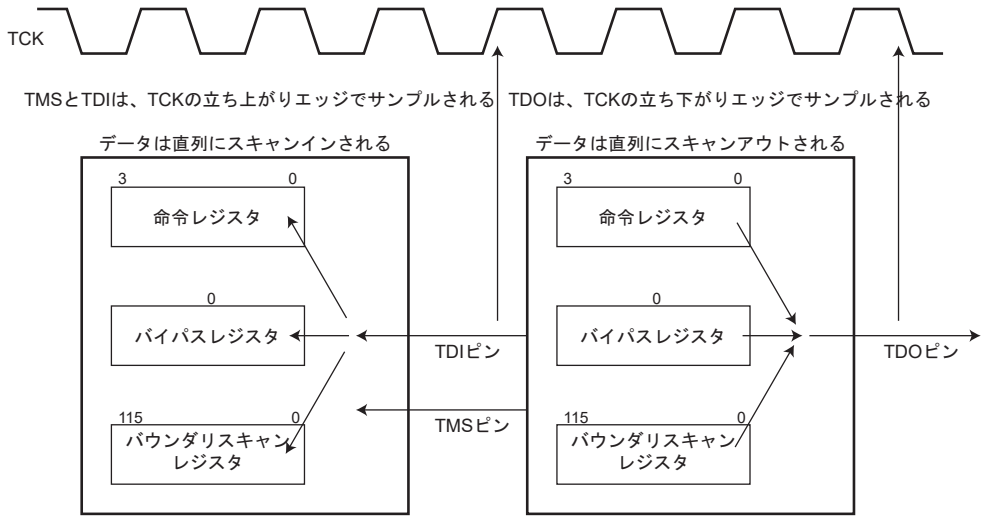


図 34-5 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

34.8　TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

34.9 TAP コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

$\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続けます。TMS をアサート状態に保てば、リセット状態が保たれます。

34.10 コントローラの状態

図 34-6 に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

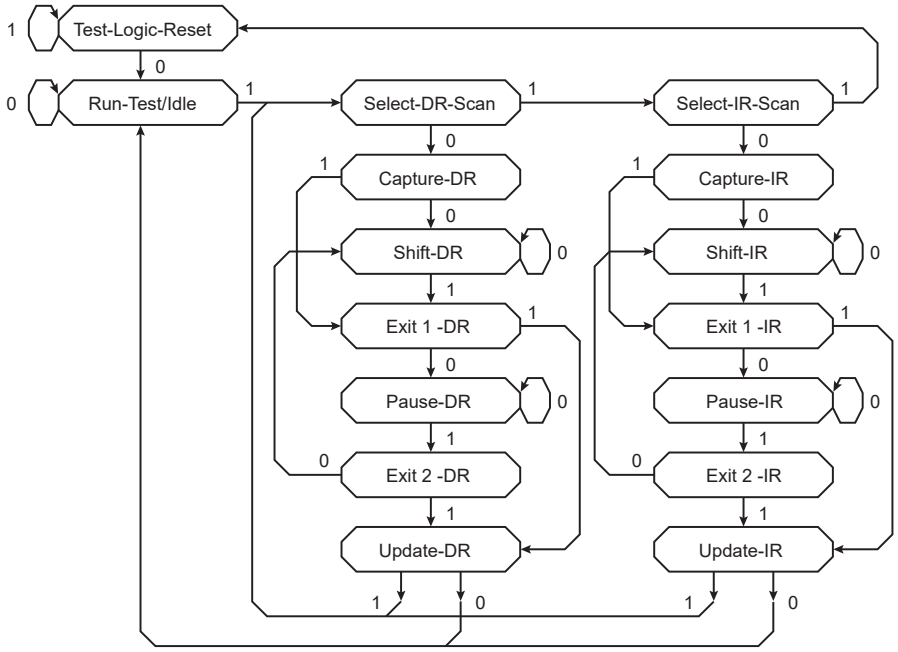


図 34-6 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 34-6 の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR) 、命令レジスタ (IR) を表します。

- Test-Logic-Reset

  TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。

  TMS が 1 の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に 0 を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。

- Run-Test/Idle

  Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。

  TMS が 0 の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に 1 を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。

・ Select-DR-Scan

Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。

TAP コントローラが Select-DR-Scan 状態のとき TMS に 0 を入力すると Capture-DR 状態に遷移します。TMS に 1 を入力すると命令カラムの Select-IR-Scan 状態に遷移します。

・ Select-IR-Scan

Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。

TAP コントローラが Select-IR-Scan 状態のとき、TMS に 0 を入力すると Capture-IR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。

・ Capture-DR

TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタがパラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。

TAP コントローラが Capture-DR 状態のとき TMS に 0 を入力すると、Shift-DR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

・ Shift-DR

TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。

TAP コントローラが Shift-DR 状態のとき、TMS が 0 のあいだ Shift-DR 状態を保持します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

・ Exit 1-DR

Exit 1-DR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-DR 状態のとき、TMS に 0 を入力すると Pause-DR 状態に遷移します。TMS に 1 を入力すると Update-DR 状態に遷移します。

・ Pause-DR

Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。

TAP コントローラが Pause-DR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-DR 状態に遷移します。

・ Exit 2-DR

Exit 2-DR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-DR 状態のとき、TMS に 0 を入力すると、Shift-DR 状態に戻ります。TMS に 1 を入力すると Update-DR 状態に遷移します。

・ Update-DR

Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することはなく、この状態でのみデータを出力します。

TAP コントローラが Update-DR 状態のとき TMS に 0 を入力すると Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると Select-DR-Scan 状態に遷移します。

・ Capture-IR

Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは"0001"です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。

TAP コントローラが Capture-IR 状態のとき TMS に 0 を入力すると Shift-IR 状態に遷移します。TMS に 1 を入力すると Exit 1-IR 状態に遷移します。

・ Shift-IR

Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。

TAP コントローラが Shift-IR 状態のとき TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると、Exit 1-IR 状態に遷移します。

・ Exit 1-IR

Exit 1-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-IR 状態のとき TMS に 0 を入力すると、Pause-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

・ Pause-IR

Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

TAP コントローラが Pause-IR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-IR 状態に遷移します。

・ Exit 2-IR

Exit 2-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-IR 状態のとき、TMS に 0 を入力すると、Shift-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

・ Update-IR

Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

TAP コントローラが Update-IR 状態のとき、TMS に 0 を入力すると、Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると、Select-DR-Scan 状態に遷移します。

34.11　バウンダリスキャン順序

プロセッサ信号に対するバウンダリスキャン順序は、下表のとおりです。

TDI → 1 (PM4)→ 2(PM7)→ − →222(PL3)→223(PL7)→TDO

表 34-2 TMPM440FE/F10XBG プロセッサのピンに対する JTAG スキャン順序

番号	端子名	番号	端子名	番号	端子名	番号	端子名	番号	端子名	番号	端子名	番号	端子名
	TDI												
1	PM4	36	PT4	71	PF0	106	PAH5	141	PU2	176	PAD3	211	PK7
2	PM7	37	PT5	72	PB7	107	PAH4	142	PU1	177	PAD2	212	PL4
3	PM6	38	PT6	73	PB6	108	PAH3	143	PU4	178	PAD1	213	PL0
4	PM5	39	PT7	74	PB5	109	PAH2	144	PAB7	179	PAD0	214	PM2
5	PG5	40	PE0	75	PB4	110	PAH1	145	PAB6	180	PJ4	215	PM3
6	PG6	41	PE1	76	PB3	111	PAH0	146	PAB5	181	PV1	216	PM1
7	PH4	42	PE2	77	PB2	112	PAJ7	147	PAB4	182	PJ0	217	PL1
8	PG7	43	PE3	78	PB1	113	PAJ6	148	PAB3	183	PV3	218	PL5
9	PH0	44	PE4	79	PB0	114	PAJ5	149	PAB2	184	PV4	219	PM0
10	PH1	45	PE5	80	PC7	115	PAJ4	150	PAB1	185	PV5	220	PL2
11	PH5	46	PE6	81	PC6	116	PAJ3	151	PAB0	186	PJ5	221	PL6
12	PH2	47	PE7	82	PC5	117	PAJ2	152	PAA7	187	PJ1	222	PL3
13	PH3	48	PD0	83	PC4	118	PAJ1	153	PAA6	188	PJ6	223	PL7
14	PH7	49	PD1	84	PC3	119	PAJ0	154	PAA5	189	PW1		TDO
15	PH6	50	PD2	85	PC2	120	PAG7	155	PAA4	190	PJ2		
16	PR0	51	PD3	86	PC1	121	PAG6	156	PAA3	191	PW3		
17	PR1	52	PD4	87	PC0	122	PAG5	157	PAA2	192	PJ7		
18	PR2	53	PD5	88	PP7	123	PAG4	158	PAA1	193	PW5		
19	PR3	54	PD6	89	PP6	124	PAG3	159	PAA0	194	PJ3		
20	PR4	55	PD7	90	PP1	125	PAG2	160	PAC3	195	PW7		
21	PR5	56	PA7	91	PP4	126	PAG1	161	PAC2	196	PK1		
22	PR6	57	PA6	92	PP3	127	PAG0	162	PAC1	197	PK0		
23	PR7	58	PA5	93	PP2	128	PAF7	163	PAC0	198	PV0		
24	PY0	59	PA4	94	PP5	129	PAF6	164	PAE7	199	PK2		
25	PY1	60	PA3	95	PP0	130	PAF5	165	PAE6	200	PV2		
26	PY2	61	PA2	96	PN7	131	PAF4	166	PAE5	201	PK5		
27	PY3	62	PA1	97	PN6	132	PAF3	167	PAE4	202	PV6		
28	PY4	63	PA0	98	PN5	133	PAF2	168	PAE3	203	PV7		
29	PY5	64	PF7	99	PN4	134	PAF1	169	PAE2	204	PW0		
30	PY6	65	PF6	100	PN3	135	PAF0	170	PAE1	205	PW2		
31	PY7	66	PF5	101	PN2	136	PU7	171	PAE0	206	PK4		
32	PT0	67	PF4	102	PN1	137	PU0	172	PAD7	207	PK3		
33	PT1	68	PF3	103	PN0	138	PU5	173	PAD6	208	PW4		
34	PT2	69	PF2	104	PAH7	139	PU6	174	PAD5	209	PW6		
35	PT3	70	PF1	105	PAH6	140	PU3	175	PAD4	210	PK6		

34.12 JTAG コントローラセルでサポートしている命令

この項では、TMPM440FE/F10XBG の JTAG コントローラセルでサポートしている命令について説明します。

1. EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを 図 34-7 にしめします。

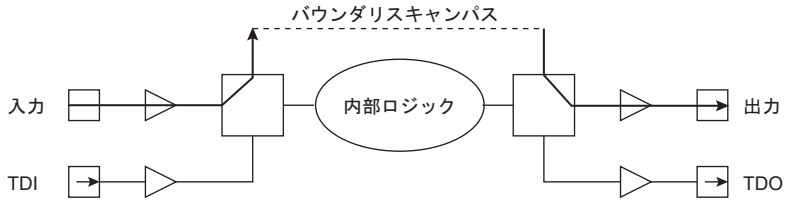


図 34-7 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

2. SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行

します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 34-8 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

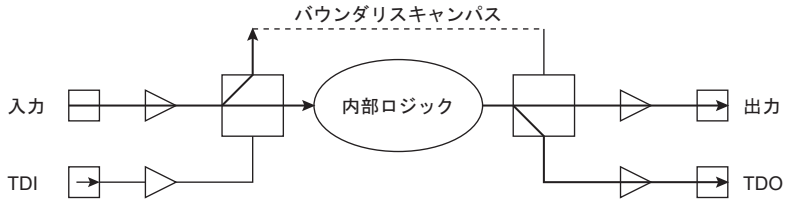


図 34-8 SAMPLE が選択されているときのテストデータの流れ

PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 34-9 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

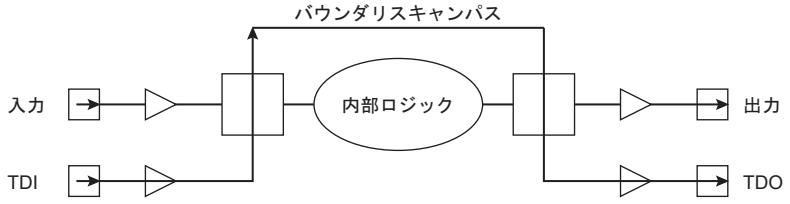


図 34-9 PRELOAD が選択されているときのテストデータの流れ

3. BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 34-10 に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

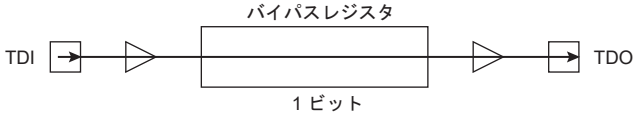


図 34-10 BYPASS レジスタが選択されているときのテストデータの流れ

4. CLAMP 命令

CLAMP は Preload 命令によって設定されたバウンダリスキャンレジスタの値を出力し、かつバイパス動作を行います。

CLAMP 命令は TDI と TDO 間に Bypass レジスタを選択します。

5. HIGHZ 命令

HIGHZ 命令 は内部論理回路からの出力を Disable 状態にします。HIGHZ 命令が実行されると、3 ステート出力をハイ・インピーダンス状態にします。

HIGHZ 命令も TDI と TDO 間に Bypass レジスタを選択します。

・ 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

1. アナログ入力端子への入力レベルに注意してください。

2. JTAG 回路のリセット解除は下記の 2 種類のどちらかの手順を選択してください。

$\overline{\text{TRST}}$ をアサートして JTAG 回路を初期化後デアサート

TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

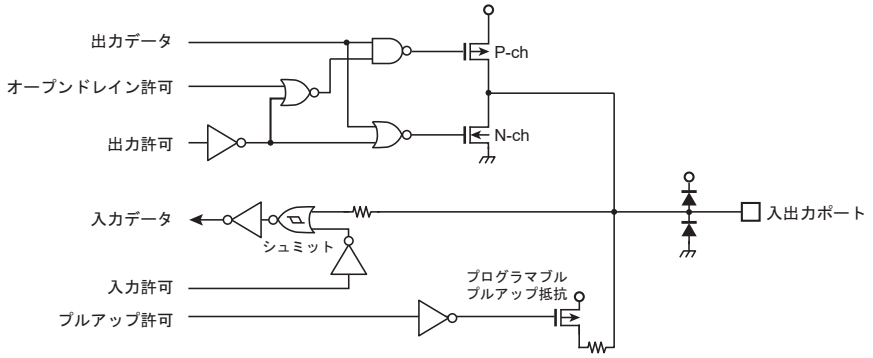
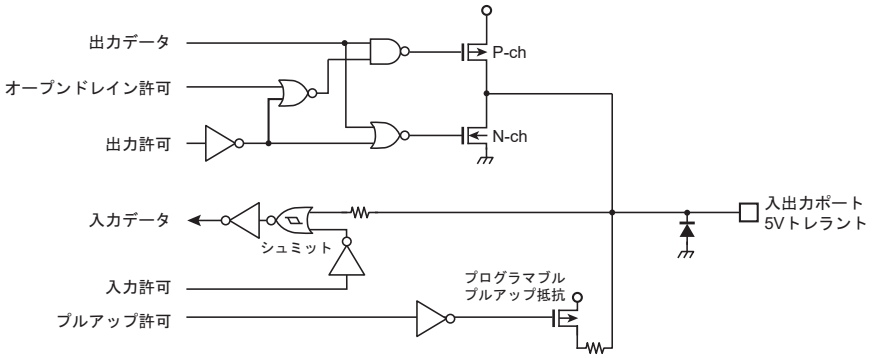
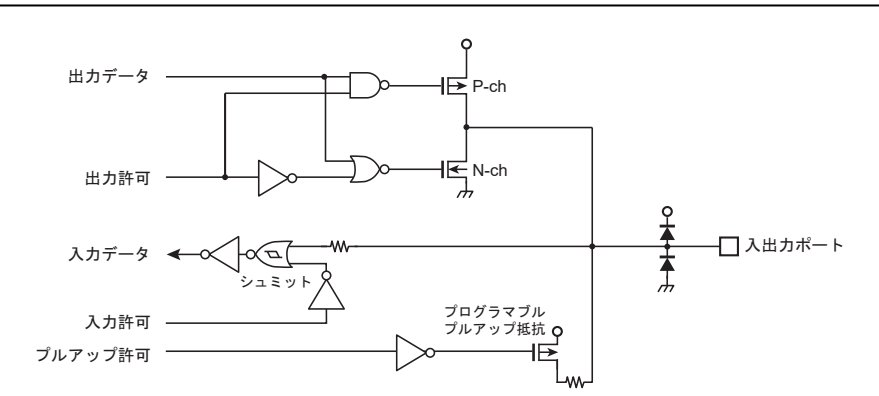
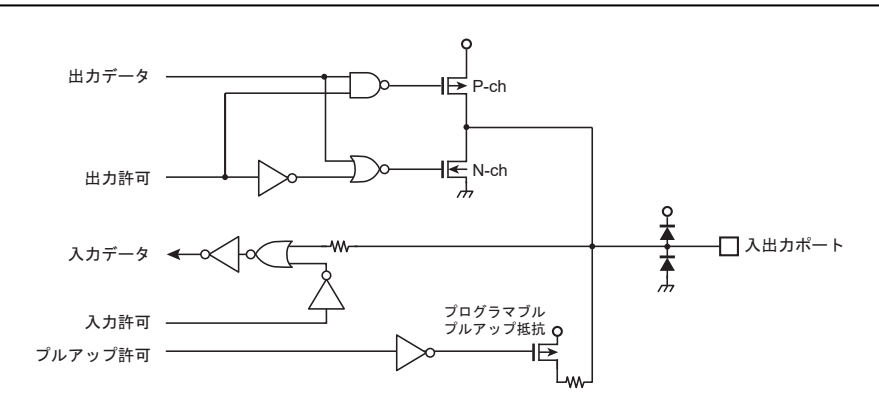
第 35 章　ポート等価回路図

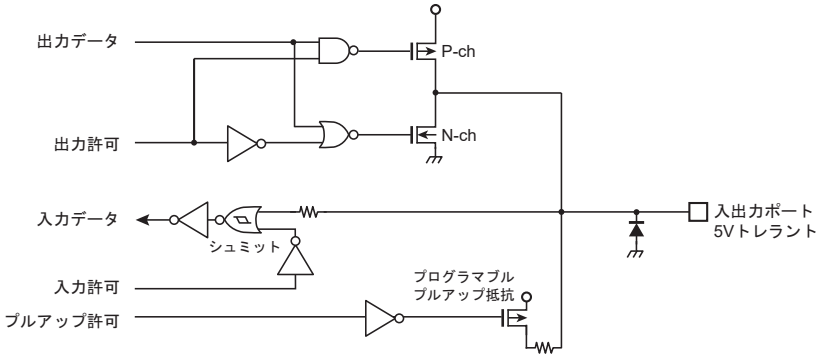
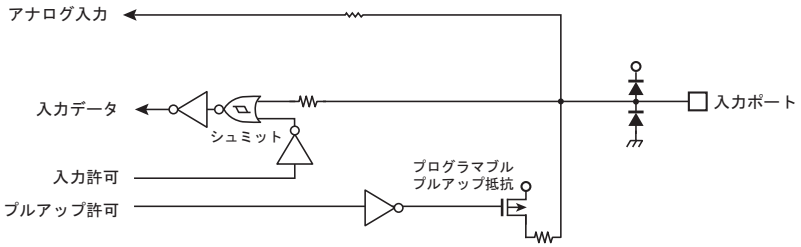
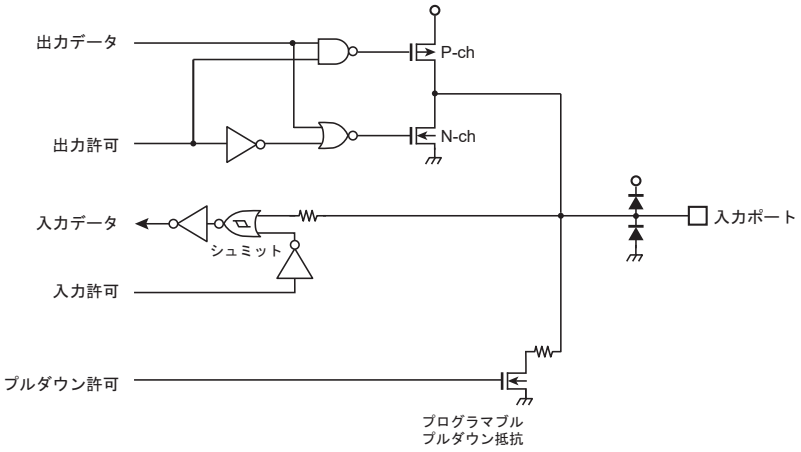
ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω～数百 Ω 程度です。X2 のダンピング抵抗値は、図中に typ.値を記入しています。

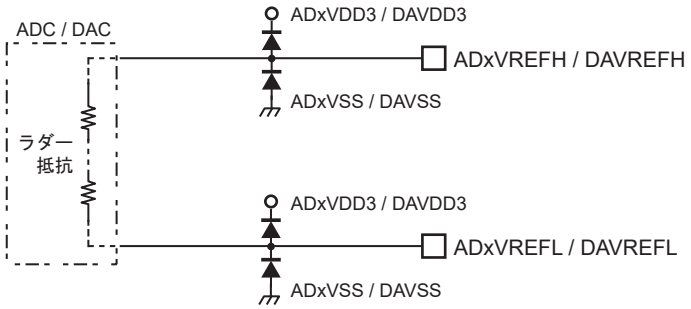
注)　図中の数値の記載のない抵抗は、入力保護抵抗を示します。

35.1　ポート

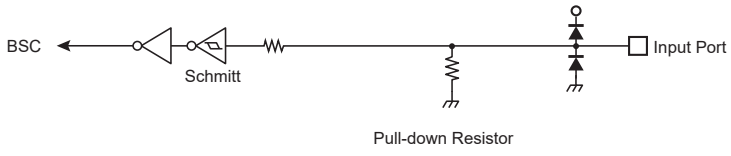
PE0~2, PE4~6, PH4~6, PR4~5, PW0~7, PAJ0~7	
PK4~7, PM4~7, PR0~3	
PC0~7, PD0~7, PE3, PE7, PF0~7, PG0~1 PG3~7, PH0~2 PJ0~3, PK0~3, PL0~3, PM0~3, PN0~3, PP0~7, PR6~7,PT0~7, PU0~7, PV0~7, PY0~7, PAD0~7, PAE0~7, PAF0~7, PAG0~7, PAH0~7	
PA0~7, PB0~7, PJ4~7, PL4~7, PN4~7	

PH3, PH7	
PAA0~7, PAB0~7, PAC0~3	
PG2	

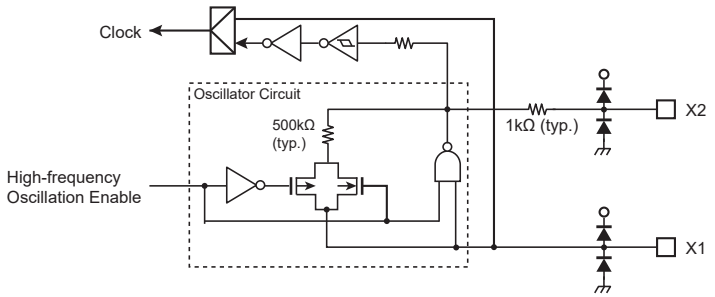
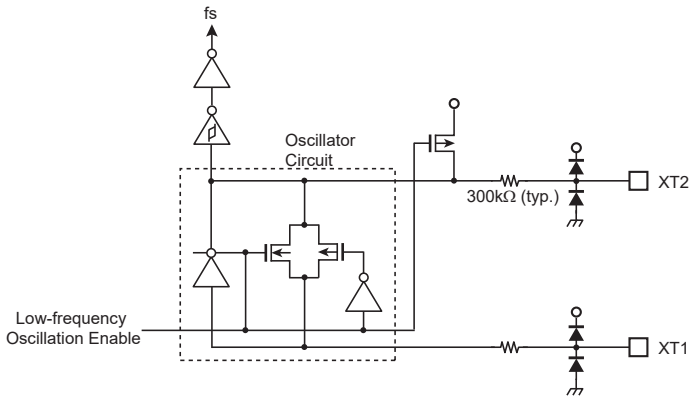
35.2　アナログ端子

DAOUT0 DAOUT1	
ADAVREFH, ADAVREFL ADBVREFH, ADBVREFL ADCVREFH, ADCVREFL DAVREFH, DAVREFL	

35.3　制御端子

MODE ENDIAN	
$\overline{\text{RESET}}$	
BSC	

35.4 クロック

X1、X2	
XT1, XT2	

35.5 テスト端子

FTEST3	 必ず OPEN にしてください

第 36 章　電気的特性

36.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3	−0.3 to 3.9	V
		RVDD3	−0.3 to 3.9	
		ADAVDD3 ADBVDD3 ADCVDD3	−0.3 to 3.9	
		DAVDD3	−0.3 to 3.9	
		BVDD3	−0.3 to 3.9	
入力電圧	デジタル端子	V_{IN1}	−0.3 ~ DVDD3 + 0.3	V
	アナログ端子	V_{IN2}	−0.3 ~ ADAVDD3 + 0.3 −0.3 ~ ADBVDD3 + 0.3 −0.3 ~ ADCVDD3 + 0.3	
	5V トレラント入出力端子	V_{IN3}	−0.3 ~ 5.5	
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	−5	
	合計	ΣI_{OH}	-50	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−55 ~ 125	°C
動作温度	Flash W/E 時を除く	T_{OPR}	−40 ~ 85	°C
	Flash W/E 時		0 ~ 60	

注) **絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。**

36.2　DC 電気的特性 (1/2)

DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = BVSS = ADAVSS = ADBVSS = ADCVSS = DAVSS = ADAVREFL = ADBVREFL = ADCVREFL = DAVREFL = 0V
Ta = −40 ~ 85 °C

項目		記号	条件	Min.	Typ. (注 1)	Max..	単位
電源電圧	DVDD3 RVDD3 BVDD3 ADAVDD3 ADBVDD3 ADCVDD3 DAVDD3	VDD	f_{OSC} = 8 ~ 10 MHz fsys = 1 ~ 100 MHz fs = 30 ~ 34 kHz	2.7	−	3.6	V
低レベル入力電圧	PA0~7, PB0~7, PJ4~7, PL4~7, PN4~7	V_{IL1}	CMOS 入力	−0.3	−	0.2 DVDD3	V
	PC0~7, PD0~7, PE0~7, PF0~7, PG0~7, PH0~7, PJ0~3, PK0~7, PL0~3, PM0~7,PN0~3, PP0~7, PR0~7, PT0~7, PU0~7, PV0~7,PW0~7, PY0~7, PAD0~7,PAE0~7, PAF0~7, PAG0~7, PAH0~7,PAJ0~7	V_{IL2}	Schmit 入力			0.25 DVDD3	
	PAA0~7, PAB0~7, PAC0~7	V_{IL3}				0.25 ADAVDD3 0.25 ADBVDD3 0.25 ADCVDD3	
	X1, MODE, $\overline{\text{RESET}}$, ENDIAN, BSC	V_{IL4}				0.2 DVDD3	
高レベル入力電圧	PA0~7, PB0~7, PJ4~7, PL4~7, PN4~7	V_{IL1}	CMOS 入力	0.8 DVDD3	−	DVDD3+0.3	V
	PC0~7, PD0~7, PE0~7, PF0~7, PG0~7, PH0~2, PH4~6 PJ0~3, PK0~3, PL0~3, PM0~3,PN0~3, PP0~7, PR4~7, PT0~7, PU0~7, PV0~7,PW0~7, PY0~7, PAD0~7,PAE0~7, PAF0~7, PAG0~7, PAH0~7,PAJ0~7	V_{IL2}	Schmit 入力	0.75 DVDD3			
	PAA0~7, PAB0~7, PAC0~7	V_{IL3}		0.75 ADAVDD3 0.75 ADBVDD3 0.75 ADCVDD3		ADAVDD3+0.3 ADBVDD3+0.3 ADCVDD3+0.3	
	X1, MODE, $\overline{\text{RESET}}$, ENDIAN, BSC	V_{IL4}		0.75 DVDD3		DVDD3+0.3	
	PH3, PH7, PK4~7, PM4~7, PR0~3	V_{IL5}	Schmit 入力 5V トレラント入出力端子	0.8 DVDD3		5.5	
低レベル出力電圧		V_{OL}	I_{OL} = 2 mA	−	−	0.4	V
高レベル出力電圧	下記以外の端子	V_{OH1}	I_{OH} = −2 mA	2.4	−	DVDD3	V
	PH3, PH7, PK4~7, PM4~7, PR0~3	V_{OH2}	I_{OH} = −2 mA 5V トレラント入出力端子		−	5.5	

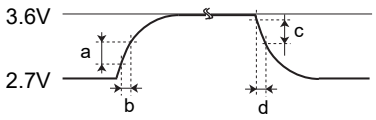
DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = BVSS = ADAVSS = ADBVSS = ADCVSS = DAVSS = ADAVREFL = ADBVREFL = ADCVREFL = DAVREFL = 0V
Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
入力リーク電流	I_{LI1}	$0.0 \le V_{IN} \le$ DVDD3 $0.0 \le V_{IN} \le$ ADAVDD3 $0.0 \le V_{IN} \le$ ADBVDD3 $0.0 \le V_{IN} \le$ ADCVDD3	−	0.02	±5	μA
出力リーク電流	I_{LO}	$0.2 \le V_{IN} \le$ DVDD3 -0.2 $0.2 \le V_{IN} \le$ ADAVDD3 -0.2 $0.2 \le V_{IN} \le$ ADBVDD3 -0.2 $0.2 \le V_{IN} \le$ ADCVDD3 -0.2	−	0.05	±10	
リセットプルアップ抵抗	RRST	−	−	50	100	kΩ
シュミット入力幅	VTH1	2.7 V ≤ DVDD3 ≤ 3.6 V	0.3	0.6	−	V
プログラマブルプルアップ/ダウン抵抗	PKH	−	−	50	100	kΩ
動作範囲内電源変動レート	VRS	RVDD3 = DVDD3A	−	−	10	mV/μs
	VFS		−	−	-10	
Pin 容量(電源端子を除く)	C_{IO}	fc = 1 MHz	−	−	10	pF
低レベル出力電流	I_{OL}	1 端子ごと	−	−	2	mA
	ΣI_{OL}	ポートごと	−	−	10	mA
	ΣI_{OL}	全端子(全ポート)	−	−	35	mA
高レベル出力電流	I_{OH}	1 端子ごと	−	−	-2	mA
	ΣI_{OH}	ポートごと	−	−	-10	mA
	ΣI_{OH}	全端子(全ポート)	−	−	-35	mA

注 1) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 3.3 V の値です。

注 2) DVDD3, RVDD3, BVDD3, ADAVDD3, ADBVDD3, ADCVDD3, DAVDD3 は同電位で使用してください。

注 3) VRS, VFS の変動は電気的特性に対して厳しい箇所で測定してください。



VRS = a / b, VFS = c / d

36.3　DC 電気的特性 (2/2)

Ta = −40 ~ 85 °C

項目	記号	条件				Min.	Typ. (注 1)	Max.	単位
		電源電圧	高速発振器	低速発振器	動作条件				
NORMAL	I_{DD}	DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 3.6V	発振	発振	全回路動作	−	−	95.0	mA
IDLE		DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 3.3V	動作条件は表 36-1、表 36-2 を参照ください			−	47.5	70.0	
						−	21.0	39.0	
STOP1			停止	発振	動作条件は表 36-1、表 36-2 を参照ください	−	6.5	20.0	
STOP2							12.0	280.0	μA
				停止		−	8.0	250.0	

注)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 3.3 V の値です。

表 36-1 I_{DD} 測定条件 (端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2
				低速発振器 発振	低速発振器停止
端子設定	DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3	3.3 V			
	X1, X2 端子	発振子接続 (10MHz)			
	XT1, XT2 端子	発振子接続 (32.768kHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	100MHz		停止	
	外部高速発振器 (EHOSC)	発振		停止	
	内部高速発振器 (IHOSC)	停止			
	fsys 用 PLL	動作 (10 逓倍)		停止	
	ADC 用 PLL	動作 (8 逓倍)		停止	
	低速発振器(ELOSC)	発振			停止

表 36-2 I_{DD} 測定条件 (CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1	STOP2
				低速発振器 発振	低速発振器 停止
CPU	1	動作 (Drystone Ver. 2.1)	Diabled		
PSC	1	Disabled			
DMAC	3	Unit B (ESIO1 受信で起動) Unit A/C:停止	Disabled		
ADC	3	Unit A/B (1μs, リピート変換) Unit C:停止	Disabled		
DAC	1	Disabled			
EBIF	1	Disabled			
TMRB	20	ch00~03, ch09~14:Enabled ch04~08, ch15~19:Disabled		Disabled	
TMRC (TBT)	1	Enabled		Disabled	
TMRC (Input Capture)	4	ch0~1:Enabled ch2~3:Disabled		Disabled	
TMRC (Compare output)	8	ch0~1:Enabled ch2~7:Disabled		Disabled	
TMRD	1	Disabled			
PHC	2	ch0:Enabled ch1:Disabled		Disabled	
EPHC	1	Disabled			
RTC	1	Enabled		Disabled	
WDT	1	Enabled	Disabled		
UART/SIO (4 bytes FIFO)	3	ch0:UART, 送信(1Mbps) ch1:UART, 送信(1Mbps) ch2:Disabled	Disabled		
UART/SIO (32 bytes FIFO)	3	ch3:SIO, マスタ送信(6.25Mbps) ch4~5:Disabled	Disabled		
UART	2	ch0:送信(1Mbps) ch1:Disabled	Disabled		
ESIO	3	ch0:送信(12.5Mbps) ch1:送信(16.7Mbps) ch2:Disabled	Disabled		
I2C	1	Disabled			
KWUP (32ch)	1	Enabled			Disabled
KWUP (8ch)	1	Disabled			
KSCAN	1	Enabled			Disabled
I/O port	29	Disabled			

36.4　12 ビット AD コンバータ変換特性

DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = BVSS = ADAVSS = ADBVSS = ADCVSS = DAVSS = ADAVREFL = ADBVREFL = ADCVREFL = DAVREFL = 0V
Ta = -40 ~ 85 °C

項目		記号	条件	Min.	Typ.	Max.	単位
アナログ基準電圧(+)		ADAVREFH ADBVREFH ADCVREFH	−	ADAVDD3-0.3 ADBVDD3-0.3 ADCVDD3-0.3	−	ADAVDD3 ADBVDD3 ADCVDD3	V
アナログ入力電圧		VAIN	−	ADAVREFL ADBVREFL ADCVREFL	−	ADAVREFH ADBVREFH ADCVREFH	
アナログ基準電圧電源電流	AD 変換時	IREF	−	−	1.5	2.5	mA
	AD 非変換時		−	−	−	0.3	μA
消費電流		I_{DD}	−	−	2.0	2.5	mA
積分非直線性誤差		−	AIN 負荷抵抗 ≤ 1.3k Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.0 μs	−	−	±6	LSB
微分非直線性誤差				−	−	±5	
ゼロスケール誤差				−	−	±6	
フルスケール誤差				−	−	±6	
総合誤差				−	−	±7	
安定時間		Tsta	ADnMOD1<DACON>=1 設定後 (n=A, B, C)	−	−	3.0	μs
変換時間		Tconv	−	1.0	−	10	

注 1)　1LSB = (ADnVREFH − ADnVREFL) / 4096 [V] (n= A, B, C)
注 2)　AD コンバータ単体動作の時の特性です。

36.5 10 ビット DA コンバータ変換特性

DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = BVSS = ADAVSS = ADBVSS = ADCVSS = DAVSS = ADAVREFL = ADBVREFL = ADCVREFL = DAVREFL = 0V
Ta = -40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
基準電圧	DAVREFH	−	DAVDD3 - 0.3	-	DAVDD3	V
アナログ基準電圧電源電流	IDREF	DAxCTL<VREFON>="1"	−	4.0	10	μA
		DAxCTL<VREFON>="0"	−	−	1.0	
消費電流	I_{DD}	−	−	270	550	
セトリングタイム	Tset	直前の設定値に対して ± 64LSB より大きい場合	−	−	1000	μs
		直前の設定値に対して ± 64LSB 以内の場合	−	−	200	
出力電流	IDAOUT0 IDAOUT1	−	−	−	± 500	μA
出力電圧範囲	DAOUT0 DAOUT1	−	DAVSS + 0.3	−	DAVDD3 - 0.3	V
総合誤差	TERR	−	−	−	±4	LSB

注 1) 1LSB = (DAVREFH − DAVREFL)/1024 [V]
注 2) 上記変換特性は DA コンバータ単体動作時の特性です。
注 3) DAOUTx 端子の外付け容量は、1 チャネルあたり最大 100pF としてください。

36.6　レギュレータ特性

DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = BVSS = ADAVSS = ADBVSS = ADCVSS = DAVSS = ADAVREFL = ADBVREFL = ADCVREFL = DAVREFL = 0V
Ta = -40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
入力電圧範囲	RVDD3 BVDD3	−	2.7	3.3	3.6	V
コイル容量	LOUT	精度 ± 20%	1.76	2.20	2.64	μH
コンデンサ容量	COUT	精度 ± 30%	3.29	4.70	−	μF
電源間バイパスコンデンサ容量	CPWR	COUT 以上を推奨				

注 1)　推奨コイル MDT2520-CR2R2M
本製品は東光株式会社製コイルを用いて評価をしています。東光株式会社の製品詳細につきましては、同社ホームページを参照してください。

注 2)　レギュレータの出力リップルを低減して安定性を確保するため、COUT には低 ESR（等価直列抵抗 : 30mΩ 以下）のコンデンサを使用してください。また、COUT は可能な限りピンの近くに配置してください。

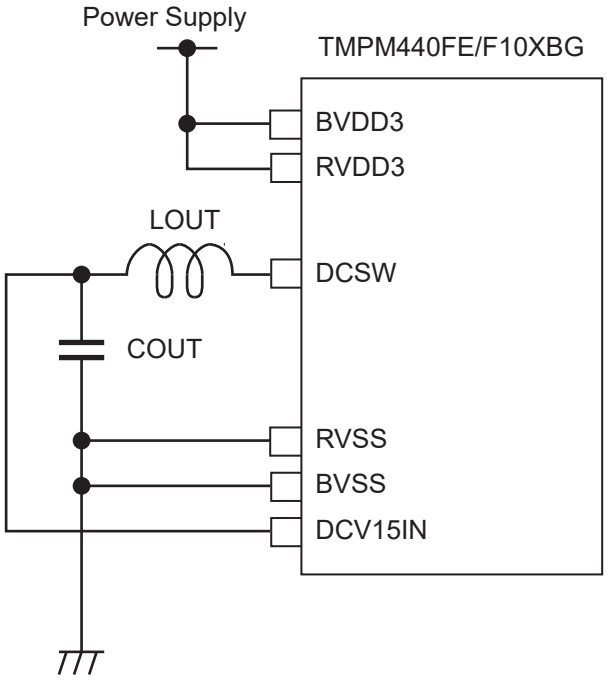


図 36-1 レギュレータ回路

36.7 AC 電気的特性

36.7.1 シリアルチャネル (SIO/UART)

36.7.1.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

36.7.1.2 I/O インタフェースモード

表中の x は SIO を動作させるクロックの周期を表します。SIO を動作させるクロックの周期は fc の周期です。

(1) SCLK 入力モード

[データ入力]

項目	記号	計算式		fc = 80 MHz		fc = 100MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	50	−	40	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	50	−	40	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	100	−	80	−	
有効 Data 入力 → SCLK 立ち上がり/立ち下がり (注 1)	t_{SRD}	30	−	30	−	30	−	
SCLK 立ち上がり/立ち下がり (注 1) → 入力 Data 保持	t_{HSR}	x + 30	−	42.5	−	40	−	

[データ出力]

項目	記号	計算式		fc = 80 MHz		fc = 100MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	82.5 (注 3)	−	75.0 (注 3)	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	82.5 (注 3)	−	75.0 (注 3)	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	165	−	150	−	
Output Data → SCLK 立ち上がり/立ち下がり (注 1)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	0 (注 2)	−	0 (注 2)	−	
SCLK 立ち上がり/立ち下がり (注 1) → Output Data 保持	t_{OHS}	$t_{SCY}/2$	−	82.5	−	75.0	−	

注 1) SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t_{OSS} がマイナスにならない最小値を示しています。

(2)　SCLK 出力モード

[データ入力]

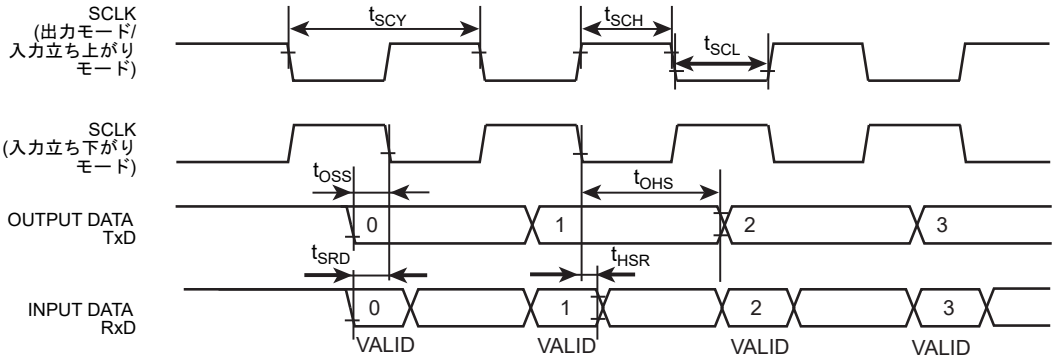
項目	記号	計算式		fc = 80 MHz		fc = 100MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK 周期 (プログラマブル)	t_{SCY}	2x	–	100 (注)	–	100 (注)	–	ns
有効 Data 入力 → SCLK 立ち上がり	t_{SRD}	45	–	45	–	45	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	0	–	

注)　$t_{SCY} \geq t_{SRD} \times 2$ となる範囲の SCLK 周期で設定できる最小値が記載されています。

[データ出力]

項目	記号	計算式		fc = 80 MHz		fc = 100MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK 周期 (プログラマブル)	t_{SCY}	2x	–	50 (注)	–	40 (注)	–	ns
Output Data →SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 20$	–	5	–	0	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 20$	–	5	–	0	–	

注)　$t_{OSS} = t_{OHS} \geq 0$ となる範囲の SCLK 周期で設定できる最小値が記載されています。



36.7.2 シリアルバスインタフェース (I2C)

36.7.2.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCL クロック周波数	t_{SCL}	0	−	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;STA}$	−	−	4.0	−	0.6	−	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	−	−	4.7	−	1.3	−	
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	−	−	4.0	−	0.6	−	
再スタートコンディション セットアップ時間	$t_{SU;STA}$	(注 5)	−	4.7	−	0.6	−	
データ保持時間(入力) (注 3, 4)	$t_{HD;DAT}$	−	−	0.0	−	0.0	−	
データセットアップ時間	$t_{SU;DAT}$	−	−	250	−	100	−	ns
ストップコンディションセットアップ時間	$t_{SU;STO}$	−	−	4.0	−	0.6	−	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	(注 5)	−	4.7	−	1.3	−	

注 1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58)/x$

注 2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 14)/x$

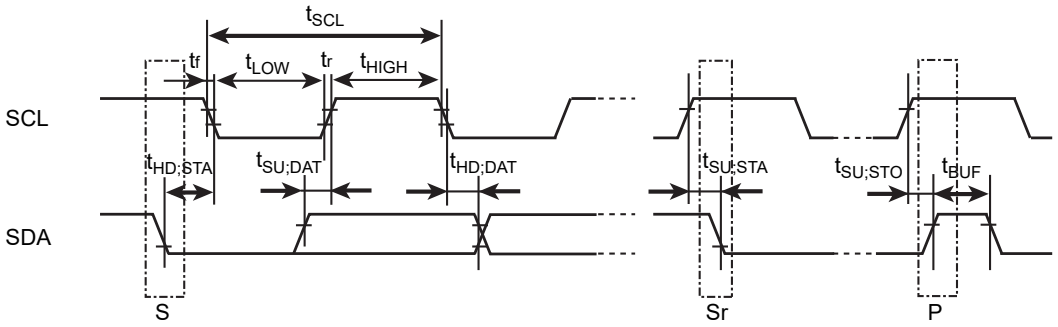
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意願います。

注 3) データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5) ソフトウェアに依存します。

注 6) フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

36.7.3 拡張シリアル I/O (ESIO)

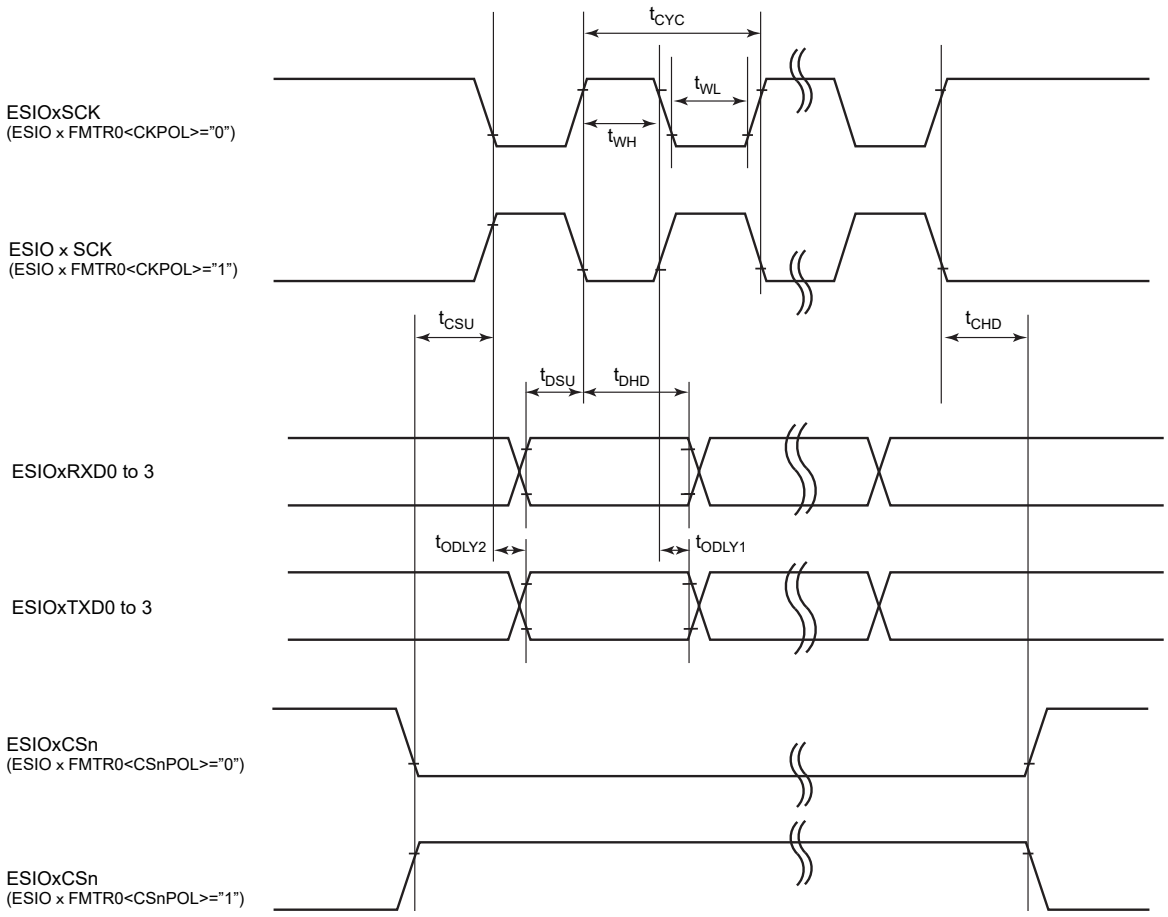
36.7.3.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF (ESIOxSCK, ESIOxTXD0~3), 30pF (ESIOxCS0~1)

項目	記号	計算式		fc = 80MHz	fc = 100MHz	単位
		Min.	Max.			
ESIOxSCK 周波数	f_{CYC}	−	25	20	25	MHz
ESIOxSCK 周期	t_{CYC}	$1/f_{CYC}$	−	50	40	ns
ESIOxSCK 低レベル出力パルス幅	t_{WL}	$(t_{CYC}/2) - 10$	−	15	10	
ESIOxSCK 高レベル出力パルス幅	t_{WH}	$(t_{CYC}/2) - 10$	−	15	10	
ESIOxCS 有効 → ESIOxSCK 立ち上がり/立ち下がり	t_{CSU}	$(t_{CYC} \times (k+1)) - 15$ (注 1)	−	35	25	
ESIOxSCK 立ち上がり/立ち下がり → ESIOxCS 無効	t_{CHD}	$(t_{CYC} \times (k+1.5)) - 15$ (注 2)	−	60	45	
ESIOxSCK 立ち上がり/立ち下がり → ESIOxRXD0~3 入力データセットアップ	t_{DSU}	5	−	5	5	
ESIOxSCK 立ち上がり/立ち下がり → ESIOxRXD0~3 入力データホールド	t_{DHD}	$t_{fc} \times 2$	−	25	20	
ESIOxSCK 立ち上がり/立ち下がり → ESIOxTXD0~3 出力データ保持	t_{ODLY1}	-10	−	-10	-10	
ESIOxSCK 立ち上がり/立ち下がり → ESIOxTXD0~3 出力データ遅延	t_{ODLY2}	−	20	20	20	

注 1) k の値は、ESIOxFMTR<SCKCSDL[3:0]>への設定値です。計算値は、k=0 の時の値を示します。
注 2) k の値は、ESIOxFMTR<CSSCKDL[3:0]>への設定値です。計算値は、k=0 の時の値を示します。


tCYC
tWL
tWH
ESIOxSCK
(ESIO x FMTR0<CKPOL>="0")
ESIO x SCK
(ESIO x FMTR0<CKPOL>="1")
tCSU
tCHD
tDSU
tDHD
ESIOxRXD0 to 3
tODLY2
tODLY1
ESIOxTXD0 to 3
ESIOxCSn
(ESIO x FMTR0<CSnPOL>="0")
ESIOxCSn
(ESIO x FMTR0<CSnPOL>="1")

36.7.4 16-bit タイマ/イベントカウンタ(TMRB)

36.7.4.1 イベントカウンタ

(1) AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

TMRB の ch00~09 の動作クロックは、fc と同じ周期です。

TMRB の ch10~19 の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

x は TMRB の動作クロックの周期を表します。

項目	記号	計算式		80 MHz		100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	125	−	120	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	125	−	120	−	

36.7.4.2 キャプチャ

(1) AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

TMRB の ch00~09 の動作クロックは、fc と同じ周期です。

TMRB の ch10~19 の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

x は TMRB の動作クロックの周期を表します。

項目	記号	計算式		80 MHz		100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	t_{CPL}	2x + 100	−	125	−	120	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	125	−	120	−	

36.7.5　32-bit タイマ(TMRC)

36.7.5.1　イベントカウンタ

(1)　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

TMRC の動作クロックは、fc と同じ周期です。x は TMRC の動作クロックの周期を表します。

項目	記号	計算式		80 MHz		100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	125	−	120	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	125	−	120	−	

36.7.5.2　キャプチャ

(1)　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

TMRC の動作クロックは、fc と同じ周期です。x は TMRC の動作クロックの周期を表します。

項目	記号	計算式		80 MHz		100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	t_{CPL}	2x + 100	−	125	−	120	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	125	−	120	−	

36.7.6 2 相パルス入力カウンタ (PHC)

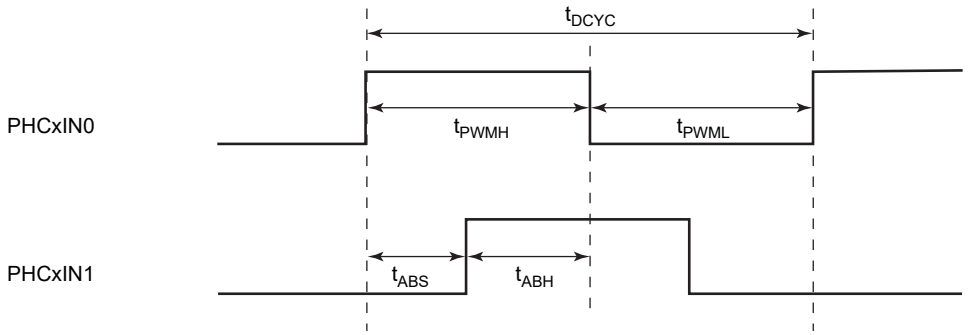
36.7.6.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

PHC の動作クロックの周期はシステムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 80 MHz		fsys = 100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
2 相入力パルス周期	t_{DCYC}	2	−	2	−	2	−	μs
2 相入力セットアップ	t_{ABS}	1	−	1	−	1	−	
2 相入力ホールド	t_{ABH}	1	−	1	−	1	−	
2 相入力 High パルス幅	t_{PWH}	1	−	1	−	1	−	
2 相入力 Low パルス幅	t_{PWL}	1	−	1	−	1	−	



36.7.7　高機能 2 相パルス入力カウンタ (EPHC)

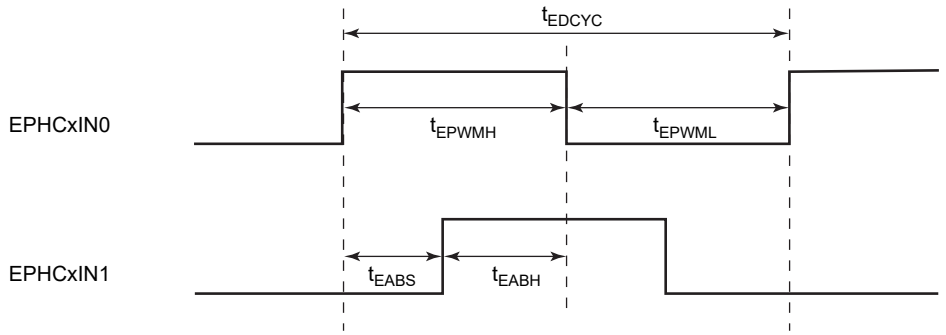
36.7.7.1　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

表中の x はシステムクロック fc の周期を表します。EPHC の動作クロックの周期は fc の周期と同じです。

項目	記号	計算式		fc = 80 MHz		fc = 100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
2 相入力パルス周期	t_{EDCYC}	1	–	1	–	1	–	μs
2 相入力セットアップ	t_{EABS}	20x	–	0.25	–	0.2	–	
2 相入力ホールド	t_{EABH}	20x	–	0.25	–	0.2	–	
2 相入力 High パルス幅	t_{EPWH}	0.5	–	1	–	1	–	
2 相入力 Low パルス幅	t_{EPWL}	0.5	–	1	–	1	–	



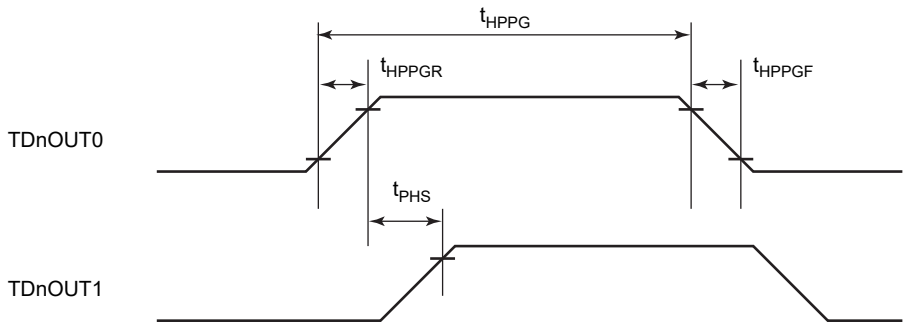
36.7.8 高分解能 16 ビットタイマ PPG 出力 (TMRD ver.B)

36.7.8.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

項目	記号	TMRDCLK = 100 MHz		単位
		Min.	Max.	
PPG 出力設定可能最少パルス幅	t_{HPPGP}	100	−	ns
PPG 出力立ち上がり時間	t_{HPPGR}	−	30	
PPG 出力立ち下がり時間	t_{HPPGF}	−	30	
PPG 出力位相差	t_{PHS}	10	−	ns



36.7.9　外部割り込み

36.7.9.1　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

1. STOP1,STOP2 解除割り込み以外

項目	記号	計算式		fsys = 80 MHz		fsys = 100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
INT0 ~ 17 低レベルパルス幅	t_{INTAL}	x + 100	−	112.5	−	110	−	ns
INT0 ~ 17 高レベルパルス幅	t_{INTAH}	x + 100	−	112.5	−	110	−	

2. STOP1,STOP2 解除割り込み

項目	記号	計算式		fsys = 80 MHz		fsys = 100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
INT0 ~ 15 低レベルパルス幅	t_{INTBL}	500	−	500	−	500	−	ns
INT0 ~ 15 高レベルパルス幅	t_{INTBH}	500	−	500	−	500	−	

36.7.10 ADC トリガ入力

36.7.10.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

表中の x は fc の周期を表します。

項目	記号	計算式		fc = 80 MHz		fc = 100 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	T_{ADL}	2 x + 20	−	45	−	40	−	ns
高レベルパルス間隔	T_{ADH}	2 x + 20	−		−		−	

36.7.11 KWUP 入力

36.7.11.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

項目	記号	計算式		fs = 32.768kHz		単位
		Min.	Max.	Min.	Max.	
低レベルパルス幅	T_{KYTBL}	100	−	100	−	ns

36.7.12　SCOUT 端子

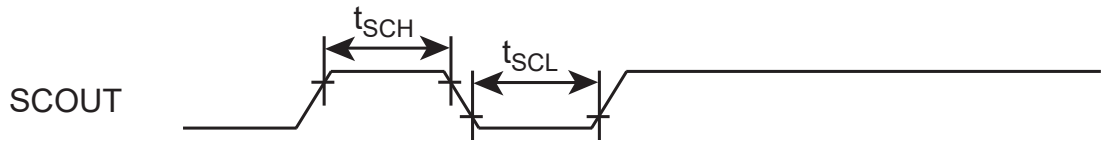
36.7.12.1　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

項目	記号	計算式		fsys = 80 MHz (SCOUT の周波数に 20MHz を設定した場合)		fsys = 100 MHz (SCOUT の周波数に 25MHz を設定した場合)		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
高レベルパルス幅	t_{SCH}	0.5T − 5	−	20	−	15	−	ns
低レベルパルス幅	t_{SCL}	0.5T − 5	−	20	−	15	−	ns

注)　表中の T は SCOUT 出力波形の周期を示します。



36.7.13 外部バスインタフェース AC 特性

36.7.13.1 AC 測定条件

- DVDD3=2.7 ~ 3.6V
- 出力レベル: High = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 入力レベル: High = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

36.7.13.2 セパレートバスモード

変数条件 : RWS = 1, TW = 3, RWH = 1, CSH =1 @tsys=tcyc=12.5ns (fsys = 80MHz)

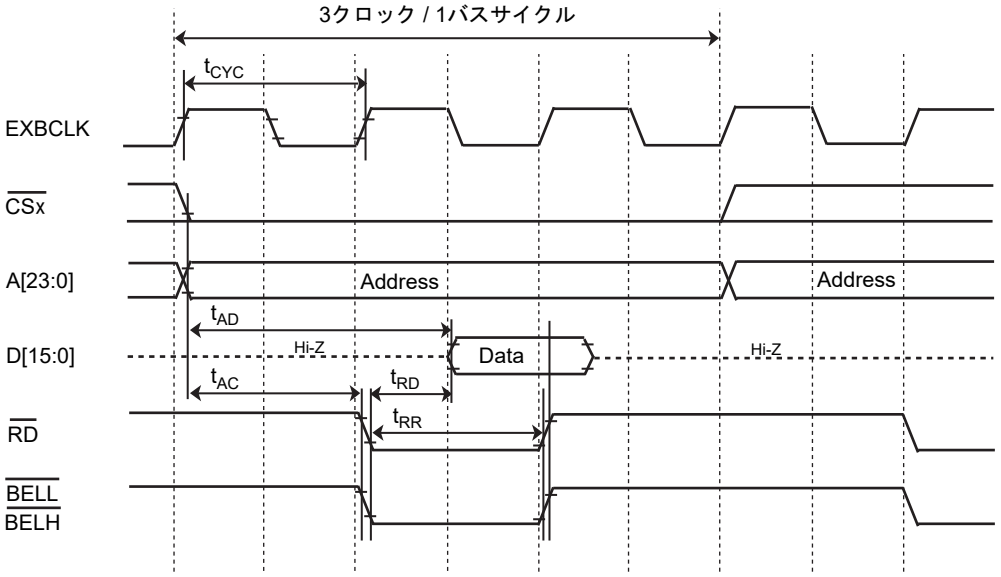
RWS = 1, TW = 3, RWH = 1, CSH =1 @tsys=tcyc=10.0ns (fsys = 100MHz)

- RWS : $\overline{RD}$, $\overline{WR}$ における立下りまでのセットアップサイクル挿入 (RWS = 0, 1, 2, 4)
- TW : 内部ウエイトサイクル挿入 (TW = 0 ~ 15)
- RWH : $\overline{RD}$, $\overline{WR}$ のリカバリサイクル挿入 (RWH = 0 ~ 6, 8)
- CSH : $\overline{CSx}$ のリカバリサイクル挿入 (CSH = 0, 1, 2, 4)

項目	記号	計算式		fsys = 80MHz		fsys = 100MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
システムクロック周期 (x)	t_{SYS}	x	−	12.5	−	10	−	ns
外部バスクロック (EXBCLK)	t_{CYC}	x	−	12.5	−	10	−	
A[23:0]有効 → $\overline{RD}$, $\overline{WR}$ 立ち下がり	t_{AC}	x (1+RWS)−15	−	10	−	5	−	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → A[23:0]保持	t_{CAR}	x (1+RWH+CSH)−10	−	27.5	−	20	−	
A[23:0]有効 → D[15:0]入力	t_{AD}	-	x (2+RWS+TW)−35	−	40	−	27.5	
$\overline{RD}$ 立ち下がり → D[15:0]入力	t_{RD}	-	x (1+TW)−30	−	20	−	10	
$\overline{RD}$ 低レベルパルス幅	t_{RR}	x (1+TW)−12	−	38	−	28	−	
$\overline{RD}$ 立ち上がり → D[15:0]保持	t_{HR}	0	−	0	−	0	−	
$\overline{RD}$ 立ち上がり → A[23:0]出力	t_{RAE}	x (1+RWH+CSH)−15	−	22.5	−	15	−	
$\overline{WR}$ 低レベルパルス幅	t_{WW}	x (1+TW)−15	−	35	−	25	−	
D[15:0]有効 → $\overline{WR}$ 立ち上がり	t_{DW}	x (1+TW)−15	−	35	−	25	−	
$\overline{WR}$ 立ち上がり → D[15:0]保持	t_{WD}	x (1+RWH)−10	−	15	−	10	−	

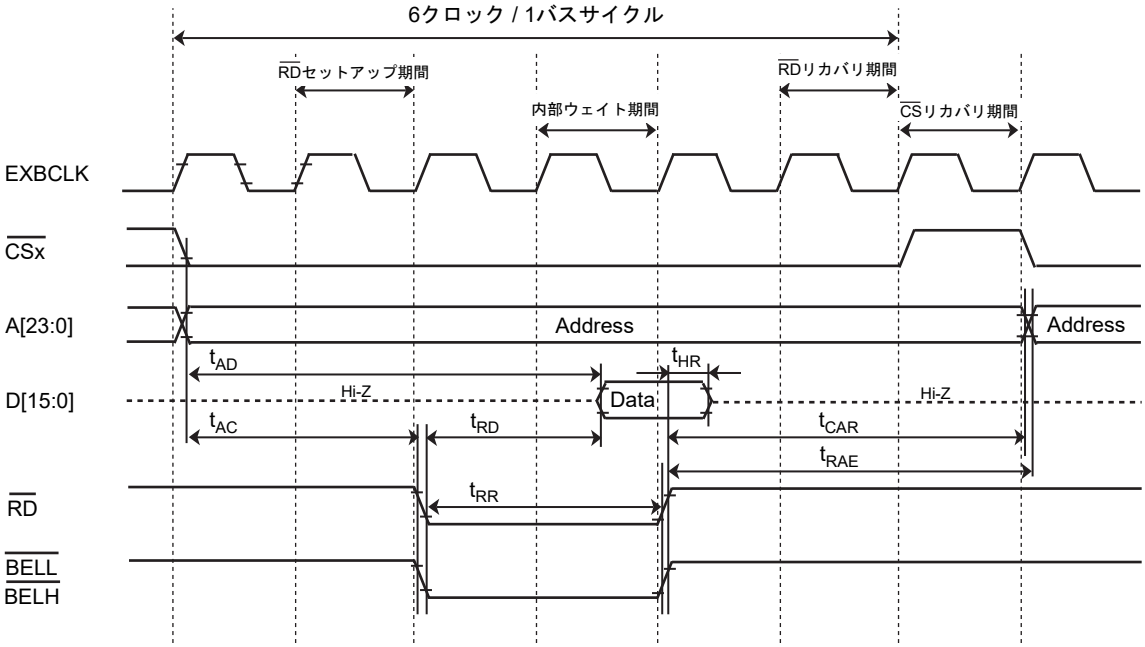
1. リードサイクル (最短サイクル)

(サイクル拡張無し、$\overline{RD}$ セットアップ無し、内部ウエイト無し、$\overline{CS}$ リカバリ無し、$\overline{RD}$ リカバリ無し)



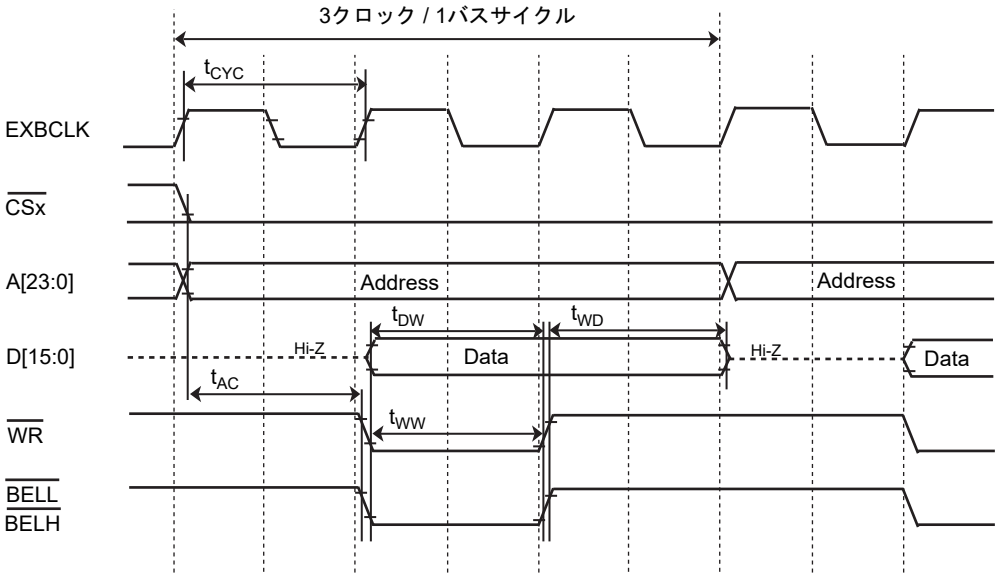
2. リードサイクル (6 クロック/ 1 バスサイクル)

(サイクル拡張無し、$\overline{RD}$ セットアップ=1 サイクル、内部ウエイト=1 サイクル、$\overline{CS}$ リカバリ=1 サイクル、$\overline{RD}$ リカバリ=1 サイクル)



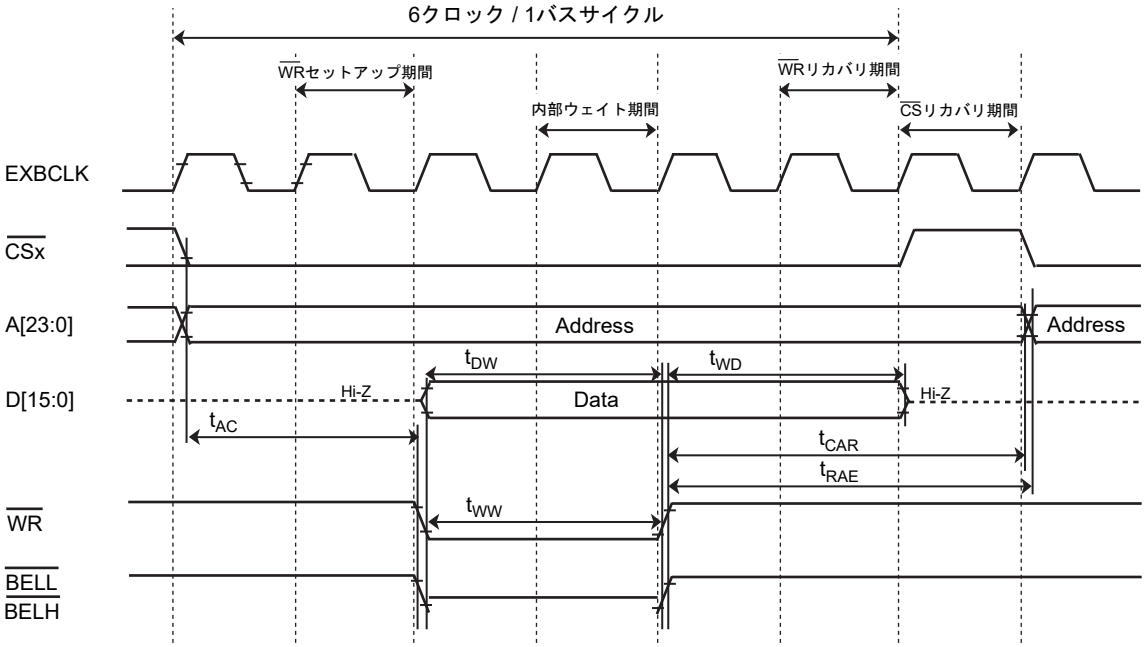
3. ライトサイクル (最短サイクル)

(サイクル拡張無し、$\overline{WR}$ セットアップ無し、内部ウエイト無し、$\overline{CS}$ リカバリ無し、$\overline{WR}$ リカバリ無し)



4. ライトサイクル (6 クロック/ 1 バスサイクル)

(サイクル拡張無し、$\overline{WR}$ セットアップ=1 サイクル、内部ウエイト=1 サイクル、$\overline{CS}$ リカバリ=1 サイクル、WR リカバリ=1 サイクル)



36.7.13.3　マルチプレクスバスモード

変数条件 : ALE = 1, RWS = 1, TW = 3, RWH = 1, CSH =1 @tsys=tcyc=12.5ns (fsys = 80MHz)

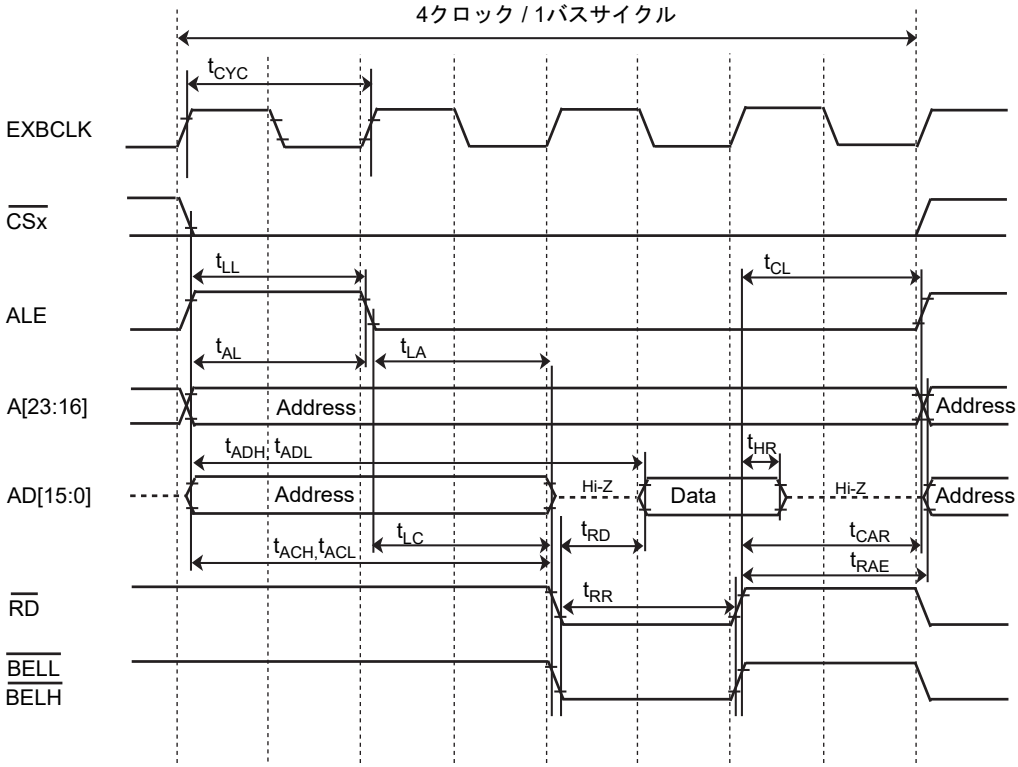
ALE = 1, RWS = 1, TW = 3, RWH = 1, CSH =1 @tsys=tcyc=10.0ns (fsys = 100MHz)

- ALE : ALE 幅のサイクル数 (ALE = 0, 1, 2, 4)
- RWS : $\overline{RD}$, $\overline{WR}$ における立下りまでのセットアップサイクル挿入 (RWS = 0, 1, 2, 4)
- TW : 内部ウェイトサイクル挿入 (TW = 0 ~ 15)
- RWH : $\overline{RD}$, $\overline{WR}$ のリカバリサイクル挿入 (RWH = 0 ~ 6, 8)
- CSH : $\overline{CSx}$ のリカバリサイクル挿入 (CSH = 0, 1, 2, 4)

項目	記号	計算式		fsys = 80MHz		fsys = 100MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
システムクロック周期 (x)	t_{SYS}	x	−	12.5	−	10	−	ns
外部バスクロック (EXBCLK)	t_{CYC}	x	−	12.5	−	10	−	
A[23:0]有効 → ALE 立ち下がり	t_{AL}	x (1+ALE)-15	−	10	−	5	−	
ALE 立ち下がり → A[23:0]保持	t_{LA}	x (1+RWS)-7	−	18	−	13	−	
ALE High パルス幅	t_{LL}	x (1+ALE)-15	−	10	−	5	−	
ALE 立ち下がり → $\overline{RD}$, $\overline{WR}$ 立ち下がり	t_{LC}	x (1+RWS)-7	−	18	−	13	−	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x (1+RWH+CSH)-15	−	22.5	−	15	−	
A[15:0]有効 → $\overline{RD}$, $\overline{WR}$ 立下がり A[23:16]有効 → $\overline{RD}$, $\overline{WR}$ 立下がり	t_{ACL} t_{ACH}	x (2+ALE+RWS)-15	−	35	−	25	−	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → A[23:16]保持	t_{CAR}	x (1+RWH+CSH)-15	−	22.5	−	15	−	
A[15:0]有効 → D[15:0]入力 A[23:16]有効 → D[15:0]入力	t_{ADL} t_{ADH}	−	x (3+ALE+RWS+TW)-35	−	65	−	45	
$\overline{RD}$ 立ち下がり → D[15:0]入力	t_{RD}	−	x (1+TW)-30	−	20	−	10	
$\overline{RD}$ Low パルス幅	t_{RR}	x (1+TW)-12	−	38	−	28	−	
$\overline{RD}$ 立ち上がり → D[15:0]保持	t_{HR}	x (1+RWH)-7	−	18	−	13	−	
$\overline{RD}$ 立ち上がり→ A[23:0]出力	t_{RAE}	x (1+RWH+CSH)-15	−	22.5	−	15	−	
$\overline{WR}$ Low パルス幅	t_{WW}	x (1+TW)-15	−	35	−	25	−	
D[15:0]有効 → $\overline{WR}$ 立ち上がり	t_{DW}	x (1+TW)-15	−	10	−	5	−	
$\overline{WR}$ 立ち上がり → D[15:0]保持	t_{WD}	x (1+RWH)-10	−	15	−	10	−	

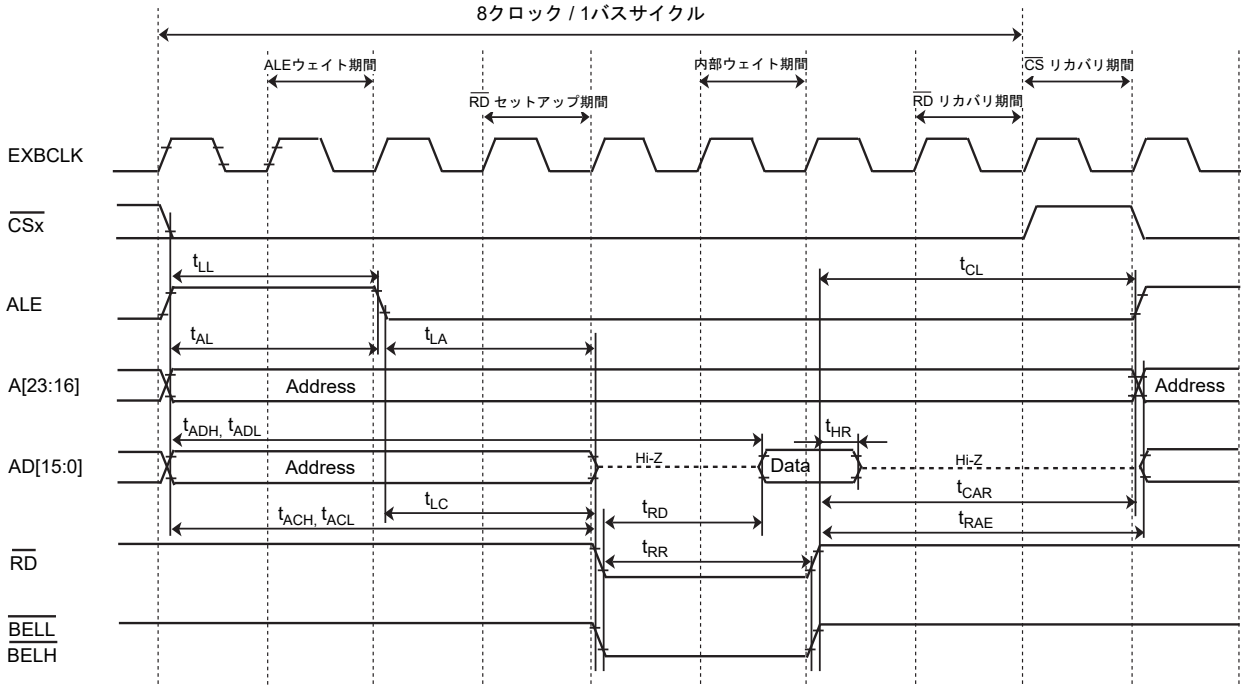
1. リードサイクル (最短サイクル)

(サイクル拡張無し、ALE ウエイト無し、$\overline{RD}$ セットアップ無し、内部ウエイト無し、$\overline{CS}$ リカバリ無し、$\overline{RD}$ リカバリ無し)



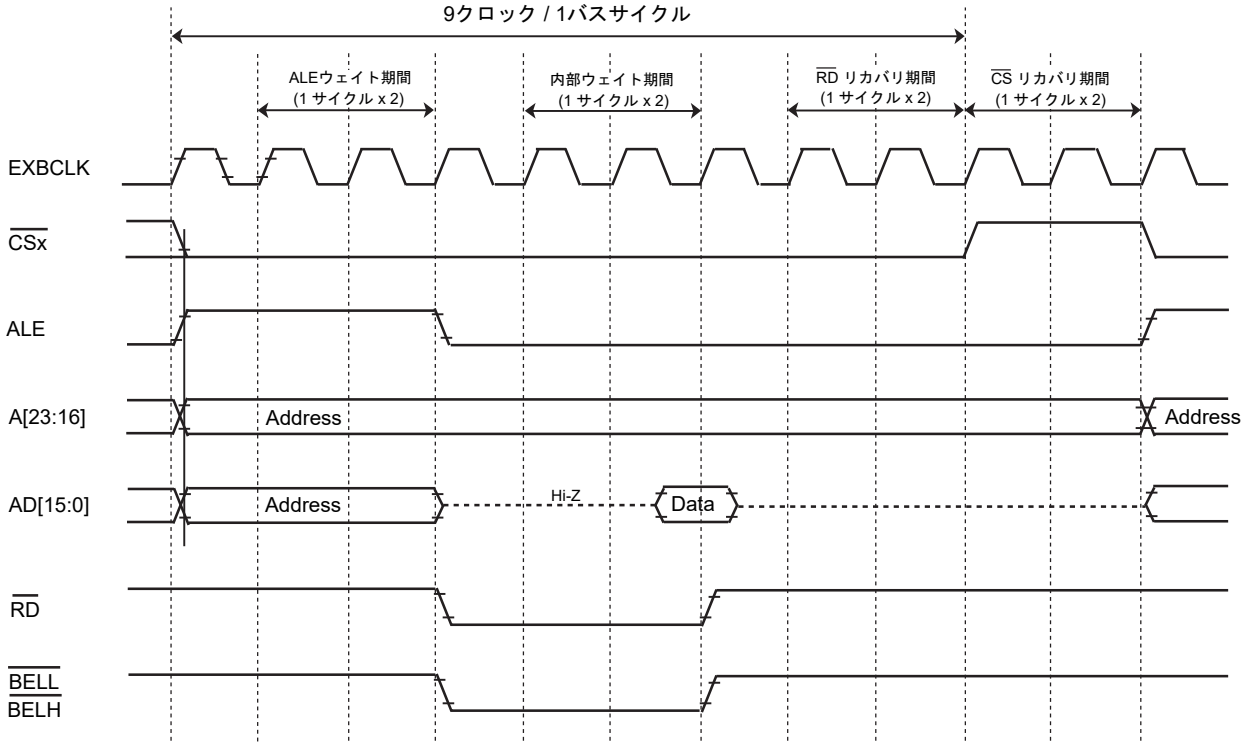
2. リードサイクル (8 クロック/ 1 バスサイクル)

(サイクル拡張無し、ALE ウエイト=1 サイクル、$\overline{RD}$ セットアップ=1 サイクル、内部ウエイト=1 サイクル、$\overline{CS}$ リカバリ=1 サイクル、$\overline{RD}$ リカバリ=1 サイクル)



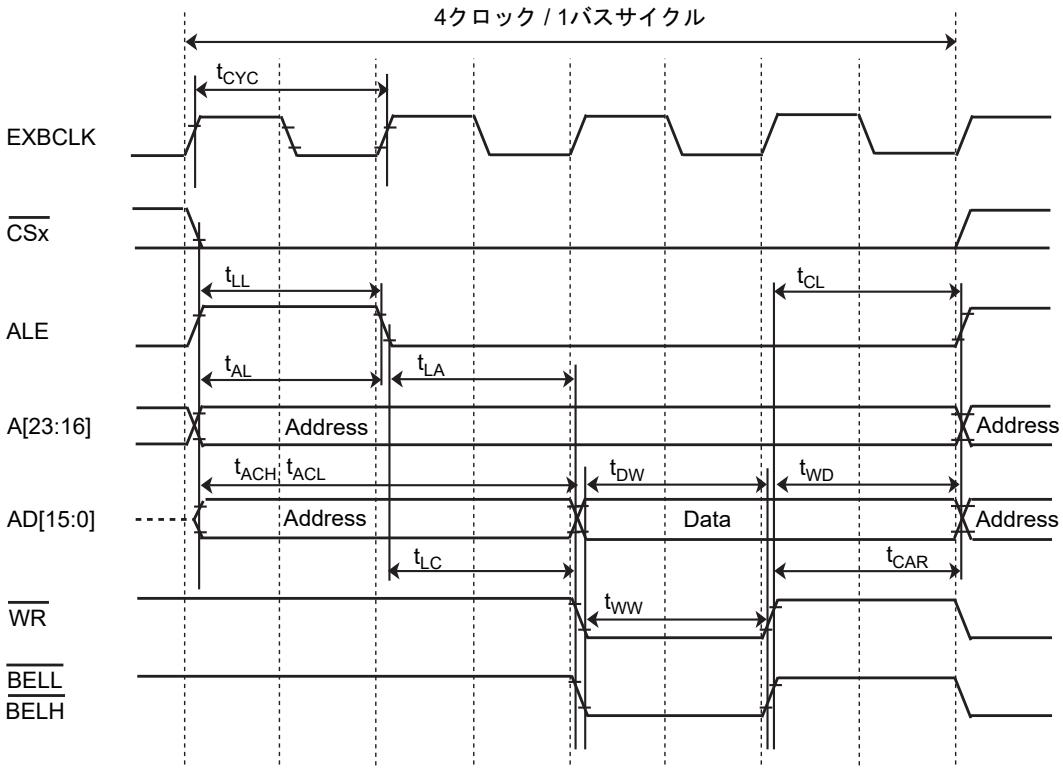
3. リードサイクル (9 クロック/ 1 バスサイクル)

(サイクル拡張=2 倍、ALE ウエイト=1 サイクル、$\overline{RD}$ セットアップ=無し、内部ウエイト=1 サイクル、$\overline{CS}$ リカバリ=1 サイクル、$\overline{RD}$ リカバリ=1 サイクル)



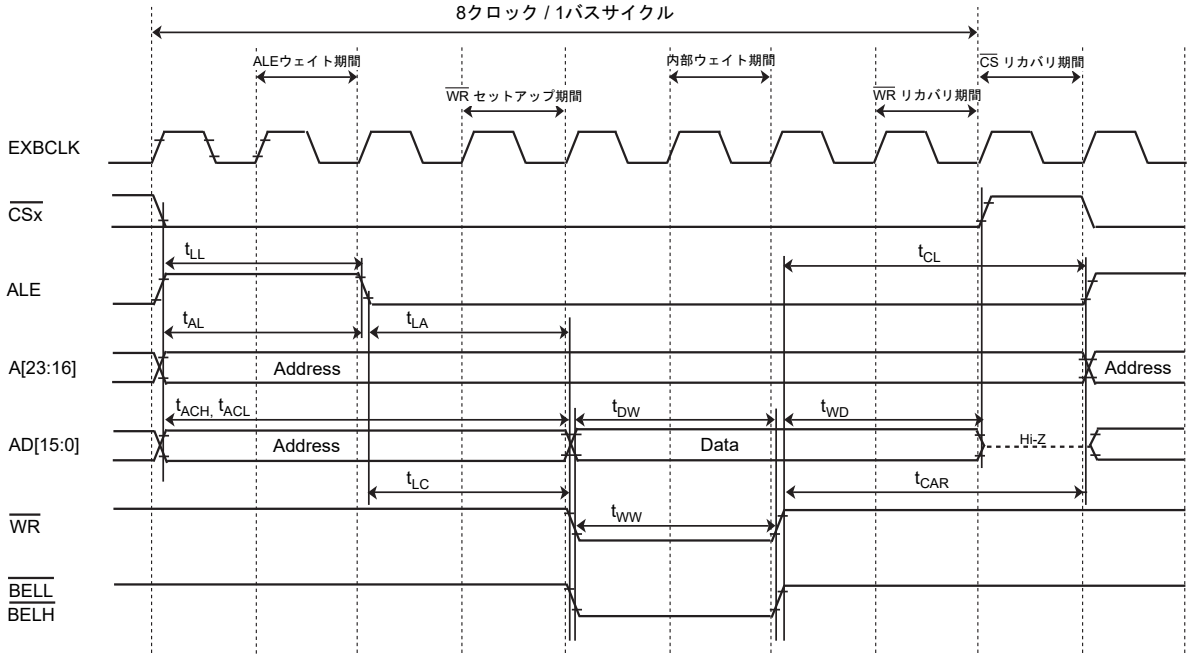
4. ライトサイクル (最短サイクル)

(サイクル拡張無し、$\overline{WR}$ セットアップ無し、内部ウエイト無し、$\overline{CS}$ リカバリ無し、$\overline{WR}$ リカバリ無し)



5. ライトサイクル (8 クロック/ 1 バスサイクル)

(サイクル拡張無し、ALE ウエイト=1 サイクル、$\overline{WR}$ セットアップ=1 サイクル、内部ウエイト=1 サイクル、$\overline{CS}$ リカバリ=1 サイクル、$\overline{WR}$ リカバリ=1 サイクル)



36.7.14 デバッグ通信

36.7.14.1 AC 測定条件

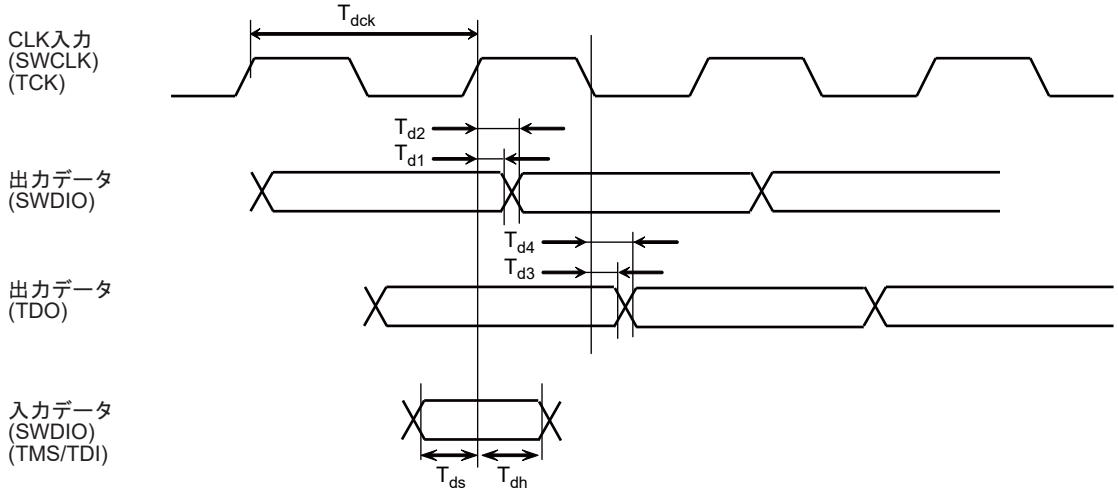
- 出力レベル: High = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 入力レベル: Low = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF (SWDIO, TRACECLK, TRACEDATA0~3)

36.7.14.2 SWD インタフェース

項目	記号	Min.	Max.	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち上がり → 出力データ保持	T_{d1}	4	–	
CLK 立ち上がり → 出力データ有効	T_{d2}	–	30	
入力データ有効 → CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	

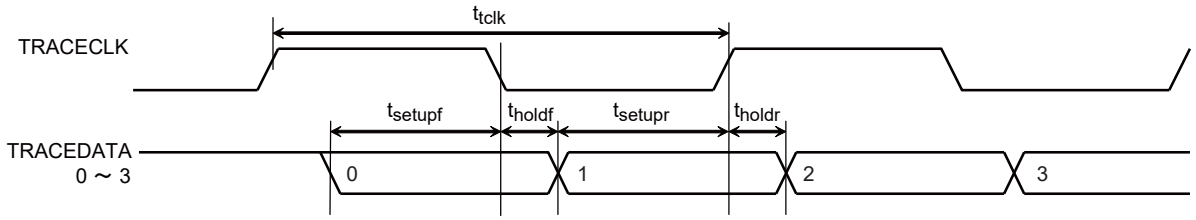
36.7.14.3 JTAG インタフェース

項目	記号	Min.	Max.	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち下がり → 出力データ保持	T_{d3}	4	–	
CLK 立ち下がり → 出力データ有効	T_{d4}	–	50	
入力データ有効 → CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	



36.7.15　ETM トレース

項目	記号	Min.	Max.	単位
TRACECLK 周期	t_{tclk}	25	−	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	t_{setupr}	2	−	
TRACECLK 立ち上がり → TRACEDATA 保持	t_{holdr}	1	−	
TRACEDATA 有効 ← TRACECLK 立ち下がり	t_{setupf}	2	−	
TRACECLK 立ち下がり → TRACEDATA 保持	t_{holdf}	1	−	



36.7.16　内蔵発振回路特性

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数	IHOSC	Ta = -40 to 85°C	9.0	10	11	MHz

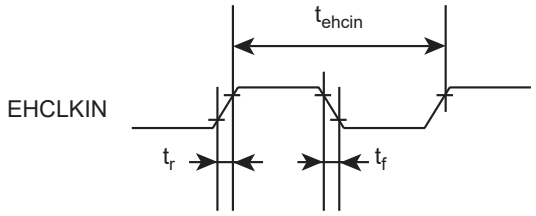
注)　発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

36.7.17　外部発振子

項目	記号	条件	Min.	Typ.	Max.	単位
高周波発振	EHOSC	Ta = -40 to 85°C	8	−	10	MHz

36.7.18 外部クロック入力

項目	記号	Min.	Typ.	Max.	単位
クロック周波数	t_{ehcin}	8	–	10	MHz
クロック Duty	–	45	–	55	%
クロック立ち上がり時間	t_r	–	–	10	ns
クロック立ち下がり時間	t_f	–	–	10	ns



36.7.19 フラッシュ特性

項目	条件	Min.	Typ.	Max.	単位
フラッシュメモリ E/W 回数	DVDD3 = RVDD3 = BVDD3 = ADAVDD3 = ADBVDD3 = ADCVDD3 = DAVDD3 = 2.7 V ~ 3.6 V Ta = 0 ~ 60°C	–	–	1000	回

36.7.20 ノイズフィルタ特性

項目	条件	Min.	Typ.	Max.	単位
ノイズキャンセル幅	–	15	30	60	ns

36.8　発振回路

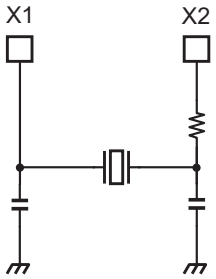


図 36-2 高周波発振回路例

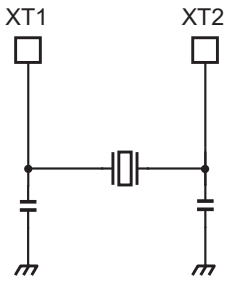


図 36-3 低周波発振回路例

注)　発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

36.8.1　セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

36.8.2　水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。

京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

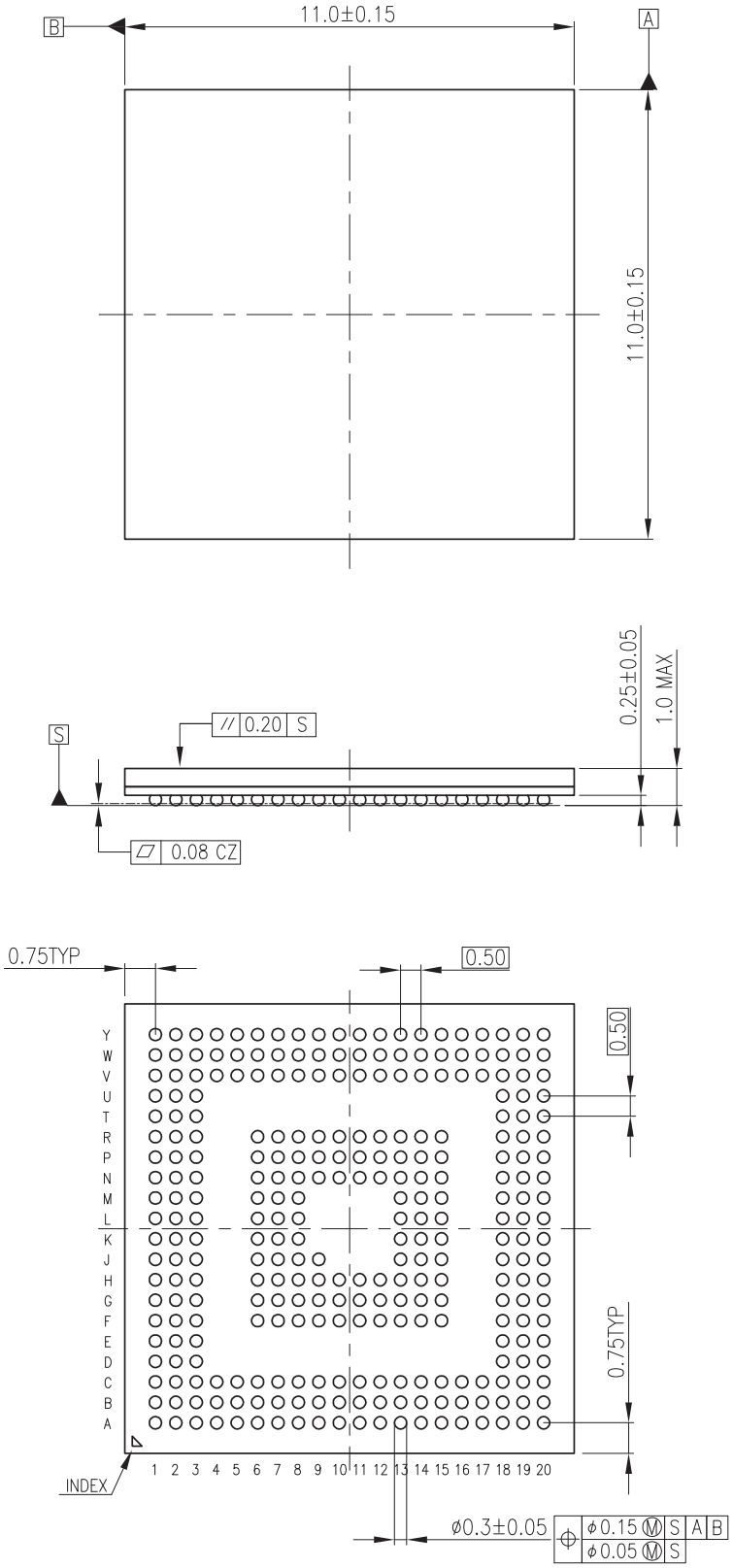
36.8.3　プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

第 37 章　パッケージ寸法図

パッケージ型名：P-VFBGA289-1111-0.50-001

"Unit:mm"



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。