

**1.6 kW サーバー用電源
(アップグレード版)**

デザインガイド

RD240-DGUIDE-01

東芝デバイス&ストレージ株式会社

目次

1. はじめに	3
1.1. 本電源概要	3
2. 主な使用部品	4
2.1. パワーMOSFET TK125N60Z1 (開発中).....	4
2.2. パワーMOSFET TK095N65Z5	5
2.3. パワーMOSFET TPH2R408QM	6
2.4. パワーMOSFET TPHR6503PL1	7
2.5. SiC ショットキーバリアダイオード TRS6E65H.....	8
2.6. デジタルアイソレーターDCL540C01.....	9
3. 回路設計	10
3.1. ACライン回路	10
3.2. PFC 回路	12
3.2.1 セミブリッジレス PFC 回路について	12
3.2.2 本電源の PFC 回路	13
3.3. 位相シフトフルブリッジ (PSFB) 回路.....	17
3.3.1. PSFB 回路について	17
3.3.2. 本電源の PSFB 回路	18
3.3.3. PSFB 回路 1 次側-2 次側間の信号伝達.....	23
3.3.4. 出力 ORing 回路	24
3.3.5. 補助電源	25

1. はじめに

本デザインガイドは 1.6 kW サーバー用電源 (アップグレード版) (以下、本電源) の各種回路の設計方法を記載したドキュメントです。本電源の仕様、動作確認方法、特性などは、リファレンスガイドを参照ください。

本電源は AC 90~264 V を入力し、セミブリッジレス PFC 回路、位相シフトフルブリッジ (Phase Shift Full Bridge : 以下 PSFB) 回路により DC 12V、最大 1.6 kW を出力します。ORing 出力回路を搭載しており冗長運転が可能です。また電源内部の回路電源として必要な補助電源回路も内蔵しています。基板実装時の高さを考慮した部品を選定しており、1U サーバー電源用途にも応用可能です。

本電源ではセミブリッジレス PFC 回路にパワー-MOSFET TK125N60Z1 (開発中) ならびに SiC SBD TRS6E65H を使用しています。PSFB 回路には一次側フルブリッジ部に高速ダイオードタイプのパワー-MOSFET TK095N65Z5 を、二次側同期整流部にはパワー-MOSFET TPH2R408QM を、二次側のコントローラーからの絶縁ゲート信号伝送にはデジタルアイソレーター DCL540C01 を使用しています。また ORing 出力回路にはパワー-MOSFET TPHR6503PL1 を使用しています。これら最新の東芝製素子を使用することで、同一の回路トポロジーを採用した既存リファレンスデザイン (1.6kW, 80Plus Platinum 級, 高効率 AC-DC サーバー用電源) から効率を改善し、より高効率でコンパクトな電源を実現しています。

1.1. 本電源概要

図 1.1 のブロック図に示す通り、本電源は AC 入力、セミブリッジレス PFC 回路、位相シフトフルブリッジ (PSFB) コンバーター回路、出力 Oring 回路で構成されています。各部位に当社最新のパワー-MOSFET、SiC ショットキーバリアダイオード、デジタルアイソレーターを採用し、効率向上を図っています。

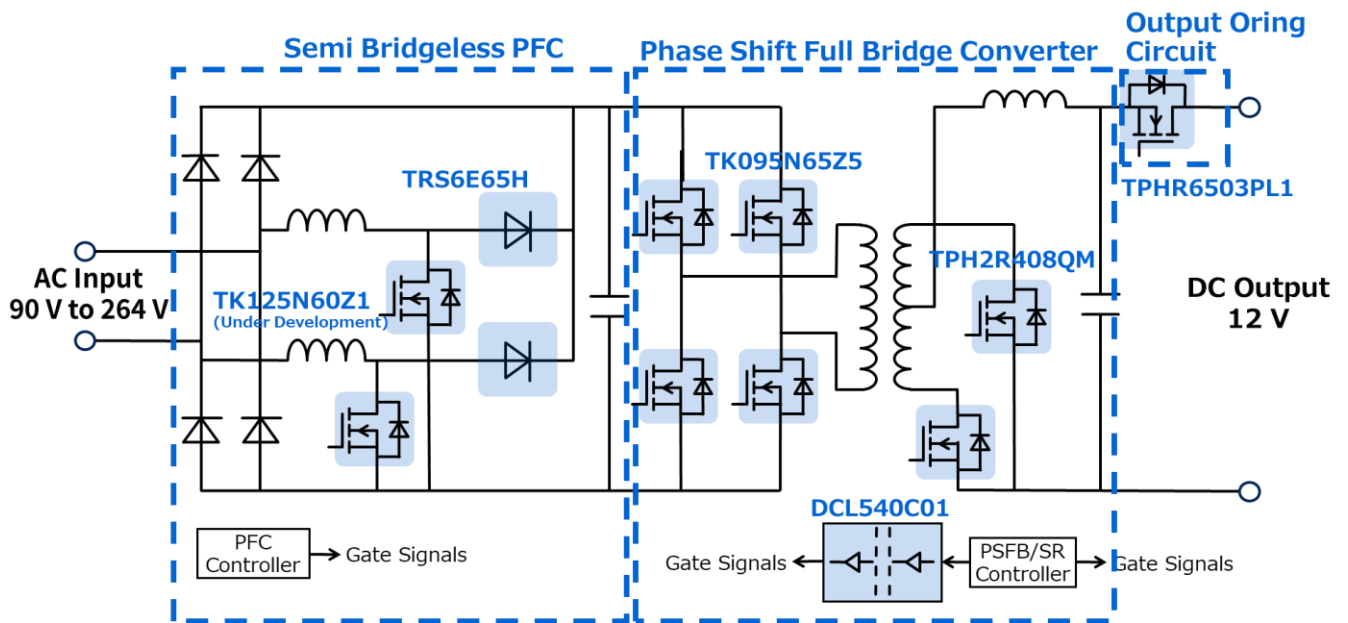


図 1.1 ブロック図

2. 主な使用部品

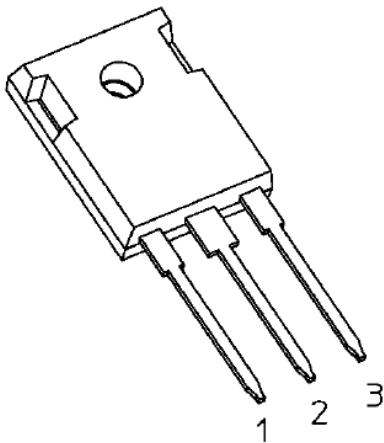
2.1. パワー-MOSFET TK125N60Z1 (開発中)

セミアリッジレス PFC 回路のスイッチング用素子としてパワー-MOSFET TK125N60Z1 を使用しています。TK125N60Z1 の主な特長は以下の通りです。

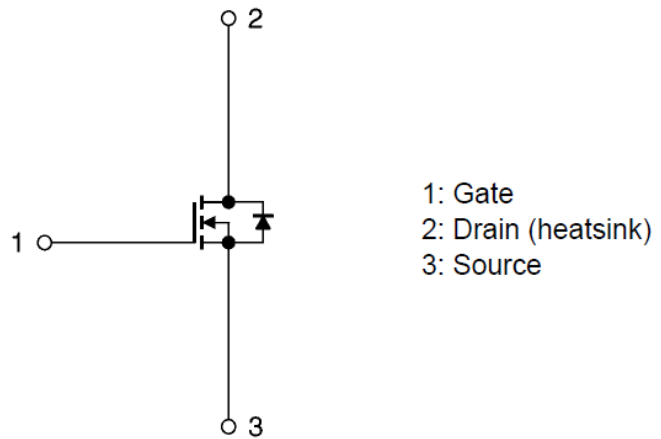
特長

- スーパージャンクション構造 DTMOS の採用によりオン抵抗が低い。: $R_{DS(ON)} = 0.105 \Omega$ (Typ.)
- 低容量によるスイッチングスピードの高速化。
- 取り扱いが簡単なエンハンスメントタイプです。: $V_{th} = 3 \sim 4 V$ ($V_{DS} = 10 V, I_D = 0.73 mA$)

外観と内部回路構成図



TO-247



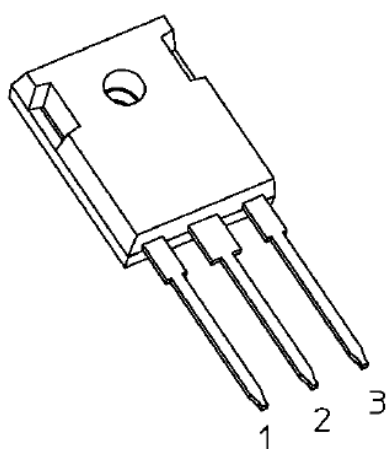
2.2. パワー-MOSFET TK095N65Z5

PSFB 回路の 1 次側にパワー-MOSFET TK095N65Z5 を使用しています。TK095N65Z5 の主な特長は以下の通りです。

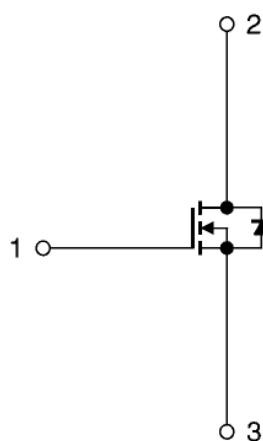
特長

- 逆回復時間が早い。: $t_{rr} = 115 \text{ ns}$ (Typ.)
- スーパージャンクション構造 DTMOS の採用によりオン抵抗が低い。: $R_{DS(ON)} = 0.079 \Omega$ (Typ.)
- 低容量によるスイッチングスピードの高速化。
- 取り扱いが簡単なエンハンスメントタイプです。: $V_{th} = 3.5 \sim 4.5 \text{ V}$ ($V_{DS} = 10 \text{ V}$, $I_D = 1.27 \text{ mA}$)

外観と内部回路構成図



TO-247



- 1: Gate
- 2: Drain (heatsink)
- 3: Source

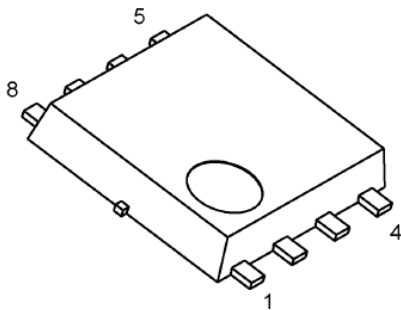
2.3. パワー-MOSFET TPH2R408QM

PSFB 回路の 2 次側同期整流部にパワー-MOSFET TPH2R408QM を使用しています。TPH2R408QM の主な特長は以下の通りです。

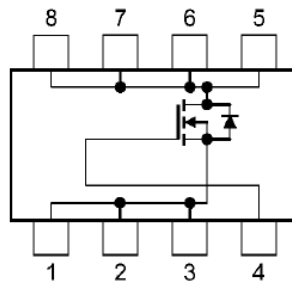
特長

- スイッチングスピードが速い。
- ゲート入力電荷量が小さい。 : $Q_{SW} = 28 \text{ nC (Typ.)}$
- 出力電荷量が小さい。 : $Q_{OSS} = 90 \text{ nC (Typ.)}$
- オン抵抗が低い。 : $R_{DS(ON)} = 1.9 \text{ m}\Omega \text{ (Typ.) (} V_{GS} = 10 \text{ V)}$
- 漏れ電流が低い。 : $I_{DSS} = 10 \text{ }\mu\text{A (Max.) (} V_{DS} = 80 \text{ V)}$
- 取り扱いが簡単なエンハンスメントタイプです。 : $V_{th} = 2.5 \sim 3.5 \text{ V (} V_{DS} = 10 \text{ V, } I_D = 1.0 \text{ mA)}$

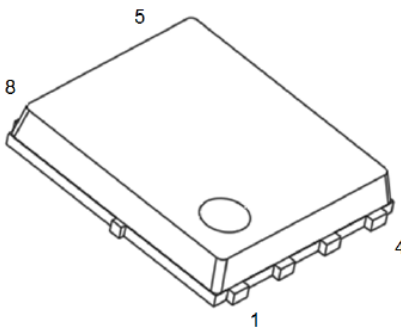
外観と内部回路構成図



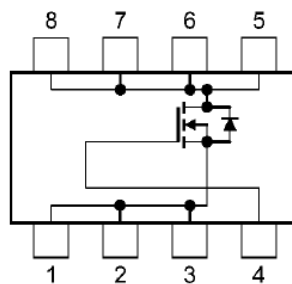
SOP Advance



1, 2, 3: Source
4: Gate
5, 6, 7, 8: Drain



SOP Advance(N)



1, 2, 3: Source
4: Gate
5, 6, 7, 8: Drain

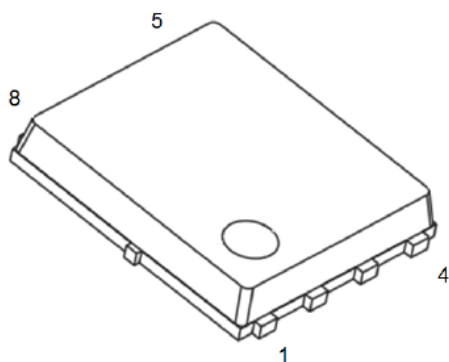
2.4. パワー-MOSFET TPHR6503PL1

出力 Oring 回路にパワー-MOSFET TPHR6503PL1 を使用しています。TPHR6503PL1 の主な特長は以下の通りです。

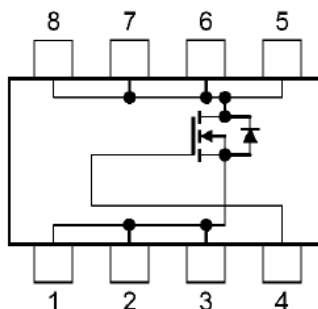
特長

- スイッチングスピードが速い。
- ゲート入力電荷量が小さい。: $Q_{SW} = 30 \text{ nC}$ (Typ.)
- 出力電荷量が小さい。: $Q_{OSS} = 81.3 \text{ nC}$ (Typ.)
- オン抵抗が低い。: $R_{DS(ON)} = 0.41 \text{ m}\Omega$ (Typ.) ($V_{GS} = 10 \text{ V}$)
- 漏れ電流が低い。: $I_{DSS} = 10 \text{ }\mu\text{A}$ (Max.) ($V_{DS} = 30 \text{ V}$)
- 取り扱いが簡単な、エンハンスメントタイプです。: $V_{th} = 1.1 \sim 2.1 \text{ V}$ ($V_{DS} = 10 \text{ V}$, $I_D = 1.0 \text{ mA}$)

外観と内部回路構成図



SOP Advance(N)



1, 2, 3: Source
4: Gate
5, 6, 7, 8: Drain

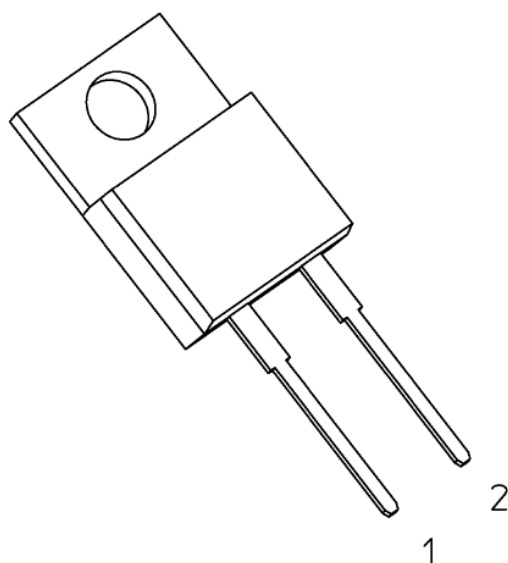
2.5. SiC ショットキーバリアダイオード TRS6E65H

セミアリッジレス PFC 回路の昇圧部に SiC ショットキーバリアダイオード TRS6E65H を使用しています。TRS6E65H の主な特長は以下の通りです。

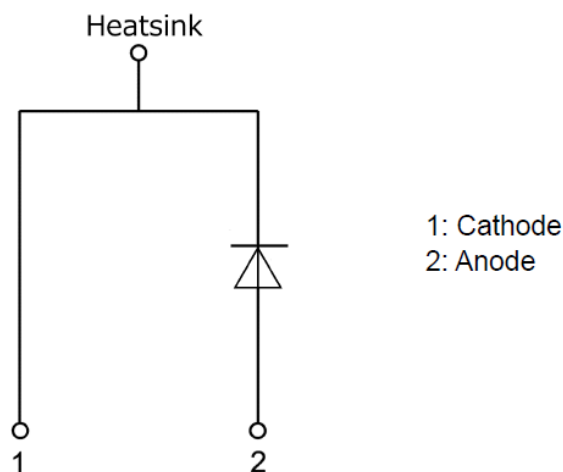
特長

- 第 3 世代チップデザイン。
- 順電圧が小さい。: $V_F = 1.2 \text{ V (Typ.)}$
- 総電荷量が小さい。: $Q_C = 17 \text{ nC (Typ.)}$
- 逆電流が小さい。: $I_R = 1.1 \text{ } \mu\text{A (Typ.)}$

外観と内部回路構成図



TO-220-2L



2.6. デジタルアイソレーターDCL540C01

PSFB 回路の 1 次側と 2 次側間の信号伝達に 4 チャンネルのデジタルアイソレーターDCL540C01 を使用しています。
DCL540C01 の主な特長は以下の通りです。

特長

- データ伝送速度: 最大 150 Mbps
- 電源電圧: 2.25 V ~ 5.5 V
- 動作温度範囲: -40 °C ~ 110 °C
- 伝搬遅延時間: 10.9 ns (Typ.)
- デフォルト出力: Low
- CMTI (Min.): ± 100 kV/ μ s
- 絶縁耐圧: 5 kVrms
- 安全規格:

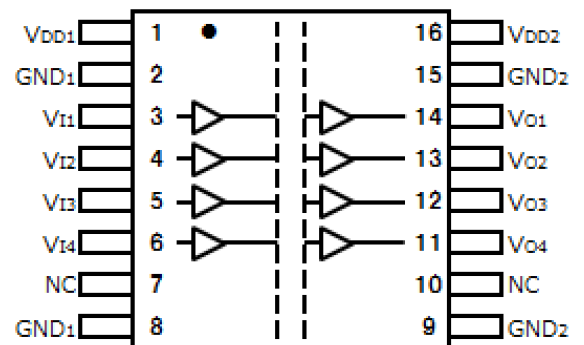
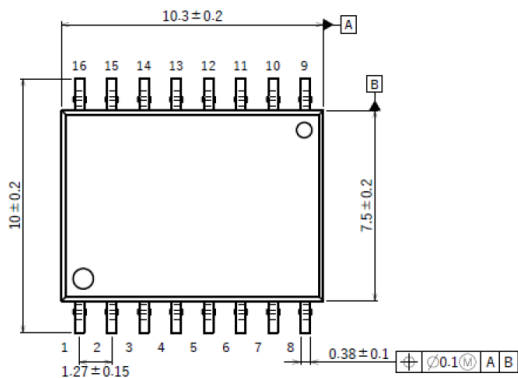
UL : UL1577, File No. E519997

cUL : CSA Component Acceptance Service Notice No. 5A, File No. E519997

VDE : DIN VDE V 0884-11(VDE V 0884-11) Certificate No. 40055132

CQC : GB 4943.1-2022 Certificate No. CQC22001345018

外観と内部回路構成図



16pin SOIC Wide body

3. 回路設計

本電源の回路設計のポイントを記載します。

3.1. AC ライン回路

本項では、本電源の AC ラインの設計に関して説明します。本電源の AC ラインの回路は、以下の通りです。

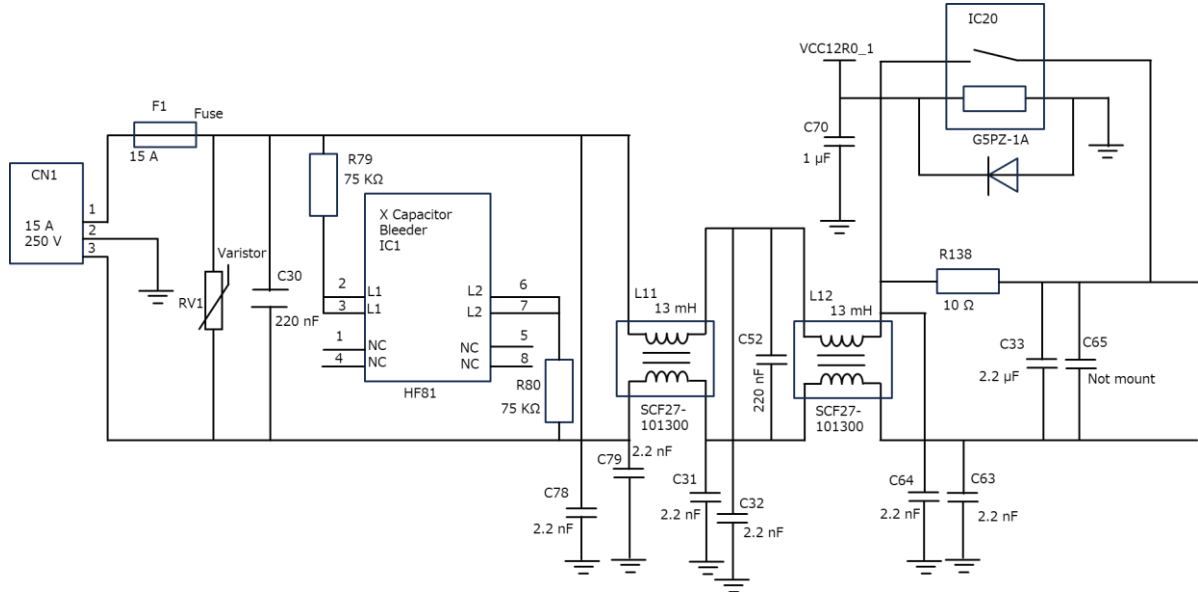


図 3.1 AC ライン回路

ヒューズ

AC ラインに異常電流が流れた際に、AC ラインを遮断するためのヒューズ (F1) を実装しています。AC ラインの最大電流値からヒューズを選定します。AC ライン入力電流最大値の実効値は以下の式で算出されます。

$$\text{AC ライン入力電流最大値} = \text{最大電力} \div \text{電源効率} \div \text{力率} \div \text{入力電圧実効値 (min)}$$

本電源は、入力が AC200 V 系のときは 1.6 kW 出力、AC100 V 系のときは 0.8 kW 出力の仕様です。もし、入力電圧によって PFC の電源効率が変わらなければ、AC ライン入力電流最大値は、入力電圧に関わらず同じ値となります。しかし、一般的に PFC の電源効率は、入力電圧が低いと低くなるため、AC ライン最大電流値を算出する際は、入力電圧が 100 V 系の最小値の 90 V で考えます。

入力電圧 (min 実効値) = 90 V、最大電力 = 0.8 kW、電源効率 = 90 %、力率 = 0.99 とすると、本電源の AC ライン最大電流値は、約 10 A です。本電源では、マージンを考慮して、15 A のヒューズを使用しています。ヒューズ選定時は、上記最大電流に加え、AC 電源投入時の突入電流、対応すべき安全規格を取得した製品であるかなども考慮する必要があります。

バリスター

AC ラインに誘導雷などによるサージ電圧が印加された際に、システムを保護するためのセラミックバリスター (RV1) を実装しています。バリスターは使用する AC ラインの電圧値に基づいて選定を行います。本電源の場合、AC ライン最大電圧は実効値で 264 V、瞬時値で 373 V であるため、これらの電圧にマージンを考慮して、最大許容回路電圧 350 V (AC)、バリスター電圧 560 V のバリスターを使用しています。バリスター選定時は、上記電圧定格に加え、サージ電流耐量、エネルギー耐量などを考慮する必要があります。また、バリスターの故障モードはショートモードとなることが多いため、バリスター実装時は前段 (AC 入力側) へのヒューズ実装を推奨します。

X コンデンサー放電 IC

AC 入力切断された際、感電の危険がないように、X コンデンサー^{注 3-1)} (C30, C33, C52) に蓄えられた電荷を速やかに放電する必要があります。本電源では、X コンデンサー放電用 IC として、HF81 (IC1) を実装しています。本 IC は、AC 電源が供給されているときに放電経路を遮断するため、システムの省電力化に貢献します。AC 電源喪失時、本 IC と本 IC の外付け抵抗 (R79, R80) とで構成される回路により、1 秒以内に X コンデンサーの電圧が初期値の 37 % 以下となるよう、X コンデンサーに蓄えられた電荷を放電することができます。本電源は、約 3 μF の X コンデンサーが実装されているため、3 μF を放電するのに必要な外付け抵抗 (75 $\text{k}\Omega \times 2$ 個) を実装しています。なお、ノイズ対策などで、X コンデンサーを変更する際は、本 IC に接続する外付け抵抗値の変更が必要な場合があります。また、コストダウンのため、本 IC を放電用抵抗に変更することも可能です。しかしながら、その場合、AC 接続時は常時放電用抵抗による電力損失が発生しますので、システムの省電力要求を満足するか、確認する必要があります。

EMI 対策部品

コモンモードノイズ対策として、Y コンデンサー^{注 3-1)} (C31, C32, C78, C79, C63, C64)、コモンモードチョーク (L11, L12) を、ディファレンシャルノイズ対策として X コンデンサー (C30, C33, C52) を実装しています。ノイズレベルは基板レイアウト、筐体設計の影響を受けます。必要に応じて上記部品を変更、削除、追加してください。なお、Y コンデンサーの容量を大きくすると、漏洩電流が増加しますので、システムが要求される安全規格を満足するか確認する必要があります。

突入電流対策部品

AC 電源投入時の突入電流を抑制するため、ヒューズ内蔵抵抗 (R138) とリレー (IC20) を実装しています。正しい手順で本電源を起動した場合、AC 電源投入時にリレー回路はオフしており、電流はヒューズ内蔵抵抗 (10 Ω) 経由で流れるため、突入電流を抑制することが可能です。リレー回路は、AC 電源投入後に起動した補助電源からの 1 次側 12 V 電源供給を検知して、オンする仕様となっています。リレー回路がオンすると、より抵抗の低いリレーを経由して電流が流れるため、動作時の電力ロスを低減することができます。リレーをオン・オフする条件、タイミングが、システムの要求仕様を満足しているか、確認する必要があります。

注 3-1) Y コンデンサー、X コンデンサー

X コンデンサーは電源ラインの線間に接続されているコンデンサーで線間を高周波的に短絡し、ノイズを低減します。Y コンデンサーは、電源ラインと基準グラウンド間に接続されるコンデンサーです。電源ラインの方へノイズが流れるのを防ぎます。

3.2. PFC 回路

3.2.1 セミブリッジレスPFC回路について

本電源回路の説明の前にセミブリッジレス PFC 回路の動作概要を説明します。一般的な電源回路では交流入力を整流した後平滑コンデンサーを通し、直流出力を生成しています。交流入力電流は入力電圧が平滑コンデンサー電圧よりも高い期間のみで流れ、正弦波状にはなりません。PFC 回路は入力電流を正弦波に近づけ、電源回路で発生してしまう入力電圧と電流の位相差を無くし、力率を 1 に近づける回路です。ブリッジレス PFC 回路は、交流入力を全波整流するブリッジダイオード部の損失を減らすために、ブリッジダイオード部と PFC の機能を統合した回路です。

図 3.2 にブリッジレス PFC の基本回路構成と交流入力の半サイクル毎の電流経路を示します。交流入力の L_a 側が正の半サイクルでは、 Q_a がスイッチングし D_a がその出力ダイオードとして PFC 動作を行います。この時、 Q_b はこの商用電源の半サイクル期間常時同期整流モードで動作し、交流入力の整流動作を行います。他方、負の半サイクル期間では、 Q_b と D_c がスイッチング動作を行い、 Q_a が同期整流動作となります。

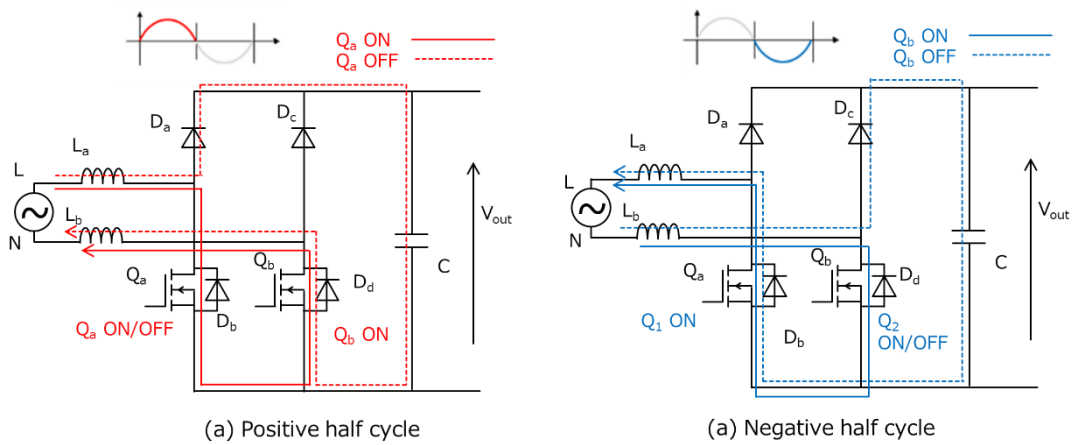


図 3.2 ブリッジレス PFC 回路動作

図 3.3 に本電源で採用したセミブリッジレス PFC 回路の動作例を示します。上記ブリッジレス PFC 回路の交流入力側にダイオードを付加した構成です。2 つのダイオード (D_{aa} , D_{bb}) を通して PFC 出力のグランドが入カラインに接続され、入力電圧はフローティングではなく、通常のグランド基準となります。よって PFC 回路の入力電圧は、グランド基準の正弦波となります。その結果、上記ブリッジレス PFC 回路で問題となるノイズが抑制出来ます。

D_{cc} および D_{dd} は最初のスタートアップ中にコンデンサー C をピーク充電するための突入ダイオードです。コンデンサーがピーク充電され、コンバーターが動作し始めた以降の動作には寄与しません。図 3.3 に示すように、電流は D_{aa} および D_{bb} を通って戻入力に戻ります。

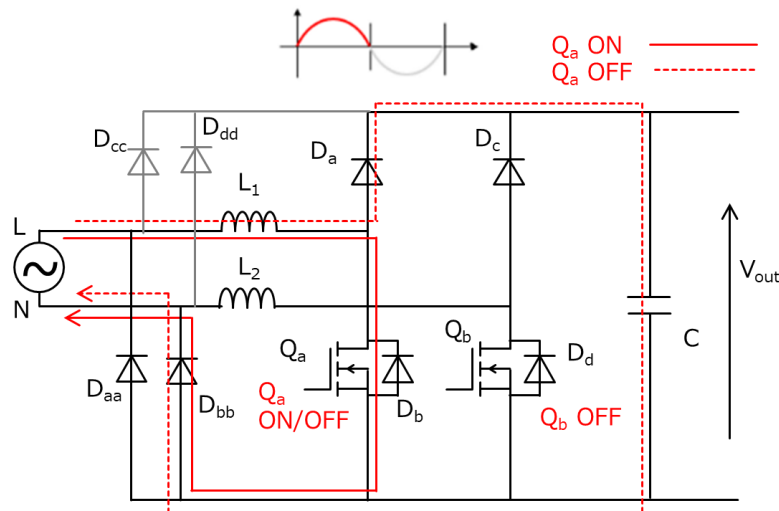


図 3.3 セミブリッジレス PFC 回路動作

3.2.2 本電源のPFC回路

本電源では、Texas Instruments 社製コントローラ UCC28070A (IC3、以下、PFCコントローラ) を用いたセミアリッジレス PFC 回路構成を採用しています。以下に、本電源のセミアリッジレス PFC 回路の、基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、UCC28070A のデータシート、関連ドキュメントを参照ください。

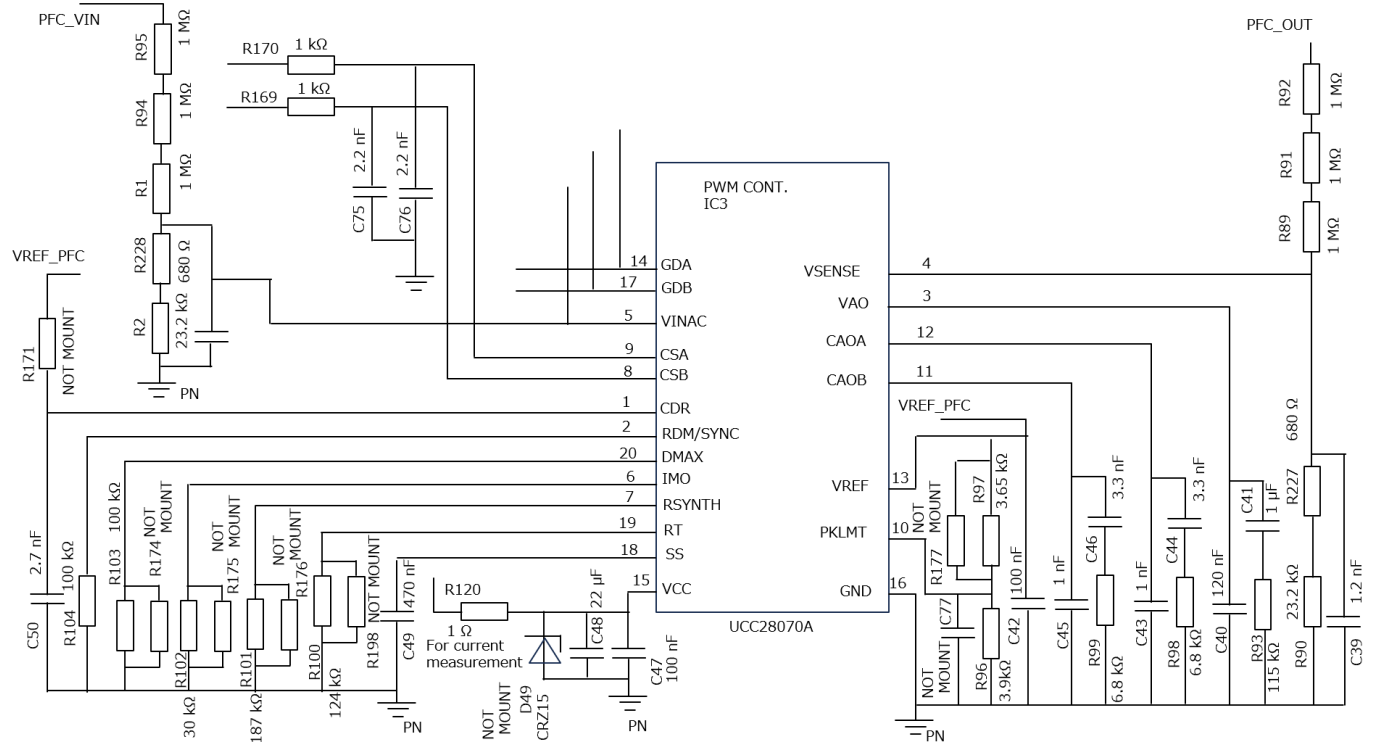


図 3.4 PFC 回路 1 (PFC コントローラ周辺)

出力電圧

PFC 回路の出力電圧 PFC_OUT は、外付け抵抗 (R89, R90, R91, R92, R227) によって設定することができます。出力電圧は、上記抵抗で分割された出力端子センス電圧 VSENSE と PFC コントローラの内部参照電圧 (3.0 V) を比較することで制御されます。出力電圧設定値は以下の式で算出されます。

$$PFC_OUT = \frac{3.0 \times (R89 + R91 + R92 + R90 + R227)}{(R90 + R227)}$$

なお、PFC 回路の出力電圧を変更する際は、AC ライン電圧測定用の抵抗 (R1, R2, R94, R95, R228) も同様の値に変更する必要があります。PFC 回路の出力電圧の初期設定は R90 = R2 = 23.2 kΩ, R227 = R228 = 680 Ω, R1 = R89 = R91 = R92 = R94 = R95 = 1 MΩ となっており、約 380 V です。必要に応じて上記抵抗値を変更し、所望の出力電圧値に設定してください。

スイッチング周波数

PFC回路のスイッチング周波数 f_{PWM} は、PFCコントローラーの RT 端子に接続の外付け抵抗 R100 によって設定することができます。スイッチング周波数は以下の式で算出されます。

$$f_{PWM}(kHz) = \frac{7500}{R100(k\Omega)}$$

スイッチング周波数の初期設定は、 $R100 = 124 \text{ k}\Omega$ となっており、約 60 kHz です。必要に応じて R100 の抵抗値を変更し、所望の周波数に設定してください。

ソフトスタート

PFC回路のソフトスタート時間は、PFCコントローラーの SS 端子に接続の外付けコンデンサー C49 によって設定することができます。設定値は以下の式によって算出されます。

$$T_{SS}(s) = C49 \times \frac{2.25(V)}{10(\mu A)}$$

ソフトスタート時間の初期設定は、 $C49 = 470 \text{ nF}$ となっており、約 106 ms です。必要に応じて C49 の容量値を変更し、所望のソフトスタート時間に設定してください。ソフトスタート期間中にカレントリミッターが作動しないこと、ホールドアップ期間後の再スタート時に、出力電圧が正常範囲に回復することを確認する必要があります。

カレントリミッター

図 3.5 の PFC回路のカレントリミッターは、カレントトランス (T2, T3)、電流検出抵抗 (R7, R8)、PFCコントローラーの V_{REF} に接続のしきい値設定抵抗 (R96, R97) によって設定することができます。検知した値は PFCコントローラーの CSA、CSB に入力され、電流がしきい値に到達すると、PFCコントローラーはゲートドライバー UCC27524AD の INA、INB に入力されるゲートドライブ用信号 (GDA, GDB) を Disable にします。カレントリミットレベル I_{limit} は、以下の式によって算出されます。

$$I_{limit} = \left(\frac{P_{OUT} \times \sqrt{2}}{\text{efficiency}, \eta(\%) \times V_{inAC}} + \frac{\Delta I}{2} \right) \times \text{マージン}$$

カレントリミットレベルの初期設定は、 $V_{inAC} = 90 \text{ V}$ の場合、 $P_{OUT} = 800 \text{ W}$ 、効率 $\eta = 90 \%$ 、 $\Delta I = 4.7 \text{ A}$ 、マージン = 1.2 とし、19.6 A としています。必要に応じて上記値を変更し、所望の電流値に設定してください。

ゲート駆動回路

ゲート駆動回路の設計は、電源効率と EMI ノイズに影響を与えます。一般的に、電源効率と EMI ノイズはトレードオフの関係にあるため、両者のバランスを取った設計を行う必要があります。EMI ノイズを低減する必要がある場合は、ゲート直列抵抗 (R72, R74, R108, R109) を大きな値に変更して、ノイズの確認を行うことを推奨します。本電源のゲート駆動回路は、MOSFET のターンオンスピードとターンオフスピードを、個別に調整できる回路構成となっています。事前の確認で、ノイズ源が MOSFET のターンオン、あるいはターンオフどちらの期間で発生しているか判明している場合、全ての抵抗を変更する必要はありません。ターンオン時のノイズが問題である場合は R72, R74 を、ターンオフ時のノイズが問題である場合は R108, R109 を変更することで、EMI ノイズを低減できる可能性があります。なお、ゲート直列抵抗を大きな値に変更すると、MOSFET のスイッチングスピードが低下するため、電源効率の悪化が懸念事項となります。ゲート直列抵抗を変更する場合は、システムに要求される電源効率性能や、放熱性能が満足できていることを確認する必要があります。また、ターンオン、ターンオフどちらかのみでの調整で EMI ノイズ対策が可能な場合、両方を遅らせる対策に比べ、システムの電源効率への悪影響を低減できる可能性があります。

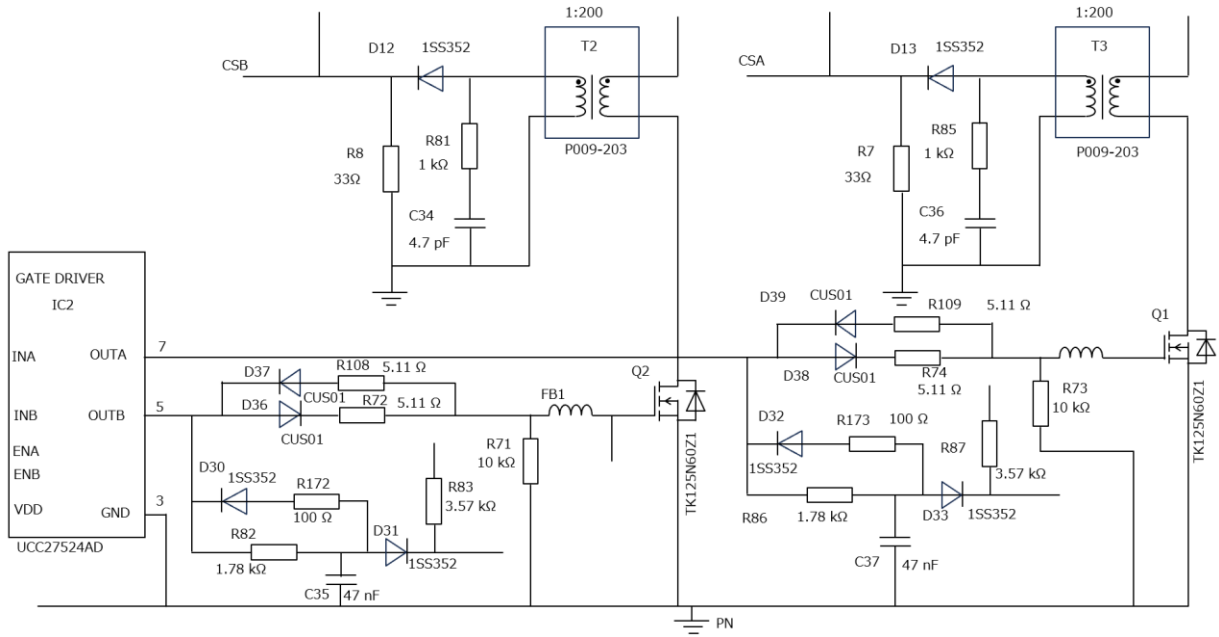


図 3.5 PFC 回路 2 (パワー-MOSFET 周辺)

ブリッジダイオード

整流ダイオードには、ブリッジダイオード (D3) を使用しています。本電源は、セミブリッジレス PFC 回路構成となっておりますので、本ダイオードの 1 ピン-2 ピン間ダイオード、および 3 ピン-2 ピン間ダイオードは、電源起動時の整流動作にのみ寄与し、それ以降の動作には寄与しません。本ブリッジダイオード (D3) を、ハーフブリッジダイオードと表面実装タイプのダイオードに変更することも可能です。表面実装タイプのダイオード使用時は、突入電流をサポートできる定格の製品を選択する必要があります。

出力コンデンサー

出力コンデンサー (C_1 , C_7) の容量値は、ホールドアップタイム要件に基づいて算出しています。ホールドアップタイム $Thold$ は、出力コンデンサーの容量を C_{out} ($C_1 + C_7$)、出力電圧を V_{out_PFC} 、出力電圧の下限電圧を V_{min} 、最大出力電力を P_{out} とすると、以下の式で算出されます。

$$Thold = C_{out} \times \frac{(V_{out_PFC}^2 - V_{min}^2)}{2 \times P_{out}}$$

初期設定は、 $C_{out} = 660 \mu\text{F}$ 、 $V_{out_PFC} = 380 \text{ V}$ 、 $V_{min} = 280 \text{ V}$ 、 $P_{out} = 1777 \text{ W}$ で、ホールドアップタイムは 12.3 ms となります。システムに要求されるホールドアップタイムを満足できるよう、出力コンデンサーの容量を調整願います。また、出力リップル仕様が要求された場合は、出力リップル仕方を満たすのに必要な容量を算出し、ホールドアップタイムを満足する容量と比較し、大きい容量値を使用する必要があります。また、コンデンサー選定時には、公差や経年劣化を考慮する必要があります。

インダクター

図 3.6 のインダクター (L_1, L_2) の選定は、インダクターのリップル電流 ΔI を、ACラインのピーク入力電流値 (AC_{in_peak}) の 30%に設定することとし、入力電圧を V_{inAC} 、PFC 出力電圧を V_{out_PFC} 、スイッチング周波数を F 、PFC の電力変換効率を η とすると、次の式が成り立ちます。

$$AC_{in_peak} = \frac{P_{out} \times \sqrt{2}}{V_{inAC} \times \eta}$$

$$\Delta I = AC_{in_peak} \times 30\%$$

インダクタンス値 L は、PFC のスイッチング素子 (MOSFET) のオン時の電圧最大値、オン時間 ($T \times D$) および電流変化 ΔI で表されます。(T:スイッチング周期、D: オンデューティー)

$$L = V \times \frac{dt}{di} = \sqrt{2} \times V_{inAC} \times \frac{T \times D}{\Delta I}$$

ここで T をスイッチング周波数 F で表すと以下ようになります。

$$T = \frac{1}{F}$$

また、PFC 回路のデューティーは以下の式で表されます。

$$D = \frac{V_{out_PFC} - V_{inAC}}{V_{out_PFC}}$$

インダクタンス L の式に T と D の式を代入して以下の式が得られます。

$$L = \sqrt{2} \times V_{inAC} \times \frac{(V_{out_PFC} - V_{inAC})}{V_{out_PFC} \times \Delta I \times F}$$

本電源では、 $V_{inAC} = 90 \text{ V}$ 、 $V_{out_PFC} = 380 \text{ V}$ 、 $F = 60 \text{ kHz}$ 、 $P_{out} = 888 \text{ W}$ 、 $\eta = 90 \%$ とすると、 $L = 344 \text{ } \mu\text{H}$ となりますので、 $350 \text{ } \mu\text{H}$ のインダクターを選定しています。また、インダクターに流れるピーク電流 I_{L_peak} は、以下の通り算出できます。

$$I_{L_peak} = AC_{in_peak} + \frac{\Delta I}{2}$$

$AC_{in_peak} = 15.7 \text{ A}$ 、 $\Delta I = 4.7 \text{ A}$ ですので、 $I_{L_peak} = 18.1 \text{ A}$ となります。よって、インダクターは 18.1 A 以上流せるものを選択します。

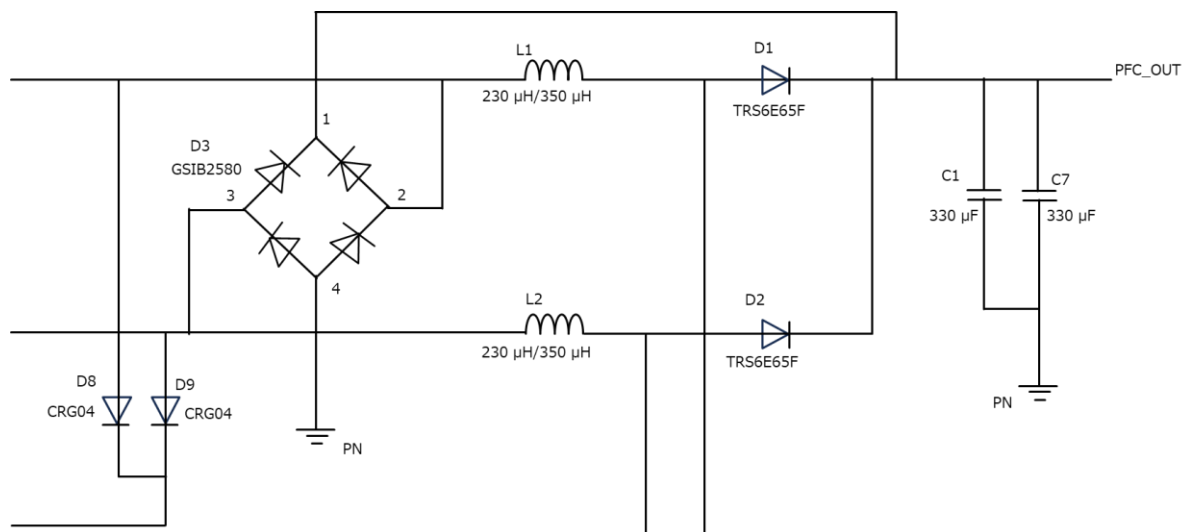


図 3.6 PFC 回路 3 (ブリッジダイオード、インダクター周辺)

3.3. 位相シフトフルブリッジ (PSFB) 回路

3.3.1. PSFB回路について

図 3.7 に PSFB 回路のブロック図を示します。トランス T の 1 次側はフルブリッジ回路で形成されています。Q_{AH} と Q_{BL} はそれぞれデューティ50%、位相差 180 度でスイッチングされます。Q_{CH} と Q_{DL} も同様です。基本動作は、Q_{AH} と Q_{BL} がオン/オフ状態を入れ替えた後、ある位相遅れ (シフト) をもって Q_{CH} と Q_{DL} がオン/オフ状態を入れ替えます。この位相シフトの量により、対角線上に位置する Q_{AH} と Q_{DL}、Q_{BL} と Q_{CH} のオーバーラップの量が変わり 2 次側に伝達されるエネルギー量が決まります。出力される電圧は以下の式で表されます。一般に、Q_{AH} と Q_{BL} のレグを「進みレグ」、Q_{CH} と Q_{DL} のレグを「遅れレグ」と呼びます。PSFB 回路は、スイッチング素子がゼロ電圧スイッチング (ZVS) 動作をすることにより、スイッチング損失を大幅に低減できるため、大きな電力を扱うことが可能です。

$$V_{out} = \frac{n_2}{n_1} V_{in} \alpha$$

V_{out} : 出力電圧[V] V_{in} : 入力電圧[V]

n₁ : トランス 1 次側巻き線数 n₂ : トランス 2 次側巻き線数

α : 位相シフトの割合 T₁/(T₁+T₂) T₁ : Q_{AH}、Q_{DL} の同時オン時間 T₂ : Q_{BL}、Q_{DL} の同時オン時間

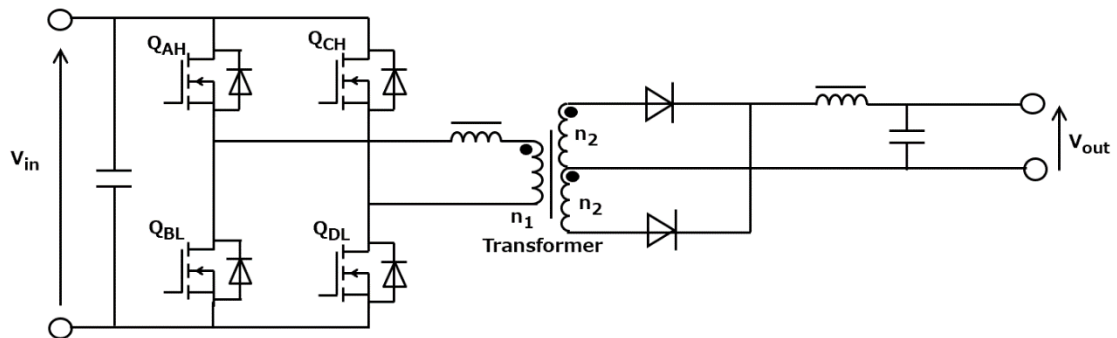


図 3.7 PSFB 回路

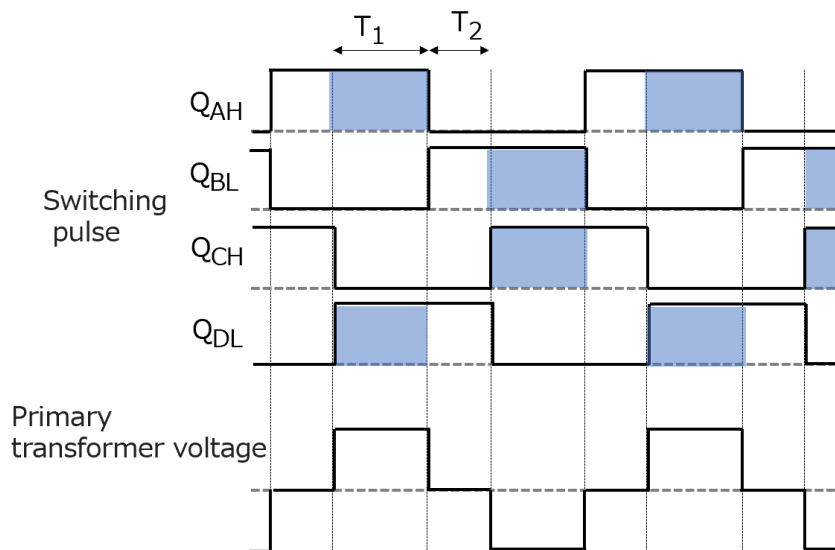


図 3.8 PSFB 波形

3.3.2. 本電源のPSFB回路

本電源では、セミブリッジレス PFC 回路の後段で 12 V 出力を生成しています。広範囲な負荷領域で Zero Volt Switching (ZVS) 動作が可能な、Texas Instruments 社製コントローラ UCC28950 (IC10、以下、PSFB コントローラ) を用いることで、高効率を実現しています。以下に、本電源の PSFB 回路の、基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、UCC28950 のデータシート、関連ドキュメントなどをご参照ください。また、本電源の詳細仕様に関してはリファレンスガイドをご参照ください。

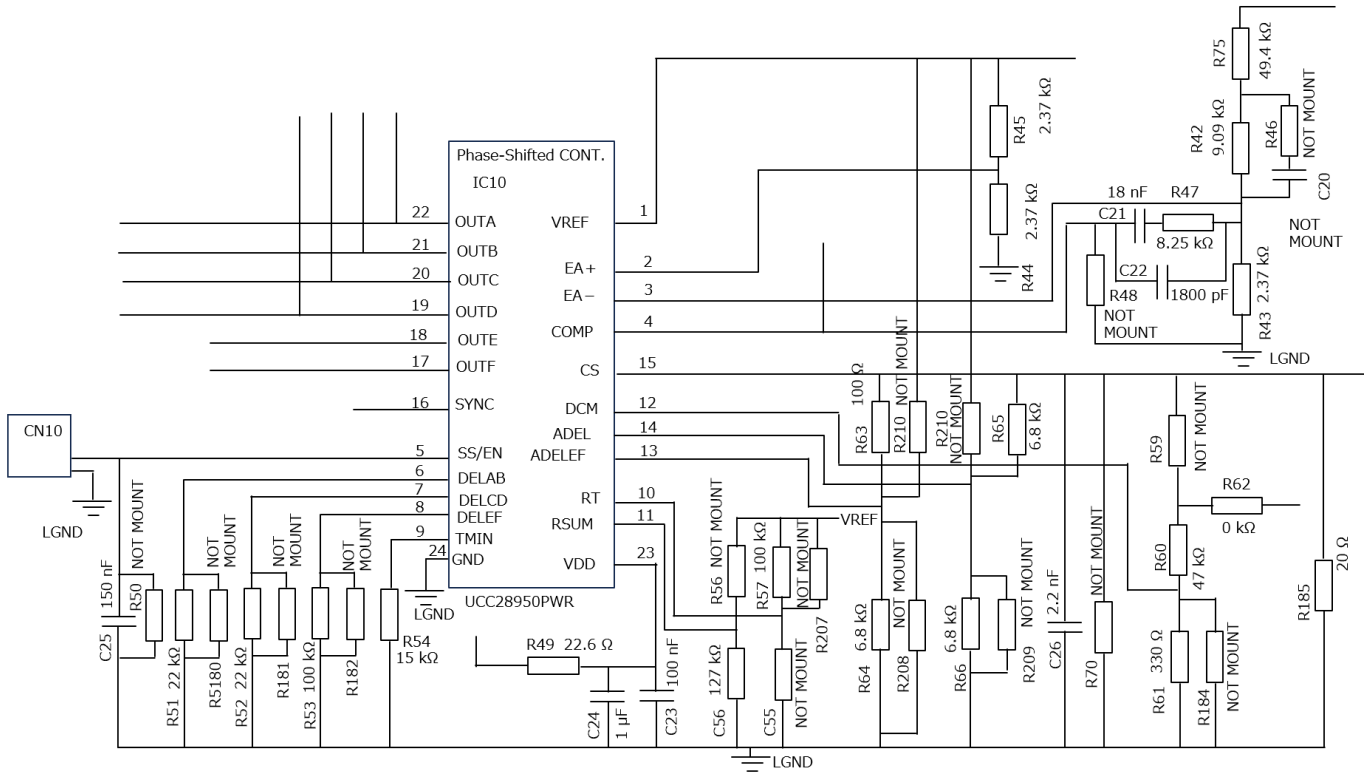


図 3.9 PSFB 回路 1 (PSFB コントローラ周辺)

出力電圧

PSFB 回路の出力電圧 V_{OUT} は、図 3.9 の外付け抵抗 (R42, R43, R44, R45, R75) によって設定することができます。設定値は、上記抵抗と、PSFB コントローラの電圧設定用内部電圧 ($V_{REF} = 5.0 \text{ V}$) によって以下式で算出されます。

$$V_{OUT}(V) = \frac{V_{REF}(V) \times R45 \times (R43 + R42 + R75)}{(R44 + R45) \times R43}$$

本電源の出力電圧の初期設定は $R42 = 9.09 \text{ k}\Omega$ 、 $R43 = R44 = R45 = 2.37 \text{ k}\Omega$ 、 $R75 = 49.9 \text{ }\Omega$ となっており、12.14 V です。必要に応じて上記抵抗値を変更し、所望の出力電圧値に設定してください。

スイッチング周波数

PSFB 回路のスイッチング周波数 f_{PWM} は、IC の RT 端子と VREF 端子の間の外付け抵抗 R57 によって設定することができます。スイッチング周波数は以下の式で算出されます。

$$f_{PWM}(kHz) = \frac{2.5 \times 10^3}{\left(\frac{R57(k\Omega)}{VREF(V) - 2.5} + 1\right)}$$

この式で、R57 の単位は $k\Omega$ 、VREF は V、 f_{PWM} は kHz です。この式は経験的な近似であり、単位の対応はとれていません。スイッチング周波数の初期設定は、 $R57 = 100 k\Omega$ となっており、60.98 kHz です。必要に応じて上記抵抗値を変更し、所望の周波数に設定してください。

ソフトスタート

PSFB 回路のソフトスタート時間は、SS/EN 端子とグランド間に接続された外付けのコンデンサ C25 と $25 \mu A$ (Typ.) の内部充電電流によって設定することができます。設定値は以下の式によって計算することができます。0.55 V は SS/EN 端子電圧です。VNI は EA+ 端子の電圧です。

$$\begin{aligned} T_{SS}(s) &= \frac{C25 \times (VNI + 0.55)}{25 \mu A} \\ &= \frac{C25 \times \left(\frac{VREF(V) \times R45}{R44 + R45} + 0.55\right)}{25 \mu A} \end{aligned}$$

R44 および R45 は $2.37 k\Omega$ 、 V_{REF} は 5 V で、ソフトスタート時間の初期設定は、 $C25 = 150 nF$ となっており、18.3 ms です。必要に応じて C25 の容量値を変更し、所望のソフトスタート時間に設定してください。ソフトスタート期間中に、カレントリミッターが作動しないことを確認する必要があります。

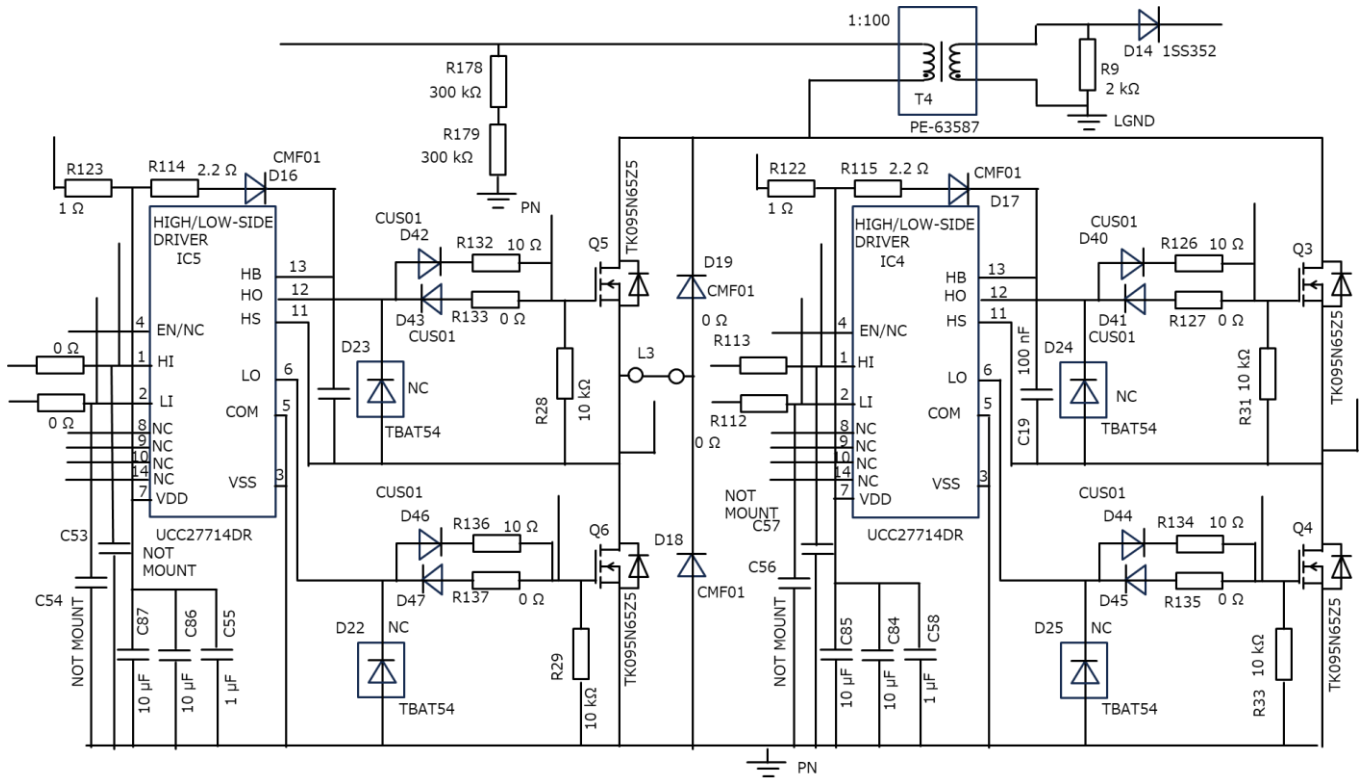


図 3.10 PSFB 回路 2 (1 次側 MOSFET 周辺)

カレントリミッター

PSFB 回路のカレントリミッターは、図 3.10 のカレントランス (T4)、図 3.9 の PSFB コントローラーの CS 端子と GND 間に接続された電流検出抵抗 (R185)、電流制限しきい値 (2 V) によって設定することができます。電流がしきい値に到達すると、PSFB コントローラーは 1 次側の MOSFET 制御用信号を制限することで、2 次側に異常な電流を流さないようにします。カレントリミットレベルは以下の式で算出されます。

$$I_{limit} = \frac{2.0}{R185 \times \text{transformer turns ratio}}$$

カレントリミッターの初期設定は、R185 = 20 Ω、巻数比は 100:1 のため 10 A となっています。必要に応じて上記値を変更し、所望の電流値に設定してください。

ゲート駆動回路

ゲート駆動回路の設計は、電源効率と EMI ノイズに影響を与えます。一般的に、電源効率と EMI ノイズはトレードオフの関係にあるため、両者のバランスを取った設計を行う必要があります。PSFB では Zero Volta Switching (ZVS) を実施していますが、もし、ハードスイッチング領域が存在し、それが EMI ノイズの原因である場合は、該当する MOSFET (Q3-Q6) のゲート直列抵抗 (R126, R127, R132-R137) を大きな値に変更し、確認を行うことを推奨します。PFC のゲート駆動回路と同様、ターンオン時、ターンオフ時それぞれ独立して調整できる回路構成になっているため、どちらかだけの調整で対応できる場合は、システムの電源効率への悪影響を低減できる可能性があります。

トランス

PSFB2 次側回路を図 3.11 に示します。2 次側の同期整流回路はトランス T5 と T6 による 2 並列の回路になっています。図 3.11 は T6 による回路のみを示しています。

PSFB 回路の定常状態における同期整流側のオンデューティーを 60 % に設定すると、出力電圧が 12 V なので、2 次側には 20 V 程度の方形波が必要となります。本電源の PFC 出力電圧は 380 V であるため、トランス (T5, T6) の巻数比は、20:1:1 (センタータップ方式) を選択します。これにより、2 次側には 19 V の方形波が発生することになります。その他、1 次-2 次間絶縁耐圧、巻線温度上昇、磁束飽和、コアロスなどを十分に考慮する必要があります。本電源で使用しているトランスの仕様は、BOM をご参照願います。

また、本電源では、トランスのリーケージインダクタンスを利用して、Zero Volt Switching (ZVS) を行っています。リーケージインダクタンスによる共振が不足すると、ZVS が実現できず、電源効率低下や EMI ノイズ増大などの問題が発生する可能性があります。トランスを変更する場合、広範囲な負荷領域で ZVS となっていることを、確認する必要があります。トランス変更により共振不足となり、ZVS が行われていない場合は、外付けで共振用のコイル (L3) を実装し、広い負荷範囲で ZVS となるよう調整願います。本電源の初期状態では、トランスのリーケージインダクタンスによる ZVS 実現を想定しており、共振用コイルが不要となるため、L3 部は短絡しています。

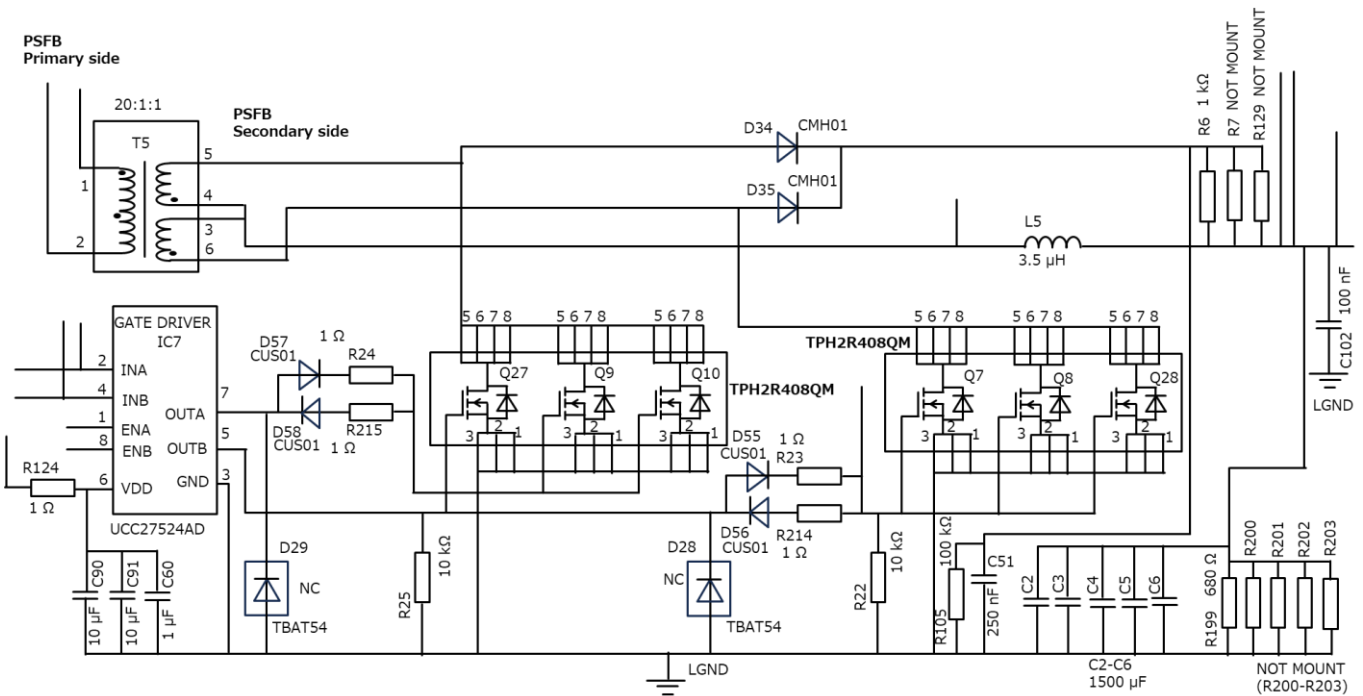


図 3.11 PSFB 回路 3 (2 次側 MOSFET 周辺)

出力コンデンサー

出力コンデンサーは、システムの要求する出力電圧リップル範囲によって決定します。出力電圧リップル V_{ripple} は、スイッチングによって発生するリップル電流 ΔI と、出力コンデンサーの ESR、容量 (Cap)、ESL によって発生する各電圧の合成波形となります。スイッチングの電圧を V_{sw} 、出力電圧を V_{out} 、スイッチング周波数を F とすると、ESR、Cap、ESL によって発生する電圧は、以下の式で算出されます。

$$V_{ripple_ESR} = \Delta I \times ESR$$
$$V_{ripple_Cap} = \frac{\Delta I}{8 \times C_{out} \times F \times 2}$$
$$V_{ripple_ESL} = \frac{V_{sw} \times ESL}{L}$$

ここで、

$$\Delta I = \frac{(V_{sw} - V_{out}) \times V_{out}}{V_{sw} \times F \times 2 \times L \times 2(\text{phases})}$$

であり、 $V_{sw} = 19 \text{ V}$ 、 $V_{out} = 12.14 \text{ V}$ 、 $F = 60.98 \text{ kHz}$ 、 $L = 3.5 \text{ }\mu\text{H}$ とすると、 $\Delta I = 20.5 \text{ A}$ となります。各要素で発生する出力リップル電圧の初期設定値は、 $C_{out} = 1500 \text{ }\mu\text{F} \times 5 \text{ pcs}$ 、 $ESR = 20 \text{ m}\Omega$ 、 $ESL = 5 \text{ nH}$ 、 $L = 3.5 \text{ }\mu\text{H}$ とすると、 $V_{ripple_ESR} = 82 \text{ mV}$ 、 $V_{ripple_Cap} = 2.8 \text{ mV}$ 、 $V_{ripple_ESL} = 5.4 \text{ mV}$ となります。

Cap によって発生する電圧は ESR、ESL によって発生する電圧と位相がずれているため、本来は単純な合計はできませんが、Cap によって発生する電圧が小さいため、単純合計を目安として用いることができます。システムに要求されるリップル電圧を満足できるよう、出力コンデンサーの容量を調整願います。また、負荷急変時に出力に発生するアンダーシュート、オーバーシュートが規定電圧範囲に入っていること、出力のコンデンサーの許容リップル電流が確保できていることも確認する必要があります。

3.3.3. PSFB回路1次側-2次側間の信号伝達

図 3.12 に示すように PSFB 回路の 1 次側と 2 次側間の信号伝達に 4 チャンネルのデジタルアイソレーター DCL540C01 を使用しています。2 次側に配置した PSFB コントローラーから出力された 1 次側フルブリッジ回路の MOSFET 駆動信号は DCL540C01 を介して伝達されます。

フォトカプラーが発光素子 (LED) と受光素子を同一パッケージに内蔵し、光を透過する樹脂により電氣的絶縁し、LED のオン/オフにより信号を伝達する構造であるのに対して、デジタルアイソレーターは絶縁膜を備えた変調用チップと復調用チップを同一パッケージに内蔵し、磁界あるいは電界 (磁気結合) により信号を伝達する構造です。

DCL540C01は当社独自の磁気結合型絶縁伝送方式を採用することで、高CMTI^{注3-2)} 100 kV/μs (Min.) を実現し、これにより、ノイズの影響を受けても誤動作しにくい、機器の安定動作に貢献します。また、低パルス幅ひずみ 3.0 ns (Max.) と高速伝送レート150 Mbps (Max.) を実現しているため、高速通信用途に適しています。

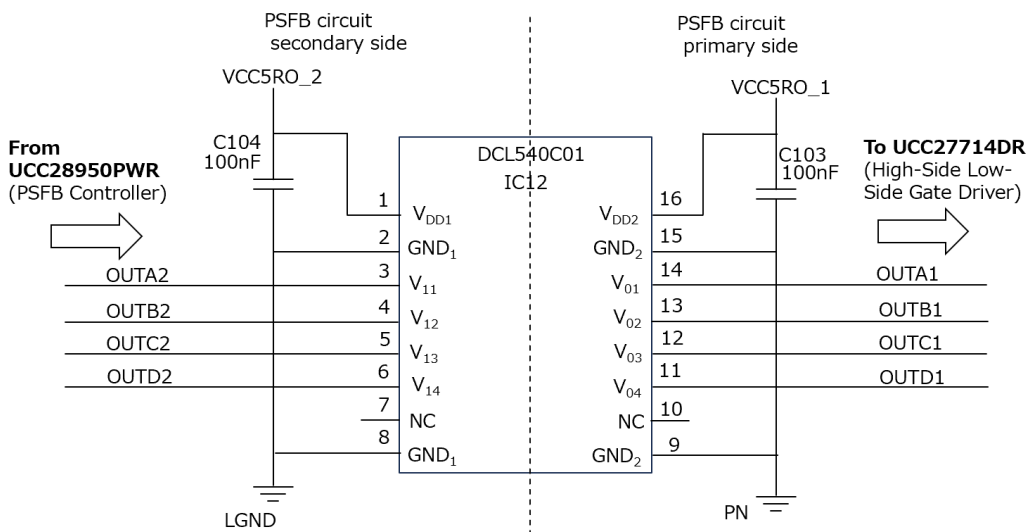


図 3.12 デジタルアイソレーター (TCL540C01)

注 3-2) コモンモード過渡耐性 (CMTI)

コモンモード (同相) ノイズは、信号、GND 両ラインに重畳し同じ方向に電流が流れるタイプのノイズです。独立した電源で駆動される回路間を電氣的に絶縁しながら信号伝送を行うためにデジタルアイソレーターが使用されますが、このような場合においても一方の電位が変動する場合、コモンモードノイズは発生します。このコモンモードノイズによりスタンダードデジタルアイソレーター内部の1次 (入力側) - 2次 (出力側) 間のカップリング容量に流れる変位電流があるレベルまで達すると、デジタルアイソレーター、ひいてはシステムの誤動作の原因になります。従って、このようなコモンモードノイズに対する耐量はシステムを安定動作させるために重要となります。CMTI は、このようなGND 間で発生する高スループートの過渡電圧に対応する能力をあらわしており、CMTI が大きいほど、ノイズに対して強く、絶縁が必要とされるアプリケーションでの応用に適していることを意味します。

3.3.4. 出力ORing回路

本電源は、N+1 冗長運転の要求に対応できるよう、12 V 出力に ORing 回路を実装しています。ORing 回路は、Texas Instruments 社製コントローラ TPS2412 (IC8、以下、ORing コントローラ) と、オン/オフ用 MOSFET (Q15-Q24) によって構成されます。本電源の出力と他の電源を並列に接続した状態で、本電源の出力電圧が他の電源の出力電圧より高い場合、ORing コントローラはオン/オフ用 MOSFET をオンして出力に電流を供給します。本電源の出力電圧が他の電源の出力電圧より低い場合、ORing コントローラはオン/オフ用 MOSFET をオフして他の電源から本電源に電流が逆流するのを防止します。本電源の ORing 回路の、詳細設計に関しては、TPS2412 のデータシート、関連ドキュメントなどを参照ください。オン/オフ用 MOSFET は最大負荷 (133 A) 流した際に、電圧ドロップ、オン抵抗による電力ロスがシステムの許容範囲となるよう、品種・数量を決定する必要があります。本電源では、TPHR6503PL1 を 10 個実装しています。なお、MOSFET のオン抵抗は、高温時には上昇するため、システムがサポートする環境温度と最大負荷時の MOSFET の温度上昇を考慮した部品選定を行う必要があります。

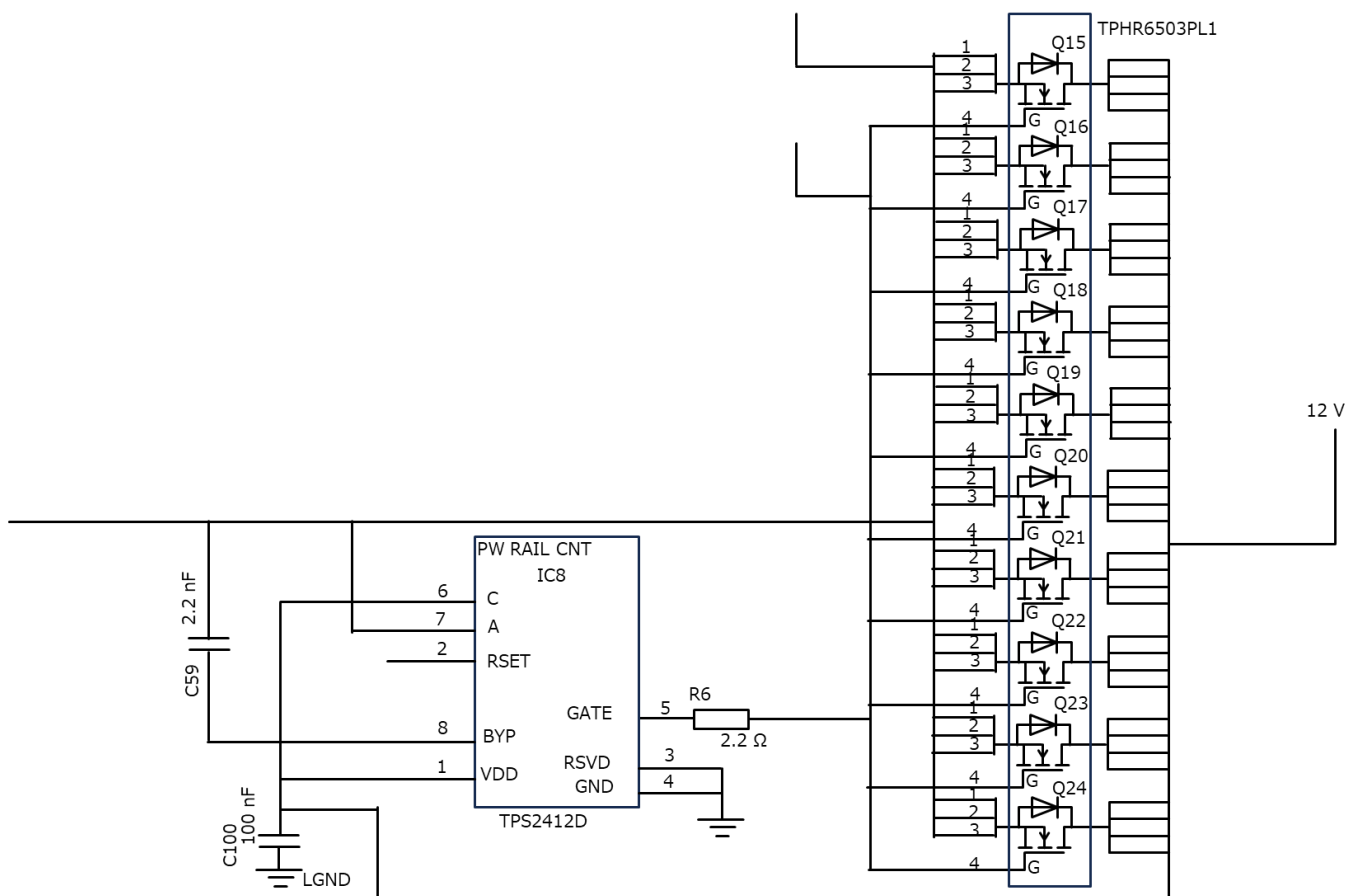


図 3.13 ORing 回路

3.3.5. 補助電源

本電源では各コントローラーや各 MOSFET 駆動 IC 等に必要な電力を供給するための補助電源を搭載し、既存電源で必要であった外部電源入力が不要となり、交流入力のみで動作します。

補助電源は、Texas Instruments 社製コントローラー UCC28910 (IC80、以下、補助電源コントローラー) を使用した電流断続モード (DCM) フライバック構成を採用し、1 次側用 12 V、2 次側用 12 V を生成しています。図 3.14 に補助電源回路を示します。

本項では、補助電源回路のトランス設計を説明します。回路の詳細設計に関しては、UCC28910 のデータシートや関連ドキュメントを参照ください。

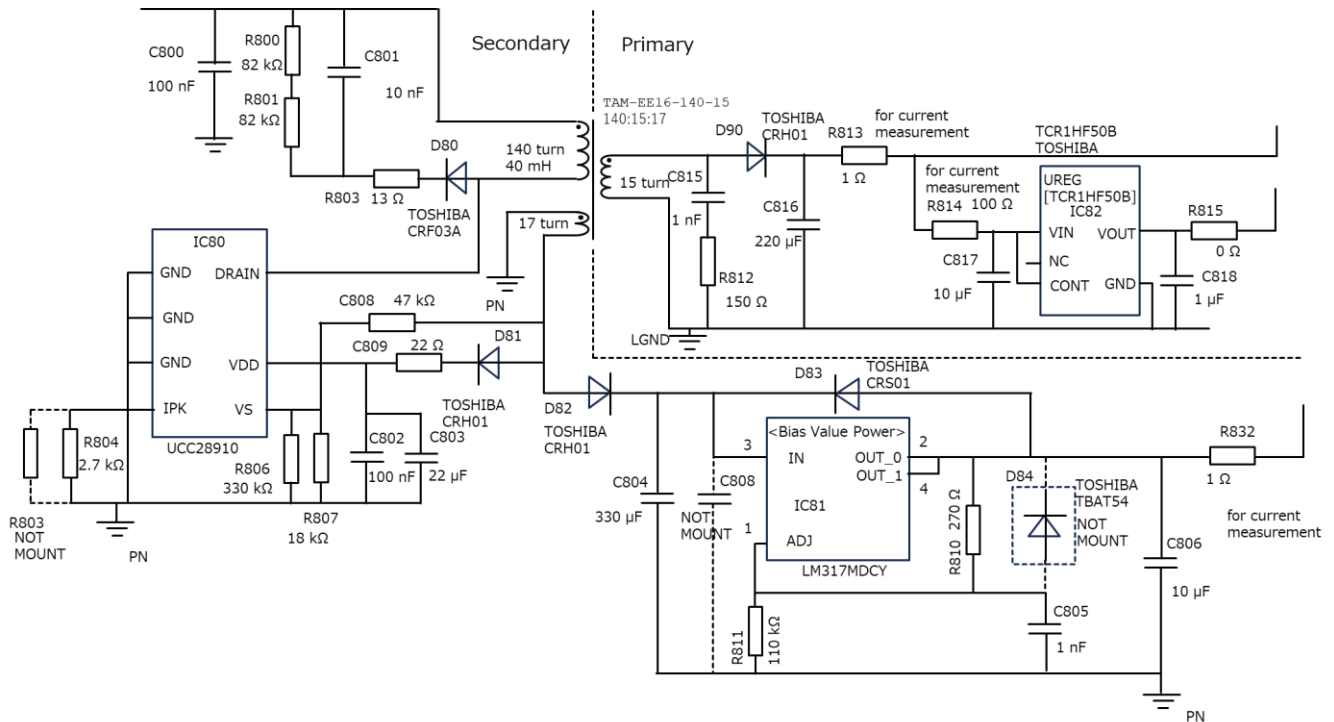


図 3.14 補助電源回路

補助電源トランス設計

フライバックコンバーターの最大オンデューティー D_{max} は、補助電源コントローラーの最大発振周波数 $f_{sw(max)}$ 、CCモードのレギュレーションゲイン K_{CC} 、DCM共振時間 t_R （ここでは、1/500 kHzと仮定）を用いて、以下の式で算出されます。

$$D_{max} = 1 - \left(\frac{t_R}{2} \times f_{sw(max)} \right) - K_{CC} = 1 - \left(\frac{1\mu s}{2} \times 115kHz \right) - 0.413 = 0.472$$

算出された最大オンデューティーと入力コンデンサーの最小バルク電圧 $V_{BULK(min)}$ から、トランスの1次側巻き線と2次側巻き線の巻き数比 N_{PS} は下記の通り算出されます。

$$N_{PS} < \frac{D_{max} \times V_{Bulk(min)}}{K_{CC} \times (V_{out} + V_{F(D90)})} = \frac{0.472 \times 110V}{0.413 \times (12V + 0.71V)} = 9.891$$

ここで、1次側巻き線の巻き数 N_P を140ターンとすると、2次側巻き線の巻き数 N_S は以下の式で算出されます。

$$N_S > \frac{N_P}{N_{PS}} = \frac{140}{9.891} = 14.15$$

よって、本電源では2次側巻き線の巻き数 N_S を15ターンとしました。

続いて、2次側制御のために必要な最小出力電圧 $V_{out(min)}$ と補助電源コントローラーの停止電圧 $V_{DDOFF(max)}$ を用いて、1次巻き線と補助巻き線の巻き数比 N_{PA} を以下の式で算出します。

$$N_{PA} < N_{PS} \times \frac{(V_{out(min)} + V_{F(D90)})}{V_{DDOFF(max)} + V_{FAUX(D81)}} = \frac{140}{15} \times \frac{(6.15 + 0.71)}{7 + 0.71} = 8.30$$

ここで、最小出力電圧 $V_{out(min)}$ はPSFBコントローラーの最小動作電圧6.15Vを用い、補助巻き線の巻き数 N_{AUX} は下記の通り算出されます。

$$N_{AUX} > \frac{N_P}{N_{PA}} = \frac{140}{8.30} = 16.86$$

よって、本電源では補助巻き線の巻き数 N_{AUX} を17ターンとしました。

1次側の制御電圧は、補助巻き線出力からLDO(IC81)を介し12Vを生成しています。

ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データ及び情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証又は実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損害、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 契約期間

本リファレンスデザインをダウンロード又は使用することをもって、お客様は本規約に同意したものとみなされます。本規約は予告なしに変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は本リファレンスデザインを破棄しなければなりません。さらに当社が要求した場合には、お客様は破棄したことを証する書面を当社に提出しなければなりません。

第4条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第5条 準拠法

本規約の準拠法は日本法とします。

第6条 管轄裁判所

本リファレンスデザインに関する全ての紛争については、別段の定めがない限り東京地方裁判所を第一審の専属管轄裁判所とします。